



การสื่อสารบนสายไฟฟ้ากำลังด้วยโมเด็ม
(ALTERNATING CURRENT LINE MODEM)

จัดทำโดย

นายสมบุรณ์ กาญจนอนันต์

รหัส 37013446 ห้อง 2S

นายอภิวัฒน์ สวรรค์คำธารณ์

รหัส 37013155 ห้อง 2S

อาจารย์ที่ปรึกษา

รศ. นพรัตน์ เลาสงคราม

วัน เดือน ปี..... 29 ก.ย. 2541

เลขทะเบียน..... 038020

เลขเรียกหนังสือ..... T 39040 ศ. 25 ก.

ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร วิศวกรรมศาสตร์
สาขาวิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม
ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยี พระจอมเกล้า เจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร 038020 นำไปใช้

จัดทำโดย

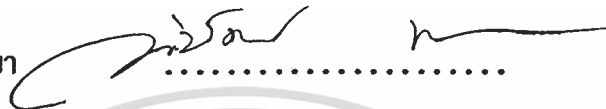
นาย สมบูรณ์ กาญจนอนันต์

37013446

นาย อภิวัฒน์ สวรรค์คำธรณ์

37013455

อาจารย์ที่ปรึกษา



(รศ. พัทธน์ เลาสงคราม)

ภาควิชา เทคโนโลยีการควบคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

อนุมัติให้มอบปริญญาบัตรแก่นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญา วิศวกรรมศาสตรบัณฑิต

ปีการศึกษา 2539

ALTERNATING CURRENT LINE MODEM

Mr. Somboon Kanjanaanan

Mr. Apiwat Svankamthron

**A Project Report Submitted in Partial
Fulfillment of the Requirement for the Degree
of Bachelor of Industrial Instrument Technology
Department of Instrument Engineering
Faculty of Engineering
KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

BANGKOK , THAILAND

1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์

การสื่อสารข้อมูลบนสายไฟฟ้ากำลังด้วยโมเด็ม

จัดทำโดย

นาย สมบูรณ์ กาญจนอนันต์

37013446

นาย อภิวัฒน์ สวรรค์คำสุรณ

37013455

สาขาวิชา

วิศวกรรม การวัดคุมทางอุตสาหกรรม

อาจารย์ที่ปรึกษา

รศ. นิพนธ์ เลาสงคราม

ปีการศึกษา

2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญา วิศวกรรมศาสตรบัณฑิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ในยุคปัจจุบันคอมพิวเตอร์ได้เข้ามามีบทบาทอย่างมากต่อชีวิตความเป็นอยู่แทบทุกจะทุกๆ ด้านก็ว่าได้ มีการนำเอาไปประยุกต์ใช้งานในอุตสาหกรรม , การแพทย์ , วิศวกรรม และ อีกหลายด้าน มีนักวิชาการหลายท่านได้กล่าวไว้ว่า " การสื่อสารถือได้ว่าเป็นส่วนสำคัญส่วนหนึ่ง ในการดำรงชีวิตของมนุษย์ " โดยพิจารณาจากรูปแบบการสื่อสารทั้งหลาย เช่น

- การสนทนาระหว่างบุคคล 2 คน หรือมากกว่า
- การอ่านหนังสือ
- การรับหรือส่งจดหมาย
- การสนทนากันทางโทรศัพท์
- การดูภาพยนตร์หรือโทรทัศน์
- การดูภาพวาดต่างๆ
- การฟังการบรรยาย
- ฯลฯ

จากตัวอย่างที่ยกมานี้เป็นบางส่วนของ การสื่อสารเท่านั้น ซึ่งยังมีอีกนับพันรูปแบบ ของการสื่อสารที่พบในชีวิตประจำวัน และการสื่อสารข้อมูลทางสายไฟฟ้ากระแสสลับ โดยผ่านโมเด็ม (A.C. LINE MODEM) เป็นการส่งข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่งโดยใช้หลักการเดียวกันกับการสื่อสารข้อมูลทางโทรศัพท์ เพียงแต่การสื่อสารผ่านสายไฟฟ้ากระแสสลับ ยังไม่มีประสิทธิภาพดีเท่ากับการสื่อสารทางสายโทรศัพท์ แต่ถ้าได้มีการพัฒนาขึ้นอีก การสื่อสารผ่านสายไฟฟ้ากระแสสลับ ให้มีประสิทธิภาพดีใกล้เคียงกับ การสื่อสารทางสายโทรศัพท์การนำมาใช้งานจริงๆ ก็คงเยอะไม่แพ้สายโทรศัพท์เช่นกัน

Abstract

Nowadays, computer has taken major role in human life such as industry, engineering, and many other fields. The professor has said that communication is an important part of our life" by considering these factors below :

- conversation between two people or more
- Reading
- Mailing
- Telephoning
- Watching movies and television
- Painting
- Seminar attendance
- etc

The examples above are only parts of communication. There are so many types of communication found in our daily life. One of these is connecting AC Line Modem Which can send the message from one place to another like using telephone. But the efficiency of the output is still not as good as the efficiency of using telephone line. If the AC Line Modem have been improved, the usage of this type of communication will be as much the usage of telephone line.

กิตติกรรมประกาศ

การจัดทำปฏิญานินพนธ์ฉบับนี้ ได้รับความกรุณาเอื้อเฟื้อจากบุคคลต่างๆ ในการให้คำแนะนำให้ข้อมูล และอำนวยความสะดวกดังมีรายนามต่อไปนี้

1. รองศาสตราจารย์ พินันท์ เลาหงศคราม
- อาจารย์ที่ปรึกษา ในการจัดทำปฏิญานินพนธ์ฉบับนี้
2. รองศาสตราจารย์ ด็อกเตอร์ พุคคิตี ชิวสุวิทย์
- อาจารย์ประจำคณะวิศวกรรมศาสตร์ ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
3. ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
- ให้เครื่องมือในการจัดทำปฏิญานินพนธ์ฉบับนี้

สารบัญ

เรื่อง

หน้า

บทคัดย่อ

กิตติกรรมประกาศ

บทที่ 1 บทนำ

1

1.1 บทนำ

1

1.2 ความเป็นมาและความสำคัญของโครงการ

1

1.3 วัตถุประสงค์ของโครงการ

1

1.4 ขอบเขตของโครงการ

1

1.5 สมมติฐาน

2

1.6 ขั้นตอนการดำเนินโครงการ

2

1.7 ประโยชน์ที่คาดว่าจะได้รับ

2

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

3

2.1 การสื่อสารข้อมูล

3

2.1.1 วิวัฒนาการของไมโครอิเล็กทรอนิกส์

3

2.1.2 มาตรฐานสากลในการ Interface

3

2.2 การส่งผ่าน

5

2.3 RS-232-C

6

2.3.1 Physical-layer communications protocols

8

2.3.2 คุณสมบัติของสัญญาณไฟฟ้า

11

2.3.3 คุณสมบัติการกลของการ Interface

15

2.3.4 ลักษณะการทำงานของวงจรต่าง ๆ

16

2.3.5 โครงสร้างทั่ว ๆ ไปของมาตรฐาน RS-232-C

20

2.3.6 ลักษณะการต่อ RS-232-C ที่ไม่ใช่แบบมาตรฐาน

22

2.4 วงจรโมดูล์ในสายไฟฟ้ากำลังและคัพเลอร์

24

2.5 วงจรจูนและคัพเลอร์

24

เรื่อง

หน้า

2.6	เอฟเอสเคโมดูละชั้น	24
2.7	วงจรกรองความถี่ (Active Filter)	27
2.8	เอฟเอสเคโมดูละชั้น	29
บทที่ 3	การคำนวณการออกแบบ	33
3.1	วงจรเอชไอไลท์ดูละชั้นและคัพเพลอร์	33
3.2	วงจรจูนและคัพเพลอร์	34
3.2.1	การสร้างหม้อแปลงสัญญาณ	35
3.2.2	สมการหลักในการคำนวณ	35
3.2.3	การวัดค่าอินคิตแตนซ์และควอลิตี้แฟกเตอร์	35
3.2.4	การคำนวณหม้อแปลงและการกำหนดค่าคาปาซิแตนซ์	37
3.2.5	สรุปการพินหม้อแปลง	39
3.3	วงจรกรองความถี่ Band Pass Filter	40
3.4	วงจรเอฟเอสเคโมดูละชั้น	47
บทที่ 4	การทดลอง	50
4.1	ลำดับขั้นตอนการทดลองสื่อสารข้อมูลผ่านสายไฟฟ้ากำลังด้วยโมเด็ม	50
4.2	ผลการทดลอง	55
บทที่ 5	สรุปผลการทดลอง	60
5.1	สรุปผลการทดลอง	60
5.2	ข้อเสนอแนะและข้อควรระวัง	60
	หน้าสื่ออ้างอิง	61
	ภาคผนวก	

บทที่ 1

1.1 บทนำ

ในการติดต่อสื่อสารข้อมูล โดยเฉพาะในระบบคอมพิวเตอร์ด้วยการส่งผ่านข้อมูลทางสายจากจุดหนึ่งไปอีกจุดหนึ่งนั้น การส่งข้อมูลแบบอนุกรมก็เป็นแบบหนึ่งที่ใช้กันอย่างกว้างขวาง สาย Cable ที่ลากระหว่างจุดต่างๆ บางครั้งก็เป็นอุปสรรคกับการเดิน หรือ การทำงาน ถ้ากรณี มีสาย cable อยู่เป็นจำนวนมาก ก็อาจทำให้สับสนว่า สายใดมาจากจุดใดรวมถึงค่าใช้จ่ายในการติดตั้งสายที่ค่อนข้างสูง ซึ่งสิ่งเหล่านี้ เป็นข้อเสียของการติดต่อสื่อสารข้อมูลของคอมพิวเตอร์ที่ใช้วิธีการต่อสายเป็นจุดต่อจุด ด้วยเหตุนี้ เราจึงทำการทดลองเพื่อศึกษาความเป็นไปได้ของการส่งข้อมูลผ่านลงในสายไฟฟ้ากำลังว่า จะสามารถทำได้จริงหรือไม่ เพื่อเป็นแนวทาง ในการพัฒนาไปสู่ความสะดวก และประหยัดยิ่งขึ้น

ความเป็นจริงอย่างหนึ่งคือ ในสายไฟฟ้านั้น มีความเปลี่ยนแปลงต่างๆ ที่เราไม่สามารถคาดหมายได้ การออกแบบส่วนต่าง ๆ ที่ใช้รับส่งสัญญาณจะต้องทำให้ค่าความเปลี่ยนแปลงหรือสัญญาณรบกวนต่าง ๆ ไม่มีผลต่อระบบภายในวงจร หรือให้ค่าความเปลี่ยนแปลง หรือสัญญาณรบกวนต่าง ๆ ไม่มีผลต่อระบบภายในวงจร หรือให้มีผลกระทบต่ำที่สุดเท่าที่จะทำได้

1.2 ความเป็นมาและความสำคัญของโครงการ

ในปัจจุบันการสื่อสารข้อมูลสามารถทำได้หลายวิธีด้วยกันซึ่งอาจจะขึ้นอยู่กับเหตุผลต่าง ๆ เช่น ความเร็ว ความแม่นยำ ความสะดวก การประหยัด ฯลฯ ดังนั้น จึงได้คิดค้นการสื่อสารข้อมูลทางสายไฟฟ้ากำลัง โดยได้แนวความคิดเบื้องต้นจากการสื่อสารผ่านสายโทรศัพท์ ซึ่งใช้หลักการที่ว่า ถ้าสายไฟฟ้ากำลังต่อถึงกัน ก็น่าจะสื่อสารกันได้ ซึ่งจะเป็นผลให้ลดค่าใช้จ่ายในเรื่องคู่สายโทรศัพท์ และอีกอย่างการสร้างรอมเต็มตัวนี้เราลงทุนก็ค่อนข้างต่ำ

1.3 วัตถุประสงค์ของโครงการ

1. สร้างรอมเต็มเพื่อใช้ในการสื่อสารข้อมูลในสายไฟฟ้ากำลัง
2. ลดค่าใช้จ่ายในการสื่อสารข้อมูล
3. ออกแบบโดยใช้ความรู้ทางด้านวิศวกรรมอิเล็กทรอนิกส์ที่ได้เรียนมา
4. สามารถนำไปใช้งานทางด้านการสื่อสารข้อมูลได้

1.4 ขอบเขตของโครงการ

1. สามารถสื่อสารข้อมูลบนสายไฟฟ้ากำลังได้
2. สามารถส่งแบบ Full duplex ได้

เอกสารนี้เป็น Baud Rate ตั้งแต่ 1200 ขึ้นไป เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 สมมติฐาน

ถ้าสายโทรศัพท์ต่อกัน สื่อสารกันได้ สายไฟฟ้ากำลังต่อกัน ก็น่าจะสื่อสารกันได้

1.6 ขั้นตอนการดำเนินโครงการงาน

1. หาข้อมูลทฤษฎีต่างๆที่เกี่ยวข้องและคิดว่าจะนำมาใช้ในโครงการงานนี้
2. ออกแบบวงจร
 - 2.1 คำนวณและออกแบบวงจร F.S.K Modulation
 - 2.2 คำนวณและออกแบบวงจรภาคส่ง
 - 2.3 คำนวณและออกแบบวงจรภาครับ
 - 2.4 คำนวณและออกแบบวงจร แบนพาสฟิลเตอร์
 - 2.5 คำนวณและออกแบบวงจร F.S.K Demodulation
 - 2.6 คำนวณและออกแบบวงจร Interface RS-232-C
3. หาอุปกรณ์มาทดลอง และเลือกเอาวงจรที่มีประสิทธิภาพสูงสุด
4. นำวงจรที่ทดลองมาต่อร่วมกัน
5. แก้ไขวงจรให้ได้ตามขอบเขตที่วางไว้ ซึ่งบางวงจรต้องหาใหม่
6. ทำการทดสอบว่าโครงการงานสามารถทำได้ตามขอบเขตหรือไม่
6. จัดทำปริญญานิพนธ์

1.7 ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถประหยัดเวลาในการติดต่อสื่อสารข้อมูล
2. ลดค่าใช้จ่ายในการสื่อสารข้อมูล
3. ประหยัดเวลาในการทำงาน
4. สามารถนำไปใช้งานได้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 การสื่อสารข้อมูล

1.2.1 วิวัฒนาการของไมโครอิเล็กทรอนิกส์

ในยุคปัจจุบัน และต่อไปในอนาคตการนำเอาเทคโนโลยีของคอมพิวเตอร์ไปประยุกต์ใช้งานต่าง ๆ จะแพร่หลายมากขึ้น เราอาจจะต้องพบกับข้อความแปลก ๆ เช่น Plug in Home หมายถึงการนำเอาไปใช้งานในบ้านต่าง ๆ Paperless office หมายถึงสำนักงานที่ใช้คอมพิวเตอร์ บันทึกรายละเอียดต่าง ๆ แทนที่จะใช้กระดาษ telecommuting หมายถึงการสื่อสารระยะทางไกล ๆ โดยส่งผ่านเครื่องฟิวเตอร์ ในปัจจุบันการตอบสนอง ให้ตรงจุดประสงค์ของผู้ใช้บริการ การสื่อสารข้อมูล ได้มีการปรับปรุงให้มีประสิทธิภาพสูงขึ้น อย่างมาก ซึ่งเราจะเรียกบริการ หรือข่าวสารที่ตอบสนองต่อความต้องการของผู้ใช้ว่า Information Utility ดังเช่นในขณะนี้การบริการในลักษณะดังกล่าวมีแหล่งข้อมูลอยู่สองระบบคือการบริการที่ใช้ระบบการจัดสรรเวลา หรือ Time-sharing System และ อีกระบบคือ การบริการ Teletex และ Viewdata ซึ่งเราเรียกแหล่งข่าวสาร (Data Source) หรือ ธนาคารข้อมูล (Data Bank) ในลักษณะนี้ว่า Source หรือ Micronet)

1.2.2 มาตรฐานสากลในการ Interface

องค์กรต่าง ๆ ได้สร้างมาตรฐานของตนเองขึ้นมาซึ่งมีอยู่มากมาย ดังนั้นจึงจำเป็นต้องสร้างมาตรฐานต่าง ๆ ที่ใช้กันอยู่ให้ครบถ้วน

EIA : The Electronic Industries Association เป็นมาตรฐานที่กำหนดขึ้นโดยสมาคมโรงงานอุตสาหกรรมผู้ผลิตอุปกรณ์อิเล็กทรอนิกส์สหรัฐอเมริกา มาตรฐาน ที่ตั้งขึ้นมาใช้กำหนดมาตรฐานของเครื่องมืออุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ ในการกำหนดมาตรฐาน จะให้รหัส RS เป็นหลัก เช่น มาตรฐาน RS-232C ซึ่งใช้กันแพร่หลายในระบบการสื่อสารข้อมูลคอมพิวเตอร์ โดยจะกล่าวถึงมาตรฐานของลักษณะสัญญาณไฟฟ้า ในการอินเตอร์เฟซเทอร์มินัล เข้ากับโมเด็ม หรือ อินเตอร์เฟซเทอร์มินัล เป็นต้น

นอกจากนี้มาตรฐานอื่นที่มีการตั้งขึ้นมาซึ่ง ประกอบด้วย ETA- RS449 ,RS-422A และ RS-423A เป็นต้น

CCITT : The Consultative Committee In International Telegraphy and Telephony เป็นองค์สากล ที่กำหนดมาตรฐานเกี่ยวกับการควบคุมระบบภาษี แนะนำ หรือ กำหนดมาตรฐานของระบบสื่อสารระหว่างประเทศทั้งโทรเลขและโทรศัพท์ CCITT เป็นเอกสารนี้เป็นเอกสารที่สมารถใช้สำหรับการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยงานหนึ่งของ ITU หรือ Telecommunication Union โดยมีหน้าที่เกี่ยวข้องกับการกำหนดมาตรฐาน ทางด้านการสื่อสารข้อมูล

CCITT Study group VII : ทำหน้าที่พัฒนา และค้นคว้าเกี่ยวกับมาตรฐานการสื่อสารข้อมูลที่ติดต่อกันเป็นเครือข่ายโดยผลงานการวิจัยต่างๆ จะตีพิมพ์เผยแพร่ลงในวารสาร ISO X-series Recommendation.

CCITT Study XVII : ทำหน้าที่พัฒนาที่เกี่ยวกับ การสื่อสารทางโทรศัพท์ โดยผลงานต่างๆ จะมีการตีพิมพ์ลงในเอกสาร ISO V- Series Documents สำหรับมาตรฐานของ CCITT ที่ใช้กันแพร่หลายทางด้านการสื่อสารข้อมูลดังเช่น

V.2S	ใช้แทน	RS- 232 C	ได้
V.10	ใช้แทน	EIA RS-423A	ได้
V.11	ใช้แทน	EIA RS-422A	ได้ และ
V.21	ใช้แทน	EIA RS-449	ได้ เป็นต้น

ในการกำหนดมาตรฐานของ CCITT จะกำหนด ออกมาเป็นฉบับต่าง ๆ คือ Series A,B,C,D,E,F,.....Z ทุก ๆ ปี จะมีการร่วมประชุมปรึกษาหารือกันระหว่างประเทศสมาชิกในข้อกำหนดใหม่ ๆ หรือ ปรับปรุงมาตรฐานเก่าให้ทันสมัยทุก ๆ 2 - 4 ปี จะออกหนังสือ Recommendation Series ต่าง ๆ ให้ทันสมัยขึ้น การอ้างอิง Recommendation ของ CCITT ปีใดสืออะไร ตัวอย่างเช่น CCITT Recommendation Yellow book Series Year หรือ Orange Book Series Year เป็นต้น

ISO:The Internation Standard Organization เป็นองค์กรที่ตั้งอยู่ในเมืองเจนีวาประเทศสวิตเซอร์แลนด์ ซึ่งทำหน้าที่กำหนดมาตรฐานทางกายภาพ ของอุปกรณ์ต่าง ๆ ที่ใช้ในการสื่อสารโทรคมนาคม โดยเฉพาะที่เกี่ยวกับคอมพิวเตอร์ และอินพุต/เมชีนพรเซส ซึ่งองค์กรนี้จะประสานงานกับ CCITT อย่างใกล้ชิด

ANSI : The American National Standard Institute เป็นมาตรฐานของ ANSI ส่วนใหญ่จะเกี่ยวกับ

1. ให้ความหมาย หรือ ข้อกำหนดของลักษณะของระบบผลิตสัญญาณ และ รับสัญญาณที่ใช้ในระบบสื่อสารทั่วไป

2. กำหนดคุณภาพและคุณลักษณะของข้อมูลที่กำลังส่งออก

3. ให้บริการเกี่ยวกับมาตรฐานสากล และ มาตรฐานภายในประเทศสหรัฐ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
อเมริกา Federal Government Standard เป็นหน่วยงานของรัฐบาลสหรัฐอเมริกาที่มีหน้าที่
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่กำหนดมาตรฐานทางด้านการสื่อสารในส่วนที่เกี่ยวกับการสื่อสารข้อมูล เมื่อถูกกำหนดให้เป็นมาตรฐานโดย National Bureau of Standard (NBS) แล้วเราจะรู้จักกันในชื่อของ Federal Information Processing Standard ซึ่งมาตรฐานส่วนใหญ่ จะเหมือนกับมาตรฐานของ EIA

Military Standard-188 เป็นมาตรฐานของทหาร ซึ่งถูกกำหนดเป็นมาตรฐานสำหรับเทคนิคการสื่อสารโทรคมนาคมของทหารตัวอย่างหนึ่งของมาตรฐานคือ MIL-STD-185 MIL-STD-188A และ MIL-STD 188S และที่ใช้กันแพร่หลายคือ MIL-STD-188C มาตรฐานเหล่านี้ เรียกว่า MIL-STD-188 ซึ่งใน Series นี้ อาจจะแยกออกเป็นหลายหมวด เช่น มาตรฐาน Common Long Haul / Tractical ใช้ MIL-STD-188-100 เป็นต้น

Bell System เป็นมาตรฐานที่กำหนดโดยองค์กร (ซึ่งมีลักษณะคล้ายกับองค์การโทรศัพท์แห่งประเทศไทย) ทางโทรศัพท์ของบริษัท Bell Laboratory มาตรฐานของ Bell เป็นหน่วยงานที่ใหญ่มากในสหรัฐอเมริกา และมีส่วนแบ่งการขายในตลาดสูงทำให้อุปกรณ์ชนิดที่จะใช้ร่วมกันกับระบบโทรศัพท์ของ Bell ก็เริ่มผ่อนปรน หรือแก้ไขข้อกำหนด ของตนให้เข้า กับ CCITT ได้ (เฉพาะบางส่วนเท่านั้น)

โพรโตคอลและเน็ตเวิร์กฟังกชัน โพรโตคอล (Protocol) หมายถึง กฎเกณฑ์ขบวนการ และรูปแบบของภาษาซึ่งได้ถูกกำหนดขึ้นในการสื่อสารข้อมูลโดยจะอยู่ในรูปของซอฟต์แวร์ และฮาร์ดแวร์ประกอบกันลักษณะของโพรโตคอล ได้แก่รูปแบบของการส่งของข้อมูลที่เป็นแบบ HDX (Half Duplex) แบบ FDX (Full - full Duplex) และ (Full-Full Duplex) เป็นต้น

โพรโตคอลที่พบเห็นการใช้งานบ่อยครั้ง เช่น SDLC (Sydeibiy s Data Link Control) ซึ่งกำหนด และสร้างขึ้นโดยบริษัท IBM, HDLC (High Level Data link Control) ของ บริษัท Honey well นอกจากนี้ยังมีโพรโตคอล ที่สร้างขึ้นโดยบริษัทอื่น ๆ อีกมากมายเช่น DDCMP (Digital Data Communication Message Protocol) BDLC, DLC, CDC, NAPLP ซึ่งก็มีโครงสร้างที่แตกต่างกันออกไป

2.2 การส่งผ่าน

โดยทั่วไปหลักใหญ่ของการส่งข้อมูลในคอมพิวเตอร์ หรือระหว่างคอมพิวเตอร์ด้วยกันจะมีลักษณะของการส่งข้อมูลอยู่ 2 แบบคือส่งแบบขนานและส่งแบบอนุกรม ดังกล่าวมาแล้วว่าคำสั่งหรือข้อมูลอยู่ในรูปของบิต คือหลาย ๆ บิตประกอบเป็นคำๆหนึ่ง (word) หรือคำสั่งหนึ่ง ๆ ดังในรูป 2.1 ได้แสดงถึงกลุ่มของบิต ที่มีการใช้งานในไมโครคอมพิวเตอร์ โดยในการกำหนดไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของหน่วยความจำ หรือการเขียนคำสั่ง และขบวนการอื่นๆ ส่วนแต่ต้องดัดแปลงให้อยู่ในเลขฐานยี่ กับเลขหนึ่งเสมอ จึงจะทำให้ที่ผู้รับรู้และปฏิบัติตามได้จึงได้มีการกำหนดลักษณะมาตรฐานของข้อมูลดังนี้ "ถ้าข้อมูลหนึ่งตัวเมื่อแปลงให้อยู่ในรูปของเลขฐานสองประกอบด้วย 4 บิต เราเรียกว่า 4 บิตไมโครหรือ 1 ไนบเบิล (Nybble)" การส่งข้อมูลประกอบไปด้วยกลุ่มของบิตที่มี 8 บิต เราเรียกว่า 1 ไบท์ (Byte)" การส่งข้อมูลแบบอนุกรม : ข้อมูลแต่ละบิตจะถูกเรียงกันออกไปเป็นลำดับต่อเนื่องจากกันทีละบิตเช่น ถ้าข้อมูลเป็น 1010 : ทางขวามือสุดซึ่งเป็น LSB (Least Significant bit) ส่งออกไปก่อนตามด้วยบิตที่สองคือ เลข 1 และ บิตที่ 3 คือ เลข 0 และบิตสุดท้ายคือ เลข 1 ซึ่งเป็น MSB (Most Significant Bit) ตามลำดับโดยสายส่งข้อมูลจะมีเพียงเส้นเดียวเท่านั้น การส่งข้อมูลแบบขนาน : ข้อมูลทุก ๆ บิต จะถูกส่งออกไปพร้อม ๆ กันในครั้ง เดียวเช่น ถ้าข้อมูลเป็น 1010 ทั้งสี่บิตนี้จะถูกส่งออกไปพร้อมกัน โดยผ่านสายส่งข้อมูลที่มี 4 เส้น โดยแต่ละบิตส่งในสายคนละเส้นการควบคุมการส่งผ่านข้อมูล

เราได้ทราบลักษณะการส่งผ่านข้อมูลมาแล้ว ทั้งการส่งแบบขนาน และอนุกรม ซึ่งการส่งทั้งสองลักษณะนี้จะต้องมีการซิงโครไนซ์ระหว่างเครื่องส่งและเครื่องรับ เพื่อให้การรับส่งข้อมูลเป็นไปด้วยความพร้อมเพียง และถูกต้องซึ่งถ้าหากการรับส่งข้อมูลขาดการซิงค์โรไนซ์กันแล้วจะเกิดข้อบกพร่องได้ดังนี้คือ

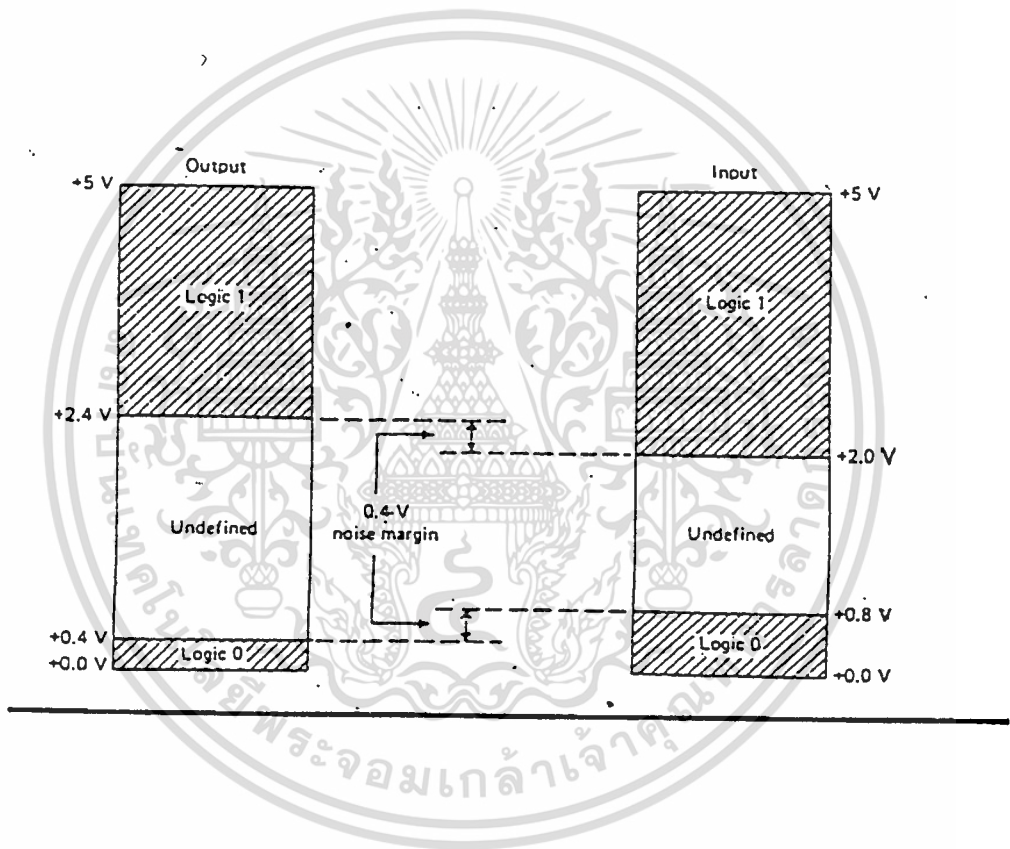
- เครื่องส่งจะทำการส่งข้อมูล ทั้ง ๆ ที่ เครื่องทางด้านรับยังไม่พร้อมที่จะรับข้อมูล
- เครื่องส่งอาจจะไม่ส่งข้อมูล แม้ว่าเครื่องรับพร้อมที่จะรับข้อมูลแล้วก็ตาม
- เครื่องรับสุ่มรับข้อมูลด้วยเวลาที่ผิด ๆ ทำให้รับข้อมูลที่คลาดเคลื่อนเข้ามา
- เครื่องส่งหลาย ๆ เครื่องส่งข้อมูลเข้ามายังเครื่องรับเครื่องเดียวในเวลาเดียวกัน

2.3 RS-232-C

ก่อนอื่นเราจะกล่าวถึง ปัญหาที่เกิดขึ้นในการส่งข้อมูลระหว่างอุปกรณ์อิเล็กทรอนิกส์การส่งข้อมูลจะเกิดขึ้นได้จะต้องมี แหล่งสัญญาณ (Source) แหล่งรับสัญญาณ (Destination) และการเชื่อมต่อระหว่าง แหล่งสัญญาณสองแหล่งนี้ ในการส่งข้อมูลระหว่างชิพไอซีสองตัว ที่อยู่บนแผ่นวงจรพิมพ์ (Printed circuit card) แผ่นเดียวกัน เช่น ในการอ่านข้อมูลจากหน่วยความจำเป็นขบวนการที่เกิดขึ้นระหว่าง CPU และ หน่วยความจำที่เป็นขบวนการที่เกิดขึ้นระหว่าง CPU และ หน่วยความจำบางตัวบนแผ่นวงจรพิมพ์ด้วย โดยทั่ว ๆ ไป ข้อมูลจะถูกแทนด้วยเลขฐานสอง ระดับแรงดัน 5 โวลท์และแทนลอจิก 1 และ ระดับแรงดัน 0 โวลท์จะ

เอกสารนี้แทนลอจิก 0 การแทนลอจิกด้วยระดับแรงดันเหล่านี้เรียกว่า การแทนระดับสัญญาณของอุปกรณ์ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TTL (Transistor-Transistor Logic) ซึ่งการแทนระดับสัญญาณแบบนี้ ถูกใช้ทั่ว ๆ ไป ในการส่งข้อมูลระหว่างอุปกรณ์ชิ้นหนึ่งไปยังอีกชิ้นหนึ่งภายในเครื่องคอมพิวเตอร์



รูป 2.1 คุณสมบัติทางไฟฟ้าของการอินเตอร์เฟสที่ใช้การแทนระดับสัญญาณ TTL

จากรูปที่ 2.1 จะเห็นว่า มีระดับแรงดันอยู่ช่วงหนึ่งเรียกว่า ช่วงการเปลี่ยนสถานะซึ่งไม่อาจจะระบุได้ว่า สัญญาณนี้ทางด้านรับจะมีช่วงนั้นเป็นลอจิก 0 หรือ 1 ช่วงของสัญญาณนี้ทางด้านรับจะมีช่วงแคบกว่าทางด้านขนส่ง ดังนั้นระดับแรงดันทางด้านรับที่ใช้แทนลอจิก 0 หรือ 1

เอกสารนี้จะมีช่วงกว้างกว่าทางด้านส่ง ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 Physical-Layer communications protocols.

Physical-layer communications protocols คือกลุ่มของข้อกำหนดที่เกี่ยวข้อง
ข้องเชื่อมต่อทางกล (mechanical connections) เช่นขนาดของคอนเน็คเตอร์คุณสมบัติ
ทางสัญญาณไฟฟ้า และคุณสมบัติที่เกี่ยวกับหน้าที่ของสัญญาณเหล่านี้ ซึ่งข้อกำหนดเหล่านี้ จะต้อง
เป็นไปตามมาตรฐาน ในการสื่อสารข้อมูล ข้อมูลจะถูกส่งไปมาระหว่าง อุปกรณ์อิเล็กทรอนิกส์
ผ่านทางอินเทอร์เฟซซึ่งจะประกอบด้วยสัญญาณไฟฟ้าและคอนเน็คเตอร์ (ตัวต่อสายเคเบิล
เข้ากับอุปกรณ์) ข้อมูลที่ส่งจะถูกแทนด้วยสัญญาณด้วยการเปลี่ยนแปลงของกระแส และแรงดัน
การสื่อสารข้อมูล จะเป็นไปได้อีกก็ต่อเมื่อ อุปกรณ์ต่าง ๆ ที่ใช้เป็นไปตามลำดับข้อกำหนด
Physical layer communications protocols โปรดคล้อยได้กำหนด ข้อกำหนด
ต่าง ๆ ไว้อย่างชัดเจนเพื่อหลีกเลี่ยงปัญหาบางอย่าง ขึ้นได้ การสื่อสารข้อมูลแบบอนุกรมตาม
มาตรฐาน RS-232-C ลักษณะทั่ว ๆ ไปได้เราอ่านแคตตาล็อก (Catalogue) ของเทอร์มินัล
หรือเครื่องพิมพ์เราจะเห็นข้อความ "RS-232-C Compatible" ข้อความนั้นหมายความว่า
อุปกรณ์ตัวนั้นสามารถต่อกับคอมพิวเตอร์ได้โดยใช้คอนเน็คเตอร์แบบ 25 ขาคุณสมบัติของสัญญาณ
ไฟฟ้า และ คุณสมบัติทางกลของอินเทอร์เฟซ ต้องเป็นไปตามมาตรฐานของ RS-232-C
ซึ่งกำหนดโดย EIA เนื่องจากความต้องการ ในการสื่อสารข้อมูลผ่านทางเครือข่ายโทรศัพท์ที่มี
มากขึ้นเรื่อย ๆ ดังนั้น จึงต้องมีการกำหนดมาตรฐานที่เรียกว่า RS-232-C ขึ้นเพื่อใช้เป็น
มาตรฐานแก่อุปกรณ์ที่ถูกผลิตจากบริษัทต่าง ๆ ในสหรัฐอเมริกา Bell System Operating
Telephone companies เป็นบริษัทหลักทรัพยากรบริษัทแรก ที่เป็นผู้ผลิต และติดตั้งระบบสื่อสาร
ข้อมูลขณะ ที่อุปกรณ์เกี่ยวกับคอมพิวเตอร์ต่าง ๆ ได้ถูกพัฒนาขึ้นเรื่อย ๆ โดยบริษัทต่าง ๆ
เทอร์มินัล และ อุปกรณ์อื่น ๆ มักถูกออกแบบ ให้สามารถอินเทอร์เฟซกับ Bell modem ได้
มาตรฐาน RS-232-C ได้ถูกตีพิมพ์โดย EIA ในปี ค.ศ.1969 ตัวอักษร RS แทนคำว่า
"Recommend Standard " ส่วน 232 แทนหมายเลขของมาตรฐาน ส่วนอักษร c แสดง
ให้รู้ว่ามาตรฐานได้รับแก้ไขกี่ครั้ง

ตามมาตรฐาน RS-232-C ที่ถูกตีพิมพ์โดย EIA ได้กล่าวถึงการสื่อสารข้อมูลระหว่าง
Data Terminal Equipment (DTE) และ Data communication (DCE)

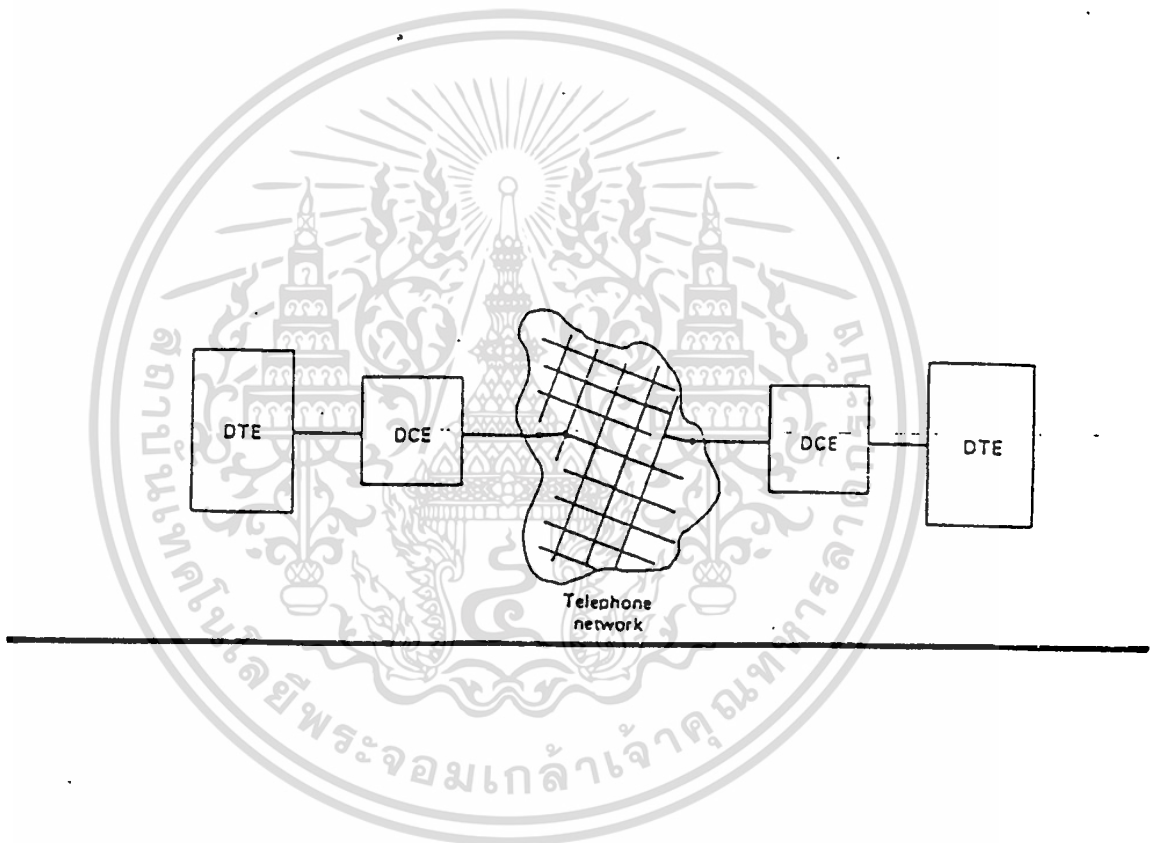
DCE : อุปกรณ์ที่ฟังก์ชันการทำงานต่าง ๆ ที่ทำให้เกิดการเชื่อมต่อ ทำให้การเชื่อมต่อ
ดำรงไปและยุติการเชื่อมต่อ นอกจากนี้ยังใช้เปลี่ยนลักษณะของสัญญาณ และ สร้างรหัสสัญญาณ
ต่าง ๆ ที่จำเป็นต้องใช้ในการสื่อสารข้อมูลระหว่าง DTE (Data Terminal Equipment)

และ Data Circuit โดย DCE อาจเป็นส่วนใดส่วนหนึ่งของคอมพิวเตอร์หรือไม่ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ผ่านการคำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DTE: เป็นอุปกรณ์ที่ประกอบไปด้วย

1. เป็นอุปกรณ์ที่ประกอบไปด้วย ตัวส่งข้อมูล (Data Source) หรือ ตัวรับข้อมูล (Data Sink) หรือเป็นทั้งตัวส่งและตัวรับข้อมูลก็ได้
2. เป็นอุปกรณ์ที่ประกอบด้วย Function Unit ต่อไปนี้ Control Logic Buffer Store และ อุปกรณ์อื่น ๆ หรือเอาทั้งหมดจำนวนหนึ่งตัวหรือมากกว่าก็ได้ และ ลักษณะของ DCE และ DTE ที่ใช้ในการสื่อสารข้อมูลได้แสดงไว้ในรูป 2.2 ตามลักษณะการทำงานที่อธิบายไว้ข้างต้น



รูป 2.2 ลักษณะของ DTE และ DCE ที่ใช้ในวงจรการสื่อสารข้อมูล

นอกจากนี้ถ้าเทอร์มินัล และคอมพิวเตอร์ของเราเป็น DCE หรือ DTE ทั้งคู่เราจะทำการสื่อสารข้อมูลได้อย่างไร ปัญหาที่เกิดขึ้นเหล่านี้เราแก้ไขได้โดยใช้ Cable ที่เรียกว่า Null Modem การทำงานของ Null-Modem นั้นก็เป็นไปตามชื่อของมันคือ

1. Null หมายความว่า อุปกรณ์ตัวนี้ไม่สามารถทำงานอะไรได้ โดยใช้เคเบิล (cable) ที่เรียกว่า "Null modem" การทำงานของ Null-modem นั้นเป็นไปตามชื่อของมัน

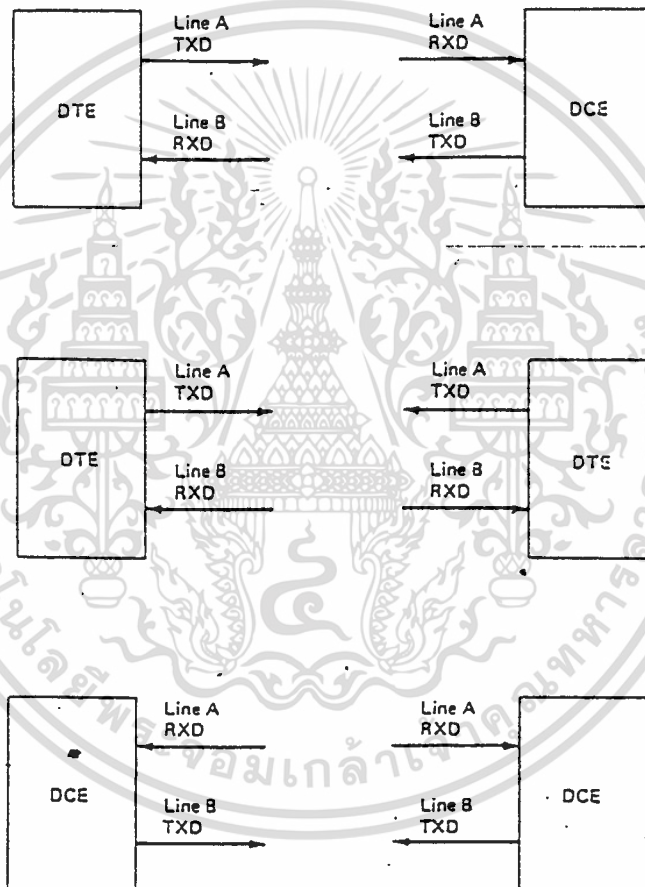
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และใช้เฉพาะภายในหน่วยงานเท่านั้น ไม่สามารถเผยแพร่ไปใช้ประโยชน์อื่นใดได้โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าไประหว่าง DTE สองตัว เพื่อให้เราสามารถทำการสื่อสารข้อมูลโดยผ่าน RS-232-C ได้

สำหรับลักษณะของสาย (line) ที่ใช้ในการรับและส่งข้อมูลของ DTE เป็นดังนี้

1. สายที่ใช้ในการรับและส่งข้อมูลของ DTE และ DCE มีอยู่สองเส้น แต่ละเส้นจะมีทิศทางการเคลื่อนที่ของข้อมูลกำหนดไว้ตรงทิศทางกัน (ดูรูป 2.3)

2. DTE จะส่งข้อมูลทาง Line A และ DCE จะรับข้อมูลทาง Line A เช่นเดียวกัน DCE จะส่งข้อมูลทาง Line B ดังแสดงในรูป 2.3

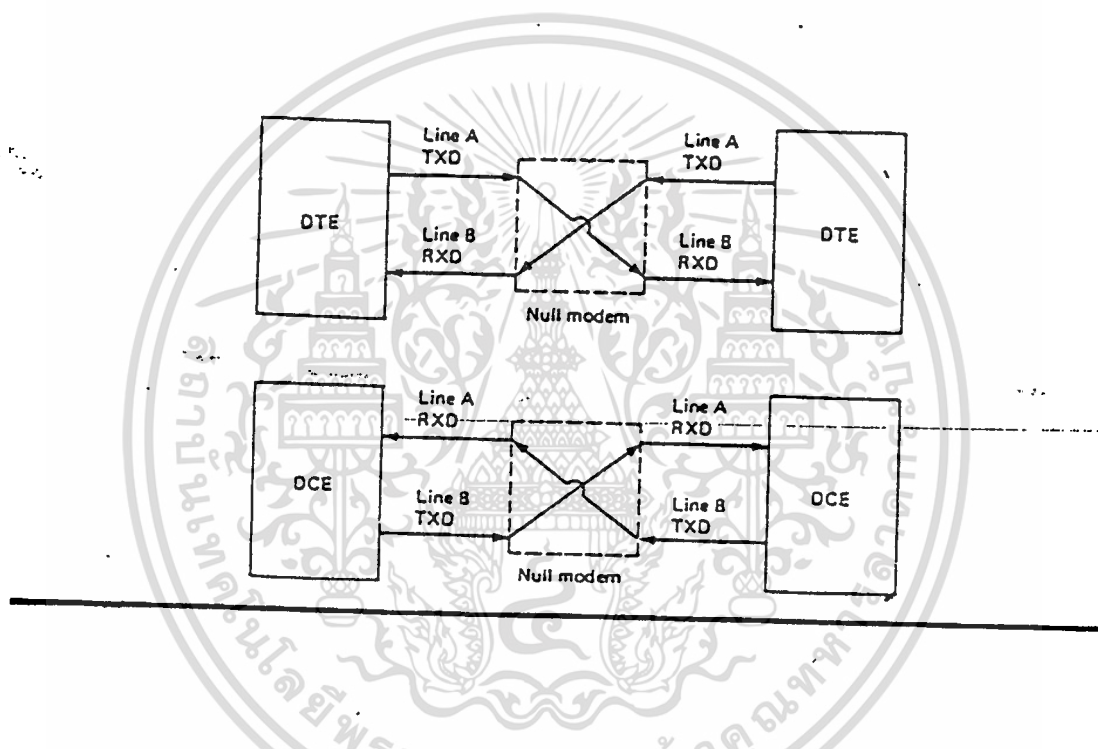


รูป 2.3 ลักษณะของการส่งและรับข้อมูลของ DTE และ DCE

จากรูปที่ 2.3 ถ้า DTE สองตัวทำการแลกเปลี่ยนข้อมูลกัน ข้อมูลจะถูกส่งออกทาง Line A และรับทาง Line B ทั้งคู่ ดังนั้นการสื่อสารข้อมูลไม่สามารถจะเกิดขึ้นได้สำหรับกรณีที่ DCE สองตัว ทำการแลกเปลี่ยนข้อมูล ก็เป็นเช่นเดียวกัน DCE ทั้งสองตัวจะรับข้อมูลทาง Line A และ ส่งข้อมูลทาง Line B เมื่อเราต่อ Line A เข้าด้วยกัน และต่อ Line B

เข้าด้วยกัน ข้อมูลใน Line B จะดันกันเองส่วนใน Line A ไม่มีข้อมูลที่จะรับปัญหานี้แก้โดยไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ Null Modem Cab จะทำการไขว้ Line A เข้ากับ Line B ดังรูปที่ 2.4 ดังนั้น DTE 1 สามารถรับข้อมูลที่ส่งจาก DTE 2 ได้ และ DTE 2 ก็สามารถรับข้อมูลจาก DTE 1 ได้เช่นกัน



รูป 2.4 ลักษณะการทำงานของ Null Modem ที่ใช้ในการอินเตอร์เฟส
ระหว่าง DTE หรือ DCE 2 ตัว

2.3.2 คุณสมบัติของสัญญาณไฟฟ้า

เราจะอธิบายคุณสมบัติของสัญญาณไฟฟ้าของ RS-232-C ในหัวข้อนี้โดยอาศัยรูปที่ 2.4 ประกอบ

1. สัญญาณที่ขาทุกขาของ Connector ของ RS-232-C จะเป็นสภาวะ (Status) ใด สภาวะหนึ่งในแต่ละคู่ของคู่ต่อไปนี้

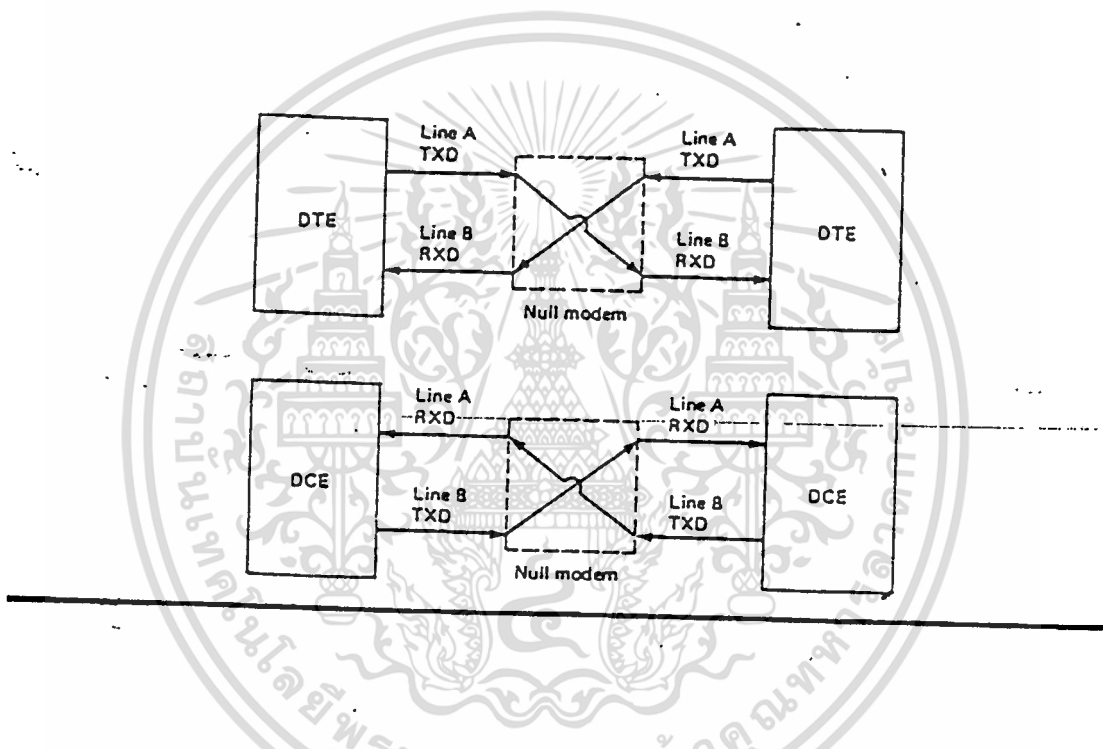
MARK /SPACE

ON /OFF

LOGIC 0 /LOGIC 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ Null Modem Cab จะทำการไขว้ Line A เข้ากับ Line B ดังรูปที่ 2.4 ดังนั้น DTE 1 สามารถรับข้อมูลที่ส่งจาก DTE 2 ได้ และ DTE 2 ก็สามารถรับข้อมูลจาก DTE 1 ได้เช่นกัน



รูป 2.4 ลักษณะการทำงานของ Null Modem ที่ใช้ในการอินเตอร์เฟซระหว่าง DTE หรือ DCE 2 ตัว

2.3.2 คุณสมบัติของสัญญาณไฟฟ้า

เราจะอธิบายคุณสมบัติของสัญญาณไฟฟ้าของ RS-232-C ในหัวข้อนี้โดยใช้รูปที่ 2.4 ประกอบ

1. สัญญาณที่ขาทุกขาของ Connector ของ RS-232-C จะเป็นสถานะ (Status) ใด สถานะหนึ่งในแต่ละคู่ของคู่ต่อไปนี้

MARK /SPACE

ON /OFF

LOGIC 0 /LOGIC 1

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ระหว่างสถานะของสัญญาณคู่ต่าง ๆ กับ แรงดันได้แสดงไว้ในตาราง 2.1 ขอให้สังเกตด้วยว่า RS-232-C ใช้ Negative Logic แทนระดับแรงดันต่าง ๆ (Negative Logic) คือวิธีการเปรียบเทียบระดับแรงดันแบบหนึ่ง ถ้าระดับแรงดันหนึ่งมีค่าเป็นลบมากกว่าอีกระดับหนึ่งระดับแรงดันที่มีค่าเป็นลบมากกว่าจะเป็น Logic "ON" ดังนั้น 1 = -V, Ground หรือ OFF ส่วน 0 = +V หรือ ON โดยแรงดันของระดับสัญญาณต่าง ๆ จะถูกวัดเทียบกับ Signal Ground ซึ่งจะกล่าวถึงในภายหลัง นอกจากนี้ช่วงของระดับของแรงดันระหว่าง -3 ถึง +3 Volt จะเป็นช่วงของการเปลี่ยนแปลง Logic ดังนั้นจึงไม่มีการระบุสถานะของสัญญาณในช่วงนี้

ตารางที่ 2.1

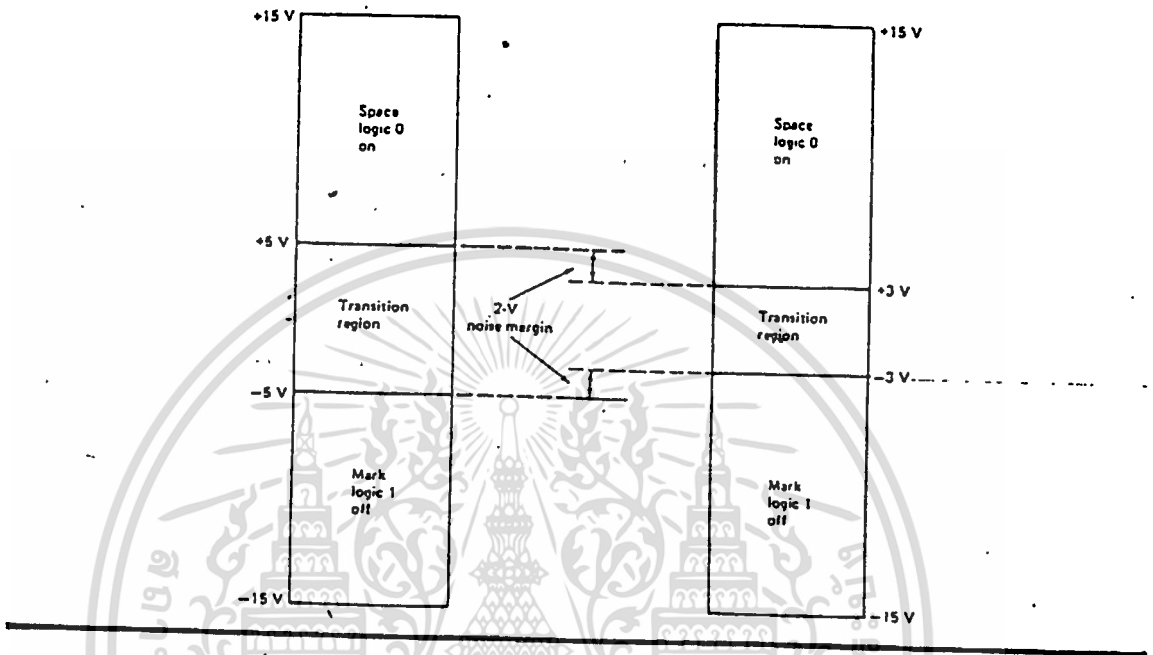
	Signal Voltage	
Status	$-25V < V_1 < -3V$	$3V < V < 25V$
Binary logic state	1	0
Signal condition	MARK	SPACE
Function	OFF	ON

2. ในการแทน Logic 1 หรือ สถานะ MARK ตัวขับสัญญาณ (Driver) ต้องจ่ายแรงดันระหว่าง -5 V ถึง -15 V ส่วนในการแทน Logic 0 หรือ Space ตัวขับสัญญาณต้องจ่ายแรงดันระหว่าง +5 V ถึง +15 V

จากข้อ 1. และข้อ 2. แสดงว่า RS-232-C ยอมรับให้มี Noise Margin ได้ไม่เกิน 2 V สำหรับความสัมพันธ์ระหว่างระดับแรงดันและสถานะของสัญญาณได้แสดงไว้ในรูปที่ 2.5

จากที่ได้อธิบายมาอาจมีข้อสงสัยว่าทำไมไม่ใช้สถานะ Logic แบบ TTL สาเหตุที่ไม่ใช้การ แทน Logic แบบ TTL ก็เพราะสถานะ Logic แบบ TTL ถูกรบกวนจากสัญญาณต่าง ๆ ได้ง่าย นอกจากนี้ ยังมีปัญหาเกี่ยวกับ ระยะทางที่สื่อสารข้อมูลอีกด้วย สำหรับสาเหตุที่ต้องใช้แรงดันในช่วง -15 V ถึง -3 V และ +3 V ถึง +15 V ก็เพราะในขณะที่กำลังทำการพัฒนา RS-232-C ขึ้นนั้น ในวงจร COMPUTER ต่าง ๆ โดยทั่ว ๆ ไป มีการใช้ระดับ

แรงดันในช่วงเหล่านี้



รูปที่ 2.5 คุณสมบัติทางไฟฟ้าของการ Interface แบบ RS-232-C

3. ตัวเก็บประจุ CL ที่ต่อขนานกับอุปกรณ์รับข้อมูลปลายทางจะต้องมีค่าไม่เกิน 2500 pF โดยค่านี้ไม่รวมค่าความจุไฟฟ้าของสายเคเบิลเข้าไปด้วย
4. แรงดันขณะเปิดวงจรหรือขณะที่ไม่มี Load (V_o) จะต้องไม่เกิน 25 v. ซึ่งก็คือแรงดันใด ๆ ใน Circuit ของการ Interface แบบ RS-232-C ต้องไม่เกิน 25 v.
5. วงจรรับสัญญาณที่ใช้กับ RS-232-C ต้องสามารถทนต่อการลัดวงจรที่เกิดขึ้นได้ (เช่น ขาสองขาเกิดลัดวงจรโดยไม่ตั้งใจ) โดยไม่ทำให้เกิดความเสียหายต่อตัวมันเอง หรืออุปกรณ์เกี่ยวข้องด้วย เช่น Terminal, Modem, Port I/O และอุปกรณ์ต่าง ๆ ที่ต่อเข้ากับเคเบิลที่ใช้ในการ อินเทอร์เน็ตแบบ RS-232-C

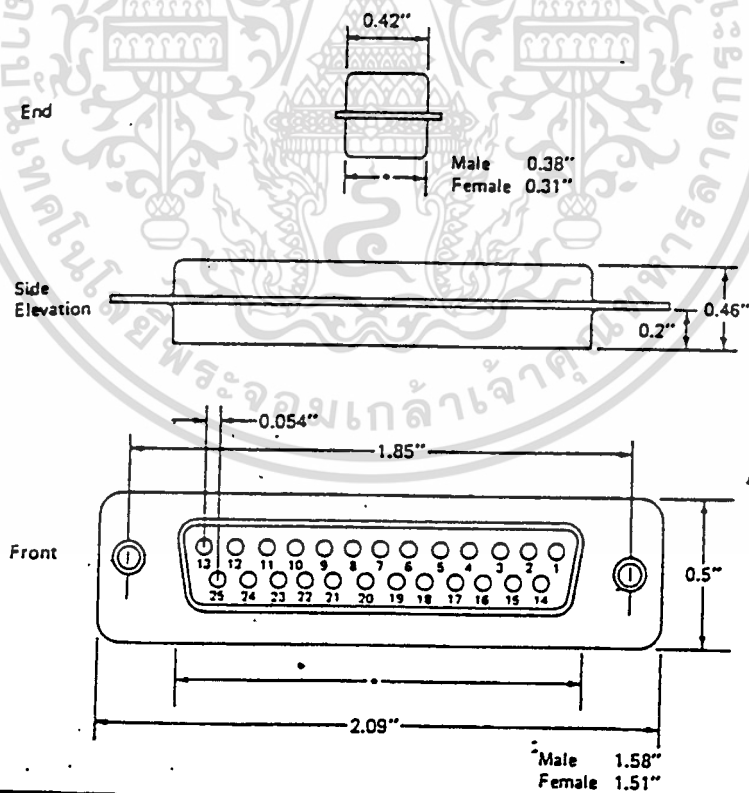
ขา	เซอร์กิต	ความหมาย
1	AA	Protective Ground
2	BA	Transmitted Data
3	BB	Received Data
4	CA	Request to Send
5	CB	Clear to Sent
6	CC	Data Set Ready
7	AB	Signal Ground
8	CF	Received Line Signal Detector
9/10	-	(Reserved for Data Set Testing)
11	-	Unassigned
12	SCF	Secondary Received Line Signal Detector
13	SCB	Secondary Clear to Sent
14	SBA	Secondary Transmitted Data
15	DB	Transmitted Signal Element Timing (DCE)
16	SBB	Secondary Received Data
17	DD	Receive Signal Element Timing Unassigned
18	-	Unassigned
19	SCA	Secondary Request to Send
20	CD	Data Terminal Ready
21	CG	Signal Quality Detector
22	CE	Ring indicator
23	CH/CI	Data Signal Rate Select (DTE / DCE)
24	DA	Transmit Signal Element Timing (DTE)
25	-	Unassigned

เอกสารที่ 2.2 รายละเอียดของขาต่าง ๆ พร้อมด้วยสัญญาณกำกับของคอนเน็คเตอร์ (ต่อ)
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 คุณสมบัติทางกลของการ Interface^J

ตามมาตรฐานของ RS-232-C ไม่ได้กล่าวถึง Plug ตัวผู้หรือ Socket ของ Connector เลยว่าต้องมีรูปร่างลักษณะอย่างไร ในปัจจุบันเรานิยมใช้ Connector แบบ DB-25 (บางที่เรียกแบบ D-type 25 pin Connector) ในการ Interface แบบมาตรฐาน RS-232-C Connector แบบนี้เทียบเท่า ISO 2113 ซึ่งเป็นมาตรฐานที่ประกาศใช้โดย International Organization for Standardization (ISO)

สำหรับรายละเอียดทางกลของ Plug ตัวผู้ (DB-25-P) และ Plug ตัวเมีย (DB-25-S) แสดงไว้ในรูปที่ 2.6 ขอให้สังเกตด้วยว่า Connector ตัวผู้จะเข้ากับ DTE ส่วน Connector ตัวเมียใช้กับ DCE



เอกสารนี้เป็นเอกสารที่ 2.6 ลักษณะทางกลของ Connector แบบ DB-25 ไม่ควรเผยแพร่โดยไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 ลักษณะการทำงานของวงจรต่าง ๆ

จากตารางที่ 2.2 จะเห็นได้ว่า ตัวอักษรในวงเล็บที่อยู่ท้ายวงจรประเภทต่าง ๆ จะเป็นตัวอักษรตัวแรกของกลุ่มตัวอักษร (ประกอบด้วยตัวอักษรสองหรือสามตัว) ซึ่งใช้กันทั่วไปในการอธิบายสัญญาณต่าง ๆ ที่เกี่ยวข้องกับการใช้งาน RS-232-C โดยสามารถแยกออกได้ 5 ประเภทคือ

1. กราวด์ (A)
2. เซอร์กิตข้อมูล (B)
3. เซอร์กิตควบคุม (C)
4. เซอร์กิตของสัญญาณฐานเวลา (D)
5. เซอร์กิตของแขนแนลที่ 2 (S)

2.3.4.1 Circuit AA: Protective Ground

ลวดตัวนำของวงจรนี้ จะถูกต่อเข้ากับตัวถังของอุปกรณ์ เพื่อใช้เป็น Ground เมื่อเปรียบเทียบกับ Protective Ground กับ Signal Ground จะเห็นว่า Signal Ground มีความสำคัญมากกว่า

2.3.4.2 Circuit AB: Signal Ground or Common Return

วงจรนี้ถูกใช้เป็นตัวอ้างอิงของสัญญาณที่ใช้ในวงจรต่าง ๆ ยกเว้นวงจร AA (Protective Ground) วงจรนี้เป็นวงจรเดียวที่ต้องถูกต่อไว้เสมอไม่ว่าเป็นการประยุกต์ใช้งานแบบใด

2.3.4.3 Circuit BA: Transmitted Data

สัญญาณของวงจรนี้จะถูกส่งจาก DTE ไปยัง DCE ,DTE จะทำให้วงจร BA (Transmitted Data) มีสถานะ Logic เป็น "1" (mark) ตลอดเวลาที่ไม่มีการส่งข้อมูล ในระบบทุกระบบที่ใช้มาตรฐาน RS-232-C จะไม่ทำการส่งข้อมูลนอกจากว่าวงจรต่อไปนี้มีสถานะ Logic เป็น "0" (ON)

1. วงจร CA (Request to Send)
2. วงจร CB (Clear to Send)
3. วงจร CC (Data Set Ready)
4. วงจร CD (Data Terminal Ready)

2.3.4.4 Circuit BB: Received Data

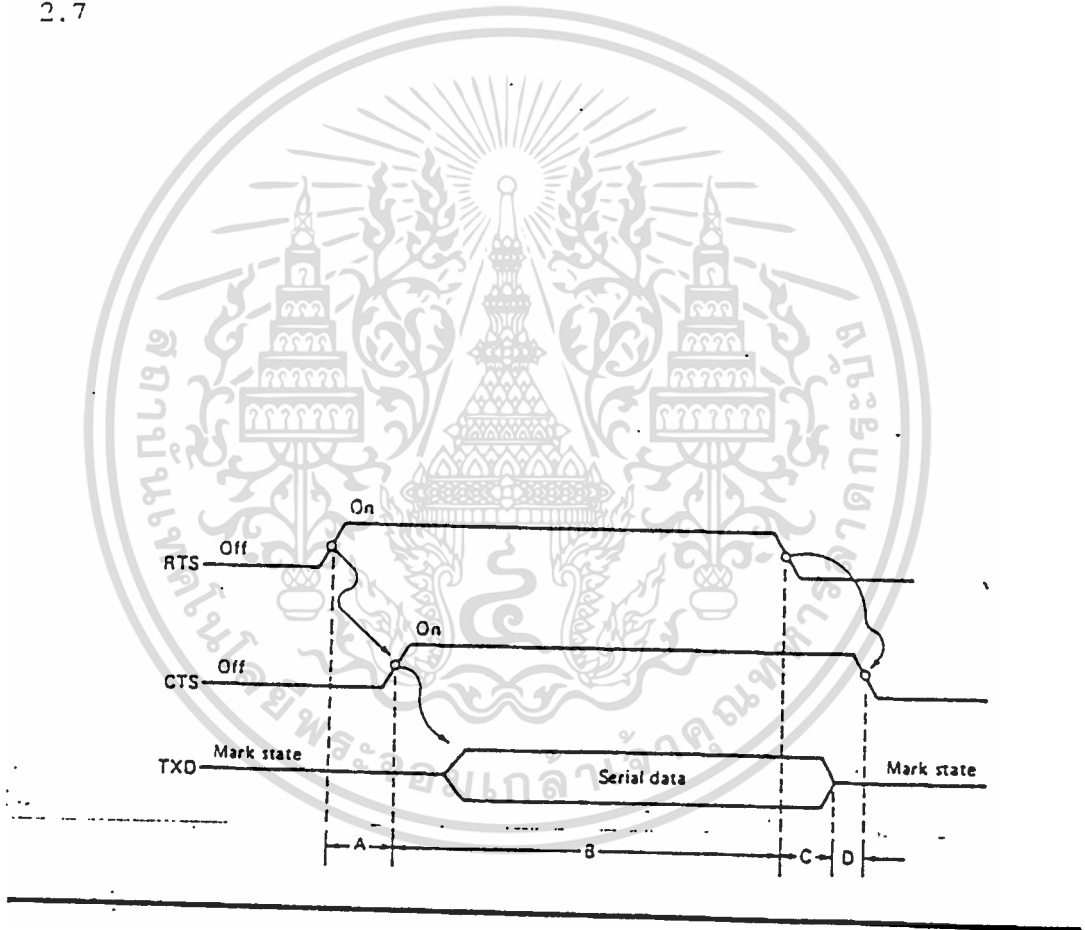
เอกสารนี้... สัญญาณของวงจรนี้จะถูกส่งจาก DCE ไปยัง DTE วงจรนี้จะอยู่ในสถานะ Mark (Logic "0" ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receive Data จะมีสถานะเป็น off (Logic "1") นอกจากนี้ Received Data จะคงอยู่ในสถานะ off อีกช่วงระยะเวลาสั้น ๆ ระยะเวลาหนึ่งหลังจากที่ Request to Send เปลี่ยนสถานะจาก ON เป็น Off เมื่อการส่งข้อมูลเกิดขึ้นเรียบร้อยแล้ว

2.3.4.5 Circuit CA: Request to Send

สัญญาณ Request to Send นี้ถูกส่งจาก DTE ไปยัง DCE ลักษณะการทำงานร่วมกันของสัญญาณ Request to Send (RTS) และสัญญาณ Clear to Send (CTS หรือ วงจร CB) ซึ่งเกิดขึ้นในการส่งข้อมูลระหว่าง DTE และ DCE แสดงไว้ในรูปที่

2.7

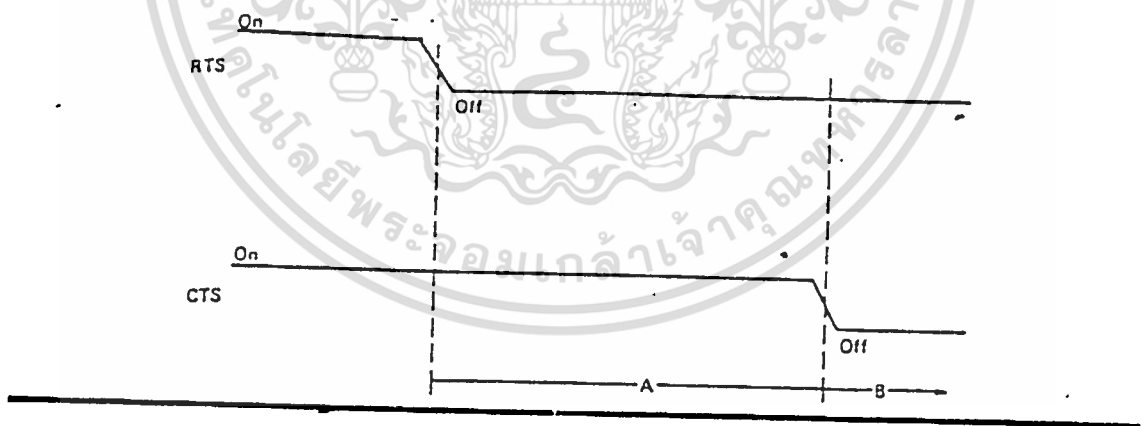


รูปที่ 2.7 การทำ handshake ของสัญญาณ RTS และ CTS

รูปที่ 2.7 การทำ handshake ของสัญญาณ RTS และ CTS ใน ช่วง A DTE จะป้อนสัญญาณ RTS แสดงให้ DCE ทราบว่า DTE ต้องการส่งข้อมูล ซึ่งจะเกิดเอกสารนี้เป็นเอกสารที่ส่งวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้ไปใช้ประโยชน์ด้านการค้า ขั้นตอนเหล่านี้คือ DCE จะจัดตั้งช่องทางการสื่อสารและ ป้อนสัญญาณ CTS (เป็น "ON") ซึ่ง

แสดงให้เห็น DTE ทราบว่า DTE สามารถเริ่มต้นส่งข้อมูลได้แล้ว แต่ TXD จะอยู่ในสภาวะ Mark อยู่ในช่วง B ข้อมูลจะถูกส่งผ่านทางวงจร Transmitted Data เมื่อข้อมูลถูกส่งออกไปจนหมดแล้ว DTE จะ off สัญญาณ RTS เพื่อบอกให้ DCE ทราบว่า DTE ไม่ต้องการส่งข้อมูลอีกต่อไปในช่วง C เมื่อ DCE ส่งข้อมูลทั้งหมดออกไปยัง Communication link เสร็จแล้ว วงจร TXD จะกลับเข้าสู่สภาวะ Mark ในช่วง D DCE จะแจ้งให้ DTE ทราบว่า DCE พร้อมแล้วที่จะรับข้อมูลชุดใหม่ เพื่อส่งออกไปโดยการ off สัญญาณ CTS

การเปลี่ยนสถานะจาก ON ไปเป็น off ของสัญญาณ RTS เป็นกรณีสั่งให้ DCE ส่งข้อมูลที่ยังเหลืออยู่ที่จุดเชื่อมต่อ (Interface Point) ของวงจร Transmitted Data ออกไปยังช่องทางการสื่อสารและออกจาก Mode การรับข้อมูล (ในกรณีของ half Duplex) DCE จะตอบสนองต่อสัญญาณนี้โดยทำให้สัญญาณ Clear to Send มี Logic เป็น "1". (off)



รูปที่ 2.8 ในช่วง A, DTE ไม่สามารถ ON สัญญาณ RTS ใหม่อีกครั้งหนึ่งได้ DTE ต้องรอจนกระทั่ง DCE ส่งข้อมูลที่เหลือออกไปจนหมดโดย DCE จะ off สัญญาณ CTS เพื่อแสดงให้เห็น DTE ทราบว่ามันพร้อมที่จะรับข้อมูลชุดใหม่แล้วในช่วง B, DTE สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ON สัญญาณ RTS ใหม่เมื่อใดก็ได้เนื่องจาก CTS มีสถานะเป็น off ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การทำ Handshake ระหว่าง Request to Send กับ Clear to Send
ที่อธิบายไปในข้างต้นได้ทั้งในการส่งข้อมูลทีละ Character หรือทีละ Block ตัวอย่างเช่น
สมมุติว่าหนึ่ง Character ประกอบด้วย bit ต่าง ๆ 10 bit เมื่อทำการส่งข้อมูลแต่ละ
Character ดังนี้ เมื่อส่งข้อมูลครบ 10 bit ,DTE จะป้อนสัญญาณลงในสาย Request to
Send สำหรับการทำการ handshake ในการส่งข้อมูลครั้งละ Block นั้น DTE จะส่ง
Character พิเศษที่บอกจุดสิ้นสุดของบล็อกข้อมูล DTE จะ off สัญญาณ Request to
Send ในการตอบสนองต่อเหตุการณ์เหล่านี้ DCE จะ off สัญญาณ Clear to Send เมื่อ
คาร์แรกเตอร์พิเศษที่บอกจุดสิ้นสุดของข้อมูลได้ถูกส่งจาก DCE ออกไปยังเครือข่ายการสื่อสาร
(Communication network) เรียบร้อยแล้ว

2.3.4.6 Circuit CB:Clear to Send

สัญญาณนี้เป็นสัญญาณควบคุมซึ่งถูกส่งจาก DCE ไปยัง DTE เพื่อบอกให้
DTE ทราบว่า DCE พร้อมที่จะรับข้อมูลที่จะส่งมาจาก DTE บนสาย Transmitted Data
แล้ว เมื่อสัญญาณ Clear to Send อยู่ในสถานะ ON รวมทั้งสัญญาณ Request to Send
Data Set Ready หรือ Data Terminal Ready มีสถานะเป็น ON ด้วยการ ON ของ
สัญญาณ เหล่านี้จะบอกให้ DTE ทราบว่าข้อมูลที่ส่งไปยัง DTE จะถูก DCE รับไว้และส่ง
ต่อไปยัง Communication Channel เมื่อสัญญาณ clear toSend อยู่ในสถานะ off จะ
บอกให้ DTE ทราบว่า DCE ไม่พร้อมที่จะรับข้อมูล ดังนั้น DTE จะยังไม่ส่งข้อมูลออกมา

2.3.4.7, Circuit CC:Data Set Ready

สัญญาณนี้เป็นสัญญาณควบคุมที่ส่งจาก DCE ไปยัง DTE ในกรณีที่ Data
Set Ready อยู่ในสถานะ On แสดงว่า DCE ได้ถูกต่อกับ Communication Channel
เรียบร้อยแล้ว ในกรณีของเราสามารถต่อโทรศัพท์ได้โดยอัตโนมัติ การที่ Data Set Ready
เป็น ON-หมายความว่า DCE ของเรา (local) ได้ต่อโทรศัพท์(เรียก) DCE ของเครื่อง
คอมพิวเตอร์ที่เราต้องการติดต่อกับ (Remote) ได้ตอบรับการเรียก ทำให้เกิดการเชื่อม
ต่อกันของ Communication Channel ระหว่าง DCE ทั้งสองด้านทำให้ สามารถทำการ
สื่อสารระหว่างกันได้เมื่อ communication Channel ถูกเชื่อมต่อแล้ว ระบบเข้าสู่โหมด
การส่งข้อมูล (ไม่รวมโหมดการส่งสัญญาณเสียง คือเราพูดสายไม่ได้)

2.3.4.8 Circuit CD:Data Terminal Ready

สัญญาณควบคุมตัวนี้จะถูกส่งจาก DTE ไปยัง DCE สัญญาณ Data
Terminal Ready ต้องอยู่ในสถานะ ON ก่อนที่ DCE จะ ON สัญญาณ Data set Ready
เอกสารนี้เป็นเอกสารที่แจ้งเรื่องสิทธิหรือการสงวนลิขสิทธิ์ในเอกสารฉบับนี้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารฉบับนี้
038020

ขณะใดก็ตามที่ DCE ต่อกับช่องทางการสื่อสารแล้ว DataTerminal Read เปลี่ยนสถานะจาก ON เป็น Off, DCE จะตัดการเชื่อมต่อระหว่าง DCE กับ CommunicationChannel ที่งานทันที

2.3.4.9 Circuit CE:Ring Indicator

สัญญาณนี้เป็นสัญญาณควบคุมที่ถูกส่งจาก DCE ไปยัง DTE เมื่อสัญญาณนี้มีสถานะเป็น ON แสดงว่ากำลังได้รับสัญญาณเสียงกริ่ง (Ringing Signal) ที่มีเข้ามาสำหรับช่วงเจียบระหว่าง เสียงกริ่ง (เจียบและดังเป็นช่วง ๆ) และในกรณีที่ DCE ไม่ได้รับสัญญาณเสียงกริ่ง สัญญาณ Ring Indicator จะมีสถานะเป็น Off เราสัญญาณควบคุมตัวนี้ในกรณีที่ใช้โมเด็มที่สามารถตอบรับการเรียกได้โดยอัตโนมัติ (Auto answer)

2.3.4.9 Circuit CF:Received Line Signal Detector

สัญญาณนี้ส่งจาก DCE ไปยัง DTE เมื่อได้รับสัญญาณ carrier (ซึ่งต้องเป็นตามข้อกำหนด DCE ด้วย) ที่ส่งมาจาก DCE อีกด้านหนึ่ง (Remote side) สัญญาณ Received Line Signal Detector Channel จะมีสถานะเป็น ON แสดงว่า DCE จับสัญญาณใน Communication Channel ซึ่งจะถูกนำไป demodulate ได้แล้วในโมเด็มแบบต่าง ๆ สายเส้นนี้จะถูกต่อกับ Line เพื่อแสดงไว้ว่าขณะนี้สัญญาณ carrier เข้ามาหรือไม่

ในการใช้งานเทอร์มินัล ที่มีจำหน่ายในท้องตลาด ส่วนมากเราต้องให้สัญญาณนี้มีสถานะ High เป็นตลอดเวลาก่อนที่จะรับหรือส่งข้อมูล

2.3.5 โครงสร้างทั่ว ๆ ไปของมาตรฐาน RS-232-C

เนื่องจากรูปแบบของกลุ่มสัญญาณที่ใช้ในการสื่อสารข้อมูลความถี่แตกต่างกันออกไปมากมาย ขึ้นอยู่กับลักษณะของระบบที่ต้องการใช้ โครงสร้างของระบบอาจเป็นไปได้หลายแบบ ตั้งแต่เทอร์มินัลเข้ากับไมโครคอมพิวเตอร์ ซึ่งเป็นการอินเตอร์เฟสแบบง่าย ๆ ใช้เครื่องคอมพิวเตอร์ของเราพร้อมกับ เครื่องคอมพิวเตอร์เครื่องอื่น โดยอาศัยการ มัลติเพลกซ์ (Multiplexed) ใช้ส่งและรับข้อมูลแบบซิงค์โครนัส (Synchronous) หรือใช้กับสาย Dedicated line (สายที่ใช้ในการส่งข้อมูลเพียงอย่างเดียวใช้สัญญาณเสียงไม่ได้) ซึ่งเป็นการใช้ร่วมกับเทอร์มินัลปลายทางเครื่องอื่น ๆ อย่างไรก็ตาม EIA มาตรฐานของการใช้สายสัญญาณออกเป็นกลุ่มตามสภาพของระบบต่างๆ กลุ่มของสัญญาณที่ใช้ร่วมกับระบบไมโครคอมพิวเตอร์ถูกแบ่งออกเป็น 7 กลุ่ม ดังนี้

- ใช้ในการส่งข้อมูลอย่างเดียว (Transmit only) ญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ใช้ในการส่งข้อมูลอย่างเดี่ยวแต่ใช้สัญญาณ RTS ด้วย
- ใช้ในการรับข้อมูลอย่างเดี่ยว (Receive only)
- ใช้ส่งและรับข้อมูลแบบฮาล์ฟดูเพล็กซ์ (Half Duplex)
- ใช้ส่งและรับข้อมูลแบบฟูลดูเพล็กซ์ (Full Duplex)
- ใช้ส่งและรับข้อมูลแบบฟูลดูเพล็กซ์ แต่ใช้สัญญาณ RTS ด้วย
- แบบพิเศษ (Special)

การอินเตอร์เฟสแบบต่าง ๆ ที่กล่าวมานี้ได้แสดงไว้ในตารางที่ 2.3 ซึ่งได้ระบุสายสัญญาณบ้างที่ต้องต่อในการอินเตอร์เฟสแต่ละแบบ

RS-232-C interchange circuit		Transmit		Receive only	Half duplex	Full duplex	Full duplex with RTS	Special
		Transmit only	only with RTS					
1	Protective Ground	-	-	-	-	-	-	0
7	Signal Ground	X	X	X	X	X	X	X
2	Transmitted Data	X	X		X	X	X	0
3	Received Data			X	X	X	X	0
4	Request to Send		X		X		X	0
5	Clear to Send	X	X		X	X	X	0
6	Data Set Ready	X	X	X	X	X	X	0
20	Data Terminal Ready	S	S	S	S	S	S	0
22	Ring Indicator	S	S	S	S	S	S	0
8	Received Line Signal Detector			X	X	X	X	0

ตารางที่ 2.3 RS-232-C Standard configuration

X = ใช้งานในทุกกรณี

S = ใช้ในกรณีที่ระบบของเราเกี่ยวข้องกับเครือข่ายโทรศัพท์ด้วย

0 = เลือกใช้ตามลักษณะของระบบของเรา

จากตารางที่ 3.3 จะเห็นว่าเซอร์กิตอยู่เซอร์กิตหนึ่งที่ต้องต่ออยู่เสมอ คือเซอร์กิต Signal Ground (ขา 7) ส่วนเซอร์กิตอื่นจะต่อหรือไม่ขึ้นกับการประยุกต์ใช้งานของเรา ให้เลือกจากวิธีการส่งข้อมูลของเราว่าเป็นแบบใด และ ต้องดูด้วยว่าเข้ากับระบบของเราได้หรือไม่การประยุกต์ใช้งานของการส่งข้อมูลแบบ Full-Duplex ที่ใช้กันมากในระบบไมโคร

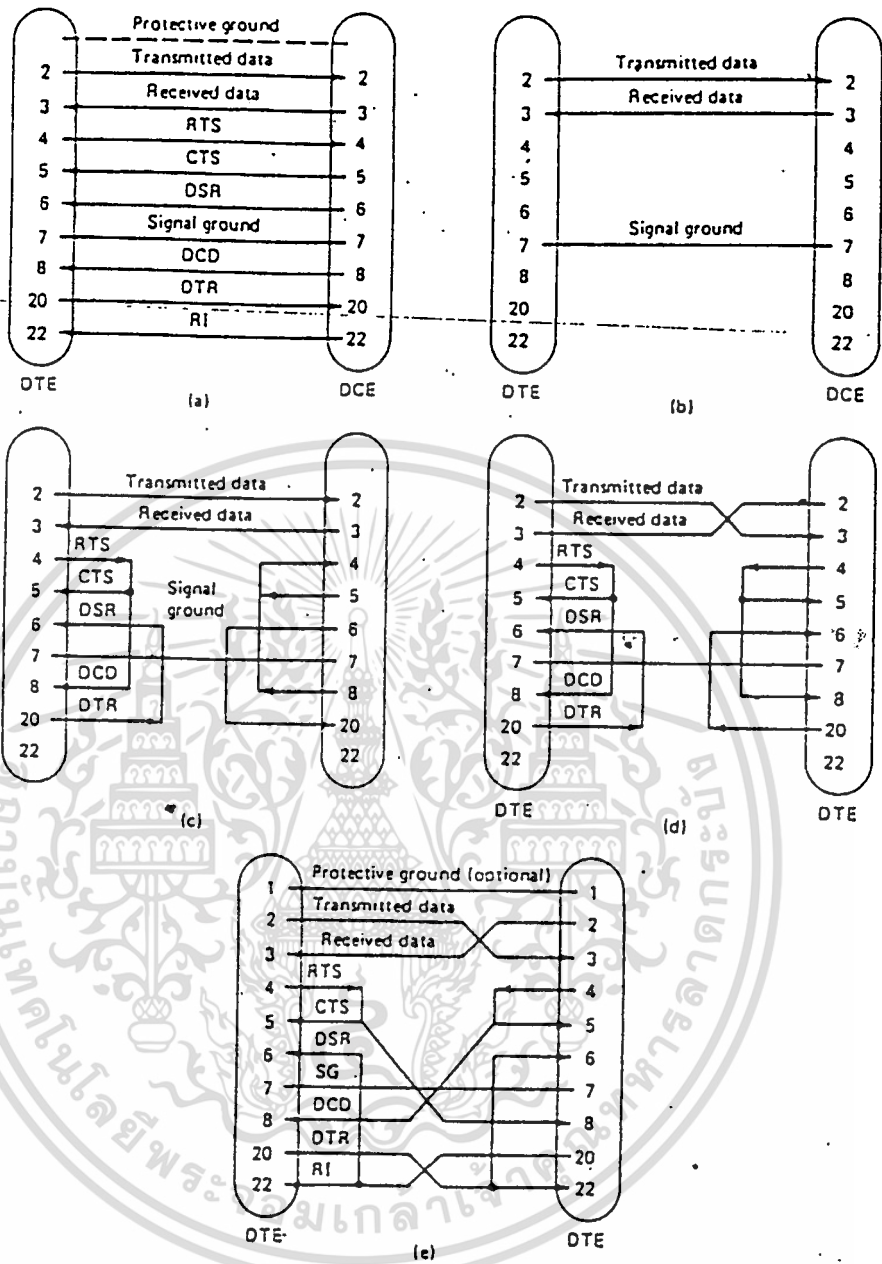
เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัยฯ หากฝ่าฝืนจะดำเนินการตามกฎหมายต่อไป

คอมพิวเตอร์คือ یشกับเทอร์มินัลคือ یشกับเทอร์มินัลที่ทาหน้าที่ส่ง และ รับข้อมูลดังนี้ คาร์แรกเตอร์จะถูกส่งจากคีย์บอร์ดไปยังไมโครคอมพิวเตอร์และ ถูกสะท้อน (echo) ไปแสดงบนจอภาพหรือ พิมพ์ออกที่เครื่องพิมพ์ ในกรณีเช่นนี้ข้อมูลจะเคลื่อนที่ในสองทิศทางพร้อม ๆ กัน โดยถูกส่งและรับจาก DTE (คีย์บอร์ดและจอภาพ) กับ DCE (พอร์ทอินพุท/เอาพุทแบบอนุกรมของไมโครคอมพิวเตอร์ดังแสดงในรูปที่ 2.8

2.3.6 ลักษณะการต่อ RS-232-C ที่ไม่ใช้แบบมาตรฐาน

ในรูปที่ 3.2 แสดงไดอะแกรมรูปภาพของการต่อ RS-232-C แบบต่าง ๆ ที่ไม่ใช้แบบมาตรฐานในระบบไมโครคอมพิวเตอร์มักจะใช้การต่อเคเบิล RS-232-C ตามรูปที่ 2.9 รูปที่ 2.9a แสดงการต่อสายเคเบิลแบบ full-duplex ซึ่งถูกต้องตามรายงานทุกอย่างลักษณะของการทำงานของการทำงานของการต่อแบบนี้ได้อธิบายไว้แล้วในหัวข้อก่อน ๆ สำหรับรูปที่ 2.9 b ถึง e แสดงการต่อที่ต่างออกไปจากมาตรฐาน โดยไดอะแกรม แต่ละรูปแทนคอนเน็คเตอร์ด้วยกล่องสี่เหลี่ยมผืนผ้าขอบมน และ ได้กำหนดไว้ด้วยว่า คอนเน็คเตอร์ตัวใดเป็น DTE หรือ DCE หมายเลขที่เขียนกำกับไว้ในคอนเน็คเตอร์ แต่ละตัวแทนขาของคอนเน็คเตอร์ที่ำกับกับเซอร์กิตต่าง ๆ

- (a) ระบบสายเคเบิลที่ใช้ในการส่งข้อมูลแบบ พูลดูเพล็กซ์ตามมาตรฐานที่กำหนด
- (b) สายเคเบิลแบบ three-wire economy
- (c) สายเคเบิลแบบ three-wire economy พร้อมกับการทำ luxury loop-back
- (e) การต่อแบบ null modem พร้อมกับการทำ double cross



รูป 2.9 การต่อสายเคเบิลแบบพิเศษ

(a) ระบบสายเคเบิลที่ใช้ในการส่งข้อมูลแบบ ฟูลดูเพล็กซ์ตามมาตรฐานที่กำหนด

(b) สายเคเบิลแบบ three-wire economy

(c) สายเคเบิลแบบ three-wire economy พร้อมกับการทำ luxury loop-back

(e) การต่อแบบ null modem พร้อมกับการทำ double cross

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อผู้อื่นโดยไม่ได้รับอนุญาต

2.4 วงจรมอดูเลชันในสายไฟฟ้ากำลังและคัพเพลอร์ (AC-Line Modulation and Coupler)

การออกแบบวงจรในส่วนนี้จุดใหญ่ก็คือชุด Transformer ซึ่งก็ใช้หลักการเดียวกันในภาครับคือ สร้างให้เป็นวงจร RLC: เรโซแนนซ์ที่ความถี่ที่ต้องการจะส่งคือ

1. ส่วนที่เป็นวงจรจูนหม้อแปลง T2 และแคปบาซิเตอร์ C ซึ่งประกอบกันขึ้นมาทำงานเป็นวงจรจูนแบบ RLC

2. ส่วนป้องกันแรงดันจากสายส่งกำลังคือแคปบาซิเตอร์ 0.047 ไมโครฟารัด 600 v ทาหน้าที่ตัดแรงดันสูงจากสายส่งกำลังเนื่องจากค่าความต้านทานสูงต่อความถี่ต่ำ

3. ส่วนป้องกันสัญญาณ 50 Hz คือหม้อแปลง T2 ของวงจรจูนเช่นกันเนื่องจากแกนหม้อแปลงเป็นเฟอร์ไรท์ (Ferrite) จึงตัดสัญญาณ 50 ไซเคิลได้ อีกทั้งการพันหม้อแปลงนี้เป็นการพันแบบแยกขดกันจึงตัดการคัพปลิง (Coupling) ระหว่างขดของสัญญาณ 50 ไซเคิลได้

2.5 วงจรจูนและคัพเพลอร์ (Tune and Coupler Circuit)

อุปกรณ์ต่าง ๆ ในวงจรและคัพเพลอร์นั้นนอกจากทาหน้าที่รับสัญญาณแล้ว ในการสร้างวงจรส่วนที่รับสัญญาณจากสายไฟฟ้าส่งกำลังนั้นยังสร้างให้มีหน้าที่ต่าง ๆ ดังนี้

1. ส่วนที่เป็นวงจรจูนหม้อแปลง T2 และแคปบาซิเตอร์ C ซึ่งประกอบกันขึ้นมาทำงานเป็นวงจรจูนแบบ RLC

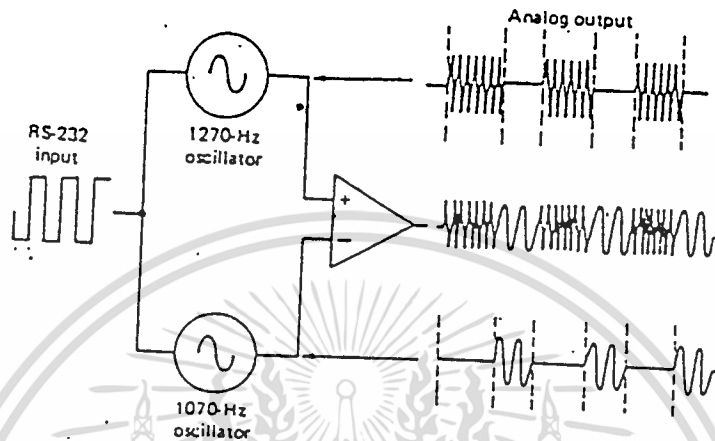
2. ส่วนป้องกันแรงดันจากสายส่งกำลังคือแคปบาซิเตอร์ 0.047 ไมโครฟารัด 600 v ทาหน้าที่ตัดแรงดันสูงจากสายส่งกำลังเนื่องจากค่าความต้านทานสูงต่อความถี่ต่ำ

3. ส่วนป้องกันสัญญาณ 50 Hz คือหม้อแปลง T2 ของวงจรจูนเช่นกันเนื่องจากแกนหม้อแปลงเป็นเฟอร์ไรท์ (Ferrite) จึงตัดสัญญาณ 50 ไซเคิลได้ อีกทั้งการพันหม้อแปลงนี้เป็นการพันแบบแยกขดกันจึงตัดการคัพปลิง (Coupling) ระหว่างขดของสัญญาณ 50 ไซเคิลได้

2.6 เอฟเอสเคียมอดูเลชัน (Frequency Shift Keying Modulation)

Frequency Shift Keying (F.S.K.) เป็นการนำสัญญาณดิจิทัลมามอดูเลตเข้ากับสัญญาณอนาล็อกแล้วส่งผ่านตัวนำออกไป ซึ่งหลักการสร้างสัญญาณมีลักษณะดังรูป 2.10

จากรูปจะเห็นว่าในกรณีที่มอดูเลตด้วยออสซิลเลเตอร์ที่กำเนิดสัญญาณพาหะ ด้วยความถี่ 1270 Hz และ 1070 Hz โดยออสซิลเลเตอร์ตัวบนจะทำงาน เมื่อสัญญาณที่เข้ามาเป็นระดับโวลเตจเกิน 5 โวลต์ ส่วนออสซิลเลเตอร์ตัวล่างจะทำงาน และตัวบนจะหยุดทำงานเมื่อระดับโวลเตจของสัญญาณที่เข้ามาเกินกว่า + 5 โวลต์ เมื่อรับเอาท์พุท ที่ออกจากพอร์ทไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากไม่ได้รับอนุญาต



รูปที่ 2.10 โครงสร้างในการกำเนิดสัญญาณ FSK

RS-232-C เข้ามาทางอินพุตของออสซิลเลเตอร์ ก็จะทำให้ออสซิลเลเตอร์ทั้งสองตัวทำงานได้ดังนี้

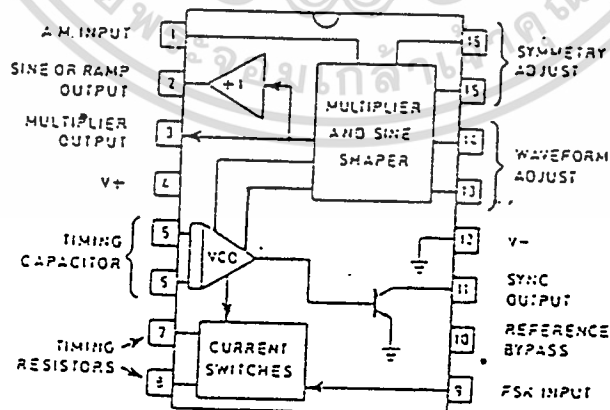
เมื่อสัญญาณที่ผ่านพอร์ท RS-232-C เข้ามามีระดับโวลเตจเท่ากับ -12 ออสซิลเลเตอร์ที่ผลิตสัญญาณพาหะความถี่ 1270 Hz ก็จะทำงาน แต่ออสซิลเลเตอร์ที่ผลิตสัญญาณพาหะความถี่ 1070 Hz หยุดทำงานเราทราบแล้วว่าระดับโวลเตจ -12 โวลท์ จะแทนลอจิก 1 และเมื่อผ่านการรอมูเลตแล้วความถี่ 1270 Hz ทางด้านรอมัลติเพลกเซอร์ ก็จะแทนลอจิก 1 ไปเป็นสัญญาณข้อมูลแทนลอจิก 1 เช่นกัน

สำหรับกรณีที่สัญญาณข้อมูลที่จะส่งสัญญาณมีระดับโวลเตจเป็น +12 โวลท์ออสซิลเลเตอร์ที่ผลิตความถี่ 1270 Hz ก็จะทำงานแทน และทำการผลิตสัญญาณที่แทนลอจิก 0 ออกมา หลังจากนั้นจึงทำการรวมสัญญาณเอาท์พุทจากออสซิลเลเตอร์ทั้งสองเข้าด้วยกัน รอยเข้าไปยังอินพุตของออปแอมป์ ก็จะทำได้สัญญาณที่เอาท์พุทมาเป็นสัญญาณรอมูเลตทันทีจากรูปก็เห็นว่าข้อมูลที่ยังมีลอจิกเป็น 1 หรือ 0 เช่นเดิม แต่เปลี่ยนรูปแบบจากระดับโวลเตจไปอยู่ในรูปของความถี่

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206 เป็นอุปกรณ์อิเล็กทรอนิกส์ ที่ใช้ในการสร้างความถี่ซึ่งผลิตโดยบริษัท Exar Integrated Systems โดยที่อุปกรณ์ตัวนี้สามารถที่จะผลิตความถี่ Sine , Square , Triangle และ Pulse wave forms มีเสถียรภาพสูงทำให้ความแน่นอนเชื่อถือได้ สำหรับ Output Wave form สามารถที่จะปรับระดับแรงดัน (Amplitude) และความถี่ผสมผสาน (Modulate) โดยอาศัยแรงดันมาจากภายนอก ความถี่ที่อุปกรณ์ตัวนี้สามารถผลิตได้อยู่ในช่วง 0.01 Hz ถึง 1 MHz ความถี่ของการ Sweep เกินกว่า 2000: 1 ช่วงของความถี่แล้วยังมีผลน้อยมากต่อสัญญาณรบกวน (Distortion) การประยุกต์ใช้งานได้อีกหลายอย่าง เช่น

- Wave form Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase Locked Loops

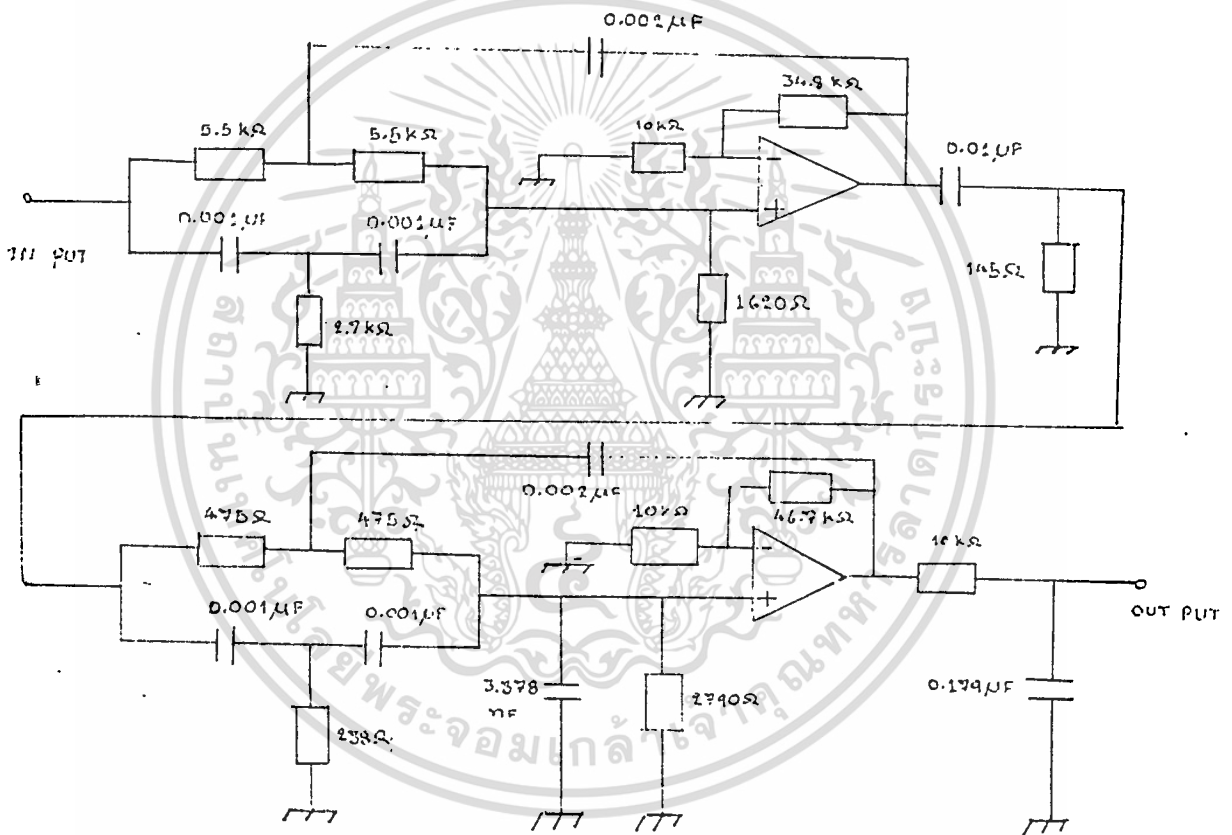


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูป 2.11 โครงสร้าง XR-2206
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรกรองความถี่ (Active Filter)

- Band Pass Filter
- High Pass Filter
- Low Pass Filter

2.7.1 วงจรกรองความถี่ Band Pass Filter



รูปที่ 2.12 วงจรกรองความถี่ Band Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.12 เป็นวงจรกรองความถี่ Band Pass Filter ข้อดีที่สำคัญของวงจรนี้คือ สัญญาณอินพุต และสัญญาณเอาต์พุตของวงจรจะมีการเชื่อมกราวด์ร่วมกัน และการลดลงของความถี่จะน้อยลงพอสมควรอย่างไรก็ตาม มันจะเกิดการถอยกลับ (darwback) ดังนั้น เพื่อการใช้งานที่มีประสิทธิภาพ ค่าของความต้านทานต่าง ๆ (และค่าคาปาซิเตอร์ฟรีแอดแทนซ์) จะต้องถูกปรับในเวลาเดียวกัน วงจรกรองความถี่แบบนี้ จะสมดลย์เมื่อมีส่วนประกอบของมันมีอัตราส่วนที่ถูกต้อง

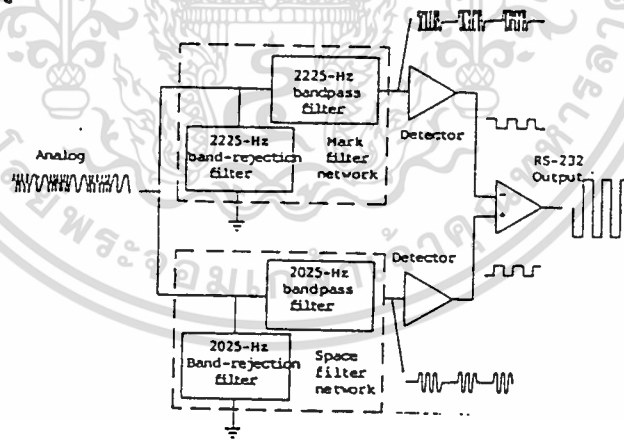
สำหรับโค้งการตอบสนอง (Frequency response curve) ที่เป็นช่องบากของวงจร จะสังเกตได้ว่าที่ f_c ของวงจรกรองความถี่มีค่าเป็นศูนย์ ส่วนโค้งของการเลื่อนเฟสแบบทันทีทันใด วงจรกรองความถี่แบบนี้จะมีการเลื่อนเฟสศูนย์ที่ความถี่ f_c โดยเฟสที่เลื่อนไปจะมีการเปลี่ยนแปลงอย่างรวดเร็วเป็น $+90$ องศา หรือ -90 องศาถึงแม้ว่าจะมีการเปลี่ยนแปลงของความถี่ f_c ทั้งสูงกว่าหรือต่ำกว่าเพียงเล็กน้อย

แต่อย่างไรก็ตามทั้งวงจรกรองความถี่แบบนี้ จะมีประสิทธิภาพ (Q) ที่สูงกว่าค่า Q โดยทั่วไปของวงจรกรองความถี่ซึ่งจะอยู่ในช่วง 0.6 จึงไม่ทำให้ อาร์โมนิคที่ 2 ของ f_c ลดลงเลย หรืออาจจะมีลักษณะคล้าย วงจรกรองความถี่แบบช่วงบากในอุดมคติที่ไม่ทำให้สัญญาณ Input ลดลงเลย สำหรับวิธีการคำนวณค่าอุปกรณ์ต่าง ๆ จะกล่าวในบทต่อไป

2.8 เอฟเอสเคทีเอ็มเคเลชั่น (Frequency Shift Keying Demodulation)

เมื่อสัญญาณที่ส่งออกมาจากริโมเต็มทางด้านส่งผ่านขบวนการริโมเลชั่นแล้ว เมื่อมาถึงริโมเต็มทางด้านรับสัญญาณเหล่านี้ก็จะผ่านขบวนการดีริโมเลชั่นแยกเอาสัญญาณพาหะออกจากสัญญาณข้อมูลแล้วผ่านสัญญาณข้อมูลไปใช้งานต่อไป

จากรูปที่ 2.17 แสดงถึงวิธีการในการแปลงสัญญาณอนาล็อกกลับเป็นสัญญาณที่จะส่งผ่านเข้าไปยังพอร์ท RS-232-C ต่อไป เราทราบแล้วว่าริโมเต็มทางด้านรับจะแทนสัญญาณเป็นลอจิก 1 ด้วยความถี่ 2250 Hz และแทนสัญญาณลอจิก 0 ด้วยความถี่ 2025 Hz ดังนั้นในรูปที่ 2.17 จึงได้แสดงถึงบล็อกไดอะแกรมของวงจรริโมเต็มทางด้านรับ จะเห็นว่าสัญญาณที่ส่งมาแล้วต่อเข้ากับอินพุทของริโมเต็มนั้นเป็นสัญญาณที่ประกอบด้วยความถี่สองความถี่ต่างกัน ดังนั้นจึงทำการแยกความถี่ของสัญญาณนี้ออกจากกันก่อน โดยผ่านวงจรฟิลเตอร์ซึ่งจะทำการแยกสัญญาณที่ประกอบด้วยหลาย ๆ ความถี่ออกจากกัน แล้วส่งต่อไปยังจรตอบสนอง ต่อสัญญาณความถี่นั้นเพียงค่าเดียวต่อไป



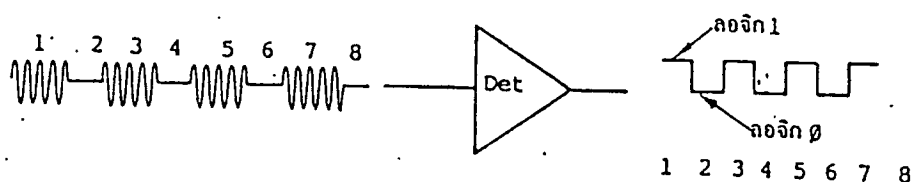
รูปที่ 2.17 โครงสร้างการทำงานของริโมเต็มรีซีฟเวอร์

จากรูป วงจรส่วนบนประกอบด้วยวงจรฟิลเตอร์สองวงจรแยกกันโดยทำการกรองเอาความถี่ค่าอื่นๆ ออกไป ยกเว้นสัญญาณความถี่ 2225 Hz และแถบความถี่แคบๆ ที่ใกล้เคียงกับ 2225 Hz ไม่ผ่านการกรอง ซึ่งสิ่งนี้ช่วยให้ได้สัญญาณที่ชัดเจนและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำใบใช้

2225 Hz ไว้ ซึ่งหน้าที่ของแบนด์รีเจกชันฟิลเตอร์ก็คือลักษณะ เป็นตัวต้านทานต่อสัญญาณความถี่ 2225 Hz ซึ่งหมายความว่าสัญญาณที่รับเข้ามานั้นถ้ามีความถี่เป็นค่าอื่น ๆ นอกจาก 2225 Hz แล้ว ก็จะผ่านฟิลเตอร์ส่วนนี้แล้วไหลลงจุดกราวด์ไป (เอาที่พุทของแบนด์รีเจกชันฟิลเตอร์จะ ต่อลงจุดกราวด์บางทีจึงเรียกว่า Notch Filter) ส่วนสัญญาณความถี่ 2225 Hz ซึ่งผ่าน ฟิลเตอร์ส่วนนี้ไม่ได้ก็จะผ่านเข้าไปยังแบนด์พาสฟิลเตอร์ (Bandpass Filter) ต่อไป ซึ่ง การทำงานของแบนด์พาสฟิลเตอร์นี้ก็คือ จะยอมให้สัญญาณที่มีความถี่ 2225 Hz เท่านั้นที่ผ่าน ไปได้ ส่วนสัญญาณความถี่ 2225 Hz ไปผ่านออกที่เอาที่พุทของแบนด์พาสฟิลเตอร์นั่นเอง

ส่วนในกลุ่มวงจรฟิลเตอร์ส่วนล่างนั้นก็มีการทำงานในลักษณะที่คล้ายคลึงกัน แต่ต่างกัน ที่มีการทำงานตอบสนองต่อสัญญาณความถี่เป็น 2025 Hz คือการทำงานผลสุดท้ายก็เพื่อต้องการกรองเอาความถี่อื่น ๆ ที่ไม่ใช่ 2025 Hz ไว้แล้วปล่อยให้สัญญาณความถี่ 2025 Hz ไป ผ่านออกที่เอาที่พุทของแบนด์พาสฟิลเตอร์

เมื่อได้กรองเอาความถี่ที่ต้องการคือความถี่ 2225 Hz (ซึ่งแทนลอจิก 1) และความถี่ 2025 Hz (แทนลอจิก 0) ได้แล้ว ก็จะต่อเอาที่พุทของฟิลเตอร์แบนด์พาสแต่ละตัวเข้ากับ วงจรอีกส่วนหนึ่งซึ่งเรียกว่า "ดีเทคเตอร์" (Detector) หน้าที่ของวงจรดีเทคเตอร์ก็คือ การทำดีริมดูเลทสัญญาณ (หลักการดีริมดูเลทได้กล่าวถึงแล้วตอนต้นบท) เพื่อแยกเอาสัญญาณ พหุและสัญญาณข้อมูลออกจากกัน แล้วจึงผ่านเอาสัญญาณข้อมูลไปใช้ จากในวงจรรูปที่ 2.17 เมื่อมีสัญญาณรูปไซน์ (Sine wave) ผ่านเข้าไปยังวงจรดีเทคเตอร์ ก็จะสร้างระดับแรงดัน เอาที่พุทเป็นบวกออกมา แต่ในขณะที่ไม่มีสัญญาณไซน์ป้อนเข้ามา ระดับแรงดันเอาที่พุทของดี เทคเตอร์ก็จะมีค่าเป็นศูนย์ นั่นคือการทำงานดังรูป 2.18



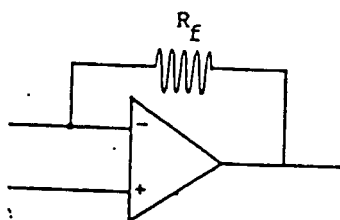
ซึ่งจะหมายความว่าในช่วงสัญญาณ 1, 3, 5 และ 7 ซึ่งมีความถี่ของสัญญาณขาในเป็น 2225 Hz เมื่อผ่านวงจรดีเทกเตอร์ออกมาจะมีระดับลอจิก 1 ส่วนในช่วงสัญญาณ 2, 4, 6 และ 8 เมื่อผ่านดีเทกเตอร์ออกมาจะมีระดับลอจิกเป็น 0 จากรูปที่ 5.10 เราจะสังเกตเห็นว่าดีเทกเตอร์แต่ละตัวมีการทำงาน เพื่อสร้างสัญญาณดิจิทัล โดยมีเฟสของสัญญาณต่างกัน คือ วงจรดีเทกเตอร์ตัวบนจะสร้างสัญญาณลอจิกเป็น 1 ออกมาก็เมื่อสัญญาณขาในที่อินพุทแทนสถานะ Mark หรือมีความถี่ 2225 Hz แต่วงจรดีเทกเตอร์ตัวล่างจะสร้างสัญญาณลอจิก 1 ออกมาก็ต่อเมื่อสัญญาณขาในที่อินพุทแทนสถานะ Space หรือลอจิก 0 หรือความถี่ 2025 Hz เป็นต้น

ในส่วนของวงจรภาคต่อไป ก็จะเป็นการรวมเอาสัญญาณดิจิทัลจากเอาต์พุทของดีเทกเตอร์เข้าด้วยกันโดยใช้ออปแอมป์ (Operational Amplifier) ซึ่งหน้าที่ของออปแอมป์ หรือ Op-Amp นี้ก็คือทำการรวมสัญญาณดิจิทัลจากสองแหล่งเข้าด้วยกัน แล้วเปลี่ยนสัญญาณให้อยู่ในรูปของสัญญาณมาตรฐานที่สามารถส่งผ่านพอร์ต RS-232C (+12 โวลต์) ซึ่งวิธีการในการเปลี่ยนสัญญาณดังกล่าวนี้ก็โดยการต่อเอาต์พุทของสเปส (Space) ดีเทกเตอร์ หรือดีเทกเตอร์ตัวล่างเข้ากับขา + หรือขาอินอินเวรติ่ง (Noninverting) ของ op-Amp ซึ่ง op-Amp จะสร้างสัญญาณเอาต์พุทขึ้นมาโดย

เมื่อเอาต์พุทของสเปสดีเทกเตอร์ แอลทีฟ, Op-Amp จะสร้างระดับแรงดันค่า + ขึ้นที่เอาต์พุท

เมื่อเอาต์พุทของมาร์คดีเทกเตอร์ แอลทีฟ, Op-Amp จะสร้างระดับแรงดันค่า - ขึ้นที่เอาต์พุท

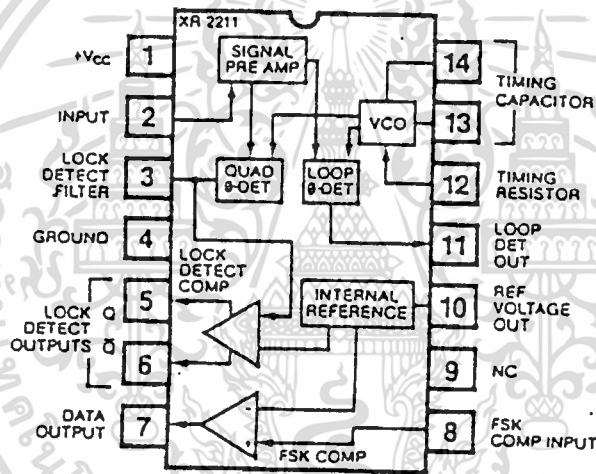
นอกจากนี้อาจจะมีการใช้เทคนิคการฟีดแบ็ค (Feedback) โดยต่อตัวต้านทานฟีดแบ็คเข้าขาอินอินเวรติ่งของ op-Amp เพื่อทำให้การปรับเกน (Gain) ของระบบดีขึ้น สามารถสร้างสัญญาณระดับแรงดันจากยอดถึงยอด (peak to peak) เท่ากับ 24 โวลต์ (จาก -12 ถึง +12 โวลต์) ได้ดังรูป 2.19 .



ซึ่งมีผลถึงการต่อสัญญาณข้อมูลไปใช้ส่งผ่านพอร์ท RS-232C ได้ดีขึ้น

จากหัวข้อต่างๆ ที่ได้กล่าวมาแล้ว คงพอจะทำให้ผู้อ่านได้เข้าใจถึงหลักการทำงานของโมเด็มชนิด Bell 103 ได้ดีพอควร และในหัวข้อต่อไปจะได้กล่าวถึงหลักการทำงานของโมเด็มชนิดความเร็วปานกลางและความเร็วสูงต่อไป

F.S.K. DEMODULATION เป็น IC #XR-2211 ซึ่งเป็น IC phase-locked loop (PLL) ได้ถูกออกแบบมาเพื่อรับข้อมูลโดยเฉพาะและเหมาะสมอย่างยิ่งสำหรับ F.S.K.



รูป 2.20 แสดง Block diagram ของ XR-2211

โดยที่ C_0 เป็น timing capacitor ครอบมอยู่ที่ขา 13 และ 14 เพื่อเสถียรภาพของความถี่ที่สามารถทำได้ คือ 0.01 Hz ถึง 300 KHz และยังสามารถทำใช้กับสัญญาณอินพุตที่เป็นอนาล็อก (Analog) 2 mV และ 3 mV นอกจากนี้แล้วยังใช้ร่วมกับอุปกรณ์มาตรฐานได้อีก เช่น DTL, TTL และตระกูล ECL สามารถที่จะประยุกต์ไปใช้เป็นอย่างอื่น เช่น

- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

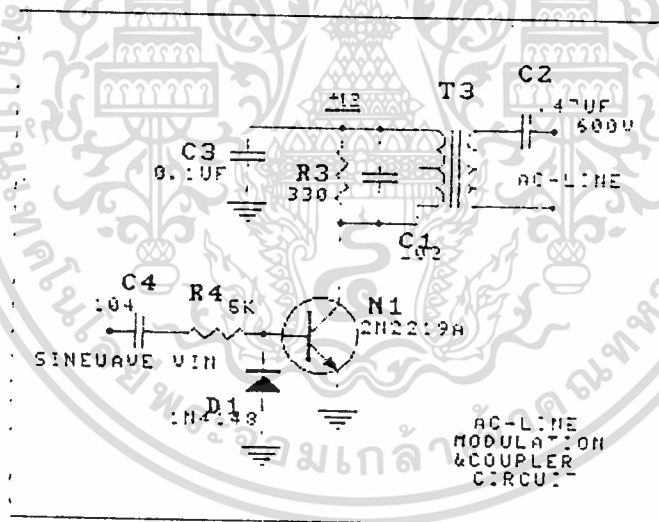
การคำนวณการออกแบบ

3.1 วงจรเอซีไลน์มอดูเลชันและคัปเปิลเลอร์ (AC-Line Modulation and Coupler)

การออกแบบวงจรในส่วนนี้จุดใหญ่ก็คือชุด Transformer ซึ่งก็ใช้หลักการเดียวกันในภาครับคือ สร้างให้เป็นวงจร RLC: เรโซแนนซ์ที่ความถี่ที่ต้องการจะส่งคือ

-ชุด Original ตั้งความถี่เรโซแนนซ์ไว้ที่ 97.5 KHz

-ชุด Answer ตั้งความถี่เรโซแนนซ์ไว้ที่ 122.5 KHz



วงจรที่ใช้ในการทดลอง Modulation ความถี่ที่สามารถจะถูกเลือกได้ด้วย R_2, R_3 และ C ระหว่างขา 5, 6, 7 และ 8 สัญญาณ F.S.K. Input จะถูกป้อนเข้ามาที่ขา 9 ในที่นี้ เรากำหนดความถี่ในกรณีที่ระดับสัญญาณ "1" เข้ามาที่ขา 9 ได้จาก

$$f_H = \frac{1}{R_2 C} \quad \text{และระดับสัญญาณ "0" มีความถี่}$$

$$f_L = \frac{1}{R_3 C}$$

โดย R_2 และ R_3 มีค่าเป็น Ohm สำหรับ C มีค่าเป็น Farads, R_2 และ R_3 มีอยู่ระหว่าง 10 K.ohm ถึง 100K.ohm และ C เป็นพวกพอลีคาร์บอเนต (Polycarbonate) โพลีสไตลีน (Polystyrene) หรือ ไมลาร์ (Mylar) สำหรับอุณหภูมิที่คงที่ เราได้เลือกใช้ $C=0.001$ Micro F.

ในกรณีที่ใช้ความถี่ 95 KHz ใช้ R_2	=	11.76 Kohm
ในกรณีที่ใช้ความถี่ 100 KHz ใช้ R_2	=	10.53 Kohm
ในกรณีที่ใช้ความถี่ 120 KHz ใช้ R_3	=	12.50 Kohm
ในกรณีที่ใช้ความถี่ 125 KHz ใช้ R_3	=	11.11 Kohm

สำหรับในกรณีที่ใช้ R_2 และ R_3 ควรใช้ค่าผิดพลาด 1% หรืออาจใช้ความต้านทานปรับค่าต่อรวมเข้าไปด้วยกับค่าที่มีความผิดพลาด 5% จึงจะทำให้เกิดค่าใกล้เคียง เราจะต้องพิจารณาค่าของ R_2 และ R_3 ด้วย จึงมีผลต่อ ฮาร์โมนิค (Harmonic) รวม ในกรณีที่ใช้ในการทดลองนี้ ที่เปอร์เซ็นต์ดีสทอร์ชัน (Distortion) ต่ำ ๆ ไม่ผลเกิดขึ้น R_5 ที่ต่อระหว่างขา 15 และ 16 เป็นการปรับค่าให้ได้รูปคลื่นสมมาตรกัน ซึ่งอาจจะลอยไว้โดยไม่ต่ออะไรก็ได้ สำหรับ R_1 ใส่ไว้เพื่อเป็นตัวปรับร่างที่สวยงาม เราอาจจะใช้ $R_1 = 200$ โอห์ม ใส่แทนที่ไว้ โดยตลอดสำหรับ Output ที่ออกมาจากขา 2, 3 และ 11 แต่เราใช้เอาท์พุทที่ขา 2 อุปกรณ์ต่าง ๆ ที่ใช้นั้นจะต้องมีเสถียรภาพต่อความถี่ดีพอ

3.2 วงจรจูนและคัพเพลอร์ (Tune and Coupler Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานานาชาติ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า อุปกรณ์ต่าง ๆ ในวงจรและคัพเพลอร์นั้นนอกจากทำหน้าที่รับสัญญาณแล้วยังสร้างให้มีหน้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ต่างๆ ซึ่งสามารถออกแบบได้ดังนี้

3.2.1 การสร้างหม้อแปลงรับสัญญาณ

- 1 ขั้วแกนเฟอร์ไรท์ เพื่อให้ทำงานที่ย่านความถี่สูง ที่เราใช้ในการรับส่ง สัญญาณและป้องกัน 50 ไซเคิลจากสายส่งกำลัง

- 1 ขั้วแกนแม่เหล็กที่ครอบคลุมแม่เหล็ก เช่น 1 ขั้วแกน E, I เพื่อเพิ่มค่าควอลิตี้ แฟกเตอร์ (Quality factor) ทำให้แบนด์วิด (Bandwidth) แคบลง

- 1 ขั้วเทอร์เรเตอร์ (Turn Ratio) ที่สูง เพื่อลดค่าผลกระทบของวงจร ภายนอกที่เราไม่สามารถควบคุม ค่าอินดักแตนซ์ หรือ แคปบาซิแตนซ์ที่เกิดขึ้นในสายส่งกำลัง

- ในการหาค่าลดการพ่นแบบแยกขั้วกัน เพื่อ

1. ตัดการรบกวนจาก 50 ไซเคิลที่จะเหนี่ยวนำระหว่างขดลวด
2. เพื่อความปลอดภัยจากแรงดันสูงไม่ให้เข้ามาสู่วงจรในกรณีช็อตรอบ

3.2.2 สมการหลักในการคำนวณ

$$W_r = \frac{1}{LC}$$

$$B = \frac{1}{RC}$$

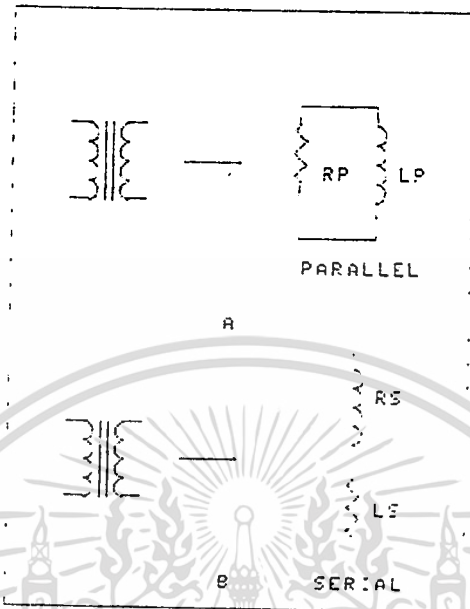
3.2.3 การวัดค่าอินดักแตนซ์และควอลิตี้แฟกเตอร์

ในขดลวดจริงนั้นมีความสูญเสียซึ่งแทนค่าความต้านทาน (R_p) ต่อขนานอยู่ กับค่าอินดักแตนซ์ค่าความต้านทานนี้มีผลกับแบนด์วิด (Band width) ซึ่งเราไม่สามารถหลีกเลี่ยงที่จะต้องวัดเพื่อควบคุมค่าความต้านทานนี้ให้ได้ ในการวัดเราอาจใช้บริดจ์ (Bridge) คิวมิเตอร์ (Q-meter) หรือ อาร์แอลซีมิเตอร์ (RLC meter) ก็ได้ ซึ่งเครื่องมือเหล่านี้จะ ให้ค่าในเทอมของ Q, W และ L

$$\text{ค่าคิวแฟกเตอร์ในวงจรอนุกรม} \quad Q_3 = \frac{\text{Reactive Power}}{\text{Real Power}} = \frac{I^2 X_L}{I^2 R_S} = \frac{W_L}{R_S}$$

$$\text{ค่าคิวแฟกเตอร์ในวงจรขนาน} \quad Q_p = \frac{E^2 / X_L}{E^2 / R_p} = \frac{R_p}{W_L}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงวงจรเทียบเท่าของขดลวด

การแปลงค่าต่างในที่นี้ให้เป็นค่าเทียบเท่า (Equivalent) ต้องแปลงที่ความถี่เดียวกัน

$$\frac{1}{R_S + j\omega L_S} = \frac{1}{R_P} + \frac{1}{j\omega L_P}$$

คอนจูเกตซ้ายมือ:

$$\frac{R_S}{R^2 + (\omega L_S)^2} - \frac{j\omega L_S}{R^2 + (\omega L_S)^2} = \frac{1}{R_P} + \frac{1}{j\omega L_P}$$

ดังนั้น $\frac{1}{R_P} = \frac{R_S}{R^2 + (\omega L_S)^2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_p = R_s \{ 1 + (W L_s / R_s)^2 \}$$

$$R_p = R_s \{ 1 + (Q_s)^2 \}$$

$$\frac{1}{j W L_p} = \frac{-j W L_s}{R_s^2 + (W L_s)^2}$$

$$L_p = \frac{(R_s)^2 + (W L_s)^2}{W^2 L_s}$$

$$L_p = L_s \left\{ \frac{(R_s)^2}{W^2 (L_s)^2} + 1 \right\}$$

$$L_p = L_s \left(1 + \frac{1}{(Q_s)^2} \right)$$

ค่า $Q_p = Q_s$ เมื่อค่าของ 0 มากกว่า 10 ซึ่งสามารถทำให้สมการง่ายขึ้นดังนี้

$$R_p = R_s Q^2$$

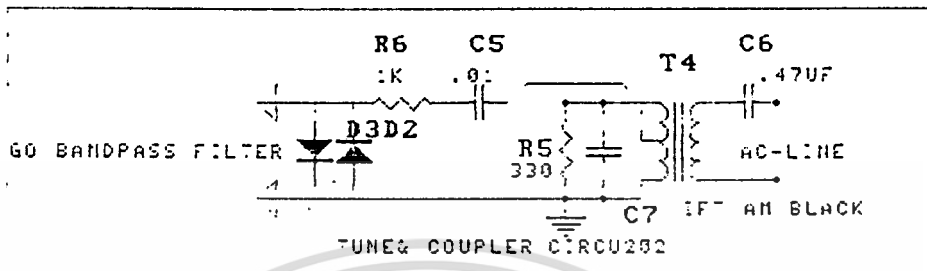
$$B = \frac{W_r}{Q}$$

$$Q = \frac{W L_s}{R_p} = \frac{R_p}{W L_p}$$

3.2.4 การคำนวณหม้อแปลงและการกำหนดค่าแคปาซิแตนซ์

จากวงจรเราจะกำหนดให้ค่าอิมพีแดนซ์ของสายไฟฟ้าส่งกำลังมีค่าต่ำมาก

จนถือว่าเป็นศูนย์ด้วยเหตุผลที่ว่าในวงจรไฟฟ้าย่อมมีโหลด (Load) และ R, L, C ซึ่งเราไม่สามารถคาดได้ว่า ช่วงเวลาใดค่าต่าง ๆ เหล่านี้จะเปลี่ยนแปลงไปอย่างไร ในการคำนวณ เราจึงคิดว่าค่า R มีค่าต่ำมากส่วนค่า L และ C หักล้างกันเป็นศูนย์



รูปที่ 3.3 Equivalent RLC Res

ในวงจรเราใช้แคปซิติเตอร์คัปปลิง (Coupling) กับสายส่งกำลังค่า 0.047 ไมโครฟารัด (Micro F.) 1 ตัว

$$C'_t = \frac{C_t}{2n}$$

ค่า Transfer Capacitance

$$C'_t = \frac{0.047}{2n} \text{ ไมโครฟารัด}$$

เราจะสามารถกำหนดค่า C_1 ได้จาก $C_1 = C - C'_t$

โดยที่ค่า C ได้มาจากการกำหนดค่าความถี่เรโซแนนซ์ (W_r) และค่า L ที่วัดได้จากการทดลองไปแทนค่าในสูตร

$$W_r = \frac{1}{LC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L = \frac{1}{(W_r)^2 C}$$

ค่า Transfer Capacitance นี้จะใช้เป็นค่าต่ำสุดของแคปaciแตนซ์ที่จะสามารถเป็นไบโได้ของวงจรจูน ดังนั้นค่าอินดัคแตนซ์ (Inductance) สูงสุดที่จะได้จากการพันหม้อแปลงต้องไม่เกินค่านี้ที่ความถี่เรโซแนนซ์ค่าหนึ่ง ๆ

ในการทดลองพันหม้อแปลงนี้เราใช้เครื่องมือวัดค่า R, L, C ของ Phillip Model PM 6303 ในวงจรนี้ ใช้ความถี่เรโซแนนซ์ที่

97.5 กิโลเฮิรท์ สำหรับวงจรจูนของชุด Answer และ

122.5 กิโลเฮิรท์ สำหรับวงจรจูนของชุด Originate

การกำหนดค่าความถี่เรโซแนนซ์ 97.5 และ 122.5 กิโลเฮิรท์ ก็เพราะเป็นค่ากึ่งกลางของความ 95,100 กิโลเฮิรท์ และ 120,125 กิโลเฮิรท์ ตามลำดับ

จากที่กล่าวมาจะเห็นว่าค่า n จะมีผลกระทบต่อ C_t ในความเป็นจริงแล้วค่า C_t นี้จะมีโอกาสเปลี่ยนตามค่าแคปaciแตนซ์ไม่ว่าในสายไฟฟ้าส่งกำลังได้เช่นเดียวกัน เราจึงควรเลือกค่า n ให้สูงเพื่อที่ว่าค่า C_t จะได้ลดลงเมื่อ C_t ค่าจะทำการกำหนดค่า C_1 ได้เมื่อขึ้น ดังนั้นความเปลี่ยนแปลงของ C_t มีผลกระทบกับ Center frequency ของวงจรจูนน้อยลง อีกทั้งเมื่อค่า n มากขึ้นจะทำให้ R_p ของวงจรสูงขึ้นซึ่งจะทำให้ลด Band width ลงอีกด้วย

จากตารางผลการทดลองพันหม้อแปลงจะพบว่าขดลวด 16:2 เป็นขดลวดที่เหมาะสมที่สุดอันนี้เพราะให้ค่า Q ได้สูงประมาณ 10 ซึ่งค่า C_t ไม่เกินค่า C ที่มีความถี่ หนึ่งๆ และค่าความแตกต่างของ C_t กับ C มีค่าสูงกว่าค่าอื่น ๆ

3.2.5 สรุปการพันหม้อแปลง

1. ค่าแบนด์วิดท์ที่ได้ประมาณ 10 KHz (จาก $B = \frac{W_r}{Q}$)

Q

ซึ่งทำให้ย่านของความถี่ ที่ผ่านเข้ามาค่อนข้างกว้างกว่าที่ต้องการ จึงจำเป็นต้องใช้วงจร Band Pass Filter เข้ามาแยกความถี่ในภาครับ

2. ค่า Turn Ratio ที่ต่ำทำให้มีนอยส์ (Noise) จากสายไฟฟ้าส่ง

กำลังเข้ามารบกวนในระบบมาก อัตราส่วนจำนวนรอบที่ควรวัดควรจะเป็นอัตราส่วนที่สูง หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

วัดให้ได้ค่า Q ของหม้อแปลงตั้งแต่ 10 ขึ้นไป

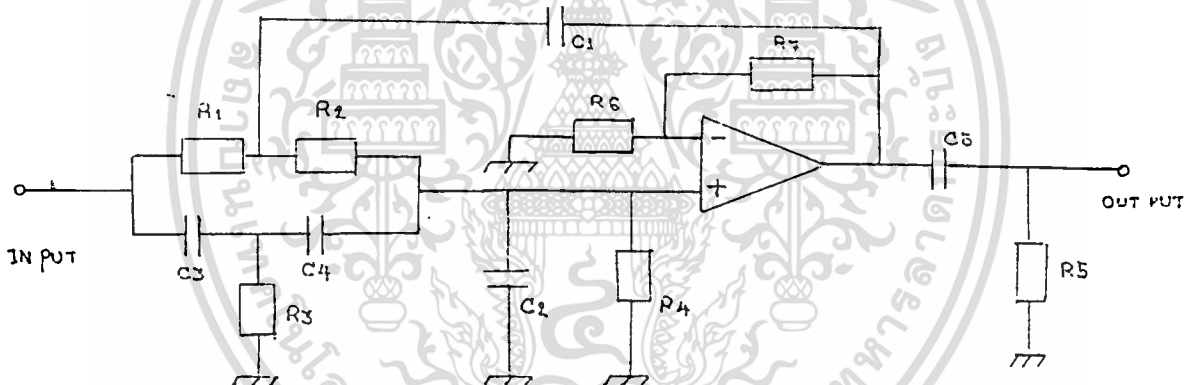
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แกนเฟอร์ไลท์ ชนิดที่ไม่ครบรูปแม่เหล็ก คือมีส่วนที่เป็นแกนอากาศจะทำให้ค่า Q ไม่คงที่ และค่อนข้างต่ำ แบนด์วิดท์จะกว้างมาก เมื่อนำมาใช้งานจะมีนอยส์เข้ามารบกวนในระบบมาก

4. ถ้าหากต้องการแบนด์วิดท์ที่แคบลงกว่าที่ใช้ จะต้องใช้แกนเฟอร์ไรท์ครบรูปที่มีขนาดพื้นที่หน้าตัดของแกนน้อยลง ทำให้สามารถเพิ่ม TRUN RATIO มากขึ้น ทำให้ค่า Q สูงขึ้น แบนด์วิดท์ก็จะแคบลงมาด้วย

3.3 วงจรแบนพาสส์ฟิลเตอร์ (Band Pass Filter)

3.3.1 High-Pass Filter



รูปที่ 3.4 วงจร ไฮท์-พาสส์ ฟิลเตอร์

การคำนวณค่าของอุปกรณ์ต่าง ๆ ภายในวงจร

0.5 dB maximum at 97.5 KHz

-3.5 dB minimum rejection at 80 KHz

Solution

$$A_s = f_c/f_s = 97.5 \text{ KHz} / 80 \text{ KHz} = 1.21$$

From the table 1

$$n = 3$$

$$r = 20\% \text{ (0.18 dB ripple)}$$

$$= 2.924$$

$$A_{min} = 37.44 \text{ (From the table 2 cos 20)}$$

Following the table

$$\text{Poles} = -0.3862 \quad j1.1396$$

$$-0.8867$$

$$\text{Zero} = j3.350$$

$$\alpha = 0.3862, \quad \beta = 1.1396$$

$$\alpha h_p = \alpha / \alpha^2 + \beta^2 = 0.3862 / (0.3862)^2 + (1.1396)^2 = 0.2667$$

$$\alpha h_p = \beta / \alpha^2 + \beta^2 = 1.1396 / (0.3862)^2 + (1.1396)^2 = 0.7871$$

$$FSF = 2r * 97.5 * 10^3 \text{ Hz}$$

$$\alpha' h_p = \alpha h_p * FSF = 0.2667 * 612,611 = 163,383 \text{ Hz}$$

$$\alpha' h_p = \beta h_p * FSF = 0.7871 * 612,611 = 482,186 \text{ Hz}$$

ZERO

$$w_o = 3.350$$

$$w_o, h_p = 1/3.350 = 0.2985$$

$$w_o'hp = w_o, h_p * FSF = 0.2985 * 612.611 = 182,862 H_z$$

Real Pole

$$\begin{aligned}\alpha &= 0.8867 \\ \alpha_o, h_p &= 1/0.8867 = 1.128 \\ \alpha_o' h_p &= \alpha_o, h_p * FSF = 1.128 * 612,611 = 691,025 H_z \\ a &= 2\alpha' h_p / (\alpha' h_p)^2 + (\beta' h_p)^2 = 0.641832 \\ b &= (w_o' h_p)^2 / (\alpha' h_p)^2 + (\beta' h_p)^2 = 0.129 \\ c &= (\alpha' h_p)^2 + (\beta' h_p)^2 = 509,114\end{aligned}$$

ให้

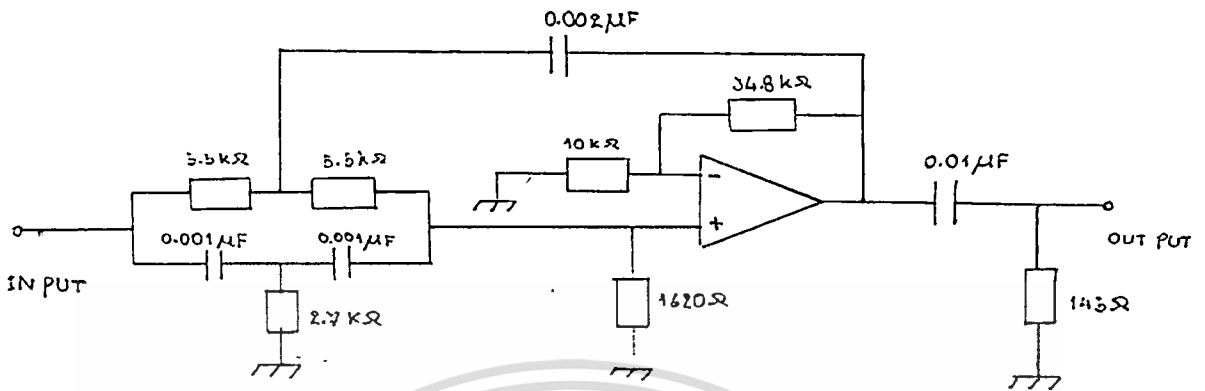
$$\begin{aligned}C_1 &= C_2 = 0.002 \mu F \\ C_3 &= C_4 = c_1/2 = 0.001 \mu F \\ C_2 &> C_1(b-1)/4 = -0.435 \mu F = 0 \\ R_3 &= 1/cC_1 b = 2734.38 \\ R_1 &= R_2 = 2R_3 = 5468.76 \\ R_4 &= 46 / cC_1(1-b) + 4cC_2 = 1619.91 \\ K &= 1 + 2C_2/C_1 - a/2 b + 2C_1 b (1/CR_4 - aC_2) \\ &= 4.48247\end{aligned}$$

ให้

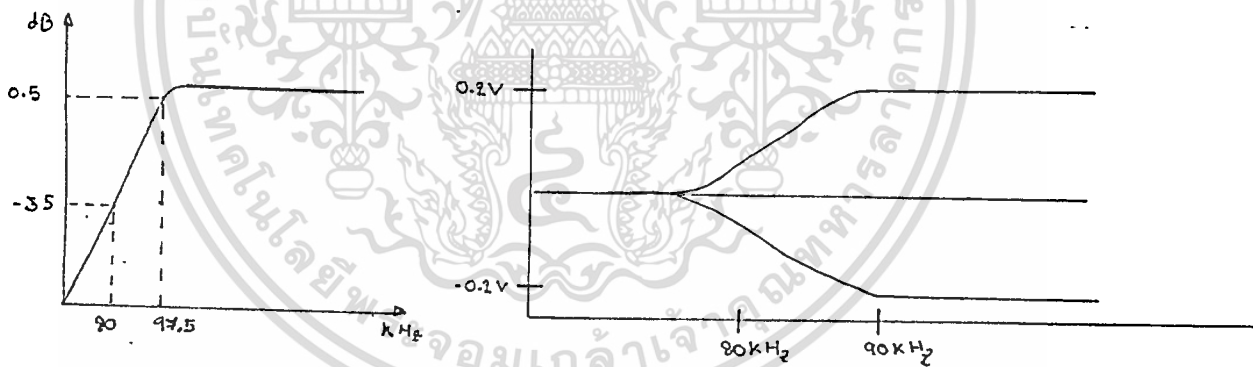
$$\begin{aligned}R_6 &= 10K \\ R_7 &= (4.48-1) 10K = 34.8 K\end{aligned}$$

ให้

$$\begin{aligned}C_5 &= 0.01 \mu F \\ R_5 &= 1/C_5 \alpha_o' h_p = 144.7\end{aligned}$$



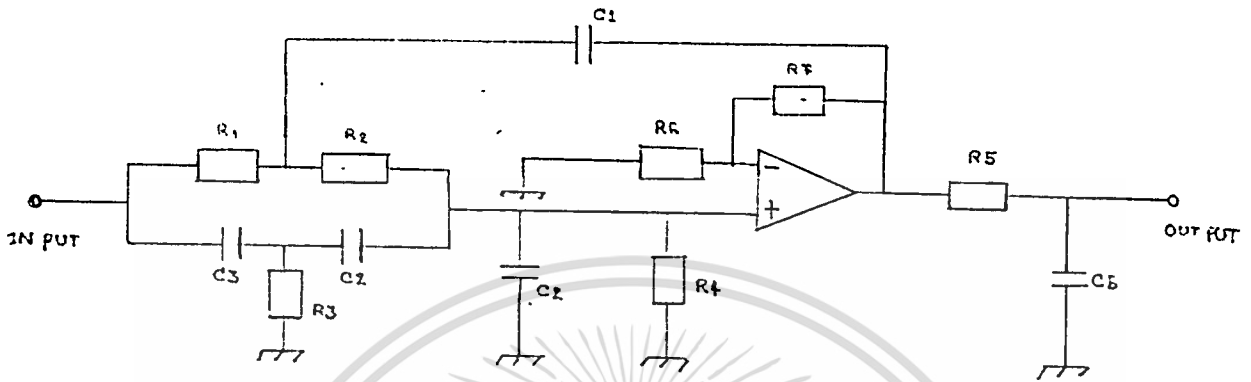
รูปที่ 3.5 วงจร High-Pass Filter ที่ได้จากการคำนวณ



รูปที่ 3.6 แสดงความถี่ Cut Off ของวงจร High-Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 Low-Pass Fliter



รูปที่ 3.8 วงจรพื้นฐานของ Low-Pass Filter

การคำนวณค่าของอุปกรณ์ต่าง ๆ ภายในวงจร

0.5 dB maximum at 100 KHz

3.5 dB minimum rejection at 110 KHz

From the table 1

$n = 3$

$RdB = 0.18 \text{ dB}$

$ohms = 2.924$

$Amin = 37.44 \text{ dB (from the table 2 Cos } 20)$

Following the table

$Pole = -3.862 \quad j \quad 1.1396$
 -0.8867

$Zero' = j \quad 3.350$

$\alpha = 0.3862, \quad \beta = 1.1396$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 \alpha_{hp} &= \alpha / \alpha^2 + \beta^2 = 0.3862 / (0.3862)^2 + (1.1396)^2 = 0.2667 \\
 \beta_{hp} &= \beta / \alpha^2 + \beta^2 = 1.1396 / (0.3862)^2 + (1.1396)^2 = 0.7871 \\
 FSF &= 2\pi \times 100 \times 10^3 \text{ Hz} = 628,318 \text{ Hz} \\
 \alpha' &= FSF \times \alpha_{hp} = 0.2667 \times 628,318 = 242,656 \text{ Hz} \\
 \beta' &= FSF \times \beta_{hp} = 0.7871 \times 628,318 = 715,655 \text{ Hz} \\
 \omega_o' &= 3.350 \times 628,318 = 2,104,867 \\
 \alpha_o' &= 0.8867 \times 628,318 = 557,130 \\
 a &= 2\alpha' / (\alpha')^2 + (\beta')^2 = 0.6422 \\
 b &= (\omega_o')^2 / (\alpha')^2 + (\beta')^2 = 7.758 \\
 c &= (\omega_o')^2 + (\beta')^2 = 755,674.5
 \end{aligned}$$

ให้

$$\begin{aligned}
 c_1 &= c = 0.002 \mu F \\
 c_3 &= c_4 = c_1/2 = 0.001 \mu F \\
 c_2 &> c_1(b-1) = 3.378 \mu F
 \end{aligned}$$

ในที่นี้ c_2 จะใช้

$$\begin{aligned}
 R_a &= 1 / cC_1 b = 238 \text{ ohm} \\
 R_1 &= R_2 = 2R_a = 2 \times 238 = 475 \text{ ohm} \\
 R_4 &= 4 b / cC_1(1-b) + 4cC_2 = 2790.21 \text{ ohm} \\
 k &= 2 + 2C_2/C_1 - a/2 b + 2/C_1 b [1/cR_4 - aC_2] = 5.67
 \end{aligned}$$

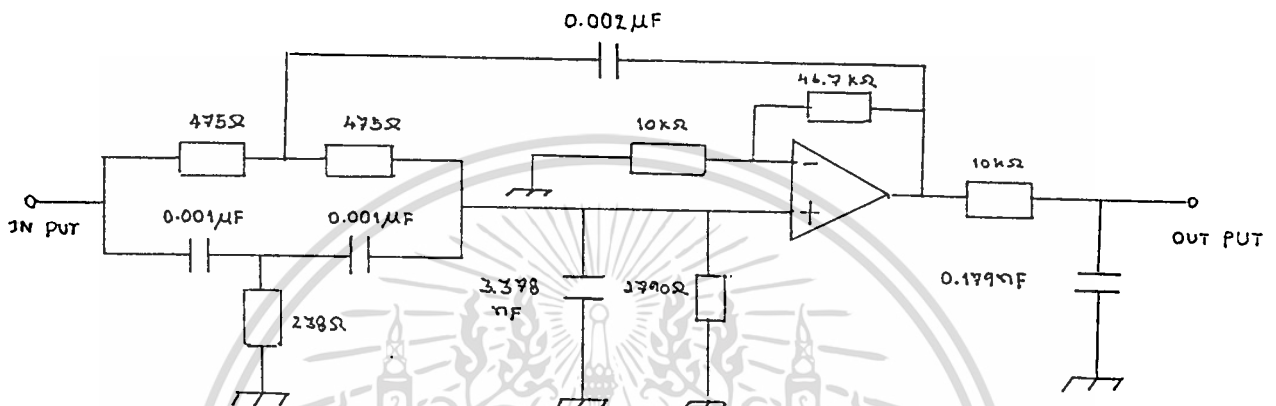
ให้

$$\begin{aligned}
 R_6 &= 10 \text{ Kohm} \\
 R_7 &= (K-1)R = (5.67-1)10 \times 10^3 = 46.7 \text{ Kohm}
 \end{aligned}$$

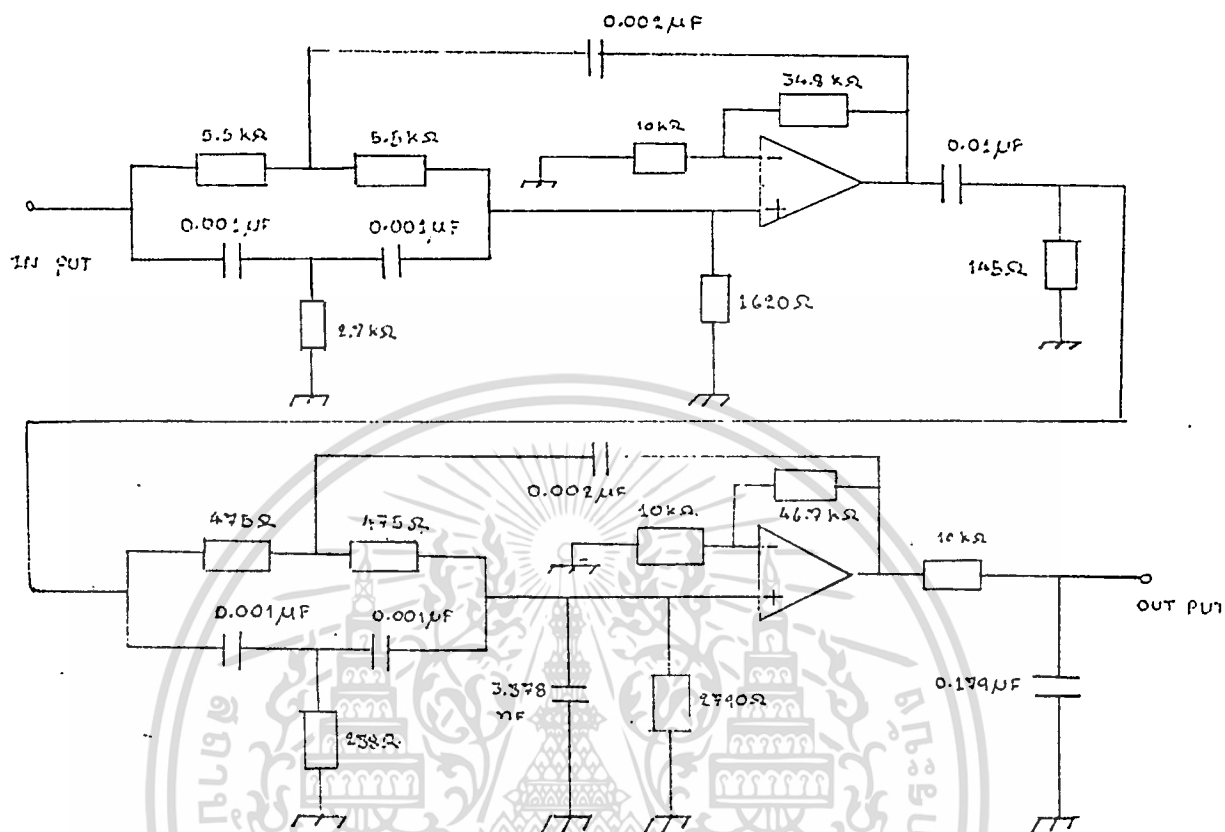
ให้

$$\begin{aligned}
 R_5 &= 10 \text{ Kohm} \\
 C_5 &= 1/R_5 \alpha_o' = 0.179 \text{ nF}
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจร Low-Pass Filter ที่ได้จากการคำนวณ



รูปที่ 3.10 วงจร Band-Pass Filter ที่ได้จากการคำนวณ

3.4 เอฟเอสเคดโมเดชั่น (Frequency Shift Keying Demodulation)

โดยที่ C_u เป็น timing capacitor คร่อมอยู่ที่ขา 13 และ 14 เพื่อเสถียรภาพของการทำงานเขาจึงกำหนดให้ R_u อยู่ในช่อง 10 Kohm ถึง 100 Kohm ที่ขา 12 นี้ มีค่าความต้านทานต่ำ

VCO Timing Capacitor (ขา 13 และ 14) ความถี่ VCO ที่จะเป็นสัดส่วนกับค่า C ภายนอก และอาจจะใช้ค่าความจุในย่าน 200 pF ถึง 10 μ F VCO Frequency Adjustment สามารถที่จะปรับแต่งโดยต่อความต้านทานปรับค่าอนุกรมกับ R_u ที่ขา 12

สำหรับการประยุกต์ใช้ต่างๆ ให้ออกจากคู่มือที่แนบมาด้วย ในการทดลองขั้นแรกของการทำงานนั้นควาลึศูนย์กลางของ demodulate จะถูกผ่านไปได้ที่ศูนย์กลางของความถี่ที่เราได้กำหนดการดีเทค (detect) เมาไว้ กล่าวคือพาสแบนด์ที่เรากำหนดไว้โดยสัญญาณคู่ที่มีความถี่ 95/100 KHz และ 97.5 KHz เราสามารถที่จะคำนวณค่า compound ต่าง ๆ ได้โดยใช้สูตรโดยทั่วไป R_0 จะอยู่ในช่วง 10 K.ohm ถึง 100 K.ohm แต่ค่าที่ใช้เราจะเป็นผู้กำหนดเอง บ่อยครั้งที่ผลออกมาแล้วทำให้ค่า f_0 มากเกินไปจากการคำนวณ เราจึงต้องการใช้ R ปรับค่าต่อเข้าช่วยเล็กน้อย สำหรับ C_0 ใช้ 0.001 ไมโครฟารัด จากนั้นคำนวณค่า R จะได้ค่า $R=12.12$ K.ohm และ 10.81 K.ohm จากการคำนวณออกมาจะเห็นว่าค่าเหล่านี้หาซื้อยากตามท้องตลาดจึงใช้ R ปรับค่าได้ประมาณ 5 K.ohm มาอนุกรมกับ R ที่หาซื้อได้ง่าย เช่น 10 K.ohm และ 9.1 ohm เข้าไปแทนที่

จากโครงสร้างจะประกอบด้วยส่วนต่าง ๆ โดยมีหลักใหญ่คือ PLL ซึ่งเป็นโครงสร้างมาจาก Input Preamplifier ผลคูณทางกลศาสตร์คือ phase detector และหลักการวิธีของ VCO Preamplifier จะใช้โดยมีขีดจำกัดที่อินพุตไม่เกินกว่า 2 mVrms เป็นลักษณะขยายที่ จะคงที่ในระดับของสัญญาณอินพุตสูง ๆ ของ phase detector นั้นใช้ digital exclusive OR GATE ที่เอาที่พุทจะให้ผลรวมออกมา และความถี่ที่แตกต่างกันของ Input และ VCO เอาที่พุท VCO นั้นเป็นการใช้กระแสควบคุมการผลิตความถี่ สำหรับ f_0 นั้นถูกกำหนดโดย R_0 กับ Ground และกระแสที่มาจาก phase detector reference voltage V_r (ขาที่ 10) เป็นขาที่มี bias ภายในที่แรงดันเปรียบเทียบกับ

$$V_r = \frac{V^+}{2} - 650$$

2

ระดับแรงดัน DC ที่ขาที่จากแรงดันเปรียบเทียบกับ ภายในไปเป็นระดับของแรงดันที่ 5, 11 และ 12 ที่ขา 10 นี้อาจจะใช้ C 0.1 Micro F. มาต่อไว้กับ Ground เพื่อ Bypass ทั่ววงจรทำงานสม่ำเสมอ

Loop Phase Detector Output (ขาที่ 11) ที่จุดนี้เป็นเอาที่พุทที่มีค่าความต้านทานสูงใช้สำหรับ loop phase detector PLL ก็จะมี Loop filter เป็นแบบโดย R_1 และ C_1 ที่ต่ออยู่ที่ขา 11 กรณีที่ยังไม่สัญญาณอินพุทหรือไม่มี phase error กับ PLL

ระดับแรงดัน DC นี้ก็จะใกล้เคียงกับ V_r ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO control input (ขาที่ 12) VCO นี้เป็นความถี่ที่วิ่งได้ตลอดเวลา ซึ่งจะ
คำนวณหาค่าได้โดย external timing resistor (R_0) ความถี่ที่หาได้จากสูตร

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$



บทที่ 4

การทดลอง

4.1 ลำดับขั้นตอนการทดลองสื่อสารข้อมูลผ่านสายไฟฟ้ากำลังด้วยโมเด็ม

1. ต่อวงจรดังรูปที่ 4.1 แล้วทำการทดลองส่งข้อมูลทางสาย A.C Line โดยใช้ Procomm ในการส่งระยะทาง 100 เมตร
2. ทำการวัดสัญญาณที่ขา 2 IC # XR-2206 (สภาวะไม่ส่ง)

$$V_{p-p} = 0.65 \text{ VOLTS}$$

$$\text{Frequency} = 95 \text{ KH}_z$$

3. ทำการวัดสัญญาณที่ขา 2 IC # XR-2206 (สภาวะส่ง)

$$V_{p-p} = 0.65 \text{ VOLTS}$$

$$\text{Frequency} = 95-100 \text{ KH}_z$$

4. ทำการวัดสัญญาณที่ขา Collector ของ Tr # 2219

$$V_{p-p} = 0.25 \text{ VOLTS}$$

$$\text{Frequency} = 95-100 \text{ KH}_z$$

5. ทำการวัดสัญญาณที่ขา C COUPLER

$$V_{p-p} = 0.1 \text{ VOLTS}$$

$$\text{Frequency} = 95-100 \text{ KH}_z$$

6. ทำการวัดสัญญาณที่ INPUT IC # TL-084

$$V_{p-p} = 0.1 \text{ VOLTS}$$

$$\text{Frequency} = 95-100 \text{ KH}_z$$

7. ทำการวัดสัญญาณที่ OUTPUT IC # TL-084

Vp-p = 0.25 VOLTS

Frequency = 95-100 KHz

8. ทำการวัดสัญญาณที่ขา 2 IC # XR-2211 (ขณะมีสัญญาณ)

Vp-p = 0.25 VOLTS

Frequency = 95-100 KHz

10. ทำการวัดสัญญาณที่ขา 2 IC # XR-2211 (ขณะไม่มีสัญญาณ)

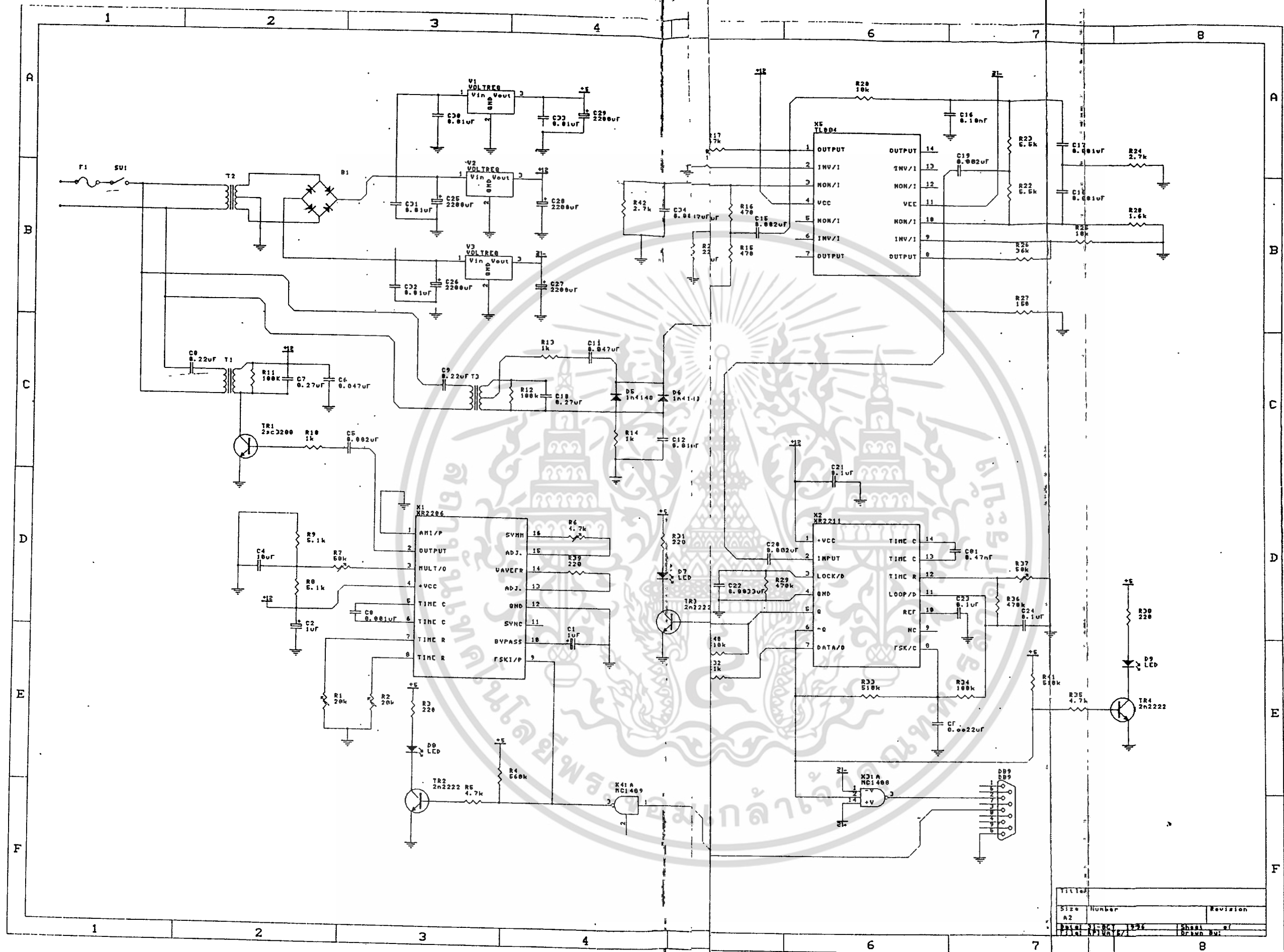
Vp-p = 0.25 VOLTS

Frequency = 95-100 KHz

11. ทำการวัดสัญญาณที่ขา 2 IC # MC-1488

Vp-p = 0.25 VOLTS

Frequency = 1200 Hz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ ทั้งหมด (ชุด Originol and Answer)

DESCRIPTION	QUANTITY	COMPONENT (S)
X _R 2206	2	X ₁
X _R 2211	2	X ₂
MC 1488	2	X ₃
MC 1489	2	X ₄
TL 084	2	X ₅
2SC3280	2	Tr ₁
2N2222	6	Tr ₂ , Tr ₃ , Tr ₄
1N4001	8	D ₁ , D ₂ , D ₃ , D ₄
7812	2	V ₂
7912	2	V ₃
7805	2	V ₁
1N4148	4	D ₅ , D ₆
LED	6	D ₇ , D ₈ , D ₉
R (1/4 W) 220 OHM	8	R ₃ , R ₃₁ , R ₃₆ , R ₃₉
R (1/4 W) 1 K OHM	6	R ₁₀ , R ₁₃ , R ₁₄
R (1/4 W) 4.7KOHM	8	R ₅ , R ₆ , R ₃₀ , R ₃₅
R (1/4 W) 5.1KOHM	4	R ₈ , R ₉
R (1/4 W) 10 KOHM	6	R ₁₆ , R ₂₀ , R ₂₅
V _R 20 KOHM	4	R ₁ , R ₂
R (1/4 W) 36 KOHM	2	R ₂₆
R (1/4 W) 47 KOHM	2	R ₁₇
DB9	2	-
Transformer 220/12V		
Center Tap	2	T ₂
COREFORM	4	T ₁ , T ₃
V _R 50 K OHM	4	R ₇ , R ₃₇
R (1/4 W) 51 KOHM	2	R ₃₂

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

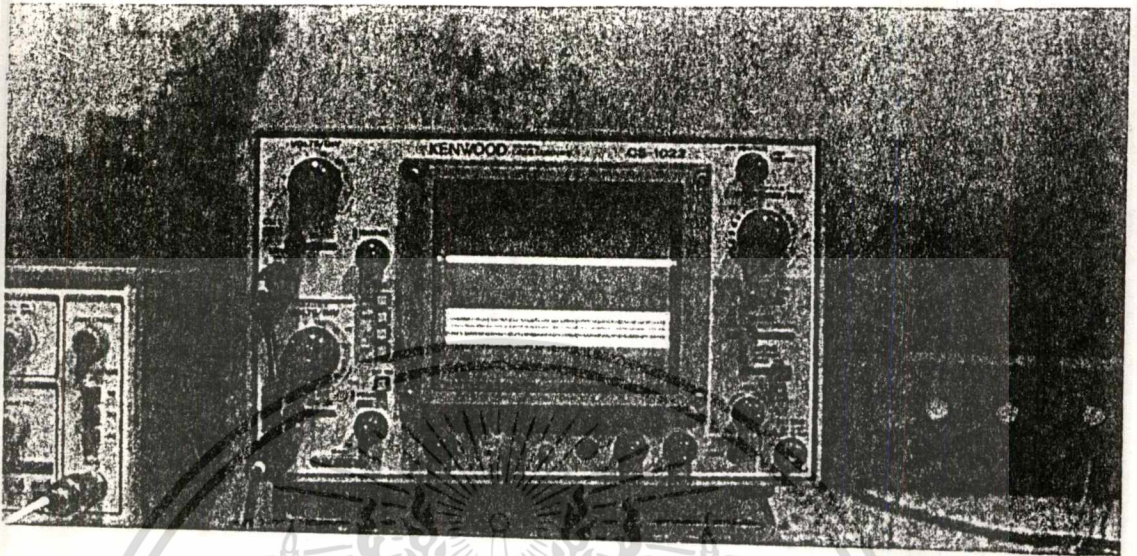
DESCRIPTION	QUANTITY	COMPONENT (S)
R (1/4 W) 100 KOHM	6	R ₁₁ , R ₁₂ , R ₃₄
R (1/4 W) 470 KOHM	2	R ₂₉
R (1/4 W) 510 KOHM	6	R ₃₃ , R ₄₀ , R ₄₁
R (1/4 W) 560 KOHM	2	R ₄
C (25 V) .001 μ F	10	C ₀ , C ₁₃ , C ₁₄ , C ₁₇ , C ₁₈
C (25 V) .002 μ F	8	C ₅ , C ₁₅ , C ₁₉ , C ₂₀
C (25 V) .0022 μ F	2	C _F
C (25 V) .0033 μ F	2	C ₂₂
C (25 V) .0047 μ F	2	C ₃₄
C (25 V) .01 μ F	10	C ₁₂ , C ₃₀ , C ₃₁ , C ₃₂ , C ₃₃
C (25 V) .047 μ F	4	C ₆ , C ₁₁
C (25 V) .1 μ F	6	C ₂₁ , C ₂₃ , C ₂₄
C (630 V) .22 μ F	4	C ₈ , C ₉
C (25 V) .27 μ F	4	C ₇ , C ₁₀
C (25 V) 1 μ F	4	C ₁ , C ₂
C (25 V) 10 μ F	2	C ₄
C (25 V) 2200 μ F	10	C ₂₅ , C ₂₆ , C ₂₇ , C ₂₈ , C ₂₉

COMPONENT (S)	ORIGINAL	ANSWER
R ₂₇	R (1/4 W) 120 OHM	R (1/4 W) 150 OHM
R ₂₁	R (1/4 W) 180 OHM	R (1/4 W) 220 OHM
R ₁₅ , R ₁₆	R (1/4 W) 375 OHM	R (1/4 W) 470 OHM
R ₂₆	R (1/4 W) 1.3 K OHM	R (1/4 W) 1.6 K OHM
R ₂₄ , R ₄₂	R (1/4 W) 2.2 K OHM	R (1/4 W) 2.7 K OHM
R ₂₂ , R ₂₃	R (1/4 W) 4.5 K OHM	R (1/4 W) 5.5 K OHM
R ₃₆	R (1/4 W) 470 K OHM	R (1/4 W) 330 K OHM
C ₁₆	C (25 V) 0.15 nF	C (25 V) 0.18 nF
C ₀₁	C (25 V) 0.47 nF	C (25 V) 0.68 nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

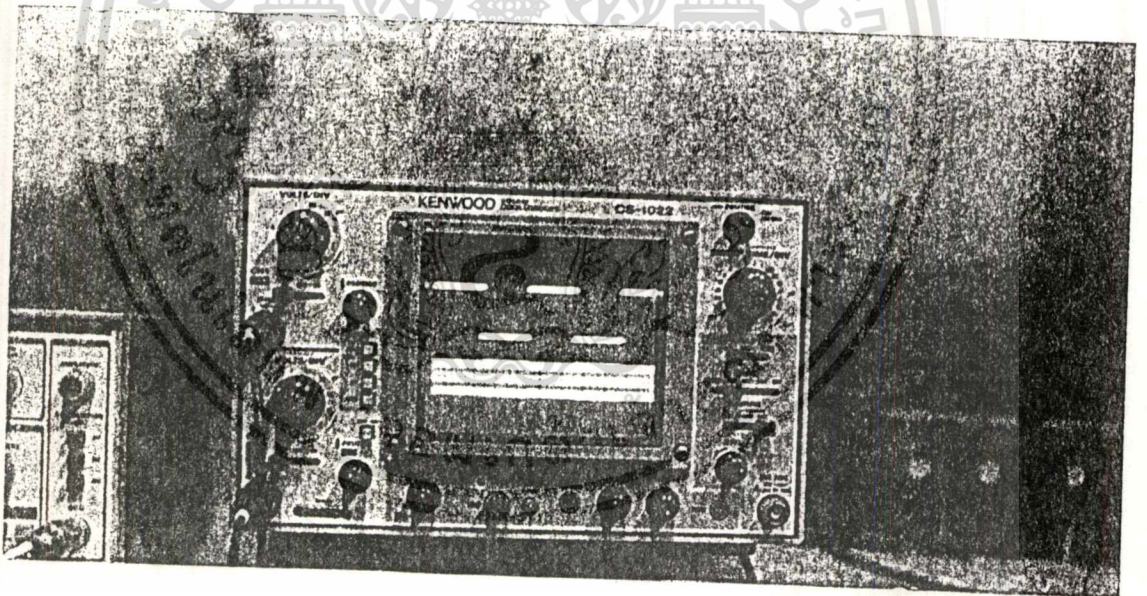
4.2 กราฟบันทึกผลการทดลอง

1.



รูปที่ 4.2 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร FSK.Modulation (สภาวะไม่ส่ง)

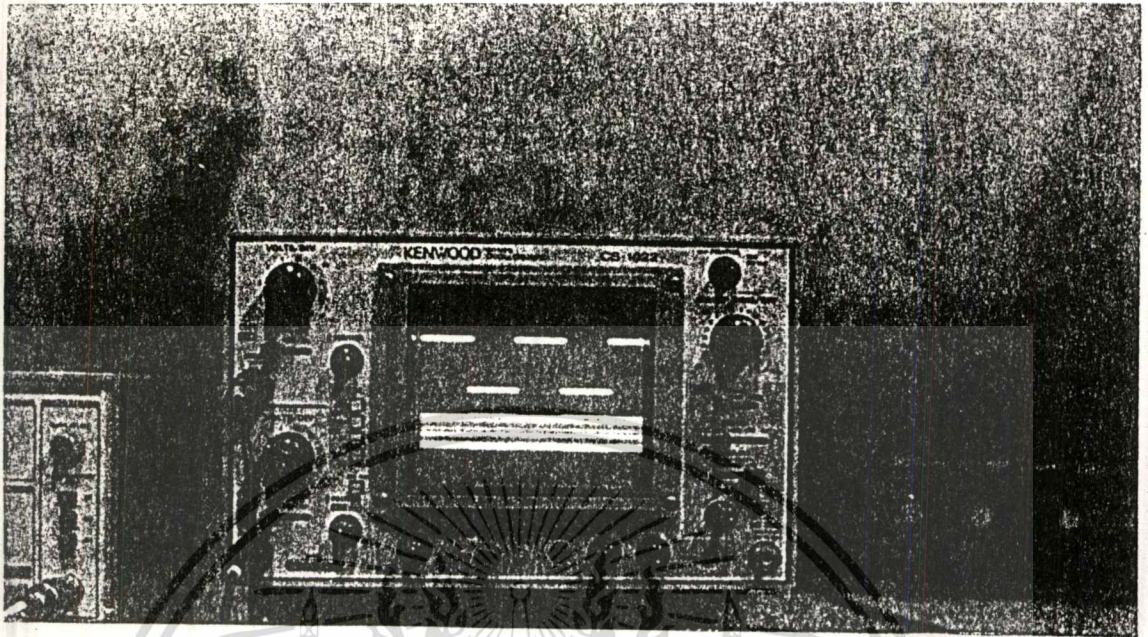
2.



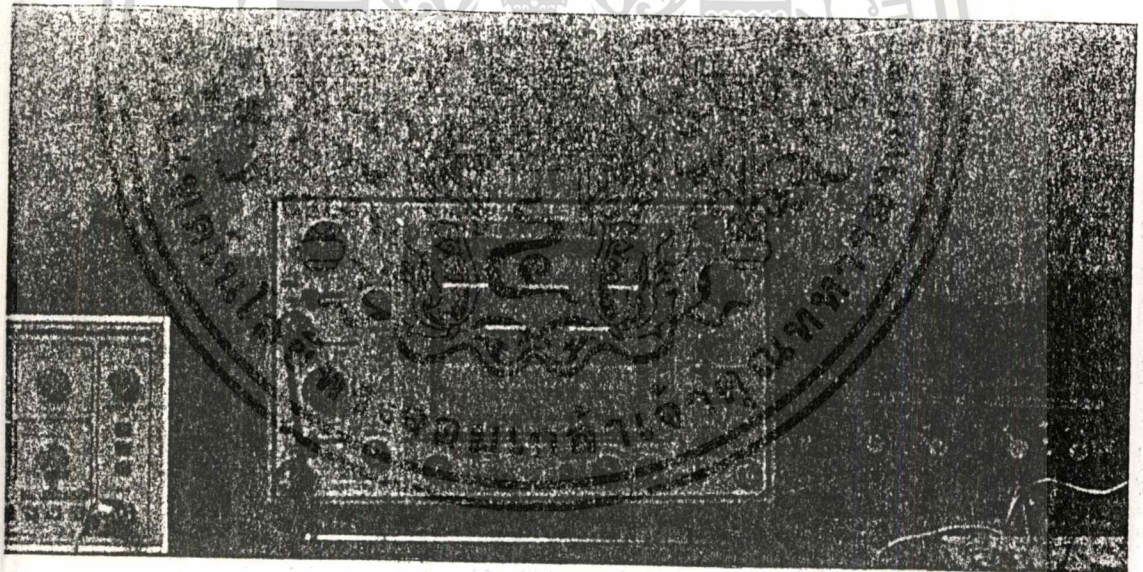
รูปที่ 4.3 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร FSK.Modulation (สภาวะส่ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.



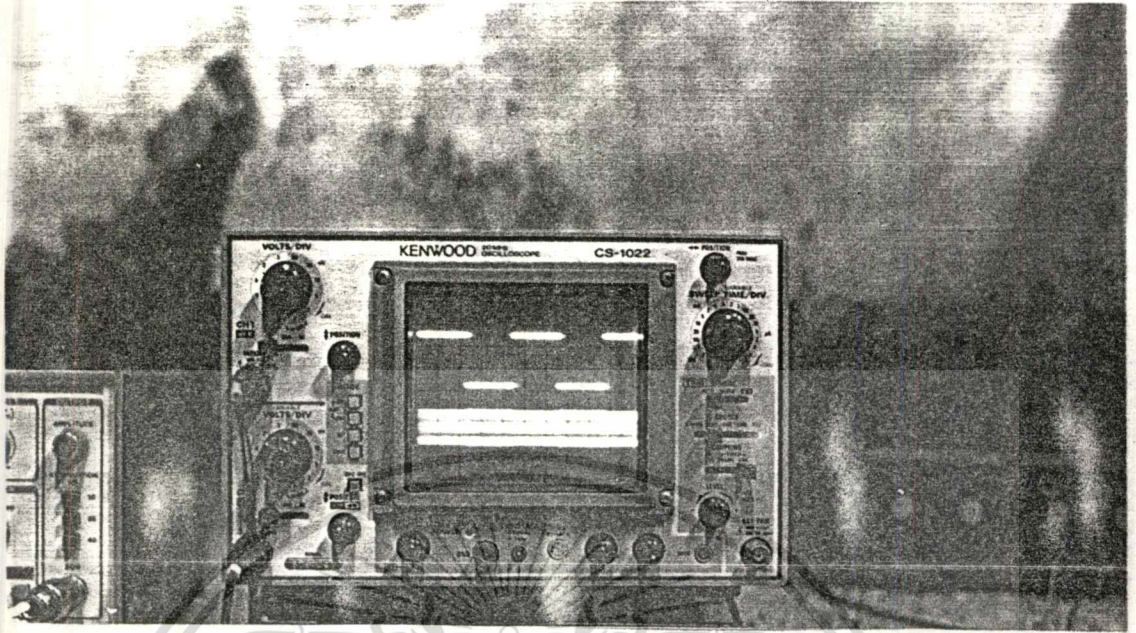
รูปที่ 4.4 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร Modulation and Coupler
4.



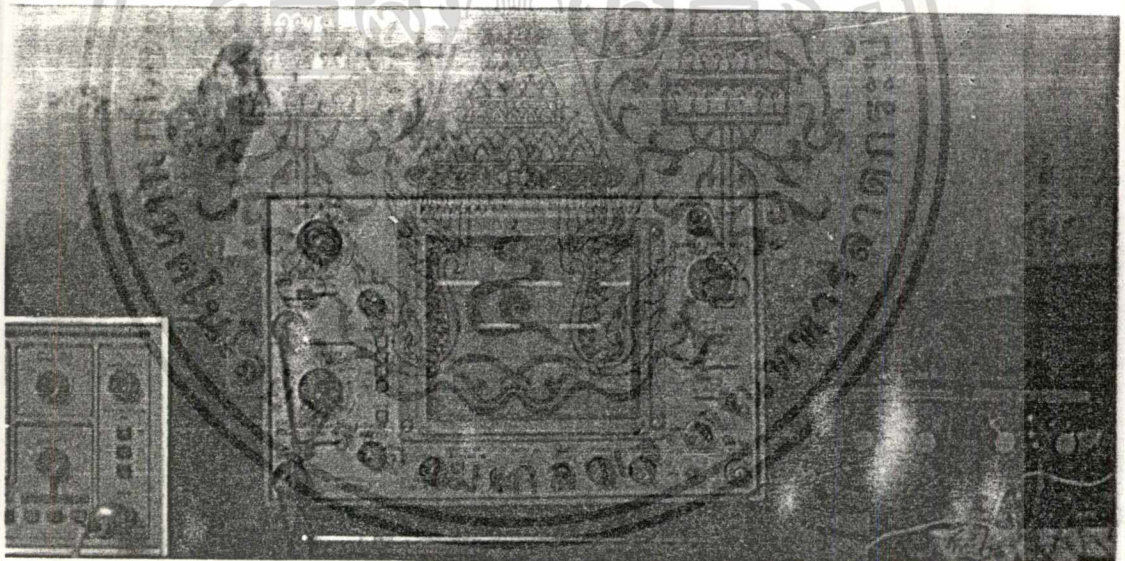
รูปที่ 4.5 กราฟบันทึกสัญญาณที่อินพุตของวงจร Tune and Coupler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.



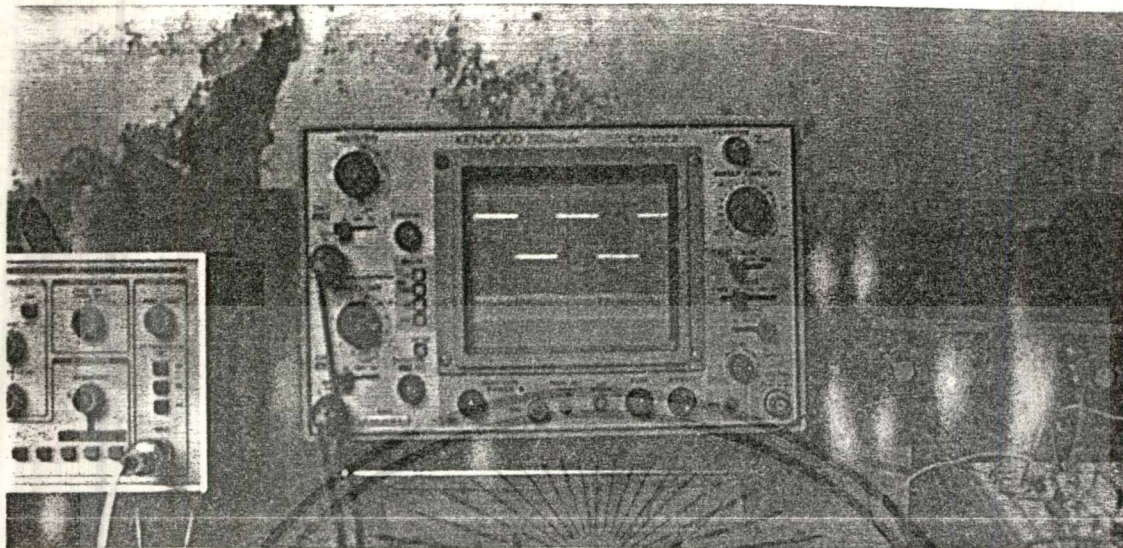
รูปที่ 4.4 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร Modulation and Coupler
4.



รูปที่ 4.5 กราฟบันทึกสัญญาณที่อินพุตของวงจร Tune and Coupler

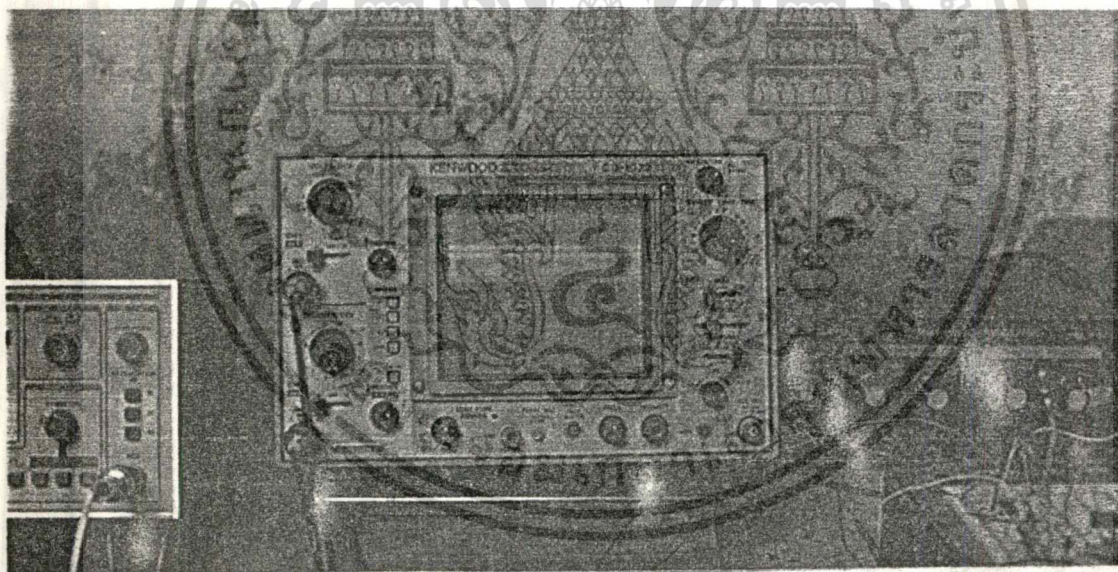
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.



รูปที่ 4.6 กราฟบันทึกสัญญาณเอาต์พุตของวงจร Tune and Coupler

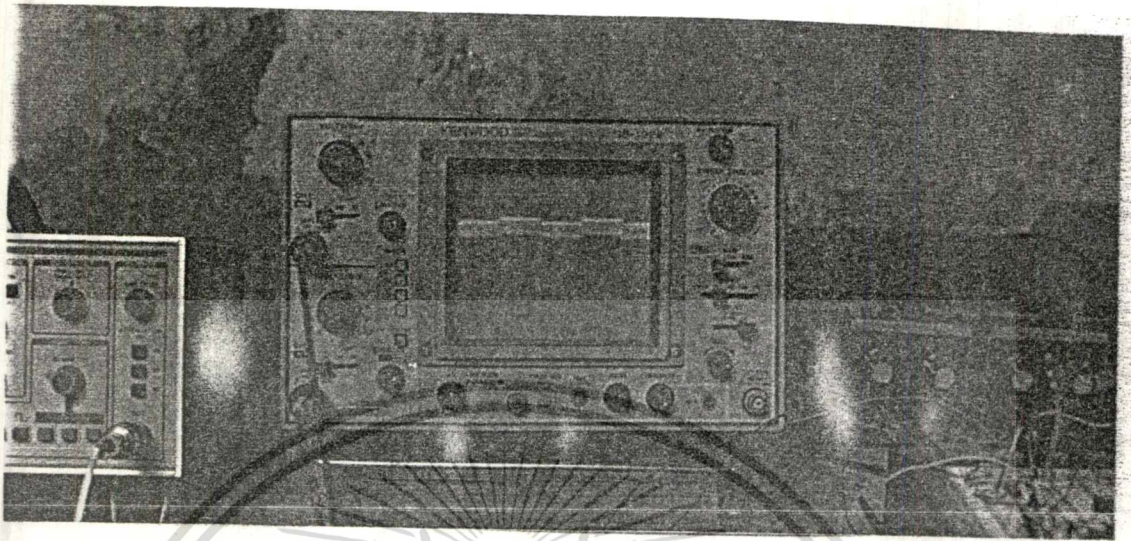
6.



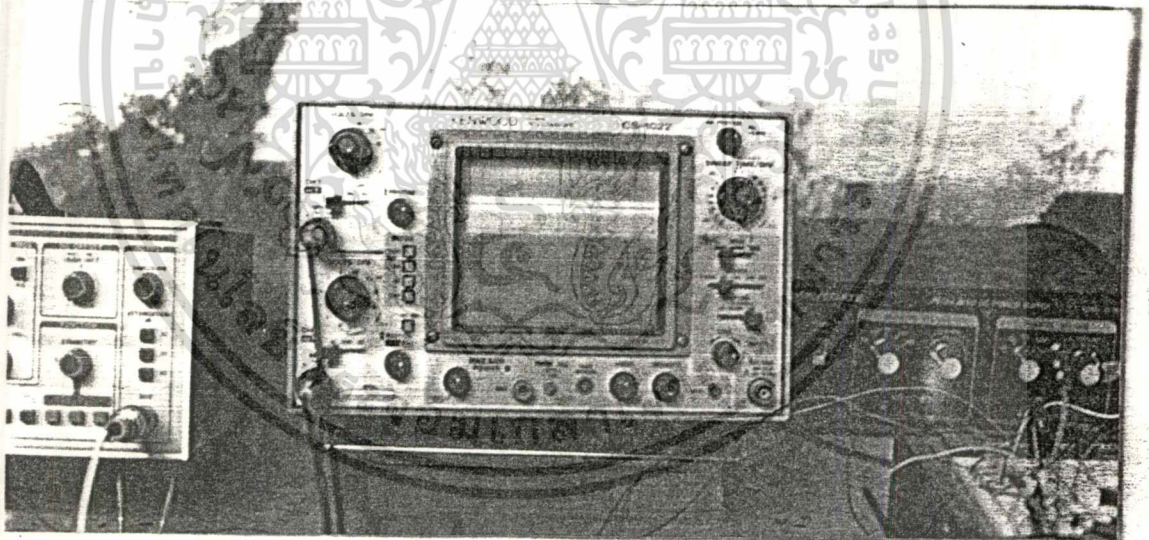
รูปที่ 4.7 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร Twin-T Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.



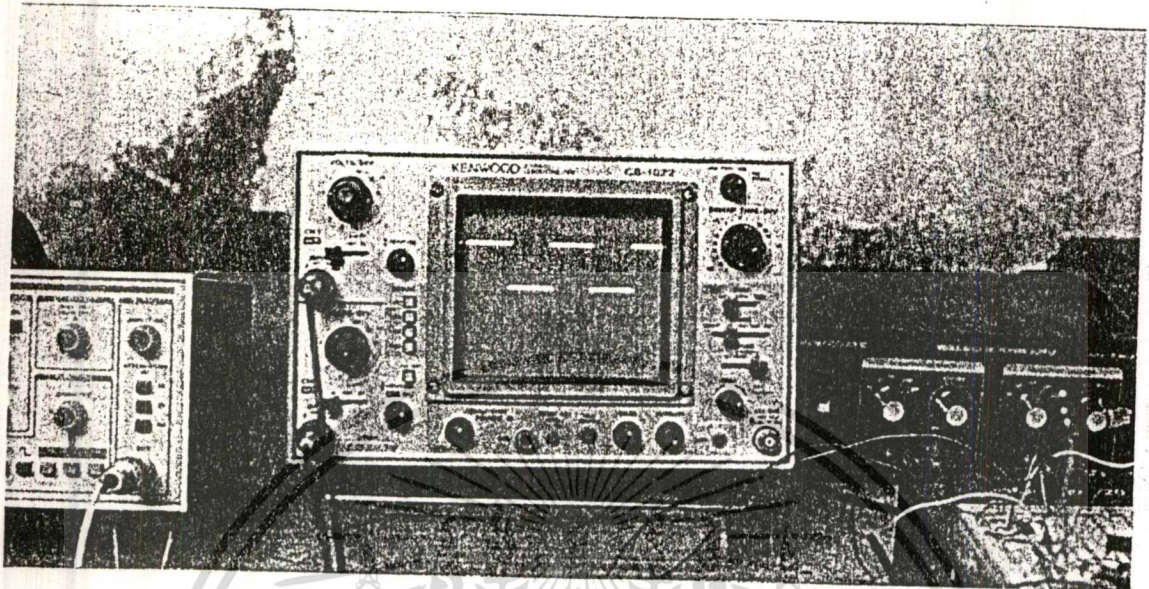
รูปที่ 4.8 กราฟบันทึกสัญญาณที่อินพุตของวงจร FSK. Demodulation
8.



รูปที่ 4.9 กราฟบันทึกสัญญาณที่อินพุตของวงจร FSK. Demodulation (สภาวะปกติ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.



รูปที่ 4.10 กราฟบันทึกสัญญาณที่เอาต์พุตของวงจร FSK. Demodulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

5.1 ข้อแนะนำ และข้อพึงระมัดระวัง

1. ค่าความถี่ที่กำหนดขึ้นสำหรับชุด Originate และ Answer ควรจะกำหนดให้มีย่านที่ห่างกันมากกว่า ค่าแตกต่างของความถี่ที่แทนค่า Mark และ Space ของแต่ละชุด น้อย 1 เท่าตัว เช่น

ชุด Originate ส่งค่า Space ที่ 95 KHz Mark ที่ 100 KHz

ชุด Answer ก็ควรตั้งความถี่ให้ห่างจากค่าของ Originate อย่างน้อย 10 KHz เช่นที่ความถี่ Space ที่ 95 KHz Mark ที่ 100 KHz เป็นต้น เหตุผลก็เพราะว่าในการสร้างหม้อแปลงในวงจรและ วงจรแบนด์พาสฟิลเตอร์นั้น ถ้าตั้งความถี่ให้ห่างกัน จะทำให้ไม่ต้องกำหนดค่า Q ให้สูงจนเกินไปจะทำให้ง่ายต่อการออกแบบและปรับค่าต่างๆ แต่สิ่งที่ต้องคำนึงถึงอย่างหนึ่งคือความถี่ที่กำหนดขึ้นมานั้นจะต้องไม่ใช่ค่าที่เป็นฮาร์โมนิก(Harmonic) ซึ่งกันและกัน

2. การออกแบบวงจรแบนด์พาสฟิลเตอร์นั้น ในทางปฏิบัติถ้าจะให้สะดวกในการหาค่าอุปกรณ์ที่มีอยู่และได้ค่าที่ถูกต้องแล้ว ควรใช้คอมพิวเตอร์ช่วยในการคำนวณซึ่งอาจใช้โปรแกรมสำเร็จรูป เช่น โรตัส เป็นต้น

3. คุณภาพของวงจรที่สร้างขึ้นนั้นจะขึ้นอยู่กับ การออกแบบกำหนดค่าต่าง ๆ ที่ได้คำนึงถึงผลที่จะเกิดขึ้นจริง ๆ ในสายส่งกำลัง

4. XR-2211 ควรได้รับแรงดันอินพุตที่เหมาะสมที่ขา 2 โดยกำหนดเกน (Gain) ของวงจรแบนด์พาสฟิลเตอร์ หรือ แอทเทนนูเอท (Attenuate) รับแรงดันที่จะป้อนเข้าในไอซีตัวนี้ และค่าระดับ Signal to noise ratio ควรมีค่าสูง

หนังสืออ้างอิง

กนก เจนจิระพงศ์เวช "สัญญาณรบกวนกับระบบจ่ายไฟ" ,เซมิคอนดักเตอร์ บริษัทซีเอ็นยู
เคชั่น,มี.ค. พ.ศ.2530

วัฒนา รัตนอาราโรจน์ และ มนต์ชัย เตชะปิยะวงศ์,"A Computerized wireless AC
Control System:, สถาบันเทคโนโลยี่พระจอมเกล้า เจ้าคุณทหารลาดกระบัง พ.ศ 2530

Harry Helms, "Linear IC Device 1987 Source Book ", A Technipubs
Prentice Hall Publication,1987.

Harry elms. "Operation Amplifier 1987 Source Book",A Technipubs
Prention,1987.

Steven A Ciarcia, "Build A Power-Line Carrier-Current Modem",Byte,
August 1983.

"The Line Control Data Book" Teks Instruments Incorporated.

"The Line Interface Application Volum 1 " Teks Instruments
Incorporated."

Warren H Lewes, "Recommended Power and Signal Grounding for Control
and Computer Rooms", IEEE Transaction on Industry Applications, Vol.
IA-21,No 6, Norember/December 1985.

Robert F. Coughlin, "Principle and Application of Semiconducotrs
and circuits",Prentice-Hall,Inc., Englewood Cliffs, New Jersey.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"Wireless Intercom", สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

U. Tietze, Ch.Schenk, "Advance Electronic circuit" Springer Verlag
berlin Heidelberg New York 1987.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSK Demodulator/Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system, especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides automatic operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DIP ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5V to 20 V
HCMOS & TTL / Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range ($\pm 1\%$ to $\pm 80\%$)	
Excellent Temp. Stability	20 ppm/ $^{\circ}\text{C}$, typ.

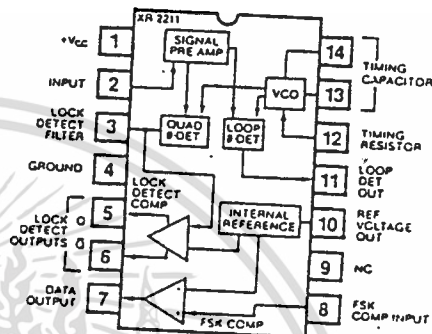
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20V
Input Signal Level	3V rms
Power, Dissipation	900 mW
Ceramic Package	750 mW
Derate Above $T_A = +25^{\circ}\text{C}$	8mW/ $^{\circ}\text{C}$
Plastic Package	800 mW
Derate Above $T_A = +25^{\circ}\text{C}$	60 mW/ $^{\circ}\text{C}$
JEDEC SQ and Japanese SO	390 mW
Derate Above $T_A = +25^{\circ}\text{C}$	5 mW/ $^{\circ}\text{C}$

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55 $^{\circ}\text{C}$ to +125 $^{\circ}\text{C}$
XR-2211CN	Ceramic	0 $^{\circ}\text{C}$ to +70 $^{\circ}\text{C}$
XR-2211CP	Plastic	0 $^{\circ}\text{C}$ to +70 $^{\circ}\text{C}$
XR-2211N	Ceramic	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$
XR-2211P	Plastic	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$
XR-2211CD	JEDEC SO-14	0 $^{\circ}\text{C}$ to 70 $^{\circ}\text{C}$
XR-2211MD	Japanese SO-14	0 $^{\circ}\text{C}$ to 70 $^{\circ}\text{C}$

SYSTEM DESCRIPTION

The output of the phase detector produces sum and difference frequencies of the input and the VCO (internally connected). When in lock, these frequencies are $f_{IN} + f_{VCO}$ (2 times f_{IN} when in lock) and $f_{IN} - f_{VCO}$ (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

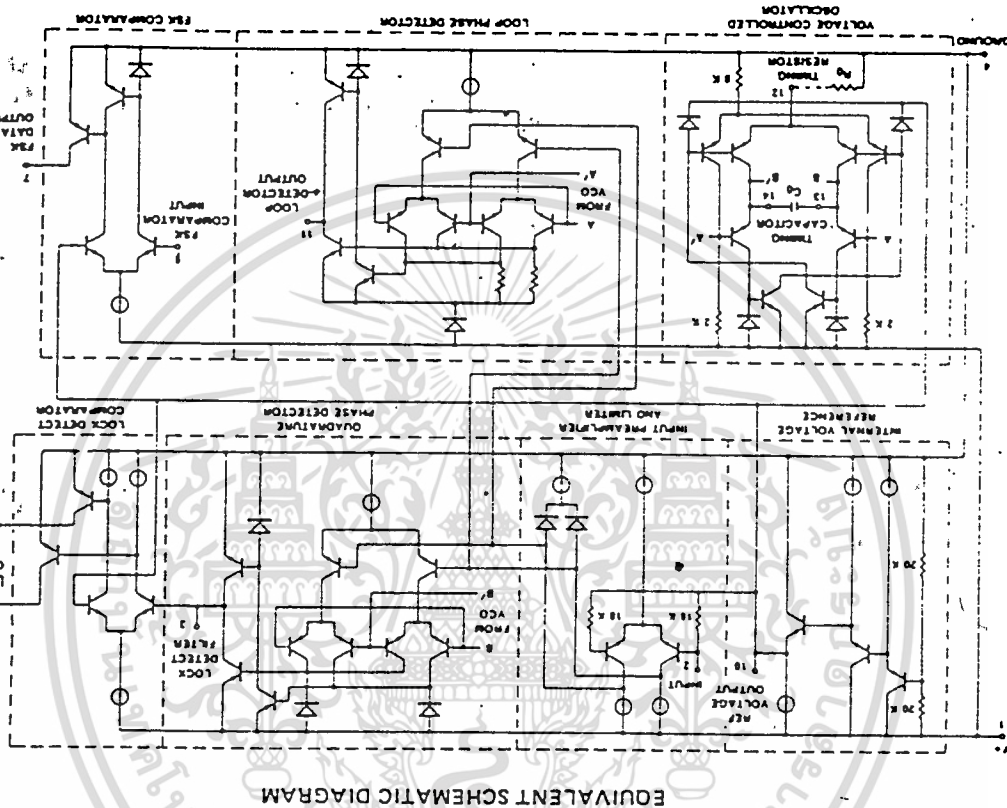
The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

where V_R is the internal reference voltage ($V_R = V + R_1 - 650$ mV). For the choice of external components R_1 , R_0 , C_D , C_1 and C_F see section on design equations.

1. *Chlorophyll a* (Chl *a*)

Op Amp. (See Section on Design Equation for Component Values.)



ELECTRICAL CHARACTERISTICS

Test Conditions: $V_+ = 12V$, $T_A = +25^\circ C$, $R_O = 30\text{ k}\Omega$, $C_O = 0.033\text{ }\mu F$.

PARAMETER	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	$R_0 \geq 10\text{ k}\Omega$. See Fig. 4.
Supply Current		4	7		5	9	mA	
OSCILLATOR SECTION								
Frequency Accuracy		± 1	± 3		± 1		%	Deviation from $f_0 = 1/R_0C_0$. $R_1 = 1/2$. * See Figure 8.
Frequency Stability								
Temperature		± 20	± 50		± 20		ppm/ $^{\circ}\text{C}$	$V_+ = 12 \pm 1\text{V}$. See Fig. 7. $V_+ 5 \pm 0.5\text{V}$. See Fig. 7. $R_0 = 8.2\text{ k}\Omega$, $C_0 = 400\text{ pF}$.
Power Supply		0.05	0.5		0.05		%/V	
		0.2			0.2		%/V	$R_0 = 2\text{ M}\Omega$, $C_0 = 50\text{ }\mu\text{F}$. See Fig. 5.
Upper Frequency Limit	100	300			300		kHz	
Lowest Practical								See Figs. 7 and 8.
Operating Frequency			0.01		0.01		Hz	
Timing Resistor, R_0			2000	5		2000	k Ω	
Operating Range	5		100	15		100	k Ω	
* Recommended Range	15							
LOOP PHASE DETECTOR SECTION								
Peak Output Current	± 150	± 200	± 300	± 100	± 200	± 300	μA	Measured at Pin 11.
Output Offset Current		± 1			± 2		μA	
Output Impedance		1			1		M Ω	Referenced to Pin 10.
Maximum Swing	± 4	± 5		± 4	± 5		V	
QUADRATURE PHASE DETECTOR								
								Measured at Pin 3.
Peak Output Current	100	150			150		μA	
Output Impedance		1			1		M Ω	
Maximum Swing		11			11		V pp	
INPUT PREAMP SECTION								
								Measured at Pin 2.
Input Impedance		20			20		k Ω	
Input Signal								
Voltage Required to Cause Limiting		2	10		2		mV rms	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		M Ω	Measured at Pins 3 and 8.
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	$R_L = 5.1\text{ k}\Omega$ $I_C = 3\text{ mA}$ $V_O = 20\text{V}$
Output Voltage Low		300			300		mV	
Output Leakage Current		0.01			0.01		μA	
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10. AC Small Signal
Output Impedance		100			100		Ω	
Maximum Source Current		80			80		μA	

* These parameters, although guaranteed over the recommended operating conditions, are not 100% tested in production.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 K Ω . Recommended input signal level is in the range of 10 mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, Pin 3 is connected to ground through a parallel combination of R_D and C_D (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

Lock Detect Output, Q (Pin 5): The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L , to V_+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, $\bar{Q}$ (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L , to V_+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_R , available at Pin 10.

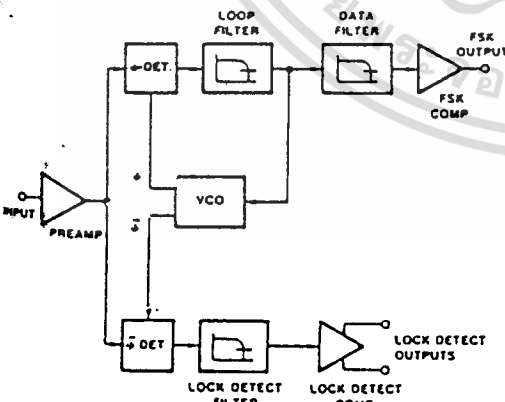


Figure 1. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

Reference Voltage, V_R (Pin 10): This pin is internally biased at the reference voltage level, V_R : $V_R = V_+/2 + 650$ mV. The dc voltage level at this pin forms an internal reference for the voltage levels at Pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1 μ F capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to V_R . The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

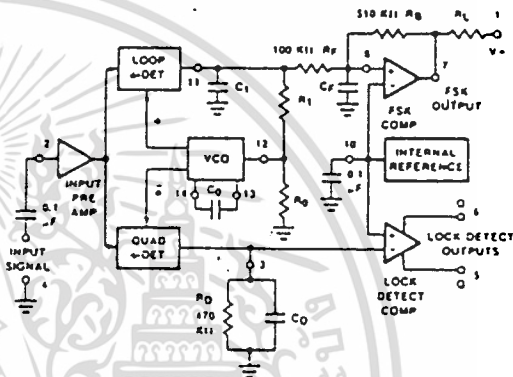


Figure 2. Generalized Circuit Connection for FSK and Tone Detection

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0 , connected from this terminal to ground. The VCO free-running frequency, f_0 , is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10 K Ω to 100 K Ω see Figure 8).

This terminal is a low impedance point, and is internally biased at a dc level equal to V_R . The maximum timing current drawn from Pin 12 must be limited to ≤ 3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0 , connected across these terminals (see Figure 5). C_0 must be nonpolar, and in the range of 200 pF to 10 μ F.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X , in series with R_0 at Pin 12 (see Figure 9).

VCO Free-Running Frequency, f_0 : XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment

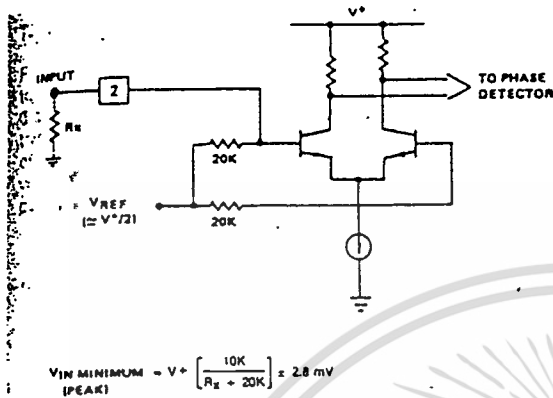


Figure 3. Desensitizing Input Stage

g) Calculate Data Filter Capacitance, C_F :

For $R_F = 100\ K\Omega$, $R_B = 510\ K\Omega$, the recommended value of C_F is:

$$C_F = 3/(\text{Baud Rate})\ \mu F$$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X . (See Figure 9.)

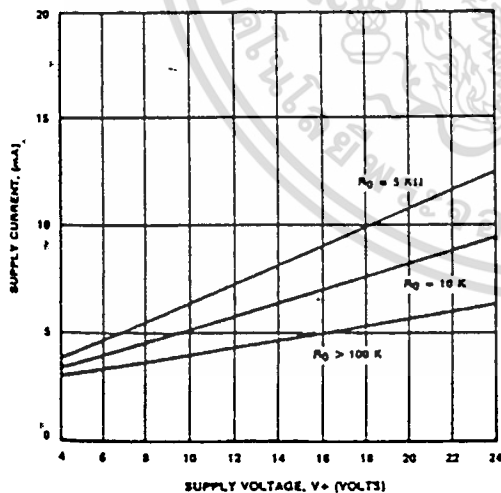


Figure 4. Typical Supply Current vs V^+ (Logic Outputs Open Circuited)

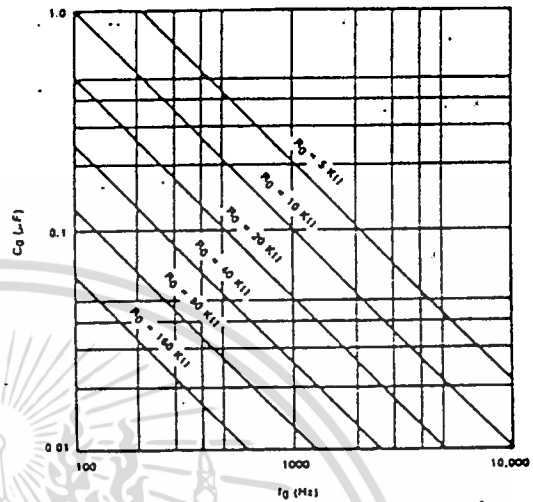


Figure 5. VCO Frequency vs Timing Resistor

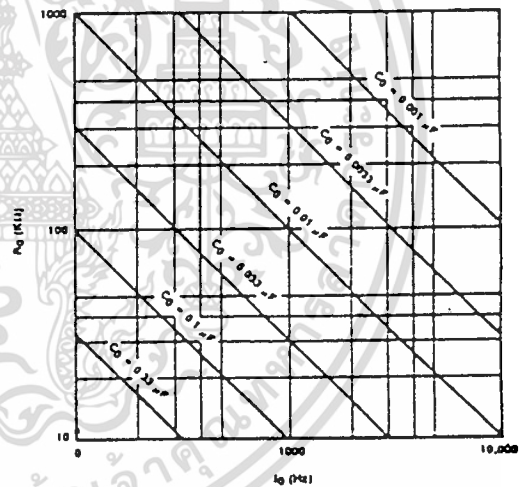


Figure 6. VCO Frequency vs Timing Capacitor

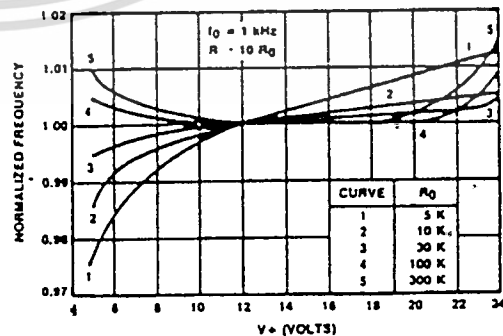


Figure 7. Typical f_0 vs Power Supply Characteristics

purposes, the VCO free-running frequency can be tuned by using the generalized circuit in Figure 2, and applying an alternating bit pattern of 0's and 1's at known mark and space frequencies. By adjusting R_0 , the VCO can then be tuned to obtain a 50% duty cycle on the FKS output (pin 7). This will ensure that the VCO f_0 value is accurately referenced to the mark and space frequencies.

DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, f_0 :

$$f_0 = 1/R_0 C_0 \text{ Hz}$$

2. Internal Reference Voltage, V_R (measured at Pin 10):

$$V_R = V + 12 - 650 \text{ mV}$$

3. Loop Low-Pass Filter Time Constant, τ :

$$\tau = R_1 C_1$$

4. Loop Damping, ζ :

$$\zeta = 1/4 \sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm \Delta f/f_0$:

$$\Delta f/f_0 = R_0/R_1$$



6. FSK Data Filter Time Constant, τ_F :

$$\tau_F = R_F C_F$$

7. Loop Phase Detector Conversion Gain, $K\phi$: ($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input):

$$K\phi = 0.2V_R/\pi \text{ volts/radian}$$

8. VCO Conversion gain, K_0 : (K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$$K_0 = -1/R_0 C_0 R_1 \text{ Hz/volt}$$

9. Total Loop Gain, K_T :

$$K_T = 2\pi K\phi K_0 = 4/C_0 R_1 \text{ rad/sec/volt}$$

10. Peak Phase Detector Current I_A :

$$I_A = V_R (\text{volts})/25 \text{ mA}$$

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B ($= 510 \text{ K}\Omega$) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0 , R_1 , C_0 , C_1 and C_F . For a given set of FSK mark and space frequencies, f_1 and f_2 , these parameters can be calculated as follows:

- a) Calculate PLL center frequency, f_0 :

$$f_0 = \frac{f_1 + f_2}{2}$$

- b) Choose value of timing resistor R_0 , to be in the range of $10 \text{ K}\Omega$ to $100 \text{ K}\Omega$. This choice is arbitrary.

The recommended value is $R_0 = 20 \text{ K}\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X .

- c) Calculate value of C_0 from design equation (1) or from Figure 6:

$$C_0 = 1/R_0 f_0$$

- d) Calculate R_1 to give a Δf equal to the mark space deviation:

$$R_1 = R_0(f_0/(f_1 - f_2))$$

- e) Calculate C_1 to set loop damping. (See design equation No. 4.):

Normally, $\zeta = 1/2$ is recommended.

Then: $C_1 = C_0/4$ for $\zeta = 1/2$

- f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. Figure 3 illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, R_X , connected from pin 2 to ground. The value of R_X is chosen by the equation and the desired minimum signal threshold level.

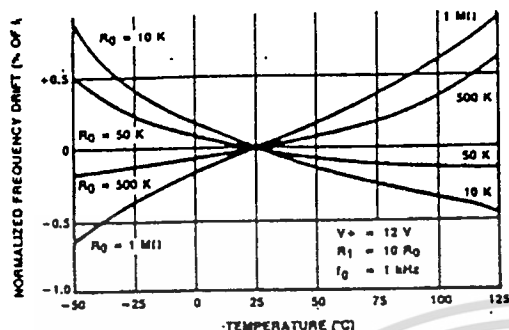


Figure 8. Typical Center Frequency Drift vs Temperature

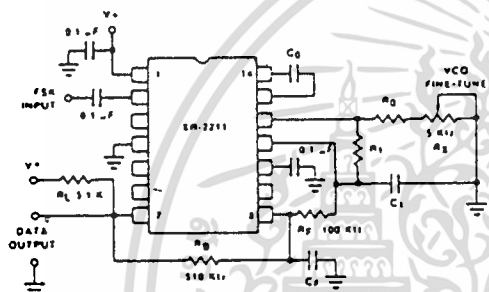


Figure 9. Circuit Connection for FSK Decoding

Design Example:

75 Baud FSK demodulator with mark space frequencies of 1110/1170 Hz:

Step 1: Calculate f_0 : $f_0 = (1110 + 1170) / 2 = 1140$ Hz

Step 2: Choose R_0 : 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)

Step 3: Calculate C_0 from Figure 6: $C_0 = 0.044$ μF

Step 4: Calculate R_1 : $R_1 = R_0 (1140/60) = 380$ KΩ

Step 5: Calculate C_1 : $C_1 = C_0/4 = 0.011$ μF

Note: All values except R_0 can be rounded to nearest standard value.

FSK BAND	COMPONENT VALUES
300 Baud $f_1 = 1070$ Hz $f_2 = 1270$ Hz	$C_0 = 0.039$ μF $C_F = 0.005$ μF $C_1 = 0.01$ μF $R_0 = 18$ KΩ $R_1 = 100$ KΩ
300 Baud $f_1 = 2025$ Hz $f_2 = 2225$ Hz	$C_0 = 0.022$ μF $C_F = 0.005$ μF $C_1 = 0.0047$ μF $R_0 = 18$ KΩ $R_1 = 200$ KΩ
1200 Baud $f_1 = 1200$ Hz $f_2 = 2200$ Hz	$C_0 = 0.027$ μF $C_F = 0.0022$ μF $C_1 = 0.01$ μF $R_0 = 18$ KΩ $R_1 = 30$ KΩ

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect option, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the Pin 6 output goes "high," to enable the data output.

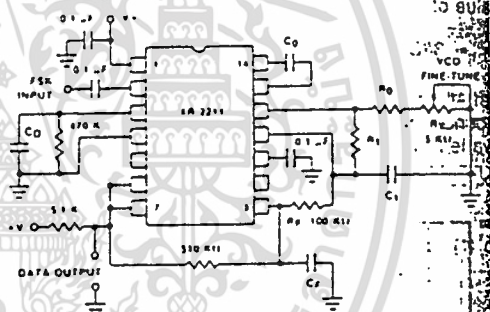


Figure 10. External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output Is "Low" When No Carrier Is Present.

The minimum value of the lock detect filter capacitance, C_D , is inversely proportional to the capture range, Δf_c . This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1 . For most applications, $\Delta f_c > \Delta f/2$. For $R_0 = 470$ KΩ, the approximate minimum value of C_D can be determined by:

$$C_D (\mu F) \geq 16 / \text{capture range in Hz.}$$

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\bar{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

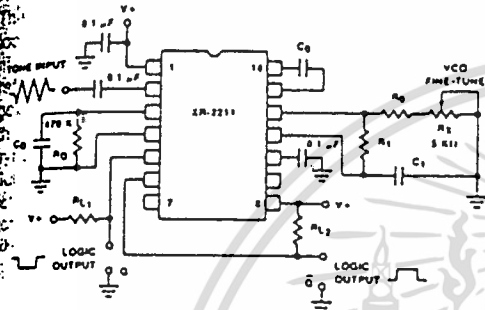


Figure 11. Circuit Connection for Tone Detection

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2} , as shown in Figure 11.

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor. R_{L1} and R_{L2} are the respective pull-up resistors for the Q and $\bar{Q}$ logic outputs.

Design Instructions:

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0 , R_1 , C_0 , C_1 and C_D . For a given input, the tone frequency, f_S , these parameters are calculated as follows:

- Choose R_0 to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.
- Calculate C_0 to set center frequency, f_0 equal to f_S (see Figure 6): $C_0 = 1/R_0 f_S$

- Calculate R_1 to set bandwidth $\pm \Delta f$ (see design equation No. 5):

$$R_1 = R_0(f_0/\Delta f)$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

- Calculate value of C_1 for a given loop damping factor:

$$C_1 = C_0/16 \zeta^2$$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25 C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

- Calculate value of filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470$ KΩ, C_D must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of 1 kHz $\pm$ 20 Hz:

- Choose $R_0 = 20$ KΩ (18 KΩ in series with 5 KΩ potentiometer).
- Choose C_0 for $f_0 = 1$ kHz (from Figure 6): $C_0 = 0.05 \mu F$.
- Calculate R_1 : $R_1 = (R_0)(1000/20) = 1$ MΩ.
- Calculate C_1 : for $\zeta = 1/2$, $C_1 = 0.25 C_0 = 0.013 \mu F$.
- Calculate C_D : $C_D = 16/38 = 0.42 \mu F$.
- Fine-tune center frequency with 5 KΩ potentiometer, R_X .

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.



XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small effect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

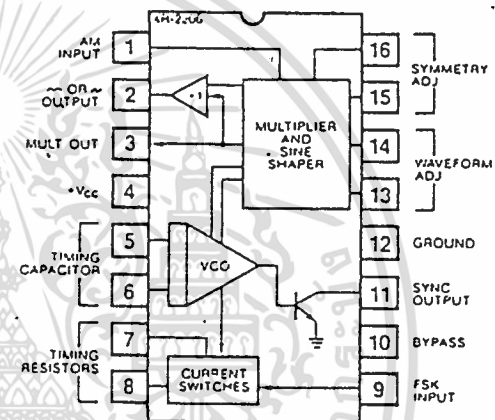
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route some of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.



Integrated Systems, Inc., 750 Palomar Avenue, Sunnyvale, CA 94086 • (408) 732-7970 • TWX 910-339-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25^\circ$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	$R_1 > 10\text{ k}\Omega$
Split-Supply Voltage	± 5		± 13	± 5		± 13	V	
Supply Current		12	17		14	20	mA	
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\text{ pF}$, $R_1 = 1\text{ k}\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\text{ }\mu\text{F}$, $R_1 = 2\text{ M}\Omega$
Frequency Accuracy		± 1	± 4		± 2		% of f_0	$f_0 = 1/R_1 C$
Temperature Stability		± 10	± 50		± 20		ppm/ $^\circ\text{C}$	$0^\circ\text{C} < T_A < 75^\circ\text{C}$, $R_1 = R_2 = 20\text{ k}\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{\text{LOW}} = 10\text{V}$, $V_{\text{HIGH}} = 20\text{V}$, $R_1 = R_2 = 20\text{ k}\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H \oplus R_1 = 1\text{ k}\Omega$ $f_L \oplus R_1 = 2\text{ M}\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\text{ kHz}$, $f_H = 10\text{ kHz}$
1000:1 Sweep		8			8		%	$f_L = 100\text{ Hz}$, $f_H = 100\text{ kHz}$
FM Distortion		0.1			0.1		%	$\pm 10\%$ Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	$\text{k}\Omega$	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/ $\text{k}\Omega$	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/ $\text{k}\Omega$	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		± 900			4800		ppm/ $^\circ\text{C}$	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\text{ k}\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		$\text{k}\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\text{ pF}$
Fall Time		50			50		nsec	$C_L = 10\text{ pF}$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\text{ mA}$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26\text{V}$
SK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

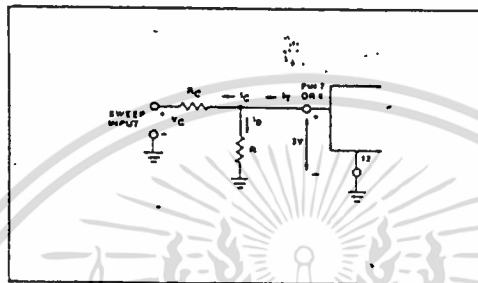


Figure 8: Circuit Connection for Frequency Sweep.

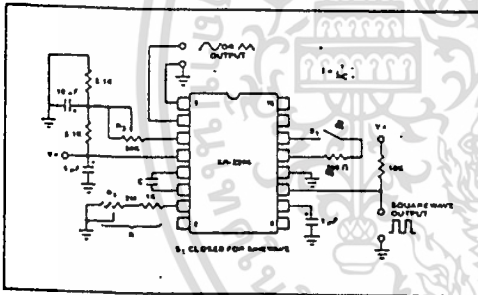


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3 .)

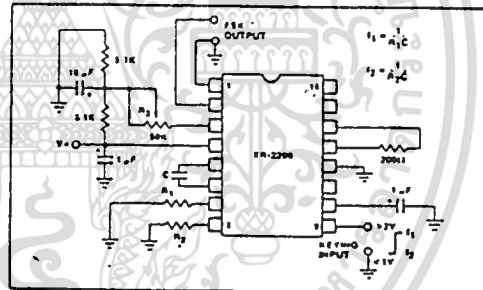


Figure 12: Sinusoidal FSK Generator.

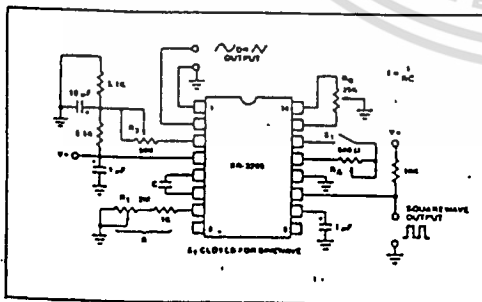


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

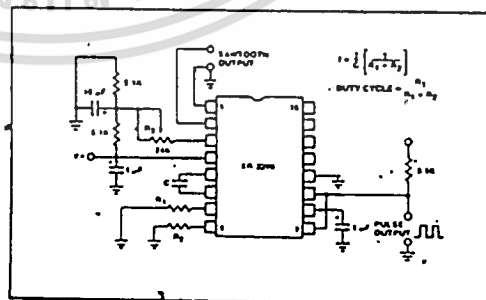


Figure 13: Circuit for Pulse and Ramp Generation.

XR-2206

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $>2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $<1V$, only R_2 is activated. Thus, the output frequency can be varied between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

In split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the total harmonic distortion (THD) is $<2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of 1 k Ω to 2 M Ω .

XR-2206

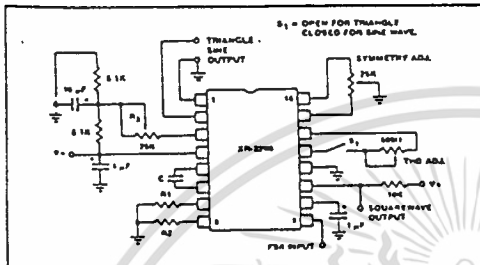


Figure 1: Basic Test Circuit.

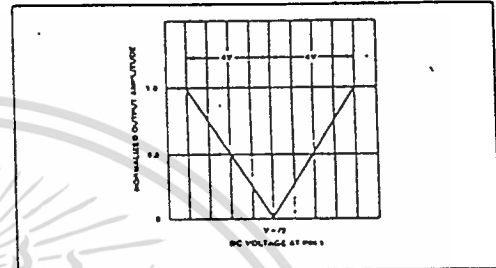


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

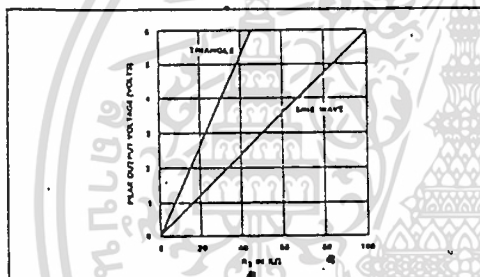


Figure 2: Output Amplitude as a Function of the Resistor, R_3 , at Pin 3.

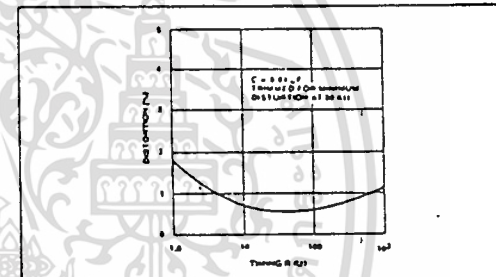


Figure 6: Trimmed Distortion versus Timing Resistor.

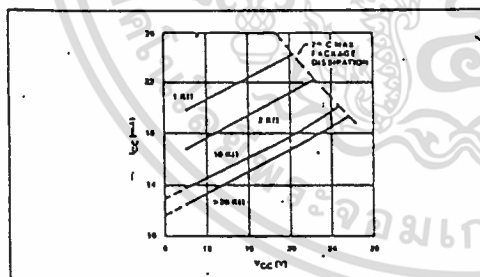


Figure 3: Supply Current versus Supply Voltage, Timing, R_3 .

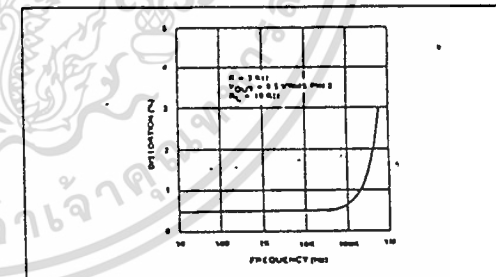


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

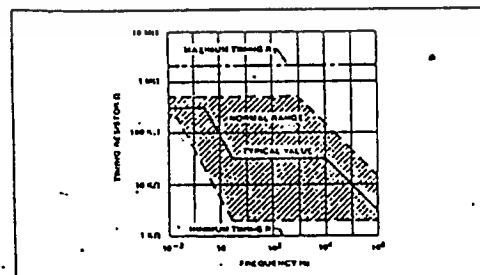


Figure 4: R versus Oscillation Frequency.

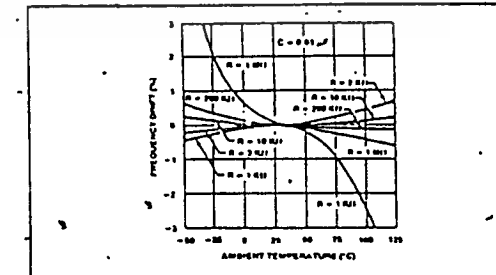


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C , across Pin 5 and 6; and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$. Recommended values of C are from 1000 pF to $100 \text{ }\mu\text{F}$.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320 I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at $+3\text{V}$, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from $1 \text{ }\mu\text{A}$ to 5 mA . The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{RC} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{RC} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to $< 3 \text{ mA}$.

Output Amplitude:

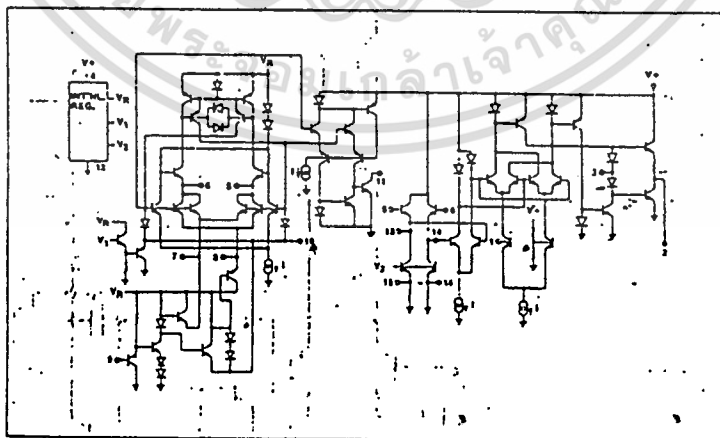
Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per $\text{k}\Omega$ of R_3 ; for triangle, the peak amplitude is approximately 160 mV peak per $\text{k}\Omega$ of R_3 . Thus, for example, $R_3 = 50 \text{ k}\Omega$ would produce approximately $\pm 3\text{V}$ sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately $100 \text{ k}\Omega$. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^*/2$ as shown in Figure 5. As this bias level approaches $V^*/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB .

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^* .

EQUIVALENT SCHEMATIC DIAGRAM



MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1488

QUAD LINE DRIVER

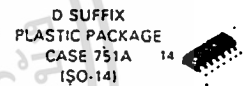
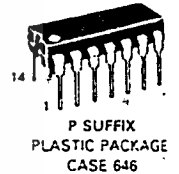
The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. EIA-232D.

Features:

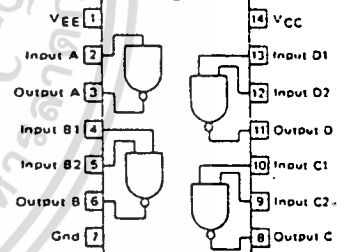
- Current Limited Output
±10 mA typ
- Power-Off Source Impedance
300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

QUAD MDTL LINE DRIVER
EIA-232D

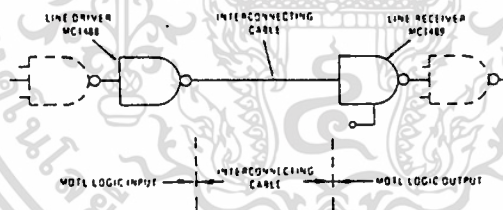
SILICON MONOLITHIC
INTEGRATED CIRCUIT



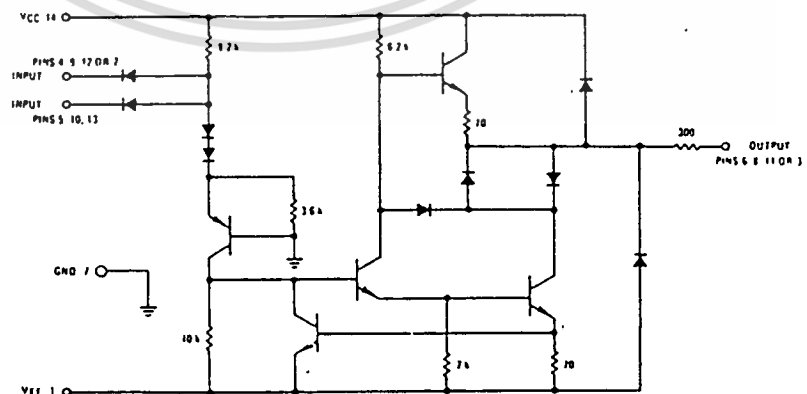
PIN CONNECTIONS



TYPICAL APPLICATION



CIRCUIT SCHEMATIC
(1/4 OF CIRCUIT SHOWN)



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

MAXIMUM RATINGS ($T_A = -25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+15 -15	Vdc
Input Voltage Range	V_{IR}	$-15 \leq V_{IR} \leq 7.0$	Vdc
Output Signal Voltage	V_O	± 15	Vdc
Power Derating (Package Limitation, Ceramic and Plastic Dual-In-Line Package) Derate above $T_A = +25^\circ\text{C}$	P_D $1/R_{\theta JA}$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS ($V_{CC} = +9.0 \pm 1\% \text{ Vdc}$, $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$, $T_A = 0$ to 75°C unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Input Current — Low Logic State ($V_{IL} = 0$)	1	I_{IL}	—	1.0	1.6	mA
Input Current — High Logic State ($V_{IH} = 5.0 \text{ V}$)	1	I_{IH}	—	—	10	μA
Output Voltage — High Logic State ($V_{IL} = 0.8 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +13.2 \text{ Vdc}$, $V_{EE} = -13.2 \text{ Vdc}$)	2	V_{OH}	+6.0 +9.0	+7.0 +10.5	—	Vdc
Output Voltage — Low Logic State ($V_{IH} = 1.9 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +13.2 \text{ Vdc}$, $V_{EE} = -13.2 \text{ Vdc}$)	2	V_{OL}	-6.0 -9.0	-7.0 -10.5	—	Vdc
Positive Output Short-Circuit Current, Note 1	3	I_{OS+}	+6.0	+10	+12	mA
Negative Output Short-Circuit Current, Note 1	3	I_{OS-}	-6.0	-10	-12	mA
Output Resistance ($V_{CC} = V_{EE} = 0$, $ V_O = \pm 2.0 \text{ V}$)	4	r_o	300	—	—	Ohms
Positive Supply Current ($R_L = \infty$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +12 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +12 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +15 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +15 \text{ Vdc}$)	5	I_{CC}	—	-15 -4.5 -19 -5.5 — —	+20 +6.0 +25 +7.0 +34 +12	mA
Negative Supply Current ($R_L = \infty$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -15 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -15 \text{ Vdc}$)	5	I_{EE}	—	-13 — -18 — — —	-17 -500 -23 -500 -34 -25	mA μA mA μA mA mA
Power Consumption ($V_{CC} = 9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{CC} = 12 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$)		P_C	—	—	333 576	mW

SWITCHING CHARACTERISTICS ($V_{CC} = +9.0 \pm 1\% \text{ Vdc}$, $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$, $T_A = +25^\circ\text{C}$.)

Propagation Delay Time ($t_L = 3.0 \text{ k}$ and 15 pF)	6	t_{PLH}	—	275	350	ns
Fall Time ($t_L = 3.0 \text{ k}$ and 15 pF)	6	t_{THL}	—	45	75	ns
Propagation Delay Time ($t_L = 3.0 \text{ k}$ and 15 pF)	6	t_{PHL}	—	110	175	ns
Rise Time ($t_L = 3.0 \text{ k}$ and 15 pF)	6	t_{TLH}	—	55	100	ns

Note 1. Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

CHARACTERISTIC DEFINITIONS

FIGURE 1 - INPUT CURRENT

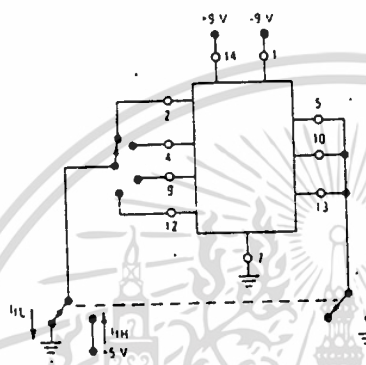


FIGURE 2 - OUTPUT VOLTAGE

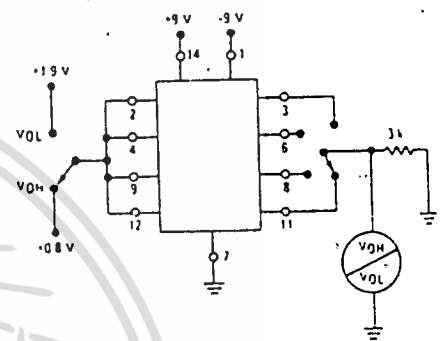


FIGURE 3 - OUTPUT SHORT-CIRCUIT CURRENT

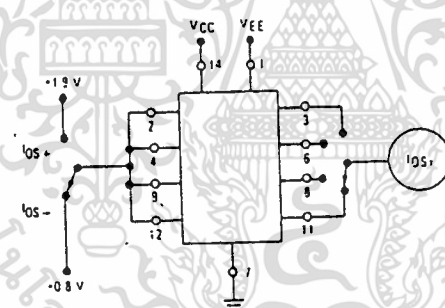


FIGURE 4 - OUTPUT RESISTANCE (POWER-OFF)

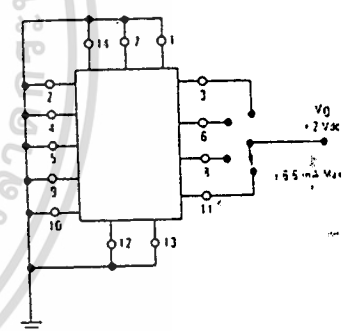


FIGURE 5 - POWER-SUPPLY CURRENTS

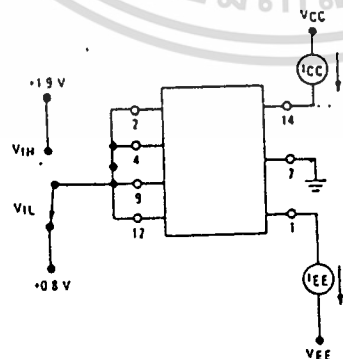
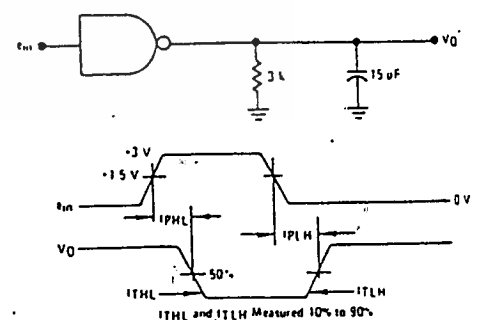


FIGURE 6 - SWITCHING RESPONSE



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

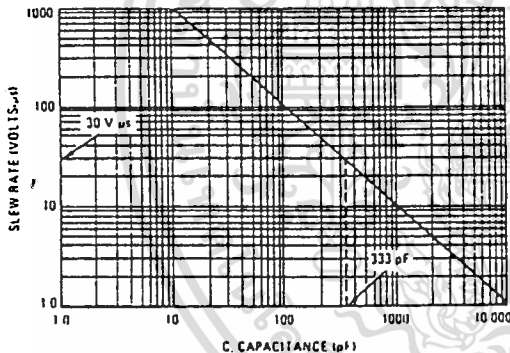
APPLICATIONS INFORMATION

The Electronic Industries Association EIA-232D specification detail the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the EIA-232D defined levels. The EIA-232D requirements as applied to drivers are discussed herein.

The required driver voltages are defined as between 5 and 15-volts in magnitude and are positive for a Logic "0" and negative for a Logic "1". These voltages are so defined when the drivers are terminated with a 3000 to 7000-ohm resistor. The MC1488 meets this voltage requirement by converting a DTL/TTL logic level into EIA-232D levels with one stage of inversion.

The EIA-232D specification further requires that during transitions, the driver output slew rate must not exceed 30 volts

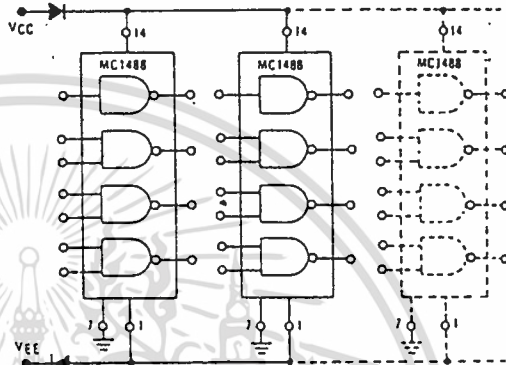
FIGURE 12 - SLEW RATE versus CAPACITANCE
FOR $I_{SC} = 10 \text{ mA}$



per microsecond. The inherent slew rate of the MC1488 is much too fast for this requirement. The current limited output of the device can be used to control this slew rate by connecting a capacitor to each driver output. The required capacitor can be easily determined by using the relationship $C = 10S \times \Delta T / \Delta V$ from which Figure 12 is derived. Accordingly, a 330 pF capacitor on each output will guarantee a worst case slew rate of 30 volts per microsecond.

The interface driver is also required to withstand an accidental short to any other conductor in an interconnecting cable. The worst possible signal on any conductor would be another driver using a plus or minus 15 volt, 500 mA source. The MC1488 is designed to indefinitely withstand such a short to all four outputs in a package as long as the power-supply voltages are greater than 9.0 volts (i.e., $V_{CC} > 9.0 \text{ V}$; $V_{EE} < -9.0 \text{ V}$). In some power-supply designs, a loss of system power causes a low impedance on the power-supply outputs. When this occurs, a low impedance to ground would exist at the power inputs to the MC1488 effectively shorting the 300 ohm output resistors to ground. If all four outputs were then shorted to plus or minus 15 volts, the power dissipation in these resistors

FIGURE 13 - POWER-SUPPLY PROTECTION
TO MEET POWER-OFF FAULT CONDITIONS



would be excessive. Therefore, if the system is designed to permit low impedances to ground at the power-supplies of the drivers, a diode should be placed in each power-supply lead to prevent overheating in this fault condition. These two diodes, as shown in Figure 13, could be used to decouple all the driver packages in a system. (These same diodes will allow the MC1488 to withstand momentary shorts to the ± 25 volt limits specified in the earlier Standard EIA-232B.) The addition of the diodes also permits the MC1488 to withstand faults with power-supplies of less than the 9.0 volts stated above.

The maximum short-circuit current allowable under fault conditions is more than guaranteed by the previously mentioned 10 mA output current limiting.

Other Applications

The MC1488 is an extremely versatile line driver with a myriad of possible applications. Several features of the drivers enhance this versatility:

1. Output Current Limiting — this enables the circuit designer to define the output voltage levels independent of power-supplies and can be accomplished by diode clamping of the output pins. Figure 14 shows the MC1488 used as a DTL to MOS translator where the high level voltage output is clamped one diode above ground. The resistor divider shown is used to reduce the output voltage below the 300 mV above ground MOS input level limit.

2. Power Supply Range — as can be seen from the schematic drawing of the drivers, the positive and negative driving elements of the device are essentially independent and do not require matching power-supplies. In fact, the positive supply can vary from a minimum seven volts (required for driving the negative pulldown section) to the maximum specified 15 volts. The negative supply can vary from approximately -2.5 volts to the minimum specified -15 volts. The MC1488 will drive the output to within 2 volts of the positive or negative supplies as long as the current output limits are not exceeded. The combination of the current-limiting and supply-voltage features allow a wide combination of possible outputs within the same quad package. Thus if only a portion of the four drivers are used for driving EIA-232D lines, the remainder could be used for DTL to MOS or even DTL to DTL translation. Figure 15 shows one such combination.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

FIGURE 14 - MDTL/MTTL-TO-MOS TRANSLATOR

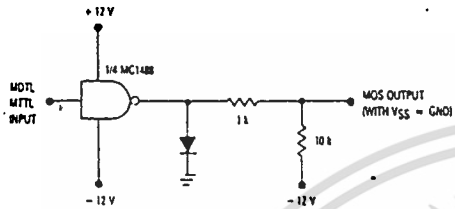
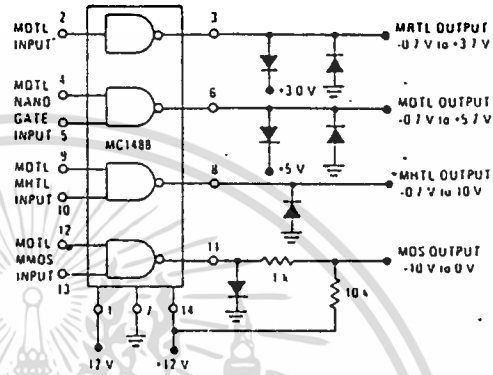


FIGURE 15 - LOGIC TRANSLATOR APPLICATIONS



MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1489
MC1489A

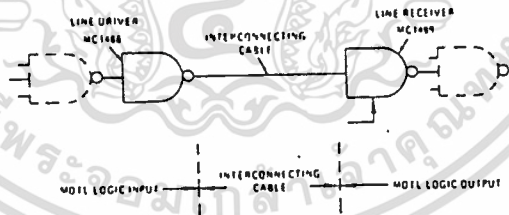
QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. EIA-232D.

- Input Resistance — 3.0 k to 7.0 kilohms
- Input Signal Range — ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
 - a) Logic Threshold Shifting
 - b) Input Noise Filtering

7

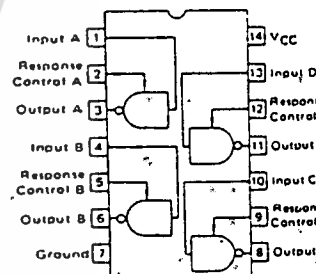
TYPICAL APPLICATION



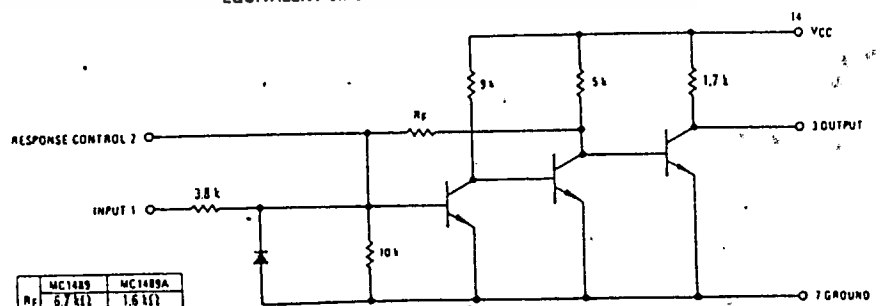
L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(ISO-14)



EQUIVALENT CIRCUIT SCHEMATIC (1.4 OF CIRCUIT SHOWN)



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1489, MC1489A

TYPICAL CHARACTERISTICS

($V_{CC} = 5.0 \text{ Vdc}$, $T_A = +25^\circ\text{C}$ unless otherwise noted)

FIGURE 3 — INPUT CURRENT

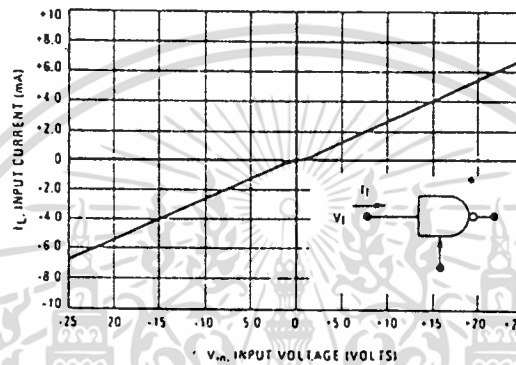


FIGURE 4 — MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

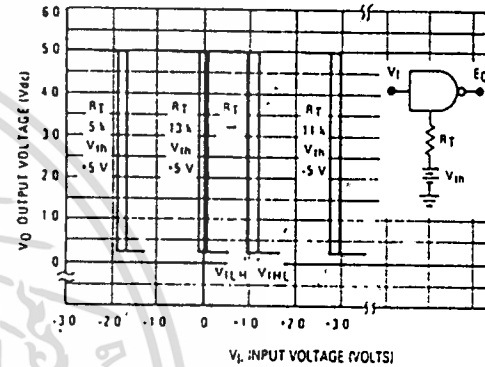


FIGURE 5 — MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

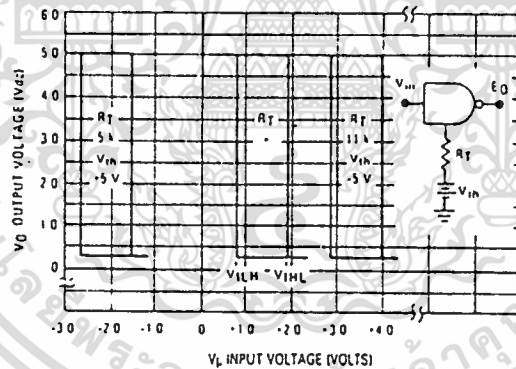


FIGURE 6 — INPUT THRESHOLD VOLTAGE versus TEMPERATURE

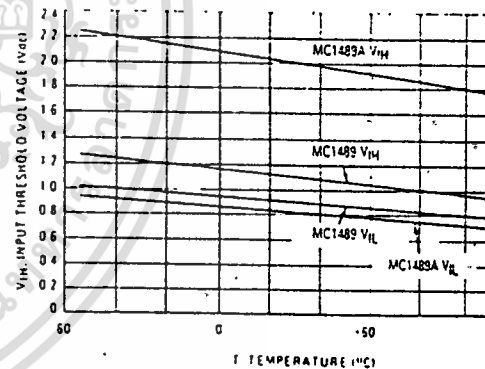
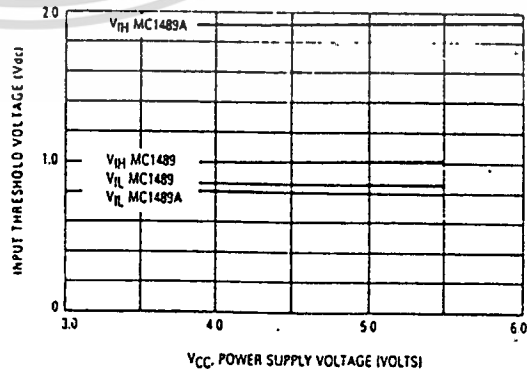


FIGURE 7 — INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE



MC1489, MC1489A

APPLICATIONS INFORMATION

General Information

The Electronic Industries Association (EIA) has released the EIA-232D specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the EIA-232D defined levels. The EIA-232D requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one V_{BE} .

The receiver shall detect a voltage between -3.0 and -25 volts as a Logic "1" and inputs between +3.0 and +25 volts as a Logic "0." On some interchange leads, an open circuit of power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or Logic "1." For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or Logic "1" input.

Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input

hysteresis for noise rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power supply. Figures 2, 4 and 5 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high energy noise pulses. Figures 8 and 9 show typical noise-pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MDTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 10)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 11 where two receivers are slaved to the same line that must still meet the EIA-232D impedance requirement.

FIGURE 8 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

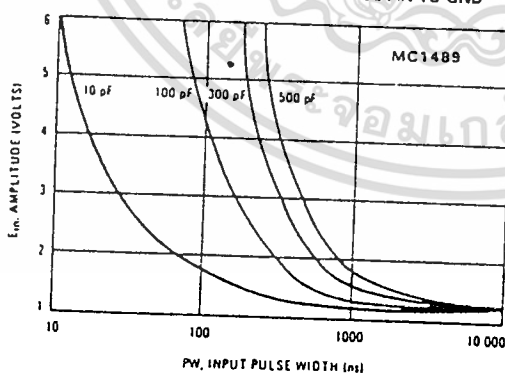
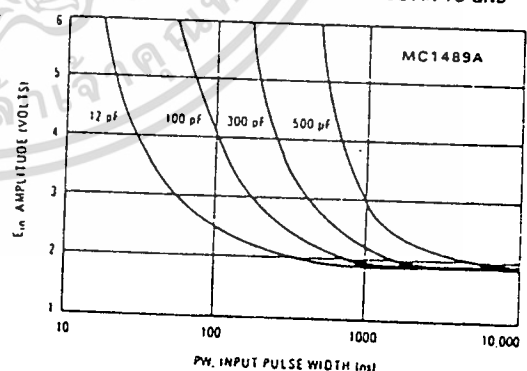


FIGURE 9 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND



MOTOROLA LINEAR/INTERFACE DEVICES

MC1489, MC1489A

FIGURE 10 — TYPICAL TRANSLATOR APPLICATION —
MOS TO DTL OR TTL

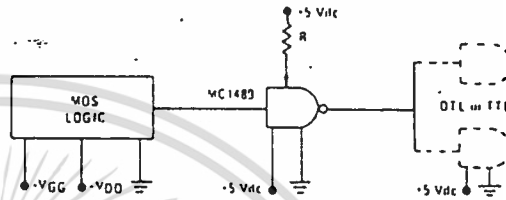
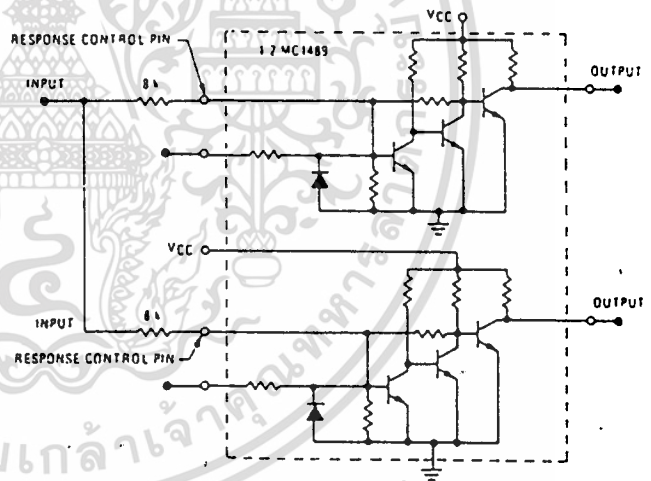
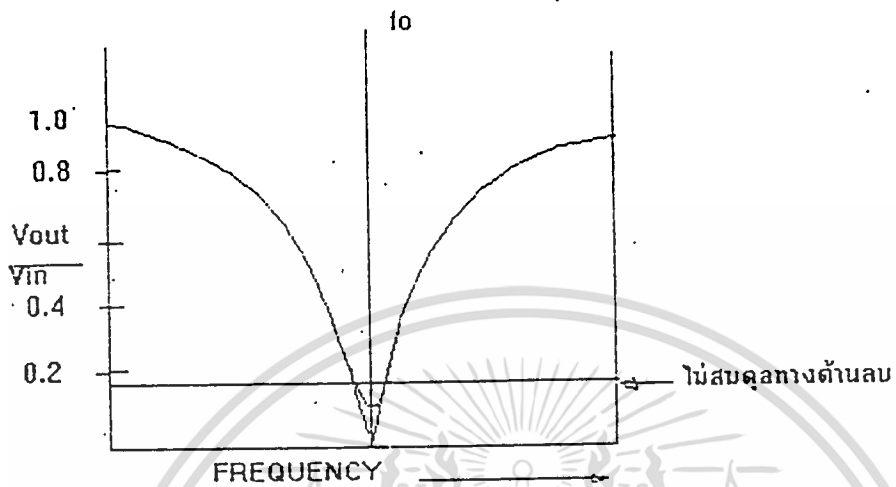


FIGURE 11 — TYPICAL PARALLELING OF TWO MC1489A RECEIVERS TO MEET EIA-232D

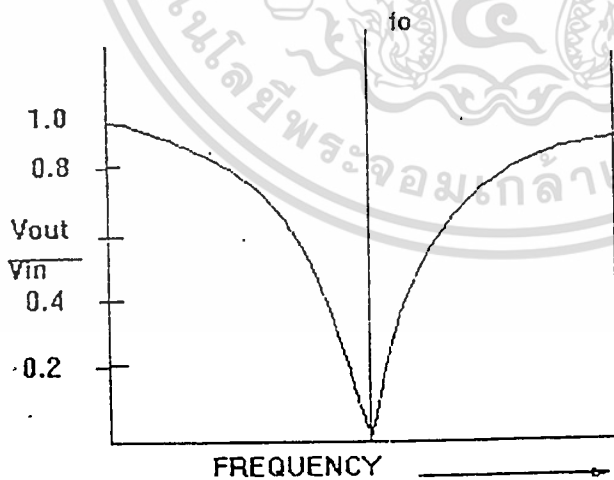


MOTOROLA LINEAR/INTERFACE DEVICES

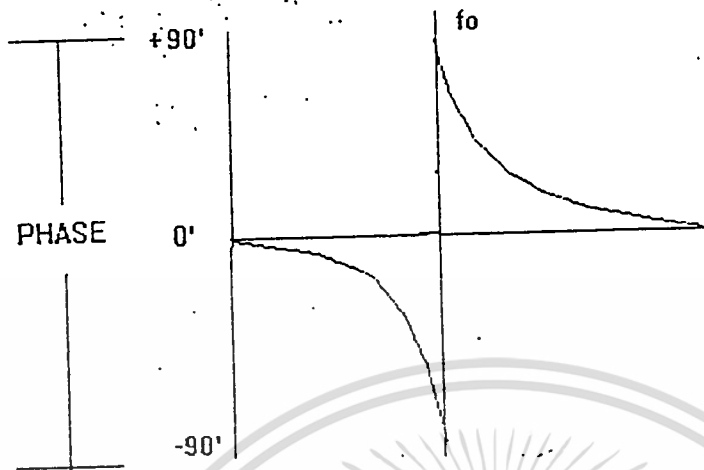
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



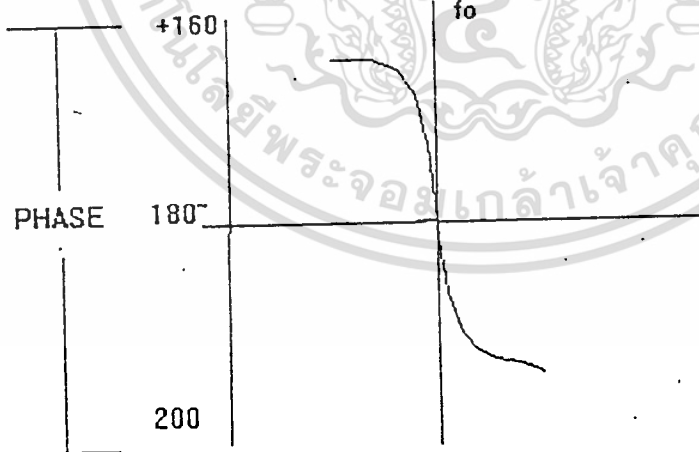
a. SHOW RESPONSE frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้วยวิธีอื่น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำใช้ซ้ำ



รูปกราฟแสดงการเลื่อนเฟสของวงจร twin-T filter
แบบ สบตุล



รูปกราฟแสดงการเลื่อนเฟสของวงจร twin-T filter
แบบ ไขว้สบตุลแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้