การควบคุมระยะไกลโดยใช้วิทยุมือถือและโทรศัพท์

LONG DISTANCE REMOTE CONTROL USING PORTABLE RADIO TRANSMITTER AND TELEPHONE

โดย

นายชาคริต เมี้ยนกลาง รหัส 37013011

นายนิเวศน์ แป้นน้อย รหัส 37013024

อาจารย์ที่ปรึกษา

ผศ. ดร. ปราโมทย์ วาดเขียน

วัน เดือน ปี 18 ส.ค. 2540

เลขทะเบียน 037322

เลขเรียกหนังสือ T 390 39 ช 463ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

037322

ปริญญานิพนธ์ปีการศึกษา .2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การควบคุมระยะไกลใช้วิทยุมือถือและโทรศัพท์**

LONG DISTANCE REMOTE CONTROL USING PORTABLE RADIO AND TELEPHONE

ผู้จัดทำ

1. นายชาคริต เมี้ยนกลาง รหัสประจำตัว 37013011
2. นายนิเวศน์ แป้นน้อย รหัสประจำตัว 37013024

ปราโมทย์ วาดเขียน อาจารย์ที่ปรึกษา

(ผศ. ดร. ปราโมทย์ วาดเขียน)

การควบคุมระยะไกลโดยใช้วิทยุมือถือและโทรศัพท์

LONG DISTANCE REMOTE CONTROL USING PORTABLE RADIO TRANSMITTER AND TELEPHONE

โดย นายชาคริต เมี้ยนกลาง 37013011
นายนิเวศน์ แป้นน้อย 37013024

อาจารย์ที่ปรึกษา ผศ. ดร. ปราโมทย์ วาดเขียน

บทคัดย่อ

โครงงานนี้เป็นการประยุกต์ใช้งานวิทยุมือถือและโทรศัพท์ โดยนำมาใช้งานในการส่งสัญญาณควบคุมอุปกรณ์ไฟฟ้า การควบคุมอุปกรณ์ไฟฟ้าจะควบคุมผ่านทางวิทยุมือถือ หรือจะควบคุมโดยผ่านทางเครื่องโทรศัพท์ก็ได้ การควบคุมอุปกรณ์ไฟฟ้าทำได้ง่ายมาก เพียงแต่กดปุ่มบนหน้าปัทม์ของ โทรศัพท์หรือกดปุ่มบนหน้าปัทม์วิทยุมือถือ ก็จะสามารถควบคุมอุปกรณ์ไฟฟ้าได้ตามต้องการ สัญญาณที่ใช้ในการควบคุมจะถูกส่งผ่านทางคู่สายโทรศัพท์ หรือส่งผ่านทางคลื่นวิทยุ การทำงานของวงจรควบคุมจะใช้ไมโครคอนโทรลเลอร์ 8031 มาใช้เป็นอุปกรณ์ควบคุมหลัก ซึ่งการใช้ไมโครคอนโทรลเลอร์มาควบคุมการทำงานจะทำให้เราสามารถควบคุมอุปกรณ์ไฟฟ้าได้หลายวงจร

Abstract

This project is applied for using portable radio and telephone signal to control appliances. It can control easily by pressing telephone or portable radio ' s buttons on their dials. The signal will transmit by radio wave or telephone line . This system consists of CPU 8031 , ring detector , DTMF code and decoder and on - off power circuit.

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ทั้งนี้ต้องขอขอบพระคุณ ผศ. ดร. ปราโมทย์ วาดเขียน ที่ได้ให้ความอนุเคราะห์ด้านข้อมูล แนวคิดคำปรึกษา และสนับสนุนดูแลตรวจสอบงาน และต้องขอขอบคุณ กองวิทยุสั่งการ องค์การโทรศัพท์แห่งประเทศไทย ที่ได้เอื้อเฟื้อสถานที่และให้ยืมอุปกรณ์วิทยุสื่อสารเครื่องมือเครื่องใช้อื่นๆ และคอมพิวเตอร์ จนทำให้ประสบความสำเร็จตามวัตถุประสงค์ ผู้จัดทำจึงต้องขอกราบขอบพระคุณทุกท่านเป็นอย่างสูงไว้ ณ. ที่นี้ด้วย

นายนิเวศน์ แป้นน้อย

นายชาคริต เมี้ยนุกลาง

สารบัญ

หน้า

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี 2

2.1 ไมโครคอนโทรลเลอร์ 8031 2

2.1.1 คุณสมบัติของไมโครคอนโทรลเลอร์ 8031 2

2.1.2 โครงสร้างของไมโครคอนโทรลเลอร์ 8031 2

2.2 PIA 8255 7

2.2.1 หน้าที่ขาสัญญาณของ PIA 8255 8

2.2.2 Register ภายในของ 9

2.2.3 การเชื่อมต่อ 8255 กับ 8031 11

2.3 ไอซีถอดรหัสสัญญาณความถี่โทรศัพท์ 13

2.3.1 โครงสร้างของ MT88701 13

2.4 ไอซีบันทึกสัญญาณเสียง 18

2.4.1 คุณสมบัติของ ISD 2500 18

2.4.2 รายละเอียดตำแหน่งขาของ ISD 2500 20

2.4.3 โหมดการทำงานของ ISD 2500 22

2.5 การเชื่อมโยงทางแสง 26

2.5.1 ทรานซิสเตอร์ คัปเปลอร์ 28

2.5.2 ดาร์ริงตันทรานซิสเตอร์คัปเปลอร์ 28

2.5.3 ออฟโตคัพเปลอร์ใช้สวิทซ์สองทาง 28

2.5.4 การประยุกใช้งานในการควบคุมโหลด 29

2.6 ความรู้เบื้องต้นเกี่ยวกับโทรศัพท์ 31

2.6.1 การทำงานของเครื่องโทรศัพท์ 32

2.6.2 ระบบโทรศัพท์แบบหมุน 33

2.6.3 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ 35

2.6.4 ข้อเปรียบเทียบระหว่างโทรศัพท์แบบพัลส์กับระบบความถี่คู่ 38

2.6.5 สัญญาณพื้นฐานของโทรศัพท์ 39

2.6.6 สัญญาณที่ใช้ในการติดต่อกันระหว่างผู้เรียกและผู้รับโทรศัพท์ 40

หน้า

บทที่ 3 การคำนวณและการสร้าง..... 42
3.1 การทำงานของระบบ..... 42
3.2 การทำงานของวงจรตรวจสอบสัญญาณเรียกเข้า.....45
3.3 การทำงานของวงจรถอดรหัสโทรศัพท์.....46
3.4 การทำงานของวงจรตอบรับการทำงาน.....47
3.5 การทำงานของวงจรคอนโทรลหลัก.....48
3.6 การทำงานของโปรแกรม.....49
บทที่ 4 ผลการทดลอง
4.1 การทดลองการติดต่อระหว่าง CPU กับหน่วยความจำ..... 52
4.2 การทดลองการติดต่อระหว่าง CPU กับ PORT.....54
4.3 การทดลองวงจรตอบรับการทำงานที่เป็นสัญญาณเสียงพูด..... 56
4.4 การทดลองวงจรตรวจสอบสัญญาณเรียกเข้า.....59
4.5 การทดลองวงจรถอดรหัสสัญญาณ DTMF.....60
บทที่ 5 บทสรุป.....61
ภาคผนวก ก วงจรและโปรแกรมการทำงาน
ภาคผนวก ข Data Sheet

บทที่ 1
บทนำ

วิทยุสื่อสารและโทรศัพท์นับว่าเป็นอุปกรณ์สื่อสารที่มีประโยชน์มากอย่างหนึ่ง ซึ่งนอกจากจะช่วยอำนวยความสะดวกในการติดต่อสื่อกันสารแล้ว เรายังสามารถประยุกต์ใช้งานวิทยุสื่อสารและโทรศัพท์ให้ใช้ประโยชน์อย่างอื่นได้อีก อย่างเช่นการใช้วิทยุสื่อสารและโทรศัพท์เป็นอุปกรณ์ควบคุมระยะไกล การใช้โทรศัพท์เป็นอุปกรณ์ควบคุมระยะไกลนั้นจะทำให้สะดวกมาก เพราะจะสามารถส่งสัญญาณควบคุมจากเครื่องโทรศัพท์จากที่ไหนก็ได้ คือที่ไหนมีเครื่องโทรศัพท์เราก็สามารถส่งสัญญาณควบคุมได้ ยกตัวอย่างเช่น เมื่อมีธุระต้องเดินทางไปต่างจังหวัดหลายวันโดยที่ไม่มีใครอยู่ที่บ้าน เราก็สามารถใช้โทรศัพท์โทรเข้ามาที่บ้าน เพื่อ ปิด - เปิด ไฟฟ้าที่บ้าน เปิดปั๊มน้ำรดต้นไม้ เปิดเครื่องให้อาหารสัตว์เลี้ยง หรือจะควบคุมอุปกรณ์ไฟฟ้าอื่นๆ ภายในบ้านได้ตามความต้องการ จะเห็นว่าไม่ว่าเราจะอยู่ที่ใดก็ตามเราก็สามารถที่จะส่งสัญญาณควบคุมอุปกรณ์ไฟฟ้าได้ เพียงแต่ว่าต้องมีคู่สายโทรศัพท์เป็นตัวส่งสัญญาณควบคุม

ส่วนการใช้วิทยุสื่อสารเป็นอุปกรณ์ควบคุมนั้นก็ขึ้นอยู่กับว่าระยะทางการ รับ - ส่ง คลื่นของวิทยุสื่อสารนั้นว่าจะ รับ - ส่ง กันได้ไกลแค่ไหน ถ้าการรับส่งคลื่นไปได้ไกลก็จะทำให้ระยะทางของการส่งสัญญาณควบคุมอุปกรณ์สามารถควบคุมได้ในระยะทางไกลด้วย

ปริญญานิพนธ์ฉบับนี้ ได้นำเอาวิทยุมือถือและโทรศัพท์มาใช้ประโยชน์ในการควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าภายในบ้าน หรือใช้ควบคุมอุปกรณ์ไฟฟ้าอย่างอื่นได้ตามจุดประสงค์ โดยสามารถควบคุมอุปกรณ์ไฟฟ้าต่างๆ ได้ในระยะทางไกล โดยสามารถควบคุมผ่านวิทยุมือถือ หรือควบคุมผ่านทางคู่สายโทรศัพท์ก็ได้ การควบคุมจะสามารถควบคุมการ ปิด - เปิด อุปกรณ์ไฟฟ้าได้โดยง่าย โดยเพียงแต่กดปุ่มควบคุมที่หน้าปัทม์ของเครื่องวิทยุมือถือ หรือหน้าปัทม์ของเครื่องโทรศัพท์เท่านั้น การทำงานการควบคุมจะใช้ไมโครคอนโทรเลอร์มาเป็นอุปกรณ์ที่ใช้ในการควบคุม ซึ่งจะทำให้สามารถควบคุมอุปกรณ์ไฟฟ้าได้หลายวงจร

บทที่ 2
ทฤษฎี

2.1 ไมโครคอนโทรลเลอร์ 8031

ไมโครคอนโทรลเลอร์ 8031 เป็นไมโครคอมพิวเตอร์แบบที่มีขนาดเล็ก โดยบรรจุไว้ในแผงรวม (Integrated Circuit) เหมาะสำหรับควบคุมอุปกรณ์อื่นๆ แบบอัตโนมัติ มีความสะดวกในการใช้งาน และสามารถเขียนโปรแกรมควบคุมด้วยภาษาเบสิกหรือภาษาแอสเซมบลี้ก็ได้ ผู้ใช้สามารถเขียนโปรแกรมควบคุมการทำงานได้ตามความต้องการ และสามารถเปลี่ยนแปลงฟังก์ชั่นการทำงานของวงจรได้สะดวก โดยเพียงแต่เปลี่ยนแปลงในส่วนของโปรแกรมเท่านั้น โดยไม่ต้องเปลี่ยนแปลงในส่วนของวงจรฮาร์ดแวร์ใดๆ เลย ไมโครคอนโทรลเลอร์ 8031 อยู่ในตระกูล MCS - 51 เป็นอุปกรณ์ที่ออกแบบมาสนองความต้องการของผู้ใช้คือมีสายอินพุทเอาท์พุทภายในตัวเอง พอร์ทอินพุทและพอร์ทเอาท์พุทบัฟเฟอร์อินเตอร์เฟส และสายควบคุมอื่นๆ ที่ใช้สำหรับแยกข้อมูลกับแอดเดรส และยังมีชุดคำสั่งเพิ่มขึ้นเป็นพิเศษเพื่อจัดการข้อมูล และนอกจากนี้ยังมีวงจรตั้งเวลาและวงจรนับด้วย MCS - 51 มีอยู่ด้วยกันหลายเบอร์ แต่ละเบอร์ก็มีความสามารถพิเศษแตกต่างกันไป ผู้ใช้สามารถดูได้จากคู่มือของ MCS - 51 และเลือกใช้ได้ตามสะดวก

2.1.1 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS - 51

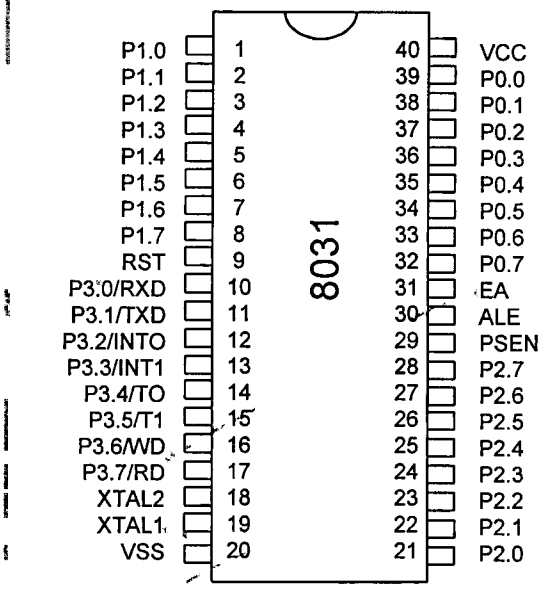
คุณสมบัติทั่วไปที่สำคัญของไมโครคอนโทรลเลอร์ ตระกูล MCS - 51 มีดังนี้

- เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิท
- มีวงจรออสซิลเลเตอร์และวงจรผลิตสัญญาณนาฬิกาภายในตัว
- มีขาสัญญาณอินพุทเอาท์พุท จำนวน 32 บิท
- สามารถเชื่อมต่อหน่วยความจำข้อมูลภายนอก (external data memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 กิโลไบต์
- สามารถเชื่อมต่อหน่วยความจำโปรแกรมภายนอก (external program memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 กิโลไบต์
- มีหน่วยความจำโปรแกรมภายในตัว (on - chip program memory) ขนาด 4 กิโลไบต์ โดยเฉพาะเบอร์ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 8 กิโลไบต์ สำหรับเบอร์ 8031 และ M8032 จะไม่มีหน่วยความจำในส่วนนี้
- มีหน่วยความจำข้อมูลภายในตัว (on - chip data memory) ขนาด 128 ไบต์ โดยเฉพาะเบอร์ 8032 และ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 256 ไบต์
- หน่วยความจำข้อมูลภายในบางส่วน สามารถเข้าถึงข้อมูลระดับบิทได้ด้วย ทำให้การควบคุมหรือการตรวจสอบสถานะบิททำได้ง่าย ส่งผลให้การเขียนโปรแกรมทำได้ง่ายมากขึ้น

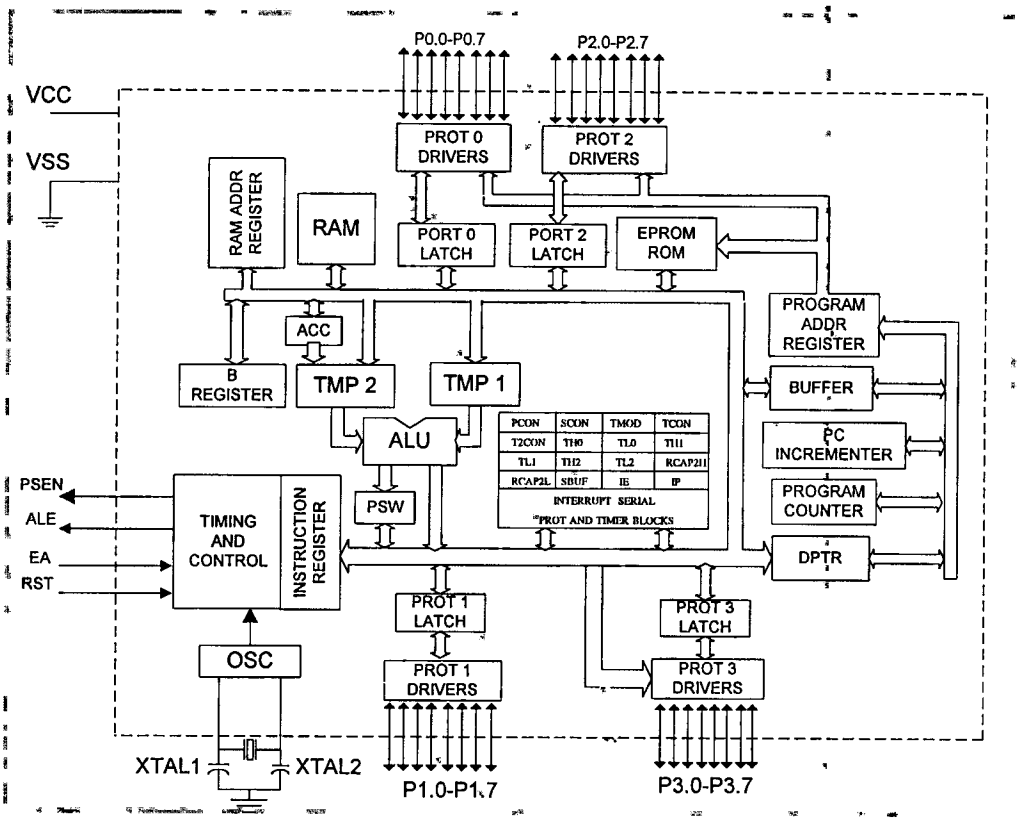
- มีไทม์เมอร์/เคาน์เตอร์ (timer/counters) ขนาด 16 บิท จำนวน 2 ตัว โดยเฉพาะเบอร์ 8032 หรือ 8052 จะมีไทม์เมอร์/เคาน์เตอร์จำนวน 3 ตัว
- การอินเตอร์รัปต์สามารถทำได้จาก 5 แหล่งกำเนิด โดยเฉพาะเบอร์ 8032 และ 8052 จะทำการอินเตอร์รัปต์ได้จาก 6 แหล่งกำเนิด โดยการอินเตอร์รัปต์ยังสามารถจัดระดับความสำคัญได้เป็น 2 ระดับ
- มีพอร์ทสื่อสารอนุกรมภายในตัวเอง ซึ่งทำงานเป็นแบบฟูลดูเพล็กซ์ (full duplex)
- มีคำสั่งในการคำนวณทางคณิตศาสตร์และทางตรรกศาสตร์
- คำสั่งโดยส่วนใหญ่ใช้เวลาการทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- ต้องการแหล่งจ่ายไฟ 5 โวลท์ เพียงชุดเดียว

2.1.2 โครงสร้างของไมโครคอนโทรลเลอร์ 8031

โครงสร้างของไมโครคอนโทรลเลอร์ ตระกูล MCS - 51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน สำหรับโครงงานนี้จะใช้เบอร์ 8031 ซึ่งมีโครงสร้างทางสถาปัตยกรรมภายนอกและภายใน ดังรูปที่ 2.1 และรูปที่ 2.2



รูปที่ 2.1 แสดงสถาปัตยกรรมภายนอกและการจัดตำแหน่งขาต่างๆ ของไมโครคอนโทรลเลอร์ 8031



รูปที่ 2.2 แสดงสถาปัตยกรรมภายในของ ไมโครคอนโทรลเลอร์ 8031

จากรูปที่ 2.2 เป็นการแสดงโครงสร้างทางสถาปัตยกรรมภายในของไมโครคอนโทรลเลอร์ 8031 จะเห็นว่ามีส่วนประกอบภายในมากมายบรรจุอยู่รวมกันไว้และมีบัสภายใน (internal bus) ติดต่อกับส่วนต่างๆภายในตัวไอซี การรวมอุปกรณ์ในส่วนต่างๆ บรรจุไว้ภายในวงจรรวมเดียวกันนี้จะทำให้การทำงานมีประสิทธิภาพ เพราะจะไม่เกิดการรบกวนจากระบบอื่น เนื่องจากส่วนประกอบต่างๆ ถูกบรรจุไว้ภายในจึงไม่เกิดการรบกวนได้ง่าย ตำแหน่งหน้าที่การใช้งานของแต่ละขาของไมโครคอนโทรลเลอร์ 8031 มีดังนี้

ขาพอร์ท 0 (Port 0)

มี 8 ขาได้แก่ขา P0.0 - P0.7 เป็นขาพอร์ทอินพุทเอาท์พุทแบบ 2 ทิศทางสำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุทพอร์ทต้องทำการเขียนค่า 1 ไปยังแต่ละบิทของพอร์ท เพื่อกำหนดให้ขาพอร์ทเหล่านั้นอยู่ในสถานะปล่อยลอย ซึ่งในสถานะนี้เองที่สามารถนำมาใช้เป็นพอร์ทอินพุทอิมพีแดนซ์สูงได้ นอกจากพอร์ทนี้จะใช้งานเป็นพอร์ทอินพุทเอาท์พุทแล้วมันยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบท์ต่ำ(A0-A7) ส่วนตำแหน่งแอดเดรสไบท์สูงจะอยู่ที่พอร์ท 2

ขาพอร์ท 1 (Port 1)

มี 8 ขา ได้แก่ขา P1.0 - P1.7 เป็นขาพอร์ทอินพุทเอาท์พุทแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุทพอร์ทต้องทำการเขียนค่า 1 ไปยังแต่ละบิทของพอร์ทเพื่อกำหนดให้เป็นพอร์ทอินพุท

ขาพอร์ท 2 (Prot 2)

มี 8 ขา ได้แก่ขา P2.0 - P2.7 เป็นขาพอร์ทอินพุทพอร์ท เอาท์พุทแบบ 2 ทิศทางสำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุทพอร์ทต้องทำการเขียนค่า 1 ไปยังแต่ละบิทของพอร์ท เพื่อกำหนดให้เป็นพอร์ทอินพุท นอกจากพอร์ทนี้จะใช้งานเป็นพอร์ทอินพุทเอาท์พุทแล้วมันยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบท์สูง (A8 - A15)

ขาพอร์ท 3 (Port 3)

มี 8 ขา ได้แก่ขา P3.0 - P3.7 เป็นขาพอร์ทอินพุทเอาท์พุทแบบ 2 ทิศทางสำหรับใช้งานทั่วไปโดยถ้าใช้งานเป็นอินพุทพอร์ทต้องทำการเขียนค่า 1 ไปยังแต่ละบิทของพอร์ท เพื่อกำหนดให้เป็นพอร์ทอินพุท นอกจากพอร์ทนี้จะใช้งานเป็นพอร์ทอินพุทเอาท์พุทแล้วมันยังถูกใช้งานในหน้าที่พิเศษต่างๆ ดังแสดงในตารางที่ 2.1

ขาพอร์ท	หน้าที่พิเศษ
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	WR (external data memory wrtie strobe)
P3.7	RD (external data memory read strobe)

ตารางที่ 2.1 แสดงหน้าที่พิเศษของแต่ละขาของพอร์ท 3

ขารีเซท (RST)

ใช้สำหรับการรีเซตการทำงานของไมโครคอนโทรลเลอร์ โดยการรีเซตต้องคงสถานะเป็น 1 อย่างน้อยนาน 2 แมทชีนไซเคิล ในขณะที่ออสซิลเลเตอร์ยังทำงานอยู่

ขา ALE/PROG

เป็นขาสัญญาณเพื่อทำหน้าที่ควบคุมการแลตช์ (latch) ค่าต่ำแหน่งแอดเดรสไบท์ต่ำ (address latch enable) เมื่อต้องการติดต่อกับหน่วยความจำภายนอก นอกจากนี้ขานี้ยังทำหน้าที่เป็นอินพุทรับพัลส์ในการโปรแกรม (program pulse input) ในส่วนของหน่วยความจำ EPROM สำหรับไมโครคอนโทรลเลอร์ในตระกูล MCS - 51 ที่มีหน่วยความจำโปรแกรมภายในเป็น EPROM

ขา PSEN (Program Store Enable)

ทำหน้าที่เป็นสัญญาณสโตรบเพื่ออ่านคำสั่งจากหน่วยความจำโปรแกรมภายนอก เมื่อไมโครคอนโทรลเลอร์ประมวลผลคำสั่งจากหน่วยความจำภายนอก ขานี้จะส่งสัญญาณสโตรบจำนวน 2 ครั้ง ในแต่ละแมทชีนไซเคิล แต่ในขณะที่ติดต่อกับหน่วยความจำข้อมูลภายนอกจะไม่มีการส่งสัญญาณสโตรบแต่อย่างใด

ขา EA (External Access enable)

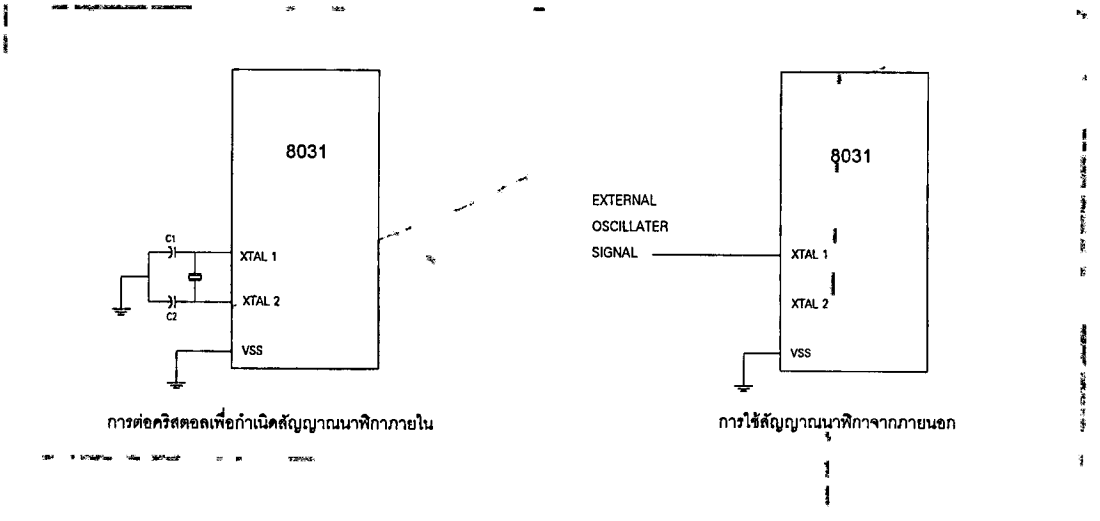
เป็นขาสำหรับการเลือกใช้หน่วยความจำโปรแกรมจากภายในหรือจากภายนอก โดยถ้ามีสถานะเป็น 0 จะหมายถึงให้ไมโครคอนโทรลเลอร์รับคำสั่งจากหน่วยความจำภายนอกที่ตำแหน่งแอดเดรส 0000H - 0FFFH แต่ถ้าขานี้มีสถานะเป็น 1 หมายความว่า โปรแกรมในตำแหน่ง 0000H - 0FFFH ถูกเก็บไว้ภายใน 8031

ขา XTAL 1 และขา XTAL 2

เป็นขาอินพุทและเอาท์พุทของวงจรอินเวอร์ติ้งออสซิลเลเตอร์แอมปริไฟเออร์ (inverting oscillater amplifier) หรับใช้ต่อร่วมกับคริสตอลภายนอกเพื่อเป็นตัวกำเนิดสัญญาณนาฬิกาภายในควบคุมการทำงานของ 8031 แต่ถ้าต้องการเอาสัญญาณนาฬิกามาจากภายนอก มาเป็นสัญญาณนาฬิกาควบคุม 8031 ก็ให้ต่อสัญญาณนาฬิกาที่มาจากภายนอกเข้าที่ขา XTAL 1 ส่วนขา XTAL 2 ปล่อยลอยไว้ดังรูปที่ 2.3

ขา Vcc เป็นขาที่ใช้สำหรับต่อป้อนแรงดันไฟเลี้ยง + 5 โวลท์

ขา Vss เป็นขาที่ใช้สำหรับต่อลงกราวด์

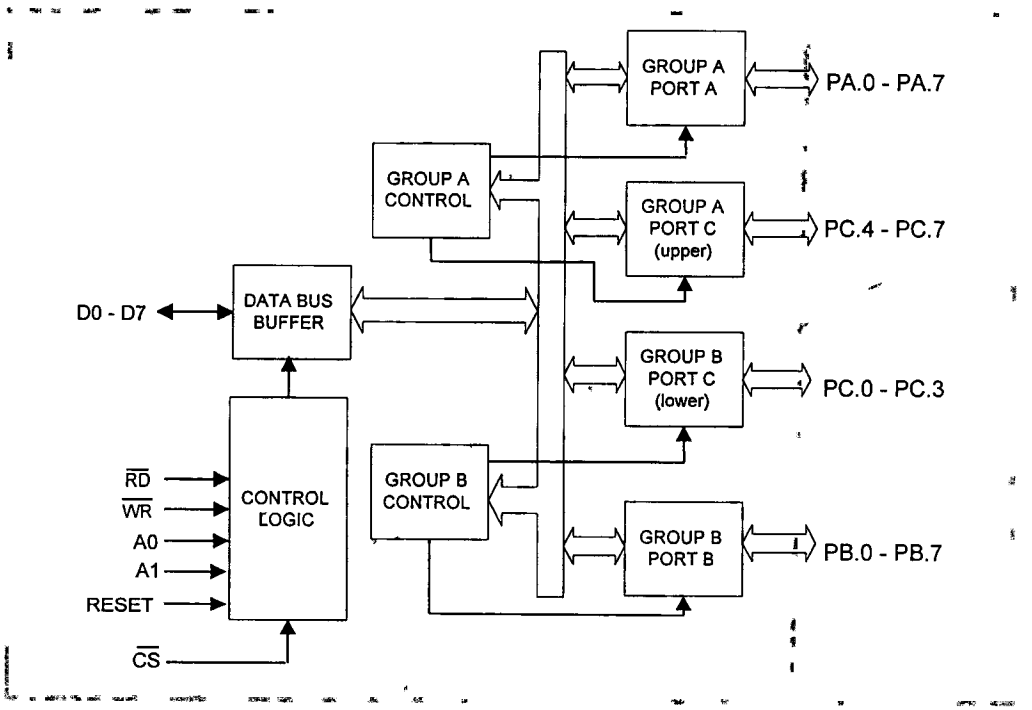


รูปที่ 2.3 แสดงการต่อใช้งานสัญญาณนาฬิกาของ 8031

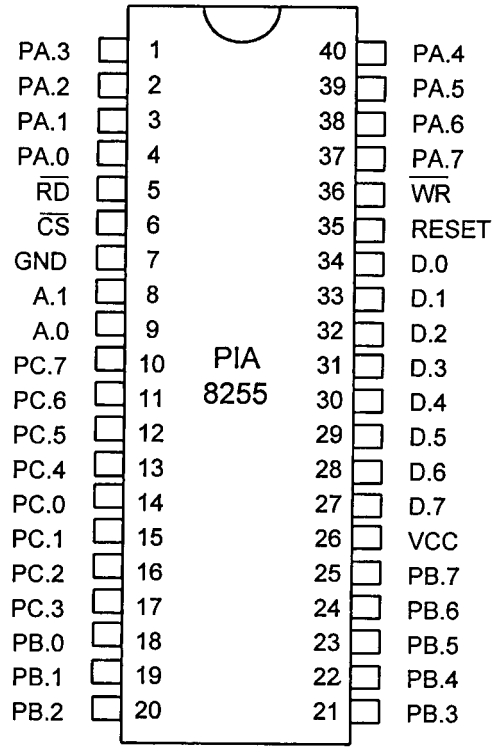
2.2 PIA 8255

PIA 8255 (PIA ย่อมาจาก Programmable Interface Adapter) เป็น ไอซี 40 ขา ถูกออกแบบมาเพื่อที่จะเป็นพอร์ทสำหรับการรับส่งข้อมูลแบบขนานระหว่างอุปกรณ์ภายนอกกับไมโครคอนโทรลเลอร์ มีความสะดวกในการนำเอา 8255 ไปใช้งานเนื่องจาก เราสามารถเปลี่ยนแปลงลักษณะการทำงานของพอร์ทให้เป็นอินพุทหรือเอาท์พุทพอร์ทได้อย่างสะดวก เพียงการส่งข้อมูลควบคุมจากไมโครคอนโทรลเลอร์ให้กับ 8255 ก่อนที่จะเริ่มต้นใช้งานพอร์ทเท่านั้น โดยที่ความสามารถเหล่านี้จะถูกเรียกว่า Programmable คือสามารถโปรแกรมการทำงานได้ ทำให้ได้รับความนิยมกันอย่างแพร่หลาย

จากในรูปที่ 2.4 เป็นบล็อคไดอะแกรมโครงสร้างการทำงานของ 8255 ส่วนรายละเอียดของตำแหน่งขาต่างๆ แสดงไว้ในรูปที่ 2.5 จะเห็นได้ว่าประกอบด้วยบล็อคของหน่วยกจรทำงานหลายส่วน ภายในบล็อคทางขวามือทั้ง 4 บล็อคเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกโดยตรงโดยผ่านทางเส้นสัญญาณที่ระบุชื่อว่า PA.0 - PA.7 , PB.0 - PB.7 และ PC.0 - PC.7 กลุ่มของสัญญาณเหล่านี้จำแนกเป็น 3 กลุ่มคือ พอร์ท A , B และ C สำหรับบล็อคถัดเข้ามาบริเวณส่วนกลางมีชื่อว่า Group A Control และ Group B Control ทำหน้าที่กำหนดการทำงานของพอร์ททั้งสาม โดยบล็อคทั้งสองนี้เชื่อมต่อกับบล็อคู่อื่นๆ ผ่านทางบัสข้อมูลภายใน 8255 เอง สำหรับบล็อคการทำงานทางด้านซ้ายที่มีชื่อว่า Data bus buffer และ read/write control logic ทำหน้าที่เชื่อมต่อระหว่างระบบบัสของไมโครคอนโทรลเลอร์กับ 8255 เพื่อรับส่งข้อมูลระหว่างกันตามระดับของลอจิกของขาสัญญาณ RD\ และ WR\ ตามลำดับ



รูปที่ 2.4 แสดง Biock Diagram ภายในของ 8255



รูปที่ 2.5 แสดงตำแหน่งขาต่างๆ ของ 8255

2.2.1 **หน้าที่ขาสัญญาณของ 8255**

เพื่อให้เข้าใจวิธีการต่อใช้งานระหว่างไมโครคอมพิวเตอร์กับ PIA 8255 จึงจำเป็นต้องเข้าใจความหมายและตำแหน่งขาต่างๆ เสียก่อนดังนี้คือ

D0 - D7 เป็นบัสข้อมูล ทำหน้าที่อ่านหรือเขียนข้อมูลจากพอร์ท โดยต่อ D0 - D7 ต่อเข้ากับ Data Bus ของไมโครคอมพิวเตอร์

CS เป็นขาอินพุทชิป (select shift) ทำหน้าที่รับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น "Low" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครคอมพิวเตอร์เพื่อให้อ่านหรือเขียนข้อมูลจากพอร์ทเกิดขึ้น

RD เป็นขาสัญญาณอ่านข้อมูล ทำหน้าที่รับสัญญาณอินพุทที่ส่งมาจาก CPU เมื่อขาสัญญาณนี้เป็น " low" และขา CS เป็น " Low" จะมีการอ่านข้อมูลเกิดขึ้นบนบัสข้อมูล

WR เป็นขาสัญญาณเขียนข้อมูล เมื่อ CS และ WR เป็น Logic "0" จะเกิดการเขียนข้อมูลขึ้นบนบัสข้อมูล

A0 - A1 เป็นขาสัญญาณแอดเดรสเลือกพอร์ท A, B, C และควบคุมพอร์ท (control port)

RESET เป็นขาสัญญาณเคลียร์สถานะต่างๆ ภายใน 8255 โดยจะมีการเซทให้ทุกพอร์ทเป็นอินพุทพอร์ท

PA0 - PA7 เป็นขาสัญญาณอินพุท/เอาท์พุท พอร์ท A ขนาด 8 บิท

PB0 - PB7 เป็นขาสัญญาณอินพุท/เอาท์พุท พอร์ท B ขนาด 8 บิท

PC0 - PC7 เป็นขาสัญญาณอินพุท/เอาท์พุท พอร์ท C ขนาด 8 บิท

ในบรรดาพอร์ททั้งสามของ 8255 มีชื่อเรียกว่าพอร์ท A , B และ C โดยพื้นฐานนั้นล้วนเป็นพอร์ทแบบขนานที่ประกอบด้วยขาสัญญาณ 8 เส้น (8 บิท) ซึ่งแต่ละเส้นจะแทนบิทข้อมูลของพอร์ท (พอร์ทข้อมูลขนาน 8 บิท) ซึ่งเราสามารถอ้างถึงแต่ละบิทของเส้นสัญญาณพอร์ทนี้ได้โดยอิสระ อย่างไรก็ตาม 8255 ได้ทำการแบ่งกลุ่มของพอร์ทเหล่านี้เป็น 2 กลุ่มคือ กลุ่ม A และกลุ่ม B เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ทดังตารางต่อไปนี้

ชื่อกลุ่ม	ลักษณะ
GROUP A	พอร์ท A จำนวน 8 บิท (ทุกบิทของพอร์ท)
	พอร์ท C จำนวน 4 บิท (เฉพาะ 4 บิทบนของพอร์ท)
GROUP B	พอร์ท B จำนวน 8 บิท (ทุกบิทของพอร์ท)
	พอร์ท C จำนวน 4 บิท (เฉพาะ 4 บิทล่างของพอร์ท)

ตารางที่ 2.2 แสดงรูปแบบการทำงานของพอร์ท

จากตารางข้างต้นจะเป็นได้ว่าจำนวนสัญญาณทั้งหมดของพอร์ท C (PC0 - PC7) ได้ถูกแยกออกเป็นสองกลุ่ม คือกลุ่มของ 4 บิทล่าง จาก PC0 - PC3 และกลุ่มของ 4 บิทบน จาก PC4 - PC7 ดังนั้นพอร์ทกลุ่ม A และกลุ่ม B ของ 8255 จึงมีจำนวนบิทในแต่ละกลุ่มเป็นจำนวนถึง 12 บิท

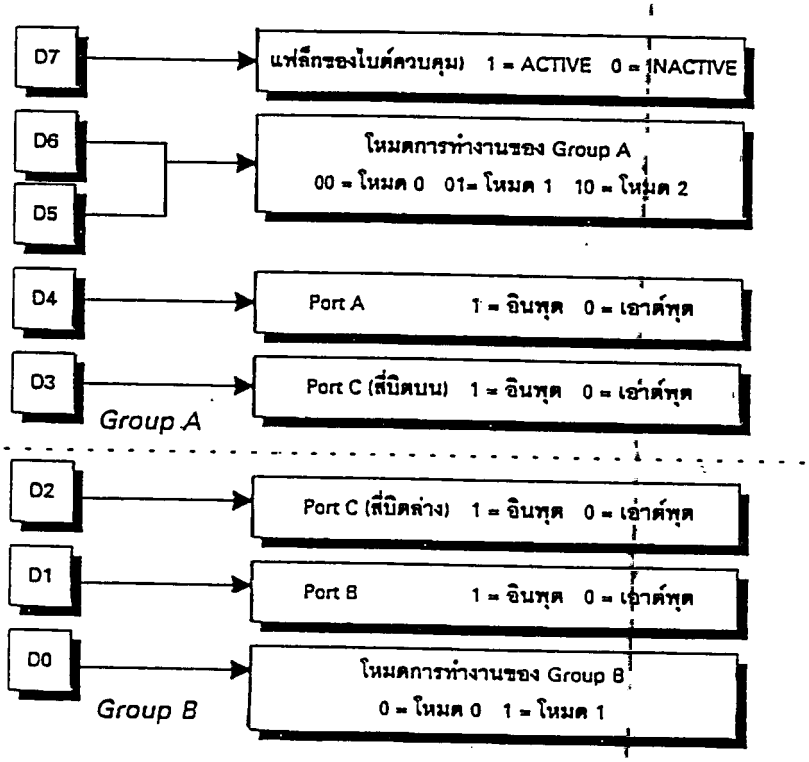
2.2.2 Register **ภายในของ** PIA 8255

เมื่อทำการเชื่อมต่อ 8255 เข้ากับ CPU ของระบบไมโครคอมพิวเตอร์ได้แล้วสิ่งที่ผู้ใช้จะต้องทำคือ การโปรแกรมให้ 8255 ทำงานได้ตามต้องการ จากที่กำหนด Decoder Address Port 4 พอร์ท แต่ละพอร์ทจะเสมือนเป็นรีจิสเตอร์ที่สามารถเขียนและอ่านได้ โดยลักษณะการควบคุม จะทำการควบคุมโดย A0 - A1 , WR และ RD ดังแสดงไว้ในตารางที่ 2.3

การกำหนดให้พอร์ททั้งสามของ 8255 ทำงานในลักษณะต่างๆ กันหรือที่เรียกว่าโหมดการทำงานจะเริ่มจากเราจะต้องส่งค่าข้อมูลขนาดหนึ่งไบท์ให้กับรีจิสเตอร์ควบคุมการทำงานภายใน 8255 ข้อมูลนี้จะเรียกว่า ไบท์ข้อมูลควบคุม (Control word) โดยแต่ละบิทของข้อมูลนี้จะมีความหมายที่จะระบุถึงความต้องการต่างๆ กันไป ดังแสดงรูปที่ 2.6 การส่งข้อมูลไบท์นี้จะต้องเริ่มต้นเป็นลำดับแรกก่อนที่จะมีการดำเนินการใดๆ กับ 8255 ทั้งสิ้น

RD	WR	A1	A0	ความหมาย
1	0	0	0	เขียนพอร์ท A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ท A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ท B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ท B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ท C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ท C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูลซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามาซึ่งไม่มีความหมายใด

ตารางที่ 2.3 สัญญาณควบคุมการทำงานของ 8255



รูปที่ 2.6 แสดงความหมายของบิทภายในไบท์ข้อมูลควบคุมสำหรับ 8255

2.2.3 การเชื่อม 8255 กับ 8031

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นได้ว่ามีขาสัญญาณแอดเดรสจำนวนสองเส้นคือ A0 - A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 2^2 หรือเท่ากับ 4 ตำแหน่งซึ่งแต่ละตำแหน่งจะมีความหมายใช้ในการระบุ รีจิสเตอร์หรือพอร์ทภายใน 8255 ดังนี้

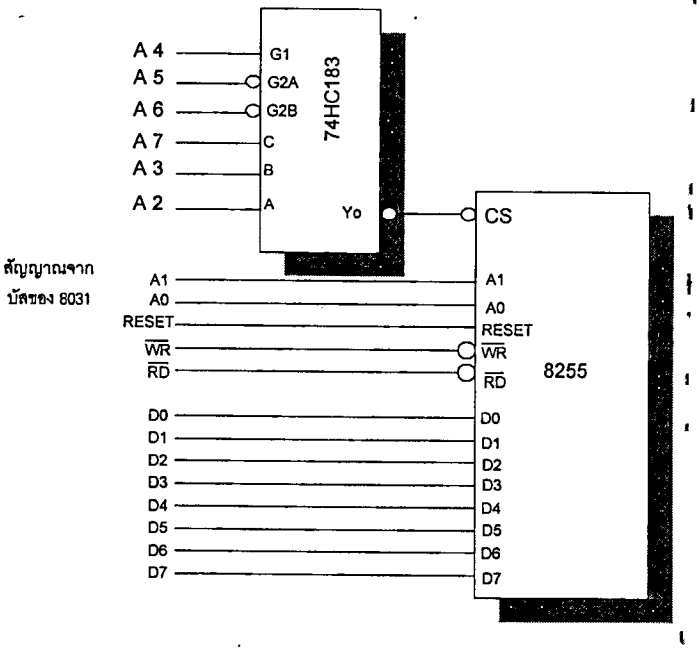
A1	A0	ชื่อรีจิสเตอร์
0	1	พอร์ท A
0	1	พอร์ท B
1	0	พอร์ท C
1	1	รีจิสเตอร์ควบคุม

เมื่อพิจารณาค่าของแอดเดรสเหล่านี้ร่วมกับระดับลอจิกของขาสัญญาณ RD และ WR จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0 - D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดังตารางที่ 2.3 ดังนั้นโดยทั่วไปมักจะกำหนดให้แอดเดรสของ 8255 ทั้งสี่ตำแหน่งอยู่ในแอดเดรสช่วงใดช่วงหนึ่งของระบบเช่น 10H , 11H , 12H และ 13H โดยที่ขาสัญญาณแอดเดรสที่นอกเหนือไปจาก A0 และ A1, นำเข้ามายังตัวถอดรหัสแอดเดรสเพื่อสร้างสัญญาณเลือกอุปกรณ์ (CS) ในช่วงแอดเดรสที่ต้องการ ให้ดูตัวอย่างในรูปที่ 2.7 สัญญาณ CS นี้จะเป็นสภาวะลอจิกต่ำก็ต่อเมื่อค่าในแอดเดรส A2 - A7 มีค่าเท่ากับ 0000100xx (xx ใช้เพื่อระบุถึงรีจิสเตอร์ภายใน 8255 เพื่อทำการอ่านหรือเขียนข้อมูล) ดังนั้นจากวงจรนี้แอดเดรสของรีจิสเตอร์ภายใน 8255 จะมีค่าตามตารางที่ 2.4

ตำแหน่งแอดเดรส	ความหมาย
10H	พอร์ท A
11H	พอร์ท B
12H	พอร์ท C
13H	รีจิสเตอร์ควบคุม

ตารางที่ 2.4 แสดงตำแหน่งแอดเดรสภายในของ 8255

ขาสัญญาณควบคุมอื่นๆ คือ RD และ WR มักจะเชื่อมต่อเข้ากับขาสัญญาณชื่อเดียวกันของ 8031 ได้โดยตรงทำให้แอดเดรสพอร์ทของ 8255 อยู่ในพื้นที่ของหน่วยความจำข้อมูลของ 8031 สำหรับขาสัญญาณรีเซทของ 8255 ซึ่งจะมีผลให้เกิดการรีเซต หรือเริ่มสภาวะการทำงานใหม่เมื่อระดับของขาสัญญาณเป็นลอจิกสูง ดังนั้นหากว่าจะใช้สัญญาณการรีเซตเดียวกันกับ 8031 เพื่อที่จะรีเซต 8255 ด้วยก็สามารถต่อได้โดยตรง



รูปที่ 2.7 แสดงตัวอย่างการเชื่อม 8255 เข้ากับ 8031

2.3 ไอซีถอดรหัสสัญญาณ ความถี่โทรศัพท์ (DTMF DECODER)

MT 8870 เป็นไอซีที่ใช้สำหรับถอดรหัสความถี่โทรศัพท์ ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดแบบกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล โดย ไอซี MT8870 จะทำหน้าที่แปลงความถี่รหัสโทรศัพท์ DTMF ให้เป็นสัญญาณดิจิตอล เลขฐานสองขนาด 4 บิท ซึ่งคุณสมบัติการทำงานมีดังต่อไปนี้

- เป็นตัวรับ และถอดรหัสความถี่โทรศัพท์ (DTMF receiver)
- ใช้กระแสไฟฟ้าน้อย และใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถตั้งอัตราการขยายภายในตัวไอซีได้
- สามารถปรับการ์ดไทม์ (Gurad time) ได้
- เป็นไอซีมีคุณภาพสูง

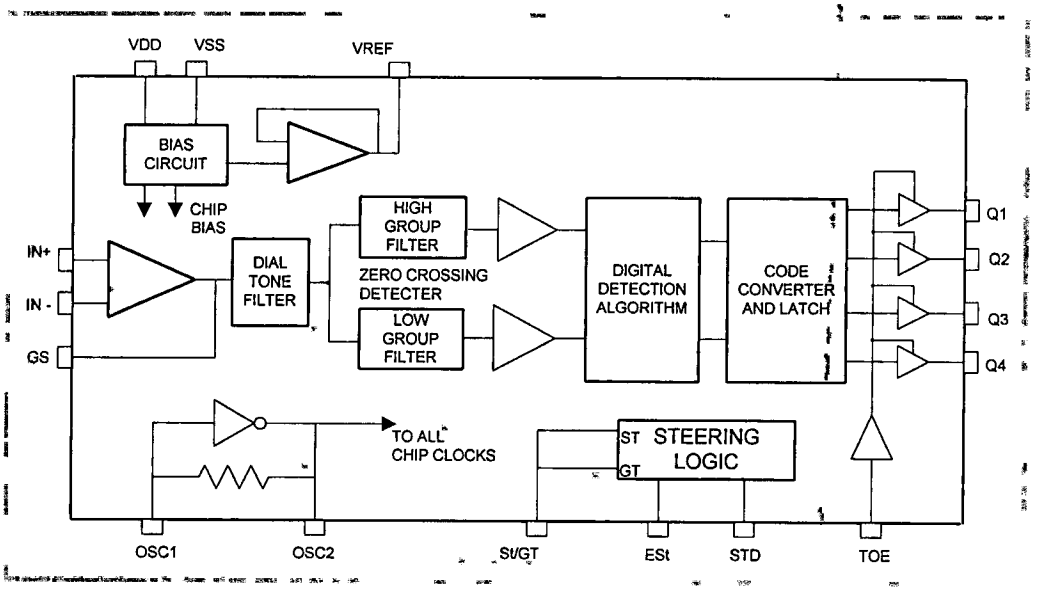
2.3.1 โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่ และวงจรถอดรหัสฟังก์ชันทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO - CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุตเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอกเอาต์พุตเป็นวงจรแลตช์ 3 สถานะ โครงสร้างของ MT8870 แสดงในรูปที่ 2.8 และรูปที่ 2.9

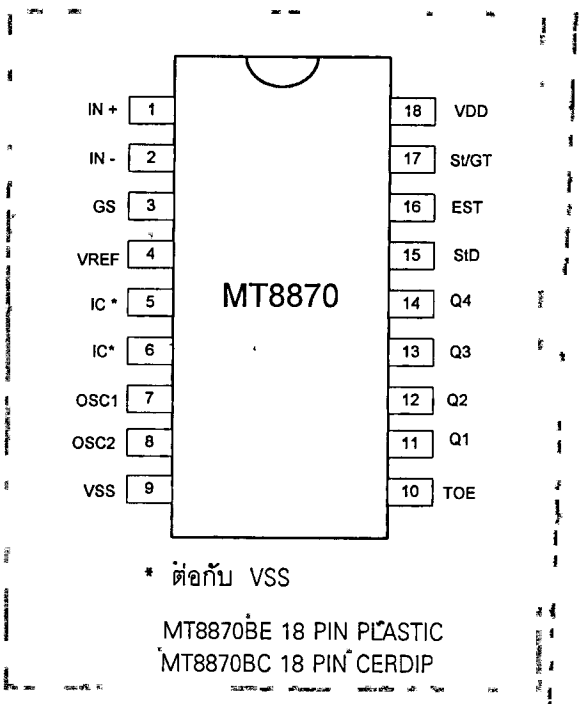
ฟังก์ชันการทำงานภายในของ MT8870

โครงสร้างภายในของ MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

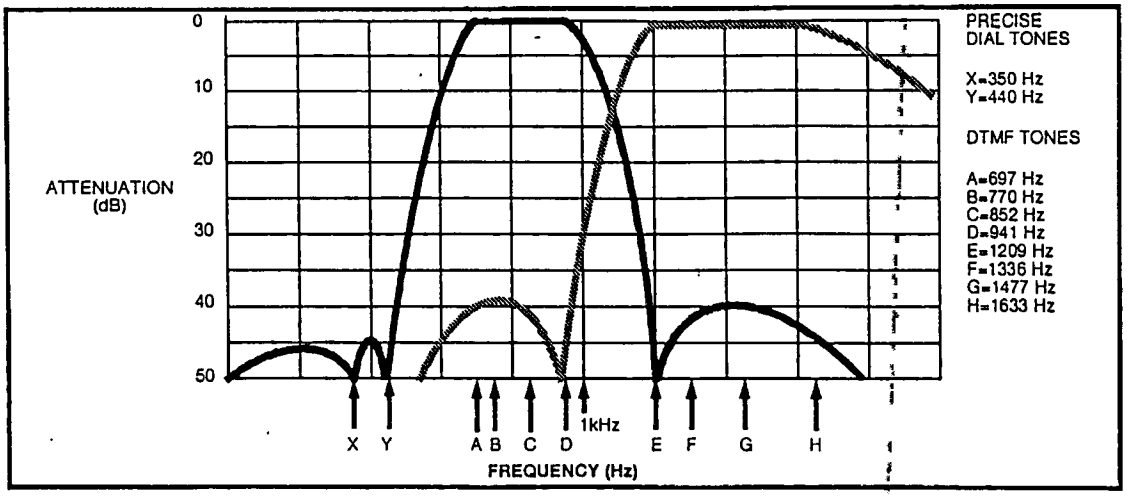
1. ภาคกรองความถี่ (filter section)
2. ภาคถอดรหัส (decoder section)
3. ภาคตรวจสอบสัญญาณ (steering circuit)
4. ภาคกำเนิดความถี่ (oscillater)
5. ภาคขยายสัญญาณความแตกต่าง (differential input)



รูปที่ 2.8 แสดงโครงสร้างภายในของ MT8870



รูปที่ 2.9 แสดงรายละเอียดขาของ MT8870



รูปที่ 2.10 แสดงความถี่ที่ได้จากภาคกรองความถี่

1. ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองความถี่อันดับ 6 ชนิดสวิทช์คาปาซิเตอร์ (SIX - ORDER SWITCHED CAPACITOR BANDPASS FILTER) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและช่วงความถี่ต่ำ

2. ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา Est (Early Steering) ก็จะแอคทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆ นั้นแสดงดังตารางที่ 2.5

3. ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปทางเอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาที่กำหนดหรือไม่ โดยที่สังเกตจากระยะเวลาการกดปุ่มสวิทช์ความถี่ เพื่อให้มีช่วงความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับโดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา Est จะเป็น "HIGH" นานใกล้เคียงกับระยะเวลาที่ความถี่ DTMF เข้ามาทำให้แรงดัน V สูงขึ้นจนถึงค่าเทรชโฮลด์ (TRESHOLD) วงจรถอดรหัสจึงจะถอดรหัสออกมาเป็นตัวเลขขนาด 4 บิท

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ตารางที่ 2.5 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

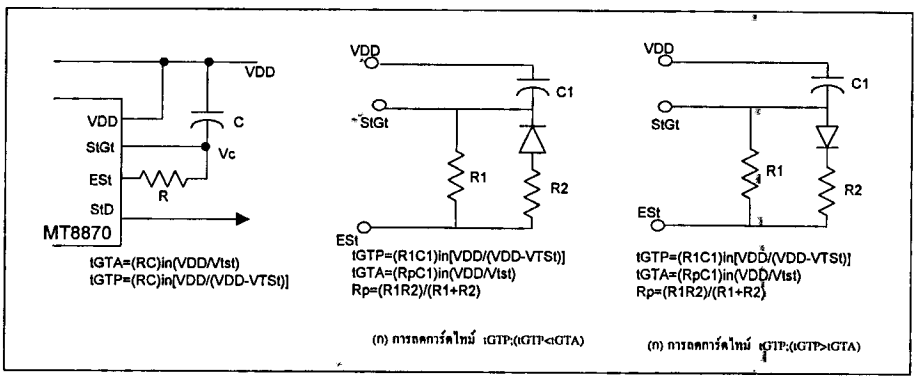
4. ภาคขยายสัญญาณความแตกต่าง

ส่วนอินพุตของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายได้โดยต่อวงจรภายนอกเข้ากับอินพุท

5. ภาคกำเนิดความถี่

ใน MT8870 จะมีวงจรออสซิลเลเตอร์อยู่ภายใน เพียงแต่ต่อคริสตอลขนาด 3.579 เมกกะเฮริตซ์ ก็สามารถใช้งานได้ทันที

สำหรับการ์ดไทม์นั้นหมายถึง คาบเวลาของความถี่ที่เข้ามาซึ่งจะต้องนานเท่ากันหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่า สัญญาณความถี่นั้นถูกต้อง หรือเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่ที่เข้ามานานเท่ากันหรือมากกว่าเวลาที่ตั้งไว้ จึงสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่ที่เข้ามาสั้นกว่าเวลาที่ตั้งไว้ ก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 2.11



รูปที่ 2.11 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์ (grad time)

วิธีการคำนวน

$$tGTA = (RC)\ in\ (\ Vdd\ /\ Vtst\ )$$

$$tGTP = (RC)\ in\ (Vdd\ /\ (Vdd - VTSt)\ )$$

การลดการ์ดไทม์ tGTP; (tGTP<tGTA)

$$tGTP = (R1C1)in\ (Vdd/\ (Vdd - VTSt\ )\ )$$

$$tGTA = (R1C1)in\ (Vdd\ /\ VTSt)$$

$$Rp = (R1R2\ )\ /\ (R1+\ R2)$$

การเพิ่มการ์ดไทม์ tGTA; (tGTP>TGTA)

$$tGTP = (RpC1)in\ (\ Vdd\ /\ (Vdd - VTSt)\ )$$

$$tGTA = (R1C1)in\ (Vdd\ /\ VTSt)$$

$$Rp = (R1R2)\ /\ (R1+R2)$$

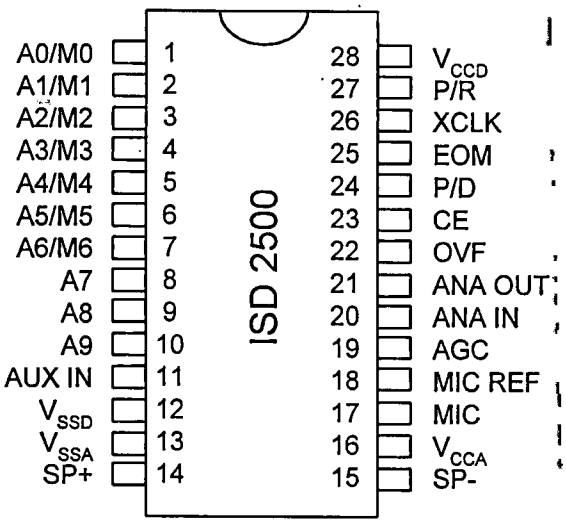
2.4 ไอซีบันทึกสัญญาณเสียง

ในอุปกรณ์สื่อสารหรืออุปกรณ์คอมพิวเตอร์ปัจจุบันจะเห็นว่ามีความทันสมัยมากขึ้นอย่าง เช่นอุปกรณ์โทรศัพท์ ในสมัยก่อนต้องใช้คนทำหน้าที่เป็นโอเปอเรเตอร์ คอยตอบรับโทรศัพท์เมื่อมีผู้โทรเข้ามาและต่อเลขหมายตามความต้องการของผู้เรียก แต่ในปัจจุบันนี้ไม่จำเป็นต้องใช้คนอีกต่อไปแล้ว ความทันสมัยของการพัฒนาอุปกรณ์อิเลคทรอนิคส์ ได้เข้ามามีบทบาทและเข้ามาทำงานแทนที่คน โดยเราสามารถใช้วงจรอิเลคทรอนิคส์มาทำหน้าที่ตอบรับโทรศัพท์แทนคน อุปกรณ์ที่ว่านี้สามารถตอบรับโทรศัพท์ได้ด้วยเสียงพูด ในอุปกรณ์คอมพิวเตอร์ก็เช่นเดียวกัน เราสามารถให้คอมพิวเตอร์พูดแนะนำขั้นตอนต่างๆ ในการใช้คอมพิวเตอร์ให้กับผู้ใช้คอมพิวเตอร์ได้ ในอุปกรณ์เครื่องใช้ไฟฟ้า ที่มีการทำงานซับซ้อนทั่วไปก็หันมานิยมใช้อุปกรณ์บันทึกสัญญาณเสียงพูดนี้กันมากเพราะสะดวก ทำให้ผู้ใช้บริการไม่สับสนเพราะมีสัญญาณเสียงพูดคอยแนะนำขั้นตอนการทำงานตลอดเวลา สัญญาณเสียงพูดที่ใช้กันนั้นไม่ได้บันทึกได้ในเทปคาสเซทแต่หากว่ามันถูกบันทึกไว้ในตัวไอซี ซึ่งมีขนาดเล็กกระทัดรัด ใช้งานสะดวกสะบายเพียงแค่ต่ออุปกรณ์ประกอบวงจรเพียงเล็กน้อยไว้ภายนอกของตัวไอซีก็สามารถใช้งานได้ โดยโครงงานนี้จะใช้ไอซีเบอร์ ISD 2500

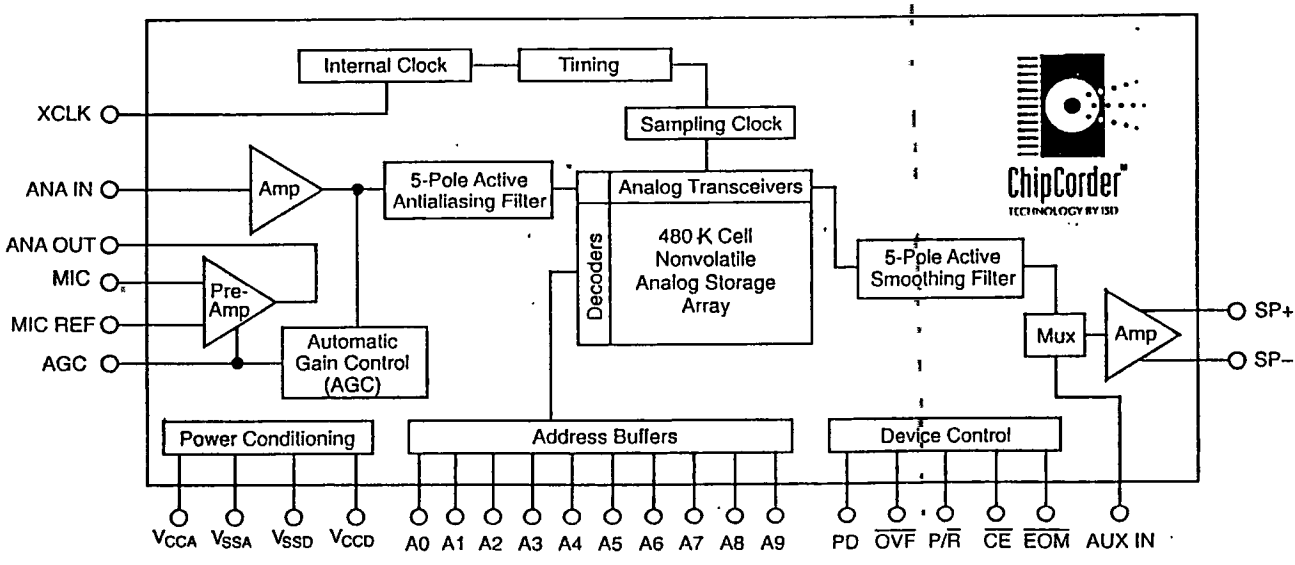
2.4.1 **คุณสมบัติของ** ISD 2500

- สามารถบันทึกสัญญาณเสียงเก็บไว้ได้โดยไม่ต้องต่อแหล่งจ่ายไฟฟ้าเลี้ยงวงจร (non - volatile memory)
- สามารถบันทึกซ้ำ (re - record) ได้มากกว่าจำนวน 100,000 ครั้ง
- สามารถบันทึกข้อความที่ติดต่อกันได้นานถึง 90 วินาที
- การบันทึก (record) และเล่นกลับ (playback) ทำได้ง่าย
- สามารถเชื่อมต่อ (interface) กับอุปกรณ์ไมโครคอนโทรลเลอร์ได้
- ให้เสียงตอบสนองที่เป็นธรรมชาติ

จากคุณสมบัติต่างๆ ที่รวบรวมอยู่ภายในตัวไอซีเพียงตัวเดียวทำให้ง่ายแก่การใช้งาน ตั้งแต่วงจรขยายสัญญาณจากไมโครโฟน จนถึงหน่วยจัดเก็บข้อมูลที่บันทึกและขับออกลำโพงก็ถูกรวบรวมไว้ในตัวไอซีเพียงตัวเดียว ในโหมดการบันทึกจะจัดเก็บข้อมูลต่างๆ ไว้ในหน่วยความจำที่เป็นเซลแบบไม่ต้องการแรงดันสำรองเพื่อรักษาข้อมูลไม่ให้สูญหาย รายละเอียดการแสดงบล็อคไดอะแกรมการทำงานและตำแหน่งขาของ ISD 2500 แสดงไว้ดังรูปที่ 2.12 และ 2.13



รูปที่ 2.12 แสดงตำแหน่งขาของ ISD 2500



รูปที่ 2.13 แสดงบล็อคไดอะแกรมการทำงานของ ISD 2500

2.4.2 รายละเอียดตำแหน่งขาของ ISD 2500

Microphone Input (MIC)

ขา 17 จะรับสัญญาณอินพุทที่ผ่านเข้ามายังไมโครโฟนแล้วส่งผ่านสัญญาณเข้าสู่วงจรปรีแอมป์ที่ประกอบอยู่ภายในตัวไอซี ภายในประกอบด้วยวงจรควบคุมอัตราการขยายอัตโนมัติ (AGC) โดยวงจรนี้จะทำหน้าที่ควบคุมอัตราการขยายของวงจรปรีแอมป์ให้มีการขยายอยู่ในช่วง -15 ถึง 24 เดซิเบล ไมโครโฟนจากภายนอกจะถูกคับปลิ้งผ่านตัวเก็บประจุในลักษณะอนุกรมกับขา 17 ค่าความจุของคาปาซิเตอร์จะกำหนดโดยคำนึงถึงค่าความต้านทานภายในของไอซี (10 กิโลโอห์ม) เพื่อทำให้เกิดการคัทฮอฟที่ความถี่ต่ำ

Microphone Reference Input (MIC REF)

ขา 18 นี้จะต่อเข้ากับกราวด์อะนาล็อก (V_{SSA}) โดยต่ออนุกรมกับตัวเก็บประจุ เพื่อทำหน้าที่กำจัดสัญญาณรบกวนทางอินพุทขา 17 และเพื่อให้เกิดการชดเชยทางด้านสัญญาณรบกวนให้ดีกว่า 10 เดซิเบล

Analog Output (ANA OUT)

ขา 21 เป็นขาเอาท์พุทของวงจรปรีแอมป์ขยายสัญญาณจากไมโครโฟนที่ได้รับการควบคุมอัตราการขยายจากวงจร AGC ภายในแล้ว

Analog Input (ANA IN)

ขา 20 จะรับสัญญาณผ่านวงจรปรีแอมป์ออกมาทางขา 21 โดยผ่านตัวเก็บประจุคับปลิ้งภายนอก คับปลิ้งสัญญาณเข้าที่ขา 20 นี้เพื่อผ่านสัญญาณเข้าไปทำการบันทึกไว้ภายในตัวไอซี ตัวเก็บประจุคับปลิ้งภายนอกนี้จะต้องสัมพันธ์กับค่าความต้านทานภายในค่า 30 Kohm ซึ่งเป็นอินพุทอิมพีแดนซ์เพื่อที่จะทำให้เป็นวงจรกรองความถี่ต่ำแบบคัทออฟ

Automatic Gain Control (AGC)

ขา 19 เป็นอินพุทเพื่อควบคุมอัตราการขยายของปรีแอมป์ไมโครโฟนทางด้านไดนามิกเพื่อให้เกิดความเหมาะสมกับระดับสัญญาณที่มีย่านความถี่กว้างมากของสัญญาณทางด้านอินพุทจากไมโครโฟนและเพื่อให้ระดับสัญญาณที่ทำการบันทึกมีความผิดเพี้ยนน้อยที่สุดขา AGC นี้จะต่อรวมกับอุปกรณ์ R,C เพื่อกำหนดค่าเวลาคงที่โดยค่าความต้านทานภายใน 5 Kohm และจะต่อกับ C ภายนอกอีกตัวหนึ่งเพื่อผ่านลงกราวด์อะนาล็อก ค่าที่เหมาะสมบางครั้งกำหนดไว้ที่ R= 470K , C=4.7 uF

Speaker Outputs (SP+ / SP-)

ขา 14 , 15 เป็นขาเอาท์พุทต่อออกลำโพง ในไอซีจะมีวงจรขยายความแตกต่างออกสู่ลำโพงซึ่งมีความสามารถในการขับลำโพงเอาท์พุทได้ 50 mW ที่ โหลดลำโพง 16 ohm ขาเอาท์พุทนี้ไม่สามารถต่อขนานกันหลายตัวได้ในกรณีที่ต่อคาสเคสกันหลายตัว

Power Down Input (PD)

ขา 24 ในขณะที่ไม่มีการบันทึกหรือเล่นกลับ ที่ขา PD จะมีสภาวะเป็น "1" ก็จะเป็นการรักษาระดับการสิ้นเปลืองกำลังงานในระดับต่ำมากๆ แต่เมื่อขา OVF มีสภาวะเป็น "0" ที่แสดงถึงการเล่นกลับสิ้นสุดลงปรากฏขึ้น ขา PD ปกติจะเป็น "1" อยู่ ในขณะนั้นก็จะถูกรีเซทและจะเริ่มกระบวนการบันทึกหรือเล่นกลับใหม่อีกครั้ง

Chip Enable Input (CE)

ขา 23 ขา CE นี้จะต้องได้รับสัญญาณพัลส์ "0" เพื่อทำการเกิดการเปลี่ยนแปลงระหว่างการเล่นกลับและการบันทึกที่ขาแอดเดรสอินพุทและขา P/R อินพุทจะถูกแลตช์จากพัลส์ขอบขาลงของพัลส์ที่ขานี้

Playback/Record Input (P/R)

ขา 27 เมื่อขาอินพุทควบคุมการเล่นกลับและบันทึกได้รับพัลส์ "1" จะเป็นวงรอบของการเล่นกลับและถ้าเป็นพัลส์ "0" จะเป็นการเลือกวงรอบการบันทึก ถ้าหากได้รับพัลส์ที่ขอบขาลงของขา CE จะเป็นการแลตช์อินพุทที่ขา P/R

Address/Mode Input (A0 - A9 / M0 - M6)

ขา 1-10 ขาแอดเดรสและโหมดอินพุทจะมีอยู่สองฟังก์ชันที่อยู่กับระดับของสอง MSB ของแอดเดรส ถ้าแอดเดรสใดแอดเดรสหนึ่งของสอง MSBS เป็น "0" อินพุทก็จะมาปรากฏที่แอดเดรสบิททั้งหมดและใช้เป็นแอดเดรสเริ่มต้นสำรับวงรอบการบันทึกและเล่นกลับและขาแอดเดรสจะเกิดการแลตช์โดยขอบขาลงของพัลส์ที่ขา CE และถ้า MSBS มีสถานะเป็น "1" ขาแอดเดรส / โหมดอินพุทจะม่าขึ้นอยู่ที่โหมดบิททั้งหมดและเกิดการแลทช์เมื่อพัลส์ขอบขาลงปรากฏที่ขา CE

External Clock Input (XCLK)

ขา 26 เป็นขารับสัญญาณนาฬิกาจากภายนอกเพื่อกำหนดค่าความถี่สัญญาณนาฬิกาในการสุ่มสัญญาณ แต่โดยปกติได้ระบุไว้ว่าสัญญาณนาฬิกาการสุ่มสัญญาณถูกกำหนดไว้ภายในแล้วซึ่งจะไม่ขึ้นกับอุณหภูมิภายนอกหรือย่านแรงดันไฟเลี้ยงที่ไม่คงที่การใช้งานปกติแล้วจะต่อขา 26 นี้เข้ากับกราวด์ของไฟเลี้ยง

End-Of-Message / RUN output (EOM)

ขา 25 เป็นส่วนของอุปกรณ์ non - volatile ภายในตัวไอซีที่จะใช้กำหนดหรือระบุการสิ้นสุดของการเก็บข้อมูลที่ทำการบันทึก ขา EOM นี้จะให้เอาท์พุทออกมาเป็น "0" เมื่อข้อมูลที่ถูกบันทึกอยู่ถูกเล่นกลับออกมาหมดแล้ว

Overflow Output (OVF)

ขา 22 สัญญาณพัลส์ "0" จะปรากฏออกมาทางขาเอาท์พุทนี้เพื่อเป็นการแสดงว่าสิ้นสุดการเล่นกลับหรือหน่วยความจำภายในตัวไอซีได้ถูกนำออกมาหมดแล้วและจะแสดงเป็นสภาวะหยุดการเล่นกลับ พัลส์เอาท์พุทจากขา OVF นี้จะจ่ายให้กับขา CE อินพุทจนกว่าขา PD จะได้รับพัลส์เพื่อทำการรีเซทและเริ่มวงรอบการเล่นกลับใหม่อีกครั้ง พัลส์ที่ขา OVF นี้สามารถใช้เริ่มต้นการทำงานของ ISD2500 ในตัวถัดไปได้เมื่อถูกต่อคาสเคทกันอยู่หลายตัว

Auxiliarary Input (AUX IN)

ขา 11 จะเป็นขารับอินพุทจากภายนอกซึ่งเป็นการมัลติเพลกซ์สัญญาณผ่านออกไปทางเอาท์พุทของวงจรขยายภายในและขับออกสู่ขาเอาท์พุทลำโพง โดยขั้นตอนการทำงานนี้จะเกิดขึ้นเมื่อขา CE มีสถานะเป็น "1" วงรอบของการเล่นกลับก็จะสิ้นสุดลง หรือเมื่อสัญญาณที่บันทึกไว้ถูกเล่นกลับจนหมดสิ้นแล้วมีการต่อคาสเคท ISD 2500 กันหลายๆ ตัว ขา AUX IN จะถูกใช้ต่อเข้ากับสัญญาณเล่นกลับที่ออกมาจากขาเอาท์พุทลำโพงของตัวก่อนหน้านี้หรือจากตัวอันดับแรก

Voltage Inputs (V_{CCA} , V_{CCD})

ขา 16 และ 28 เป็นขารับแรงดันที่จะต้องแยกกันต่างหากระหว่างขารับแรงดันของวงจรอะนาลอกและวงจรดิจิตอล ที่ประกอบอยู่ภายในตัวไอซีแล้ว ขารับแรงดันต้องการแรงดันไฟเลี้ยง +15 โวลท์ และต้องเป็นแรงดันไฟเลี้ยงที่มีสัญญาณรบกวนต่ำมาก

Ground Inputs (V_{SSA} , V_{SSD})

ขา 12 และขา 13 โดยคุณสมบัติของไอซีในตระกูล ISD 2500 จะมีการแยกกันระหว่างกราวด์ของสัญญาณอะนาลอกและกราวด์ของสัญญาณดิจิตอล ขากราวด์ทั้งสองนี้จะถูกต่อและปิดไว้ภายในตัวถังบรรจุของไอซี การใช้งานขากราวด์ทั้งสองจะเลือกต่อกับกราวด์ของเพาเวอร์ซัพพลายในส่วนที่มีค่าอิมพีแดนซ์ต่ำเพื่อไม่ต้องการให้เกิดค่าแรงดันที่แตกต่างกันระหว่างกราวด์ทั้งสอง

2.4.3 **โหมดการทำงานของ ISD 2500 (Operation Mode)**

ISD2500 ได้รับการออกแบบให้ภายในบรรจุโหมดการทำงานหลายๆ โหมดเพื่อใช้งานร่วมกับส่วนประกอบอื่นๆ โหมดการทำงานเหล่านี้ได้อธิบายดังรายละเอียดข้างล่างนี้ ISD2500 จะใช้ขา addess แทนโหมดการทำงาน โดยมีบิทที่สำคัญที่สุด (MSB) คือ high ส่วนสัญญาณแอดเดรสส่วนที่เหลือจะถูกแปลงเป็นโหมดบิทและ NOT จะถูกแปลงเป็นแอดเดรสบิท เพราะฉะนั้นโหมดการทำงานและแอดเดรสโดยตรงของ ISD2500 จะไม่สอดคล้องกันและไม่สามารถที่จะใช้งานพร้อมกันได้ สำหรับโหมดการทำงานจะต้องพิจารณาส่วนสำคัญ 2 อย่างด้วยกันคือ อย่างแรกการเริ่มต้นการทำงานจะต้องเริ่มที่ address 0 จากนั้นจึงสามารถเริ่มต้นที่ตำแหน่งแอดเดรสอื่นๆ ได้ขึ้นอยู่กับการเลือกโหมดการทำงาน นอกจากนั้นตัวชี้แอดเดรสจะถูก reset

ไปที่ 0 เสมอเมื่ออุปกรณ์ถูกเปลี่ยนจากการบันทึกไปเป็นการเล่นกลับและจากการเล่นกลับไปเป็นการบันทึก (ยกเว้น โหมด M6) หรือเมื่อ Power Down Cycle จะถูกทำให้ทำงานอย่างที่สองโหมดการทำงานจะทำงานเมื่อ CE เป็น low และ MSB ทั้งสองเป็น high โหมดการทำงานนี้จะยังคงทำงานอยู่จนกว่าสัญญาณต่อไปของ CE เป็น low ที่แอดเดรสปัจจุบัน mode level ถูกสุ่มตัวอย่างและทำให้ทำงาน

การอธิบายโหมดการทำงาน (Operational Mode Description)

โหมดการทำงานสามารถต่อรวมกับไมโครคอนโทรลเลอร์ได้หรือสามารถใช้เป็น hardware ให้กับการทำงานของระบบที่เราต้องการได้

ตารางโหมดการทำงาน

โหมดควบคุม	หน้าที่	การใช้	ต่อใช้ร่วมกับ
M0	massage cueing	ข้อความเคลื่อนที่ไปข้างหน้าอย่างรวดเร็ว	M4,M5,M6
M1	delete EOM markers	ตำแหน่ง EOM ที่จุดปลายของข้อความที่แล้ว	M3,M4,M5,M6
M2	not applicable	สำรอง	N/A
M3	looping	การเล่นกลับแบบต่อเนื่องจาแอดเดรส	M1,M5,M6
M4	consecutiveaddressing	บันทึก/ เล่นติดต่อกันหลายข้อความ	M0,M1,M5
M5	CE level-activated	ยอมให้หยุดข้อความ	M0,M1,M3,M4
M6	push-puttom control	อินเตอร์เฟสกับอุปกรณ์อื่น	M0,M1,M3

M0 - Message cueing

Message cueing ยอมให้ผู้ใช้งานสามารถข้ามผ่านข้อความโดยที่ไม่ต้องรู้ถึง Physical ที่แท้จริงของแต่ละข้อความได้ CE low pulse แต่ละ pulse เป็นเหตุที่ทำให้ตัวชี้ตำแหน่งแอดเดรสภายในข้ามผ่านไปยังตัวข้อความตัวต่อไป โหมดนี้ควรจะใช้สำหรับการเล่นกลับเท่านั้นและใช้ร่วมกับโหมดการทำงาน M4

M1- Delete EOM Markers

โหมดการทำงาน M1 จะยินยอมให้ข้อความที่ได้รับการบันทึกตามลำดับรวมกันให้กลายมาเป็นข้อความๆ เดียวได้โดยเพียงตั้ง EOM Markers ที่ปลายข้อความที่นำมารวมกัน

M2 - Unused

เมื่อโหมดการทำงานโหมดนี้ถูกเลือกใช้ขา M2 จะต้องเป็น low

M3-Message Looping

โหมดการทำงาน M3 ใช้สำหรับการเล่นกลับซ้ำอย่างต่อเนื่องแบบอัตโนมัติของข้อความที่อยู่ที่ตำแหน่งเริ่มต้นของแอดเดรสว่างเมื่อข้อความ CAN บรรจุลงใน ISD2500 อย่างสมบูรณ์แล้ว จะลูปจากจุดเริ่มต้นไปจุดสุดท้ายโดยที่ OVF ไม่เป็น low

M4-Consecutive Addressing

ระหว่างการทำงานในขณะปกติตัวชี้แอดเดรสจะรีเซทเมื่อข้อความถูกเล่นผ่านไปที่ EOM marker โหมดการทำงาน M4 จะกีดกันการรีเซทของตัวชี้แอดเดรสบน EOM และไม่ยอมให้ข้อความถูกเล่นกลับแบบเรียงลำดับ

M5-CE level Activated

Default mode สำหรับ ISD2500 ใช้เพื่อทำให้ CE กลายเป็น edge-activated บนการบันทึก โหมดการทำงาน M5 จะเป็นเหตุที่ทำให้ขา CE ถูกแปลงไปเป็น level-activated เพื่อที่จะไม่ให้กลายเป็น edge-activated ระหว่างการเล่นกลับในโหมดนี้ CE low จะเริ่ม playback cycle, CE high หยุด cycle และเมื่อเป็น CE low อีกครั้งจะเริ่มการเล่นที่จุดที่ซึ่งข้อความถูกทำให้หยุด โดยที่ไม่ต้องทำการรีเซทตัวชี้แอดเดรส

M6-push-buttom Mode

ชุดอุปกรณ์ ISD2500 บรรจุไปด้วยโหมดการทำงาน push-buttom โหมด push-buttom ขั้นต้นถูกประยุกต์ใช้กับต้นทุนต่ำและถูกออกแบบมาเพื่อใช้ลดอุปกรณ์ภายนอกและวงจรให้น้อยลงเป็นการช่วยลดราคาของระบบให้น้อยลง เพื่อที่จะจัดโครงสร้างของอุปกรณ์ในโหมดการทำงาน push-buttom บิทที่มีนัยสำคัญที่สุด 2 บิท(ขา 9 และขา 10) ต้องเป็น high และขาโหมด M6 ต้องเป็น high ด้วยอุปกรณ์ที่ใช้ในโหมดนี้ power จะลดลงที่จุดปลายของการเล่นกลับแต่ละครั้ง หรือตอนบันทึกภายหลัง CE เป็น high

ขา 23 : CE (start/pause)

ในโหมดการทำงานแบบ push- buttom ขา CE จะทำงานเป็น low-going pulse - activated start/pause signal ถ้าไม่ทำงานบนสัญญาณนี้จะเริ่มการเล่นกลับหรือเริ่มการบันทึกตามระดับบนขา P/R พัลส์ต่อมาบนขา CE ก่อนจะถึง End of message ในตอนเล่นกลับ หรือเกิดการ overflow จะเป็นเหตุให้อุปกรณ์หยุดทำงาน address counter จะไม่รีเซทและ CE อื่นๆ จะเป็นเหตุที่ทำให้อุปกรณ์ทำงานต่อไปจากจุดที่ซึ่งมันถูกทำให้หยุด

ขา 24 : PD (stop/reset)

ในโหมดการทำงานแบบ push-buttom ขา PD จะทำงานเป็น HIGH - going pulse - activated STOP/RESET ในขณะที่ทำการเล่นกลับหรือบันทึกมารถสังเกตุดูได้บน PD

ขา 25: EOM (run)

ในโหมด EOM นี้จะกลายเป็น active - high run signal ซึ่งสามารถนำไปใช้เพื่อขับ LED หรืออุปกรณ์ภายนอกอื่นๆ มันจะเป็น high เมื่อใดก็ตามที่มีการบันทึกหรือเล่นกลับ

การบันทึกในโหมด push - buttom

1. ขา PD ควรเป็น low โดยปกติจะใช้ pulldown resister
2. ขา P/R ทำให้เป็น low
3. ขา CE เป็น low เมื่อเริ่มการบันทึก EOM เป็น high เพื่อที่จะแสดงการทำงาน
4. ขา CE เป็น low เมื่อหยุดการบันทึก EOM กลับไปเป็น low ตัวชี้แอดเดรสภายในจะไม่เคลียร์แต่ EOM marker จะถูกเก็บไว้ในหน่วยความจำเพื่อที่จะชี้จุดสิ้นสุดของข้อความและขา P/R อาจจะเป็น high เกิดขึ้นในขณะนั้น ต่อมา CE จะเริ่มเล่นกลับที่แอดเดรส 0
5. ขา CE เป็น low การบันทึกเริ่มต้นที่แอดเดรสต่อไป EOM กลับไปเป็น high (หมายเหตุ: ถ้าขาโหมดการทำงาน M1 เป็น high บิท EOM ที่ได้เขียนครั้งที่แล้วจะถูกลบและการบันทึกจะเริ่มต้นที่แอดเดรสนั้น)
6. เมื่อการบันทึกต่อๆ มาเสร็จสิ้นลง final CE push low จะสิ้นสุดครั้งที่แล้ว record cycle ครั้งที่แล้ว

การเล่นกลับในโหมด push- buttom

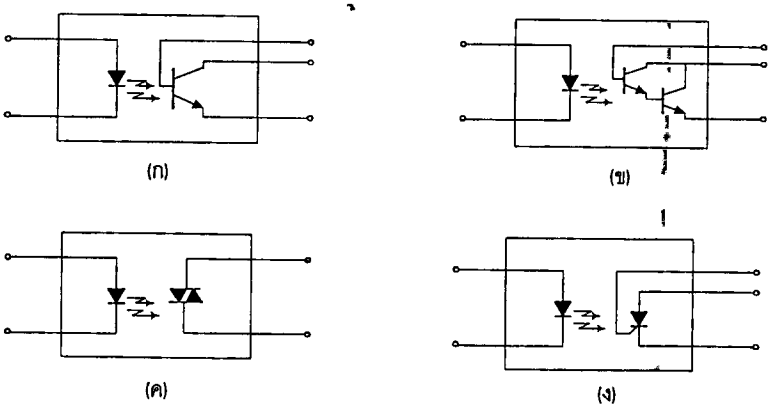
1. ขา PD ควรจะเป็น low
2. ขา P/R เป็น high
3. ขา CE เป็น low การเล่นกลับเริ่มต้น EOM เป็น high เพื่อแสดงการทำงาน
4. ถ้าขา CE เป็น low หรือ EOM marker กระทำอีกครั้งระหว่างการทำงานเมื่อ EOM กลับไปเป็น low ขา P/R อาจจะถูกทำให้เปลี่ยนไป
5. ขา CE เป็น low อีกครั้ง การเล่นกลับจะเริ่มต้น
6. การเล่นกลับจะกระทำจากข้อ 4และ 5 จนกว่า PD จะเป็น high หรือเกิดการ overflow เกิดขึ้น
7. ถ้าเกิดการ overflow CE low จะรีเซทตัวชี้แอดเดรส และจะเริ่มต้นการเล่นกลับจากจุดเริ่มต้นหลังจาก PD pulse

หมายเหตุ โหมด push - buttom สามารถต่อใช้ร่วมกับโหมด M0, M1 และ M3 ได้

2.5 การเชื่อมโยงทางแสง

อุปกรณ์เชื่อมโยงทางแสง (optocoupler) หรือตัวแยกโดยใช้แสง เป็นอุปกรณ์ที่มีคุณสมบัติในการไอโซเลท ทำให้สามารถนำมาใช้ในการเชื่อมโยงสัญญาณต่างๆ ของวงจรที่มีกราวด์ต่างกัน สามารถป้องกันการรบกวนซึ่งกันและกัน ระหว่างภาคอินพุทกับเอาท์พุทได้อย่างเด็ดขาด ซึ่งการคัพปลิ้งด้วยวิธีอื่นๆ จะทำไม่ได้ จึงได้นำเอาออปโต้คัพเปลอร์มาประยุกต์ใช้งานในวงจร เพื่อประสิทธิภาพการทำงานและความน่าเชื่อถือของวงจร

ออปโต้คัพเปลอร์ เป็นอุปกรณ์เดี่ยวที่ประกอบด้วยแหล่งกำเนิดแสงและตัวตรวจรับแสง โดยที่ทั้งสองส่วนนี้จะแยกจากกันและกัน มีฉนวนที่โปร่งใส เช่นกระจกชิ้นบางๆ คั่นกลาง และชิ้นส่วนทั้งหมดจะถูกบรรจุอยู่ในตัวถังทึบแสง รูปร่างภายนอกมีอยู่หลายแบบ แต่ที่พบเห็นบ่อยๆ ส่วนมากจะมีตัวถังเป็นแบบดิพ (DIP: Dual in - Line Package) เหมือนไอซี แต่มี 6 ขา แหล่งกำเนิดแสงส่วนใหญ่จะใช้ไดโอดเปล่งแสงอินฟาเรด (IRED : Infrared Emitter Diode) ทำจากสารแกลเลี่ยมอาร์เซไนด์ (GaAs) ส่วนตัวตรวจรับหรืออุปกรณ์ภาคเอาท์พุทนั้น อาจจะเป็นโฟโต้ทรานซิสเตอร์ , โฟโตดาร์ลิงตัน, สวิทช์สองทิศทางซึ่งทำงานเมื่อมีแสงมากระตุ้น และ SCR ที่ถูกกระตุ้นด้วยแสงเป็นต้น รูปที่ 2.14 แสดงสัญญลักษณ์ของวงจรชนิดต่างๆ ดังที่กล่าวมาแล้วข้างต้น ถึงแม้ว่าจะมีหลายชนิดมากกว่านี้ แต่ที่แสดงให้เห็นดังรูปเป็นแบบที่พบเห็นกันบ่อยๆ



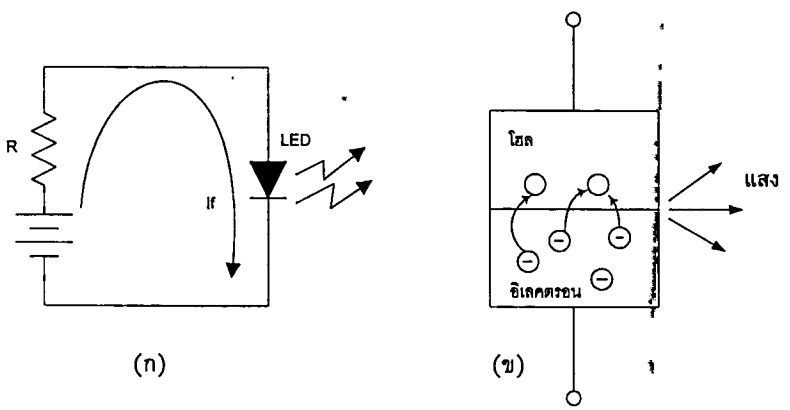
รูปที่ 2.14 แสดงสัญญลักษณ์ของออปโต้คัปเปลอร์

(ก) แบบมีเอาท์พุทเป็นโฟโต้ทรานซิสเตอร์ (ข) แบบมีเอาท์พุทเป็นโฟโต้ดาร์ลิงตัน

(ค) แบบมีเอาท์พุทเป็นโฟโต้ไดแอค (ง) แบบมีเอาท์พุทเป็นโฟโต้เอสซีอาร์

ออปโต้คัพเปลอร์หรือออปโต้ไอโซเลทเตอร์ ได้รับการออกแบบไว้ให้ทำการป้องกันอุปกรณ์อิเลคทรอนิคส์ ไม่ให้ได้รับแรงดันกระชากสูงๆ หรือคุ้มครองระดับนอยส์ต่ำๆ ซึ่งเป็นต้นเหตุให้เกิดเอาท์พุทไม่ถูกต้อง หรือทำให้เกิดคลื่นผิดพลาดขึ้นมา ออปโต้คัพเปลอร์เป็นอุปกรณ์ที่ทำให้สามารถเชื่อมต่อกับอุปกรณ์ตัวอื่นๆ ที่มีระดับลอจิกแตกต่างกัน ในออปโต้คัพเปลอร์สัญญาณอินพุทจะถูกเปลี่ยนเป็นพลังงานแสง เพราะมี LED ที่อยู่ภายใน พลังงานจึงถูงส่งไปยังโฟโต้ดีเทคเตอร์ ดังนั้นมันจึงทำงานตรงกับพลังงานของแสงที่ได้จาก LED และมีสเปคตามอัตราส่วนการส่งผ่านกระแส (CURRENT - TRANSFER RATIO ; CTR) กับ Isolation voltage เป็นอัตราส่วนระหว่างกระแสอินพุทต่อกระแสเอาท์พุท ซึ่งเป็นค่าวัดความสามารถของออปโต้คัพเปลอร์ในเรื่องความสามารถให้สัญญาณอินพุทถูกส่งไปยังเอาท์พุทอย่างมีประสิทธิภาพ ซึ่งจะขึ้นอยู่กับประสิทธิภาพของ IRED ช่องว่างระหว่างชิ้นส่วนทางอินพุทและเอาท์พุทรวมทั้งพื้นที่ ความไว และอัตราขยายของตัวตรวจรับ สำหรับ Isoltion voltage ของออปโต้คัพเปลอร์ คือ ปริมาณแรงดันที่ออปโต้คัพเปลอร์สามารถทำงานได้อย่างปลอดภัย

เมื่อมีกระแสไหลผ่าน IRED ของออปโต้คัพเปลอร์ ในลักษณะไบแอสตรงจนมีอิเลคตรอนส่วนเกินกระโดดข้าม รอยต่อไปรวมกับโฮล ในขณะเดียวกันก็ได้ปล่อยพลังงานโฟตอนหรือแสงออกมาดังรูป 2.14 แสงที่ได้เป็นแสงอินฟาเรด เพราะสารกึ่งตัวนำทำด้วยสารแกลเลี่ยมอาร์เซไนด์ ตัวแปรอินพุททางด้านไฟฟ้ากระแสตรงเป็นตัวกำหนดตัวแปรทางด้านไฟฟ้าของไดโอดเปล่งแสงอินฟาเรด ได้แก่กระแสของไดโอดเมื่อได้รับไบแอสตรง (I_F) แรงดันตกคล่อมไดโอดเมื่อได้รับไบแอสตรง (V_F) และแรงดันสูงสุดที่ทนได้ เมื่อได้รับไบแอสกลับ



รูปที่ 2.15 (ก) แสงที่เกิดขึ้นหลังจากมีกระแสไบอัสตรงไหลผ่าน

(ข) อิเลคตรอนส่วนเกินข้ามรอยต่อไปรวมกับโฮลพร้อมกับเปล่งแสงออกมา

เนื่องจากตัวแปรเอาท์พุททางด้านไฟฟ้ากระแสตรง และตัวแปรส่งถ่าย (Trahsfer parameter) นั้นจะแตกต่างกันโดยขึ้นอยู่กับชนิดของชิ้นส่วนที่เป็นตัวตรวจรับที่ใช้ในออปโต้คัพเปลอร์ ซึ่งมีรายละเอียดแตกต่างกันขึ้นอยู่กับตัวตรวจรับนั้นๆ ตัวอย่างเช่น

2.5.1 **ทรานซิสเตอร์คัพเปลอร์** (Transister coupler)

อุปกรณ์ประเภทนี้ได้รับความนิยมมากที่สุด มีความไวระดับกลางมีราคาถูก ตรงจุดเชื่อมต่อ (จังชั่น) ภายในระหว่างคอลเลคเตอร์ - เบส ของทรานซิสเตอร์สามารถเอาสายมาต่อข้างนอกให้ทำหน้าที่เป็นโฟโต้ไดโอด ซึ่งมีความเร็วในการทำงานสูงยิ่งไปกว่าเดิม

2.5.2 **ดาร์ลิงตันทรานซิสเตอร์คัพเปลอร์** (Darlington Transistor Coupler)

อุปกรณ์ประเภทนี้ให้อัตราส่วนการส่งกระแส หรือมีเกนการขยายสูงสามารถให้กระแสเอาท์พุทเพิ่มขึ้น ซึ่งจะได้เกนขยายสูงเป็น 10 เท่า แต่ความเร็วในการทำงานจะช้ากว่า 10 เท่า ของการใช้ทรานซิสเตอร์ตัวเดียว

ออปโต้แบบทรานซิสเตอร์คัพเปลอร์ และแบบดาร์ลิงตันทรานซิสเตอร์คัพเปลอร์นั้นมีหลักการทำงานเหมือนกัน รอยต่อระหว่างขาคอลเลคเตอร์กับขาเบสถูกทำให้กว้างขึ้น แสงที่ตกกระทบรอยต่อจะทำให้เกิดคู่ของอิเลคตรอนและโฮลขึ้นมาเกิดการนำกระแสได้ตัวแปรสำหรับออปโต้แบบทรานซิสเตอร์คัพเปลอร์ และแบบดาร์ลิงตันทรานซิสเตอร์คัพเปลอร์มีดังนี้

I_c : เป็นกระแสสูงสุดที่ไหลต่อเนื่องผ่านขาคอลเลคเตอร์ (เอาท์พุท)

$V_{(BR)CBO}$: เป็นแรงดันพังทลายสูงสุดจากขาคอลเลคเตอร์ไปยังขาเบส

$V_{(BR)CEo}$: เป็นเรงดันพังทลายสูงสุดจากขาคอลเลคเตอร์ไปยังขาอีมิตเตอร์

$V_{(BR)ECO}$: เป็นแรงดันพังทลายสูงสุดจากขาอีมิตเตอร์ไปยังขาคอลเลคเตอร์

$CTR_{(n)}$: เป็นอัตราส่วน(เป็นเปอร์เซ็นต์) ต่ำสุดระหว่างกระแสเอาท์พุทของคอลเลคเตอร์สูงสุดต่อกระแสไดโอดที่ค่า V_{CE} และ I_F ที่กำหนด

$V_{CE\ (sat)}$: เป็นแรงดันดิ่มตัวระหว่างขาคอลเลคเตอร์และขาอีมิตเตอร์

2.5.3 **ออปโต้คัพเปลอร์ที่ใช้สวิทซ์สองทิศทางหรือไตรแอค** (Triac)

ทำงานเมื่อมีแสงมากระตุ้นเป็นภาคเอาท์พุท ถูกออกแบบมาสำหรับใช้ในงานซึ่งต้องการการแยกการทริกหรือกระตุ้นตัวไตรแอค การแยกการสวิทซ์ทางด้านไฟฟ้ากระแสสลับที่มีขนาดกระแสต่ำ และการแยกกันทางไฟฟ้ามีค่าสูง อุปกรณ์ชนิดนี้มีตัวแปรที่สำคัญคือ

$I_{T(RMS)}$: เป็นค่ากระแส RMS สูงสุด ขณะอยู่ในสถานะที่ทำงาน (On State)

V_{DRM} : เป็นค่าแรงดันซ้ำๆ ระหว่างขั้วเอาท์พุทเมื่ออยู่ในสถานะหยุดทำงาน

(repetitive off - state out - put terminal voltage)

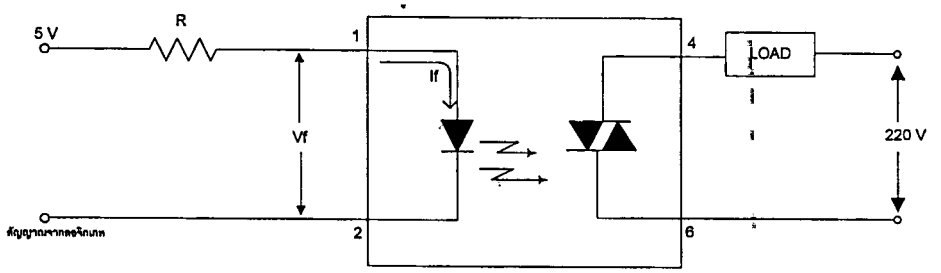
V_{TM} : เป็นแรงดันยอดสูงสุด (peak voltage) เมื่ออยู่ในสถานะที่ทำงาน

I_{FT} : เป็นค่ากระแสกระตุ้นไดโอดเปล่งแสงอินฟาเรดสูงสุด ซึ่งต้องการใช้เพื่อคงสถานะให้เอาท์พุทค้าง (Latch) ไว้

I_H : เป็นค่ากระแสยึด (holding current) ซึ่งต้องการสำหรับเอาท์พุทเพื่อที่จะคงสถานะค้างเอาไว้ได้

2.5.4 การประยุกต์ใช้งานในการไปใช้ควบคุมโหลด

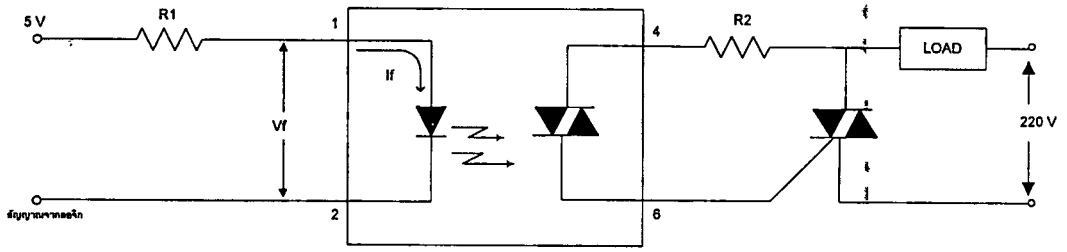
ในโครงงานนี้ได้นำเอาออปโต้แบบไตรแอคคัพเปลอร์มาใช้ควบคุมโหลดที่เป็นไปสลับ 220 โวลท์ แทนการใช้รีเลย์และการควบคุมปราศจากข้อยุ่งยากเหมือนวงจรที่ออกแบบโดยใช้รีเลย์ ดังนั้นจึงขอกล่าวถึงเฉพาะการนำเอาออปโต้แบบไตรแอคคัพเปลอร์มาประยุกต์ใช้งานเท่านั้น



รูปที่ 2.16 แสดงวงจรที่ใช้ควบคุมกำลังงานของไฟฟ้ากระแสสลับ

จากรูปที่ 2.16 แสดงการใช้ MOC 3020 ในการสวิทช์เปิด - ปิด กระแสผ่านโหลดที่ต้องการกำลังงานจากไฟฟ้ากระแสสลับเพียงเล็กน้อย เมื่อเอาท์พุทจากลอจิกเกทมีค่าเป็นลอจิก "0" กระแสจะไหล

ผ่านไดโอดเปล่งแสงอินฟาเรดจะทำให้ไดโอดปล่อยแสงไปกระตุ้นไดแอคให้นำกระแสไฟฟ้าสลับ และเมื่อเอาท์พุทของลอจิกเกทซึ่งป้อนเข้าสู่ออปโต้มีค่าเป็นลอจิก "1" จะทำให้ไม่มีกระแสไหลผ่านไดโอดอินฟาเรดจะทำให้ไดแอคหยุดนำกระแส จากรูปที่ 2.16 จะใช้ได้กับโหลดที่ใช้กระแสน้อยๆ เท่านั้น เพราะไดแอคขนาดเล็กสามารถทนกระแสได้น้อย ซึ่งน้อยเกินไปที่จะใช้ควบคุมอุปกรณ์ไฟฟ้าได้ แต่ก็เหมาะสมที่จะนำมาสร้างสัญญาณทริกเกอร์ไตรแอคกำลังงานสูงนอกวงจรเพื่อให้ใช้ควบคุมอุปกรณ์ไฟฟ้าที่ต้องการกระแสสูงๆ ได้



รูปที่ 2.17 แสดงวงจรที่ใช้ควบคุมกำลังงานของไฟฟ้ากระแสสลับที่มีค่าสูงๆ

2.6 ความรู้เบื้องต้นเกี่ยวกับโทรศัพท์

การสื่อสารปัจจุบันนี้ได้เข้ามามีบทบาทเป็นอย่างมากในชีวิตประจำวันเรียกได้ว่าจะต้องมีการติดต่อสื่อสารกันตลอดเวลาก็ว่าได้ จะขอกล่าวพอเป็นความรู้เบื้องต้นเกี่ยวกับเรื่องโทรศัพท์ที่เกี่ยวข้องกับโครงงานนี้เท่านั้น ส่วนความรู้เรื่องเครื่องโทรศัพท์ระบบอื่นๆ เช่นเครื่องโทรศัพท์แบบมือถือจะไม่ขอกล่าวถึงเพราะไม่สามารถนำมาใช้กับโครงงานนี้ได้ โดยโครงงานนี้จะใช้กับโทรศัพท์แบบพื้นฐานเท่านั้น

เครื่องรับโทรศัพท์เป็นอุปกรณ์โทรคมนาคมที่ใช้ในการติดต่อสื่อสารได้สะดวกรวดเร็วและให้ข่าวสารที่ชัดเจน ฉับไว ค่าใช้จ่ายถูก เป็นที่นิยมใช้กันอย่างแพร่หลายเป็นจำนวนมาก ซึ่งปัจจุบันมีผู้ผลิตเครื่องรับโทรศัพท์ออกมาจำหน่ายมากมายหลายยี่ห้อทั้งรูปลักษณ์ และราคา ตลอดจนหน้าที่พิเศษที่แตกต่างกันออกไป ผู้ใช้สามารถหาเลือกซื้อใช้ได้ตามความต้องการ และระบบโทรศัพท์ก็จัดว่าเป็นระบบสื่อสารที่ใกล้ตัวเรามาก โทรศัพท์ที่เห็นกันทั่วๆ ไปมีอยู่ 2 แบบคือแบบหมุน (rotaing type) และแบบสัญญาณความถี่คู่ (dual tone multifreqency type) หรือที่เรียกอีกอย่างหนึ่งว่าระบบกดปุ่ม ซึ่งโทรศัพท์แบบหมุนเป็นระบบโทรศัพท์ที่ใช้กันดั้งเดิมตั้งแต่แรกเริ่ม ซึ่งในปัจจุบันกำลังจะเลิกใช้แล้ว ยังคงมีใช้งานอยู่บ้างแต่ก็เป็นเพียงส่วนน้อยเท่านั้น และอีกไม่นานก็คงจะเลิกใช้ไป ปัจจุบันระบบกดปุ่มนิยมใช้กันมาก หน้าที่ของระบบโทรศัพท์ทั้ง 2 ระบบจะมีลักษณะเหมือนๆ กัน จะต่างกันตรงที่แบบกดปุ่มจะส่งสัญญาณออกไปเป็นความถี่ที่แตกต่างกัน 2 ความถี่ ส่วนระบบหมุนจะส่งสัญญาณเป็นจำนวนพัลส์ หน้าที่หลักๆ ของโทรศัพท์ทั้ง 2 แบบที่เหมือนกันสามารถสรุปได้ดังนี้

-เครื่องโทรศัพท์จะทำให้ชุมสายโทรศัพท์รับรู้ว่ามีผู้ต้องการใช้โทรศัพท์เมื่อมีการยกหูโทรศัพท์ขึ้น

-เครื่องโทรศัพ์จะได้รับสัญญาณหมุน (dial tone) ที่ส่งมาจากชุมสายเพื่อบอกให้ผู้ใช้โทรศัพท์รู้ว่าพร้อมที่จะให้ทำการกดหรือหมุนหมายเลขที่จะติดต่อได้ ซึ่งก็คือเสียงที่ได้ยินเมื่อเวลายกหูโทรศัพท์ เป็นสัญญาณเสียงที่มีความถี่ 440 - 425 เฮิรตซ์ ดังต่อเนื่องกันไป

-เครื่องโทรศัพท์จะทำหน้าที่ส่งรหัสหมายเลขที่ผู้เรียกต้องการจะติดต่อด้วยไปยังชุมสายโทรศัพท์ด้วยการกดปุ่มหมายเลขหรือหมุนหมายเลขที่เราต้องการจะติดต่อ

-เครื่องโทรศัพท์จะส่งสัญญาณบอกผู้เรียกว่า หมายเลขที่ต้องการติดต่อด้วยว่างหรือไม่ ถ้าว่างก็จะส่งสัญญาณกลับ (ring back) ที่ความถี่ 425 เฮิรตซ์ โดยจะดัง 1 วินาทีแล้วเงียบ 4 วินาที สลับกันไป แต่ถ้าหมายเลขที่ต้องการจะเรียกไม่ว่าง (busy) ก็จะส่งสัญญาณความถี่ 425 เฮิรตซ์ โดยจะดังเป็นช่วงๆ 0.5 วินาที และหยุด 0.5 วินาที

-เครื่องโทรศัพท์ทางด้านส่งจะเปลี่ยนรูปพลังงานเสียงเป็นสัญญาณไฟฟ้า และทางด้านรับจะเปลี่ยนสัญญาณไฟฟ้ากลับมาเป็นสัญญาณเสียงอีกครั้งหนึ่ง

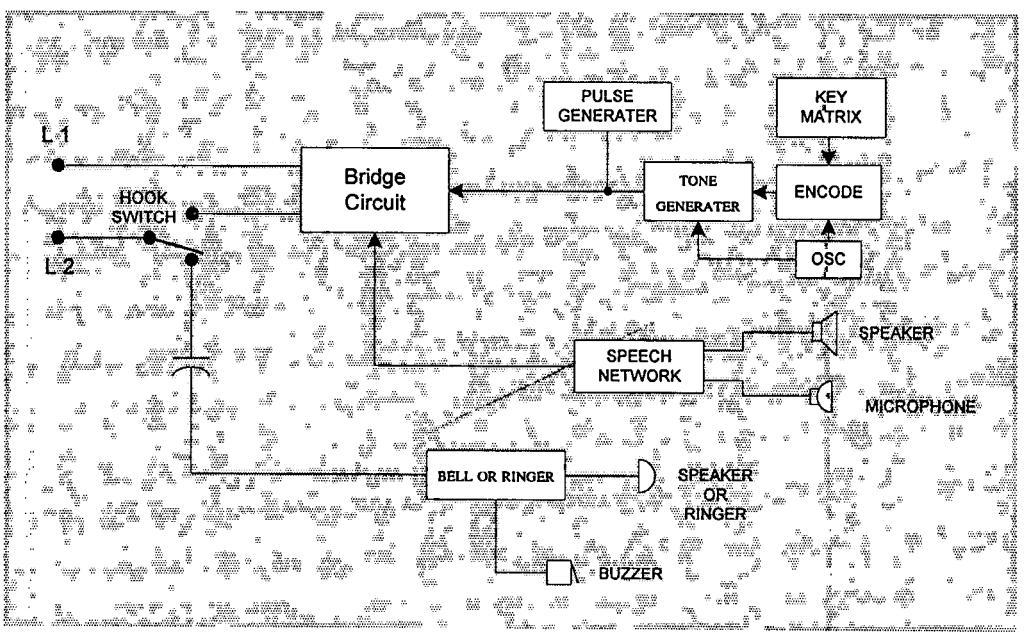
-เครื่องโทรศัพท์จะส่งสัญญาณเสียงเรียก (ringer) เมื่อมีผู้เรียกเข้ามายังเครื่องโทรศัพท์ การส่งเสียงเรียกจะเป็นสัญญาณกระดิ่ง หรือสัญญาณลักษณะใดก็ขึ้นอยู่กับเครื่องโทรศัพท์นั้นๆ จะออกแบบมา

-เครื่องโทรศัพท์จะส่งสัญญาณไปยังชุมสายเมื่อเราวางหูโทรศัพท์เพื่อแจ้งให้ทราบว่าสิ้นสุดการใช้งานแล้ว และให้ชุมสายเลิกทำการติดต่อกับอีกฝ่ายหนึ่งได้

2.6.1 การทำงานของเครื่องโทรศัพท์

ในรูปที่ 2.18 เป็นบล็อกไดอะแกรมของส่วนต่างๆ ที่จำเป็นในเครื่องโทรศัพท์ โดยการทำงานของเครื่องโทรศัพท์พอจะอธิบายได้ดังนี้

เครื่องโทรศัพท์จะเชื่อมต่อกับชุมสายโทรศัพท์ด้วยสาย L1 และสาย L2 วงจรแรกที่เชื่อมต่อระหว่างวงจรในเครื่องรับโทรศัพท์กับอุปกรณ์ของชุมสายก็คือวงจรกำเนิดเสียงเรียก (bell or ringer) ซึ่งจะส่งสัญญาณเรียก (ringing signal) เมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงก็คือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ ฮุกสวิตช์ (hook switch) จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังฮุกสวิตช์ได้ ดังนั้นถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากฮุกสวิตช์ ก็จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามา วงจรเสียงเรียกนี้จึงต่อกับชุมสายโทรศัพท์โดยตรงเมื่อเราวางหูโทรศัพท์ลงบนฮุกสวิตช์ เมื่อมีสัญญาณเรียกเข้ามาจากชุมสายโทรศัพท์สัญญาณเรียกก็จะผ่านฮุกสวิตช์เข้าไปยังวงจรกำเนิดเสียงเรียก ทำให้วงจรเสียงเรียกทำงานส่วนที่เป็นลำโพง หรือบัสเซอร์ ก็จะดังขึ้น เมื่อเรายกหูรับโทรศัพท์ก็จะทำให้ฮุกสวิตช์ตัดวงจรเสียงเรียกออก และฮุกสวิตช์ก็จะต่อเข้ากับวงจรเสียงพูด (speech network) แทน



รูปที่ 2.18 แสดงบล็อกไดอะแกรมของเครื่องโทรศัพท์

วงจรกำเนิดเสียงพูด จะทำหน้าที่เปลี่ยนสัญญาณเสียงพูดให้เป็นสัญญาณไฟฟ้าเพื่อส่งไปยังด้านรับฝ่ายตรงข้าม และจะทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าที่รับเข้ามาจากฝ่ายตรงข้ามให้เป็นสัญญาณเสียงพูด วงจรในส่วนนี้จะประกอบด้วยวงจรที่จะใช้ควบคุมเสียงพูดให้ย้อนกลับไปยังหูฟังของผู้พูดให้มีความแรงของสัญญาณพอดี (side tone control) ในเวลาที่เราพูดโทรศัพท์เข้าทางไมโครโฟนเราก็จะได้ยินเสียงของเราเองออกทางทางหูฟังด้วยเพื่อให้เราทราบว่าเสียงที่เราพูดนั้นแรงหรือค่อยเท่าใด วงจรในส่วนควบคุมนี้จะเป็นการควบคุมเสียงพูดของเราเองไม่ให้ออกทางหูฟังของเราแรงมากเกินไป เพราะถ้าดังแรงเกินไปจะเกิดการรำคาญและยังจะกลบเสียงพูดของฝ่ายตรงข้ามด้วย และไม่ให้เสียงที่ย้อนกลับมายังหูฟังของเราค่อยเกินไป เพราะถ้าสัญญาณที่ย้อนกลับไปยังหูฟังค่อยเกินไปจะทำให้ผู้พูดโทรศัพท์คิดว่าตัวเองพูดค่อย ก็จะทำให้ผู้พูดตะโกนเสียงดังมากขึ้นทำให้ผู้รับฝ่ายตรงข้ามได้ยินเสียงดังเกินไป

วงจรกำเนิดสัญญาณพัลส์ (pulse generater) ทำหน้าที่กำเนิดสัญญาณพัลส์เพื่อส่งเลขหมายที่เรากดไปให้กับชุมสายโทรศัพท์ที่เป็นระบบพัลส์

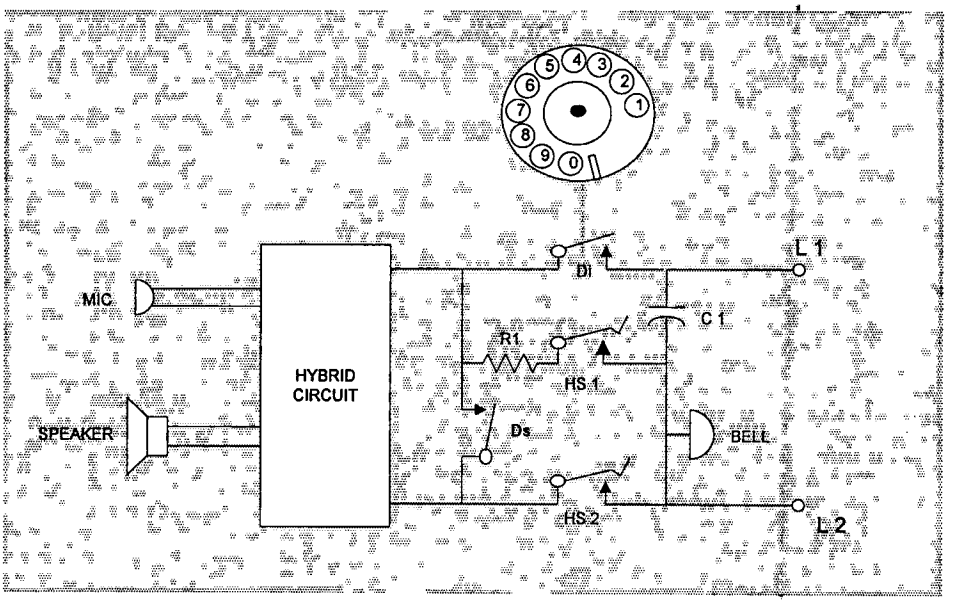
วงจรกำเนิดความถี่ (frequency generation) จะทำหน้าที่กำเนิดความถี่คู่ เพื่อทำหน้าที่ส่งเลขหมายไปให้ชุมสายโทรศัพท์แบบความถี่คู่หรือที่เรียกว่า DTMF (Dual Tone Multi- Frequency) เมื่อชุมสายโทรศัพท์ได้รับเลขหมายของผู้ถูกเรียกปลายทางแล้ว ก็จะดำเนินการจัดหาเส้นทางเชื่อมต่อเครื่องรับโทรศัพท์ของผู้ถูกเรียกปลายทางให้ จากนั้นจะส่งสัญญาณให้ผู้เรียกได้รับรู้ (ring back tone) และส่งสัญญาณเรียก (ringing) ไปให้ผู้ถูกเรียกปลายทางต่อไป

ส่วนวจร ไฮบริด (Hybridge) จะทำหน้าที่เป็นตัวเชื่อมต่อคู่สายโทรศัพท์เข้ากับวงจรในส่วนอื่นๆ จะทำหน้าที่เป็นวงจรปรับความสมดุลของอิมพีแดนซ์ (matching impedance) คือทำหน้าที่ปรับอิมพีแดนซ์ของเครื่องรับโทรศัพท์ให้สมดุลย์กับคู่สายโทรศัพท์ ซึ่งโดยปกติจะมีอิมพีแดนซ์ 600 โอห์ม

เมื่อมีการยกหูโทรศัพท์ขึ้น ฮุกสวิทช์จะปิดวงจรทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกันกระแสค่าเดียวกันนี้ ก็จะไหลผ่านวงจรเชื่อมต่อสายโทรศัพท์ที่ชุมสายด้วยเพื่อที่จะให้อุปกรณ์ต่างๆ ในชุมสายโทรศัพท์พร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายก็จะส่งสัญญาณหมุน (dial tone) ไปยังผู้ที่ยกหูโทรศัพท์ เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการจะติดต่อด้วยมายังชุมสายโทรศัพท์ หลังจากที่ชุมสายได้รับหมายเลขแรกที่ถูกส่งมาแล้ว ชุมสายโทรศัพท์ก็จะเลิกส่งสัญญาณหมุน ซึ่งกระบวนการช่วงนี้จะเกิดขึ้นอย่างรวดเร็ว การส่งหมายเลขโทรศัพท์ไปยังชุมสายนั้นสามารถกระทำได้ 2 วิธี วิธีแรกเป็นการส่งสัญญาณพัลส์ที่แสดงถึงค่าของหมายเลขต่างๆ ซึ่งจะใช้กับโทรศัพท์ระบบหมุน และอีกวิธีหนึ่งก็คือการส่งสัญญาณเป็นความถี่ต่างๆ กันโดยค่าของตัวเลขจะถูกแทนด้วยค่าความถี่ 2 ความถี่ที่มอดูเลทกันซึ่งจะใช้กับโทรศัพท์ระบบความถี่คู่

2.6.2 **ระบบโทรศัพท์แบบหมุน** (rotating type)

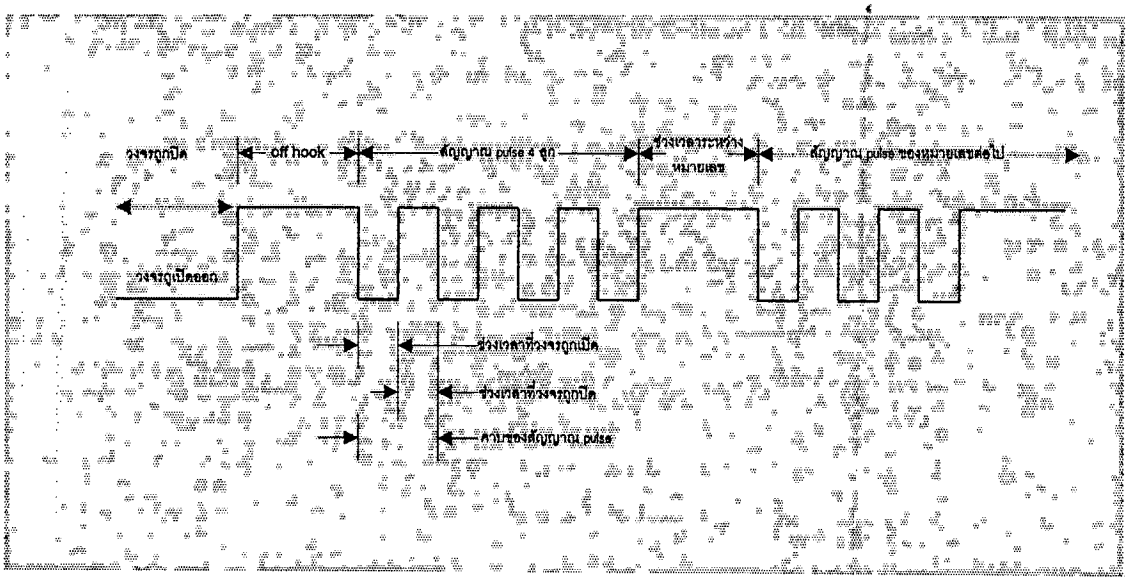
ในรูปที่ 2.19 จะเป็นวงจรที่ใช้การส่งหมายเลขโทรศัพท์ไปยังชุมสายโทรศัพท์โดยใช้วิธีการหมุนหน้าปัทม์ของเครื่องโทรศัพท์เพื่อกำเนิดเป็นสัญญาณพัลส์ส่งออกไป โทรศัพท์ระบบนี้เป็นระบบที่ใช้กันมาตั้งแต่ดั้งเดิมเมื่อเริ่มมีโทรศัพท์ใช้กัน ปัจจุบันนี้กำลังจะเลิกใช้แล้ว มีอยู่เพียงบางแห่งเท่านั้นที่ยังมีใช้อยู่



รูปที่ 2.19 แสดงวงจรโทรศัพท์แบบหมุนหมายเลข

จากรูปที่ 2.19 เป็นวงจรอย่างง่ายของเครื่องโทรศัพท์แบบหมุน การทำงานของวงจรในสภาพปกติเมื่อเราวางหูโทรศัพท์ไว้ ฮุกสวิทช์ (HS1,HS 2) จะเปิดวงจรออก ทำให้ไม่มีกระแสไหลไปยังวงจรในส่วนที่อยู่ถัดไปจะมีก็เพียงวงจรของสัญญาณกระดิ่งเท่านั้นที่ต่อเข้ากับสายโทรศัพท์ เมื่อมีสัญญาณเรียก (ringing) มาจากชุมสายกระแสก็จะไหลผ่านกระดิ่งจะทำให้เสียงกระดิ่งดัง และเมื่อเรายกหูโทรศัพท์ขึ้นหน้าสัมผัสของฮุกสวิทช์ ก็จะต่อวงจรเมื่อเราหมุนเลขหมายโทรศัพท์บนหน้าปัทม์จะทำให้ สวิทช์ D1 และ D2 ทำงาน โดยสวิทช์ D1 จะทำการตัดต่อวงจรเป็นจำนวนครั้งตามจำนวนตัวเลขที่เราหมุน โดยถ้าเราหมุนหมายเลข 1 สวิทช์ D1 ก็จะตัดวงจร 1 ครั้ง ถ้าเราหมุนหมายเลข 2 ก็จะทำการตัดต่อวงจร 2 ครั้ง ถ้าเราหมุนเลข 0 จะตัดต่อวงจร 10 ครั้ง การตัดต่อวงจรของสวิทช์ D1 นี้ก็จะเป็นตัวกำเนิดสัญญาณพัลส์ให้กับชุมสายนั่นเอง ส่วนสวิทช์ D2 โดยปกติจะเปิดวงจรอยู่ มันจะทำการต่อวงจรก็ต่อเมื่อมีการหมุนหน้าปัทม์ สวิทช์ D2 จะทำการต่อวงจรเพื่อป้องกันสัญญาณพัลส์ที่เกิดจากการหมุนหมายเลข ไม่ให้สัญญาณพัลส์เข้าไปรบกวนที่หูฟัง C1 จะทำหน้าที่ป้องกันไฟดีซีไม่ให้ไหลเข้าสู่วงจรกระดิ่ง และยังเป็นตัวป้องกันการสปาคก์ (Spark) ของหน้าคอนแทค D1 โดยจะต่ออนุกรมกับ R1 เมื่อเรายกหูโทรศัพท์ขึ้น

รูปที่ 2 .20 จะแสดงถึงลักษณะของรูปสัญญาณเมื่อมีการหมุนหมายเลขโทรศัพท์ จากรูปนี้จะเห็นว่าในตอนแรกโทรศัพท์อยู่ในสภาวะออนฮุก (on - hook) คือหูโทรศัพท์จะถูกวางอยู่บนที่วางหูโทรศัพท์ตามปกติ ไม่มีกระแสจากชุมสายเข้าสู่โทรศัพท์ เพราะขณะนี้วงจรถูกเปิดออกโดยฮุกสวิตช์ แต่เมื่อมีการยกหูโทรศัพท์ขึ้น โทรศัพท์จะอยู่ในสภาวะออฟฮุก (off - hook) ฮุกสวิทช์จะถูกปิดวงจรลงทำให้มีกระแสไหลครบวงจรได้และเมื่อมีการหมุนหมายเลขโดยในรูปจะเป็นการหมุนหมายเลข 4 ก็จะทำให้วงจรถูกเปิดออกด้วยสวิทช์ S3 เป็นจำนวน 4 ครั้ง ก็จะได้รูปสัญญาณ ออกมาดังรูปที่ 2.20



รูปที่ 2.20 แสดงไดอะแกรมของคาบเวลาที่เกิดจากการหมุนหมายเลข "4"

ในระบบโทรศัพท์แบบที่ส่งสัญญาณด้วยจำนวนพัลส์นี้จะถูกกำหนดให้สามารถส่งสัญญาณในอัตรา 10 พัลส์ต่อวินาทีหรือ 10 pps (pulses per second) และเพื่อความเข้าใจที่ตรงกันในการพิจารณาสัญญาณที่เกิดขึ้นจึงควรที่จะทราบความหมายของคำต่อไปนี้

- คาบของสัญญาณพัลส์ (pulses period) = ช่วงเวลาที่วงจรถูกเปิด (break duration) + ช่วงเวลาที่วงจรถูกปิด (make duration) คาบของสัญญาณพัลส์จะถูกออกแบบให้มีค่าอย่างต่ำเท่ากับ 100 mSec

- อัตราการส่งสัญญาณพัลส์ (pulse rate) = จำนวนพัลส์ที่ถูกส่งออกไปใน 1 Sec = 1000/ คาบเวลาของสัญญาณพัลส์ (เป็น mSec)

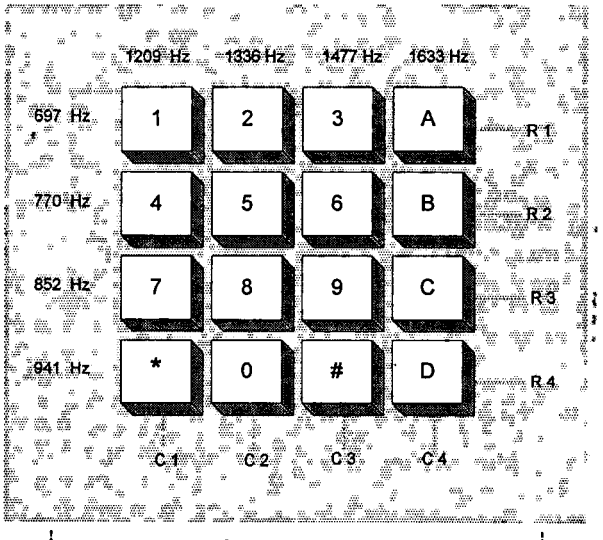
- เปอร์เซ็นต์ของการเปิดวงจร (percent break) = 100 x ช่วงเวลาระหว่างกลุ่มของสัญญาณ (interdigit interval) ถูกกำหนดให้มีค่าอย่างต่ำ 700 mSec

สำหรับในสหรัฐอเมริกาจะกำหนดค่ามาตรฐานของสัญญาณไว้แน่นอนเช่น ช่วงเวลาที่วงจรถูกเปิดจะต้องไม่ต่ำกว่า 60 mSec หรืออัตราการเปิดวงจรเท่ากับ 60 % สำหรับประเทศอื่นๆ มักจะใช้ที่อัตรา 67 % เป็นส่วนใหญ่

2.6.3 **ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่** (dual tone mutifrequency type)

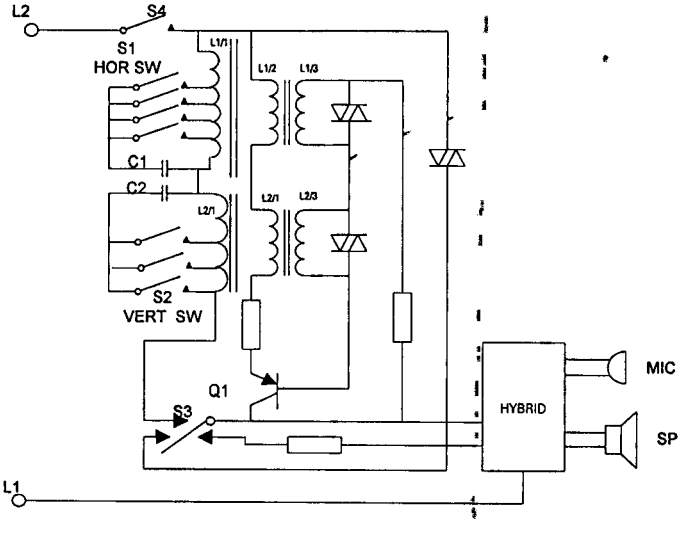
เป็นระบบการส่งสัญญาณอีกแบบหนึ่งที่นิยมใช้กันมากในปัจจุบัน ซึ่งจะพบได้มากกว่าในระบบการส่งเป็นสัญญาณพัลส์ ระบบนี้หรือเรียกชื่อย่อว่า DTMF มีวิธีการส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการจะติดต่อด้วยไปให้กับชุมสายโทรศัพท์ โดยการส่งสัญญาณไปด้วยความถี่ 2 ความถี่มอดูเลทกันไป

ซึ่งจะเป็นตัวแทนของหมายเลขที่กด ความถี่ที่ถูกส่งออกไปจะอยู่ในย่านความถี่ของเสียงพูด (0 - 4 Khz) ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอนและอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่างๆ จะแสดงไว้ในรูปที่ 2.21 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 Hz และ 1336 Hz มอดูเลทกันส่งออกไป



รูปที่ 2.21 แสดงแป้นกดหมายเลขและค่าความถี่ต่างๆ

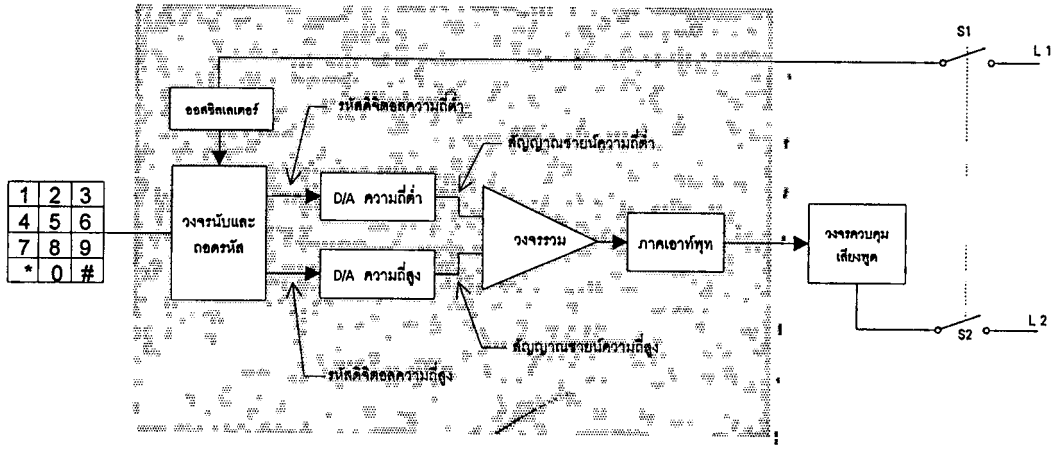
สำหรับวงจรออสซิลเลเตอร์ที่สร้างความถี่เหล่านี้ขึ้นมา คือวงจรในรูปที่ 2.22 ซึ่งเป็นวงจาจรที่ยังคงใช้อุปกรณ์ต่างๆ มาต่อรวมกันเป็นวงจรอยู่ ซึ่งปัจจุบันจะมีการใช้อุปกรณ์ที่ถูกผลิตในรูปไอซีสำเร็จรูปมาใช้งานมากกว่า



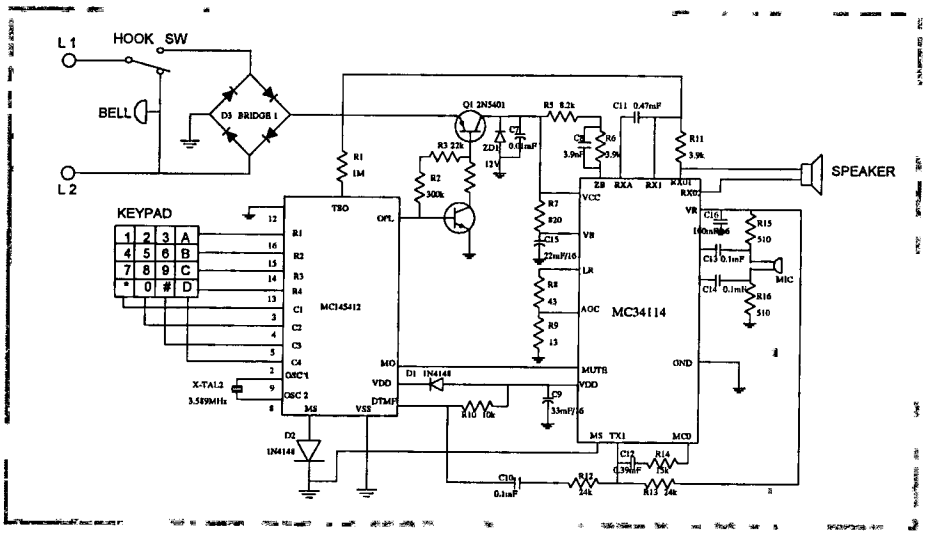
รูปที่ 2.22 แสดงวงจรพื้นฐานของโทรศัพท์ระบบ DTMF

การทำงานของวงจรนี้จะเริ่มจากสวิทช์ S1 (สวิทช์ในแนวนอน) S2 (สวิทช์ในแนวตั้ง) และ S3 จะถูกเปิดวงจรอยู่ เมื่อมีการยกหูกโทรศัพท์ขึ้น กระแสจากชุมสายโทรศัพท์จะผ่าน RV1 , L1a , และ L2a ทรานซิสเตอร์ จะไม่นำกระแส เมื่อมีการกดหมายเลขสวิทตช์ S1 , S2 จะถูกปิดลงตามตำแหน่งของหมายเลขที่ถูกกด C1 , C2 จะถูกต่อเข้ากับ L1a , L2a ตามลำดับเกิดเป็นวงจรออสซิลเลเตอร์ขึ้น โดย L1a และ C1 จะเป็นออสซิลเลเตอร์ที่ผลิตความถี่ที่ต่ำกว่าความถี่ที่เกิดจาก L2a และ C2 และขณะที่ S3 จะถูกปิดลงเช่นกัน ทำให้ทรานซิสเตอร์ Q1 ทำหน้าที่มอดูเลทสัญญาณจากออสซิลเลเอร์ทั้ง 2 เข้าด้วยกันและส่งไปยังชุมสาย ในขณะที่ทำการกดหมายเลขอยู่นั้นส่วนของหูฟังและไมโครโฟนก็จะถูกต่อขนานกันจึงทำให้ได้ยินสัญญาณที่เกิขึ้นจากวงจรออสซิเลเตอร์ด้วย สำหรับทางชุมสายก็จะมีวงจรตรวจจับเอาสัญญาณไปประมวลผลต่อไป และยังต้องมีวงจรกรองความถี่ป้องกันไม่ให้มีความถี่แปลกปลอมอื่นๆ เข้าไปในชุมสายโทรศัพท์ด้วย

จากรูปที่ 2.23 แสดงบล็อคไดอะแกรมของโทรศัพท์ระบบความถี่คู่ที่ใช้ไอซี และในรูปที่ 2.24 แสดงวงจรใช้งานจริงของโทรศัพท์ระบบความถี่คู่ จะเห็นว่าจะใช้ไอซีสำเร็จรูปมาใช้ผลิตสัญญาณความถี่คู่จะทำให้การทำงานของวงจรมีประสิทธิภาพมากขึ้น การกดปุ่มเพื่อส่งสัญญาณเลขหมายไปให้ชุมสายโทรศัพท์จะมีความแน่นอนไม่ผิดพลาดได้ง่าย และยังทำให้มีความสะดวกสบายในการใช้งานอีกด้วย



รูปที่ 2.23 แสดงบล็อคไดอะแกรมของโทรศัพท์ระบบความถี่คู่ที่ใช้ไอซี



รูปที่ 2.24 แสดงวงจรโทรศัพท์ระบบความถี่คู่ที่ใช้ไอซีสำเร็จรูป

2.6.4 ข้อเปรียบเทียบระหว่างโทรศัพท์ ระบบ PULSE กับระบบ DTMF

เปรียบเทียบระหว่างระบบโทรศัพท์ทั้ง 2 ระบบ ในการส่งสัญญาณแบบพัลส์ 1 ลูก ต้องใช้เวลาอย่างน้อย 100 mSec (60 mSec สำหรับช่วงการเปิดวงจร และ 40 mSec สำหรับช่วงการปิดวงจร) และมีช่วงเวลาที่แยกสัญญาณแต่ละกลุ่มออกอีกอย่างน้อย 700 mSec และยิ่งถ้าหมายเลขที่ต้องการติดต่อด้วยมีค่ามากและยาวมากขึ้นเท่าใด ย่อมต้องทำให้เสียเวลาในการส่งสัญญาณมากยิ่งขึ้น ตัวอย่างเช่น หมายเลข 555-5555 ใช้เวลาในการส่งสัญญาณพัลส์ = 5 (พัลส์/ mSec) x 7(หมายเลข) = 3.5 mSec และระยะเวลาของช่องว่างระหว่างกลุ่มสัญญาณ = 700 (mSec) x 6 = 4.2 Sec จะใช้เวลาในการส่งทั้ง = 3.4 + 4.2 = 7.7 Sec แต่ถ้าเป็นโทรศัพท์ที่ใช้การส่งระบบ DTMF จะใช้เวลาเท่ากับ 7 x 100 mSec = 7.7 Sec เท่านั้น ดังนั้นจะเห็นได้ว่าระบบ DTMF สามารถประหยัดเวลาในการส่งหมายเลขไปยังสุมสายโทรศัพท์ได้มากกว่าระบบที่ใช้การส่งสัญญาณพัลส์ ซึ่งเป็นผลให้ชุมสายโทรศัพท์สามารถใช้อุปกรณ์ประเภทหน่วยความจำได้อย่างมีประสิทธิภาพมากขึ้นตามไปด้วย

ข้อดีสำหรับระบบการส่งสัญญาณแบบ DTMF

- ลดระยะเวลาในการส่งหมายเลขโทรศัพท์ไปยังชุมสาย
- สามารถใช้วงจรที่ใช้อุปกรณ์โซลิดสเตทได้ ทำให้เกิดความประหยัดและสะดวก
- ลดอุปกรณ์ จำพวกหน่วยความจำที่ใช้ภายในชุมสายโทรศัพท์
- สามารถนำไปเชื่อมต่อกับอุปกรณ์ภายในชุมสายโทรศัพท์ได้อย่างมีประสิทธิภาพ
- การส่งเลขหมายให้กับชุมสายโทรศัพท์ไม่เกิดความผิดพลาด เพราะใช้สองความถี่ในการส่ง ทำให้ไม่ผิดพลาดในการกดเลขหมาย

2.6.5 **สัญญาณพื้นฐาน**

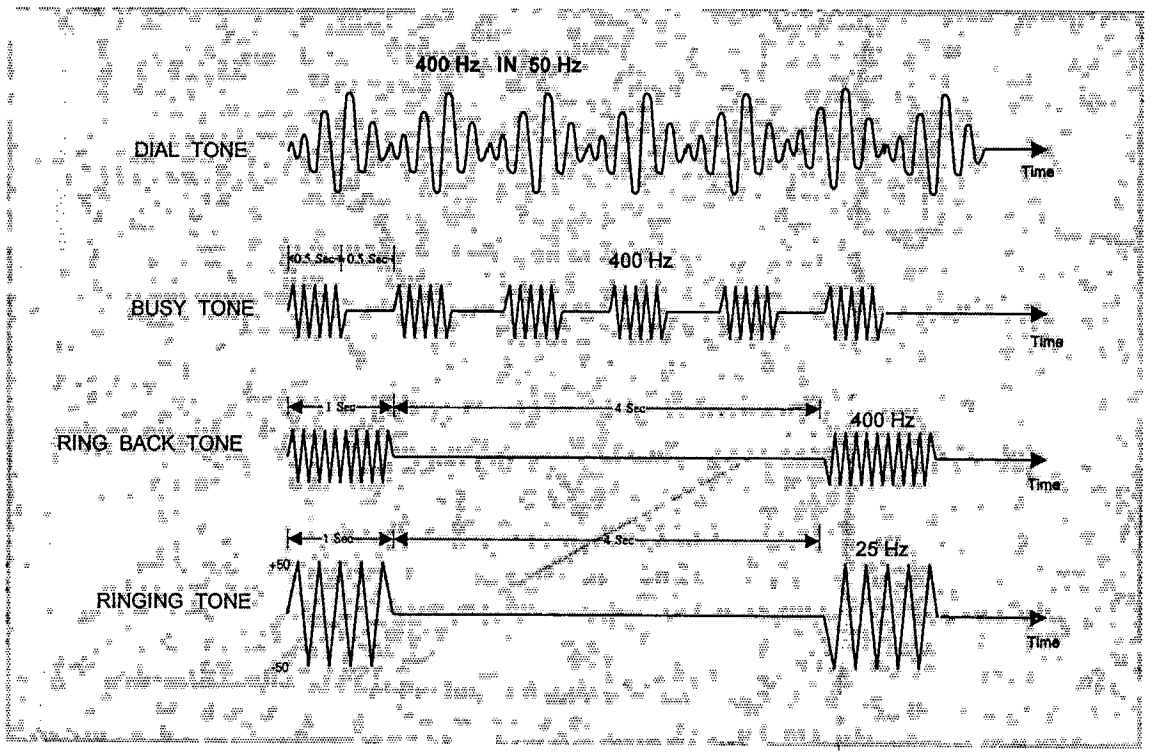
เป็นสัญญาณที่ใช้ในการติดต่อกันระหว่าง เครื่องรับโทรศัพท์ กับชุมสายโทรศัพท์

1. สัญญาณให้หมุน (dial tone) ใช้เพื่อแสดงให้สมาชิกผู้เรียกให้หมุนหมายเลขผู้รับมาได้ เป็นสัญญาณเสียงต่อเนื่อง 400 เฮิรทซ์

2. สัญญาณไม่ว่าง (busy tone) ใช้เพื่อเตือนสมาชิกผู้เรียกว่าผู้รับไม่ว่างควรวางหูก่อนระยะหนึ่งแล้วจึงเริ่มต่อใหม่ เป็นสัญญาณ 400 เฮริทซ์ 60 ครั้ง ต่อนาที ดัง 0.5 วินาที เงียบ 0.5 วินาที

3. สัญญาณกริ่งเรียก (ringing tone) ใช้เมื่อการต่อทุกขั้นตอน ตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จด้วยกริ่งเรียก ผู้รับมาตอบการเรียกเป็นสัญญาณ 16 เฮริทซ์ รวมกับ 400 เฮริทซ์ แบบ AM ส่ง 0.67 - 1.5 วินาที เงียบ 2- 4 วินาที

4. สัญญาณเรียกกลับ (ring back tone) ใช้เพื่อการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ ดำเนินการต่อสำเร็จแจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จ เป็นสัญญาณ 16 เฮริทซ์ รวมกับ 600 เฮริทซ์ แบบ AM ช่วงเวลาส่งและเงียบเช่นเดียวกับสัญญาณกริ่งเรียก



รูปที่ 2.25 แสดงสัญญาณพื้นฐานของโทรศัพท์

2.6.6 **สัญญาณในการติดต่อกันระหว่างผู้เรียกและผู้รับโทรศัพท์**

เป็นสัญญาณที่ใช้ในการติดต่อกันระหว่างผู้เรียกและผู้รับโทรศัพท์ ลักษณะสัญญาณดังกล่าวแสดงไว้ในรูปที่ 2.26

ด้านผู้เรียก

1. ขณะที่ไม่ได้มีการยกหูโทรศัพท์ จะมีศักดาตกคร่อมสายโทรศัพท์เป็นสัญญาณไฟฟ้ากระแสตรง 48 โวลท์

2. เมื่อผู้เรียกยกหูโทรศัพท์ ศักดาจะลดลงเหลือ 8 โวลท์ พร้อมทั้งมีสัญญาณให้หมุน ซึ่งเป็นสัญญาณกระแสสลับขนาด 250 มิลลิโวลท์ ความถี่ 400 เฮริทซ์ รวมกับความถี่ ประมาณ 50 เฮริทซ์ ซึ่งเมื่อกดรหัสสัญญาณความถี่แล้ว สัญญาณให้หมุนนี้จะหายไป

3. กดรหัส (CODE) เบอร์โทรศัพท์ทั้งหมด 7 หลัก รหัสความถี่ที่ส่งจะเป็นสัญญาณผสมสองความถี่ เป็นความถี่ สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่

4. ขณะที่รอการรับสาย จะมีสัญญาณตอบกลับ 2 แบบ เพื่อจะบอกว่าสายว่างหรือไม่ ซึ่งก็ คือสัญญาณเรียกกลับ หรือสัญญาณสายไม่ว่างตามลำดับ

5. เมื่อมีการรับสายแล้ว สัญญาณจะอยู่ที่ 8 โวลท์ โดยมีการกระเพื่อมตามลักษณะความถี่เสียง ความดังของเสียงพูดตามสาย

6. เมื่อวางหูโทรศัพท์เลิกการติดต่อ ขนาดศักดาจะกลับไปที่ 48 โวลุท์ ดังเดิม

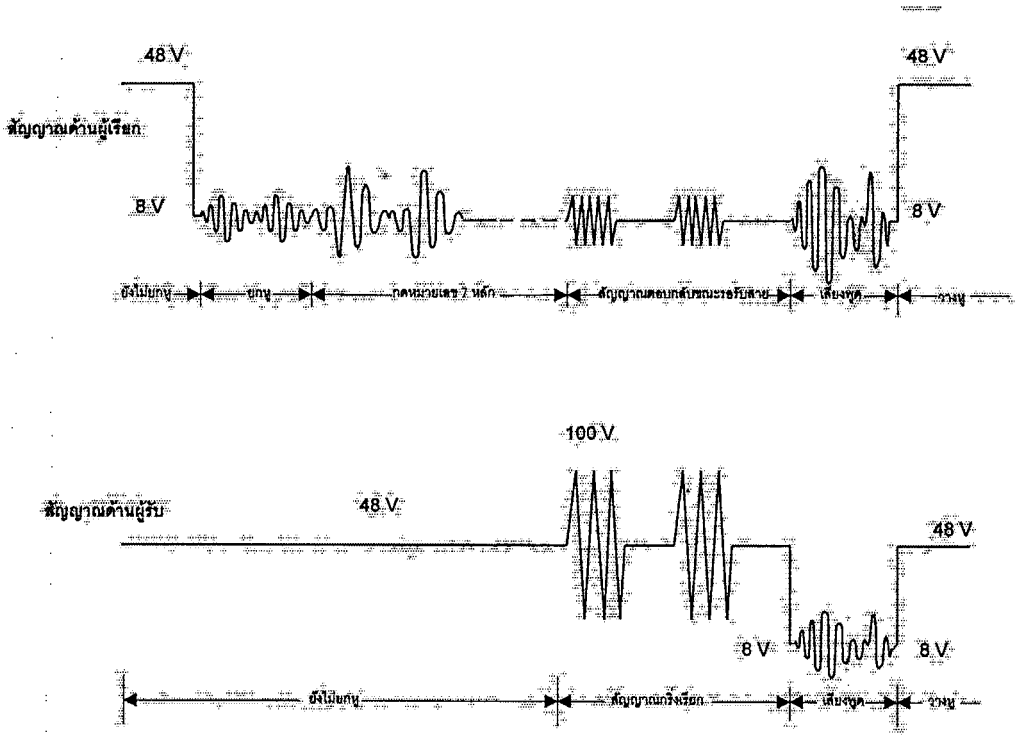
ด้านผู้รับ

1. ขณะที่วางหูอยู่จะมีศักดากระแสตรงคร่อมสายอยู่ 48 โวลท์

2. เมื่อมีสัญญาณกริ่งเรียก จะมีขนาดประมาณ 100 โวลท์ จังหวะ 1 วินาที หยุด 4 วินาที ซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง

3. จากนั้นเมื่อผู้รับยกหูโทรศัพท์ ขนาดศักดากระแสตรงจะเหลือ 8 โวลท์ และมีการกระเพื่อมตามขนาดและความถี่ของเสียงพูด

4. เมื่อวางหูโทรศัพท์ ขนาดศักดาไฟฟ้าก็จะกลับไปที่ 48 โวลท์ตามเดิม



รูปที่ 2.26 แสดงสัญญาณระหว่างผู้เรียกและผู้รับโทรศัพท์

บทที่ 3
การคำนวณและการสร้าง

3.1 การทำงานของระบบ

การสร้างอุปกรณ์ควบคุมระยะไกลโดยใช้วิทยุมือถือและโทรศัพท์จะใช้อุปกรณ์ไมโครคอนโทรลเลอร์ 8031 มาเป็นอุปกรณ์หลักที่จะใช้ควบคุมการทำงานของอุปกรณ์ การนำไมโครคอนโทรลเลอร์มาใช้ในการควบคุมนั้นจะทำให้มีความสะดวกและยังสามารถควบคุมการทำงานของอุปกรณ์ได้หลายวงจรอีกด้วย โครงสร้างของอุปกรณ์ควบคุมระยะไกลโดยใช้วิทยุมือถือและโทรศัพท์ แสดงการทำงานเป็นบล็อคไดอะแกรมได้ดังรูปที่ 3.1 การทำงานของบล็อคไดอะแกรมอธิบายหลักการทำงานได้ดังนี้

ในการควบคุมโดยผ่านทางคู่สายโทรศัพท์ ผู้ใช้สามารถใช้โทรศัพท์ (แบบกดปุ่ม) โทรเข้ามายังเครื่องควบคุม ที่เครื่องควบคุมวงจรภาค Ringing detect จะทำการแปลงสัญญาณ Ringing ที่เป็นกระแสไฟฟ้าสลับประมาณ 100 Vp-p ให้เป็นไฟฟ้ากระแสตรงประมาณ 5 โวลท์ สัญญาณไฟฟ้ากระแสตรงที่ได้จากการแปลงของวงจร Ringing detect นี้จะส่งไปให้ยังวงจรควบคุม (CPU Control) เพื่อทำการนับจำนวนสัญญาณ Ringing ที่เข้ามาให้ได้ตามจำนวนที่ได้กำหนดไว้ เมื่อสัญญาณ Ringing เข้ามาตามจำนวนที่ได้กำหนดเอาไว้ วงจรควบคุมจะดำเนินการสั่งให้ Hook SW ทำงาน โดยจะสั่งงานผ่าน PORT (8255 ขา 18)เมื่อ Hook SW ทำงานก็จะทำการต่อคู่สายโทรศัพท์เข้ากับวงจร DTMF detecter และ วงจรตอบรับการทำงาน ต่อจากนั้นผู้ใช้ต้องทำการกดรหัสผ่าน (Pass Word) โดยกดที่ปุ่ม DTMF บนหน้าปัทม์ของเครื่องโทรศัพท์ โดยใช้รหัสผ่านเป็นตัวเลข 4 ตัว สาเหตุที่ต้องมีการกดรหัสผ่านก็เพื่อเป็นการป้องกันไม่ให้คนอื่นสามารถเข้ามาใช้เครื่องควบคุมนี้ได้ นอกจากผู้ที่รู้รหัสผ่านเท่านั้นจึงจะสามารถใช้งานเครื่องควบคุมนี้ได้ ถ้ากดรหัสผ่านไม่ถูกต้องวงจรตอบรับการทำงานจะส่งสัญญาณไปบอกให้ผู้ใช้ทำการกดรหัสใหม่ สัญญาณที่วงจรตอบรับการทำงานส่งไปบอกผู้ใช้จะเป็นสัญญาณเสียงพูด ถ้ากดรหัสผ่านถูกต้องก็จะสามารถเข้าสู่การควบคุมอุปกรณ์ไฟฟ้าได้โดยการกดปุ่ม DTMF เลือกควบคุมอุปกรณ์ไฟฟ้าได้ตามต้องการ

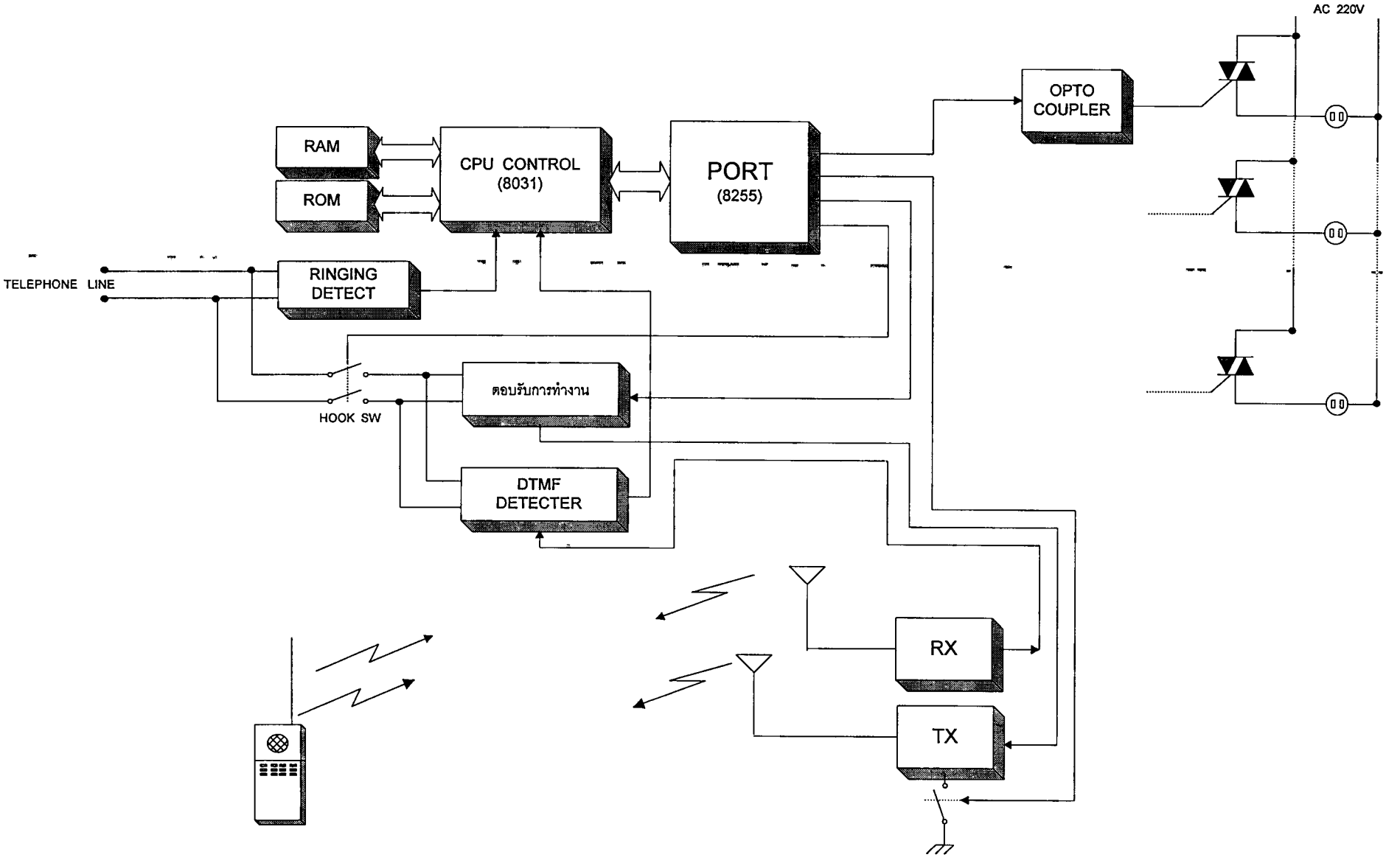
วงจรภาค DTMF detector จะทำหน้าที่รับเอาสัญญาณ DTMF มาแล้วทำการเปลี่ยนจากสัญญาณ DTMF ให้เป็นรหัสสัญญาณดิจิตอลฐานสองสี่บิท ส่งไปให้ CPU เพื่อประมวลผล สัญญาณ DTMF ที่เป็น Password CPU จะนำเข้าไปเปรียบเทียบกับข้อมูลที่ถูกกำหนดเอาไว้ก่อนล่วงหน้า ถ้าเปรียบเทียบแล้วไม่ตรงข้อมูลที่ได้กำหนดค่าเอาไว้ CPU จะให้วงจรตอบรับการทำงานส่งสัญญาณไปบอกกับผู้ใช้ว่ารหัสผ่านที่กดนั้นไม่ถูกต้องให้กดรหัสผ่านหรือ Password เข้ามาใหม่ ถ้ารหัสผ่านถูกต้อง CPU จะให้วงจรตอบรับการทำงานส่งสัญญาณไปบอกให้ผู้ใช้กดสัญญาณการควบคุมเครื่องใช้ไฟฟ้าเข้ามา เมื่อ CPU ได้รับสัญญาณที่รับเข้ามาเพื่อควบคุมเครื่องใช้ไฟฟ้า ก็จะทำการส่งข้อมูลออก PORT A สัญญาณที่ออกจาก PORT A จะถูกส่งเข้าไปใน Opto coupler เพื่อที่จะทำการขับให้ ไตรแอคทำงานนำกระแสจ่ายไฟให้กับอุปกรณ์ไฟฟ้า ที่ทางด้าน input ของ Opto coupler จะมี LED ต่ออยู่เพื่อที่จะ coupling สัญญาณไปหาไตรแอค ซึ่งการ coupling ทางแสงนี้จะทำให้วงจร control กับวงจรควบคุม powef แยกออกจากกันอย่าง

เด็ดขาด การควบคุมอุปกรณ์ไฟฟ้าจะใช้ การกดหมายเลขบนปุ่ม DTMF โดย ปุ่มหม่ายเลข 1 จะควบคุมอุปกรณ์ไฟฟ้าหมายเลข 1 ปุ่มหมายเลข 2 จะควบคุมอุปกรณ์ไฟฟ้าหมายเลข 2 เป็นต้น โดยการควบคุมจะใช้การกดหมายเลข กดครั้งแรกจะเป็นการ on และถ้ากดหมายเลขนั้นซ้ำอีกครั้งจะเป็นการ off เวลาที่ทำการกดปุ่มเพื่อควบคุมอุปกรณ์ไฟฟ้าวงจรตอบรับการทำงานก็จะส่งสัญญาณตอบกลับเป็นเสียงพูดให้ผู้ใช้งานทราบถึงสภาวะต่างๆ อยู่ตลอดเวลา

ปุ่ม DTMF	ควบคุมอุปกรณ์หมายเลข	กดครั้งที่ 1	กดครั้งที่ 2
1	1	on	off
2	2	on	off
3	3	on	off
4	4	on	off
5	5	on	off
6	6	on	off
7	7	on	off
8	8	on	off

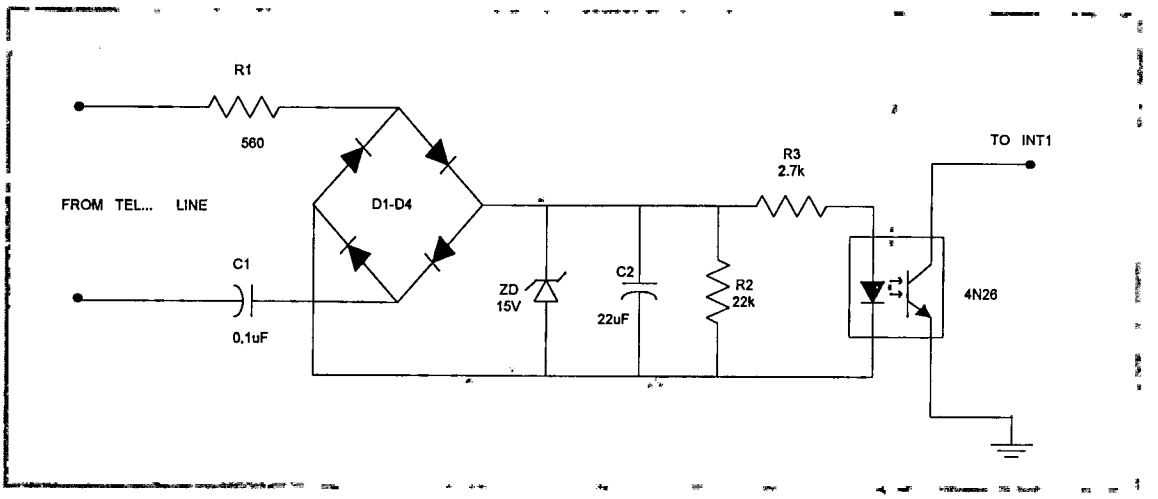
วงจรภาคตอบรับการทำงาน จะใช้วงจรตอบรับการทำงานที่เป็นสัญญาณเสียงพูด จะทำงานโดยการสั่งการของ CPU โดยจะสั่งการผ่าน PORT เพื่อมาควบคุมให้วงจรตอบรับการทำงานส่งสัญญาณเสียงพูดไปบอกผู้ใช้งานถึงขั้นตอนต่างๆ ในการใช้งาน เช่น บอกให้ผู้ใช้กดรหัสผ่าน บอกให้ผู้ใช้ทราบว่าขณะนี้อุปกรณ์ไฟฟ้าหมายเลขใด on หรือ off อยู่ เป็นต้น

ในการควบคุมอุปกรณ์โดยควบคุมผ่านทางวิทยุมือถือ จากบล๊อคไดอะแกรมในรูปที่ 3.1 เราสามารถควบคุมอุปกรณ์ไฟฟ้าได้โดยการกดปุ่ม DTMF ที่มีเตรียมไว้บนหน้าปัทม์ของวิทยุมือถือ วิธีการก็คือผู้ใช้จะต้องกด Key เพื่อให้เครื่องส่ง ส่งออกอากาศพร้อมกับกดปุ่ม DTMF ส่งออกมาจากวิทยุมือถือ ทางด้านรับ (RX) จะต่ออยู่กับวงจรภาค DTMF detector ซึ่งจะทำการ detect สัญญาณ DTMF ที่รับเข้ามาจาก RX ในการใช้งานเริ่มแรกก็เหมือนกับการควบคุมโดยผ่านทางคู่สายโทรศัพท์โดยผู้ใช้ต้องกดรหัสผ่านก่อน ถ้ารหัสผ่านถูกต้องวงจรตอบรับการทำงานก็จะส่งสัญญาณย้อนกลับ มาบอกผู้ใช้โดยจะส่งผ่านทางด้านส่ง (TX) ของเครื่องส่ง ต่อจากนั้นผู้ใช้ก็กดสัญญาณการควบคุมอุปกรณ์ไฟฟ้าได้ตามต้องการ ในการใช้งานไม่ว่าจะเป็นการควบคุมโดยผ่านทางเครื่องโทรศัพท์หรือควบคุมผ่านทางเครื่องวิทยุมือถือก็ตาม ผู้ใช้จะได้รับความสะดวกเนื่องจากจะมีวงจรตอบรับการทำงานคอยบอกขั้นตอนการใช้งานของเครื่องควบคุมอยู่ตลอดเวลาทำให้ผู้ใช้งานไม่เกิดความสับสนและใช้งานเครื่องควบคุมได้อย่างถูกต้อง



รูปที่ 3.1 บล็อคไดอะแกรมอุปกรณ์ควบคุมระยะไกลด้วยวทยุมือถือและโทรศัพท์

3.2 **วงจรตรวจสอบสัญญาณเรียกเข้า** (Ringing tone detector circuit)

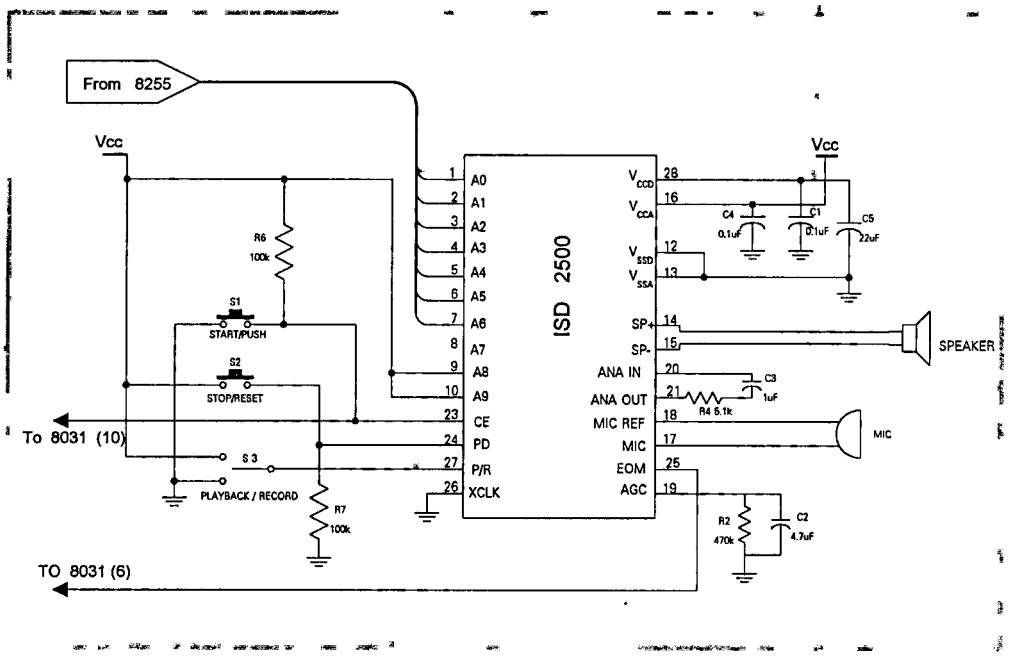


รูปที่ 3.2 แสดงวงจรตรวจสอบสัญญาณเรียกเข้า

การทำงานของวงจรตรวจสอบสัญญาณเรียกเข้า

จากรูปที่ 3.2 เป็นวงจรตรวจสอบสัญญาณเรียกเข้า (Ringing tone detector circuit) ซึ่งสัญญาณเรียกเข้า (Ringing tone) หรือที่เรียกอย่างหนึ่งว่าสัญญาณกระดิ่ง สัญญาณเรียกเข้านี้จะมีขนาดของสัญญาณ ประมาณ 90 - 110 Vp-p มีความถี่ 25 Hz วงจรนี้จะทำการตรวจจับสัญญาณกระดิ่งว่าสัญญาณกระดิ่งที่เข้ามานั้นมีจำนวนครั้งเท่ากับจำนวนที่เราได้กำหนดไว้หรือยัง การทำงานของวงจรเริ่มจากสัญญาณเรียกเข้านี้จะผ่านวงจรบริดจ์ (Bridge rectifier) ซึ่งประกอบไปด้วยไดโอด D1 - D4 สัญญาณ Ringing tone เมื่อผ่านวงจรบริดจ์แล้ว จะเปลี่ยนเป็นสัญญาณไฟฟ้ากระแสตรง ประมาณ 20 โวลท์ และจะรักษาระดับแรงดันให้คงที่ด้วยซีเนอร์ไดโอด (Zener diode) ให้เหลือแรงดันประมาณ 15 โวลท์ และจะถูกลดแรงดันให้เหลือ 2 - 3 โวลท์ ด้วยตัวต้านทาน R3 เพื่อป้อนให้ ออฟโต ทรานซิสเตอร์ (Opto Transistor) ทำงานได้ ตัวต้านทาน R1 และตัวเก็บประจุ C1 ที่ต่ออยู่จะเป็นตัวคลับปลิ้ง (Coupling) สัญญาณเรียกเข้า และจำกัดกระแสและแรงดันของสัญญาณเรียกเข้า ตัวต้านทาน R2 และตัวเก็บประจุ C2 ทำหน้าที่ กรองสัญญาณให้เป็นไฟฟ้ากระแสตรงที่เรียบยิ่งขึ้น แรงดังไฟตกคร่อม R 2 จะถูกจ่ายไบอัสให้กับ LED ภายใน Opto Transistor ซึ่งจะมีตัวต้านทาน R 3 ทำหน้าที่จำกัดกระแสให้ LED ในออฟโต เมื่อมีสัญญาณเรียกเข้ามาที่คู่สายโทรศัพท์ จะทำให้ขาคอลเลคเตอร์ (Collector) ของออฟโตทรานซิสเตอร์ ต่อลงกราวด์ เนื่องจากได้รับไบอัสตรงทำให้แรงดันตกเป็นศูนย์ ขาคอลเลคเตอร์ขานี้จะไปต่ออยู่กับขาอินเตอร์รัพท์ของไมโครคอนโทรลเลอร์ ทำให้ไมโครคอนโทลเลอร์เกิดการ อินเตอร์รัพเกิดขึ้น

3.4 วงจรตอบรับการทำงาน



รูปที่ 3.4 แสดงวงจรตอบรับการทำงาน

การทำงานของวงจรภาคตอบรับการทำงาน

จากรูปที่ 3.4 เป็นวงจรตอบรับการทำงานที่เป็นสัญญาณเสียงพูด สัญญาณเสียงพูดจะถูกบันทึกลงไปในตัวไอซีทางด้านไมโครโฟน (ขั้นตอนการบันทึกเสียงลงในตัวไอซีจะกล่าวไว้ในบทที่ 4) ในการเล่นกลับจะมีเสียงออกทางด้านลำโพง ในการเล่นกลับ (Play back) นั้น ถ้าต่อใช้งานร่วมกับ 8031 จะมีสัญญาณกำหนดแอดเดรสมาจาก 8031 ผ่านพอร์ท 8255 เพื่อมากำหนดแอดเดรสที่จะต้องการให้สัญญาณเสียงพูดออกมาดังที่ลำโพงตามที่กำหนดไว้ ที่ขา 23 จะเป็นขาของสัญญาณ chip enable (CE) ที่ขานี้ไม่ว่าจะเป็นการ เล่นกลับหรือการบันทึก ขานี้จะต้องเป็น "low" แอดเดรสอินพุทจะถูก latched โดยสัญญาณขอบขาลงของ CE

ที่ขาของ P/R จะต่อกับ สวิทช์ S 3 ในการใช้งานถ้าหากว่าต้องการเล่นกลับ สวิทช์ S 3 นี้ จะอยู่ในตำแหน่ง "high" แต่ถ้าหากว่าเป็นการบันทึก สวิทช์ S 3 นี้จะอยู่ที่ตำแหน่ง "low"

เมื่อเราต้องการเล่นกลับ (Playback) สัญญาณเสียงที่บันทึกไว้ เราจะต้องกำหนดแอดเดรสให้ตรงกับตำแหน่งเสียงที่บันทึกไว้ โดยส่งแอดเดรสออกมาทางพอร์ทของ 8255 ซึ่งต่ออยู่กับแอดเดรสของ ISD 2500 หลังจากนั้นก็จะส่งสัญญาณมาที่ขา CE ของ ISD 2500 ให้เริ่ม เล่นกลับตามตำแหน่งแอดเดรสที่ส่งออกมา และ CPU จะคอยตรวจสอบขา EOM ของ ISD 2500 ว่าเปลี่ยนจาก " high" เป็น "low" หรือยัง ซึ่งนั่นหมายถึงการสิ้นสุดของการเล่นกลับของตำแหน่งนั้น

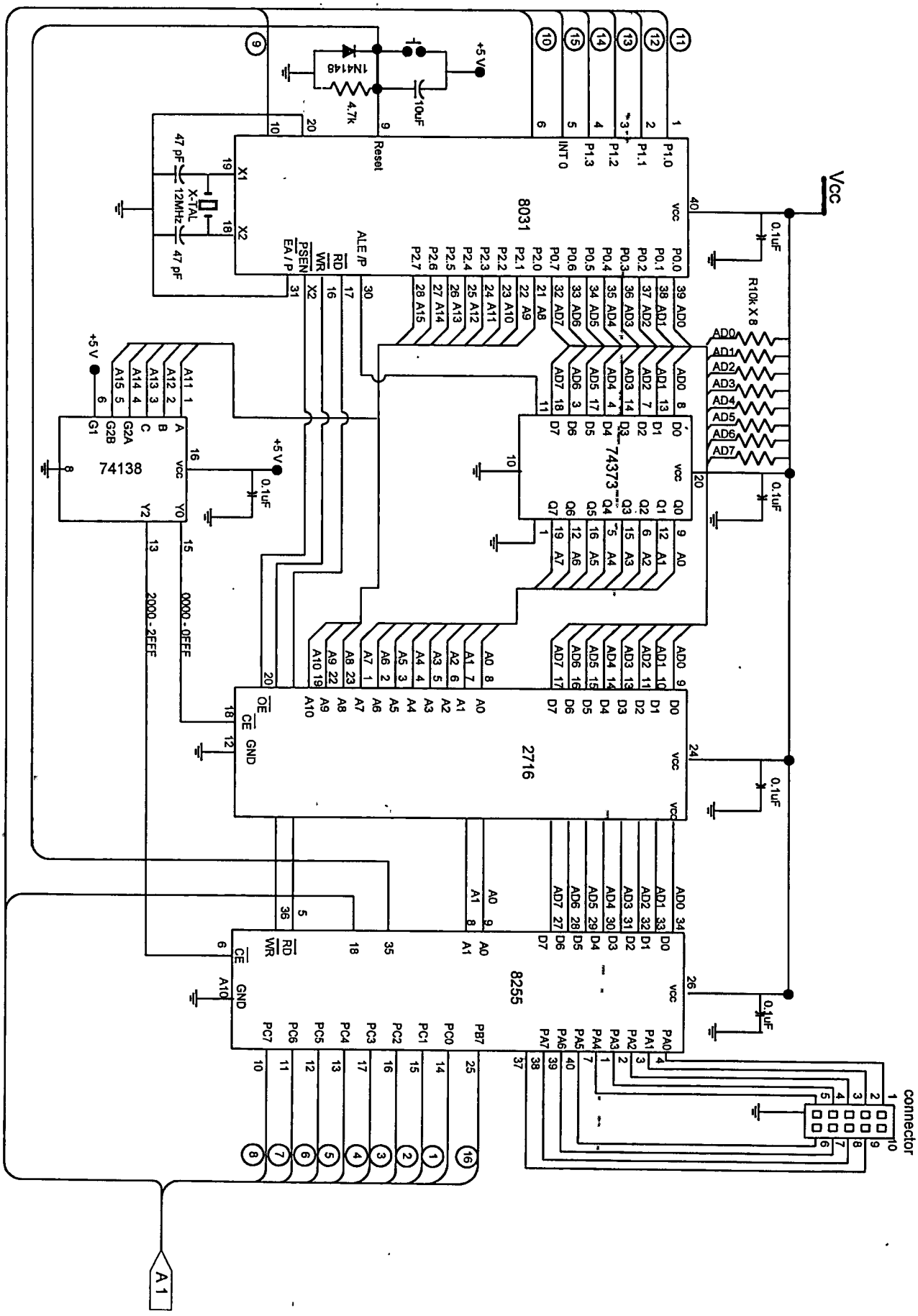
3.5 วงจรคอนโทรลหลัก (MAIN CONTROL)

การทำงานของวงจรในรูปที่ 3.5 หัวใจหลักของวงจรอยู่ที่ ไมโครคอลโทรลเลอร์ 8031 ซึ่งถูกใช้ในการคอนโทรล (Control) การทำงานของระบบ ซึ่งสามารถทำงานได้ โดยต่ออุปกรณ์เพียงไม่กี่ตัวก็สามารถทำงานได้ ขาต่างๆ ของไมโครคอนโทรลเลอร์ซึ่งถูกต่อใช้งานอย่างเช่น ขา X1 , X2 ต่ออยู่กับ X-TALความถี่ 12 MHz ซึ่งจะเป็นตัวกำเนิดฐานเวลาให้กับ ไอซีไมโครคอนโทรลเลอร์ 8031

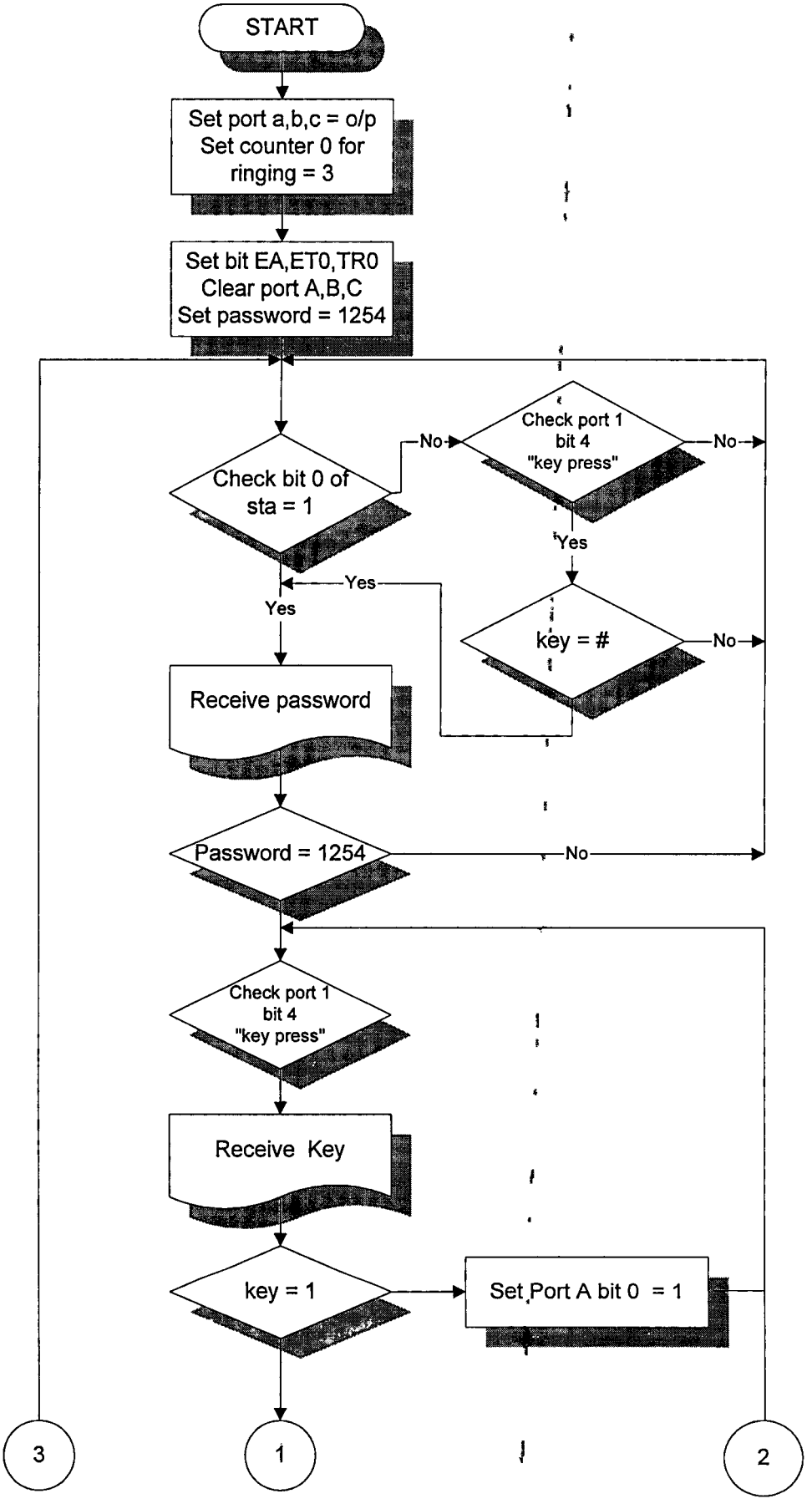
ไมโครคอนโทรลเลอร์ จะมีการติดต่อกับหน่วยความจำจากภายนอกจะต้องต่อขา EA / Vp ลงกราวด์ไว้ตลอด ที่ P0.0 จะทำหน้าที่เป็นทั้ง ดาต้าบัส (data bus) และ แอดเดรสบัส (address bus) ด้านต่ำ ที่ขา EA/ Vp นี้จะทำงานร่วมกับไอซี เบอร์ 74373 ซึ่ง ไอซีเบอร์ 74373 นี้ จะทำหน้าที่ในการ Latch Address byte ต่ำ จาก Port 0 ไว้ แล้วให้ไมโครคอนโทรลเลอร์ ให้ P0 เป็น ดาต้าบัส เพื่อที่จะใช้ในการ รับ-ส่ง ข้อมูลต่อไป สัญญาณที่ส่งให้ไอซีเบอร์ 74373 Latch ข้อมูลนั้นมาจากไมโครคอนโทรลเลอร์ ที่ขา ALE/ P

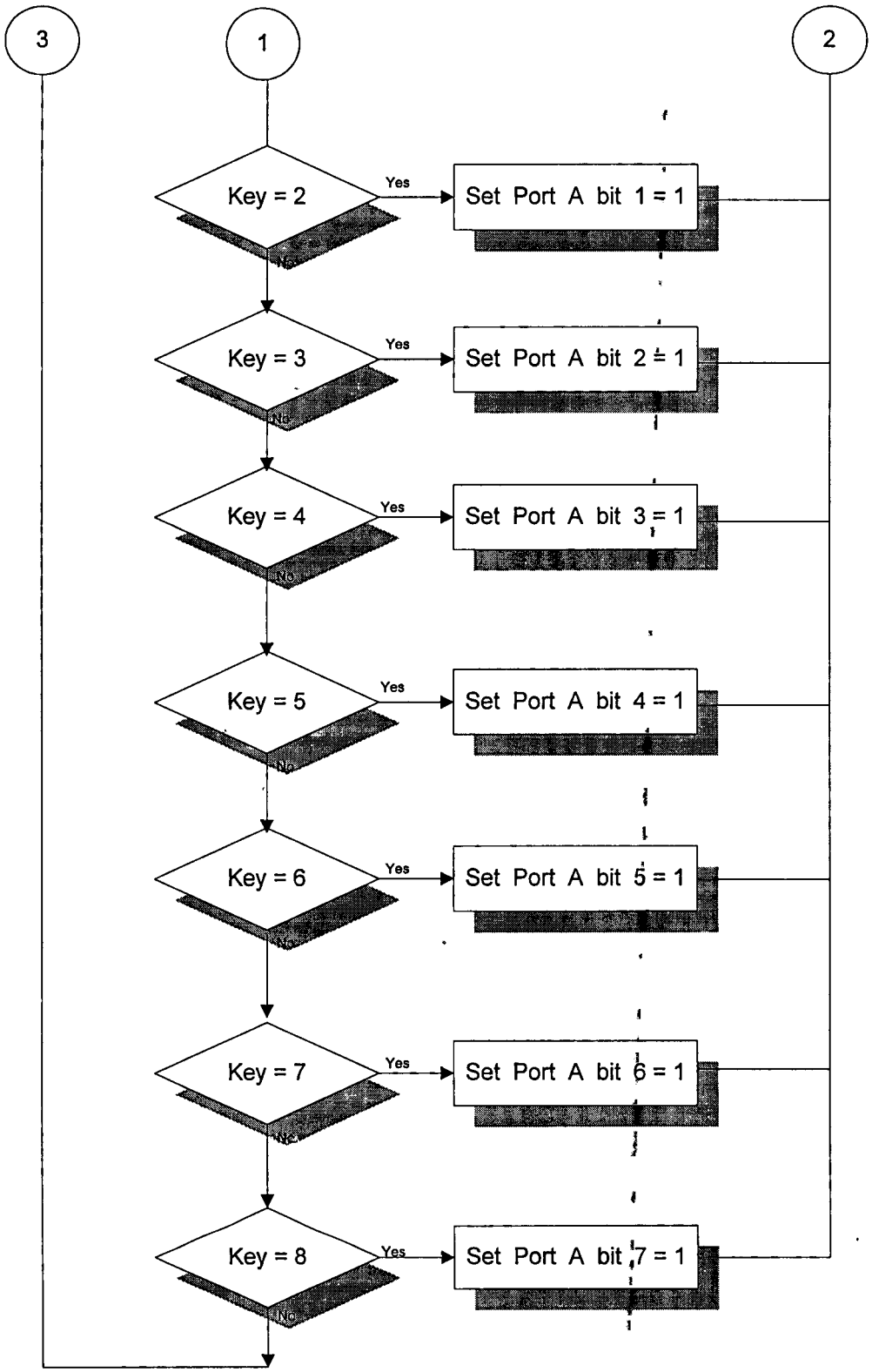
การติดต่อกับหน่วยความจำนั้นจะใช้ไอซีถอดรหัส เบอร์ 74138 ในการถอดรหัสตำแหน่งของ Memory ซึ่ง Memory ที่ใช้จะมี EPROM ขนาด 2 Kbyte ซึ่งเป็นเบอร์ 2716 ตำแหน่งต่างๆ ของ Memory 2716 จะถูกจัดให้อยู่ตำแหน่งที่ 0000H - 07FFH ซึ่งเป็นตำแหน่งของ EPROM โปรแกรมที่อยู่ใน EPROM จะเป็นโปรแกรมหลักที่ใช้ในการคอนโทรลการทำงานทั้งหมด

พอร์ทเบอร์ 8255 จะให้เป็น เอาท์พุทพอร์ทสำหรับให้ไมโครคอนโทรลเล่อร์ส่งข้อมูลผ่านเพื่อใช้ในการไปคอนโทรลการทำงานของชุด Power Control ซึ่งใช้ Port A ซึ่งมีขนาด 8 bit Port B จะถูกต่ออยู่กับแอดเดรส ของ ไอซีบันทึกเสียงพูด ตำแหน่งของพอร์ทนี้จะอยู่ที่ตำแหน่ง 1000H - 17FFH ซึ่งใช้ ไอซีดีโคดเดอร์ตำแหน่งร่วมกับหน่วยความจำ



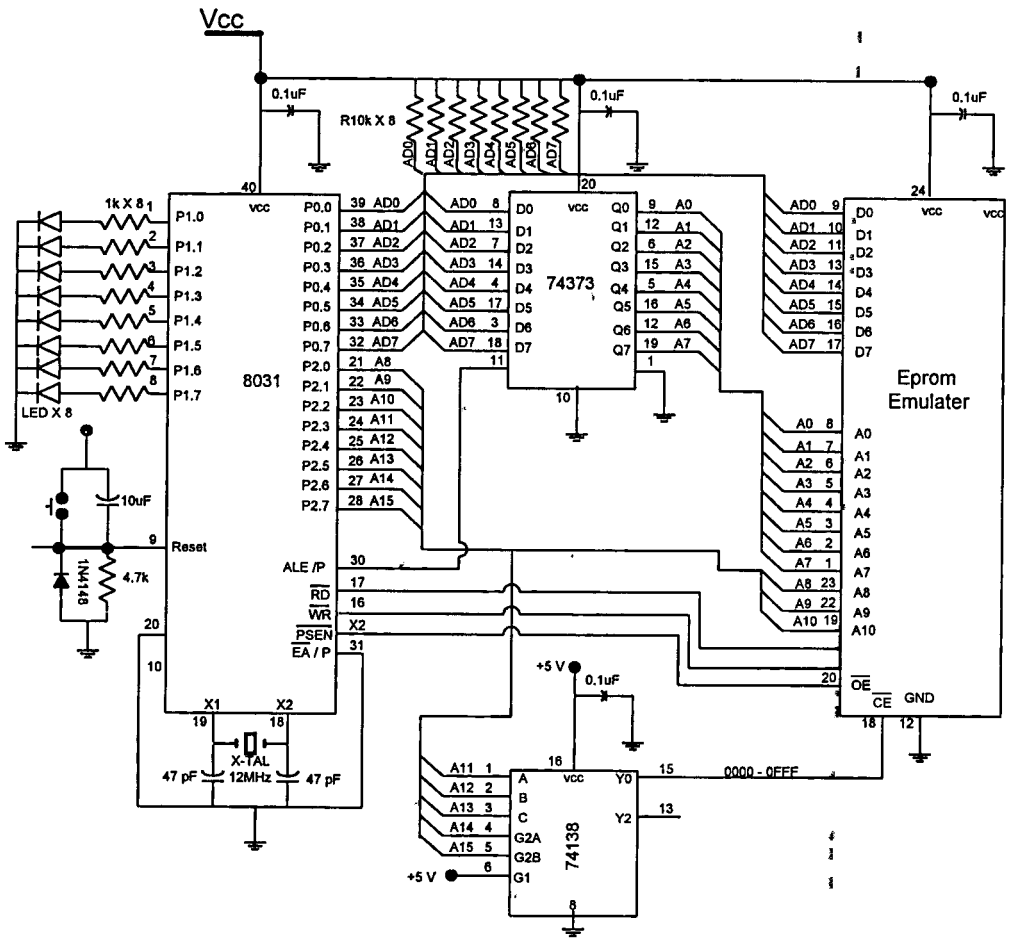
รูปที่ 3.5 แสดงวงจรคอนเทรลเลอร์ของเครื่องควบคุมระยะไกลใช้วิทยุมือถือและโทรศัพท์


START
Set port a,b,c = o/p
Set counter 0 for
ringing = 3
Set bit EA,ET0,TR0
Clear port A,B,C
Set password = 1254
Check bit 0 of
sta = 1
No
Check port 1
bit 4
"key press"
No
Yes
Yes
Yes
key = #
No
Receive password
Password = 1254
No
Check port 1
bit 4
"key press"
Receive Key
key = 1
Set Port A bit 0 = 1
3
1
2


3
1
2
Key = 2
Yes
No
Set Port A bit 1 = 1
Key = 3
Yes
No
Set Port A bit 2 = 1
Key = 4
Yes
No
Set Port A bit 3 = 1
Key = 5
Yes
No
Set Port A bit 4 = 1
Key = 6
Yes
No
Set Port A bit 5 = 1
Key = 7
Yes
No
Set Port A bit 6 = 1
Key = 8
Yes
No
Set Port A bit 7 = 1

บทที่ 4
ผลการทดลอง

4.1 การทดลองการติดต่อระหว่าง CPU กับ หน่วยความจำ



รูปที่ 4.1 แสดงการต่อวงจรทดลองการติดต่อระหว่าง CPU กับหน่วยความจำ

ขั้นการทดลอง

- ต่อวงจรตามรูปที่ 4.1
- เขียนโปรแกรมตามตัวอย่าง

```
DELAY:  EQU    0020H
        ORG    0000H
STT:    LCALL  DELAY
        MOV    A,#FFH
```

```
        MOV     P1,A
        LCALL   DELAY
        MOV     A,#00H
        MOV     P1,A.
        SJMP    STT
        ORG     0020H   ;DELAY
        MOV     R3,#0FH
DL3:    MOV     R0,#FFH
DL2:    MOV     R1,#FFH
DL1:    DJNZ    R1,DL1
        DJNZ    R0,DL2
        DJNZ    R3,DL3
        RET
```

- โหลดโปรแกรมลง Eprom emulator

ผลการทดลอง

Led ที่ต่ออยู่กับ Port 1 กระพริบตามโปรแกรมที่เขียนไว้

สรุป

CPU กับ EPROM สามารถติดต่อกันได้

4.2 การทดลองการติดต่อระหว่าง CPU กับ PORT

ขั้นการทดลอง

- ต่อวงจรตามรูปที่ 4.2
- เขียนโปรแกรมตามตัวอย่าง

```
DELAY:  EQU   0020H
        ORG   0000H
STT:    LCALL DELAY
        MOV   DPTR,#2003H
        MOV   A,#80H
        MOVX  @DPTR,A
        MOV   DPTR,#2000H
        MOV   A,#FFH
        MOVX  @DPTR,A
        LCALL DELAY
        MOV   DPTR,#2000H
        MOV   A,#00H
        MOVX  @DPTR,A
        SJMP  STT
        ORG   0020H ;DELAY
        MOV   R3,#02H
DL3:    MOV   R0,#FFH
DL2:    MOV   R1,#FFH
DL1:    DJNZ  R1,DL1
        DJNZ  R0,DL2
        DJNZ  R3,DL3
        RET
```

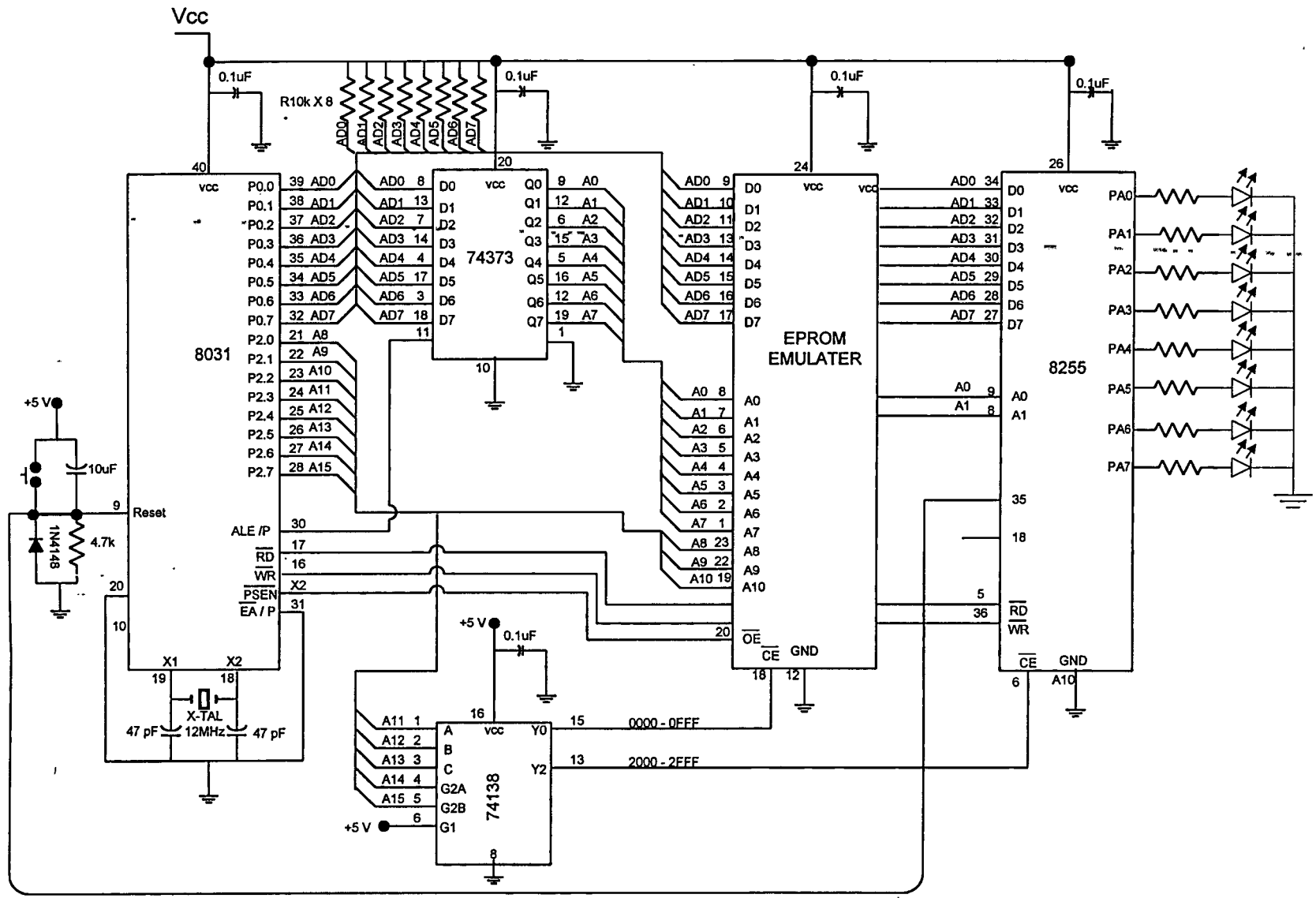
- โหลดโปรแกรมลง Eprom emulator

ผลการทดลอง

LED ที่ต่ออยู่กับ Port A กระพริบตามโปรแกรมที่เขียนไว้

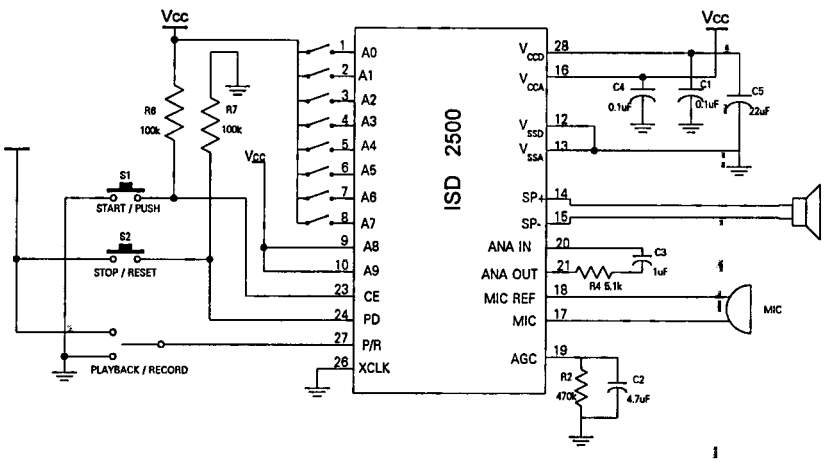
สรุป

CPU กับ port 8255 สามารถติดต่อกันได้



รูปที่ 4.2 แสดงการต่อวงจรทดลองการติดต่อระหว่าง CPU กับ PORT

4.3 การทดลองวงจรตอบรับที่เป็นสัญญาณเสียงพูด



รูปที่ 4.3 แสดงการต่อวงจรทดลองวงจรภาคตอบรับการทำงานเป็นสัญญาณเสียงพูด

ขั้นตอนการทดลอง

การบันทึกเสียง

1.ต่อขา 8-9 เข้ากับ Vcc

2.ตั้ง Dip switch A0-A7 = 0

3.Swtch S3 ตั่งอยู่ที่ตำแหน่ง Recrord

4.กด switch S2

5.กด Switch S1 start record

6.พูดคำที่ 1

7.กด Switch S1 stop

8.พูดคำต่อไป ทำซ้ำขั้นตอน 5

การเล่นกลับ

1.ต่อขา 8-9 เข้ากับ Vcc

2. ทดลองเลื่อน Dip Switch ให้ตรงกับคำพูดที่ 1

3.กด Switch S1 start ฟังข้อความที่ออกมาทางลำโพง ว่าตรงกับข้อความที่ 1 หรือไม่

4.ถ้าไม่ตรง ให้เลื่อน Dip Switch ใหม่

5. ถ้าตรงบันทึก Adress ลงในตราง

6. ทดลองเลื่อน Dip Switch ให้ตรงกับคำพูดที่ 2

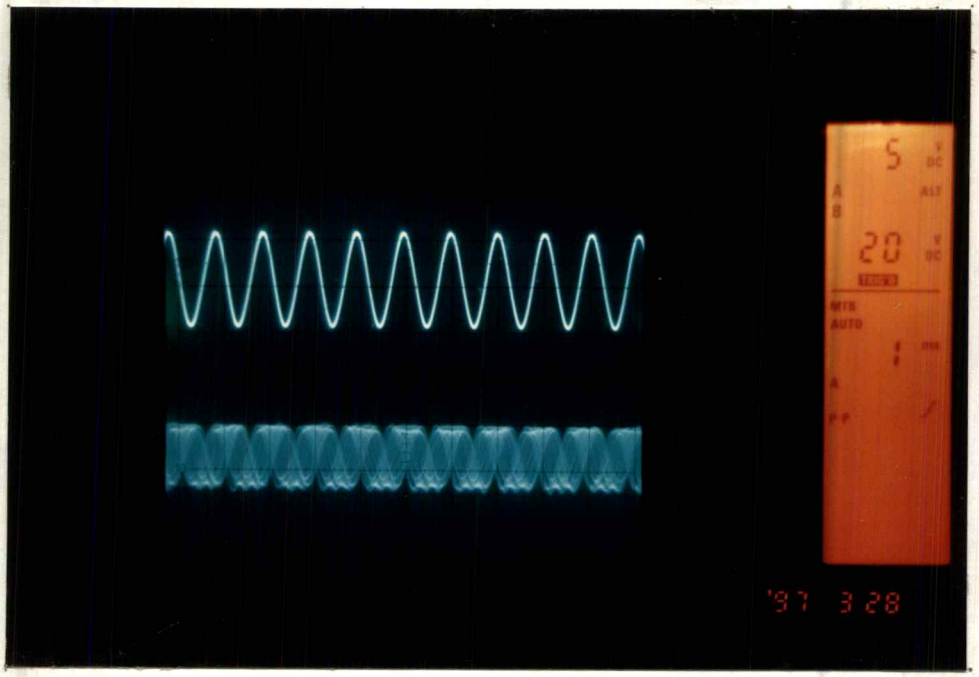
7.ทำซ้ำขั้นตอน 2 จนครบ

คำพูดที่บันทึก	Adress เริ่มต้นของคำพูด
“8”	04H
“7”	0BH
“6”	16H
“5”	1FH
“4”	29H
“3”	34H
“2”	3EH
“1”	49H
“ทำงาน”	53H
“ที่ต้องการ”	5CH
“ไม่”	76H
“ใหม่”	7FH
“ถูกต้อง”	8BH
“เลือก”	6BH
“สวัสดีครับขอต้อนรับเข้าสู่ระบบควบคุม”	E3H
“หมายเลข”	C7H
“แบบอัตโนมัติ”	B8H
“อุปกรณ์ไฟฟ้า”	D3H
“กรุณา”	A0H
“กด”	97H
“รหัสของท่าน”	ACH

ตารางที่ 4.1 แสดงตำแหน่งของแอดเดรสของคำพูดที่ได้บันทึกไว้

สรุป

เมื่อเราเล่นกลับออกมาจะได้สัญญาณเสียงพูดตรงกับที่เราบันทึกเข้าไป ในการนำไปใช้งานเราจะต้องตั้ง แอดเดรส สำหรับเล่นกลับ ให้ตรงกับข้อความที่ต้องการ ตามตารางที่ 4.1

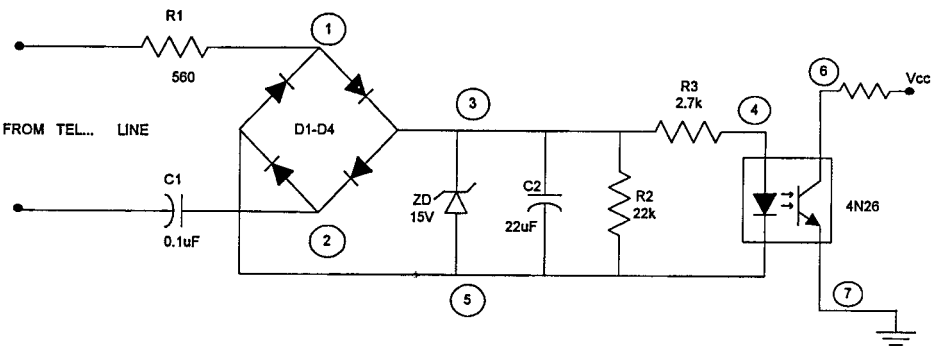


รูปที่ 4.4 แสดงผลการทดลองไอซี ISD 2500

CHANNEL A แสดงสัญญาณที่ป้อนเข้า ไอซี (ความถี่ 1 kHz)

CHANNEL B แสดงสัญญาณที่ออกจากไอซี

4.4 การทดลองวงจรตรวจสอบสัญญาณเรียกเข้า (Ringing detecter)



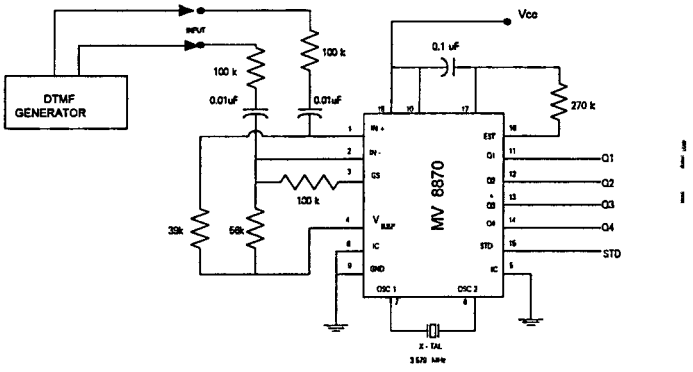
รูปที่ 4.5 แสดงการต่อวงจรทดลอง การตรวจสอบสัญญาณเรียกเข้า

ในการทดลองวงจรตรวจสอบสัญญาณเรียกเข้า เราจะใช้วิธีการต่อวงจรที่จะทำการทดลองเข้ากับ Telephone line แล้วทดลองวัดระดับ Volteage ตามจุดต่างๆ ในขณะมีสัญญาณ Ringing ซึ่งผลการวัดทดสอบได้ค่าดังนี้

จุดทดสอบ	1	3	4	6
	2	5	5	7
โวลท์	47	16	1.2	0.3

สรุปผลการทดลอง ผลการทดลองวงจรสามารถตรวจสอบสัญญาณ Ringing ได้ผลดี สามารถตรวจสอบสัญญาณได้ตามสัญญาณ Ringing ที่เข้ามา

4.5 การทดลองวงจรถอดรหัสสัญญาณ DTMF



รูปที่ 4.6 แสดงการต่อทดลองวงจร DTMF detector

ในการทดสอบวงจรถอดรหัสสัญญาณความถี่โทรศัพท์ (DTMF decoder circuit) เราจะใช้เครื่องโทรศัพท์ต่อเข้ายัง input ของวงจร แล้วทำการกดปุ่ม DTMF เพื่อกำเนิดสัญญาณ DTMF GENERATOR แล้วทำการวัดตรวจสอบ Voltage ตามจุดต่างๆ ดังนี้

กดหมายเลข	Volt				
	Q4	Q3	Q2	Q1	STD
0	4.8	0	4.8	0	4.8
1	0	0	0	4.8	4.8
2	0	0	4.8	0	4.8
3	0	0	4.8	4.8	4.8
4	0	4.8	0	0	4.8
5	0	4.8	0	4.8	4.8
6	0	4.8	4.8	0	4.8
7	0	4.8	4.8	4.8	4.8
8	4.8	0	0	0	4.8
9	4.8	0	0	4.8	4.8
*	4.8	0	4.8	4.8	4.8
#	4.8	4.8	0	0	4.8
ไม่มีการกด	*	*	*	*	0

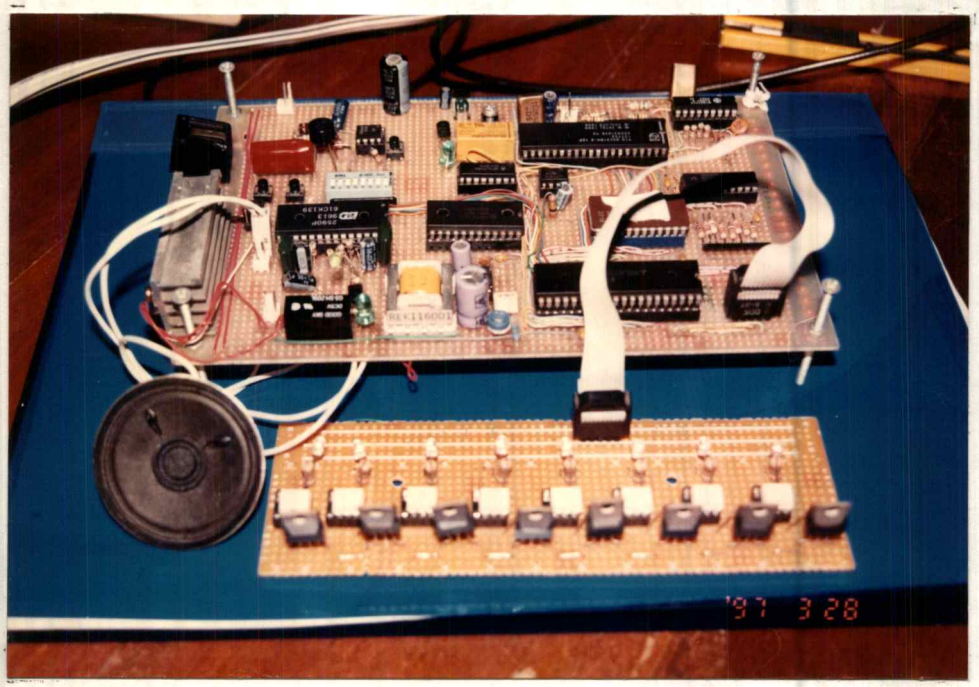
ผลการทดลอง ผลการทดลองค่าที่วัดได้ ได้ค่าออกมาเหมือนกับในตารางที่แสดงว่าวงจรทำงานได้ถูกต้อง

บทที่ 5
บทสรุป

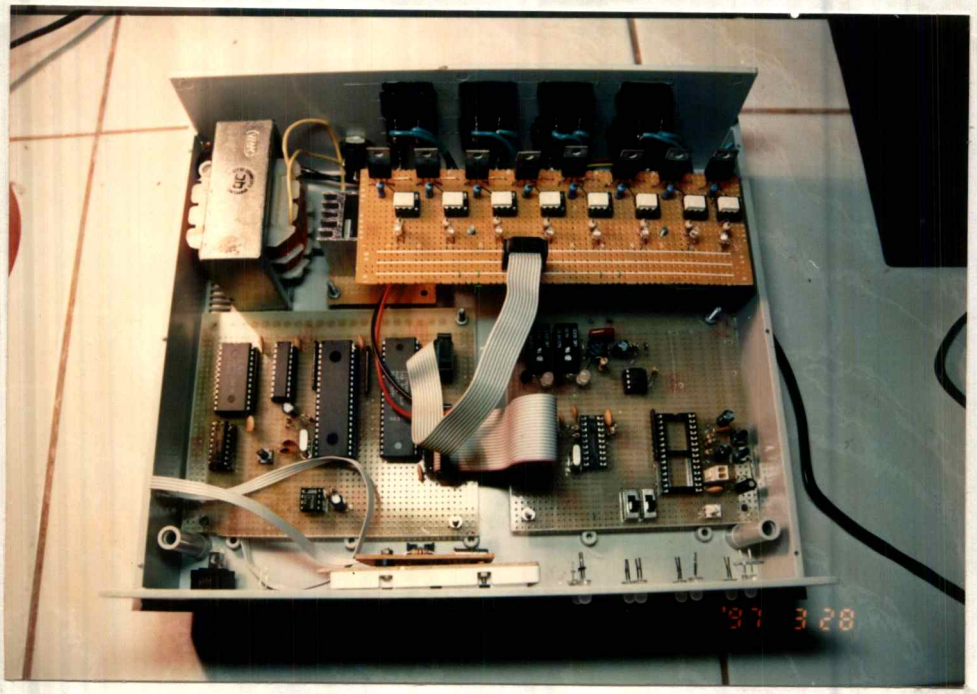
เครื่องควบคุมระยะไกลนี้จะประกอบด้วย CPU 8051 , PORT 8255 , Decode DTMF MT8870 , ISD 2500 , Ring detector นำมาประกอบกันซึ่งเป็นการประยุกต์นำเอาอุปกรณ์มาใช้งานร่วมกัน ในการเขียนโปรแกรมเพื่อที่ใช้กับ Hardware ที่ออกแบบไว้มีปัญหามาก ในการทำงานร่วมกัน ระหว่าง Soft ware กับ Hard ware ต้องทำการตรวจสอบโปรแกรมทีละบรรทัดว่า Hardware ทำงานสัมพันธ์กับโปรแกรมที่เขียนขึ้นหรือไม่ ซึ่งปัญหาส่วนใหญ่ไม่ได้เกิดขึ้นเนื่องจากโปรแกรมที่เขียนขึ้น แต่เกิดจาก Hardware ทำงานผิดพลาด อันเนื่องมาจากอุปกรณ์ทำงานไม่ได้ตามที่กำหนดไว้ เช่น ความเร็วของการทำงาน ทำให้ต้องมีโปรแกรมการหน่วงเวลาใส่ไว้ในโปรแกรมหลักบางจุด

การ Decode DTMF Singnal มีปัญหาเกี่ยวกับการ Interface เข้ากับคู่สายโทรศัพท์เนื่องจากสัญญาณ DTMF ที่มาจาก LINE โทรศัพท์มีความแรงของสัญญาณน้อยมากทำให้วงจร Decoder ไม่สามารถ Decode สัญญาณ DTMF ได้ จึงต้องมีวงจรขยายสัญญาณก่อนการทำการ Decode

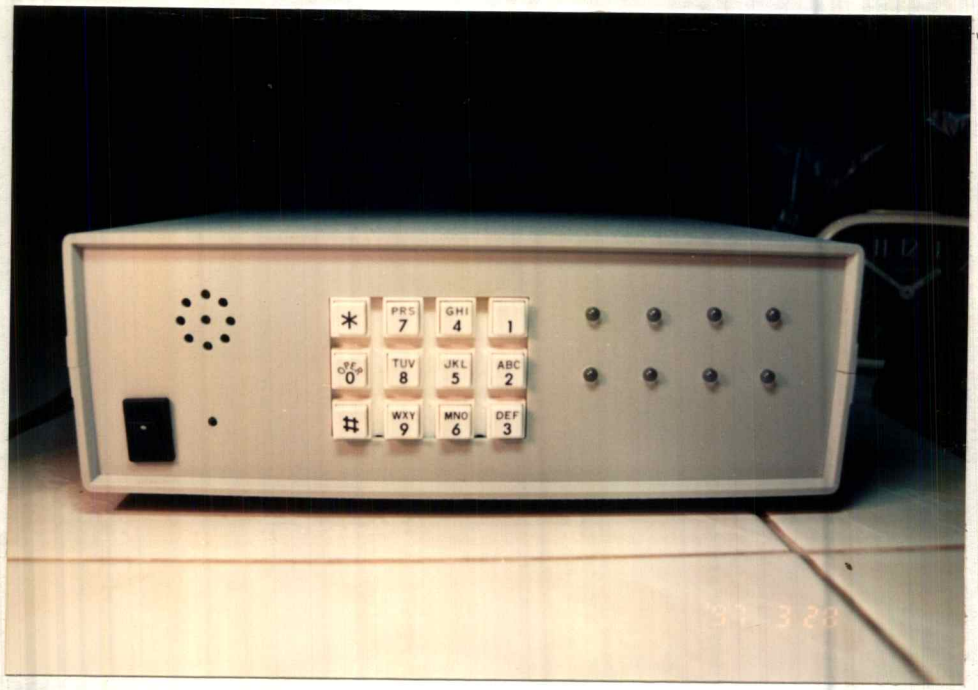
ความรู้ที่ได้จากการทำ project สามารถที่จะนำไปประยุคสร้างวงจรอื่นที่มีการทำงานที่ซับซ้อนกว่านี้ได้



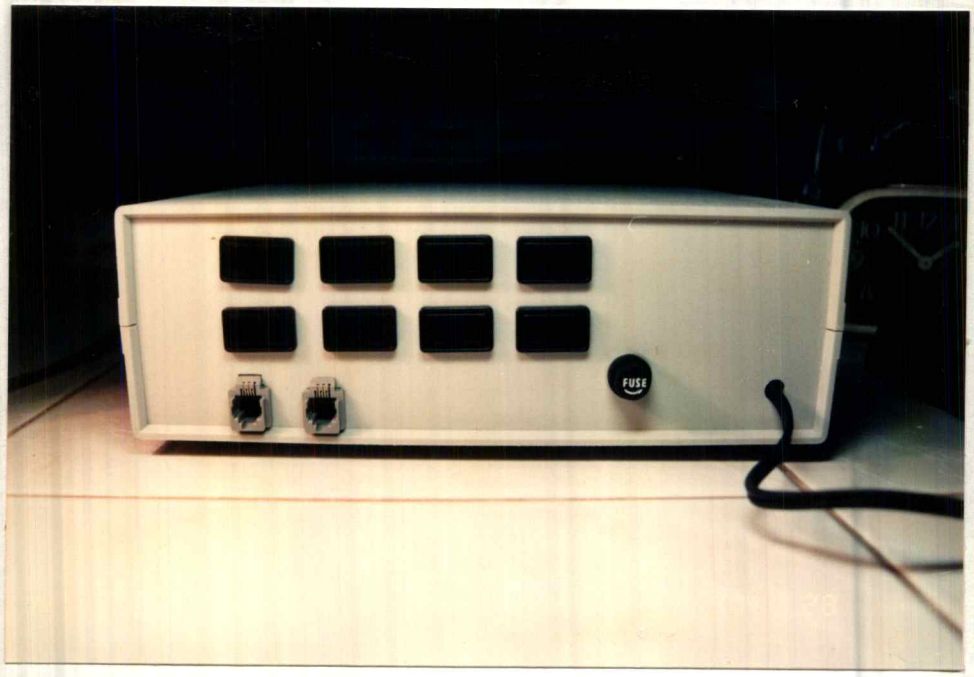
รูปที่ 5.1 แสดงการประกอบวงจรบนแผ่นปริ้นทดลอง



รูปที่ 5.2 แสดงการประกอบใช้งานจริง

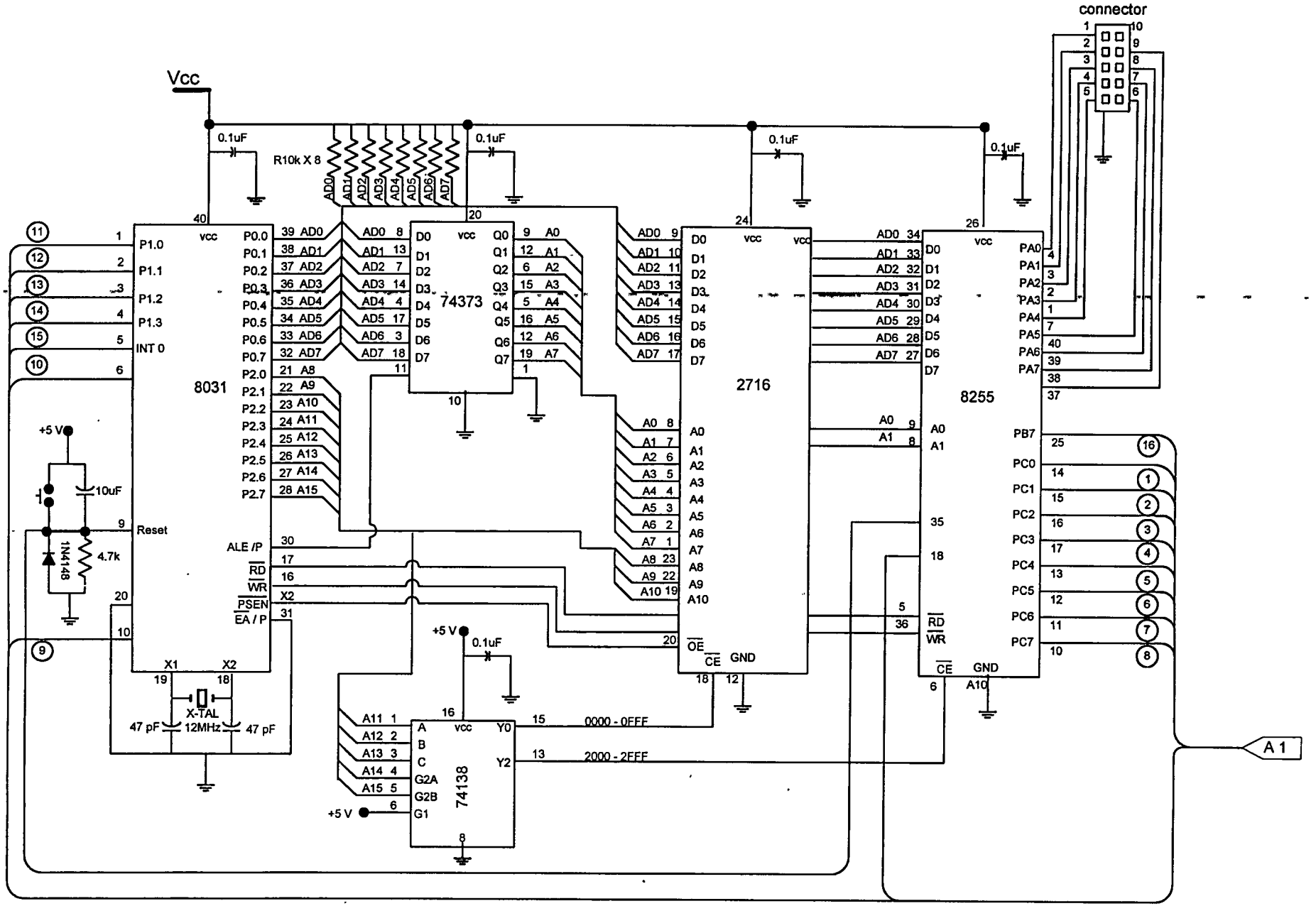


รูปที่ 5.3 แสดงภาพด้านหน้าของเครื่องควบคุม

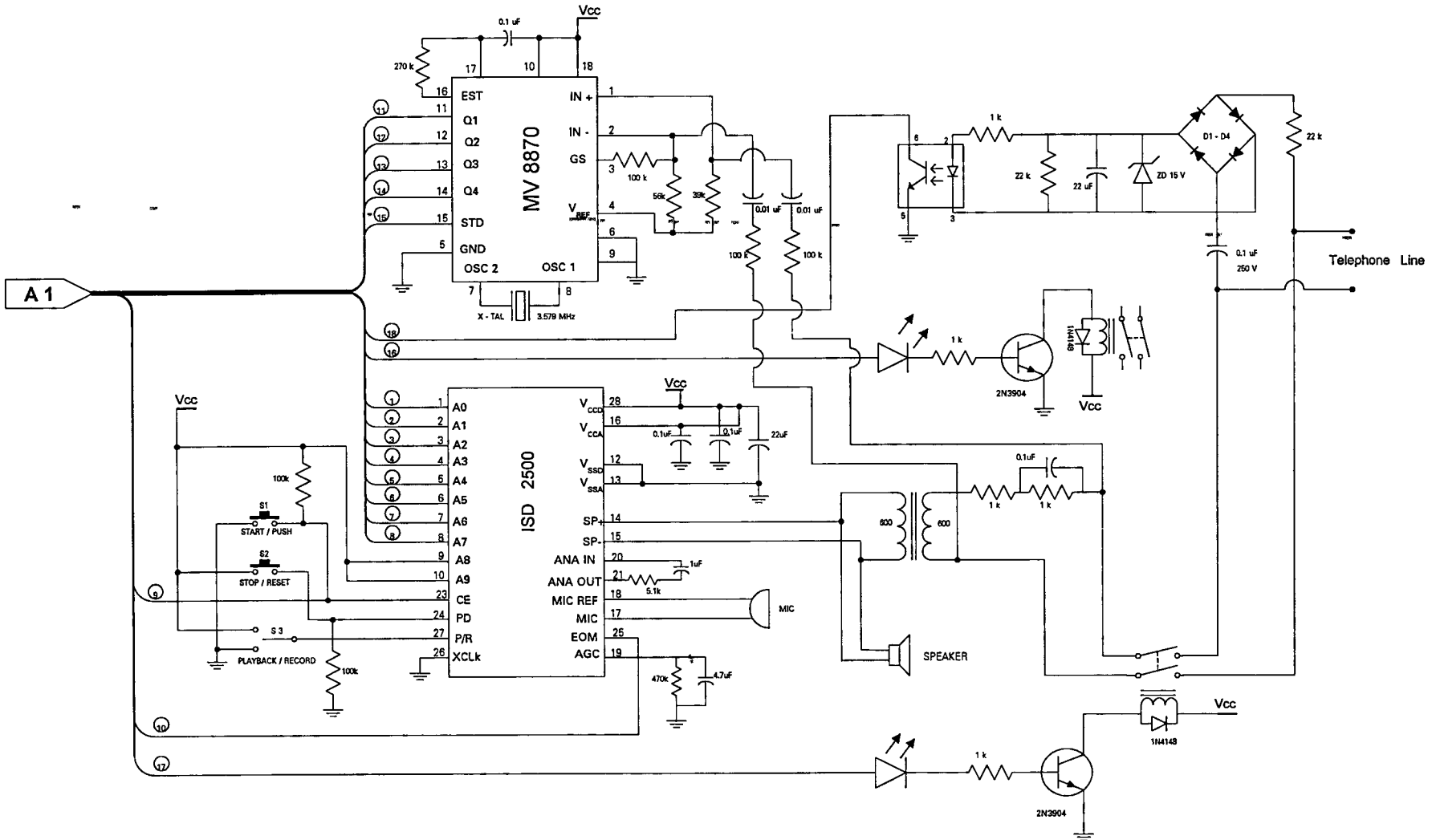


รูปที่ 5.4 แสดงภาพด้านหลังเครื่องควบคุม

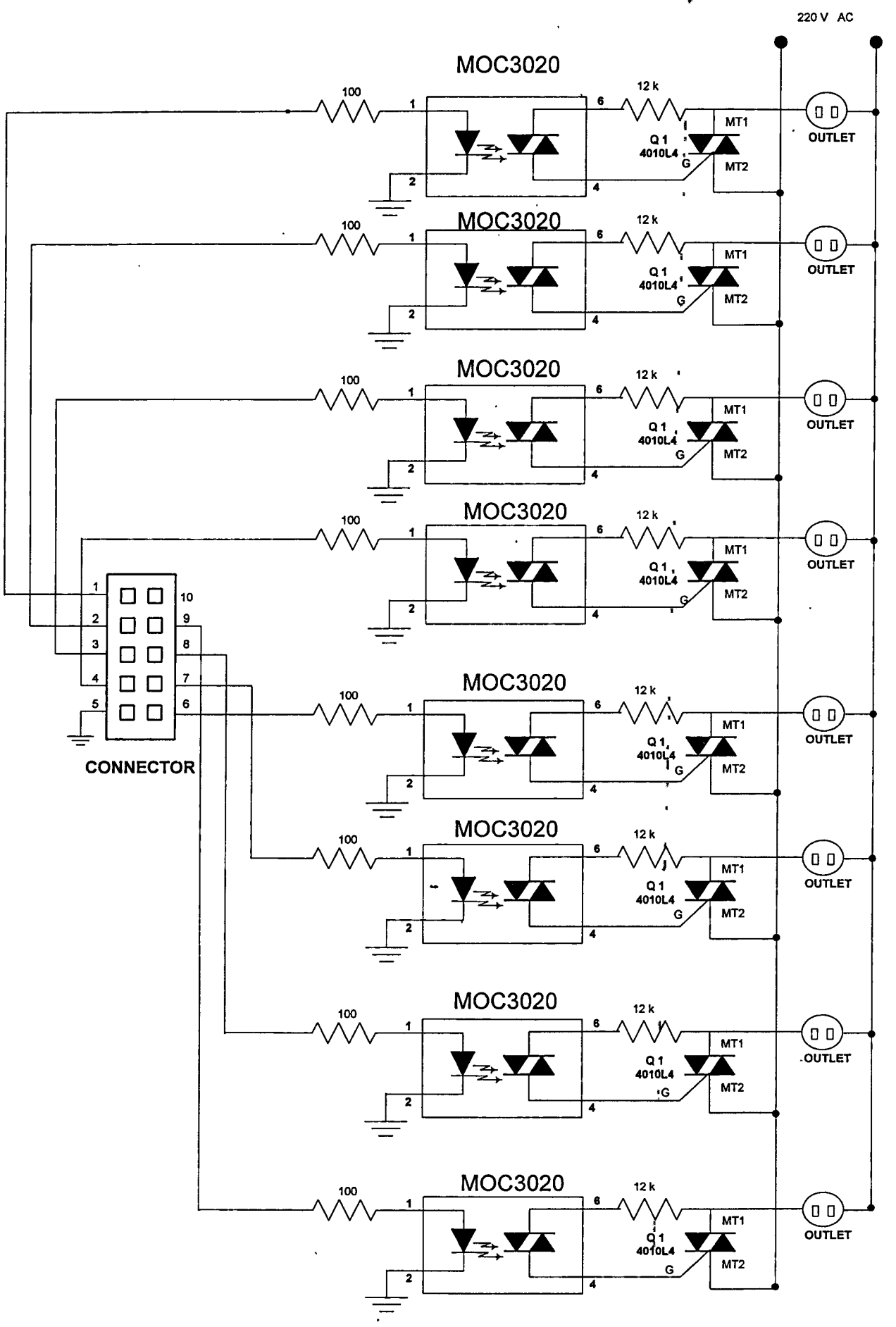
ภาคผนวก ก



วงจรเครื่องควบคุมระยะไกลใช้วิทยุมือถือและโทรศัพท์ ส่วนที่ 1



แสดงวงจรควบคุมระยะไกลใช้วิทยุมือถือและโทรศัพท์ ส่วนที่ 2



แสดงวงจรควบคุมระยะไกลใช้วิทยุมือถือและโทรศัพท์ส่วนที่ 3

2500 A.D. 8051 Macro Assembler - Version 4.01d

Input Filename : DD5.TXT
Output Filename : DD5.obj

```
 1
 2           002A                BUFFER:         EQU     2AH
 3           0024                STA:            EQU     24H
 4           002B                BUFSD:          EQU     2BH
 5           0029                BUFNO:          EQU     29H
 6           0049                ONE:            EQU     49H
 7           003F                TWO:            EQU     3FH
 8           0034                THREE:          EQU     34H
 9           0029                FOUR:           EQU     29H
10           001F                FIVE:           EQU     1FH
11           0016                SIX:            EQU     16H
12           000B                SEVEN:          EQU     0BH
13           0004                EIGHT:          EQU     04H
14
15    0000                                      ORG     0000H
16    0000   00                                 NOP
17    0001   00                                 NOP
18    0002   00                                 NOP
19    0003   00                                 NOP
20    0004   00                                 NOP
21    0005   00                                 NOP
22    0006   00                                 NOP
23    0007   00                                 NOP
24    0008   00                                 NOP
25    0009   80 15                              SJMP    START
26    000B                                      ORG     000BH
27    000B   02 01 7C                           LJMP    STT
28    000E   00                                 NOP
29    0020                                      ORG     0020H
30    0020   12 01 A9            START:         LCALL   DELAY1
31    0023   E4                                 CLR     A
32    0024   F5 24                              MOV     24H,A
33    0026   12 01 F0                           LCALL   LODPW
34    0029   90 10 03                           MOV     DPTR,#1003H
35    002C   74 80                              MOV     A,#80H
36    002E   F0                                 MOVX    @DPTR,A
37    002F   E4                                 CLR     A
38    0030   F5 2A                              MOV     BUFFER,A
39    0032   90 10 00                           MOV     DPTR,#1000H
40    0035   F0                                 MOVX    @DPTR,A
41    0036   90 10 01                           MOV     DPTR,#1001H
42    0039   74 00                              MOV     A,#00H
43    003B   F0                                 MOVX    @DPTR,A
44    003C   D2 AF                              SETB    EA
45    003E   75 89 06                           MOV     TMOD,#06H
46    0041   75 8A FC                           MOV     TL0,#FCH
47    0044   75 8C FC                           MOV     TH0,#FCH
```

```
 48   0047   D2 A9                          SETB    ET0
 49   0049   D2 8C                          SETB    TR0
 50
 51   004B   20 20 28          LOOPC:       JB      24H.0,LOOP8
 52   004E   30 94 FA                       JNB     P1.4,LOOPC
 53   0051   12 01 8C                       LCALL   DELAY
 54   0054   30 94 F4                       JNB     P1.4,LOOPC
 55   0057   20 94 FD          LOOPE:       JB      P1.4,LOOPE
 56   005A   12 01 8C                       LCALL   DELAY
 57   005D   20 94 F7                       JB      P1.4,LOOPE
 58   0060   E5 90                          MOV     A,P1
 59   0062   64 20                          XRL     A,#20H
 60   0064   B4 0C E4                       CJNE    A,#0CH,LOOPC
 61   0067   D2 21                          SETB    24H.1
 62   0069   C2 A9                          CLR     ET0
 63   006B   C2 8C                          CLR     TR0
 64   006D   30 21 03                       JNB     24H.1,CROS3
 65   0070   12 02 DA                       LCALL   TX_ON
 66   0073   12 02 6A          CROS3:       LCALL   FF3
 67   0076
 68   0076   12 02 4A          LOOP8:       LCALL   FF1
 69   0079   30 21 03                       JNB     24H.1,LOOPF
 70   007C   12 02 E2                       LCALL   TX_OFF
 71   007F   12 02 00          LOOPF:       LCALL    CHKPW
 72   0082   30 21 03                       JNB     24H.1,CROS4
 73   0085   12 02 DA                       LCALL   TX_ON
 74   0088   12 02 5A          CROS4:       LCALL   FF2
 75   008B   30 21 03                       JNB     24H.1,LOOP
 76   008E   12 02 E2                       LCALL   TX_OFF
 77
 78                                    ;####Check Key#######
 79   0091   30 94 FD          LOOP:        JNB     P1.4,LOOP
 80   0094   12 01 8C                       LCALL   DELAY
 81   0097   30 94 F7                       JNB     P1.4,LOOP
 82   009A   02 00 A8                       LJMP    SET1
 83   009D   20 94 FD          LOOP1:       JB      P1.4,LOOP1
 84   00A0   12 01 8C                       LCALL   DELAY
 85   00A3   20 94 F7                       JB      P1.4,LOOP1
 86   00A6   80 E9                          SJMP    LOOP
 87
 88   00A8   E5 90              SET1:        MOV     A,P1
 89   00AA   64 30                           XRL     A,#30H
 90   00AC   B4 01 11                        CJNE    A,#01H,SET2
 91   00AF   B2 50                           CPL     BUFFER.0
 92   00B1   30 50 04                        JNB     BUFFER.0,A
 93   00B4   D2 22                           SETB    STA.2
 94   00B6   80 02                           SJMP    B
 95   00B8   C2 22              A:           CLR     STA.2
 96   00BA   75 29 49           B:           MOV     BUFNO,#ONE
 97   00BD   02 01 4C                        LJMP    BUFO
 98
 99   00C0   B4 02 11          SET2:        CJNE    A,#02H,SET3
100   00C3   B2 51                           CPL     BUFFER.1
101   00C5   30 51 04                        JNB     BUFFER.1,C
102   00C8   D2 22                           SETB    STA.2
103   00CA   80 02                           SJMP    D
104   00CC   C2 22              C:           CLR     STA.2
```

```
105   00CE   75 29 3F        D:          MOV     BUFNO,#TWO
106   00D1   02 01 4C                    LJMP    BUFO
107
108   00D4   B4 03 11        SET3:       CJNE    A,#03H,SET4
109   00D7   B2 52                       CPL     BUFFER.2
110   00D9   30 52 04                    JNB     BUFFER.2,E
111   00DC   D2 22                       SETB    STA.2
112   00DE   80 02                       SJMP    F
113   00E0   C2 22           E:          CLR     STA.2
114   00E2   75 29 34        F:          MOV     BUFNO,#THREE
115   00E5   02 01 4C                    LJMP    BUFO
116
117   00E8   B4 04 11        SET4:       CJNE    A,#04H,SET5
118   00EB   B2 53                       CPL     BUFFER.3
119   00ED   30 53 04                    JNB     BUFFER.3,G
120   00F0   D2 22                       SETB    STA.2
121   00F2   80 02                       SJMP    H
122   00F4   C2 22           G:          CLR     STA.2
123   00F6   75 29 29        H:          MOV     BUFNO,#FOUR
124   00F9   02 01 4C                    LJMP    BUFO
125
126   00FC   B4 05 11        SET5:       CJNE    A,#05H,SET6
127   00FF   B2 54                       CPL     BUFFER.4
128   0101   30 54 04                    JNB     BUFFER.4,I
129   0104   D2 22                       SETB    STA.2
130   0106   80 02                       SJMP    J
131   0108   C2 22           I:          CLR     STA.2
132   010A   75 29 1F        J:          MOV     BUFNO,#FIVE
133   010D   02 01 4C                    LJMP    BUFO
134
135   0110   B4 06 11        SET6:       CJNE    A,#06H,SET7
136   0113   B2 55                       CPL     BUFFER.5
137   0115   30 55 04                    JNB     BUFFER.5,K
138   0118   D2 22                       SETB    STA.2
139   011A   80 02                       SJMP    L
140   011C   C2 22           K:          CLR     STA.2
141   011E   75 29 16        L:          MOV     BUFNO,#SIX
142   0121   02 01 4C                    LJMP    BUFO
143
144   0124   B4 07 11        SET7:       CJNE    A,#07H,SET8
145   0127   B2 56                       CPL     BUFFER.6
146   0129   30 56 04                    JNB     BUFFER.6,M
147   012C   D2 22                       SETB    STA.2
148   012E   80 02                       SJMP    N
149   0130   C2 22           M:          CLR     STA.2
150   0132   75 29 0B        N:          MOV     BUFNO,#SEVEN
151   0135   02 01 4C                    LJMP    BUFO
152
153   0138   B4 08 29        SET8:       CJNE    A,#08H,RESET
154   013B   B2 57                       CPL     BUFFER.7
155   013D   30 57 04                    JNB     BUFFER.7,O
156   0140   D2 22                       SETB    STA.2
157   0142   80 02                       SJMP    P
158   0144   C2 22           O:          CLR     STA.2
159   0146   75 29 04        P:          MOV     BUFNO,#EIGHT
160   0149   02 01 4C                    LJMP    BUFO
161
```

```
162   014C   E5 2A          BUFO:    MOV     A,BUFFER
163   014E   90 10 00                 MOV     DPTR,#1000H
164   0151   F0                       MOVX    @DPTR,A
165   0152   30 21 03                 JNB     24H.1,CROS1
166   0155   12 02 DA                 LCALL   TX_ON
167   0158   12 02 7A          CROS1:   LCALL   SND
168   015B   30 21 03                 JNB     24H.1,CROS2
169   015E   12 02 E2                 LCALL   TX_OFF
170   0161   02 00 9D          CROS2:   LJMP    LOOP1
171
172   0164   90 10 01          RESET:   MOV     DPTR,#1001H
173   0167   74 00                     MOV     A,#00H
174   0169   F0                       MOVX    @DPTR,A
175   016A   F5 24                     MOV     24H,A
176   016C   D2 A9                     SETB    ET0
177   016E   D2 8C                     SETB    TR0
178   0170   20 94 FD          LOOP9:   JB      P1.4,LOOP9
179   0173   12 01 8C                 LCALL   DELAY
180   0176   20 94 F7                 JB      P1.4,LOOP9
181   0179   02 00 4B                 LJMP    LOOPC
182
183   017C
184   017C   12 01 8C          STT:     LCALL   DELAY
185   017F   E4                       CLR     A
186   0180   D2 E0                     SETB    A.0
187   0182   90 10 01                  MOV     DPTR,#1001H
188   0185   F0                       MOVX    @DPTR,A
189   0186   D2 20                     SETB    24H.0
190   0188   12 02 6A                 LCALL   FF3
191   018B   32                       RETI
192   018C
193   018C   7F 01          DELAY:   MOV     R7,#01H
194   018E   7D 01          DL3:     MOV     R5,#01H
195   0190   7E FF          DL2:     MOV     R6,#FFH
196   0192   DE FE          DL1:     DJNZ    R6,DL1
197   0194   DD FA                   DJNZ    R5,DL2
198   0196   DF F6                   DJNZ    R7,DL3
199   0198   22                       RET
200   0199   90 10 00          FLASH:   MOV     DPTR,#1000H
201   019C   74 FF                     MOV     A,#FFH
202   019E   F0                       MOVX    @DPTR,A
203   019F   12 01 A9                 LCALL   DELAY1
204   01A2   90 10 00                 MOV     DPTR,#1000H
205   01A5   74 00                     MOV     A,#00H
206   01A7   F0                       MOVX    @DPTR,A
207   01A8   22                       RET
208   01A9   7F FF          DELAY1:  MOV     R7,#FFH
209   01AB   7D 10          DLC:     MOV     R5,#10H
210   01AD   7E FF          DLB:     MOV     R6,#FFH
211   01AF   DE FE          DLA:     DJNZ    R6,DLA
212   01B1   DD FA                   DJNZ    R5,DLB
213   01B3   DF F6                   DJNZ    R7,DLC
214   01B5   22                       RET
215
216   01B6   7C 04          ENTPW:   MOV     R4,#04H      ;Prog
217   01B8   78 20                   MOV     R0,#20H
218   01BA   E5 90                   MOV     A,P1
```

```
219   01BC   30 94 FD      REPW:     JNB     P1.4,REPW
220   01BF   12 01 8C                LCALL   DELAY
221   01C2   30 94 F7                JNB     P1.4,REPW
222   01C5   E5 90                   MOV     A,P1
223   01C7   64 30                   XRL     A,#30H
224   01C9   B4 0C 23                CJNE    A,#0CH,RET1
225   01CC   20 94 FD      LOOPB:    JB      P1.4,LOOPB
226   01CF   12 01 8C                LCALL   DELAY
227   01D2   20 94 F7                JB      P1.4,LOOPB
228   01D5   30 94 FD      REPA:     JNB     P1.4,REPA
229   01D8   12 01 8C                LCALL   DELAY
230   01DB   30 94 F7                JNB     P1.4,REPA
231   01DE   E5 90                   MOV     A,P1
232   01E0   64 30                   XRL     A,#30H
233   01E2   F6                      MOV     @R0,A
234   01E3   08                      INC     R0
235   01E4   20 94 FD      LOOP2:    JB      P1.4,LOOP2
236   01E7   12 01 8C                LCALL   DELAY
237   01EA   20 94 F7                JB      P1.4,LOOP2
238   01ED   DC E6                   DJNZ    R4,REPA
239   01EF   22            RET1:     RET
240
241   01F0   7C 00         LODPW:    MOV     R4,#00H
242   01F2   78 20                   MOV     R0,#20H
243   01F4   EC            LDPW:     MOV     A,R4
244   01F5   90 02 E8                MOV     DPTR,#ADPW
245   01F8   93                      MOVC    A,@A+DPTR
246   01F9   F6                      MOV     @R0,A
247   01FA   0C                      INC     R4
248   01FB   08                      INC     R0
249   01FC   BC 04 F5                CJNE    R4,#04H,LDPW
250   01FF   22                      RET
251
252   0200   79 25         CHKPW:    MOV     R1,#25H
253   0202   78 04                   MOV     R0,#04H
254   0204   30 94 FD      LOOP4:    JNB     P1.4,LOOP4
255   0207   12 01 8C                LCALL   DELAY
256   020A   30 94 F7                JNB     P1.4,LOOP4
257   020D   E5 90                   MOV     A,P1
258   020F   64 30                   XRL     A,#30H
259   0211   F7                      MOV     @R1,A
260   0212   09                      INC     R1
261   0213   20 94 FD      LOOP5:    JB      P1.4,LOOP5
262   0216   12 01 8C                LCALL   DELAY
263   0219   20 94 F7                JB      P1.4,LOOP5
264   021C   D8 E6                   DJNZ    R0,LOOP4
265   021E   79 25                   MOV     R1,#25H
266   0220   E7                      MOV     A,@R1
267   0221   B5 20 10                CJNE    A,20H,LOOP6
268   0224   09                      INC     R1
269   0225   E7                      MOV     A,@R1
270   0226   B5 21 0B                CJNE    A,21H,LOOP6
271   0229   09                      INC     R1
272   022A   E7                      MOV     A,@R1
273   022B   B5 22 06                CJNE    A,22H,LOOP6
274   022E   09                      INC     R1
275   022F   E7                      MOV     A,@R1
```

```
276   0230   B5 23 01                CJNE    A,23H,LOOP6
277   0233   22                      RET
278
279   0234   12 02 3A      LOOP6:    LCALL   FF
280   0237   02 02 00                LJMP    CHKPW
281
282
283                                  ;WORD TO SAY
284   023A
285   023A   78 07         FF:       MOV     R0,#07H
286   023C   79 00                   MOV     R1,#00H
287   023E   90 02 EC      LL2:      MOV     DPTR,#TABLE0
288   0241   E9                      MOV     A,R1
289   0242   93                      MOVC    A,@A+DPTR
290   0243   12 02 BB                LCALL   SOU
291   0246   09                      INC     R1
292   0247   D8 F5                   DJNZ    R0,LL2
293   0249   22                      RET
294
295   024A   78 03         FF1       MOV     R0,#03H
296   024C   79 00                   MOV     R1,#00H
297   024E   90 02 F3      LL3:      MOV     DPTR,#TABLE1
298   0251   E9                      MOV     A,R1
299   0252   93                      MOVC    A,@A+DPTR
300   0253   12 02 BB                LCALL   SOU
301   0256   09                      INC     R1
302   0257   D8 F5                   DJNZ    R0,LL3
303   0259   22                      RET
304
305   025A   78 07         FF2:      MOV     R0,#07H
306   025C   79 00                   MOV     R1,#00H
307   025E   90 02 F6      LL4:      MOV     DPTR,#TABLE2
308   0261   E9                      MOV     A,R1
309   0262   93                      MOVC    A,@A+DPTR
310   0263   12 02 BB                LCALL   SOU
311   0266   09                      INC     R1
312   0267   D8 F5                   DJNZ    R0,LL4
313   0269   22                      RET
314
315   026A   78 01         FF3:      MOV     R0,#01H
316   026C   79 00                   MOV     R1,#00H
317   026E   90 02 FD      LL6:      MOV     DPTR,#TABLE3
318   0271   E9                      MOV     A,R1
319   0272   93                      MOVC    A,@A+DPTR
320   0273   12 02 BB                LCALL   SOU
321   0276   09                      INC     R1
322   0277   D8 F5                   DJNZ    R0,LL6
323   0279   22                      RET
324
325   027A   78 2B         SND:      MOV     R0,#BUFSD
326   027C   76 D3                   MOV     @R0,#D3H
327   027E   08                      INC     R0
328   027F   76 C7                   MOV     @R0,#C7H
329   0281   08                      INC     R0
330   0282   A6 29                   MOV     @R0,BUFNO
331   0284   08                      INC     R0
332   0285   20 22 03                JB      STA.2,AA
```

```
333   0288   76 76          AA:     MOV     @R0,#76H
334   028A   08                     INC     R0
335   028B   76 53                  MOV     @R0,#53H
336   028D   E8                     MOV     A,R0
337   028E   94 2B                  SUBB    A,#BUFSD
338   0290   F8                     MOV     R0,A
339   0291   08                     INC     R0
340   0292   79 2B                  MOV     R1,#BUFSD
341   0294   E7              LL5:   MOV     A,@R1
342   0295   12 02 BB               LCALL   SOU
343   0298   09                     INC     R1
344   0299   D8 F9                  DJNZ    R0,LL5
345   029B   22                     RET
346
347   029C   E9              SOUND: MOV     A,R1
348   029D   F8                     MOV     R0,A
349   029E   90 08 50                MOV     DPTR,#0850H
350   02A1   E0              LL1:   MOVX    A,@DPTR
351   02A2   C0 82                   PUSH    DPTR
352   02A4   90 02 EC                MOV     DPTR,#TABLE0
353   02A7   93                      MOVC    A,@A+DPTR
354   02A8   D0 82                   POP     DPTR
355   02AA   F0                      MOVX    @DPTR,A
356   02AB   A3                      INC     DPTR
357   02AC   D8 F3                   DJNZ    R0,LL1
358   02AE   E9                      MOV     A,R1
359   02AF   F8                      MOV     R0,A
360   02B0   90 08 50                MOV     DPTR,#0850H
361   02B3   E0              L2:    MOVX    A,@DPTR
362   02B4   12 02 BB                LCALL   SOU
363   02B7   A3                      INC     DPTR
364   02B8   D8 F9                   DJNZ    R0,L2
365   02BA   22                      RET
366
367   02BB   90 10 02        SOU:    MOV     DPTR,#1002H
368   02BE   F0                      MOVX    @DPTR,A
369   02BF   C2 B0                   CLR     P3.0
370   02C1   12 01 8C                LCALL   DELAY
371   02C4   D2 B0                   SETB    P3.0
372   02C6   20 95 FD        L1:     JB      P1.5,L1
373   02C9   12 02 CD                LCALL   DELAY2
374   02CC   22                      RET
375   02CD
376   02CD   7F 0A           DELAY2: MOV     R7,#0AH
377   02CF   7D 10           DLF:    MOV     R5,#10H
378   02D1   7E FF           DLE:    MOV     R6,#FFH
379   02D3   DE FE           DLD:    DJNZ    R6,DLD
380   02D5   DD FA                   DJNZ    R5,DLE
381   02D7   DF F6                   DJNZ    R7,DLF
382   02D9   22                      RET
383
384   02DA   E4              TX_ON:  CLR     A
385   02DB   D2 E7                   SETB    ACC.7
386   02DD   90 10 01                MOV     DPTR,#1001H
387   02E0   F0                      MOVX    @DPTR,A
388   02E1   22                      RET
389
```

```
390   02E2   E4              TX_OFF:     CLR     A
391   02E3   90 10 01                    MOV     DPTR,#1001H
392   02E6   F0                          MOVX    @DPTR,A
393   02E7   22                          RET
394
395   02E8   01 02 05 04      ADPW:       DB      01H,02H,05H,04H
396   02EC   AC 76 8B A0      TABLE0:     DB      ACH,76H,8BH,A0H
397   02F0   97 AC 7F                    DB      97H,ACH,7FH
398   02F3   A0 97 AC         TABLE1:     DB      A0H,97H,ACH
399   02F6   E3 B8 A0 6B      TABLE2:     DB      E3H,B8H,A0H,6BH
400   02FA   C7 D3 5C                    DB      C7H,D3H,5CH
401   02FD   E3               TABLE3:     DB      E3H
402
```

Defined	Symbol Name	Value	References
95	A	00B8	92
335	AA	028B	332
395	ADPW	02E8	244
96	B	00BA	94
Pre	BSECT	0000	
2	BUFFER	= 002A	38 91 9
			136 137 14
5	BUFNO	= 0029	96 105 11
162	BUFO	014C	97 106 11
4	BUFSD	= 002B	325 337 34
104	C	00CC	101
252	CHKPW	0200	71 280
Pre	CODE	0000	
167	CROS1	0158	165
170	CROS2	0161	168
66	CROS3	0073	64
74	CROS4	0088	72
105	D	00CE	103
Pre	DATA	0000	
193	DELAY	018C	53 56 8
			262 370
208	DELAY1	01A9	30 203
376	DELAY2	02CD	373
196	DL1	0192	196
195	DL2	0190	197
194	DL3	018E	198
211	DLA	01AF	211
210	DLB	01AD	212
209	DLC	01AB	213
379	DLD	02D3	379
378	DLE	02D1	380
377	DLF	02CF	381
113	E	00E0	110
13	EIGHT	= 0004	159
216	ENTPW	01B6	
114	F	00E2	112
285	FF	023A	279
295	FF1	024A	68
305	FF2	025A	74
315	FF3	026A	66 190
10	FIVE	= 001F	132
200	FLASH	0199	
9	FOUR	= 0029	123
122	G	00F4	119
123	H	00F6	121
131	I	0108	128
132	J	010A	130
140	K	011C	137
141	L	011E	139
372	L1	02C6	372
361	L2	02B3	364
243	LDPW	01F4	249
350	LL1	02A1	357
287	LL2	023E	292
297	LL3	024E	302
307	LL4	025E	312
341	LL5	0294	344

Tue Mar 25 1997 13:27

Defined	Symbol Name		Value	References		
317	LL6		026E	322		
241	LODPW		01F0	33		
79	LOOP		0091	75	79	81
83	LOOP1		009D	83	85	170
235	LOOP2		01E4	235	237	
254	LOOP4		0204	254	256	264
261	LOOP5		0213	261	263	
279	LOOP6		0234	267	270	273
68	LOOP8		0076	51		
178	LOOP9		0170	178	180	
225	LOOPB		01CC	225	227	
51	LOOPC		004B	52	54	60
55	LOOPE		0057	55	57	
71	LOOPF		007F	69		
149	M		0130	146		
150	N		0132	148		
158	O		0144	155		
6	ONE	=	0049	96		
159	P		0146	157		
228	REPA		01D5	228	230	238
219	REPW		01BC	219	221	
172	RESET		0164	153		
239	RET1		01EF	224		
Pre	RSECT		0000			
88	SET1		00A8	82		
99	SET2		00C0	90		
108	SET3		00D4	99		
117	SET4		00E8	108		
126	SET5		00FC	117		
135	SET6		0110	126		
144	SET7		0124	135		
153	SET8		0138	144		
12	SEVEN	=	000B	150		
11	SIX	=	0016	141		
325	SND		027A	167		
367	SOU		02BB	290	300	310
347	SOUND		029C			
3	STA	=	0024	93	95	102
				140	147	149
30	START		0020	25		
184	STT		017C	27		
396	TABLE0		02EC	287	352	
398	TABLE1		02F3	297		
399	TABLE2		02F6	307		
401	TABLE3		02FD	317		
8	THREE	=	0034	114		
7	TWO	=	003F	105		
390	TX_OFF		02E2	70	76	169
384	TX_ON		02DA	65	73	166

Lines Assembled : 402

Assembly Errors : 0

ภาคผนวก ข

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 3 May1995

Features
- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications
- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP
MT8870DT/DT-1	20 Pin TSSOP

-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

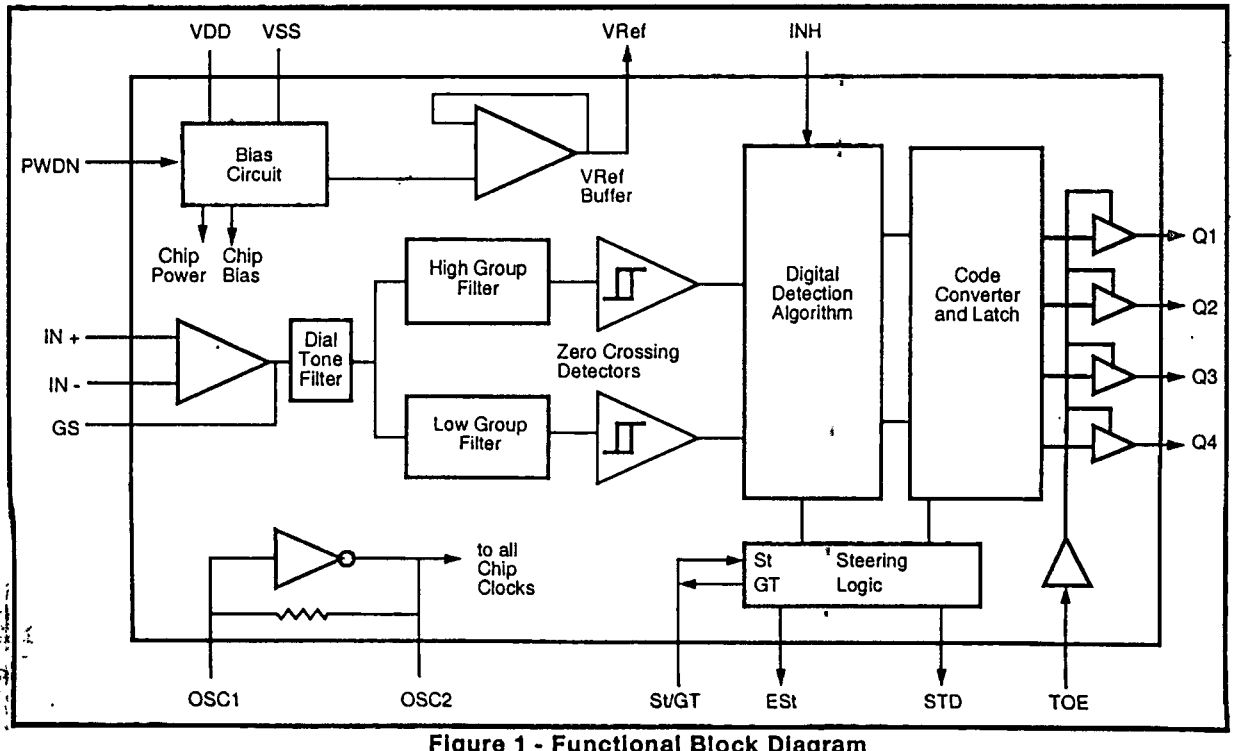


Figure 1 - Functional Block Diagram

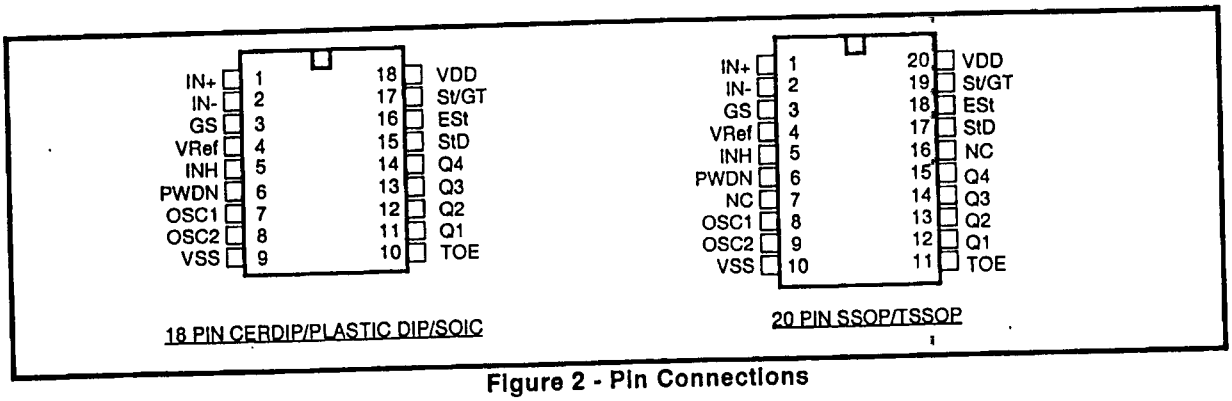


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

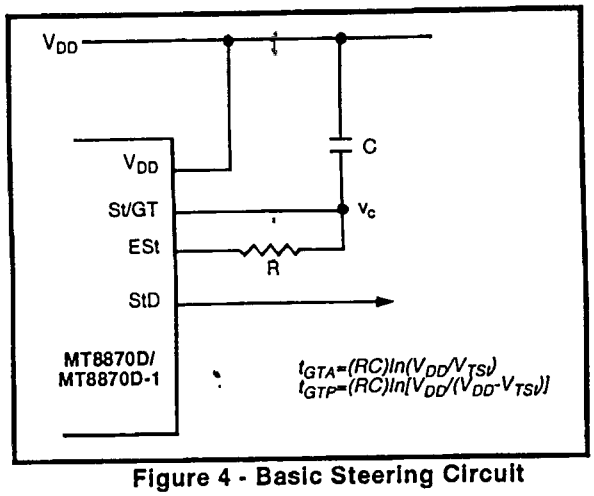


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

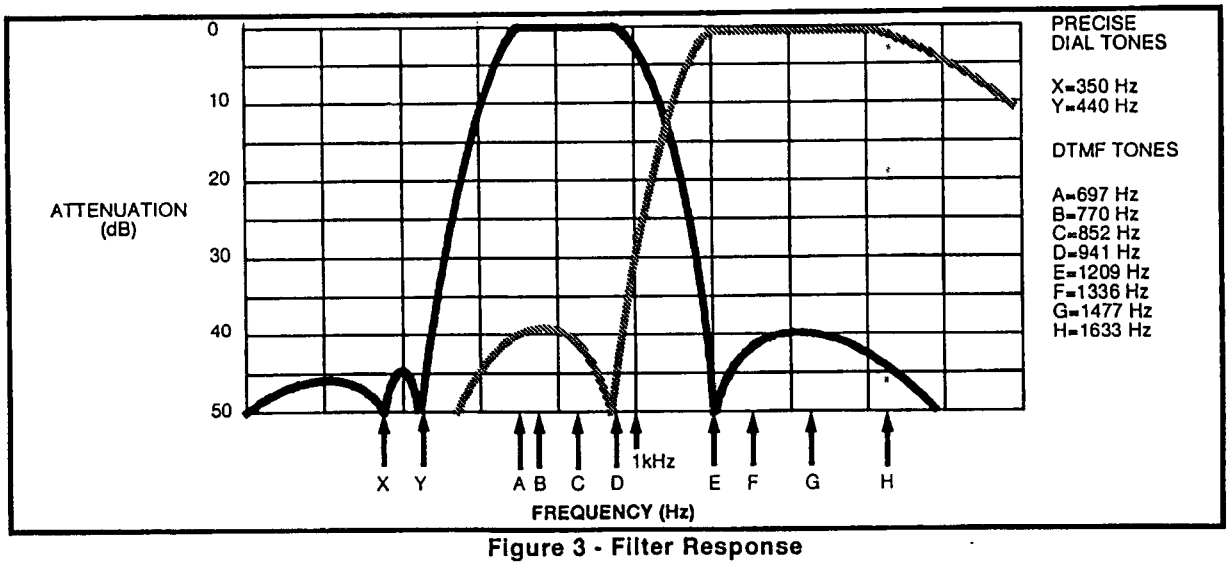


Figure 3 - Filter Response

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

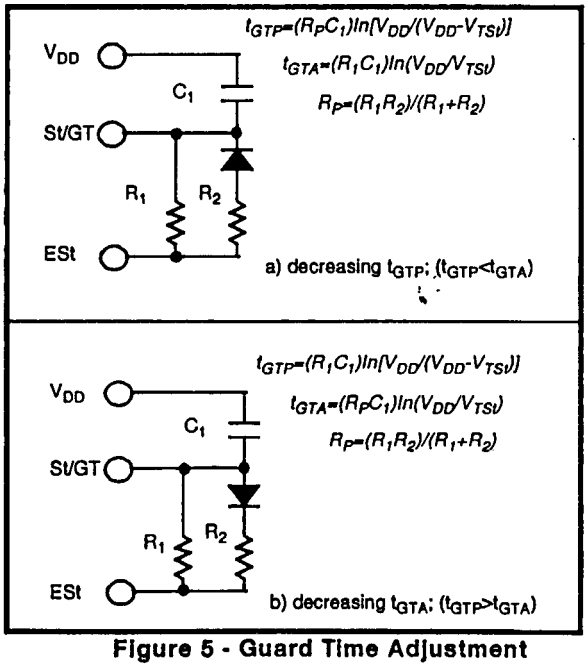


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

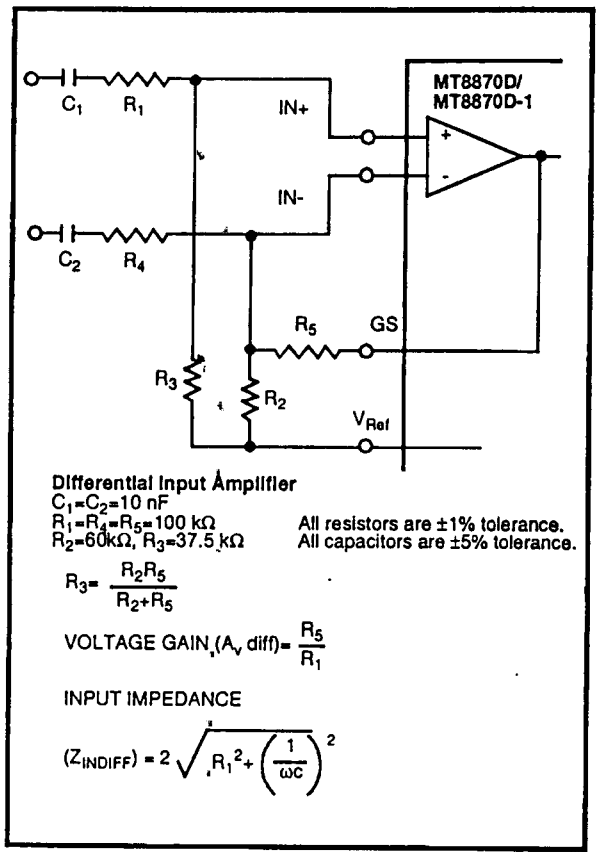


Figure 6 - Differential Input Configuration

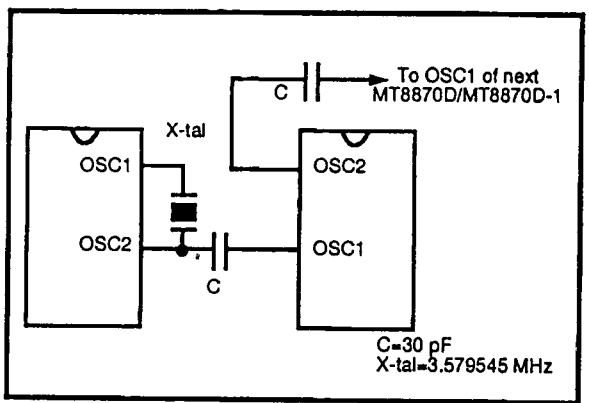


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications
Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

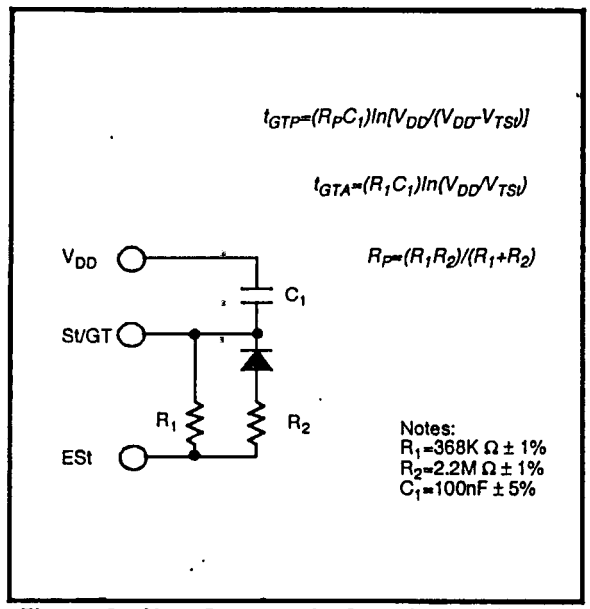


Figure 8 - Non-Symmetric Guard Time Circuit

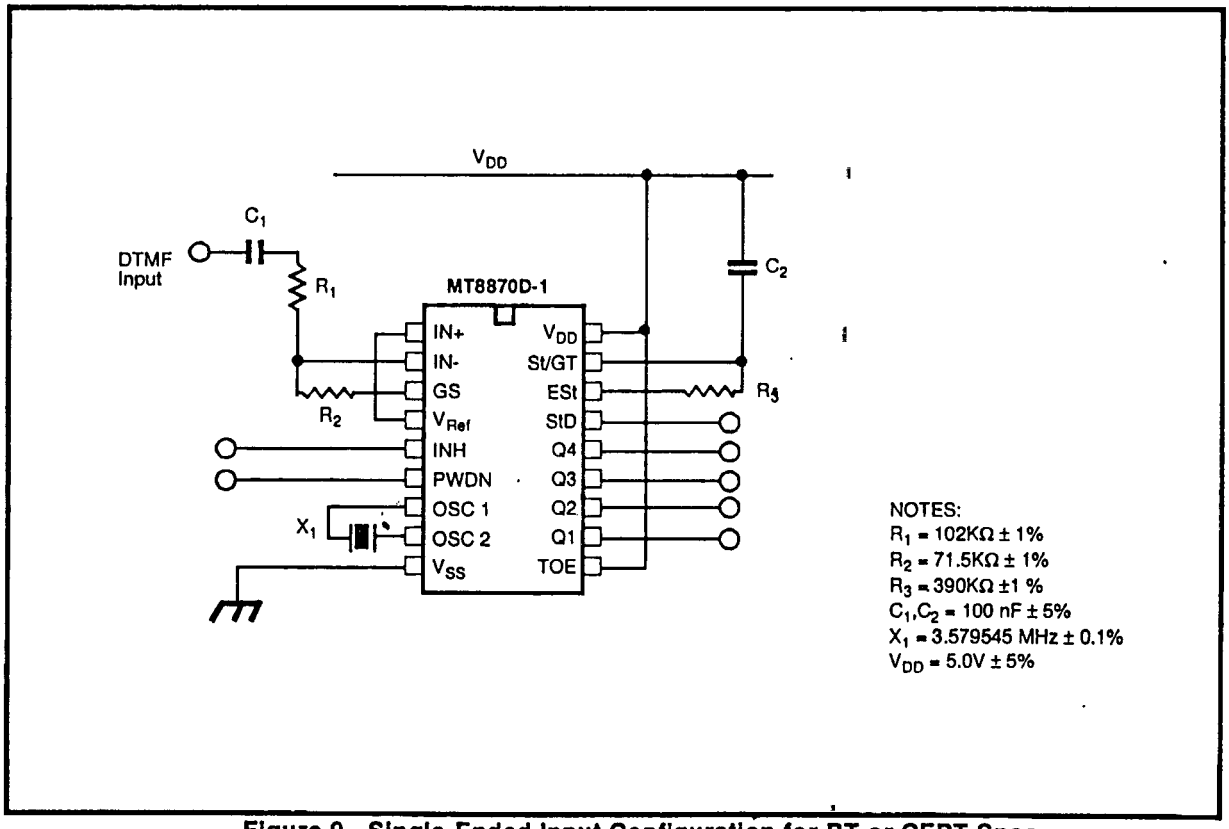


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	μA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	μA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	μA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref}=2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

MT8870D-1 AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid Input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

AC Electrical Characteristics

V_{DD}=5.0V±5%, V_{SS}=0V, -40°C < To < +85°C, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

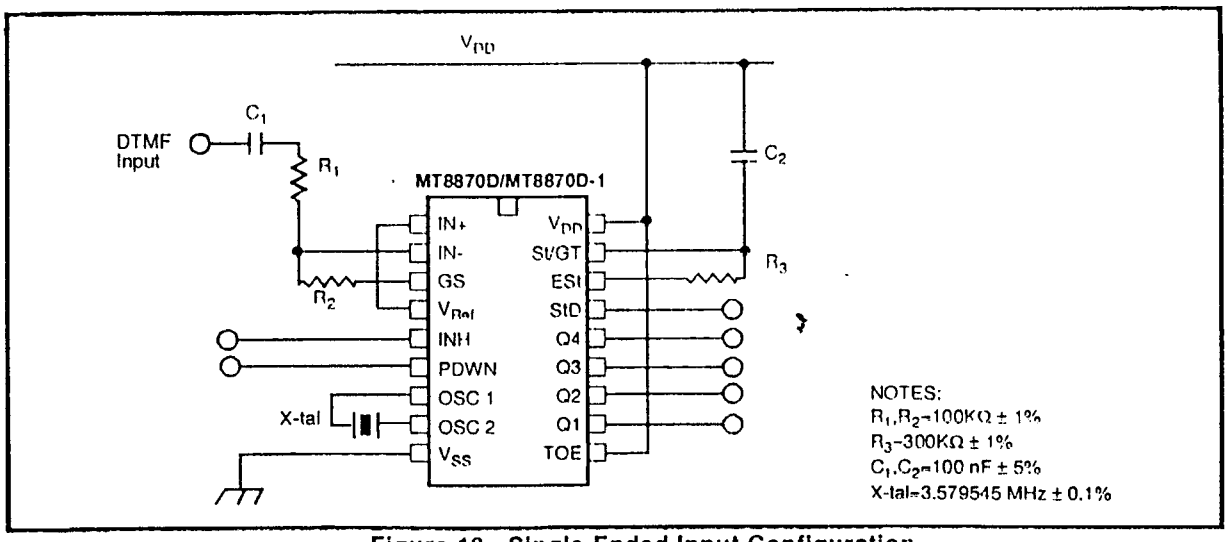
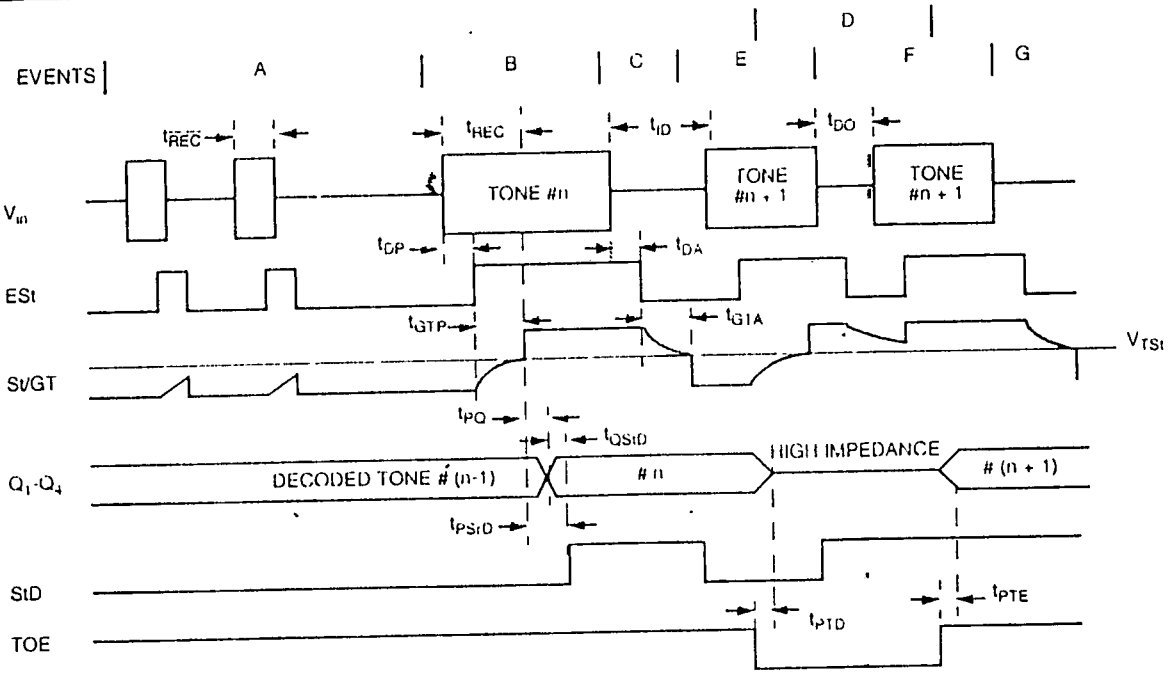


Figure 10 - Single-Ended Input Configuration



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

INFORMATION STORAGE DEVICES

ISD2500 Series

Single-Chip Voice Record/Playback Devices 60-, 75-, and 90-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD2500 ChipCorder™ Series provides high-quality, single-chip record/playback solutions for 60- to 90-second messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. In addition, the ISD2500 is fully microprocessor-compatible, allowing complex messaging and addressing to be achieved.

Recordings are stored in on-board non-volatile memory cells, providing zero-power message storage. This unique solution is made possible through ISD's patented multilevel storage technology, whereby voice and audio signals are stored directly, in their natural analog form, into memory. ISD's multilevel storage technology allows natural voice reproduction in a single-chip, solid-state solution.

ISD2500 SERIES SUMMARY

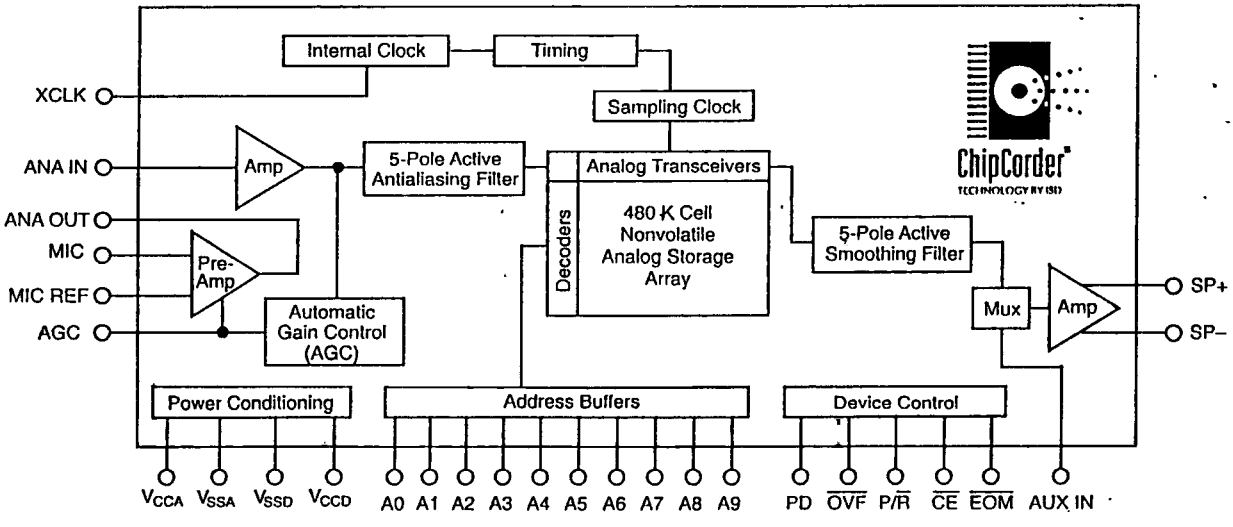
Part Number	Duration (Seconds)	Input Sample Rate (KHz)	Upper Pass Band (KHz)
ISD2560	60	8.0	3.4
ISD2575	75	6.4	2.7
ISD2590	90	5.33	2.3

FEATURES

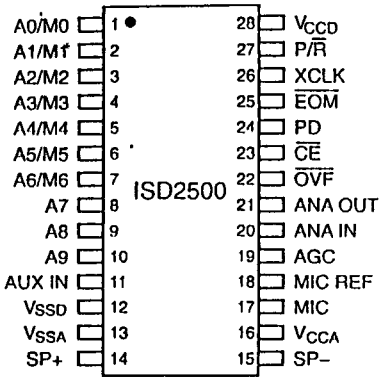
- Easy-to-use single-chip voice record/playback solution
- High-quality, natural voice/audio reproduction
- Manual switch or microprocessor controllable
  - Playback can be edge- or level-activated
- Single-chip durations of 60, 75, and 90 seconds
- Directly cascadable for longer durations
- Automatic Power-Down (Push-Button Mode)
  - Standby current 1 µA (typical)
- Zero-power message storage
  - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100K record cycles (typical)
- On-chip clock source
- Programmer support for play-only applications
- Single 5V power supply
- Available in die form, DIP, SOIC, and TSOP packaging
- Industrial-temperature (-40°C to 85°C) versions available

ELECTRONICS SOURCE CO., LTD.
5 BANMOH RD., WANGBURAPIROM, PHAHAKORN, BANGKOK 10200
TEL. 226-4145-6, 226-4318-9, 226-2611 FAX: (662) 226-4293, 225-6985

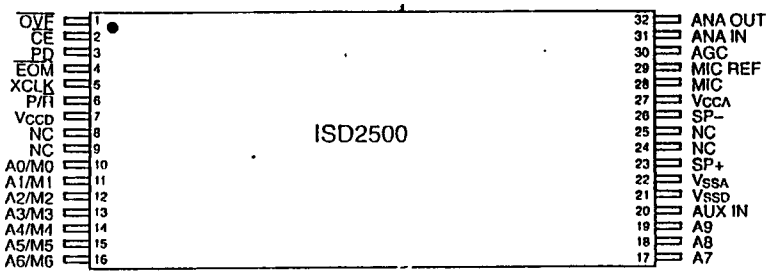
ISD2500 SERIES BLOCK DIAGRAM



ISD2500 SERIES PINOUTS



DIP/SOIC



TSOP

DETAILED DESCRIPTIONS

Speech/Sound Quality

The ISD2500 Series includes devices offered at 5.3, 6.4, and 8.0 sampling frequencies, allowing the user a choice of speech quality options. The speech samples are stored directly into on-board non-volatile memory without the digitization and compression associated with other solutions. Direct-analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

Duration

To meet end system requirements, the ISD2500 Series offers single-chip solutions at 60, 75, and 90 seconds. Parts may also be cascaded together for longer durations.

EEPROM Storage

One of the benefits of ISD's ChipCorder technology is the use of on-board non-volatile memory, providing zero-power message storage. The message is retained for up to 100 years without power. In addition, the device can be re-recorded over 100,000 times.

Microcontroller Interface

In addition to its simplicity and ease of use, the ISD2500 Series includes all the interfaces necessary for microcontroller-driven applications. The address and control lines can be interfaced to a microcontroller and manipulated to perform a variety of tasks, including message assembly, message concatenation, predefined fixed message segmentation, and message management.

Programming

The ISD2500 Series is also ideal for playback-only applications, where single or multiple messages are referenced through buttons, switches, or a microcontroller. Once the desired message configuration is created, duplicates can easily be generated via an ISD programmer.

PIN DESCRIPTIONS

Microphone Input (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-board Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from -15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 KOhm resistance on this pin, determines the low-frequency cutoff for the ISD2500 Series passband. See ISD's Application Notes and Design Manual for additional information on low-frequency cutoff calculation.

Microphone Reference Input (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected to a differential microphone.

Analog Output (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

Analog Input (ANA IN)

The analog input pin transfers its signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 KΩ input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

Automatic Gain Control Input (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of whispers to loud sounds to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 KΩ internal resistance and an external capacitor (C2 on the schematic on page 7) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R2) and an external capacitor (C2) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 KΩ and 4.7 µF give satisfactory results in most cases.

Speaker Outputs (SP+/SP-)

All devices in the ISD2500 Series include an on-chip differential speaker driver, capable of driving 50 milliwatts into 16 Ω.

The speaker outputs are held at V_{SSA} levels during record and power down. It is therefore not possible to parallel speaker outputs of multiple ISD2500 devices or the outputs of other speaker drivers.

CONNECTION OF SPEAKER OUTPUTS IN PARALLEL MAY CAUSE DAMAGE TO THE DEVICE.

While a single output may be used alone (including a coupling capacitor between the SP pin and the speaker), these outputs may be used individually with the output signal taken from either pin. Using the differential outputs results in a 4:1 improvement in output power.

NEVER GROUND OR DRIVE AN UNUSED SPEAKER OUTPUT.

Power Down Input (PD)

When not recording or playing back, the PD pin should be pulled HIGH to place the part in a very low power mode (see I_{SB} specification). When $\overline{OVF}$ pulses LOW for an overflow condition, PD should be brought HIGH to reset the address pointer back to the beginning of the Record/Playback space. The PD pin has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

Chip Enable Input ($\overline{CE}$)

The $\overline{CE}$ pin is taken LOW to enable all Playback and Record operations. The address inputs and Playback/Record input (P/$\overline{R}$) are latched by the falling edge of $\overline{CE}$. $\overline{CE}$ has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

Playback/Record Input (P/$\overline{R}$)

The P/$\overline{R}$ input is latched by the falling edge of the $\overline{CE}$ pin. A HIGH level selects a Playback cycle while a LOW level selects a Record cycle. For a Record cycle, the address inputs provide the starting address and recording continues until PD or $\overline{CE}$ is pulled HIGH or an overflow is detected (i.e. the chip is full). When a Record cycle is terminated by pulling PD or $\overline{CE}$ HIGH, an End-Of-Message ($\overline{EOM}$) marker is stored at the current address in memory. For a Playback cycle, the address inputs provide the starting address and the device will play until an $\overline{EOM}$ marker is encountered. The device can continue past an $\overline{EOM}$ marker in an operational mode, or if $\overline{CE}$ is held LOW in address mode. (See Table 1, Page 4 for more Operational Modes).

Address/Mode Inputs (Ax/Mx)

The Address/Mode Inputs have two functions depending on the level of the two Most Significant Bits (MSB) of the address (A8 & A9).

If either or both of the two MSBs is (are) LOW, the inputs are ALL interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{CE}$.

If both MSBs are HIGH, the Address/Mode Inputs are interpreted as Mode bits according to the Operational Mode Table 1 on page 4. There are six (6) operational modes (M0..M6) available as indicated on Table 1. It is possible to use multiple operational modes simultaneously. Operational Modes are sampled on EACH falling edge of $\overline{CE}$, and thus Operational Modes and direct addressing are mutually exclusive.

External Clock Input (XCLK)

The external clock input for the ISD2500 devices have an internal pull-down device. These devices are configured at the factory with an internal sampling clock frequency centered to ±1 % of specification. The frequency is maintained to a total variation of ±2.25 % over the entire commercial temperature and operating voltage ranges. The internal clock has a 5% tolerance over the industrial temperature range and voltage range. A regulated power supply is recommended for industrial temperature range parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Part Number	Sample Rate	Required Clock
ISD2590	5.33 KHz	682.7 KHz
ISD2575	6.4 KHz	819.2 KHz
ISD2560	8.0 KHz	1024 KHz

These recommended clock rates should not be varied because the anti-aliasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately

ISD2500 SERIES — PIN DESCRIPTIONS, CONT.

divided by two. IF THE XCLK IS NOT USED, THIS INPUT MUST BE CONNECTED TO GROUND.

End-Of-Message / RUN Output ($\overline{EOM}$)

A non-volatile marker is automatically inserted at the end of each recorded message. It remains there until the message is recorded over. The $\overline{EOM}$ output pulses LOW for a period of T_{EOM} at the end of each message.

In addition, the ISD2500 Series has an internal V_{CC} detect circuit to maintain message integrity should V_{CC} fall below 3.5V. In this case, $\overline{EOM}$ goes LOW and the device is fixed in Playback-only mode.

When the device is configured in Operational Mode M6 (Push-Button Mode), this pin provides an active-HIGH RUN signal, indicating the device is currently recording or playing. This signal can conveniently drive an LED for a visual indicator of a Record or Playback operation in process.

Overflow Output ($\overline{OVF}$)

This signal pulses LOW at the end of memory space, indicating the device has been filled and the message has overflowed. The $\overline{OVF}$ output then follows the $\overline{CE}$ input until a PD pulse has reset the device. This pin can be used to cascade several ISD2500 devices together to increase Record/Playback durations.

Auxiliary Input (AUX IN)

The Auxiliary Input is multiplexed through to the output amplifier and speaker output pins when $\overline{CE}$ is HIGH, P/$\overline{R}$ is HIGH, and Playback is currently not active (including the overflow conditions) or if the device is in overflow. When cascading multiple ISD2500 devices, the AUX IN pin is used to connect a Playback signal from a following device to the previous output speaker drivers. For noise considerations, it is suggested that the auxiliary input not be driven when the storage array is active.

Voltage Inputs (V_{CCA}, V_{CCD})

To minimize noise, the analog and digital circuits in the ISD2500 Series devices use separate power busses. These voltage busses are brought out to separate pins and should be tied together as close to the supply as possible. In addition, these supplies should be decoupled as close to the package as possible.

Ground Inputs (V_{SSA}, V_{SSD})

The ISD2500 Series of devices utilizes separate analog and digital ground busses. These pins should be tied together as close to the package as possible and connected through a low-impedance path to power supply ground.

OPERATIONAL MODES

The ISD2500 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components. These are described in detail below. The operational modes use the address pins on the ISD2500 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A8 & A9), the remaining address signals are interpreted as mode bits and NOT as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD2500 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback, Playback to Record (except M6 mode), or when a Power-Down cycle is executed.

Second, Operational Modes are executed when $\overline{CE}$ goes LOW and the two MSBs are HIGH. This Operational

TABLE 1. OPERATIONAL MODES

Mode Control	Function	Typical Use	Jointly* Compatible
M0	Message cueing	Fast-forward through messages	M4, M5, M6
M1	Delete $\overline{EOM}$ markers	Position $\overline{EOM}$ marker at the end of the last message	M3, M4, M5, M6
M2	Not applicable	Reserved	N/A
M3	Looping	Continuous playback from address 0	M1, M5, M6
M4	Consecutive addressing	Record/Play multiple consecutive messages	M0, M1, M5
M5	$\overline{CE}$ level-activated	Allows message pausing	M0, M1, M3, M4
M6	Push-button control	Simplified device interface	M0, M1, M3

** Indicates additional operational modes which can be used simultaneously with the given mode.*

Mode remains in effect until the next LOW-going $\overline{CE}$ signal, at which point the current address/mode levels are sampled and executed.

OPERATIONAL MODE DESCRIPTIONS

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

M0 — Message Cueing

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each $\overline{CE}$ LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the M4 Operational Mode.

M1 — Delete $\overline{EOM}$ Markers

The M1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one $\overline{EOM}$ marker set at the end of the final message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

M2 — Unused

When operational modes are selected, the M2 pin should be LOW.

M3 — Message Looping

The M3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message CAN completely fill the ISD2500 device and will loop from beginning to end without $\overline{OVF}$ going LOW.

M4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an $\overline{EOM}$ marker. The M4 Operational Mode inhibits the address pointer reset on $\overline{EOM}$, allowing messages to be played back consecutively.

M5 — $\overline{CE}$-Level Activated

The default mode for ISD2500 devices is for $\overline{CE}$ to be edge-activated on Playback and level-activated on Record. The M5 Operational Mode causes the $\overline{CE}$ pin to be interpreted as level-activated as opposed to edge-activated during Playback. This is specifically useful for terminating Playback operations using the $\overline{CE}$ signal.

In this mode, $\overline{CE}$ LOW begins a Playback cycle, at the beginning of the device memory. The Playback cycle continues as long as $\overline{CE}$ is held LOW. When $\overline{CE}$ goes HIGH, Playback will immediately end. A new $\overline{CE}$ LOW will restart the message from the beginning unless M4 is also HIGH.

M6 — Push-Button Mode

The ISD2500 Series of devices contain a push-button operational mode. The push-button mode is used primarily in very low-cost applications and is designed to minimize external circuitry and components, thereby reducing system cost. In order to configure the device in push-button operational mode, the two most significant address bits (pins 9 and 10) must be HIGH, and the M6 mode pin (pin 7) must also be HIGH. A device in this mode always powers down at the end of each Playback or Record cycle after $\overline{CE}$ goes HIGH.

When this operational mode is implemented, several of the pins on the device have alternate functionality:

Pin Name	Alternate Functionality in Push-Button Mode
Pin 23, $\overline{CE}$	Start/Pause Push-Button (LOW Pulse-Activated)
Pin 24, PD	Stop/Reset Push-Button (HIGH Pulse-Activated)
Pin 25, $\overline{EOM}$	Active-HIGH Run Indicator

Pin 23: $\overline{CE}$ ($\overline{START}/\overline{PAUSE}$)

In push-button Operational Mode, $\overline{CE}$ acts as a LOW-going pulse-activated $\overline{START}/\overline{PAUSE}$ signal. If no operation is currently in progress, a LOW-going pulse on this signal will initiate a Playback or a Record cycle according to the level on the P/$\overline{R}$ pin. A subsequent pulse on the $\overline{CE}$ pin, before an End-Of-Message is reached in Playback or an overflow condition occurs, will cause the device to pause. The address counter is not reset, and another $\overline{CE}$ pulse will cause the device to continue the operation from the place where it was paused.

Pin 24: PD (STOP/RESET)

In push-button Operational Mode, PD acts as a HIGH-going pulse-activated STOP/RESET signal. When a Playback or Record cycle is in progress and a HIGH-going pulse is observed on PD, the current cycle is terminated and the address pointer is reset to address 0, the beginning of the message space.

Pin 25: $\overline{EOM}$ (RUN)

In push-button Operational Mode, $\overline{EOM}$ becomes an active-HIGH RUN signal which can be used to drive an LED or other external device. It is HIGH whenever a Record or Playback operation is in progress.

Recording in Push-Button Mode

1) The PD pin should be LOW, usually using a pulldown resistor.

2) The P/$\overline{R}$ pin is taken LOW.

OPERATIONAL MODE DESCRIPTIONS, CONT.

3) The $\overline{CE}$ pin is pulsed LOW. Recording starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.

4) The $\overline{CE}$ pin is pulsed LOW. Recording pauses, $\overline{EOM}$ goes back LOW. The internal address pointers are not cleared, but an $\overline{EOM}$ marker is stored in memory to point to the message end. The P/$\overline{R}$ pin may be taken HIGH at this time. Any subsequent $\overline{CE}$ would start a playback at address 0.

5) The $\overline{CE}$ pin is pulsed LOW. Recording starts at the next address after the previous set $\overline{EOM}$ marker. $\overline{EOM}$ goes back HIGH. (Note: if the M1 operational mode pin is also HIGH, the just previously written $\overline{EOM}$ bit is erased, and recording starts at that address.)

6) When the recording sequences are finished, the final $\overline{CE}$ pulse LOW will end the last Record cycle, leaving a set $\overline{EOM}$ marker at the message end. Recording may also be terminated by a HIGH level on PD, which will leave a set $\overline{EOM}$ marker.

Playback in Push-Button Mode

1) The PD pin should be LOW.

2) The P/$\overline{R}$ pin is taken HIGH.

3) The $\overline{CE}$ pin is pulsed LOW. Playback starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.

4) If the $\overline{CE}$ pin is pulsed LOW or an $\overline{EOM}$ marker is encountered during an operation, the part will pause. The internal address pointers are not cleared, and $\overline{EOM}$ goes back LOW. The P/$\overline{R}$ pin may be changed at this time. A subsequent Record operation would not reset the address pointers and the recording would begin where Playback ended.

5) $\overline{CE}$ is again pulsed LOW. Playback starts where it left off, with $\overline{EOM}$ going HIGH to indicate an operation in progress.

6) Playback continues as in 4) and 5) until PD is pulsed HIGH or overflow occurs.

7) If in overflow, pulling $\overline{CE}$ LOW will reset the address pointer and start Playback from the beginning. After a PD pulse, the part is reset to address 0.

Note: Push-button mode can be used in conjunction with modes M0, M1, and M3.

Good Audio Design Practices

The ISD products are very high-quality single-chip voice recording and playback systems. To insure the highest quality voice reproduction, it is important that good audio design practices on layout and power supply decoupling be followed. See the ISD Application Notes and Design Manual for details.

ISD1000A COMPATIBILITY

The ISD2500 Series of devices is designed to provide upward compatibility with the ISD1000A family. When designing with the ISD2500 Series, the following differences should be noted:

Addressing

The ISD2500 Series devices have 480 K storage cells designed to provide 60 seconds of storage at a sampling rate of 8.0 KHz. This is approximately four times the storage of the ISD1000A family. To enable the same addressing resolution, two additional address pins have been added. The address space of each device is divisible into 600 increments with valid addressing from 00 to 257 Hex. Some higher addresses are mapped into the Operational Modes. All other addresses are invalid.

Overflow

The ISD1000A Series combined two functions on the EOM pin: end-of-message indication and overflow. The ISD2500 separates these two functions. Pin 25 remains as $\overline{EOM}$, but outputs only the $\overline{EOM}$ signal indication. Pin 22 becomes $\overline{OVF}$ and pulses LOW only when the device reaches its end of memory, or is "full." This change allows easy message cueing and addressability across device boundaries. This also means that the M2 operational mode found in the ISD1000A family is not implemented in the ISD2500 Series.

Push-Button Mode

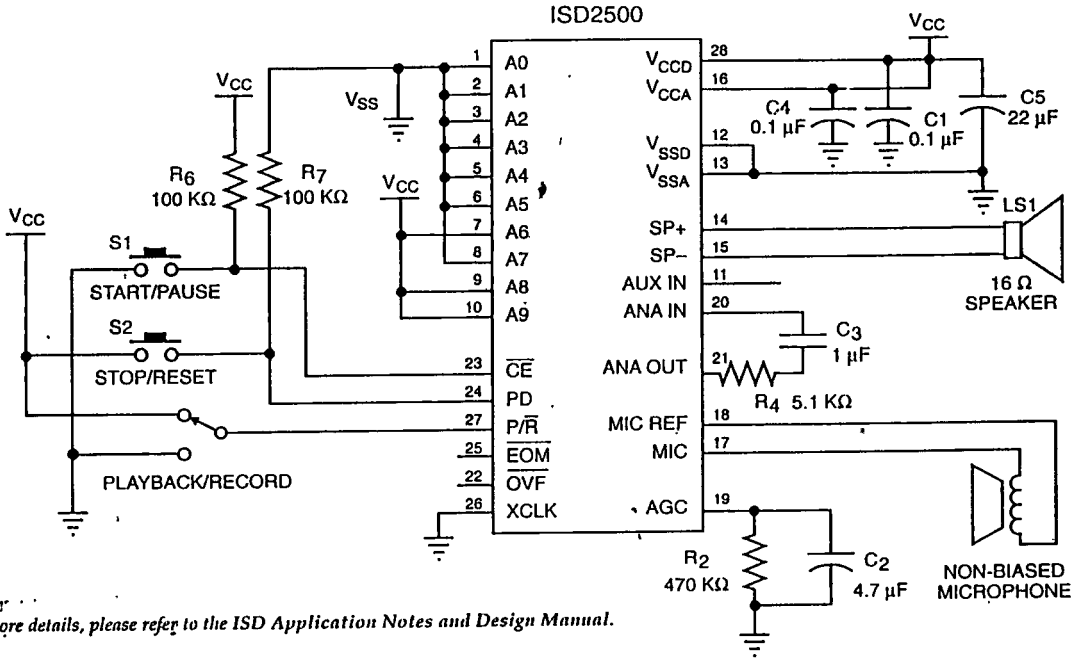
The ISD2500 Series includes an additional Operational Mode called Push-Button mode. This provides an alternative interface to the Record and Playback functions of the part. The $\overline{CE}$ and PD pins become redefined as edge-activated "push-buttons." A pulse on $\overline{CE}$ initiates a cycle, and if triggered again, pauses the current cycle without resetting the address pointer (i.e., a Start or Pause function). PD stops any current cycle and resets the address pointer to the beginning of the message space (i.e., a Stop and Reset function). Additionally, the $\overline{EOM}$ pin functions as an active-HIGH run indicator, and can be used to drive an LED indicating a Record or Playback operation is in progress. Devices in the Push-Button mode cannot be cascaded.

Looping Mode

The ISD2500 Series can loop with a message that completely fills the memory space.

Note: Additional descriptions of ISD2500 device functionality and application examples are provided in the ISD Application Notes and Design Manual.

APPLICATION EXAMPLE – PUSH-BUTTON



For more details, please refer to the ISD Application Notes and Design Manual.

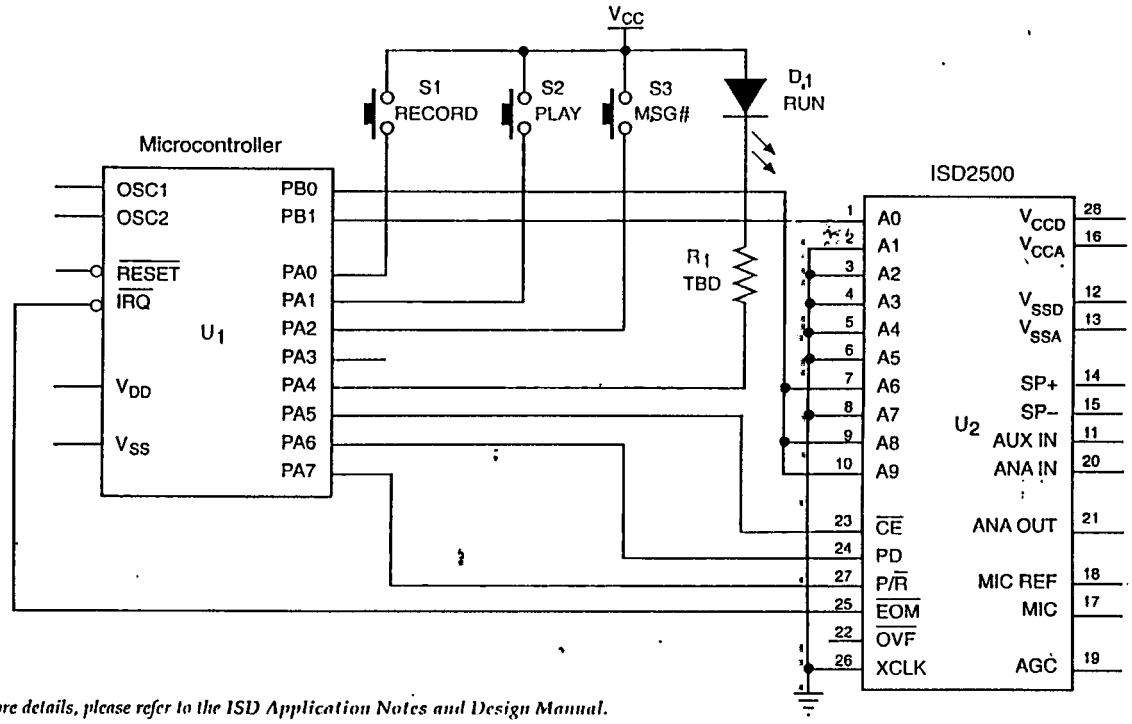
APPLICATION EXAMPLE – PUSH-BUTTON CONTROL

Control Step	Function	Action
1	Select record/playback mode	P/$\overline{R}$ = As desired
2A	Begin playback	P/$\overline{R}$ = HIGH $\overline{CE}$ = Pulsed LOW
2B	Begin record	P/$\overline{R}$ = LOW $\overline{CE}$ = Pulsed LOW
3	Pause record or playback	$\overline{CE}$ = Pulsed LOW
4A	End playback	Automatic at $\overline{EOM}$ marker or PD Pulsed HIGH
4B	End record	PD = Pulsed HIGH

APPLICATION EXAMPLE – PASSIVE COMPONENT FUNCTIONS

Part	Function	Comments
R2	Release time constant	Sets release time for AGC
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages
R6, R7	Pull-up and pull-down resistors	Defines static state of inputs
C1, C4 C5	Power supply capacitors	Filters and bypass of power supply
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff

APPLICATION EXAMPLE – MICROCONTROLLER/ISD2500 INTERFACE

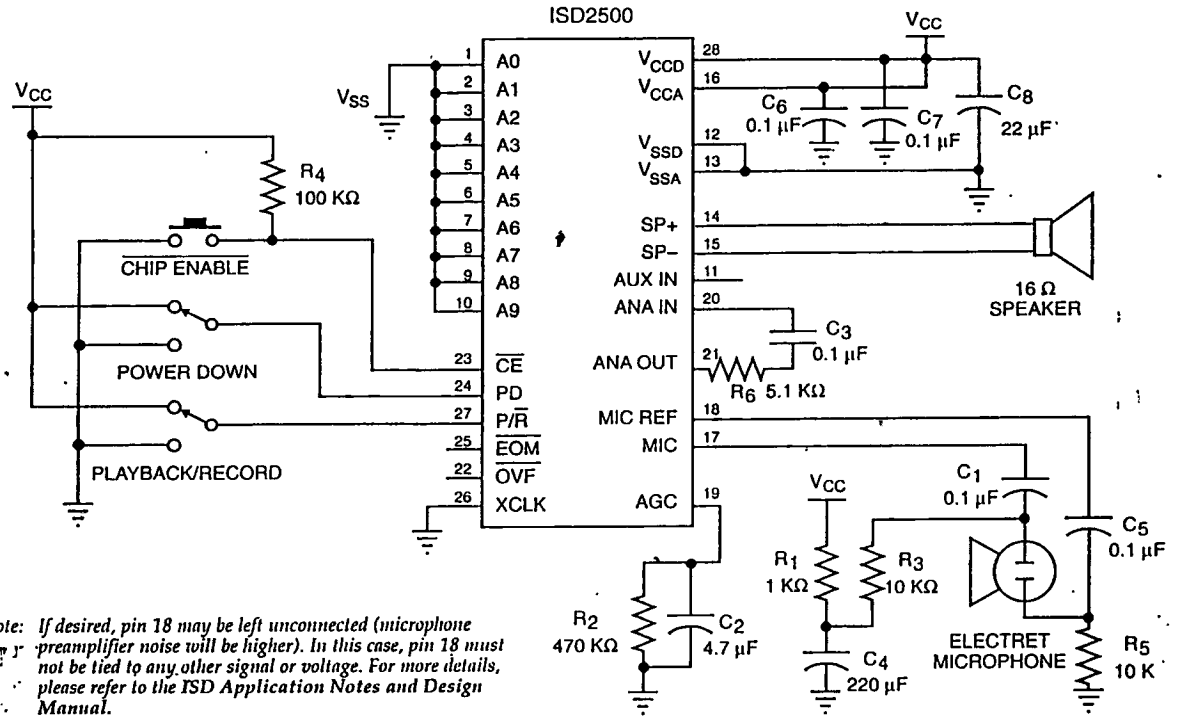


For more details, please refer to the ISD Application Notes and Design Manual.

EXPLANATION

In this simplified block diagram of a microcontroller application, the Push-Button mode and message cueing are used. The microcontroller is a 16-pin version with enough port pins for buttons, an LED, and the ISD2500 Series device. The software can be written to use three buttons: one each for play and record, and one for message selection. Because the microcontroller is interpreting the buttons and commanding the ISD2500 device, software can be written for any functions desired in a particular application.

APPLICATION EXAMPLE – DESIGN SCHEMATIC



Note: If desired, pin 18 may be left unconnected (microphone preamplifier noise will be higher). In this case, pin 18 must not be tied to any other signal or voltage. For more details, please refer to the ISD Application Notes and Design Manual.

APPLICATION EXAMPLE – BASIC DEVICE CONTROL

Control Step	Function	Action
1	Power up chip and select record/play-back mode	1. PD = LOW, 2. P/$\overline{R}$ = As desired
2	Set message address for record/playback	Set addresses A0–A9
3A	Begin playback	P/$\overline{R}$ = HIGH, $\overline{CE}$ = Pulsed LOW
3B	Begin record	P/$\overline{R}$ = LOW, $\overline{CE}$ = LOW
4A	End playback	Automatic
4B	End record	PD or $\overline{CE}$ = HIGH

APPLICATION EXAMPLE – PASSIVE COMPONENT FUNCTIONS

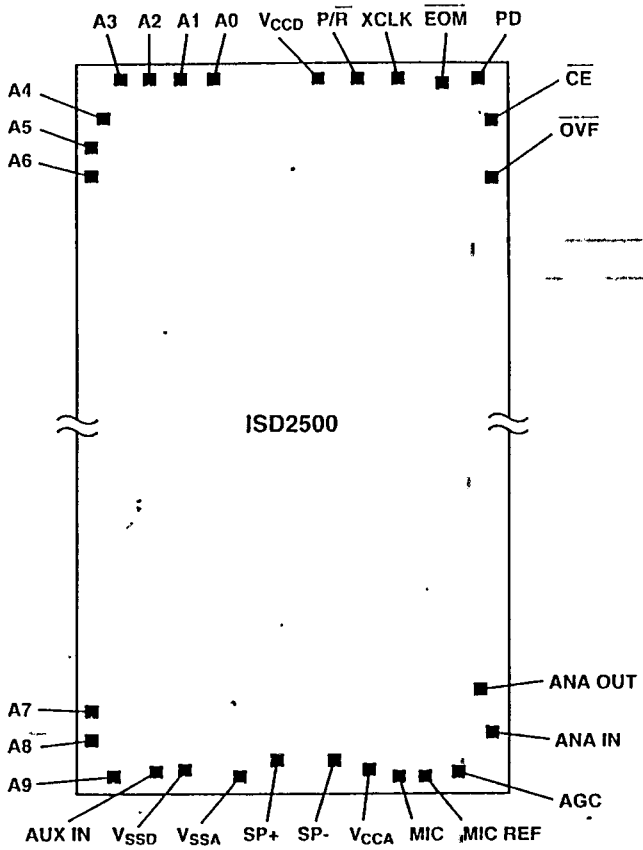
Part	Function	Comments
R1	Microphone power supply decoupling	Reduces power supply noise
R2	Release time constant	Sets release time for AGC
R3, R5	Microphone biasing resistors	Provides biasing for microphone operation
R6	Series limiting	Reduces level to high supply voltages
C1, C5	Microphone DC-blocking capacitor Low-frequency cutoff	Decouples microphone bias from chip. Provides single-pole low-frequency cutoff and common mode noise rej.
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff
C4	Microphone power supply decoupling network	Reduces power supply noise
C6, C7, C8	Power supply capacitors	Filter and bypass of power supply

DIE BONDING PHYSICAL LAYOUT

I. Die Dimensions
X: 187 ±1 mils
Y: 399 ±1 mils

II. Die Thickness
21 mils

III. Pad Opening
109 microns (4.3 mils)



PIN/PAD DESIGNATIONS

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1148.9	4898.2	SP–	Speaker Output –	425.6	-4790.8
A1	Address 1	-1406.9	4898.2	V_{CCA}	V_{CC} Analog Power Supply	865.1	-4848.3
A2	Address 2	-1661.9	4898.2	MIC	Microphone Input	1320.7	-4897.3
A3	Address 3	-1916.9	4898.2	MIC REF	Microphone Reference	1605.1	-4897.3
A4	Address 4	-2069.9	4608.2	AGC	Automatic Gain Control	1877.6	-4871.3
A5	Address 5	-2194.9	4358.2	ANA IN	Analog Input	2202.11	-4269.8
A6	Address 6	-2194.9	4108.2	ANA OUT	Analog Output	2123.1	-3910.8
A7	Address 7	-2194.9	-4212.3	$\overline{OVF}$	Overflow Output	2142.6	4154.7
A8	Address 8	-2194.9	-4456.3	$\overline{CE}$	Chip Enable Input	2202.1	4558.7
A9	Address 9	-2076.4	-4897.3	PD	Power Down Input	2048.1	4898.2
AUX IN	Auxilary Input	-1607.9	-4868.3	$\overline{EOM}$	End of Message	1648.1	4865.7
V_{SSD}	V_{SS} Digital Power Supply	-1343.9	-4850.8	XCLK	External Clock	1221.1	4898.2
V_{SSA}	V_{SS} Analog Power Supply	-551.9	-4884.8	P/$\overline{R}$	Playback/Record	965.6	4898.2
SP+	Speaker Output +	-111.4	-4790.8	V_{CCD}	V_{CC} Digital Power Supply	646.1	4895.7

ABSOLUTE MAXIMUM RATINGS

Condition	Value
Temperature under bias	–65° C to +125° C
Storage temperature range	–65° C to +150° C
Voltage applied to any pin	(V_{SS} - 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ± 20 mA)	(V_{SS} - 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering – 10 seconds)	300° C
V_{CC} - V_{SS}	- 0.3 V to + 7.0 V

Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

DC PARAMETERS

Operating Conditions: T_A = 0° C to 70° C (Commercial Temp.) or -40°C to 85°C (Industrial Temp.) [4], V_{CC} = 4.5 V to 5.5[5,9], V_{SS} = 0 V [6]; unless otherwise noted[8]

Symbol	Parameters	Min	Typ [1]	Max	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	V_{CC} – 0.4			V	I_{OH} = - 10 µA
V_{OH1}	$\overline{OVF}$ Output High Voltage	2.4			V	I_{OH} = - 1.6 mA
V_{OH2}	$\overline{EOM}$ Output High Voltage		V_{CC} – 1.0		V	I_{OH} = - 3.2 mA
I_{CC}	V_{CC} Current (Operating)		25	30	mA	$R_{EXT} = \infty$ [7]
I_{SB}	V_{CC} Current (Standby)		1	10	µA	[7]
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current High w/Pull Down			130	µA	Force V_{CC}[10]
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance		10		KΩ	Pins 17, 18
R_{AUX}	Aux Input Resistance		10		KΩ	
$R_{ANA\ IN}$	Ana In Input Resistance		3.0		KΩ	
A_{PRE1}	Preamp Gain 1		24		dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		-15	5	dB	AGC = 2.5 V
A_{AUX}	Aux In/SP+ Gain		0.98	1.0	V/V	
A_{ARP}	Ana In to SP+ /		22		dB	
R_{AGC}	AGC Output Resistance		5		KΩ	

Notes: 1. Typical values @ T_A = 25° C and 5.0 V.
2. With 5.1 KΩ series resistor at ANA IN.
3. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).
4. Case temperature.
5. $V_{CC} = V_{CCA} = V_{CCD}$.
6. $V_{SS} = V_{SSA} = V_{SSD}$.
7. V_{CCA} and V_{CCD} connected together.
8. Product sold as die have a temperature range of 0°C to 50°C.
9. The ISD2500 functions up to 6.5 volts. (All AC and DC Parameters may not apply.)
10. Pin 26 only.

AC PARAMETERS

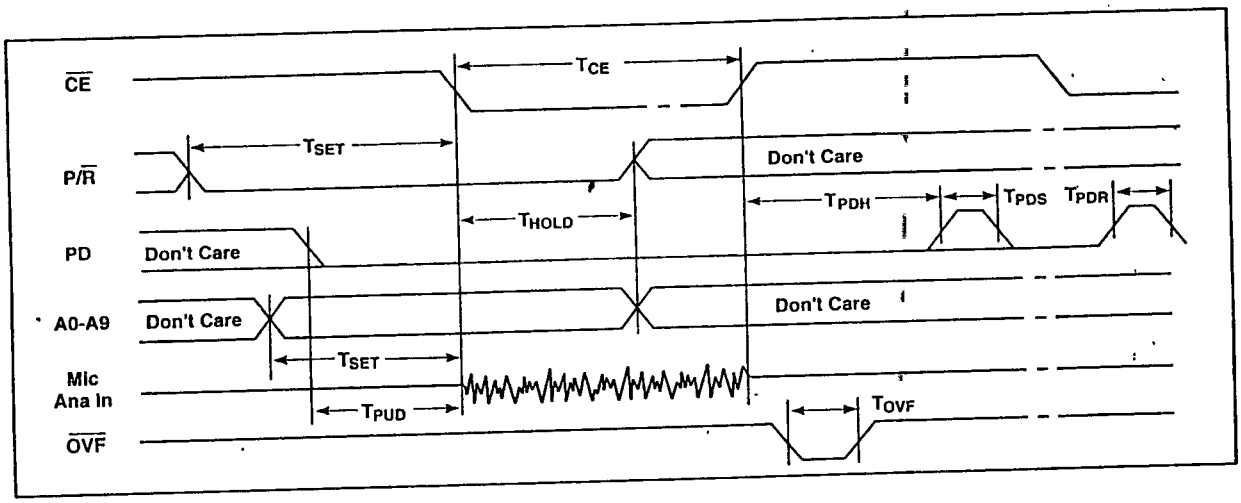
Operating Conditions: T_A = 0° C to 70°C (Commercial Temp.) or -40°C to +85°C (Industrial Temp.)[4], V_{CC} = 4.5 V to 5.5 V[5, 11], V_{SS} = 0 V [6]; unless otherwise noted[10]

Symbol	Characteristic	Min	Typ [1]	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz [2]
P_{OUT}	Speaker Output Power		12.2	50	mW	R_{EXT} = 16 Ω [8]
V_{OUT}	Voltage Across Speaker Pins			2.5	V p-p	R_{EXT} = 600 Ω
V_{IN1}	Mic Input Voltage			20	mV	Peak-to-Peak [2]
V_{IN2}	Ana In Input Voltage			50	mV	Peak-to-Peak
V_{IN3}	Aux In Input Voltage			1.25	V	Peak-to-Peak; R_{EXT} = 16 Ω
T_{SET}	Control/Address Setup Time		300		nsec	
T_{HOLD}	Control/Address Hold Time		0		nsec	
T_{CE}	$\overline{CE}$ Pulse Width		100		nsec	
T_{PUD}	Power-Up Delay – ISD2560		25		msec	
	– ISD2575		31.25		msec	
	– ISD2590		37.5		msec	
T_{EOM}	$\overline{EOM}$ Pulse Width – ISD2560		12.5		msec	
	– ISD2575		15.625		msec	
	– ISD2590		18.75		msec	
T_{PDR}	PD Pulse Width – ISD2560		25		msec	
	Record – ISD2575		31.25		msec	
	– ISD2590		37.5		msec	
T_{PDP}	PD Pulse Width – ISD2560		12.5		msec	
	Play – ISD2575		15.625		msec	
	– ISD2590		18.75		msec	
T_{PDS} [9]	PD Pulse Width Static		100		nsec	
T_{PDH}	Power Down Hold		0		nsec	
T_{OVF}	Overflow Pulse Width		6.5		µsec	

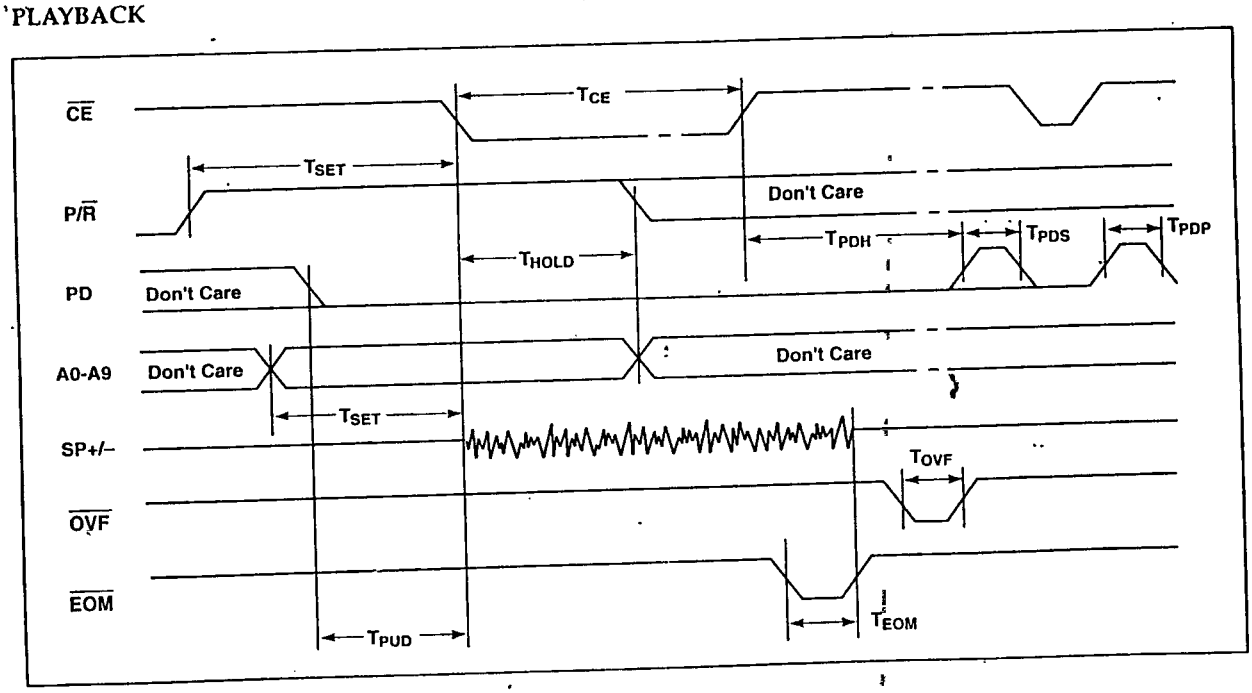
Notes:
1. *Typical values @ T_A = 25° C and 5.0 V.*
2. *With 5.1 KΩ series resistor at ANA IN.*
3. *Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).*
4. *Case temperature.*
5. *$V_{CC} = V_{CCA} = V_{CCD}$.*
6. *$V_{SS} = V_{SSA} = V_{SSD}$.*
7. *V_{CCA} and V_{CCD} connected together.*
8. *From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT} = 12.2 mW, typical.*
9. *T_{PDS} is required during a static condition, typically overflow.*
10. *Product sold as die have a temperature range of 0°C to 50°C.*
11. *The ISD2500 functions up to 6.5 volts. (All AC and DC Parameters may not apply.)*

TIMING DIAGRAMS

RECORD



PLAYBACK



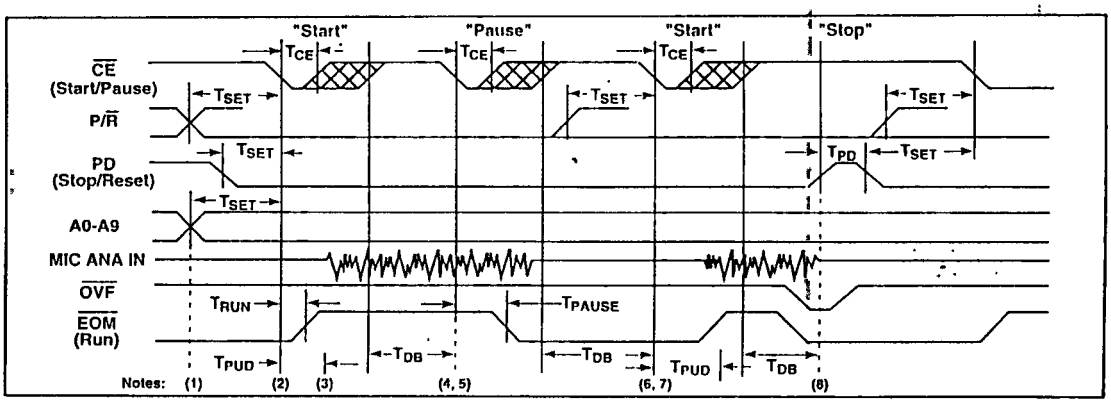
PUSH-BUTTON AC PARAMETERS

Symbol	Characteristic	Min	Typ (1)	Max	Units	Conditions
T_{CE}	$\overline{CE}$ Pulse Width [Start/Pause]		300		nsec	
T_{SET}	Control/Address Setup Time		300		nsec	
T_{PUD}	Power-Up Delay – ISD2560 – ISD2575 – ISD2590		25 31.25 37.25		msec msec msec	
T_{PD}	PD Pulse Width [Stop/Reset]		300		nsec	
T_{RUN}	$\overline{CE}$ to $\overline{EOM}$ HIGH	25		400	nsec	
T_{PAUSE}	$\overline{CE}$ to $\overline{EOM}$ LOW	50		400	nsec	
T_{DB}	$\overline{CE}$ HIGH Debounce – ISD2560 – ISD2575 – ISD2590	70 85 105		105 135 160	msec msec msec	

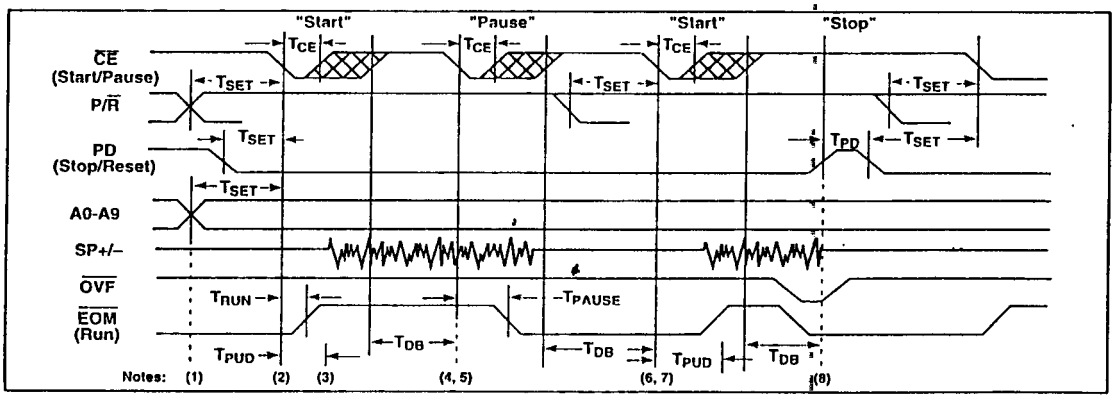
Notes:1. Typical values @ T_A = 25° C and 5.0 V.

TIMING DIAGRAMS

PUSH-BUTTON MODE RECORD



PUSH-BUTTON MODE PLAYBACK



Notes: 1. A9, A8, and A6 = 1 for push-button operation.
2. The first $\overline{CE}$ LOW pulse performs a Start function.
3. The part will begin to play or record after a power-up delay T_{PUD}.
4. The part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$ and pause.
5. The second $\overline{CE}$ LOW pulse, and every even pulse thereafter, performs a Pause function.
6. Again, the part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$, which would restart an operation. In addition, the part will not do an internal power down until $\overline{CE}$ is HIGH for the T_{DB} time.
7. The third $\overline{CE}$ LOW pulse, and every odd pulse thereafter, performs a Resume function.
8. At any time, a HIGH level on PD will stop the current function, reset the address counter, and power down the device.

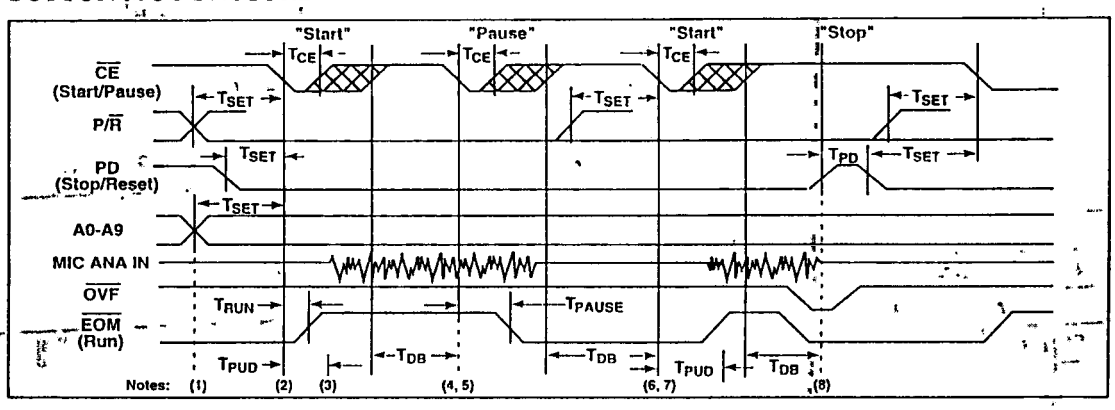
PUSH-BUTTON AC PARAMETERS

Symbol	Characteristic	Min	Typ (1)	Max	Units	Conditions
T_{CE}	$\overline{CE}$ Pulse Width [Start/Pause]		300		nsec	
T_{SET}	Control/Address Setup Time		300		nsec	
T_{PUD}	Power-Up Delay – ISD2560		25		msec	
	– ISD2575		31.25		msec	
	– ISD2590		37.25		msec	
T_{PD}	PD Pulse Width [Stop/Reset]		300		nsec	
T_{RUN}	$\overline{CE}$ to $\overline{EOM}$ HIGH	25		400	nsec	
T_{PAUSE}	$\overline{CE}$ to $\overline{EOM}$ LOW	50		400	nsec	
T_{DB}	$\overline{CE}$ HIGH – ISD2560	70		105	msec	
	Debounce – ISD2575	85		135	msec	
	– ISD2590	105		160	msec	

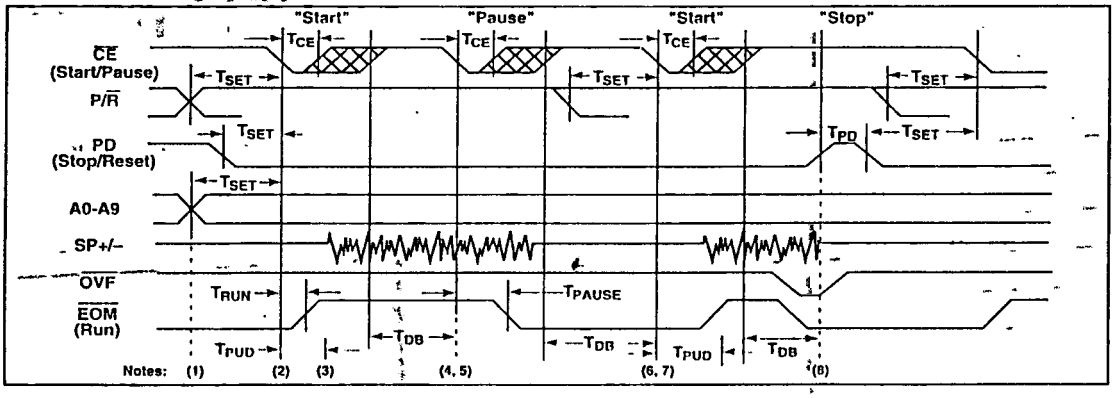
Notes:1. Typical values @ T_A = 25° C and 5.0 V.

TIMING DIAGRAMS

PUSH-BUTTON MODE RECORD



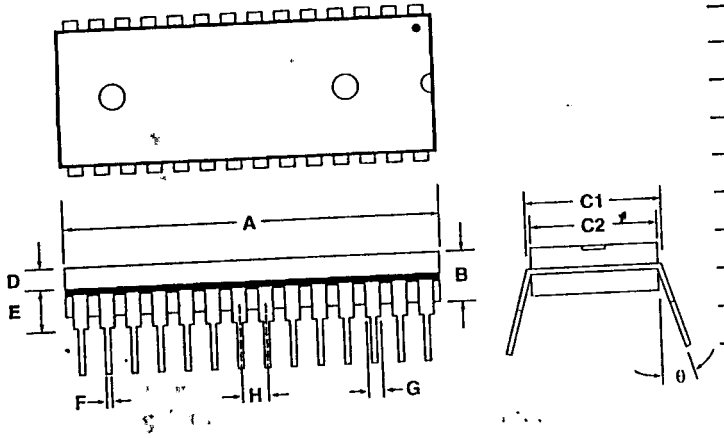
PUSH-BUTTON MODE PLAYBACK



Notes: 1. A9, A8, and A6 = 1 for push-button operation.
2. The first $\overline{CE}$ LOW pulse performs a Start function.
3. The part will begin to play or record after a power-up delay T_{PUD}.
4. The part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$ and pause.
5. The second $\overline{CE}$ LOW pulse, and every even pulse thereafter, performs a Pause function.
6. Again, the part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$, which would restart an operation. In addition, the part will not do an internal power down until $\overline{CE}$ is HIGH for the T_{DB} time.
7. The third $\overline{CE}$ LOW pulse, and every odd pulse thereafter, performs a Resume function.
8. At any time, a HIGH level on PD will stop the current function, reset the address counter, and power down the device.

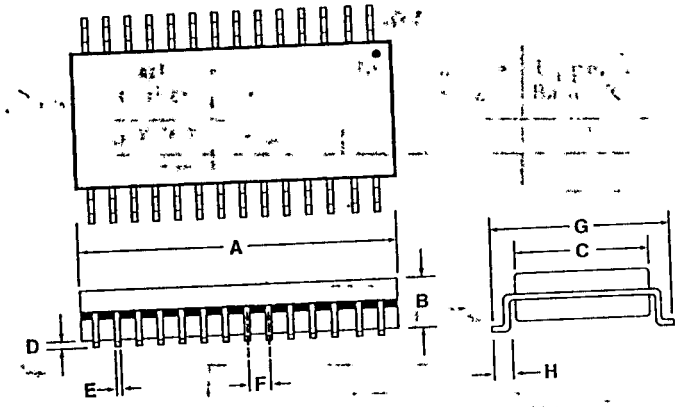
PACKAGE DIAGRAMS

28-Lead Plastic Dual In-Line Package (DIP) Type P



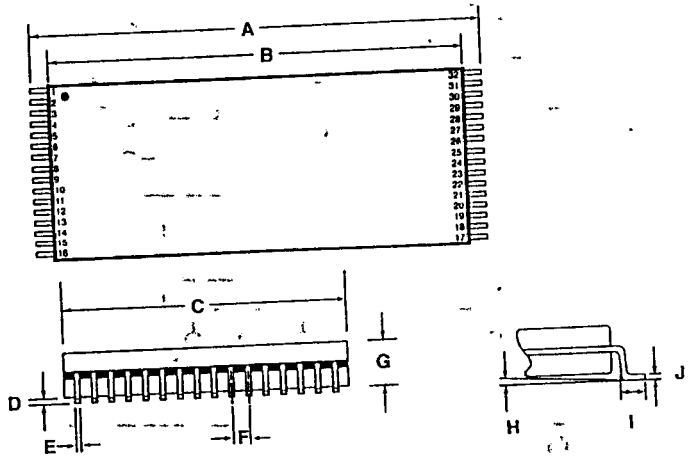
	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	1.445	1.450	1.455	36.7	36.83	36.95
B		.150			3.89	
C1	.600		.625	15.24		15.88
C2	.530	.540	.550	13.46	13.72	13.97
D	.115	.120	.125	2.92	3.05	3.18
E	.125	.130	.135	3.18		3.43
F	.015	.018	.022	0.38	0.46	0.56
G	.055	.060	.065	1.40	1.52	1.65
H		.100			2.54	
θ	0°	7°	15°	0°	7°	15°

28-Lead Plastic Small-Outline Package (SOIC) Type G



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	.706	.714	.718	17.93	18.14	18.24
B	.086	.088	.090	2.18	2.24	2.29
C	.340	.346	.350	8.64	8.79	8.89
D	.004	.007	.010	.102	.178	.254
E	.014	.016	.020	.360	.410	.480
F		.050			1.27	
G	.463	.470	.477	11.76	12.00	12.12
H	.020	.031	.042	.510	.790	1.07

32-Lead Thin Plastic Small-Outine Package (TSOP) Type I



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	.780	.790	.795	19.80	20.00	20.20
B	.720	.724	.728	18.30	18.40	18.50
C	.307	.315	.323	7.80	8.00	8.20
D	.000	.003	.006	0.00	0.08	0.15
E	.006	.008	.010	0.15	0.20	0.25
F		.0197			0.50	
G	.037	.039	.041	0.95	1.00	1.05
H	0°	3°	5°	0°	3°	5°
I	.016	.020	.024	0.40	0.50	0.60
J	.004	.006	.008	0.10	0.15	0.20

PRELIMINARY

AUGUST 1988

DATA SHEET 80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- **80C51-L – CMOS SINGLE-SHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM**
- **80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/O**
- **80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V**

FEATURES

- **POWER CONTROL MODES**
- **128 x 8 BIT RAM**
- **32 PROGRAMMABLE I/O LINES**
- **TWO 16-BIT TIMER/COUNTERS**
- **64K PROGRAM MEMORY SPACE**
- **FULLY STATIC DESIGN**
- **HIGH PERFORMANCE SAJI VI CMOS PROCESS**
- **BOOLEAN PROCESSOR**
- **5 INTERRUPT SOURCES**
- **PROGRAMMABLE SERIAL PORT**
- **64K DATA MEMORY SPACE**
- **TEMPERATURE RANGE: 0 TO 70°C**

DESCRIPTION

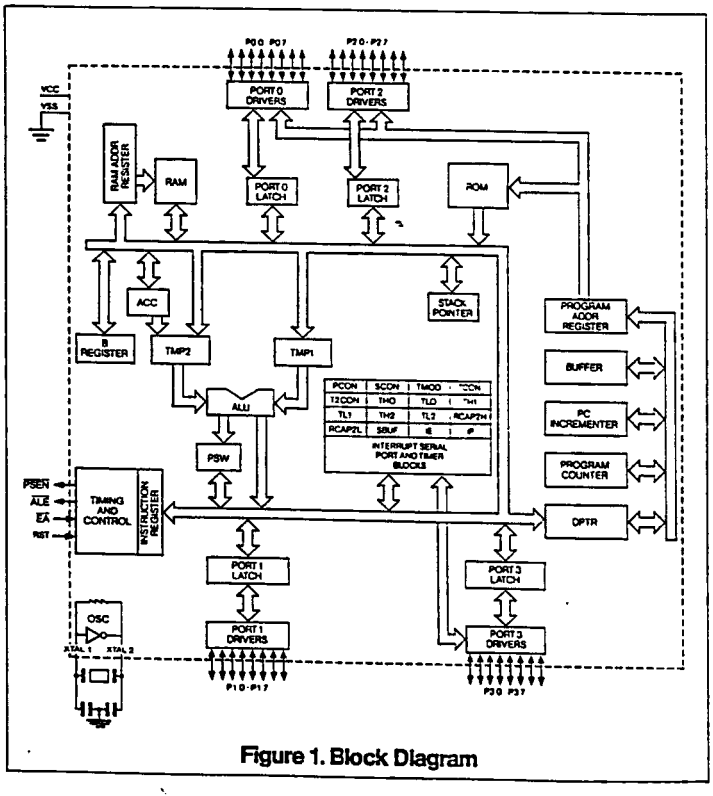


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μC and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

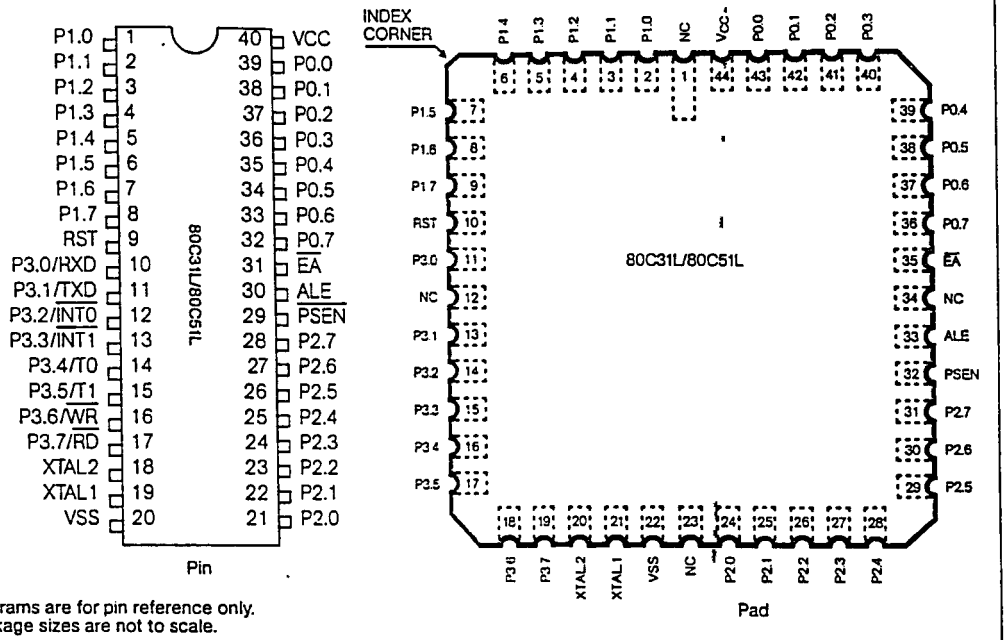
The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

Figure 2. Configurations



Diagrams are for pin reference only.
Package sizes are not to scale.

IDLE AND POWER DOWN OPERATION

Figure 3 shows the internal Idle and Power Down clock configuration. As illustrated, Power Down operation stops the oscillator. Idle mode operation allows the interrupt, serial port, and timer blocks to continue to function while the clock to the CPU is gated off. These special modes are activated by software via the Special Function Register, Its hardware address is 87H. PCON is not bit addressable.

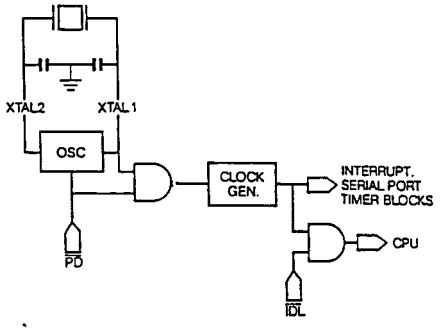


Figure 3. Idle and Power Down Hardware

PCON: Power Control Register

(MSB) (LSB)

SMOD	-	-	-	GF1	GF0	PD	IDL

Symbol	Position	Name and Function
SMOD	PCON.7	Double Baud rate bit. When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3.
-	PCON.6	(Reserved)
-	PCON.5	(Reserved)
-	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Ide mode bit.Setting this bit activates idle mode operation.

If 1's are written to PD and IDL at the same time. PD takes precedence. The reset value of PCON is (OXXX0000).

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. *Table 1* describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following theinstruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down. Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register *(see Table 1)*.

In the Power Down mode. V_{CC} may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in *Figure 4*.

STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the powet consumption is the same as in the Power Down Mode.

80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in *figure 4*.

When the port latch contains a 0, all pFETS in *figure 4* are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I_{OH} source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program of data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input, the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as ITL under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save ICC current. Note, when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

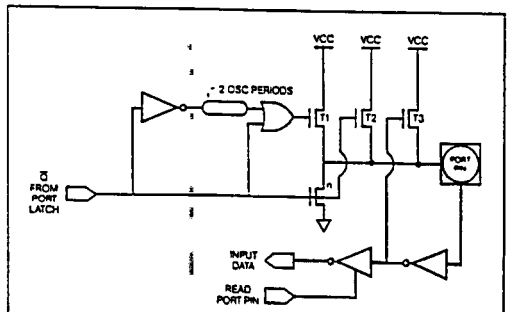


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

80C51 PIN DESCRIPTIONS

V_{SS}
Circuit ground potential

V_{CC}
Supply voltage during normal, Idle, and Power Down operation.

Port 0
Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink eight LS TTL inputs.

Port 1
Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. In the 80C51, Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 2
Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}; on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during progam verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 3
Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}, on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below.

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	$\overline{WR}$ (external Data Memory write strobe)
P3.7	$\overline{RD}$ (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

RST
A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to V_{CC}.

ALE
Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{PSEN}$
Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{EA}$
When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds OFFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

XTAL1
Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal when an external oscillator is used.

XTAL2
Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used.
To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected as shown in *figure 6*. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but munimum and maximum high and low times specified on the Data Sheet must be observed.

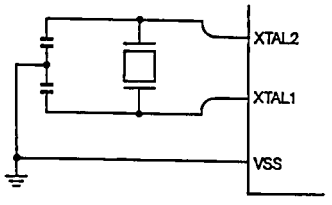


Figure 5. Crystal Oscillator

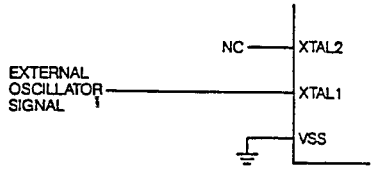


Figure 6. External Drive Configuration

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:
Commercial ..... 0°C to 70°C
Industrial ..... −40°C to 85°C
Storage Temperature ..... −65°C to +150°C
Voltage on V_{CC} to V_{SS} ..... −0.5V to +7V
Voltage on Any Pin to V SS..... −0.5V to V_{CC} + 0.5V
Power Dissipation 1W*

*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

***NOTICE:**

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = −40°C to 85°C; VCc = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

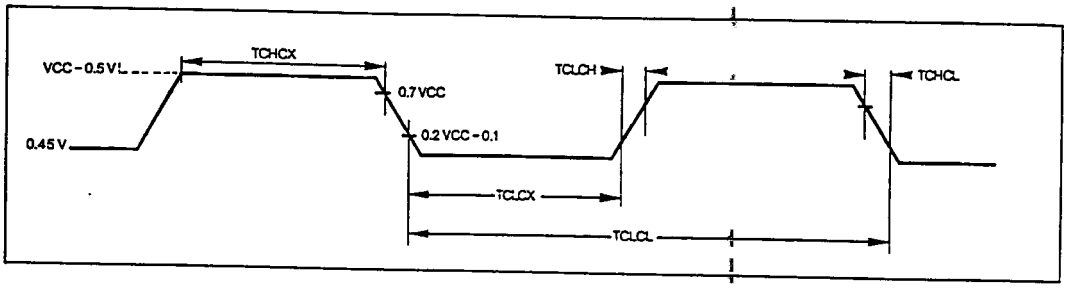
Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	−0.5	0.2 V_{CC} −0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 V_{CC} +0.9	V_{CC} +0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 V_{CC}	V_{CC} +0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 V_{CC}	V_{CC} +0.5	V	
VPD	Power Down Voltage To V_{CC} in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, $\overline{PSEN}$		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 V_{CC}		V	IOH = −10μa
		2.4		V	IOH = −60μA V_{CC} = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, $\overline{PSEN}$	0.9 V_{CC}		V	IOH = −400μA
		2.4		V	IOH = −400μA V_{CC} = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		−50	μA	Vin = 0.45V
ILI	Input Leakage Current		± 10	μA	0.45 < Vin < V_{CC}
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		−500	μA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	μA	V_{CC} = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	f_C = 1MHz, T_A = 25°C

Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL}S of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi V_{OL} peak 0.6V. A Schmitt Trigger use is not necessary.

EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL 1)

Symbol	Parameter	Variable Clock freq = 0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



AC CHARACTERISTICS

(T_A = −40°C to 85°C, V_{CC} = 2.7V to 6V, V_{SS} = 0V)
(Load Capacitance for Port 0, ALE, and $\overline{PSEN}$ = 100pf; Load Capacitance for All Other Outputs = 80pf).

EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	2TCLCL − 40		ns
TAVLL	Address Valid to ALE	TCLCL − 55		ns
TLLAX	Address Hold After ALE	TCLCL − 35		ns
TLLIV	ALE to Valid instr In		4TCLCL − 170	ns
TLLPL	ALE to $\overline{PSEN}$	TCLCL − 25		ns
TPLPH	$\overline{PSEN}$ Pulse Width	3TCLCL − 35		ns
TPLIV	$\overline{PSEN}$ to Valid Instr In		3TCLCL − 220	ns
TPXIX	Input Instr Hold After $\overline{PSEN}$	0		ns
TPXIZ	Input Instr Float After $\overline{PSEN}$		TCLCL − 20	ns
TPXAV	$\overline{PSEN}$ to Address Valid	TCLCL − 8		ns
TAVIV	Address to Valid Instr In		5TCLCL − 220	ns
TPLAZ	$\overline{PSEN}$ Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	6TCLCL-100		ns
TWLWH	$\overline{WR}$ Pulse Width	6TCLCL-100		ns
TLLAX	Data Address Hold After ALE	TCLCL-35		ns
TRLDV	$\overline{RD}$ to Valid Data In		5TCLCL-165	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns
TRHDZ	Data Float After $\overline{RD}$		2TCLCL-70	ns
TLLDV	ALE to Valid Data In		8TCLCL-150	ns
TAVDV	Address to Valid Data In		9TCLCL-165	ns
TLLWL	ALE to $\overline{WR}$ or $\overline{RD}$	3TCLCL-50	3TCLCL+50	ns
TAVWL	Address to $\overline{WR}$ or $\overline{RD}$	4TCLCL-130		ns
TQVWX	Data Valid to $\overline{WR}$ Transition	TCLCL-60		ns
TQVWH	Data Setup to $\overline{WR}$ High	7TCLCL-150		ns
TWHQX	Data Hold After $\overline{WR}$	TCLCL-50		ns
TRLAZ	$\overline{RD}$ Low to Address Float		0	ns
TWHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	TCLCL-40	TCLCL+40	ns

MAXIMUM I_{CC} (mA)

	Operating (Note 3)			Idle (Note 4)		
Freq. V_{CC}	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 µA	800 µA	1 mA
6 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

Note 2:

Power Down I_{CC} is measured will all output pins disconnected; EA=Port 0=V_{CC}; XTAL2 N.C.; RST=V_{SS}

Note 3:

I_{CC} is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL=5 ns, $V_{IL}=V_{SS}$+0.5V; V_{IH} V_{CC}-0.5V; XTAL2 N.C.; EA=RST=Port 0=V_{CC}. I_{CC} would be slightly higher if a crystal oscillator used.

Note 4:

Idle I_{CC} is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL=5 ns, $V_{IL}=V_{SS}+0.5V$; $V_{IH}=V_{CC}-0.5V$; XTAL2 N.C.; Port 0=V_{CC}; EA=RST=V_{SS}.

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

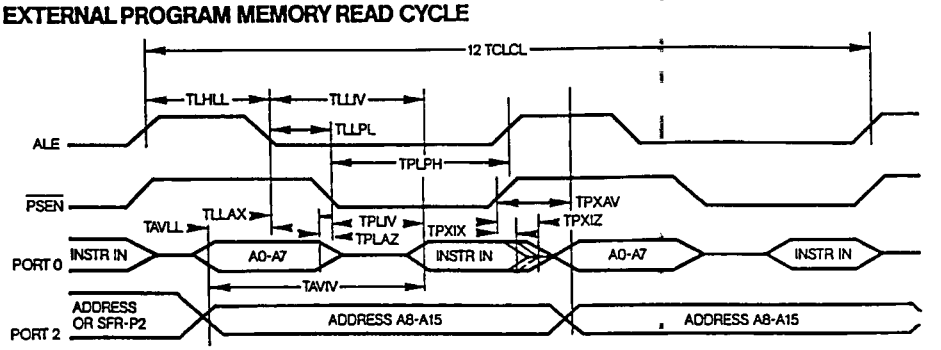
EXAMPLE:

TAVLL=Time for Address Valid to ALE low.
TLLPL=Time for ALE low to $\overline{PSEN}$ low.

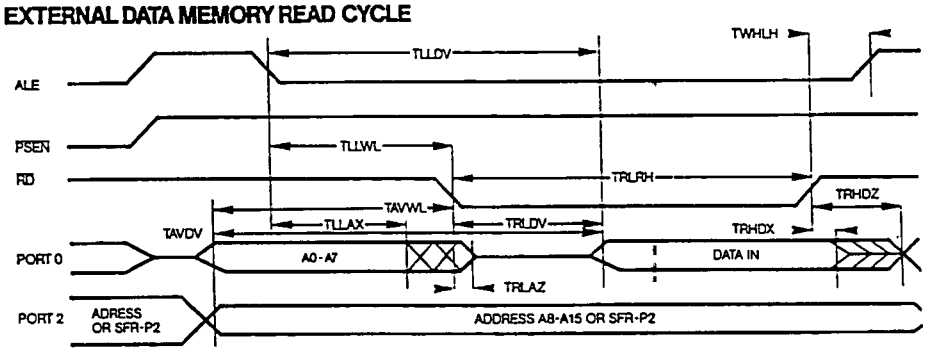
A: Address.
C: Clock.
D: Input data.
H: Logic level HIGH.
I: Instruction (program memory contents).
L: Logic level LOW, or ALE.
P: PSEN
Q: Output data.
R: READ signal.
T: Time.
V: Valid.
W: WRITE signal
X: No longer a valid logic level.
Z: Float.

AC TIMING DIAGRAMS

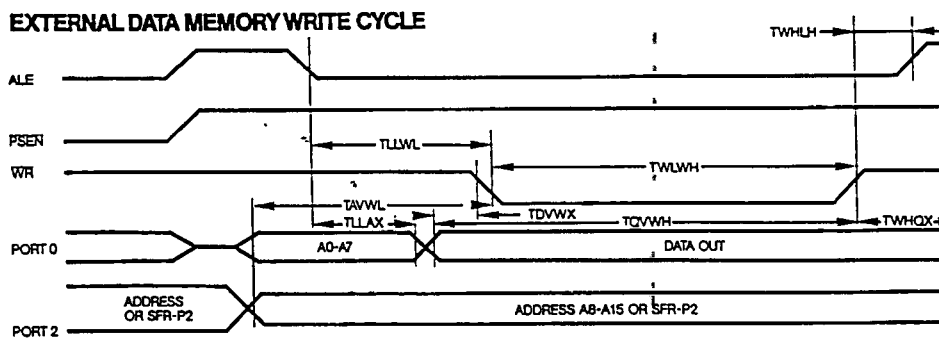
EXTERNAL PROGRAM MEMORY READ CYCLE



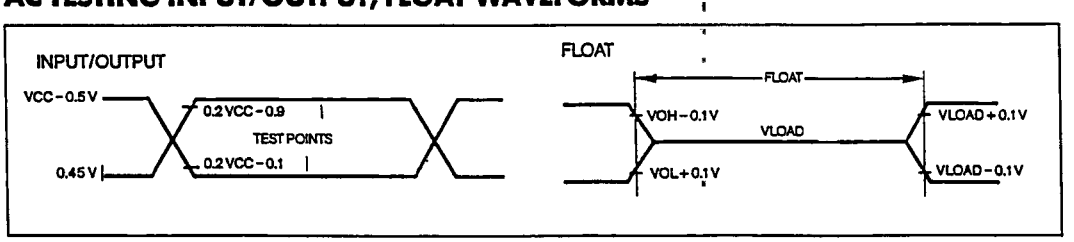
EXTERNAL DATA MEMORY READ CYCLE



EXTERNAL DATA MEMORY WRITE CYCLE



AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at V_{CC} – 0.5 for a logic "1" and 0.45V for a logic "0". Timing measurements are made at VIH min for a logic "1" and VIL max for a logic "0". For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV change from the loaded VOH/VOL level occurs. Iol/IoH ≥ ± 20 Ma.

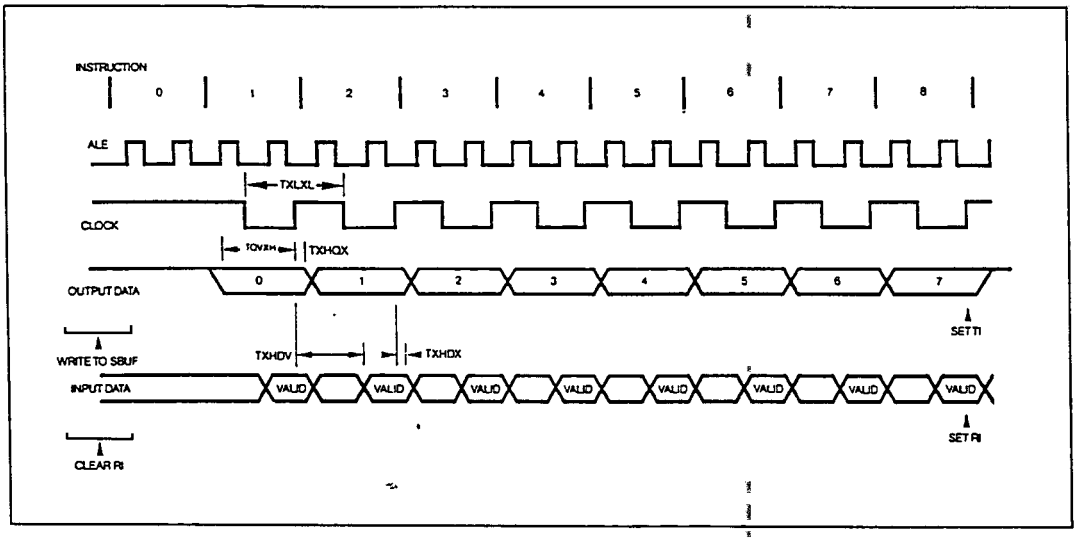
SERIAL PORT TIMING - SHIFT REGISTER MODE

A.C. CHARACTERISTICS:

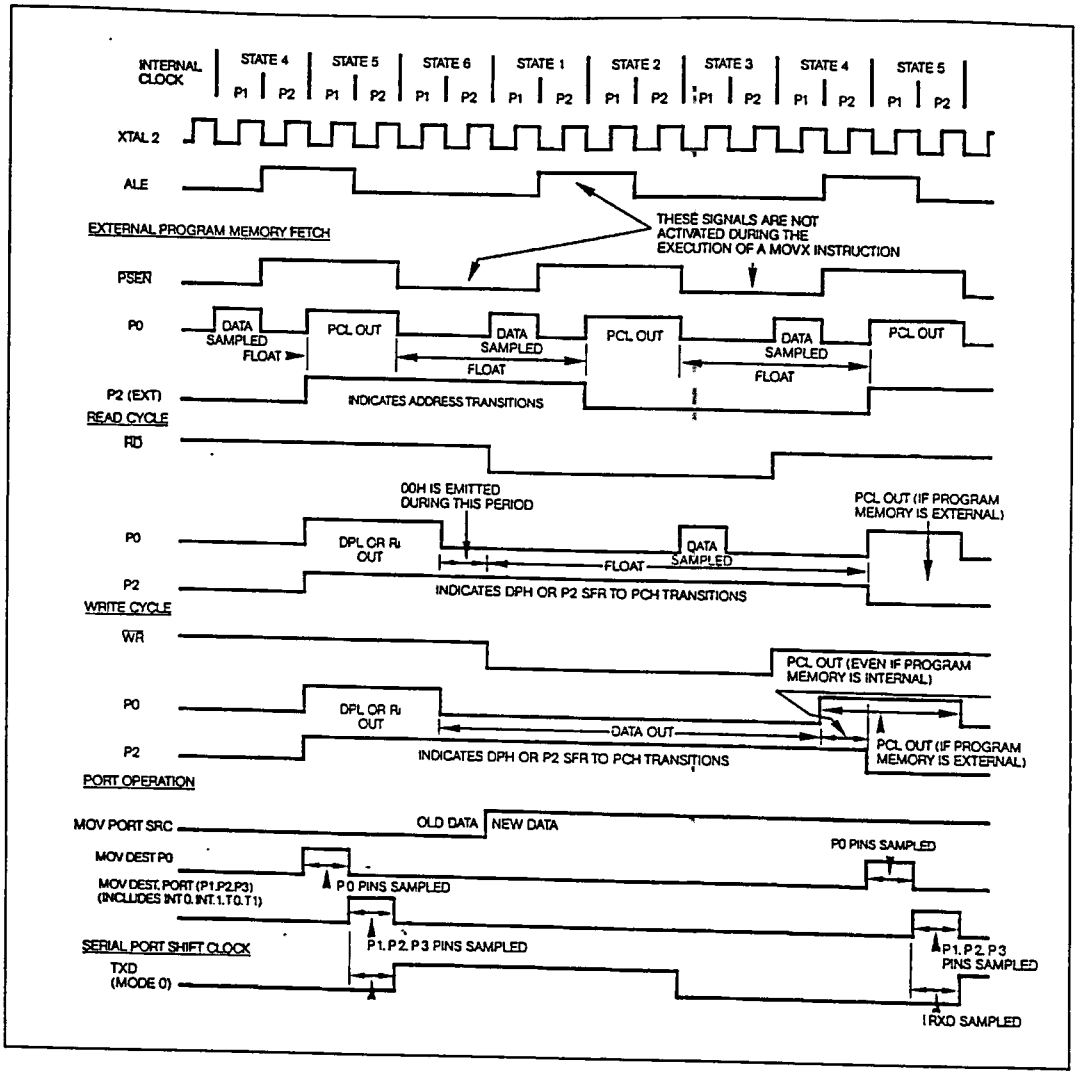
(T_A = 0°C to 70°C; V_{SS} = 0V; V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	12TCLCL		µs
TQVXH	Output Data Setup to Clock Rising Edge	10TCLCL–133		ns
TXHQX	Output Data Hold After Clock Rising Edge	2TCLCL–117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		10TLCL-133	ns

SHIFT REGISTER TIMING WAVEFORMS



CLOCK WAVEFORMS



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ($T_A = 25°C$ fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Incriment indirect RAM	1	1
INC	DPTR	Incriment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,1 bit	AND complement of direct bit to Carry	2	2
ORL	C/bit	OR direct bit to Carry flag	2	2
ORL	C,1 bit	OR complement of direct bit to Carry	2	2
MOV	C/bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)

Mnemonic		Description	Byte	Cyc
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data. rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct. rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations, any I/O port, control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

Table 2. Instruction Opcodes In Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
0E	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A