เครื่อง กระบวนการขยายสัญญาณภาพ

VIDEO PROCESSING AMPLIFIER

โดย

พ.จ.ท.	วรวรรธน์	รอดพูล	37013080
นาย	สาโรช	พิระพงศ์	37013087
ส.อ.	สุรชาติ	สุขนิรันดร์	37013092

อาจารย์ที่ปรึกษา

รศ. ณรงค์ เหมกรณ์

วัน เดือน ปี 18 ธ.ค. 2540
เลขทะเบียน 037321
เลขเรียกหนังสือ T 39032 ว 376ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง กระบวนการขยายสัญญาณภาพ

VIDEO PROCESSING AMPLIFIER

ผู้จัดทำ

1. พ.จ.ท. วรวรรธน์ รอดพูล 37013007
2. นายสาโรช พิระพงศ์ 37013087
3. ส.อ. สุรชาติ สุขนิรันดร์ 37013092

อาจารย์ที่ปรึกษา

(รศ. ณรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่อง กระบวนการขยายสัญญาณภาพ

VIDEO PROCESSING AMPLIFIER

โดย	พ.จ.ท.	วรวรรธน์	รอดพูล
	นาย	สาโรช	พิระพงศ์
	ส.อ.	สุรชาติ	สุขนิรันดร์
อาจารย์ที่ปรึกษา	รศ.	ณรงค์	เหมกรณ์

บทคัดย่อ

เนื่องจากระบบการส่ง-รับสัญญาณในสถานีโทรทัศน์ต้องการคุณภาพของสัญญาณภาพสูงในการส่งอาจทำให้สัญญาณมีคุณภาพลดลงเนื่องจากการลดทอนของสัญญาณ เมื่อมาถึงสถานีจึงต้องมีการปรับระดับสัญญาณให้มีคุณภาพดีขึ้นด้วยเครื่องกระบวนการขยายสัญญาณภาพโดยการปรับสัญญาณVIDEOปรับสัญญาณLUMINANCEให้ได้ระดับสัญญาณLUMINANCEรวมไปถึงสัญญาณCHROMINANCEให้ได้ระดับสัญญาณที่มีคุณภาพเพื่อที่จะส่งออกอากาศต่อไป

ABSTRACT

In the television broadcasting system,the quality of video signal is very important. The degradation of video signal is coming from several situation such as transmitting through air iin the microwave system or cable betweenthe studio in different location. In case of poor quality video signal ,we have to use the the equipment which brings the quality of video signal to the broadcasting standard the equiment is calles "The video processing amplifier"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
สารบัญ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 โครงสร้างของภาพ	3
2.1.1 ความคมชัดของภาพ	4
2.1.2 Bandwidth ของสัญญาณภาพ	6
2.2 การสแกน	7
2.2.1 Noninterlaced Scanning	8
2.2.2 Interlaced Scanning	8
2.2.3 การหักเหบีมอิเลคตรอน	10
2.3 โทรทัศน์สีระบบ PAL	11
2.3.1 การสลับเฟสในการสแกน	12
2.4 สัญญาณภาพและมาตราฐานของสัญญาณโทรทัศน์	13
2.4.1 สัญญาณภาพรวม	14
2.4.2 ค่ามาตราฐานของ Line Sync และ Line Blanking	15
2.4.3 เวลาฮอริซอนตัลแบลงกิ้ง	16
2.4.4 เวลาเวอร์ติคอลแบลงกิ้ง	17
2.4.5 สัญญาณเวอร์ติคอลซิโครไนซิงค์	19
บทที่ 3 การคำนวณและการสร้าง	21
3.1 โครงสร้างของวงจรใน Video Processing Board	21
3.2 โครงสร้างของวงจรใน Genlock Board	25
3.3 โครงสร้างของวงจรใน Sync Generator Board	35
บทที่ 4 การทดลองและผลการทดลอง	55
การทดลองที่ 1 การขยายสัญญาณภาพ	55
การทดลองที่ 2 การควบคุมการขยายสัญญาณสี	57
การทดลองที่ 3 กระบวนการสัญญาณภาพ	60
การทดลองที่ 4 วงจรผลิตความถี่ซับแคร์เรีย 4.43 MHz	61
การทดลองที่ 5 วงจรผลิตสัญญาณซิงค์	62
การทดลองที่ 6 วงจรซิงค์แอดเดอร์	63
บทที่ 5 บทวิจารณ์และบทสรุป	72
ภาคผนวก ก เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องกระบวนการขยายสัญญาณภาพ(Video Precessing Amplifier)

เป็นเครื่องที่ใช้ในการปรับปรุงคุณภาพของสัญญาณภาพ ให้มีความชัดเจน อันเนื่องมาจากในการรับ-ส่งสัญญาณภาพไปในระยะทางที่ไกลๆ สัญญาณภาพจะมีการสูญเสีย(Loss)ของสัญญาณภาพเกิดขึ้นโดยในองค์ประกอบของสัญญาณภาพจะประกอบไปด้วยสัญญาณหลักอยู่ 6 องค์ประกอบที่หน้าจะทำการปรับปรุงให้มีระดับของสัญญาณใกล้เคียงระดับค่ามาตราฐานเพื่อให้ได้ความคมชัดของสัญญาณภาพที่ดี

ส่วนประกอบของสัญญาณภาพที่สำคัญมี 6 ส่วน

1. สัญญาณภาพ(Picture Infermation)
2. สัญญาณซิงค์ประกอบด้วย Line Syne และ Field Syne
3. สัญญาณแบลงกิ้ง ป้องกันไม่ให้ตาเรามองเห็นเส้นสะบัดกลับ(retrace)
4. สัญญาณควบคุมของสัญญาณสี(Color Synchronizing)
5. สัญญาณสี(Chrominance)
6. สัญญาณ ขาว-ดำ(Luminance)

โดยส่วนมากจะเห็นได้ว่าการขยายของสัญญาณภาพนั้นโดยใช้เครื่อง Video Amp ธรรมดานั้นจะทำการขยายสัญญาณภาพรวมทั้งหมดโดยขยายทั้งสัญญาณโครมิแนนท์และสัญญาณลูมิแนนท์ซึ่งเมื่อถ้ามีสัญญาณภาพในส่วนของโครมิแนนท์มาต่ำๆ เมื่อผ่านการขยายในเครื่อง Video Amp ธรรมดาเพื่อที่จะทำให้สัญญาณโครมิแนนท์ได้มาตราฐานแต่จะทำให้ส่วนของสัญญาณลูมิแนนท์สูงเกินค่ามาตราฐานซึ่งจะทำให้ภาพขาวเกินไปจึงมีแนวความคิดในการที่ทำการปรับปรุงองค์ประกอบส่วนต่างๆที่กล่าวมาของสัญญาณภาพโดยใช้เครื่อง กระบวนการขยายสัญญาณภาพที่สามารถควบคุมเกณฑ์ของสัญญาณในส่วนต่งๆได้ดังนี้คือ

1. สัญญาณภาพในส่วนของสัญญาณภาพนั้นก็ได้แต่เพิ่มเกณฑ์(Gain) ให้มีความแรงของสัญญาณให้ได้ระดับที่ต้องการ ซึ่งในการปรับปรุงจะไม่สามารถเจาะลึกไปถึงว่ามีส่วนของข้อมูลส่วนใดหายไป

2. สัญญาณโครมิแนนท์ จะทำการแยกสัญญาณภาพออกเป็นสองส่วนคือ สัญญาณลูมิแนนท์และ โครมิแนนท์แล้ว จึงนำเอาสัญญาณโครมิแนนท์มาทำการปรับเกณฑ์ได้ตามต้องการ

3. สัญญาณลูมิแนนท์จากที่การแยกสัญญาณลูมิแนนท์กับสัญญาณโครมิแนนท์จะนำเอาสัญญาณลูมิแนนท์มาทำการปรับเกณฑ์

4. สัญญาณเบิสต์ เป็นสัญญาณควบคุมเฟสของสี โดยการสร้างสัญญาณเบิสต์ขึ้นใหม่ที่สามารถปรับเกณฑ์ได้แล้วทำการตัดสัญญาณเบิสต์เดิมออกนำเบิสต์ตัวใหม่เข้าไปแทนที่ในสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สัญญาณซิงค์ เป็นการสร้างซิงค์ใหม่สามารถปรับเกณฑ์ได้ แล้วทำการตัดสัญญาณซิงค์เดิมในสัญญาณภาพออกนำเอาซิงค์ใหม่เข้ามาแทนที่

ดังนั้นจึงต้องทำการปรับปรุงสัญญาณส่วนต่างๆ ให้มีระดับที่ทำให้ภาพมีความคมชัดอันเนื่องมาจากการสูญเสียของสัญญาณในระบบการส่งผ่านสัญญาณผ่านดาวเทียมหรือในสายเคเบิ้ลก็ตาม

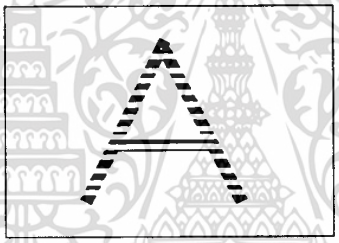
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการสัญญาณภาพ

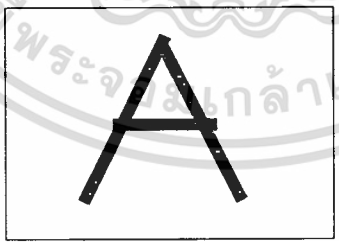
2.1 โครงสร้างของภาพ

ภาพที่เรามองเห็นจะถูกส่งด้วยระบบโทรทัศน์จะประกอบด้วยจุดเล็กๆ จำนวนมากมายซึ่งเรียกว่า Picture element และ Picture element เป็นพื้นที่สี่เหลี่ยมเล็กๆ ซึ่งทำให้เกิดขึ้นโดย เส้นทางแนวนอน กับ เส้นทางแนวตั้ง จะแบ่งภาพออกเป็นส่วนๆ แต่ละส่วนจะมีขนาดเท่ากันแต่มีความสว่างไม่เท่ากันภาพโทรทัศน์ที่เรามองเห็นประกอบไปด้วย Picture element จำนวนมากมาย

รูปที่ 2.1 แสดงให้เห็นรายละเอียดของภาพที่ปรากฏเมื่อระบบโทรทัศน์ใช้จำนวนเส้นสแกนต่างกัน รูปที่ 2.1(a) ใช้เส้นสแกนน้อยกว่ารูปที่ 2.1(b)



รูปที่ 2.1(a)



รูปที่ 2.1(b)

รูปที่ 2.1 ผลของจำนวนของการสแกนที่มีต่อรายละเอียดของภาพ (resolution)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 ความชัดเจนของภาพ (Resolution)

ความชัดเจนของภาพคือความสามารถในการถอดถ่าย (serises reproduct) ของเส้นดำและขาว ความสามารถอันนี้โดยปกติระบุไว้เป็นจำนวนเส้นที่สามารถถอดถ่ายได้ (นับทั้งเส้นดำและขาว) ในความยาวเท่ากับความสูงของภาพ

รายละเอียดทางแนวตั้งในลักษณะที่ดีของรายละเอียดทางแนวตั้งควรเท่ากับจำนวนเส้นของระบบโทรทัศน์นั้นๆ กล่าวคือ สามารถถอดถ่ายเส้นขาวและเส้นดำเรียงลำดับไปทางแนวดิ่งจากบนลงล่าง(ณ ที่นี้คือ 625 เส้น) ในทางปฏิบัตินั้น field flyback ต้องการเวลาคิดเป็นจำนวน 2เส้นต่อหนึ่ง ฟิลด์ 50 เส้นในจำนวน 625 เส้นจะถูก blank ไป 50 เส้น (เหลือเป็น active line 575 เส้น)

ขอให้พิจารณาอนุกรมของเส้นนอนดำและขาวดังแสดงในรูปที่ 2.1(a) image เป็นภาพที่สร้างขึ้นในความคิดการ ของการเห็นภาพที่แสดงผลได้จริงในรูปที่ 2.1(b) เส้น 1 ทำให้เกิดสัญญาณเป็นภาพดำและเส้น 2 ทำให้เกิดภาพขาวและต่อ ๆ ไป ในกรณีเช่นนี้เราจะได้รายละเอียดทางแนวตั้ง 100% เต็มที่คือได้สามารถแสดงภาพได้อย่างเดียวกับในความคิด ในรูปที่ 2.1 (b) ณ. ที่นี้สมมุติเอาว่าเส้นผ่าศูนย์กลางของ scanning spot โตเท่ากับความกว้างของเส้นขาวดำหนึ่งๆ

รูปที่ 2.1 (a) image รูปที่ 2.1(b) ภาพที่แสดงผลได้จริง

รูปที่ 2.2 รายละเอียดทางแนวตั้ง กรณีดีที่สุด image กับ ภาพที่แสดงผลได้จริงจะเหมือนกัน

รูปที่ 2.3 (a) image รูปที่ 2.3 (b) ภาพที่แสดงผลได้จริง

รูปที่ 3.3 รายละเอียดทางแนวตั้ง กรณีเลวที่สุด image กับ ภาพที่แสดงผลได้จริง จะแตกต่างกันโดยสิ้นเชิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัตินั้น vertical element ในภาพเฉลี่ยหนึ่งๆ จะไม่เป็น pattern ตายตัวแต่จะกระจายไปทั่วภาพ จำนวนเส้นที่สามารถจำแนกออกได้จะมีประมาณ 75% ของจำนวน active line ทั้งหมดนั่นคือ รายละเอียดทางแนวตั้ง ที่คาดว่าจะได้ค่าเป็น 575 X 0.75 = 430 เส้น (โดยประมาณ)

รายละเอียดทางแนวนอน เพื่อให้สอดคล้องกันในเรื่องรายละเอียดของภาพ รายละเอียดทางแนวนอนควรมีค่าอย่างเดียวกับ รายละเอียดทางแนวตั้ง ทางแนวนอน คือ ความสามารถในการแสดงภาพที่เห็นได้จริง เส้นดำขาวเรียงสลับกันทางแนวนอน ในความยาวเท่ากับความสูงของภาพ จำนวนที่แท้จริงของเส้นที่สามารถจำแนกได้ในความกว้างทั้งหมดของภาพต้องนำ aspect ratio ซึ่งจะได้จำนวนที่แท้จริงของเส้นที่สามารถจำแนกทางแนวนอนได้ 4/3 X 430 = 573 เส้น

รูปที่ 2.4 (a) แสดงการสแกนของ ลำอิเลคตรอน ผ่านอนุกรมเส้นดิ่งดำ - ขาวสลับกันตรงตามจำนวนสูงสุดของ รายละเอียดทางแนวนอน ถ้า ลำอิเลคตรอน มีขนาดเล็กมาก สัญญาณทางเอาท์พุทจาก หลอดกล้องจะเป็น square wave และภาพที่ถอดถ่ายได้ทางด้านรับจะสมบูรณ์เหมือนด้านส่ง

รูปที่ 2.4 (a) image รูปที่ 2.4 (b) ภาพที่แสดงผลได้จริง

รูปที่ 2.4 รายละเอียดทางแนวนอที่มีลำอิเลคตรอน เล็กมาก image กับ ภาพที่แสดงผลได้จริง เหมือนกัน

เมื่อลำอิเลคตรอนโตพอควรการเปลี่ยนของสัญญาณจากดำไปขาวจะไม่เป็นไปในทันทีแต่จะมีภาวะต่างๆ ซึ่งลำอิเลคตรอน อยู่ในส่วนดำบางส่วนและขาวบางส่วน ทำให้ได้ grey signal ขอบของ square wave จะมนไปและเปลี่ยนไปคล้ายคลึงกับ sine wave ภาพที่รับได้จะผิดไปจากเดิม มีการค่อยๆ เปลี่ยนระหว่างดำและขาว

เราทราบแล้วว่า square wave ประกอบด้วย sine wave, fundamental frequency และ harmonic ต่างๆ มากมาย และการสูญเสียของ harmonic เหล่านี้ย่อมจะทำให้สัญญาณนี้ใกล้กับ sine wave เข้าไป การลดทอนองค์ประกอบความถี่สูงๆ ในระบบรับส่งโทรทัศน์จะให้ผลคล้ายคลึงกับการเพิ่มขนาดลำอิเลคตรอนคือทำให้รายละเอียดทางแนวนอนเลวลงไปในทางปฏิบัติแฟกเตอร์สำคัญที่เป็นตัวจำกัดรายละเอียดทางแนวนอนนั่นก็คือ ขนาดของความชัดเจนของภาพ ณ ความถี่สูง ๆ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.5 สัญญาณสำหรับเส้นประชิดกัน 2 เส้น กล่าวคือ เส้นดำและขาวแทน 1 cycle ของสัญญาณ

รูปที่ 2.5 (a) image รูปที่ 2.5 (b) ภาพที่แสดงผลได้จริง

รูปที่ 2.5 รายละเอียดทางแนวนอนที่มีลำอิเลคตรอนโตพอควรและมีการสูญเสีย harmonic ต่าง ๆ

2.1.2 Bandwidth ของ สัญญาณภาพ

ขีดความถี่สูงของ bandwidth เพื่อให้รายละเอียดทางแนวนอนมีค่าเท่ากับรายละเอียดทางแนวตั้งที่คาดว่าจะได้นั้น จำเป็นต้องจำแนกเส้นเส้นดำ-ขาวสลับตามแนวนอน 575 เส้น ในเวลา เส้นที่ทำงานและเวลาเส้นที่ทำงานสำหรับ 1 เส้นเท่ากับเส้นที่ทำงาน(line time) - ฮอริซอนตัลแบลงกิ้ง(horizontal blanking time)

นั่นคือ 64 μs - 12 μs = 52 μs

โดยที่ 1 cycle ของสัญญาณเกิดจากเส้น 2 เส้นดังนั้นในเวลา 52 μs จึงมีสัญญาณ 575/2 cycle นั่นเอง

ขีดความถี่สูงของ bandwidth = จำนวนเส้นสแกนทางแนวนอน(H/2) หารกับ เวลาของเส้นที่ทำงาน

bandwidth = 575/(2X52) = 5.5 MHz

ในทางปฏิบัติของการรับส่งโทรทัศน์ระบบ 625 เส้นกำหนดให้ใช้ maximum video frequency เป็น 5 MHz โดยยอมเสียคุณภาพทาง รายละเอียดทางแนวนอน ลงไปบ้าง

ระบบโทรทัศน์ที่มีขีดทางความถี่สูง 5 MHz สำหรับ picture signal นี้ยังพอเพียงสำหรับการรับส่งสัญญาณซิงค์ อีกด้วยดังจะเห็นได้ดังต่อไปนี้

ปกติสัญญาณซิงค์ต่างๆที่ใช้เป็น rectangular pulses มี rise time อยู่ในย่าน 0.2 และ 0.4 μs ดังนั้น ความถี่สูงสุดที่ต้องการสำหรับ rise time ดังกล่าวจะหาได้จาก

ความถี่สูงสุดสำหรับ rise time 0.2 μs = 1/(2x0.2) = 2.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่สูงสุดสำหรับ rise time 0.4 μs = 1/(2x0.4) = 1.25 MHz

2.2 การสแกน(Scanning)

หน้าที่ของการสแกนก็เพื่อที่จะเลือก Picture element ของภาพที่ชัดเจนบนฉากเรียงตามลำดับเพื่อทำการส่งและสร้างขึ้นใหม่ทางด้านรับให้ตรงกับด้านส่ง การสแกนหมายถึง จำนวนเส้นของการสแกนต่อหนึ่งภาพและจำนวนภาพที่ส่งออกไปต่อวินาที ถ้าเราส่งจำนวนต่อวินาที ถ้าเราส่งจำนวนต่อวินาทีมากมายเท่าไร การกระพริบของภาพจะลดลงเท่านั้นยิ่งเพิ่มจำนวนเส้นในการสแกน ก็ยิ่งจะได้ภาพที่ละเอียดชัดเจนยิ่งขึ้น

ให้จำนวนของ Picture element = N

ให้จำนวนเส้นในการ Scan = n

ความสูงของภาพ = h

ความกว้างของภาพ = b

หาความสัมพันธ์ได้ว่า $N = b/h \times n^2$

b/h Aspect ratio = 4/3

จะเห็นว่าความชัดเจนของภาพจะขึ้นอยู่กับ จำนวน Picture element (N) ให้ความถี่ของการสแกนทาง แนวตั้ง (Fv) เท่ากับ จำนวนภาพ/วินาที ฉนั้นความถี่ในของสแกนทางแนวนอน (Fh) เท่ากับ จำนวนภาพต่อวินาที คูณด้วยจำนวนเส้นสแกนโทรทัศน์ระบบ 625 เส้น จะมีจำนวนเส้นในการสแกนเท่ากับ 625 เส้นต่อหนึ่งภาพ และจะมีจำนวนภาพ/วินาที เท่ากับ 25 ฉนั้นเราสามารถหาความถี่ของการสแกนทางแนวนอน จะได้

ความถี่แนวนอน(Horiztal scan) = Fh

ความถี่แนวตั้ง (Vertical scan) = Fv

จำนวนเส้นสแกน = n

Fh = 25 X 625 = 15,625 Hz

และ n = Fh/Fv = 15,625/25

= 625 เส้น

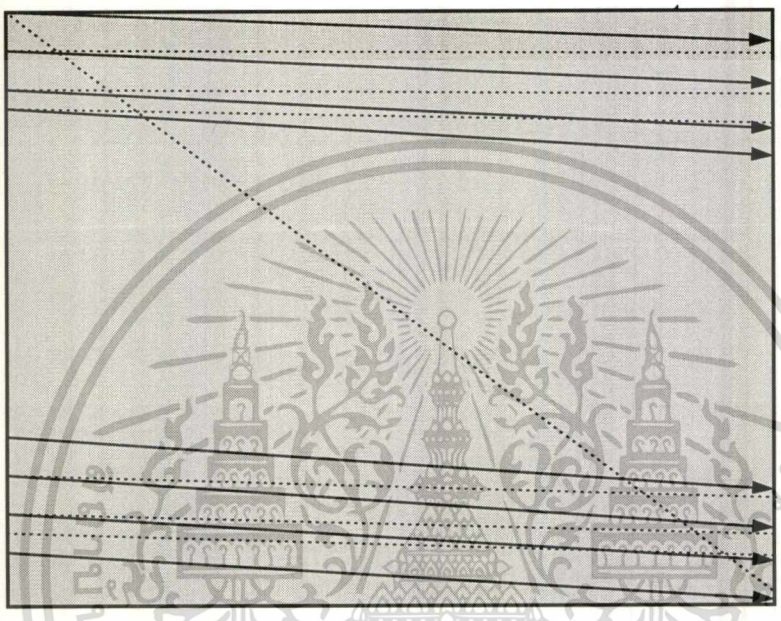
จะเห็นว่า การสแกนจะกระทำไปพร้อม ๆ กันทางแนวนอนและทางแนวตั้ง โดยที่ความถี่ในการ สแกนต่างกันแต่ขดลวดทางแนวนอนและทางแนวตั้งที่จะทำให้เกิดการสแกนจะวางอยู่ในตำแหน่งตั้งฉากซึ่งกันและกัน โดยทั่วไปแล้ววิธีการสแกนมีอยู่ 2 วิธีคือ

1. noninterlaced scanning
2. interlaced scanning

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 NONINTERLACED SCANNING

การสแกนจะเริ่มที่บริเวณด้านซ้ายบนจอภาพและเริ่มต้นสแกนไปทางขวามือ จากส่วนบนจอภาพลงส่วนล่างของจอภาพครั้งละ 1 เส้นเริ่มจากเส้นที่ 1,2,3 ไปเรื่อย ๆ จนกระทั่งถึงเส้นที่ 625 ซึ่งเป็นเส้นสุดท้ายแล้วจึงเริ่มสแกนเส้นแรกใหม่ดังรูปที่ 2.6



2.2.2 INTERLACED SCANNING

เฟรมและฟิลด์ คือ จำนวนเส้นสแกนทางแนวนอนทั้งหมดครบ 1 ภาพ หรือเราเรียกว่า เฟรม ในระบบ INTERLACED SCANNING จำนวนของเส้นที่สแกนบนหน้าจอทั้งหมด(FRAME) จะถูกแบ่งออกเป็น 2 กลุ่ม คือ กลุ่มที่สแกนทางเส้นคู่ และกลุ่มที่สแกนทางเส้นคี่ซึ่งกลุ่มนี้ เราจะเรียกว่า ฟิลด์ (ฟิลด์คี่ และ ฟิลด์คู่)

ในระบบ 625 เส้น 1/25 วินาที จะมีจำนวน 25 ภาพต่อวินาทีอย่างไรก็ตามแบบนี้ไม่สามารถทำให้เกิดการรบกวนกันระหว่างการเปลี่ยนภาพเพราะว่า flicker ของเส้นแสงบนหน้าจอถูกสร้างขึ้นสลับกันเป็นแบบสว่างและมืดเป็นต้น จึงทำให้ flicker นี้มีน้อยมากเมื่อภาพสว่างมากขึ้น

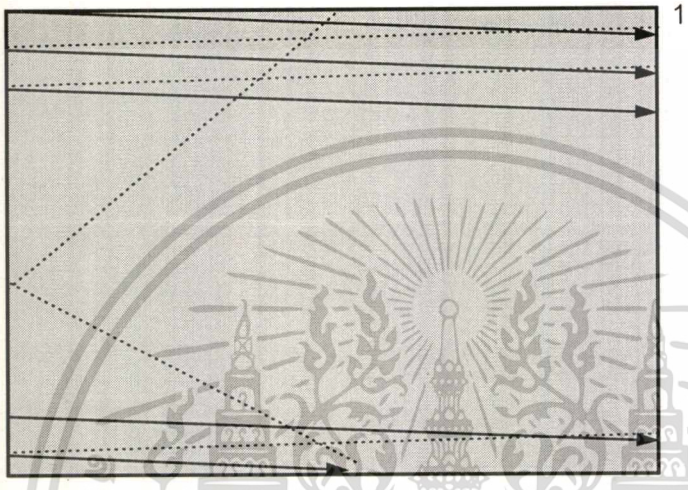
การสแกนแบบ INTERLACED โดยมีการแบ่งภาพ (frame) ออกเป็นสองกลุ่ม (filed) ดังนี้

- กลุ่มที่ 1 หรือ ฟิลด์ 1 หรือ ฟิลด์คี่ จะมีจำนวนเส้นสแกนทางแนวนอน 312.5 เส้นและเวลาในการสแกน 1/50 วินาที ดังรูปที่ 2.7

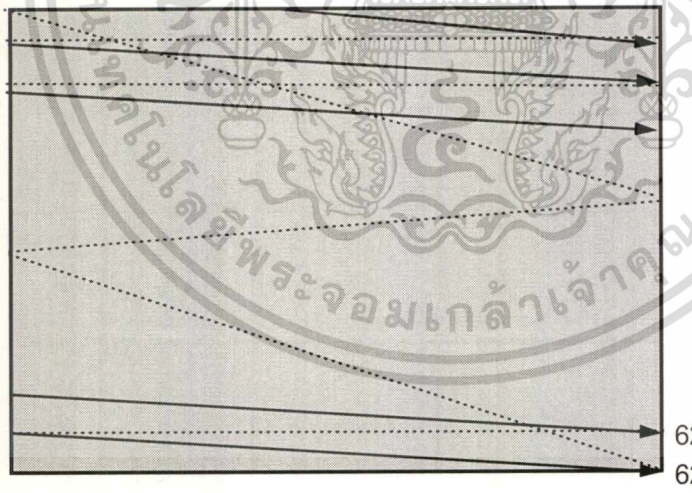
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กลุ่มที่ 2 หรือ ฟิลด์ 2 หรือ ฟิลด์คู่ จะมีจำนวนเส้นสแกนทางแนวนอน 312.5 เส้นและเวลาในการสแกน 1/50 วินาที ดังรูปที่ 2.8

ดังนั้นถ้าเราเอา ฟิลด์คู่ กับ ฟิลด์คี่ มารวมกันแบบสอดแทรกระหว่างกันจะทำให้ได้จำนวนเส้นสแกนทางแนวนอน 625 เส้นและใช้เวลา 1/25 วินาที



รูปที่ 2.7 ฟิลด์คี่



รูปที่ 2.8 ฟิลด์คู่

ซีเควนเซียลของการสแกนภาพทั้งจอสามารถสรุปได้ดังนี้

- จำนวนอิเลคตรอนบีมที่กวาดไปแต่ละเส้นก็จะให้สัญญาณภาพเฉพาะเส้นนั้น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ที่ปลายหรือสุดของแต่ละเส้น ลำบีมของอิเลคตรอนก็จะสบัดกลับอย่างรวดเร็วจากขวามาซ้าย เพื่อเริ่มต้นสแกนเส้นต่อไปใหม่ ซึ่งการสบัดกลับของเส้นทางแนวนอนนี้เราเรียกว่า รีเทรค หรือ ฟลายแบล็ค ซึ่งช่วงนี้ จะมีเฉพาะลำอิเลคตรอนเท่านั้น ไม่มีสัญญาณภาพเลย หรือเราเรียกว่า ช่วง แบลงกิ้งทางแนวนอน

- เมื่อลำอิเลคตรอนบีมสบัดกลับมาอยู่ที่ทางด้านซ้ายของจอ และจะเปลี่ยนตำแหน่งไปจากเดิมเล็กน้อย (นั่นคือต่ำกว่าเส้นที่ผ่านมา) และก็เริ่มทำงานใหม่ตามการสแกนที่ให้ไว้ ซึ่งจะไม่ไปทับกับเส้นเก่า

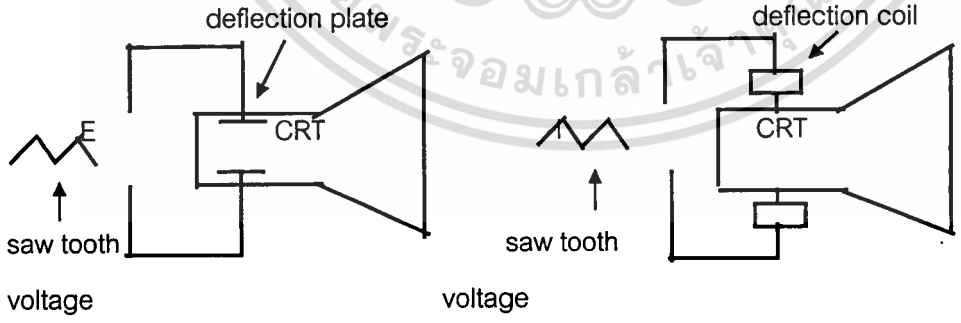
-ข้อดี กรณีจำนวนเส้นสแกนและจำนวนภาพต่อวินาทีเท่ากัน ระบบ Interlaced scanning จะให้การกระพริบน้อยกว่า

ข้อเสีย การที่จะทำให้เกิด Interlaced scanning ยากมักจะเกิด Line pairing (line pairingหมายถึงเส้นสแกนมักจะทับกันทำให้เส้นในการสแกนลดลงฉะนั้นรายละเอียดและความชัดเจนจึงลดลงด้วย) ซึ่งทำให้ความชัดเจนลดลงไป และการสร้างซิงค์ลำบากและยุ่งยากมากกว่า

2.2.3 การหักเหบีมอิเลคตรอน (Electron beam deflection)

ระบบของการหักเหและการสแกนที่เห็นบนจอโทรทัศน์ซึ่งเรียกว่าเรสเตอร์(raster)ได้โดยทำให้บีมอีเลคตรอนเคลื่อนที่จากซ้ายไปขวาและจากบนลงล่างการที่จะทำให้บีมอิเลคตรอนที่หักเหกระทำได้ 2 ขั้นตอนขั้นตอนที่ 1 เรียกว่า การหักเหบน static ดังแสดงในรูปที่ 2.9 (a) ขั้นตอนนี้ใช้โวลด์ saw tooth ป้อนเข้าไปยังdeflection plate ซึ่งต่อไปยังจอหลอดภาพ

ขั้นตอนที่ 2 มีชื่อว่า megnetic deflection ขั้นตอนนี้ต้องป้อนกระแสรูป saw tooth เข้าที่ deflection coil เพื่อทำให้เกิด magnetic field ผลักบีมอิเลคตรอนให้เคลื่อนที่ดังแสดงให้เห็นในรูปที่ 2.9(b)



รูปที่ 2.9(a) Static deflection รูปที่. 2.9(b) Magnatic deflection

รูปที่ 2.9 deflection

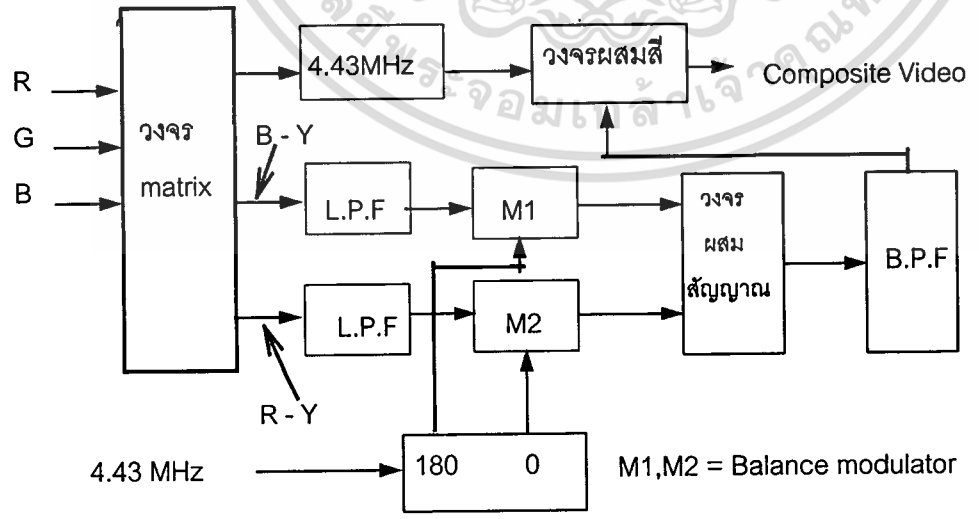
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งสองแบบที่กล่าวมาแล้วจำเป็นต้องมี deflection plate หรือ deflection coil อย่างละ 2 ชุด วางตั้งฉากซึ่งกันและกันเพื่อทำให้เกิดการหักเหทาง vertical และ ทาง horizontal เส้น raster ที่เห็นเป็นรูปสี่เหลี่ยมประกอบด้วยเส้น horizontal scanning และ vertical scanning ในระบบ PAL-B มาตราฐาน CCIR กำหนด horizontal frequency = 15,625 Hz และ vertical frequency = 50 Hz

คุณสมบัติของ saw tooth ที่ใช้ในการหักเห electron beam จะแตกต่างจากคลื่นชนิด sine wave ก็คือ saw tooth จะประกอบด้วยความถี่ชนิด sine wave หลาย ๆ ความถี่ ประกอบกัน แต่ sine wave จะมีความถี่เพียงความถี่เดียวเท่านั้น ความถี่ 50 Hz

2.3 โทรทัศน์สีระบบ PAL (PAL color TV system)

สัญญาณโทรทัศน์สีระบบ PAL เป็นโทรทัศน์สีที่มีลักษณะคล้ายคลึงกับโทรทัศน์สีระบบ NTSC แต่ได้รับการเสริมแต่งแก้ไขให้มีความแตกต่างกันอยู่หลายอย่าง เรื่องที่สำคัญก็คือ ได้รับการปรับปรุงแก้ไขปัญหาที่เกิดจากความผิดเพี้ยนทางเฟสและแอปปลิจูด (phase and amplitude distortion) โดยปกติการส่งสัญญาณโทรทัศน์ที่มีความถี่และแอปปลิจูดแตกต่างกัน ผ่านวงจรขยายสัญญาณหรือวงจรอื่นๆ ที่เกี่ยวข้อง จะทำให้ต้องใช้เวลานานมากน้อยและมีการขยายมากน้อยแตกต่างกันออกไปตามแต่และแอปปลิจูดของสัญญาณโทรทัศน์ ซึ่งจะมีผลต่อสัญญาณโทรทัศน์ที่ให้ภาพสี และสัญญาณคัลเลอร์ซับแคริเออร์มาก ความผิดเพี้ยนเหล่านี้จะทำให้ภาพสีของเครื่องรับโทรทัศน์สีมีสีสันผิดเพี้ยนไปจากภาพสีของเครื่องส่งโทรทัศน์สี ซึ่งเป็นเรื่องสำคัญต้องแก้ไข โทรทัศน์สีระบบ NTSC ได้แก้ไขเรื่องนี้โดยการพิจารณาออกแบบวงจรที่เกี่ยวข้องให้เหมาะสม แต่โทรทัศน์สีระบบ PAL มีวิธีการปรับปรุงแก้ไขปัญหาในเรื่องนี้โดยวิธีการส่งสัญญาณโทรทัศน์ที่ให้ภาพสีให้มีเฟสแตกต่างกันหนึ่งร้อยแปดสิบองศา สลับกันไปในแต่ละช่วงเวลาที่มีการสแกนทางแนวนอน หลักการของโทรทัศน์สีระบบ PAL นี้ได้ในรูปที่ 2.10



รูปที่ 2.10 color coder ของโทรทัศน์สี PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ R,G,B จะผสมกันในวงจรแมททริกซ์ (matrix) ซึ่งจะทำให้เกิดสัญญาณสองสว่าง Y กับสัญญาณโทรทัศน์ที่ให้ภาพสีสองสัญญาณคือU กับ V ซึ่งเป็นผลต่างของสัญญาณสีแดงกับสัญญาณส่องสว่างและสัญญาณสีน้ำเงินกับสัญญาณส่องสว่าง ดังต่อไปนี้

สัญญาณส่องสว่าง (luminance signal)

$$Y = 0.299R + 0.587G + 0.114B$$

สัญญาณสี (chrominance signal)

$$U = 0.493(B - Y)$$

$$V = 0.877(R - Y)$$

สัญญาณโทรทัศน์ที่ให้ภาพสี จะเกี่ยวข้องแต่เฉพาะสัญญาณจากสีแดงและสัญญาณจากสีน้ำเงิน ส่วนสัญญาณที่เกิดจากสีเขียวจะหายไปฉะนั้น เครื่องรับโทรทัศน์สีจะต้องมีวงจรพิเศษทำให้เกิดสัญญาณนี้เกิดขึ้นมาได้เพื่อตรวจสอบดูว่า สัญญาณ (G - Y) เกิดขึ้นอย่างไรหรือไม่จากสัญญาณต่าง ๆ ที่มีอยู่สามสัญญาณ คือ Y,U,V มีสมการดังต่อไปนี้

$$0.299R + 0.587G + 0.114B - Y = 0 \qquad (1)$$

$$0.299Y + 0.587Y + 0.114Y - Y = 0 \qquad (2)$$

(1) - (2)

$$0.299(R - Y) + 0.587(G - Y) + 0.114(B - Y) = 0$$

$$(G - Y) = -0.51(R - Y) - 0.19(B - Y)$$

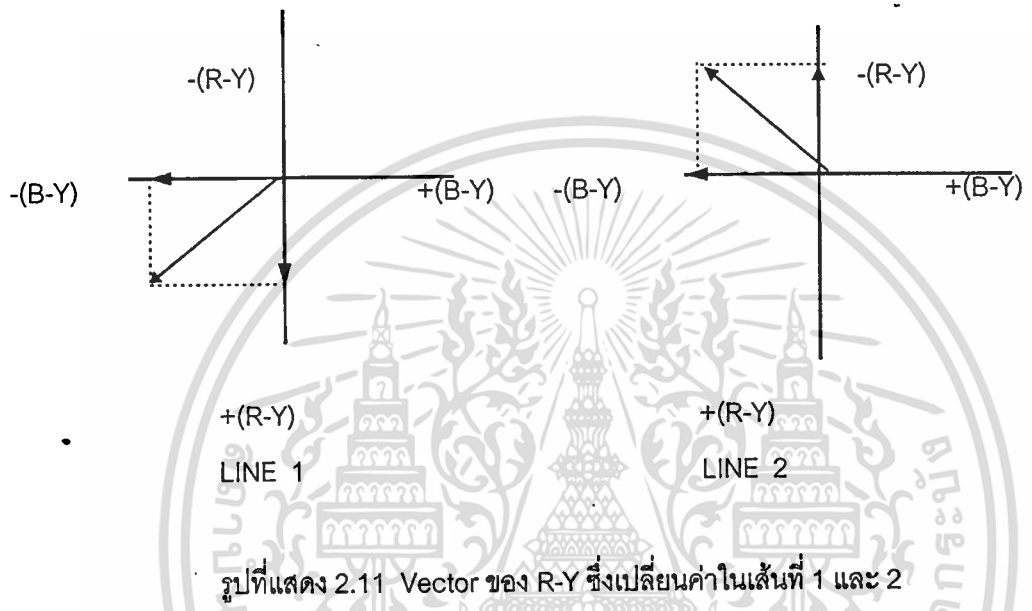
ฉะนั้นเมื่อทราบค่าของสัญญาณ Y, (R - Y), (B - Y) เราก็สามารถหาค่าของสัญญาณ (G - Y) ได้ และสามารถทำให้เกิดภาพสีทางจอเครื่องรับโทรทัศน์สีได้ด้วย สัญญาณ (R - Y) กับ (B - Y)

2.3.1 การสลับเฟสในการสแกน (Phase Alternation by Line)

คุณลักษณะที่สำคัญของระบบ PAL ที่ต่างจาก NTSC ก็คือ ในวงจร Quadrature Modulationนั้นเฟสของซับแคร์เรีย(Subcarrier)ซึ่งมอดกับสัญญาณโครมิแนนท์ตัวหนึ่งจะมีค่าคงที่ในขณะทีเฟสของซับแคร์เรียซึ่งมอดด้วยโครมิแนนท์ อีกตัวหนึ่งกลับเฟสในช่วงของ Line Frequency จากหลักการนี้เองเราจึงเรียกระบบนี้ว่า Phase Alternation by Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสลับเฟสนั้นถ้าเราให้ R-Y Modulator เป็นตัวสลับเฟสจะช่วยให้การจัดระบบในขณะดีโค๊ช (Decode)สัญญาณได้ง่ายขึ้นและเป็นที่น่าสังเกตุว่าแม้เฟสของสัญญาณโครมิแนนท์ จะเปลี่ยนในทุกเส้นของการสแกน (15,625 Hz) การสลับเส้นจะทำซ้ำในเส้นที่ 2 อีกครั้ง (7,812.5 Hz)



รูปที่แสดง 2.11 Vector ของ R-Y ซึ่งเปลี่ยนค่าในเส้นที่ 1 และ 2

2.4 สัญญาณภาพและมาตรฐานของสัญญาณโทรทัศน์

คณะกรรมการที่ปรึกษาทางวิทยุระหว่างประเทศ CCIR หรือ Internation cosultative Radio Committee ได้กำหนดมาตรฐานสัญญาณต่าง ๆ ของโทรทัศน์ระบบ PAL ดังนี้

จำนวนเส้นต่อภาพ (frame)	625 เส้น
ความถี่ของฟีลด์ (field/second)	50 Hz
ความถี่ของเฟรม (pictures/second)	25 ภาพ
Interlace	2 : 1
Line frequency (lines/second)	15,625 Hz
Aspect ratio (windth/height)	4 : 3
การสแกนที่ใช้งาน (เส้นสแกน)	จากซ้ายไปขวา
(field)	จากบนลงล่าง
ความถี่ของคัลเลอน์ซับแคริเออร์	43361875 Mhz +,- 10 Hz

ส่วนประกอบของสัญญาณโทรทัศน์ ที่สำคัญมี 6 ส่วนคือ

1. สัญญาณภาพ picture information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สัญญาณ sync ประกอบด้วย line sync และ field sync
3. สัญญาณ blanking ป้องกันไม่ให้ตามองเห็นช่วง retrace
4. สัญญาณ color synchronizing
5. สัญญาณ chrominance
6. สัญญาณ luminance

2.4.1 สัญญาณภาพรวม (Composite video signal)

สัญญาณภาพรวม ประกอบด้วย ส่วนต่าง ๆ 6 ส่วน ได้แก่ picture information , synchronizing pulse , blanking pulse , color synchronizing , chrominance signal component และ luminance signal component

สัญญาณภาพรวมประกอบด้วยแบลงกิ้งพลัสซ์ทำหน้าที่ยกระดับสัญญาณสู่ระดับ black level ในช่วงรีเทรคทำให้ไม่เห็นเส้นรีเทรคบนจอภาพช่วงรีเทรคบนจอภาพช่วงรีทรคเกิดตรงกับ เวลาของแบลงกิ้งพลัสซ์

แบลงกิ้งพลัสซ์ในสัญญาณภาพรวมมีทั้งฮอริซอนตัลแบลงกิ้งพลัสซ์ และ เวอร์ติคอลแบลงกิ้งพลัสซ์

- ฮอริซอนตัลพลัสซ์ ทำหน้าที่ blank เส้น รีเทรค จากด้านขวาของจอภาพมายังด้านซ้ายของจอภาพในแต่ละเส้นสแกนทางแนวนอนความถี่ ฮอริซอนตัลแบลงพลัสซ์ลูกต่อลูกเท่ากับ เส้นสแกนของความถี่ 15,625 Hz
- เวอร์ติคอลแบลงกิ้งพลัสซ์ทำหน้าที่ blank เส้นรีเทรคของบีมอิเลคตรอนจากด้านล่างขึ้นด้านบนจอภาพเมื่อสิ้นสุดการสแกนแต่ละฟิลด์ ความถี่ เวอร์ติคัลแบลงพลัสซ์ เท่ากับ 50 Hz ในแต่ละฟิลด์

ซิ่งโครไนซ์พลัสซ์มีไว้เพื่อให้ทางด้านส่งและด้านรับทำการสแกนไปพร้อม ๆ กัน โดยส่ง ฮอริซอนตัลซิงค์และเวอร์ติคอลซิงค์ไปด้วยกันโดยมีความกว้างของเวลาที่ต่างกัน เพราะฉนั้นเป็นการง่ายในการแยกที่เครื่องรับโดยฮอริซอนตัลซิงค์พลัสซ์จะถูกแยกด้วย differentiated ซึ่งมีช่วง เวลา เท่ากับ 0.07 H = 0.07 X 64 μs = 4.48 μs ส่วน vertical sync pulse จะแยกด้วยการ integrated ซึ่งมีช่วงเวลายาวนานกว่าทาง แนวนอน = 2.5 H = 2.5 X 64 = 160 μs

เพื่อให้ช่วง ฮอริซอนตัลซิงค์พลัสซ์ถูกต้องเวอร์ติตัลซิงค์พลัสซ์จะแทรกพลัสซ์ เข้ามาเป็น H/2 จะเริ่มสแกนจากฟิลด์แรกและ shifted ไป H/2 เมื่อเริ่มจะเปลี่ยน ฟิลด์เวอร์ตัลคอลซิงค์พลัสซ์ได้มาจากการ Integrate composite sync ซึ่งมี pre equalizing pulse 5 ลูก ซึ่งใส่ในช่วง H/2 และ post equalizing pulse การเริ่มสแกนของฟิลด์ที่ 2 จะเริ่มจากจุดกึ่งกลางของเส้นที่ 313

Burst pulse เป็นสัญญาณส่งไปในช่วงระยะของ back porch horizontal blanking interval และ burst pulse ประกอบด้วยสัญญาณ 10 cycles ของ 4.43 MHz color subcarrier burst pulse ทำให้ การ sychronize 4.43 MHz color oscillator ในเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

องค์ประกอบของสัญญาณลูมิแนนท์เป็นความสว่าง (brightness) ของภาพ มีลักษณะคล้ายคลึงกับสัญญาณภาพรวมของสัญญาณโทรทัศน์ขาวดำ จะมีความแตกต่างกันบ้าง ก็ตรงที่มี เบิสต์ซึ่งมีความถี่เดียวกันกับความถี่ของซับแคร์เรียรวมอยู่ด้วยเท่ากันนั้น

องค์ประกอบของสัญญาณโครมิแนนท์ ประกอบด้วย สัญญาณสีสองสัญญาณรวมกันอยู่ โดยมีมุมของเฟสแคร์เรียต่างกันอยู่ 90 องศา สัญญาณสีทั้งสองนี้ อยู่ในรูปของ Amplitude modutated suppressed carrier sidebands ทั้งคู่มุมของเฟสและขนาดของสัญญาณสีนี้จะคอยควบคุม Hue และ Saturation ของสีที่ต้องการส่งและต้องการรับ

2.4.2 ค่ามาตราฐานของ line sync และ line blanking : LB

ขนาดและเวลาของสัญญาณภาพระหว่าง การสแกนทางแนวนอน 1 เส้น (H) ซึ่งมีค่าเท่ากับ 64 μs ดังแสดงในรูป 2. 12

Line period (H) นี้เป็นระยะเวลาที่ใช้ในการสแกนเสร็จสมบูรณ์ใน 1 เส้น ความถี่ทางแนวนอน เท่ากับ 625 x 25 = 15,625 เส้นใน 1 วินาที ฉนั้นจึงหาค่าระยะเวลาได้จาก

$$H = 1/Fh = 1/15{,}625 = 64\ \mu s$$

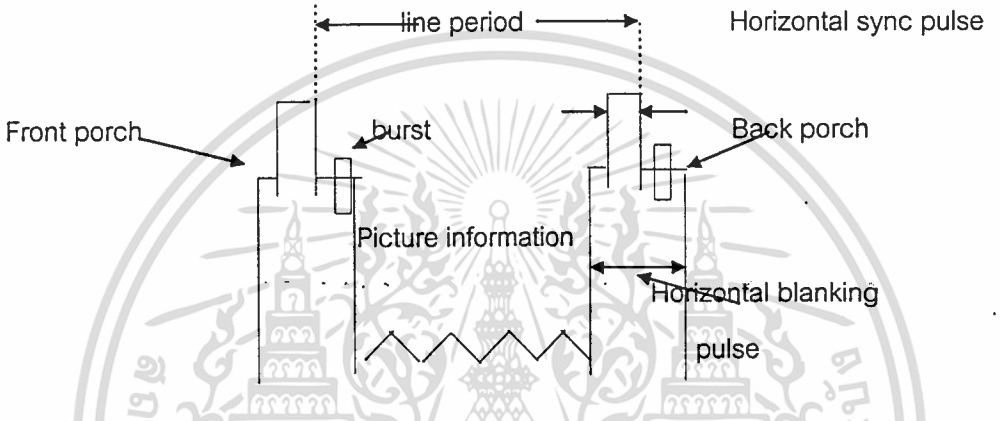
เส้นแบลงกิ้ง(Line blanking :(LB)) ค่านี้จะเป็นช่วงเวลาที่จะใส่ซิงค์พลัสซ์ระยะเวลานี้บีมอิเลคตรอนจะรีเทรค ช่วงนี้จะถูกรักษาไว้ที่ black level ซึ่ง LB = 0.19 H = 12 μs ระยะเวลาของ LB จะแบ่งออกเป็น 3 ส่วน เพราะสแกนจะใส่ไว้เกือบกึ่งกลางช่วง การสแกนแบลงกิ้งพลัส์ (HS) เป็นพลัสซ์เล็ก ๆที่มีความสำคัญมากจะถูกส่งจากด้านส่งไปยังเครื่องรับ เพื่อทำให้การสแกน ทางแนวนอนของเครื่องรับถูกต้องความกว้างของ HS = 0.075 H = 4.7 μs ทีและมี rise time น้อยกว่า 0.25 μs

ไหล่หน้า (Front porch) จุดเริ่มต้นของช่วงนี้จะไม่เริ่มที่แบลงกิ้งแต่จะตามหลังจุดเริ่มต้นของแบลงกิ้งประมาณ 2% ของ line period ซึ่งระยะนี้เรียกว่าระยะไหล่หน้าเพื่อให้เวลาของ เวลาซิงค์แต่ละตัวได้เริ่มต้นใหม่ที่ black level ที่คงที่ และหลีกเลี่ยงจากการสร้างเส้นซิงค์ในเครื่องรับ การเปลี่ยนแปลงของระดับความขาวและระดับความดำของภาพเป็นการแยกซิงค์ออกจากอิทธิพลของช่วงท้าย ของสัญญาณภาพซึ่งจะสูงสุดเมื่อระดับความขาวเกิดขึ้นที่ช่วงท้ายการสแกนช่วงนี้จึงแทนด้วย white level ที่เกิดขึ้นให้เป็น black level ทำให้การเริ่มต้นของ line sync pluse ถูกต้อง front porch = 2.5 % H = 1.5 μs ไหล่หลัง(back porch) = 5.8 μs ระดับของสัญญาณภาพโดยทั่วไปจะกำหนดให้ระดับ การมอดูเลทของซับแคร์เรียยอดของซิงค์จะให้ การมอดูเลท 100% เพราะการมอดูเลทแบบลบ(negative) เมื่อมีระดับขาวซึ่งระดับสัญญาณจะลดลงไปทางลบแต่ช่วงแบลงกิ้งรักษาไว้ที่ 70% และยอดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับความขาวซึ่งระดับ 10% ซึ่งค่า 10% ของแคร์เรียภาพนี้จำเป็นต่อเครื่องรับระบบ inter carrier system เพื่อบีทกับแคร์เรียเสียง จะให้ความถี่ 5.5 MHz

2.4.3 เวลาฮอริซอนตัลแบลงกิ้ง(Horizontal blanking time)



รูปที่ 2.12ฮอริซอนตัลแบลงกิ้ง

ระยะระหว่าง เส้นสแกนทางแนวนอน หรือช่วงเวลาของฮอริซอนตัล เท่ากับ 64 μs เขียนแทนด้วย H เป็นระยะที่ใช้ไปในการสแกนครบ 1 เส้น นับตั้งแต่เทรคไปจนถึงรีเทรค

ช่วงเวลาฮอริซอนตัลแบลงกิ้ง มีค่าประมาณ 18% ของช่วงเวลาของเส้นหรือเท่ากับ 0.18 Hช่วงเวลาของฮอริซอนตัลแบลงกิ้งจึงเท่ากับ 0.18 X 64 μs = 12 μs นี้เองเป็นเวลาที่ บีมอิเลคตรอนใช้ไปในการรีเทรคระหว่างสแกนทางแนวนอนเส้นต่อเส้นตรงกับช่วงแบลงกิ้งหรือจอมืด

นำช่วงเวลาฮอริซอนตัลแบลงกิ้งพลัสซ์ลบออกจากช่วงเวลาของ 1 เส้นสแกนเท่ากับ 64 ms - 12 ms = 52 ms เป็นช่วงเวลาเส้นสแกนของ 1เส้นสแกนเฉพาะส่วนที่มองเห็น

ฮอริซอนซิงค์พลัสซ์มีขนาด 0.07 H หรือเท่ากับ 0.07 X 64 μs = 4.7 μs superimpase อยู่บนช่วงเวลาซิงซ์พลัสซ์ที่เหลือบนช่วงเวลาฮอริซอนตัลแบลงกิ้งพลัสซ์ เท่ากับ

12 μs - 4.7 μs = 7.3 μsโดยประมาณอยู่บนระดับแบลงกิ้งพลัสซ์ เป็นของไหล่หน้า และ ไหล่หลังนำหน้าและตามหลังซิงค์พลัสซ์ตามลำดับ

ไหล่หน้ามี ช่วงเวลา 0.02 H และไหล่หลังมีช่วงเวลา0.09 H มากกว่าไหล่หน้า กว่า 4 เท่าตัวหรือไหล่หน้าและไหล่หลัง เท่ากับ 1.55 μs และ 5.8 μs โดยประมาณ

ไหล่หน้าต้องมีเวลาอย่างน้อย 5.8 μs เพื่อจัดไว้สำหรับเป็นเวลาที่ผ่านของเบิสต์4.43 MHz สัญญาณซิงโครไนซ์ของสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติของวงจร ช่วงเวลาการหักเหฮอริซอนตัลแบลงกิ้งยาวกว่าเวลารีเทรคเล็กน้อย บางส่วนของเส้นเทรคบริเวณจุดเริ่มต้นและจุดปลายของเส้นสแกนทุกๆ เส้นจะถูก blank ผลจาก ฮอริซอนตัลแบลงกิ้ง นี้แสดงด้วยบาร์สีดำที่ด้านขอบซ้ายและขวาของเรสเตอร์ในรูปที่ 2.12บาร์สีดำด้านขอบขวาตรงกันไหล่หน้าของฮอริซอนตัลแบลงกิ้งช่วงก่อนเส้นรีเทรคเริ่มต้น เพราะ ฮอริซอนตัลรีเทรค เริ่มที่ขอบหน้าของซิงค์พลัสซ์และก่อนรีเทรคหรือตอนบีมอิเลคตรอน กวาดมาทางขวาถึงระดับความดำของช่วง ไหล่หน้าของระดับแบลงของไหล่หน้านี้ทำให้จอภาพด้านขวามือกลายเป็นบาร์สีดำดังกล่าวส่วนปลายของเส้นสแกนทางแนวนอน หรือเส้น เทรค ทุก ๆ เส้น สแกนจึงถูก blank ด้ายสาเหตุดังกล่าว

เส้น รีเทรค เกิดตอนเริ่มขอบหน้าของ ซิงค์พลัสซ์ เส้นรีเทรคหรือเส้น flyback มืดสนิทเพราะระดับซิงค์มีระดับ blank ยิ่งกว่า blank หรือระดับ black เสียอีกเวลาที่ใช้ไปในการ flyback ได้กล่าวมาแล้วว่าน้อยกว่าช่วงเวลาแบลงกิ้ง 12 μs ค่าเวลาอันนี้ขึ้นอยู่กับลักษณะวงจรสแกน โดยทั่วไปเวลาhorizontal flyback มีค่าประมาณ 8 μs เวลาแบลงกิ้ง เมื่อหักช่วงไหล่หน้า ออกยังมีค่ามากกว่าที่เวลาhorizontal flyback ในเครื่องรับจริง ๆ ต้องการ คือเท่ากับ 11 μs โดยประมาณ หรือมากกว่าที่ต้องการใช้ในการ flyback หรือ รีเทรค ถึง (11 - 8 μs) = 3 μsแบลงกิ้ง 3 μs ที่เหลือนี้เองจะเป็น blank ช่วงเริ่มต้นเส้นสแกนทางแนวนอนทางด้านซ้ายจอภาพในทุก ๆ ช่วงเริ่มต้นเส้นสแกน เกิดบาร์ดำของซ้ายจอภาพในทำนองเดียวกันที่เกิดทางขอบขวา picture information ของ สัญญาณภาพ ในรูป บีมอิเลคตรอนเฉพาะเทรคที่มองเห็นจึงมีช่วงเวลาประมาณ 52 μs ตามที่กล่าวมาข้างต้น

บาร์สีดำที่เกิดทางขอบซ้ายและขวาจอภาพไม่มีผลเสียต่อภาพ เพียงทำให้ความกว้างของภาพแคบลงเท่านั้น แต่ก็แก้ไขได้โดยการเพิ่มขนาดของสัญญาณ saw tooth ที่เกี่ยวกับ สแกนทางแนวนอน จนกระทั่งได้ความกว้างของภาพตามต้องการ

2.4.4เวลาเวอร์ติคอลแบลงกิ้ง(Vertical blanking time)

เมื่อสิ้นสุดการสแกนในแต่ฟิลด์มาถึงตอนรีเทรคของ บีมอิเลคตรอนของเวอร์ติคอลแบลงกิ้งพลัสซ์จะยกระดับสัญญาณภาพ เข้าสู่ระดับความดำ ทำให้มองไม่เห็นเวอร์ติคอลรีเทรคช่วงเวลาเวอร์ติคอลแบลงกิ้งมีขนาดประมาณ 0.08 V. เมื่อ V เท่ากับ 1/50 วินาทีเวลาเวอร์ติคอลแบลงกิ้งจึงเท่ากับ 0.08X1/50 = 1,600 μs เป็นช่วงเวลายาวนานเพียงพอต่อการ Blank เส้นสแกนทางแนวนอนได้ถึง 1,600 μs /64 μs เท่ากับ 25 เส้น ใน1ฟิลด์ (หรือได้มาจาก 0.08 X 625 = 50 ได้เหมือนกัน) เพราะฉนั้นช่วงเวลายาวนานถึง 1,600 μs นอกจาก Blank เส้นเวอร์ติคอลรีเทรคแล้วยังมีช่วงเวลาเหลืออีก ช่วงที่เหลือที่จะ Blank เส้นเวอร์ติคอลเทรคบางส่วนในบริเวณของขอบบนและขอบล่างของจอภาพไปด้วย

ภายในช่วงเวลาเวอร์ติคอลแบลงกิ้หรือพูดง่ายๆว่าภายในเวอร์ติคอลแบลงกิ้งพลัสซ์ ประกอบด้วยไปด้วยซิงค์พลัสซ์หลายรูปแบบ ได้แก่ อีควอไรซิ้งเวอร์ติคอลซิงค์พลัสซ์ และ ฮอริซอนซิงค์พลัสซ์เราสามารถที่จะใส่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

information ลงไปที่เส้นที่ 17 และ 18 ในฟิลด์คู่ และเส้น330 และ 331 ในฟิลด์คี่เราเรียกว่าระบบ Teletext และยังส่งสัญญาณทดสอบ VITS (vertical interval test signal) ลงไปใน เส้น 19 และ 20 ใน ฟิลด์คู่ และเส้น332 และ 333 ในฟิลด์คี่เพื่อดูผลที่เกิดขึ้นในช่วงเวลา เวลาเวอร์ติคอลแบลงกิ้งซึ่งต้องพิจารณาโดยแบ่งสัญญาณออกเป็น 2 ฟิลด์ คือเมื่อสิ้นสุดฟิลด์คือเมื่อสิ้นสุดฟิลด์คี่และสิ้นสุดฟิลด์คู่ เวลาของสัญญาณภาพทั้งคู่ต่างกันครึ่งเส้น (half line displacement) ทั้งนี้เป็นไปตามคุณสมบัติของ Interlace scanning

พิจารณาดูจากรูป2.13 BURST BLANKING SEQUENCE และ FIELD SYNCHRONIZING เมื่อสิ้นสุดเส้นสแกนทางแนวนอน 3 เส้นสุดท้ายในส่วนล่าง เรสเตอร์เวอร์ติคอลแบลงกิ้งพลัสซ์เปลี่ยนระดับ สัญญาณภาพสู่ระดับความดำตรียมพร้อมกระทำเวอร์ติคอลรีเทรค ในช่วงเวลาเวอร์ติคอลแบลงกิ้ง ช่วงเวลาเวอร์ติคอลแบลงกิ้งเริ่มต้นด้วยกลุ่มของอีควอไรซิ่งพลัสซ์ จำนวน 5 พลัสซ์ ระยะห่างครึ่งเส้น หรือ H/2 = 0.5 H ระหว่าง ต่อ pulse รวม 2.5 H หรือ 2.5 เส้น ตามติดมาด้วย Serrated Vertical sync pulse จำนวน 5 พลัสซ์ในระยะครึ่งเส้น 0.5 H เหมือนกันเพื่อทำหน้าที่ Vertical flyback ในวงจร การสแกนรวม 2.5 H ต่อด้วย 5 อีควอไรซิ่งพลัสซ์ อีกชุดหนึ่งและชุดของฮอริซอนตัลซิงค์พลัสซ์เปิดท้าย

รูปสัญญาณเวอร์ติคอลซิงค์ของ CCIR 625 เส้น ของสัญญาณภาพ สัญญาณแสดงถึงแถวบนและล่างแสดงดังฟิลด์คู่ และฟิลด์คี่ อีควอไรซิ่งค์พลัสซ์ลูกแรกใน ช่วงเวลาเวอร์ติคอลแบลงกิ้งของสัญญาณ แถวล่างมี Time duration ห่างจากฮอริซอนตัลพลัสซ์ ที่ติดกันทางซ้ายมือ 1 เส้นสแกน หรือ 1 H ในขณะที่ทำเป็นของสัญญาณแถวบนจะห่างกันเพียง 1/2 H เท่ากัน ทั้งนี้เพราะเวลา ของอีควอไรซิ่งค์พลัสซ์ ไม่ว่าของฟิลด์คู่ หรือฟิลด์คี่จะตรงกันเสมอมีเวลาของฮอริซอนตัลพลัสซ์ เท่ากันในแต่ละฟิลด์ที่ห่างกัน 1/2 H อันเนื่องจากการสแกนแบบInterlace นั่นเอง

Serrated vertical pulse ในทางทฤษฎี ทำหน้าที่บังคับบีมอิเลคตรอนเกิดเวอร์ติคอลฟลายแบล็คระหว่าง field นับแต่พลัสซ์ลูกแรกในทางปฏิบัติไม่เป็นเช่นนั้น เพราะประจุของ คาปาซิสเตอร์วงจรสแกนนั้นเกิดจากเวอร์ติคอลซิ้งพลัสซ์ลูกแรก ๆ ไม่เพียงพอต่อการ ทริกวงจรสแกน เพื่อการ flyback vertical flyback เริ่มจริง ๆ ประมาณที่ขอบหน้าของ serrated vertical pulse ลูกที่ 3 เนื่องจาก time duration ของ เวอร์ติคอลพลัสซ์ นี้เท่ากับ 1 H หรือ 1 เส้นสแกน Vertical flyback เริ่มต้น เมื่อเวอร์ติคอลพลัสซ์ สองลูกแรกผ่านไป เท่ากับว่า vertical flyback เริ่มต้นหลังจากเส้นสแกนทางแนวนอน ที่ถูกblankผ่านไปหนึ่งเส้น และควอไรซิงค์พลัสซ์ 5 พลัสซ์ก็มี duration เท่ากับ เส้นสแกนทางแนวนอน $2\,^{1}/_{2}$ เส้น นั่นคือ เส้นสแกนทางแนวนอนจำนวน $2\,^{1}/_{2} + 1 = 3\,^{1}/_{2}$ เส้น โดยประมาณทางส่วนของจอภาพถูก blank ก่อนเกิด vertical flyback จริง ความสูงของภาพในทางแนวตั้งเฉพาะส่วนล่างของจอภาพจึงหายไปประมาณ $3\,^{1}/_{2}$ เส้นสแกนทางแนวนอนด้วยผลจากช่วงเวลาเวอร์ติคอลแบลงกิ้ง ดังกล่าว

ช่วงเวลาเวอร์ติคอลแบลงกิ้ง ซึ่งเป็นเวลาที่ผ่านไปของสัญญาณพลัสซ์ เพื่อการ flyback ระหว่างฟิลด์ของภาพ นอกจากทำให้เทรคของเส้นทางด้านล่างจอภาพ ก่อนที่ flyback จริงถูก blank แล้ว ยังมีผลต่อเส้นสแกนแบลงblankด้านบนของจอภาพด้วยเหมือนกัน ดังจะอธิบายต่อไป เวลาที่ผ่านไปของ flyback ในเครื่องรับทั่ว ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเทียบกับเวลาที่ใช้ใน เส้นสแกนทางแนวนอน ประมาณ 5 H หรือ 5 เส้นรวมกับ 3 $^{1}/_{2}$ H ของเส้นสแกนที่blank ก่อนการflyback ในส่วนล่างของจอภาพ ได้ 8 $^{1}/_{2}$ เส้นแล้วลบออกจาก ช่วงเวลาเวอร์ติคอลแบลงกิ้ง 25 เส้นสแกน หรือประมาณ 17 เส้นสแกนทางแนวนอน ที่ถูก blank บริเวณส่วนบนของจอภาพ

เพราะฉะนั้นใน 1 เฟรม ของภาพที่มองเห็นในแนวตั้ง จะมีไม่เต็มจอในบริเวณส่วนบนของจอภาพช่วง blank ไป 17 เส้น ในขณะที่ส่วนล่างถูก blank 3 เส้นถ้าคิดใน 1 เฟรม ของภาพ ตัวเลขนี้ก็เป็น 2 เท่า ผลที่เกิด16ก ช่วงเวลาเวอร์ติคอลแบลง นอกจากจำเป็นต้องการใช้นั้น time duration ของ vertical flyback แล้ว ยังทำให้ภาพใน 1 เฟรม ส่วนบนและส่วนล่างของ เรสเตอร์แบลงไป

2.4.5 สัญญาณเวอร์ติคอลซิโครไนซิงค์(Vertical synchronizing signal)

สัญญาณเวอร์ติคอลซิงค์ ประกอบด้วย equalizing pulse, serrated vertical pulse และ horizontal sync pulse ที่ถูกบรรจุไว้ในช่วงเวลาที่ผ่านมาระหว่างการสิ้นสุดการสแกนในเฟรมหนึ่งกับการเริ่มต้นสแกนอีกเฟรมหนึ่ง มาทำความเข้าใจกับความหมายของเฟรม สัญญาณเวอร์ติคอลซิงค์

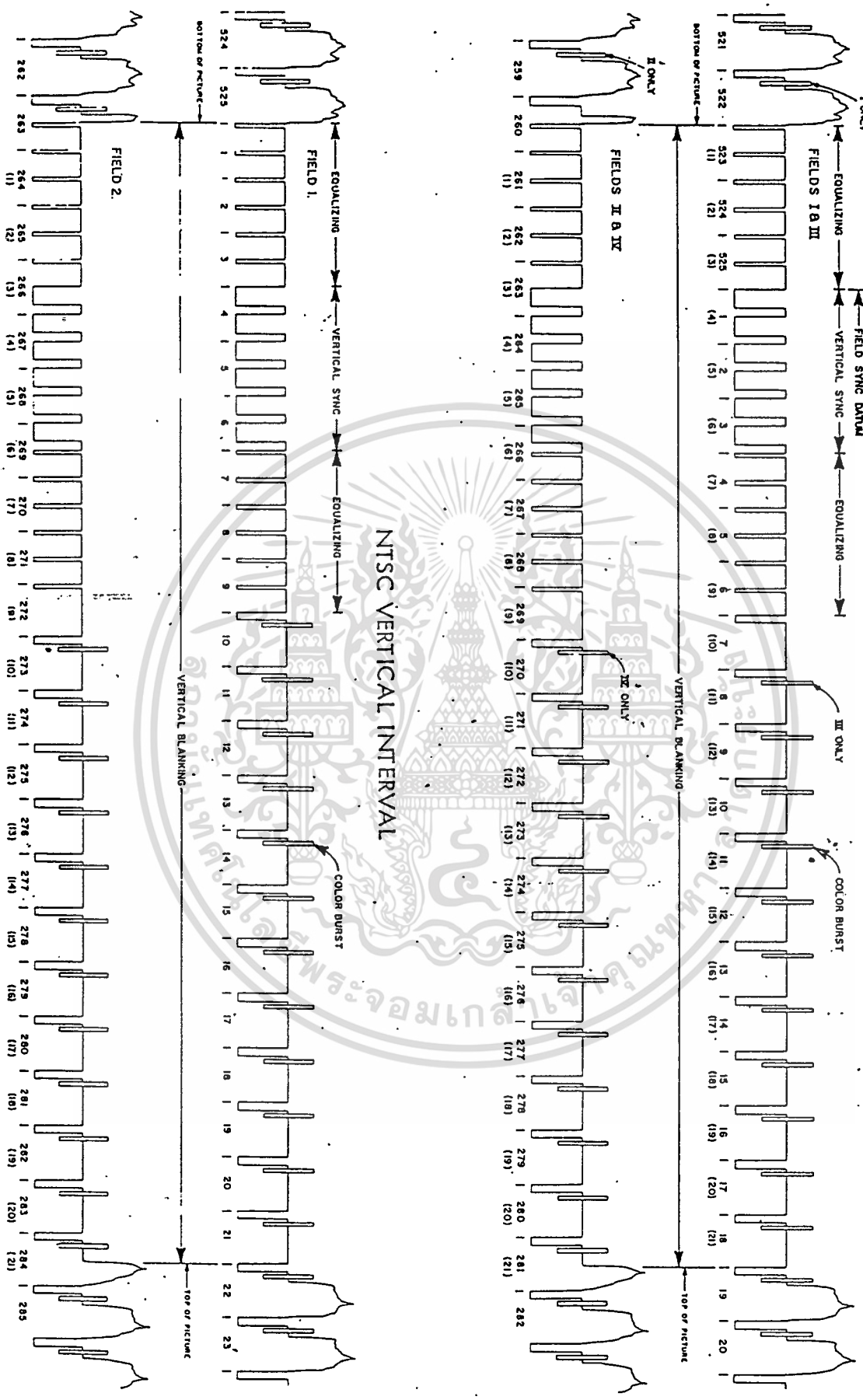
ช่วงเวลาเวอร์ติคอลแบลงกิ้งเป็นเวลาที่ผ านของ สัญญาณเวอร์ติคอลซิงค์ หรือเป็นช่วงเวลาที่ picture information ถูกกด หรือถูกblank มืดสนิทสัญญาณภาพภายใน ช่วงเวลา นี้ทำหน้าที่เพียงกระตุ้นให้ฐานเวลาทางแนวตั้งด้านรับเริ่มต้นและสิ้นสุด vertical flyback เท่านั้น เวลาที่ผ่านไปนี้บ่งบอกในรูปของการสแกนทางแนวตั้งซึ่งเท่ากับ 25 เส้น ในระบบ CCIR 625 เส้น หรือเท่ากับเวลา 25 X 64 μs = 1,600 μs ฐานเวลาทางแนวตั้งในเครื่องรับทำงานที่ความถี่ 50 Hz

Serrated vertical sync pulse เป็นชุดของ pulse กว้าง 27.3 μs จำนวน 5 pulse แต่ละลูกมี duration เท่ากับ half line interval H/2 ในเครื่องรับแยก vertical sync pulse ออกมาเพื่อกระตุ้น oscillator ของฐานเวลาทางแนวตั้งทำงานในช่วง vertical flyback ระหว่างฟิลด์ การสแกน serrated vertical sync pulse มี duration 2 ^{1}/2 เส้น ภายใน ช่วงเวลาทางแนวตั้ง.จำนวนทั้งหมด 25 เส้น

Post vertical pulse suppression period เป็นช่วงเวลาของฮอริซอนตัลซิงค์พลัสซ์ ที่ไม่มี picture information จำนวน 17 $^{1}/_{2}$ เส้น ในเวลาที่ยาวนานเพียงพอ สำหรับเครื่องรับในการสิ้นสุด vertical flyback ก่อนที่ picture detail ของฟิลด์ใหม่ เริ่มสแกนอีกครั้งหนึ่ง picture information ในช่วงนี้รักษาระดับไว้ ณ ระดับ blank หรือเรียกว่า picture detail ถูกกด ระหว่าง ช่วงเวลาพลัสซ์นี้กับชุดของเวอร์ติคอลซิงค์พลัสซ์ เป็นชุดของอีควอไรซิงค์พลัสซ์

Equqlizing pulse มีขนาดความกว้างของพัลส์แคบมากประมาณ 2.3 μs จำนวน 2 ชุด ชุดละ 5 พลัสซ์มีช่วงเวลาที่ผ่านไป ชุดละ 2 $^{1}/_{2}$ เส้น แต่ละชุดอยู่หน้าและหลัง เวอร์ติคอลซิงค์พลัสซ์ เรียกว่า per vertical sync qualizing pulse และ post vertical equalizing pulse ตามลำดับ Equalizing pulse จำเป็นต้องมีอย่างยิ่ง เพื่อทำให้การแยก vertical sync pulseทางเครื่องรับทั้ง ฟิลด์คี่ และ ฟิลด์คู่ ออกมาในลักษณะรูปร่าง และ เวลาตรงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037321



รูปที่ 2.13 Burst Blank Seqence และ Sychronizing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

โดยโครงสร้างของเครื่องกระบวนการขยายสัญญาณภาพสามารถแบ่งโครงสร้างเป็น 3 ส่วนคือ Video Precessing Board , Syne Generator board และ Gerlock Board โดยทั้ง 3 ส่วนนี้มีความสำคัญต้องใช้ร่วมกัน โดยมีการต่อของสัญญาณทั้ง 3 บอร์ดตามบล็อดไดแกรม Video Precessing Amplifier มีหลักการทำงานของแต่ละบอร์ดดั้งนี้

3.1 บล็อดไดอะแกรมและโครงสร้างของวงจรใน Video Precessing Board

3.1 1 หลักการทำงานของบล็อดไดอะแกรม

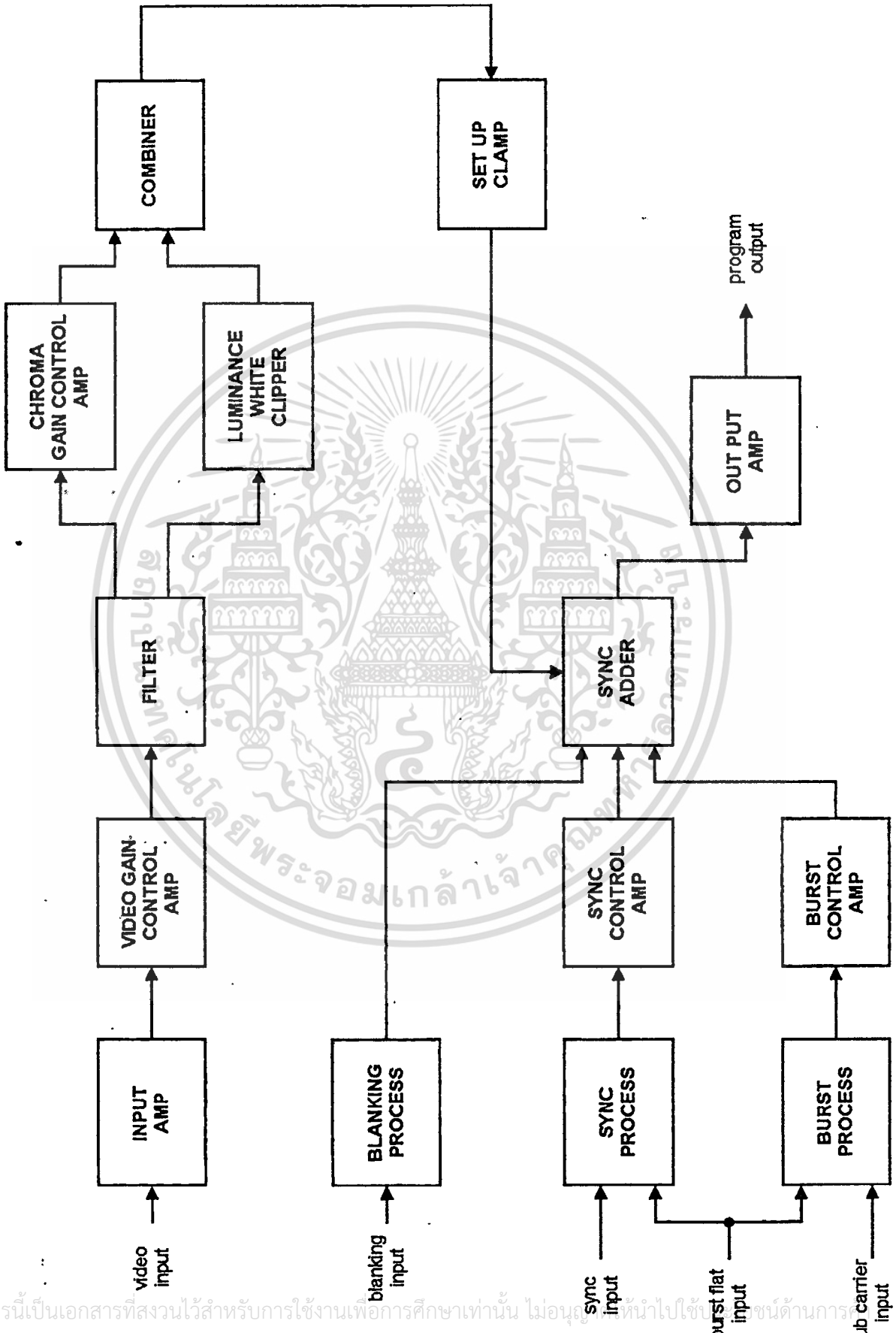
เมื่อนำสัญญาณภาพป้อนเข้าไปผ่านภาคอินพุทแอมป์ เป็นวงจรขับเกณฑ์ขยายภาคแรกก่อนนำสัญญาณภาพไปทำการปรับปรุง จากนั้นนำสัญญาณภาพจากภาคอินพุทแอมป์มาเข้าภาควิดีโอเกณฑ์คอนโทรลโดยในภาคนี้สามารถปรับระดับของสัญญาณภาพได้ ซึ่งในส่วนนี้ถ้าสัญญาณมาต่ำมากแล้วไม่ได้ผ่านภาคนี้ จะทำให้สัญญาณทางเอาท์พุทของสัญญาณภาพล้มทั้งแนวนอนและแนวตั้งไม่สามารถเห็นความคมชัดภาพได้เลย สัญญาณจากภาควิดีโอเกณฑ์คอนโทรลได้ถูกนำมาเข้าภาคฟิลเตอร์ เพื่อทำการแยกสัญญาณลูมิแนนท์ และ สัญญาณโครมิแนนท์ออกจากกัน เพื่อที่เอาสัญญาณลูมิแนนท์มาเข้าวงจรภาคไวท์คลิปเปอร์ (White Clipper) ทำหน้าที่ควบคุมเกณฑ์ของระดับความขาวถ้าสัญญาณลูมิแนนท์มาสูงเกินค่ามาตราฐานที่ระดับ100%วงจรภาคไวท์คลิปเปอร์จะทำการลิมิตไว้ และที่สัญญาณโครมิแนนท์ก็นำมาเข้าในภาค โครมิแนนท์เกณฑ์คอนโทรลเพื่อปรับระดับของสัญญาณโครมิแนนท์ทำให้เกิดการเปลี่ยนแปลงเฟสของสี จากนั้นนำสัญญาณที่ทำการปรับปรุงทั้งสองมารวมกันในภาครวมสัญญาณ (Combiner) ทำให้ได้สัญญาณเหมือนอินพุทแต่สามารถปรับเกณฑ์ได้ นำสัญญาณภาพที่ผ่านการรวมสัญญาณลูมิแนนท์และโครมิแนนท์มาแล้วมาเข้าวงจรภาค เช็คอัพแคลมป์เป็นวงจรปรับระดับความดำ แล้วนำมาเข้าวงจรภาคซิงค์แอดเดอร์เพื่อจะนำสัญญาณซิงค์ที่สามารถปรับระดับได้ และ สัญญาณเบิสต์ที่สามารถปรับระดับได้ มีหลักการทำงานของวงจรภาคเบิสต์โดยใช้สัญญาณเบิสต์แฟลกซ์ อยู่ที่ช่วงเวลาประมาณ 2.25 µs ซึ่งอยู่ในช่วงเวลา 1เส้นสแกนทางแนวนอน นำมาทำการตัดเอาสัญญาณเบิสต์มาจากสัญญาณซับแคร์เรีย 4.43 MHzจะได้สัญญาณเบิสต์ประมาณ 10 Cycle มา แล้วส่งสัญญาณเบิสต์มาทำการโปรเซสเพื่อที่จะปรับระดับเบิสต์ได้ ส่วนสัญญาณซิงค์ที่จะทำการโปรเซสปรับระดับนั้นได้นำสัญญาณซิงค์มาจากบอร์ด Genlock ที่มีช่วงเวลาที่ประมาณ 4.7 µsในช่วงเวลาหนึ่งเส้นสแกนทางแนวนอน ในการรวมสัญญาณซิงค์และเบิสต์ที่ได้ทำการสร้างขึ้นใหม่นั้นจะนำสัญญาณแบลงกิ้งมาทำการล็อคสัญญาณภาพที่ผ่านการเช็คอัพแคลมป์มาแล้ว เพื่อกดสัญญาณเบิสต์และซิงค์เก่าให้หายไปแล้วของเบิสต์และซิงค์ใหม่เข้าไปแทนที่แล้วจะไปสัญญาณภาพที่สามารถปรับระดับสัญญาณ โครมิแนนท์ , เบิสต์, ซิงค์, ระดับความดำได้ แล้วนำมาขยยสัญญาณภาพอีกครั้งแล้วออกเอาท์พุทของเครื่อง

3.12 หลักการทำงานของวงจร

- อินพุทแอมป์ " A "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM OF VIDEO PROCESSING BOARD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจะประกอบด้วย Q 1003, Q 1006, Q 1007 และส่วนประกอบ R, C ซึ่งทำให้ได้เอาท์พุทเป็นวงจรขยาย การเปรียบเทียบที่อิมพิแดนซ์ต่ำ Q 1011 จะเป็นแหล่งจ่ายกระแสให้แก่ Q 1006 และ Q 1007 อัตราการขยายของวงจรนี้จะมากกว่าหนึ่ง

- อินพุทแอมป์ B

ประกอบด้วย Q 1002 และ Q 1005 โดย Q 1002 จะทำการยกระดับ Back Porch ที่เอาท์พุทของ Q 1005 แล้วส่งสัญญาณนี้ไปยังวงจรภาพวีดีโอเกณฑ์คอนโทรลแอมป์

- Clamp Driver

จะมีพลัสซ์แคลมป์ของไหล่หลังจากวงจรฮอริซอนตัล ล็อคเอาท์ และวงจรพลัสซ์เฟอเมอร์ของภาพเจนล็อคจะเป็นอินพุทให้ Q 1001 เอาท์ที่ได้จะถูกยกระดับให้สูงขึ้น

- Video Gain Control Amp

วงจรควบคุมการขยายสัญญาณภาพจะใช้ IC 1001 ซึ่งเป็นลิเนีย Four Quadrant Multiplier โดยที่ขา 9 และขา 12 เป็นอินพุท X และขา 4 และ 8 เป็นอินพุท Y ส่วนขา 2 และ 14 จะเป็นเอาท์พุท เอาท์พุทที่ออกจากขา 2 และ 14 นี้จะป้อนให้กับ Q 1013 และ Q 1017 ทำการขยายเพื่อที่จะป้อนไปให้วงจรเปรียบเทียบการขยายซึ่ง Q 1015 และ Q 1016 จะเป็นวงจรเปรียบเทียบโดย Q 1014 จะเป็นแหล่งจ่ายกระแสคงที่ที่ป้อนให้กับวงจรเปรียบเทียบ

- Video Filter

สัญญาณภาพที่เอาท์พุทของ Q 1018 จะป้อนเข้าวงจรฟิลเตอร์กรองความถี่ต่ำที่วงจรฟิลเตอร์จะประกอบไปด้วย R 1066 / R 1067 , C 1026 / C 1027 และ R 1065 / R 1068 สัญญาณเอาท์พุทของวงจรฟิลเตอร์กรองความถี่ต่ำนี้จะเป็นอินพุทให้กับ IC 1002 และ Q 1027 และเอาท์พุทของ Q 1018 อีกส่วนหนึ่งจะผ่าน Delay Line โดยจะมี L 1002 / L 1003 / L 1004 / L1005 และ C 1021 / C 1022 / C 1023 / C 1024 / C 1025 และ R 1064 ดีเลย์ไลน์ นี้จะ Match กับสัญญาณดีเลย์ไลน์ของวงจรฟิลเตอร์กรองความถี่ต่ำที่ความถี่ของสัญญาณสี

- Chroma Gain Control Amp

จากวงจรวีดีโอฟิลเตอร์เอาท์พุทที่ได้ป้อนให้กับ IC 1002 โดยที่ขา 9 และ 12 ของ IC จะเป็นอินเวอร์ติ้ง และนอทอินเวอร์ติ้ง อินพุทสัญญาณภาพที่รับเข้ามานั้นจะอินเฟสกัน ขา 4และ 8 จะเป็นแรงดันเปรียบเทียบซึ่งจะเป็นตัวควบคุมอัตราการขยายของ IC 1002 โดยจะมี R 1070 เป็นตัวปรับอัตราการขยายของสัญญาณสี เอาท์พุทของ IC 1002 จะเป็นอินพุทของ Q1020 /Q 1021 ซึ่งทรานซิสเตอร์นี้จะเป็นวงจรเปรียบเทียบการขยาย

- While Clipper

Q 1027 จะรับสัญญาณภาพที่เหมือนกับอินพุทของ IC 1002ขา 12 และ Q1028/Q1029 ซึ่งจะทำการขยายสัญญาณให้มีระดับสูงขึ้น สัญญาณกรองความถี่ต่ำที่ถูกขยายแล้วจะถูกยกระดับของ Back Porch โดย Q1030 และจากนั้น Q1031/Q 1032 จะทำการขับสัญญาณต่อไปที่ Q 1024 ขาเบส แบบ อิมิตเตอร์เฟอโรเวอร์ โดยสามารถที่จะปรับระดับแรงดันไฟตรงได้ โดยระดับแรงดันไฟตรงที่ทำการปรับนี้จะมีผลต่อระดับความขาว 1069 ซึ่งเป็นวงจรกรองความถี่ต่ำ สัญญาณที่ได้เป็น Sine Wave ของสัญญาณเบิสต์ช่วงที่เป็นการผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณระหว่างสัญญาณความถี่ต่ำกับระดับแรงดันไฟตรง ของการปรับไวท์คลิปจะทำที่ตัว Q1033/Q1032 สัญญาณเอาท์พุทที่ได้จะไปเข้า Q1024/Q 1025

-Combiner

Q 1024/Q1025 เป็นวงจรเปรียบเทียบการขยาย โดยจะมีสัญญาณภาพ 2สัญญาณคือสัญญาณความถี่ต่ำและสัญญาณที่ผ่านการไวท์คลิปมาแล้วเข้าที่ Q 1024 และมีความถี่สูง (Chrominance) เข้าที่Q 1025 ซึ่งสัญญาณดังกล่าวจะเป็นอินพุทให้กับวงจรเปรียบเทียบการขยาย เอาท์พุทที่ได้สัญญาณภาพที่เกิดจากการรวมสัญญาณระหว่างสัญญาณลูมิแนนท์ และสัญญาณ โครมิแนนท์ เอาท์พุทนี้จะเป็นอินพุทให้กับ Q 1023ซึ่งเป็นไบอัสแบบอิมิตเตอร์เฟอโรเวอร์ สัญญาณภาพจะถูกขยายแล้วจะเป็นอินพุทให้กับบอร์ด Genlock และเซ็คอัพแคลมป์

- Setup clamp

สัญญาณอินพุทเมื่อเข้ามายังวงจรนี้ สัญญาณจะถูกยกระดับ Back Porch/Pedestal FET Q 1035 การยกระดับความดำนี้ สามารถปรับที่ R1121 Q1035 นี้จะถูกไบอัสโดยเอาท์พุทของวงจร เบิสต์โปรเซส เอาท์พุทของวงจรเซ็คอัพ แคลมป์ จะไปยัง Q1036 และไปเข้า Q1037/ Q1038 และ C 1044 R1127/R1128 จะทำหน้าที่จำกัดสัญญาณแบลงกิ้งอินพุทแหลมๆ เอาท์พุทจะไปเข้าวงจรซิงค์แอดเดอร์ ที่ IC1003 ขา4

- SYNC processor

จะมีวงจรคล้ายกับแบลงกิ้งโปรเซส โดยเอาท์พุทของวงจรนี้จะไปเข้าขา 9 ของ IC 1004

- Burst Processor

อินพุทของสัญญาณคือ เบิสต์แฟลกซ์จะเข้าที่ Q1053 เอาท์พุทที่ออกจากวงจรนี้จะไปเข้า Q1035 ของวงจรเซ็ทอัพแคลมป์ และที่ขา 3ของ IC1006 ภาคเบิสต์เกทและฟิลเตอร์

- Burst Gate And Filter

วงจรภาคนี้จะประกอบด้วย IC 1006 ซึ่งภายในตัว IC นี้จะมีวงจรเปรียบเทียบการขยาย 2 วงจร โดยแต่ละวงจรจะมีทรานซิสเตอร์เป็นแหล่งจ่ายกระแสขา 2และ13ของ IC 1006 จะเป็นอินพุทโดยจะรับสัญญาณซับแคร์เรียเข้าที่ขา 2 และ ขา 13 เอาท์พุทของซับแคร์เรียเกทที่ได้จากขา 1 จะเป็นอินพุทให้ Q 1058 โดย R1227 สามารถที่จะปรับบาลานซ์ของซับแคร์เรีย ซึ่งจะเทียบกับระดับของแบลงกิ้ง สัญญาณเบิสต์กับระดับของแรงดันไฟตรงซึ่งถูกรวมกันนี้จะเป็นเอาท์พุทของ Q 1059 ผ่านไปยัง C1067 และโครงข่ายของ C 1068,L 1008, C1069ซึ่งเป็นวงจรกรองความถี่ต่ำสัญญาณที่ได้เป็นSine Wave ของสัญญาณเบิสต์ช่วงที่เป็นระยะห่างของเกทมาเข้าที่ขา 9 ของ IC 1005

- Blanking And Sync Adder

สัญญาณแบลงกิ้งและสัญญาณภาพที่ผ่านกระบวนการมาจะถูกรวมกันที่ IC 1003 ความสมดุลย์ของสัญญาณแบลงกิ้งปรับที่ขา R1130 สัญญาณซิงค์ที่ออกมาจาก IC 1004 นั้น สามารถปรับระดับของซิงค์ได้ที่ R 1166 สัญญาณเบิสต์เกทที่ผ่านกระบวนการมาแล้วนั้นจะมาเข้า IC 1006 โดยระดับสัญญาณของเบิสต์สามารถปรับที่ R1232 เอาท์พุทของ Four - Quadrant Multipliers คือ ที่ขา 14ของ IC1003,IC1004,IC1005สัญญาณนี้จะมาที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q 1049 และขา 2 ของ IC ดังกล่าวเอาท์พุทของสัญญาณจะส่งมาที่ Q1047 โดย Q1048/Q 1051 เป็นวงจรเปรียบเทียบการขยาย โดยมี Q 1050 เป็นแหล่งจ่ายกระแสให้แก่ Q แต่ละตัว เอาท์พุทที่ออกมาจะประกอบไปด้วย สัญญาณภาพที่ผ่านกระบวนการมา สัญญาณแบลงกิ้ง ซิงค์ เบิสต์ หรือที่เรียกว่าสัญญาณ Composite จากนั้นสัญญาณนี้ก็จะไปเข้าวงจรขยาย

3.2 Genlock Board

บอร์ด Genlockจะล็อคซิงค์เจนเนอเรเตอร์ภายในไปยังสัญญาณซิงค์ของสัญญาณวีดีโอรวมที่เข้ามา หรือสัญญาณซิงค์อ้างอิงภายนอก มันจะผลิตคลื่นพาหะย่อยด้วยเหมือนกันซึ่งเป็นเฟส - ล็อคสัญญาณเบิสต์ของสัญญาณวีดีโอรวมที่เข้ามาหรือ สัญญาณคลื่นพาหะย่อยอ้างอิงภายนอก สำหรับหน่วย PAL มันจะล็อค PAL Sequence ภายในของตัวกำเนิดสัญญาณคลื่นพาหะย่อยอ้างอิง

- Input Amplifier

ทรานซิสเตอร์ Q 301,Q 302 และวงจร RC ส่วนประกอบตัวอื่นๆจะเป็นตัวขยาย Unity Gain ของสัญญาณซิงค์อ้างอิงภายนอก ตัวขยายนี้ใช้เมื่อตัว Jumper ถูกเซ็ทอยู่ในตำแหน่งสัญญาณอ้างอิงซิงค์ภายนอก

- Sync Stripper

ตัวเก็บประจุ C 303,C 304,C 305 ขดลวด L301 ประกอบเป็นวงจรกรองความถี่ต่ำ และจะลดทอนสัญญาณ Chroma และสัญญาณความถี่สูงอื่นๆที่เป็นส่วนประกอบของสัญญาณภาพรวม ในส่วนเพิ่มเติมสัญญาณรบกวนความถี่สูงใดๆที่อยู่ในสัญญาณอ้างอิง ทรานซิสเตอร์ Q 303 เป็น Emitter - Follower ใช้แยกระหว่าง ตัวกรองความถี่ต่ำและวงจร Clamp

ทรานซิสเตอร์ Q 304 Clamps ส่วนปลายของสัญญาณซิงค์ซึ่งประมาณได้ว่ามีความต่างศักย์ใกล้เคียงกับกราวด์ ในขณะที่ Q 303 Clamps ตัว Porch ส่วนหลังจะประมาณความต่างศักย์ใกล้เคียงกับกราวด์ Clamp เอาท์พุทของ Q 304 เป็น Followed โดย Back - To - Back Emitler Followers ที่ซึ่งยังคงรักษาเอาท์พุทที่ขา Emitter ของQ 306 เป็นสัญญาณปลายซิงค์ที่ประมาณความต่างศักย์ใกล้เคียงกับกราวด์ เอาท์พุทของ Back Porch Clamp , Q 307, เป็น Followed โดย Back - To - Back Emitter Followers ที่ซึ่งจะจัดให้เอาท์พุทที่ขา Emitter ของ Q 309 เป็น Back Porch Clamped ที่ซึ่งประมาณความต่างศักย์ใกล้เคียงกับกราวด์

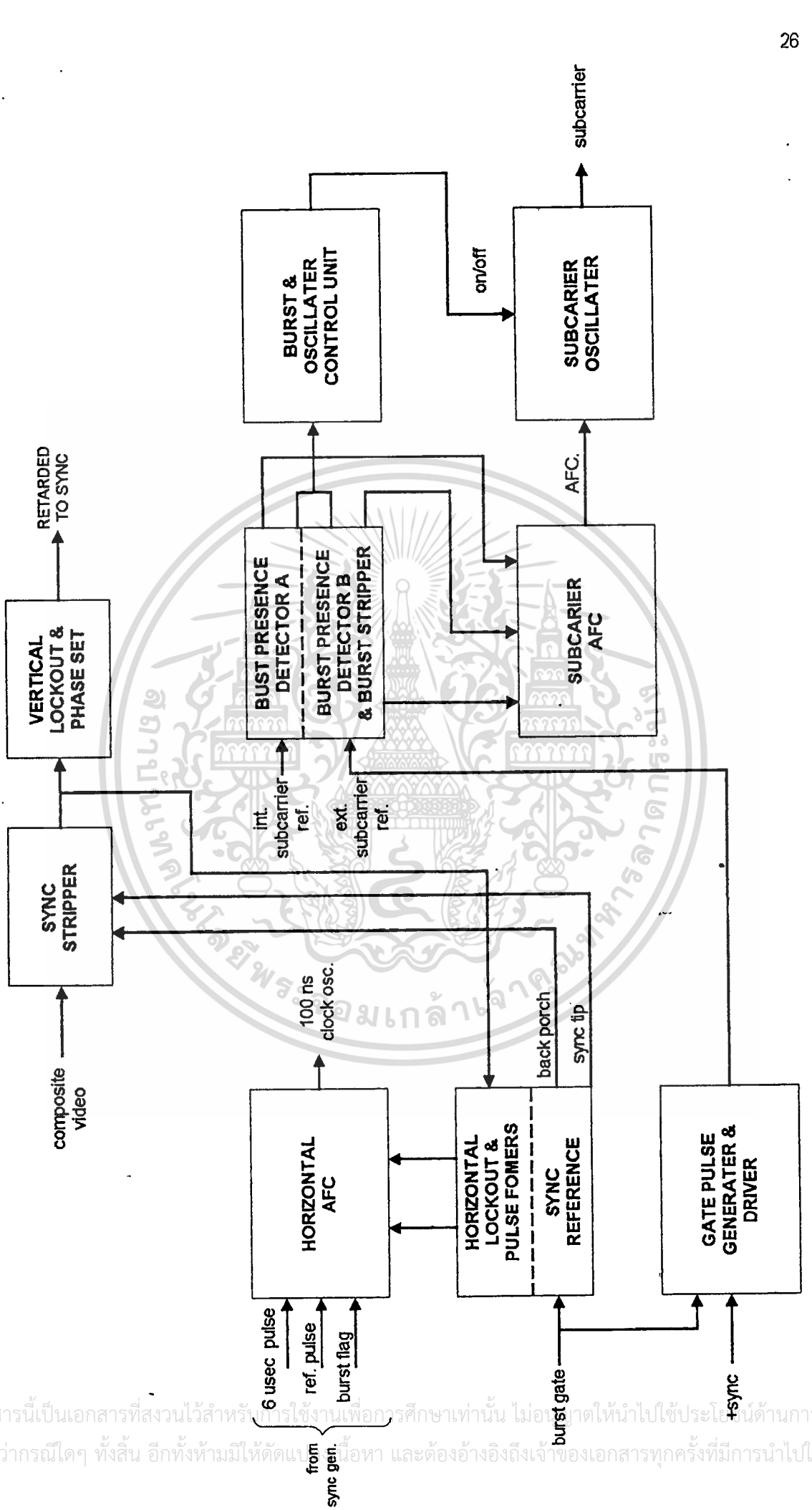
ผลรวมของสัญญาณทั้ง 2 ที่ผ่าน R 314, R 315 และ R 326 ในจุดกลางกึ่งกลางของสัญญาณซิงค์ที่จะเป็นการประมาณความต่างศักย์ใกล้เคียงกับกราวด์ IC 331 เป็นตัวเปรียบเทียบระดับแรงดันที่แตกต่างกับที่ซึ่งจะรวมสัญญาณซิงค์เข้าด้วยกันซึ่งเป็นการต่อแบบ Non - Inverting และแบบ Inveting ที่ต่อกับกราวด์

ตัวเก็บประจุด C 308 ไม่ได้ติดตั้งมาจากผู้ผลิตแต่ภายใต้สภาวะของการรบกวนของ Noise มาก ๆ หรือ Negative Transitions ตัวเก็บประจุตัวนี้อาจจะมีประโยชน์ในการกำจัดปัญหาดังกล่าวโดยการใส่ค่าเก็บประจุไม่เกินกว่า 500 PF

สัญญาณเอาท์พุทของ IC 331 เป็นสัญญาณซิงค์พลัสซ์ซึ่งเป็นสัญญาณอินพุทไปยังตัว IC 330D ซึ่งเป็นลอจิกต่ำ ช่วงระยะเวลาอื่นนอกเหนือจากซิงค์ระดับสัญญาณเอาท์พุทจะเป็นลอจิกสูง สัญญาณซิงค์จะกลับเป็น Negative Pulses อีกครั้ง เมื่อผ่าน IC 330C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM OF GENLOCK BORAD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- -7 โวลท์ Supply

วงจรแบ่งแรงดัน R 365 และ R 366 จะเป็นระดับแรงดันที่จ่ายให้ Q 318 จะรักษาระดับเอาท์พุทประมาณ - 5.9 โวลท์

- Vertical Lockout And Phase Set

สัญญาณซิงค์เอาท์พุทผสมของ IC 330C เป็นส่วนกลับที่ผ่าน Q 330 และ Integrated โดย C 338 และดังรูป A และ B ของรูปที่ 3.1 เวลาฐานเอาท์พุทของ IC 324 ประมาณ 50H เมื่อ IC 324 ทริกเกอร์มันจะ Presets IC 525A และจะเคลียร์ IC 525B Q เอาท์พุทของ IC 525A จะป้องกันการทริกเกอร์ใด ๆ ของ IC 324 จนกระทั่ง Ic 525A ถูกเคลียร์ไปแล้วโดย V - Drive จากตัวกำเนิดสัญญาณซิงค์

IC 525B เป็นสัญญาณนาฬิกาที่ 2H ดังแสดงไว้รูป D ของ รูปที่ 3.1 รูปสัญญาณ Q และ /Q แสดงไว้ดังรูป E และ F อ้างถึงหมายเหตุ 7 ใน Sheel 1 IC 326 เป็นสัญญาณนาฬิกาโดยรูปคลื่นแสดงไว้ในรูป E เอาท์พุทของ IC 326 แสดงไว้ดังรูป G ถึงรูป N ของรูปที่ 3.1

- Horizontal Lockout และ Pulse Formers

สัญญาณซิงค์เอาท์พุทของ IC 330C แสดงดังรูป A ของรูปที่ 3.2 สัญญาณทริกเกอร์ IC 329 รูปสัญญาณ Q และ /Q ของ IC 329 แสดงไว้ดังรูป B และ C ของรูปที่ 3.2 ที่ขอบขาลงของสัญญาณ Q ของ IC 329 จะเป็นสัญญาณทริก IC 328 ในส่วนขอบขาลงของสัญญาณ /Q ของ IC 328 แสดงดังรูป D และจะไม่มีการทริก IC 329 จนกว่าสัญญาณอินพุท Horizontal Syne ลูกหน้าจะมาถึง สัญญาณพลัสซ์ 45 µs ของ IC 329 เป็นการทำให้มั่นใจว่ารูปคลื่นลักษณะที่เป็นฟันเลื่อยจะไม่มีลักษณะเช่นเดียวกับสัญญาณ H - Sync ตลอดช่วงระยะเวลาระหว่างสัญญาณทางด้าน Vertical จะไม่ทำการทริก IC 329 ซ้ำ

จุดเริ่มต้นของ Burst Gate เป็นการหาค่าโดยการเซ็ทของค่า R 415 ที่แสดงดังรูป E ของ รูปที่ 3.2 ค่าฐานเวลาของ Burst Gate จะเป็นการหาค่าเวลาคงตัวโดยค่าของ R 424 / C 345 อ้างถึงรูปคลื่นที่แสดงไว้ดังรูป H สัญญาณ Burst Gate และ Back Porch Clamp เป็นอันเดียวกันและแสดงไว้ดังรูป K ของรูปที่ 3.2 ส่วนที่แตกต่างกันของ IC 320 สัญญาณ Q เป็นส่วนที่อยู่เหนือ Threshold และไม่มีผลต่อตัวอินพุทของ IC 318C

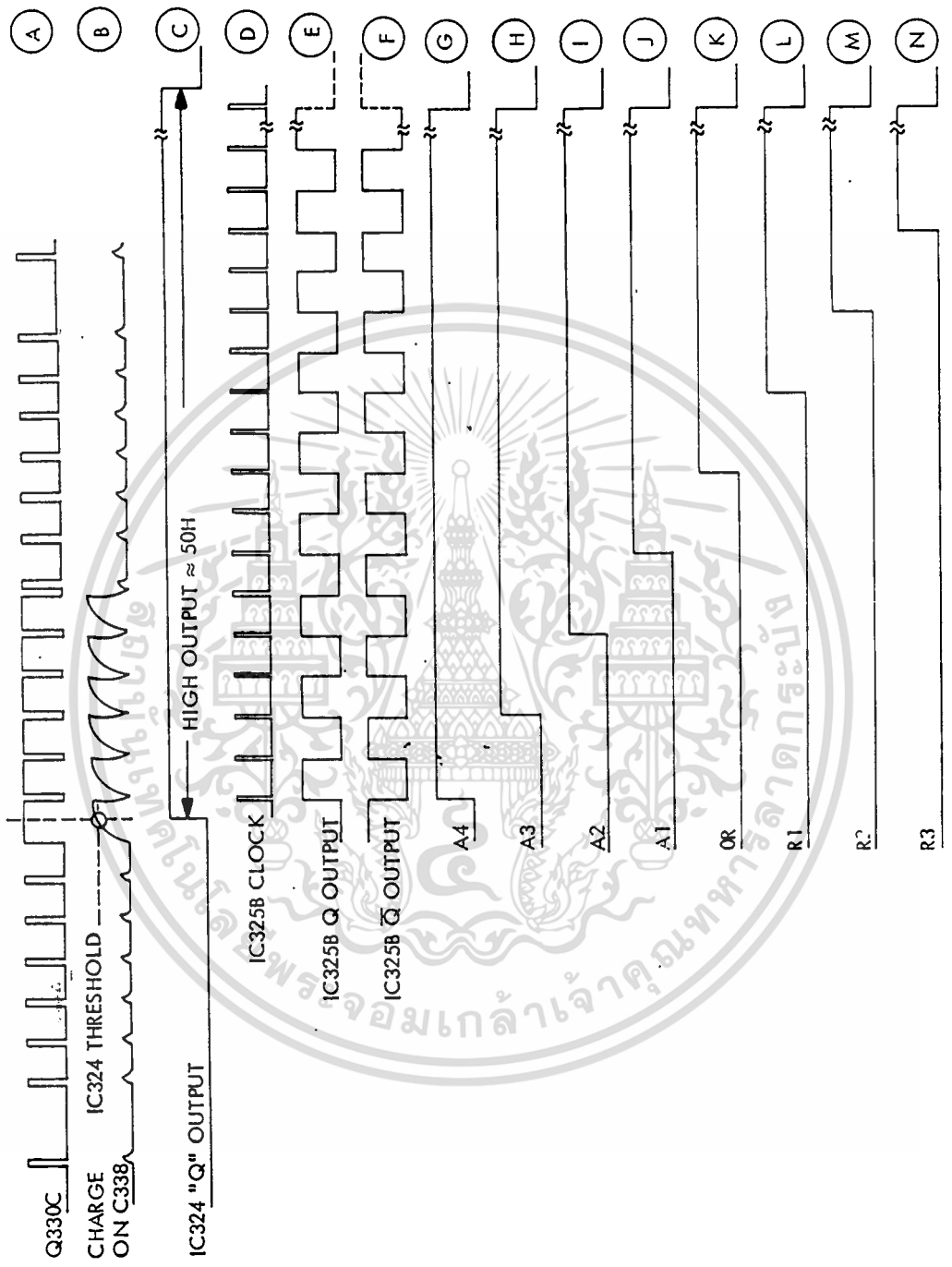
การเปลี่ยนแปลงที่ขอบขาลงของสัญญาณ /Q ของ IC 329 เป็นวงจร Differentialed โดย R 418 / C 342 แสดงดังรูป I ของรูปที่ 3.2 สัญญาณเอาท์พุท Horizontal ดังแสดงไว้ในรูป I ส่วนR 419 /C 343 จะได้ฟังก์ชันที่คล้ายๆ กันและสัญญาณซิงค์ Tip Clamp จะแสดงไว้ในรูป J

- Gate Pulse Generator And Gate Drivers

IC 315 เป็นทริกเกอร์โดยการเปลี่ยนแปลงที่ขอบขาลงของสัญญาณซิงค์อินพุทสัญญาณเอาท์พุท Q จะเป็น Positive Pulse ด้วยค่าฐานเวลาประมาณ 3.3µs ผลดังกล่าวทำให้ค่าฐานเวลาพลัสซ์เอาท์พุทเท่ากันที่คอลเลคเตอร์ของ Q 328 ซึ่งสัญญาณพลัสซ์นี้ครอบคลุมถึง Breezeway และ Burst Flag

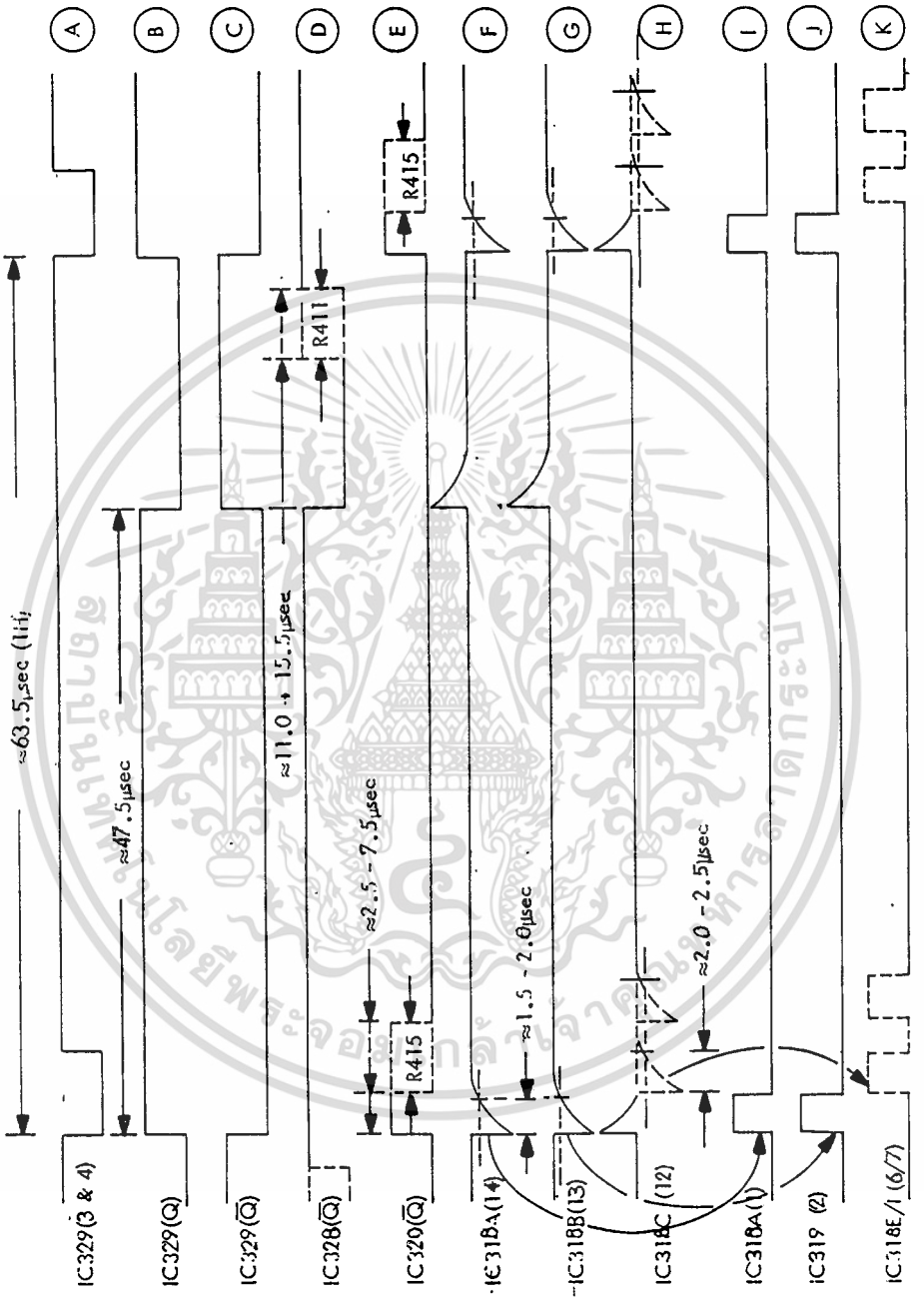
- Burst Presence Detector " A "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.1 ไดอะแกรมเวลา Lockout ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 ไดอะแกรมเวลาLockoutทางแนวนอนและรูปแบบพลัสซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอ้างอิงคลื่นพาหะย่อยภายใน A หรือ B เป็นการประยุกต์ใช้งานเป็นอินพุทให้กับ FET สวิทช์ Q 319 ซึ่งจะเปิด (Turned On) ตลอดระยะเวลาของเอาท์พุท Positive Pulse ของ IC 315 วงจร LC ขนาน L 302 / C 325 จะเป็นการเปิดไปยังความถี่ Burst ของระบบมาตรฐานที่ใช้ (หมายเหตุ สัญญาลักษณ์อยู่ติดกับ L 325) IC 314 เป็นตัวเปรียบเทียบแรงดันที่เป็นขบวนพลัสซ์ตลอดช่วงเวลา Burst ถ้าสัญญาณ Burst ที่เข้ามาเกินกว่าสัญญาณ Threshold ที่กำหนดด้วย R 370 / C 371 Q 320 จะเปลี่ยนพลัสซ์และตัวเก็บประจุ C 325 จะคลายประจุเพื่อขับทริก IC 302A

- Burst Presence Detector " B " And Burst Stripper

อินพุทที่ส่งไปยัง Q 322 เป็น EXT SUBCAR อ้างอิง หรือ อินพุทภายในชนิดเดียวกันที่ใช้ใน " A " ซึ่งเป็นการหาโดยตำแหน่งของ S 301 FET สวิทช์ Q 325 เป็นการเปิดเอาท์พุทของ Q 328 ด้วย S 301 หรือ Burst Gate เอาท์พุทของ IC 318E ใน EXT ส่วนของ S 301

Gated Burst จาก Q 325 เป็นการประยุกต์วงจร LC ขนาน L 303 / C 334 IC 308 เป็นลักษณะอย่างเดียวกับ IC 314 และ IC 313 มีลักษณะคล้าย ๆ กันโดยมีอินพุทเข้าที่ขา 3 และเอาท์พุทที่ขา 11 ซึ่งเอาท์พุทจะอินเวิร์ดกับอินพุท (Inverting) ซึ่งเอาท์พุทดังกล่าวจะส่งต่อไปยัง TTL Gate Subcarrier ที่ตรงกัน

ขบวนพลัสซ์เอาท์พุทของ IC 308 เป็นเรคติไฟเออร์แบบครึ่งคลื่น โดย CR 309 / R 393 / C 355 และอินเวิร์สโดย Q 326 ซึ่งผลที่เกิดขึ้นในพลัสซ์แต่ละลูกสำหรับ แต่ละ Burst ในช่วงเวลาที่แสดงอยู่ Blanking อินพุทจะป้องกัน IC 319A จากการทริกยกเว้นช่วงเวลาว่าง (Blanking) สัญญาณเอาท์พุท " Q " จะเป็นลูกพลัสซ์ด้านบวก เมื่อมันเป็นสัญญาณเบิสต์ที่แสดงอยู่ที่อินพุทของ IC 308

- Burst And Oscillator Control Logic

IC 302 ประกอบด้วย Retriggerable Monostables ที่เหมือนกัน 2 ตัว เมื่อสัญญาณอ้างอิงพาหะย่อยถูกเลือกโดย S 301 IC 302B จะถูกทริกซึ่งฐานเวลาเอาท์พุทจะยาวเพียงพอที่จะทำการทริกซ้ำในแต่ละเวลา Burst Gate ที่แสดงอยู่ สัญญาณเอาท์พุท " Q " จะคงอยู่สภาวะ High ตลอดช่วงเวลา Vertical สัญญาณเอาท์พุท "Q" ของ IC 302B Enables IC 302A จะยอมให้เอาท์พุทของ Q 320 ทริกเกอร์และทริกซ้ำนานตราบเท่าที่สัญญาณเบิสต์ยังคงอยู่บนกระบวนการต่าง ๆ ของสัญญาณวีดีโอ

สัญญาณเอาท์พุท " Q " ของ IC 302A เป็นสัญญาณ Burst Add ไปยังวีดีโอบอร์ด เมื่อสัญญาณเบิสต์ปรากฏขึ้นบนสัญญาณวีดีโอที่เข้ามาและสัญญาณอ้างอิงพาหะย่อยจะปรากฏขึ้น ซึ่งสัญญาณเบิสต์จะเป็นการเพิ่มเติมเข้าไปในกระบวนการสัญญาณวีดีโอ สัญญาณเอาทพุท " Q " ของ IC 302B จะไม่ใช่เฉพาะ Enables IC 302B เท่านั้น เมื่อมันเป็นลอจิก High มันจะเปิดออสซิลเลเตอร์ผ่านไปยัง Q 344

- ALC Lockout Generator

เวลาของอินพุท B ของ IC 316A เป็นการหาค่าโดย Strapping ในการนับค่าทาง Vertical ของบอร์ดที่กำเนิดสัญญาณซิงค์ เมื่อเกิดจากการทริกสัญญาณเอาท์พุท " Q " ของ IC 316A จะเป็นพลัสซ์ลบซึ่งฐานเวลาสามารถปรับค่าได้จาก 330 µs ถึง 3.4 ms (5 ถึง 53H เส้น)

การเปลี่ยนแปลงทางขอบขาขึ้นของสัญญาณเอาทพุท " Q " ของ IC 316A จะเป็นตัวทริกสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

" Q " ของ IC 316B จะเป็นพัลสซ์บวกโดยมีฐานเวลาที่สามารถปรับค่าได้จาก 150 µs ถึง 1.55 M (2.4 ถึง 24.5 H เส้น)

IC 317A จะเป็นสัญญาณนาฬิกาซ้ำของ IC 316B ดังนั้นการเปลี่ยนแปลงของพลัสซ์ที่ TP 303 จะปรากฏที่ศูนย์กลางของเส้น Horizontal ตัว Jumper (H - J) เป็นการแสดง AFC Lockout พลัสซ์ที่ไม่ได้ใช้ ด้วยตัว Jumper ที่ต่อที่ตำแหน่ง (F - J) และฐานเวลาสามารถปรับได้เพื่อแหล่งกำเนิดสัญญาณวีดีโอเป็น Helical Scan VTR ภายใต้สภาวะเช่นนี้สัญญาณพลัสซ์เอาท์พุทจะขัดขวางการ Monostables ของ Gate Pulse Generator และ วงจร Horizontal AFC

- Quadrature Generator

สัญญาณนาฬิกาอินพุทที่ IC 317B แสดงดังรูป " A " ของรูปที่ 3.3 เป็นความถี่พาหะย่อย 8 เท่า ของระบบมาตรฐาน และ เอาท์พุทของ IC 317B เป็นความถี่พาหะย่อย 4 เท่า ฟลิปฟลอบ 2 ตัวของ IC 311 และแบ่งเอาท์พุทของ IC 317B โดย 4 ซึ่งความถี่คลื่นพาหะย่อยรูปสี่เหลี่ยมแสดงไว้ดังรูป F, G, I และ J ของรูปที่ 3.3 หมายเหตุเฟสจะมีความสัมพันธุ์ที่เกี่ยวข้องกับเอาท์พุทของ IC 311

$$To - T4 = 360^{\circ}$$

$$To - T2 = 180^{\circ}$$

$$To - T1 = 90^{\circ}$$

วงจรดิฟเฟอเรนซิเอท RC (R 425 / C 347) สัญญาณเอาท์พุท " Q " ของ IC 311B ซึ่งค่า C 347 หาได้จากเวลาที่เป็นส่วนลบของรูปคลื่นดิฟเฟอเรนซิเอท เป็นส่วนที่ต่ำกว่าลอจิกต่ำอินพุท Threshold ของ IC 312B (4) มันเป็นการปรับสำหรับเบิสซ์ 90° ต่างหากโดย S 302 ในตำแหน่ง 0

วงจรดิฟเฟอเรนซิเอท RC (R 510 / C 375) สัญญาณเอาท์พุท " Q " ของ IC 311A ซึ่งค่า C 375 หาได้จากที่เป็นส่วนลบของรูปคลื่นดิฟเฟอเรนซิเอทเป็นส่วนที่ต่ำกว่าลอจิกต่ำอินพุท Threshold ของ IC 312A (1) เมื่อ S30 อยู่ในตำแหน่ง 180° C 375 จะเป็นการปรับสำหรับเบิสซ์ 90°สวิทช์ Quadrature ที่จะทำงานเมื่อสัญญาณพาหะย่อยอ้างอิงเป็นสัญญาณวีดีโอ PAL ภายในหรือภายนอก มันจะทำให้ Local อินพุทของตัวเปรียบเทียบเฟสเป็นชนิดที่คล้ายกับเบิสซ์ของสัญญาณพาหะย่อยอ้างอิง ในระบบ NTSC หรือ สัญญาณอ้างอิงภายนอกสำหรับการปฏิบัติการ แบบ PAL เป็นคลื่นพาหะย่อยซึ่งสวิทช์ Guadratur นี้จะเป็นตำแหน่งทางซ้าย

Rurst Phase Adjust

IC 309 เป็น Monostable ที่สามารถปรับเอาท์พุทได้ยู่ในย่านที่น้อยกว่า 180°

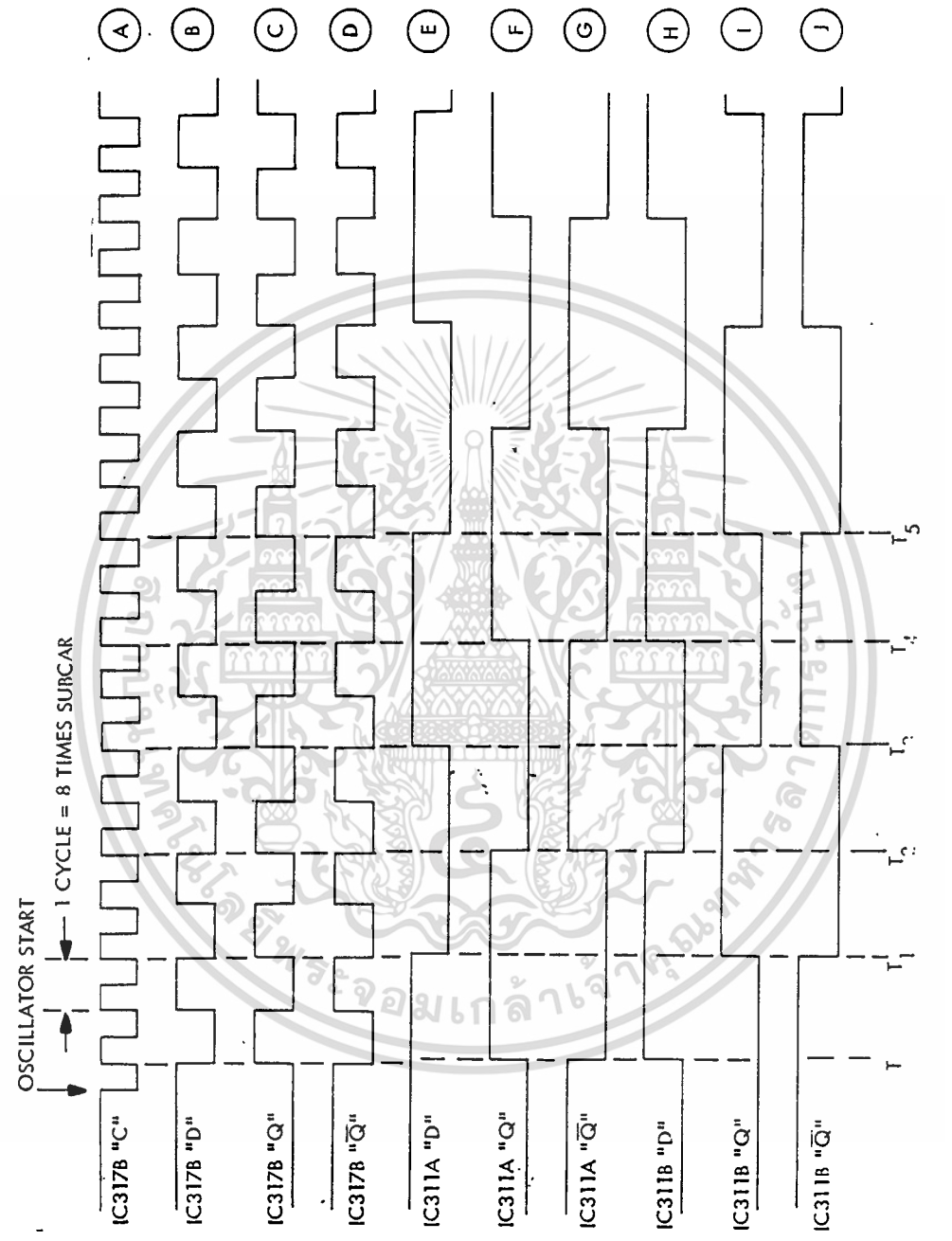
C 349 - 33 PF ย่าน = 34 - 149 nS (105 nS)

C 349 - 43 PF ย่าน = 45 - 195 nS (150 nS)

IC 310 Restores สัญญาณเอาท์พุทคลื่นพาหะย่อยรูปสี่เหลี่ยมจัตุรัสที่มีค่า Duty cycle 50% ซึ่งค่าฐานเวลาเอาท์พุทขึ้นกับค่าของ C 350

C 350 - 82 PF = 102 nS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 เวลา Sequence ของ Quature Genertor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C 350 - 100 PF = 124 nS

Monostable ทั้งคู่นี้เป็นการทริกในตำแหน่งขอบขาขึ้นของอินพุทที่ขา 5

- Subcarrier AFC

สัญญาณความถี่นาฬิกาที่จ่ายให้ยัง IC 305B มาจาก IC 312B และ C โดยเป็นความถี่หาร 2 ขอบขาขึ้นของสัญญาณเอาท์พุท " Q " จะเป็นตัวทริก IC 304 ตัว Monostable จะคล้ายกับ IC 309 / 310 เอาท์พุทของ IC 304 สามารถปรับได้อยู่ในช่วง 2 ย่านคือ

C 351 - 75 PF Range = 78 - 338 nS (240 nS)

C 351 - 100 PF Range = 104 - 454 nS (350 nS)

เอาท์พุทของ IC 304 จะเป็นสัญญาณนาฬิกาให้กับ IC 2 ตัว คือ IC 305A และ IC 319 ด้วยเอาท์พุท /Q ของ IC 319 จะถูกดิฟเฟอเรนชิเอทโดย C 352 R 448 / R 489 ในส่วนบวกของสัญญาณดิฟเฟอเรนชิเอทจะเป็นฐานของ Q 336 ซึ่งผลในการคลายประจุของตัวเก็บประจุ C 353

การรวมกันของ ฟลิป - ฟลอปของ IC 306 ที่ผลิตสัญญาณพลัสซ์ซึ่งจะยาวนานขนาดไหนจะขึ้นอยู่กับความสัมพันธ์เฟสระหว่างคลื่นพาหะย่อยของตัวมันเองและสัญญาณเบิสต์อ้างอิงหรือคลื่นพาหะย่อย ซึ่งค่าฐานเวลาของพลัสซ์หาได้จากค่าชาร์จประจุสูงสุดของ C 353 ซึ่งจะถูกเซ็ทค่าโดย R 442 ซึ่งมีค่าประมาณ 5 โวลท์ IC 301 เป็น FET ซึ่งเป็นตัวขยายสัญญาณซึ่งต่อกับ Voltage Follower ซึ่งจะทำให้เอาท์พุทอิมพีแดนซ์มีค่าต่ำ ทรานซิสเตอร์ Q 337 / 338 / 337 และส่วนประกอบ RC อื่น ๆ จะประกอบกันเป็น Lock Detector เมื่อเอาท์พุทของ IC 301 เกินกว่า 5 โวลท์ ซึ่งเป็นตัวชี้ให้เห็นว่าอยู่ในสภาวะปลดล็อค FET จะสวิทช์ Q 340 ให้ทำงานและ AFC Loop แบนด์วิชจะเพิ่มขึ้นจนกระทั่ง Lock Up ปรากฏขึ้นอ้างถึง

IC 303 และส่วนประกอบ RC อื่น ๆ เป็นวงจรกรองความถี่ต่ำ เอาท์พุทเป็น AFC ควบคุมโวลท์เตจของออสซิลเลเตอร์ FET จะสวิทช์ Q 341 ให้ทำงาน เมื่อไม่มีสัญญาณอ้างอิงคลื่นพาหะย่อยและเอาท์พุทยังคงสภาพเดิมที่ขา 6 ของ IC 303 ที่ 2.5 โวลท์

- Horizontal AFC

จนกว่าจะมีการขัดขวางโดยลอจิกต่ำจาก AFC Lockout ซึ่งผลิตจาก IC 322 จะเป็นตัวทริกโดยการเปลี่ยนแปลงทางขอบขาขึ้นของรูปคลื่นที่แสดงไว้ดังรูป " B " ของรูปที่ 3.2 เวลาดังกล่าวนี้จะตรงกับขอบหน้าของสัญญาณ H ซิงค์ ซึ่งสัญญาณเอาท์พุทของ IC 322 สามารถปรับได้จาก 0.5 μ ถึง 8.3 μ ($\approx \pm$ 4 μs)

การเปลี่ยนแปลงขอบขาขึ้นของเอาท์พุทของ IC 322 จะเป็นตัวทริก IC 321 สัญญาณเอาท์พุทของ IC 321 เป็น Complenentury Pules มีช่วง 1.8μs (Sample Pluse)

IC 323B ผลิตสัญญาณ Square Wave เป็นสัญญาณนาฬิกาเปรียบเทียบจากบอร์ดผลิตสัญญาณ Sync ที่ขั้วบวก Input ถูกยกระดับให้แรงไฟสูงขึ้นโดย Q 331 และเคลียร์ IC 323B เพื่อให้ O/ P " Q " เพื่อใช้เปรียบเทียบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณ O/P " Q " ของ IC 323B เป็นบวก จะทำให้ Q 313 มีสภาวะทำงาน (Turn On) และ C 315 ถูก Discharged เมื่อสัญญาณ " Q " ของ IC 323B เป็น Logic Low คือเป็นศูนย์ C 315 จะทำการชาร์จประจุผ่าน R 345 / CR 306 และ R 344 ขณะเดียวกันสัญญาณเวลาคอมพรีเมนท์จาก IC 321 เมื่อ Q 314 ทำงาน (Turn On) และหยุดชาร์จให้กับ C 315 สัญญาณ / Q Output ของ IC 321 จะถูกเปลี่ยนเพิ่มระดับผ่าน Q 310 และทำให้ FET ทำงานชุด Q 315 ที่จุดและตำแหน่งที่ชาร์จบน C 315 จะถูกเก็บสะสมบน C 316 ที่ขอบตำแหน่งที่สิ้นสุดของ Sample Pulse C 315 จะทำงานโดยชาร์จต่อจนกระทั่งหยุดเมื่อระดับแรงไฟประมาณ 4.6 โวลท์ โดย CR 305 ซึ่งจะเป็นเหตุผลว่าพลังงานสะสมที่เก็บบน C 316 จะถูกนำเสนอในรูปความต่างเฟสระหว่าง สัญญาณผลิตซิงค์ (Sync Gen) และสัญญาณเปรียบเทียบซิงค์ (Sync Reference) การรวมสัญญาณของ IC 327A และ B เพื่อทำเป็นสัญญาณ AFC เพื่อผลิตสัญญาณซิงค์ (Sync Gen Ose) ซึ่งทำอัตราส่วนของ AFC จะทำการควบคุมโดยการสวิทช์ของ FET และ Q 316 / 317 และสัญญาณจาก IC 323 A ผ่าน Q 312

- การผลิตความถี่จากคริสตอลและความถี่ทวีคูณ

การผลิตคลื่นพาหะย่อย (Subcarrier Ose) จะเป็นการอนุกรมทางเวลาของหลักการ Colpits Osc ความถี่ของสัญญาณ Crystal จะมีการสวิทช์ 4 ครั้ง ในคลื่นพาหะย่อยของระบบมาตรฐาน วาแรคเตอร์ไดโอด (Varator Diode) , CR 312 จะมีการขยายความถี่ของความถี่ออสซิสเรเตอร์โดย AFC ของ IC 303 ตัวเก็บประจุ C 359 / C 398 จะให้สัญญาณซึ่งหยาบและละเอียดโดยการปรับแต่งจากคริสตัล

ทรานซิสเตอร์ Q 344 มีหน้าที่ On / Off การสวิทช์ของความถี่ออสซิสเรเตอร์จาก Q 342 / 343 สัญญาณออสซิสเรเตอร์ที่ทางเอาท์พุทจะมีการขยายทวีคูณ 8 ครั้ง จากสัญญาณคลื่นพาหะย่อยโดย Q 345 และ L 306 / C 367 / 368 ผ่าน Q 347 และ Q 348 ซึ่งสัญญาณจะถูกเปลี่ยนสูวงจร TTL IC 307A ให้สัญญาณเพียง 1 ส่วน 4 ผ่านเข้าไปได้เมื่อมีการออสซิสเลท ซึ่งออสซิสเรเตอร์จะถูกเรียกร้องจากสัญญาณซิงค์เพื่อไปสวิทช์ On IC 307D ทำให้เอาท์พุทของ IC 307D เป็นสัญญาณเข้าสู่วงจรผลิตสัญญาณซิงค์ซึ่งความถี่ออสซิสเรเตอร์จะถูกเรียกร้องเพื่อนำไปทำการผลิตความถี่ออสซิสเรเตอร์โดยการจุดชนวน " Durgtanly " รวมทั้งไปทำให้สัญญาณออสซิสเลทมีสภาวะการทำงาน (On)

3.3 Sync Generator Board

บอร์ดซิงค์เจนเนอเรเตอร์มีหน้าที่ตรวจจับสัญญาณเวลามาตรฐานของสัญญาณพลัสซ์มาตรฐาน สัญญาณซิงค์ สัญญาณแบลงกิ้งและสัญญาณเบิสต์แฟลกซ์ที่จำเป็นต่อระบบ PAL มาตรฐานสัญญาณเหล่านี้มีความสำคัญในระบบสัญญาณภาพ

- Oscillator

ทรานซิสเตอร์ Q501 และ Q 502 รวมทั้ง RLC ที่ประกอบอยู่กับวงจร Colpilts Oscillator จะผลิตความถี่ออกมา 8 ลูก ซึ่งเป็นความถี่ซับแคร์เรีย ค่าความเปลี่ยนแปลงความนำของ L 501 / C 502 / C503 / C506 / C507 และ CR 501 จะเป็นตัวกำหนดค่าความถี่มาตราฐาน โดยที่ CR 501จะเป็น Varactor Diode ที่เปลี่ยนแปลงค่าความถี่ที่กำหนด ได้โดยการป้อนแรงดันไฟ AFC ทรานซิสเตอร์ Q503 และ Q 504 รวมทั้งวงจร RC ที่มีส่วนร่วมทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดความแตกต่างของการขยายวงจรจ่ายความถี่ออสซิสเลเตอร์ แรงดันขาอิมิตเตอร์ของ Q 505 จะเท่ากันกับขาเอาท์พุทของ Q 504ถึงลำดับของวงจร TTL Q 506 และ Q507 ที่ทำหน้าที่เดียวกันกับวงจรที่ทำหน้าที่สวิทช์ที่เกิดจาก Q 501 และ Q 502 ค่าความถี่ที่เอาท์พุทจะมีลอจิกสูงที่ IC 537A(13) จะคงที่ตลอดรวมทั้ง Q 506 / Q 507 และ Q 501/ Q502 ซึ่งทำหน้าจัดลำดับการออสซิสเลเตอร์

- การเลือกความถี่ออสซิสเลเตอร์ (Oscillator Seclector)เมื่อมีการทริกสัญญาณพลัสซ์ที่ขาสองที่เอาท์พุทของ IC 537 A(13) จะมีลอจิกสูง ประมาณ 20.7 ms และวงจร Monostable ก็จะทำการทริกซ้ำค่าเอาท์พุท Q ที่เหลือก็จะคงค่า สูง (High) ใช้ในกรณีค่าเอาท์พุทคงที่มากกว่าใช้ในเวลาที่จำเป็นสำหรับสัญญาณ 1 ฟิลด์ สัญญาณซิงค์ที่แสดงจะเกิดในช่วงการทริก IC 537A หรือหลังจากมีการทริกแล้วแต่ละสัญญาณทางแนวตั้งที่มาจากแหล่งจ่ายภายนอกจะทำให้บอร์ดเกิดการล็อคของสัญญาณในช่วงเวลาก่อนการล็อค Q จะมีค่าเป็นลอจิกสูงค่าความถี่ออสซิสเลเตอร์จะไม่คงที่การรวมสัญญาณ Qจาก IC 537A ซึ่งไม่คงที่กับสัญญาณ Qจาก IC 536C ในเวลาที่เท่ากัน /Q จะไม่ผ่านออกมาจาก IC 536D อย่างไรก็ตามค่าสัญญาณสูญเสียของกลุ่มพลัสซ์ทางแนวตั้งในเวลาที่มีการทริกสัญญาณให้เอาท์พุทไม่สามารถทำให้ออสซิสเลเตอร์คงที่

- การหารความถี่ (Frequency Divider)

สัญญาณที่การหารโดยจะผ่าน IC 543B จะมีการหาร2หรือหาร3 ส่วนIC544A/B,IC 545A และ IC538B จะต้องทำการหารด้วย 3 หรือ 5 ก็ได้โดยขึ้นอยู่กับความถี่ที่เลือก IC 540 และ IC 541 จะเนการนับไบนารี 4บิท ที่มีรูปแบบสามารถทำโดยใช้ความถี่หาร 16 เมื่อรวมกันจะได้ 256 โดยความเหมาะสมของคำสั่ง Strapping เมื่อเลือกตัวเลขคือขอบเขตทั้งหมดของอินพุทของ IC 546 คือลอจิกสูงของ IC 546จะผ่านไปยัง IC 545Cและรีเซ็ท IC 540และ IC 541 จนเป็น 0 (เอาท์พุททั้งหมดเท่ากับลอจิก Low) ดังนั้นอัตราความถี่ 2H จะผ่านไปยัง IC 542A และ IC542B เป็นสัญญาณนาฬิกาเข้าไป 8 ลูก ของสัญญาณ Square Wave ของเอาท์พุทซึ่งเป็นสัญญาณ Square Wave

ตารางความถี่มาตราฐาน

GATE (Pin)	ระบบ ความถี่และ เวลามาตราฐาน		
	NTSC	PAL M	PAL I
IC 536 (3)	28.60MHz	28.60MHz	35.40MHz
IC 543A(15)	14.32MHz	9.5333MHz	17.7 MHz
IC 542B(11)	104.7485ns	104.8951ns	112.9943ns

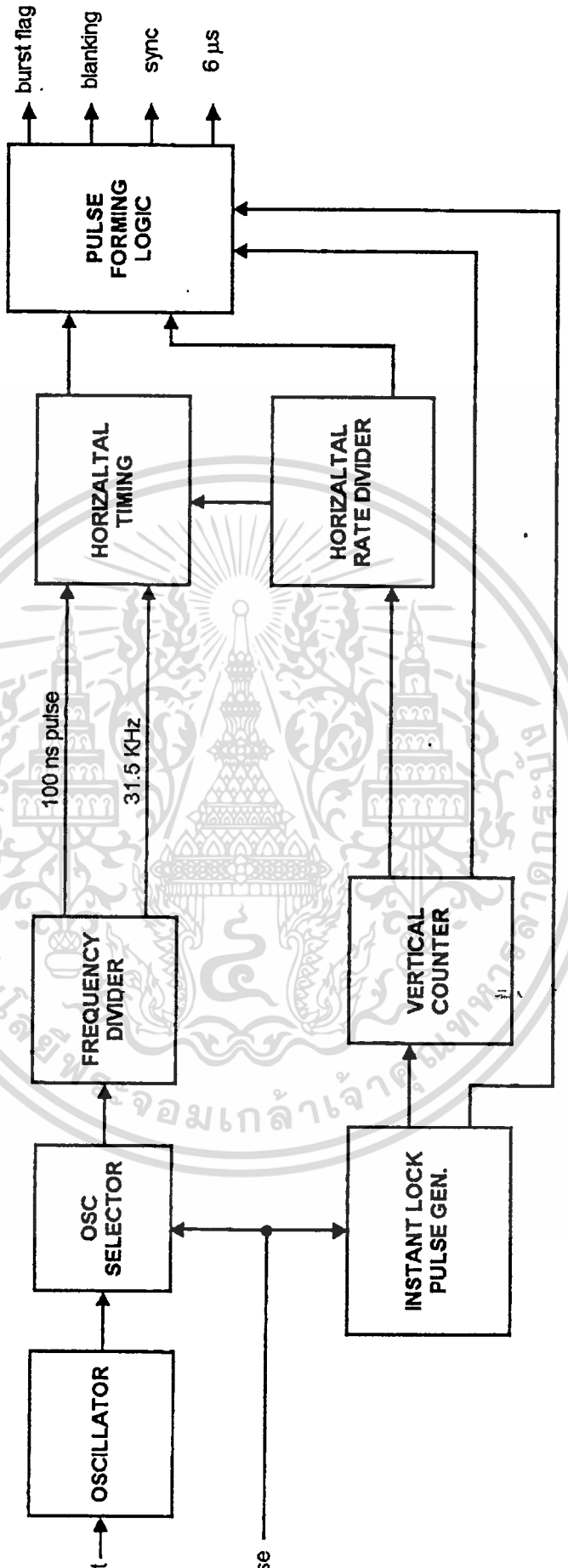
- Instant Lock Pulse Generator

IC 537A กับ IC 537B มีสัญญาณทริกทางแนวตั้งเหมือนกันกับการเริ่มต้นการเปลี่ยนแปลงเอาท์พุทที่ Q ที่ IC 517B(5) คือที่ระดับลอจิกสูงประมาณ 1 μsที่ลอจิกต่ำ สำหรับส่วนที่เหลือของแต่ละฟิลด์

- เวลาทางแนวนอน (Horizantal Timing)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM OF SYNC GENERATER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2H เป็นอัตราของสัญญาณ Square Wave ที่เอาท์พุทจากความถี่ที่ทำการแบ่งแล้วอินเวร์ดสัญญาณผ่านไปยัง IC 518D ดูจากรูปพลัสซ์แสดงที่A ของรูปที่ 3.4 และที่Bของรูปที่ 3.5ผ่นมายัง IC 512A/B มีการเปลี่ยนแปลงช่วงบวกนับจาก 0 มีการเปลี่ยนแปลงไปถึง 10ns ของพลัสซ์ของรูป A15 ของรูที่ 3.4 เป็นเอาท์พุทผ่านไปยัง IC 518 A และ IC 517A IC507 และ IC 508 เป็น 8บิท ของชิฟรีจิสเตอร์ซึ่งเป็นฟังก์ชั่นอะซิงค์โครนัส เคลียร์IC ตัวนี้จะแบ่งลอจิกสูงของ 2H เป็นอัตราส่วนของอินพุทที่เข้าไปเพิ่มเท่ากับเวลามาตราฐานของพลัสซ์เวลาที่ทำการแบ่ง (จากประมาณ 104.7 ns ถึงประมาณ 113 ns) จะประกอบกัน สูงกว่าค่าของสัญญาณ Fine Matrix IC 509 และ IC 510 เหมือนกันกับ IC 507 และ IC 508 พลัสซ์ของเวลาอ้างอิงจาก Coarse Matrix ในรูปที่3.5 แสดงดังรูป A จะเหมือนกับข้อมูลพลัสซ์ Fine Matrix แสดงดังรูปD ของรูปที่ 3.4 Coarse Matrix ดังนั้นจะแบ่งส่วนของลอจิกสูงของ 2H อัตราของอินพุทเข้าไปเพิ่มเป็นอัตราเวลา 16ลูกสัญญาณของเวลาอินพุทที่ IC 517 รูปที่ C 9 และ C 10 (จากเวลาประมาณ 1.67 ns ถึงค่าประมาณ 1.80 ns) ระยะห่าง 2Matrix มันเป็นการเลือกการเริ่มต้นและหยุดของเวลามาตราฐานที่ต้องการของเส้นซิงค์โครไนซิ้งของพลัสซ์ข้อมูลคาบเวลาที่แสดงในรูปที่ 3.5 เพื่อความเที่ยงตรงของเวลา 104.7ns 113ns การเริ่มต้นที่แท้จริงและความกว้างของพลัสซ์เคลียร์แสดงดังรูป B ของรูปที่ 3.4

- อัตราการแบ่งเวลาทางแนวนอน (Horizontal Rate Divider)

J/K ฟลิปฟลอปของ IC 519A มีลักษณะการทำงานในโหมดการทริกเกอร์ที่สัญญาณเวลารูป B1 แสดงดังรูปที่ 3.5 ที่ขา1 นั้นคือที่อัตรา2H เอาท์พุท Q และ /Q จะเปรียบทียบที่อัตราทางแนวนอนเป็น Square Wave เมื่อมีการเปลี่ยนแปลงทางลบของสัญญาณเวลาอินพุทของ รูป B1 สัญญาณเปรียบเทียบจะเป็นการใช้ในการทำงานและฟังก์ชั่น inhibit จะต้องไม่เปลี่ยนแปลงจนกว่าจะแน่ใจว่าจะเกิดขึ้นครั้งเดียวระหว่างแต่ละเส้นทางแนวนอน

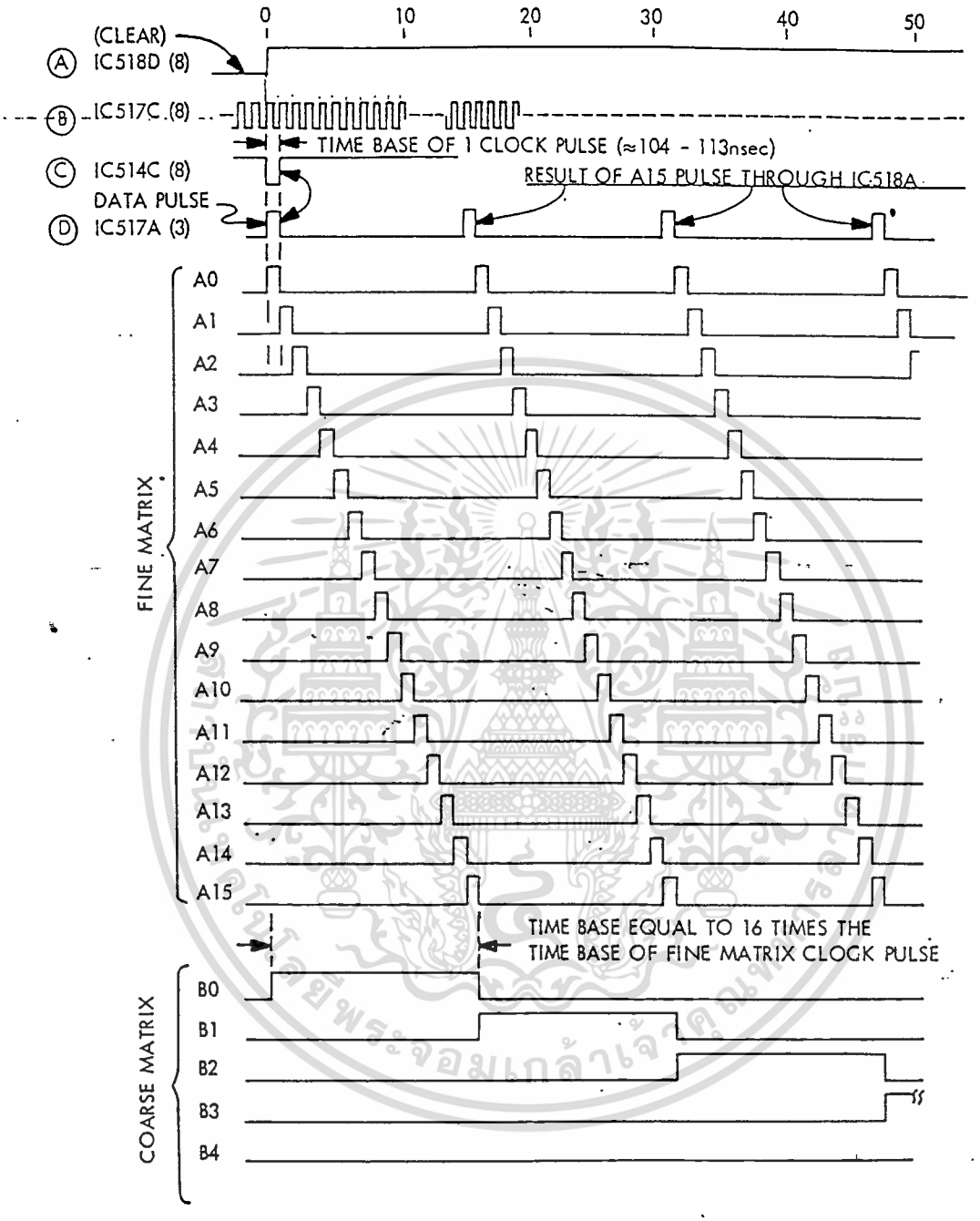
- การนับทางแนวตั้งและการดีโค๊ดเดอร์ (Vertical Counter And Decoder)

อัตรา 2H ที่เอาท์พุทดังรูป B0 ของรูปที่ 3.4 จากการนับทางแนวนอนของ Coarse Matrix เป็นอินพุทที่อนุกรมของการนับทางแนวตั้งและการดีโค๊ดเดอร์ เอาท์พุทของ IC 537B สัญญาณทางเวอร์ติคอลรีเซ็ท IC 521 และ IC 522 ผ่าน IC 518E และ IC 514A

อินพุทโดยตรงของขา 6 และ เซ็ท IC 520 แล้วขา 9 จะเป็นการนับในสเตทข้างหน้าจะเป็นศูนย์รูปที่ 3.4 จะเป็นช่วงเวลาที่ Sequence ของ IC 520 และ IC 524 ในเส้นสุดท้ายคือเส้นที่ 625 อัตราพลัสซ์ 2H ที่อินพุทและพลัสซ์ลูกที่ 13 ของเส้นอัตรา 2H ของรูปที่ 3.6 การใช้อัตรา 2H เป็นอินพุทในการนับของครึ่งเส้นของฟิลด์คี่ 2:1 ในการ Interlaced ฟิลด์อัตรา 2H เป็นเวลามาตรฐานจะมีค่าเท่ากับเวลามาตรฐานของเส้น 312 ครึ่งของเส้นทางแนวนอน ในการรีเซ็ทการนับสัญญาณทางแนวตั้งให้เป็นศูนย์หลังจากเส้นที่ 312 ครึ่ง ของเส้นทางแนวนอน

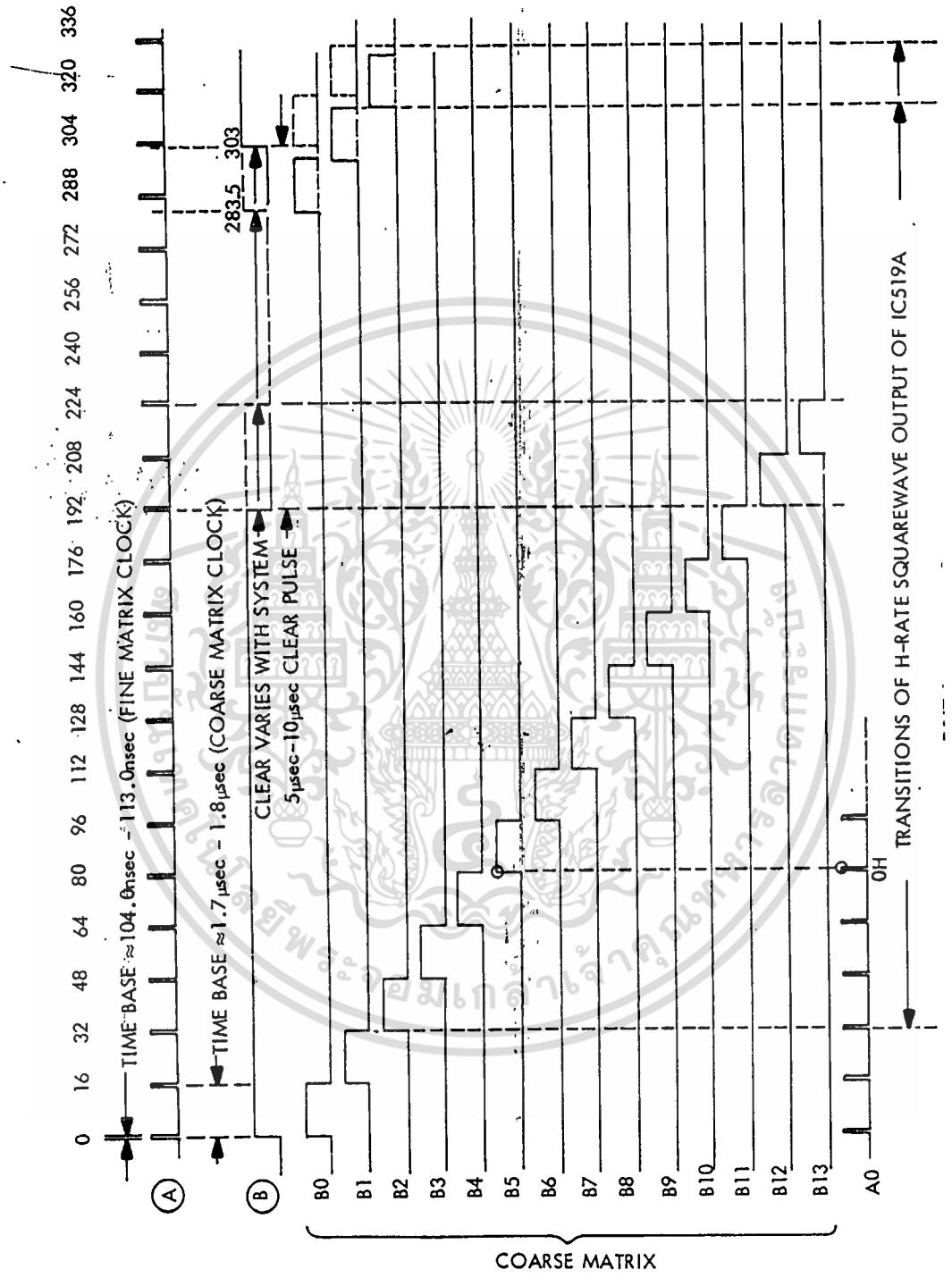
ในการรวมกันของ IC 520 และ IC 524 โดยใช้การนับของอัตรา 2H เป็นอินพุท IC 520 เป็นอนุกรมอินพุทไบนารี เอาท์พุทของการดีโค๊ด IC 524 เป็นการเข้าโค๊ดแบบ BCD เป็นในเลขฐานสิบเกี่ยวข้องกับเอาท์พุทที่ขนาน 10 เอาท์พุทในรูปที่ C 9 ของรูปที่ 3.6 เป็นเอาท์พุทของ IC 524 เป็นอนุกรมอินพุทของการนับ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 เวลาทางแนวนอนและไดอะแกรมการ Decoding เวลา Fine Matrix

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

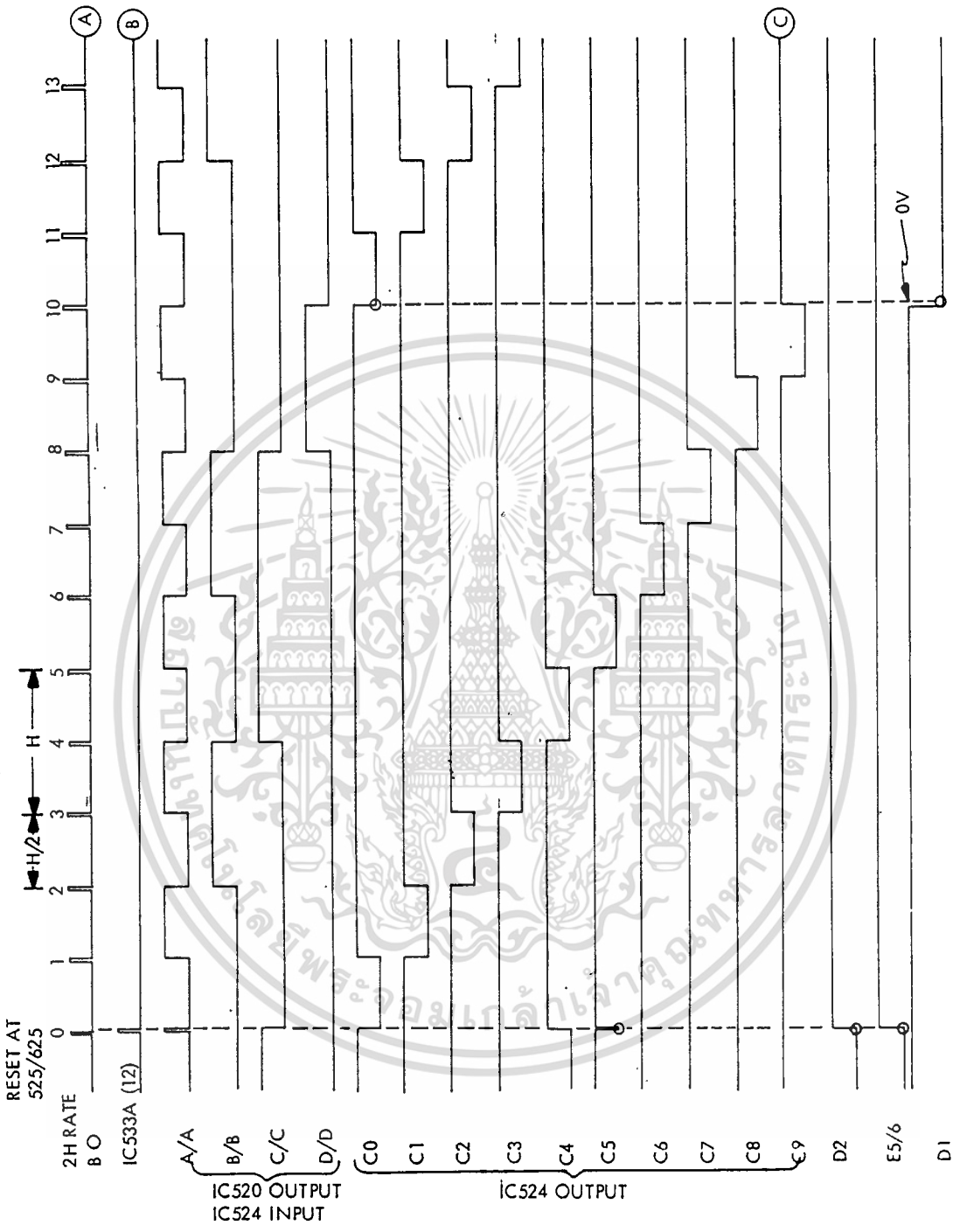


รูปที่ 3.5เวลาทางแนวนอนของการดีโค้ดไดอะแกรมเวลา Coarse Matrix

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

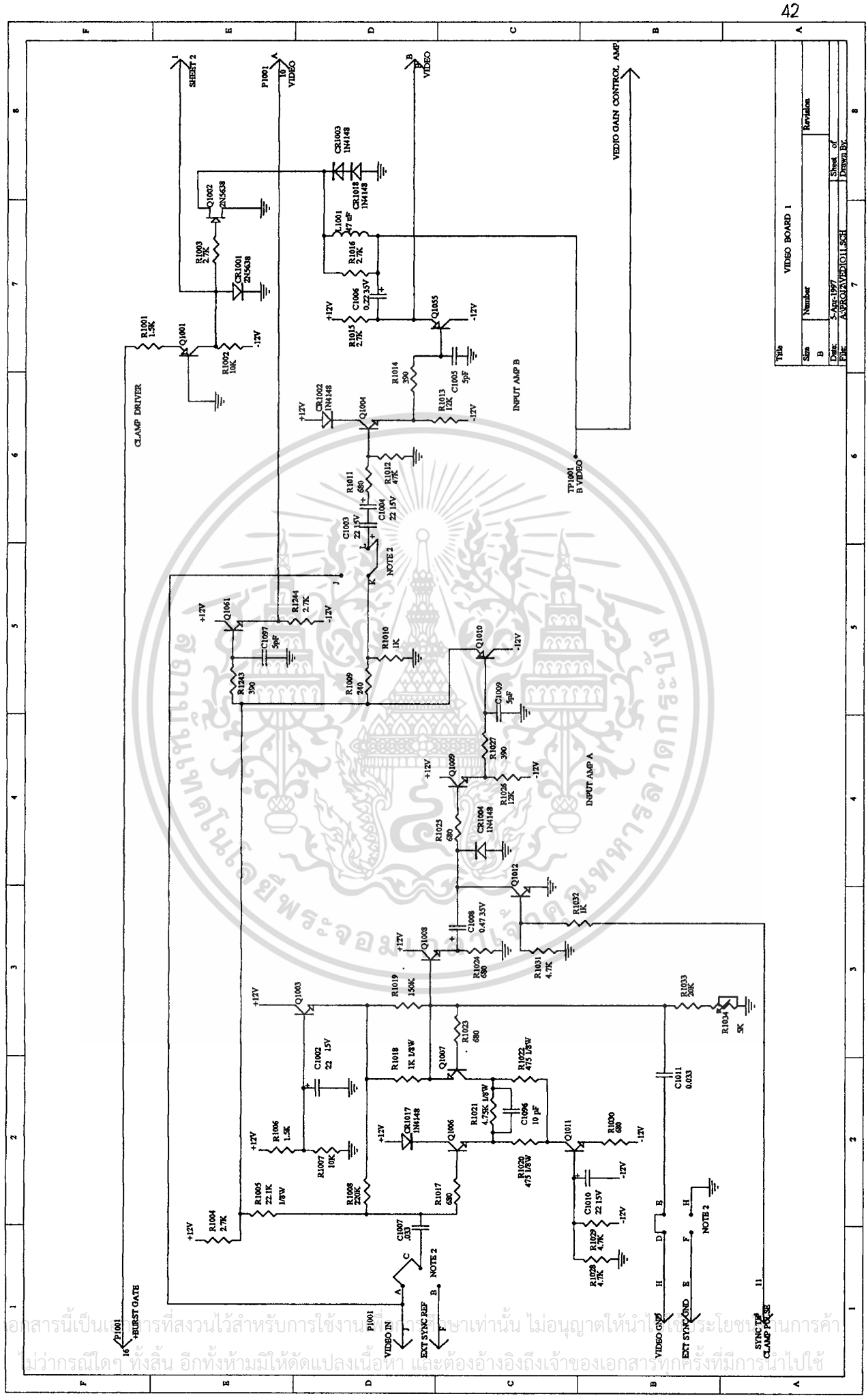
การนับ 10 เป็นเสมือนการนับหนึ่ง โดยการนับหาร 2 โดยอ้างอิงจากภายนอกโดยใช้ IC 519 ในการนับจะมีการรีเซ็ทนับ 10 ถึง 1 โดยบอร์ด Genlock โดยอ้างอิงจากรูปที่ 3.6 พิจารณาที่เอาท์พุท Q ของ IC 519 เสมือนเป็นเอาท์พุท A ของ IC 520 ไทม์มิ่งไดอะแกรมของการนับ 10 เหมือนกัน มีรูปคลื่นดังรูป C ที่ผ่านมาจากรูป A ของรูปที่ 3.6 เอาท์พุทของ Do อัตรา 2H ของ 10 อินพุทและที่เอาท์พุท D1 ถึง D9 จะมีค่าเท่ากับรูปของสัญญาณเช่นเดียวกันกับเอาท์พุทที่ได้จาก C1 ถึง C9 การนับหน่วยสัญญาณ 100 ลูก จะใช้หน่วยเป็น Unit เอาท์พุท D ของ IC 1521 จะมีสัญญาณอินพุทต่อเนื่องกัน 100 ลูก ในกรณีการนับนี้สัญญาณเอาท์พุท Eo จะเป็นลอจิกต่ำ สำหรับสัญญาณ 100 ลูกแรก และอัตราสัญญาณอินพุท 2H และ E1 ถึง E6 จะได้สัญญาณตามแพทเทิร์นซึ่งแสดงในรูปที่ 3.6 ได้แสดงจุดรีเซ็ทเมื่อมีสัญญาณอินพุท 3 สัญญาณคือสัญญาณ MOD สัญญาณที่ IC 533A สัญญาณการนับทางแนวตั้งเข้ามาจะถูกรีเซ็ทให้เป็น 0 และจะเริ่มนับใหม่อีกครั้งเลขของสัญญาณ MOD ที่ใช้จะนับได้จากเส้นต่อเฟรมซึ่งเลขที่ถูกต้องจากเส้นต่อฟิลด์สัญญาณที่ IC 516A และ B เป็นสัญญาณนาฬิกาโดยการรวมสัญญาณเอาท์พุทของ IC 523D ในขณะที่สัญญาณ IC 516A ไม่เสถียรภาพซึ่งเป็นสัญญาณ 50H ของเส้นสัญญาณทางแนวนอนเท่านั้นพลัสซ์ที่รีเซ็ทของเอาท์พุท IC 533A ผ่านไปยัง IC 535 D ส่งสัญญาณเป็นลบไปเซ็ทอินพุทวงจร Latch IC 535A / B พลัสซ์นี้จะเริ่มต้นที่ฟิลด์ อย่างไรในการเซ็ทเอาท์พุทของวงจร Latch ที่ขา 6 เป็นพลัสซ์บวก (Logic - High) ของการนับ 100 ลูกแรก (50H - Line) ของแนวตั้งวงจรเป็นการเคลียร์โดยการนับ 100 ลูกมีเอาท์พุทดังรูป E1 ผลของลอจิก Low จะเคลียร์อินพุท IC 516A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

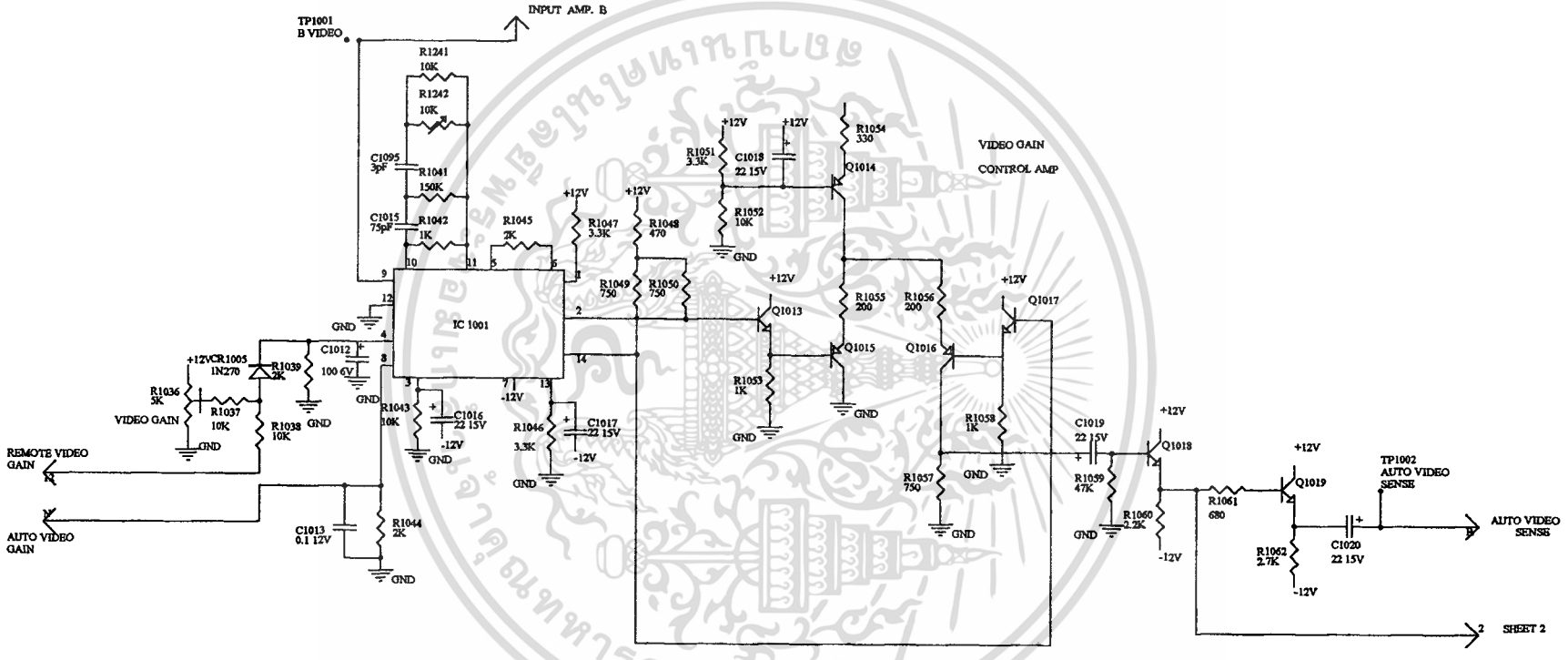


รูปที่ 3.6 ไดอะแกรมเวลาการนับทางแนวนอน

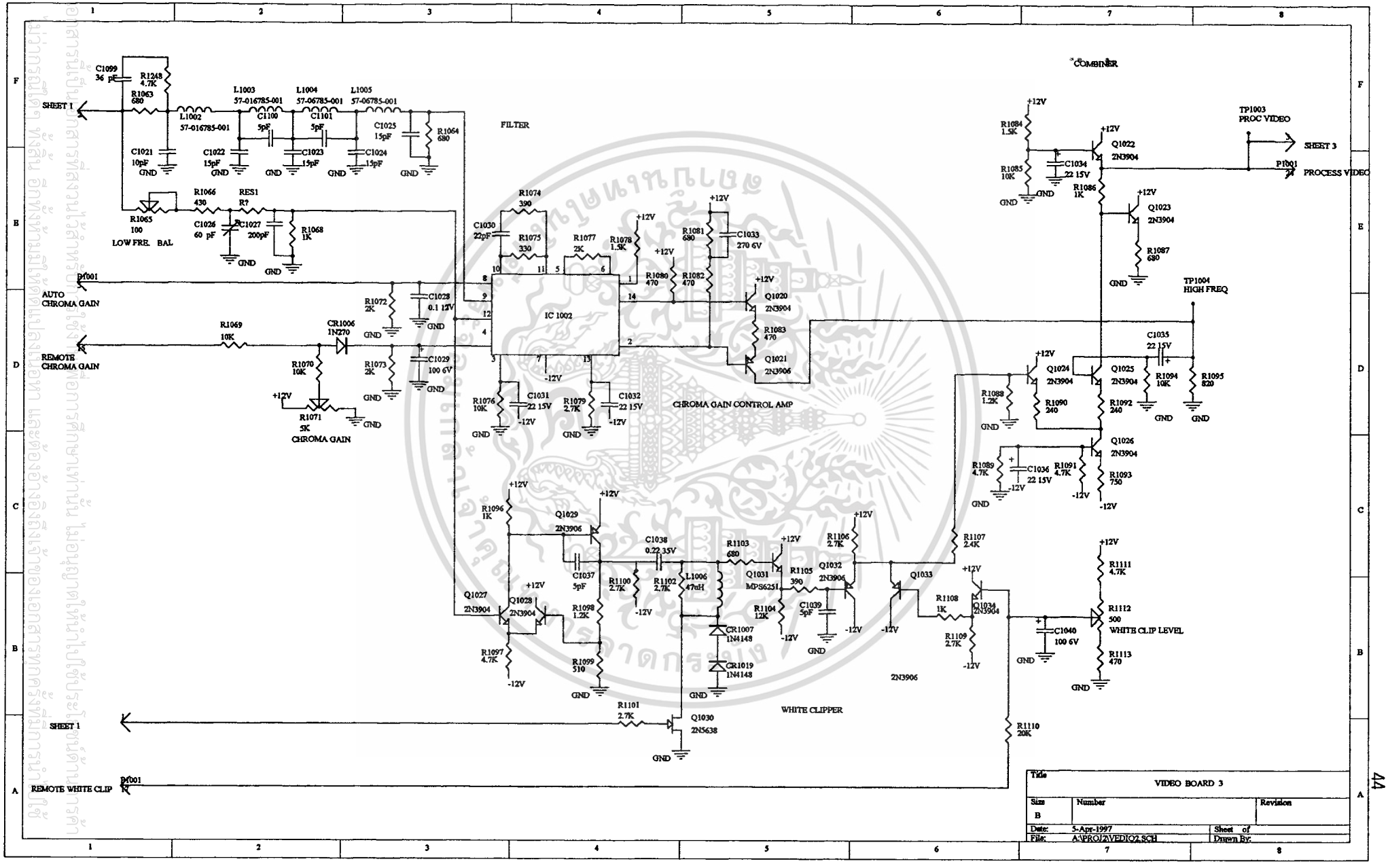
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

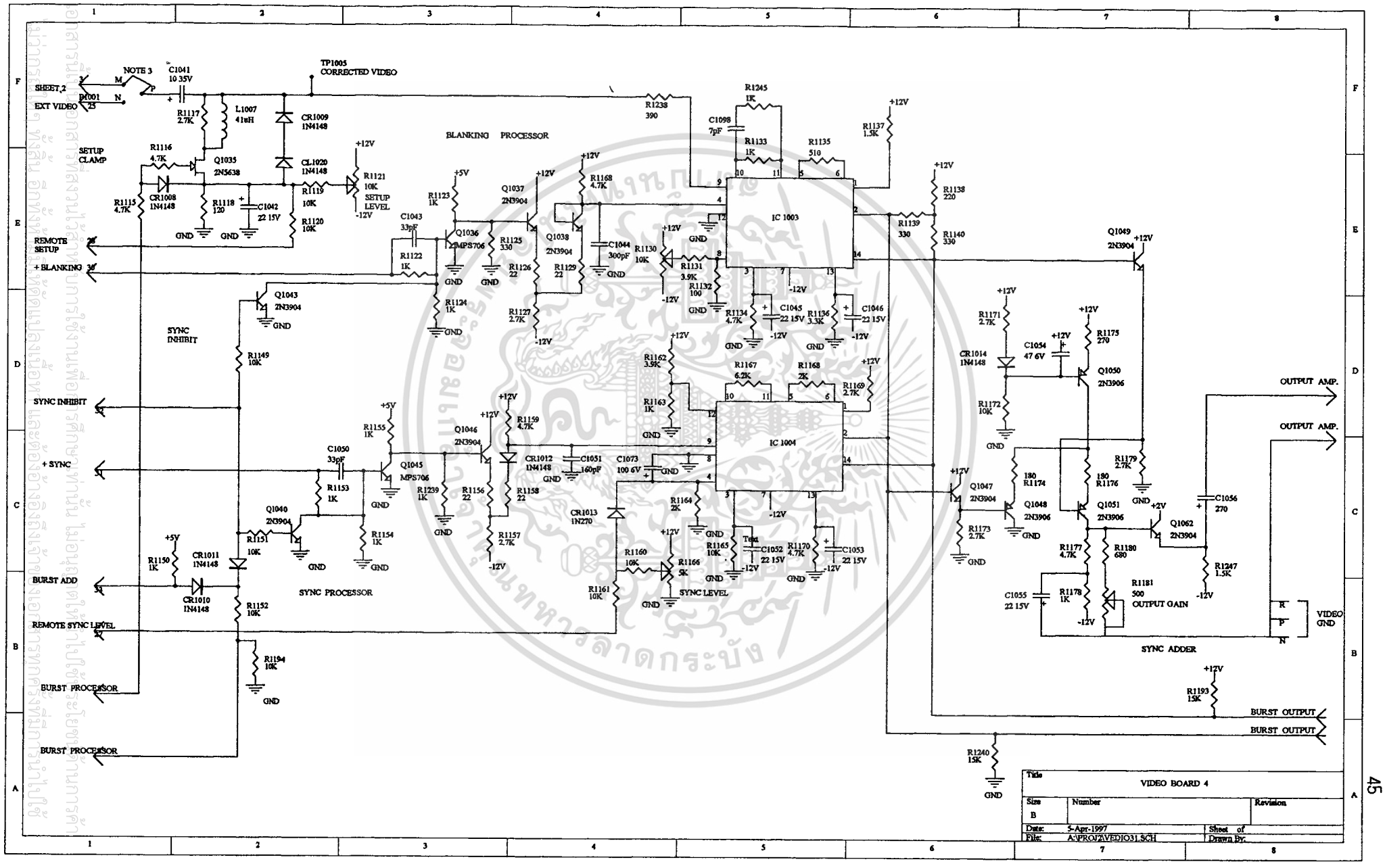


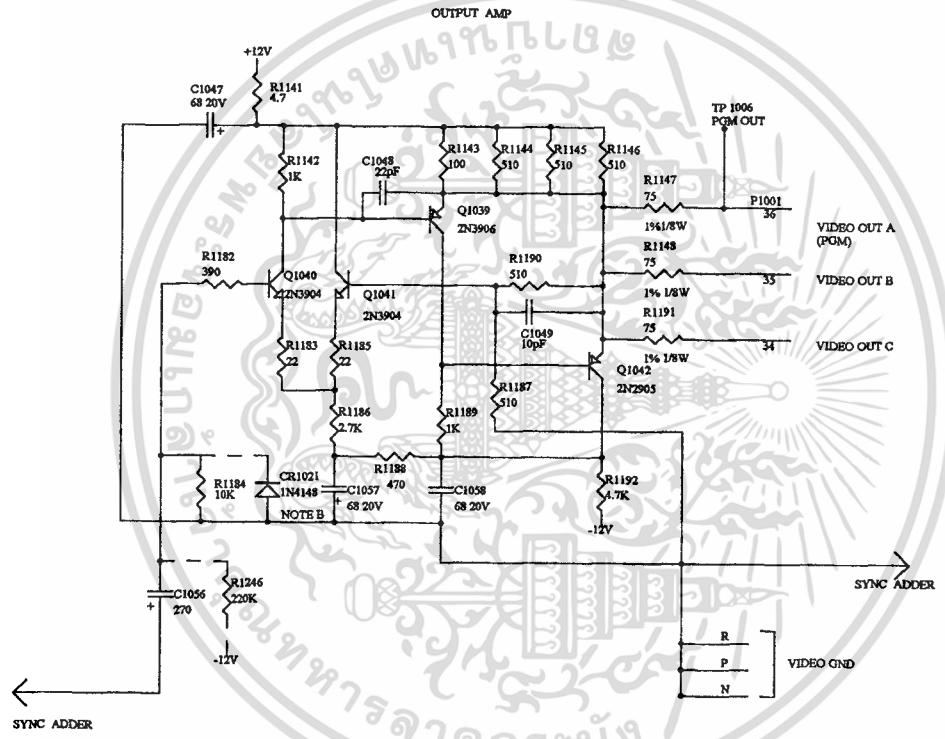
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



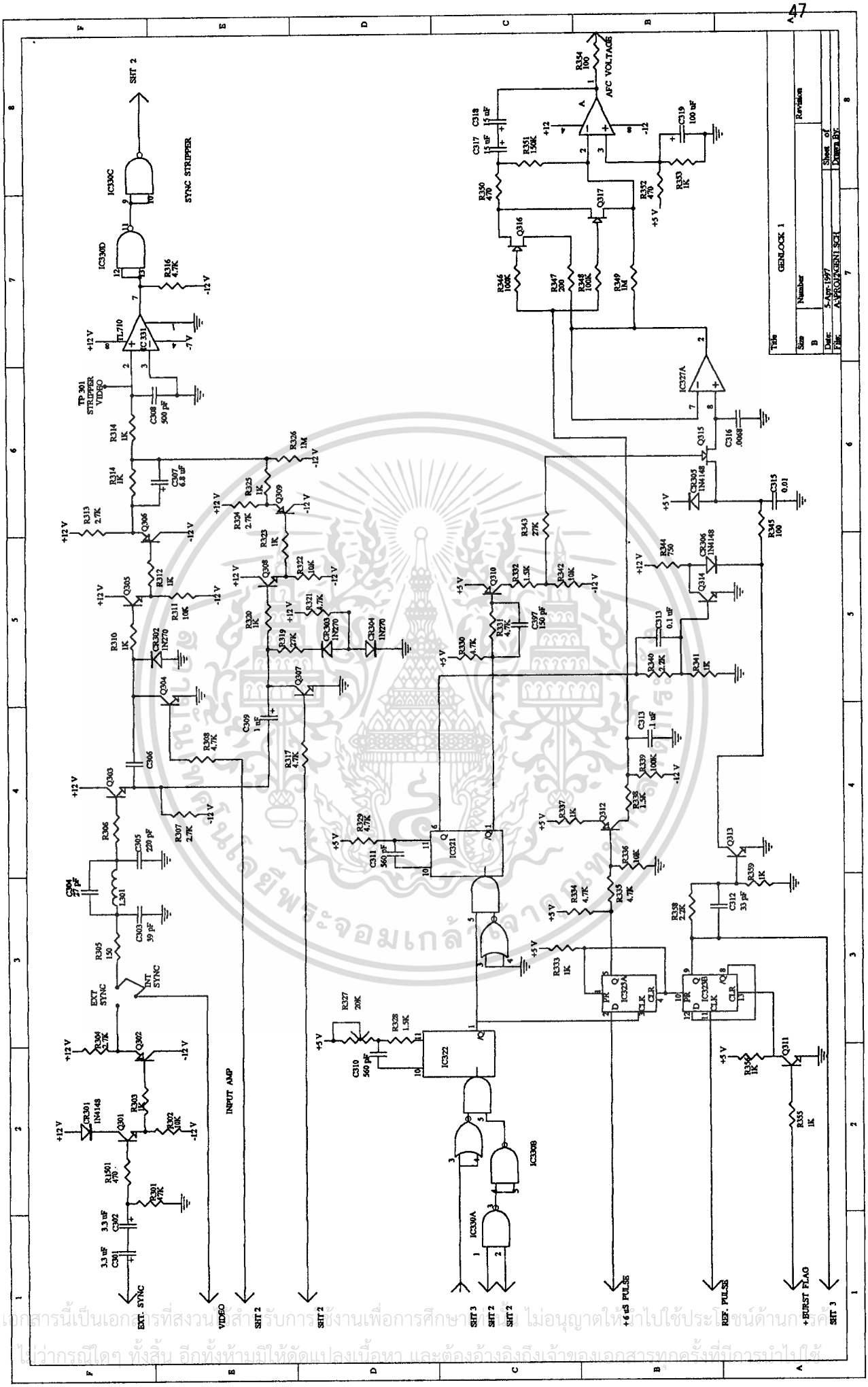
Title	VIDEO BOARD 2		
Size: B	Number		Revision
Date:	5-Apr-1997	Sheet of	
File:	AAPROJ2\VEDIO12.SCH	Drawn By:	


FILTER
COMBINER
CHROMA GAIN CONTROL AMP
WHITE CLIPPER
IC 1002
SHEET 1
SHEET 3
P1001
AUTO CHROMA GAIN
REMOTE CHROMA GAIN
CHROMA GAIN
LOW FRE. BAL
REMOTE WHITE CLIP
PROCESS VIDEO
HIGH FREQ
WHITE CLIP LEVEL
2N3906
Title
VIDEO BOARD 3
Size
B
Number
Revision
Date: 5-Apr-1997
File: A:\PROJ2\VEDIO2.SCH
Sheet of
Drawn By:

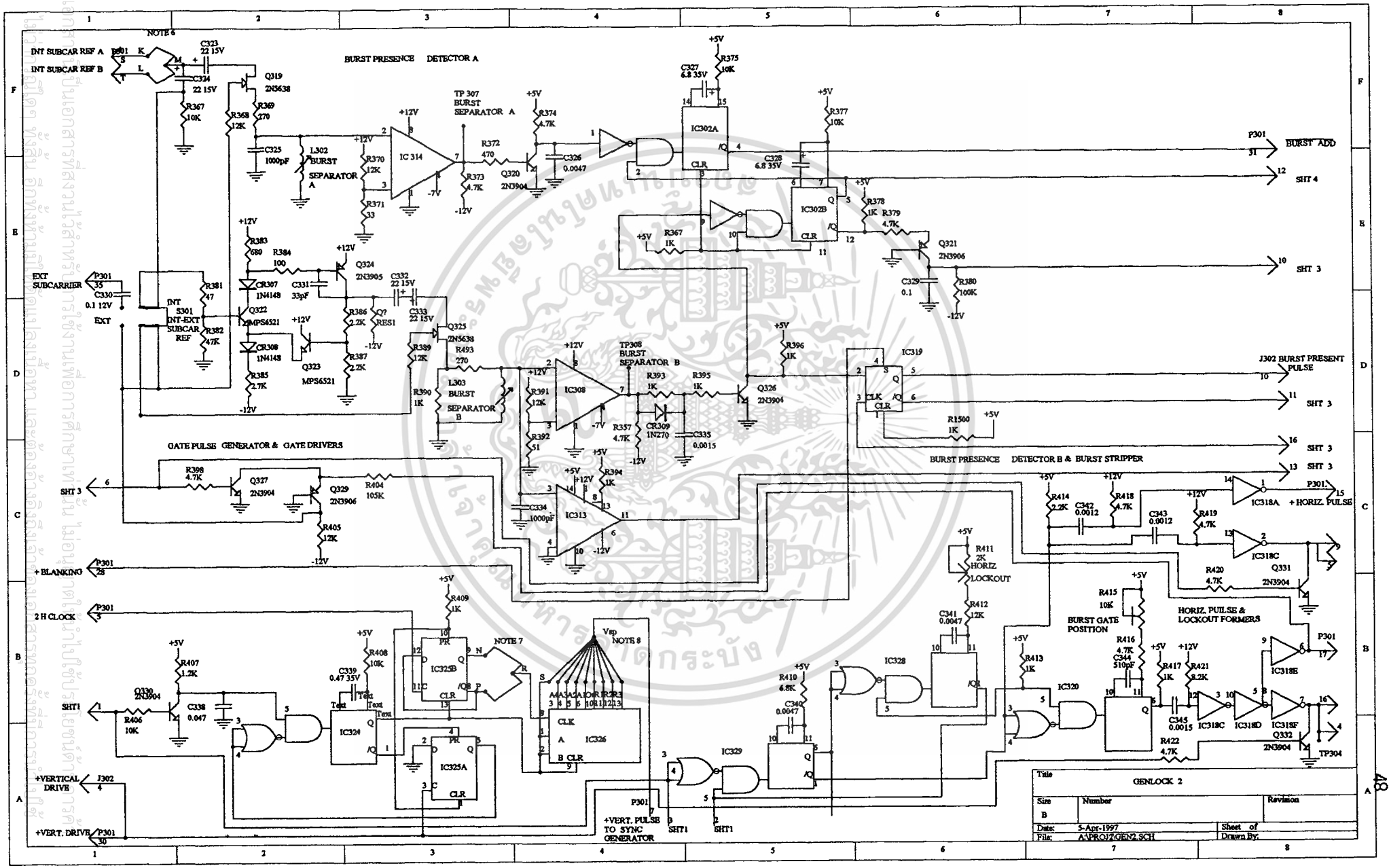

TP1005
CORRECTED VIDEO
NOTE 3
SHEET 2
EXT VIDEO
P1001
25
C1041
10 35V
R1117
2.7K
L1007
41uH
CR1009
1N4148
CL1020
1N4148
R1119
10K
R1121
10K
SETUP
LEVEL
-12V
+12V
SETUP
CLAMP
R1116
4.7K
Q1035
2N5638
CR1008
1N4148
R1115
4.7K
R1118
120
C1042
22 15V
R1120
10K
GND
REMOTE
SETUP
+ BLANKING
BLANKING PROCESSOR
R1123
1K
+5V
Q1037
2N3904
R1168
4.7K
C1043
33pF
Q1036
2MPS706
R1125
330
R1126
22
R1129
22
Q1038
2N3904
C1044
300pF
R1122
1K
R1124
1K
R1127
2.7K
R1130
10K
R1131
3.9K
R1132
100
R1238
390
R1245
1K
C1098
7pF
R1133
1K
R1135
510
IC 1003
R1137
1.5K
R1138
220
R1139
330
R1140
330
R1134
4.7K
C1045
22 15V
R1136
3.3K
C1046
22 15V
Q1049
2N3904
R1171
2.7K
C1054
47 6V
CR1014
1N4148
R1175
270
Q1050
2N3906
R1172
10K
OUTPUT AMP.
OUTPUT AMP.
SYNC
INHIBIT
Q1043
2N3904
R1149
10K
SYNC INHIBIT
+ SYNC
R1155
1K
C1050
33pF
Q1045
MPS706
R1153
1K
R1239
1K
R1156
22
R1158
22
R1157
2.7K
Q1046
2N3904
R1159
4.7K
CR1012
1N4148
C1051
160pF
R1162
3.9K
R1163
1K
R1167
6.2K
R1168
2K
R1169
2.7K
IC 1004
C1073
100 6V
R1164
2K
R1165
10K
Test
C1052
22 15V
R1170
4.7K
C1053
22 15V
R1166
5K
SYNC LEVEL
R1160
10K
R1161
10K
CR1013
1N270
Q1040
2N3904
R1151
10K
R1154
1K
SYNC PROCESSOR
R1179
2.7K
180
R1174
180
R1176
Q1047
2N3904
Q1048
2N3906
Q1051
2N3906
R1173
2.7K
C1056
270
Q1062
2N3904
R1177
4.7K
R1180
680
R1247
1.5K
C1055
22 15V
R1178
1K
R1181
500
OUTPUT GAIN
SYNC ADDER
VIDEO
GND
BURST ADD
R1150
1K
CR1011
1N4148
CR1010
1N4148
R1152
10K
REMOTE SYNC LEVEL
R1194
10K
BURST PROCESSOR
BURST PROCESSOR
R1193
15K
BURST OUTPUT
BURST OUTPUT
R1240
15K
Title
VIDEO BOARD 4
Size
B
Number
Revision
Date:
5-Apr-1997
File:
A:\PROJ2\VEDJO31.SCH
Sheet of
Drawn By:

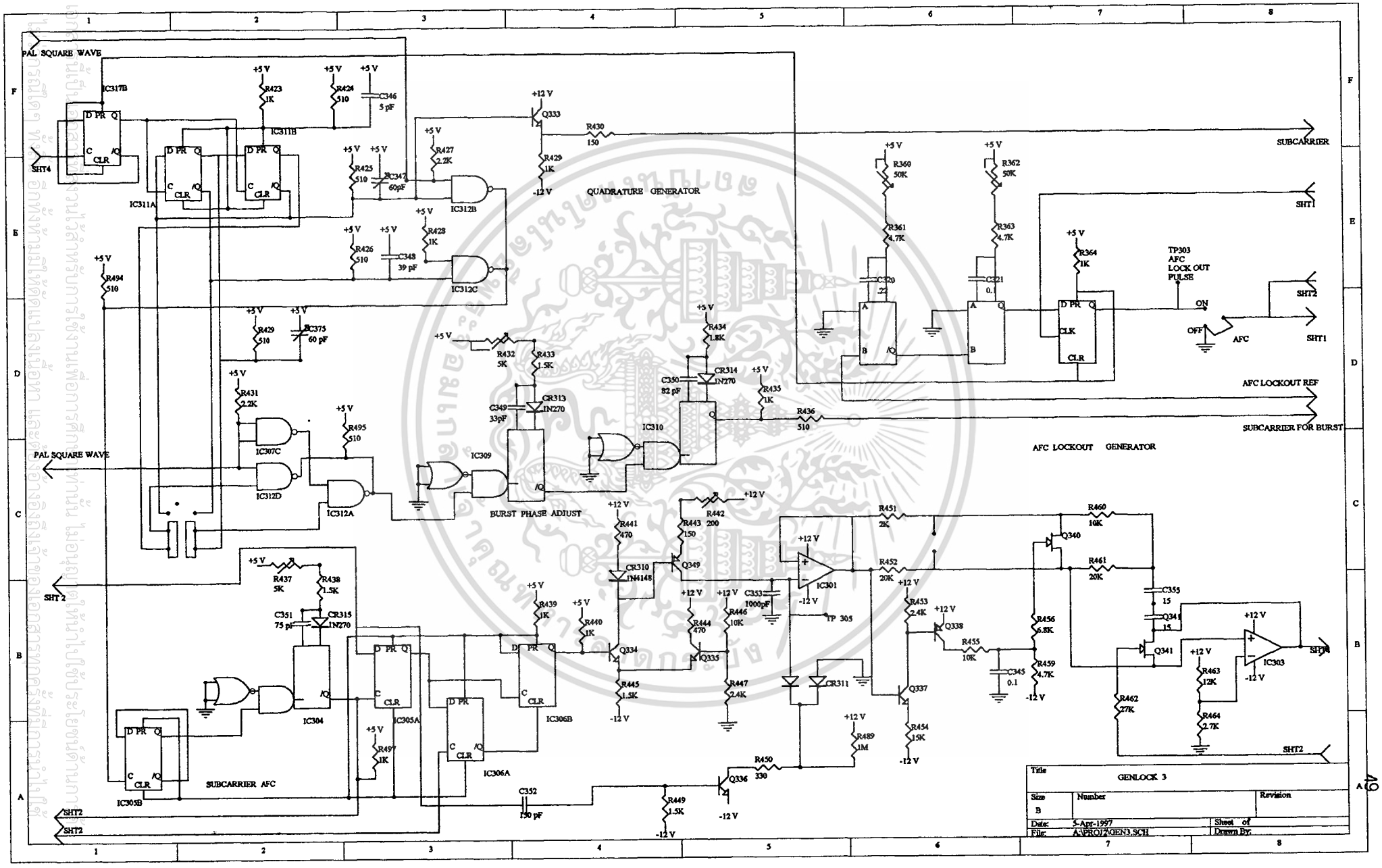


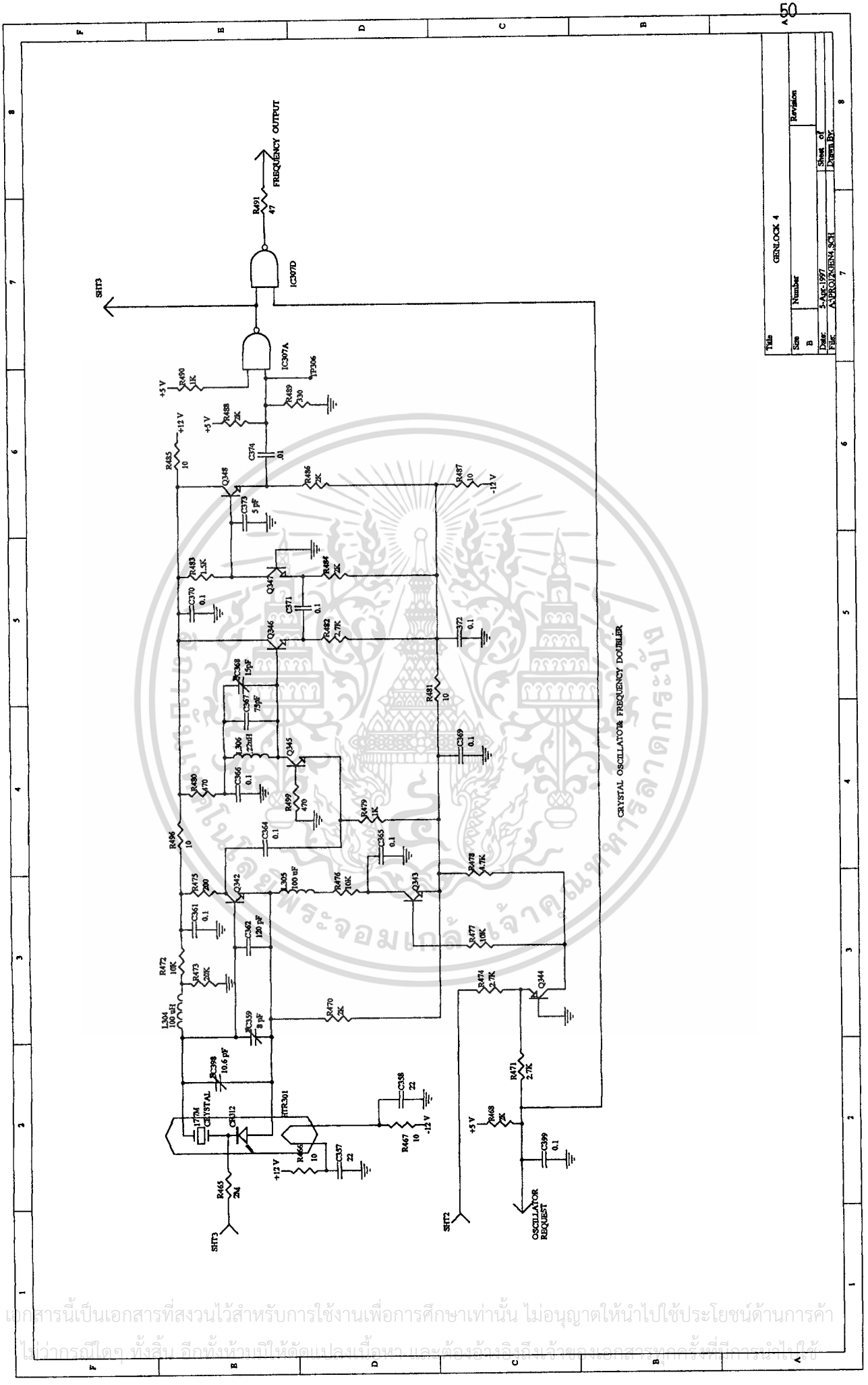
Title	VIDEO BOARD 5		
Size B	Number		Revision
Date:	5-Apr-1997	Sheet of	
File:	A:\PROJ2\VEDIO32.SCH	Drawn By:	



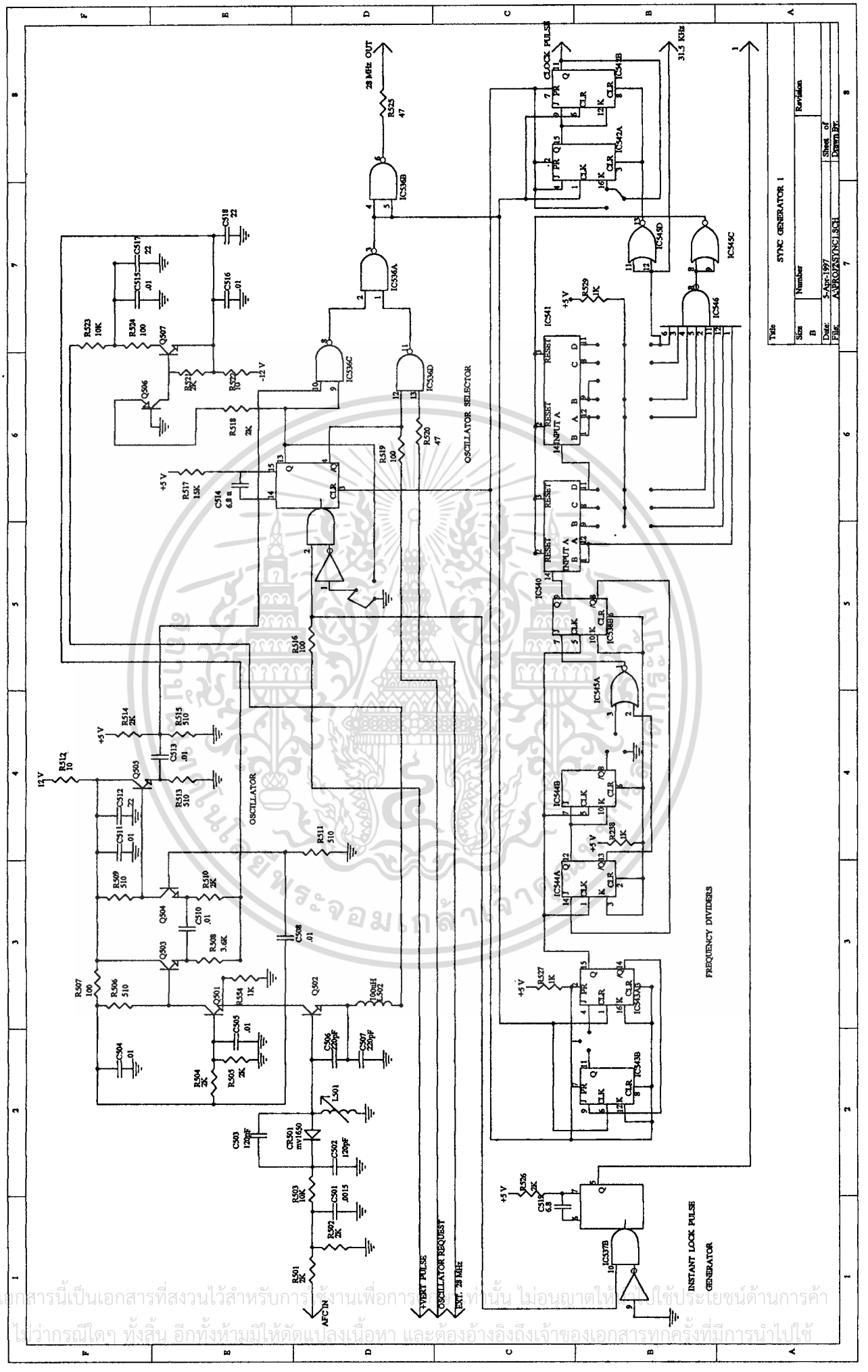
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


INT SUBCAR REF A
INT SUBCAR REF B
NOTE 6
BURST PRESENCE DETECTOR A
TP 307 BURST SEPARATOR A
IC 314
L302 BURST SEPARATOR A
IC302A
IC302B
P301 BURST ADD
SHT 4
SHT 3
EXT SUBCARRIER
INT S301 INT-EXT SUBCAR REF
EXT
GATE PULSE GENERATOR & GATE DRIVERS
TP308 BURST SEPARATOR B
L303 BURST SEPARATOR B
IC308
IC313
IC319
J302 BURST PRESENCE PULSE
BURST PRESENCE DETECTOR B & BURST STRIPPER
+BLANKING
2 H CLOCK
+VERTICAL DRIVE
+VERT. DRIVE
+VERT. PULSE TO SYNC GENERATOR
IC325B
IC325A
IC324
IC326
IC329
IC328
IC320
IC318A +HORIZ. PULSE
IC318C
IC318E
IC318D
IC318F
HORIZ. PULSE & LOCKOUT FORMERS
BURST GATE POSITION
HORIZ LOCKOUT
TP304
GENLOCK 2
Size B
Number
Revision
Date: 5-Apr-1997
Sheet of
File: A:\PROJ\GEN2.SCH
Drawn By:

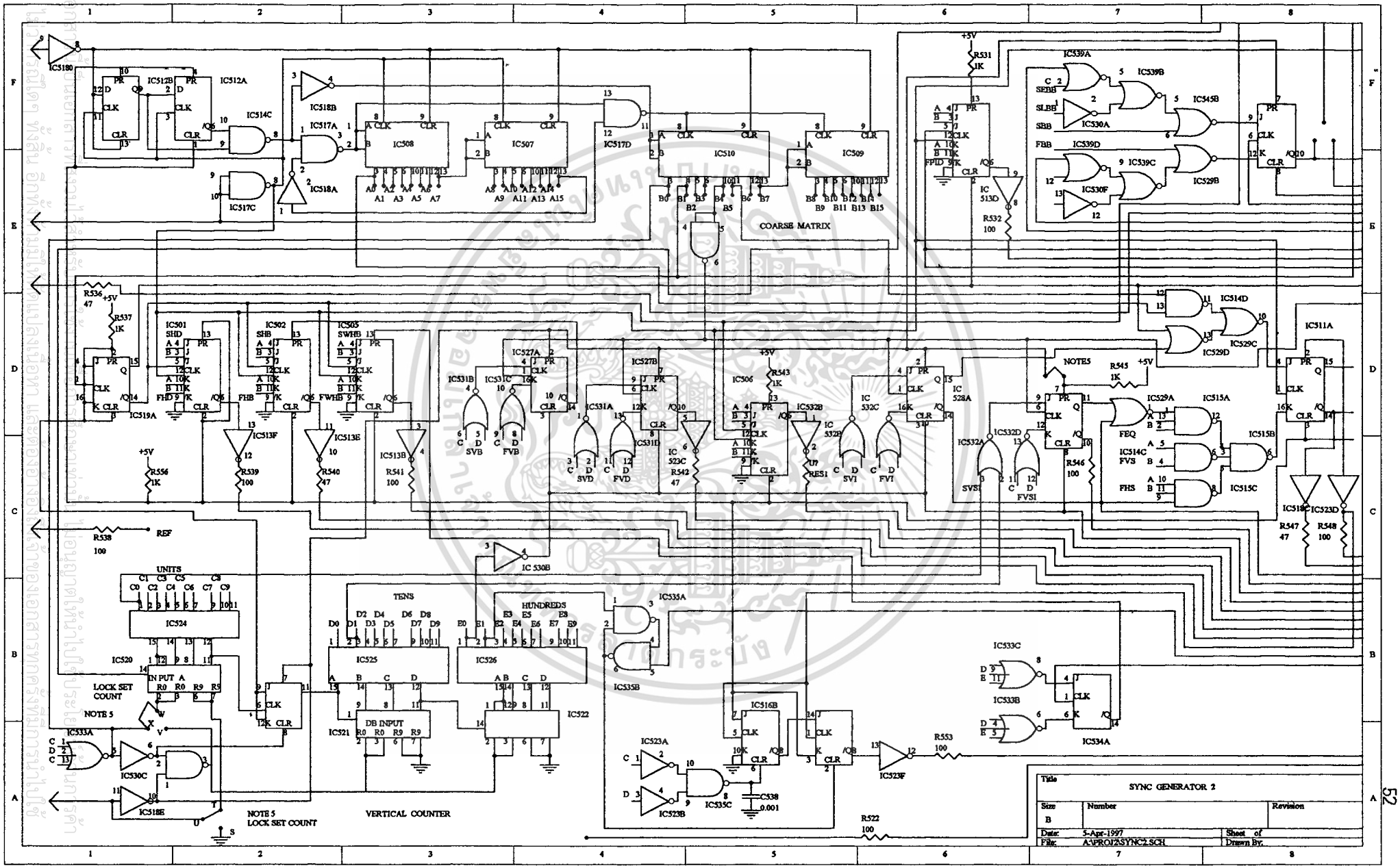

PAL SQUARE WAVE
IC317B
SHT4
IC311B
IC311A
IC312B
IC312C
QUADRATURE GENERATOR
Q333
R430 150
SUBCARRIER
SHT1
R360 50K
R361 4.7K
R362 50K
R363 4.7K
R364 1K
C320 .22
C321 0.1
TP303 AFC LOCK OUT PULSE
ON
OFF
AFC
SHT2
SHT1
AFC LOCKOUT REF
SUBCARRIER FOR BURST
AFC LOCKOUT GENERATOR
IC307C
IC312D
IC312A
IC309
IC310
BURST PHASE ADJUST
R431 2.2K
R432 5K
R433 1.5K
R434 1.8K
R435 1K
R436 510
R494 510
R495 510
C349 33pF
C350 82 pF
CR313 IN270
CR314 IN270
C375 60 pF
C346 5 pF
C347 60pF
C348 39 pF
R423 1K
R424 510
R425 510
R426 510
R427 2.2K
R428 1K
R429 510
SHT 2
R437 5K
R438 1.5K
C351 75 pF
CR315 IN270
IC304
IC305A
IC305B
IC306A
IC306B
SUBCARRIER AFC
R497 1K
C352 150 pF
R439 1K
R440 1K
R441 470
R442 200
R443 150
CR310 IN4148
Q349
Q334
Q335
R444 470
R445 1.5K
R446 10K
R447 2.4K
C353 1000pF
IC301
TP 305
R451 2K
R452 20K
R453 2.4K
R454 15K
R455 10K
R456 6.8K
R459 4.7K
C345 0.1
CR311
Q337
Q338
R460 10K
R461 20K
C355 15
Q340
Q341
R462 27K
R463 12K
R464 2.7K
IC303
SHT2
R489 1M
R450 330
Q336
R449 1.5K
Title GENLOCK 3
Size B
Number
Revision
Date: 5-Apr-1997
File: A:\PROJ2\GEN3.SCH
Sheet of
Drawn By:

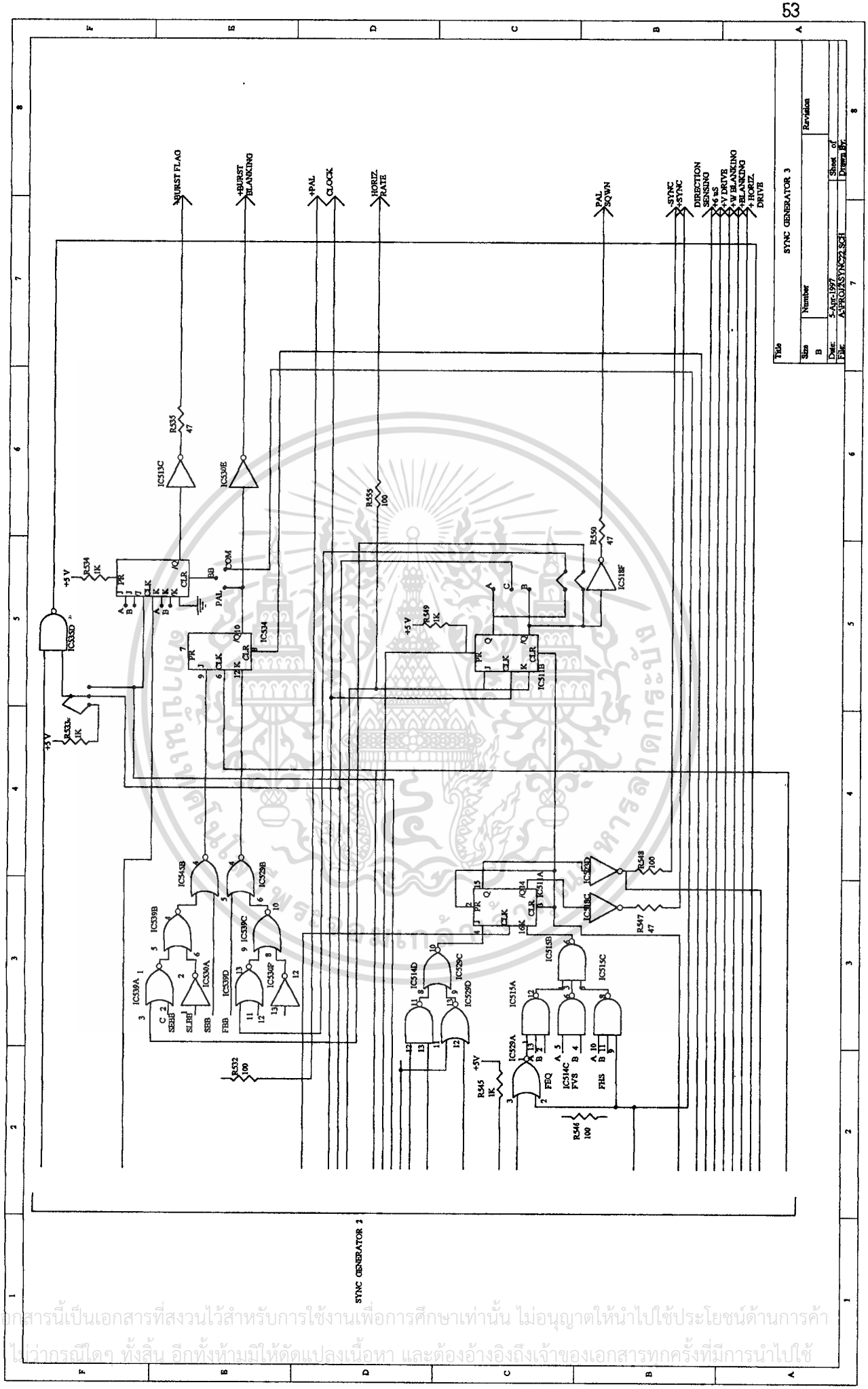


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

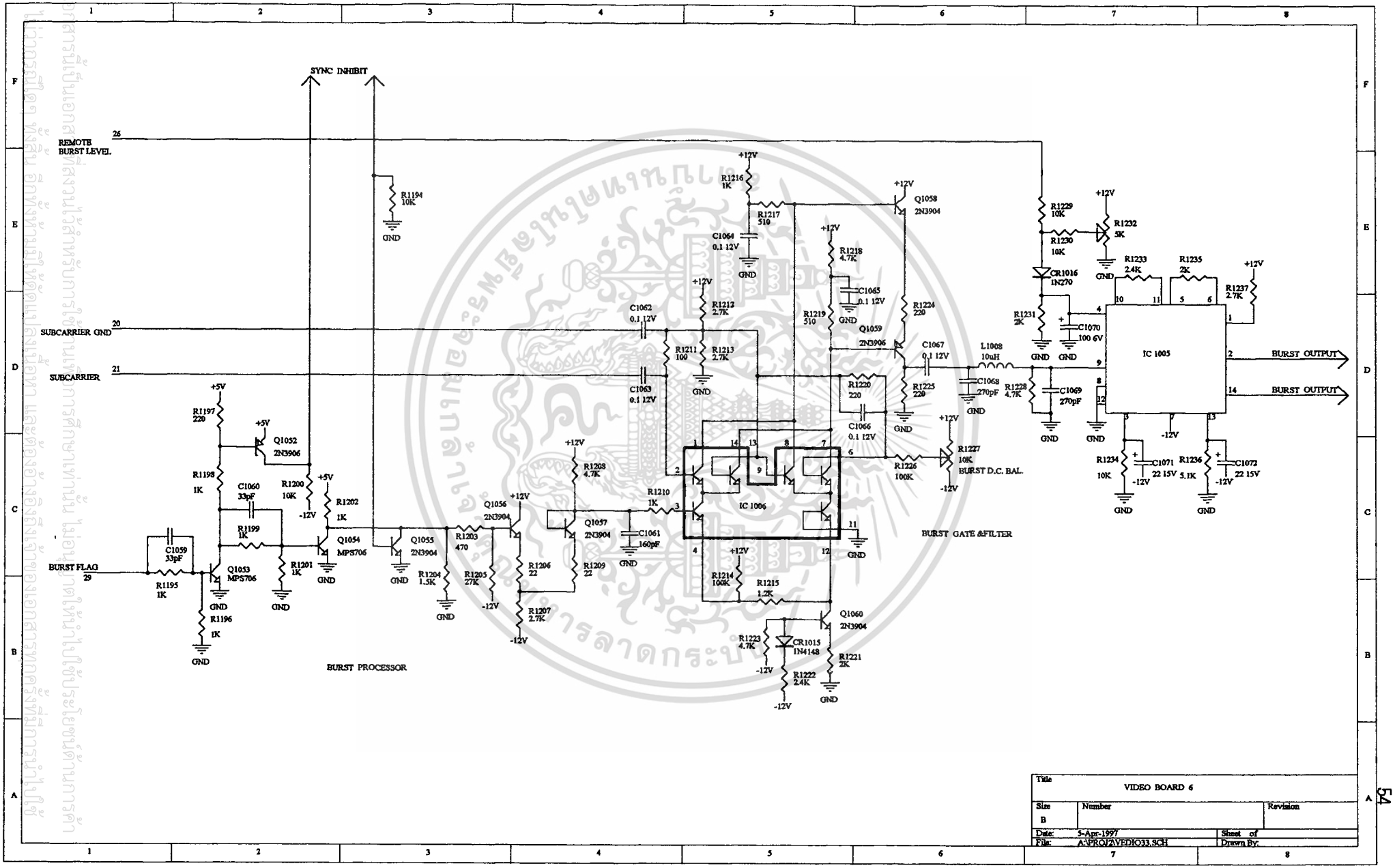


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


IC518O
IC512B
IC512A
IC514C
IC518B
IC517A
IC518A
IC517C
IC508
IC507
IC517D
IC510
IC509
A0 A2 A4 A6
A1 A3 A5 A7
A8 A10 A12 A14
A9 A11 A13 A15
B0 B1 B3 B4 B6 B7
B2 B5
B8 B10 B12 B14
B9 B11 B13 B15
COARSE MATRIX
+5V
R531 1K
IC539A
IC539B
IC545B
IC530A
IC539D
IC539C
IC529B
IC530F
SFBB
SLBB
SBB
FBB
FPLD
IC 513D
R532 100
R536 47
R537 1K
IC501 SHD
IC502 SHB
IC505 SWHB
IC519A
IC513F
IC513E
IC513B
R539 100
R540 47
R541 100
IC527A
IC527B
IC531B
IC531C
IC531A
IC531D
IC 523C
R542 47
IC506
R543 1K
IC532B
U7 RES1
IC 532C
IC 528A
IC532A
IC532D
SVB
FVB
SVD
FVD
SVI
FVI
FVSI
NOTE5
R545 1K
IC529A
IC515A
IC514C
IC515B
IC515C
FEQ
FVS
FHS
R546 100
IC514D
IC529C
IC529D
IC511A
IC518
IC523D
R547 47
R548 100
R556 1K
R538 100
REF
IC 530B
UNITS
IC524
IC520
INPUT A
R0 R0 R9 R5
LOCK SET COUNT
NOTE 5
IC533A
IC530C
IC518E
TENS
HUNDREDS
IC525
IC526
IC521
DB INPUT
R0 R0 R9 R9
IC522
IC535A
IC535B
IC516B
IC523A
IC523B
IC535C
C538 0.001
IC523F
R553 100
R522 100
IC533C
IC533B
IC534A
NOTE 5
LOCK SET COUNT
VERTICAL COUNTER
Title
SYNC GENERATOR 2
Size
B
Number
Revision
Date: 5-Apr-1997
File: A:\PROJ\SYNC2.SCH
Sheet of
Drawn By:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



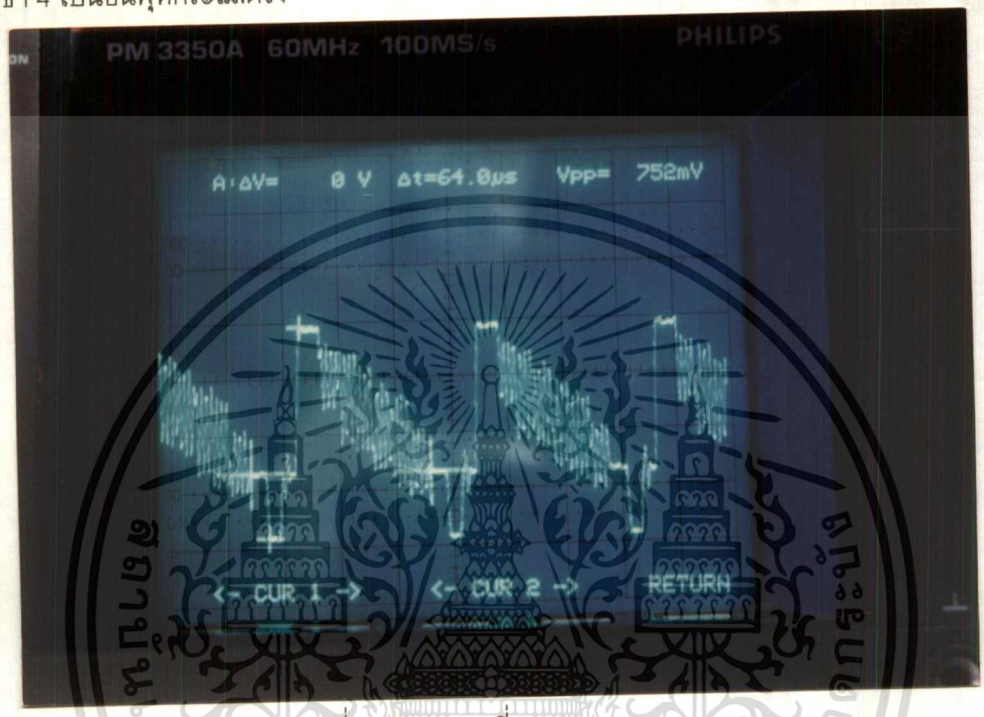
Title	VIDEO BOARD 6	
Size B	Number	Revision
Date: 5-Apr-1997		Sheet of
File: A:\PROJ\VEDIO33.SCH		Drawn By:

บทที่ 4

การทดลองและผลการทดลอง

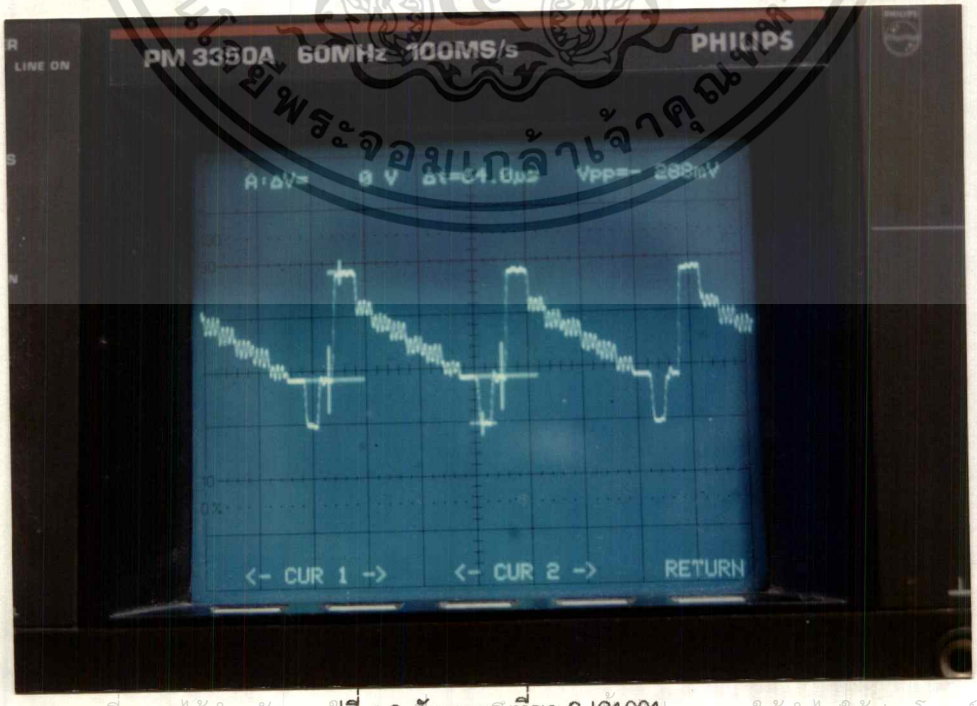
<u>การทดลองที่ 1</u> การขยายสัญญาณภาพ (Video Gain)

1.1 ป้อนสัญญาณ Colour Bar ระดับสัญญาณมาตราฐานคือ 1 Vp-p จะได้ Wave Form ดังรูป 4.1 โดยสัญญาณดังกล่าวจะเป็นอินพุทให้แก่ภาคควบคุมการขยายของสัญญาณภาพซึ่งจะเข้าที่ขา 9 ของ IC 1001 และที่ขา 4 เป็นอินพุทกระแสตรง



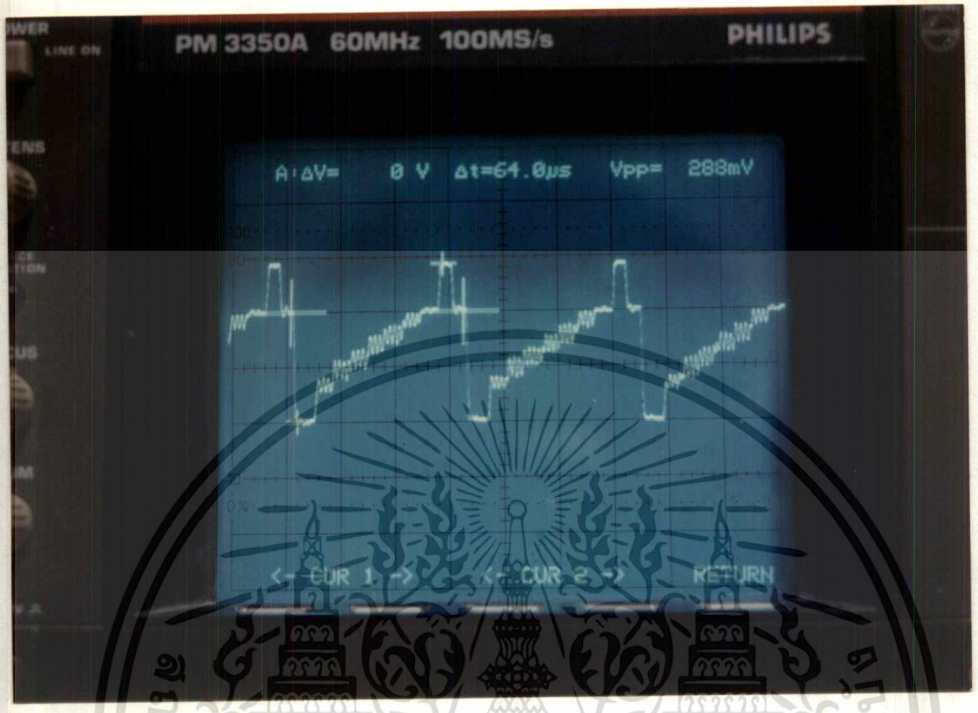
รูปที่ 4.1สัญญาณที่ขา 9 IC 1001

1.2 วัดสัญญาณที่ขา 2 และ ขา14 ของ IC จาก 1.1 จะได้สัญญาณดังรูปที่ 4.2 และรูปที่ 4.3



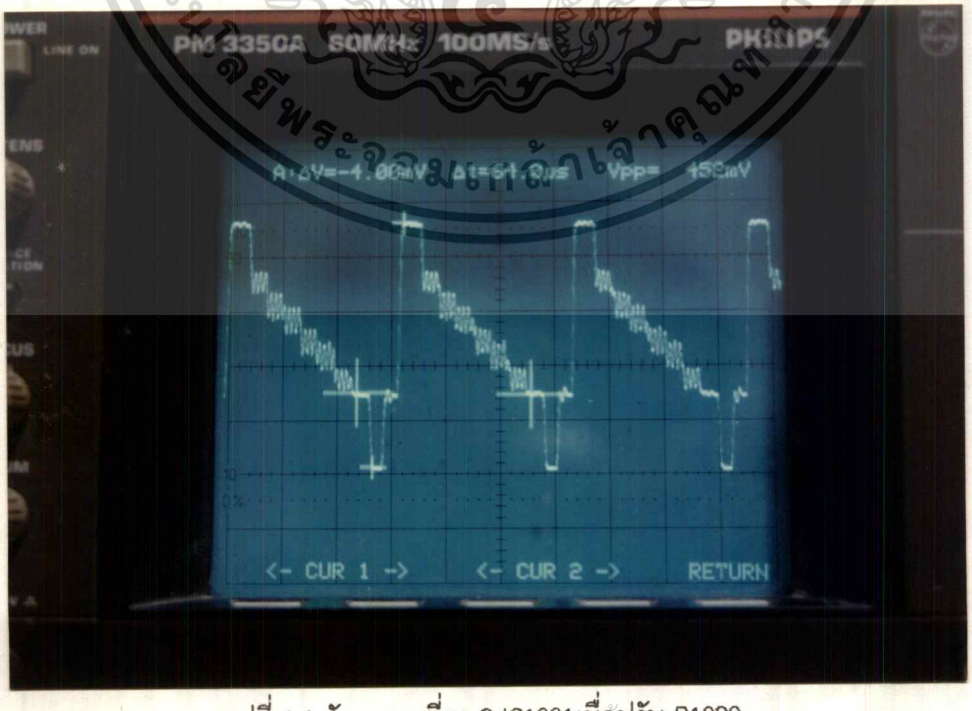
รูปที่ 4.2 สัญญาณที่ขา 2 IC1001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



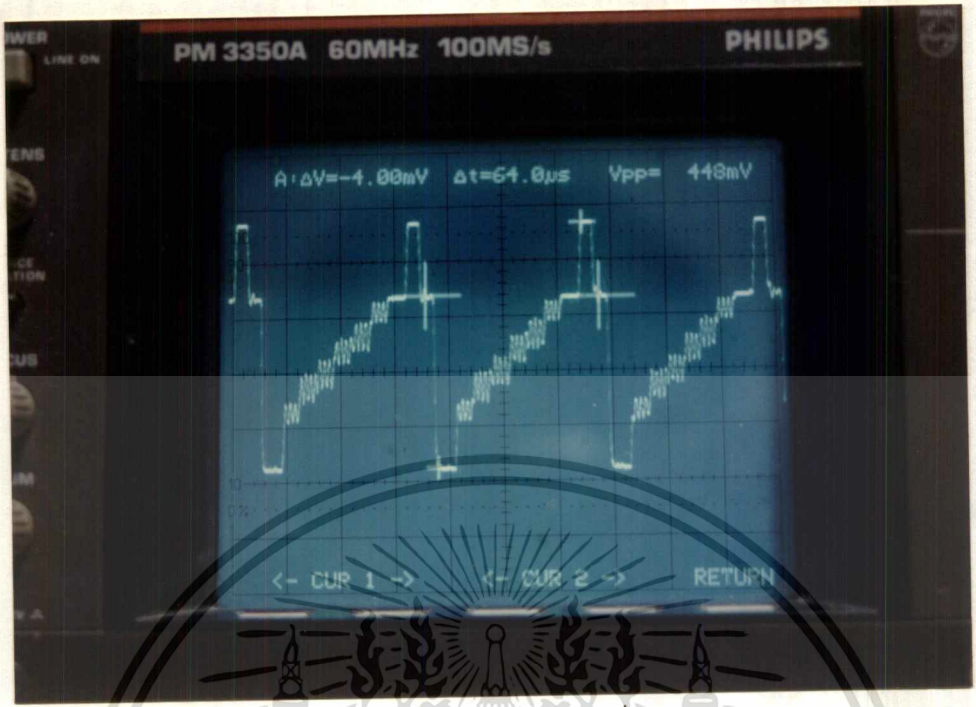
รูปที่ 4.3 สัญญาณที่ขา 14 IC 1001

1.3 ทดลองปรับความต้านทานปรับค่าได้ R 1036 วัดสัญญาณที่จุดเดิมจาก 1.2 จะได้รูปที่ 4.4 และรูปที่ 4.5



รูปที่ 4.4 สัญญาณที่ขา 2 IC1001เมื่อปรับ R1036

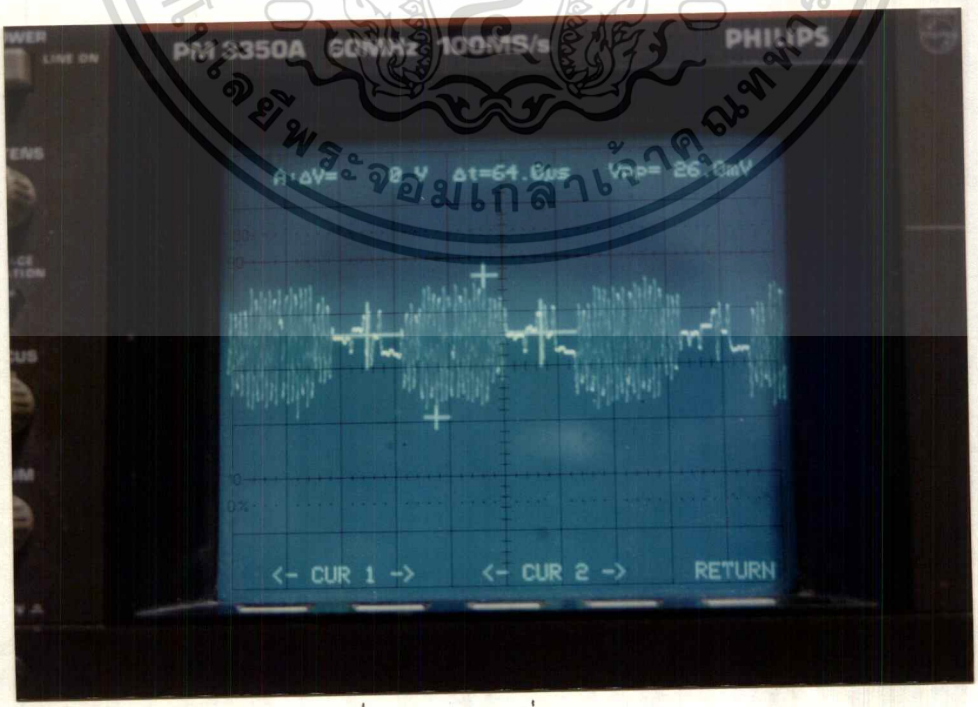
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณที่ขา 14 IC 1001 เมื่อปรับ R1036

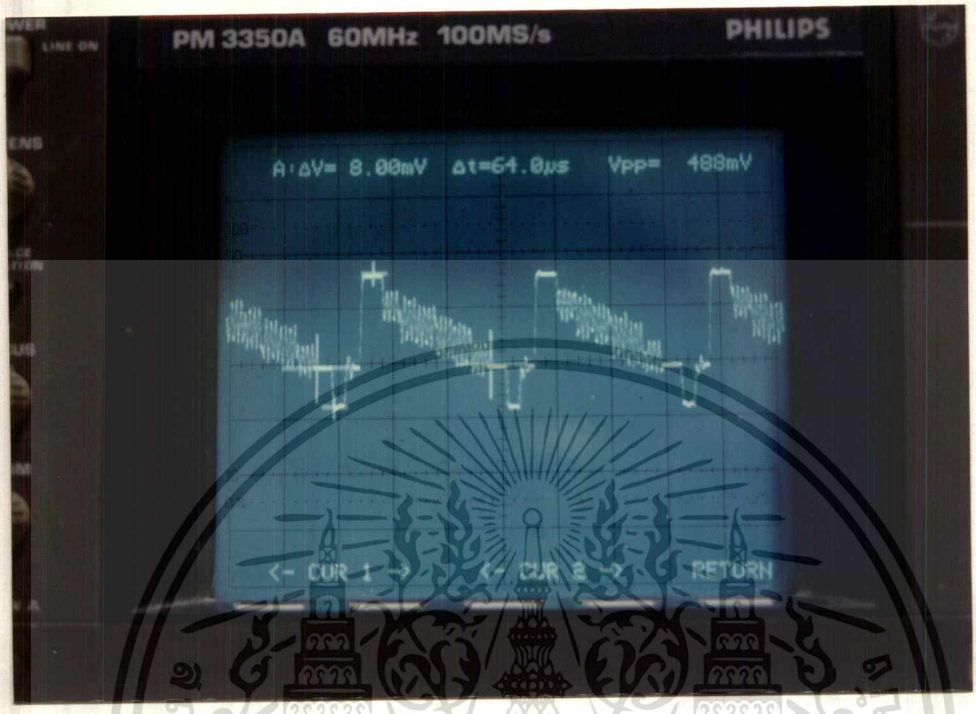
<u>การทดลองที่ 2</u> การควบคุมการขยายสัญญาณสี (Chroma Gain Control Amp)จากการทดลองที่ 1 เอาท์พุทที่จะได้จะแยกเป็นสองส่วนคือผ่านวงจรกรองความถี่ต่ำและ อีกส่วนผ่านวงจรDelay Line

2.1 ป้อนสัญญาณที่ผ่านวงจรกรองความถี่ต่ำเข้าที่ขา 12 ของ IC 1002 และสัญญาณที่ผ่านDelay Line เข้าที่ขา 9 ของ IC โดยที่ขา 4 เป็นระดับไฟกระแสตรงสัญญาณที่ขา 9 และขา12 เป็นดังรูปที่ 4.6 และรูปที่ 4.7



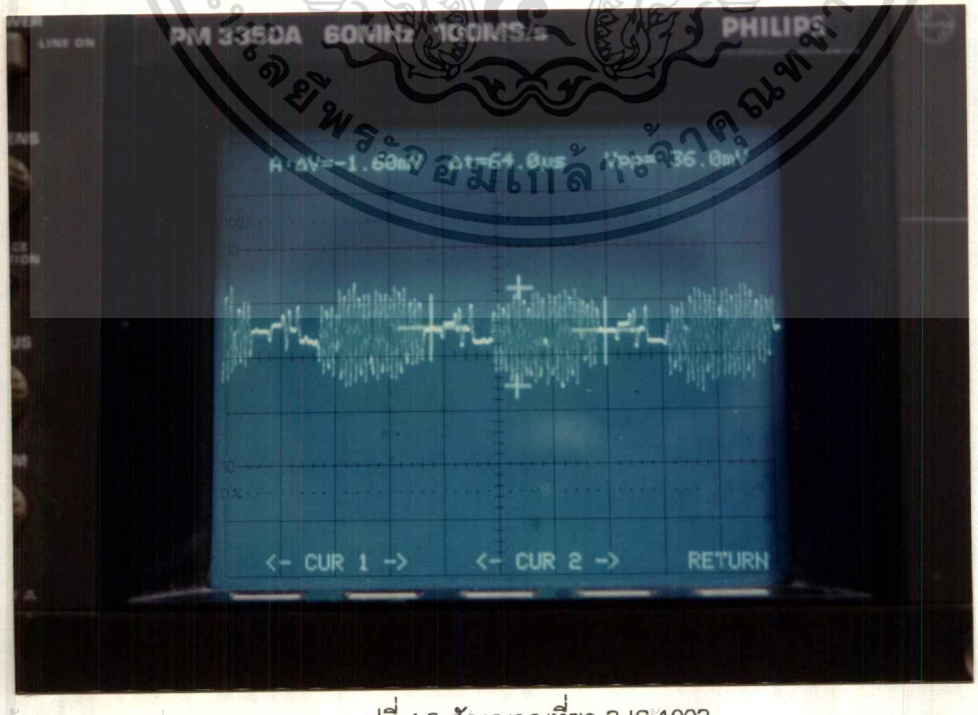
รูปที่ 4.6 สัญญาณที่ขา 9 IC 1002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



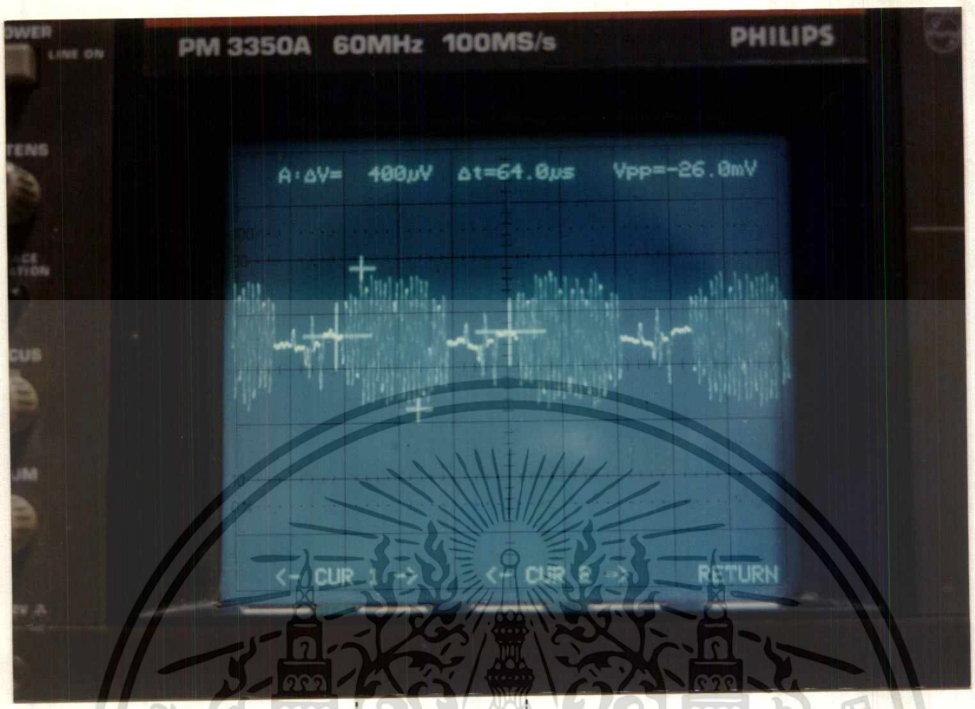
รูปที่ 4.7 สัญญาณที่ขา 12 IC 1002

2.2 วัดสัญญาณเอาท์พุท ที่ได้ที่ขา 2 และขา14 จะได้ดังรูปที่ 4.8 และรูปที่ 4.9



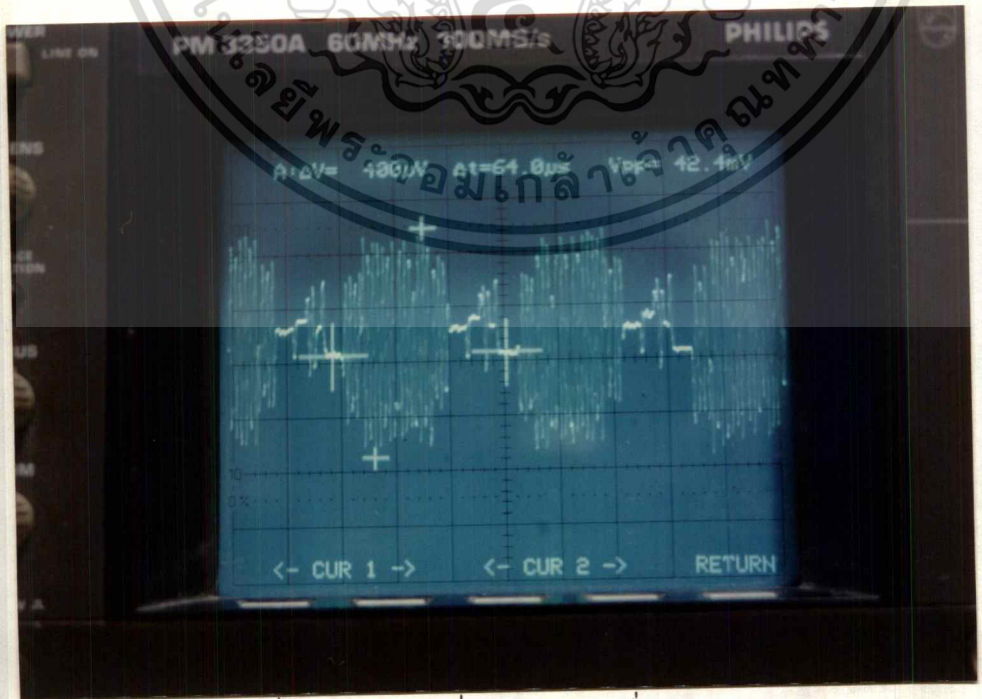
รูปที่ 4.8 สัญญาณที่ขา 2 IC 1002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



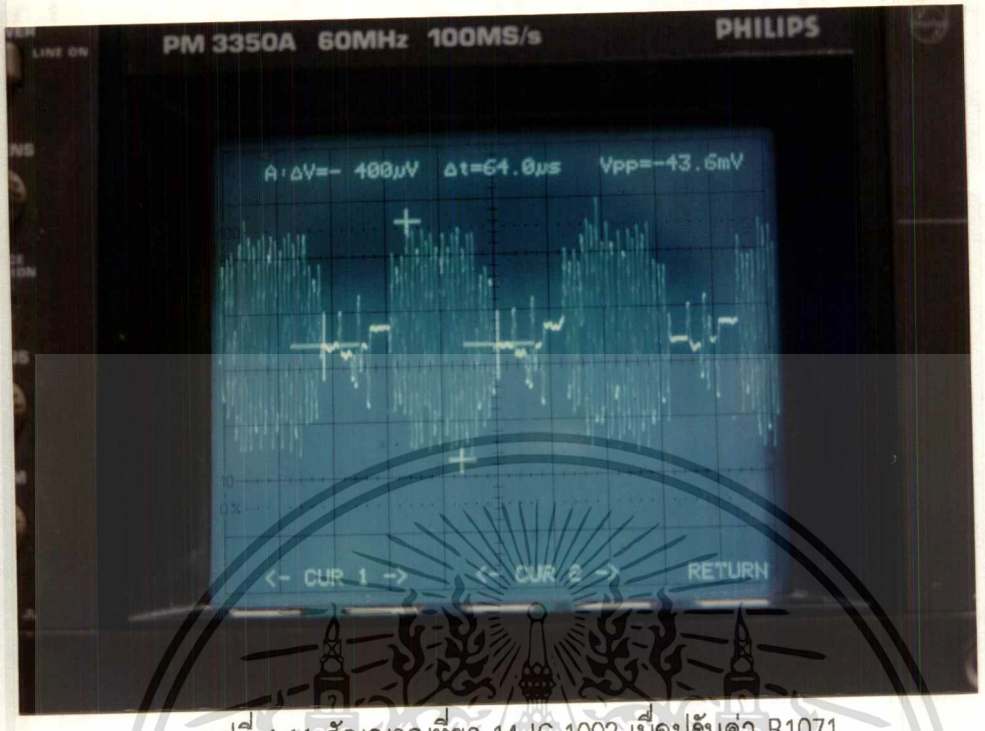
รูปที่ 4.9 สัญญาณที่ขา 14 IC 1002

2.3 ทดลองปรับความต้านทานปรับค่าได้ R 1071 วัดสัญญาณที่ขา 2 และ 14 ได้ดังรูป 4.10และ 4.11



รูปที่ 4.10 สัญญาณที่ขา 2 IC 1002 เมื่อปรับค่า R1071

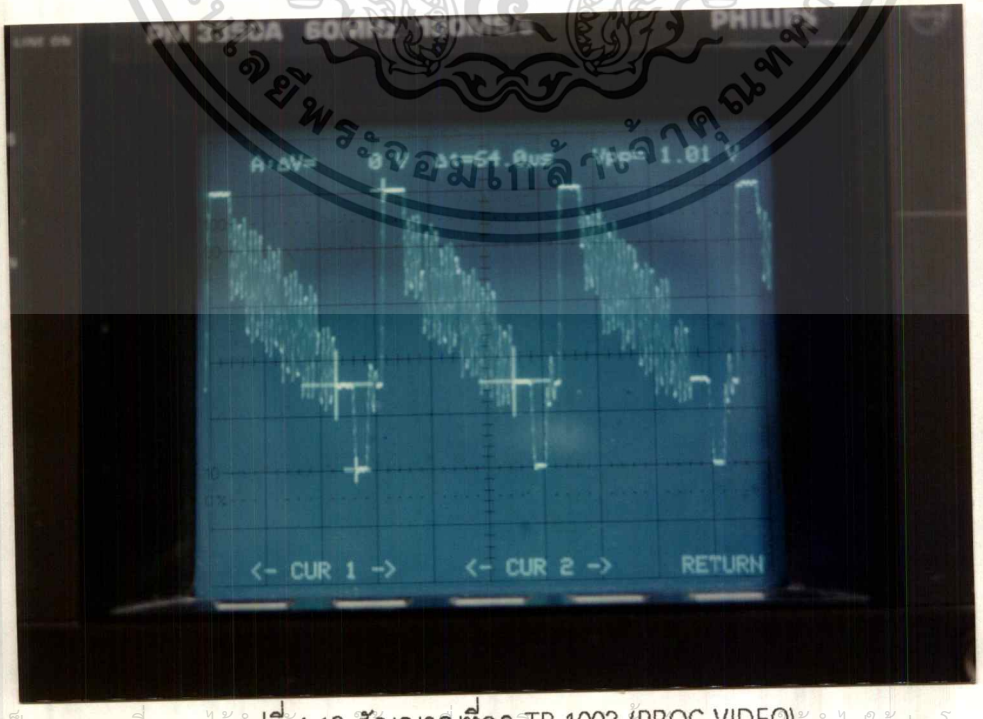
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 สัญญาณที่ขา 14 IC 1002 เมื่อปรับค่า R1071

<u>การทดลองที่ 3</u> กระบวนการสัญญาณภาพ (Process Video)

3.1 นำสัญญาณสี (Chroma) และสัญญาณขาวดำป้อนเข้าภาค Combiner เอาท์พุทที่ได้จะได้ดังรูปที่ 4.12



รูปที่ 4.12 สัญญาณที่จุด TP 1003 (PROC VIDEO)

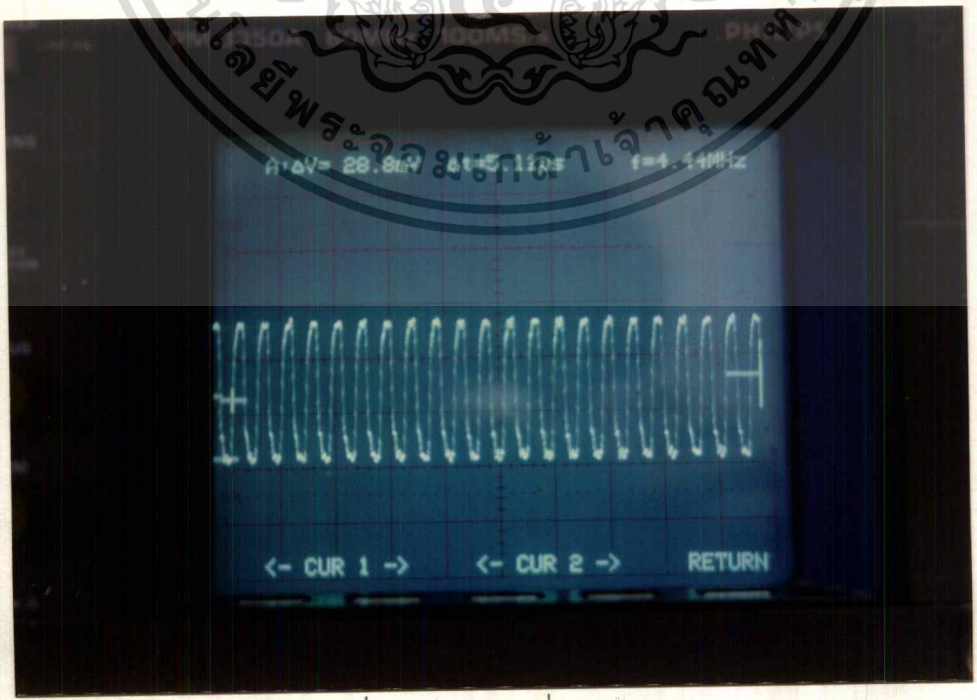
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 วงจรผลิตความถี่สัญญาณ Subcarrier 4.43 MHz

4.1 ทำการวัดสัญญาณความถี่ 17.7 MHz โดยวัดจากวงจรผลิตความถี่ในภาค Genlock Board ที่ขา 6 ของ IC 309 จะได้สัญญาณดังรูปที่ 4.13

รูปที่ 4.13 สัญญาณที่ขา 6 IC 309

4.2 ทำการวัดสัญญาณซับแคร์เรียที่ขา 4 ของIC 310 ดังรูปที่ 4.14

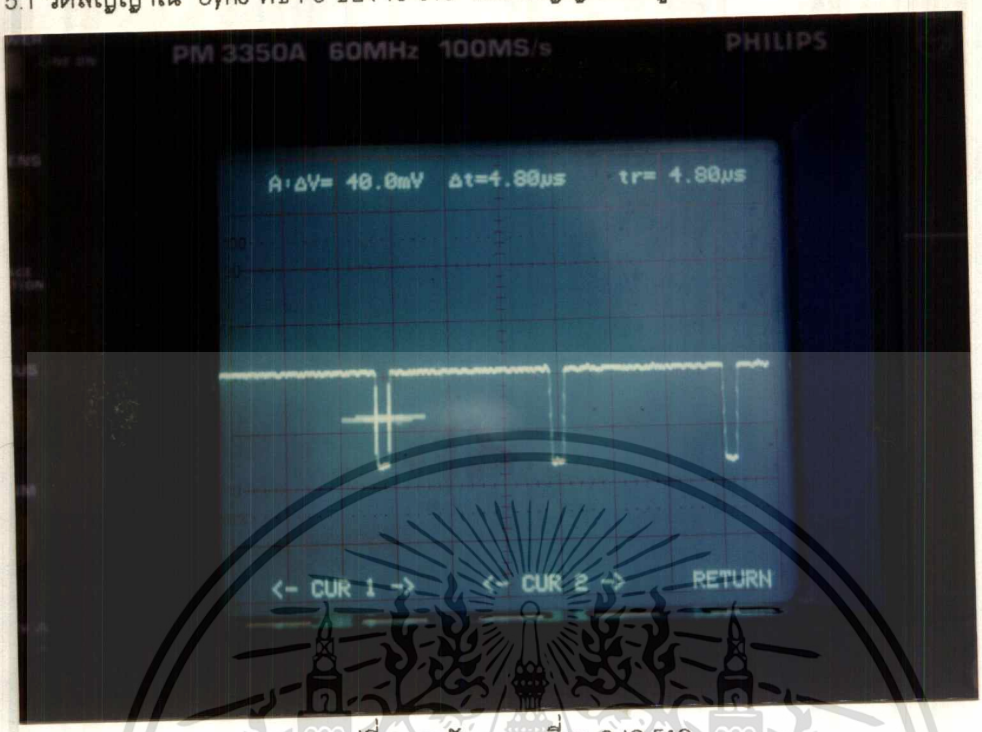


รูปที่ 4.14 สัญญาณที่ขา 4 IC310

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

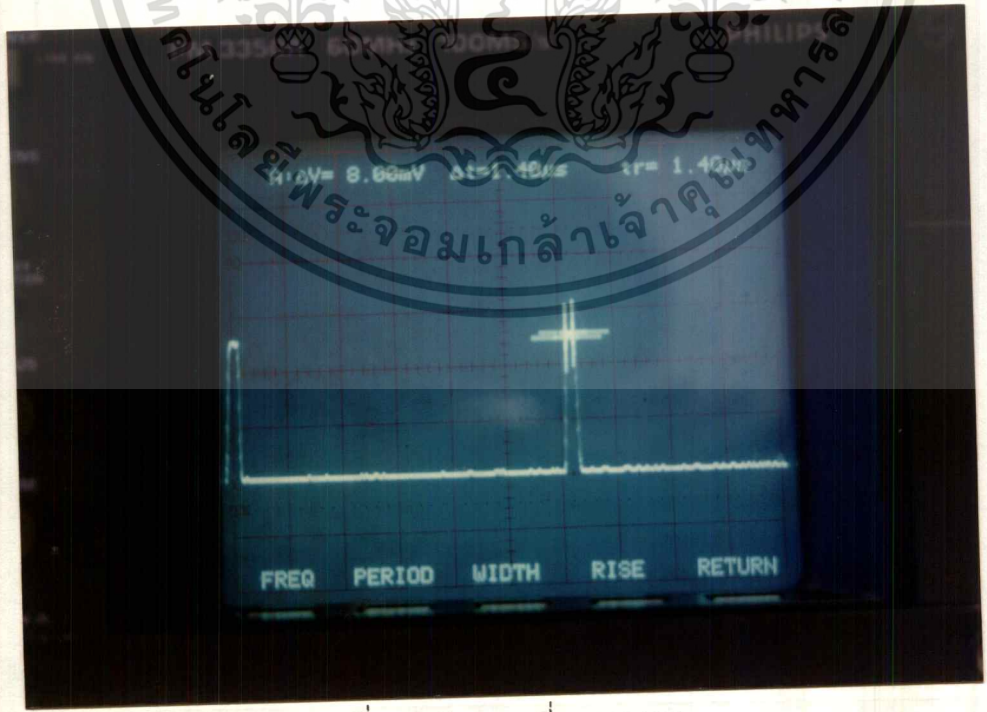
การทดลองที่ 5 วงจรผลิตสัญญาณ Syncทำการวัดสัญญาณในภาค Sync Generator Board

5.1 วัดสัญญาณ Sync ที่ขา 6 ของ IC 518 จะได้สัญญาณดังรูปที่ 4.15



รูปที่ 4.15 สัญญาณที่ขา 6 IC 518

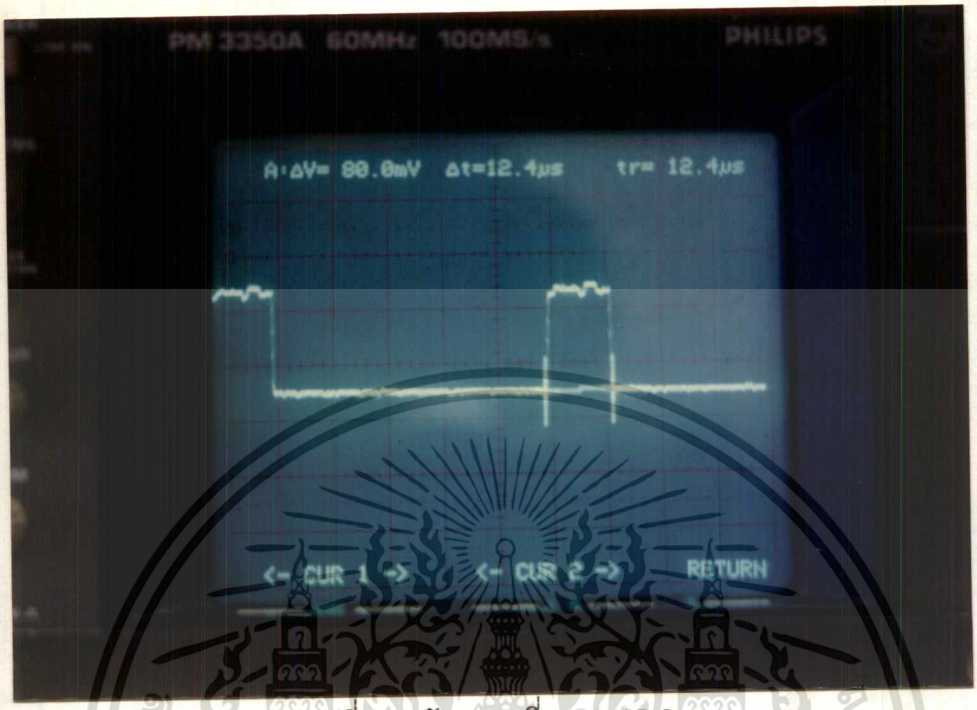
5.2 วัดสัญญาณ Burst Flag ที่ขา 6 ของ IC 513 จะได้สัญญาณดังรูปที่ 4.16



รูปที่ 4.16 สัญญาณที่ขา 6 IC 513

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

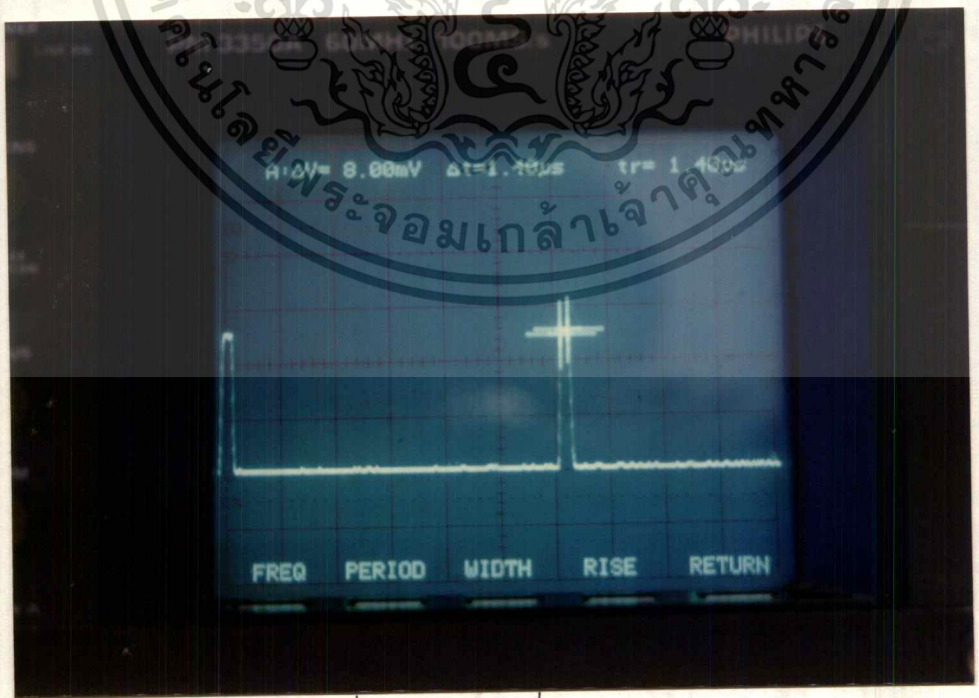
5.3 วัดสัญญาณ Blanking ที่ขา 10 ของ IC 513 จะได้สัญญาณดังรูปที่ 4.17



รูปที่ 4.17 สัญญาณที่ขา 10 IC513

การทดลองที่ 6 วงจร Sync Adder

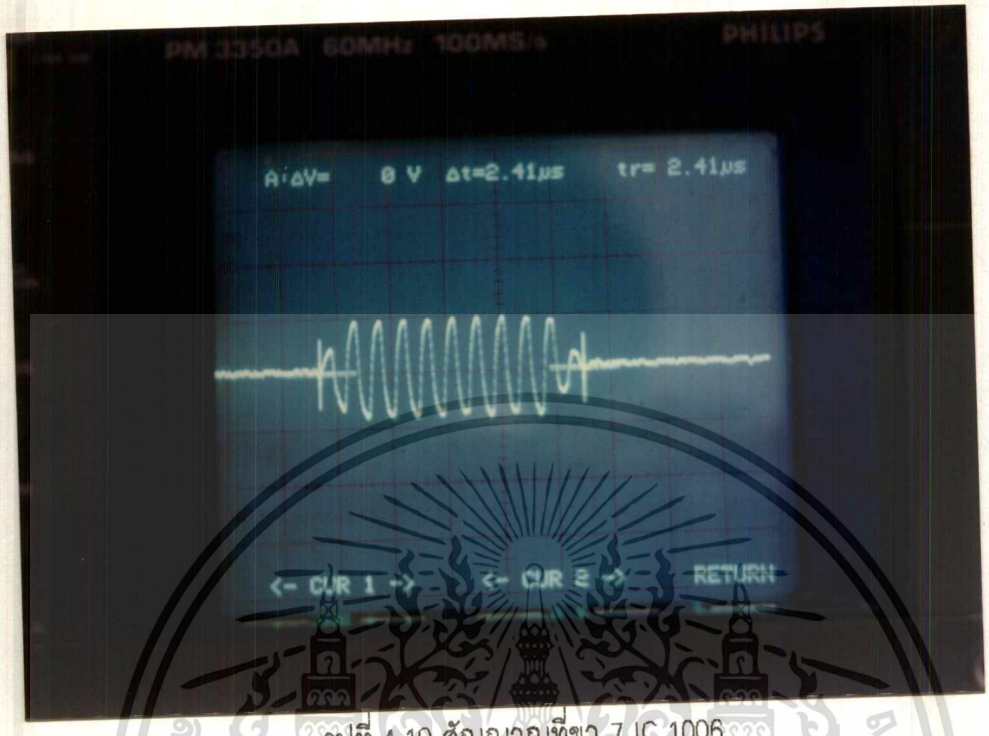
6.1 ป้อนสัญญาณ Burst Flag จากวงจรผลิตสัญญาณ Sync มายังวงจร Burst Processor สัญญาณที่ได้ดังรูปที่4.18 ซึ่งเป็นสัญญาณอินพุทให้กับ IC 1006 ขาที่ 3



รูปที่ 4.18 สัญญาณที่ขา 3 IC 1006

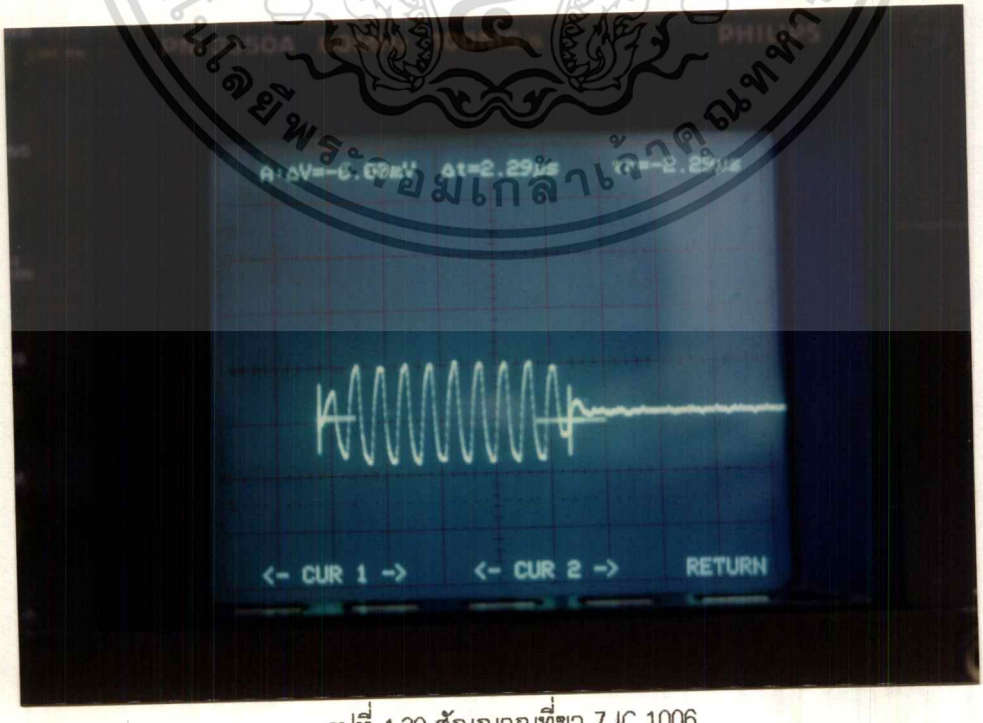
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 สัญญาณที่ได้จาก 6.1 ที่ขา 3 และป้อนสัญญาณ Subcarrier มาที่ขา 2 ของ IC 1006 ทำการวัดสัญญาณเอาท์พุทที่ขา 7 จะได้สัญญาณดังรูปที่ 4.19



รูปที่ 4.19 สัญญาณที่ขา 7 IC 1006

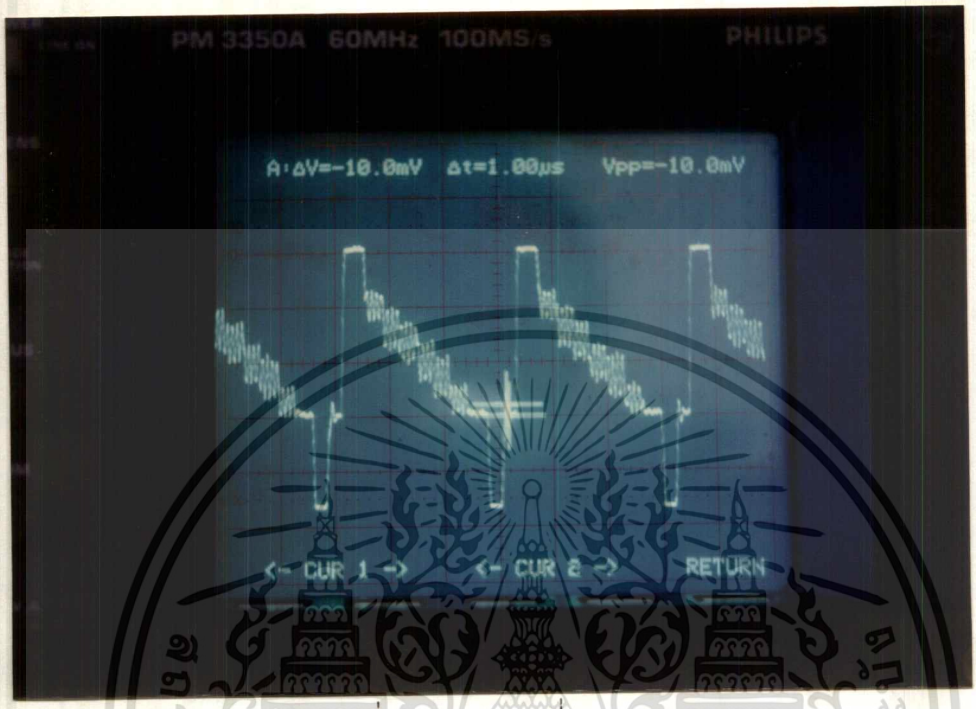
6.3 ได้ผลของการตัดสัญญาณเอาสัญญาณเบิสต์มาระหว่างสัญญาณซับแคร์เรียกับสัญญาณเบิสต์แฟลกซ์ได้ผลดังรูปที่ 4.20 ที่ขา 7 IC 1006



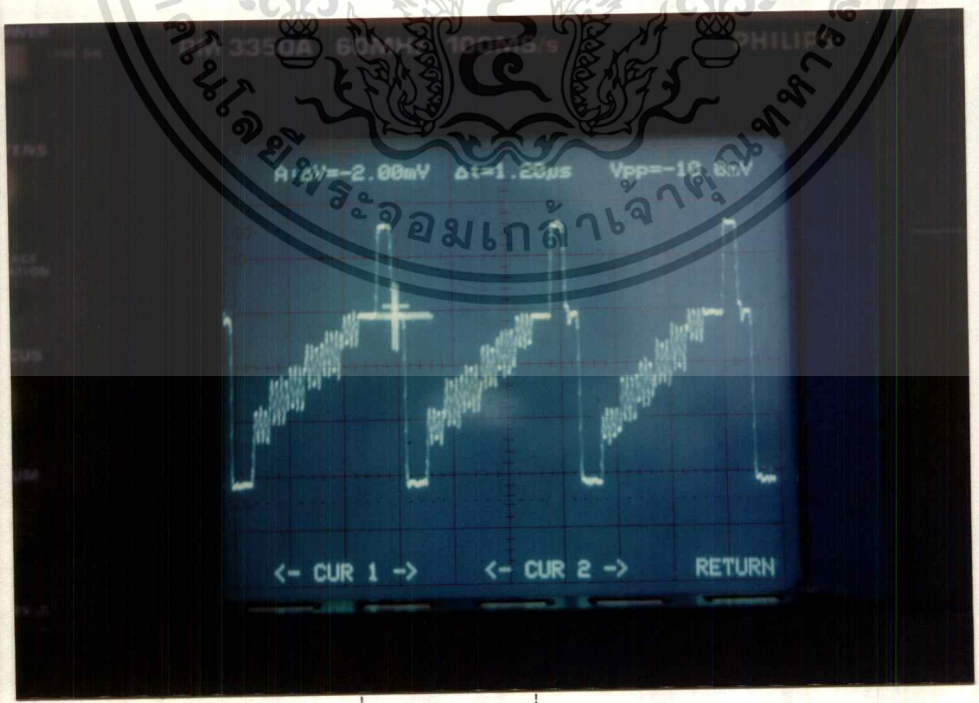
รูปที่ 4.20 สัญญาณที่ขา 7 IC 1006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4จาก 6.2 สัญญาณที่ได้มาเข้า IC 1005 ขา 9 และที่ขา 4 ซึ่งเป็นอินพุทไฟกระแสตรง วัดสัญญาณเอาท์พุทที่ขา 2 และ 14จะได้ดังรูปที่ 4.21และ รูปที่ 4.22



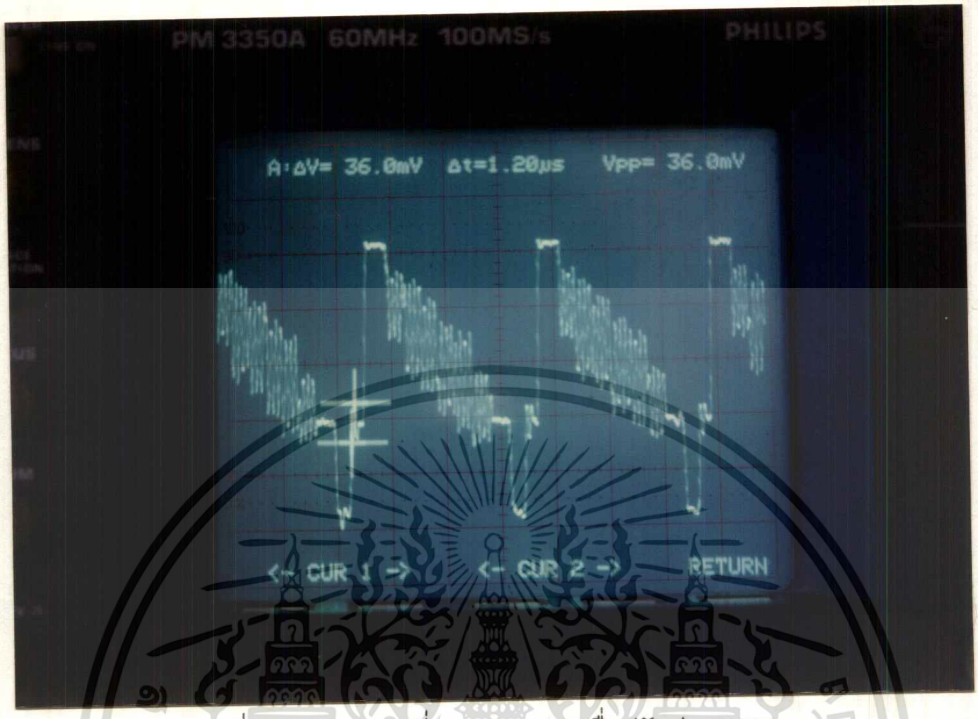
รูปที่ 4.21 สัญญาณที่ขา 2 IC1005



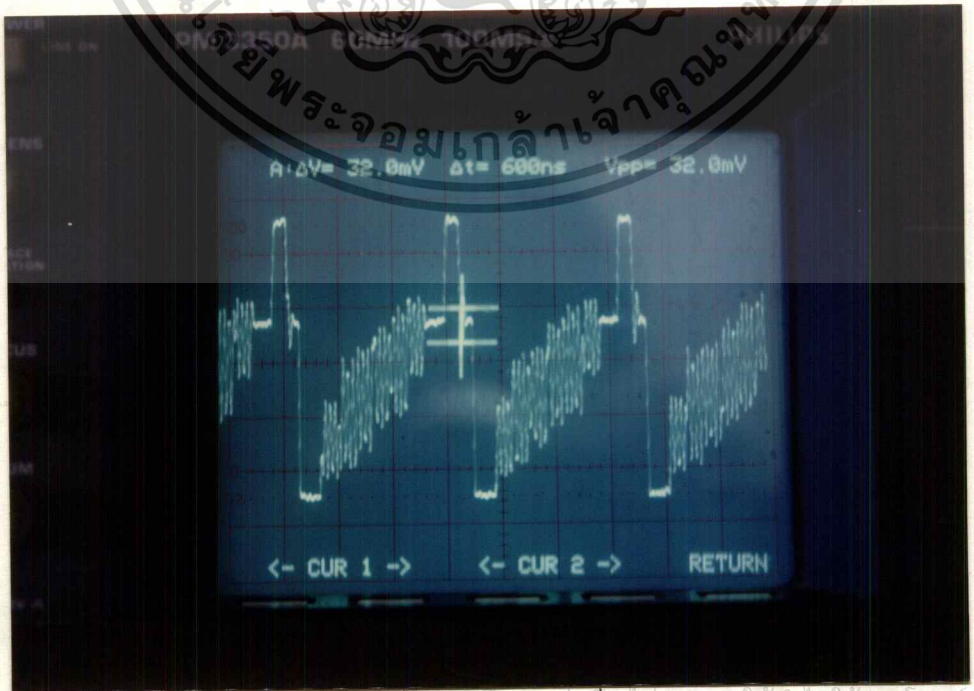
รูปที่4.22 สัญญาณที่ขา 14 IC 1005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 ทดลองปรับความต้านทาน R 1232 วัดสัญญาณเอาท์พุทเหมือน 6.3 จะได้ดังรูปที่ 4.23 และรูปที่ 4.24



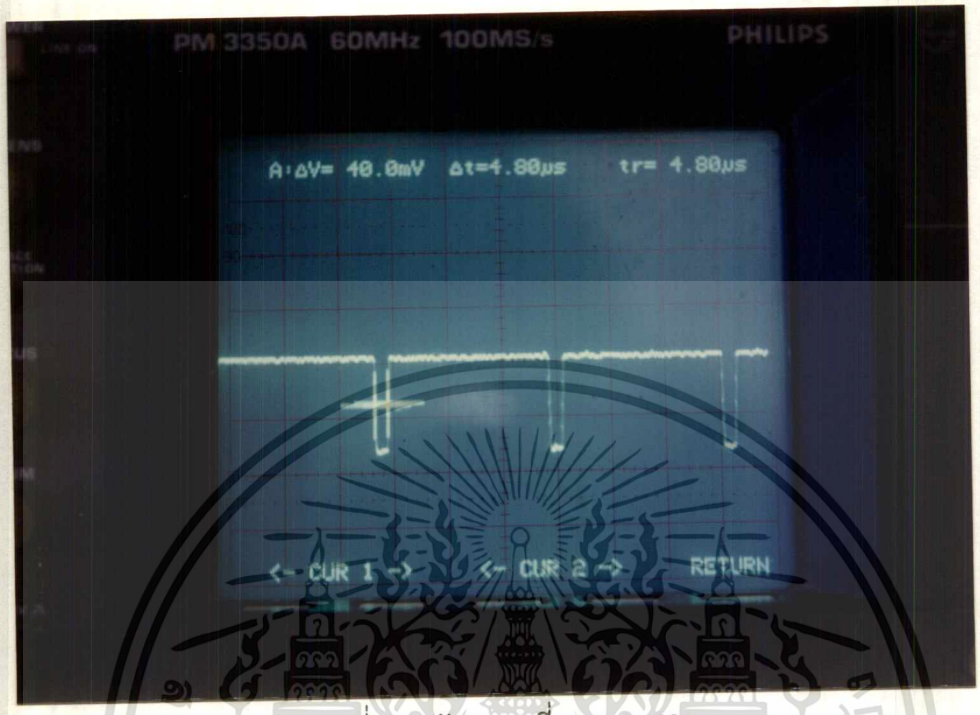
รูปที่ 4.23 สัญญาณที่ขา 2 IC 1005 เมื่อปรับค่า R1232



รูปที่ 4.24 สัญญาณที่ขา 14 IC 1005 เมื่อปรับค่า R1232

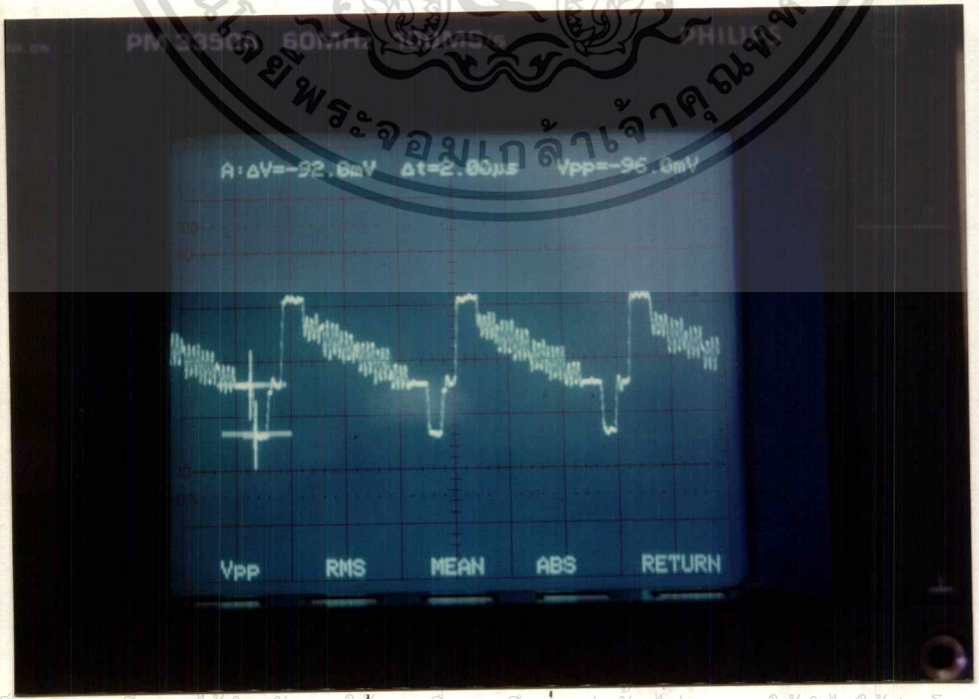
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 ป้อนสัญญาณ Sync มาเข้าที่วงจร Sync Processor นำเอาท์พุทที่ได้มาเข้าขา 9 ของ IC 1004 วัดสัญญาณที่ขา 9 จะได้ดังรูป 4.25



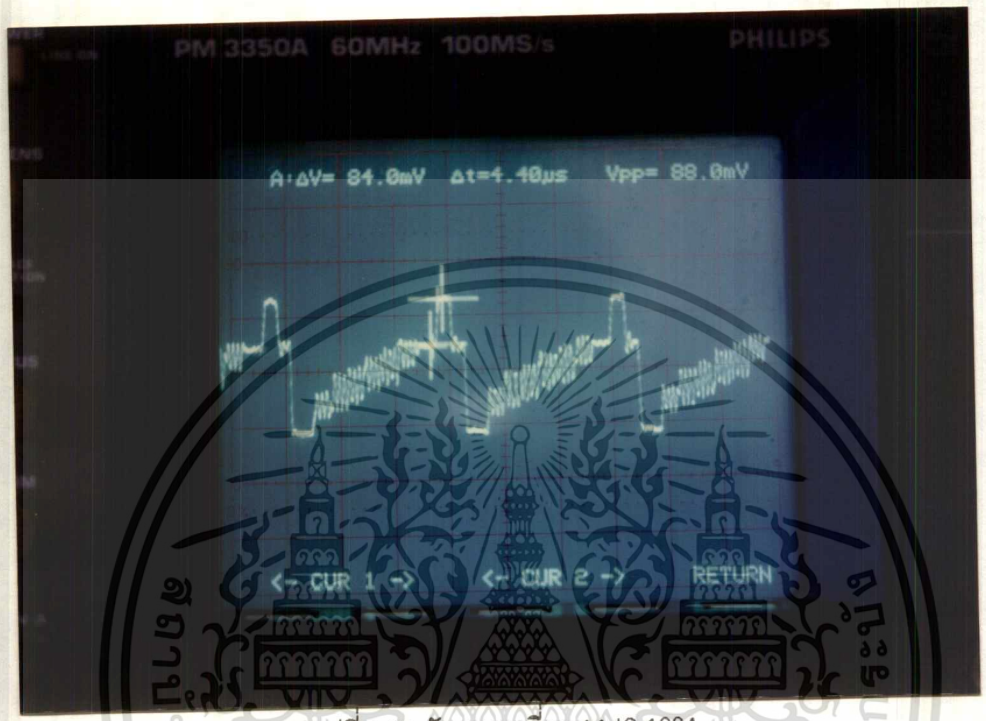
รูปที่ 4.25 สัญญาณที่ขา 9 IC 1004

6.7 จาก 6.6 ซึ่งจะเป็นสัญญาณอินพุทของ IC 1004 และที่ขา 4 ซึ่งเป็นอินพุทไฟกระแสตรง ทำการวัดสัญญาณที่ขา 2 และ 14 จะได้สัญญาณดังรูปที่ 4.26 และรูปที่ 4.27



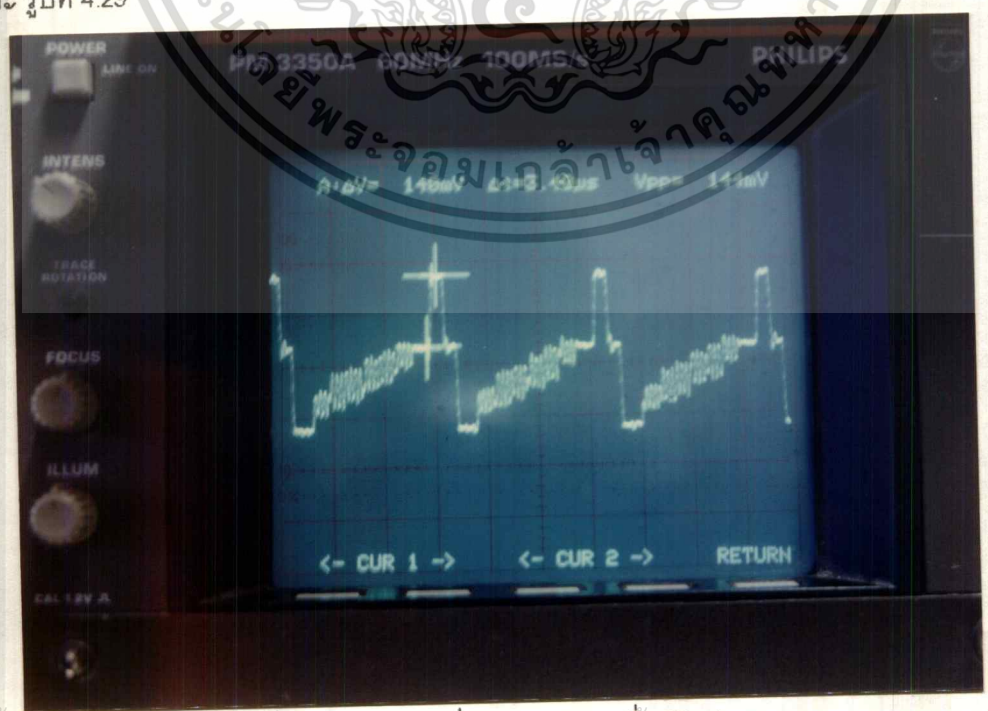
รูปที่ 4.26 สัญญาณที่ขา 2 IC 1004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



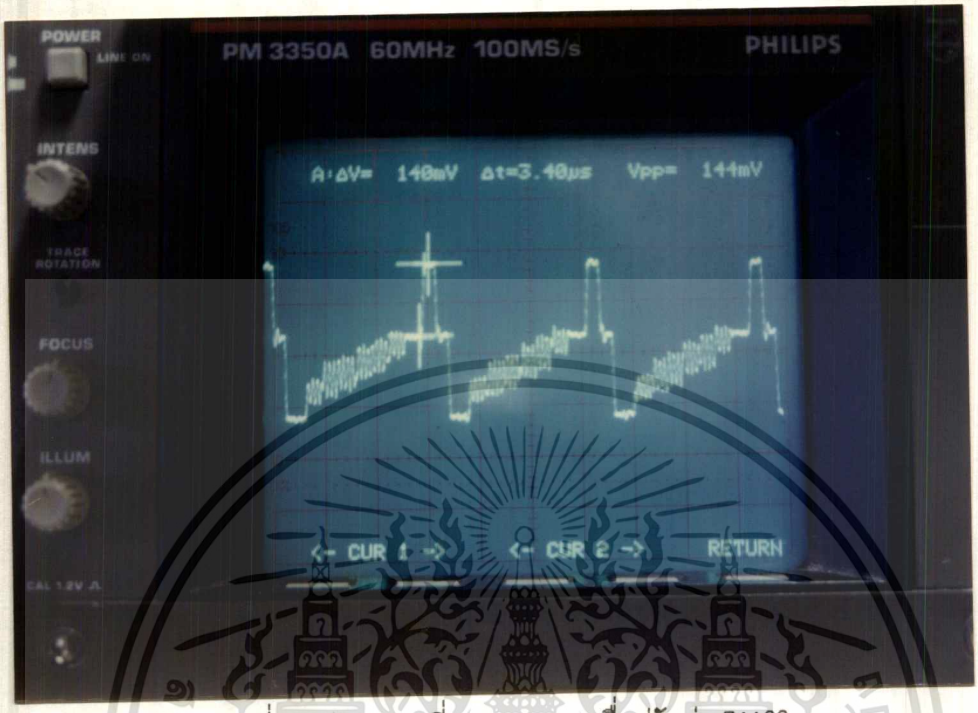
รูปที่ 4.27 สัญญาณที่ขา 14 IC 1004

6.8 ทดลองปรับความต้านทาน R 1166 วัดสัญญาณเอาท์พุทของ IC ดังกล่าวจะได้สัญญาณดังรูปที่ 4.28 และ รูปที่ 4.29



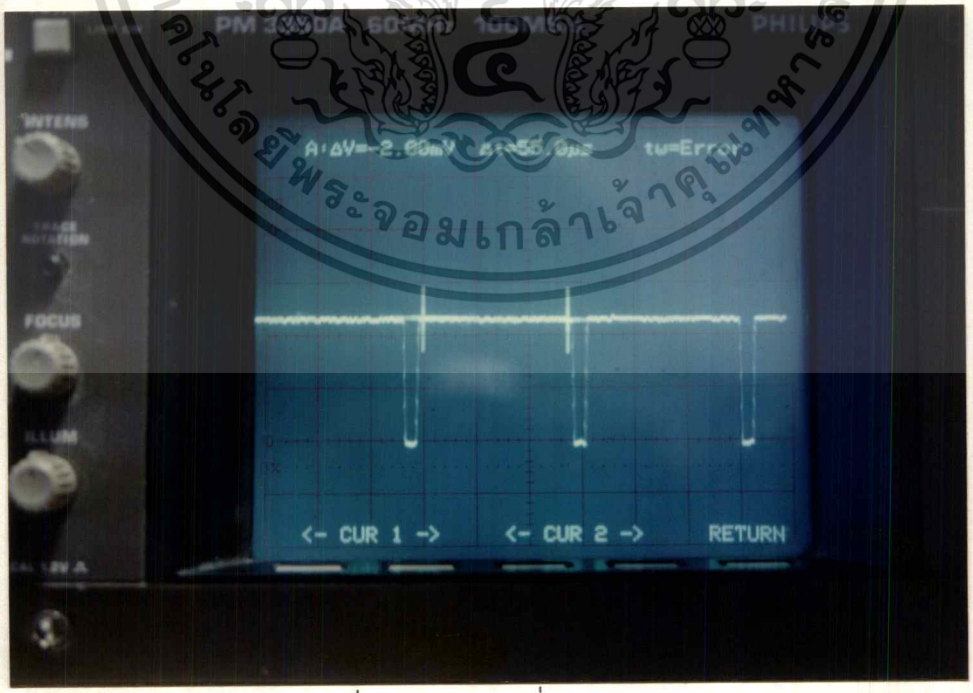
รูปที่ 4.28 สัญญาณที่ขา 2 IC 1004 เมื่อปรับค่า R1166

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.29 สัญญาณที่ขา14 IC1004 เมื่อปรับค่า R1166

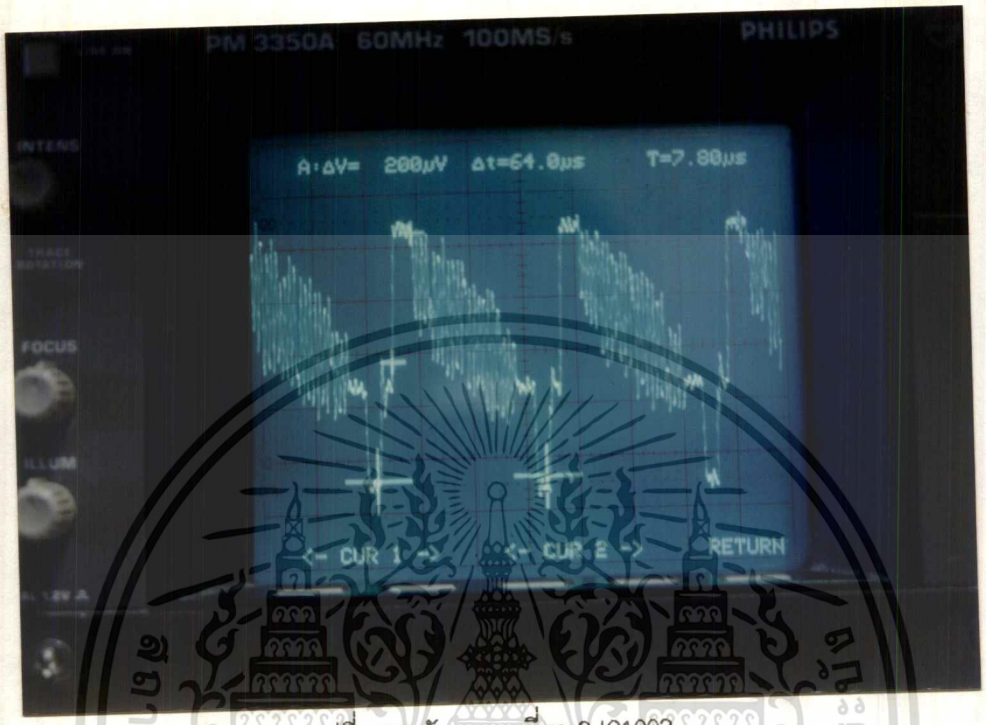
6.9 ป้อนสัญญาณ Blanking มาที่วงจร Blanking Processor นำสัญญาณเอาท์พุทได้มาเข้าขา 9 ของ IC 1003 วัดสัญญาณที่ขา 9 จะได้ดังรูปที่ 4.30



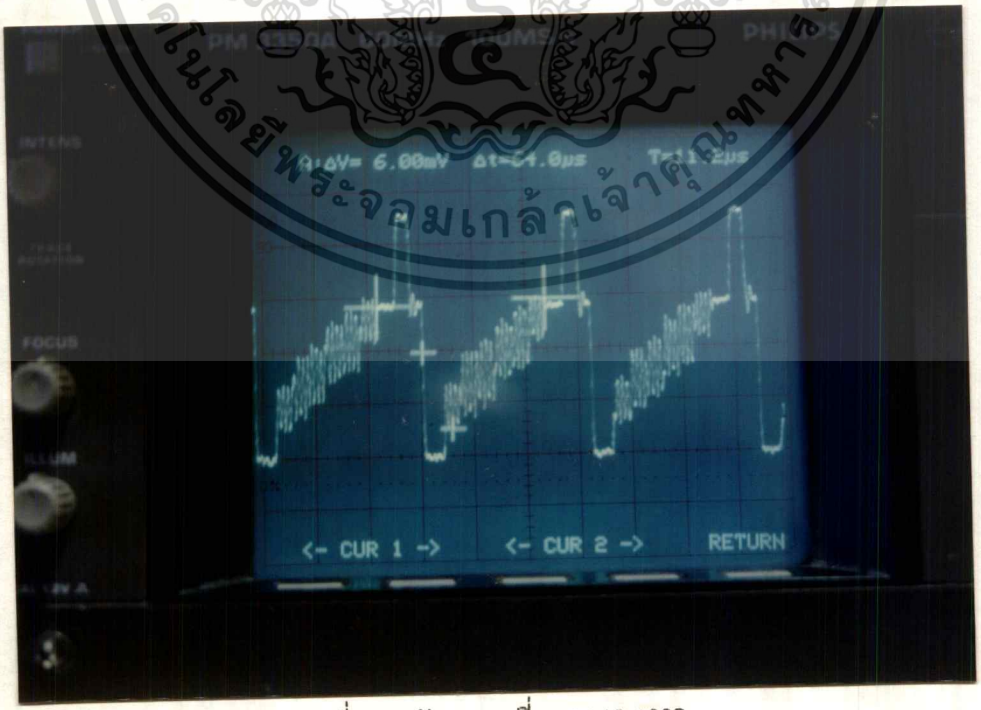
รูปที่ 4.30 สัญญาณที่ขา 9 IC1003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.10 จาก 6.9 ซึ่งเป็นสัญญาณอินพุทของ IC 1003 ป้อนเข้าขา 4 และที่ขา 9 ซึ่งเป็นสัญญาณภาพสีที่ผ่านกระบวนการมาแล้ว วัดสัญญาณที่ขา 2 และ 14 จะได้ดังรูปที่ 4.31 และรูปที่ 4.32



รูปที่ 4.31 สัญญาณที่ขา 2 IC1003



รูปที่ 4.32 สัญญาณที่ขา 14 IC 1003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.11 สัญญาณเอาท์พุทของ IC 1003 และ IC 1004 และ IC 1005 นำมารวมกันเข้าวงจร Sync Adder จัดสัญญาณที่ขาอีมิเตอร์ของทรานซิสเตอร์ Q 1062 จะได้สัญญาณเอาท์พุท จะได้ดังรูปที่ 4.33

รูปที่ 4.33 สัญญาณที่ขา อีมิตเตอร์ของ Q1062

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

จากการที่ได้เสนอโครงงานเครื่องกระบวนการการขยายสัญญาณภาพเพื่อที่จะปรับปรุงคุณภาพของสัญญาณภาพให้ดีขึ้น โดยประกอบด้วยสัญญาณ สี,ขาวดำ,เบิสต์,สัญญาณซิงค์ สัญญาณดังกล่าวเมื่อผ่านกระบวนการรับ-ส่งแล้วจะทำให้ระดับของสัญญาณเหล่านั้นต่ำลง ซึ่งมีผลต่อคุณภาพของสัญญาณโดยระดับสัญญาณแต่ละสัญญาณนั้นสามารถที่ปรับระดับให้สูงขึ้น โดยผ่านเครื่องกระบวนการขยายสัญญาณภาพ

หลักการทำงานของเครื่องกระบวนการขยายสัญญาณภาพซึ่งประกอบด้วย 3 ภาคใหญ่ๆ คือ SYNC GENERATOR , GENLOCK และ VIDEO PROCESS

- SYNC GENERATOR จะทำหน้าที่ผลิตสัญญาณซิงค์, แบลงกิ้ง และเบิสต์
- GENLOCK ทำหน้าที่ผลิตสัญญาณเพื่อที่จะให้คาบเวลาของสัญญาณต่างๆ ตรงตามที่กำหนด
- VIDEO PROCESS ทำหน้าที่รวมสัญญาณภาพสี,ขาวดำ , ซิงค์ และ เบิสต์ ที่ผ่านกระบวนการมาแล้วมารวมกันกับสัญญาณภาพเก่าจึงทำให้ได้สัญญาณภาพที่สามารถปรับเกณฑ์

จากการทำการทดลองทำเครื่องกระบวนการขยายสัญญาณภาพจำเป็นอย่างยิ่งที่ต้องอาศัยหลักการและทฤษฎีเข้ามาเป็นตัวเปรียบเทียบในเรื่องของฐานเวลาซึ่งในการทำการปรับปรุงสัญญาณภาพนั้นจะเห็นได้ว่าสัญญาณภาพที่เกิดขึ้นนั้นจะพิจารณาเกี่ยวกับการสแกนทางแนวนอนและการสแกนทางแนวตั้งซึ่งจากการทำจะเน้นมาทางการปรับปรุงเส้นสแกนทางแนวนอนซึ่งในเส้นสแกนทางแนวนอนนั้นจะมีส่วนของข้อมูลภาพ, เบิสต์ , ซิงค์ , แบลงกิ้ง โดยส่วนของข้อมูลภาพจะมีส่วนประกอบของสัญญาณภาพขาวดำและสัญญาณภาพสีเป็นองค์ประกอบอยู่โดยการทำต้องทำฐานเวลาของสัญญาณที่สร้างใหม่ให้ตรงกับฐานเวลาเดิมจึงจะสามารถรวมสัญญาณที่สร้างใหม่เข้าไปในสัญญาณเก่าได้ โดยส่วนสัญญาณเบิสต์ที่สร้างมาอยู่ในช่วง 10 Cycle ส่วนสัญญาณซิงค์จะอยู่ในช่วงเวลาประมาณ 4.7μs ใน1เส้นสแกน(64 μs) และส่วนสัญญาณแบลงกิ้งจะอยู่ในช่วง ประมาณ 12μs ซึ่งจะเห็นได้ว่าฐานเวลาจะตรงตามทฤษฎี

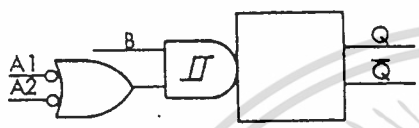
จากการทดลองจะเจอปัญหามากในเรื่องของอุปกรณ์ไม่ได้มาตราฐานทำให้เสียเวลาในการทำโครงงานนี้เพราะเมื่อทำการทดลองเมื่อวัดสัญญาณและเอาเอาท์พุทมาดูจะเกิดอาการกวนทำให้ภาพที่ได้ออกมาล้มสัญญาณไม่ล็อคอันเนื่องมาจากอุปกรณ์ ตัวเก็บประจุ ค่าของขดลวด และทรานซิสเตอร์เกณฑ์การทำงานไม่ได้มาตราฐานจึงทำให้การทดลองล่าช้าและต้องทำการหาสาเหตุที่เกิดขึ้น

จากการทำโครงงานนี้ยังไม่สามารถทำให้สัญญาณมีความละเอียดที่ดีได้ อันเป็นผลมาจากทางด้านอุปกรณ์ดังที่กล่าวมาแล้วข้นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก เอกสารอ้างอิง

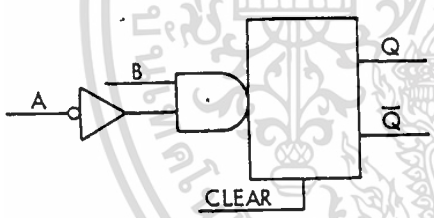
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$T = C \cdot R \cdot \text{Ln } 2 \approx 0.7 \cdot C \cdot R$$

INPUTS			OUTPUTS	
A1	A2	B	Q	$\overline{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⌐	⌐
↓	H	H	⌐	⌐
↓	↓	H	⌐	⌐
L	X	↑	⌐	⌐
X	L	↑	⌐	⌐

74121 MULTIVIBRATOR TIMER



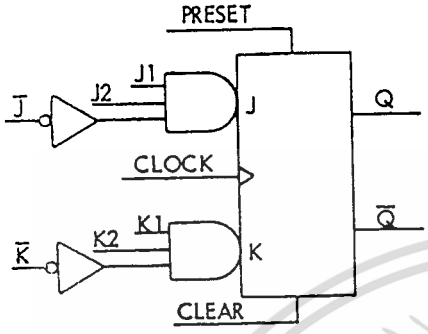
$$T = 0.28 \cdot R \cdot C \left(1 + \frac{0.7}{R}\right)$$

T is in nsec, when R is in kΩ and C is in pF.

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⌐	⌐
H	↓	H	⌐	⌐
↑	L	H	⌐	⌐

74123 MULTIVIBRATOR TIMER

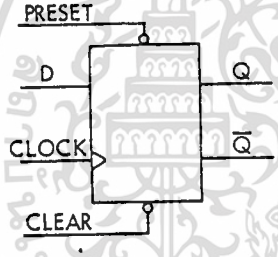
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT					OUTPUT	
PRESET	CLEAR	CLOCK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↑	L	L	Qo	$\overline{Q}$o
H	H	↑	H	L	H	L
H	H	↑	L	H	L	H
H	H	↑	H	H	TOGGLE	
H	H	L	X	X	Qo	$\overline{Q}$o

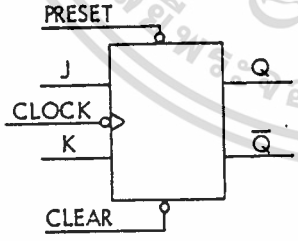
$J = J1 \cdot J2 \cdot \overline{J}$
$K = K1 \cdot K2 \cdot \overline{K}$

7470 AND GATED J-K POS EDGE TRIGGERED F-F.



INPUT				OUTPUT	
PRESET	CLEAR	CLOCK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Qo	$\overline{Q}$o

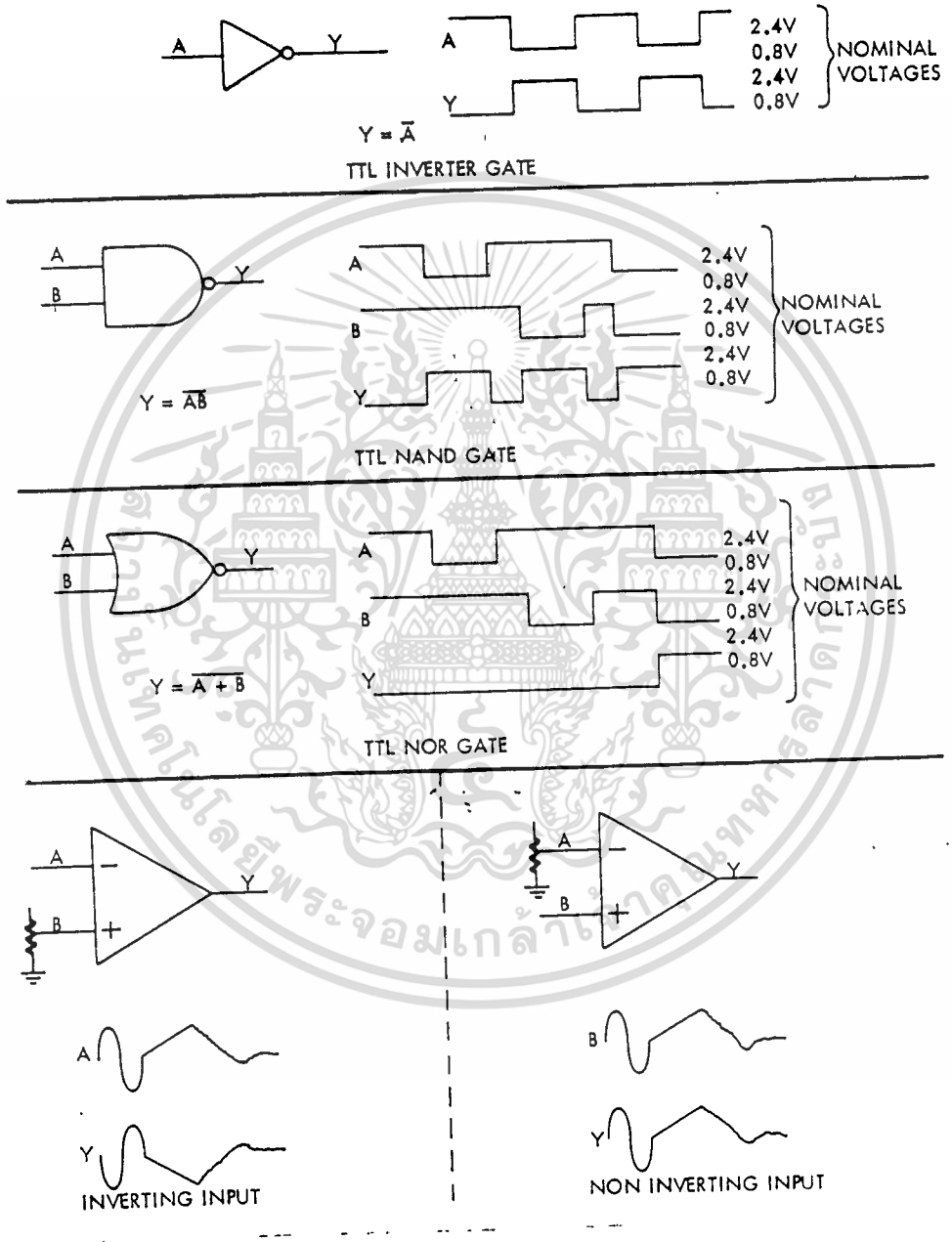
7474 D TYPE POS EDGE TRIGGERED F-F.



INPUT					OUTPUT	
PRESET	CLEAR	CLOCK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Qo	$\overline{Q}$o
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	

7476 J-K FLIP-FLOP (74106 is similar)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS123	J①			W①	SN54123	J①			W①	SN54L123 ..	J①			
											SN74LS123	J①	N①			SN74123	J①	N①			SN74L123	J①	N①		
FAIRCHILD																FN54123/FPW123	⑩								
																FC74123/FCW123	⑩	P①							
MOTOROLA																					DM54L123A		①		
																MC74123		P①			DM74L123A		①		
N.S.C.											DM54LS123		①												
											DM74LS123		①			DM74123		N①							
PHILIPS																									
											N74LS123		①			N74123		①							
SIGNETICS																S54123	F①	B①		W①					
																N74123	F①	B①							
SIEMENS																									
																FLK121		①							
FUJITSU											74LS123		M①			MB449	①	M①							
HITACHI											HD74LS123		P①			HD74123/HD2516	①	P①							
MITSUBISHI											M74LS123		P①			M53323		P①							
NEC																μPB2123	①								
TOSHIBA																									

Electrical Characteristics SN54LS123/SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

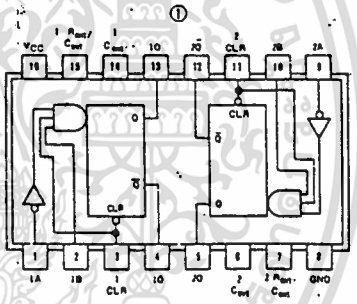
recommended operating conditions

	SN54LS123 MIN	NOM	MAX	SN74LS123 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		100	5		260	kΩ
External timing capacitance, C_{ext}	No restriction			No restriction			
Timing capacitance at Rext/Cext terminal		0			0	50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ⊕	V_{CC} = MAX, See Note 1		−20		−100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC} = MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	C_{ext} = 0, R_{ext} = 5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
$t_{w(min)}$	from A or B to output Q				116	200	ns
t_{wQ}	from A or B to output Q		C_{ext} = 1000pF, R_{ext} = 10kΩ	4	4.5	5	μs

Pin Assignment (Top View)



FUNCTION TABLE

123 LS123, L123 (See Note 4)

INPUTS CLEAR	A	B	OUTPUTS Q	$\bar{Q}$
L	X	X	L	H
X	H	↑	L	H
X	X	L	L	H
H	L	↓	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

NOTES: 1. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
C_{ext} is open to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.

2. Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25kΩ.

3. I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ.

4. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).

5. An external timing capacitor may be connected between and Rext C_{ext}/C_{ext} (positive).

6. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_I open-circuited.

7. To obtain variable pulse widths, connect external resistance between R_{ext} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①	
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①	
FAIRCHILD											[illegible]	M①			F①	FM54164/FM83164	D①								
											FC74LS164/FC83LS164	M①	P①		F①	FC74164/FC83164	D①	P①							
MOTOROLA											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		①								DM54L164	J①	N①		
											DM54LS164		①			DM74164		N①			DM74L164	J①	N①		
PHILIPS											N74LS164		①			N74164		①							
SIGNETICS																S54164	F①	A①		W①					
											N74LS164		A①			N74164	F①	A①							
SIEMENS																FLJ441		①							
FUJITSU											74LS164		M①												
HITACHI											HD74LS164		P①			HD74164		①	P①						
MITSUBISHI											M74LS164		P①			M53364		P①							
NEC											AM74LS[illegible]		C①			μPB2164	D①								
TOSHIBA																TC3503A		P①							
AMD											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54[illegible]	−55°C to 125°C
Input voltage	7V		SN74[illegible]	0°C to 70°C
		Storage temperature range		−65°C to 150°C

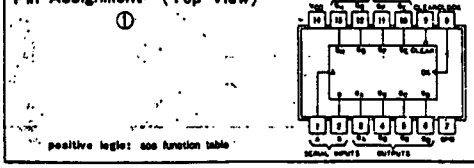
recommended operating conditions

	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, R_L=2kΩ	C_L=15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L=15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L=15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L=15pF		21	32	ns

Pin Assignment (Top View)



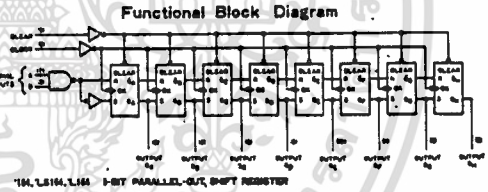
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

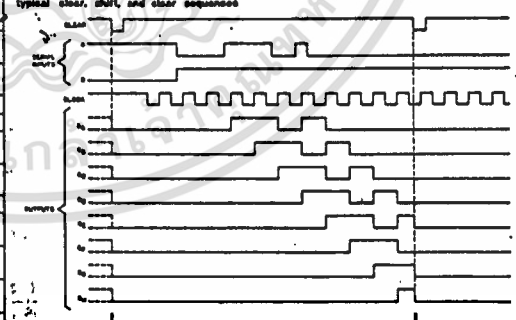
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	··· QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequence



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54103/74103 Dual J-K Negative-Edge-Triggered Flip-Flop with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.						SN54H103	J			W															
						SN74H103	J	N																		
FAIRCHILD						FM54H103 FJH103	D			F															
						FC74H103 FCH103	D	P		F															
MOTOROLA																									
N.S.C.						DM54H103		J		W															
						DM74H103		J																	
PHILIPS						N74H103		J																	
SIGNETICS						S54H103	F	A		W															
						N74H103	F	A																	
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54H103, SN74H103

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}		7V	Operating free-air temperature range	SN54H103	−55°C	125°C
Input voltage		5.5V		SN74H103	0°C	70°C
			Storage temperature range		−65°C	150°C

recommended operating conditions

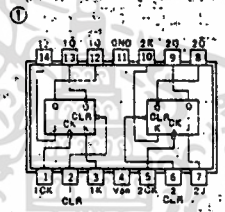
		SN54H103			SN74H103			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				−500			−500	μA
Low-level output current I_{OL}				20			20	mA
Pulse width, t_w	Clock high	10			10			ns
	Clock low	15			15			
	Clear or preset t_{wL}	10			10			
Setup time, t_{su}	High-level data	10↑			10↑			ns
	Low-level data	15↑			15↑			
Hold time, t_h		0↑			0↑			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I = −8mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−500μA	2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=20mA		0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC}=MAX, V_I=5.5V			1	mA
I_{IH}	High-level input current	Any J or K	V_{CC}=MAX, V_I=2.4V			50	μA
		Clear				100	
		Clock				100	
I_{IL}	Low-level input current	Any J or K	V_{CC}=MAX, V_I=0.4V	0		−1	mA
		Clear			−1	−2	
		Clock			−1	−2	
I_{OS}	Short-circuit output current*		V_{CC}=MAX	−40		−100	mA
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX, See Note 1		−3	−4.8	
					20	38	mA
f_{max}	Maximum clock frequency		V_{CC}=5V, T_A=25°C, C_L=25pF, R_L=280Ω	40	50		MHz
t_{PLH}	from Preset or clear to output Q or $\bar{Q}$				8	12	ns
t_{PHL}	from Preset or clear (clock high) to output $\bar{Q}$ or Q				15	20	
	from Preset or clear (clock low) to output $\bar{Q}$ or Q				23	35	
t_{PLH}	from Clock to output Q or $\bar{Q}$				10	15	ns
t_{PHL}					16	20	

NOTES: 1. With all outputs open, ICC is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H=high level (steady state), L=low level (steady state), X=irrelevant, ↓=transition from high to low level, Q_0=the level of Q before the indicated input conditions were established. TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

Pin Assignment (Top View)

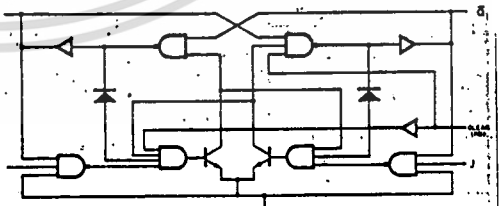


Function Table

'H103 (See Note 2)

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'H103-DUAL J-K WITH CLEAR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54106/74106 Dual J-K Negative-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schotty TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	O	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.						SN54H106	J①			W①															
						SN74H106	J①	N①																		
FAIRCHILD						FJ54H106/FJ74H106	D①			F①															
						FC36H106/FC2H106	D①	P①		F①																
MOTOROLA						DM74H106		①																	
N.S.C.						DM54H106		①																	
PHILIPS						N74H106		①																	
SIGNETICS						S54H106	F①	B①		W①															
						N74H106	F①	B①																	
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54H106, SN74H106

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54H...	−55°C	to 125°C
Input voltage	5.5V		SN74H...	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommend operating conditions

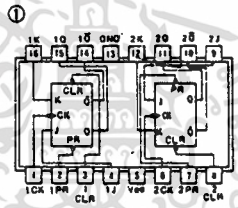
		SN54H106			SN74H106			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−500			−500	μA
Low-level output, I_{OL}				20			20	mA
Pulse width, t_w	Clock high	10			10			ns
	Clock low	15			15			
	Clear or preset low	10			10			
Setup time, t_{su}	High-level data	10↓			10↓			ns
	Low-level data	13↓			13↓			
Hold time, t_{hold}		0↓			0↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−8mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−500μA	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=20mA		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=5.5V			1	mA
I_{IH}	High-level input current: Any J or K	V_{CC}=MAX, V_I=2.4V			50	μA
	Clear				100	
	Preset				100	
	Clock				100	
I_{IL}	Low-level input current: Any J or K	V_{CC}=MAX, V_I=0.4V	0		−1	mA
	Clear				−2	μA
	Preset				−2	
	Clock				−4.8	
I_{OS}	Short-circuit output current*	V_{CC}=MAX	−40		−100	mA
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		20	38	mA
f_{max}	maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=25pF, R_L=280Ω	40	50		MHz
t_{PLH}	from Preset or clear to output Q or $\bar{Q}$			8	12	ns
t_{PHL}	from Preset or clear (clock high) to output $\bar{Q}$ or Q			15	20	ns
	from Preset or clear (clock low) to output $\bar{Q}$ or Q			23	35	
t_{PLH}	from Clock to output Q or $\bar{Q}$			10	15	ns
t_{PHL}				16	20	

Pin Assignment (Top View)

①

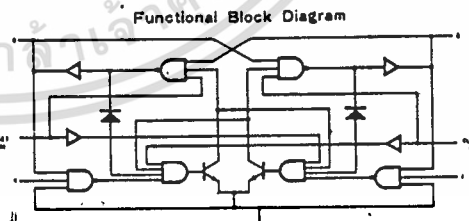


Function Table

'H106 (See Note 2)

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'H106 DUAL J-K WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, ICC is measured with the Q and $\bar{Q}$ outputs high in turn.
2. At the time of measurement, the clock input is grounded.
H = high level (state steady), L = low level (steady state), X = irrelevant
↓ = transition from high to low level
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable, that is, it will not persist and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5476/7476 Dual J-K Master-Slave Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.						SN54H76	J①			W①	SN54LS76	J①			W①	SN5476	J①			W①					
						SN74H76	J①	N①			SN74LS76	J①	N①			SN7476	J①	N①							
FAIRCHILD						FM54H76/FM9H76	D①			F①						FM5476/FM9N76	D①			F①					
						FC74H76/FC9H76	D①	P①		F①						FC7476/FC9N76	D①	P①		F①					
MOTOROLA																									
																MC7476		P①							
N.S.C.						DM54H76	J①	N①			DM54LS76		①			DM5476	J①	N①		W①					
						DM74H76	J①	N①			DM74LS76		①			DM7476	J①	N①							
PHILIPS						N74H76		①			N74LS76		①			FJJ191/7476		①							
SIGNETICS						S54H76		B①								SN5476	F①	B①		W①					
						N74H76		B①			N74LS76		A①			SN7476	F①	B①							
SIEMENS																									
																FLJ131		①							
FUJITSU																									
HITACHI																									
											HD74LS76		P①			HD7476/HD2516	①	P①							
MITSUBISHI																M53276		P①							
NEC																									
																μPB224	D①		C①						
TOSHIBA																									
																TD7476		P①							

Electrical Characteristics SN54LS76/SN74LS76

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54LS	−55°C to 125°C
Input voltage	5.5V	SN74LS	0°C to 70°C
		Storage temperature range	−65°C to 150°C

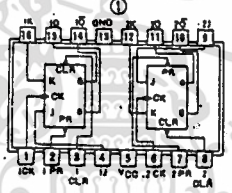
recommended operating conditions

		SN54LS76			SN74LS76			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	20			20			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	20↓			20↓			ns
	Low-level data	20↓			20↓			
Input hold time, t_{hold}		3↓			3↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
		Clear				0.3	
		Preset				0.3	
		Clock				0.4	
I_{IH}	High-level input current	D, J, K	V_{CC} = MAX, V_I = 2.7V			20	μA
		Clear				60	
		Preset				50	
		Clock				80	
I_{IL}	Low-level input current	D, J, K	V_{CC} = MAX, V_I = 0.4V			−0.2	mA
		Clear				−0.6	
		Preset				−0.9	
		Clock				−0.8	
I_{OS}	Short-circuit output current *	Series 54LS	V_{CC} = MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC} = MAX, See Note 1		4	6	mA
f_{max}	maximum clock frequency		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	30	45		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				15	20	ns
t_{PHL}					15	20	

Pin Assignment (Top View)



Function Tables (See Note 2)

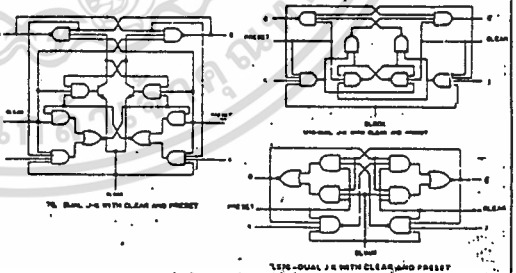
'H76, 'H76

INPUTS PRESET	CLEAR	CLOCK	J	K	OUTPUTS Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	

'LS76

INPUTS PRESET	CLEAR	CLOCK	J	K	OUTPUTS Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$

Functional Block Diagrams



NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn.
At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant
↓ = transition from high to low level
⎍ = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5427/7427 Triple 3-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS27	J①			W①	SN5427	J①			W①					
											SN74LS27	J①	N①			SN7427	J①	N①							
FAIRCHILD											9N54LS27/9N74LS27	9D			F①	FM5427/FM9N27	D①								
											FC74LS27/FC9LS27	9D	9D		F①	FC7427/FC9N27	D①	P①							
MOTOROLA											SN74LS27		P①			SN7427		P①							
											DM54LS27		①			DM5427	J①	N①		W①					
N. S. C.											DM74LS27		①			DM7427	J①	N①		W①					
PHILIPS											N74LS27		①			N7427		①							
SIGNETICS											N74LS27		A①			N7427		A①							
SIEMENS																FLH621		①							
FUJITSU																									
HITACHI											HD74LS27		P①			HD7427		①P①							
MITSUBISHI											M53LS27		P①			M53227		P①							
NEC											74LS27		C①												
TOSHIBA																									

Electrical Characteristics SN54LS27/SN74LS27

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage*	5.5V	Storage temperature range		−65°C to 150°C

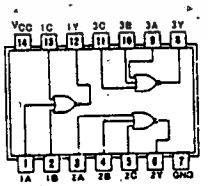
recommended operating conditions

	SN54LS27			SN74LS27			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

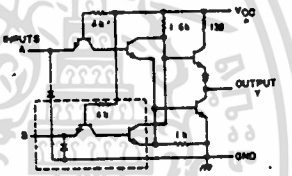
	PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage		V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	Data inputs	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	Data inputs	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current§		V_{CC}=MAX	54LS Family	−20		−100	mA
				74LS Family	−20		−100	
I_{CCH}	Supply current		V_{CC}=MAX	Total, outputs high		2.0	4	mA
I_{CCL}	Supply current			Total, outputs low		3.4	6.8	mA
I_{CC}	Supply current		V_{CC}=5V	Average per gate (50% duty cycle)		0.9		mA
t_{PLH}	Propagation delay time, low-to-high-level output		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ			10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output					10	15	ns

Pin Assignment (Top View)



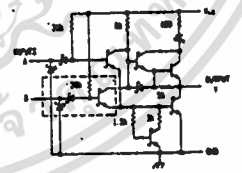
positive logic:
$Y = \overline{A+B+C}$

Schematics (each gate)



The portion of the schematic within the dashed lines is repeated for the C input of the '27.

'27 CIRCUIT



The portion of the schematic within the dashed lines is repeated for the C input of the *LS27.

*LS27 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5430/7430 8-Input Positive-NAND Gates

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S30	J①			W①	SN54H30	J①			W①	SN54LS30	J①			W①	SN5430	J①			W①	SN54L30	J①	N①	T①	
	SN74S30	J①	N①			SN74H30	J①	N①			SN74LS30	J①	N①			SN7430	J①	N①			SN74L30	J①	N①	T①	
FAIRCHILD	[illegible]	P①			F①	FJH54H30/FJH3H30	D①			F①	[illegible]	P①			F①	FJH5430/FJH3H30	D①			F①					
	[illegible]	P①	P①		F①	FC74H30/FC3H30	D①	P①		F①	[illegible]	P①	P①		F①	FC7430/FC3H30	D①	P①		F①					
MOTOROLA						MC3116	L①			F①						MC5430	L①			F①					
						MC3016	L①	P①		F①	SN74LS30		P①			MC7430	L①	P①		F①					
N.S.C.						DM54H30	J①	N①			DM54LS30					DM5430	J①	N①		W②	DM54L30	J①	N①		F①
	DM74S30					DM74H30	J①	N①			DM74LS30					DM7430	J①	N①			DM74L30	J①	N①		F①
PHILIPS																									
						GJH1101/74H30			①		N74LS30		①			FJH1101/7430			①						
SIGNETICS						S54H30	F①	A①		W①						S5430	F①	A①		W②					
	N74S30		A①			N74H30	F①	A①		W①	N74LS30		A①			N7430	F①	A①							
SIEMENS																									
																FLH131			①						
FUJITSU						MB604		①	M①		74LS30		M①			MB403		①	M①						
HITACHI											HD74LS30		P①			HD7430/HD2508		①	P①						
MITSUBISHI	M55030		P①								M74LS30		P①			M53230/M5310			P①						
NEC											74LS30		C①			μPB204		D①	C①						
TOSHIBA																TD3430A			P①						

Electrical Characteristics SN54LS30/SN74LS30

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

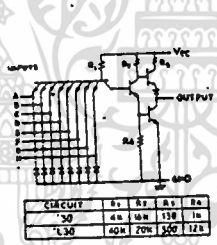
recommended operating conditions

	SN54LS30 MIN	NOM	MAX	SN74LS30 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IL} = V_{IL} max	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V			0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		0.35	0.5	mA
I_{CCL}	Supply current		Total, outputs low		0.6	1.1	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.48		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				13	20	ns

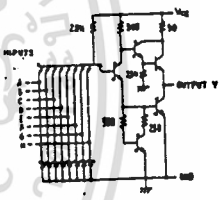
Schematics (each gate)



CIRCUIT	R1	R2	R3	R4
'30	4k	12k	12k	1k
'L30	40k	20k	60k	12k

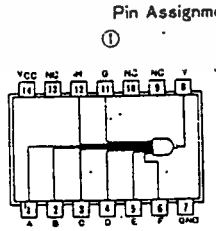
Input clamp diodes not on SN54LS/SN74LS circuits.

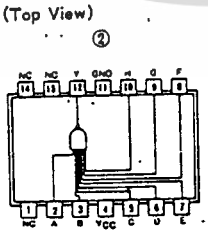
'30 'L30 CIRCUITS



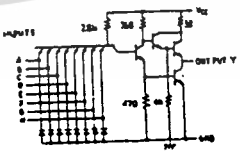
'S30 CIRCUIT

Pin Assignments (Top View)

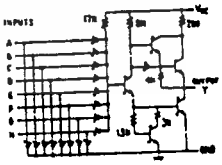




positive logic:
Y = ABCDEFGH
NC = No internal connection



'H30 CIRCUIT



'LS30 CIRCUIT

Resistor values shown are nominal and in ohms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5433/7433 Quadruple 2-Input Positive-NOR Buffer with Open-Collector Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS33	J①			W①	SN5433	J①			W①					
											SN74LS33	J①N①				SN7433	J①N①								
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS											N74LS33		①			N7433		①							
SIGNETICS											N74LS33		A①			N7433		A①							
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS33/SN74LS33

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

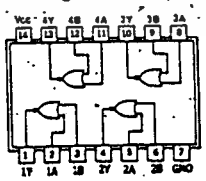
recommended operating conditions

	SN54LS33 MIN	NOM	MAX	SN74LS33 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}			5.5			5.5	V
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

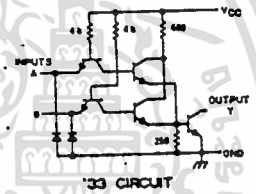
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
I_{OH}	High-level output current	V_{CC}=MIN, V_{OH}=MAX	V_{IL}=V_{IL} max,			250	μA
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=12mA	V_{IH}=2V,		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_{IL}=0.4V			−0.4	mA
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.8	3.6	mA
I_{CCL}	Supply current		Total, outputs low		6.7	13.5	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		1.09		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=45pF, R_L=667Ω			23	35	ns
t_{PHL}	Propagation delay time, high-to-low-level output				18	28	ns

Pin Assignment– (Top View)

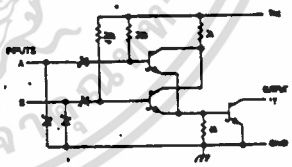


positive logic:
$Y = \overline{A+B}$

schematics(each gate)



'33 CIRCUIT



'LS33 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5470/7470 AND-Gated J-K Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN5470	J①			W②					
																SN7470	J①	N①							
FAIRCHILD																FM5470/FM9N70	D①			F②					
																FC5470/FC9N70	D①	P①							
MOTOROLA																MC5470	L①								
																MC7470	L①	P①							
N.S.C.																DM5470	J①	N①		W②					
																DM7470	J①	N①							
PHILIPS																FJJ101/7470		①							
SIGNETICS																S5470	F①	A①		W②					
																N7470	F①	A①							
SIEMENS																FLJ101		①							
FUJITSU																									
HITACHI																HD2539	①	P①							
MITSUBISHI																M53270/M5375		P①							
NEC																μPB211	D①	C①							
TOSHIBA																									

Electrical Characteristics SN5470/SN7470

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54'	−55°C to 125°C
Input voltage	5.5V	SN74'	0°C to 70°C
		Storage temperature range	−65°C to 150°C

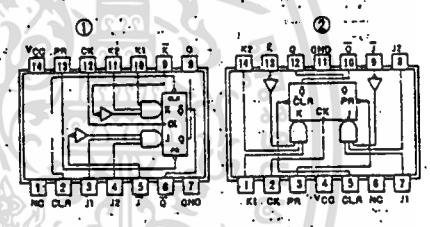
recommended operating conditions

	SN5470 MIN	NOM	MAX	SN7470 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			16			16	mA
Pulse width, t_w: Clock high	20			20			ns
Clock low	35			35			
Preset or clear low	25			25			
Input setup time, t_{su}	20↑			20↑			ns
Input hold time, t_h	0↑			0↑			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−12mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=16mA		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=5.5V			1	mA
I_{IH}	High-level input current: D, J, K, or $\bar{K}$	V_{CC}=MAX, V_I=2.4V			40	μA
	Clear				80	
	Preset				80	
	Clock				40	
I_{IL}	Low-level input current: D, J, K, or $\bar{K}$	V_{CC}=MAX, V_I=0.4V			−1.6	mA
	Clear				−3.2	
	Preset				−3.2	
	Clock				−1.6	
I_{OS}	Short-circuit output current ○: Series 54	V_{CC}=MAX	−20		−57	mA
	Series 74		−18		−57	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		13	26	mA
f_{max}	maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=400Ω	20	25		MHz
t_{PLH}	from Preset to output Q (as applicable)				30	ns
t_{PHL}	from Preset to output $\bar{Q}$ (as applicable)				30	
t_{PLH}	from Clear to output $\bar{Q}$ (as applicable)				30	ns
t_{PHL}	from Clear to output Q (as applicable)				30	
t_{PLH}	from Clock to output Q or $\bar{Q}$			27	30	ns
t_{PHL}				18	30	

Pin Assignments (Top View)



NC-No internal connection

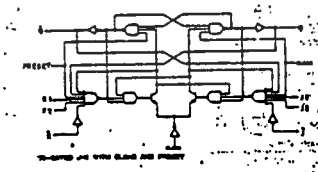
Function Table

'70 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	J	K	OUTPUTS Q	$\bar{Q}$
L	H	L	X	X	H	L
H	L	L	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↑	L	L	Q_0	$\bar{Q}_0$
H	H	↑	H	L	H	L
H	H	↑	L	H	L	H
H	H	↑	H	H	TOGGLE	
H	H	L	X	X	Q_0	$\bar{Q}_0$

positive logic: $J = J1 \cdot J2 \cdot \bar{J}$
$K = K1 + K2 + \bar{K}$
If inputs J and $\bar{K}$ are not used, they must be grounded.
Preset or clear function can occur only when the clock input is low.

Functional Block Diagram



NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is at 4.5V.
2. H = high level (steady state), L = low level (steady state), X = irrelevant
↑ = transition from low to high level.
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W①	SN54LS74	J①			W①	SN5474	J①			W①	SN54L74	J①	N①	T①	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T①	
FAIRCHILD	FM54S74/FM9S74	D①				FM54H74/FM9H74	D①			F①	FM54LS74/FM9LS74	K①			F①	FM5474/FM9N74	D①			F①					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F①	FC74LS74/FC9LS74	K①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W①	DM54L74	J①	N①		F①
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F①
PHILIPS	N74S74		①			OJJ131/74H74		①			N74LS74		①		-	FJJ131/7474		①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W①					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74		M①			MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

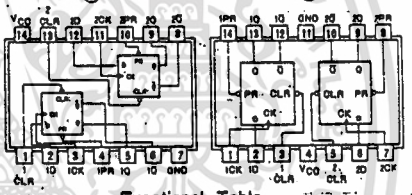
recommended operating conditions

		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25↑			25↑			ns
	Low-level data	20↑			20↑			
Input hold time, t_{hold}		5↑			5↑			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current ◆	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX., See Note 1		4	8	mA
f	clock frequency		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				13	25	ns
t_{PHL}					25	40	

Pin Assignments (Top View)

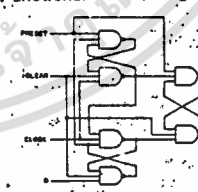


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74-DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1 With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn.
†At the time of measurement, the clock input is grounded.
2 H=high level (steady state), L=low level (steady state), X=irrelevant
↑=transition from low to high level.
Q_0=the level of Q before the indicated input conditions were established.
◆This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.	SN54S00	J①	N①		W①	SN54H00	J①			W①	SN54LS00	J①			W①	SN5400	J①			W②	SN54L00	J①	N①	T②	
	SN74S00	J①	N①			SN74H00	J①	N①			SN74LS00	J①	N①			SN7400	J①	N①			SN74L00	J①	N①	T②	
FAIRCHILD	FM54S00/FM74S00	D①				FM54H00/FM74H00	D①			F②	FM54LS00/FM74LS00	R①			F①	FM 5400/FM 7400	D①			F②					
	FC74S00/FC3S00	D①	P①			FC74H00/FC3H00	D①	P①			FC74LS00/FC3LS00	R①	P①		F①	FC7400/FC3N00	D①	P①							
MOTOROLA						MC3100	L①			F②						MC5400	L①			F②					
						MC3000	L①	P①		F②	SN74LS00		P①			MC7400	L①	P①		F②					
N. S. C.						DM54H00	J①	N①			DM54LS00					DM5400	J①	N①		W②	DM54L00	J①	N①		F②
	DM74S00		N①			DM74H00	J①	N①			DM74LS00					DM7400	J①	N①			DM74L00	J①	N①		F②
PHILIPS	N74S00		①			OJM131/74H00		①			74LS00		①			FJH131/7400		①							
SIGNETICS	N54S00	F①	A①		W①	S54H00	F①	A①		W②						S5400	F①	A①		W②					
	N74S00	F①	A①			N74H00	F①	A①			N74LS00		A①			N7400	F①	A①							
SIEMENS																FLH101		①							
FUJITSU						MB601		①	M①		74LS00		M①			MB400		①	M①						
HITACHI	HD74S00		①	P①							HD74LS00		P①			HD7400/HD2503		①	P①						
MITSUBISHI	M55000		P①								M74LS00		P①			M53200		P①							
NEC	μPB25S00	D①									74LS00		C①			μPB291	D①	C①							
TOSHIBA																TD3400A		P①							

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

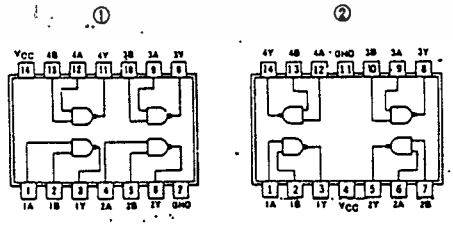
recommended operating conditions

	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

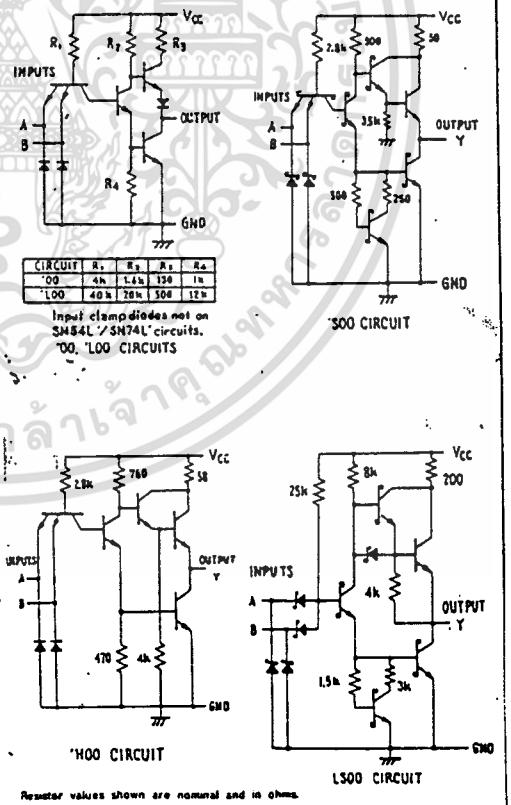
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	SN54LS Family	−20		−100	mA
			SN74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		4	8	mA
I_{CCL}	Supply current		Total, outputs low		12	22	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic:
$Y = \overline{A \cdot B}$

Schematics (each gate)



CIRCUIT	R_1	R_2	R_3	R_4
'00	4k	1.4k	130	1k
'L00	40k	20k	500	12k

Input clamp diodes not on SN54L'/SN74L' circuits.

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5410/7410 Triple 3-Input Positive-NAND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S10	J①			W①	SN54H10	J①			W①	SN54LS10	J①			W①	SN5410	J①			W①	SN54L10	J①	N①	T②	
	SN74S10	J①	N①			SN74H10	J①	N①			SN74LS10	J①	N①			SN7410	J①	N①			SN74L10	J①	N①	T②	
FAIRCHILD	FMA510/FM510	R①			F①	FM54H10/FM74H10	D①			F①	FMA530/FM530	R①			F①	FM5410/FM7410	D①			F①					
	FC74S10/FC9S10	R①	P①			FC74H10/FC9H10	D①	P①			FC74S30/FC9L30	R①	P①		F①	FC7410/FC9N10	D①			F①					
MOTOROLA						MC3105	L①			F①						MC5410	L①			F①					
						MC3005	L①	P①		F①	SN74LS10		P①			MC7410	L①	P①		F①					
N.S.C.	DM54S10		①			DM54H10	J①	N①			DM54LS10					DM5410	J①	N①		F①					
	DM74S10		N①			DM74H10	J①	N①			DM74LS10					DM7410	J①	N①		F①					
PHILIPS	N74S10		①			GJH121/74H10		①			N74LS10		①			FJH121/7410		①							
SIGNETICS	54S10					S54H10	F①	A①		W①						S5410	F①	A①		W①					
	N74S10					N74H10	F①	A①			N74LS10		A①			N7410	F①	A①							
SIEMENS																FLH111		①							
FUJITSU						MB802		①	A①		74LS10		M①			MB401		①	M①						
HITACHI	HD74S10		①	P①							HD74LS10		P①			HD7410/HD2507		①	P①						
MITSUBISHI	M55810		P①								M74LS10		P①			M53210		P①							
NEC	μPB2S10	D①									74LS10		C①			μPB202	D①	C①							
TOSHIBA																TD3410A		P①							

Electrical Characteristics SN54LS10/SN74LS10

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

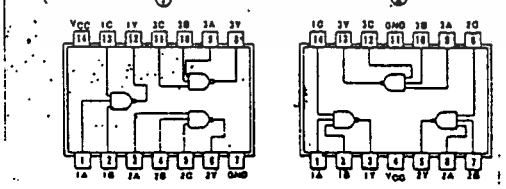
recommended operating conditions

	SN54LS10			SN74LS10			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

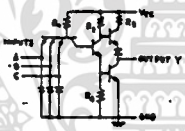
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX	V_{IL}=V_{IL} max,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=4mA	V_{IH}=2V,			0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_{IL}=0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−25		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		0.8	1.2	mA
I_{CCL}	Supply current		Total, outputs low		1.8	3.3	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic:
Y=ABC

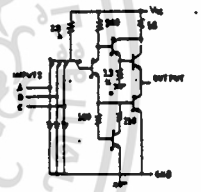
Schematics (each gate)



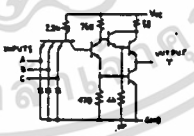
CIRCUIT	R_1	R_2	R_3	R_4
*10	4kΩ	1.6kΩ	130Ω	1kΩ
*LS10	4kΩ	20kΩ	500Ω	12kΩ

Input clamp diodes not on SN54L*/SN74L* circuits.

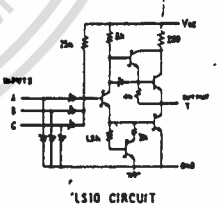
*10, *L10 CIRCUITS



*S10 CIRCUIT



*H10 CIRCUIT



*LS10 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5402/7402 . Quadruple 2-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S02	J①			W①						SN54LS02	J①			W①	SN5402	J①			W①	SN54L02	J①	N①	T①	
	SN74S02	J①	N①								SN74LS02	J①	N①			SN7402	J①	N①			SN74L02	J①	N①	T①	
FAIRCHILD	DM54S02/FW02	X①			F①						DM54LS02/FW0L02	X①			F①	FM5402/FM9N02	D①			F②					
	DM74S02/FC0002	K①	P①		F①						DM74LS02/FC0L02	K①	P①		F①	FC7402/FC9N02	D①	P①		F②					
MOTOROLA											SN74LS02		P①			MC7402	L①	P①		F②					
N. S. C.											DM54LS02					DM5402	J①	N①		W②	DM54L02	J①	N①		F①
											DM74LS02					DM7402	J①	N①			DM74L02	J①	N①		F①
PHILIPS	N74S02		①								N74LS02		①			FJH221/7402		①							
																S5402	F①	A①		W②					
SIGNETICS	N74S02		A①								N74LS02		A①			N7402	F①	A①							
SIEMENS																FLH191		①							
FUJITSU											74LS02		M①			MB617		①	M①						
HITACHI	HD74S02		P①								HD74LS02		P①			HD7402/HD2511		①	P①						
MITSUBISHI											M74LS02		P①			M53202			P①						
NEC																μPB232	D①		C①						
TOSHIBA																TD3402A			P①						

Electrical Characteristics SN54LS02/SN74LS02

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range:	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

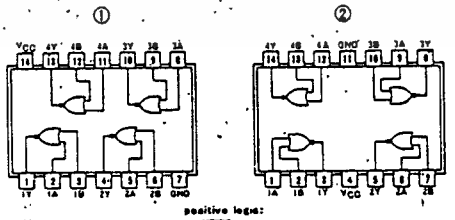
recommended operating conditions

	SN54LS02 MIN	NOM	MAX	SN74LS02 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

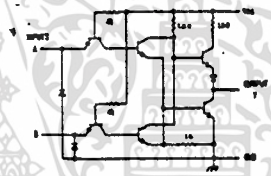
PARAMTER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current — Data inputs	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current — Data inputs	V_{CC}=MAX, V_{IL}=0.4V				0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX.	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.6	3.2	mA
I_{CCL}	Supply current		Total, outputs low		2.8	5.4	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.55		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C,			10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L=15pF, R_L=2kΩ			10	15	ns

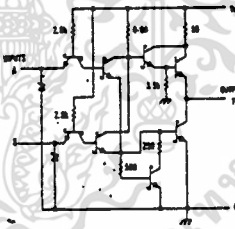
Pin Assignments (Top View)

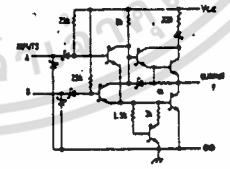


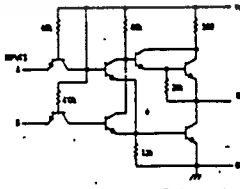
positive logic:
$Y = \overline{A + B}$

Schematics (each gate)









Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

เนื่องจากในการทำโครงงานเครื่องกระบวนการขยายสัญญาณภาพ โดยได้ความอนุเคราะห์ในการให้ความคิดเห็นและคำแนะนำในการทำโครงงานนี้ตลอดจนในด้านเครื่องมือในการทำโครงงานมาด้วยดีตลอดมาตั้งแต่ต้นจนทำโครงการได้สำเร็จตามวัตถุประสงค์ที่วางไว้

1. คุณ นิคม ณ. พัทลุง
2. คุณ จเร นันทิวาส
3. คุณ ธานินทร์ ถาวรศาสนวงศ์
4. คุณ เชี่ยวชาญ นันต์ธนพานิช
5. คุณ ทัศนัย แซ่หลี
6. คุณ อนุสรณ์ เนียมหมวด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] วารสาร " ความรู้เบื้องต้นวิทยุกระจายเสียงและวิทยุโทรทัศน์ "
สำนักวิศวกรรม องค์การสื่อสารมวลชนแห่งประเทศไทย

[2] ดร. ธวัช เมฆสวรรค์ นายโยชิคะซึ ซาวามุระ " เทคนิคการซ่อมเครื่องรับโทรทัศน์สี "
สำนักพิมพ์ดวงกมล,2528

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้