เครื่องถอดรหัสข้อมูลจากสัญญาณโทรทัศน์

DATA TELEVISION BROADCASTING DECODER

โดย

นาย จรัญ แก้วดีเลิศ รหัส 37013054

นาย นเรศ ตันติศิริวัฒนา รหัส 37013071

นาย สมศักดิ์ พัฒนศิริวงศ์ รหัส 37013084

อาจารย์ที่ปรึกษา

ผศ.ดร. ปราโมทย์ วาดเขียน

29 ก.ย. 2541

วัน เดือน ปี.................................

เลขทะเบียน.....038142.....

เลขเรียกหนังสือ.....T 39162 .....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

038142

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง เครื่องถอดรหัสข้อมูลจากสัญญาณโทรทัศน์

DATA TELEVISION BROADCASTING DECODER

ผู้จัดทำ

1. นาย จรัญ แก้วดีเลิศ 37013054
2. นาย นเรศ ต้นติศิริวัฒนา 37013071
3. นาย สมศักดิ์ พัฒนศิริวงศ์ 37013084

.... อาจารย์ที่ปรึกษา

(ผศ.ดร. ปราโมทย์ วาดเขียน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องถอดรหัสข้อมูลจากสัญญาณโทรทัศน์

DATA TELEVISION BROADCASTING DECODER

โดย 1. นาย จรัญ แก้วดีเลิศ รหัส 37013054

2. นาย นเรศ ตันติศิริวัฒนา รหัส 37013071

3. นาย สมศักดิ์ พัฒนศิริวงศ์ รหัส 37013084

อาจารย์ที่ปรึกษา ผศ.ดร. ปราโมทย์ วาดเขียน

บทคัดย่อ

เครื่องถอดรหัสข้อมูลจากสัญญาณโทรทัศน์ รับข้อมูลโดยผ่านสัญญาณโทรทัศน์ที่ถูกแทรกอยู่ในช่องว่างของสัญญาณโทรทัศน์ปกติ ซึ่งสัญญาณตัวนี้มีลักษณะข้อมูลที่เป็นแบบดิจิตอล มีข้อมูลหลายประเภท เช่น ข้อ ความ กราฟฟิก สัญญาณควบคุม หรือแม้แต่สัญญาณเสียง ก็สามารถนำส่งแทรกเป็นข้อมูลส่วนนี้ได้ เครื่องถอดรหัสนี้มีการทำงานคล้ายกับโมเด็มแต่จะเป็นตัวรับข้อมูลฝ่ายเดียว และยังต้องอาศัยโปรแกรมควบคุมในการใช้งาน การนำไปประยุกต์ใช้งานของตัวเครื่องถอดรหัสเองก็เช่นกัน แล้วนำแสดงผล

เครื่องถอดรหัสเองยังต้องอาศัยโปรแกรมจากแหล่งอื่นด้วยที่ใช้งานร่วมด้วย เพื่อประกอบในการประยุกต์การใช้งานของระบบให้มีประสิทธิภาพสูงสุด

ABSTRACT

Data television broadcasting decoder receive data via television signal by insert in the previously space of a Television signal. The feature of data signal can have much widely meaning. Graphics, database, voice ,software and control signal are all possible with this form data television broadcasting. The decoder behaves like a modem, except that data is only conveyed one way and, like a modem, it requires applicasion software running in the computer.The decoder will work with by application software with other section for higher efficiency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ

1.1 ความหมายของระบบดาต้าบรอดคาส 1

บทที่ 2 ทฤษฎีและหลักการของระบบดาต้าบรอดคาส

2.1 การส่งสัญญาณของระบบวิทยุโทรทัศน์ 3

2.2 ระบบการส่งของระบบดาต้าบรอดคาส 27

2.3 ลักษณะสัญญาณของเส้นข้อมูล (Data Broadcast Line) 29

2.4 รายละเอียดของสัญญาณ 31

2.5 การเข้ารหัสแฮมมิ่ง 31

2.6 การจัดช่วงความถี่ (Bandwidth Allecation) 36

2.7 โครงสร้างของรูปแบบการส่งข้อมูลสำหรับข้อมูลที่ส่งออกอากาศ 38

บทที่ 3 การคำนวน การสร้างและการทำงาน

3.1 วงจรและการทำงาน 43

3.2 วงจรภาครับ 45

3.3 วงจรแยกสัญญาณเทเลเท็กซ์ออกจากสัญญาณภาพ 49

3.4 วงจรต่อผ่านและควบคุมสัญญาณเพื่อถอดข้อมูลออกจากเส้นข้อมูล 51

3.5 วงจรควบคุม 52

3.6 วงจรส่วนส่งผ่านข้อมูล 58

บทที่ 4 การทดลองและผลการทดลอง

4.1 ขั้นตอนการทดลองและผลการทดลอง 71

บทที่ 5 วิจารณ์และสรุปผลการทดลอง

5.1 สรุปผลการทดลอง 75

ภาคผนวก

กิติกรรมประกาศ

เอกสารอ้างอิง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1.1	แสดงระบบดาต้าบรอดคาส	1
รูปที่ 2.1	ผลของจำนวนของการสแกน	3
รูปที่ 2.2	เวอร์ติคอลรีโซลูชั่น (กรณีดีที่สุด)	4
รูปที่ 2.3	เวอร์ติคอลรีโซลูชั่น (กรณีเลวที่สุด)	4
รูปที่ 2.4	ฮอร์ริซอลทัลรีโซลูชั่นที่มีจุดสแกนเล็กมาก	5
รูปที่ 2.5	ฮอร์ริซอลทัลรีโซลูชั่นที่มีจุดสแกนโต	5
รูปที่ 2.6	การสแกนรูป saw tooth	7
รูปที่ 2.7	Progressive scanning	8
รูปที่ 2.8	(a)Interlaced scanning procedure	8
	(b)Interlaced scanning	9
รูปที่ 2.9	แสดง saw tooth ของการแสดงแบบ Interlaced scanning	10
รูปที่ 2.10	(a)แสดง Static deflection	11
	(b)แสดง Magnetic deflection	11
รูปที่ 2.11	แสดงรูป Ideal saw tooth	11
รูปที่ 2.12	แสดงรูปคลื่น saw tooth ในทางปฏิบัติ	12
รูปที่ 2.13	Composite video signal	14
รูปที่ 2.14	ค่ามาตรฐานของ sync และ horizontal blanking	16
รูปที่ 2.15	Horizontal blanking time	17
รูปที่ 2.16	Vertical blanking time	20
รูปที่ 2.17	(a)positive modulation	22
	(b)negative modulation	22
รูปที่ 2.18	(a)การส่งแบบ vestigial side band	24
	(b)กำลังสัญญาณที่ถูกส่งออกไป	24
	(c)การตอบสนองของเครื่องรับทีวี	24
รูปที่ 2.19	Double side band vision signal	25
รูปที่ 2.20	แสดงถึง Vestigial sideband	26
รูปที่ 2.21	Shematic of Exsample System	27
รูปที่ 2.22	แสดงสัญญาณโทรทัศน์ที่ส่งมาจากสถานี	28
รูปที่ 2.23	แสดงระดับของข้อมูล	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.24 แสดงรูปสัญญาณด้านรูปร่างของข้อมูล 30
รูปที่ 2.25 แสดงรูปสัญญาณทางแนวนอน 31
รูปที่ 2.26 แสดงรูปแบบของโครงสร้างแพคเก็ต 31 41
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของดาต้าบรอดคาสดีโค้ดเดอร์ 44
รูปที่ 3.2 แสดงบล็อกไดอะแกรมส่วนประกอบของรายละเอียดวงจรภาครับ 45
รูปที่ 3.3 บล็อกไดอะแกรมรายละเอียดวงจรขยายความถี่กลาง 46
รูปที่ 3.4 แสดงการติดต่อของรูปแบบ I^2c 47
รูปที่ 3.5 แสดงแอดเดรสของอุปกรณ์ 48
รูปที่ 3.6 แสดงบล็อคไดอะแกรมของวงจรถอดเส้นข้อมูลออกจากสัญญาณภาพ 50
รูปที่ 3.7 แสดงรายละเอียดของภาคควบคุมการส่งผ่านข้อมูล 52
รูปที่ 3.8 ไดอะแกรมโครงสร้างของ 8051 52
รูปที่ 3.9 ภาพเหมือนของหน่วนความจำ 53
รูปที่ 3.10 แผนภูมหน่วยความจำของ 8051 55
รูปที่ 3.11 สถาปัตยกรรมภายในของ 8051 55
รูปที่ 3.12 ไดอะแกรมขาของ 8051 แบบ DIP 56
รูปที่ 3.13 โครงสร้างของพอร์ต 56
รูปที่ 3.14 คุณสมบัติทางไฟฟ้าของการอินเตอร์เฟสที่ใช้การแทนระดับสัญญาณแบบทีทีแอล 59
รูปที่ 3.15 ลักษณะของ DCE และ DTE ที่ใช้ในวงจรการสื่อสารข้อมูล 60
รูปที่ 3.16 ลักษณะการทำงานของ null modem ที่ใช้ในการอินเตอร์เฟสระหว่าง DTE หรือ DCE 61
รูปที่ 3.17 RS-232-C interface circuit 61
รูปที่ 3.18 คุณสมบัติทางไฟฟ้าของอินเตอร์เฟสแบบ RS-232-C 63
รูปที่ 3.19 ลักษณะพื้นฐานของการส่งข้อมูลแบบ full - duplex 65
รูปที่ 3.20 วงจรใช้งานจริงในชิ้นงาน 65
รูปที่ 3.21 แสดงอุปกรณ์การทำงานในภาคต่างๆ ของเครื่องถอดรหัส 66
รูปที่ 3.22 แสดงวงจรส่วนรับสัญญาณ 67
รูปที่ 3.23 แสดงวงจรใช้งาน SAA 5231 68
รูปที่ 3.24 แสดงวงจรส่วนส่งผ่านข้อมูล และการควบคุม 69
รูปที่ 4.1 ไดอะแกรมการต่อในขั้นตอนการทดลอง 70
รูปที่ 4.2 แสดงเส้นแบล็งกิ้งของสถานีส่งที่ไม่มีการส่งข้อมูลระบบดาต้าบรอดคาส 70
รูปที่ 4.3 จุดปรับแรงดันไฟ AGC 71
รูปที่ 4.4 รูปสัญญาณความถี่ 38.9 MHz ของ TDA 8341 72
รูปที่ 4.5 สัญญาณภาพโทรทัศน์ที่มีสัญญาณข้อมูลแทรกมา 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.6 สัญญาณนาฬิกาขา 14 (TTC) ของ SAA 5231 73

รูปที่ 4.7 สัญญาณข้อมูลที่ได้จากการแยกออกมาจากสัญญาณภาพ 73

รูปที่ 5.1 สัญญาณภาพของสถานีโทรทัศน์ที่ทำการส่งในระบบดาต้าบรอดคาส 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

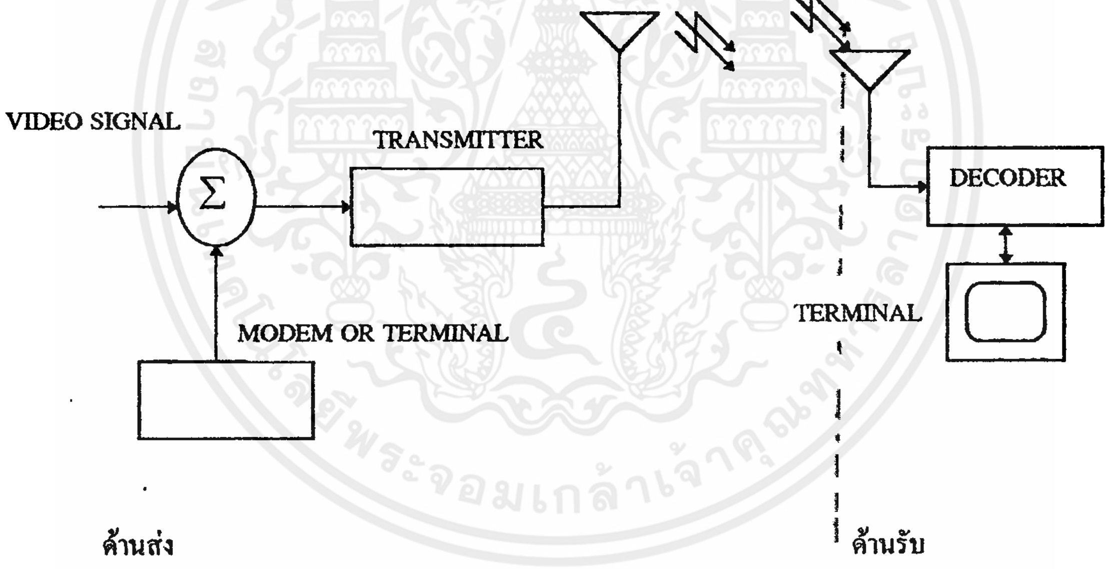
		หน้า
ตารางที่ 2.1	การจัดช่องความถี่ระบบ CCIR - B	26
ตารางที่ 2.2	การกำหนดการใช้งานเส้นแบล้งกิ้งของสัญญาณภาพโทรทัศน์ใน 21 เส้นแรก	29
ตารางที่ 2.3	แสดงบิทข้อความที่ผิดพลาด	32
ตารางที่ 2.4	แสดงเลขรหัสฐานสอง	32
ตารางที่ 2.5	แสดงตัวอย่างของการตรวจสอบบิทของรหัสแฮมมิ่ง	33
ตารางที่ 2.6	แสดงค่าผลการเข้ารหัส	33
ตารางที่ 2.7	แสดงการตรวจสอบพาริตี้	33
ตารางที่ 2.8	แสดงการตรวจสอบพาริตี้	33
ตารางที่ 2.9	แสดงผลการตรวจสอบเมื่อเกิดความผิดพลาด	34
ตารางที่ 2.10	การตรวจสอบตำแหน่งบิทผิดพลาด	34
ตารางที่ 2.11	แสดงรหัสแฮมมิ่ง	35
ตารางที่ 2.12	แสดงอัตราของข้อมูลต่อจำนวนเส้นแบล็งกิ้ง	36
ตารางที่ 3.1	RS232-C Standard Configuration	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความหมายของระบบดาต้าบรอดคาส

ระบบดาต้าบรอดคาส คือ ระบบที่สามารถรับข้อมูลข่าวสารโดยอาศัยคลื่นวิทยุโทรทัศน์ ในขณะที่ออกอากาศรายการตามปกติซึ่งข้อมูลข่าวสารสามารถรับได้ โดยติดตั้งวงจรถอดรหัสของระบบเข้ากับเครื่องคอมพิวเตอร์ และข้อมูลนี้จะถูกนำไปประมวลผลโดยโปรแกรมทางคอมพิวเตอร์อีกทีเพื่อจะทำการปรับปรุงรูปแบบการแสดงผลทางหน้าจอเครื่องคอมพิวเตอร์หรือเพื่อเป็นแหล่งข้อมูลในการแสดงผลที่หน่วยแสดงผลอื่น ต่อไป ข้อมูลข่าวสารพวกนี้จะมีทั้งข่าวสารโดยทั่วไป ข่าวสารทางธุรกิจ หรือข่าวสารเฉพาะกลุ่มได้แก่ ข้อมูลตลาดหุ้น ข้อมูลการวิเคราะห์ และอื่น ๆ ระบบดาต้าบรอดคาสจะมีข้อได้เปรียบกว่าการส่งข่าวสารระบบอื่น เนื่องจากการส่งข่าวสารสามารถกระจายข่าวสารได้อย่างรวดเร็วเช่นเดียวกับระบบวิทยุโทรทัศน์คือ วิธีการส่งข่าวสารไปกับสัญญาณโทรทัศน์ โดยไม่รบกวนรายการโทรทัศน์ปกติ เครื่องคอมพิวเตอร์จะถูกนำมาใช้ในระบบนี้เพื่อเป็นตัวประมวลผลข่าวสารพวกนี้



รูปที่ 1.1 แสดงระบบดาต้าบรอดคาส (DATA BROADCAST SYSTEM)

ส่วนทางด้านเครื่องส่งของดาต้าบรอดคาสนั้น จะมีการส่งข้อมูลมาจากแหล่งข้อมูลต่างๆ เช่น ตลาดหลักทรัพย์ จะส่งผ่านโครงข่ายการสื่อสารต่างๆ เช่น การส่งผ่านทางสายโทรศัพท์หรือการส่งผ่านโทรศัพท์ไร้สายระหว่างแหล่งข้อมูลที่ส่งกับสถานีส่งสัญญาณโทรทัศน์ โดยการรับส่งผ่านทางโมเด็มทั้งสองแหล่ง ซึ่งสัญญาณที่ส่งมานั้นมีทั้งข้อมูล ภาพ และเสียง สัญญาณที่มาจากแหล่งข้อมูลหลายที่จะถูกนำมาแทรกเข้ากับสัญญาณโทรทัศน์ ซึ่งประเทศไทยเป็นการส่งในระบบ PAL (625 เส้น) โดยมีการสแกนภาพทั้งฟิลด์คู่และฟิลด์คี่ใน 1 ภาพ (1 ภาพแบ่งเป็น 2 ฟิลด์ใน 1 วินาทีมี 25 ภาพ) ในช่วงของการสแกนภาพระหว่างฟิลด์จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสบัดกลับเรียกว่า สัญญาณแบล็งกิ้ง จะมีคาบเวลาประมาณ 25 สแกนไลน์ ช่วงเวลาดังกล่าวจะไม่มีการส่งข้อมูลของสถานีโทรทัศน์ เป็นการสูญเสียเปล่า ดังนั้นจึงมีการส่งข้อมูลแบบดาต้าบรอดคาส เข้าไปสอดแทรกในสัญญาณแบล็งกิ้งระหว่างเส้นที่ 7 ถึง 22 เป็นจำนวน 16 เส้น ในระหว่างเส้นสัญญาณเหล่านี้จะมีการส่งสัญญาณทดสอบของสถานีส่งออกมา 2 เส้น เพื่อตรวจสอบและยังเว้นไว้ระหว่างเส้นเหล่านี้กับสัญญาณอื่นอีก 2 เส้น คือเส้น 7/320 และ 22/335 ทำให้ส่งข้อมูลจริงๆ เพียง 12 เส้น โดยนำสัญญาณข้อมูลเหล่านี้แทรกเข้าไปที่เส้นแบล็งกิ้ง เพื่อทำการส่งออกอากาศต่อไป ส่วนทางด้านรับก็สามารถรับได้เหมือนกันกับเครื่องรับโทรทัศน์ทั่วไป แต่ในระบบของดาต้าบรอดคาส จะมีตัวถอดรหัสติดตั้งก่อนเครื่องคอมพิวเตอร์ ซึ่งอุปกรณ์ถอดรหัสนี้ เรียกว่า ดาต้าบรอดคาสดีโค้ดเดอร์ (Data broadcast decoder) โดยจะทำการถอดรหัสข้อมูลที่แทรกอยู่ในเส้นแบล็งกิ้งออกมาเหมือนกับแหล่งข้อมูลที่ส่งมาทุกประการ ซึ่งการส่งแบบดาต้าบรอดคาสนี้ จะเป็นการส่งด้วยความเร็วสูงและข้อมูลมีความต่อเนื่อง ในการส่งในระบบนี้มีข้อจำกัดคือจะส่งข้อมูลได้ทางเดียวไม่มีการโต้ตอบระหว่างแหล่งข้อมูลทางด้านส่งและด้านรับ โดยทางด้านรับจะรับที่ใดก็ได้นั้น ขึ้นอยู่กับว่าด้านรับสามารถรับช่องสัญญาณโทรทัศน์ที่เราแทรกข้อมูลมารับสัญญาณโทรทัศน์ได้หรือไม่ ถ้ารับได้สัญญาณโทรทัศน์ได้ข้อมูลที่รับก็จะรับได้เช่นกัน

ซึ่งในบทตอนท้าย ๆ จะเป็นการสรุปผลการทดลองการใช้งาน ปัญหาและแนวทางในการพัฒนาต่อไปในอนาคต

บทที่ 2 กล่าวถึงโครงสร้างของสัญญาณภาพในระบบโทรทัศน์ ทฤษฏีและหลักการของระบบการส่งแบบดาต้าบรอดคาส

บทที่ 3 กล่าวถึงการคำนวน การสร้างวงจรและการทำงาน

ภาคผนวก วงจรส่วนต่าง ๆ ของระบบดาต้าบรอดคาสและข้อมูลอย่างย่อของอุปกรณ์สำคัญในส่วนวงจรการทำงาน

ขอบเขตของวิทยานิพนธ์

ในวิทยานิพนธ์ส่วนที่ทำขึ้นนี้เป็นการรับสัญญาณข้อมูล โดยวงจรภาครับจะทำการถอดรหัสข้อมูลที่ส่งมากับสัญญาณแบล็งกิ้งของโทรทัศน์ ในการส่งข้อมูลแบบนี้จะสามารถส่งได้ด้วยความเร็วสูงและมีความต่อเนื่องซึ่งทางด้านรับสามารถที่จะรับได้หลายจุด โดยข้อมูลที่รับจะนำมาแสดงผลบนคอมพิวเตอร์ซึ่งทำให้การรับมีประสิทธิภาพมากยิ่งขึ้นกว่าการรับส่งแบบเทเลเท็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

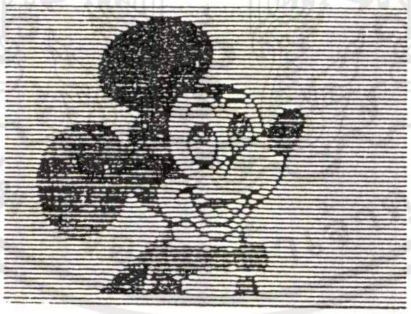
บทที่ 2
ทฤษฎีและหลักการของระบบดาต้าบรอดคาส

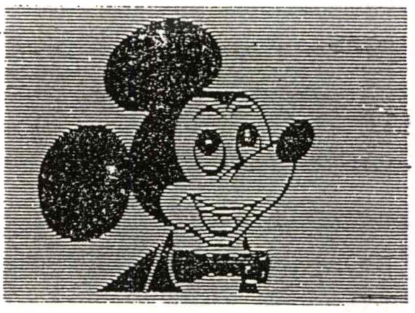
ในอดีตที่ ผ่านมาระบบการแพร่กระจายข้อมูลให้ถึงผู้รับจำนวนมาก ในเวลาใกล้เคียงกันสามารถกระทำได้โดยการส่งข้อมูลด้วยโมเด็มผ่านทางข่ายโทรศัพท์ซึ่งทำให้สิ้นเปลือง ค่าใช้จ่ายเป็นจำนวนมาก แต่ยังมีวิธีการส่งที่สามารถลดค่าใช้จ่ายในการส่งข้อมูล ในส่วนนี้ลงได้อีกทางหนึ่ง คือระบบดาต้าบรอดคาส เป็นระบบส่งข้อมูลโดยใช้คลื่นสัญญาณโทรทัศน์เป็นคลื่นพาหะในลักษณะเดียวกับการส่งในระบบ เทเลเท็กซ์ แต่ลักษณะข้อมูลจะมีขนาดและความเร็วในการส่งข้อมูลได้มากกว่า ทำให้สามารถส่งข้อมูลข่าวสาร เอกสาร รูปภาพ หรือข้อมูลอื่น ๆ ซึ่งผู้รับจะต้องมีอุปกรณ์และซอฟแวร์ที่เหมาะสมในการรับข้อมูล ก่อนอื่นขอกล่าวถึงระบบการส่งสัญญาณโทรทัศน์ เพื่อเป็นพื้นฐานในการทำความเข้าใจระบบดาต้าบรอดคาสต่อไป

2.1 การส่งสัญญาณของระบบวิทยุโทรทัศน์

โครงสร้างของสัญญาณภาพ

ภาพที่เรามองเห็นจะถูกส่งด้วยระบบโทรทัศน์ประกอบด้วยจุดเล็ก ๆ จำนวนมากมายซึ่งเรียกว่า พิคเจอร์อิลิเมนต์ (Picture element) และพิคเจอร์อิลิเมนต์เป็นพื้นที่สี่เหลี่ยมเล็ก ๆ ซึ่งทำให้เกิดขึ้นโดยเส้นในแนวแกนนอน (Horizontal line) กับ เส้นในแนวแกนตั้ง (Vertical line) จะแบ่งภาพออกเป็นส่วน ๆ แต่ละส่วนจะมีขนาดเท่ากันแต่มีความสว่างไม่เท่ากัน ภาพโทรทัศน์ที่เรามองเห็นประกอบไปด้วยพิคเจอร์อิลิเมนต์จำนวนมากมาย รูปที่ 2.1 แสดงให้เห็นรายละเอียดของภาพที่ปรากฏเมื่อระบบโทรทัศน์ใช้จำนวนเส้นสแกนต่างกัน รูป 2.1(a) ใช้เส้นสแกนน้อยกว่ารูป 2.1(b)





รูปที่ 2.1 ผลของจำนวนของการ์สแกนที่มีต่อรายละเอียดของภาพ

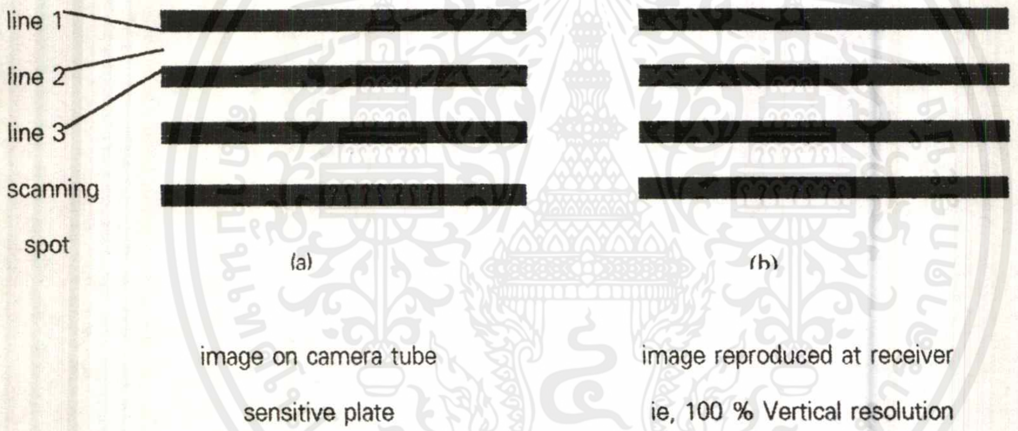
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความชัดเจนของภาพ (Resolution)

ความชัดเจนของภาพคือ การถอดถ่ายของเส้นดำและขาว ความสามารถอันนี้โดยปกติระบุไว้เป็นจำนวนเส้นที่สามารถถอดถ่ายได้ (นับทั้งเส้นดำและขาว) ในความยาวเท่ากับความสูงของภาพ

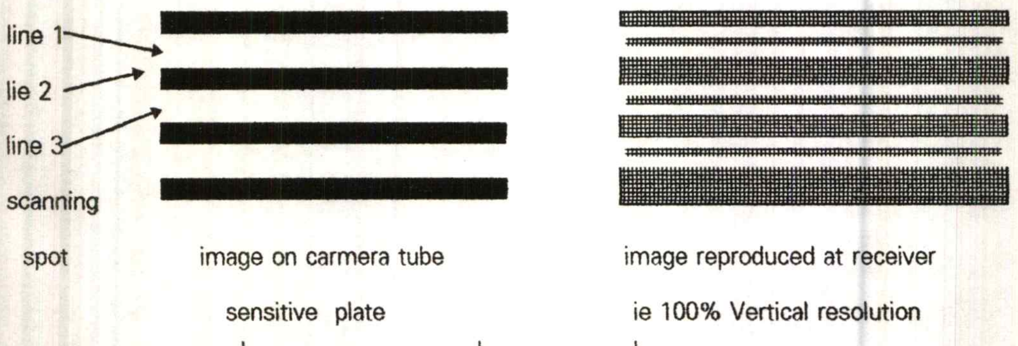
เวอร์ติคอลรีโซลูชั่น (Vertical resolution) ในลักษณะที่ดีควรเท่ากับจำนวนเส้นของระบบโทรทัศน์นั้น ๆ กล่าวคือสามารถถ่ายทอดเส้นขาวดำและเส้นขาวเรียงลำดับไปทางแนวดิ่งจากบนลงล่าง (ณ ที่นี้คือ 625 เส้น)

ในทางปฏิบัติแล้วนั้นเส้นสบัดกลับระหว่างฟิลด์ (field flyback) ต้องการเวลาคิดเป็นจำนวน 25 เส้นต่อหนึ่งฟิลด์เป็นจำนวน 50 เส้น ในจำนวน 625 เส้นเหลือเป็นเส้นที่ใช้งาน (active line) 575 เส้น ขอให้พิจารณาอนุกรมของเส้นนอนดำขาวดังแสดงในรูปที่ 2.2(a) การสร้างภาพที่หน้าจอเส้นที่ 1 ทำให้เกิดสัญญานเป็นภาพดำ และเส้นสองทำให้เกิดภาพขาวและต่อ ๆ ไป ในกรณีเช่นนี้เราจะได้เวอร์ติคอลรีโซลูชั่น 100 เปอร์เซ็นต์ เต็มที่ และได้ภาพอย่างอย่างเดียวทางด้านรับในรูปที่ 2.2.(b) ณ ที่นี้สมมุติเอาว่าเส้นผ่าศูนย์กลางของจุดสแกน (scanning spot)โตเท่ากับความกว้างของเส้นขาวดำหนึ่ง ๆ



รูปที่ 2.2 เวอร์ติคอลรีโซลูชั่น (กรณีดีที่สุด)

ในกรณีเลวที่สุดซึ่งจุดสแกนกวาดผ่านเส้นดำและขาวคนละครั้งดังแสดงในรูปที่ 2.3(a) ภาพที่รับได้จะเป็นภาพกึ่งสีเทาตลอดและเวอร์ติคอลรีโซลูชั่นจะเป็นศูนย์



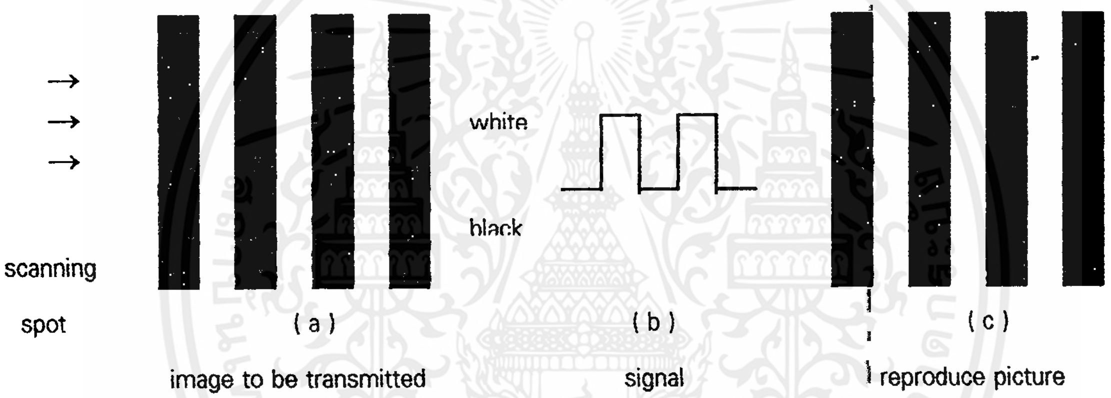
รูปที่ 2.3 เวอร์ติคอลรีโซลูชั่น (กรณีเลวที่สุด)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัตินั้นเวอร์ติคอลอิลิเมนต์ ในภาพเฉลี่ยหนึ่ง ๆ จะไม่เป็นรูปแบบ (pattern) ตายตัว แต่จะกระจายไปทั่วภาพ จำนวนเส้นที่สามารถจำแนกออกได้จะมีจำนวน 75 เปอร์เซ็นต์ ของจำนวนเส้นที่ใช้งานทั้งหมดนั่นคือเวอร์ติคอลรีโซลูชั่นที่คาดว่าจะได้มีค่าเป็น 575 x 0.75 = 430 เส้น(โดยประมาณ)

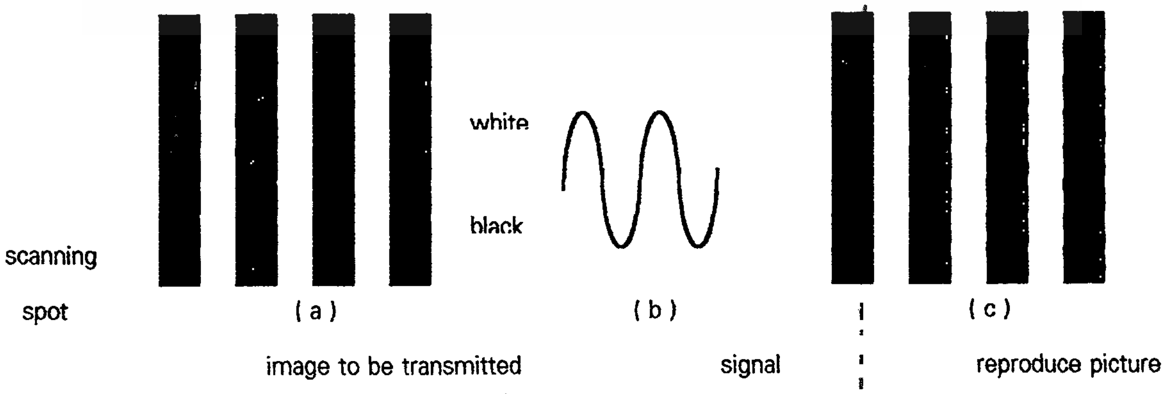
ฮอร์ริซอลทัลรีโซลูชั่น (Horizontal resolution) เพื่อให้สอดคล้องกันในเรื่องรายละเอียดของภาพฮอร์ริซอลทัลรีโซลูชั่น ควรมีค่าอย่างเดียวกับเวอร์ติคอลรีโซลูชั่นฮอร์ริซอลทัล คือ ความสามารถในการสร้างเส้นดำขาวเรียงสลับกันทางฮอร์ริซอลทัล ในความยาวเท่ากับความสูงของภาพ จำนวนที่แท้จริงของเส้นที่สามารถจำแนกได้ในความกว้างทั้งหมดของภาพต้องนำอัตราส่วนของรูป (aspect ratio) ซึ่งจะได้จำนวนที่แท้จริงของเส้นที่สามารถจำแนกทางฮอร์ริซอลทัลได้ 4/3x430 =573 เส้น

รูปที่ 2.4(a) แสดงการสแกนของจุดที่เริ่มสแกน ผ่านอนุกรมเส้นดิ่งดำ-ขาวสลับกันตรงตามจำนวนสูงสุดของฮอร์ริซอลทัลรีโซลูชั่นถ้าจุดมีขนาดเล็กมาก สัญญาณขาออกจากลำกล้อง (camera tube) จะเป็นสแควร์เวฟ (square wave) และภาพที่ถอดถ่ายได้ทางด้านรับจะสมบูรณ์เหมือนด้านส่ง ดังรูป 2.4(b)



รูปที่ 2.4 ฮอร์ริซอลทัลรีโซลูชั่นที่มีจุดสแกนเล็กมาก

เมื่อจุดที่สแกนโตพอควร การเปลี่ยนแปลงของสัญญาณจากดำไปขาวจะไม่เป็นไปในทันทีแต่จะมีภาวะต่าง ๆ ซึ่งจุดอยู่ในส่วนดำบางส่วนและขาวบางส่วนทำให้ได้สัญญาณสีเทา ขอบของสแควร์เวฟ รูปที่ 2.4(b) จะมนไปและเปลี่ยนไปคล้ายคลึงกับคลื่นไซน์ (sine wave) ดังรูปที่ 2.5(b) ภาพที่รับได้จะผิดไปจากเดิมโดยมีการค่อยๆเปลี่ยนระหว่างดำและขาว



รูปที่ 2.5 ฮอร์ริซอลทัลรีโซลูชั่น (scan spot โตพอควรและมีการสูญเสีย Harmonic ต่าง ๆ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราทราบแล้วว่าสแควร์เวฟประกอบด้วย คลื่นไซน์ ความถี่เดิม (fundamental frequency) และ ฮาร์โมนิค(harmonic) ต่าง ๆ มากมายและการสูญเสียของฮาร์โมนิคเหล่านี้ย่อมจะทำให้สัญญาณนี้ใกล้เคียงกับคลื่นไซน์เข้าไป การลดทอนองค์ประกอบความถี่สูง ๆ ในระบบรับส่งโทรทัศน์จะให้ผลคล้ายคลึงกับการเพิ่มขนาดจุดสแกน คือ ทำให้ฮอร์ริซอลทัลรีโซลูชั่นเลวลงไปในทางปฏิบัติ ปัจจัยสำคัญที่เป็นตัวจำกัดฮอร์ริซอลทัลรีโซลูชั่นนั้นก็คือ แอมปลิจูดรีโซลูชั่น (amplitude resolution) ณ ความถี่สูง ๆ นั่นเอง

ในรูปที่ 2.5 สัญญาณสำหรับเส้นประชิดกันสองเส้น กล่าวคือ เส้นดำและขาวแทน 1 ไซเคิลของสัญญาณ

แบนด์วิดท์ของสัญญาณภาพ

ขีดความถี่สูงของแบนด์วิดท์เพื่อให้ฮอร์ริซอลทัลรีโซลูชั่น มีค่าเท่ากับเวอร์ติคอลรีโซลูชั่นที่คาดว่าจะได้นั้น จำเป็นต้องจำแนกเส้นดำ - ขาวสลับตามฮอร์ริซอลทัล 575 เส้นในเวลาใช้งาน (active time line time) และเส้นที่ทำงานสำหรับ 1 เส้นเท่ากับเวลาที่ใช้ในหนึ่งเส้น (line time) ลบฮอร์ริซอลทัลแบล็งกิ้ง

นั่นคือ $64\ \mu s - 12\ \mu s = 52\ \mu s$

โดยที่ 1 ไซเคิล ของสัญญาณเกิดจากเส้นสองเส้น ดังนั้นในเวลา 52 μs จึงมีสัญญาณ 575/2 ไซเคิล นั่นเอง

ขีดความถี่สูงของ bandwidth = $\dfrac{\text{จำนวนเส้น horizontal scan} \div \text{active time}}{2}$

$= 575/(2x52) = 5.5$ MHz

ในทางปฏิบัติของการรับส่งโทรทัศน์ระบบ 625 เส้น กำหนดให้ใช้ความถี่สูงสุดของสัญญาณภาพ (maximum video frequency) เป็น 5 MHz โดยยอมเสียคุณภาพทางฮอร์ริซอลทัลรีโซลูชั่นลงไปบ้าง

ระบบโทรทัศน์ที่มีขีดทางความถี่สูง 5 MHz สำหรับสัญญาณภาพ (Picture signal) นี้ยังพอเพียงสำหรับการรับส่งสัญญาณซิ้งค์ (sync signal) อีกด้วยดังจะเห็นได้ดังต่อไปนี้

ปกติสัญญาณซิ้งค์ต่าง ๆที่ใช้เป็นพัลซ์รูปสี่เหลี่ยม มีเวลาขอบขาขึ้น (rise time) อยู่ในย่าน 0.2 และ 0.4 μs ดังนั้น ความถี่สูงสุดที่ต้องการสำหรับเวลาขอบขาขึ้นดังกล่าวจะหาได้จาก

ความถี่สูงสุดสำหรับ เวลาขอบขาขึ้น 0.2 μs = $\dfrac{1}{2 \times 0.2}$ = 2.5 MHz

ความถี่สูงสุดสำหรับ เวลาขอบขาขึ้น 0.4 μs = $\dfrac{1}{2 \times 0.4}$ = 1.25 MHz

การสแกน

หน้าที่ของการสแกนก็เพื่อที่จะเลือก พิคเจอร์อิลิเมนต์ของภาพที่ชัดเจนบนฉากเรียงตามลำดับเพื่อทำการส่งและสร้างขึ้นใหม่ทางด้านรับให้ตรงกับด้านส่ง การสแกน หมายถึงจำนวนภาพที่ส่งออกไปต่อวินาที ถ้าเราส่งจำนวนต่อวินาทีมากมายเท่าไร การกระพริบของภาพจะลดลงเท่านั้นยิ่งเพิ่มจำนวนเส้นในการสแกนก็ยิ่งจะได้ภาพที่ละเอียดชัดเจนยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้จำนวนของพิคเจอร์อิลิเมนต์ = N

ให้จำนวนเส้นในการสแกน = n

ความสูงของภาพ = h

ความกว้างของภาพ = b

หาความสัมพันธ์ได้ว่า N = [b/h] x (n^2)

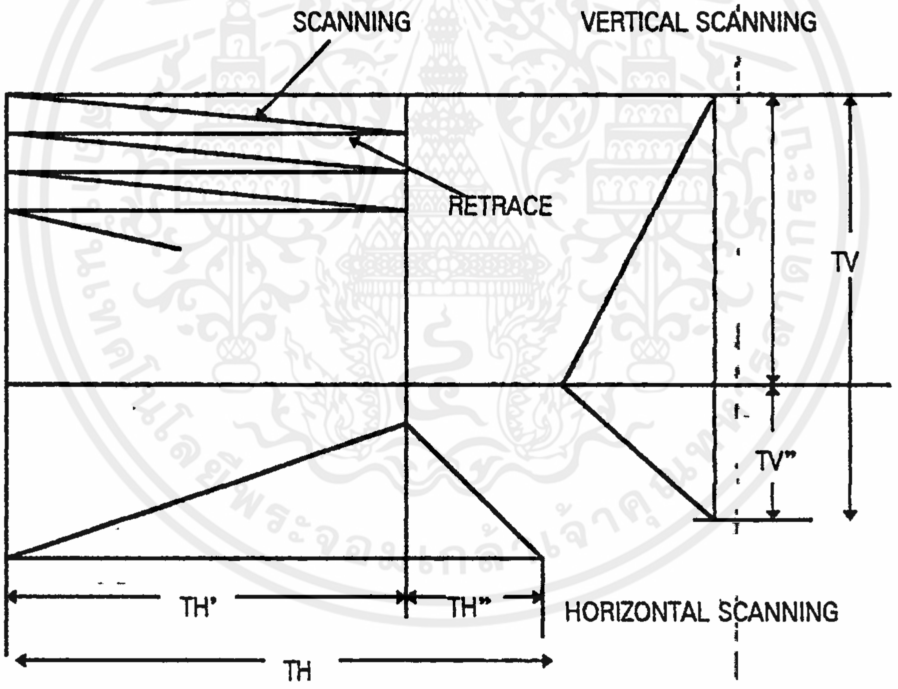
b/h Aspect ratio = 4/3

จะเห็นได้ว่าความชัดเจนของภาพจะขึ้นอยู่กับ จำนวนพิคเจอร์อิลิเมนต์ (N) ให้ความถี่ของการสแกนทางเวอร์ติคอล (Fv) เท่ากับ จำนวนภาพ/วินาที ฉะนั้นความถี่ในของฮอร์ริซอลทัลสแกน (Fh) เท่ากับ จำนวนภาพต่อวินาที คูณด้วยจำนวนเส้นสแกน โทรทัศน์ระบบ 625 เส้น จะมีจำนวนเส้นต่อหนึ่งภาพ และจะมีจำนวนภาพ/วินาที เท่ากับ 25 ฉะนั้นเราสามารถหาความถี่ของฮอร์ริซอลทัลสแกน จะได้

Fh = 25x625 = 15625 Hz

และ n = Fh/Fv = 15625/25 = 625 เส้น

การสแกนอาศัยรูปฟันเลื่อย (saw tooth) ดังแสดงในรูปที่ 2.6.

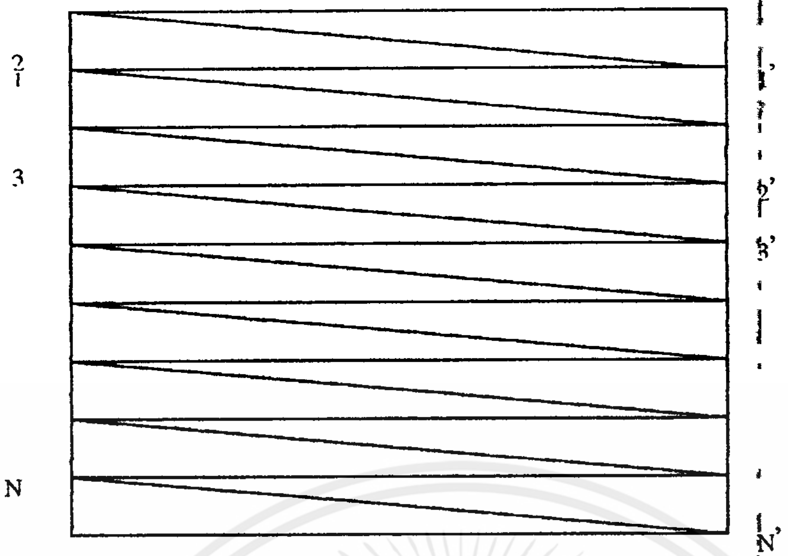


รูปที่ 2.6 การสแกนรูป saw tooth

จากรูปที่ 2.6 จะเห็นว่าการสแกนจะกระทำไปพร้อมๆกัน ทางฮอร์ริซอลทัลและเวอร์ติคอลโดยที่ความถี่ในการ สแกนต่างกัน แต่ขดลวดทางฮอร์ริซอลทัลและเวอร์ติคอลที่จะทำให้เกิดการสแกน จะวางอยู่ในตำแหน่งตั้งฉากซึ่งกันและกัน โดยทั่วไปแล้ววิธีการสแกนมีอยู่ 2 วิธีคือ

1. โพรเกรสซีพสแกนนิ่ง (Progressive scanning)
2. อินเตอร์เลซสแกนนิ่ง (Interlaced sanning)

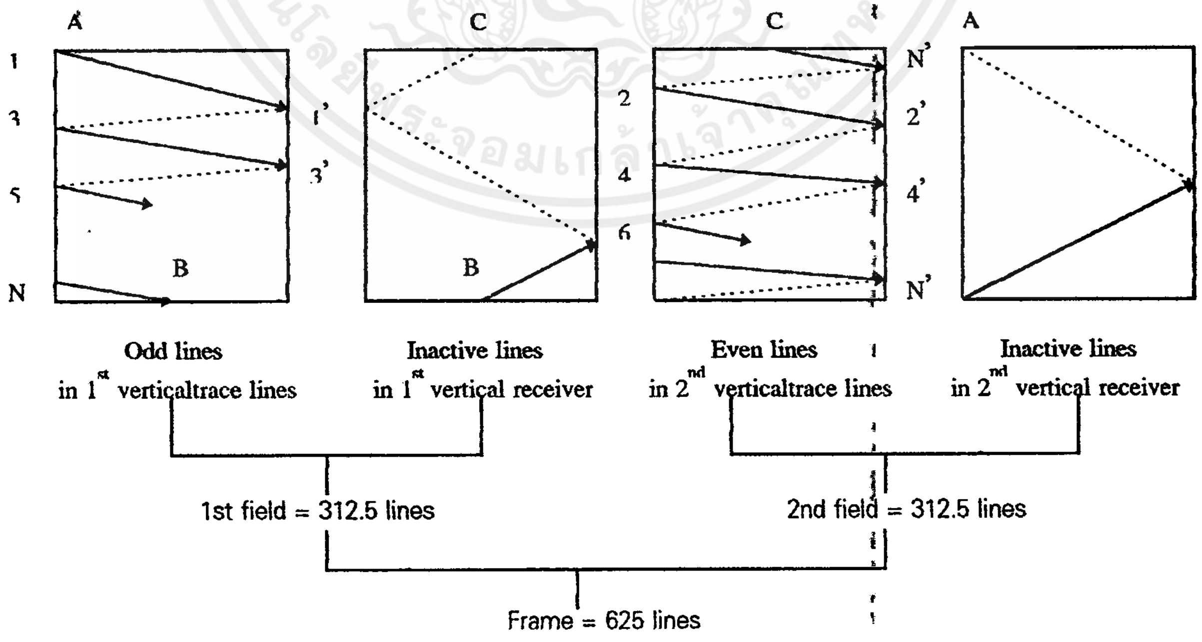
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 Progressive scanning

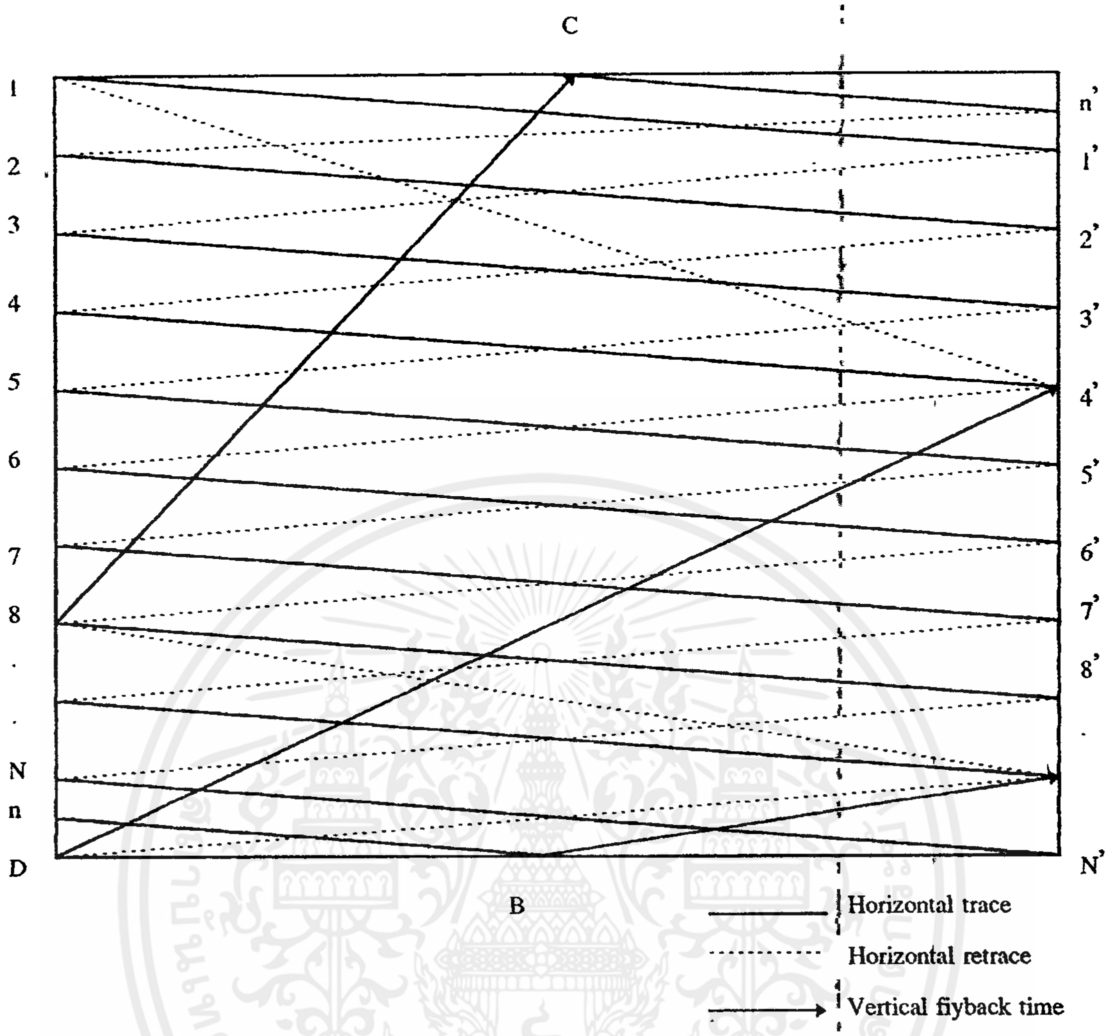
จากรูปที่ 2.7 จะเห็นว่าภาพจะถูกสแกนจากซ้ายไปขวาและจากบนลงล่าง คือ จาก 1 - 1', 2 - 2', 3 - 3 '.....N - N' แล้วก็มาเริ่มสแกน 1 - 1' ใหม่ การสแกนแบบนี้เป็นหลักเบื้องต้นของการสแกนในระบบโทรทัศน์

อินเตอร์เลซสแกนนิ่ง เป็ นการสแกนที่ดีกว่าแบบโพรเกรซซีพสแกนนิ่ง มากเพราะสามารถเพิ่มจำนวนภาพต่อวินาทีที่ได้ โดยใช้แบนด์วิดท์เท่าเดิมหลักการสแกน ดังแสดงให้เห็นได้ในรูปที่ 2.8 การสแกนแบบนี้จะเริ่มสแกนเส้นคี่ก่อนคือ เริ่ม 1 - 1', 3 - 3', 5 - 5',....n - n' แล้วก็มาเริ่ม-สแกนเส้นคู่ 2 - 2', 4', 4', 6 - 6',....N - N'



รูปที่ 2.8 (A) Interlaced scanning procedure

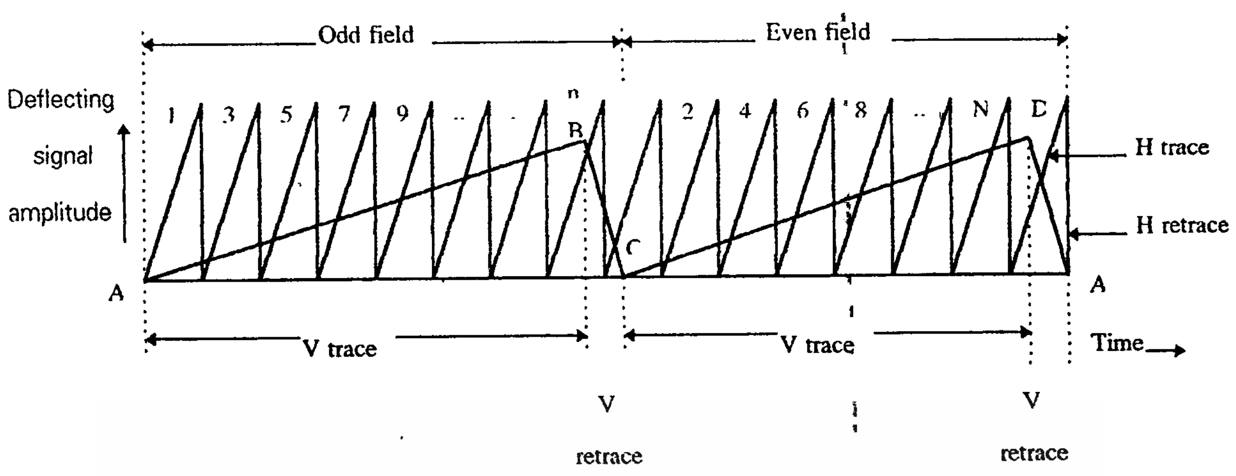
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 (B) Interlaced scanning

การสแกนเส้นคี่แล้วมาสแกนเส้นคู่แล้วกลับมาสแกนเส้นคี่อีกเรื่อย ๆ ไป สแกนก็มีหลักการเช่นเดียวกับการสแกนแบบโพรเกรซซีพสแกนนิ่งนั่นเอง แต่เราสแกนสองครั้งนำมาซ้อนเป็นภาพ ๆ เดียว ในระบบอินเตอร์เลซสแกนนิ่ง จำนวนเส้นสแกนต้องเป็นเลขคี่เสมอ เพราะว่าอินเตอร์เลซสแกนนิ่งกระทำได้จากการฮอร์ริซอลทัลสแกนนิ่งและเวอร์ติคอลสแกนนิ่งโดยอัตโนมัติ การเวอร์ติคอลสแกนนิ่งที่เป็นเลขคี่ จะสิ้นสุดลงกึ่งกลางของเส้นฮอร์ริซอลทัลสแกนนิ่ง ส่วนการเวอร์ติคอลสแกนที่เป็นเล่ขคู่ จะสิ้นสุดลงที่เส้นสุดท้าย ของเส้นฮอร์ริซอลทัลสแกนนิ่งดังแสดงในรูปที่ 2.9 จะเห็นความสัมพันธ์ ระหว่างฮอร์ริซอลทัลสแกนนิ่งและเวอร์ติคอลสแกนนิ่งที่กระทำไปพร้อมกันในรูปที่ 2.9 สมมุติว่าเวลาในช่วงการสบัดกลับ (retrace) เป็นศูนย์แต่ความจริงในช่วง ของการสบัดกลับของการ-สแกนจะเสียเวลาบ้างเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 รูป saw tooth ของการแสดงแบบ Interlaced scanning

ถ้าจำนวนเส้นในการสแกนเป็นเลขคู่แล้วทางปฏิบัติจะทำไม่ได้ เพราะว่ารูปร่างของรูปคลื่นแบบฟันเลื่อยทางเวอร์ติคอลและฮอร์ริซอลทัลจะต้องต่างกันและแยกกันทำงาน การสแกนเสร็จสิ้นครั้งหนึ่งเราเรียกว่า ฟิลด์สแกน [field scanning (F1)] การสแกนครบหนึ่งภาพเรียกว่า เฟรมสแกน [frame scanning (Ff)] ฉะนั้นจะได้

$$Ff = 2 F1$$

ในหนึ่งเฟรมจะประกอบด้วย 2 ฟิลด์ คือ ฟิลด์คี่ และ ฟิลด์คู่ เฟรมจะมีความถี่เป็นครึ่งหนึ่งของฟิลด์เสมอ เมื่อเปรียบเทียบข้อดีและข้อเสียของระบบอินเตอร์เลซสแกนนิ่งกับโพรเกรซซีพสแกนนิ่ง พอสรุปได้ดังนี้

ข้อดี กรณีจำนวนเส้นสแกน และจำนวนภาพต่อวินาทีเท่ากับระบบอินเต่อร์เลซสแกนนิ่ง จะให้การกระพริบน้อยกว่า

ข้อเสีย การที่จะทำให้เกิดอินเตอร์เลซสแกนนิ่งยากมักจะเกิดเส้นแพร์ริ่ง (Line pairing) ซึ่งทำให้ความชัดเจนลดลงไป และการสร้างซิ้งค์ลำบากและยุ่งยากมากกว่า

คำว่าอินเตอร์เลซสแกนนิ่ง หมายถึง เส้นสแกนมักจะทับกันทำให้เส้นในการสแกนลดลง ฉะนั้นรายละเอียดและความชัดเจนจึงลดลงด้วย

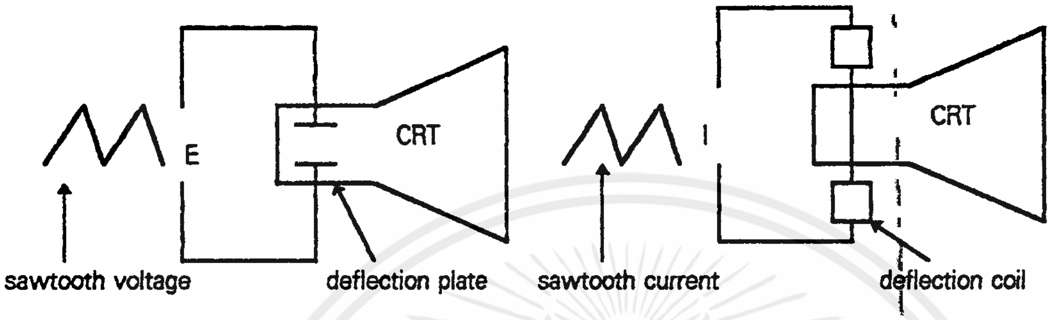
การเบี่ยงเบนลำอิเล็คตรอน (Electrom beam deflection)

ระบบการเบี่ยงเบน (deflection) การสแกนนิ่งที่เห็นบนจอโทรทัศน์ซึ่งเรียกว่า เรสเตอร์ (raster) ทำได้โดยทำให้ลำอิเล็คตรอน (electrom beam) เคลื่อนที่จากซ้ายไปขวาและจากบนลงล่างการที่จะทำให้ลำอิเล็คตรอนเกิดการเบี่ยงเบน กระทำได้ 2 วิธี คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่หนึ่ง เรียกว่า การเบี่ยงเบนแบบคงที่ (static deflection) ดังแสดงในรูปที่ 2.10. (A) วิธีนี้ใช้ โวลต์เตจแบบฟันเลื่อยป้อนเข้าไปยังแผ่นที่จะทำการเบี่ยงเบนซึ่งต่ออยู่ในจอหลอดภาพ

วิธีที่สอง มีชื่อว่าการเบี่ยงเบนแบบสนามแม่เหล็ก (megnetic deflection) วิธีนี้ต้องป้อนกระแสรูปฟันเลื่อยเข้าไปที่ ขดลวดเบี่ยงเบน (deflection coil) เพื่อทำให้เกิดการเบี่ยงเบนสนามแม่เหล็กผลักลำอิเล็คตรอนให้เคลื่อนที่ ดังแสดงให้เห็นในรูป 2.10(B)

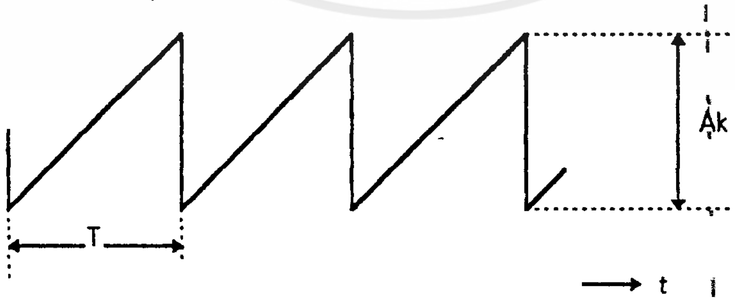


รูปที่ 2.10 (A) Static deflection (B) Megnetic deflection

ทั้งสองแบบที่กล่าวมาแล้วจำเป็นต้องมีแผ่นเบี่ยงเบน หรือ ขดลวดเบี่ยงเบนอย่างละ 2 ชุด วางตั้งฉากซึ่งกันและกันเพื่อทำให้เกิดการหักเหทางเวอร์ติคอลและทางฮอร์ริซอลทัล เส้นเรสเตอร์ที่เห็นเป็นรูปสี่เหลี่ยมประกอบด้วยเส้นฮอร์ริซอลทัล สแกนนิ่ง และ เวอร์ติคอลสแกนนิ่ง ในระบบพาล (PAL B)มาตราฐาน การกำหนด ความถี่สากล กำหนดความถี่ฮอร์ริซอลทัล เป็น 15625 Hz และความถี่เวอร์ติคอล = 50 Hz

คุณสมบัติของสัญญาณรูปฟันเลื่อย สัญญาณที่ใช้ในการหักเหลำอิเล็คตรอนจะแตกต่างจากคลื่นชนิด คลื่นไซน์ ก็คือสัญญาณฟันเลื่อยจะประกอบด้วยความถี่ชนิด คลื่นไซน์หลาย ๆความถี่ประกอบกันแต่คลื่นไซน์ จะมีความถี่เพียงความถี่เดียวเท่านั้น คือความถี่ 50 Hz

ดังรูปที่ 2.11 แสดงรูปคลื่นสัญญาณฟันเลื่อยในอุดมคติ (Ideal saw tooth) ถ้าแสดงด้วยสมการคณิตศาสตร์อนุกรมฟูเรียร์ (Fouler series) จะได้จำนวนฮาร์โมนิคที่สูงกว่าความถี่เดิมมากมายจนถึงอนันต์



รูป 2.11 รูป ideal saw tooth

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f(t) = \sum_{n=1} An \sin nwt \qquad (1)$$

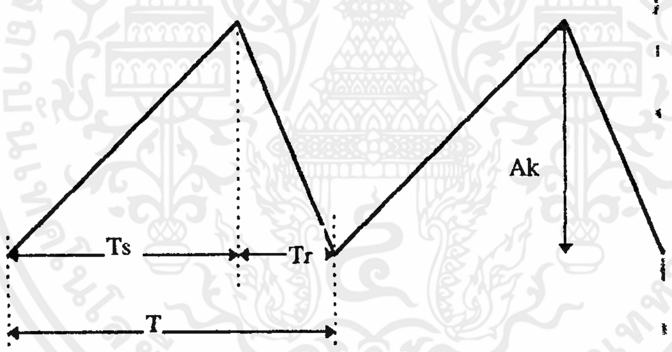
เมื่อ $An = \frac{Ak}{n\pi} \cos n\pi$

AK = ขนาดของคลื่น ซอลทูส

n = ลำดับของ harmonic

ดังรูปที่ 2.12 จะเห็นว่าในช่วงสบัดกลับเท่ากับศูนย์ ซึ่งยากแก่การสร้างและการขยายมากเนื่องจากมีจำนวนฮาร์โมนิคมากมาย ดังนั้นในทางปฏิบัติรูปคลื่นฟันเลื่อยจะผลิตดังแสดงไว้ในรูปที่ 2.11 ถ้าให้เวลาในการสแกนทั้งหมดเท่ากับ T แบ่งออกเป็น 2 ส่วน คือ Ts เป็นเวลาที่ใช้การสแกน และ Tr เป็นเวลาที่ใช้ในการสบัดกลับ ซึ่งเขียนความสัมพันธ์ได้ว่า

$$An = \frac{AK}{n^2 \pi^2 \frac{T_s}{T} \left(1 - \frac{T_s}{T}\right)} \sin\left(n\pi \frac{Ts}{T}\right) \qquad 2$$



รูปที่ 2.12 รูปคลื่น saw tooth ในทางปฏิบัติ

จากสมการนี้แสดงว่า ถ้าช่วงเวลาในการสบัดกลับมากจะใช้จำนวนฮาร์โมนิคน้อยลงและง่ายแก่การสร้างและออกแบบวงจรขยายในระบบโทรทัศน์ รูปคลื่นฟันเลื่อยจำเป็นต้องมีเวลาในการ สบัดกลับที่เหมาะสม คือใช้เวลาสบัดกลับ 18 เปอร์เซ็นต์ สำหรับการหักเหทางฮาร์โมนิคและ 6.5 เปอร์เซ็นต์ในทางเวอร์ติคอล

สัญญาณภาพและมาตราฐานของสัญญาโทรทัศน์

สัญญาณภาพที่ประกับขึ้นเป็นสัญญาณทางไฟฟ้า ซึ่งตรงกับการสแกนของลำอิเล็คตรอนในกล้องโทรทัศน์ สัญญาณโทรทัศน์จะบอกรายละเอียดทางด้านเทคนิคของรูปร่างสัญญาณ และคุณสมบัติในการมอดูเลท ของโทรทัศน์ที่ส่งออกอากาศ ซึ่งจะบอกอย่างชัดเจนเกี่ยวกับ จำนวนเส้นของการสแกน อัตราส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเตอร์เลซ การมอดูเลทภาพและเสียงเป็นอย่างไร มีแถบแบนด์วิดท์อย่างไร จะให้รายละเอียดเกี่ยวกับระบบพาล ที่การกำหนดมาตรฐานสากล กำหนดใช้เส้นในการสแกนจำนวน 625 เส้น และอินเตอร์เลซของภาพ 2 ต่อ 1 หนึ่งภาพจะประกอบด้วย 2 ฟิลด์ ความถี่ของฟิลด์เท่ากับ 50 Hz ฉนั้นจำนวนภาพต่อวินาทีเท่ากับ 25 Hz ความถี่ทางฮอร์ริซอลทัล เท่ากับ 625 x 25 = 15625 Hz มีอัตราความสูงต่อความกว้างของภาพ เท่ากับ 4 ต่อ 3

ส่วนประกอบของสัญญาณโทรทัศน์ ที่สำคัญมี 6 ส่วนคือ

1.สัญญาณภาพ (picture information)

2.สัญญาณซิ้งค์ประกอบด้วยไลน์ซิงค์และ ฟิลด์ซิ้งค์

3.สัญญาณแบล็งกิ้งป้องกันไม่ให้ตามองเห็นช่วงสบัดกลับ

4.สัญญาณซิ้งค์ของสี (color sanchronizing)

5.สัญญาณสี (chrominance)

6.สัญญาณขาวดำ (luminance)

สัญญาณภาพรวม (Composite video signal)

สัญญาณภาพรวมประกอบด้วยส่วนต่างๆ 6 ส่วน ได้แก่ สัญญาณภาพ สัญญาณซิ้งค์ สัญญาณแบล็งกิ้ง สัญญาณซิ้งค์ของสี สัญญาณสีและสัญญาณขาวดำ

สัญญาณภาพรวมประกอบด้วยแบล็งกิ้งพัลซ์ทำหน้าที่ยกระดับสัญญาณสู่ระดับสีดำ (black level) ในช่วงสบัดกลับทำให้ไม่เห็นเส้นสบัดกลับบนจอภาพ ช่วงสบัดกลับบนจอภาพเกิดตรงกับเวลาของพัลซ์แบล็งกิ้ง

แบล็งกิ้งพัลซ์ในสัญญาณภาพรวมมีทั้ง ฮอร์ริซอลทัลแบล็งกิ้งพัลซ์ และเวอร์ติคอลแบล็งกิ้งพัลซ์

ฮอร์ริซอลทัลแบล็งกิ้งพัลซ์ทำหน้าที่ลบเส้นสบัดกลับจากด้านขวาของจอภาพมายังด้านซ้ายของจอภาพ ในแต่ละเส้นที่สแกนในแนวแกนนอนความถี่ฮอร์ริซอลทัลแบล็งกิ้งพัลซ์ ลูกต่อลูกเท่ากับความถี่ที่ใช้ในการสแกนไลน์คือ 15625 Hz

เวอร์ติคอลแบล็งกิ้งพัลซ์ทำหน้าที่ลบเส้นสบัดกลับของลำอิเล็คตรอน จากด้านล่างขึ้นด้านบนจอภาพเมื่อสิ้นสุดการสแกนแต่ละฟิลด์ ความถี่เวอร์ติคอลแบล็งพัลซ์เท่ากับ 50 Hz ในแต่ละฟิลด์

สัญญาณซิ้งค์มีไว้เพื่อให้ทางเครื่องส่งและเครื่องรับทำการสแกนไปพร้อมๆ กัน โดยส่งฮอร์ริซอลทัลและเวอร์ติคอลซิ้งค์ไปด้วยกันโดยมีความกว้างของเวลาที่ต่างกันเพราะฉนั้นเป็นการง่ายในการแยกที่เครื่องรับโดยฮอร์ริซอลทัลสัญญาณซิ้งค์ จะถูกแยกด้วยการแสดงความแตกต่างซึ่งมีช่วงเวลาเท่ากับ 0.07 H = 0.07 x 64 = μS = 4.48 μS ส่วนเวอร์ติคอลสัญญาณซิ้งค์จะแยกส่วนที่รวมอยู่ซึ่งมีช่วงเวลายาวนานกว่าทาง ฮอร์ริซอลทัล= 2.5 H = 2.5 x 64 = 160 μS

เพื่อให้ช่วงฮอร์ริซอลทัลสัญญาณซิ้งค์ถูกต้อง เวอร์ติคอลสัญญาณซิ้งค์จะแทรกสัญญาณเข้ามาเป็น H/2 เมื่อเริ่มจะเปลี่ยนฟิลด์เวอร์ติคอลสัญญาณซิ้งค์ ได้มาจากการรวมส่วนประกอบซิ้งค์ซึ่งมี

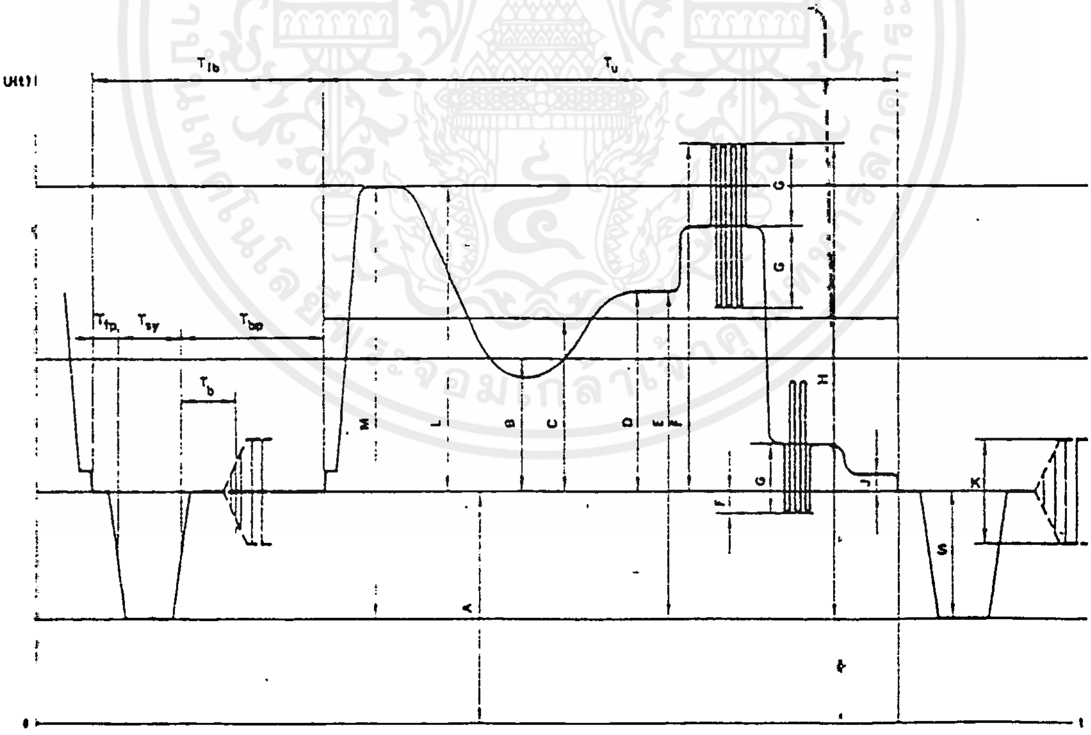
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The following terms concerning the components and values of a composite colour video signal are illustrated in Fig. 2.13

- *A* : the non-useful d.c. component,
- *B* : the useful d.c. component, integrated over a complete frame period,
- *C* : the picture d.c. component, integrated over the active line period (T_u),
- *D* : the instantaneous value of the luminance component,
- *E* : the instantaneous signal value with respect to the bottom of the synchronizing pulses,
- *F* : the peak signal amplitude (positive or negative with respect to blanking level),
- *G* : the peak amplitudes of chrominance components,
- *H* : the peak-to-peak signal amplitude,
- *J* : the difference between black level and blanking level (set-up),
- *K* : the peak-to-peak amplitude of the colour burst,
- *L* : the nominal value of the luminance component,
- *M* : the peak-to-peak amplitude of a monochrome composite video signal ($M = L + S$),
- *S* : the amplitude of the synchronizing pulses.
- T_{sy} : duration of line synchronizing pulse.
- T_{lb} : duration of line blanking period.
- T_u : duration of active line period.
- T_b : duration of breezeway.
- T_{fp} : duration of front porch.
- T_{bp} : duration of back porch.

The amplitudes *L*, *S* and *M* are used as reference amplitudes for the video signal. The amplitudes defined by *B*, *C*, *D*, *E*, *F*, *G*, *H* and *J* above, may be expressed as percentages of the value *L*.

Average picture level (APL) is the mean value of *C* over a complete frame period (excluding blanking periods) expressed as a percentage of *L*.



รูปที่ 2.13 Composite video signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีควอไลซ์ซิ่งพัลซ์เกิดก่อน 5 ลูก ซึ่งใส่ในช่วง H/2 และหลังจากอีควอไลซ์ซิ่งพัลซ์การเริ่มสแกน ของฟิลด์ที่ 2 จะเริ่มจากจุดกึ่งกลางของเส้นที่ 313

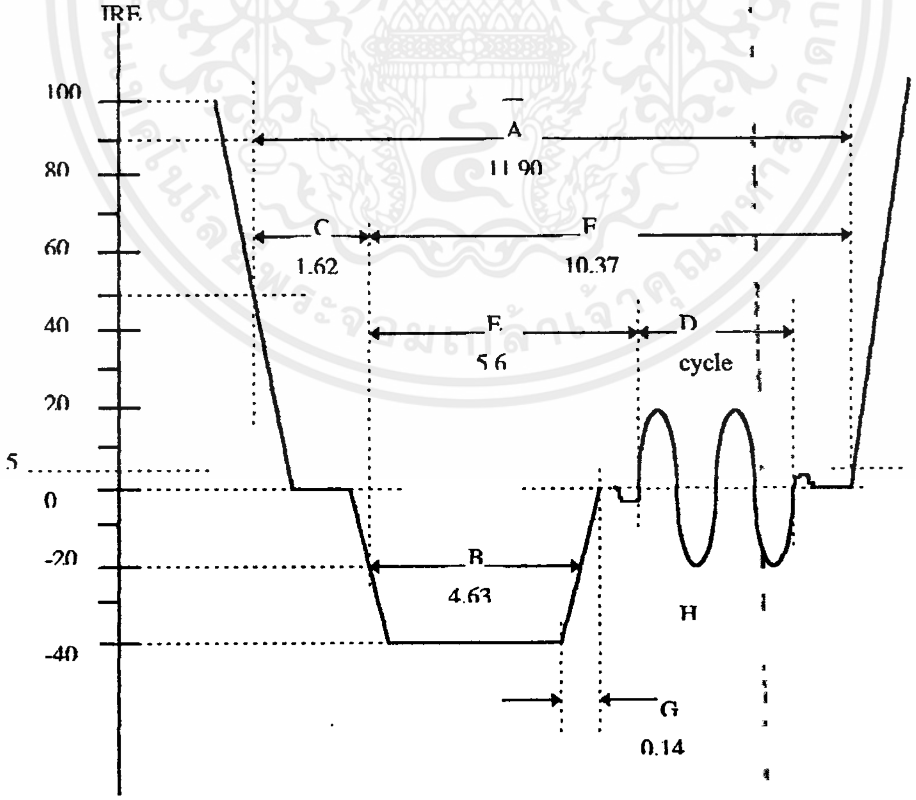
สัญญาณสี (Burst pulse) เป็นสัญญาณส่งไปในช่วงระยะของแบ็คโพชฮอร์ริซอลทัลแบล็งกิ้งอินเตอร์วัล (back porch horizontal blanking interval) และสัญญาณสีประกอบด้วยสัญญาณ 10 ไซเคิล ของ 4.43 MHz สัญญาณความถี่สี (color oscillator) ในเครื่องรับ

ส่วนประกอบของสัญญาณขาวดำ เป็นความสว่างของภาพมีลักษณะคล้ายคลึงกับสัญญาณภาพรวมของสัญญาณโทรทัศน์ขาวดำ จะมีความแตกต่างกันบ้างก็ตรงที่มีสัญญาณสีซึ่งมีความถี่เดียวกันกับแคร์เรียร์ของสัญญาณสี (color subcarrier) รวมอยู่ด้วยกันเท่านั้น

ส่วนประกอบสัญญาณโครมิแนนซ์ ประกอบด้วยสัญญาณสีสองสัญญาณรวมกันอยู่โดยมีมุมเฟสแคร์เรียร์ (carrier phase angle) ต่างกันอยู่ 90 องศา สัญญาณสีทั้งสองนี้ อยู่ในรูปของ Amplitude - modulated suppressed carrier sidebands ทั้งคู่มุมเฟสและแอมปลิจูดของสัญญาณสีนี้จะคอยควบคุมความมืดหรือสว่างของสี (Hue) และสภาวะอิ่มตัว (saturation) ของสีที่ต้องการส่งและต้องการรับ

ค่ามาตราฐานไลน์ซิ้งค์และไลน์แบล็งกิ้ง (LB)

ขนาดและเวลาของสัญญาณภาพระหว่างการสแกนฮอร์ริซอลทัล 1 เส้น (H) ซึ่งมีค่าเท่ากับ 64 µS ดังแสดงในรูปที่ 2.14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		MNC - 72	PAL - B TOLERRANCE
A	BLANKING	11.99 µS	9.0 ~ 15.0µS
B	SYNC	4.63 µS	4.6 ~ 4.8 µS
C	FRONT PORCH	1.63 µS	1.2 ~ 1.8 µS
D	BURST	10 cycles	9 ~ 11 cycles
E	SYNC & BREEZE WAY	5.6 µS	5.5 ~ 5.7 µS
F	SYNC & BACK PORCH	10.57 µS	10.5 µS
G	SYNC RISE-FALL-TINE	0.14 µS	0.1 ~ 0.3 µS
H	SC FREQUENCY (MHz)	4.43361875	± 5 Hz

รูปที่ 2.14 ค่ามาตราฐานของ sync และ horizontal banking

คาบเวลาของเส้น (H) นี้เป็นระยะเวลาที่ใช้ในการสแกนเสร็จสมบูรณ์ใน 1 เส้น ความถี่ฮอร์ริซอลทัลเท่ากับ 625 x 25 = 15625 เส้นใน 1 วินาที ฉนั้นจึงหาค่าระยะเวลาได้จาก

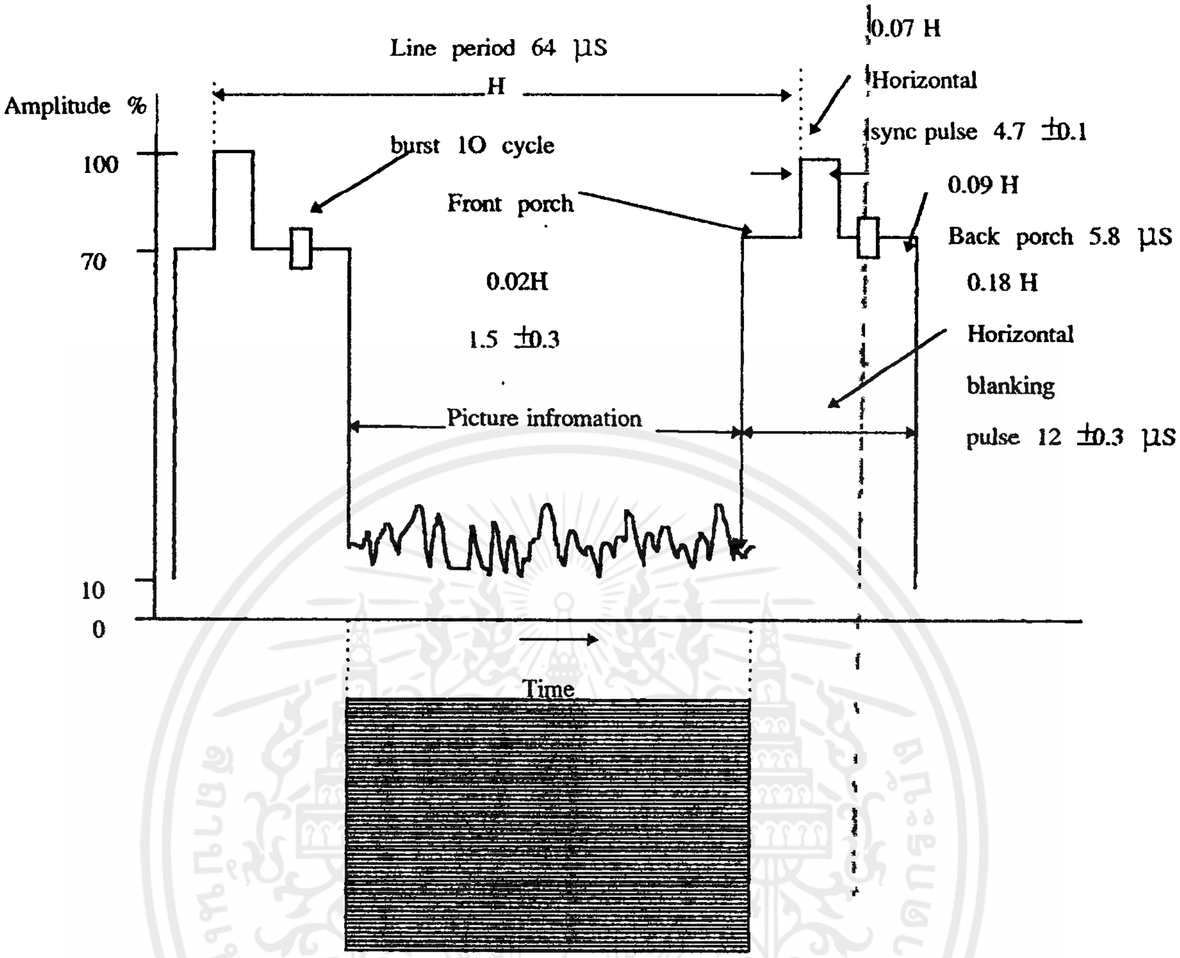
$$H = 1/fH = 1/15625 = 64\ \mu S$$

เส้นแบล็งกิ้ง (LB) ค่านี้จะเป็นช่วงเวลาที่จะใส่สัญญาณซิ้งค์ระยะเวลานี้ลำอิเล็คตรอนจะสบัดกลับช่วงนี้จะถูกรักษาไว้ที่ระดับสัญญาณสีดำซึ่ง LB = 0.19 H = 12 µS ระยะเวลาของเส้นแบล็งกิ้งจะแบ่งออกเป็น 3 ส่วน เพราะ ซิ้งค์จะใส่ไว้เกือบกึ่งกลางช่วงแบล็งกิ้ง ไลน์ซิ้งค์พัลซ์ (HS) เป็นพัลซ์เล็กๆ ที่มีความสำคัญมากจะถูกส่งจากด้านส่งไปยังเครื่องรับเ พื่อทำให้การสแกนทางฮอร์ริซอลทัลของเครื่องรับถูกต้อง ความกว้างของ HS = 0.075 H = 4.7 µS และมีเวลาขอบขาขึ้นน้อยกว่า 0.25 µS

ฟร้อนโพช (Front porch) จุดเริ่มต้นของช่วงนี้จะไม่เริ่มที่แบล็ง กิ้งแต่จะตามหลังจุดเริ่มต้นของแบล็งกิ้ง ประมาณ 2 เปอร์เซ็นต์ ของคาบเวลาของเส้นซึ่งระยะนี้เรียกว่าระยะ ฟร้อนโพช เพื่อให้เวลาของไลน์ซิ้งค์แต่ละตัวได้เริ่มต้นใหม่ที่ระดับสัญญาณดำที่คงที่และหลีกเลี่ยงจากการสร้างไลน์ซิ้งค์ในเครื่องรับ การเปลี่ยนแปลงของระดับสีขาวและสีดำของภาพ เป็นการซิ้งค์ออกจากอิทธิพลของช่วงท้าย ของสัญญาณภาพซึ่งจะสูงสุด เมื่อระดับสีขาวเกิดขึ้นช่วงท้ายการสแกน ช่วงนี้จึงแทนด้วยระดับสีขาวที่เกิดขึ้นให้เป็นระดับสีดำ ทำให้การเริ่มต้นของไลน์ซิ้งค์พัลซ์ ถูกต้อง ฟร้อนโพช = 2.5 เปอร์เซ็นต์ H = 1.5 µS แบ็คโพช (back porch) = 5.8 µS ระดับของสัญญาณภาพโดยทั่วไปจะกำหนดให้ระดับการมอดูเลทของแคร์เรียร์ยอดของซิ้งค์ จะให้การมอดูเลท 100 เปอร์เซ็นต์ เพราะการมอดูเลทแบบลบ (negative) เมื่อมีระดับขาวซึ่งระดับสัญญาณจะลดลงไปทางลบ แต่ช่วงแบล็งกิ้งรักษาไว้ที่ 70 เปอร์เซ็นต์ และยอดของระดับขาวเป็นระดับ 10 เปอร์เซ็นต์ ซึ่งค่า 10 เปอร์เซ็นต์ ของ แคร์เรียร์ภาพนี้จำเป็นต้องต่อเครื่องร ะบบแคร์เรียร์ เพื่อแทรกกับแคร์เรียร์เสียง จะให้ความถี่ 5.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาของฮอร์ริซอลทัลแบล็งกิ้ง (Horizontal blanking time)



รูปที่ 2.15 Horizontal blanking time

ระยะห่างระหว่างฮอร์ริซอลทัลสแกนนิ่งไลน์หรือคาบเวลาฮอร์ริซอลทัลเท่ากับ 64 µS เขียนแทนด้วย H เป็นระยะที่ใช้ไปในการสแกนครบ 1 เส้น นับตั้งแต่เริ่มสแกนไปจนถึงสบัดกลับ

คาบเวลาฮอร์ริซอลทัลแบล็คกิ้งมีค่าประมาณ 18 เปอร์เซ็นต์ ของคาบเวลาในไลน์ หรือเท่ากับ 0.18 H เวลาฮอร์ริซอลทัลแบล็งกิ้งเท่ากับ 0.18 x 64 µS = 12 µS นี้เองเป็นเวลาที่ลำอิเล็คตรอนใช้ไปในการสบัดกลับระหว่างการสแกนฮอร์ริซอลทัลเส้นต่อเส้น ตรงกับช่วงแบล็งกิ้งหรือจอมืด

นำคาบเวลาของฮอร์ริซอลทัลแบล็งกิ้งลบออกจากคาบเวลาของ 1 เส้นสแกนเท่ากับ 64 µS- 12 µS = 52µS เป็นคาบเวลาของ 1 เส้นสแกนเฉพาะส่วนที่มองเห็น

ฮอร์ริซอลทัลสัญญาณซิ้งค์ ขนาด 0.07 H หรือเท่ากับ 0.07 x 64 µS = 4.7 µS superimpase อยู่บนคาบ เวลาของแบล็งกิ้งพัลซ์ ที่เหลือบนคาบเวลาของฮอร์ริซอลทัลแบล็งกิ้ง เท่ากับ 12 µS - 4.7µS = 7.3 µS โดยประมาณอยู่บนระดับแบล็งกิ้ง เป็นของฟร้อนโพชและแบ็คโพชที่นำหน้าและตามหลังสัญญาณซิ้งค์ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟร้อนโพชมีคาบเวลา 0.02 H และแบ็คโพชมีคาบเวลา 0.09 H มากกว่าฟร้อนโพชกว่า 4 เท่าตัว หรือฟร้อนโพชและ แบ็คโพช เท่ากับ 1.55 µs และ 5.8 µsโดยประมาณ

แบ็คโพชต้องมีคาบเวลาอย่างน้อย 5.8 µs เพื่อจัดไว้สำหรับเป็นช่วงเวลาของเบิร์ด 4.43 MHz ของสัญญาณสีซิ้งค์โครไนซ์

ในทางปฏิบัติของวงจรเบี่ยงเบนทางแนวนอน (*Horrizontal deflection circuit*) คาบเวลาแบล็งกิ้งยาวกว่าเวลาสบัดกลับเล็กน้อย บางส่วนของเส้นสแกนบริเวณจุดเริ่มต้นและจุดปลายของเส้นสแกนทุก ๆ เส้นจะถูกแบล็งไป ผลจากฮอร์ริซอลทัลแบล็งกิ้งนี้แสดงด้วยแถบดำที่ด้านขอบซ้ายและขวาของโทรทัศน์เมื่อไม่มีภาพในรูปที่ 2.15 แถบดำด้านขอบขวาตรงกันกับฟร้อนโพชของฮอร์ริซอลทัลแบล็ง ช่วงก่อนเส้นสบัดกลับเริ่มต้น เพราะการสบัดกลับฮอร์ริซอลทัลเริ่มที่ขอบข้างหน้าของสัญญาณซิ้งค์และก่อนสบัดกลับหรือตอนที่ลำอิเล็คตรอนกวาดมาทางขวาถึงระดับแบล็ง ของช่วงฟร้อนโพช ระดับแบล็งของฟร้อนโพชนี้ทำให้จอภาพด้านขวามือกลายเป็นแถบดำดังกล่าว ส่วนปลายของเส้นฮอร์ริซอลทัลสแกนหรือเส้นที่กวาดทุก ๆ เส้นที่สแกนจึงถูกทำให้มองไม่เห็นด้วยสาเหตุดังกล่าว

เส้นสบัดกลับเกิดตอนเริ่มต้ นของสัญญาณซิ้งค์เส้นสบัดกลับหรือเส้นฟลายแบ็ค มืดสนิทเพราะระดับซิ้งค์มีระดับแบล็งยิ่งกว่าแบล็ง หรือ ระดับดำเสียอีก เวลาที่ใช้ในการฟลายแบ็คได้กล่าวมาแล้วว่าน้อยกว่าคาบเวลาแบล็งกิ้ง 12 µs ค่าเวลาอันนี้ขึ้นอยู่กับลักษณะวงจรที่ทำการสแกน โดยทั่วไปเวลาของฮอร์ริซอลทัลฟลายแบ็ค มีค่าประมาณ 8 µs ข องเวลาแบล็งกิ้ง เมื่อหักช่วงฟร้อนโพชออกยังมีค่ามากกว่าที่เวลาฟลายแบ็คของฮอร์ริซอลทัลในเครื่องรับจริง ๆ ต้องการคือเท่ากับ 11µs โดยประมาณ หรือมากกว่าที่ต้องการใช้ในการฟลายแบ็คหรือสบัดกลับถึง (11 - 8 µs) = 3 µs แบล็งกิ้ง 3 µs ที่เหลือนี้เองจะเป็นแบล็งช่วงเริ่มต้นเส้นสแกนฮอร์ริซอลทัลทางด้านซ้ายจอภาพ ในทุก ๆ ช่วงเริ่มต้นเส้นสแกนเกิดแถบที่แบล็งทางซ้ายจอภาพในทำนองเดียวกันที่เกิดทางขอบขวาของข่าวสารรูปภาพของสัญญาณภาพ ในรูปลำสแกนเฉพาะเส้นที่มองเห็นจึงมีคาบเวลาประมาณ 52 µs ตามที่กล่าวมาข้างต้น

แถบดำที่เกิดทางขอบซ้ายและขอบขวาจอภาพไม่มีผลเสียต่อภาพ เพียงทำให้ความกว้างของภาพแคบลงเท่านั้น แต่ก็แก้ไขได้โดยการเพิ่มแอมปลิจูดของสัญญาณรูปฟันเลื่อย ที่เกี่ยวกับการสแกนฮอร์ริซอลทัลจนกระทั่งได้ความกว้างของจอภาพตามต้องการ

ช่วงเวลาเวอร์ติคอลแบล็งกิ้ง (Vertical blanking time)

เมื่อสิ้นสุดการสแกนในแต่ละฟิลด์มาถึงตอนสบัดกลับของลำอิเล็คตรอน เวอร์ติคอลแบล็งกิ้งพัลซ์จะยกระดับสัญญาณภาพเข้าสู่ระดับดำทำให้มองไม่เห็นเส้นสบัดกลับ คาบเวลาของเวอร์ติคอลแบล็งกิ้งมีขนาดประมาณ 0.08v เมื่อ v เท่ากับ 1/50 วินาที คาบเวลาของเวอร์ติคอลแบล็งกิ้งจึงเท่ากับ 0.08x 1/50 = 1600 µs เป็นช่วงเวลายาวนานเพียงพอต่อการทำให้มองไม่เห็นเส้นที่สแกนฮอร์ริซอลทัลได้ถึง 1600 µs/64 µs = 25 เส้น ใน 1 ฟิลด์ (หรือได้มาจาก 0.08x625 = 50 ได้เหมือนกัน) เพราะฉนั้นช่วงเวลายาวนานถึง 1600 µs นอกจากการลบเส้นสบัดกลับของเวอร์ติคอลแล้วยังมีช่วงเวลาเหลืออีก ช่วงที่เหลือที่จะลบเส้นสบัดกลับบางส่วนในบริเวณของขอบบนและขอบล่างของจอภาพไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายในคาบเวลาของเวอร์ติคอลแบ็งกิ้งพัลซ์ย่อย ๆ ว่าภายในเวติคอลแบล็งกิ้งพัลซ์ประกอบด้วยสัญญาณซิ้งค์หลายรูปแบบ ได้แก่ อีควอไลซ์ซิ่งพัลซ์ เวอร์ติคอลพัลซ์และฮอร์ริซอลทัลสัญญาณซิ้งค์เราสามารถที่จะใส่ ข่าวสารลงไปที่เส้นที่ 17 และ 18 ในฟิลด์คู่และเส้น 330 และ 331 ในฟิลด์คี่เราเรียกว่าระบบเทเลเท็กซ์ และยังส่งสัญญาณทดสอบ VITS (Vertical Interval Test Signal) ลงไปในเส้น 19 และ 20 ในฟิลด์คู่และเส้น 332 และ 333 ในฟิลด์คี่ เพื่อดูผลที่เกิดขึ้นในช่วงเวลาเวอร์ติคอลแบล็งกิ้ง ซึ่งต้องพิจารณาโดยแบ่งสัญญาณออกเป็น 2 ฟิลด์ คือเมื่อสิ้นสุดฟิลด์คี่และสิ้นสุด ฟิลด์คู่ เวลาของสัญญาณภาพทั้งคู่ต่างกันครึ่งเส้น (Half line displacement) ทั้งนี้เป็นไปตามคุณสมบัติของอินเตอร์เลซสแกนนิ่ง

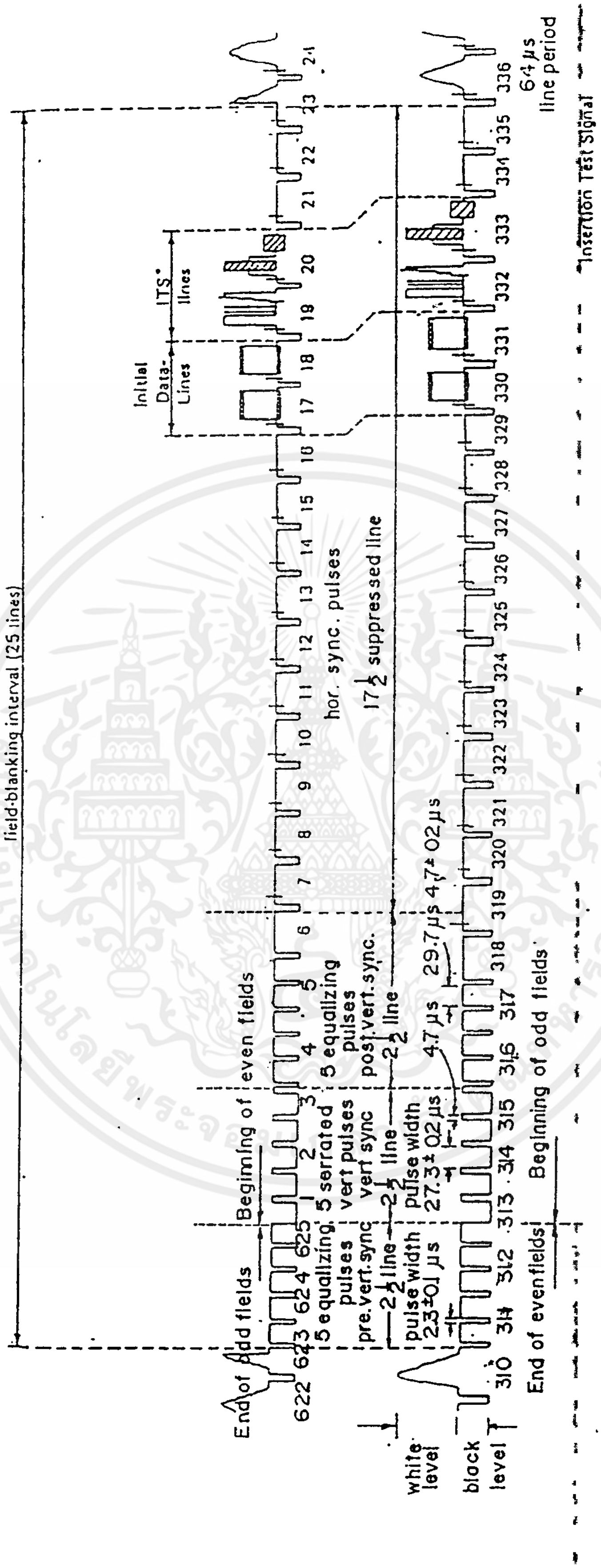
พิจารณาจากรูปที่ 2.16 เมื่อสิ้นสุดการสแกนเส้นฮอร์ริซอลทัล 3 เส้นสุดท้ายในด้านล่างของจอภาพเวอร์ติคอลแบล็งกิ้งพัลซ์เปลี่ยนระดับสัญญาณภาพสู่ระดับดำเตรียมพร้อมกระทำ การสบัดกลับในช่วงเวลาเวอร์ติคอลแบล็งกิ้ง ช่วงเวลาเวอร์ติคอลแบล็งกิ้งเริ่มต้นด้วยกลุ่มของ อีควอไลซ์ซิ่งพัลซ์จำนวน 5 พัลซ์ระยะห่างของครึ่งเส้น หรือ H/2 = 0.5 H ระหว่างต่อพัลซ์รวม 2.5 H หรือ 2.5 เส้น ตามติดมาด้วยเซเรท (serrated) ของเวอร์ติคอลสัญญาณซิ้งค์จำนวน 5 พัลซ์ ในระยะเวลาครึ่งเส้น 0.5H เหมือนกันเพื่อทำหน้าที่เวอร์ติคอลฟลายแบ็คในวงจร ที่สแกนรวม 2.5 H ต่อด้วย 5 อีควอไลซ์ซิ่งพัลซ์อีกชุดหนึ่งและชุดของฮอร์ริซอลทัลสัญญาณซิ้งค์ ปิดท้าย

รูปคลื่นเวอร์ติคอลซิ้งค์ของ มาตรฐานสากล 625 เส้น ของสัญญาณภาพสัญญาณแสดงถึงแถวบนและล่างแสดงดังฟิลด์คู่ และฟิลด์คี่ อีควอไลซ์ซิ่งพัลซ์ลูกแรกในช่วงเวลาเวอร์ติคอลแบล็งกิ้งของสัญญาณแถวล่างมีระยะเวลาห่างจากฮอร์ริซอลทัลพัลซ์ที่ติดกันทางซ้ายมือ 1 เส้นสแกน หรือ 1 H ในขณะที่ทำเป็นของสัญญาณแถวบนจะห่างกันเพียง 0.5 H เท่านั้นทั้งนี้เพราะเวลาของอีควอไลซ์ซิ่งพัลซ์ ไม่ว่าจะเป็นของฟิลด์คู่หรือฟิลด์คี่จะตรงกันเสมอ มีช่วงเวลาของฮอร์ริซอลทัลพัลซ์ เท่ากันในแต่ละฟิลด์ที่ห่างกัน 0.5 H อันเนื่องจากการสแกนแบบอินเตอร์เลซนั้นเอง

เซเรทเวอร์ติคอลพัลซ์ในทางทฤษฎีทำหน้าที่บังคับลำอิเลคตรอนที่เกิดจากเวอร์ติคอลฟลายแบ็คระหว่าง ฟิลด์ นับแต่พัลส์ลูกแรกเลยทีเดียว ในทางปฏิบัติไม่เป็นเช่นนั้นเพราะประจุของตัวประจุ (Capacitor) วงจรสแกน นั้นเกิดจากเวอร์ติคอลสัญญาณซิ้งค์ลูกแรก ๆไม่เพียงพอต่อการกระตุ้นวงจรสแกนเพื่อการฟลายแบ็ค เวอร์ติคอล ฟลายแบ็คเริ่มจริง ๆ ประมาณที่ขอบขาขึ้นของเซเรทเวอร์ติคอลพัลซ์ลูกที่ 3 เนื่องจากช่วงระยะเวลาของเวอร์ติคอลนี้เท่ากับ 1 H หรือ 1 เส้นสแกน เวอร์ติคอลฟลายแบ็คเริ่มต้นเมื่อเวอร์ติคอลพัลซ์ สองลูกแรกผ่านไป เท่ากับว่าเวอร์ติคอลฟลายแบ็คเริ่มต้นหลังจากสแกนเส้นฮอร์ริซอลทั ล ที่ถูกแบล็งผ่านไปหนึ่งเส้นและอีควอไลซ์ซิ่งพัลซ์ 5 พัลซ์ ก็มีระยะเวลาเท่ากับการสแกนเส้นฮอร์ริซอลทัล 2 .5 เส้นนั้นคือเส้นที่ทำการสแกนของฮอร์ริซอลทัล จำนวน 2 .5 +1 = 3 .5 เส้น โดยประมาณทางส่วนของภาพถูกแบล็งก่อนเกิดเวอร์ติคอลฟลายแบ็คจริง ความสูงของภาพในทางเวอร์ติคอลเฉพาะส่วนล่างของจอภาพจึงหายไปประมาณ 3 .5 ที่สแกนเส้นฮอร์ริซอลทัล ด้วยผลจากช่วงเวลาของเวอร์ติคอลแบล็งกิ้งดังกล่าว

038142

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 Vertical blanking time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คาบเวลาเวอร์ติคอลแบล็งกิ้งซึ่งเป็นช่วงระยะเวลาของสัญญาณพัลซ์ เพื่อการฟลายแบ็คระหว่างฟิลด์ ของภาพ นอกจากทำให้การสแกนของเส้นทางด้านล่างจอภาพก่อนที่ฟลายแบ็คจริงถูกแบล็งแล้ว ยังมีผลต่อการสแกนเส้นแบล็งด้านบนของจอภาพด้วยเหมือนกันดังจะอธิบายต่อไป ช่วงเวลาของฟลายแบ็คในเครื่องรับทั่ว ๆไปเมื่อเทียบกับเวลาที่ใช้ในเส้นสแกนฮอร์ริซอลทัลประมาณ 5 H หรือ 5 เส้นรวมกับ 3 .5 H ของเส้นสแกน ที่แบล็งก่อนการฟลายแบ็ค ในส่วนล่างของจอภาพ ได้ 8 .5 เส้น แล้วลบออกจากช่วงเวลาของเวอร์ติคอลแบล็งกิ้ง 25 เส้นสแกนหรือประมาณ 17 เส้นฮอร์ที่ถูกแบล็งบริเวณส่วนบนของจอภาพ

เพราะฉะนั้นใน 1 เฟรมของภาพที่มองเห็นในแนวเวอร์ติคอลจะมีไม่เต็มจอ ในบริเวณส่วนบนของจอภาพช่วงแบล็งไป 17 เส้นในขณะที่ส่วนล่างถุกแบล็ง 3 เส้น ถ้าคิดใน 1 เฟรมของภาพตัวเลขนี้ก็เป็น 2 เท่า ผลที่เกิดจากช่วงเวลาของเวอร์ติคอลแบล็งนอกจากจำเป็นต้องการใช้นั้น ระยะเวลาของเวอร์ติคอลฟลายแบ็ค แล้ว ยังทำให้ภาพใน 1 เฟรมส่วนบนและส่วนล่างของโทรทัศน์เมื่อไม่มีภาพหายไป

สัญญาณซิ้งค์ทางแนวตั้ง (Vertical synchronizing signal)

สัญญาณเวอร์ติคอลซิงค์โครไนซ์ ประกอบด้วย อีควอไลซ์ซิ่งพัลซ์ เซเรทเวอร์ติคอลพัลซ์และฮอร์ริซอลทัลสัญญาณซิ้งค์ ที่ถูกบรรจุไว้ในช่วงเวลาระหว่างการสิ้นสุดการสแกนในเฟรมหนึ่งกับการเริ่มต้นสแกนอีกเฟรมหนึ่ง มาทำความเข้าใจกับความหมายของรูปคลื่นของสัญญาณเวอร์ติคอลซิ้งค์

คาบเวลาของเวอร์ติคอลแบล็งกิ้งเป็นช่วงเวลาของสัญญาณเวอร์ติคอลซิ้งค์ หรือเป็นช่วงเวลาที่ข่าวสาร ถูกกดหรือถูกทำให้ว่างมืดสนิท สัญญาณภาพภายในคาบเวลานี้ทำหน้าที่เพียงกระตุ้นให้เวลาเริ่มต้นด้านรับเริ่มต้นและสิ้นสุดเวอร์ติคอลฟลายแบ็คเท่านั้น ระยะเวลานี้บ่งบอกในรูปของฮอร์ริซอลทัลสแกนนิ่งซึ่งเท่ากับ 25 เส้น ในระบบมาตรฐานสากล 625 เส้น หรือเท่ากับเวลา 25 x 64 μs เวลาพื้นฐานของเวอร์ติคอลในเครื่องรับทำงานที่ความถี่ 50 Hz

เซเรทเวอร์ติคอลสัญญาณซิ้งค์เป็นชุดของพัลซ์กว้าง 27.3 μs จำนวน 5 พัลซ์ แต่ละลูกมีระยะเวลาเท่ากับ ครึ่งหนึ่งของเส้น interval H/2 ในเครื่องรับแยกเวอร์ติคอลสัญญาณซิ้งค์ ออกมาเพื่อกระตุ้นออสซิลเลเตอร์ของ เวลาเริ่มต้นของเวอร์ติคอลทำงานในช่วงเวอร์ติคอลฟลายแบ็คระหว่างฟิลด์การสแกน เซเรทเวอร์ติคอลสัญญาณซิ้งค์ มีระยะเวลา 2.5 เส้น ภายในคาบเวลาเวอร์ติคอลแบล็งจำนวนทั้งหมด 25 เส้น

คาบเวลาของเวอร์ติคอลพัลซ์ที่ถูกกดแล้วส่งไปเป็นคาบเวลาของฮอร์ริซอลทัลสัญญาณซิ้งค์ที่ไม่มีข่าวสารรูปภาพ จำนวน 17 .5 เส้น ในเวลาที่ยาวนานเพียงพอสำหรับเครื่องรับในการสิ้นสุด เวอร์ติคอลฟลายแบ็ค ก่อนที่ รายละเอียดรูปภาพของฟิลด์ใหม่เริ่มสแกนอีกครั้งหนึ่ง ข่าวสารรูปภาพในช่วงนี้รักษาระดับไว้ ณ ระดับแบล็งหรือเรียกว่า รายละเอียดรูปภาพถูกกดไประหว่างคาบเวลาของพัลซ์นี้กับชุดของเวอร์ติคอลสัญญาณซิ้งค์ เป็นชุดของ อีควอไลซ์ซิ่งพัลซ์

อีควอไลซ์ซิ่งพัลซ์มีขนาดความกว้างพัลซ์แคบมากประมาณ 2.3 μs จำนวน 2 ชุด ๆ ละ 5 พัลซ์ มีระยะเวลาชุดละ 2 .5 เส้น แต่ละชุดอยู่หน้าและหลังเวอร์ติคอลสัญญาณซิ้งค์ เรียกว่า อัตราส่วนเวอร์ติคอลอีควอไลซ์ซิ่งพัลซ์ (vertical sync equalizing pulse) และ เวอร์ติคอลอีควอไลซ์ซิ่งพัลซ์ก่อนหน้า (post

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vertical equalizing pulse) ตามลำดับ อีควอไลซ์ซิ่งพัลซ์จำเป็นต้องมีอย่างยิ่งเพื่อทำให้การแยก เวอร์ติคอลสัญญาณซิ้งค์ทางเครื่องรับทั้งฟิลด์คี่ และฟิลด์คู่ ออกมาในลักษณะรูปร่างและเวลาตรงกัน

ฟิลด์คี่และฟิลด์คู่การสแกนของลำอิเล็คตรอนแบบอินเตอร์เลซแต่ละฟิลด์ประกอบด้วยเส้นสแกนเป็นจำนวนเลขคี่ เวลาเริ่มต้นเวอร์ติคอลถูกกระตุ้นให้ทำงานที่กึ่งกลางเส้น ฮอร์สแกนเมื่อสิ้นสุดฟิลด์หนึ่ง

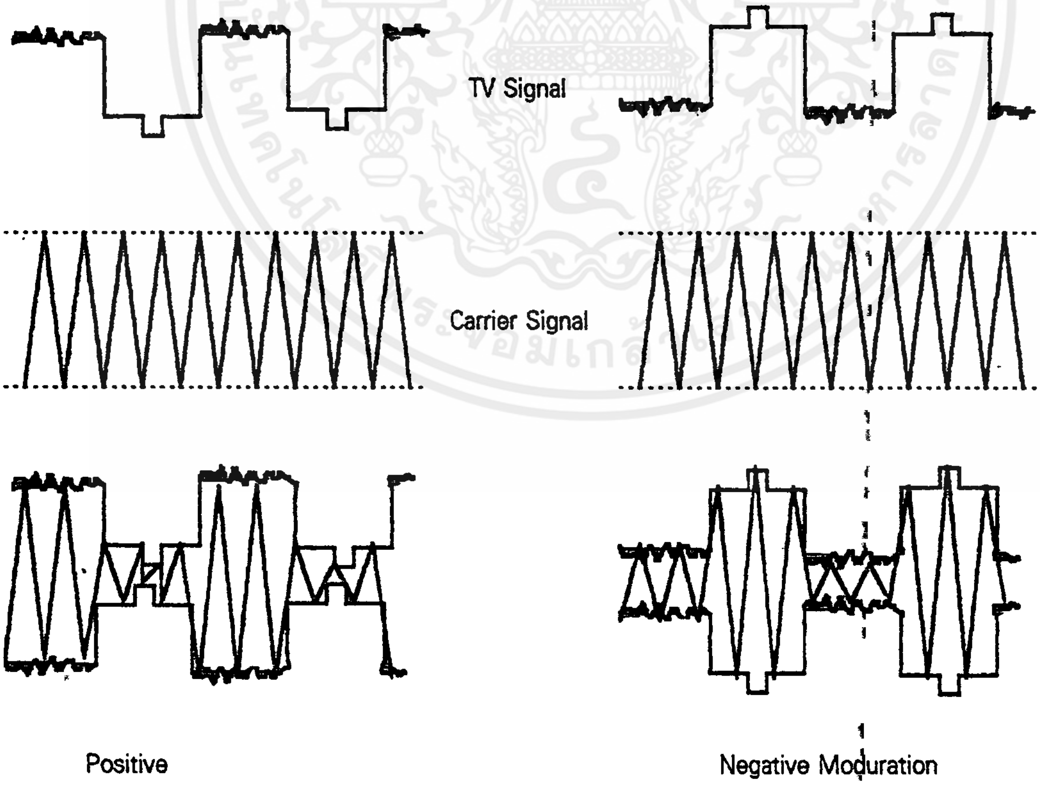
ฟิลด์ซึ่งสิ้นสุดการสแกนของข่าวสารรูปภาพที่สุดกึ่งกลางเส้นฮอร์สแกน เรียกว่า ฟิลด์คี่และฟิลด์ซึ่งสิ้นสุดการสแกนที่ตำแหน่งปลายสุดเส้นสแกนเรียกว่าฟิลด์คู่

การมอดูเลทสัญญาณภาพ (Video modulatation)

สัญญาณภาพโทรทัศน์จะมอดูเลทกับแคร์เรียร์แบบแอมปลิจูดมอดูเลชั่น การมอดูเลทสัญญาณภาพมีรูปร่างของสัญญาณซิ้งค์แตกต่างกันที่ระดับขาวและดำ ฉะนั้นการมอดูเลทจึงแบ่งได้เป็น 2 แบบ

มอดูเลทแบบบวก (Positive modulation) แบบนี้ถ้าระดับขาวเพิ่มขึ้นขนาดของคลื่นแคร์เรียร์ จะสูงขึ้น ระดับขาวสูงสุดจะทำให้การมอดูเลทเป็น 100 เปอร์เซ็นต์และระดับดำสัญญาณซิ้งค์จะให้ขนาดของแคร์เรียร์ต่ำลงต่ำสุด

มอดูเลทแบบลบ (negative modulation) แบบนี้ยอดของซิ้งค์จะให้ขนาดของคลื่นแคร์เรียร์สูงสุดเป็น 100เปอร์เซ็นต์ ระดับแบล็งกิ้งจะให้การมอดูเลท 70 เปอร์เซ็นต์ ถ้าเพิ่มระดับขาวสูงขึ้นจะให้ขนาดของแคร์เรียร์ลดลง แต่จะต่ำสุดที่ 10 เปอร์เซ็นต์ ของยอดสูงสุดของระดับขาวสำหรับระบบ PAL-B ใช้การแบบมอดูเลทแบบลบ



รูปที่ 2.17(a) positive modulation (b) negative modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบการ มอดูเลทแบบมอดูเลชั่นแบบลบ กับ มอดูเลชั่นแบบบวก

1. ผลของการรบกวนสัญญาณอิมพัลซ์ (Impulsive interference) ที่มีต่อภาพ

2. ผลของการรบกวนสัญญาณอิมพัลซ์ ที่มีต่อระบบซิงค์โครไนซ์เซชั่น

3. คุณสมบัติประจำตัวของทั้งสองแบบ ในการจำกัดกำลังสูงสุดด้านเครื่องส่ง

4. ความยากง่ายของการสร้างไฟในการควบคุมเกนโดยอัตโนมัติ (AGC) ทางเครื่องรับ

สัญญาณรบกวนที่เกิดในข่าวสารรูปภาพบนสัญญาณภาพแบบมอดูเลทแบบลบ อยู่ในระดับดำขึ้นไป ปรากฏเป็นจุดดำบนจอภาพ ส่วนการมอดูเลทแบบบวกนั้นสัญญาณนรบกวนที่มียอดปรากฏในช่วงระดับดำถึงระดับขาวที่แรงที่สุดจะปรากฏเป็นจุดขาว ๆ บนจอภาพ แบบการมอดูเลทแบบลบจึงดีกว่าการมอดูเลทแบบบวก

การมอดูเลทแบบลบด้อยกว่าแบบบวกในเรื่องนี้เพราะสัญญาณที่กวนที่เกิดขึ้นทันทีทันใด จะปรากฏเป็นน้อยซ์ที่มีความซันมากบนข่าวสารรูปภาพในทางการมอดูเลทแบบลบยอดสัญญาณซิ้งค์อยู่ในระดับสูงกว่า ซึ่งยากที่จะทำการจำกัดน้อยซ์อันนี้

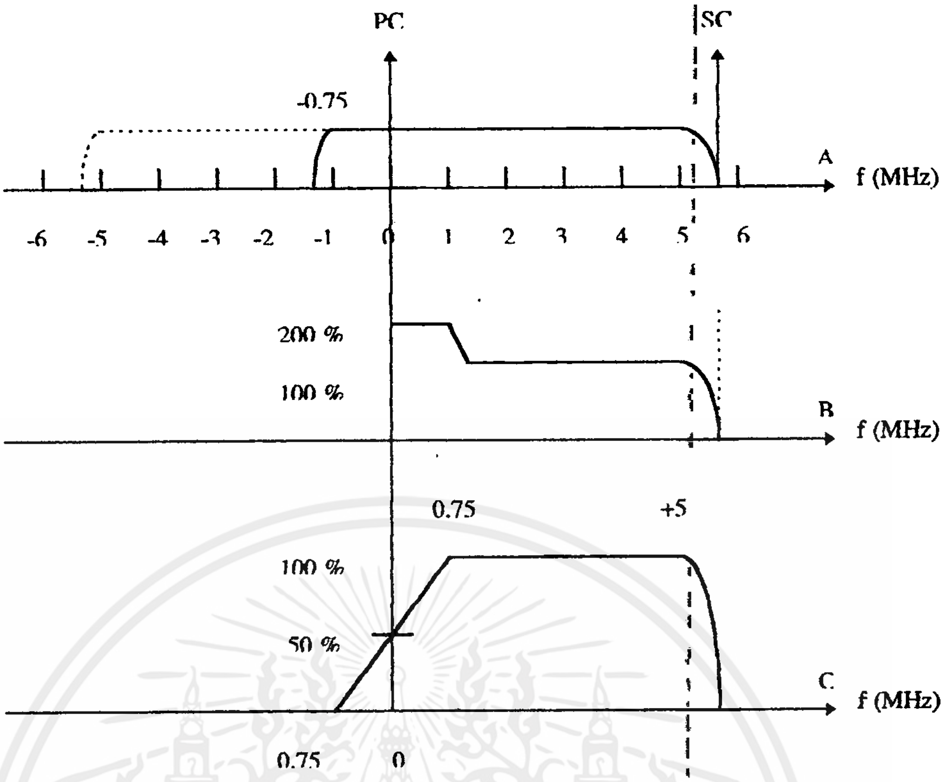
เป็นปัญหาที่จะเกิดแก่ภาคขยายมอดูเลท (Modulated RF Amplifier) ทางด้านเครื่องส่ง เมื่อรายละเอียดรูปภาพทางด้านส่งปรากฏเป็นระดับขาวสูงสุด ภาคขยายถูกขยายเกินเข้าไปในช่วงไม่เป็นเชิงเส้น ขณะที่เป็นการมอดูเลทแบบบวกแล้วรายละเอียดของรูปภาพจะถูกลดทอน ลักษณะนี้ทางด้านเครื่องส่งจะต้องมีการจำกัดกำลังสูงสุดของเครื่องส่งไว้ล่วงหน้าถ้าเป็นการมอดูเลทแบบลบ ส่วนทางสัญญาณภาพที่ถูกขยายเต็มที่ ได้แก่สัญญาณซิ้งค์ ซึ่งไม่เสียรูปจากการทำงานเกินของภาคขยายมอดูเลทกำลังสูงสุดด้านส่งของการมอดูเลทแบบลบจึงสามารถได้มากกว่า แบบบวกประมาณ 30 เปอร์เซ็นต์

เนื่องจากส่วนควบคุมเกนอัตโนมัติในโทรทัศน์เป็นค่าสูงสุดของการควบคุมเกนอัตโนมัติ ที่แปรค่าตามแอมปลิจูดแคร์เรียร์สูงสุด ในแบบการมอดูเลทแบบลบ ค่าแอมปลิจูดแคร์เรียร์สูงสุดอยู่ที่ระดับของสัญญาณซิ้งค์ซึ่งแปรค่าตามความแรงของสัญญาณรับ ซึ่งมอนิเตอร์แรงไฟของการควบคุมเกนอัตโนมัติจากแอมปลิจูดแคร์เรียร์สูงสุด นี้ได้โดยตรงแต่ในระบบการมอดูเลทแบบบวก แอมปลิจูดแคร์เรียร์สูงสุดไม่เพียงพอ แต่ขึ้นอยู่กับความแรงของสัญญาณรับ ยังขึ้นอยู่กับข่าวสารรูปภาพที่มอดูเลท การสร้างแรงไฟควบคุมเกนโดยอัตโนมัติ จึงยุ่งยากมากกว่า

การรับสัญญาณแบบเวสติเจียล (vestigial)

ทางด้านส่งจะส่งสัญญาณแบบเวสติเจียลไซด์แบนด์ ดังแสดงในรูปที่ 18 สัญญาณทางด้านความถี่ต่ำส่วนหนึ่งจะถูกตัดออกโดยใช้ฟิลเตอร์พลังงานที่ส่งออกจะเริ่มตั้งแต่ 1.25 ถึง 5.5 MHz ส่วนที่ 1.25 จะส่งแบบ ดับเบิ้ลไซด์แบนด์ (double side band) และที่เหลือส่งแบบซิงเกิลไซด์แบนด์ (single side band)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 (a) การส่งแบบ vestigial side band

(b) กำลังสัญญาณที่ถูกส่งออกไป

(c) การตอบสนอง (response) ของเครื่องรับทีวี

ฉนั้นถ้าจะดูกำลังการส่ง ส่วนที่ 1.25 MHz จะมีกำลัง 2 เท่าของส่วนที่เหลือดังรูปที่ 2.18 (b) ดังนั้นทางเครื่องรับโทรทัศน์จะต้องลดกำลังในการรับในช่วงที่เป็นดับเบิลไซด์แบนด์ รูปที่ 2.18 (c) จะให้สัญญาณออกที่ภาคตรวจจับ (detector) มีกำลังเท่ากันทุกความถี่

สัญญาณเวสติเจียลไซด์แบนด์ (Vestigial sideband signal)

เมื่อความถี่แคร์เรียร์อันหนึ่งถูกมอดูเลทแบบแอมปลิจูดมอดูเลชั่นจะเกิดคู่ของ ไซด์แบนด์ขึ้นด้านข้างความถี่แคร์เรียร์นั้น มอดูเลชั่นอินเด็ค (Modulation index) เป็นตัวกำหนดจำนวนคู่ของไซด์แบนด์หรือความถี่ด้านข้างเหล่านั้น ความถี่ด้านข้างที่อยู่ด้านความถี่สูงกว่าความถี่แคร์เรียร์เรียกว่า ความถี่ด้านสูง (Upper sideband) และ ความถี่ด้านข้างด้านความถี่ต่ำกว่าความถี่แคร์เรียร์เรียกว่า ความถี่ด้านต่ำ (Lower sideband) เพราะฉะนั้นถ้าความถี่แคร์เรียร์ถูกมอดูเลท ทางแอมปลิจูดด้วยคลื่นสัญญาณที่มีความถี่มอดูเลท (fm) ความถี่ด้านข้างที่เกิดขึ้นในความถี่สเปคตรัม ขณะนี้เป็นดับเบิ้ลไซด์แบนด์มี fc - fm และ fc + fm เป็นความถี่ด้านต่ำและด้านสูงตามลำดับ การส่งคลื่นในแบบแอมปลิจูดมอดูเลท จึงต้องเว้นความถี่กว้างเป็น 2 เท่าของความถี่สูงสุดของสัญญาณที่มอดูเลท (fm)

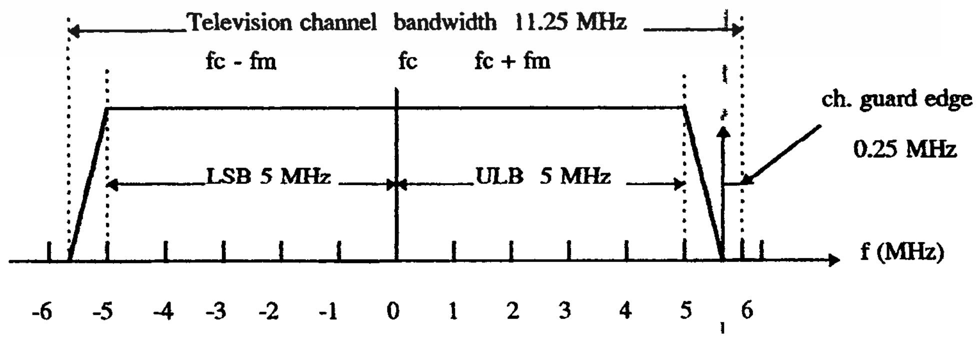
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของความถี่ในสัญญาณภาพที่จะมามอดูเลทกับแคร์เรียร์ที่ปรากฏ (Vision carrier) f_c มีขอบข่ายความถี่กว้างมาก ในระบบ 625 เส้นตามมาตรฐานสากล ตั้งแต่ 0 ถึง 5 MHz หลังจากแอมปลิจูดมอดูเลทจนได้ดับเบิ้ลไซด์แบนด์จะครอบคลุมในช่องความถี่ในความถี่สเปคตรัมกว้างถึง 10 MHz รวมกับความชันของแบนด์วิดท์แต่ละข้างประมาณ 0.5 MHz บวกกับช่องป้องกันการกวน (Channel guard edge) สำหรับเสียงที่มีการแกว่ง (Sound swing) และทำการแยกระหว่างช่องอีก 025 MHz กลายเป็นแถบความกว้างของช่องความถี่โทรทัศน์ TV Channel bandwidth = 10+(2x0.5)+0.25 = 11.25 MHz ดังรูปที่ 19.

โดยทั่วไปด้วยวิธีการแอมปลิจูดมอดูเลทที่ความถี่ด้านต่ำ (LSB) หรือ ความถี่ด้านสูง (USB) จะมี การมอดูเลทข่าวสารอันเดียวกัน จึงทำการกดความถี่ด้านต่ำ หรือ ความถี่ด้านสูงด้านใดด้านหนึ่งทิ้งไป เหลือไซด์แบนด์เพียงด้านเดียวไปดีมอดูเลทของภาครับ ถ้ากดด้านความถี่ต่ำเราได้มอดูเลทข่าวสาร fmจาก (fc+fm) - fc หรือหากต้องการ ข่าวสารด้าน ความถี่สูงไว้ก็ได้ Information -fm จาก (fc - fm) -fc กลายเป็นซิ้งค์ไซด์แบนด์

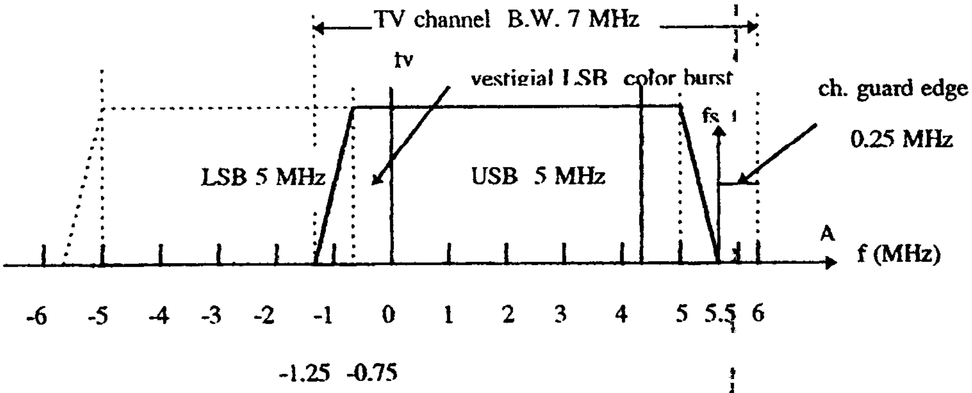
แต่ในการส่งโทรทัศน์ การมอดูเลทข่าวสารของสัญญาณภาพ ประกอบด้วยส่วนประกอบของความถี่มากมายครอบคลุมด้านความถี่สูงหลาย ๆ MHz และยังลงมาด้านความถี่ต่ำถึงขั้นกระแสตรง อีกทั้งในการปฏิบัติเราไม่สามารถออกแบบวงจรฟิลเตอร์ ที่มีคุณสมบัติในการตัดไซด์แบนด์ด้านใดด้านหนึ่งทิ้งด้วยความชันที่เด็ดขาด โดยไม่กระทบกระเทือนถึงคลื่นพาหะและ ส่วนประกอบของความถี่ด้านต่ำในไซด์แบนด์ที่เหลือ จึงอาศัยการยอมให้ด้วยการจัดการไซด์แบนด์ด้านใดด้านหนึ่งออก เพียงบางส่วนด้วยเวสติเจียลไซด์แบนด์ฟิลเตอร์ในเครื่องส่ง (ตามมาตรฐานสากล 625 เส้น ตัดส่วนไซด์แบนด์ด้านต่ำตั้งแต่ความถี่ 1.25 MHz ลงไป) สัญญาณที่เห็นจากสถานีส่งประกอบด้วยส่วนประกอบของความถี่ด้านความถี่สูงตั้งแต่ความถี่ 1.25 MHz ขึ้นมา แคร์เรียร์ภาพและความถี่ทางด้านความถี่สูง

สัญญาณภาพที่ปรากฏในการส่งแบบเวสติเจียลไซด์แบนด์ครอบคลุมแบนด์วิดท์ถึง 6.25 HMz จากช่องแบนด์วิดท์ของโทรทัศน์ที่มีการส่งเสียงรวมอยู่ด้วยกว้าง 7 MHz จะประหยัดช่องความถี่ลงช่องละ 4.25 MHz จากส่งแบบเวสติเจียลไซด์แบนด์ช่วยสงวนช่องความถี่ในย่านความถี่ที่ส่งโทรทัศน์ทำให้มีช่องการส่งโทรทัศน์เพิ่มขึ้น



รูปที่ 2.19 Double side band vision signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงถึง Vestigial sideband

จากรูปที่ 2.20 แสดงคุณสมบัติของการส่งเวสติเจียลไซด์แบนด์ ข้างบนของข่าวสารที่มอดูเลทในส่วนของ USB ทั้งหมดและในส่วนความถี่ด้านต่ำจากความถี่ 0.75 MHz ลงมาเริ่มถูกลดทอนและเต็มที่หรือถูกกดเลยที่ความถี่ 1.25 MHz

การจัดสรรช่วงความถี่ของช่องส่งโทรทัศน์ (Television broadcast channel) ในระบบ 625 เส้น

CH	Frequency band	Local oscillator frequency	Picture carrier	Sound carrier
2	47 - 54	87.15	48.25	53.75
3	54 - 61	94.15	55.25	60.75
4	61 - 68	101.15	62.25	67.75
5	174 - 181	214.15	175.25	180.75
6	181 - 188	221.15	182.25	187.75
7	188 - 195	228.15	189.25	194.75
8	195 - 202	235.15	196.25	201.75
9	202 - 209	242.15	203.25	208.75
10	209 - 216	249.15	210.25	215.75
11	216 - 223	256.15	217.25	222.75
12	223 - 230	263.15	224.25	229.75

ตาราง ที่ 2.1 การจัดช่องความถี่ระบบ CCIR - B

ช่องส่งโทรทัศน์แบ่งออกเป็น 2 ย่านความถี่คือ VHF (very high frequency) และ UHF (Ultra high frequency)ซึ่งแบ่งความถี่มาตรฐานดังต่อไปนี้

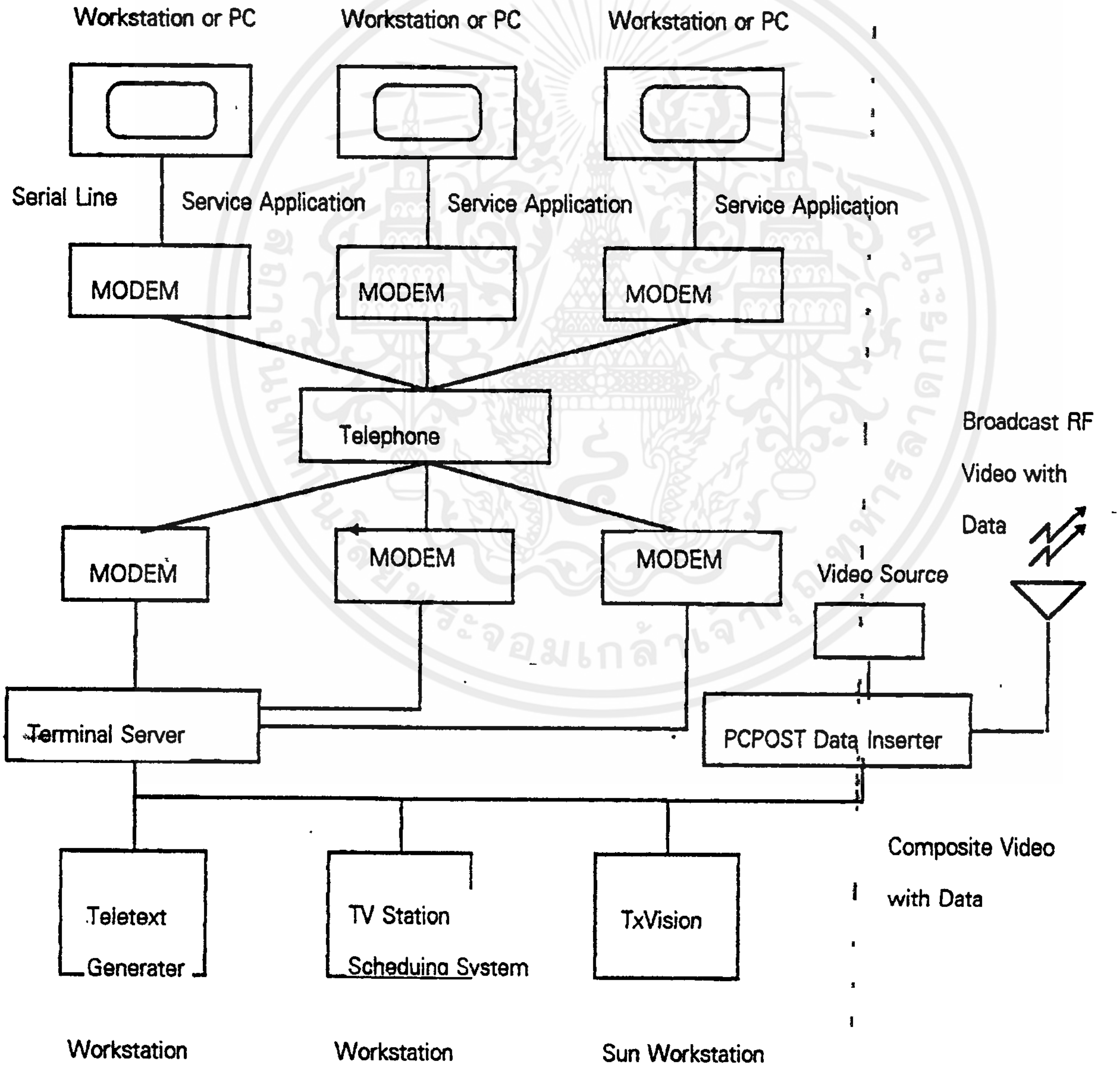
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ต่ำย่าน	VHF	Band I	ความถี่	41 - 68 MHz
ความถี่สูง	VHF	Band III	ความถี่	174 - 230 MHZ
ความถี่ต่ำย่าน	UHF	Band IV	ความถี่	470 - 582 MHz
ความถี่สูงย่าน	UHF	Band V	ความถี่	606 - 790 MHZ

(ความถี่ 88 - 108 MHz Band II ใช้ในการส่งกระจายเสียง F.M.)

2.2 ระบบการส่งของระบบดาต้าบรอดคาส (DATABROADCAST TRANSMISSION SYSTEM

ในการส่งข้อมูลข่าวสารส่วนหนึ่งถูกส่งมาจากที่อื่น ๆ จะมีการส่งข้อมูลด้วยเวิร์คสเตชั่น (Workstation) หรือ เครื่องคอมพิวเตอร์ส่วนบุคคล (PC) ผ่านโมเด็ม (MODEM) ด้านส่งไปยัง โมเด็ม ด้านรับ โดยผ่านข่ายสายโทรศัพท์ หรืออาจจะใช้การส่งผ่านข้อมูลด้วยวิธีอื่น เช่นใช้ เครื่องผสมสัญญาณเสียงกับข้อมูล (Voice Data Multiplexer ;VDM) และข้อมูลเหล่านี้จะถูกจัดรูปแบบขึ้นใหม่เพื่อที่นำไปส่งผ่านออกอากาศไป พร้อมกับสัญญาณโทรทัศน์



รูปที่ 2.21 Shematic Of Example System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การส่งข้อมูลของระบบดาต้าบรอดคาส (DATA BROADCAST)

ระบบโทรทัศน์ในประเทศไทยใช้ระบบพาล เป็นระบบโทรทัศน์ที่ใช้เส้นสแกนหน้าจอเท่ากับ 625 เส้น ภาพหนึ่งภาพที่เกิดขึ้นที่หน้าจอมีจำนวน 25 ภาพต่อวินาที ในระบบพาล จะใช้วิธีสแกนภาพแบ่งเป็น ใน 1 ภาพแบ่งเป็น 2 ฟิลด์ [1 เฟรม (FLAME) ต่อ 2 ฟิลด์ (FIELD)] นั่นคือระบบ พาล (625 เส้น) ใช้เส้นสแกนฟิลด์ละ 625/2 หรือ 314.5 เส้นต่อ 1 ฟิลด์ โดยแบ่งสแกนเป็นฟิลด์คู่และฟิลด์คี่ สัญญาณที่ทางสถานีโทรทัศน์ส่งมาจึงถูกแบ่งมาเป็นเส้น ๆ โดยมีสัญญาณที่เรียกว่า สัญญาณซิงค์ทางแนวนอน (Horizontal Syncronizing ;Hsync) เป็นตัวบอกการสแกนทางแนวนอน และมีสัญญาณซิงค์ทางแนวตั้ง (Vertical Synchronizing : Vsync) เป็นตัวบอกการสแกนทางแนวตั้งหรือการสแกนในแต่ละฟิลด์

รูปที่ 2.2 2 รูปแสดงสัญญาณโทรทัศน์ที่ส่งมาจากสถานี

ในช่วงสัญญาณเวอร์ติคอลแบล็งกิ้งค์ (VERTICAL BLANKING INTERVAL) ซึ่งช่วงนี้ ไม่มีสัญญาณภาพอยู่ 25 เส้น เรียกว่า เส้นแบล็งกิ้งค์ (Blanking line) เพื่อให้เป็นช่วงเวลาของการกลับไปเริ่มต้นฟิลด์ใหม่ของหลอดภาพ (สามารถดูรูปที่ 2.16 ประกอบ)

โดยทั้ง 25 เส้น สามารถส่งข้อมูลได้จริงเพียง 16 เส้น ได้แบ่งการใช้งานในส่วนของสถานีส่งจำนวน 2 เส้น (2 line) และยังมีเส้นแบล็งกิ้งที่ยังไม่ได้ใช้งานเกี่ยวกับสัญญาณภาพโทรทัศน์ ซึ่งสามารถนำมาใช้งานในด้านการส่งข้อมูลได้ 14 เส้น (14 line) ยังแบ่งเป็นการส่งสัญญาณอื่น 2 เส้น เหลือเป็นเส้นที่สามารถส่งสัญญาณข้อมูล ดาต้าบรอดคาส ได้ทั้งหมด 12 เส้นแบล็งกิ้ง
อื่นๆ แสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1.1. Allocation of the First 21 Lines of the Television Picture in the United States (both fields)

Lines	Allocation
1	Vertical synchronization pulse
2	"
3	"
4	"
5	"
6	"
7	"
8	"
9	"
10	Unused, but not technically suitable
11	for current teletext
12	"
13	"
14	Teletext (experimental)[a]
15	"
16	"
17	Multiburst test signal (field 1)
	Color bar test signal (field 2)
18	Composite test signal
19	Vertical interval reference signal
20	Identification signal (field 1)
21	Captioning for the hearing impaired

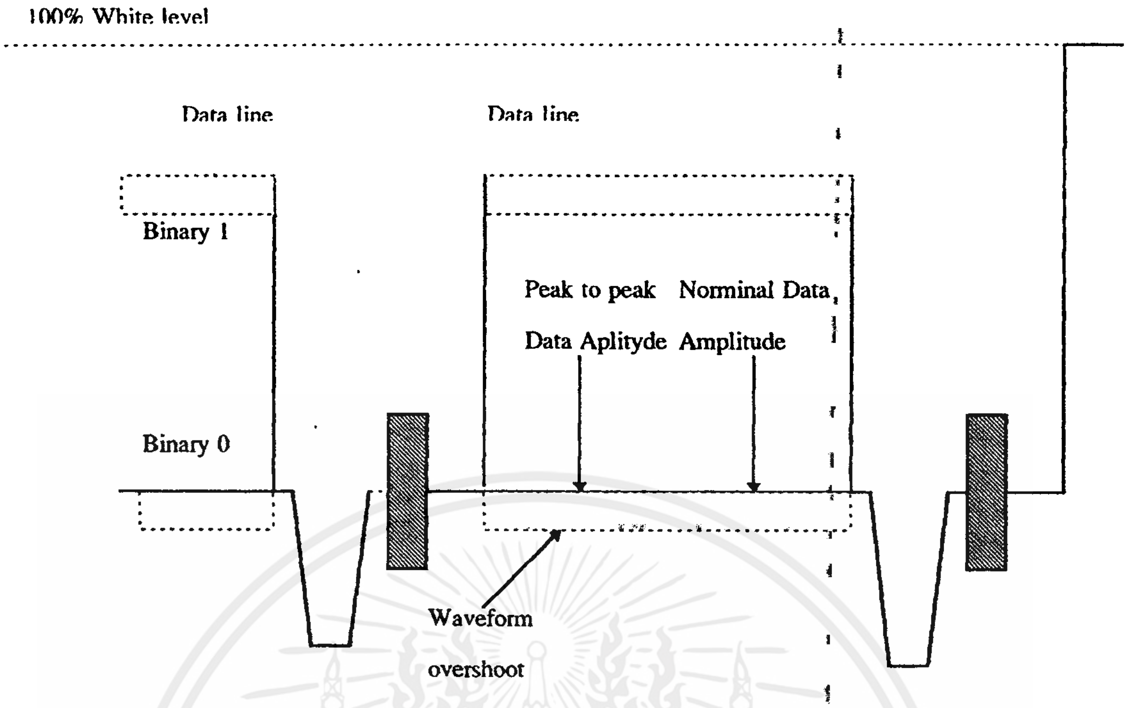
[a]The Federal Communications Commission has proposed that lines 14–18, 20, and 21 be available for teletext purposes.

ตารางที่ 2.2 การกำหนดการใช้งานเส้นแบล็งกิ้งของสัญญาณภาพโทรทัศน์ใน 21 เส้นแรก

2.3 ลักษณะสัญญาณของเส้นข้อมูล

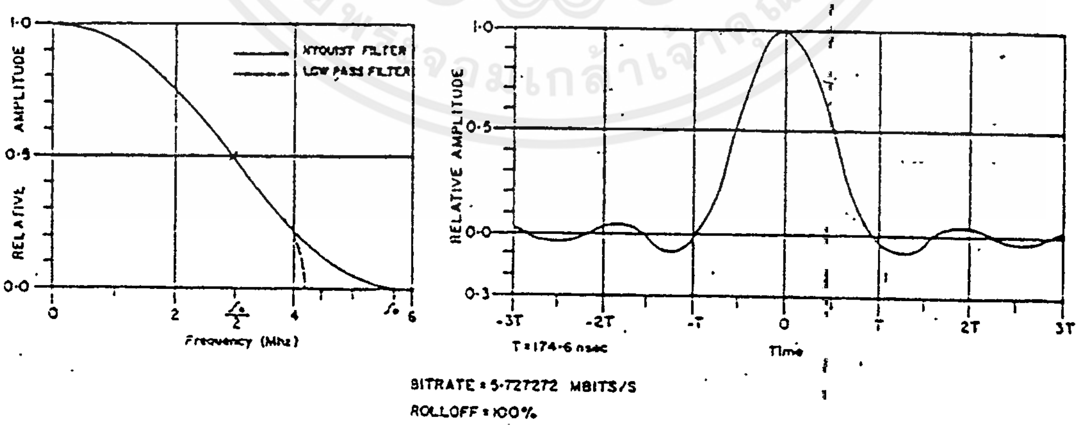
ในช่วงเส้นแบล็งกิ้งค์ทั้ง 25 เส้น ที่ได้กล่าวมาแล้ว คือ ช่วงเส้นที่ 625.5 ถึง 22.5 ของฟิลด์แรก (อาจเป็นฟิลด์คู่หรือฟิลด์คี่) และเส้นที่ 311 ถึง 335 ของฟิลด์หลัง (อาจเป็นฟิลด์คี่หรือฟิลด์คู่) เส้นแบล็งกิ้งค์ที่สามารถนำข้อมูลของสัญญาณใด ๆ ไปแทรกลงในเส้นแบล็งกิ้งค์ได้ทุกเส้นเพื่อทำการออกอากาศไปพร้อมกับสัญญาณโทรทัศน์ แต่มีข้อกำหนดในทางสื่อสารว่าเส้นที่สามารถแทรกข้อมูลลงไปได้โดยไม่เกิดผลเสียกับการส่งสัญญาณหลักของสถานีโทรทัศน์ คือ เส้นที่ 7-22 และ 320 - 335 ซึ่งสัญญาณที่จะนำลงไปแทรกต้องเป็นสัญญาณดิจิตอล จำนวนข้อมูลที่สามารถทำการแทรกลงในเส้นแพล้งกิ้งค์แต่ละเส้นได้สูงสุดเท่ากับ 45 ไบท์ หรือ 350 บิท (1 ไบท์ เท่ากับ 8 บิท) อัตราส่งข้อมูลจึงเท่ากับ 6.9375 เมกกะบิท (Mbit) หรือ 1 บิท ใช้เวลาในการส่งข้อมูลเท่ากับ 144 นาโนวินาที (n Sec) โดยสัญญาณดิจิตอลนี้จะอ้างอิงกับสัญญาณโทรทัศน์คือ ถ้าบิทของสัญญาณดิจิตอลเป็น 1 จะมีค่าสัญญาณเท่ากับค่าความสูงของสัญญาณภาพสีขาว หรือ 70 เปอร์เซ็นต์ ของสัญญาณภาพสูงสุด และถ้าบิทของสัญญาณดิจิตอลเป็น 0 จะเท่ากับค่าความสูงของสัญญาณภาพสีดำ หรือระดับต่ำสุดของสัญญาณภาพ ดังรูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงระดับของข้อมูล

จะเห็นว่าขนาดของข้อมูลของสัญญาณดิจิตอลจะมีขนาดสูงสุดและต่ำสุดไม่เกิน 3 IRE (เป็นหน่วยวัดทางระบบโทรทัศน์) จากระดับสูงสุดของสัญญาณภาพปกติ ส่วนข้อมูลที่จะแทรกลงในเส้นแพล้งกิ้งค์ (VBI LINE) จะถูกเข้ารหัส ไบนารี แบบนอนรีเทินทูซีโร่ [Non-Return-to-two (NRZ)] ลักษณะของสเปคตรัมของข้อมูล หลังจากตอบสนองต่อการแซมปลิ้ง (Sampling) หรือ อิมพัลซ์ (Impulse) ของฟิลด์เตอร์ (Nyquist filter) มีลักษณะดังรูปที่ 2.24



รูปที่ 2.24 แสดงรูปสัญญาณด้านรูปร่างของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

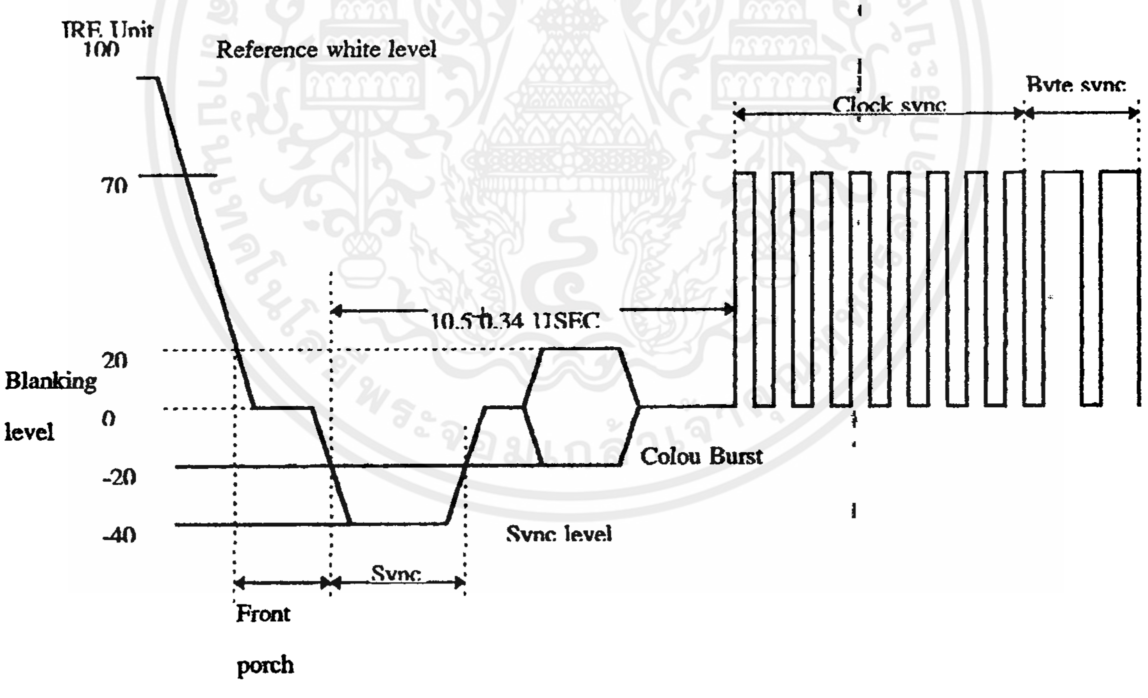
2.4 รายละเอียดของสัญญาณ

2.4.1 โครงสร้างของดาต้าไลน์ (Data line structure)

ดาต้าไลน์แต่ละเส้นจะประกอบด้วยสัญญาณ 45 ไบท์ หรือ 360 บิท สำหรับการส่งข่าวสารเพื่อการควบคุม และการส่งแอดเดรสต่าง ๆ ในระบบดาต้าบรอดคาส จะใช้รหัสการตรวจสอบความผิดพลาดของสัญญาณแบบแฮมมิ่งโค้ด (Hamming Code) เพื่อลดค่าความผิดพลาดของข้อมูลที่อาจจะเกิดขึ้นในระหว่างกระบวนการรับและการส่งของระบบโดยระบบดาต้าบอร์ดคาสมีรูปแบบรายละเอียดของสัญญาณคือ

สัญญาณนาฬิกา (Clock Sync) ในดาต้าไลน์ทุกเส้นจะมีสัญญาณนาฬิกา อยู่ที่ 2 ไบท์แรก ของดาต้าไลน์ จะมีลักษณะข้อมูลคือ 1010101010101010 ซึ่งใช้ในการบอกอัตราเร็วของบิทข้อมูล และเพื่อที่จะใช้ในการถอดรหัสของสัญญาณนาฬิกา (ที่ส่งมาแบบอนุกรม พร้อมที่จะทำการสร้างสัญญาณซิงค์โครไนซ์กับความถี่ออสซิลเลเตอร์ที่เครื่องถอดรหัสจะผลิตความถี่ 6.9375 เมกกะเฮิรตซ์

ไบท์ซิ้งค์ (Byte Sync) มีขนาดข้อมูล 1 ไบท์ (8 บิท) ซึ่งจะมีตำแหน่งอยู่ของไบท์ที่ 3 ของสัญญาณดาต้าไลน์หรือต่อจากสัญญาณนาฬิกา มีลักษณะข้อมูลคือ 11100100 เสมอใช้ในตรวจสอบข้อมูลในทางด้านรับว่าจะตรงกับไบท์ข้อมูลทางด้านส่งหรือไม่ หรือเรียกว่า รหัสเฟรมมิ่ง (Framing Code)



รูปที่ 2.25 แสดงรูปสัญญาณทางแนวนอน

2.5 การเข้ารหัสแฮมมิ่ง

การเข้ารหัสแฮมมิ่งเป็นการเข้ารหัสของระบบแก้ไขปลายทาง (Forword Error Correction) คือระบบนี้จะทำการตรวจสอบและแก้ไขข้อมูลที่ผิดพลาด ที่เกิดระหว่างขบวนการส่งข้อมูล ซึ่งการแก้ไขข้อมูลจะทำที่ทางด้านรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 หลักการทำงานของรหัสแฮมมิ่ง (HAMMING CODE)

เพื่อให้เข้าใจหน้าที่การทำงานของรหัสแบบแฮมมิ่งที่ใช้ในการตรวจสอบความผิดพลาดของข้อมูล และทำการแก้ไขข้อมูลที่ผิดพลาดได้อย่างไร จะขออธิบายตามขั้นตอนดังต่อไปนี้

ก่อนอื่นต้องดูว่าตัวอักษร (character) แต่ละตัวต้องใช้จำนวนกี่บิทซึ่งจะนับเรียงตำแหน่งจากซ้าย ไปขวา เช่น หมายเลข 1,2,3 เป็นต้น หน้าที่ของบิท คือ เป็นเลขฐาน 2 ตัว อย่างเช่น 23,22,21,20 หรือ 8,4,2,1 จะมีส่วนหนึ่งในจำนวนบิทเหล่านี้ใช้สำหรับตรวจสอบนอกจากนั้นเป็นตำแหน่งของบิทข้อความ

สมมติมีบิทใดบิทหนึ่งในบิทข้อความ เกิดความผิดพลาดตำแหน่งของบิตตรวจสอบ คือ 1,2,4 และบิทข้อความ ถือ 3,5,6 และ 7 รวมเป็น 7 บิท ความสัมพันธ์ของตำแหน่งระหว่างบิทตรวจสอบกับบิทข้อความมีดังนี้

1	2	3	4	5	6	7
C1	C2	8	C4	4	2	1

ตารางที่ 2.3 แสดงบิทข้อความผิดพลาด

C1, C2, C4 เขียนแทนบิทตรวจสอบของรหัสอักษร ซึ่งค่าของมันใช้ตามหลักที่วางไว้มีดังนี้

C1 ใช้ตรวจสอบตำแหน่ง 1,3,5 และ 7 เป็น พาริตี้คู่

C2 ใช้ตรวจสอบตำแหน่ง 2,3,6 และ 7 เป็น พาริตี้คู่

C4 ใช้ตรวจสอบตำแหน่ง 4,5,6 และ 7 เป็น พาริตี้คู่

ถ้าจัดเรียงในลักษณะเลขรหัสฐาน 2 แทนตำแหน่งก็จะง่ายแก่การทำความเข้าใจดังแสดงในตารางที่ 2.3

C4	1	0	1	0	1	0	1
C2	0	1	1	0	0	1	1
C1	0	0	0	1	1	1	1
	1	2	3	4	5	6	7
	C1	C2	C3	C4	C5	C6	C7

ตารางที่ 2.4 แสดงเลขรหัสฐานสอง

ตัวอย่างเช่น ผลของการตรวจสอบบิทต่าง ๆ ของเลข 9 ในเลขฐาน 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	2	3	4	5	6	7
C1	C2	8	C4	4	2	1
		1		0	0	1

ตารางที่ 2.5 แสดงตัวอย่างของการตรวจสอบบิทของรหัสแฮมมิ่ง

จากที่กำหนดให้ C1 ตรวจสอบบิทที่ 1,3,5 และ 7 ผลจะเป็นพาริตี้คู่ ฉะนั้น C1 ต้องเป็นศูนย์ในขณะมีค่าเป็น 910 (เลขฐาน 10)

1	2	3	4	5	6	7
C1	C2	8	C4	4	2	1
0		1		0	0	1

ตารางที่ 2.6 แสดงค่าผลการเข้ารหัส

C2 ใช้ตรวจสอบพาริตี้ในตำแหน่ง 2,3,6 และ 7 ผลจะเป็นพาริตี้คู่ ฉะนั้น C2 จะต้องเป็นศูนย์ในขณะมีค่าเป็น 9(10)

1	2	3	4	5	6	7
C1	C2	8	C4	4	2	1
0	0	1		0	0	1

ตารางที่ 2.7 แสดงการตรวจสอบพาริตี้

C4 ใช้ตรวจสอบพาริตี้ในตำแหน่ง 4,5,6,7 เพื่อให้ผลเป็นพาริตี้คู่ ดังนั้น C4 จะต้องเป็น 1 เท่านั้น

ในขณะมีค่าเป็น 9(10)

1	2	3	4	5	6	7
C1	C2	8	C4	4	2	1
0	0	1	1	0	0	1

ตารางที่ 2.8 แสดงการตรวจสอบพาริตี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปได้ว่ารหัสอักษรของ 910 จะเป็น 0011001

ทีนี้เราลองดูรหัสอักษรนี้ ถ้ามีความผิดพลาดตัวเดียว (single erroe) เกิดขึ้นรหัสแฮมมิ่งจะทำอย่างไร จึงจะสามารถตรวจสอบออกมาแล้วทำการแก้ไขได้

สมมติตำแหน่งที่ 6 เกิดผิดพลาด (สาเหตุเกิดจากคลื่นรบกวนจากภายนอกหรือภายในวงจรใน ระหว่างระบบการรับการส่ง)

เดิมต้องเป็น 0 แต่กลายเป็น 1 ดังแสดงในตัวอย่างคือ

1	2	3	4	5	6	7
0	0	1	1	0	0	1

ตารางที่ 2.9 แสดงผลการตรวจสอบเมื่อเกิดความผิดพลาด

ลำดับต่อไป ก็จะเป็นหน้าที่ของบิทตรวจสอบพาริตี้ทั้งสาม คือ C1, C2 และ C4 ผลลัพธ์ที่ได้จากการตรวจสอบสามารถรวมเอาเลขฐาน 2 ออกมาได้ ถ้าหาบิทตรวจสอบพาริตี้ตัวหนึ่งแสดงเป็น พาริตี้คู่ (ถูกต้อง) ตำแหน่งของเลขฐาน 2 ก็จะเติมเข้าไปเป็นศูนย์ แต่ถ้าหากผลจากการตรวจสอบ ออกมาเป็น พาริตี้ คี่ (ผิดพลาด) ตำแหน่งของเลขฐาน 2 ก็จะเติมเข้าไปเป็น 1 สุดท้ายตำแหน่งของเลขฐาน 2 ก็จะแสดงตำแหน่งที่ผิดพลาดออกมาดังนั้นการแก้ไขเพียงแต่นำเอาตำแหน่งของบิทที่ผิดพลาด นั้นมาทำการกลับเปลี่ยนใหม่ก็ใช้ได้

ดังตัวอย่างจากผลของบิทตรวจสอบพาริตี้ 3 ตัวข้างล่าง

```
C1   0  0  1  1  0  1  1        คู่
C2   0  0  1  1  0  1  1        คี่
C4   0  0  1  1  0  1  0        คี่
                       4  2  1
               1  1  0  =  6
```

ตารางที่ 2.10 การตรวจสอบตำแหน่งบิทผิดพลาด

แสดงให้เห็นว่าผลจาก C1 ให้บิทตรวจสอบพาริตี้ เป็นพาริตี้คู่แต่ ผลการตรวจสอบจาก C2 กับ C4 เป็นพาริตี้คี่ ดังนั้นค่าของเลขฐานสองคือ 110 = 6 แสดงให้เห็นความผิดพลาดที่เกิดขึ้นอยู่ที่ตำแหน่งที่ 6 จึงทำเพียงกลับเอาตำแหน่งของบิทที่ 6 จาก 1 เปลี่ยนเป็น 0 ก็ทำให้ได้ค่าที่ถูกต้อง นั่นคือทั้งสามบิทในการตรวจเลขฐานสองเป็น 000 ก็ไม่มีความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INFORMATION BITS: b8, b6, b4, b2

ENCODING

HEXADECIMAL NUMBER	DECIMAL NUMBER	b8	b7	b6	b5	b4	b3	b2	b1
0	0	0	0	0	1	0	1	0	1
1	1	0	0	0	0	0	0	1	0
2	2	0	1	0	0	1	0	0	1
3	3	0	1	0	1	1	1	1	0
4	4	0	1	1	0	0	1	0	0
5	5	0	1	1	1	0	0	1	1
6	6	0	0	1	1	1	0	0	0
7	7	0	0	1	0	1	1	1	1
8	8	1	1	0	1	0	0	0	0
9	9	1	1	0	0	0	1	1	1
A	10	1	0	0	0	1	1	0	0
B	11	1	0	0	1	1	0	1	1
C	12	1	0	1	0	0	0	0	1
D	13	1	0	1	1	0	1	1	0
E	14	1	1	1	1	1	1	0	1
F	15	1	1	1	0	1	0	1	0

PROTECTION BITS: b7, b5, b3, b1

where

$b7 = b8 \oplus b6 \oplus b4$

$b5 = b6 \oplus b4 \oplus \overline{b2}$

$b3 = b4 \oplus \overline{b2} \oplus b8$

$b1 = \overline{b2} \oplus b8 \oplus b6$

DECODING

X1	X2	X3	X4	INTERPRETATION	INFORMATION
1	1	1	1	NO ERROR	ACCEPTED
0	0	1	0	ERROR IN b8	CORRECTED
1	1	1	0	ERROR IN b7	ACCEPTED
0	1	0	0	ERROR IN b6	CORRECTED
1	1	0	0	ERROR IN b5	ACCEPTED
1	0	0	0	ERROR IN b4	CORRECTED
1	0	1	0	ERROR IN b3	ACCEPTED
0	0	0	0	ERROR IN b2	CORRECTED
0	1	1	0	ERROR IN b1	ACCEPTED
X1·X2·X3 = 0			1	MULTIPLE ERRORS	REJECTED

where

$X1 = b8 \oplus b6 \oplus b2 \oplus b1$

$X2 = b8 \oplus b4 \oplus b3 \oplus b2$

$X3 = b6 \oplus b5 \oplus b4 \oplus b2$

$X4 = b8 \oplus b7 \oplus b6 \oplus b5 \oplus b4 \oplus b3 \oplus b2 \oplus b1$

ตารางที่ 2.11 แสดงรหัสแฮมมิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การจัดช่วงความถี่ (Bandwidth Allecation)

ในระบบการส่งดาต้าบรอดคาส จะต้องระมัดระวังในการจัดช่วงความถี่บริการ (Services) เนื่องจากช่วงความถี่กว้างเกินไป ทำให้ข้อมูลสูญหายไป และ ส่วนบริการจ ะแตกแยก การส่งดาต้าบรอดคาสจะต้องมีหน่วยความจำสำรอง (Buffer) และถ้า บริการ เกิดการแตกแยกจะสามารถใช้หน่วยความสำรองนี้ในการจัด ช่องสัญญาณ (Statistical multiplexing services) อย่างไรก็ตาม การคำนวณช่วงความถี่การสมมุติให้ ส่วนบริการ เต็มช่วงความถี่เป็นสิ่งที่ดีที่สุด

อันดับแรก กำหนดช่วงความถี่ขาออก (Output) ที่ต้องมี ซึ่งจะขึ้นอยู่กับตัวแทรกข้อมูล (Inserter) และทางเดินข้อมูลระหว่างตัวส่งกับตัวแทรกข้อมูลลงในเส้นแบล็งกิ้ง สัญญาณด้านขาออกของเครื่องส่งดาต้า บรอดคาสประกอบไปด้วยสัญญาณขนาด 45 ไบท์ (Bytes) สำหรับแต่ละเส้นของเส้นแบล้วกิ้ง (VBI Line)

ถ้าที่จุดใด ๆ ระหว่างตัวส่งข้อมูลเพื่อนำไปแทรก (Txvision) และตัวแทรกข้อมูล ข้อมูล ขาออกผ่าน อซิงค์โครนัส (Asynchrounous serial line) ดูตัวอย่างจากแหล่งข้อมูล (Terminal service ไปยัง DBL 95) ดังนั้นความเร็วของข้อมูลอนุกรม (Serial line) จะทำให้ช่วงความถี่ขาออกถูกจำกัด

ตารางต่อไปนี้ จะแสดงถึงจำนวนเส้นแบล็งกิ้ง ที่สามารถรับข้อมูลในอัตราเร็ว (Asynhcronous baud rates) ต่อจำนวนเส้นแบล็งกิ้ง

BAUD	2400	4800	9600	19200	38400	57600
VBI LINE	0.11	0.21	0.43	0.85	1.71	2.56

ตารางที่ 2.12 แสดงอัตราของข้อมูลต่อจำนวนเส้นแบล็งกิ้ง

ใช้ตารางในการตัดสินใจกำหนดความจุของจำนวนเส้นในการแทรก หรือ outputpath's VBI (Opath lines) ถ้า ethernet ตลอดทางจากแหล่งข้อมูล (workstation) ไปยังตัวแทรกข้อมูล (Inserter) หรือใช้ตัวแทรกสัญญาณแบบอื่น (Internal CT4) ดังนั้นจำนวนเส้นในการแทรก (Opath lines) จะเป็น 16 เส้น

การตัดสินใจกำหนดจำนวนเส้น สำหรับแทรกข้อมูล ของตัวแทรกข้อมูล (Insĕrter)

ช่วงความถี่ขาออก (Oband) เป็นจำนวนที่น้อยที่สุดของตัวแทรกข้อมูลหรือความจุของ ส่วนของเส้นแบล็งกิ้ง (Path VBI line) คูณกับขนาดของเส้นแบล็งกิ้ง

oband = min (opath-lines, insert-line) x 45 x 50

ซึ่งจะให้ช่วงความกว้างของความถี่ (Bandwidth income) และเราจำเป็นต้องตรวจสอบช่วงความกว้างด้านความถี่ของ Bandwidth expenditure บนส่วนบริการ จะต้องไม่เกินส่วนที่เพิ่มขึ้น

หลักในการพิจารณาเมื่อมีการกำหนดช่วงความถี่ที่ต้องการสำหรับแต่ละ บริการ คือ พื้นฐานของอัตราการส่งผ่านข้อมูล (Interface input rate) และตามมาตรฐาน (Datalink layer overhead)

สำหรับแต่ละโปรแกรม(.s-file) ในโครงสร้างของระบบการส่งข้อมูลเพื่อแทรก (Txvision) กำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการส่งผ่านข้อมูล (Interface input rate : rate)

ไฟล์ระบบ (FILE SYSTEM) ใช้ค่าของช่วงความกว้างความถี่ในโปรแกรม (.s file)

irate = bandwidth

ASYNC ใช้ค่าของอัตราการส่งข้อมูล (buad rate) ของโปรแกรม (.s file) และหารด้วย 10 ในการทำให้เป็นจำนวนไบท์ต่อวินาที

irate = band/10

High Level Data Link Control (HDLC) กำหนดให้การตรวจสอบข้อมูลที่เข้ามา (Synchronous checks peed of incoming line) ซึ่งอาจจะกำหนดที่แหล่งกำเนิดข้อมูล หรือรับโดยแหล่งข้อมูล หารด้วยความเร็วของสัญญาณนาฬิกา (Clockspeed) ด้วย 8 เพื่อที่จะได้จำนวนไบท์ ต่อวินาที (ค่าที่ได้เป็นค่าโดยประมาณซึ่งไม่คิด HDLC flag bytes และสัญญาณตรวจจับ (CRC bytes))

irate = clock/8

TELNET / TCP ขึ้นอยู่กับแหล่งกำเนิดข้อมูล ถ้าเป็นแหล่งข้อมูล (Terminal server) อื่นจะใช้ อัตราความในการส่งข้อมูลของแหล่งนั้น ๆ (Terminal server 's serial band rate) ในการกำหนดอัตราการส่งออกของข้อมูล (Output rate) ในหน่วยไบท์ต่อวินาที

ขณะนี้เราได้อัตรการส่งผ่านข้อมูล (Service 's interface rate) ในหน่วยไบท์ต่อวินาที การกำหนดกฎ (Overhead) เพิ่มขึ้นโดยมาตรฐาน (Service 's datalink layer) จะให้อัตราขาออกของส่วนบริการ (Orate)

NONE service 's output rate จะเท่ากับอัตราส่งผ่านข้อมูล (interface rate)

orate = irate

อัตราส่งข้อมูล (P31 service 's output rate) จะขึ้นอยู่กับลักษณะโครงสร้างของการส่งข้อมูล (Packet 31) จากมาตราฐาน (Datalink layer 's) ไฟล์ (.is file) กำหนดเพโหลด (Payload) ซึ่งสามารถใช้งานต่อการส่งในแต่ละชุด (Packet) เราสมมติให้ทุกชุดถูกใช้งานเต็มสมบูรณ์

overhead = 8 + address_length + RI + CI

payload = 95 - overhead

orate = irate x (45/payload) x repeat_count

โดยที่ ความยาวของแอดเดรส (Address length) คือ จำนวนตัวอักษรในไฟล์ (.is file's Address = value RI) เป็นหนึ่งถ้าไฟล์ (.is file's repeate) เท่ากับค่าที่ไม่เป็นศูนย์มิฉะนั้นเป็น ศูนย์ CI เป็น .is file's Expticit CI = value repeat_count เป็นหนึ่งถ้า Repeat 3 = ค่าที่เป็น ศูนย์ มิฉะนั้นจะเป็น Repeats = value

FEC. FEC จะให้ค่า 0.6 เท่า ของช่วงความถี่เส้นแบล็งกิ้งเท่ากับเพโหลด

orate = 1.67 x irate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของช่วงความถี่ทั้งหมด สามารถคำนวณโดยบวกต่ออัตราส่งข้อมูลของแต่ละลักษณะการส่งผ่านข้อมูล

cband = sum (oratei)

โดยที่อัตราขาออกของส่วนบริการ เป็น อัตราขาออกของส่วนบริการ ของแต่ละลักษณะการ บริการ

การจัดช่วงความถี่ประกอบขึ้นด้วย การทำให้แน่ใจว่า ไม่มากไปกว่าความถี่ที่ได้รับการจัดสรรดังนั้นจะต้องแน่ใจว่า

cband > oband

สรุป ส่วนประกอบหลักในการ ปรับแต่งเพื่อให้สมดุลย์กับช่วงความถี่ที่ได้รับการจัดสรร คือ จำนวนเส้นแบล็งกิ้ง

ช่วงความถี่ของการติดต่อจากระบบส่งข้อมูล (Txvision) ไปยังตัวแทรกข้อมูล (Physical inserter) จำนวนส่วนบริการและช่วงความถี่ของแต่ละส่วนบริการลักษณะคุณสมบัติรายละเอียดของสัญญาณข้อมูลที่ส่งออกอากาศถ้ารู้ว่า ส่วนบริการ แตกต่างกัน และสามารถรู้ถึงลักษณะโดยทั่วไปของแต่ละส่วนบริการจะเป็นไปได้ในการแสดงถึงระบบส่งข้อมูล สำหรับ statistical multiplexing ใน unix, Txvision ให้ผลในหน่วยความจำสำรอง ถึง 200 กิโลไบท์ (kbytes) หรือประมาณ 4,400 เส้นแบล็งกิ้ง

2.7 โครงสร้างของรูปแบบการส่งข้อมูลแพ็กเกต 31 (Structure of (teletext) Packet 31 for Databroadcast) สำหรับข้อมูลที่ส่งออกอากาศ

แพ็คเกต 31 เป็นเช่นเดียวกันกับ แพ็คเกตศูนย์ (Packets 0) ของระบบเทเลเท็กซ์ (teletext) ทั่วไป คือ 3 ไบท์แรกประกอบด้วยคล็อครันนิ่ง (Clock running) มีข้อมูล 0101010101010101 (5555 hex) ตามด้วยเฟรมมิ่งโค้ด (Framing code) มีลักษณะข้อมูลเป็น 00100111 (27 hex) แพ็คเกต 31 จะถูกกำหนดโดยข้อมูลของบิท (Massage bits) มีข้อมูลเป็น 1111 ให้ไบท์ที่ 5 (ซึ่งถูกเข้ารหัสแบบแฮมมิ่ง)

กลุ่มของช่องข้อมูล (Data Channel Groups) แบ่งเป็น 4 กลุ่ม (Group)

ข้อมูลบิทของบิทข้อมูล 4 บิท ของไบท์ที่ 4 (ซึ่งถูกเข้ารหัสแบบแฮมมิ่ง จะกำหนดให้มีการส่งแบบเส้นข้อมูล ซึ่งไปขึ้นต่อกันนี้ด้วยข้อมูลบิท 0001 1001 0101 1101 (ขึ้นกับคำสั่งในการส่ง) ซึ่งจะหมายถึง กลุ่มของช่องข้อมูล 8 9 10 และ 11

2.7.1 โครงสร้างของรูปแบบการส่งข้อมูล แพ็คเกต 31

รายละเอียดของโครงสร้างของ 40 ไบท์ ที่เหลือของแพ็คเกต 31 มีดังต่อไปนี้ไบท์เหล่านี้ (ไม่จำเป็นต้องใช้ทั้งหมด) ได้อธิบายในส่วนคำสั่งของการส่งโดยที่ไบท์กเข้ารหัสแบบแฮมมิ่ง เป็นไปตามตารางรหัส (Code table) ซึ่งเป็นคุณสมบัติที่ใช้ในระบบเทเลเท็กซ์ (Teletext) ทั่วโลกไบท์ทั้งหมดจะถูกส่ง บิท ที่มีความสำคัญน้อยที่สุดก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบไบท์ที่ 6 (Byte 6-Format type byte :FT)

ไบท์รหัสแฮมมิ่ง (Hamming coded byte) นี้จะควบคุมหรือตีความของไบท์ที่ตามมาเพื่อตีความหมายของ 4 บิทข้อมูล (Massage bits) ในคำสั่งการส่งคือ

บิทศูนย์ bit0 ตั้งค่า 0 สำหรับรูปแบบของดาต้าบรอดคาส (Data Broadcast format)

บิทที่หนึ่ง bit1 ตั้งค่า 1 ถ้ามีการใช้ packet repeat Pacility มิฉะนั้นเป็น 0

บิทที่สอง bit2 ตั้งค่า 1 ถ้า continutity indicutor แสดงออก มิฉะนั้นมันจะเป็นนัย

บิทที่สาม bit3 ตั้งค่า 1 ถ้ามีการใช้ Data lought indicator มิฉะนั้นเป็น 0

ไบท์ที่ 7 (Byte 7 - Packet Address Lougth byte (Al))

บิทข้อมูลจำนวนสามบิท (3 บิทข้อมูลs) แรกของจำนวนที่ถูกเข้ารหัสแบบแฮมมิ่งจะแสดงจำนวนไบท์ที่ถูกเข้ารหัสแบบแฮมมิ่งตามมาขณะนั้นจะถูกจัดแบ่งเป็นลำดับชุดข้อมูล (packet address) ค่านิยมน้อยที่สุดคือไม่มีค่าจะแสดงว่าไม่มีลำดับชุดข้อมูลในเส้นแบล็งกิ้งเส้นข้อมูล (data line) ไบและค่ามากที่สุดคือ 6 จะแสดงว่ามี 24 บิทข้อมูลการใช้บิทสุดท้ายของไบท์ไม่ได้ถูกกำหนด

Packet Address bytes

จำนวนของไบท์ที่เข้ารหัสแฮมมิ่งที่จัดแบ่งลำดับของแต่ละชุดข้อมูลถูกแสดงโดย AL byte บริการ data channel ถูกกำหนดโดย data channel group, address length และ address bytes ของมัน

Packet Repeat Indicator byte (RI)

RI byte จะแสดงก็ต่อเมื่อ packet repeat facility มีการส่งสัญญาณโดยข้อมูลในบิทที่ 2 ของ FT byte packet repeat pacility จะถูกใช้ก็ต่อเมื่อมีข้อมูลชุดหนึ่งบางส่วนถูกส่งใหม่

ค่า 4 บิทแรกถูกกำหนดเป็น 0 เมื่อชุดข้อมูลใหม่ของ บริการ data channel นั้น ถูกส่งเป็นครั้งแรก และจะถูกเพิ่มค่า 16 ทุกครั้งที่มีการส่งใหม่ ค่า 3 บิท ถัดไปไม่ได้ถูกกำหนดบิทสุดท้ายสุดถูกกำหนดป็น 0 เพื่อแสดงว่าไม่มีการส่งใหม่อีกต่อไปของชุดข้อมูลปัจจุบัน ควรจะถูกคาดหวัง (แต่การตั้งค่า 1 ไม่จำเป็นจะต้องแสดงว่ามีการส่งใหม่อีก) ไบท์นี้ไม่ถูกเข้ารหัสแบบแฮมมิ่ง

Packet Continuity Indicator (CI)

CI byte จะแสดงก็ต่อเมื่อ explicit continuity indicatior มีการส่งสัญญาณโดยบิทข้อมูลที่ 3 ของ FI byte ซึ่งจะแสดงจำนวน 8 บิท ซึ่งถูกเพิ่มค่า 256 กับแต่ละชุดข้อมูลใหม่ของ บริการ data channel เดียวกัน และจะไม่เปลี่ยนแปลงระหว่างการส่งใหม่ของชุดข้อมูลเหมือนกัน

ถ้า explicit continuity indicator ไม่ได้รับสัญญาณ ดังนั้น implicit cintinuity indicator จะถูกส่งดังรายละเอียดต่อไปไบท์นี้ไม่ถูกเข้ารหัสแบบแฮมมิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Lought (DL)

DL byte จะแสดงก็ต่อเมื่อ มันมีการส่งสัญญาณโดยบิทข้อมูลที่ 4 ของ FT byte ซึ่งจะแสดงจำนวน 6 บิท เพื่อกำหนดจำนวน 8 บิท:ไบท์ เองผู้ใช้ data byte group อย่างตั้งใจที่จะถูกส่งให้ผู้ใช้ การนับได้รับจากจุดเริ่มและรวมทั้งไบท์ที่ถูกบรรจุ (stuffing bytes) ใด ๆ (ดูต่อไป) ค่าเลขที่มีความสำคัญที่สุด 2 ค่า ของ DL byte ไม่ได้ถูกกำหนด

DL byte ถูกใช้เมื่อเป็นสิ่งจำเป็นในการส่ง filled packet ที่ไม่สมบูรณ์ เพื่อที่จะไม่ทำให้เกิด ล่าช้าในการส่งข้อมูลไบท์ใด ๆ ที่เหลืออยู่ของผู้ใช้ data group ควรจะเป็น "stuffing bytes" (A5 hex) 10100101 และยังคงขึ้นอยู่กับค่าตรวจคคาความผิดพลาด CRC (ดูต่อไป)

User Data Byte group

ค่าไบท์ที่ยังเหลืออยู่ในเส้นข้อมูล นอกจาก 2 ไบท์สุดท้าย และยังถูกจำกัดต่อไป โดย DL byte เพื่อใช้ทให้การนำข้อมูลสำหรับผู้ใช้ของ บริการ bearing ของ packet address นั้น การขึ้นอยู่กับความยาวของ address ถ้า repeat pacility ถูกใช้และถ้า continuity indicator แสดงออกหรือเป็นนัยจะมีโดยปกติทั่วไประหว่าง 28 และ 36 user bytes ใน data broadcast packet ไม่มีการจำกัดเกี่ยวกับรหัสของ user data bytes

Stuffing Bytes

หน้าที่ที่อธิบายในส่วนนี้อาจจะไม่ต้องการใช้ เนื่องจากว่าตัวถอดรหัสถูกสร้างขึ้นด้วยวิธีธรรมดาซึ่งจะข้ามหน้าที่นี้ไป

ถึงแม้ว่าจะไม่มีข้อจำกัดในการเข้ารหัสของ user data bytes ยังคงจำเป็นที่จะตัดความยาวของอักขระของ 0s หรือ 1s ทั้งจากการส่งข้อมูล หรือให้แน่ใจว่าข้อมูลจะถูกสร้างขึ้นใหม่และถอดรหัสอย่างถูกต้อง ถ้าในกลุ่มผู้ใช้ข้อมูลใด ๆ มีการใช้ CI byte และ DL byte ลำดับของ 8 bytes 000000000 (NUL) เรียงลำดับ หรือลำดับของ 8 ไบท์ 11111111 (DEL) เรียงลำดับ จะเกิดขึ้นในระบบการส่งออกอากาศจะ (ยกเว้นเมื่อไม่มีไบท์เหลืออยู่ใน user data byte group) สอดแทรก stuffing byte (ascii 165 = A5 hex) ซึ่งอยู่ในรูปแบบของการตรวจสอบค่าความผิดพลาด ซึ่งมิฉะนั้น จะถูกละเลยโดยตัวถอดรหัส

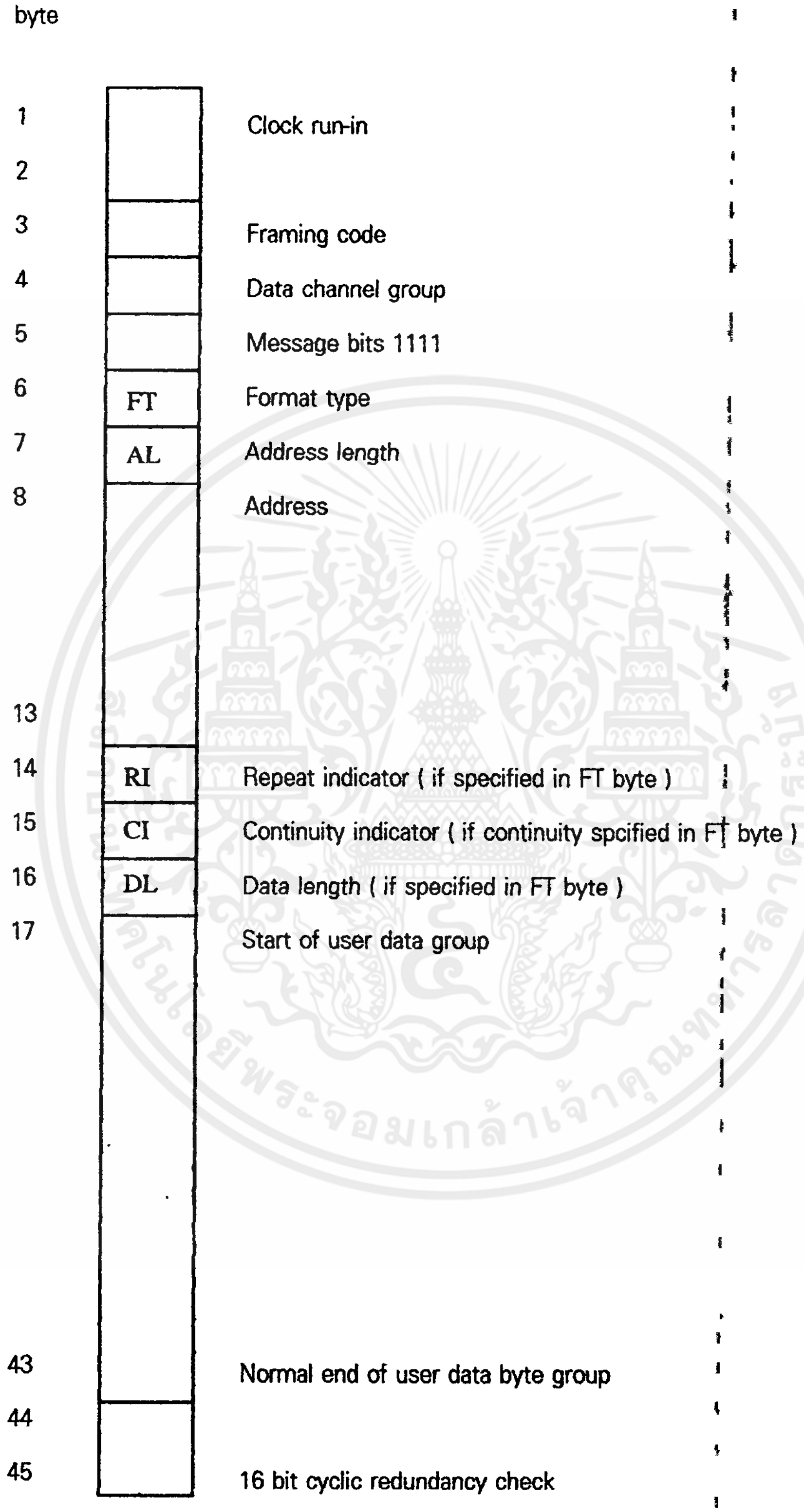
Cyclic Rddundancy Check (CRC)

2 bytes สุดท้าย จะเป็น 16 bit cyclic redundancy check บน CI byte (ถ้าใช้) ด้วยกับ user data bytes ข้อมูลจะถูกเช็คด้วยบิทในคำสั่งการส่งจะถูกพิจารณาเป็น polynomial ของ x โดยเทอมที่มีดีกรีสูงสุดจะถูกส่งก่อนและเทอมท่มีดีกรีเป็น 0 จะถูกส่งสุดท้าย ซึ่งจะถูกแบ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของแพคเก็ต 31 (Structure of Packet 31 for Broadcast

(Shown with maximum address length and all option packets)



รูปที่ 2.26 แสดงรูปแบบของ โครงสร้างแพคเก็ต 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย polynomial x16 บวก x9 บวก x7 บวก x4 บวก x0 โดยใช้โมดูโล -2 arithmetic และสิ่งที่ยังคงอยู่โดยเทอมที่มี ดีกรีสูงสุดส่งก่อน คือ CRC

ถ้า implicit continuity indicator ได้รับสัญญาณโดย บิทข้อมูล ที่ 4 ของ Ft byte CRC จะถูกเปลี่ยนแปลงบางส่วน โดย bit- wise modulo-2 บวกกับจำนวน 16 บิท ซึ่งประกอบด้วย 2 indentical bytg bytes เหล่านี้จะถูกเพิ่มค่า 256 ในแต่ละชุดข้อมูลใหม่ของ บริการ data channel เดียวกัน โดยบิท ที่มีความสำคัญน้อยที่สุด จะถูกประมวลผลก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณการสร้างและการทำงาน

3.1 วงจรและการทำงาน

การควบคุมการทำงานของเครื่องถอดรหัสข้อมูลทางอากาศ (data broadcast decode) ใช้การควบคุมโดยการขัดจังหวะ (interrupt) จากคอมพิวเตอร์ ผ่านทางพอร์ตอนุกรม (serial port) ไปยังส่วนติดต่อภายนอกของตัวถอดรหัส ซึ่งก็คือ max 232 ที่ต่ออยู่กับ UART 2691 (Universal asynchronous receiver / tramsmitter) และส่งผ่านหน่วยความจำ (RAM 6264, EPROM 27C256) ก่อนที่จะเข้าสู่ส่วนควบคุม (micro controller 80 C31) เพื่อให้ปฏิบัติตามคำสั่ง โดยจะเน้นไปตามคำสั่งการทำงานที่เก็บไว้ในหน่วยความจำ (EPROM 27C256)

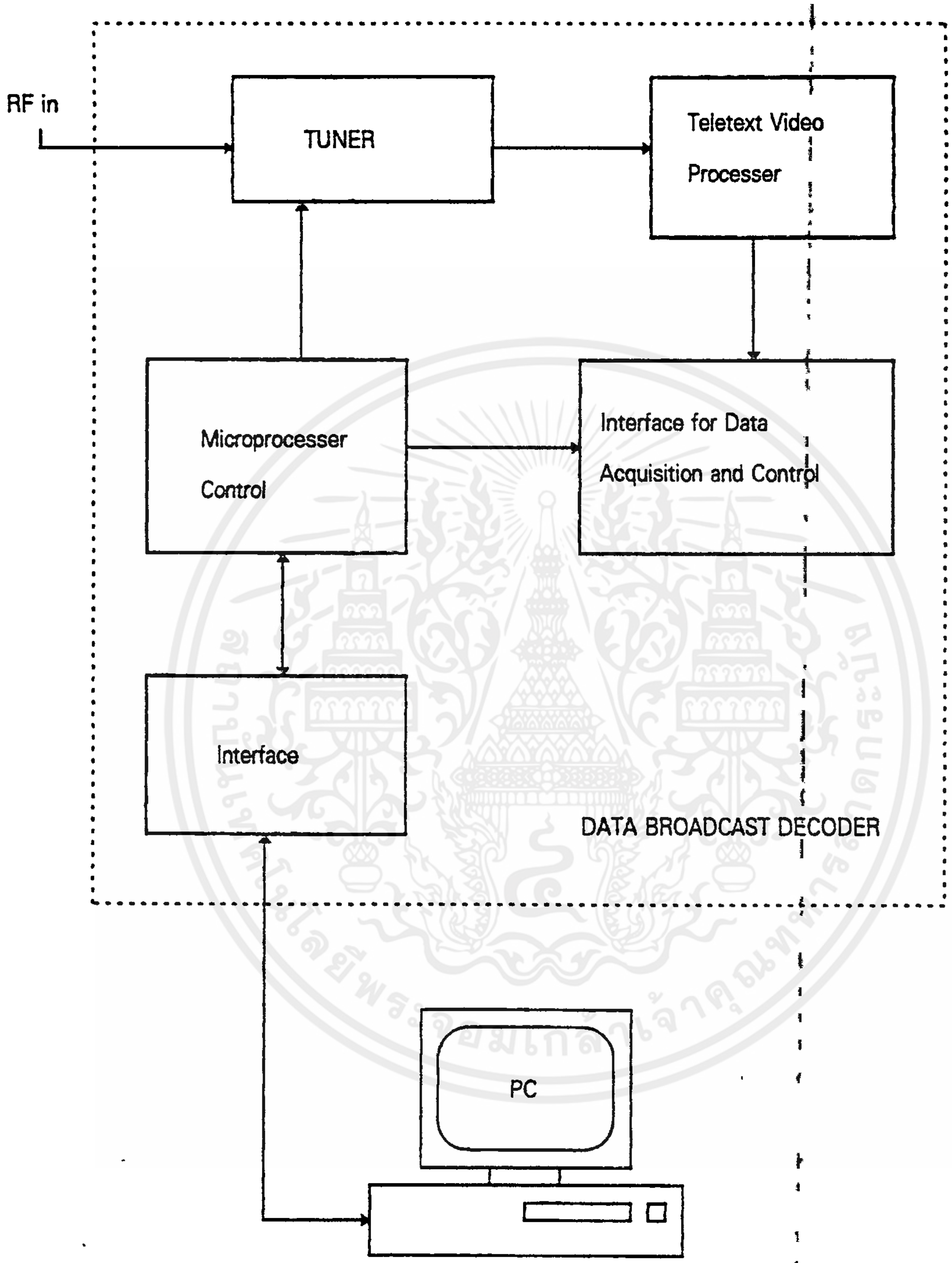
การทำงานของตัวเครื่อง ถอดรหัส (data broadcast decoder) ในการส่งข้อมูลที่ตัวเครื่องได้ไปยังคอมพิวเตอร์ จะเริ่มจากการรับสัญญาณโทรทัศน์ (RF) โดยวงจรส่วนหน้า (TUNER) และจำกำหนดช่วงความถี่ในการรับโดย การประมวลของตัวควบคุม (microcontroller 81C31) ผ่าน 256x8 BIT CMOS EEPROMS with I^2C-bus interface 8582 ซึ่งค่าช่วงความถี่ที่กำหนด ที่ตั้งไว้จะเก็บในหน่วยความจำ (EEPROMS) นี้ จากขาออกของวงจรส่วนหน้าที่ได้จะเป็นสัญญาณย่านความถี่กลาง (IF) ไปเป็นสัญญาณภาพ (VIDEO) และส่งผ่านไปยังส่วนถอดเส้นแบล็งกิ้ง (TELETEXT VIDEO PROCESSOR SAA 5231) ซึ่งจะทำหน้าที่ในการแยกสัญญาณข้อมูลออกจากสัญญาณภาพก่อนที่จะส่งผ่านไปยังวงจรส่งผ่านข้อมูล (INTERFACE FOR DATA ACQUISITION AND CONTROL SAA 5250) ซึ่งจะทำหน้าที่ในการแยกข้อมูลจากชุดข้อมูล (packet) ของสัญญาณข้อมูลที่ได้รับโดยจะมีการกำหนด data channel group และ address ของสัญญาณข้อมูลที่ได้รับโดยจะมีการกำหนด data channel channel group และ address ของสัญญาณที่ต้องการจากส่วนควบคุม (micro controller 80C31) และข้อมูลนี้จะผ่าน UART 2691, MAX 232, ผ่านพอร์ตอนุกรม (serial port) ไปยังคอมพิวเตอร์ เพื่อนำไปประยุกต์ใช้งานต่อไป โดยหน่วยความจำสำรอง (RAM 6116) เป็นหน่วยความจำสำรอง ที่ใช้ในการทำงานของ SAA 5250

3.1.1 โครงสร้างและการทำงานของวงจร

โครงสร้างการทำงานของวงจรสามารถแสดงเป็นบล็อกไดอะแกรมดังรูปที่ 3.1 เพื่อความสะดวกในการอธิบายการทำงานจะแยกอธิบายเป็นบล็อกไป ซึ่งมีบล็อกไดอะแกรม ดังนี้

1. วงจรภาครับ (Tuner)
2. วงจรแยกสัญญาณเทเลเท็กซ์ออกจากสัญญาณภาพ (Teletext Video Processer)
3. วงจรต่อผ่านและควบคุมสัญญาณเพื่อถอดข้อมูลออกจากเส้นสัญญาณข้อมูล หรือสัญญาณเทเลเท็กซ์ (Interface for Data Acquisition and Control)
4. วงจรควบคุม (Microprocesser Control)
5. วงจรส่งผ่านข้อมูล (Interface)
6. คอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

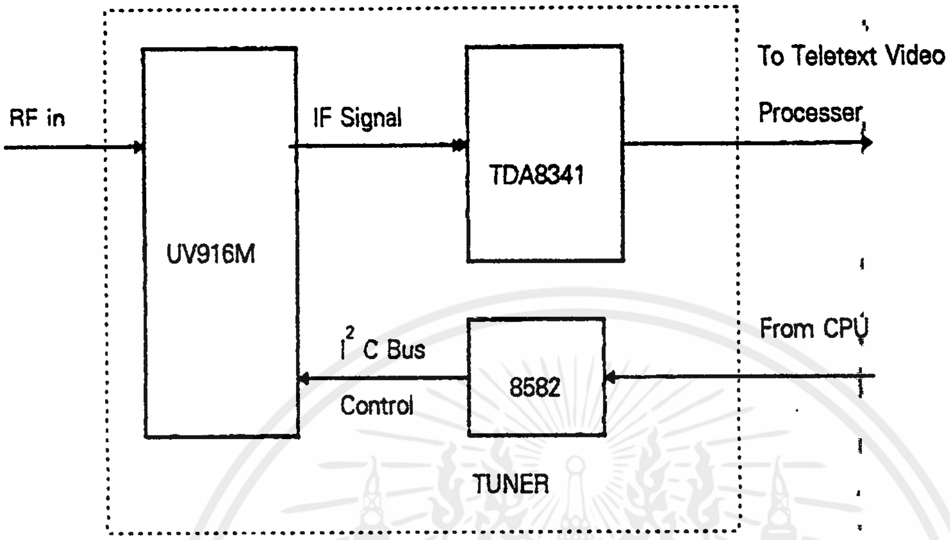


รูปที่ 3.1 แสดงบล็อกไดอะแกรมของดาต้าบรอดคาสดีโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรภาครับ

ในส่วนของวงจรภาคนี้มีส่วนประกอบของวงจรที่ทำหน้าต่าง ๆ กันดังรายละเอียดของบล็อกไดอะแกรมส่วนประกอบของวงจรในภาครับ



รูปที่ 3.2 แสดงบล็อกไดอะแกรมส่วนประกอบของรายละเอียดวงจรภาครับ

การทำงานของส่วนประกอบต่าง ๆ ในภาครับ

3.2.1 จูนเนอร์ (Tuner UV 916M)

ในวงจรของชิ้นงานนี้ใช้จูนเนอร์เบอร์ UV916M ซึ่งเป็นจูนเนอร์แบบดิจิตอล (PLL) ของยี่ห้อ ฟิลิปส์ สาเหตุที่ใช้จูนเนอร์ของยี่ห้อนี้ เพราะว่าในการควบคุมนั้นเราใช้ตัวควบคุมของยี่ห้อเดียวกันซึ่งเป็นสิขสิทธิ์ ของฟิลิปส์โดยเฉพาะ ทำหน้าที่ในการรับสัญญาณที่ประกอบด้วยความถี่พาหะผ่านเข้ามาทางสายอากาศรับ แล้วผลิตความถี่ของสัญญาณความถี่กลางของช่องสัญญาณที่เลือก (38.9 MHz) โดยมีขาต่าง ๆ ที่ทำหน้าที่ดังนี้

ขา 5 (AGC Voltage) เป็นสัญญาณขาเข้า ที่ใช้ควบคุมเกนการขยายของความถี่กลางของภาพโดยอัตโนมัติ(AGC) จากส่วนขยายสัญญาณภาพ มีโวลท์ระหว่าง 9.2 โวลท์ถึง 0.85 โวลท์

ขา 6 เป็นขาใช้ในการต่อกับแหล่งจ่ายไฟขนาด 12 โวลท์

ขา 11 (33 V Via 22 k series resisiter) ใช้ต่อไฟเลี้ยงขนาด 33 โวลท์

ขา 12 (Pll supply +5 V)n ใช้ต่อไปเลี้ยง +5 โวลท์

ขา 13 (SCL serial clock line) เป็นขาใช้ในการรับสัญญาณนาฬิจากตัวควบคุม (PCF 8582)

ขา 14 (SDA serial data line) เป็นขาใช้ในการรับสัญญาณข้อมูลจากตัวควบคุม (PCF 8582)

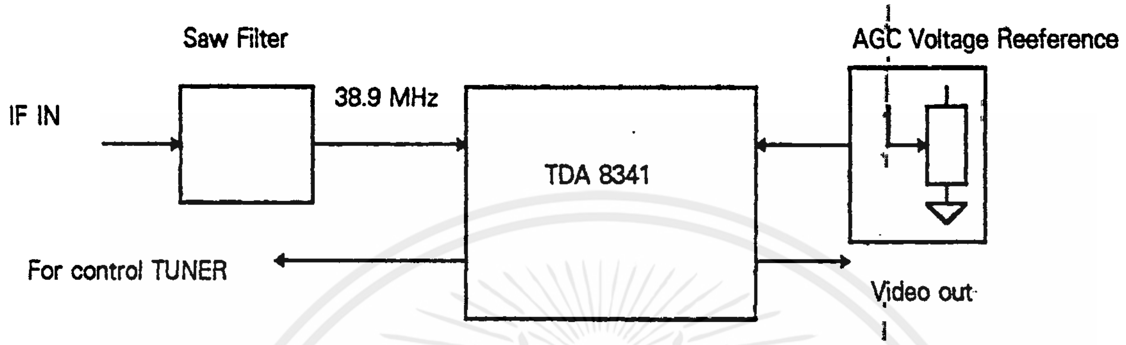
ขา 16 เป็นขาสัญญาณออกของความถี่กลางของช่องสัญญาณที่เลือก ซึ่งจะส่งผ่านต่อไปยังส่วนขยายของสัญญาณความถี่กลาง

ขา 17 เป็นขากราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 ส่วนขยายความถี่กลาง (Television IF Amplifier and Demodulato TDA8341)

ทำหน้าที่ในการขยายความถี่กลางซึ่งตัวฟิลเตอร์ (Saw Filter) รับมาจากจูนเนอร์ แล้วกรองความถี่ที่ 38.9 MHz ให้ผ่านออกมาเพียงความถี่เดียว จากนั้นวงจรรวม (TDA 8341) ทำการถอดสัญญาณความถี่กลางให้เป็นสัญญาณภาพ และยังสร้างสัญญาณควบคุมโดยอัตโนมัติย้อนกลับไปควบคุมจูนเนอร์ (UV916M) ส่วนขาต่าง ๆ ที่ใช้งานในชิ้นงานนี้



รูปที่ 3.3 บล็อกไดอะแกรมรายละเอียดวงจรขยายความถี่กลาง

ขา 1 และขา 16 (IF input) เป็นขาสัญญาณเข้า รับความถี่กลางเข้ามา

ขา 3 (AGC startpoint)เป็นขาแรงดันเปรียบเทียบ เพื่อใช้ในการปรับเกนขยายโดยอัตโนมัติของตัวจูนเนอร์

ขา 4 (AGC output) เป็นขาสัญญาณออกของแรงดัน ที่ใช้ในการควบคุมเกนขยายโดยอัตโนมัติเมื่อเปรียบเทียบกับแรงดันที่ปรับไว้ที่ขาที่ 3

ขา 8 และขา 9 (IF picture carrier passive regeneration) เป็นขาที่ใช้สำหรับต่อวงจรในการปรับความถี่ของสัญญาณภาพ คือความถี่ 38.9 MHz ซึ่งต้องใช้วงจรกำเหนิดความถี่แบบ พาสซีฟ (LC Ciruit) เพื่อกำเหนิดสัญญาณความถี่ ในการถอดสัญญาณภาพออกมาจากสัญญาณความถี่กลาง

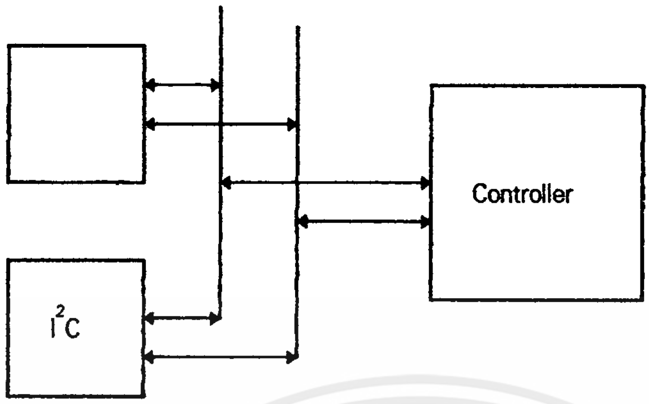
ขา 11 (VCC)เป็นขาแรงดันของไฟเลี้ยงใช้ได้ตั้งแต่ 9.4 ถึง 13.2 โวลท์ ในที่นี้ใช้ 12 โวลท์

ขา 12 (Video out)เป็นขาสัญญาณขาออกของสัญญาณภาพ

3.2.3 ตัวส่งผ่านความถี่ควบคุม (PCF 8582)

ทำหน้าที่เป็นตัวส่งผ่านสัญญาญการควบคุมของส่วนควบคุมกลางไปยังตัวจูนเนอร์มีการสั่งการในการควบคุมดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงการติดต่อของรูปแบบ I^2C

I^2C บัส โปรโตคอล (I^2C Bus Protocal)

I^2C บัส ใช้สำหรับ 2 ทาง ส่งข้อมูล 2 เส้น ระหว่างวงจรรวม หรือโมดูล บัสอนุกรมประกอบด้วยสาย2 เส้น สำหรับสัญญาณนาฬิกา (SCL) และสายสัญญาณข้อมูล (SDA)

สำหรับสัญญาณนาฬิกาทั้งสายสัญญาณนาฬิกา และสายสัญญาณข้อมูล จะต้องต่อกับไฟเลี้ยงบวก (Pull-up) ด้วยตัวต้านทาน

ข้อกำหนดโปรโตคอล

การส่งสัญญาณข้อมูล (เคลื่อนย้าย) สามารถทำได้เมื่อบัสว่างเท่านั้น

ตลอดการเคลื่อนย้ายข้อมูล สายของข้อมูลทั้งยังคง (Stable) เมื่อสัญญาณนาฬิกา (Clock Line) เป็น ระดับสูง การเปลี่ยนแปลงเส้นข้อมูล (Data line) เมื่อสัญญาณนาฬิกาเป็นระดับสูง จะต้องถูกแปลเป็นสัญญาณควบคุม

ข้อกำหนดสภาวะของบัส (Bus Condition)

1. บัสไม่ว่าง (Bus not busy) ทั้งข้อมูลและสัญญาณนาฬิกายังคงเป็น ระดับสูง

2. เริ่มการเคลื่อนย้ายข้อมูล การเปลี่ยนแปลงใน สถานะของเส้นข้อมูลจากสูงไปต่ำขณะสัญญาณนาฬิกาเป็นระดับสูง

3. การหยุดการถ่ายโอนข้อมูล (Stop data transfer) การเปลี่ยนแปลงสถานะของเส้นข้อมูลจากต่ำ เป็น สูงขณะที่สัญญาณนาฬิกาเป็นระดับสูง

4. Data Valid ; สถานะของเส้นข้อมูล ถูกแทนด้วย ค่าต่าง ๆ ของข้อมูลหลังจากเริ่มมีเงื่อนไข เส้นข้อมูล เสถียร สำหรับตลอดคาบของสัญญาณนาฬิกายังคงเป็นระดับสูงมี 1 สัญญาณต่อ 1 บิท ของข้อมูล การเคลื่อนย้ายข้อมูลแต่ละครั้งจะถูกกำหนดการเริ่มต้นด้วยเงื่อนไขการเริ่มและจบด้วยเงื่อนไขการจบ จำนวนของไบต์ข้อมูลถูกเคลื่อนย้ายระหว่าง เงื่อนไขการเขียน และการลบ จะถูก จำกัดเพียง 7 ไบต์ ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดลบ เขียน (Erase/Write) และ 8 ไบต์ ใน โหมดการลบ เขียนหน้า การเคลื่อนย้ายข้อมูลไม่ถูกจำกัดเมื่อโหมด การอ่าน ข้อมูลจะถูกส่งเป็นไบต์และสัญญาณตอบรับเป็น 9 บิท

PC x 8582 x -2 กับการทำงานในทั้งสองโหมด

โดยคำ นิยาม อุปกรณ์มีการส่งสัญญาณจะถูกเรียกว่า ตัวส่ง (Transmitter) และอุปกรณ์ซึ่งรับสัญญาณจะถูกเรียกตัวรับ (receiver) อุปกรณ์ซึ่งควบคุมสัญญาณจะถูกเรียกว่า มาสเตอร์ (Master) อุปกรณ์ที่ถูกควบคุมโดยมาสเตอร์จะถูกเรียกว่า สลาฟ (Slaves) แต่ละไบต์จะถูกส่งและ บิทสัญญาณตอบรับเพื่อ บังคับให้สลาฟตอบรับ เอรับข้อมูลได้ในแต่ละไบต์ สัญญาณตอบรับนี้จะเป็นระดับ สูง ส่งไปบนบัสโดยตัวส่ง (Transmitter Master) จะกำเนิดสัญญาณนาฬิกาขึ้น (Slave) เครื่องมือซึ่งมี แอดเดรส C (ถูกจัดเป็นปลายทาง ก็สามารถใช้เป็นเกณฑ์ เพื่อที่จะกำหนดสัญญาณที่รู้จัก และรับข้อมูลแต่ละไบต์ได้

ตัวรับหลัก (Mater Recice) จะต้องกำเหนิดสัญญาณตอบรับ หลังจากข้อมูลแต่ละไบต์ซึ่งถูกทำให้เป็นสัญญาณนาฬิกาขาออกของตัวรับรอง (Slave Recive)

อุปการณ์ซึ่งรับรู้สัญญาณ จะทำการหน่วงสัญญาณนาฬิกา ตลอดเวลาที่มีสัญญาณนาฬิกา ซึ่งสัญญาณข้อมูลยังคงรักษาระดับต่ำไว้ตลอดคาบเวลาของสัญญาณตอบรับ และเวลาที่หน่วงจะถูกควบคุมโดย ตัวรับ

เมื่อไม่มีการส่งต่อไป มาสเตอร์ก็จะไม่ส่งสัญญาณตอบรับ สลาฟก็จะไม่มีข้อมูลทำให้ SDA มีสภาวะเป็น สูง มาสเตอร์ก็จะหยุดทำงาน

แอดเดรสตัวรับ (Device Addressing)

ตามเงื่อนไขการเริ่มบัสมาสเตอร์จะต้องส่งแอดดเดรสของสลาฟที่จะ Acess ส่วนมากจะใช้ 4 บิทของสลาฟแอดเดรส เป็นตัวกำหนดชนิดของอุปกรณ์ สำหรับ Pcx8582x-2 จะถูกกำหนดตายตัวเป็น 1010

1	0	1	0	A2	A1	A0	R/$\overline{W}$	Slave Address

รูปที่ 3.5 แสดงแอดเดรสของอุปกรณ์

บิท 3 บิทถัดไป เป็นส่วนของบิทที่กำหนดตัวอุปกรณ์ของ ระบบว่าจะมี PC x 8582 x -2 ได้ 8 ตัว บนบัสเดียว 8 ตัว (แอดเดรส)ของ PCx 8582 จะถูกกำหนดโดยการป้อนสัญญาณ อินพุทเพื่อกำหนดสถานะของA0, A1 และ A1 ทางขาเข้าโดยต่อไฟเลี้ยงหรือ กราวด์ บิทสุดท้ายของสลาฟ แอดเดรส เป็นตัวกำหนดการกระทำ เมื่อเป็น 1 จะเป็น การอ่านข้อมูลที่ถูกเลือก

ขั้นตอนการเขียน (Write operation)

การเขียนไบต์ เวิร์ด (Byte / word write)

สำหรับการ ทำงานในขั้นตอนการเขียน Pcx 8582 x -2 ต้องการแอดเดรส ฟิลด์ที่ 2 แอดเดรสฟิลด์นี้จะเป็น แอดเดรส ของเวิร์ด จะแบ่ง Access จาก 1 ใน 256 เวิร์ด ของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้รับ แอดเดรส ของ เวิร์ด แล้ว Pcx 8582x-2 จะเกิดการ ตอบสนองด้วย สัญญาณตอบรับ (acknowledge) และรอ 80 บิท ถัดไปของข้อมูล และมีการตอบสนองอีกครั้งด้วยสัญญาณตอบรับ (Acknowledge word address) จะมีการเพิ่มขึ้นโดยอัตโนมัติมาสเตอร์ สามารถทำให้สิ้นสุดการเคลื่อนย้าย โดยสร้างสัญญาณเงื่อนไขการสิ้นสุดหรือส่งข้อมูลถึง 6 หรือมากกว่าไบต์ของข้อมูล และจบลงด้วยการกำเนิดสัญญาณเงื่อนไขการหยุด

หลังจากเงื่อนไขการสิ้นสุดของกระบวนการ ลบ การเขียน (Erase/Write) เริ่มจะบัสจะว่างสำหรับส่งอันอื่นต่อไปจะมี 7 ms per byte

ตลอดไซเคิลการลบ การเขียนในตัวรับรอง (Erase/Write slave receiver) จะไม่ส่งบิทตอบรับ (acknowledge bit) ถ้ามีการส่งผ่าน I^2C บัส

การเขียนเพจ (Page write)

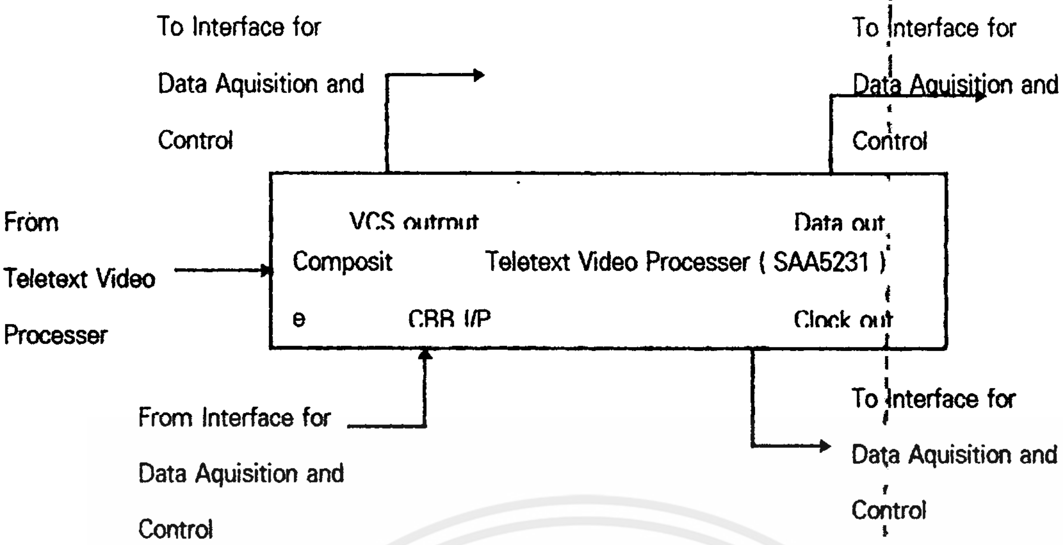
Pcx 8582x- 2 สามารถทำงานการเขียนได้ 8 ไบต์ ต่อเพจ มันมีการเริ่มต้นเหมือนกับ การเขียนแบบไบต์ในมาสเตอร์ (Operate byte write master) สามารถส่งข้อมูล 8 บิท ต่อ ไบต์ ในการส่ง 1 ครั้ง ซึ่งส่งหลังจากที่ได้รับข้อมูลแต่ละไบต์แล้ว Pcx8582x-2 จะมีการตอบสนองด้วยสัญญาณตอบรับ

หลังจากรับข้อมูลแต่ละไบต์ บิทต่ำของคำสั่ง 3 บิท ของ เวิร์ดแอดเดรส เพิ่มขึ้นในภายในลำดับสูง 5 บิท ของ แอดเดรส จะยังคงไม่เปลี่ยนแปลงถ้า master ส่งมากกว่า 8 ไบต์ ลำดับก่อนหลังที่จะกำเนิดเงื่อนไขการสิ้นสุด จะไม่มีสัญญาณตอบรับ เมื่อได้รับบิทที่ 9 ของไบต์ข้อมูล และการส่งนั้นจะถูกตัดไปโดยการเขียนทางขาเข้า (write operation input) ทุก ๆ ค่าจะไม่เสถียรจนกระทั่งไซเคิล การเขียนภายในสมบูรณ์

3.3 วงจรแยกสัญญาณเทเลเท็กซ์ออกจากสัญญาณภาพ

วงจรในภาคนี้ ทำหน้าที่ในการเลือกสัญญาณในช่วงของเส้นแบล็งกิ้ง ออกมาจากสัญญาณโทรทัศน์ ซึ่งรับมาจากวงจรขยายความถี่กลาง (TDA8341) การทำงานในภาคนี้ยังทำการสร้างสัญญาณนาฬิกา และสัญญาณในการควบคุมความถี่ให้ตรงกับภาคส่ง หรือเป็นสัญญาณซิ้งค์ของระบบในทางด้านรับขึ้นมาใหม่จากสัญญาณของเส้นแบล็งกิ้งที่รับมา โดยการทำงานของวงจรภาคนี้ ได้อาศัยการทำงานของวงจรรวมเบอร์ SAA5231 เป็นหลัก โดยมีการทำงานของขาต่าง ๆ ดังบล็อกไดอะแกรมในหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงบล็อกไดอะแกรมของวงจรถอดเส้นข้อมูลออกจากสัญญาณภาพ

ขา 2 (Video input level select) เป็นการกำหนดขนาดของสัญญาณภาพทางขาเข้าว่าให้สูงหรือต่ำ

ขา 3 (HF filter) เป็นการแก้ค่าความสูญเสียในย่านความถี่สูง (HF Loss)

ขา 4 (Store HF) เป็นการชดเชยทางด้านความถี่สูง (HF Amplitude)

ขา 5 (Store amplitude) เป็นการควบคุมขนาดของเส้นแบล็งกิ้ง

ขา 6 (Store zero level) เป็นการรักษาระดับศูนย์ของเส้นแบล็งกิ้ง หรือ สัญญาณโทรทัศน์

ขา 8 (Data timing) เป็นขาอ้างอิงค่าของเวลาของเส้นแบล็งกิ้งใช้ในการถอดเส้นแบล็งกิ้งออกมาจากสัญญาณโทรทัศน์

ขา 9 (Store phase) เป็นขาอ้างอิงค่าของสัญญาณทางด้านเฟสในการตรวจสอบแบบเฟส

ขา 11 (Clystal เป็นขาความถี่ของสัญญาณนาฬิกา

ขา 12 (Clock filter) เป็นขา กรองความถี่ของสัญญาณนาฬิกา

ขา 14 (TTC) เป็นขาของสัญญาณข้อมูลขาออก สำหรับการควบคุมอุปกรณ์ควบคุมเทเลเท็กซ์ หรือสัญญาณซิ้งค์

ขา 15 (TTD) เป็นขาของสัญญาณข้อมูลขาออกสำหรับอุปกรณ์เทเลเท็กซ์

ขา 25 (VCS) เป็นขาสัญญาณขาออกซิ้งค์ ของสัญญาณภาพใช้ในการควบคุมอุปกรณ์เทเลเท็กซ์ ในที่นี้คือ วงจรภาคต่อผ่าน และควบคุมสัญญาณเพื่อถอดข้อมูล ซึ่งจะกล่าวถึงต่อไป

ขา 26 (Black lelvel) เป็นขาเปรียบเทียบขนาดสัญญาณสีดำของสัญญาณโทรทัศน์กับสัญญาณเปรียบเทียบ

ขา 27 (Composite video input) เป็นขาของสัญญาณภาพขาเข้า เพื่อใช้ในการแยกสัญญาณควบคุมของสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรต่อผ่านและควบคุมสัญญาณเพื่อถอดข้อมูลออกจากเส้นข้อมูล หรือสัญญาณเทเลเท็กซ์

วงจรนี้ ทำหน้าที่ในการติดต่อ สำหรับการถอดข้อมูลออกมาจากเส้นข้อมูลแต่ละเส้นที่ต้องการโดยการโปรแกรมวงจรส่วนนี้ จากส่วนควบคุม และยังทำการควบคุมการถอดรหัสของข้อมูล ซึ่งถูกออกแบบเพื่อใช้ในการติดต่อ กับวงจรแยกสัญญาณเทเลเท็กซ์ออกจากสัญญาณภาพ ในการทำงานในภาคนี้ได้ใช้ วงจรรวมเป็นตัวทำงานเป็นหลักคือ วงจรรวมเบอร์ SAA5250 ซึ่งมีความสามารถในการติดต่อส่วนถอดข้อมูลและควบคุม วงจรรวมตัวนี้ ถูกออกแบบมาเพื่อใช้กับ วงจรแยกสัญญาณเทเลเท็กซ์ออกจากสัญญาณภาพ (SAA5231) ในระบบเทเลเท็กซ์หลาย ๆ ระบบ ได้แก่

- French Didon Antiope specification D2 A4-2 (DIODN)
- North American Broadcast Teletext specification (NABTS)
- U.K. teletext (CEEFAX)

ระบบ การนำข้อมูลกลับคืน ทำได้โดยการเลือกช่องระบบเทเลเท็กซ์ การควบคุมการถอดข้อมูล จำเป็นต้องมีหน่วยความจำสำรองขนาด 2 กิโลไบต์ ส่วนคุณสมบัติอื่น ๆ ยังมีอีก คือ

- สามารถถอดข้อมูลจากเส้นข้อมูลได้สูงสุด 7.5 MHz
- สามารถโปรแกรม ให้มีการคำนวณภายในได้
- โปรแกรม รหัสเฟรมมิ่ง และหมายเลขช่องได้ (เพื่อเลือกระบบในการถอดข้อมูล)
- คำนวณความผิดพลาดของพาริตี้ (พาริตี้คี่)
- ทำงานที่ข้อมูลสูงสุดได้ 63 ไบต์ ต่อหนึ่งเส้น

หน้าที่การทำงานของ SAA5250

A10 และ A0 ถึง A9 เป็นแอดเดรสขาออกของหน่วยความจำสำรองขนาด 2 กิโลไบต์

VAL IN/SYNC เป็นสัญญาณขาเข้าใช้ในการคำนวณเพื่อ ตรวจจับรหัสของเฟรมมิ่ง

CBB เป็นสัญญาณแบล็งกิ้งสี ขาออกใช้ในการรีเซ็ต ที่ส่งไปยัง วงจรแยกสัญญาณข้อมูล

DCK สัญญาณนาฬิกาขาเข้าเพื่อให้การทำงานตรงกัน ของข้อมูลที่ส่งมาแบบอนุกรม

SD สัญญาณอนุกรมขาเข้า จากการถอดรหัส

$\overline{MS}$ ให้ขั้นตอนการติดต่อหน่วยความจำสำรองได้ เมื่อขานี้เป็น 0

$\overline{WE}$ เป็นคำสั่งเขียนลงในหน่วยความจำสำรอง เมื่อขานี้เป็น 0

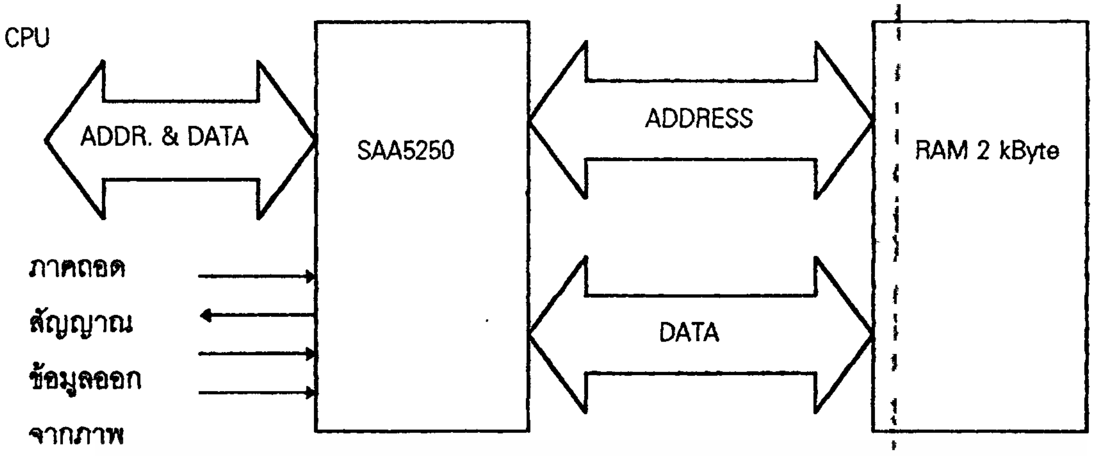
DB7 ถึง DB0 เป็นข้อมูล ขาเข้า ขาออก หรือแอดเดรสระหว่าง SAA5250 กับหน่วยควบคุมหลักของวงจรเครื่องถอดรหัส

$\overline{WR}$ สัญญาณขาเข้าเพื่อการเขียน (สถานะ 0)

$\overline{RD}$ สัญญาณขาเข้าเพื่อการอ่าน (สถานะ 0)

D0 ถึง D7 เป็นขาสัญญาณขาเข้า/สัญญาณขาออกของข้อมูลระหว่าง SAA5250 กับหน่วยความจำสำรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงรายละเอียดของภาคควบคุมการส่งผ่านข้อมูล

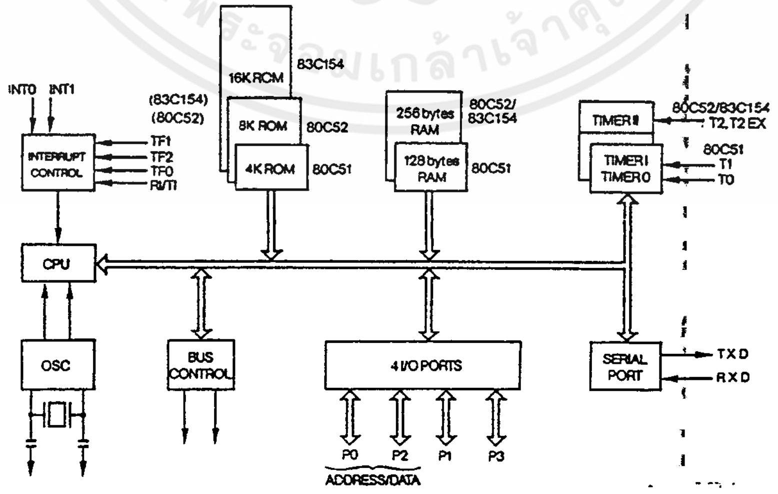
การทำงานในการติดต่อระหว่าง SAA5250 กับส่วนควบคุมทำได้ โดยผ่านสัญญาณตรวจสอบ DB7-DB0 ALE CS RD WR และในการควบคุมจะทำโปรแกรม โดยการเขียนลงในรีจิสเตอร์ ถ้าเป็นขั้นตอนการอ่านจะทำที่หน่วยความจำสำรอง (RAM) ด้วยการอ่านสถานะ หรือข้อมูล

3.5 วงจรควบคุม

ทำหน้าที่ในการควบคุมการทำงานของ วงจรต่าง ๆ ให้ทำงานตามหน้าที่ ซึ่งได้จากการโปรมแกรมไว้ โดยใช้วงจรรวมเบอร์ 8051 เป็นอุปกรณ์สำคัญในส่วนนี้

3.5.1 โครงสร้างของ 8051

ภายใน 8051 จะประกอบขึ้นด้วย GATE ต่างๆ เช่น AND, OR, NOT ซึ่ง GATE เหล่านี้จะถูกนำเอามาออกแบบให้มีหน้าที่การทำงานต่างๆ เช่นวงจรถอดรหัสคำสั่ง (Instruction Decoder) วงจร สร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังไดอะแกรมในรูปที่ 3.8



รูปที่ 3.8 ไดอะแกรมโครงสร้างของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดอะแกรมในรูปที่ 3.8 เป็นโครงสร้างใหญ่ๆ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์ จึงประกอบด้วย 3 ส่วนหลัก ๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจาก วงจรควบคุมได้แก่สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้า หรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างถึงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์เพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูลเช่น การบวก ลบ คูณ หรือหารข้อมูลแล้วนำผลลัพธ์เก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเสมือนกล่องเก็บเอกสารจำนวนมากที่นำมาต่อเรียงกันไว้ แต่ละกล่องก็มีเอกสาร 1 แผ่น ดังในรูปที่ 3.9 มีกล่องเอกสารทั้งหมด 15 กล่อง

1	2	3	4	....	15

รูปที่ 3.9 ภาพเสมือนของหน่วยความจำ

ถ้าต้องการเอาเอกสารจากกล่องใด หรือเอาเอกสารไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อนซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งของหน่วยความจำหรือแอสเดรส (Address) นั่นเอง การเอาข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูล และการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูล ซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ทั่วไปรวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐาน 2 (8 บิท เท่ากับ 1 ไบท์) ดังนั้นแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้ขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่ม คือ

1. แอสเดรสหรือค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ ใน 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2^{16} เท่ากับ 64x1024 = 65536)

2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1

3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูล

สัญญาณเหล่านี้จะถูกวงจรควบคุมภายใน 8051 สร้างมาจากวงจรถอดรหัสของคำสั่งที่ 8051 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั่นเอง ในรูปที่ 3.8 หน่วยความจำได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่างๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุทและเอาท์พุท เป็นส่วนที่จะใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในไดอะแกรมรูปที่ 3.7 อุปกรณ์อินพุทและเอาท์พุทได้แก่ 4 I/O Port Timer 0 Timer 1Serial Port การทำงานของแต่ละส่วนมีดังนี้

1. 4 I/O Port คำว่าพอร์ทหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 พอร์ทมีทั้งหมด 4 พอร์ท โดยแต่ละพอร์ทจะรับ-ส่งข้อมูลได้ 8 บิท มีพอร์ท P0, P1, P2 และ P3 บางพอร์ทจะใช้ทำงานมากกว่า 1 อย่างก็ได้ เช่น พอร์ท P0 และ P2จะใช้สำหรับการส่งค่าตำแหน่งของหน่วยความจำที่ต้องการติดต่อและพอร์ท P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วยแต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีการทำงานตามลำดับโดยควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเองและสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

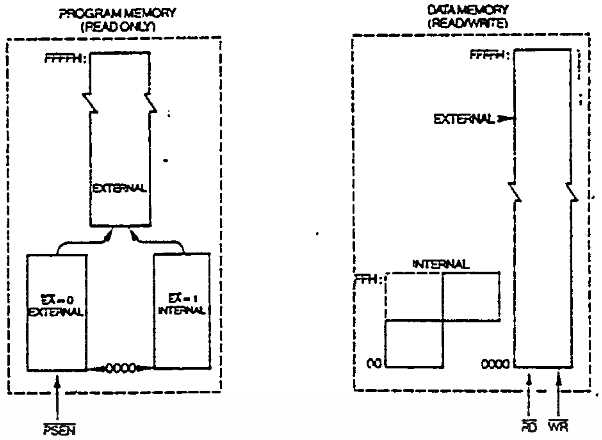
3. Serial Port หรือ พอร์ทอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิท ออกจากขา Txd และในการรับข้อมูลเข้าก็จะรับเข้ามาทีละบิททางขา Rxd แล้วจัดเรียงใหม่เป็น 8 บิท เพื่อให้ CPU อ่านไปใช้งานต่อไป

3.5.2 การจัดการหน่วยความจำของ 8051

หน่วยความจำของ 8051 แบ่งออกได้เป็น 2 แบบ ตามลักษณะของการใช้งาน คือ

1. หน่วยความจำสำหรับโปรแกรม (Program Memory) หน่วยความจำแบบนี้จะเป็นแบบ ROM จำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ 8051 จะใช้งานได้คือ 65536 ตำแหน่ง ค่าของตำแหน่งจะเขียนเป็นเลขฐาน 16 ได้ตั้งแต่ 0000H ถึง FFFFH หน่วยความจำตำแหน่ง 0000H ถึง 0FFFH จำนวน 4 กิโลไบท์ ผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของ ROM ที่อยู่ภายในหรือภายนอก 8051 ถ้าต้องการให้ 8051 ทำงานตามคำสั่งที่เก็บไว้ใน ROM ภายใน 8051 ก็ให้ป้อนสัญญาณสภาวะลอจิก High เข้าที่ขา EA ของ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFH ถึง FFFFH จะต้องต่ออยู่ภายนอก 8051 เสมอ ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

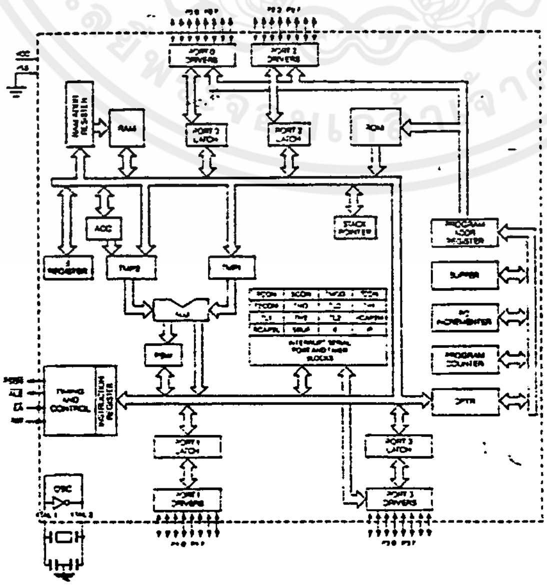


รูปที่ 3.10 แผนภูมิหน่วยความจำของ 8051

2. หน่วยความจำสำหรับข้อมูล (Data Memory) หน่วยความจำแบบนี้เป็นประเภท RAM 8051 จะมีหน่วยความจำสำหรับข้อมูลอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน 8051 จำนวน 128 ไบท์ ที่ตำแหน่ง 00H ถึง 7FH และอีกชุดหนึ่งจะต้องต่ออยู่ภายนอกของวงจรรวม 8051 มีได้สูงสุด 65536 ไบท์ หรือ 64 กิโลไบท์ หน่วยความจำที่ตำแหน่ง 80H ถึง FFH นั้น ไม่ได้มีอยู่ทุกตำแหน่งจะมีเฉพาะในบางตำแหน่งซึ่งเรียกหน่วยความจำบางตำแหน่งนี้ว่า Special Function Register (SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้นดังนั้นใน 8051 จึงไม่ถือว่า SFR เป็นหน่วยความจำสำหรับข้อมูล

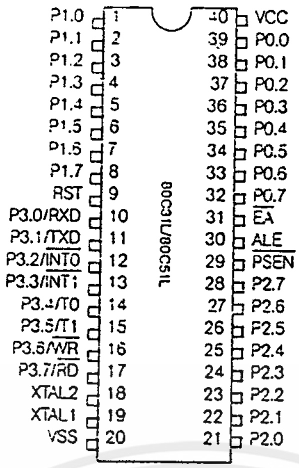
3.5.3 สถาปัตยกรรมของ 8051

ในรูปที่ 3.11 เป็นสถาปัตยกรรมภายในของ 8051 และสัญญาณจากภายในจะต่อออกสู่ภายนอกทางขาของ 8051 ที่มีอยู่ 40 ขา ดังรูปที่ 3.12



รูปที่ 3.11 สถาปัตยกรรมภายในของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ไดอะแกรมขาของ 8051 แบบ DIP

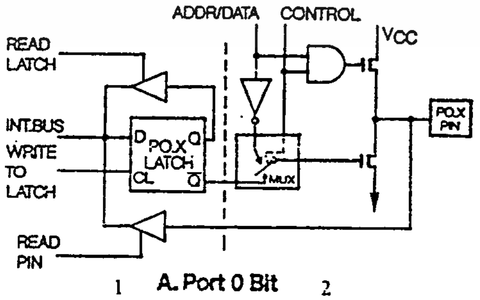
Port 0

พอร์ท 0 นี้ ใช้ได้ทั้งการรับ-ส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ทรับ-ส่งข้อมูลก็ได้ โครงสร้างของแต่ละบิทของพอร์ท 0 เป็นแบบ Open Drain Bidirectional ดังรูปที่ 3.11 พอร์ท 0 จะใช้งานได้หลายอย่าง ดังนี้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 กิโลไบท์ จึงมีค่าตำแหน่งหน่วยความจำ 16 บิท ค่าตำแหน่งหน่วยความจำ 8 บิท ล่างจะถูกส่งออกไปทางพอร์ท 0 และ 8 บิทบนจะถูกส่งออกไปทางพอร์ท 2

2. ใช้รับ-ส่งข้อมูลกับหน่วยความจำสำหรับข้อมูล หรือใช้รับข้อมูลจากหน่วยความจำสำหรับโปรแกรม

3. ใช้รับ-ส่งข้อมูลผ่านทางพอร์ทโดยตรง ในกรณีที่ไม่มีการใช้หน่วยความจำของหน่วยความจำสำหรับโปรแกรมหรือหน่วยความจำสำหรับข้อมูลภายนอก



รูปที่ 3.13 โครงสร้างของพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port 1

โครงสร้างของพอร์ท 1 ดังรูปที่ 3.13 พอร์ท 1 นี้จะใช้ทำหน้าที่เป็นตัวรับ-ส่งข้อมูลเท่านั้น ข้อมูลที่ส่งออกมาทางพอร์ท 1 จะถูก Latch ไว้แล้วส่งออกไปทางแต่ละขา ก่อนที่จะอ่านข้อมูลเข้าไปทางพอร์ท 1 จะต้องเขียน 1 ไปยังทุกบิทของพอร์ท 1 เสียก่อนเพื่อให้เฟต อยู่ในสภาวะออฟ ก่อน มิฉะนั้นแล้วถ้ามีข้อมูล 0 ส่งออกมาค้างอยู่ที่ D-FF จะทำให้ เฟต อยู่ในสภาวะ ON ดังนั้นถ้าสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวนด์โดยไม่สนใจว่าสภาวะลอจิกของสัญญาณที่เข้ามาจะเป็นอะไรข้อมูลที่อ่านเข้าไปจึงจะเป็น 0 เสมอ

Port 2

โครงสร้างของพอร์ท 2 ตามรูปที่ 3.13 ลักษณะโครงสร้างจะเหมือนกับพอร์ท 0 แตกต่างกันที่ พอร์ท 2 นั้นภาค Driver จะใช้งานเพียง 2 ลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหน่งนี้เป็น 8 บิทบนของค่าตำแหน่ง

2. ใช้เป็นพอร์ทรับ-ส่งข้อมูลกับภายนอก

Port 3

โครงสร้างของพอร์ท 3 ตามรูปที่ 3.13 แต่ละบิทของพอร์ท 3 จะใช้ในการทำงานอื่นได้โดยใช้คำสั่งควบคุมการทำงานซึ่งแต่ละบิทของพอร์ท 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/INT0 (External Interrupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/INT1 (External Interrupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.4/T0 (Timer /Counter 0 External Input) เป็นขาที่ใช้รับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer /Counter 1 External Input) เป็นขาที่ใช้รับสัญญาณเข้าไปยังวงจร Timer/Counter 1 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T1 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.6/$\overline{WR}$ (External Data Memory Write Strobe) เป็นขาควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7/$\overline{RD}$ (External Data Memory Read Strobe) เป็นขาควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรส่วนส่งผ่านข้อมูล

เป็นส่วนที่ใช้ในการติดต่อ ส่งผ่านข้อมูลระหว่าง ภาคการรับสัญญาณและแยกข้อมูล กับอุปกรณ์ภายนอก ซึ่งได้แก่ คอมพิวเตอร์ หรืออุปกรณ์อื่น การทำงานในส่วนนี้สามารถแบ่งออกได้ในขั้นตอนรับ และขั้นตอนส่ง ส่วนประกอบของวงจรแบ่งได้ 2 ส่วน ดังนี้

3.6.1 วงจรรวม SCC2691 (UART)

อุปกรณ์นี้สามารถ รับและส่ง ข้อมูลอะซิงโครนัสแบบสองทิศทาง (Full duplex) อัตราการรับ ส่งข้อมูลสามารถกำหนดได้จากความถี่ ตามความต้องการโดยรีจิสเตอร์จะมีส่วนในการกำหนดการรับ ส่งข้อมูลด้วย

ขั้นตอนการส่ง

ข้อมูลจะถูกส่งมาจาก CPU ในแบบขนาน และจะทำการเปลี่ยนเป็นข้อมูลแบบอนุกรม เพื่อส่งออกไปยังขา TxD โดยเริ่มส่งบิทเริ่มต้น แล้วตามด้วยบิทข้อมูล จะมีรูปแบบการส่งข้อมูล โดยจะส่งบิทที่มีความสำคัญน้อยที่สุดออกไปก่อนและพาริตี้บิทซึ่งจะมีหรือไม่ก็ได้ สุดท้ายตามด้วย บิทแสดงถึงการสิ้นสุดการส่งข้อมูล

ขั้นตอนการรับ

จะทำการรับข้อมูลแบบอนุกรมมาจากขา RxD จากนั้นจะทำการเปลี่ยนไปเป็นข้อมูลแบบอนุกรมซึ่งจะทำการตรวจสอบบิทเริ่มต้น บิทสุดท้าย พาริตี้บิท โดยเครื่องรับจะรับรู้สภาวะ 1 หรือ สภาวะ 0 ที่เปลี่ยนแปลงของบิทเริ่มต้นที่ ขาอินพุท RxD ถ้า RxD มีสภาวะเป็น 1 บิทเริ่มต้นจะไม่ถูกต้อง SCC2691 ก็จะทำการค้นหาบิทเริ่มต้นใหม่อีกครั้ง ถ้า RxD ยังคงมีสภาวะเป็น 0 แสดงว่าบิทเริ่มต้นถูกต้อง แล้วก็จะทำการแซมเปิลตรงกึ่งกลางบิทของข้อมูลจำนวน 8 บิทต่อตัวอักษรจนหมด แล้วก็ตรวจสอบพาริตี้บิทและบิทสุดท้าย จากนั้นก็เริ่มทำการตรวจสอบบิทเริ่มต้นอีกครั้ง

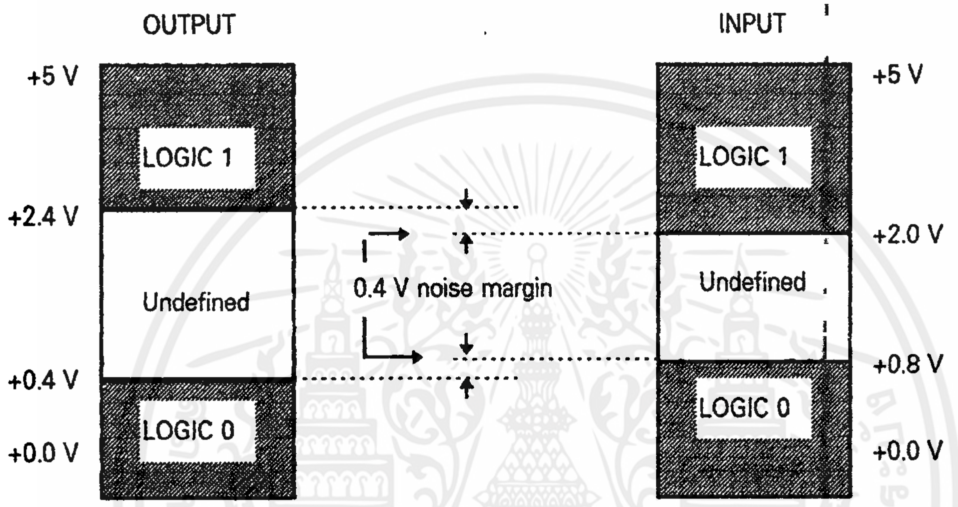
3.6.2 การติดต่อโดยผ่านทาง RS 232 ASYCHONOUSE INTERFACE

ในการส่งข้อมูลระหว่างอุปกรณ์อิเล็คทรอนิคส์จะเกิดขึ้นได้นั้นต้องมีแหล่งกำเหนิดสัญญาณ แหล่งสัญญาณ และการเชื่อมต่อระหว่างแหล่งสัญญาณทั้งสองแหล่ง โดยทั่วไป ข้อมูลจะถูกแทนด้วยเลขฐานสองระดับแรงดัน +5 โวลต์ จะแทนลอจิก 1 และระดับแรงดัน 0 โวลต์ จะแทนลอจิก 0 การแทนระดับแรงดันเหล่านี้เรียกว่า การแทนระดับสัญญาณของอุปกรณ์ทีทีแอล (TTL-Transistor Transistor Logic) ซึ่งการแทนระดับสัญญาณแบบนี้ถูกใช้กันทั่ว ๆ ไปในการส่งข้อมูลระหว่างอุปกรณ์ตัวหนึ่ง ไปยังอีกตัวหนึ่งภายในเครื่องคอมพิวเตอร์ แต่ไม่เหมาะที่จะกำหนดระดับแรงดันในการแทนลอจิก 0 และ 1 ที่จะใช้ในการส่งข้อมูลระหว่างอุปกรณ์ตัวรับ ตัวส่ง ในเครื่องเดียวกัน ดังนั้นจึงได้มีการกำหนดระดับแรงดันที่ใช้แทนลอจิก 0 และ 1 ในลักษณะเป็นพิสัย (range) ดังแสดงในรูปที่ 3.14 จะเห็นได้ว่าพิสัยของแรงดันที่ส่งจากอุปกรณ์ที่เป็นตัวส่งจะแตกต่างจากพิสัยของแรงดันที่ถูกรับโดยอุปกรณ์ที่เป็นตัวรับนั่นคือ ตัวส่งจะต้องจ่ายแรงดันที่มีระดับแรงดันของสัญญาณที่ต่ำสุดเท่ากับ 2.4 โวลต์ ในการส่งลอจิก 1 แต่ในภาครับสัญญาณ ตัวรับจะถือว่าระดับแรงดันที่มีระดับสัญญาณอยู่ระหว่าง 2.4 ถึง 2.0 โวลต์เป็นลอจิก 1 ด้วย สำหรับสาเหตุที่ถือว่าระดับสัญญาณในช่วง 2.4 ถึง 2.0 โวลต์ เป็นลอจิก 1 ก็เนื่องจากมีการสูญเสียของสัญญาณระหว่างตัวส่งกับตัวรับขึ้น ความคลาดเคลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของระดับแรงดันที่เกิดขึ้นเรียกว่า ช่วงรบกวน (Niose margin) ซึ่งมีค่าเท่ากับ 0.4 โวลต์ ไม่ว่าจะเป็นกรณีของลอจิก 0 หรือ 1 สำหรับลอจิก 0 ความคลาดเคลื่อนเกิดจากสัญญาณรบกวนที่ปนเข้ามา ในทางปฏิบัติความคลาดเคลื่อนนี้ถูกยอมรับให้ใช้ได้ในการใช้งานทั่ว ๆ ไป ซึ่งเห็นได้ในข้อกำหนดของคุณสมบัติทางไฟฟ้าของการอินเตอร์เฟสแบบมาตรฐาน

ช่วงที่การเปลี่ยนแปลงสถานะซึ่งไม่อาจระบุได้ว่าสัญญาณในช่วงนั้นเป็นลอจิก 0 หรือ 1 ช่วงของสัญญาณนี้ทางด้านรับจะมีช่วงแคบกว่าทางด้านส่ง ดังนั้นระดับแรงดันทางด้านรับที่ใช้แทนลอจิก 0 และ 1 ของด้านรับจึงมีช่วงกว้างกว่าทางด้านส่ง



รูปที่ 3.14 คุณสมบัติทางไฟฟ้าของการอินเตอร์เฟสที่ใช้การแทนระดับสัญญาณแบบทีทีแอล

แต่ในการสื่อสารข้อมูลระหว่างอุปกรณ์ที่ไม่ได้อยู่เครื่องเดียวกัน เช่น ระหว่างเครื่องคอมพิวเตอร์กับเทอร์มินัล หรือการติดต่อระหว่างเครื่องคอมพิวเตอร์ด้วยกันเอง การส่งข้อมูลแบบทีทีแอล ไม่สามารถส่งได้เกิน 3 ฟุตถ้ามากกว่านี้อาจเกิดปัญหาได้ดังนั้นจึงมีการเพิ่มเทคนิคในการส่งข้อมูลเข้าไป การสื่อสารข้อมูลโดยใช้ข้อมูลระดับสัญญาณ TTL จะใช้ในการสื่อสารข้อมูลแบบขนานแต่ทำได้ยากเมื่อมีการส่งข้อมูลระยะไกล

Physical - Layer Communications Protocal

เป็นการกำหนดการเชื่อมต่อทางกล (mechanical connection) ในการสื่อสารข้อมูล ข้อมูลจะถูกส่งไปมาระหว่างอุปกรณ์อิเล็กทรอนิกส์ผ่านทางอินเตอร์เฟส ซึ่งประกอบไปด้วยสัญญาณไฟฟ้า สายเคเบิลที่เป็นตัวนำสัญญาณไฟฟ้าและคอนเน็คเตอร์ข้อมูลที่ส่งจะแทนที่ด้วยการเปลี่ยนแปลงกระแสและแรงดัน การสื่อสารข้อมูลจะเป็นไปได้ก็ต่อเมื่ออุปกรณ์เป็นไปตามข้อกำหนดโปรโตคอล โปรโตคอลที่ใช้ในการส่งข้อมูลของ RS-232 มาตรฐานที่กำหนดโดย EIA

RS-232 "Interface between Data Terminal Equipment and Data Communication Equipment Employing Serial Binary Data Interchange "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.3 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232-C

เนื่องจากความต้องการในการสื่อสารข้อมูลผ่านทางเครือข่ายโทรศัพท์มีมากขึ้นเรื่อย ๆ ดังนั้นจึงต้องมีการกำหนดมาตรฐานที่เรียกว่า RS-232-C เพื่อเป็นมาตรฐานแก่อุปกรณ์ที่ผลิตจากบริษัทต่างกัน มาตรฐาน RS-232-C ที่ถูกตีพิมพ์โดย EIA ในปี ค.ศ.1969 ตัวอักษร RS แทน " Recommended Standard " 232 แทนหมายเลขของมาตรฐาน ส่วนอักษร C แสดงให้รู้ว่ามาตรฐานได้รับการแก้ไขกี่ครั้ง

ตามมาตรฐาน RS-232-C ที่ถูกตีพิมพ์โดย EIA ได้กล่าวถึงการสื่อสารข้อมูลระหว่าง Data Terminal Equipment (DTE) และ Data Communication Equipment (DCE) (แต่ในปัจจุบันตัวย่อ DCE จะแทน data circuit terminating equipment) คำจำกัดความของ DCE และ DTE ซึ่งแสดงไว้ข้างล่าง ได้คัดมากจากคำแปลศัพท์ (glossary) ในหนัง "Technical Aspect of Data communication" ซึ่งเขียนโดย John Mcname (Digital Press, 1977) ดังนี้

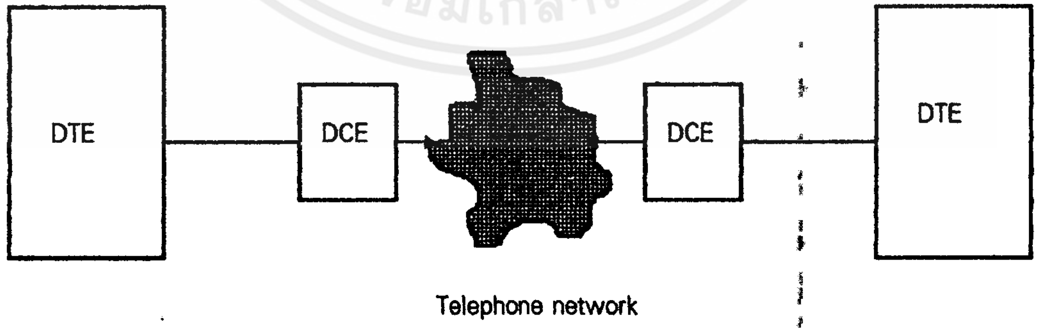
DCE : อุปกรณ์ที่มีฟังก์ชั่นการทำงานต่างๆ ที่ทำให้เกิดการเชื่อมต่อทำให้การเชื่อมยังดำรงต่อไป และยุติการเชื่อมต่อ นอกจากนี้ยังใช้ในการสื่อมสารข้อมูลระหว่าง DTE (data terminal equipment) และ data circuit โดย DCE อาจเป็นส่วนใดส่วนหนึ่งของคอมพิวเตอร์หรือไม่ก็ได้

DTE:

1. เป็นอุปกรณ์ที่ประกอบไปด้วยตัวส่งข้อมูล (data source) หรือตัวรับข้อมูล (data sink) หรือเป็นทั้งตัวส่งและตัวรับข้อมูลก็ได้

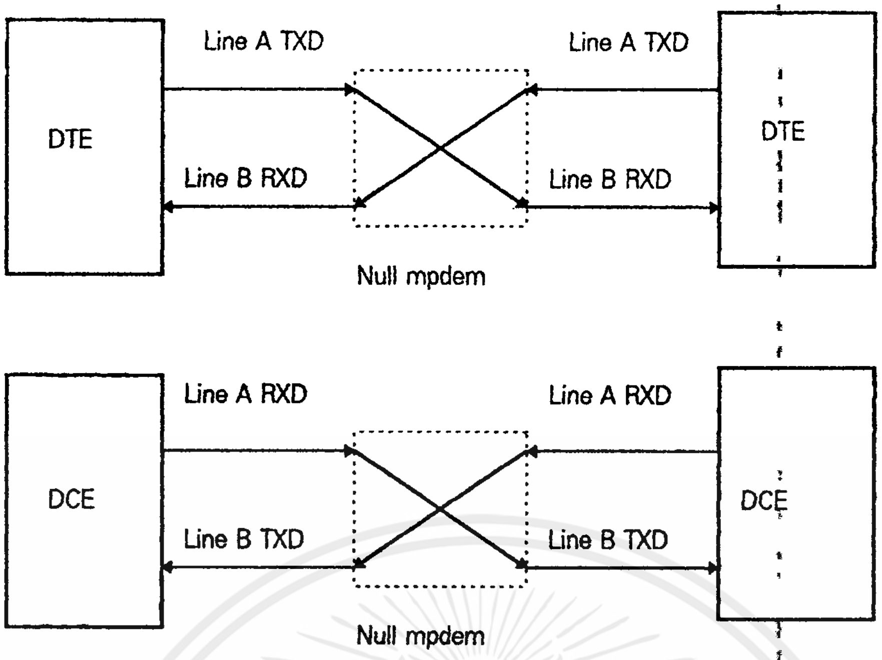
2. เป็นอุปกรณ์ที่ประกอบด้วย function unit ต่อไปนี้ control logic, buff store และอุปกรณ์อินพุทหรือเอาท์พุทจำนวนหนึ่งตัว หรือมากกว่าก็ได้หรือรวมเครื่องคอมพิวเตอร์เข้าไปด้วยก็ได้ DTE อาจจะรวมส่วน error control, synchronization และความสามารถในการบ่งหรือระบุว่าต้องการเกี่ยวข้องกับอุปกรณ์ตัวใด (station identification capability) เข้าไปด้วยก็ได้

ลักษณะของ DCE และ DTE ที่ใช้ในการสื่อสารข้อมูลได้แสดงไว้ ตามลักษณะการทำงานที่ได้อธิบายไว้ข้างต้น



รูปที่ 3.15 ลักษณะของ DCE และDTE ที่ใช้ในวงจรการสื่อสารข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

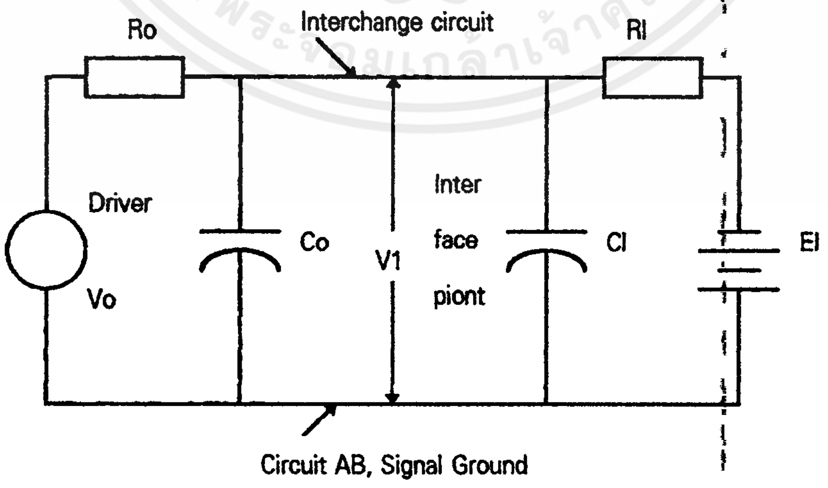


รูปที่ 3.16 ลักษณะการทำงานของ null modem ที่ใช้ในการอินเตอร์เฟสระหว่าง DTE หรือ DCE สองตัว

ดังนั้นปัญหา สามารถแก้ไขโดยใช้ null modem ถ้า CRT และคอมพิวเตอร์เป็น DCE ทั้งคู่ แต่ถ้า CRT เป็น DTE และคอมพิวเตอร์เป็น DCE (ซึ่งมักจะเป็นเช่นนี้) เราไม่ต้องใช้ null modem เข้าช่วยแต่ประการใด

ต่อไปจะอธิบายนิยามและศัพย์บางตัวที่จำเป็นต้องทราบก่อนที่จะอ่านข้อกำหนดต่างๆ ในมาตรฐาน RS-232-C ที่ถูกกำหนดโดย EIA ในหัวข้อถัดไป RS-232-C interfacce circuit ได้แสดงไว้ในรูปที่ 3.16 ซึ่งเกี่ยวพันกับนิยามที่จะอธิบายต่อไปนี้

INTERFACE POINT ขอบเขตของการเชื่อมต่อซึ่งสัญญาณที่ในการอินเตอร์เฟสจะถูกส่งผ่านไปมาระหว่างอุปกรณ์ในลักษณะของสัญญาณไฟฟ้า



รูปที่ 3.17 RS-232-C interface circui (EIA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACE CIRCUIT เซอร์กิตระหว่าง DTE และ DCE ที่เราใช้ในการควบคุม แลกเปลี่ยนข้อมูลและเป็นสัญญาณฐานเวลา เซอร์กิต Signal Ground จะเป็นจุดอ้างอิงของสัญญาณเหล่านี้

ตัวขับ (DRIVER) ตัวส่งข้อมูลแบบไบนารี่ (binary)

ตัวรับ (TERMINATOR) ตัวรับข้อมูลที่ส่งมาแบบไบนารี่

MARK เทียบเท่าลอจิก 1 (แทนแบบลอจิกบวก ขอให้ดูหมายเหตุที่ท้ายหัวข้อนี้)

SPACE เทียบเท่าลอจิก 0 (แทนแบบลอจิกบวก)

SIMPLEX CHANNEL ช่องทางการสื่อสารข้อมูลที่สามารถส่งข้อมูลไปได้ในทิศทางเดียวเท่านั้นไม่สามารถส่งสวนทางไม่ว่าจะเป็นเวลาใดก็ตาม (ส่งสวนทางเดิมไม่ได้และส่งพร้อมกันไม่ได้ เช่น การส่งข้อมูลจากคอมพิวเตอร์ไปยังจอภาพ จอภาพไม่สามารถส่งข้อมูลมาให้คอมพิวเตอร์ได้)

HALF-DUPLEX CHANNEL ช่องทางการสื่อสารข้อมูลที่สามารถส่งข้อมูลได้ทั้งสองทิศทาง แต่ส่งพร้อมกันไม่ได้ ในการส่งข้อมูลอัตราการส่งข้อมูลจะอยู่ในช่วง (range) เดียวกันไม่ว่าจะส่งข้อมูลในทิศทางใดก็ตาม

FULL DUPLEX CHANNEL ช่องทางการสื่อสารข้อมูลที่สามารถส่งข้อมูลได้ในสองทิศทางพร้อมๆ กัน เพราะช่องทางการสื่อสารได้มีการเชื่อมต่อไว้มากกว่าหนึ่งช่องทางในการส่งทั้งสองทิศทางนั้นอัตราการส่งข้อมูลจะอยู่ในช่วง (range) เดียวกัน

SYNCHRONOUS DATA TRANSMISSION CHANNEL ช่องทางการสื่อสารข้อมูลที่ข้อมูลแต่ละคำ (word) ถูกส่งออกไปตามเวลาที่แน่นอนหรือระยะเวลาระหว่างข้อมูลแต่ละคำที่ถูกส่งออกไปมีค่าแน่นอน ตัวอย่างเช่น การส่งสัญญาณทีวี เครื่องรับและเครื่องส่ง จะต้องรับรู้ฐานเวลาอันเดียวกัน

NON-SYNCHRONOUS DATA-TRANSMISSION CHANNEL ข้อมูลแต่ละคำ (word) ถูกส่งออกไปอย่างไม่มีกำหนดเวลาแน่นอน รวมทั้งระยะห่างระหว่างคำด้วย

DATA SET ในกรณีการส่งข้อมูล อุปกรณ์ชิ้นนี้จะถอดรหัสข้อมูลที่ได้รับมาแล้วส่งออกไปทางเครือข่ายโทรศัพท์ในกรณีรับข้อมูลอุปกรณ์ชิ้นนี้จะถอดรหัสสัญญาณที่ได้รับเข้ามาเพื่อดึงข้อมูลออกจากสัญญาณนั้น ๆ แล้วส่งต่อไปยังอุปกรณ์ปลายทาง

3.6.4 คุณสมบัติของสัญญาณทางไฟฟ้า

1 สัญญาณที่ขาทุกขาที่คอนเน็คเตอร์ของ RS 232 จะเป็นสภาวะใด สภาวะหนึ่งต่อไปนี้

MARK/SPACE

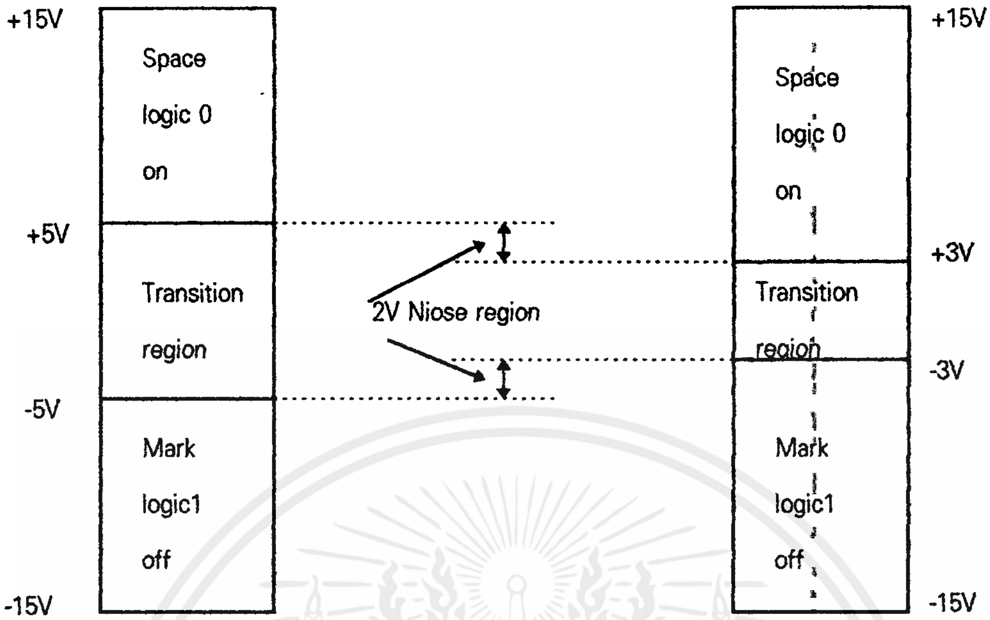
ON/OFF

logic 0/logic1

ดังแสดงไว้ในตารางโดยใช้ลอจิกลบคือ วิธีการเปรียบเทียบระดับแรงดันแบบหนึ่ง ระดับแรงดันที่มีค่าเป็นลบมากกว่าจะเป็นลอจิกสูง นอกจากนี้ระดับของแรงดัน -3 ถึง +3 โวลต์ จะเป็นช่วงของการเปลี่ยนแปลงลอจิก

2.ในการแทนลอจิก 1 หรือสถานะ mark ตัวขับสัญญาณจะมีระดับแรงดันระหว่าง-5 ถึง -15 โวล ส่วนในการแทนลอจิก 0 จะมีแรงดันระหว่าง +5 ถึง +15 โดยยอมให้มี noise margin ได้ไม่เกิน 2โวลต์ ดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 คุณสมบัติทางไฟฟ้าของอินเตอร์เฟสแบบ RS-232-C

3 ตัวเก็บประจุ ที่ต่อขนานกับอุปกรณ์รับข้อมูลปลายทางจะต้องมีค่าไม่เกิน 2500 พิโคฟารัด โดยค่านี้ไม่รวมค่าความจุไฟฟ้าของสายเคเบิลเข้าไปด้วย

4. แรงดันขณะเปิดวงจรหรือขณะไม่มีโหลด จะต้องไม่เกิน 25 โวลต์ ซึ่งก็คือแรงดันใด ๆ ในเซอร์กิตของการอินเตอร์เฟสแบบ RS 232 ต้องไม่เกินนี้

5. วงจรรับสัญญาณต้องสามารถทนต่อการลัดวงจรที่เกิดขึ้นได้ โดยไม่ทำให้เกิดความเสียหายต่อตัวมันเองหรืออุปกรณ์ที่เกี่ยวข้องด้วย

ลักษณะการทำงานแต่ละขาแบบ DB 25

ขาที่ 1 Protective Ground ใช้ต่อกับตัวถังของอุปกรณ์เพื่อใช้เป็นสายดิน แต่มักไม่ได้ต่อไว้เพราะไม่มีความสำคัญมากนักเมื่อเทียบกับกราวด์ของสัญญาณ

ขาที่ 2 Receive Data ขารับสัญญาณ ๆ จะถูกส่งจาก DCE ไปยัง DTE ขานี้จะอยู่ในสถานะ 1 ในขณะไม่มีการส่งข้อมูล

ขาที่ 3 Transmit Data ขาส่งสัญญาณ ๆ ของขานี้ถูกส่งจาก DTE ไปยัง DCE DTE จะทำให้ขาส่งข้อมูลมีสถานะเป็น 1 ตลอดเวลาที่ไม่มีการส่งข้อมูล

ขาที่ 4 Request to Sent ขาร้องขอเพื่อทำการส่ง สัญญาณนี้ถูกส่งจาก DTE ไปยัง DCE ลักษณะการทำงานร่วมกันกับขาเคลียร์สถานะเพื่อทำการส่ง

ขาที่ 7 Signal Ground กราวด์สัญญาณ ใช้เป็นจุดอ้างอิงของสัญญาณ จะถูกต่อไว้เสมอในการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.5 โครงสร้างทั่วไปของมาตรฐาน RS-232C

ในการใช้งานเราควรใช้เส้นสัญญาณที่เหมาะกับระบบของเราซึ่งขึ้นอยู่กับลักษณะของระบบที่ต้องการใช้ โครงสร้างของระบบอาจมีหลายแบบตั้งแต่การต่อเทอร์มินัลเข้ากับเครื่องไมโครคอมพิวเตอร์ ซึ่งเป็นการอินเตอร์เฟสแบบง่าย ๆ ใช้คอมพิวเตอร์ต่อร่วมกับคอมพิวเตอร์เครื่องอื่นโดยอาศัยการมัลติ เพลกซ์ ใช้ส่งและรับข้อมูลแบบอะซิงโครนัส หรือใช้กับสาย dedicated line (สายที่ใช้ในการส่งข้อมูลเพียงอย่างเดียว ใช้ส่งสัญญาณเสียงไม่ได้) ได้แบ่งมาตรฐานการใช้สายสัญญาณออกเป็นกลุ่มตามสภาพของระบบต่าง ๆ กลุ่มของสัญญาณที่ใช้ร่วมกับระบบไมโครคอมพิวเตอร์แบ่งออกเป็น 7 กลุ่มดังนี้

- ใช้ในการส่งข้อมูลอย่างเดียว (Transmit only)
- ใช้ในการส่งข้อมูลอย่างเดียวแต่ใช้สัญญาณ RTS ด้วย
- ใช้ในการรับข้อมูลอย่างเดียว (Receive only)
- ใช้ส่งและรับข้อมูลแบบฮาล์ฟดูเพล็ก (Half Duplex)
- ใช้ส่งและรับข้อมูลแบบฟูลดูเพล็ก (Full Duplex)
- ใช้ส่งและรับข้อมูลแบบฟูลดูเพล็ก แต่ใช้สัญญาณ RTS ด้วย
- แบบพิเศษ (Special)

การอินเตอร์เฟสแบบต่าง ๆ ที่กล่าวมา ซึ่งได้ระบุสายสัญญาณการต่อในการอินเตอร์เฟสแต่ละแบบ

rs-232-c interchange circuit	Transmit only	Transmit only with RTS	Receive only	Half duplex	Full duplex	Full duplex with RTS	Special
1 Protective Ground	-	-	-	-	-	-	0
7 Signal Ground	x	x	x	x	x	x	x
2 Transmit Dats	x	x		x	x	x	0
3 Received Data			x	x	x	x	0
4 Request to Send		x		x		x	0
5 Clear to Send	x	x		x	x	x	0
6 Data Set Ready	x	x	x	x	x	x	0
20 Data Terminal Ready	s	s	s	s	s	s	0
22 Ring Indicator	s	s	s	s	s	s	0
8 Received Line Signal Detector			x	x	x	x	0

X=ใช้งานในทุกกรณี

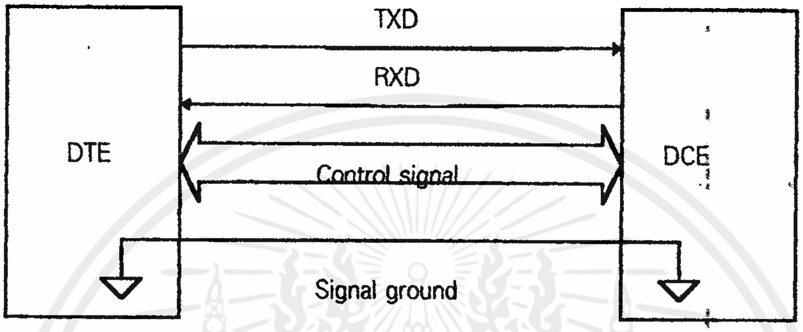
S=ใช้ในกรณีที่ระบบของเราเกี่ยวพันกับเครือข่ายโทรศัพท์ด้วย

O=เลือกใช้ตามลักษณะของระบบของเรา

ตารางที่ 3.1 RS-232-C Standard Configurations

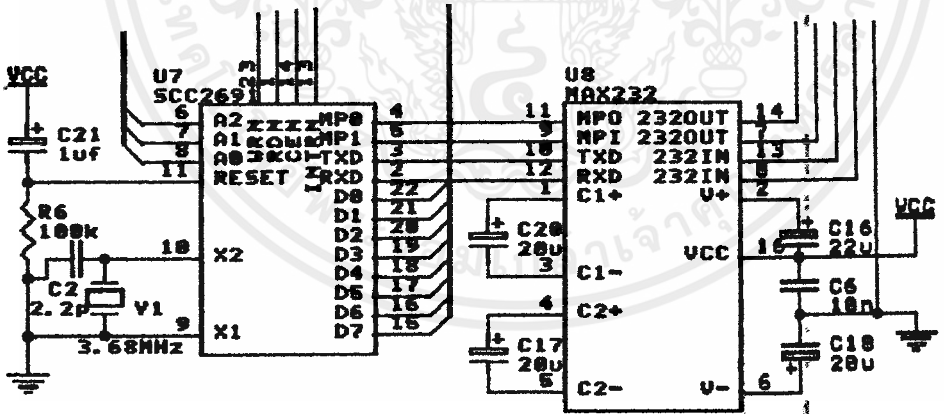
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งานของการส่งข้อมูลแบบ full-duplex ที่ใช้กันมากในคอมพิวเตอร์คือ ใช้กับเทอร์มินัลที่ทำหน้าที่ส่งและรับข้อมูลดังนี้ คาร์แรกเตอร์จะถูกส่งจากคีย์บอร์ดไปยังคอมพิวเตอร์และถูกสะท้อนไปแสดงบนจอภาพ หรือพิมพ์ออกที่เครื่องพิมพ์ในกรณีเช่นนี้ ข้อมูลจะเคลื่อนที่ในสองทิศทางพร้อมกัน โดยถูกส่งและรับจาก DTE(คีย์บอร์ดและจอภาพ) กับDCE(พอร์ทอินพุท/เอาท์พุท แบบอนุกรมของไมโครคอมพิวเตอร์) ดังแสดงในรูปที่ 3.19 ได้แสดงการอินเตอร์เฟสแบบฟูลดูเพล็กไว้สองแบบคือ แบบที่ใช้และไม่ใช้สาย Request to Send การใช้สายสัญญาณ Request to Send นั้นสามารถเลือกใช้ได้ แต่ถ้าพอร์ทของคอมพิวเตอร์เป็นแบบ USART เราต้องใช้สัญญาณ RTS ในการต่อเสมอ



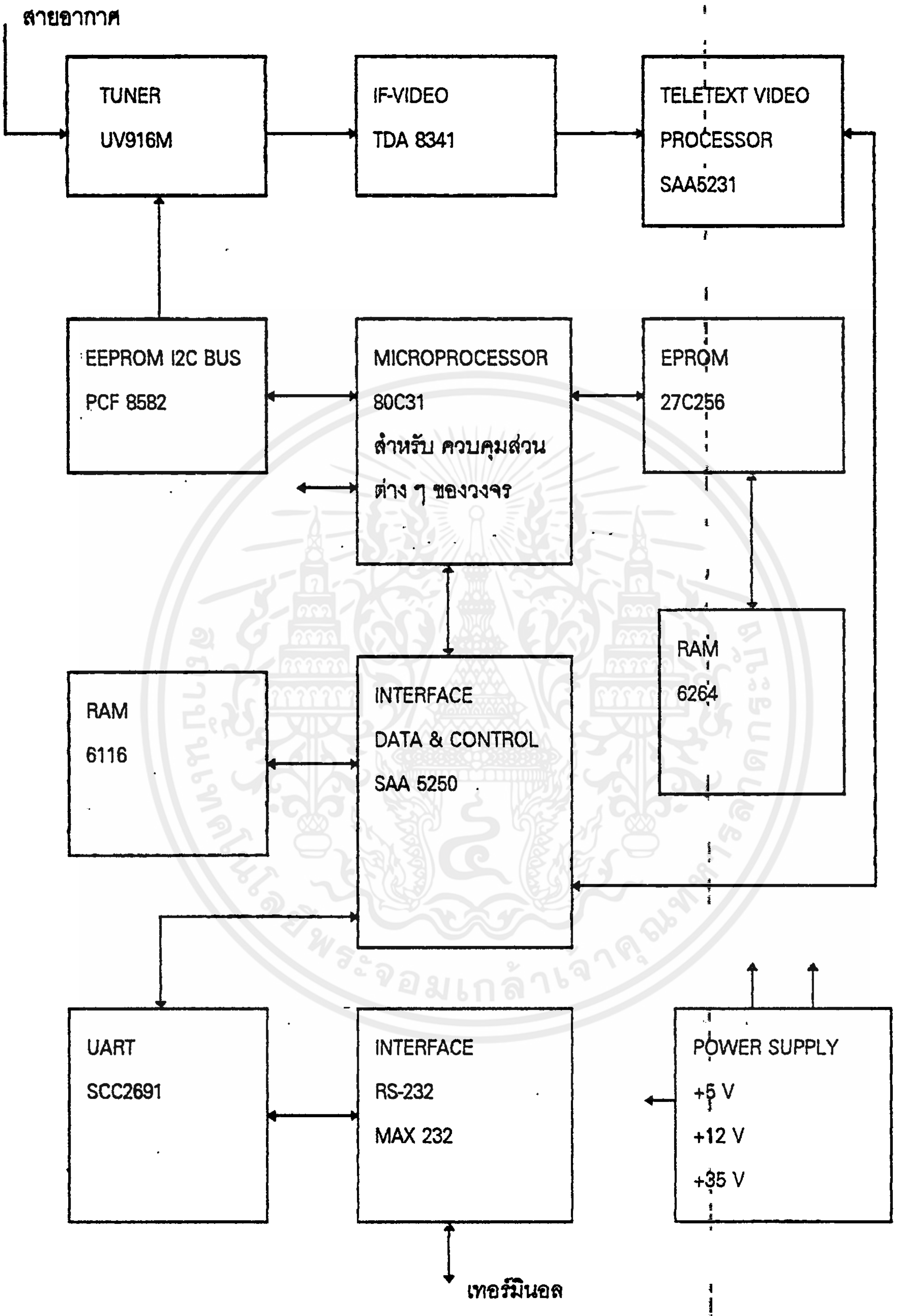
รูปที่ 3.19 ลักษณะพื้นฐานของการส่งข้อมูลแบบ full - duplex

และวงจรการใช้งานจริงของวงจรนี้ก็ได้ใช้การต่อวงจรโดยใช้วงจรดังรูป



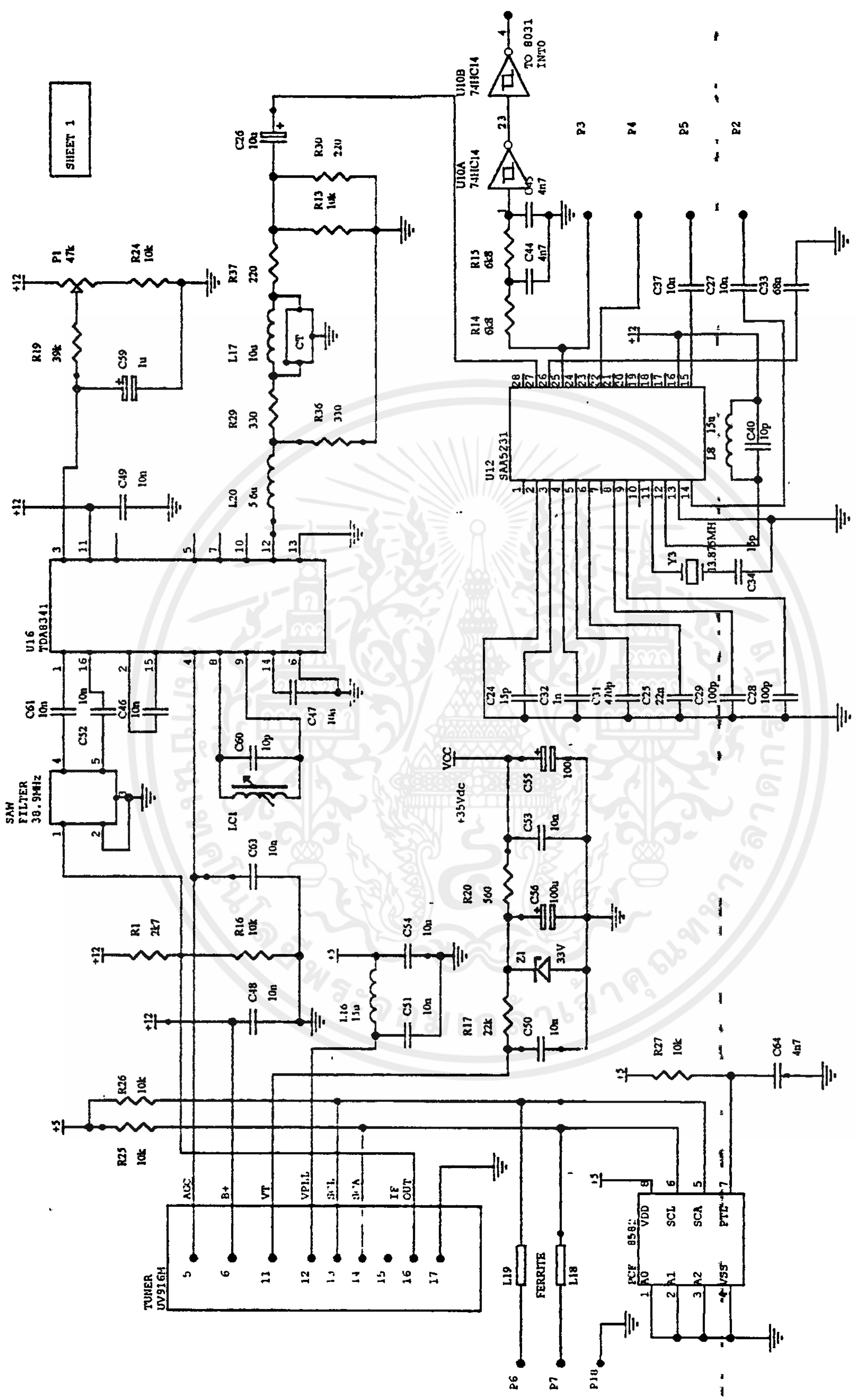
รูปที่ 3.20 วงจรใช้งานจริงในชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



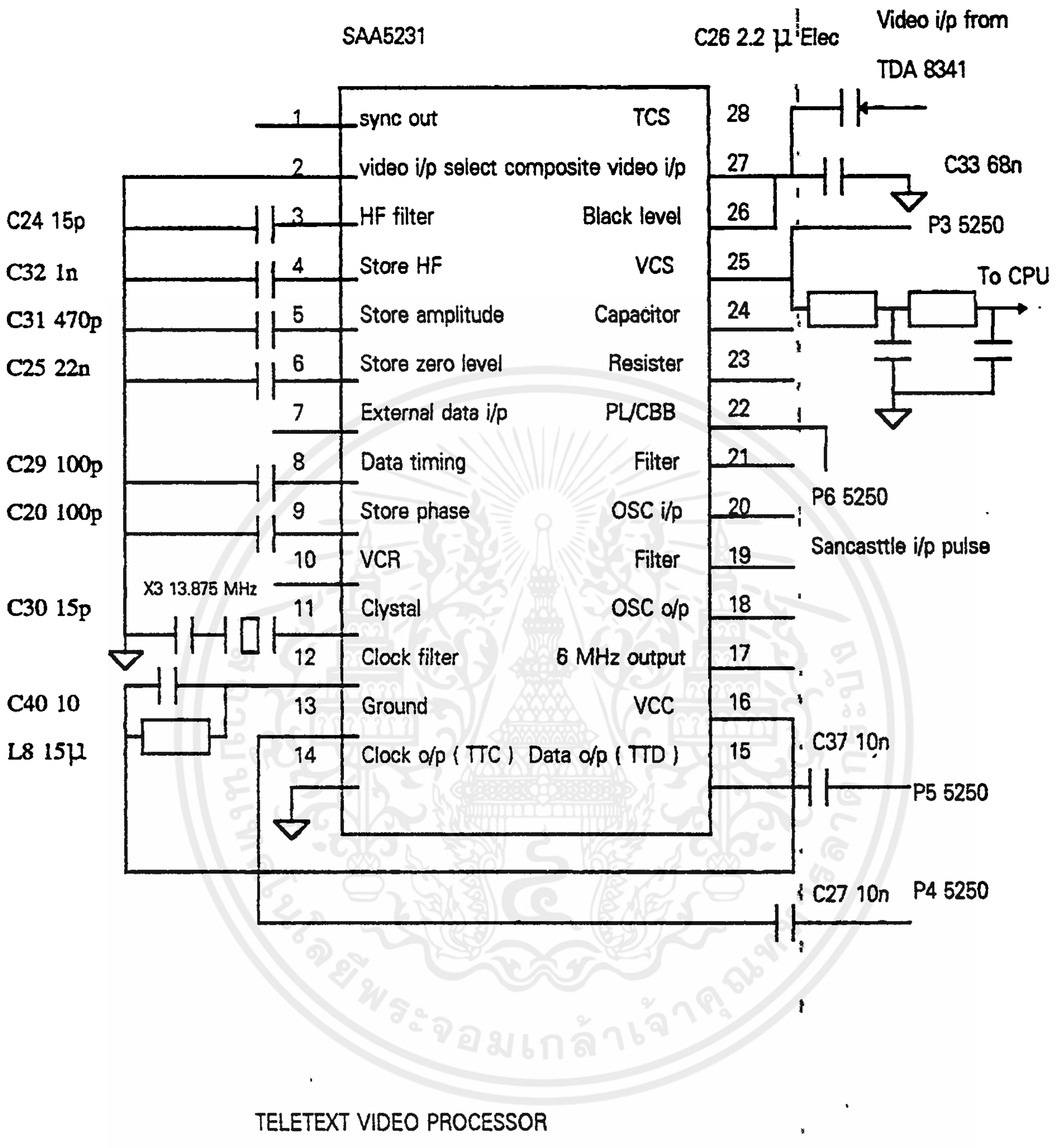
รูปที่ 3.21 แสดงอุปกรณ์การทำงานในภาคต่าง ๆ ของเครื่องถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



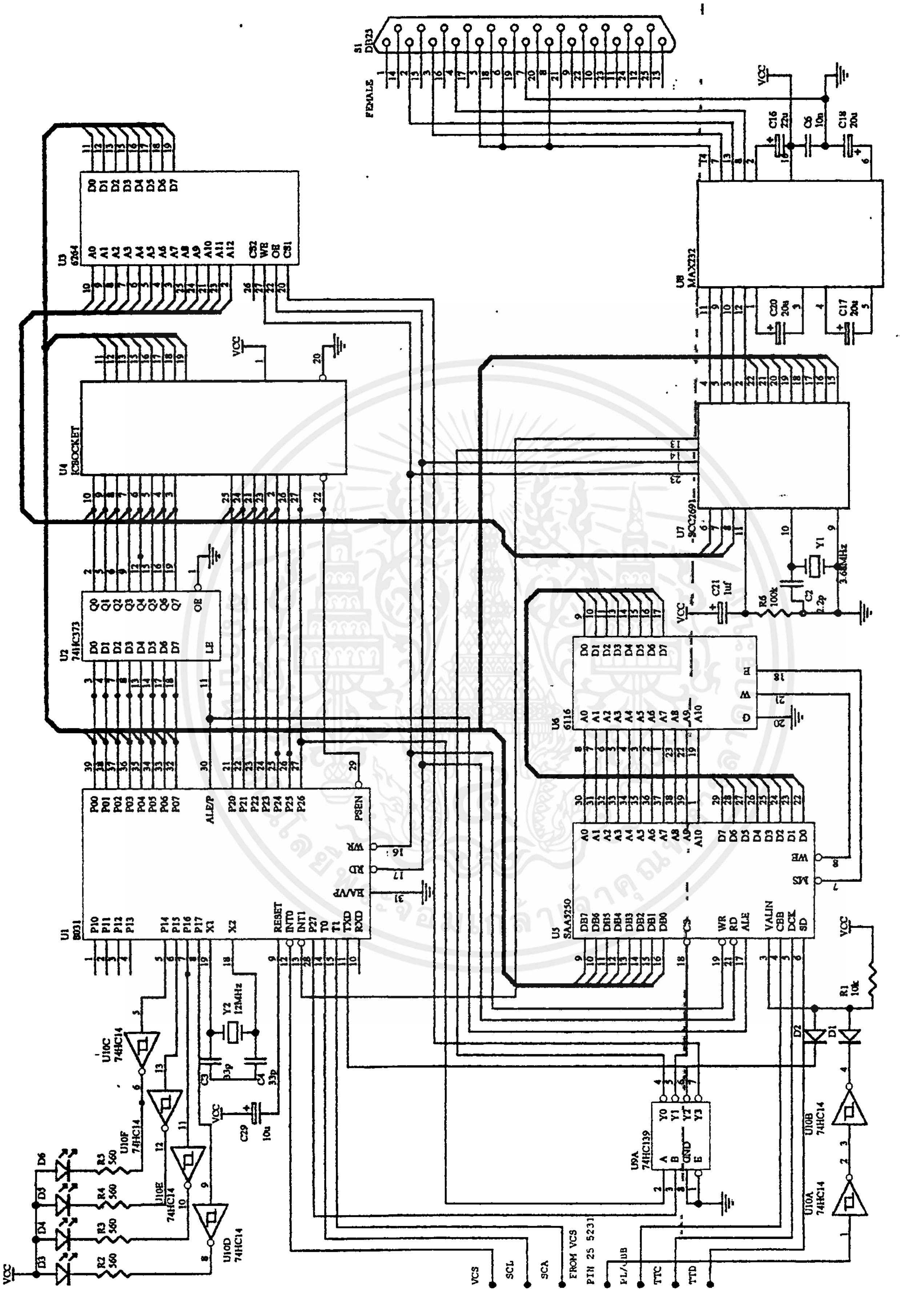
รูปที่ 3.22 แสดงวงจรส่วนรับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 แสดงวงจรใช้งาน SAA5231

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

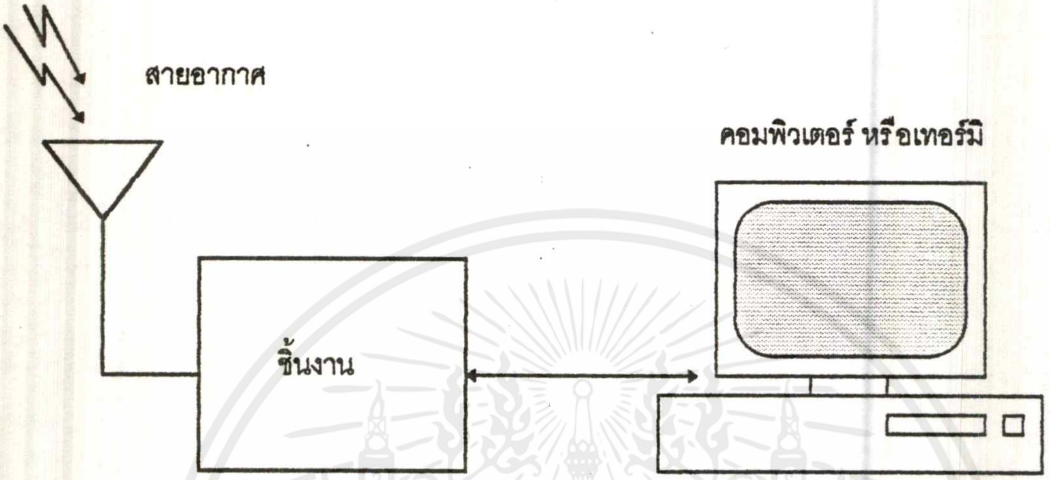


รูปที่ 3.24 แสดงวงจรส่วนส่งผ่านข้อมูล และการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

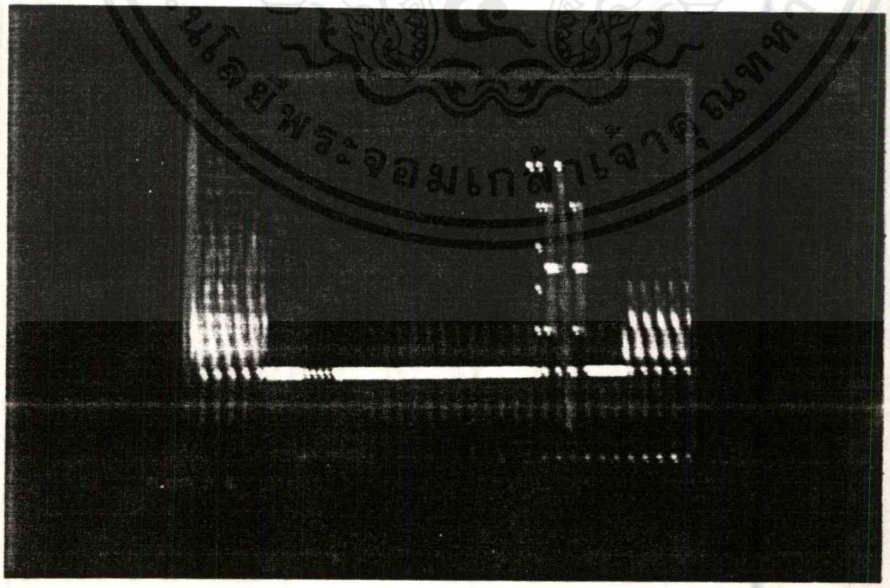
บทที่ 4
การทดลองและผลการทดลอง

ในการรับสัญญาณจากสถานีส่ง ซึ่งมีการแทรกข้อมูลมากับสัญญาณโทรทัศน์จากสถานีทางด้านส่งที่มีการส่งข้อมูลแบบดาต้าบรอดคาส



รูปที่ 4.1 ไดอะแรมการต่อในขั้นตอนการทดลอง

ในการทดลองซึ่งได้ทดลองรับสัญญาณจากสถานีซึ่งมีการส่งในระบบนี้อยู่ ในระบบการส่งสัญญาณภาพปกติของสถานีโดยทั่วไปจะส่งสัญญาณทดสอบระหว่างสถานีส่งกับสถานีลูกข่ายในเส้นแบล็งกิ้งซึ่งไม่มีการแทรกข้อมูลของระบบดาต้าบรอดคาส ดังรูปข้างล่าง



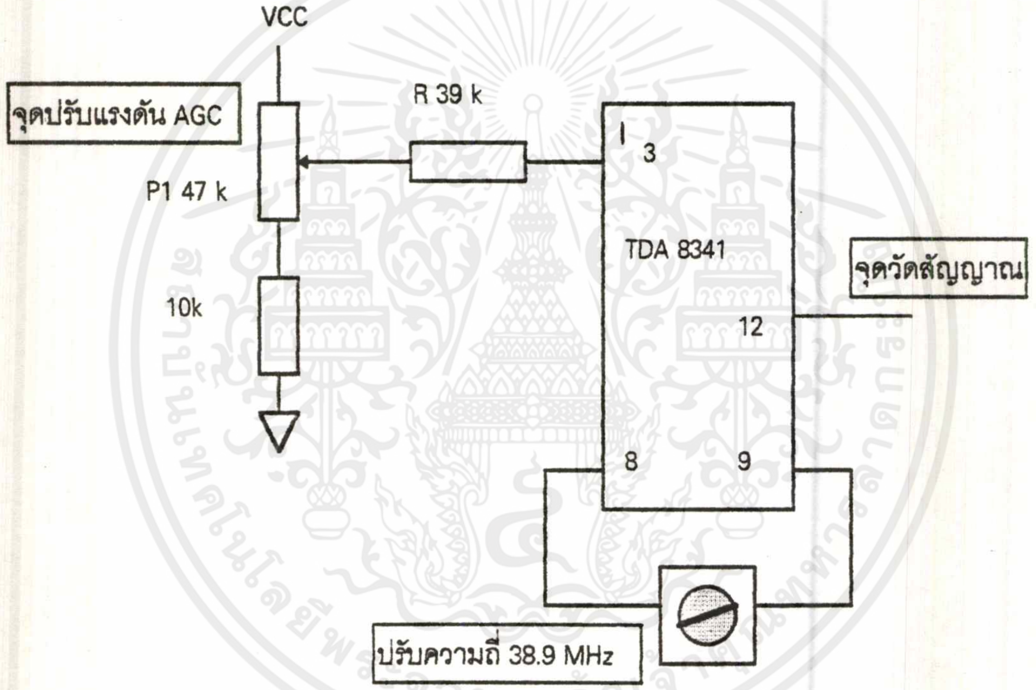
รูปที่ 4.2 แสดงเส้นแบล็งกิ้งของสถานีส่งที่ไม่มีการส่งข้อมูลระบบดาต้าบรอดคาส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 ขั้นตอนการทดลองและผลการทดลอง

4.1.1 ส่วนของวงจรภาครับ

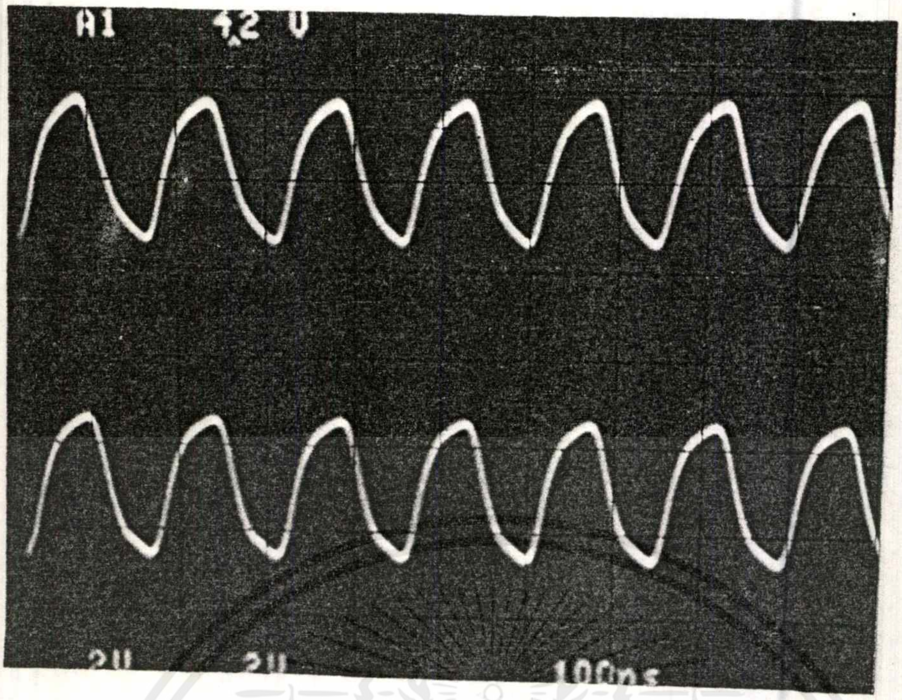
ทดลองรับสัญญาณจากสถานีโทรทัศน์ด้วยโทรทัศน์ ในช่องที่มีการส่งข้อมูลแบบดาต้าบรอดคาสซึ่งในการทดลองนี้ได้ทดลองรับสัญญาณของสถานีโทรทัศน์ ช่อง 7 หลังจากนั้นทำการปรับสายอากาศโดยปรับให้ภาพโทรทัศน์มีความชัดเจนมากที่สุด (โดยไม่มีภาพการซ้อน หรือ เป็นเงาซึ่งเกิดจากการสะท้อนของสัญญาณที่รับเข้ามา) เพื่อให้ได้ความแรงของสัญญาณที่ดีที่สุด ซึ่งจะมีผลต่อข้อมูลที่จะทำการรับเข้ามาด้วย การทดลองโดยได้ทำการปรับแรงดันที่ความต้านทานปรับค่า P1 ซึ่งต่อกับ R19 โดยวัด ที่ขา 3 ของของ TDA 8341 เพื่อทำการปรับแรงดันของไฟ AGC ซึ่งใช้ควบคุมเกนการขยายของ จูนเนอร์ ให้มีความแรงพอที่จะมาขับวงจรในภาคขยายความถี่กลาง โดยปรับแรงดันที่ขาที่ 3 ให้ได้ขนาดมากที่สุดไม่เกิน 13.2 โวลท์ (ขึ้นกับความแรงที่ขาที่ 12 ของ TDA 8341)



รูปที่ 4.3 จุดปรับแรงดันไฟ AGC

ในส่วนของจูนเนอร์ต้องทำการปรับแต่งอีกจุดหนึ่งก็คือ ความถี่กลางของภาพ 38.9 MHz ซึ่งต้องทำการปรับที่ LC1 แล้วทำการวัดที่ ขาที่ 8 ของ TDA 8341 ให้ได้ความถี่ 38.9 MHz

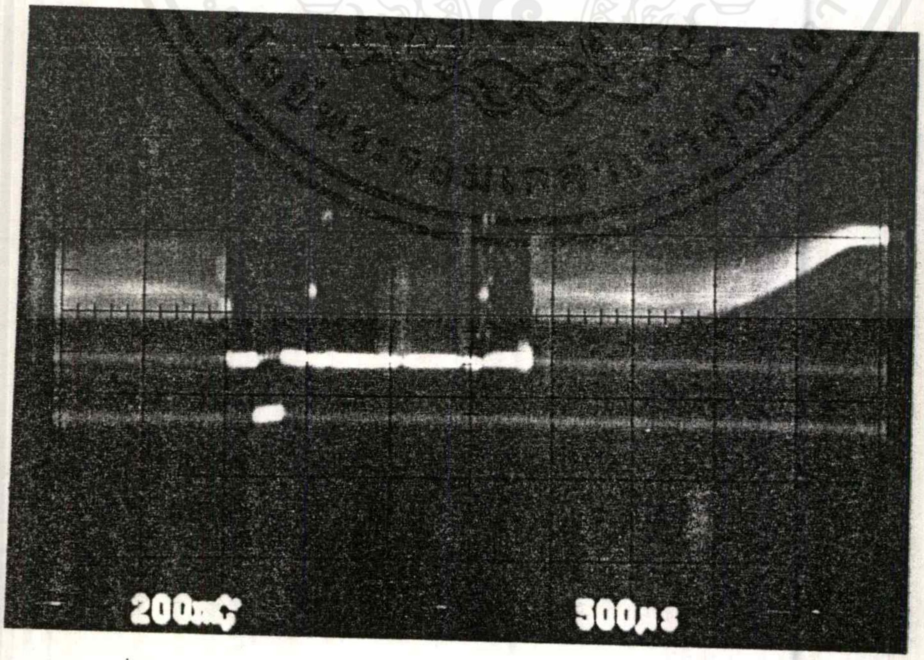
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 รูปสัญญาณความถี่ 38.9 MHz ของ TDA 8341

วัดสัญญาณที่จุด Video output ของ TDA 8341 (ขาที่ 12) ว่ามีความชัดเจนของสัญญาณมากขนาดไหน และสามารถปรับแต่งได้อีกเล็กน้อยเพื่อให้ได้ความชัดเจนของสัญญาณภาพ

ทำการวัดสัญญาณภาพโทรทัศน์ที่รับได้ซึ่งจะทำการวัดที่ขา 27 ของปรับความแรงของสัญญาณภาพให้ได้ตามข้อกำหนดของ SAA 5231 คือมีแรงดันอย่างน้อย 0.30 โวลท์ แต่ไม่มากกว่า 0.7 โวลท์จากรูปจะเห็นได้ว่าสัญญาณภาพที่เรารับเข้ามานั้นมีสัญญาณข้อมูลแทรกมากับสัญญาณแบล็งกิ้งในระหว่างฟิลด์ด้วย

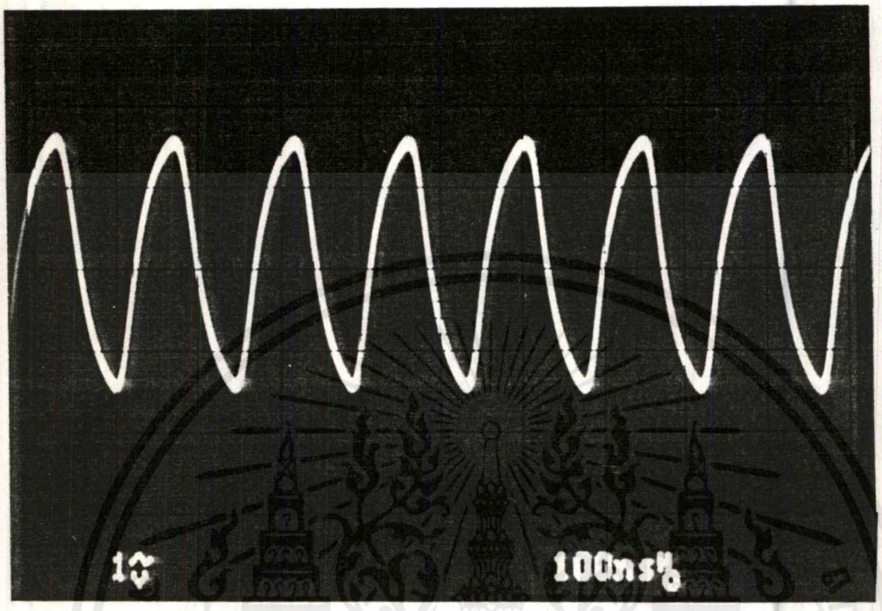


รูปที่ 4.5 สัญญาณภาพโทรทัศน์ที่มีสัญญาณข้อมูลแทรกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การทดลองภาคถอดรหัสข้อมูลออกจากสัญญาณภาพ

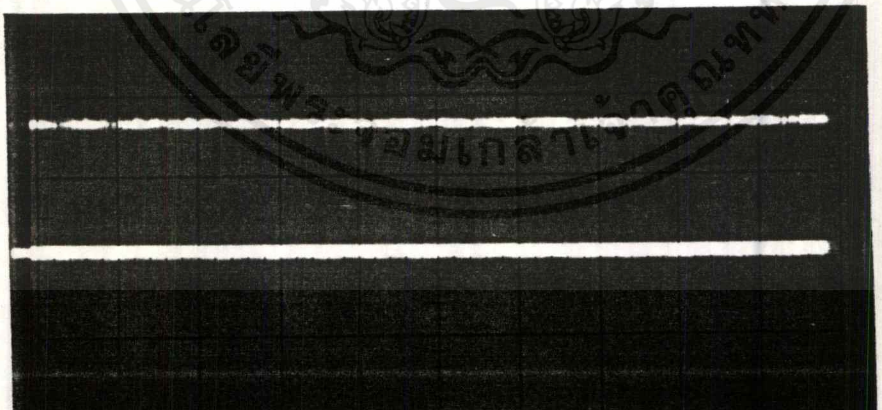
ซึ่งปกติ SAA 5231 จะทำงานด้วยสัญญาณนาฬิกาที่ความถี่มากกว่าสัญญาณข้อมูล ต่อหนึ่งเส้น เป็น 2 เท่า ซึ่งก็คือ 13.875 MHz ที่ต่ออยู่กับขาที่ 11 วงจรภายในของ SAA 5231 จะทำหน้าที่ในการหารความถี่ลงเหลือ 6.9375 MHz เพื่อเป็นสัญญาณนาฬิกาในการควบคุม (ขาที่ 14 SAA 5231) วงจรในภาคส่วนการถอดข้อมูลออจากเส้นข้อมูล



รูปที่ 4.6 สัญญาณนาฬิกาขา 14 (TTC) ของ SAA 5231

4.1.3 การทดลองในภาคการถอดสัญญาณข้อมูลออกจากเส้นข้อมูล

ข้อมูลที่รับมาก็คือสัญญาณจากภาคถอดเส้นข้อมูลออกจากสัญญาณภาพซึ่งได้แก่สัญญาณนาฬิกาและสัญญาณข้อมูลในแบบอนุกรมเพื่อนำมามาถอดข้อมูลออกจากเส้นข้อ



รูปที่ 4.7 สัญญาณข้อมูลที่ได้จากการแยกออกมาจากสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลอง ในภาคการติดต่อส่งผ่าน ระหว่างชิ้นงานกับเครื่องคอมพิวเตอร์นั้นสามารถส่งผ่านข้อมูลจากชิ้นงานไปยังคอมพิวเตอร์ได้โดยใช้โปรแกรม สื่อสารข้อมูล (PCPLUS) ในการทดลองส่ง แต่ในชิ้นงานที่ทำการทดลองนี้ยังมีข้อบกพร่องซึ่งเกิดจากสร้าง และทดลองวงจรในส่วนต่าง ๆ เมื่อนำวงจรมารวกัน ทำให้เกิดปัญหาเหล่านี้จะได้ กล่าวในบทต่อไป

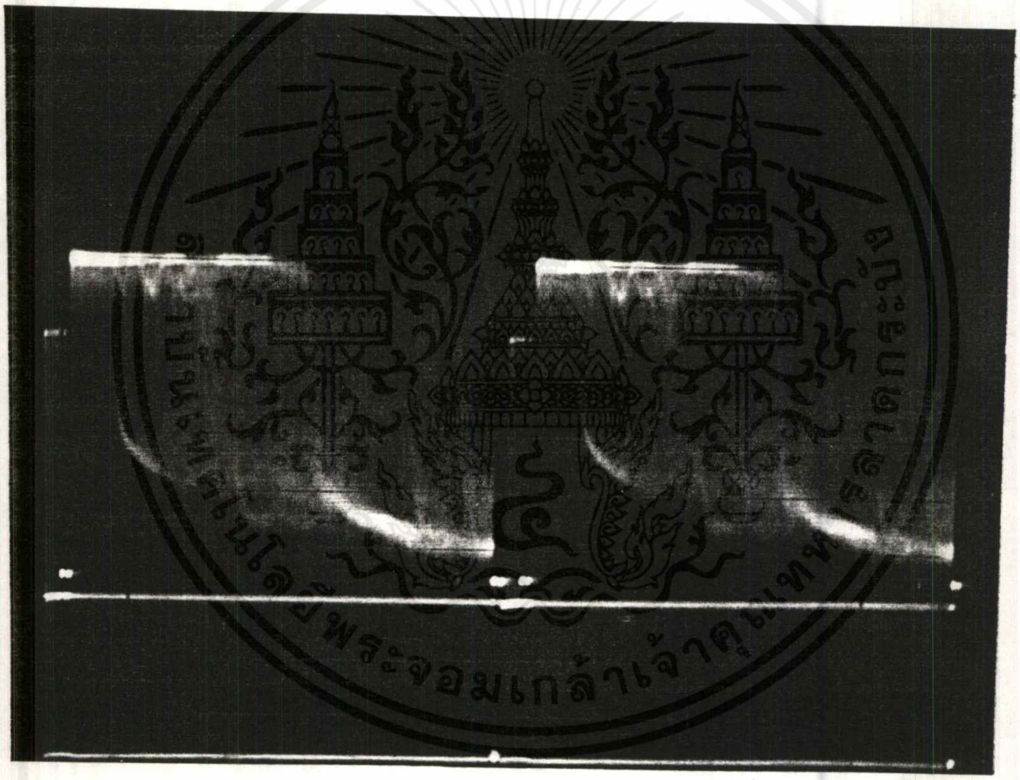
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิจารณ์และสรุปผลการทดลอง

5.1 สรุปผลการทดลอง

จากการทดลองรับสัญญาณยังมีข้อผิดพลาดในด้านความแรงของสัญญาณซึ่งจะมีผลทำให้สัญญาณภาพและสัญญาณข้อมูลมีความไม่สมบูรณ์เมื่อมีการถอดข้อมูลออกมา จากการทดลองจะเห็นได้ว่าสัญญาณภาพและสัญญาณข้อมูลในภาพของทางด้านรับ (รูปที่ 4.5) เมื่อเปรียบเทียบกับสัญญาณภาพของ สถานีด้านส่งแล้วจะมีความชัดเจนของสัญญาณต่างกันมาก (ขึ้นอยู่กับสายอากาศ) ซึ่งในการทดลองภาครับสัญญาณอาจใช้แพทเทิร์นของสัญญาณโทรทัศน์ได้ แต่ในการทดลองรับสัญญาณข้อมูลนั้นจำเป็นต้องรับจากสัญญาณจากสถานีโทรทัศน์ที่ทำการส่งในระบบนี้จริง ๆ ซึ่งอาจจะรับสัญญาณได้ไม่ดีเท่าที่ควร



รูปที่ 5.1 สัญญาณภาพของสถานีโทรทัศน์ที่ทำการส่งในระบบดาต้าบรอดคาส

การทดลองในครั้งนี้ได้ทดลองโดยมีจุดประสงค์เพื่อรับ สัญญาณภาพและภาคแยกสัญญาณข้อมูลในระบบดาต้าบรอดคาสออกมาจากสัญญาณภาพ ซึ่งผลที่ได้จากการทดลองได้ผลเป็นที่น่าพอใจคือ สามารถรับข้อมูลและแยกข้อมูลออกมาจากสัญญาณภาพได้ แต่เนื่องจากวงจรที่ใช้ในการทดลองนี้ยังอยู่ในขั้นของการทดลอง อีกทั้งเครื่องวัดที่ใช้ยังมีประสิทธิภาพไม่ดีพอ ผลของสัญญาณที่ปรากฏได้จึงไม่มีความสมบูรณ์เท่าที่ควรจะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ปัญหาและแนวทางในการพัฒนาต่อ

จากการทดลองที่ ผ่านมาจะเห็นได้ว่าในชิ้นงานนี้จะต้องใช้สัญญาณนาฬิกาในการควบคุมส่วนต่าง ๆ ของวงจรให้ทำงานตรงกัน และทำงานร่วมกันได้อย่างพอดี ดังนั้นการสร้างวงจรจะต้องมีความละเอียดและวงจรของสัญญาณนาฬิกาต้องมีความเสถียร แต่ในที่นี้ชิ้นงานจะประกอบด้วยสัญญาณ 2 ส่วนใหญ่ ๆ คือ ในส่วนของวงจรในภาครับ ซึ่งเป็นวงจรทางด้าน อนาล็อกที่มีความถี่ค่อนข้างสูง (ความถี่ย่านโทรทัศน์) และวงจรในภาคของส่วนควบคุมก็เป็นสัญญาณชนิด ดิจิตอล เมื่อเป็นแบบนี้สัญญาณในสองส่วนนี้อาจมีการกวนกันได้ วงจรทั้งสองส่วนนี้จึงควรแยกให้เป็นอิสระต่อกัน ปัญหาอีกอย่างหนึ่งของการสร้างวงจรในระบบนี้ก็คือ ปัญหาในเรื่องของอุปกรณ์ส่วนประกอบวงจรที่ วงจรรวมส่วนหนึ่งไม่สามารถหาซื้อได้ตามท้องตลาดโดยทั่วไป เพราะระบบนี้ยังไม่มีการแพร่หลายในประเทศไทยมากนัก มีการใช้อยู่เฉพาะกลุ่มค่อนข้างจำกัดในวงแคบ เช่นระบบการส่งของ บริษัทในตลาดหลักทรัพย์ หรือในจำพวกสำนักข่าวต่าง ๆ ที่มีการใช้อยู่บ้าง ดังนั้นทางออกก็คือต้องไปติดต่อหาซื้อที่ บริษัทที่มีการผลิตวงจรรวมของระบบนี้โดยตรง เช่นบริษัทฟิลิปส์ ซึ่งต้องใช้เวลา และการศึกษาข้อมูลเกี่ยวกับวงจรรวม พวกนี้ก็ต้องใช้เวลาเหมือนกัน

สำหรับแนวทางในการพัฒนาสามารถทำได้ อาจรับสัญญาณภาพจากแหล่งอื่น ซึ่งจะตัดปัญหาการรบกวนจากสัญญาณกราวด์ของระบบโทรทัศน์ได้ และในระบบนี้จะเห็นได้ว่าการถอดสัญญาณสามารถทำได้เพียงรูปแบบเดียวคือ ในแบบแพคเก็ต 31 ซึ่งจริง ๆ แล้วในระบบนี้รูปแบบการส่งในรูปแบบอื่นอีกหลายแบบ ซึ่งอาจทำให้สามารถรับได้หลายรูปแบบ โดยการเปลี่ยนวงจรรวมเบอร์ SAA5231 เป็นวงจรรวมเบอร์อื่นรวมทั้งส่วนประกอบวงจรที่สามารถรับข้อมูลในแบบอื่น ๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEVISION IF AMPLIFIER AND DEMODULATOR

The TDA8340;Q and TDA8341;Q are integrated IF amplifier and demodulator circuits for colour or black/white television receivers, the TDA8340;Q is for application with n-p-n tuners and the TDA8341;Q for p-n-p tuners.

The TDA8340;Q and TDA8341;Q are pin-compatible successors with improved performance to types TDA2540/2541;Q and TDA3540/3541;Q.

Features

- Full range gain-controlled wide-band IF amplifier
- Linear synchronous demodulator with excellent intermodulation performance
- White spot inverter
- Wide-band video amplifier with noise protection
- AFC circuit with AFC on/off switching and sample-and-hold function
- Low impedance AFC output
- AGC circuit with noise gating
- Tuner AGC output for n-p-n tuners (TDA8340) or p-n-p tuners (TDA8341)
- External video switch for switching-off the video output
- Reduced sensitivity for high sound carriers
- Integrated filter to limit second harmonic IF signals
- Wide supply voltage range
- Requires few external components

QUICK REFERENCE DATA

parameter	conditions	symbol	min.	typ.	max.	unit
Supply voltage (pin 11)		$V_{CC} = V_{11\text{-}13}$	9,4	12	13,2	V
Supply current (pin 11)		I_{11}	30	42	55	mA
IF input sensitivity (r.m.s. value)		$V_{1\text{-}16(rms)}$	20	40	80	μV
IF gain control range		G_v	–	67	–	dB
Video output voltage (peak-to-peak value)	white signal; 10% top sync	$V_{12\text{-}13(p\text{-}p)}$	2,4	2,7	3,0	V
Signal-to-noise ratio	V_i = 10 mV	S/(S+N)	50	58	–	dB
AFC output voltage swing (peak-to-peak value)		$V_{5\text{-}13(p\text{-}p)}$	–	10	–	V

PACKAGE OUTLINES

TDA8340; TDA8341: 16-lead DIL; plastic (SOT38).
TDA8340Q; TDA8341Q: 16-lead QIL; plastic (SOT58).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

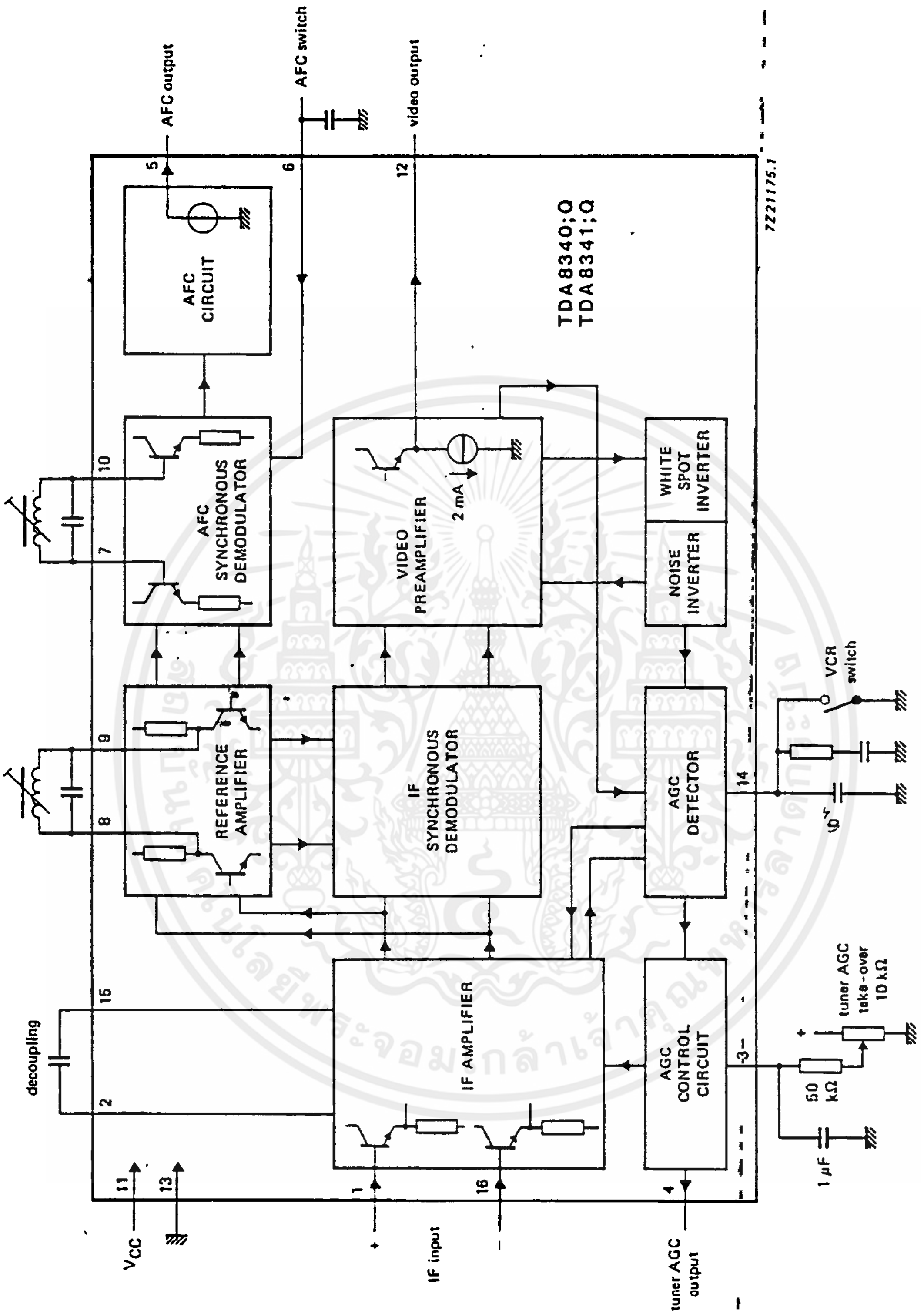


Fig. 1 Block diagram.

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
นี้เป็นเ ... ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

1 and 16	Balanced IF inputs
2 and 15	IF amplifier decoupling
3	Tuner AGC starting point adjustment
4	Tuner AGC output
5	AFC output
6	AFC on/off switch and sample-and-hold capacitor
7 and 10	Reference carrier $\pi/2$ rad. phase shift
8 and 9	IF picture carrier passive regeneration
11	Positive supply voltage (V_{CC})
12	Video output
13	Ground (V_{EE})
14	IF AGC capacitor and VCR switch

FUNCTIONAL DESCRIPTION

IF amplifier

This is a 3-stage, gain-controlled IF amplifier with a wide dynamic range. On-chip capacitors in the d.c. feedback loop of the amplifier maintain stability at maximum gain. Internal stabilization of the supply voltage ensures the desired sensitivity and gain control range over the whole supply voltage range and also gives very good power supply ripple rejection in this part of the circuit.

Demodulator

The redesigned IF demodulator is a quasi-synchronous circuit that employs passive carrier regeneration and logarithmic clamping to give improved signal handling. The demodulator input is a.c. coupled to the IF amplifier to reduce d.c. offsets and thus minimize residual IF carrier in the output signal.

Video amplifier

The linearity and bandwith of the video amplifier are sufficient to meet all wide band requirements, e.g. for teletext transmissions. Second harmonics of the IF carrier are effectively reduced by a Sallen-Key low pass interstage filter between the demodulator output and the video amplifier input. An integrated filter in the noise inverter reduces the sensitivity of the video amplifier for high sound carriers.

White spot protection comprises a white spot clamp system combined with a delayed-action inverter which is also highly resistant to high sound carriers.

Note. To prevent radiated video output at the input pins, connect a 6,8 μH inductor in series with pin 12 and fit as close as possible to the IC body. Use short leads.

AGC dectector

A Bessel low-pass filter between the video output and the AGC detector improves the detector function in the presence of high sound carriers. No 'hang-up' occurs in the detector after pin 14 has been short-circuited to ground (VCR switch operated). The detector also generates the sample-and-hold pulse for the AFC system.

AGC control circuit

This converts the AGC detector voltage (pin 14) into a current signal which controls the gain of the IF amplifier. It also provides a tuner AGC control output from pin 4, current limiting is incorporated to prevent internal damage. The AGC starting point is adjusted via pin 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION (continued)

AFC circuit

The AFC circuit provides a voltage output which controls the IF frequency of the tuner. Video information on the AFC output (pin 5) is eliminated by a sample-and-hold circuit (external capacitor at pin 6). Coupling between the AFC and reference tuned circuits is via two small capacitors (or parasitic capacitance) between the respective tracks of the printed circuit board. If the capacitance is less than 1 pF, the steepness of the AFC characteristic is reduced.

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

parameter	symbol	min.	max.	unit
Supply voltage (pin 11)	$V_{CC} = V_{11\text{-}13}$	9,4	13,2	V
IF AGC voltage/VCR switch	$V_{14\text{-}13}$	–	13,2	V
Tuner AGC voltage	$V_{4\text{-}13}$	–	12	V
AFC switch voltage	$V_{6\text{-}13}$	–	13,2	V
Maximum voltage level with VCR switch active	$V_{12\text{-}13}$	–	5,0	V
DC current at video output	I_{12}	–	10	mA
DC current at AFC output	I_5	–	10	mA
Total power dissipation	P_{tot}	–	1,2	W
Storage temperature range	T_{stg}	–55	+150	°C
Operating ambient temperature	T_{amb}	–25	+70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
nled From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

Measured in circuit of Fig. 3; V_{CC} = 12 V; T_{amb} = 25 °C; unless otherwise specified

parameter	conditions	symbol	min.	typ.	max.	unit
Supply voltage (pin 11)		$V_{CC} = V_{11\text{-}13}$	9,4	12	13,2	V
Supply current	no input signal	I_{11}	30	42	55	mA
IF amplifier (note 1)						
Input sensitivity	at onset of AGC	$V_{1\text{-}16}$	20	40	80	μV
Differential input resistance		$R_{1\text{-}16}$	–	2	–	kΩ
Differential input capacitance		$C_{1\text{-}16}$	–	3	–	pF
Gain control range		G_v	–	67	–	dB
Input signal variation	note 2	$V_{12\text{-}13}$	–	–	0,5	dB
Maximum input signal		$V_{1\text{-}16}$	100	–	–	mV
Tuner AGC (note 1)						
Tuner AGC starting point	$R_{3\text{-}11}$ = 39 kΩ	$V_{1\text{-}16}$	–	–	3	mV
(note 3)	$R_{3\text{-}13}$ = 39 kΩ	$V_{1\text{-}16}$	70	–	–	mV
Maximum current swing of tuner AGC output		I_4	10	–	–	mA
Input signal variation	note 4; I_4 = 1 to 9 mA	$V_{1\text{-}16}$	–	–	3	dB
Output saturation voltage	I_4 = 7 mA	$V_{4\text{-}13}$	–	200	300	mV
Leakage current	V_4 = 12 V	I_4	–	–	1	μA
Video output (note 4)						
Zero-signal output level	note 5	$V_{12\text{-}13}$	5,7	6,0	6,3	V
Top sync output level		$V_{12\text{-}13}$	2,8	3,0	3,2	V
Video output voltage (peak-to-peak value)	white signal; 10% top sync	$V_{12\text{-}13(p\text{-}p)}$	2,4	2,7	3,0	V
Internal bias current of emitter follower output transistor			1,4	2,2	3,0	mA
Output impedance		Z_{12}	–	100	–	Ω
Bandwith of demodulated output signal		B	6	7,5	–	MHz
Differential gain	note 6	G_d	–	2	5	%
Differential phase	note 6	φ_d	–	2	5	deg
Luminance non-linearity	note 7		–	2	5	%
Residual carrier signal (r.m.s. value)	note 8	$V_{12\text{-}13(rms)}$	–	2	10	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS (continued)

parameter	conditions	symbol	min.	typ.	max.	unit
Video output (continued)						
Residual 2nd harmonic of carrier signal (r.m.s. value)	note 8	$V_{12\text{-}13(rms}$	–	2	10	mV
Variation of video voltage for ΔV_{CC} = 1 V		$\frac{\Delta V_{12\text{-}13(p\text{-}p)}}{\Delta V_{11\text{-}13}}$	0,1	0,2	0,3	
Intermodulation	notes 8 and 9;					
	1,1 MHz, blue	α	–	–65	–60	dB
	1,1 MHz, yellow	α	–	–60	–56	dB
	3,3 MHz	α	–	–	–68	dB
Signal-to-noise ratio	note 10;					
	V_i = 10 mV	S/(S+N)	50	58	–	dB
	max. gain	S/(S+N)	54	61	–	dB
Spot inverter (note 11)						
Threshold level		$V_{12\text{-}13}$	6,3	6,8	7,3	V
Insertion level		$V_{12\text{-}13}$	4,2	4,5	4,8	V
Noise inverter (note 11)						
Threshold level		$V_{12\text{-}13}$	1,6	1,8	2,0	V
Insertion level		$V_{12\text{-}13}$	3,5	3,8	4,1	V
VCR switch						
Level below which video output switches off		$V_{14\text{-}13}$	1,8	2,2	2,6	V
Switch current	$V_{12\text{-}13}$ = 0,7 V	$-I_{14}$	40	60	100	µA
AFC circuit (note 12)						
Output voltage swing (peak-to-peak value)		$V_{5\text{-}13(p\text{-}p)}$	–	10	–	V
Change of frequency for an AFC output voltage swing of 10 V		Δf	–	60	120	kHz
AFC output voltage	at f = 38,9 MHz	$V_{5\text{-}13}$	–	6	–	V
	no input signal	$V_{5\text{-}13}$	2	6	10	V
	during AFC off	$V_{5\text{-}13}$	5	6	7	V
AFC output resistance		$R_{5\text{-}13}$	–	500	–	Ω
AFC switch: level below which AFC output switches off		$V_{6\text{-}13}$	1,4	2,0	2,8	V
AFC switch current	during AFC on	I_6	–	200	500	µA
Max. AFC switch current	during AFC off; $V_{6\text{-}13}$ = 0 V	I_6	–	–	5	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes to the characteristics

1. All input signals are measured r.m.s. at top sync and 38,9 MHz.
2. Measured with 0 dB = 200 μV.
3. Tuner AGC starting point is defined as 'level of input signal when tuner AGC current = 1 mA'.
4. Measured with pin 3 connected via 39 kΩ resistor to V_{CC} (pin 11), with an r.m.s. voltage of 10 mV top sync input signal and with pin 12 not loaded.
5. At the 'projected zero point', e.g. with switched demodulator.
6. Measured in the circuit of Fig. 7:

   the differential gain is expressed as a percentage of the difference in peak amplitudes between the largest and smallest value relative to the subcarrier amplitude at blanking level;

   the differential phase is defined as 'the difference (in degrees) between the largest and smallest phase angles'.
7. Measured according to the test line shown in Fig. 9:

   the non-linearity is expressed as a percentage of the maximum deviation of a luminance step from the mean step, with respect to the mean step;

   the mean step is (white level − black level) divided by the number of steps.
8. Measured up to 45 dB gain control.
9. Test set-up and input conditions for intermodulation measurements as in Figs 6 and 7.
10. Measured with a 75 Ω source:

    $$S/(S+N) = 20 \log \frac{V_{out\ black\ to\ white}}{V_{n(rms)}\ at\ B = 5\ MHz}.$$
11. Video output waveform showing white spot and noise inverter threshold levels.
12. Measured with input signal $V_{1\text{-}16}$ = 10 mV and with no load at AFC output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

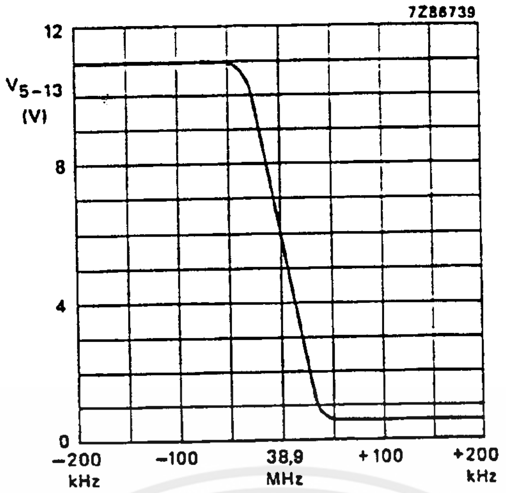


Fig. 2 AFC output voltage as a function of frequency.

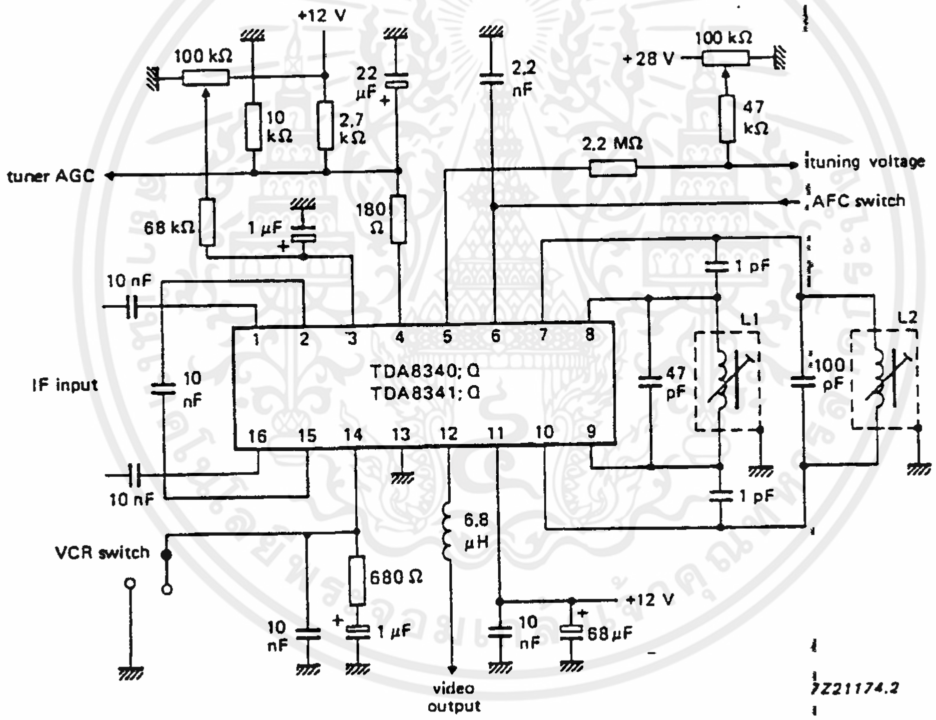


Fig. 3 Typical application circuit diagram;
Q of L1 and L2 = 80; f_o = 38,9 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

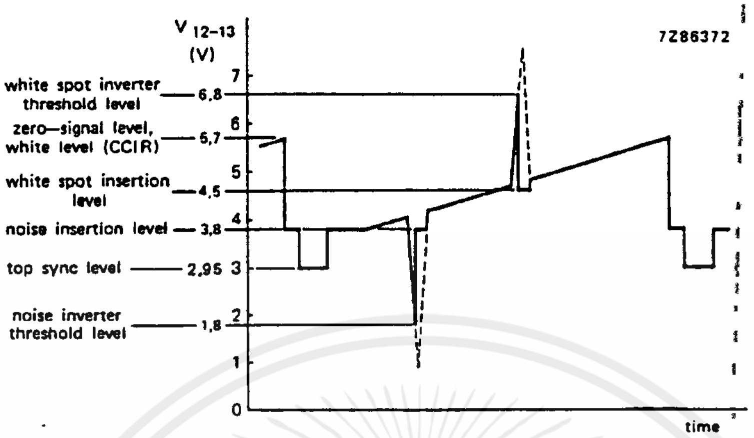


Fig. 4 Video output waveform showing white spot and noise inverter threshold levels.

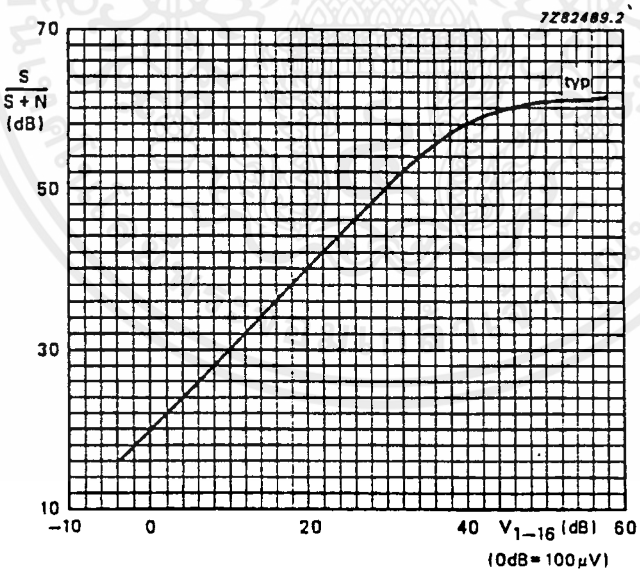
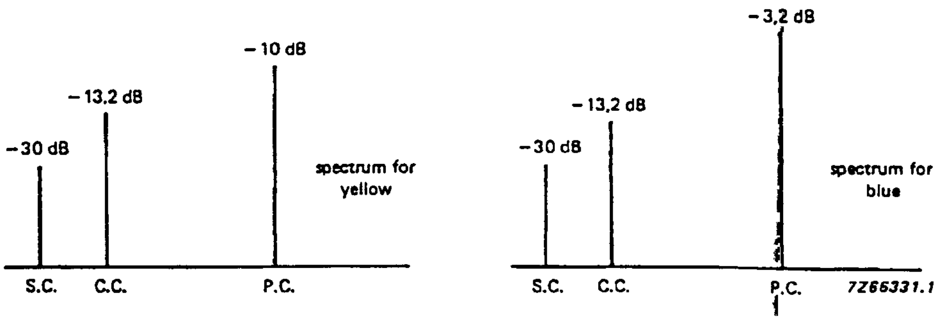


Fig. 5 Signal-to-noise ratio as a function of input voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



S.C.: sound carrier level
C.C.: chrominance carrier level } with respect to top sync level
P.C.: picture carrier level

Fig. 6 Input conditions for intermodulation measurements; standard colour bar with 75% contrast.

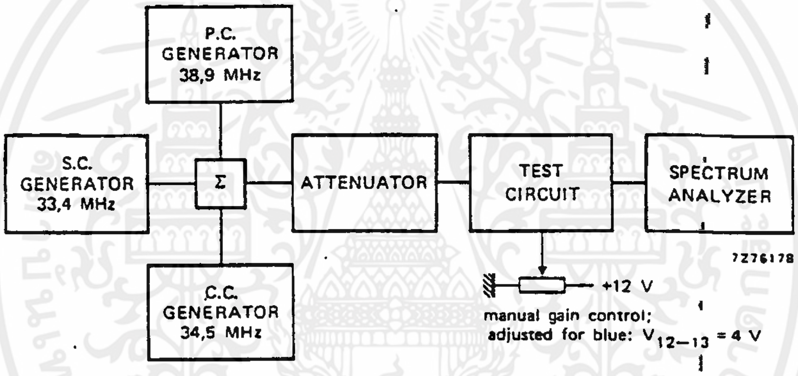


Fig. 7 Test set-up for intermodulation measurements.

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

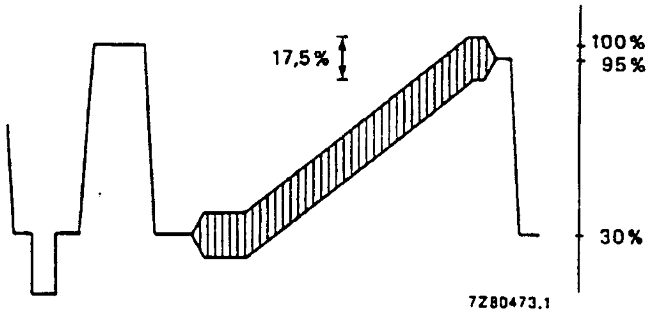


Fig. 8 Video output signal.

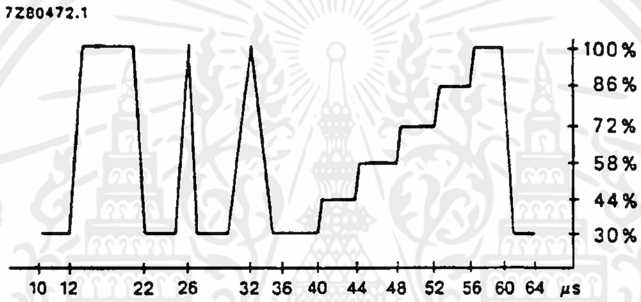


Fig. 9 E.B.U. test signal waveform (line 330).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

256 x 8-bit CMOS EEPROMS with I²C-bus interface

PCX8582X-2 Family

FEATURES

- Low power CMOS
  - maximum active current 2.0 mA
  - maximum standby current 10 µA (at 6.0 V), typical 4 µA
- Non-volatile storage of 2-Kbits organized as 256 × 8-bits
- Single supply with full operation down to 2.5 V
- On-chip voltage multiplier
- Serial input/output I²C-bus
- Write operations
  - byte write mode
  - 8-byte page write mode (minimizes total write time per byte)
- Read operations
  - sequential read
  - random read
- Internal timer for writing (no external components)
- Power-on reset
- High reliability by using a redundant storage code
- Endurance
  - >500 k E/W-cycles at T_{amb} = 22 °C
- 40 years non-volatile data retention time (typ.)
- Pin and address compatible to
  - PCX8570, PCF8571, PCF8572 and PCF8581
  - PCX8494X-2, PCX8598X-2 -Family.

DESCRIPTION

The PCX8582X-2 is a 2-Kbit (256 × 8-bit) floating gate electrically erasable programmable read only memory (EEPROM). By using an internal redundant storage code it is fault tolerant to single bit errors. This feature dramatically increases reliability compared to conventional EEPROM memories.

Power consumption is low due to the full CMOS technology used. The programming voltage is generated on-chip, using a voltage multiplier.

As data bytes are received and transmitted via the serial I²C-bus, a package using eight pins is sufficient. Up to eight PCX8582X-2 devices may be connected to the I²C-bus. Chip select is accomplished by three address inputs (A0, A1, A2).

Timing of the ERASE/WRITE cycle is carried out internally, thus no external components are required. Pin 7 (PTC) must be connected to either V_{DD} or left open-circuit.

There is an option of using an external clock for timing the length of an ERASE/WRITE cycle.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DD}	supply voltage		2.5	6.0	V
I_{DDR}	supply current READ	f_{SCL} = 100 kHz			
		V_{DD} = 3 V	–	60	µA
		V_{DD} = 6 V	–	200	µA
I_{DDW}	supply current ERASE/WRITE	f_{SCL} = 100 kHz			
		V_{DD} = 3 V	–	0.6	mA
		V_{DD} = 6 V	–	2.0	mA
I_{DDSB}	supply current STANDBY	V_{DD} = 3 V	–	3.5	µA
		V_{DD} = 6 V	–	10	µA

7110826 0086479 733

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			TEMPERATURE (°C)		SUPPLY (V)	
	NAME	DESCRIPTION	VERSION	MIN.	MAX.	MIN.	MAX.
PCF8582C-2P	DIP8	plastic dual in-line package; 8 leads (300 mil)	SOT97-1	−40	+85	2.5	6.0
PCD8582D-2P				−25	+70	3.0	6.0
PCF8582E-2P				−40	+85	4.5	5.5
PCA8582F-2P				−40	+125	4.5	5.5
PCF8582C-2T	SO8	plastic small outline package; 8 leads; body width 3.9 mm	SOT96-1	−40	+85	2.5	6.0
PCD8582D-2T				−25	+70	3.0	6.0
PCF8582E-2T				−40	+85	4.5	5.5
PCA8582F-2T				−40	+125	4.5	5.5

DEVICE SELECTION

Table 1 Device selection code

SELECTION	DEVICE CODE				CHIP ENABLE			R/$\overline{W}$
Bit	b7[1]	b6	b5	b4	b3	b2	b1	b0
Device	1	0	1	0	A2	A1	A0	R/$\overline{W}$

Note

1. The MSB b7 is sent first.

Table 2 Endurance and data retention guarantees

DEVICE	ENDURANCE E/W CYCLES	DATA RETENTION YEARS
PCF8582C-2; PCA8582F-2	500000[1]	40

Note

1. At the time of publication of this data sheet the statistical history was not yet sufficient to guarantee 1000000000 E/W cycle performance for these types.

7110826 0086480 455

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

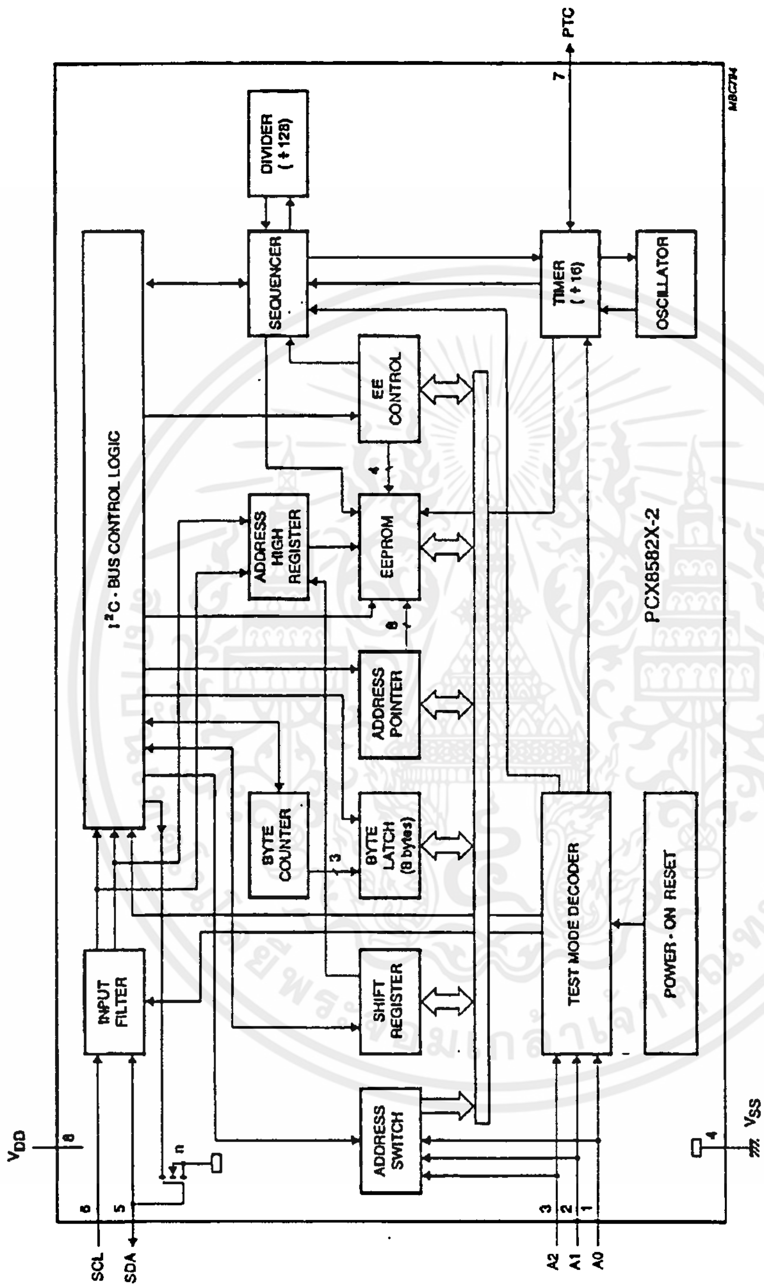


Fig.1 Block diagram.

7110826 0086481 391

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
A0	1	address input 0
A1	2	address input 1
A2	3	address input 2
V_{SS}	4	negative supply voltage
SDA	5	serial data input/output (I²C-bus)
SCL	6	serial clock input (I²C-bus)
PTC	7	programming time control output
V_{DD}	8	positive supply voltage

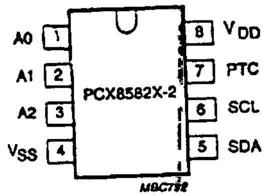


Fig.2 Pin configuration.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DD}	supply voltage		−0.3	+7.0	V
V_I	voltage on any input pin	$\|Z_I\| > 500\ \Omega$	$V_{SS} - 0.8$	$V_{DD} + 0.8$	V
I_I	current on any input pin		–	1	mA
I_O	output current		–	10	mA
T_{stg}	storage temperature		−65	+150	°C
T_{amb}	operating ambient temperature				
	PCF8582C-2; PCF8582E-2		−40	+85	°C
	PCD8582D-2		−25	+70	°C
	PCA8582F-2		−40	+125	°C

7110826 0086482 228

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

PCF8582C-2: V_{DD} = 2.5 to 6.0 V; V_{SS} = 0 V; T_{amb} = −40 to +85 °C; unless otherwise specified.
PCD8582D-2: V_{DD} = 3.0 to 6.0 V; V_{SS} = 0 V; T_{amb} = −25 to +70 °C; unless otherwise specified.
PCF8582E-2: V_{DD} = 4.5 to 5.5 V; V_{SS} = 0 V; T_{amb} = −40 to +85 °C; unless otherwise specified.
PCA8582F-2: V_{DD} = 4.5 to 5.5 V; V_{SS} = 0 V; T_{amb} = −40 to +125 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
Supplies					
V_{DD}	supply voltage				
	PCF8582C-2		2.5	6.0	V
	PCD8582D-2		3.0	6.0	V
	PCF8582E-2; PCA8582F-2		4.5	5.5	V
I_{DDR}	supply current READ	f_{SCL} = 100 kHz			
	PCF8582C-2; PCD8582D-2	V_{DD} = 3.0 V	–	60	µA
		V_{DD} = 6.0 V	–	200	µA
	PCF8582E-2; PCA8582F-2	V_{DD} = 5.5 V	–	200	µA
I_{DDW}	supply current ERASE/WRITE	f_{SCL} = 100 kHz			
	PCF8582C-2; PCD8582D-2	V_{DD} = 3.0 V	–	0.6	mA
		V_{DD} = 6.0 V	–	2.0	mA
	PCF8582E-2; PCA8582F-2	V_{DD} = 5.5 V	–	2.0	mA
I_{DDSB}	supply current STANDBY	f_{SCL} = 100 kHz			
	PCF8582C-2; PCD8582D-2	V_{DD} = 3.0 V	–	3.5	µA
		V_{DD} = 6.0 V	–	10	µA
	PCF8582E-2; PCA8582F-2	V_{DD} = 5.5 V	–	10	µA
PTC input (pin 7)					
V_{IL}	LOW level input voltage		−0.8	$0.1V_{DD}$	V
V_{IH}	HIGH level input voltage		$0.9V_{DD}$	V_{DD} + 0.8	V
SCL input (pin 6)					
V_{IL}	LOW level input voltage		−0.8	$0.3V_{DD}$	V
V_{IH}	HIGH level input voltage		$0.7V_{DD}$	V_{DD} + 0.8	V
I_{LI}	input leakage current	V_I = V_{DD} or V_{SS}	–	±1	µA
f_{SCL}	clock input frequency		0	100	kHz
C_I	input capacitance	V_I = V_{SS}	–	7	pF
SDA input/output (pin 5)					
V_{IL}	LOW level input voltage		−0.8	$0.3V_{DD}$	V
V_{IH}	HIGH level input voltage		$0.7V_{DD}$	V_{DD} + 0.8	V
V_{OL}	LOW level output voltage	I_{OL} = 3 mA; $V_{DD(min)}$	–	0.4	V
I_{LO}	output leakage current	V_{OH} = V_{DD}	–	1	µA
C_I	input capacitance	V_I = V_{SS}	–	7	pF
Data retention time					
t_S	data retention time	T_{amb} = 55 °C	10	–	years

7110826 0086483 164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE LIMITS

Selection of the chip address is achieved by connecting the A0, A1 and A2 inputs to either V_{SS} or V_{DD}.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ERASE/WRITE cycle timing						
$t_{E/W}$	ERASE/WRITE cycle time					
	internal oscillator		–	7	–	ms
	external clock		4	–	10	ms
Endurance						
$N_{E/W}$	ERASE/WRITE cycle per byte					
	PCF8582C-2	T_{amb} = 85 °C; $t_{E/W}$ = 4 to 10 ms	100000	–	–	cycles
		T_{amb} = 22 °C; $t_{E/W}$ = 5 ms	500000	–	–	cycles
	PCD8582D-2	T_{amb} = −25 to +70 °C; $t_{E/W}$ = 4 to 10 ms	10000	–	–	cycles
		T_{amb} = −25 to +40 °C; $t_{E/W}$ = 5 ms	100000	–	–	cycles
	PCF8582E-2	T_{amb} = −40 to +85 °C; $t_{E/W}$ = 4 to 10 ms	10000	–	–	cycles
		T_{amb} = 22 °C; $t_{E/W}$ = 5 ms	100000	–	–	cycles
	PCA8582F-2	T_{amb} = 125 °C; $t_{E/W}$ = 4 to 10 ms	50000	–	–	cycles
		T_{amb} = 85 °C; $t_{E/W}$ = 4 to 10 ms	100000	–	–	cycles
		T_{amb} = 22 °C; $t_{E/W}$ = 5 ms	500000	–	–	cycles

7110826 0086484 0T0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I^2C-BUS PROTOCOL

The I^2C-bus is for 2-way, 2-line communication between different ICs or modules. The serial bus consists of two bidirectional lines: one for data signals (SDA), and one for clock signals (SCL).

Both the SDA and SCL lines must be connected to a positive supply voltage via a pull-up resistor.

The following protocol has been defined:

- Data transfer may be initiated only when the bus is not busy.
- During data transfer, the data line must remain stable whenever the clock line is HIGH. Changes in the data line while the clock line is HIGH will be interpreted as control signals.

The following bus conditions have been defined:

- **Bus not busy:** both data and clock lines remain HIGH.
- **Start data transfer:** a change in the state of the data line, from HIGH-to-LOW, while the clock is HIGH, defines the start condition.
- **Stop data transfer:** a change in the state of the data line, from LOW-to-HIGH, while the clock is HIGH, defines the stop condition.
- **Data valid:** the state of the data line represents valid data when, after a start condition, the data line is stable for the duration of the HIGH period of the clock signal. There is one clock pulse per bit of data.

Each data transfer is initiated with a start condition and terminated with a stop condition; the number of the data bytes, transferred between the start and stop conditions is limited to seven bytes in the ERASE/WRITE mode and eight bytes in the PAGE ERASE/WRITE mode. Data transfer is unlimited in the READ mode. The information is transmitted in bytes and each receiver acknowledges with a ninth bit.

Within the I^2C-bus specifications a low-speed mode (2 kHz clock rate) and a high speed mode (100 kHz clock rate) are defined.

The PCX8582X-2 operates in both modes.

By definition a device that sends a signal is called a 'transmitter', and the device which receives the signal is called a 'receive'. The device which controls the signal is called the 'master'. The devices that are controlled by the master are called 'slaves'.

Each byte is followed by one acknowledge bit. This acknowledge bit is a HIGH level, put on the bus by the transmitter. The master generates an extra acknowledge related clock pulse. The slave receiver which is addressed is obliged to generate an acknowledge after the reception of each byte.

The master receiver must generate an acknowledge after the reception of each byte that has been clocked out of the slave transmitter.

The device that acknowledges has to pull down the SDA line during the acknowledge clock pulse in such a way that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse.

Set-up and hold times must be taken into account. A master receiver must signal an end of data to the slave transmitter by not generating an acknowledge on the last byte that has been clocked out of the slave. In this event the transmitter must leave the data line HIGH to enable the master generation of the stop condition.

DEVICE ADDRESSING

Following a start condition the bus master must output the address of the slave it is accessing. The most significant four bits of the slave address are the device type identifier (see Fig.3). For the PCX8582X-2 this is fixed as 1010.

1	0	1	0	A2	A1	A0	R/$\overline{W}$

MBC793

Fig.3 Slave address.

The next three significant bits address a particular device. A system could have up to eight PCX8582X-2 devices on the bus. The eight addresses are defined by the state of the A0, A1 and A2 inputs.

The last bit of the slave address defines the operation to be performed. When set to logic 1 a read operation is selected.

Address bits must be connected to either V_{DD} or V_{SS}.

7110826 0086485 T37

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE OPERATIONS

Byte/word write

For a write operation the PCX8582X-2 requires a second address field. This address field is a word address providing access to the 256 words of memory. Upon receipt of the word address the PCX8582X-2 responds with an acknowledge and awaits the next eight bits of data, again responding with an acknowledge. Word address is automatically incremented. The master can now terminate the transfer by generating a stop condition or transmit up to six more bytes of data and then terminate by generating a stop condition.

After this stop condition the ERASE/WRITE cycle starts and the bus is free for another transmission. Its duration is 7 ms (typ.) per byte.

During the ERASE/WRITE cycle the slave receiver does not send an acknowledge bit if addressed via the I²C-bus.

PAGE WRITE

The PCX8582X-2 is capable of an eight-byte page write operation. It is initiated in the same manner as the byte write operation. The master can transmit eight data bytes within one transmission. After receipt of each byte the PCX8582X-2 will respond with an acknowledge. The typical ERASE/WRITE time in this mode is 9×7 ms = 63 ms.

After the receipt of each data byte the three low order bits of the word address are internally incremented. The high order five bits of the address remain unchanged. If the master transmits more than eight bytes prior to generating the stop condition, no acknowledge will be given on the ninth (and following) data bytes and the whole transmission will be ignored. As in the byte write operation, all inputs are disabled until completion of the internal write cycles.

7110826 0086486 973

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Universal asynchronous receiver/transmitter (UART) SCC2691

DESCRIPTION

The Philips Semiconductors SCC2691 Universal Asynchronous Receiver/Transmitter (UART) is a single-chip CMOS-LSI communications device that provides a full-duplex asynchronous receiver/transmitter. It is fabricated with Philips Semiconductors CMOS technology which combines the benefits of high density and low power consumption.

The operating speed of the receiver and transmitter can be selected independently as one of 18 fixed baud rates, a 16X clock derived from a programmable counter/timer, or an external 1X or 16X clock. The baud rate generator and counter/timer can operate directly from a crystal or from external clock inputs. The ability to independently program the operating speed of the receiver and transmitter make the UART particularly attractive for dual-speed channel applications such as clustered terminal systems.

The receiver is quadruple buffered to minimize the potential of receiver overrun or to reduce interrupt overhead in interrupt driven systems. In addition, a handshaking capability is provided to disable a remote UART transmitter when the receiver buffer is full.

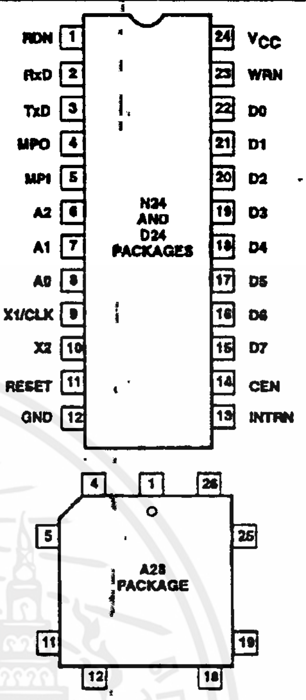
The UART provides a power-down mode in which the oscillator is frozen but the register contents are stored. This results in reduced power consumption on the order of several magnitudes.

The UART is fully TTL compatible and operates from a single +5V power supply.

FEATURES

- Full-duplex asynchronous receiver/transmitter
- Quadruple buffered receiver data register
- Programmable data format:
  - 5 to 8 data bits plus parity
  - Odd, even, no parity or force parity
  - 1, 1.5 or 2 stop bits programmable in 1/16-bit increments
- 16-bit programmable Counter/Timer
- Baud rate for the receiver and transmitter selectable from:
  - 22 fixed rates: 50 to 115.2K baud
  - Non-standard rates to 115.2kb
  - Non-standard user-defined rate derived from programmable timer/ counter
  - External 1X or 16X clock
- Parity, framing, and overrun detection
- False start bit detection
- Line break detection and generation
- Programmable channel mode
  - Normal (full-duplex)
  - Automatic echo
  - Local loopback
  - Remote Loopback
- Multi-function programmable 16-bit counter/timer

PIN CONFIGURATIONS



Pin	Symbol	Pin	Symbol
1	VCC	15	GND
2	RDN	16	INTRN
3	RxD	17	CEN
4	TxD	18	D7
5	MPO	19	D6
6	MPI	20	D5
7	NC	21	D4
8	NC	22	D3
9	A2	23	NC
10	A1	24	D2
11	A0	25	D1
12	X1/CLK	26	NC
13	X2	27	D0
14	RESET	28	WRN

SD00122

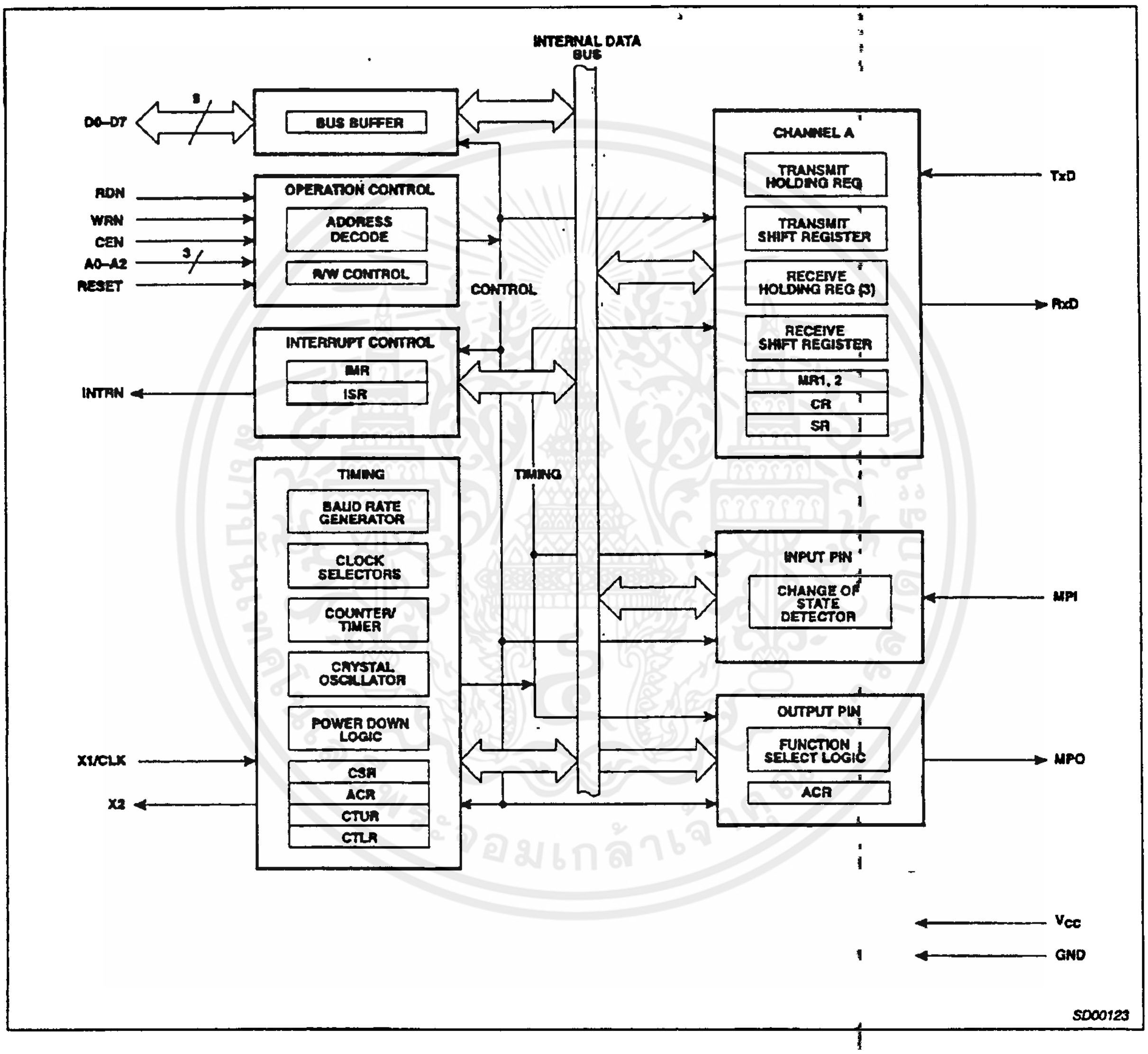
- Single interrupt output with seven maskable interrupting conditions
- On-chip crystal oscillator
- Low power mode
- TTL compatible
- Single +5V power supply
- Commercial (0°C to +70°C) and Industrial (-40°C to +85°C) temperature versions available
- SOL, PLCC and 300 mil wide DIP packages available

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

PACKAGES	COMMERCIAL V_{CC} = +5V ±10%, T_A = 0°C to +70°C	INDUSTRIAL V_{CC} = +5V ±10%, T_A = –40°C to +85°C	DWG #
24-Pin Plastic Dual In-Line Package (DIP)	SCC2691AC1N24	SCC2691AE1N24	0410D
28-Pin Plastic Leaded Chip Carrier (PLCC) Package	SCC2691AC1A28	SCC2691AE1A28	SOT261-3
24-Pin Plastic Small Outline Large (SOL) Package	SCC2691AC1D24		SOT137-1

BLOCK DIAGRAM



7110826 0090123 4T1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

MNEMONIC	PIN NO.		TYPE	NAME AND FUNCTION
	DIP	PLCC		
D0–D7	22–15	27, 25, 24, 22–18	I	**Data Bus:** Active-high 8-bit bidirectional 3-State data bus. Bit 0 is the LSB and bit 7 is the MSB. All data, command, and status transfers between the CPU and the UART take place over this bus. The direction of the transfer is controlled by the WRN and RDN inputs when the CEN input is low. When the CEN input is high, the data bus is in the 3-State condition.
CEN	14	17	I	**Chip Enable:** Active-low input. When low, data transfers between the CPU and the UART are enabled on D0–D7 as controlled by the WRN, RDN and A0–A2 inputs. When CEN is high, the UART is effectively isolated from the data bus and D0–D7 are placed in the 3-State condition.
WRN	23	28	I	**Write Strobe:** Active-low input. A low on this pin while CEN is low causes the contents of the data bus to be transferred to the register selected by A0–A2. The transfer occurs on the trailing (rising) edge of the signal.
RDN	1	2	I	**Read Strobe:** Active-low input. A low on this pin while CEN is low causes the contents of the register selected by A0–A2 to be placed on the data bus. The read cycle begins on the leading (falling) edge of RDN.
A0–A2	8–6	11–9	I	**Address Inputs:** Active-high address inputs to select the UART registers for read/write operations.
RESET	11	14	I	**Reset:** Master reset. A high on this pin clears the status register (SR), the interrupt mask register (IMR), and the interrupt status register (ISR), sets the mode register pointer to MR1, and places the receiver and transmitter in the inactive state causing the TxD output to go to the marking (high) state. Clears Test modes.
INTRN	13	16	O	**Interrupt Request:** This active-low output is asserted upon occurrence of one or more of seven maskable interrupting conditions. The CPU can read the interrupt status register to determine the interrupting condition(s). This open-drain output requires a pull-up resistor.
X1/CLK	9	12	I	**Crystal 1:** Crystal or external clock input. When using the crystal oscillator, this pin serves as the connection for one side of the crystal. If a crystal is not used, an external clock is supplied at this input. An external clock (or crystal) is required even if the internal baud rate generator is not utilized. This clock is used to drive the internal baud rate generator, as an optional input to the timer/counter, and to provide other clocking signals required by the chip.
X2	10	13	I	**Crystal 2:** Connection for other side of crystal. If an external source is used instead of a crystal, this connection should be open.
RxD	2	3	I	**Receiver Serial Data Input:** The least significant bit is received first. If external receiver clock is specified, this input is sampled on the rising edge of the clock.
TxD	3	4	O	**Transmitter Serial Data Output:** The least significant bit is transmitted first. This output is held in the marking (high) condition when the transmitter is idle or disabled and when the UART is operating in local loopback mode. If external transmitter is specified, the data is shifted on the falling edge of the transmitter clock.
MPO	4	5	O	**Multi-Purpose Output:** One of the following functions can be selected for this output pin by programming the auxiliary control register: **RTSN** – Request to send active-low output. This output is asserted and negated via the command register. By appropriate programming of the mode registers, RTSN can be programmed to be automatically reset after the character in the transmitter is completely shifted or when the receiver FIFO and shift register are full. **C/TO** – The counter/timer output. **TxC1X** – The 1X clock for the transmitter. **TxC16X** – The 16X clock for the transmitter. **RxC1X** – The 1X clock for the receiver. **RxC16X** – The 16X clock for the receiver. **TxRDY** – The transmitter holding register empty signal. Active-low output. **RxRDY/FFULL** – The receiver FIFO not empty/full signal. Active-low output.
MPI	5	6	I	**Multi-Purpose Input:** This pin can serve as an input for one of the following functions: **GPI** – General purpose input. The current state of the pin can be determined by reading the ISR. **CTSN** – Clear-to-send active-low input. **CTCLK** – Counter/timer external clock input. **RTCLK** – Receiver and/or transmitter external clock input. This may be a 1X or 16X clock as programmed by CSR[3:0] or CSR[7:4].
V_{CC}	24	1	I	**Power Supply:** +5V supply input.
GND	12	15	I	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS[1]

SYMBOL	PARAMETER	RATING	UNIT
T_A	Operating ambient temperature range[2]	Note 4	°C
T_{STG}	Storage temperature range	−65 to +150	°C
V_{CC}	Voltage from V_{CC} to GND[3]	−0.5 to + 7.0	V
V_S	Voltage from any pin to ground[3]	−0.5 to V_{CC} ±10%	V
P_D	Power Dissipation	300	mW

NOTES:
1. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operation section of this specification is not implied.
2. For operating at elevated temperature, the device must be derated based on +150°C maximum junction temperature.
3. This product includes circuitry specifically designed for the protection of its internal devices from damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying any voltages larger than the rated maxima.
4. Parameters are valid over specified temperature range. See Ordering Information table for applicable operating temperature and V_{CC} supply range.

DC ELECTRICAL CHARACTERISTICS[1, 2, 3]

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS Min	Typ	Max	UNIT
V_{IL}	Input low voltage				0.8	V
V_{IH}	Input high voltage					
	All except X1/CLK		2			V
	X1/CLK		$0.8V_{CC}$		V_{CC}	V
V_{OL}	Output low voltage	I_{OL} = 2.4mA			0.4	V
V_{OH}[4]	Output high voltage (except open drain outputs)	I_{OH} = −400µA	2.4			V
I_{IL}	Input leakage current	V_{IN} = 0 to V_{CC}	−10		10	µA
I_{LL}	Data bus 3-State leakage current	V_O = 0.4 to V_{CC}	−10		10	µA
I_{OD}	Open-drain output leakage current	V_O = 0.4 to V_{CC}	−10		10	µA
I_{X1L}	X1/CLK low input current	V_{IN} = 0, X2 floated	−100	−30	0	µA
I_{X1H}	X1/CLK high input current	V_{IN} = V_{CC}, X2 floated	0	30	100	µA
I_{X2L}	X2 low output current	V_{OUT} = 0, X1/CLK = V_{CC}	−100			µA
I_{X2H}	X2 high output current	V_{OUT} = V_{CC}, X1/CLK = 0V			100	µA
I_{CCA}	Power supply current, active					
	0°C to +70°C			0.8	2.0	mA
	−40°C to +85°C			1.0	2.5	mA
I_{CCD}	Power down current[5]				500	µA

NOTES:
1. Parameters are valid over specified temperature range. See Ordering Information table for applicable operating temperature and V_{CC} supply range.
2. All voltage measurements are referenced to ground (GND). For testing, all input signals swing between 0V and 3.0V with a transition time of 20ns max. For X1/CLK, this swing is between 0.4V and 4.0V. All time measurements are referenced at input voltages of 0.8V and 2V and output voltages of 0.8V and 2V as appropriate.
3. Typical values are at +25°C, typical supply voltages, and typical processing parameters.
4. Test condition for outputs: C_L = 150pF, except interrupt outputs. Test conditions for interrupt outputs: C_L = 50pF, R_L = 2.7kΩ to V_{CC}.
5. For power down current levels in the 1µA region see the UART application note.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS[1, 2, 3, 4]

SYMBOL	PARAMETER	LIMITS			UNIT
		Min	Typ	Max	
Reset timing (Figure 1)					
t_{RES}	Reset pulse width	100			ns
Bus timing (Figure 2)[5]					
t_{AS}	A0–A2 setup time to RDN, WRN low	10			ns
t_{AH}	A0–A2 hold time from RDN, WRN low	100			ns
t_{CS}	CEN setup time to RDN, WRN low	0			ns
t_{CH}	CEN hold time from RDN, WRN high	0			ns
t_{RW}	WRN, RDN pulse width	150			ns
t_{DD}	Data valid after RDN low			125	ns
t_{DF}	Data bus floating after RDN high			110	ns
t_{DS}	Data setup time before WRN high	50			ns
t_{DH}	Data hold time after WRN high	30			ns
t_{RWD}	Time between reads and/or writes[6, 7]	150			ns
MPI and MPO timing (Figure 3)[5]					
t_{PS}	MPI input setup time before RDN low	30			ns
t_{PH}	MI input hold time after RDN low	30			ns
t_{PD}	MPO output valid after WRN high			370	ns
Interrupt timing (Figure 4)					
t_{IR}	INTRN negated				
	Read RHR (RxRDY/FFULL interrupt)			370	ns
	Write THR (TxRDY, TxEMT interrupt)			370	ns
	Reset command (break change interrupt)			370	ns
	Reset command (MPI change interrupt)			370	ns
	Stop C/T command (counter interrupt)			370	ns
	Write IMR (clear of interrupt mask bit)			270	ns
Clock timing (Figure 5)					
t_{CLK}	X1/CLK high or low time	100			ns
f_{CLK}	X1/CLK frequency[9]	0		4.0	MHz
t_{CTC}	Counter/timer clock high or low time	100			ns
f_{CTC}	Counter/timer clock frequency	0[8]		4.0M	Hz
t_{RX}	RxC high or low time	220			ns
f_{RX}	RxC frequency (16X)	0[8]	3.6864	2.0M	Hz
	RxC frequency (1X)	0[8]		1.0M	Hz
t_{TX}	TxC high or low time	220			ns
f_{TX}	TxC frequency (16X)	0[8]		2.0M	Hz
	TxC frequency (1X)	0[8]		1.0M	Hz
Transmitter timing (Figure 6)					
t_{TXD}	TxD output delay from TxC low			350	ns
t_{TCS}	TxC output delay from TxD output data	0		150	ns
Receiver timing (Figure 7)					
t_{RXS}	RxD data setup time to RxC high	100			ns
t_{RXH}	RxD data hold time from RxC high	100			ns

NOTES:

1. Parameters are valid over specified temp. range. See Ordering Information table for applicable operating temp. and V_{CC} supply range.
2. All voltage measurements are referenced to ground (GND). For testing, all input signals swing between 0V and 3.0V with a transition time of 20ns max. For X1/CLK, this swing is between 0.4V and 4.0V. All time measurements are referenced at input voltages of 0.8V and 2V and output voltages of 0.8V and 2V as appropriate.
3. Typical values are at +25°C, typical supply voltages, and typical processing parameters.
4. Test condition for outputs: C_L = 150pF, except interrupt outputs. Test conditions for interrupt outputs: C_L = 50pF, R_L = 2.7kΩ to V_{CC}.
5. Timing is illustrated and referenced to the WRN and RDN inputs. The device may also be operated with CEN as the 'strobing' input. In this case, all timing specifications apply referenced to the falling and rising edges of CEN. CEN and RDN (also CEN and WRN) are ORed internally. As a consequence, this signal asserted last initiates the cycle and the signal negated first terminates the cycle.
6. If CEN is used as the 'strobing' input, this parameter defines the minimum high time between one CEN and the next. The RDN signal must be negated for t_{RWD} guarantee that any status register changes are valid.
7. Consecutive write operations to the command register require at least three rising edges of the X1 clock between writes.
8. These parameters are guaranteed by design, but are not 100% tested in production.
9. Operation to 0MHz is assured by design. Minimum test frequency is 2MHz.

7110826 0090126 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

As shown in the block diagram, the UART consists of: data bus buffer, interrupt control, operation control, timing, receiver and transmitter.

Data Bus Buffer

The data bus buffer provides the interface between the external and internal data busses. It is controlled by the operation control block to allow read and write operations to take place between the controlling CPU and UART.

Interrupt Control

A single interrupt output (INTRN) is provided which may be asserted upon occurrence of any of the following internal events:

- Transmit holding register ready
- Transmit shift register empty
- Receive holding register ready or FIFO full
- Change in break received status
- Counter reached terminal count
- Change in MPI input
- Assertion of MPI input

Associated with the interrupt system are the interrupt mask register (IMR) and the interrupt status register (ISR). The IMR can be programmed to select only certain of the above conditions to cause INTRN to be asserted. The ISR can be read by the CPU to determine all currently active interrupting conditions. However, the bits of the ISR are not masked by the IMR.

Operation Control

The operation control logic receives operation commands from the CPU and generates appropriate signals to internal sections to control device operation. It contains address decoding and read and write circuits to permit communications with the microprocessor via the data bus buffer. The functions performed by the CPU read and write operations are shown in Table 1.

Table 1. Register Addressing

A2	A1	A0	READ (RDN = 0)	WRITE (WRN = 0)
0	0	0	MR1, MR2	MR1, MR2
0	0	1	SR	CSR
0	1	0	BRG Test	CR
0	1	1	RHR	THR
1	0	0	1X/16X Test	ACR
1	0	1	ISR	IMR
1	1	0	CTU	CTUR
1	1	1	CTL	CTLR

NOTE: *
*Reserved registers should never be read during operation since they are reserved for internal diagnostics.
ACR = Auxiliary control register
CR = Command register
CSR = Clock select register
CTL = Counter/timer lower output register
CTLR = Counter/timer lower preset register
CTU = Counter/timer upper output register
CTUR = Counter/timer upper preset register
MR = Mode register A
SR = Status register
THR = Tx holding register

* See Table 6 for BRG Test frequencies in this data sheet, and *"Extended baud rates for SCN2681, SCN68681, SCC2691, SCC2692, SCC68681 and SCC2698B"* Philips Semiconductors ICs for Data Communications, IC-19, 1994.

Mode registers 1 and 2 are accessed via an auxiliary pointer. The pointer is set to MR1 by RESET or by issuing a reset pointer command via the command register. Any read or write of the mode register while the pointer is at MR1 switches the pointer to MR2. the pointer then remains at MR2 so that subsequent accesses are to MR2, unless the pointer is reset to MR1 as described above.

Timing Circuits

The timing block consists of a crystal oscillator, a baud rate generator, a programmable 16-bit counter/timer, and two clock selectors.

The crystal oscillator operates directly from a 3.6864MHz crystal connected across the X1/ CLK and X2 inputs with a minimum of external components. If an external clock of the appropriate frequency is available, it may be connected to X1/CLK. If an external clock is used instead of a crystal, X1/CLK is driven using a configuration similar to the one in Figure 5. In this case, the input high-voltage must be capable of attaining the voltage specified in the DC Electrical Characteristics. The clock serves as the basic timing reference for the baud rate generator (BRG), the counter/timer, and other internal circuits. A clock frequency, within the limits specified in the electrical specifications, must be supplied if the internal BRG is not used.

The baud rate generator operates from the oscillator or external clock input and is capable of generating 18 commonly used data communications baud rates ranging from 50 to 38.4K baud. Thirteen of these are available simultaneously for use by the receiver and transmitter. Eight are fixed, and one of two sets of five can be selected by programming ACR[7]. The clock outputs from the BRG are at 16X the actual baud rate. The counter/timer can be used as a timer to produce a 16X clock for any other baud rate by counting down the crystal clock or an external clock. The clock selectors allow the independent selection by the receiver and transmitter of any of these baud rates or an external timing signal.

Counter/Timer (C/T)

The C/T operation is programmed by ACR[6:4]. One of eight timing sources can be used as the input to the C/T. The output of the C/T is available to the clock selectors and can be programmed by ACR[2:0] to be output on the MPO pin.

In the timer mode, the C/T generates a square wave whose period is twice the number of clock periods loaded into the C/T upper and lower registers. The counter ready bit in the ISR is set once each cycle of the square wave. If the value in CTUR or CTLR is changed, the current half-period will not be affected, but subsequent half-periods will be affected. In this mode the C/T runs continuously and does not recognize the stop counter command (the command only resets the counter ready bit in the ISR). Receipt of a start C/T command causes the counter to terminate the current timing cycle and to begin a new cycle using the values in CTUR and CTLR.

In the counter mode, the C/T counts down the number of pulses loaded into CTUR and CTLR. Counting begins upon receipt of a start C/T command. Upon reaching terminal count, the counter ready bit in the ISR is set. The counter continues counting past the terminal count until stopped by the CPU. If MPO is programmed to be the output of the C/T, the output remains high until terminal count is reached, at which time it goes low. The output returns to the high state and the counter ready bit is cleared when the counter is stopped by a stop counter command. the CPU may change the

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

values of CTUR and CTLR at any time, but the new count becomes effective only on the next start counter command following a stop counter command. If new values have not been loaded, the previous count values are preserved and used for the next count cycle.

In the counter mode, the current value of the upper and lower eight bits of the counter may be read by the CPU. It is recommended that the counter be stopped when reading to prevent potential problems which may occur if a carry from the lower eight bits to the upper eight bits occurs between the times that both halves of the counter are read. However, a subsequent start counter command causes the counter to begin a new count cycle using the values in CTUR and CTLR. See further description in CTUR/CTLR section.

Receiver and Transmitter

The UART is a full-duplex asynchronous receiver/transmitter. The operating frequency for the receiver and transmitter can be selected independently from the baud rate generator, the counter/timer, or from an external input. Registers associated with the communications channel are: the mode registers (MR1 and MR2), the clock select register (CSR), the command register (CR), the status register (SR), the transmit holding register (THR), and the receive holding register (RHR).

Transmitter

The transmitter accepts parallel data from the CPU and converts it to a serial bit stream on the TxD output pin. It automatically sends a start bit followed by the programmed number of data bits, an optional parity bit, and the programmed number of stop bits. The least significant bit is sent first. Following the transmission of the stop bits, if a new character is not available in the THR, the TxD output remains high and the TxEMT bit in the SR will be set to 1. Transmission resumes and the TxEMT bit is cleared when the CPU loads a new character in the THR. In the 16X clock mode, this also resynchronizes the internal 1X transmitter clock so that transmission of the new character begins with minimum delay.

The transmitter can be forced to send a break (continuous low condition) by issuing a start break command via the CR. The break is terminated by a stop break command.

If the transmitter is disabled, it continues operating until the character currently being transmitted and the character in the THR, if any, are completely sent out. Characters cannot be loaded in the THR while the transmitter is disabled.

Receiver

The receiver accepts serial data on the RxD pin, converts the serial input to parallel format, checks for start bit, stop bit, parity bit (if any), or break condition, and presents the assembled character to the CPU. The receiver looks for a high-to-low (mark-to-space) transition of the start bit on the RxD input pin. If a transition is detected, the state of the RxD pin is sampled again each 16X clock for 7-1/2 clocks (16X clock mode) or at the next rising edge of the bit time clock (1X clock mode). If RxD is sampled high, the start bit is invalid and the search for a valid start bit begins again. If RxD is still low, a valid start bit is assumed and the receiver continues to sample the input at one bit time intervals at the theoretical center of the bit, until the proper number of data bits and the parity bit (if any) have been assembled, and one sop bit has been detected. The data is then transferred to the RHR and the RxRDY bit in the SR is set to a 1. If the character length is less than eight bits, the most significant unused bits in the RHR are set to zero.

After the stop bit is detected, the receiver will immediately look for the next start bit. However, if a non-zero character was received without a stop bit (i.e. framing error) and RxD remains low for one-half of the bit period after the stop bit was sampled, then the receiver operates as if a new start bit transition had been detected at that point(one-half bit time after the stop bit was sampled).

The parity error, framing error and overrun error (if any) are strobed into the SR at the received character boundary, before the RxRDY status bit is set.

If a break condition is detected (RxD is low for the entire character including the stop bit), only one character consisting of all zeros will be loaded in the FIFO and the received SR break bit is set to 1. The RxD input must return to high for two (2) clock edges of the X1 crystal clock for the receiver to recognize the end of the break condition and begin the search for a start bit. **This will usually require a high time of one X1 clock period or 3 X1 edges since the clock of the controller is not synchronous to the X1 clock.**

RECEIVER FIFO

The RHR consists of a first-in-first-out (FIFO) queue with a capacity of three characters. Data is loaded from the receive shift register into the top-most empty position of the FIFO. The RxRDY bit in the status register (SR) is set whenever one or more characters are available to be read, and a FFULL status bit is set if all three queue positions are filled with data. Either of these bits can be selected to cause an interrupt. A read of the RHR outputs the data at the top of the FIFO. After the read cycle, the data FIFO and its associated status bits are 'popped' thus emptying a FIFO position for new data.

Receiver Status Bits

In addition to the data word, three status bits (parity error, framing error, and received break) are appended to each data character in the FIFO. Status can be provided in two ways, as programmed by the error mode control bit in mode register 1. In the character mode, status is provided on a character-by-character basis: the status applies only to the character at the top of the FIFO. In the block mode, the status provided in the SR for these three bits is the logical-OR of the status for all characters coming to the top of the FIFO since the last reset error command was issued. In either mode, reading the SR does not affect the FIFO. The FIFO is 'popped' only when the RHR is read. Therefore, the SR should be read prior to reading the corresponding data character.

The receiver can control the deactivation of RTS. If programmed to operate in this mode, the RTSN output will be negated when a valid start bit was received and the FIFO is full. When a FIFO position becomes available, the RTSN output will be re-asserted automatically. This feature can be used to prevent an overrun, in the receiver, by connecting the RTSN output to the CTSN input of the transmitting device.

Receiver Reset and Disable

Receiver disable stops the receiver immediately – data being assembled if the receiver shift register is lost. Data and status in the FIFO is preserved and may be read. A re-enable of the receiver after a disable will cause the receiver to begin assembling characters at the next start bit detected. A receiver reset will discard the present shift register data, reset the receiver ready bit (RxRDY), clear the status of the byte at the top of the FIFO and re-align the FIFO read/write pointers. This has the appearance of "clearing or flushing" the receiver FIFO. In fact, the FIFO is NEVER cleared! The data in the FIFO remains valid until overwritten by another received character. Because of this, erroneous reading or extra reads of the receiver FIFO will miss-align the FIFO pointers and result in the reading of previously read data. A receiver reset will re-align the pointers.

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In addition to the normal transmitter and receiver operation described above, the UART incorporates a special mode which provides automatic wake-up of the receiver through address frame recognition for multi-processor communications. This mode is selected by programming bits MR1[4:3] to '11'.

In this mode of operation, a 'master' station transmits an address character followed by data characters for the addressed 'slave' station. The slave stations, whose receivers are normally disabled, examine the received data stream and 'wake-up' the CPU (by setting RxRDY) only upon receipt of an address character. The CPU compares the received address to its station address and enables the receiver if it wishes to receive the subsequent data characters. Upon receipt of another address character, the CPU may disable the receiver to initiate the process again.

A transmitted character consists of a start bit, the programmed number of data bits, an address/data (A/D) bit, and the programmed number of stop bits. The polarity of the transmitted A/D bit is selected by the CPU by programming bit MR1[2]. MR1[2] = 0 transmits a zero in the A/D bit position which identifies the corresponding data bits as data, while MR1[2] = 1 transmits a one in the A/D bit position which identifies the corresponding data bits as an address. The CPU should program the mode register prior to loading the corresponding data bits in the THR.

While in this mode, the receiver continuously looks at the received data stream, whether it is enabled or disabled. If disabled, it sets the RxRDY status bit and loads the character in the RHR FIFO if the received A/D bit is a one, but discards the received character if the received A/D bit is a zero. If enabled, all received characters are then transferred to the CPU via the RHR. In either case, the data bits are loaded in the data FIFO while the A/D bit is loaded in the status FIFO position normally used for parity error (SR[5]). Framing error, overrun error, and break detect operate normally whether or not the receiver is enabled.

MULTI-PURPOSE INPUT PIN

The MPI pin can be programmed as an input to one of several UART circuits. The function of the pin is selected by programming the appropriate control register (MR2[4]), ACR[6:4], CSR [7:4, 3:0]). Only one of the functions may be selected at any given time. If CTS or GPI is selected, a change of state detector provided with the pin is activated. A high-to-low or low-to-high transition of the inputs lasting longer than 25–50µs sets the MPI change-of-state bit in the interrupt status register. The bit is cleared via a command. The change-of-state can be programmed to generate an interrupt to the CPU by setting the corresponding bit in the interrupt mask register.

The input port pulse detection circuitry uses a 38.4kHz sampling clock derived from one of the baud rate generator taps. This produces a sampling period of slightly more than 25µs (assuming a 3.6864MHz oscillator input). The detection circuitry, in order to guarantee that a true change in level has occurred, requires two successive samples at the new logic level be observed. As a consequence, the minimum duration of the signal change is 25µs if the transition occurs coincident with the first sample pulse. The 50µs time refers to the condition where the change of state is just missed and the first change of state is not detected until after an additional 25µs.

MULT-PURPOSE OUTPUT PIN

This pin can be programmed to serve as a request-to-send output, the counter/timer output, the output for the 1X or 16X transmitter or receiver clocks, the TxRDY output or the RxRDY/FFULL output (see ACR[2:0] – MPO Output Select).

REGISTERS

The operation of the UART is programmed by writing control words in the appropriate registers. Operational feedback is provided via status registers which can be read by the CPU. Addressing of the registers is as described in Table 1.

The contents of certain control registers are initialized to zero on reset (see RESET pin description). Care should be exercised if the contents of a register are changed during operation, since certain changes may cause operational problems. For example, changing the number of bits per character while the transmitter is active may cause the transmission of an incorrect character. The contents of the MR, the CSR, and the ACR should only be changed while the receiver and transmitter are disabled, and certain changes to the ACR should only be made while the C/T is stopped. The bit formats of the UART are shown in Table 2.

MR1 – Mode Register 1

MR1 is accessed when the MR pointer points to MR1. The pointer is set to MR1 by RESET or by a set pointer command applied via the CR. After reading or writing MR1, the pointers are set at MR2.

MR1[7] – Receiver Request-to-Send Control
The bit controls the deactivation of the RTSN output (MPO) by the receiver. This output is normally asserted and negated by commands applied via the command register. MR1[7] = 1 causes RTSN to be automatically negated upon receipt of a valid start bit if the receiver FIFO is full. RTSN is reasserted when an empty FIFO position is available. This feature can be used to prevent overrun in the receiver by using the RTSN output signal to control the CTS input of the transmitting device.

MR1[6] – Receiver Interrupt Select
This bit selects either the receiver ready status (RxRDY) or the FIFO full status (FFULL) to be used for CPU interrupts.

MR1[5] – Error Mode Select
This bit selects the operating mode of the three FIFOed status bits (FE, PE, received break). In the character mode, status is provided on a character-by-character basis. The status applies only to the character at the top of the FIFO. In the block mode, the status provided in the SR for these bits is the accumulation (logical-OR) of the status for all characters coming to the top of the FIFO since the last reset error command was issued.

MR1[4:3] – Parity Mode Select
If with parity or force parity is selected, a parity bit is added to the transmitted character and the receiver performs a parity check on incoming data. MR1[4:3] = 11 selects the channel to operate in the special wake-up mode.

MR1[2] – Parity Type Select
This bit selects the parity type (odd or even) if the with parity mode is programmed by MR1[4:3], and the polarity of the forced parity bit if the force parity mode is programmed. It has no effect if the no parity mode is programmed. In the special wake-up mode, it selects the polarity of the transmitted A/D bit.

MR1[1:0] – Bits Per Character Select
This field selects the number of data bits per character to be transmitted and received. The character length does not include the start, parity, and stop bits.

MR2 – Mode Register 2

MR2 is accessed when the channel MR pointer points to MR2, which occurs after any access to MR1. Accesses to MR2 do not change the pointer.

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MR2[7:6] – Mode Select
The UART can operate in one of four modes. MR2[7:6] = 00 is the normal mode, with the transmitter and receiver operating independently. MR2[7:6] = 01 places the channel in the automatic echo mode, which automatically re-transmits the received data. The following conditions are true while in automatic echo mode:

1. Received data is re-clocked and retransmitted on the TxD output.
2. The receive clock is used for the transmitter.
3. The receiver must be enabled, but the transmitter need not be enabled.
4. The TxRDY and TxEMT status bits are inactive.
5. The received parity is checked, but is not regenerated for transmission, i.e., transmitted parity bit is as received.
6. Character framing is checked, but the stop bits are retransmitted as received.
7. A received break is echoed as received until the next valid start bit is detected.
8. CPU-to-receiver communication continues normally, but the CPU-to-transmitter link is disabled.

Two diagnostic modes can also be selected. MR2[7:6] = 10 selects local loopback mode. In this mode:

1. The transmitter output is internally connected to the receiver input.
2. The transmit clock is used for the receiver.
3. The TxD output is held high.
4. The RxD input is ignored.
5. The transmitter must be enabled, but the receiver need not be enabled.
6. CPU to transmitter and receiver communications continue normally.

The second diagnostic mode is the remote loopback mode, selected by MR2[7:6] = 11. In this mode:

1. Received data is re-clocked and retransmitted on the TxD output.
2. The receive clock is used for the transmitter.
3. Received data is not sent to the local CPU, and the error status conditions are inactive.
4. The received parity is not checked and is not regenerated for transmission, i.e., the transmitted parity bit is as received.
5. The receiver must be enabled, but the transmitter need not be enabled.
6. Character framing is not checked, and the stop bits are retransmitted as received.
7. A received break is echoed as received until the next valid start bit is detected.

When switching in and out of the various modes, the selected mode is activated immediately upon mode selection, even if this occurs in the middle of a received or transmitted character. Likewise, if a mode is deselected, the device will switch out of the mode immediately. An exception to this is switching out of auto-echo or remote loopback modes; if the deselection occurs just after the receiver has sampled the stop bit (indicated in auto-echo by assertion o fRxRDY), and the transmitter is enabled, the transmitter is enabled, the transmitter will remain in auto-echo mode until one full stop bit has been retransmitted.

MR2[5] – Transmitter Request-to-Send Control
CAUTION: When the transmitter controls the OP pin (usually used for the RTSN signal) the meaning of the pin is not RTSN at all! Rather, it signals that the transmitter has finished the transmission (i.e., end of block).

This bit allows deactivation of the RTSN output by the transmitter. This output is manually asserted and negated by the appropriate commands issued via the command register. MR2[5] set to 1 caused the RTSN to be reset automatically one bit time after the character(s) in the transmit shift register and in the THR (if any) are completely transmitted (including the programmed number of stop bits) if a previously issued transmitter disable is pending. This feature can be used to automatically terminate the transmission as follows:

1. Program the auto-reset mode: MR2[5]=1
2. Enable transmitter, if not already enabled
3. Assert RTSN via command
4. Send message
5. After the last character of the message is loaded to the THR, disable the transmitter. (If the transmitter is underrun, a special case exists. See note below.)
6. The last character will be transmitted and the RTSN will be reset one bit time after the last stop bit is sent.

NOTE: The transmitter is in an underrun condition when both the TxRDY and the TxEMT bits are set. This condition also exists immediately after the transmitter is enabled from the disabled or reset state. When using the above procedure with the transmitter in the underrun condition, the issuing of the transmitter disable must be delayed from the loading of a single, or last, character until the TxRDY becomes active again after the character is loaded.

MR2[4] – Clear-to-Send Control
The sate of this bit determines if the CTSN input (MPI) controls the operation of the transmitter. If this bit is 0, CTSN has no effect on the transmitter. If this bit is a 1, the transmitter checks the sate of CTSN each time it is ready to send a character. If it is asserted (low), the character is transmitted. If it is negated (high), the TxD output remains in the marking state and the transmission is delayed until CTSN goes low. Changes in CTSN while a character is being transmitted do not affect the transmission of that character. This feature can be used to prevent overrun of a remote receiver.

MR2[3:0] – Stop Bit Length Select
This field programs the length of the stop bit appended to the transmitted character. Stop bit lengths of 9/16 to 1 and 1–9/16 to 2 bits, in increments of 1/16 bit, can be programmed for character lengths of 6, 7, and 8 bits. For a character length of 5 bits, 1–1/16 to 2 stop bits can be programmed in increments of 1/16 bit. In all cases, the receiver only checks for a mark condition at the center of the first stop bit position (one bit time after the last data bit, or after the parity bit if parity is enabled). If an external 1X clock is used for the transmitter, MR2[3] = 0 selects one stop bit and MR2[3] = 1 selects two stop bits to be transmitted.

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELETEXT VIDEO PROCESSOR

GENERAL DESCRIPTION

The SAA5231 is a bipolar integrated circuit intended as a successor to the SAA5030. It extracts Teletext Data from the video signal, regenerates Teletext Clock and synchronizes the text display to the television syncs. The integrated circuit is intended to work in conjunction with CCT (Computer Controlled Teletext), EUROM or other compatible devices.

Features

- Adaptive data slicer
- Data clock regenerator
- Adaptive sync separator, horizontal phase detector and 6 MHz VCO forming display phase locked loop (PLL)

QUICK REFERENCE DATA

Supply voltage (pin 16)	V_{CC}	typ.	12	V
Supply current (pin 16)	I_{CC}	typ.	70	mA
Video input amplitude (pin 27) (peak-to-peak value)				
pin 2 LOW	$V_{27-13(p-p)}$	typ.	1	V
pin 2 HIGH	$V_{27-13(p-p)}$	typ.	2,5	V
Storage temperature range	T_{stg}		−20 to + 125	°C
Operating ambient temperature range	T_{amb}		0 to + 70	°C

PACKAGE OUTLINE

28-lead dual in-line; plastic (SOT117).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

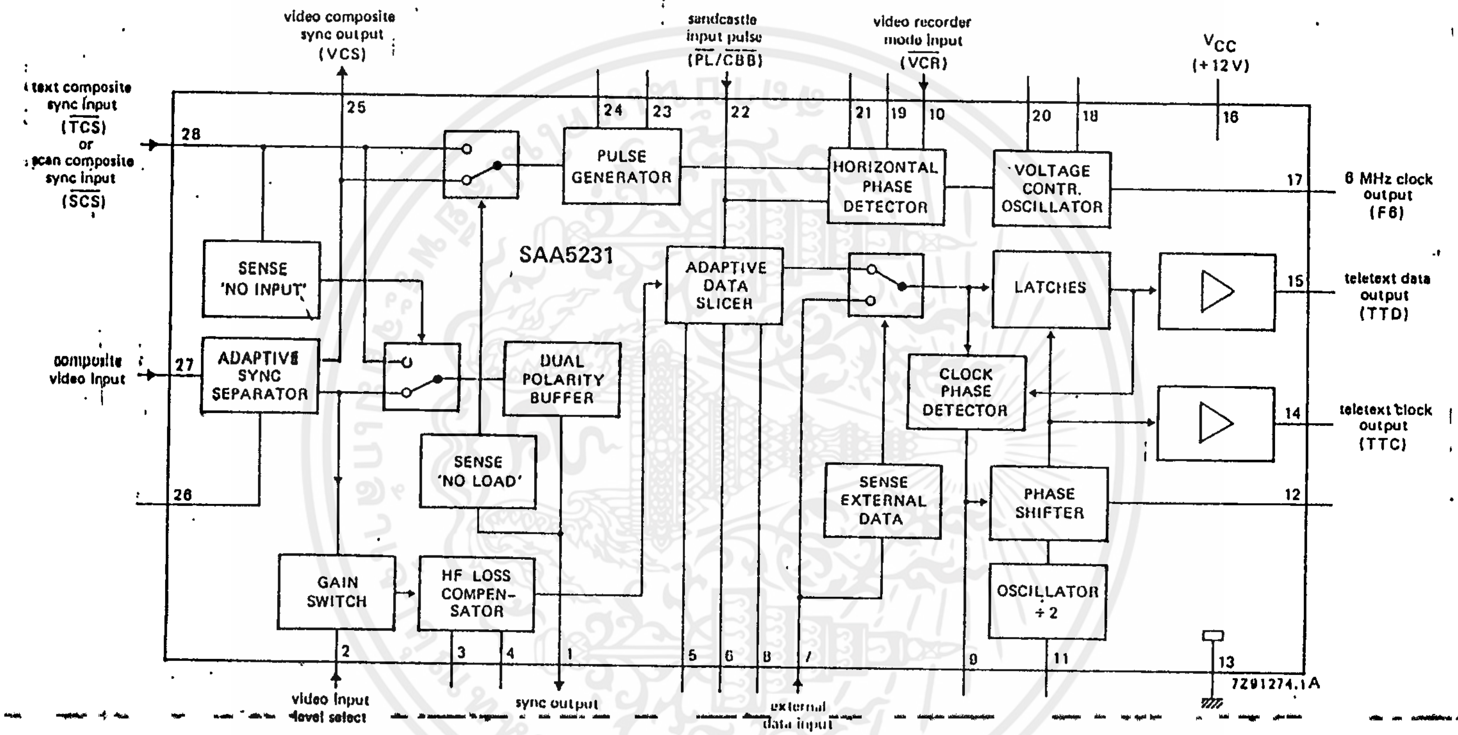


Fig. 1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

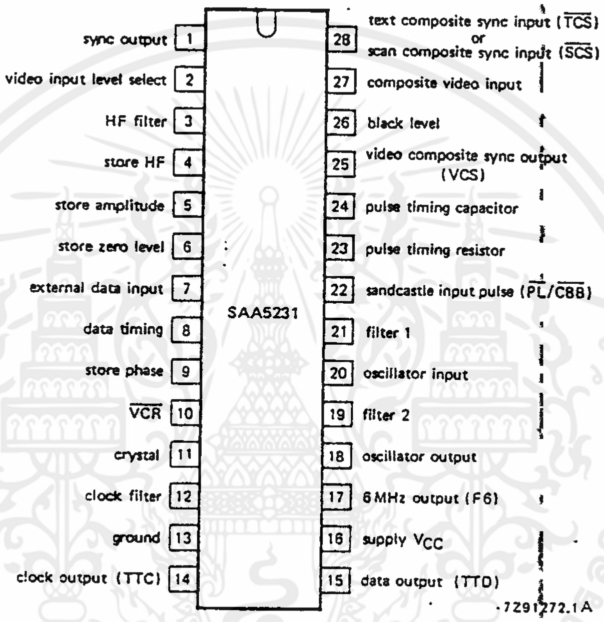


Fig. 2 Pinning diagram.

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Supply voltage (pin 16)	V_{CC}	max.	13,2 V
Storage temperature range	T_{stg}		−20 to + 125 °C
Operating ambient temperature	T_{amb}		0 to + 70 °C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The function is quoted against the corresponding pin number.

1. Synch output to TV

   Output with dual polarity buffer, a load resistor to 0 V or + 12 V selects positive-going or negative-going syncs.

2. Video input level select

   When this pin is LOW a 1 V video input level is selected. When the pin is not connected it floats HIGH selecting a 2,5 V video input level.

3. HF filter

   The video signal for the h.f.-loss compensator is filtered by a 15 pF capacitor connected to this pin.

4. Store h.f.

   The h.f. amplitude is stored by a 1 nF capacitor connected to this pin.

5. Store amplitude

   The amplitude for the adaptive data slicer is stored by a 470 pF capacitor connected to this pin.

6. Store zero level

   The zero level for the adaptive data slicer is stored by a 22 nF capacitor connected to this pin.

7. External data input

   Current input for sliced teletext data from external device.
   Active HIGH level (current), low impedance input.

8. Data timing

   A 270 pF capacitor is connected to this pin for timing of the adaptive data slicer.

9. Store phase

   The output signal from the clock phase detector is stored by a 100 pF capacitor connected to this pin.

10. Video tape recorder mode ($\overline{VCR}$)

    Signal input to command PLL into short time constant mode. Not used in application circuit Fig. 3b or Fig. 3c.

11. Crystal

    A 13,875 MHz crystal, 2 x data rate, connected in series with a 15 pF capacitor is applied via this pin to the oscillator and divide-by-two to provide the 6,9375 MHz clock signal.

12. Clock filter

    A filter for the 6,9375 MHz clock signal is connected to this pin.

13. Ground (0 V)

14. Teletext clock output (TTC)

    Clock output for CCT (Computer Controlled Teletext).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION (continued)

15. Teletext data output (TTD)

Data output for CCT.

16. Supply voltage V_{CC} (+ 12 V typ.)

17. Clock output (F6)

6 MHz clock output for timing and sandcastle generation in CCT.

18. Oscillator output (6 MHz)

A series resonant circuit is connected between this pin and pin 20 to control the nominal frequency of the VCO.

19. Filter 2

A filter with a short time constant is connected to this pin for the horizontal phase detector. It is used in the video recorder mode and while the loop is locking up.

20. Oscillator input (6 MHz)

See pin 18.

21. Filter 1

A filter with a long time constant is connected to this pin for the horizontal phase detector.

22. Sandcastle input pulse ($\overline{PL}/\overline{CBB}$)

This input accepts a sandcastle waveform, which is formed from PL and CBB from the CCT. Signal timing is shown in Fig. 4.

23. Pulse timing resistor

The current for the pulse generator is defined by a 68 kΩ resistor connected to this pin.

24. Pulse timing capacitor

The timing of the pulse generator is determined by a 220 pF capacitor connected to this pin.

25. Video composite sync output (VCS)

This output signal is for CCT.

26. Black level

The black level for the adaptive sync separator is stored by a 68 nF capacitor connected to this pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27. **Composite video input (CVS)**

The composite video signal is input via a 2,2 μF clamping capacitor to the adaptive sync separator.

28. **Text composite sync input ($\overline{TCS}$)/Scan composite sync input ($\overline{SCS}$)**

$\overline{TCS}$ is input from CCT or $\overline{SCS}$ from external sync circuit. $\overline{SCS}$ is expected when there is no load resistor at pin 1. If pin 28 is not connected the sync output on pin 1 will be the composite video input at pin 27, internally buffered.

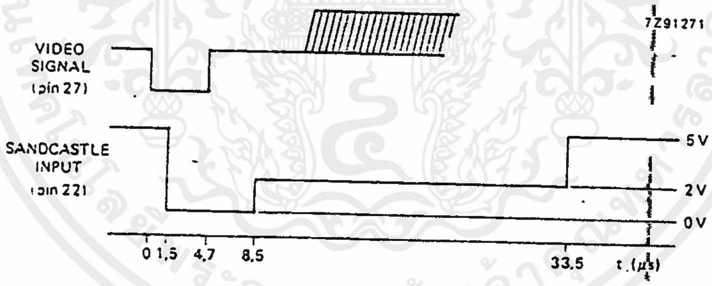


Fig. 4 Sandcastle waveform and timing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACE FOR DATA ACQUISITION AND CONTROL
(for multi-standard teletext systems)

GENERAL DESCRIPTION

The SAA5250 is a CMOS Interface for Data Acquisition and Control (CIDAC) designed for use in conjunction with the Video Input Processor (SAA5230) in a multi-standard teletext decoder. The device retrieves data from a user selected channel (channel demultiplexer), as well as providing control signals and consecutive addressing space necessary to drive a 2 K bytes buffer memory.

The system operates in accordance with the following transmission standards:

- French Didon Antiope specification D2 A4-2 (DIDON)
- North American Broadcast Teletext specification (NABTS)
- U.K. teletext (CEEFAX)

Features

- 7,5 MHz maximum conversion rate
- Three prefixes; DIDON, NABTS and U.K. teletext (CEEFAX)
- Mode without prefix
- Internal calculation of the validation (VAL) and colour burst blanking (CBB) signals, if programmed
- Programmable framing code and channel numbers
- Error parity calculation or not (odd parity)
- Hamming processing of the prefix byte
- Full channel or VBI reception
- Slow/fast mode (detection of page flags or not)
- Maximum/default format up to 63 bytes
- Addressing space of 2 K bytes of the static memory
- Multiplexed address/data information is compatible with Motorola or Intel microcontrollers
- CIDAC is 'MOTEL' compatible

PACKAGE OUTLINES

SAA5250P: 40-lead DIL; plastic (SOT129).
SAA5250T: 40-lead mini-pack; plastic (VSO40; SOT158).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVELOPMENT DATA

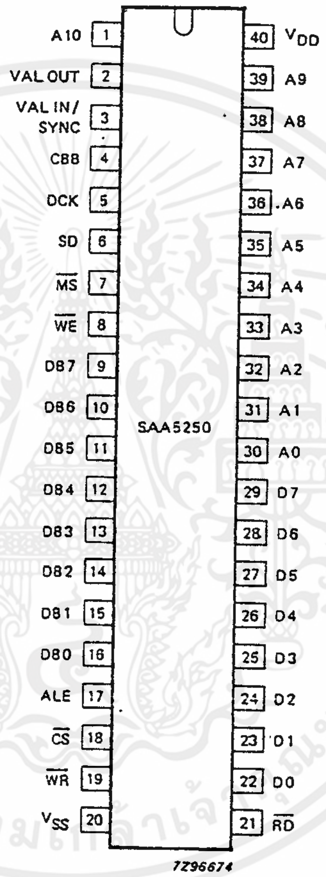


Fig. 2 Pinning diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

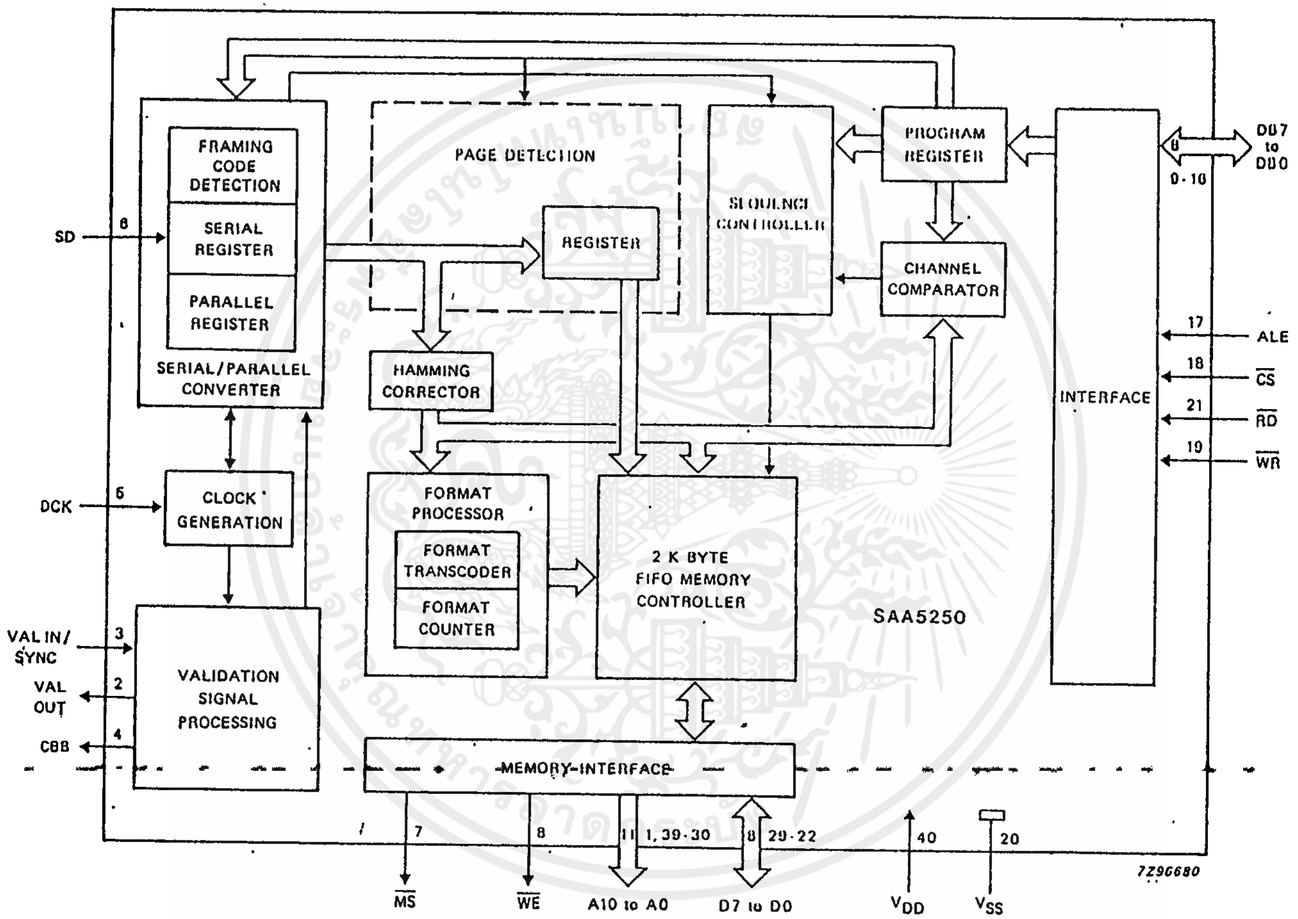


Fig. 1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ สำหรับทุนทรัพย์ในการทำโครงงาน เพื่อน ๆ พี่ ๆ และบุคลากร ในการช่วยเหลือในการ ทั้งทางด้านข้อมูล หรืออุปกรณ์ในการทำงานในครั้งนี้ โดยเฉพาะ

คุณ พงษ์ศักดิ์ สืบพงศ์ เจ้าหน้าที่ บริษัท เทเลอินฟอร์เมชั่น จำกัด

คุณ สุธี เวชพฤกษ์พิทักษ์ เจ้าหน้าที่ บริษัท ฟิลิปส์อิเล็กทรอนิกส์ จำกัด

คุณ ปราณีต รอดแสง เจ้าหน้าที่ บริษัท ดาต้าเทคโนโลยีคอนซอล (ดีทีซี) จำกัด

และยังมีบุคคลไม่ได้กล่าวถึง ในที่นี้อีกมากที่มีส่วนช่วยทำให้โครงงานนี้สำเร็จด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Richard H Vcith , " Television Teletext "

2. **บริษัทเทเลอินฟอร์เมชั่น " ระบบ** Teletext "

3. DJR , " DBL 60 User Reference Manual "

4. " The Television System Administrator's Guide "

5. " Philips Semiconductors Product Specification "

6. BBC/IBA/BREMA , " Broadcast Teletext Specification "

7. สุเจตน์ จันทรังษ์ ไมโครคอนโทรลเลอร์ชิพเดี่ยว 8051

8. สำนักวิศวกรรม องค์การสื่อสารมวลชนแห่งประเทศไทย ความรู้เบื้องวิทยุกระจายเสียงและวิทยุโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้