เครื่องแสดงผลระยะไกล

REMOTE MONITOR

โดย

นาย ทวีชัย คำศรี 37013016

นาย ธวัชชัย วิรัชกุล 37013018

อาจารย์ที่ปรึกษา

ผศ. สมยศ จุณณะปิยะ

วัน เดือน ปี 18 ส.ค. 2540

เลขทะเบียน 037310

เลขเรียกหนังสือ T 39031 ท 193ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

037310

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง. เครื่องแสดงผลระยะไกล

REMOTE MONITOR

ผู้จัดทำ.

1. นาย ทวีชัย คำศรี เลขที่ 37013016
2. นาย ธวัชชัย วิรัชกุล เลขที่ 37013018

อาจารย์ที่ปรึกษา

(ผศ. สมยศ จุณณะปิยะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแสดงผลระยะไกล
REMOTE MONITOR

โดย นาย ทวีชัย คำศรี
นาย ธวัชชัย วิริชกุล

อาจารย์ที่ปรึกษา
ผศ. สมยศ จุณณะปิยะ

บทคัดย่อ

เครื่องแสดงผลระยะไกล เป็นการแสดงผลข้อมูลที่ได้จากการตรวจจับสภาวะแวดล้อมของตัวตรวจจับ (Sensor)แล้วเปลี่ยนสัญญาณมาตรฐานทางไฟฟ้าในระบบวัดคุม สัญญาณมาตรฐานจะถูกเปลี่ยนจากสัญญาณอะนาล็อกไปเป็นสัญญาณดิจิตอลและสัญญาณดิจิตอลนี้จะถูกเปลี่ยนให้อยู่ในรูปความถี่ย่านเสียง แล้วป้อนเข้าวิทยุสื่อสารเพื่อส่งไปสู่เครื่องรับที่อยู่ในระยะที่ห่างไกลออกไป โดยที่ภาครับจะมีเครื่องรับวิทยุสื่อสารรอรับสัญญาณ แล้วมีเครื่องแปลงสัญญาณที่รับได้เป็นสัญญาณดิจิตอล แล้วข้อมูลที่แปลงได้จะถูกประมวลผลและแสดงผลโดยคอมพิวเตอร์ที่ด้านรับ

ABSTRACT

Remote monitor is the monitoring of the data which obtain from the sensors and convert to the measuring standard signal. The standard signal is in the analog form which is converted to be digital, then the digital signal is converted to audio frequency. The audio frequency will be sent to the receiver by the radio. At the receiver, the another radio will be used to receive the signal, the signal will be demodulated by demodulator in to digital signal. The digital signal will be processed and displayed by the computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีของอุปกรณ์ต่อร่วมที่เกี่ยวข้องกับโครงงาน	3
2.1 ทฤษฎีตระกูล MCS-51	3
2.2 ทฤษฎี INPUT/OUTPUT PORT โดยใช้ 8255	24
2.3 ทฤษฎี เอ/ดี คอนเวอร์เตอร์โดยใช้ ACD 0808	28
2.4 ทฤษฎีการ MODULATIONANDDE-MODULATION โดยใช้เทคนิค FSK	33
บทที่ 3 การคำนวณและการออกแบบ	39
3.1 แนวคิดและหลักการ	39
3.2 หลักการทำงานส่วนต่างๆ	39
3.3 การคำนวณและการออกแบบ	40
3.4 ภาคประมวลผลและแสดงผล(PROCESSOR AND DISPLAY)	54
บทที่ 4 การทดลองและผลการทดลอง	62
4.1 การทดลองวงจรภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล	62
4.2 การทดลองการทำงานของภาคฟรีเควนซี่ชิฟคีย์อิ้ง (FSK)	63
4.3 การทดลองทางด้านภาครับและแสดงผลข้อมูล	69
4.4 การเชื่อมต่อโครงงานเพื่อใช้งานจริง	76
4.5 การทดสอบโครงงาน Remote Monitor	78
บทที่ 5 บทสรุปและวิจารณ์	79
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องแสดงผลระยะไกล (Remote Monitor)

ที่มาของโครงงาน

เนื่องจากผู้จัดทำมีโอกาสและประสพการณ์ทำงานด้านเครื่องมือวัดและอุปกรณ์ควบคุมอยู่กับโรงงานอุตสาหกรรมปิโตรเคมีได้มีโอกาสพบเห็นเหตุการณ์ที่เป็นอุปสรรคสำหรับการทำงานในด้านดังกล่าวคือ ปัญหาการติดต่อสื่อสารข้อมูลระหว่างกระบวนการผลิต (Process) และศูนย์ควบคุมส่วนกลาง (Control Center) ซึ่งการส่งข้อมูลนั้นจะเป็นการส่งโดยใช้สายตัวนำซึ่งจะใช้ในการส่งข้อมูลระหว่างตัวอุปกรณ์ตรวจวัด (Transmitter) ตัวแปรในกระบวนการผลิต (Process Variable) ไปยังศูนย์รวมสาย (Marshalling) ของแต่ละหน่วยการผลิต ซึ่งการส่งข้อมูลนี้จะเป็นการส่งข้อมูลอะนาล็อก

ข้อมูลอะนาล็อกที่ศูนย์รวมสาย (Marshalling) จะถูกแปลงเป็นสัญญาณดิจิตอลแล้วจะถูกส่งผ่านสายเส้นใยแสง (Optical Fiber) ไปที่ศูนย์กลางการควบคุม

ปัญหาที่เกิดขึ้นในระบบดังกล่าวที่พบก็มี เช่น สายถูกตัดขาดเนื่องจากการขุดดินหรือสายตัวนำช็อตเนื่องจากฉนวนของสายเสื่อมสภาพ ด้วยเหตุที่กล่าวมานี้จึงมีแนวคิดที่จะศึกษาวิธีอื่นที่จะทดแทนวิธีการส่งข้อมูลแบบที่กล่าวมา ซึ่งวิธีที่จะส่งข้อมูลผ่านคลื่นความถี่วิทยุก็เป็นอีกวิธีหนึ่งที่ผู้จัดทำสนใจและตกลงใจที่จะทดลองทำเพื่อศึกษาถึงความเป็นไปได้ ซึ่งในขั้นนี้ผู้จัดทำ ได้สมมติว่ามีข้อมูลที่ได้จากการวัดกระบวนการผลิตอยู่ประมาณ 8 จุด แล้วต้องการที่จะนำข้อมูลชุดนี้ส่งไปแสดงผลที่เครื่องคอมพิวเตอร์ที่อยู่ในระยะไกลออกไป ที่เครื่องคอมพิวเตอร์นี้จะมีโปรแกรมสำหรับใช้ประมาลผลข้อมูล และใช้แสดงผลข้อมูลโดยการส่งข้อมูลไปสู่เครื่องคอมพิวเตอร์นี้จะไม่มีการเชื่อมต่อกันด้วยสาย แต่จะใช้คลื่นความถี่วิทยุแทนการใช้สายจึงใช้ชื่อสำหรับโครงงานนี้ว่าเครื่องแสดงผลระยะไกล(Remote Monitor)

วัตถุประสงค์ของโครงการ

1. ออกแบบและสร้างเครื่องแสดงผลระยะไกลได้
2. ศึกษาการทำงานของ A/D แบบ 8 แชนแนล, MCS-51 และ FSK MOD / DEMOD
3. ออกแบบระบบควบคุม การเลือกแชนแนลแต่ละแชนแนลโดยใช้ MCS-51
4. ออกแบบการ MOD / DEMOD สัญญาณผ่ายวิทยุ VR และ ผ่าน LEASED LINE.
5. ศึกษาอุปกรณ์ที่จะนำมาเป็น Input เพื่อการตรวจจับนำมาแสดงผล เช่นอุณหภูมิ เป็นต้น
6. ออกแบบ อุปกรณ์ตรวจจับอุณหภูมิ เพื่อแสดงตัวอย่างการนำเครื่องแสดงผล ระยะไกลมาใช้งาน

ขอบเขตของโครงงาน

1. ออกแบบและสร้างเครื่องแสดงผลระยะไกล 8 แชนแนลได้
2. สร้างระบบควบคุมการเลือกแชนแนล 8 แชนแนล ได้โดยใช้ MCS -51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สร้างตัวตรวจจับอุณหภูมิได้
4. ทดลองการทำงาน หาข้อบกพร่อง และแก้ไขข้อบกพร่อง
5. ทดสอบห้าที่การทำงานให้ได้ตามข้อกำหนด

ขั้นตอนการดำเนินงาน

1. เสนอหัวข้อโครงงานที่จะปฏิบัติ
2. ศึกษาและค้นคว้าข้อมูลต่างๆ ของอุปกรณ์ที่จะนำมาสร้าง
3. จัดหาอุปกรณ์ที่จะนำมาสร้าง
4. ดำเนินการสร้าง และออกแบบวงจร
5. ทดสอบการทำงาน ของวงจร หาข้อบกพร่อง และแก้ไข
6. จัดทำปริญญานิพนธ์ประกอบ
7. ประเมินผล

ประโยชน์ที่จะได้รับจากโครงงาน

1. เพื่อนำทฤษฎี จากการเรียนรู้มาปฏิบัติจริง
2. เพื่อให้รู้จักค้นคว้าหาความรู้ด้วยตนเอง
3. เพื่อเพิ่มทักษะ และพัฒนาความสามารถในวิชาชีพวิศวกร
4. เพื่อรู้จักการทำงานอย่างมีระบบ
5. เพื่อเป็นแนวทางสำหรับผู้สนใจที่จะศึกษา และวิจัยโครงงานนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีของอุปกรณ์ต่อร่วมที่เกี่ยวข้องกับโครงงาน

โครงงานเครื่องแสดงผลระยะไกล (Remote Monitor) มีส่วนประกอบหลักๆคือ

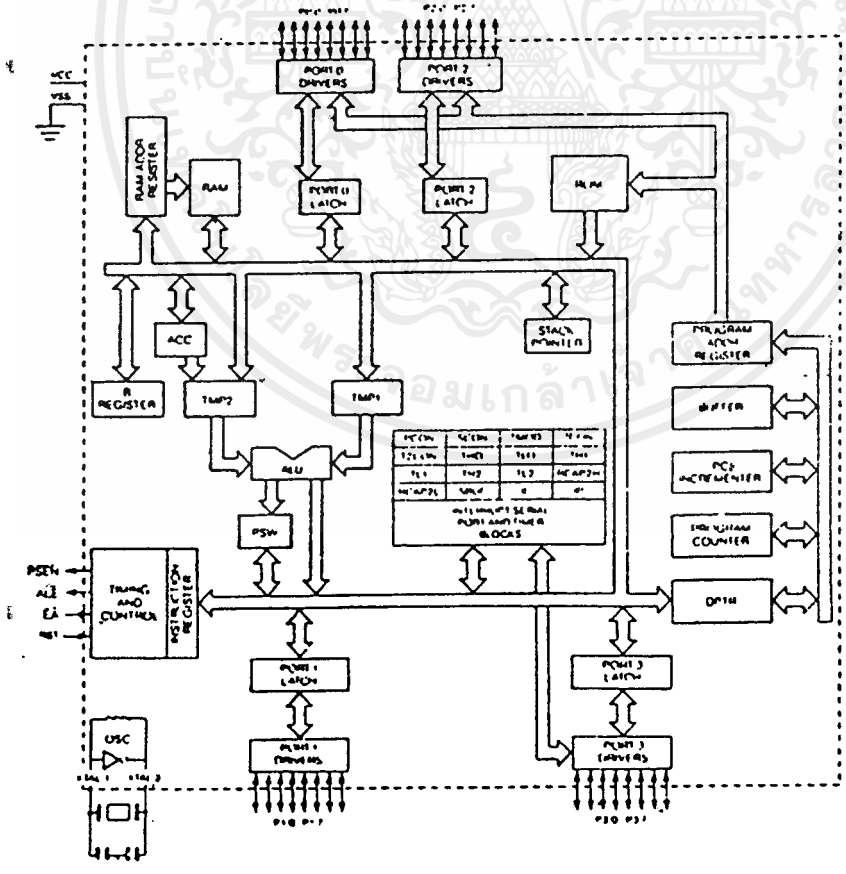
-ไมโครคอนโทรลเลอร์ 8031 ตระกูล MCS 51 เป็นหน่วยประมวลผลกลาง และควบคุมการทำงานของอุปกรณ์ต่อร่วมต่างๆ เช่น ชุดแปลงสัญญาณ อะนาลอก (Analog) ไปเป็นดิจิตอล (Digital) โดยผ่าน I/O Port 8255 ชุดเชื่อมต่อผ่าน อินเตอร์เฟส (Interface) RS-232-C แสดงผลบนคอมพิวเตอร์ เป็นต้น

-ส่วนส่งผ่านสัญญาณ ผ่าน Leased Line หรือผ่านวิทยุ VR โดย FSK MOD / DEMOD และชุดเชื่อมต่อผ่าน อินเตอร์เฟส (Interface) RS-232-C แสดงผลบนคอมพิวเตอร์ เป็นต้น

ในบทนี้ จะกล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวข้องทั้งหมดแยกเป็นหัวข้อ เพื่อสะดวกในการทำความเข้าใจ

2.1 ทฤษฎีตระกูล MCS 51

ไมโครคอนโทรลเลอร์ที่ใช้ในโครงงานนี้ คือ MCS-51 เป็นไมโครคอนโทรลเลอร์แบบชิพเดี่ยว ซึ่งผลิตโดยบริษัท Intel โดยมีการประมวลผลแบบ 8 บิท

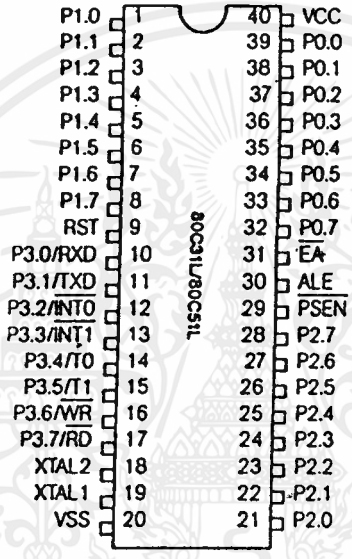


รูปที่ 2.1 สถาปัตยกรรมภายใน 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลเกี่ยวกับ MCS-51

- วงจรรวมแบบ Dual Inline Package (DIP) ขาทั้งหมด 40 ขา
- ใช้ไฟ VCC + 5 โวลท์ สามารถต่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง
- มีหน่วยความจำสำหรับโปรแกรมภายในขนาด 4 กิโลไบต์
- ความถี่สัญญาณนาฬิกา 11.0592 เมกะเฮิรตซ์
- มีพอร์ทแบบขนาน (Parallel Port) สำหรับข้อมูลเข้าออกจำนวน 32 บิท
- สามารถอ้างหน่วยความจำภายนอกสูงสุด 64 กิโลไบท์



รูปที่ 2.2 ไดอะแกรมขาของ 8051 แบบ DIP

หน้าที่การทำงานของขา MCS-51

VCC ขาป้อนไฟเลี้ยว + 5

VSS ขาที่ต่อกับกราวด์ของแหล่งจ่ายไฟ

Port 0 เป็น พอร์ทขนาด 8 บิท โดยใช้ได้ทั้งการรับ-ส่ง ตำแหน่งและข้อมูลกับหน่วยความจำ โดยพอร์ท 0 นี้จะส่งข้อมูลเพียงชั่วขณะหนึ่ง แล้วจะกลับมาทำหน้าที่รับข้อมูลต่อ

Port 1 นี้จะทำหน้าที่รับและส่งข้อมูลเท่านั้น

Port 2 ใช้ส่งค่าตำแหน่ง หน่วยความจำภายนอก ที่ต้องการติดต่อ และใช้เป็นพอร์ทรับและส่งข้อมูลกับภายนอก

Port 3 P3.0 / RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1 / TXD(Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P3.2 / INT 0 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3 / INT 1 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.4 / TO (Timer/Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer / Counter0 ทำหน้าที่ที่นับจำนวนไซเคิลของสัญญาณTO นี้ หรือสัญญาณ นาฬิกาก็ได้

P3.5 / T1 (Timer/Counter 1 External Input) ขารับสัญญาณเข้าไปยังTimer/Counter 1 ซึ่งมีการทำงานเหมือนกับ TO

P3.6 / WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7 / RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

PST

ขารีเซ็ทจะใช้ทำการรีเซ็ทการทำงานของ 8051 ที่ขา RST ภายในจะมีตัวต้านทานต่อระหว่างขานี้กับกราวด์ถ้าป้อนสภาวะลอจิก 1 ก็จะทำการเซ็ทการทำงาน จึงสามารถต่อตัวเก็บบรรจุภายนอกระหว่างขา RST กับไฟเลี้ยง + 5 โวลท์ เพื่อ Power on reset

ALE (ADDRESS LATCH ENABLE)

สัญญาณนี้จะใช้บอกกับอุปกรณ์ ภายนอก 8051 ว่าขณะนี้สัญญาณนี้ Active (LOOIC 1) จะมีการส่งข้อมูลที่เป็น 8 บิทล่างของตำแหน่งหน่วยความจำภายนอก 8051 ที่ต้องการติดต่อออกไปทางพอร์ท 0 อุปกรณ์ภายนอกจะใช้สัญญาณ ALE Latch ข้อมูล ไว้เฉพาะพอร์ท 0

PSEN (PROGRAM STORE ENABLE)

ขานี้ปกติจะเป็นลอจิก 1 แต่มื่อเป็นลอจิก 0 ก็คือการอ่านคำสั่ง (Fetch Instruction) ที่จะนำไปทำงานมาจากหน่วยความจำ สำหรับโปรแกรมภายนอก 8051 แต่กรณีอ่านคำสั่ง ซึ่งเก็บอยู่ภายใน 8051 สัญญาณนี้จะไม่เปลี่ยนสภาวะ

EA (EXTERNAL ACCESS)

ถ้าเป็นลอจิก 0 ที่ขา EA นี้ แสดงว่าโปรแกรมที่ต้องการให้ทำงานถูกเก็บไว้ภายนอก 8051 ถ้าเป็นลอจิก 1 แสดงว่าโปรแกรมที่ต้องการทำงานถูกเก็บไว้ภายใน ROM 8051

XTAL 1

ถ้าต้องการใช้สัญญาณจากภายนอกควบคุม8051ก็ให้ป้อนเข้ามาขานี้แต่ ต้องการใช้วงจร ออสซิลเลเตอร์ภายในให้ต่อ Crystal ร่วมกับคาปาซิเตอร์ ซึ่งมีค่าประมาณ 20 pF

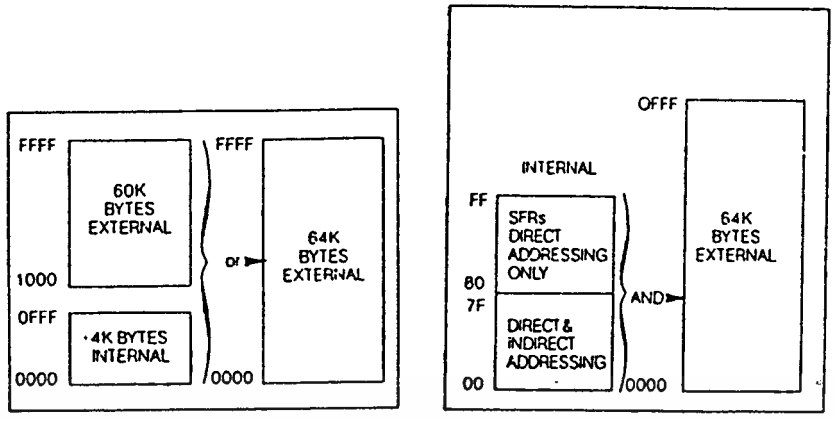
หน่วยความจำภายใน 8051

หน่วยความจำภายใน 8051 แบ่งออกเป็น 2 แบบ คือ

- หน่วยความจำสำหรับโปรแกรม (Program Area)
- หน่วยความจำสำหรับเก็บข้อมูล (Data Area)

ดังแสดงในรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงค่าของหน่วยความจำ 8051

หน่วยความจำสำหรับโปรแกรม เป็นหน่วยความจำที่ 8051 ใช้สำหรับเก็บโปรแกรมภาษาเครื่องที่ 8051 จะทำงานเมื่อเริ่มป้อนไปเลี้ยงให้กับ 8051 ซึ่งหน่วยความจำสำหรับโปรแกรมนี้ สามารถเลือกได้ว่าจะเป็นหน่วยความจำที่อยู่ภายใน 8051 หรือภายนอก 8051

หน่วยความจำสำหรับข้อมูลที่ 8051 ใช้สำหรับเก็บหรือพักข้อมูลระหว่างการทำงาน ซึ่งหน่วยความจำนี้มี 2 แบบ

- แบบที่หนึ่งมีขนาด 128 ไบท์ อยู่ภายใน 8051
- แบบที่สองมีขนาด 64 K ไบท์ ต้องต่อเพิ่มเติมเข้าไปภายนอก 8051

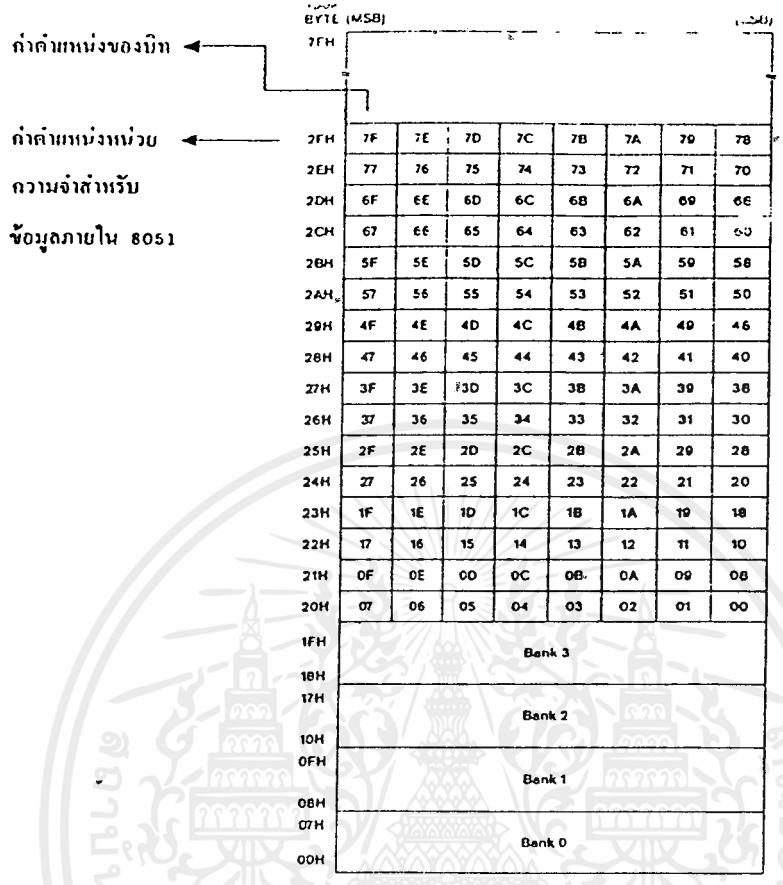
ตารางที่ 2.4 เป็นหน่วยความจำภายใน 8051 ซึ่งมีขนาด 128 byte โดยมีค่าตำแหน่งของหน่วยความจำ ตั้งแต่ 00H ถึง 7FH โดยแบ่งออกเป็น 3 กลุ่ม ดังนี้

1. Register bank 0, bank 1, bank 2, และ bank 3 ช่วงตำแหน่งของหน่วยความจำที่ 00H ถึง 1FH โดยหน่วยความจำแบบนี้แบ่งออกเป็น 4 ชุด ชุดละ 8 Byte แต่ละชุดเรียกว่า BANK แต่ละ Byte ใน 1 BANKจะมีชื่อของ Register ว่า R0, R1, R3, R4, R5, R6, R7, Reguster เหล่านี้จะมีชื่อซ้ำกันทุก BANK โดยต่างกันที่ ตำแหน่งของหน่วยความจำ ในการใช้งานจะใช้ได้ครั้งละ 1 BANK เท่านั้น โดยการกำหนดค่าใน Register PSW ตารางที่ 2.4 เป็น Register แต่ละ BANK และค่าตำแหน่งของหน่วยความจำ

2. Bit Address Area เป็นหน่วยความจำในช่วงตำแหน่ง 20H ถึง 2FH หน่วยความจำแต่ละบิทในพื้นที่นี้ จะสามารถตรวจสอบหรือตั้งค่า 1 หรือ 0 ได้โดยการโปรแกรม และในแต่ละบิทของข้อมูลในหน่วยความจำจะมีค่าตำแหน่งดังใน Memory Map ตารางที่ 2.5

3. Scratched Pod Area เป็นช่วงหน่วยความจำตำแหน่ง 30H ถึง 7FH หน่วยความจำในช่วงนี้สามารถใช้งานในการเก็บข้อมูลทั่วไป เช่น Stact Pointer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตารางที่ 2.4 หน่วยความจำภายใน 8051

REGISTER	MEMMORY ADDRESS			
	BANK 0	BANK 1	BANK 2	BANK 3
R0	0	8	10	18
R1	1	9	11	19
R2	2	A	12	20
R3	3	B	13	21
R4	4	C	14	22
R5	5	D	15	23
R6	6	E	16	24
R 7	7	F	17	25

ตารางที่ 2.5 แสดงตำแหน่งหน่วยความจำรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flag Register

เป็น Register ที่ใช้เก็บสภาวะที่เกิดขึ้นระหว่างการคำนวณ หรือจะใช้เลือก Bank ของ 8051 Register นี้คือ PSW Program Status Word มีขนาด 8 บิท

PSW.0 บิท 0 คือ Parity bit โดยจะใช้บอกว่าใน Register Accumulator มี 1 เป็นจำนวนคู่หรือจำนวนคี่

PSW.1 บิท 1 บิทที่ไม่ได้ใช้งาน

PSW.2 บิท 2 คือ Overflow Flag เป็นบิทที่บอกการคำนวณนั้น ทำให้เกิดตัวทดขึ้นในระหว่างการคำนวณตัวทดนี้เกิดจาก บิทที่ 6 ไปยังบิทที่ 7

PSW.3 บิท 3 สำหรับ 2 บิทนี้ จะใช้งานร่วมกันเพื่อเป็นตัวบอกว่าขณะนี้ใช้ Register R0 ถึง R7 ใน BANK ใด ดังตารางข้างล่าง

PSW.5 เป็นเอนกประสงค์

PSW.6 คือ Auxiliary Flag

PSW.7 คือ Carry Flag

(MSB) (LSB)

CY	AC	F0	RS1	RS0	OV	–	P

Symbol	Position	Name and Significance
CY	PSW.7	Carry flag.
AC	PSW.6	Auxiliary Carry flag. (For BCD operations).
F0	PSW.5	Flag 0 (Available to the user for general purposes)
RS1 RS0	PSW.4 PSW.3	Register bank select control bits 1 & 0. Set/cleared by software to determine working register bank (see Note).
OV	PSW.2	Overflow flag.
–	PSW.1	User definable flag.
P	PSW.0	Parity flag. Set/cleared by hardware each instruction cycle to indicate an odd/even number of "one" bits in the Accumulator, i.e., even parity.

Note :
The contents of (RS1, RS0) enable the working register banks as follows :

(0.0)–Bank 0	(00H–07H)
(0.1)–Bank 1	(08H–0FH)
(1.0)–Bank 2	(10H–17H)
(1.1)–Bank 3	(18H–1FH)

รูปที่ 2.6 แสดง Flag Register

Spectial Funtion Register, SFR

ใน 8051 มี Register ที่สำหรับใช้งานเฉพาะ คือข้อมูลที่ถูกนำไปเก็บไว้ใน Register เหล่านี้จะมีความหมายเฉพาะตัวของ Register โดยแต่ละ Register จะมีตำแหน่งของตัวมันเอง ดังแสดงในตารางข้างล่าง ซึ่งจากตารางจะแสดง Symbol และชื่อของ Register และช่องสุดท้ายคือ ตำแหน่งของ Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท 4 (RB1)	บิทที่ 3 (RB0)	Register bank	address
0	0	0	00H-07H
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

ตารางที่ 2.7 แสดงการ Enable Working Register Bank

Symbol	Name	Address
*ACC	Accululator	OEOH
*B	B Register	OFOH
*PSW	Program Status Word	ODOH
SP	Stack Pointer	81H
DPTR	Data Pointer 2 Bytes	
DPL	Low Byte	82H
DPH	High Byte	83H
*P0	Port 0	80H
*P1	Port 1	90H
*P2	Port 2	OAOH
*P3	Port 3	OBOH
*IP	Interrupt Priority Control	OB8H
*IE	Interrupt Enable Control	OA8H
TMOD	Timer/Counter Mode Control	89H
*TCON	Timer/Counter Control	88H
*+T2CON	Timer/Counter 2 Control	0C8H
TH0	Timer/Counter 0 High Byte	8CH
TL0	Timer/Counter 0 Low Byte	8AH
TH1	Timer/Counter 1 High Byte	8DH
TL1	Timer/Counter 1 Low Byte	8BH
+TH2	Timer/Counter 1 High Byte	0CDH
+TL2	Timer/Counter 2 Low Byte	0CCH
+RCAP2H	T/C 2 Capture Reg. High Byte	0CBH
+RCAP2L	T/C Capture Reg. Low Byte	0CAH
*SCON	Serial Control	98H
SBUF	Serial Data Buffer	99H
PCON	Power Control	87H
*IOCON (1)	IO Control	F8H

+ 80C52 and 83C154 only * bit addressable
(1) 83C154 only

ตารางที่ 2.8 Symbol , Name และ Address ของ SFR

และตารางที่ 2.9 แสดงค่าตำแหน่งหน่วยความจำแต่ละบิทจากรูปข้างล่างนี้จะเห็นว่า Register SFR จะใช้งานเฉพาะอย่างโดยง่าย SFR สามารถเข้าถึงแบบ Bit Address เพื่อใช้ในการตรวจสอบสภาวะการทำลายได้รวดเร็วขึ้น

สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Direct Byte Address	(MSB) Bit Address (LSB)								Special Function Register Symbol
	WDT	T32	SERR	IZC	P3HZ	P2HZ	P1HZ	ALF	
0F8H	FF	FE	FD	FC	FB	FA	F9	F8	IOCON
0F0H	F7	F6	F5	F4	F3	F2	F1	F0	B
0E0H	E7	E6	E5	E4	E3	E2	E1	E0	ACC
	CY	AC	F0	RS1	RS0	OV	F1	P	
0D0H	D7	D6	D5	D4	D3	D2	D1	D0	PSW
0CDH	Not Bit Addressable								TH2
0CCH	Not Bit Addressable								TL2
0CBH	Not Bit Addressable								RCAP2H
0CAH	Not Bit Addressable								RCAP2L
	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	
0C8H	CF	CE	CD	CC	CB	CA	C9	C8	T2CON
	PCT		PT2	PS	PT1	PX1	PT0	PX0	
0B8H	BF	-	BD	BC	BB	BA	B9	B8	IP
0B0H	B7	B6	B5	B4	B3	B2	B1	B0	P3
	EA		ET2	ES	ET1	EX1	ET0	EX0	
0A8H	AF	-	AD	AC	AB	AA	A9	A8	IE
0A0H	A7	A6	A5	A4	A3	A2	A1	A0	P2
99H	Not Bit Addressable								SBUF
	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	
98H	9F	9E	9D	9C	9B	9A	99	98	SCON
90H	97	96	95	94	93	92	91	90	P1
8DH	Not Bit Addressable								TH1
8CH	Not Bit Addressable								TH0
8BH	Not Bit Addressable								TL1
8AH	Not Bit Addressable								TL0
89H	Not Bit Addressable								TMOD
	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
88H	8F	8E	8D	8C	8B	8A	89	88	TCON
87H	Not Bit Addressable								PCON
83H	Not Bit Addressable								DPH
82H	Not Bit Addressable								DPL
81H	Not Bit Addressable								SP
80H	87	86	85	84	83	82	81	80	P0

รูปที่ 2.9 แสดงค่าตำแหน่งหน่วยความจำแต่ละบิท

การทำงานของ Special Function Register

1. Accumulater Register มีขนาด 8 บิท ที่ใช้สำหรับการคำนวณและเก็บค่าอ้างอิงและให้อ่านค่าของข้อมูลจากภายนอก ซึ่งต้องผ่าน Register นี้

2. B.Register ซึ่งเป็น Register ที่ใช้สำหรับการคูณ และการหาร โดย Register B จะเก็บตัวคูณและผลลัพธ์ บิท 8 ถึง 15 ในคำสั่งการคูณ สำหรับการหาร Register B จะเก็บตัวหารและผลการหาร

3. Programs status word ดังที่กล่าวมาแล้ว

4. Stack Pointer Register นี้จะใช้เก็บตำแหน่งของหน่วยความจำภายใน 8051 ที่ใช้เก็บตำแหน่งเดิมของโปรแกรมก่อนทำงานคำสั่ง CALL และ PUSH

5. Data Pointer Register โดย Register นี้มีขนาด 12 Bit หน้าที่ของ Register นี้ใช้สำหรับชี้ตำแหน่งในหน่วยความจำ

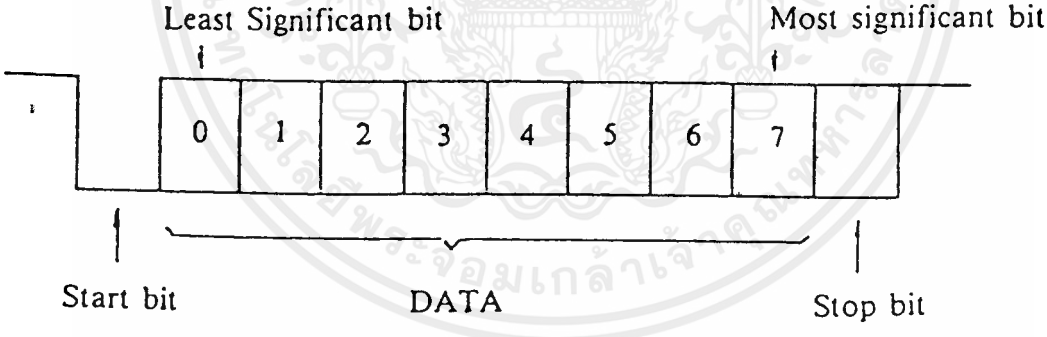
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. PORT 0 ถึง 3 เป็นขาที่ใช้ติดต่อรับข้อมูลจากภายนอกกับ 8051
7. Serial Data Buffer

Serial Data Buffer

รีจีสเตอร์นี้มีขนาด 8 บิท และโครงสร้างภายในแล้วรีจีสเตอร์นี้มี 2 ตัวที่มีชื่อเดียวกันตัวหนึ่งสำหรับเก็บข้อมูลที่จะส่งแบบอนุกรมออกจาก 8051 และอีกตัวหนึ่งสำหรับรับข้อมูลแบบอนุกรมเข้ามา ดังนั้น Serial Port ของ 8051 จึงเรียกว่ามีการทำงานแบบ Full Duplex เพราะสามารถส่งและรับข้อมูลได้ในเวลาเดียวกันเนื่องจากมีรีจิสเตอร์สำหรับส่งและรับแยกออกจากกัน ข้อมูลที่ต้องการจะส่งออกก็ให้เขียนไปยังรีจีสเตอร์ SBUF แล้วสั่งงานให้ส่งข้อมูลออกมา ข้อมูลในรีจีสเตอร์ จะเริ่มส่งออกโดยเริ่มจากบิท 0 ถึง 7 ตามลำดับ ถ้าข้อมูลมีข้อมูลเข้ามาทางขา RED ก็จะถูกเก็บไปไว้ในรีจีสเตอร์นี้โดยถือว่าข้อมูลบิทแรกที่เข้ามาคือบิท 0 Serial Port จะสามารถกำหนดให้การทำงาน รับ - ส่ง ข้อมูลแบบอนุกรมได้ 4 โมด (MODE) โดยการกำหนดในรีจีสเตอร์ SCON (Serial Port Control Register) แต่ละโมด การทำงานของ Serial Port มีดังนี้

MODE 0 ในโมดนี้จะมีการรับหรือส่งข้อมูลแบบอนุกรมทางขา RXD และขา TXD จะส่งสัญญาณ Clock ที่ใช้สำหรับเลื่อน (Shift) ข้อมูล 1 ชุดของข้อมูลจะประกอบด้วยข้อมูล 8 บิทเท่านั้นและจะเริ่มการรับส่งข้อมูล - ส่งข้อมูลจากบิท 0 จนถึงบิท 7 ตามลำดับ อัตราการส่งข้อมูลแบบอนุกรมจะเท่ากับ 1/12 เท่าของความถี่สัญญาณนาฬิการที่ใช้กับ 8051

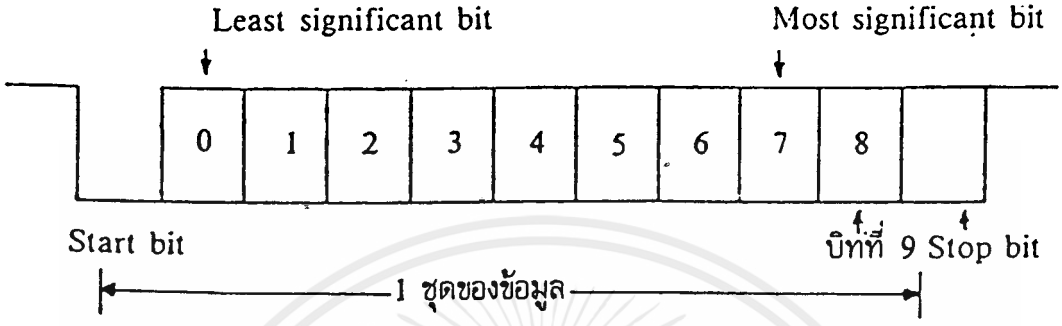


รูปที่ 2.10 ชุดข้อมูลอนุกรมในโหมด 1

MODE 1 ข้อมูลรับ - ส่ง 1 ชุดในโหมดนี้จะมี 10 บิท ผ่านทางขา RXD และ TXD ตามลำดับเริ่มต้นการรับ - ส่ง ข้อมูลด้วย Start bit 1 bit (ลอจิกเป็น 0), ข้อมูล 8 บิท (เริ่มจากบิท 0) , Stop bit 1 bit (ลอจิก 1)การส่งข้อมูลโหมดนี้มีดังรูป 2.10 เมื่อรับข้อมูลอนุกรมเข้ามาข้อมูล 8 บิทจะถูกเก็บในรีจีสเตอร์ SBUF และ Stop bit จะถูกเก็บไว้ที่บิท RB8 ในรีจีสเตอร์ SCON ในการส่งข้อมูลออกก็จะเขียนข้อมูลที่ต้องการส่งไปถึงรีจีสเตอร์ SBUF อัตราการส่งข้อมูลในโหมดนี้สามารถกำหนดได้ตามต้องการโดยจะขึ้นกับการเกิด Overflow ใน Timer 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 2 การรับ - ส่งข้อมูลของโหมด 2 1 ชุดจะมี 11 บิท ข้อมูลจะส่งออกผ่านทางขา TXD และรับเข้ามาทางขา RXD ข้อมูลแต่ละชุดจะเริ่มต้นด้วย Start bit 1 bit, ข้อมูล 8 บิท (เริ่มจากบิท 0), ข้อมูลบิทที่ 9 จำนวน 1 บิทและ Stop Bit อีก 1 บิทข้อมูลบิทที่ 9 ที่จะส่งออกนี้สามารถกำหนดได้ว่าจะเป็น 1 หรือ 0 อัตราการส่งข้อมูลจะกำหนดให้เป็น 1/32 หรือ 1/64 เท่าของความถี่สัญญาณนาฬิกาที่ใช้กับ 8051



รูปที่ 2.11 ชุดข้อมูลอนุกรมในโหมด 2

MODE 3 การส่งข้อมูลโหมดนี้ 1 ชุดมี 11 บิท เหมือนกับโหมด 2 ทุกประการแตกต่างกันตรงอัตราการส่งข้อมูลเท่านั้น คือ อัตราการส่งข้อมูลในโมด 3 นี้สามารถกำหนดได้ตามต้องการ โดยจะขึ้นกับการเกิด Overflow ใน Timer 1 เหมือนกับโหมด 1

SCON (Serial Port Control Register)

รีจีสเตอร์ SCON มีขนาด 8 บิท ใช้สำหรับควมคุมการส่งและรับข้อมูลผ่านทาง Serial Port แต่ละบิทของข้อมูลในรีจีสเตอร์นี้ มีความหมายเฉพาะดังรูปที่ 2.12

SCON ; SERIAL PORT CONTROL REGISTER BIT ADDRESSABLE.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI

SMO SCON.7 Serial Port Mode Specifier. (NOTE 1)

SM1 SCON.6 Serial Port Mode Specifier. (NOTE 1)

SM2 SCON.5 Enables the multiprocessor communication feature in mode 2 & 3. In mode 2 or 3. if SM2 is set to 1 then RI will not be activated if the received 9 th date bit (RB8) is 0. Inmode 1. if SM2=1 then RI will not be activated if a valid stop bit was not received.In mode 0.Sm2 Should be 0. (See Table 9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REN SCON.4 Set/Cleared by software to Enable/Disable reception.

TB8 SCON.3 The 9 th bit that will be transmitted in modes 2&3 Set/Cleared by software.

RB8 SCON.2 In modes 2&3. is the 9 th data bit that was received. In mode1.if SM2=0.RB8 is the stop bit that was received. In mode 0. RB8 is not used.

TI SCON.1 Transmit Interrupt flag. Set by hardware at the end of the 8th bit time in mode 0. or at the beginning of the stop bit in the other modes. Must be cleared by soffware.

RI SCON.0 Receive interrupt flag. Set by hardware at the end of the 8th bit time mode 0. or halfway through the stop bit time in the other modes (except see SM2) Must be cleared by software.

NOTE 1:

SMO	SM1	Mode	Description	Baud Rate
0	0	0	Shift Register	Fosc./12
0	1	1	8-Bit UART	Variable
1	0	2	9-Bit UART	Fosc./64 OR Fosc./32
1	1	3	9-Bit UART	Variable

SERIAL PORT SET-UP;

MODE	SCON	SM2 VARIATION
0	10H	
1	50H	Single Processor
2	90h	Environment
3	D0H	(SM2=0)
0	NA	
1	70H	Multiprocessor
2	B0H	Environment
3	F0H	(SM2=1)

ตารางที่ 2.12 Serial Port Control Register (SCON)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตารางที่ 2.12 บิท RI จะเป็นชื่อของบิท 0 และ SMO จะเป็นบิทที่ 7 ของรีจีสเตอร์ SCON ซึ่งความหมายหรือการทำงานของแตละบิทมีดังนี้

RI Receive Interrupt Flag

บิทนี้จะถูกกำหนดโดย ฮาร์ดแวร์ให้มีค่าเป็น 0 หรือ 1 โดยที่ในการรับข้อมูลโหมด 0 นั้นบิท RB8 จะมีค่าเป็น 1 เมื่อมีข้อมูลเข้ามาครบทั้ง 8 บิท ส่วนในโหมดอื่นบิท RB8 จะเป็น 1 ก็ต่อเมื่อข้อมูลเข้ามาถึงเวลาครึ่งหนึ่งของ Stop Bit .

TI Transmit Interrupt Flag

ค่าในบิท TI จะถูกกำหนดให้เป็น 1 หรือ 0 ด้วยฮาร์ดแวร์ โดยในการส่งข้อมูลแบบอนุกรมโหมด 0 บิทนี้ จะเป็น 1 เพื่อจะบอกว่าการส่งข้อมูลในรีจีสเตอร์ SBUF ออกไปทางพอร์ทอนุกรมครบทั้ง 8 บิท แต่ถ้าเป็นการส่งข้อมูลแบบอนุกรมในโหมดอื่น จะทำให้ข้อมูลในบิท TI เป็น 1 เมื่อเริ่มการส่ง Stop Bit

RB8

เมื่อมีการกำหนดให้รับข้อมูลในโหมด 2 และ 3 จะใช้บิทนี้สำหรับเก็บข้อมูลบิทที่ 9 ที่เข้ามาทางพอร์ท

อนุกรม ส่วนโหมด 1 นั้นบิทนี้จะเก็บ Stop bit ซึ่งมีค่าเป็น 1 นั่นเองในโมด 0 บิทนี้จะไม่ถูกใช้งาน

TB8 ในการส่งข้อมูลแบบอนุกรมโหมด 2 และ 3 จะใช้บิทนี้เก็บข้อมูลบิทที่ 9 ส่วนโหมดอื่นจะไม่ใช้งานบิทนี้

REN Receive Enable

เป็นบิทที่จะใช้กำหนด ให้ทำการรับข้อมูลเข้ามาจากทางพอร์ทอนุกรม หรือไม่ถ้าบิทนี้เป็น 1 ก็จะรับข้อมูลเข้ามา แต่ถ้าเป็น 0 ก็จะไม่รับข้อมูลที่ RXD เข้ามา

SM2

เป็นบิทสำหรับควบคุมการทำงานของฮาร์ดแวร์ที่จะทำให้บิท RI เป็น 1 หรือไม่ ในกรณีที่บิท SM2 เป็น 0 ค่าในบิท RI ก็จะเป็นไปตามที่ได้อธิบายมาแล้ว ในเรื่องบิท RI แต่ถ้าบิท SM2 = 1โหมด 2 และ 3 ปกติแล้วบิท RI จะเป็น 1 เมื่อ SM2 เป็น 1 แล้ว RI จะเป็น 1 ก็ต่อเมื่อ ข้อมูลบิทที่ 9 ที่เข้ามามีค่าเป็น 1 ถ้าข้อมูลบิทที่ 9 เข้ามาเป็น 0 จะไม่ทำให้บิท RI มีค่าเป้น 1ในโหมด 1 บิท RI มีค่าเป็น 1 เมื่อข้อมูล Stop Bit เข้ามายังพอร์ทอนุกรมถูกต้องแต่ถ้า Stop Bit ไม่เข้ามายังพอร์ทอนุกรม อันอาจเกิดจากปัญญาในการส่งข้อมูลแล้วบิท RI จะมีค่าเป็น 0 ในโหมด 0 บิทนี้จะมีค่าเป็น 0 เสมอ

SM0, SM1

เป็น 2 บิทที่ใช้งานร่วมกันเพื่อกำหนดโหมดของการรับ-ส่งข้อมูลของพอร์ทอนุกรม ค่าใน 2 บิทนี้จะกำหนดโหมดได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SM0	SM1	MODE	Description
0	0	0	Shift register
0	1	1	8-bit UART
1	0	2	9-bit UART
1	1	3	9-bit UART

การทำงานของแต่ละโหมดจะมีดังในข้อต่อไป

TIMER Register

ใน 8051 จะมีวงจร Timer อยู่ 2 ชุด คือ Time 0 และ Time 1 ใน Time แต่ละชุด จะมี Register ขนาด 8 บิท อยู่ 2 ตัวเพื่อเก็บค่าการนับของ Timer ได้สูงสุดถึง 16 บิท ใน Timer 0 รีจีสเตอร์นี้คือ TH0, TL0 และใน Timer 1 คือรีจีสเตอร์ TH1 TL1 TLx จะเก็บค่าของการนับ 8 บิทล่างและ THx จะเก็บค่าของการนับ 8 บิทบน

TMOD Timer / Counter mode register

GATE C/T M1 M0	GATE C/T M1 M0
TIMER 1	TIMER 0

GATE When Trx (in TCON) is set and GATE = 1. TIMER/COUNTERx will run only while INTx pin is high (hardware control). When GATE = 0. TIMER/COUNTERx will run only while TRx = 1 (software control).

C/T Timer or Counter selector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input form Tx input pin).

M1 Mode selector bit (NOTE 1)

M0 Mode selector bit (NOTE 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTE 1:

M1	M0	Operating Mode	
0	0	0	13-bit Timer
0	1	1	16-bit Timer/Counter
1	0	2	8-bit Auto-Reload Timer/Counter
1	1	3	(Timer 0) TL0 is an 8-bit Timer/Counter controlled by the standard Timer 0 control bits. TH0 is an 8-bit Timer and is controlled by Timer 1 control bits.
1	1	3	(Timer 1) Timer/Counter 1 Stopped.

รูปที่ 2.14 TMOD Timer / Counter Mode Register

GATE เป็นบิทที่ใช้ควบคุมให้ Timer ทำงานหรือไม่ ถ้าบิทนี้ของ Timer X ถูกตั้งเป็น 1 จะทำให้ Timer ทำงานก็ต่อเมื่อที่ขา INTx มีสภาวะลอจิกเป็น 1 และบิท TRx ในรีจีสเตอร์ TCON เป็น 1 ด้วย

C / T บิทนี้ใช้สำหรับเลือกการทำงานของ Timer ว่าจะใช้เป็น Timer หรือ Counter

M1,M0 เป็น 2 บิทที่ใช้ร่วมกันเพื่อเลือกโหมดการทำงานของ Timer การทำงานโหมด 0, 1 และ 2 ของ Timer 0 จะเหมือนกัน Timer 1 แต่ในโมด 3

M1	M0	การทำงาน
0	0	โมด 0 รีจีสเตอร์ THX และ TLX ทำตัวเป็นตัวนับ 13 จากการนับ 8 บิทบนมาจาก 8 บิทของ THX และอีก 5 บิทล่างมาจาก 5 บิทล่างของรีจีสเตอร์ TLX โดยที่ 3 บิทบน ของ TLX จะไม่ต้องสนใจเลย
0	1	โมด 1 รีจีสเตอร์ THX และ Tlx ทำตัวเป็นตัวนับ 16 บิทค่าจากการนับ 8 บิทอยู่ในรีจีสเตอร์ THX และค่าจากการนับ 8 บิทล่างอยู่ในรีจีสเตอร์ Tlx
1	0	โมด 2 ในการนับของรีจีสเตอร์ TLX ขนาด 8 บิทเมื่อนับถึงค่าสูงสุดคือ FFH เมื่อทำการนับต่อไปจะเกิดการ Overflow แล้วก็จะ "Reload" เอาข้อมูลจาก THX เข้าไปยัง TLX เพื่อเป็นค่าเริ่มต้นในการนับครั้งต่อไป
1	1	โมด 3 การทำงานของ Timer 0 และ Timer 1 จะต่างกันดังที่จะกล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TCON Timer Control Register

รีจีสเตอร์ขนาด 8 บิท นี้ใช้ควบคุมการทำงานและ บอกสภาวะของ Timer 0 และ Time 1 แต่บิทของรีจีสเตอร์นี้จะทำงานต่างกันดังตารางที่ 2.16

TF1	TR1	TF0	TRO	IE0	IT1	IE0	IT0

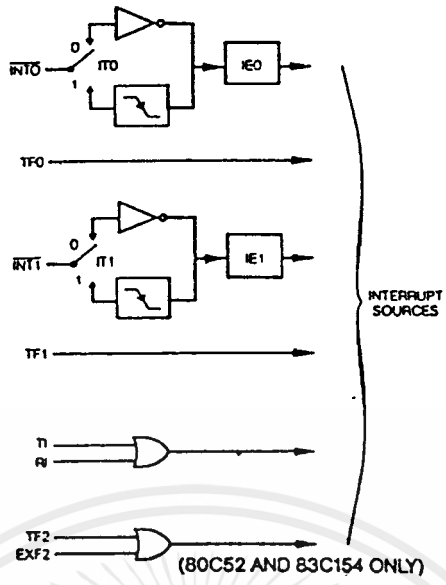
TF1	TCON.7	Timer 1 overflow flag. Set by hardware when the Timer/Counter 1 overflow. Cleared by hardware as processor vectors to the interrupt service routine.
TR1	TCON.6	Timer 1 run control bit. Set/Cleared by software to turn Timer/Counter 1 ON/OFF.
TF0	TCON.5	Timer 0 overflow flag. Set by hardware when the Timer/Counter 0 overflows. Cleared by hardware as processor vectors to the service routine.
TR0	TCON.4	Timer 0 run control bit. Set/Cleared by software to tum Timer/Counter 0 ON/OFF.
IE1	TCON.3	External Interrupt 1 edge Flag. Set by hardware when External interrupt edge is detected. Cleared by hardware when interrupt is processed.
IT1	TCON.2	Interrupt 1 type control bit. Set / Cleared by software to specify failling edge / flow level triggered.External Interrupt.
IE0	TCON.1	External Interrupt 0 edge flag. Set by hardware when External Interrupt edge detected. Cleared by hardware when interrupt is processed.
IT0	TCON.0	Interrupt 0 type control bit.Set/Cleared by software to specify failling edge/low level triggered External Interrupt.

ตารางที่ 2.16 TCON Timer Control Register

IE Interrupt Enable Register

การขัดจังหวะการทำงานเป็นการที่มีสัญญาณหนึ่งหรือคำสั่งหนึ่งที่ จะทำให้การทำงานการปกติของโปรแกรมถูกขัดจังหวะใน 8051 จะสามารถขัดจังหวะด้วยสัญญาณจาก 6 แหล่งดังรูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แหล่งกำเนิดสัญญาณขัดจังหวะ

สัญญาณขัดจังหวะที่ 5 ในรูปที่ 2.17 จะสามารถทำให้เกิดการขัดจังหวะได้ 2 วิธี คือ มีข้อมูลเข้ามาทางพอร์ทอนุกรมเก็บอยู่ที่รีจีสเตอร์ SBUF และกรณีที่ข้อมูลใน SBUF ส่งออกไปทางพอร์ทอนุกรมหมดแล้ว ไม่ว่ากรณีใด ๆ ก็ทำให้เกิดการขัดจังหวะขึ้น

PCON (Power Control Register)

Symbol	Position	Name and Function
SMOD	PCON.7	Double Baud rate bit. When set to a 1. thebaud rate is doubled when the serial port is being used in either modes 1, 2 or 3 .
HPD	PCON.6	Hard power Down bit. Setting this bit alfows CPU to enter in Power Down (83C154 state on an external event (1 to 0 transition) on bit T1 (P.3-5) the CPU quit only) the Hard Power Down mode when bit T1 (P.3-5) go high or when reset is activated.
RPD	PCON.5	Recover from idle or Power Down bit. When 0 RPD has no effect. When 1 (83C154 RPD Permits to exit from idle or Power Down with any non enabled interrupt only)souice (except timex 2) In this case the program start at the next address. When interrupt is enabled the appropriate interrupt routine is serviced.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Position	Name and Function
-	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Ide mode bit. Setting the bit activates idle mode operation.

ตารางที่ 2.18 PCON : Power Control Register

8051 เป็นไมโครโปรคอนโทรลที่สร้างขึ้นด้วยเทคโนโลยี่ทั้งแบบ CHMOS และ HMOS ซึ่งแบบ CHMOS มีข้อดีตรงที่ใช้กำลังไฟต่ำกว่าแบบ HMOS ดังนั้นต่อไปในอนาคตจึงจะมีแต่เฉพาะรุ่น CHMOS เท่านั้น นอกจากนี้แล้ว 8051 ยังมีข้อดีอีกตรงที่สามารถลดการใช้กำลังไฟลงได้โดยการทำงานใน Idle Mode และ

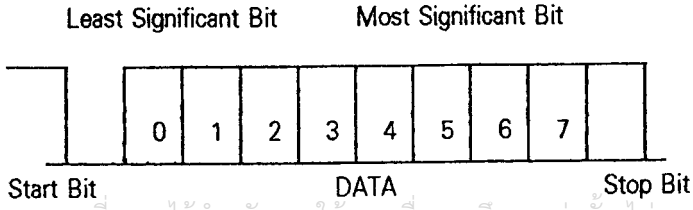
Power Down Mode ใน Idle Mode นั้น สัญญาณนาฬิการออกจากออสซิลเลเตอร์จะป้อนให้เฉพาะส่วน Interrupt, Serial Port และ Timer ในส่วนอื่นจะไม่มีสัญญาณนาฬิการไปเลี้ยง แต่มีไฟเลี้ยง ให้กับทุกส่วนในวงจรการใช้กำลังไฟจึงลดลงมาก ส่วนใน Power Down Mode นั้น ออสซิลเลเตอร์ จะหยุดทำงานทำให้ไม่มีสัญญาณนาฬิการไปเลี้ยงส่วนใด ๆ ในวงจรเลยแต่ข้อมูลภายในรีจีสเตอร์จะยังคง อยู่ไม่สูญหายไป รายละเอียดของแต่ละโมดจะได้กล่าวต่อไป

SMOD บิท 7 เป็นบิทที่ใช้ร่วมในการกำหนดอัตราการส่งข้อมูล (Baud Rate) ผ่านทางอนุกรม ซึ่งในการรับ-ส่ง ข้อมูลผ่านทางพอร์ทอนุกรม โหมด 1 และ 3 จะสามารถกำหนดอัตราการส่งข้อมูลได้ตามอัตราการเกิด Overflow ใน Timer 1 ถ้าบิทนี้เป็น 1 จะทำให้อัตราการส่งข้อมูลเพิ่มขึ้น 2 เท่า รายละเอียดการส่งข้อมูลผ่านพอร์ทอนุกรม

การส่งและรับข้อมูลแบบอนุกรมผ่าน 8051

สำหรับ MCS 8051 สามารถส่งและรับข้อมูลอนุกรมแบบ Universal Asynchrnous Receive Transmitter (UART) แบบ Full Duplex ที่สามารถเลือกรูปแบบในการรับขส่งได้ถึง 4 แบบ

สำหรับในโครงงานได้เลือกใช้การส่งและรับข้อมูลใน MODE 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037310

โดย ข้อมูลที่รับส่ง 1 ชุด มีขนาด 10 บิท

Start bit 1 บิท (Logic 0)

DATA bit 8 บิท

Stop bit 1 บิท (Logic 1)

และอัตราความเร็วในการส่งข้อมูลมีค่าเป็น 9600 b/s .

โดยอัตราความเร็วในการรับส่งข้อมูล คำนวนได้จากสมการ

$$\text{Baud rate} = \frac{2^{SMOD}}{32} \times \frac{\text{Oscillator Frequency}}{2 \times [\,256 - (TH1)\,]}$$

จากโครงงานได้กำหนดใช้ Timer 1 ทำงานใน Mode 2 และความถี่ระบบเท่ากับ 11.059 MHz บิท SMOD = 0 และ Register TH1 = FDH. (253) D

$$\text{Baud rate} = \frac{2^{0}}{32} \times \frac{11.059\ MHz}{12 \times [\,256 - 253\,]}$$

$$\text{Baud rate} = 9600\ b/s$$

ในการทำงานในการส่งและรับข้อมูล และอัตราความเร็วในการส่งข้อมูลจะต้องทำการใช้งาน SFR ต่าง ๆ ดังนี้

SCON (Serial Port Control Register)

SCON เป็น Register เพื่อควบคุมการส่งและรับข้อมูลแบบ Serial Port ในที่นี้ ได้กำหนด ในการรับส่งข้อมูลทำงานใน MODE1 โดยข้อมูล 1 ชุด มีขนาด 10 บิท ซึ่งประกอบด้วยStart Bit1 บิท (Logic 0), Data Bit 8 บิท และ Stop Bit 1 บิท (Logic 1) และเป็น Register เพื่อให้มีการรับข้อมูลเข้ามาทาง RXD.

TMOD ,(Timer / Counter Mode Register)

TMOD เป็น Register ที่ทำหน้าที่ควบคุมการทำงานของTimer หรือ Counter ในการใช้งานนี้ด้กำหนดใช้งานให้ใช้ Timer 1 และเลือกการทำงานของ Timer 1 ใน Mode 2 โดยทำงานแบบ "Reload" และเป็น Register ที่เป็นตัวกำหนดให้ วงจรในการรับ-ส่งทำงาน

TCON (Timer Control Register)

TCON เป็น Register เพื่อใช้ตรวจสอบสภาวะการทำงานของ Timer ในที่นี้ได้ใช้ Register นี้ในการตรวจสอบว่ามีข้อมูลเข้ามาทาง RXD หรือไม่ และใช้ตรวจสอบในการส่งข้อมูล

IE (Interupt Enable Register)

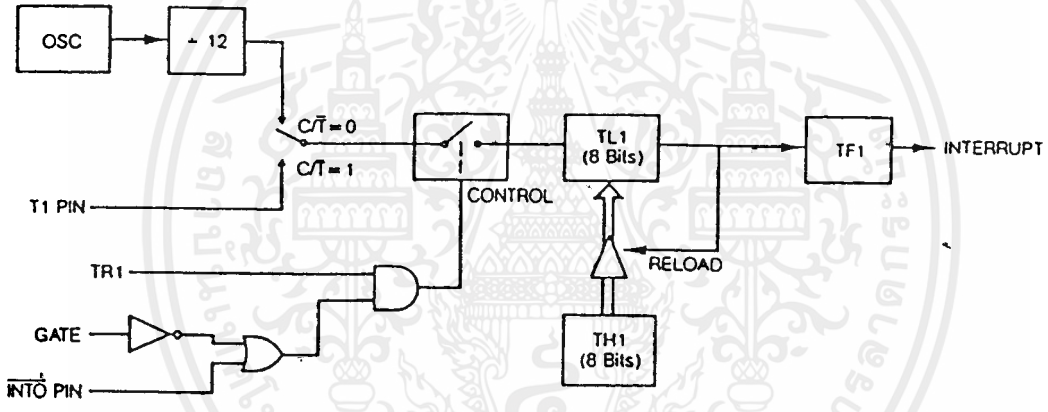
IE เป็น Register ที่ใช้ควบคุมในการ Interupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCON (Power Control Register)

PCON เป็น Register ที่ควบคุมการใช้งาน ในรูปของการลดกำลังงาน และอัตราเร็วในการส่งข้อมูล

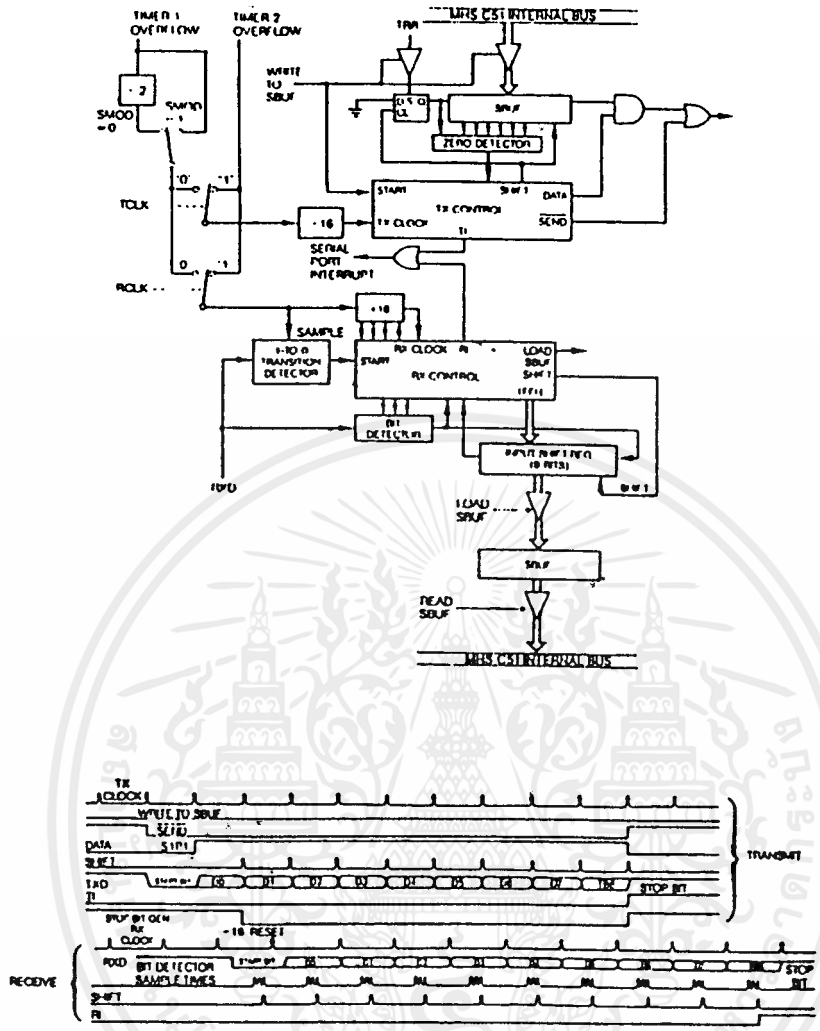
Registerทั้งหมดที่กล่าวมานี้จะต้องทำงานที่สอดคล้องกันหมดจึงจะทำให้การรับส่งข้อมูลแบบ Universal Asynchonous Receive Transmitter (UART) ทำงานในอัตราความเร็ว (Baud Rate) ที่กำหนด ในรูปที่ 2.19 เป็น Diagram ของวงจร Timer 1 ใน 8051 ที่ทำงานใน Mode 2 ซึ่งจะใช้ในการกำหนดอัตราความเร็วในการส่งและรับข้อมูล โดยการทำงานต้องกำหนดใน Register SFR. การกำหนด Baud Rate นั้น ได้กำหนดค่าที่ TH1 และวงจรทำงานใน Mode Timer 1 โดยกำหนดที่ขา C / T โดยความถี่ OSC จะถูกวงจรหาร 12 มารออยู่ที่ Control ดังนั้นการ START ให้วงจรทำงาน ก็ขึ้นอยู่กับ Output ของ AND Gate ที่มี Logic "1" โดยถูกควบคุมด้วย TR1 และ Gate หรือ INT



รูปที่ 2.19 ไดอะแกรมของ Timer 1 ใน 8051ที่ทำงานใน Mode 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.20 เป็น Diagram ของโครงสร้างภายใน 8051 ที่ในการรับและส่งข้อมูล พร้อม Timming Diagram



Serial Port mode 1

การทำงานโมด 1

การส่งข้อมูล

จากรูปบิท SMOD จะเป็นตัวเลือกว่า สัญญาณ Timer 1 Overflow ที่ส่งไปยังวงจรหาร 16 จะถูกหาร 2 ก่อนหรือไม่ ถ้า SMOD เป็น 1 สัญญาณ Timer 1 Overflow จะไม่ถูกหาร แต่ถ้า SMOD เป็น 1สัญญาณ Timer Overflow จะถูกหาร 2 ก่อนจะเข้าวงจรหาร 16 การส่งข้อมูลจะเริ่มจากการที่มีคำสั่งเขียนข้อมูลไปยังรีจีสเตอร์ SBUF จะมีสัญญาณ Write to SBUF เกิดขึ้นเพื่อรับข้อมูลจาก Internal Bus ด้านบนไปเก็บยังรีจีสเตอร์ SBUF และทำให้เอาท์พุทของ D FLIP FLOP ทางซ้ายของ SBUF มีค่าเป็น 1 และเป็นบิทที่ 9 ของการส่งข้อมูลสัญญาณ Write to SBUF ยังส่งไปยัง TX Control ด้วย ขณะนี้ข้อมูลในวงจรหาร 16 มีค่าเป็นอะไรไม่ทราบจึงจะรอจนกว่าข้อมูลในวงจรหาร 16 นับเพิ่มขึ้นจนถึงค่าสูงสุดแล้ววนกลับเป็น 0 คือเกิดการวนกลับทำให้เริ่มการส่งข้อมูลที่เวลา S1P1 ของไซเคิลเครื่องถัดไป (การส่งข้อมูลออกจะสัมพันธ์กับการเกิด Overflow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรหาร 16) สัญญาณ SEND จาก TX Control เปลี่ยนสภาวะลอจิกเป็น 0 แล้วเริ่มส่งข้อมูลที่เป็น Start Bit (0) ออกไป เมื่อส่ง Start Bit ออกไปแล้ววงจร TX Control ก็จะทำให้สัญญาณ DATA เป็น 1 เพื่อเลื่อนข้อมูลใน SBUF ออกไป เริ่มจากบิท 0 จนถึงบิทที่ 7 การส่งข้อมูลนี้จะเกิดขึ้นเมื่อสัญญาณ TX Clock เปลี่ยนสถานะจาก 0 เป็น 1 ดังในรูปที่ 36 ขณะที่ข้อมูลถูกเลื่อนออกไปนั้น จะมี 0 ถูกเลื่อนเข้ามาทางซ้ายของรีจีสเตอร์ SBUF เมื่อข้อมูลเลื่อนออกไปทั้ง 8 บิท แล้วบิทที่ 9 ซึ่งเป็น 1 และตอนต้นอยู่ทางซ้ายสุดจะถูกเลื่อนมาอยู่ในตำแหน่งสุดท้ายทางขวาของรีจีสเตอร์ SBUF และทางซ้ายของหลักนี้จะมี 0 อยู่ทั้ง 8 บิท ใน SBUF ทำให้ Zero Detector รู้ว่าเป็นข้อมูลบิทสุดท้ายแล้วที่ส่งออก โดยจะมีสัญญาณมาบอกกับวงจร TX Control ด้วย เมื่อ TX Control ส่งสัญญาณ Shift ออกไปเป็นการส่งข้อมูลบิทสุดท้าย (บิท 7) ออกไป ก็จะรออีก 1 TX Clock (Bit Clock) ก็จะทำให้ขา TXD ส่งข้อมูล Stop Bit (1) ออกมา สัญญาณ DATA ซึ่งมีสภาวะลอจิกเป็น 1 มาตั้งแต่เริ่มส่งข้อมูลบิท 0 ก็จะกลับเป็น 0 และบิท TI จะเป็น 1 เพื่อบอกการสิ้นสุดการส่งข้อมูล ทั้งหมดจะสิ้นสุดลงเมื่อสัญญาณ TX Clock ไซเคิลที่ 10 นับตั้งแต่สัญญาณ SEND เปลี่ยนสภาวะลอจิกเป็น 0

การรับข้อมูล

การรับข้อมูลจะขึ้นกับอัตราการเกิด Overflow ใน Timer 1 แล้วหาร 2 หรือไม่ขึ้นกับค่าของบิท SMOD สัญญาณนี้จะไปเข้าวงจรหาร 16 และเป็นตัวกำหนดอัตราการรับข้อมูล การรับข้อมูลจะเริ่มจากวงจร 1-TO-0 Transtition Detector พบว่าสัญญาณที่ขา RXD เปลี่ยนจาก 1 เป็น 0 ซึ่งหมายถึงมีข้อมูล Start bit เข้ามา การตรวจสอบนี้จะกระทำด้วยอัตราเดียวกับสัญญาณที่เข้าวงจรหาร 16 เมื่อพบการเปลี่ยนสถานะลอจิกที่ RXD ก็จะเริ่มการรับข้อมูล ขณะนี้จะรีเซ็ทวงจรหาร 16 ให้มีค่าเป็น 0 เพื่อสร้างสัญญาณ RX Clock ให้เข้าจังหวะ (Synchronous) กับข้อมูลที่เข้ามาโดยสัญญาณ RX Clock จะเป็น 1 เมื่อการนับของวงจรหาร 16 มีค่าเป็น 15 ขณะที่วงจรหาร 16 นับถึง 7, 8 และ 9 จะมีการตรวจสอบข้อมูลที่เข้ามาเป็นค่านั้น ถ้าในการตรวจสอบ Start Bitแล้วพบว่าผิดพลาด คือไม่เป็น 0 ก็จะรีเซ็ทการทำงานเพื่อไปตรวจสอบการเปลี่ยนสถานะจาก1เป็น 0 ของข้อมูลที่ขา RXD ใหม่ แต่ถ้าพบ Start Bit ก็จะเก็บข้อมูลทั้งหมดที่เข้ามาโดยเลื่อนข้อมูลเข้าไปยัง Input Shift Reister ที่มีสัญญาณควบคุมการเลื่อนข้อมูล (Shift) ส่งมาจาก RX Control ในตอนเริ่มต้นการรับข้อมูลจะมีการเขียนข้อมูล 1FFH ไปเก็บใน Input Shift Register ขณะที่ ข้อมูลถูกเลื่อนเข้าไปทางขวาของ Input Shift Register ก็จะมี 1 ถูกเลื่อนออกไปทางซ้ายทุกครั้งที่มีข้อมูลเข้ามา เมื่อ Start Bit ที่รับเข้ามาถูกเลื่อนไปถึงซ้ายสุดของ Input Shift Register ก็จะมีสัญญาณไปบอก RX Control Clock หลังจากข้อมูลบิทสุดท้ายเข้ามาแล้วก็จะโหลด (Load) เอาข้อมูล 8 บิทไปเก็บในรีจีสเตอร์ SBUF พร้อมทั้ง Set ค่าในบิท RI และ RB8 ของรีจีสเตอร์ SCON แต่การโหลดข้อมูลไปเก็บนี้จะเกิดขึ้นได้ก็ต่อเมื่อ

1. RI = 0 และ
2. SM2 = 0 หรือถ้า SM2 = 1 จะต้องได้รับ Stop Bit เป็น 1

ถ้าไม่มีสภาวะใดสภาวะหนึ่งดังกล่าวแล้ว ข้อมูลที่รับเข้ามาก็จะถูกทิ้งไปคือไม่โหลดไปเก็บในรีจีสเตอร์ SBUF ถ้ามีสภาวะดังกล่าวถูกต้อง Stop Bit จะถูกนำไปเก็บในรีจีสเตอร์ RB8 และ บิท RI จะเป็น 1แต่ไม่ว่าทั้ง 2 กรณีจะเกิดหรือไม่ก็จะกลับไปสู่การตรวจสภาวะเปลี่ยนจาก 1 เป็น 0 ที่ขา RXD เพื่อรับข้อมูลต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปในการับข้อมูลแบบอนุกรมโหมด1 นี้ อัตราการส่งข้อมูลแต่ละบิท (Baud Rate) จะขึ้นกับอัตราการเกิด Overflow ใน Timer 1 ดังสมการ

$$\text{Baud Rate} = \frac{2^{SMOD}}{32} \times (\text{Timer 1 Overflow Rate})$$

ในขณะที่ใช้ Timer 1 เป็นตัวกำหนด Baud Rate นี้จะต้อง Disable ไม่ให้เกิดการขัดจังหวะเนื่องมาจากการ Overflow Timer 1 อาจใช้ในโมดของ Timer หรือ Counter ก็ได้ ซึ่งเมื่อนับในรีจีสเตอร์ตัวนับมีค่าสูงสุดแล้วกลับมาเป็น 0 ก็จะเกิด Overflow เช่นเดียวกัน แต่โดยปกติแล้วจะใช้ Timer 1 นี้ในโหมดของ Timer ที่มีการทำงานแบบ Auto Reload โหมด 2 เพื่อว่าเมื่อค่าในการนับโดยรีจีสเตอร์ TL1 ถึงค่าสูงสุดก็จะโหลดค่าในรีจีสเตอร์ TH1 มาไว้ใน TL1 สำหรับเป็นค่าเริ่มต้นการนับต่อไปซึ่ง Baud Rate จะมีค่า

$$\text{Baud Reat} = \frac{2^{SMOD}}{32} \times \frac{\text{Oscillator Frequency}}{12 \times [\,256 - (TH1)\,]}$$

โดยที่ SMOD เป็นบิทหนึ่งในรีจีสเตอร์ PCON เช่นความถี่ของออสซิลเลเตอร์เท่ากับ 11.059 Mhz บิท SMOD = 0 รีจีสเตอร์ TH1 มีค่า E8H, Timer 1 ทำงานในโหมด 2 จะได้ว่าอัตราการส่ง-รับข้อมูลแบบอนุกรม

$$= \frac{2}{32} \times \frac{11.059 \times 10^{6}}{12 \times [\,256 - 232\,]}$$

$$= \frac{1}{32} \times \frac{11.059 \times 10^{6}}{12 \times 24}$$

$$= 1200 \text{ บิท/วินาที}$$

2.2 หฤษฎี INPUT/OUT PUT PORT โดยใช้ 8255

SHIFT 8255 เป็นไอซี LSI ขนาด 40 ขา ดังรูป 2.22 ซึ่งแสดงตำแหน่งของขาต่าง ๆ ทั้ง 40 ขา สำหรับรูปที่ 2.21 แสดงแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ทสำหรับรับส่งข้อมูลอยู่ด้วยกัน 3 พอร์ท มีชื่อนี้ พอร์ท A, B และ C โดยพอร์ท C นี้จะแบ่งออกเป็น 2 ส่วน คือ พอร์ท C บน (CLO) กับพอร์ท C ล่าง (CHI) และยังมีอีกพอร์ทหนึ่ง ซึ่งทำหน้าที่ควบคุมการทำงานของพอร์ท A, B และ C โดยรับคำสั่งมาจาก CPU พอร์ทนี้ เรียกว่าพอร์ทควบคุม (Control Port) การทำงานของพอร์ทจะถูกกำหนดโดย CPU โดย CPU จะส่งรหัสควบคุมทางดาต้าบัส (Data Bus) ให้แก่พอร์ทควบคุมหน้าที่ของต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CS (Chip Select)

ใช้ในการเลือกว่าจะให้ 8255ตัวนี้ทำงานหรือไม่โดยถ้าได้รับลอจิก 0จะทำให้ 8255 เชื่อมต่อเข้ากับระบบบัสต่าง ๆ ของ CPU แต่ถ้าเป็นลอจิก 1 จะอยู่สภาวะ High Impedance

RD (Read Enable)

ถ้าได้รับลอจิก 0 และ CS ได้รับลอจิก 0 เช่นกัน แสดงว่า 8255 ทำการส่งข้อมูลจากพอร์ทที่ CPU ต้องการติดต่อด้วยนั้นให้แก่ CPU ทางดาต้าบัส

WR (Write Enable)

ถ้าได้รับลอจิก 0 พร้อมกับ CS แล้ว 8255 จะส่งข้อมูลจากดาต้าบัสของ CPU ออกไปยังพอร์ทที่ CPU กำหนดไว้

RESET การทำ Reset 8255 เข้าสู่โหมดอินพุท ทุก ๆ พอร์ท และเคลียร์สถานะต่าง ๆ ของ 8255

D0-D7 เป็น Data Bus ที่ใช้รับส่งข้อมูลกับ CPU

A0-A1 คือ ขาแอดเดรสที่ใช้ในการเลือกพอร์ทที่ CPU ต้องการติดต่อ

00 = พอร์ท A

01 = พอร์ท B

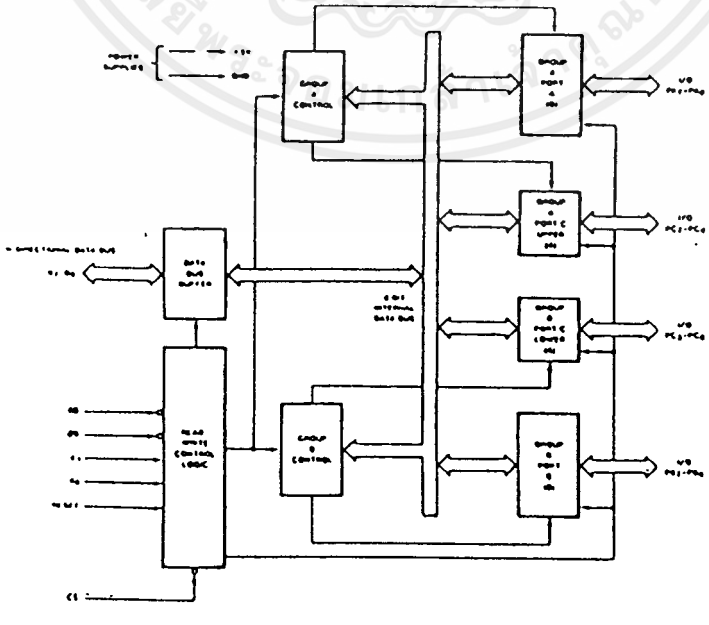
10 = พอร์ท C

11 = พอร์ทควบคุม

PA0-PA7 เป็นขาสัญญาณของพอร์ท A

PB0-PB7 เป็นขาสัญญาณของพอร์ท B

PC0-PC7 เป็นขาสัญญาณของพอร์ทC โดยแยกเป็น PC0-PC7 และ PC4-PC7 โดยสามารถแยกการทำงานได้โดยอิสระ

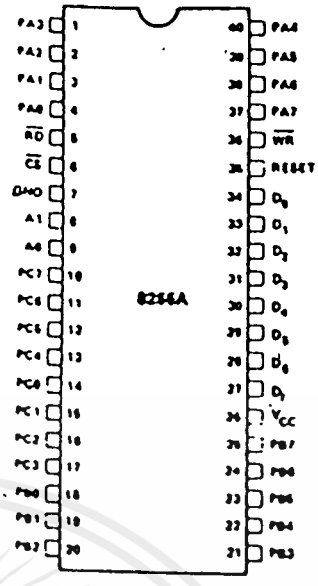


รูปที่ 2.21 แสดงแผนผังภายใน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN NAMES

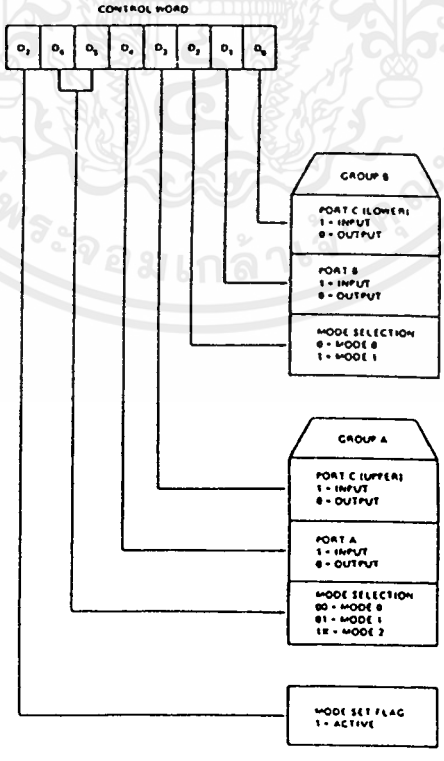
D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7 PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS



รูปที่ 2.22 แสดงตำแหน่งขาต่างๆ ของ 8255

พอร์ทควบคุม (CONTROL PORT)

เป็นพอร์ทการกำหนดการทำงานของ 8255 โดยควบคุมจาก CPU โดย CPU ทำการส่งรหัสควบคุมผ่านทางดาต้าบัสมายังพอร์ทควบคุมของ 8255 รหัสควบคุมนี้มีขนาด 1 ไบท์ เรียกว่า Control Byte และในแต่ละบิทมีความหมายเฉพาะตัวเอง ดังรูป 2.23



รูปที่ 2.23 แสดงความหมายของแต่ละบิตของรหัสควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน 8255

8255 แบ่งการทำงานออกเป็น 3 โหมด ดังนี้

โหมด 0

เป็นโหมดอินพุทหรือเอาท์พุทพอร์ทอย่างใดอย่างหนึ่ง ซึ่งเรียกว่า Simple I / O Port และสามารถทำงานได้ทั้ง 3 พอร์ท คือ A, B, และ C

โหมด 1

เป็นโหมดอินพุทหรือเอาท์พุทอย่างใดอย่างหนึ่ง ซึ่งทำงานแบบ Handshaking ซึ่งสามารถทำงานได้เฉพาะพอร์ท A และ B การทำงานแบบ Handshaking ก็คือระหว่าง CPU กับพอร์ทและอุปกรณ์ภายนอกนั้น ขณะที่รับส่งข้อมูลกัน นอกจากจะรับข้อมูลกันแล้ว ยังต้องมีสัญญาณในการตอบรับในแต่ละครั้งของการรับส่งข้อมูล โดยผู้รับกับผู้ส่งจะต้องทำงานสัมพันธ์กันตลอดเวลา โดยพอร์ท A และ B ใช้ในการรับส่งข้อมูล ส่วนพอร์ท C จะเป็นรับและส่งสัญญาณควบคุม ดังตารางข้างล่าง

	OUT	IN
PC0	$INTR_B$	$INTR_B$
PC1	IBF_B	OBF_B
PC2	STB_B	ACK_B
PC3	$INTR_A$	$INTR_A$
PC4	STB_A	I / O
PC5	IBF_A	I / O
PC6	I / O	ACK_A
PC7	I / O	OBF_A

โหมด 2

ในโหมด 2 นี้เป็นการรับส่งข้อมูลแบบ Handshaking เช่นกัน โดยในโหมดนี้ จะใช้พอร์ทAเท่านั้นในการใช้งาน และพอร์ท A ในโหมดนี้ เป็นได้ทั้งอินพุท และเอาท์พุทพอร์ท (Bidirectional) และใช้พอร์ท C เป็นพอร์ทในการส่งสัญญาณควบคุม ดังตารางข้างล่าง การใช้งานในโหมดนี้ ซึ่งใช้เพียงพอร์ท A ขณะเดียวกันนี้ สามารถใช้พอร์ท B ในการทำงาน โหมด 0 และ 1 ได้

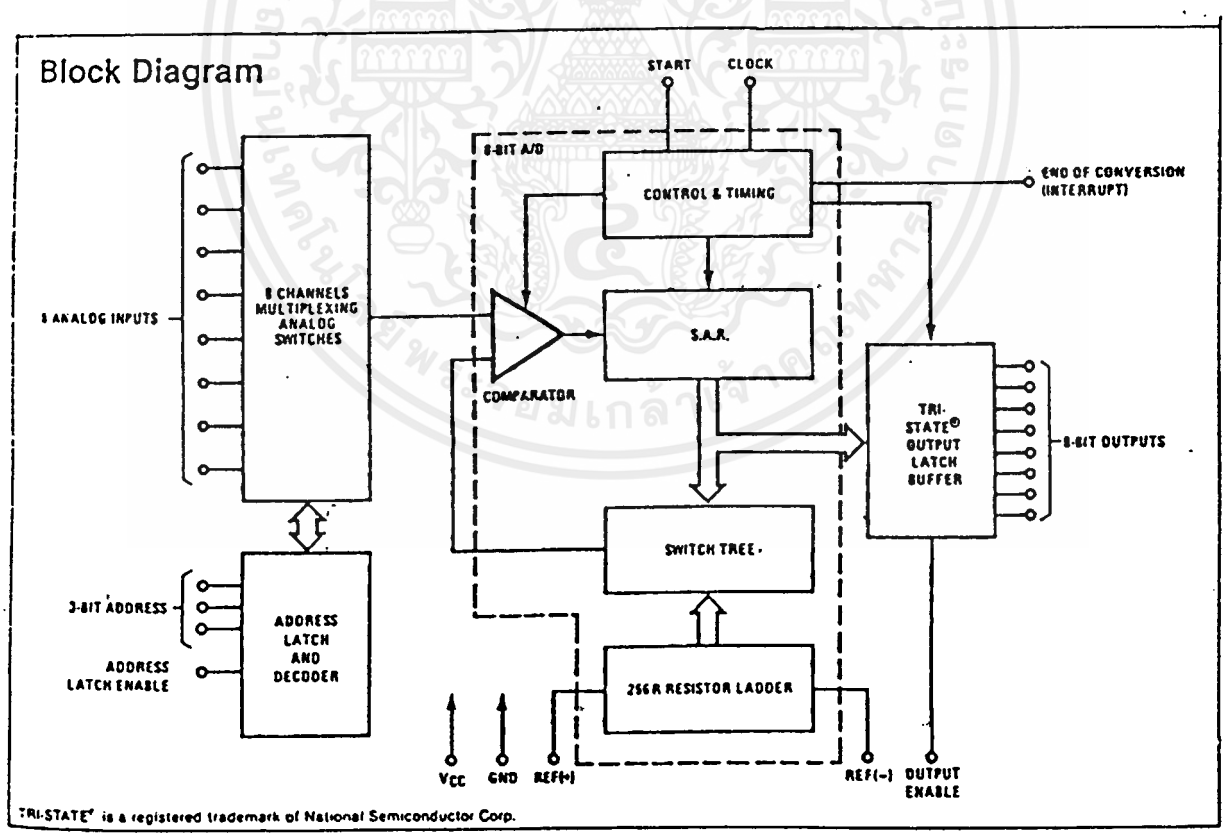
PORT C LINE	DEFINITION
PC0	I / O
PC1	I / O
PC2	I / O
PC3	$INTR_A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PORT C LINE	DEFINITION
PC4	STB_A
PC5	IBF_A
PC6	ACK_A
PC7	OBF_A

2.3 ทฤษฎี เอ / ดี คอนเวอร์เตอร์ โดยใช้ ADC 0808

ADC 0808 เป็น IC แบบ CMOS ที่ใช้แปลงสัญญาณ Analog เป็นข้อมูล Digital ที่มีขนาดของข้อมูล 8 bit ซึ่งการทำงานภายในแบบ Soccessive Approximation ที่มีความเร็วปานกลาง และความเที่ยงตรงสูงและ ADC 0808 มี Analog Input ถึง 8 Channel ซึ่งสามารถต่อกับสัญญาณ Analog ที่ต้องการแปลงเป็นข้อมูล Digital ได้ถึง 8 ช่องสัญญาณ โดยมีขา Multiplexในการเลือก Analog Input อยู่ 3 ขา คือ ADD A,ADD B, ADD C, ดังรูปเป็นโครงสร้างภายใน ADC 0808



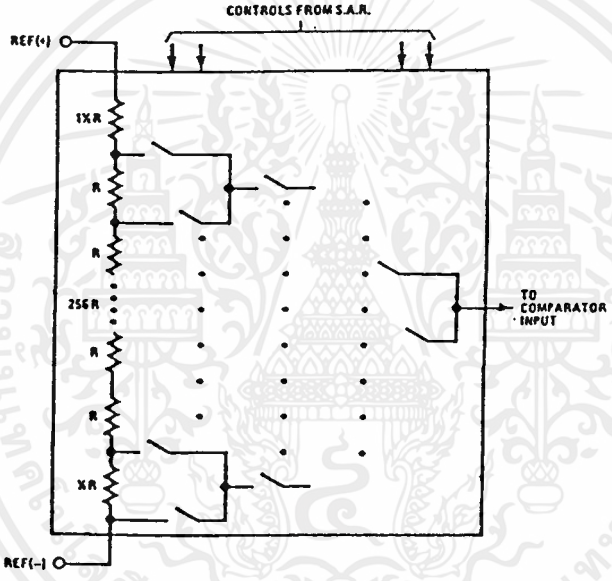
รูปที่ 2.24 โครงสร้างของ ADC 0808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

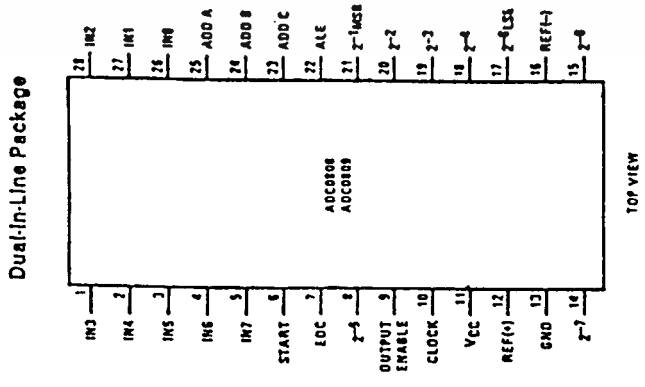
ลักษณะสำคัญ

- สามารถเปลี่ยนเป็นสัญญาณดิจิตอลได้ถึง 8 บิท
- ความไม่ลิเนียร์ประมาณ + 1/2 LSB และ + 1 LSB
- แหล่งจ่ายไฟ 5 VDC
- 8 Channel Analog Input และ Multiplex With Latchd Control Logic
- ง่ายในการต่อใช้งาน และ Interface กับ Microprocessor
- ย่านอุณหภูมิ - 20° C to + 85° C หรือ - 55° C to + 125° C
- Latched TRI - STATE Output

ลักษณะของ ADC แบบ Successive Approximation Register (SAR)โดย ADC ภายในเป็นแบบ 256R Ladder Network โดยผ่าน Switch Three โดยควบคุมจาก SAR Resistor Ladder and Switch Tree



รูปที่ 2.25 แสดงลักษณะของ ADC แบบ Sucessive Approximation Register



รูปที่ 2.26 เป็นรูปแสดงขาของ IC ADC 0808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของขา ADC 0808

INO - IN7

เป็นขา Analog Signal ที่สามารถต่อสัญญาณ Analog ได้ 8 สัญญาณ ADD A,B และ C เป็นขา Multiplex สัญญาณ Analog Input ตามที่ต้องการแปลงสัญญาณ Analog to Digital

ALE (Address Latch Enable)

เป็นขา Input ที่รับสัญญาณเพื่อ Latch ข้อมูลขนาด 3 bit ที่ขา ADD A, ADD B, ADD C, เพื่อในการ Multiplex

START เป็นขา Input เพื่อรับสัญญาณในการ START ให้ ADC 0808 ทำงานในการแปลงสัญญาณ Analog เป็น Digital

2^0 - 2^7 เป็นขาของข้อมูล Digital ขนาด 8 บิท

OE (Output Enable)

เป็นขาที่ควบคุมข้อมูล Digital ขนาด 8 บิท ว่าต้องการที่จะให้ส่งออกทางขา Output ของ ADC 0808 หรือไม่

EOC(End Of Conversion)

เป็นขา Output ที่จะส่งสัญญาณเพื่อบอกว่าการทำงานของ ADC 0808 ที่การแปลงข้อมูลเสร็จแล้วหรือยังจากโครงสร้างของ ADC 0808 จะพบว่า ADC 0808 มี Analog Input อยู่ 8 Channel ที่สามารถต่อAnalog Signal เพื่อที่จะแปลงเป็น Digital 8 บิท ได้ถึง 8 Channel และในการ Multiplex Channel ที่จะทำการแปลง จะต้องกำหนดข้อมูลขนาด 3 บิท ให้กับขา ADD A, ADD B และ ADD C, ดังตารางรูปที่ 2.27

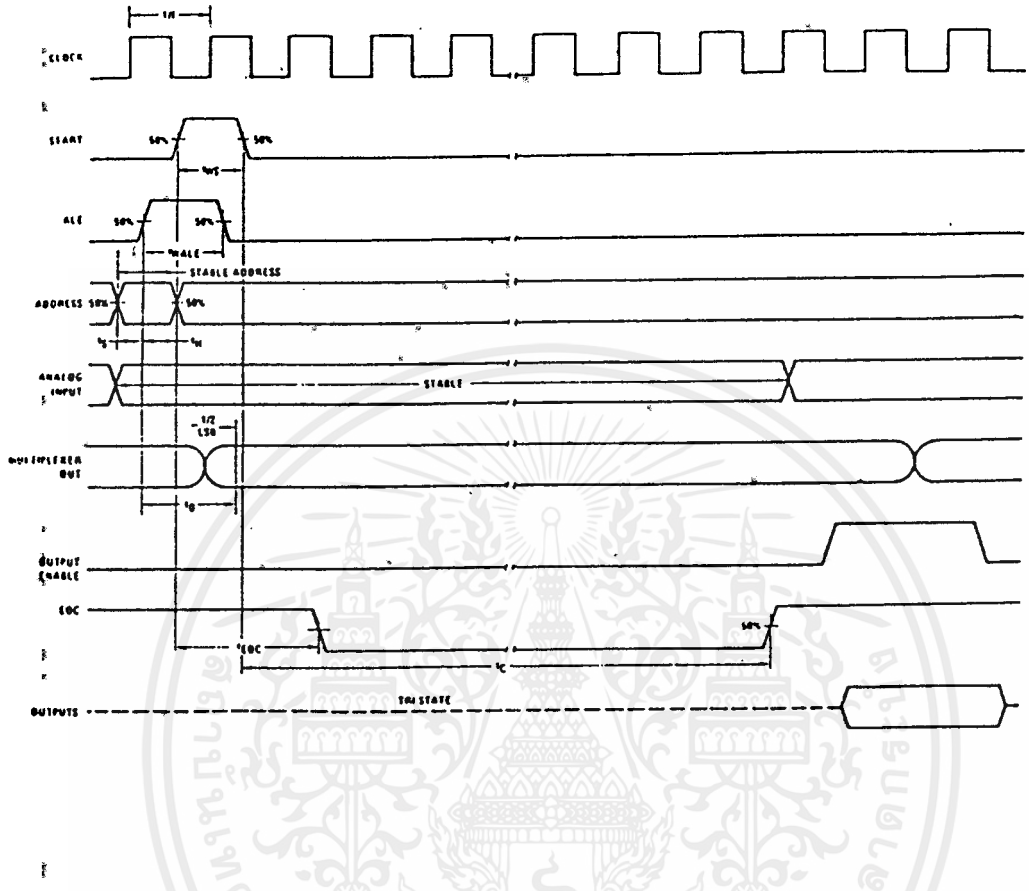
SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

รูปที่ 2.27 แสดง Multiplex Channel ที่จะทำการแปลงข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานตามแผนผังเวลา

Timing Diagram



จากแผนผังเวลา (Timing Diagram) การทำงานของวงจรจะต้องสัมพันธ์กับสัญญาณนาฬิกา(ClocK) การทำงานเป็นไปตามลำดับดังนี้

ขั้นตอนการทำงาน

1. กำหนดChannel ของ Analog Input ที่ต้องการโดยป้อนเป็นสัญญาณ Digital 3 บิท เข้าที่ขา ADD A ADD B, ADD C,

2. ป้อนพัลซ์บวกเข้าที่ขา ALE (Address Latch Enable) เพื่อทำการ Latch ข้อมูลขนาด 3 บิทที่ ป้อนเข้าที่ขา ADD A, ADD B, ADD C และวงจรจะทำการ Multiplex Analog Channel ตามข้อมูล 3 บิท ตามตารางรูปด้านบน

3. ป้อมพัลซ์บวกที่ขา START เพื่อให้วงจรทำงานแปลข้อมูล

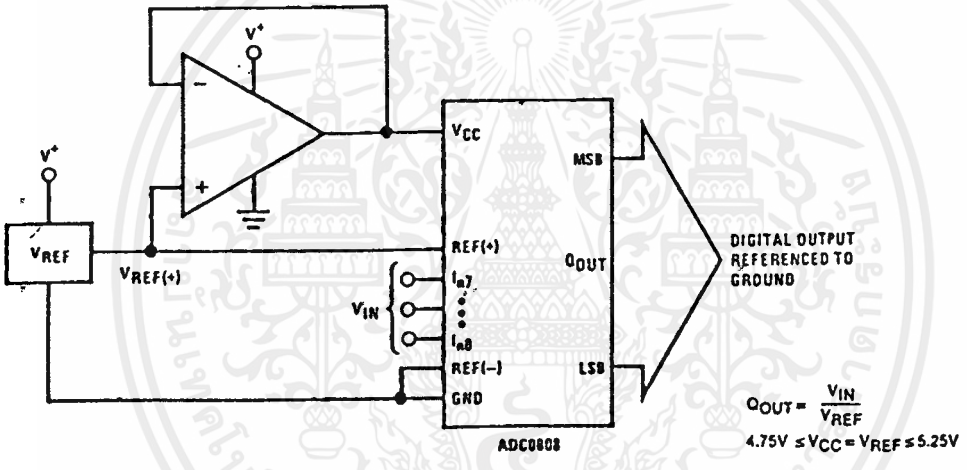
4. เมื่อทำตามขั้นตอนที่ 1, 2 และ 3 เสร็จ ADD 0808 จะทำการเลือก Channel ที่เป็น Analog Signal ตาม Data3 bit มายังวงจรภายใน เข้ากับ Comparator In สัญญาณ Analog ก็จะถูกทำการแปลงเป็นสัญญาณ Digital โดยมีขนาด 8 บิท ขณะที่ทำการแปลงสัญญาณนั้นที่ขา EOC (End Of Conversion) จะ Active Lowจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทั่งวงจรภายในแปลงสัญญาณเสร็จ EOC ก็จะเปลี่ยนสถานะเป็น High นั้นแสดงว่าข้อมูลที่นำมาแปลงเป็นสัญญาณ Digital เรียบร้อยแล้ว

5. OUTPUT ของ ADC 0808 โดยมี 3 สถานะ โดยปกติจะอยู่สถานะ High Impedance ดังนั้นถ้าต้องการให้ ADC แสดงข้อมูลออกทาง O/ P ก็ให้ป้อนพัลซ์บวกที่ขา Output Enable ด้าน Output จึงแสดงค่าข้อมูลที่เป็น Digital ออกมาโดย Output จะแสดงค่านานเท่าใดนั้น ขึ้นอยู่กับความกว้างของพัลซ์บวกที่ป้อนให้ที่ขา OE (Output Enable)

ในการนำไปใช้งาน วงจร เอ / ดี คอนเวอร์เตอร์ สามารถต่อวงจรได้ ดังนี้

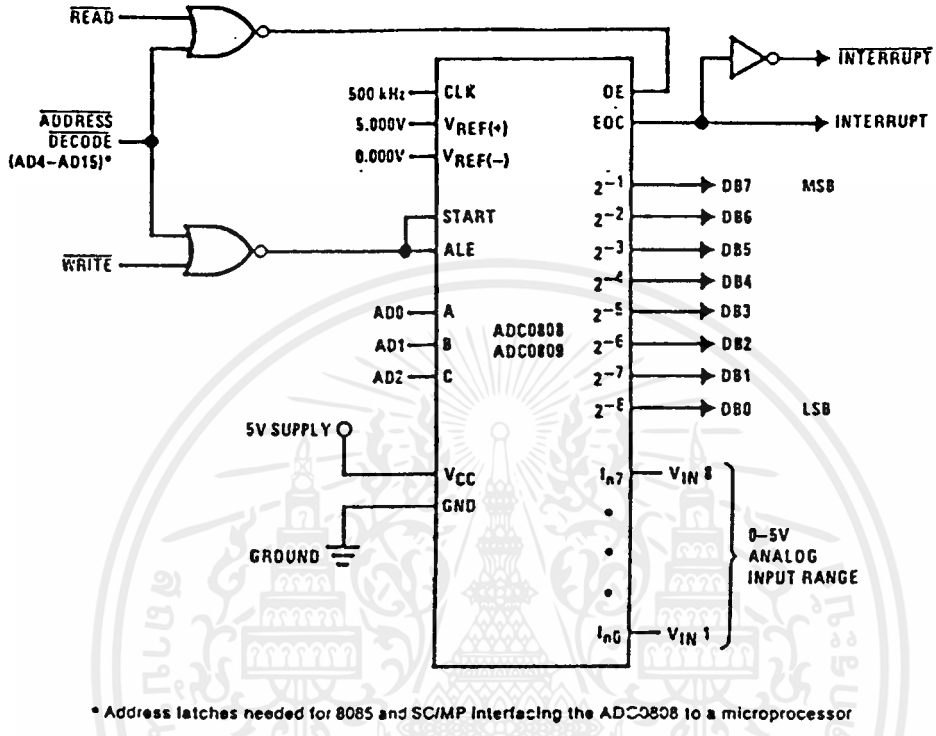


Ground Referenced Conversion System with Reference Generating V_{CC} Supply

รูปที่ 2.28 ระบบการแปลงแบบเป็นอัตราส่วน

จากรูปที่ 2.28 เราจะเห็นว่า ขา Ref (+) ต่อเข้ากับแหล่งจ่าย (Vcc) และ Ref (-) ต่อเข้ากับ Ground ทำให้เราใช้งานได้ในช่วงจำกัด คือ Input ที่ป้อนเข้ามาจะอยู่ระหว่างแหล่งจ่าย (Vcc) กับแท่น Groundสำหรับการนำไปใช้งานในการ Interface กับ Microprocessor นั้น จะแสดงดังรูปที่ 2.29 โดยในกรณีที่จะให้วงจรทำการแปลงสัญญาณ ซึ่งจะใช้สัญญาณ Write จาก Microprocessor มาทำการ Latch Channel ที่จะต้องการแปลง และพร้อมทำการ Start และที่ขา EOC ซึ่งนำไปใช้ประโยชน์ในการ Interrup Microprocessor ให้ Microrprocessor รับรู้ว่าขณะนี้ วงจรได้ทำการแปลงสัญญาณเสร็จเรียบร้อยแล้ว และเมื่อ Microprocessor ต้อง การอ่านข้อมูล ก็จะใช้สัญญาณจากขา READ มาทำการ Output Enabel (OE) เพื่อให้วงจรแสดงข้อมูลขนาด 8 บิท ที่ขา Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 การ Interface กับไมโครโปรเซสเซอร์

2.4 **ทฤษฎี**การ Modulation and Demodulation โดยใช้เทคนิค FSK

ตัวกำหนดสัญญาณ FSK (FSK Generator)

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะเป็นข้อมูลไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุทเปลี่ยนแปลงจากสถานะโลจิก "1" เป็นโลจิก "0" (หรือในทางกลับกันคือโลจิก "0" เป็นโลจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกัน คือความถี่โลจิก "1" หรือ Mark Frequency (fm) และความถี่ที่โลจิก "0" หรือ Space Frequency (fs) การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้น เมื่อ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

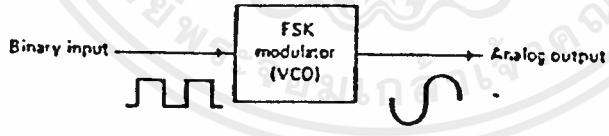
สถานะของโลจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอล มอดดูเลชั่นนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า "อัตราบิท" หรือ Bit Rate มีหน่วยเป็นบิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาท์พุทของ FSK Generator เรียกว่า "อัตราบอร์ด" หรือ Baud Rate ดังนั้นการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ

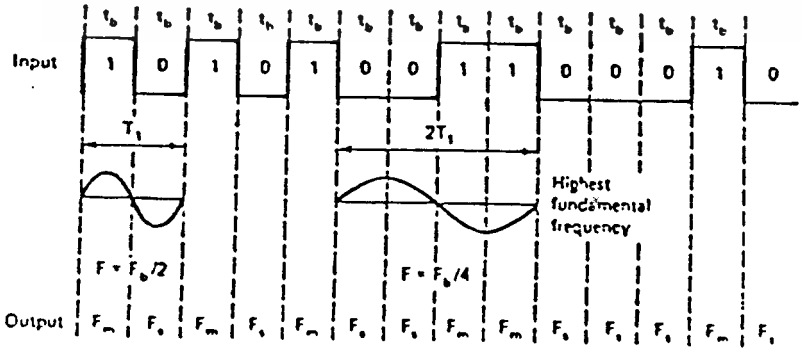
FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อกหรือสัญญาณความถี่นั้น แบนด์วิดธ์ เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกับ FM ดังนั้นการอธิบายถึงสูตรต่าง ๆ ก็ใช้หลักการของ FM ทุกอย่าง จากรูปที่ 2.30 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกันกับ FM มอดูเลเตอร์คือ ใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงที่เร็วที่สุดของสัญญาณอินพุทจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น "1" และ "0" สลับกันซื่อก็คือ สัญญาณสี่เหลี่ยมนั่นเอง (Square Wave) ตามตัวอย่างในรูปที่ 2.30 เป็นสัญญาณในช่วง T1 ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ

$$F_{0\,max} = \text{Bit Rate} / 2$$

เมื่อ $F_{0\,max}$ = ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดูเลท





รูป 2.30 FSK Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่กลาง (Center Frequency = fo) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (fm) กับ Space Frequency (fs) ดังรูปที่ 2.31

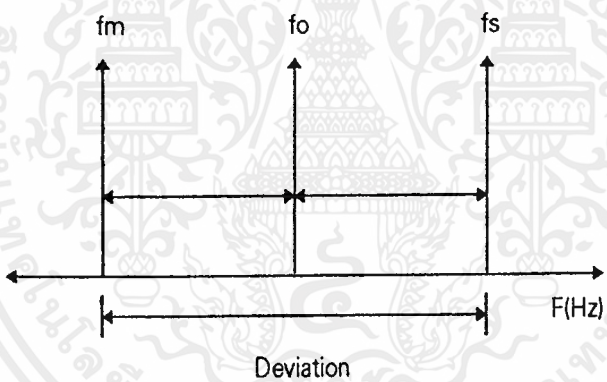
โลจิก "1" ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก fo ไปเป็น fs จะเห็นว่าการเปลี่ยนแปลงของข้อมูล ไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนไปมา ระหว่าง fm กับ fs เนื่องจากที่กล่าวมาแล้วว่า FSK นั่นคือการมอดูเลทแบบ FM ดังนั้น ดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \Delta F / Fa$$

เมื่อ MI = ดัชนีการมอดูเลท

ΔF = การเบี่ยงเบนของความถี่ใด ๆ จากความถี่กลาง (Hz)

Fa = ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)



รูป 2.31 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิดธ์กว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลทแล้ว และความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลท ค่า F เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง fo กับ fm หรือ fo กับ fs ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง fm กับ fs นั่นคือ

$$\Delta F = \frac{fs - fm}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางโลจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5V หรือ ถ้าเป็นโลจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับโลจิก "0" เช่นกัน (เช่น 0 V) ดังนั้นความถี่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนคงที่ และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ Fa เป็นความถี่หลังของข้อมูลไบนารีด้านอินพุท ซึ่งจะทำให้แบนด์วิดธ์กว้างที่สุดเมื่อ Fa = Bit Rate / 2 เท่านั่นเพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = \frac{fs - fm}{2} \Big/ \frac{fb}{2}$$

$$MI = \frac{fs - fm}{fb}$$

เมื่อ fs - fm = ความถี่เบี่ยงเบนสูงสุด

Fb = อัตราบิทของไบนารีอินพุท

ในการส่งสัญญาณ FM โดยทั่ว ๆ ไป ความกว้างของแบนด์วิดธ์ จะแปรผันตรงกับค่า MI ซึ่งเช่นเดียวกับ FSK ที่ค่า Mi โดยทั่ว ๆ ไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็น FM แบนแคบ (Narrow Band FM) ค่าแบนด์วิดธ์ที่แคบที่สุดเรียกว่า Minimum Nyquist Bandwidth (Fn) ตัวอย่างเช่นการส่งข้อมูลแบบ FSK มีความถี่กลาง (fo) = 7 kHz ความถี่สเปซ (fs) = 8 kHz และความถี่มาร์ค (fm) = 6 kHz ข้อมูลไบนารีอินพุทมี Bit Rate = 2kHz สามารถหา Fn ได้ดังนี้

$$MI = \frac{fs - fm}{fb}$$

$$MI = \frac{8\ kHz - 6\ kHz}{2\ kHz} = 1.0$$

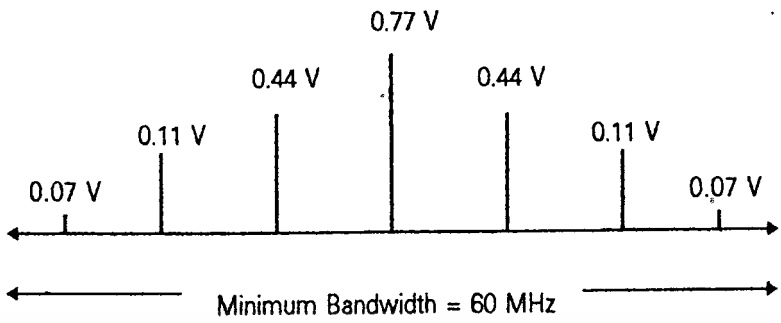
จากตาราง Bassel Function ในตารางที่ 2.32 เมื่อ MI = 1.0 จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง (fo) ช่วงละ 1 kHz (ซึ่งก็คือ FB / 2 เมื่อ fb คือ Bit Rate = 2 kHz) สามารถเขียนเป็นสเป็คตรัมความถี่ได้ดังรูปที่ 2.33

MI	J0	J1	J2	J3	J4
0.0	1.00				
0.25	0.98	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.56	0.23	0.06	0.01
2.0	0.22	0.58	0.35	0.13	0.03

ตารางที่ 2.32 Bassel Function Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

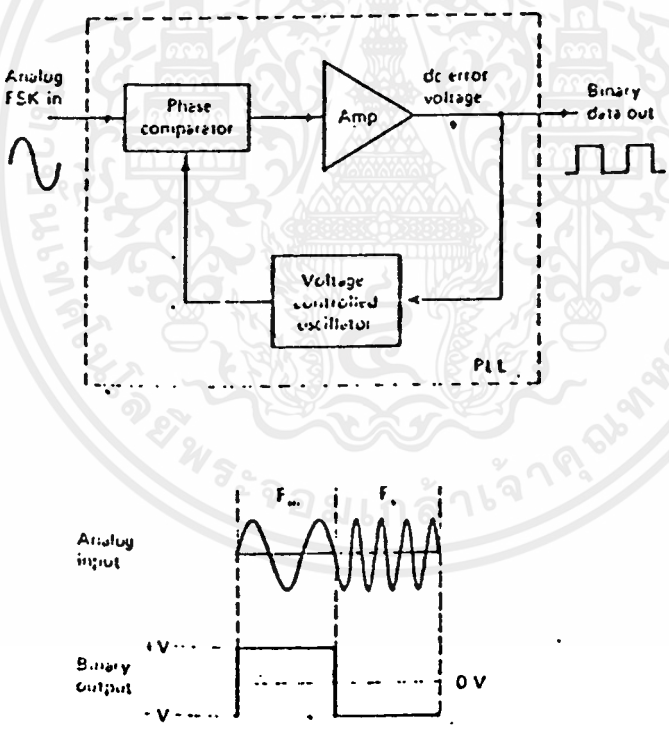
มีข้อน่าสังเกต คือ MI ที่มีค่าอยู่ระหว่าง 0.5 ถึง 1.0 จะทำให้แบนด์วิดธ์มีค่าประมาณ 2 - 3 เท่าของ Bit Rate เสมอ



รูปที่ 2.33 สเป็คตรัมความถี่ของตัวอย่างที่กล่าว

FSK ดีมอดูเลทเตอร์ (FSK Demodulator)

FSK Demodulator คือตัวรับสัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phaselock Loops) ดังรูปที่ 2.34



รูป 2.34 PILL - FSK Demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่างคือ จะมีความถี่ฟรีรันนิ่งเท่ากับ Center Frequency (fo) และในขณะที่ความถี่อินพุทของ PLL เลื่อนไป-มา ระหว่าง fm กับ fs จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบเฟส (Phase Coeparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้าทาง PLL มีเพียง 2 ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ fm และ fs ดังนั้น ค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับเท่านั้น ซึ่งสามารถแทนด้วยโลจิก "1" และโลจิก "0" เมื่อความถี่ทางอินพุทเป็น fm และ fs ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

แนวทางการออกแบบ FSK เพื่อใช้งาน

หลังจากที่เราได้ทราบถึงหลักการและรายละเอียดของการรับ - ส่ง ข้อมูลด้วย FSK มาพอสมควรแล้ว ก็มาดูถึงการนำไปใช้งานในทางปฏิบัติ ซึ่งก็คือ เราจะออกแบบวงจร FSK ได้อย่างไร เมื่อก่อนการออกแบบวงจร FSK จะใช้อุปกรณ์ประเภททรานซิสเตอร์ และอุปกรณ์พาสซีฟต่าง ๆ มาต่อเป็นวงจร FSK ทั้งด้านรับและส่ง แต่เนื่องจากปัจจุบันเทคโนโลยีด้านไอซี (Integrate Circuit) ได้พัฒนาไปมาก ทำให้สามารถรวมวงจรต่าง ๆ เข้าด้วยกันบบรรจุภายในชิฟเล็ก ๆ เช่น ไอซี ออปแอมป์ ไอซี PLL เป็นต้น

ในการออกแบบด้านส่งนั้นเราจำเป็นต้องกำหนดค่า fm และ fs ก่อนซึ่งจะกำหนดเองก็ได้ แต่ในทางปฏิบัติจริงแล้วบางครั้งการกำหนด fm และ fs เองนั้น มักจะเป็นปัญหาในเรื่องความถี่ฮาร์โมนิคและการกำหนด fm และ fs ซึ่งเรียกว่า FSK Band และจะแตกต่างกันตาม Band Rate ดังตารางที่ 2.35

75 Band	fm = 1110 Hz
	fs = 1170 Hz
300 Band	fm = 1070 Hz
	fs = 1270 Hz
1200 Band	fm = 1200 Hz
	fs = 2200 Hz

ตารางที่ 2.35 FSK Band

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

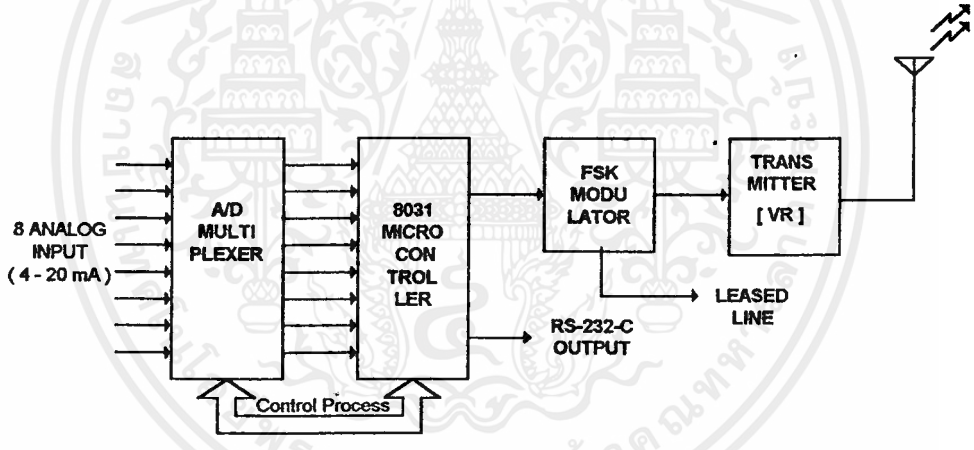
บทที่ 3
การคำนวนและการออกแบบ

3.1 แนวคิดและหลักการ

สัญญาณมาตรฐานการวัดในรูปของกระแสไฟฟ้า 4-20 มิลลิแอมแปร์ (mA) จะถูกเปลี่ยนให้เป็นสัญญานในทางดิจิตอลขนาด 8 บิท แบบขนาน และจถูกเปลี่ยนให้อยู่ในรูปสัญญาณอนุกรมอีกที แล้วสัญญาณอนุกรมนี้ จะถูกนำไปแปลงให้อยู่ในรูปของสัญญาณในย่านความถี่เสียง โดยวิธีการ ฟรีเควนซี่ ชีฟคีย์อิ้ง (Frequency Shift Keying ; FSK) เพื่อที่จะนำไปป้อนเป็นอินพุทให้กับวิทยุสื่อสารเพื่อทำการส่งข้อมูลนี้ แพร่กระจายคลื่นออกอากาศไป ส่วนทางด้านรับข้อมูลจะประกอบด้วยวิทยุสื่อสารอีกตัวหนึ่ง ทำการรับคลื่นแล้วแปลงสัญญาณที่รับได้นี้ โดยการทำดีมอดดูเลชั่น (Demodulation) มาเป็นสัญญาณทางดิจิตอล แล้วส่งเข้าเครื่องคอมพิวเตอร์เพื่อประมวลผลและแสดงผลออกทางจอแสดงผลของคอมพิวเตอร์

3.2 หลักการทำงานส่วนต่าง ๆ

3.2.1 บล๊อกไดอะแกรมของโครงงานด้านส่งข้อมูล



รูปที่ 3.1 บล๊อกไดอะแกรมของโครงงานด้านส่งข้อมูล

การทำงานเริ่มจากสัญญาณอะนาล็อก 4 - 20 mA ที่เป็นเอาท์พุทมาจากตัวตรวจวัดตัวแปรในกระบวนการผลิต ส่งให้กับภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Convertor (A/D)) ซึ่งสามารถรับอินพุทได้ 8 อินพุท ภาคเปลี่ยนสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลจะทำการมัลติเพล็กซ์ (Multiplex) สัญญาณทางอินพุท แล้วแปลงเป็นสัญญาณดิจิตอลแบบขนาด 8 บิท

ภาคแปลงสัญญาณดิจิตอลแบบขนานเป็นสัญญาณดิจิตอลแบบอนุกรม ทำงานโดยไมโครคอนโทรลเลอร์ (Micro Controller) เบอร์ 8031 ซึ่งหน้าที่หลักของภาคนี้คือ

1.ส่งสัญญาณตำแหน่งอินพุทที่ต้องการอ่านให้กับภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล เพื่อทำการมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.ส่งสัญญาณควบคุมเพื่อทำการติดต่อกับภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล

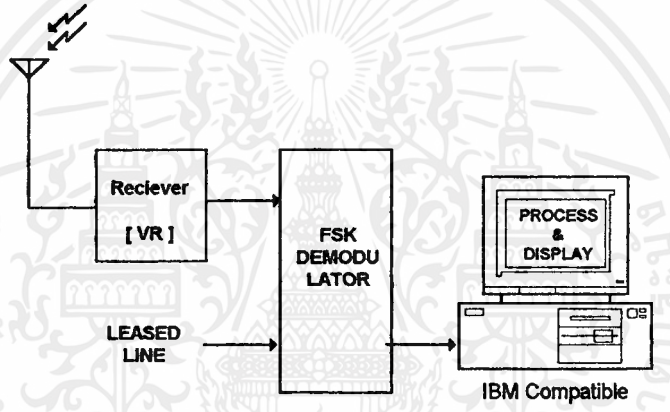
3.ทำการแปลงสัญญาณดิจิตอล แบบขนานให้เป็นแบบอนุกรม และส่งสัญญาณนี้ให้ภาคเข้ารหัสสัญญาณเสียง (Prequency Shift Keying (FSK))

4.ผลิตสัญญาณนาฬิกา (Clock) ไปควบคุมการทำงานของภาคแปลงสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอลภาคเข้ารหัสสัญญาณเสียง (Frequency Shift Keying (FSK))

ทำการแปลงสัญญาณข้อมูลดิจิตอลที่อยู่ในรูปอนุกรมให้เป็นสัญญาณไฟฟ้าในย่านความถี่เสียงเพื่อป้อนเข้าวิทยุสื่อสาร

ภาคส่งสัญญาณ (Transmitter) ภาคนี้จะใช้วิทยุสื่อสารที่มีใช้อยู่ทั่วๆ ไปสำหรับส่งข้อมูลที่ถูกแปลงให้อยู่ในย่านความถี่เสียง โดยสัญญาณข้อมูลจะถูกส่งแพร่กระจายคลื่นออกไปในอากาศสู่เครื่องรับ

3.2.2 บล๊อกไดอะแกรมของโครงงานทางด้านรับข้อมูล



รูปที่ 3.2 **บล๊อกไดอะแกรมของโครงงานทางด้านรับข้อมูล**

การทำงานทางด้านภาครับข้อมูล

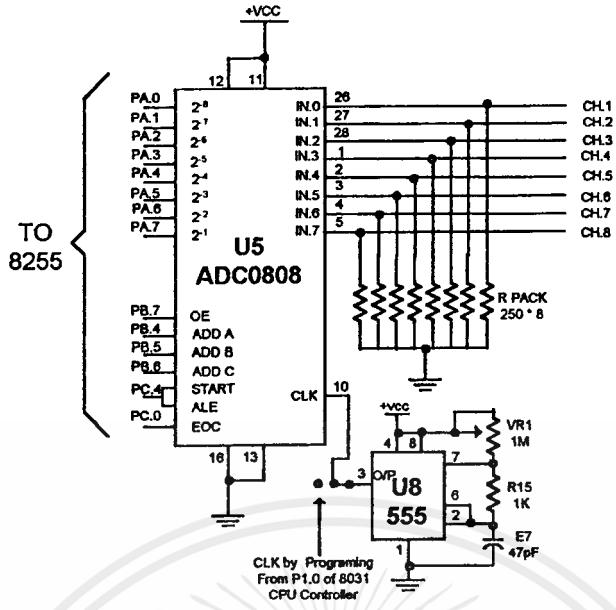
ภาครับ (Reciver) วิทยุสื่อสาร จะรับคลื่นสนามแม่เหล็กไฟฟ้าเข้ามาทำการเปลี่ยน เป็นสัญญาณความถี่เสียงแล้วส่งให้ภาคถอดรหัสสัญญาณเสียง(Frequency Shift Keying Demodulator)

ภาคถอดรหัสความถี่เสียง (FSK Demodulator) จะถอดรหัสจากสัญญาณความถี่เสียงให้เป็นสัญญาณดิจิตอล เพื่อส่งให้ภาคประมวลผลและแสดงผล (Processor & Display) จะใช้เครื่องคอมพิวเตอร์ทำการประมวลโดยโปรแกรม และนำผลที่ได้มาแสดงผ่านจอแสดงผลของคอมพิวเตอร์

3.3 การคำนวณและการออกแบบ

3.3.1 ภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล (Analag to Digital Convertor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล

3.3.2 การมัลติเพล็ก

ไอซีเบอร์ ADC 0808 จะรับอินพุทจากขา INO-iN7 ได้โดยการกำหนดสัญญาณตำแหน่งให้กับขา ADDRESS ของตัวมัน ดังตารางที่ 3.4

Address			Input
C	B	A	Selected
0	0	0	IN.0
0	0	1	IN.1
0	1	0	IN.2
0	1	1	IN.3
1	0	0	IN.4
1	0	1	IN.5
1	1	0	IN.6
1	1	1	IN.7

ตารางที่ 3.4 แสดงการ Multiplex Chennel ที่จะทำการแปลงข้อมูล

ความสัมพันธ์ระหว่างแรงดันที่อินพุทและสัญญาณเอาท์พุท ของภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่อินพุท จะขึ้นอยู่กับสัญญาณกระแส 4-20 มิลลิแอมแปร์ (mA) และค่าความต้านทานที่มาต่อเข้าระหว่างขาอินพุท แต่ละขากับกราวด์ ซึ่งจะทำให้เกิดแรงดันตกคล่อมที่ขาอินพุท ดังสมการข้างล่าง

แรงดันที่ขาอินพุท = ความต้านทานที่ขาอินพุท x กระแสอินพุท (4-20 mA)หรือ

$$Vin = Rin \times Iin$$

ในวงจรของโครงงานเลือกใช้ความต้านทานขนาด 250 โอห์ม ต่อเป็นความต้านทานที่ขาอินพุท ฉะนั้นจะได้

$$Vin = 250 \times Iin$$
$$= 250 \times (4\text{-}20\ mA)$$
$$= 1 - 5\ Volts.$$

ที่เอาท์พุทตามคุณสมบัติของไอซีเบอร์ ADC 0808 ที่ผู้ผลิตให้มาจะให้ค่าเอาท์พุทในลักษณะของเลขฐาน 2 ที่มีค่าแปรผันตามแรงดันที่ขาอินพุทที่เข้ามา โดยถ้าคิดเป็นค่าของเลขฐานสิบแล้วจะได้ค่าเอาท์พุท ดังสมการข้างล่าง

$$\text{ค่าเอาท์พุทในหน่วยของเลขฐานสิบ} = \frac{\text{แรงดันที่ขาอินพุท} \times 2^{8}}{\text{แรงดันอ้างอิงด้านบวก - แรงดันอ้างอิงด้านลบ}}$$

หรือ

$$\text{Decimal Output} = \frac{Vin \times 2^{8}}{[vref+] - [Verf-]}$$

แรงดันอ้างอิงด้านบวก = 5 V.

แรงดันอ้างอิงด้านลบ = 0 V.

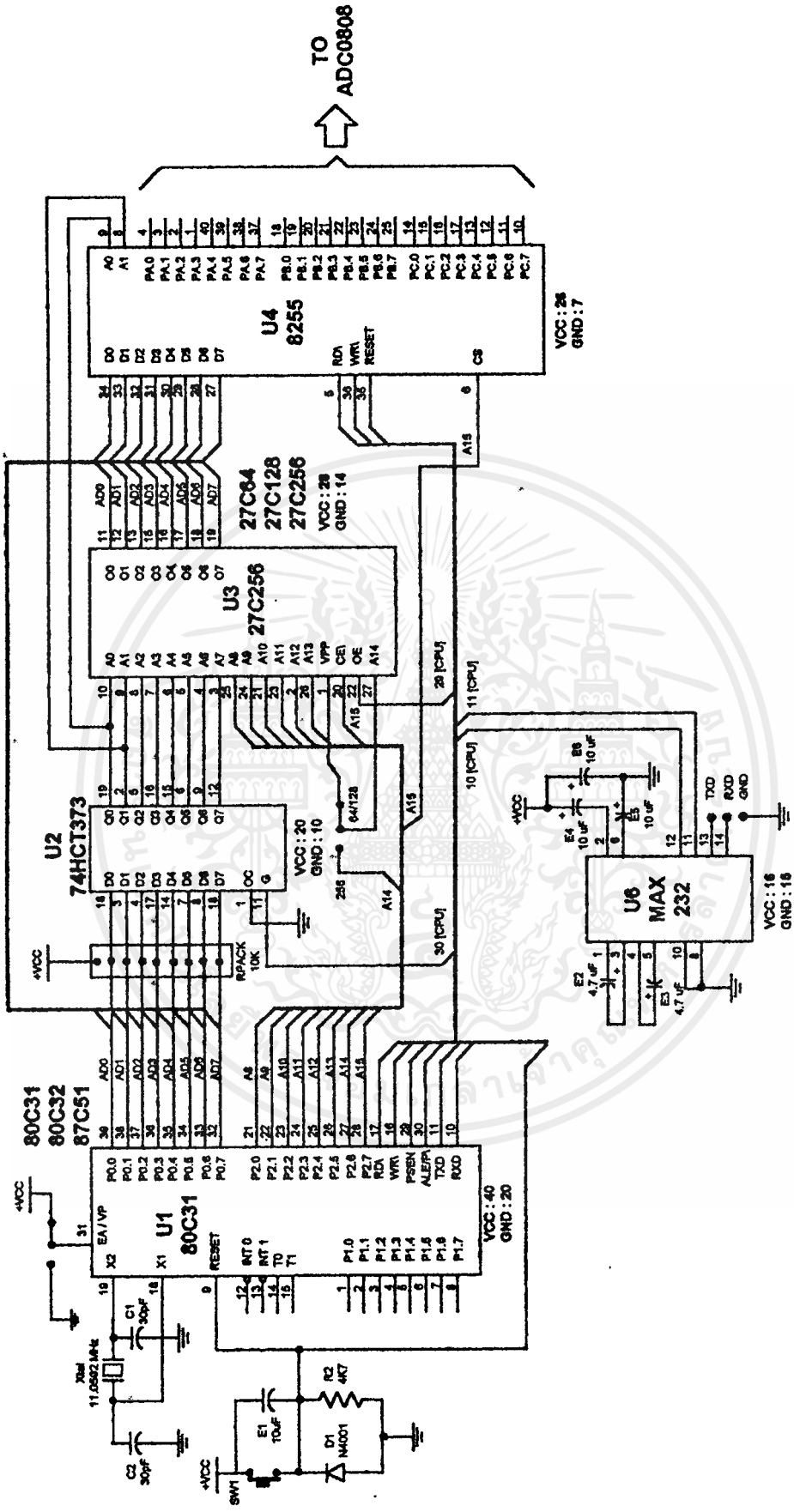
เพราะฉะนั้น $$Decimaloutput = \frac{Vin \times 256}{5 - 0} = \frac{Vin \times 256}{5}$$

3.3.3 ภาคแปลงสัญญาณดิจิตอลแบบขนานเป็นสัญญาณดิจิตอลแบบอนุกรม

จากรูปที่ 3.5 วงจรส่วนนี้จะประกอบด้วยไอซีเบอร์ 0831 เป็นไอซีโมโครคอนโทรลเลอร์ ซึ่งเป็นตัวหลักในการทำหน้าที่ต่าง ๆ ดังนี้

1. ส่งสัญญาณตำแหน่งอินพุทที่ต้องการให้ภาคเปลี่ยนสัญญาณอะนาล็อกเป็นดิจิตอล
2. ส่งสัญญาณควบคุมเพื่อทำการติดต่อกับภาคเปลี่ยนสัญญาณอะนาล็อกเป็นดิจิตอล
3. รับข้อมูลดิจิตอลแบบขนานมาแปลงเป็นสัญญาณดิจิตอลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 เป็นวงจรของภาคควบคุมการแปลงสัญญาณดิจิตอลแบบขนานไปเป็นดิจิตอลแบบอนุกรม 8 CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผลิตสัญญาณนาฬิกา (ClocK) ให้ภาคแปลงสัญญาณอะนาล็อกเป็นสัญญานดิจิตอล เพื่อควบคุมจังหวะการทำงาน

โปรแกรมควบคุมการทำงานของไอซีไมโครคอนโทรลเลอร์ จะถูกเก็บไว้ใน EPROM เบอร์ 27 HG256 ไอซีเบอร์ 74 HC 373 ทำหน้าที่แลทช์ (Latch) ข้อมูลตำแหน่ง (Address) ที่ไมโครคอนโทรลเลอร์ติดต่อกับอุปกรณ์ภายนอก ซึ่งในที่นี้ คือ EPROM เบอร์ 27 HC 256 และ ไอซี เบอร์ 8255 ซึ่งทำหน้าที่อินเตอร์เฟส์ระหว่าง ไมโครคอนโทรลเลอร์ กับไอซีเบอร์ ADC 0808

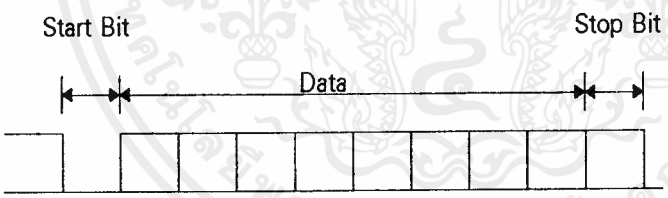
3.3.4 ความเร็วในการส่งข้อมูลผ่านพอร์ตอนุกรม

ในการส่งข้อมูลที่แปลงเป็นข้อมูลอนุกรมนั้นส่งในโหมด 1 โดยความเร็วในการส่งข้อมูลโหมด 1 หาได้จากสมการ

$$\text{Baud Rate} = \frac{2^{SMOD} \times \text{Oscillator Frequency}}{32 \times 12\,(256 - TH\,1)}$$

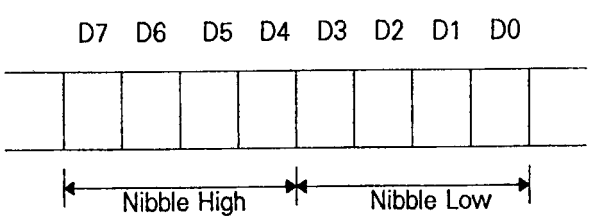
3.3.5 รูปแบบของข้อมูลที่ใช้ในการรับ-ส่ง

ข้อมูลที่ใช้ในการติดต่อระหว่างพอร์ตอนุกรมของไมโครคอนโทรลเลอร์กับพอร์ตสื่อสารอนุกรม RS 232 ของเครื่องคอมพิวเตอร์ เป็นข้อมูลชนิด 10 บิท ประกอบด้วยบิทเริ่มต้น (Start Bit) 1 บิท บิทข้อมูล (Data Bit) 8 บิท บิทหยุด (Stop Bit) 1 Bit ดังรูปที่ 3.6



รูปที่ 3.6 รูปแบบข้อมูลที่ใช้ติดต่อระหว่างพอร์ทอนุกรม

ข้อมูลจากภาคเปลี่ยนสัญญาณอะนาล็อกเป็นดิจิตอลจะถูกทำให้อยู่ในรูปแบบอนุกรมโดยแบ่งเป็น Nibble สูงและ Nibble ต่ำซึ่งจะนำไปรวมกับสัญญาณตำแหน่ง (Address) ดังรูปที่ 3.8 ก. และรูปที่ 3.8 ข.

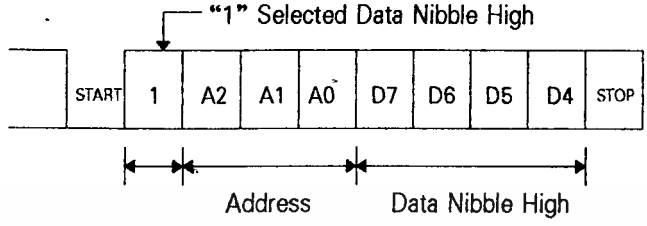


รูปที่ 3.7 การแบ่งข้อมูลเป็นส่วน Nibble สูงและ Nibble ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

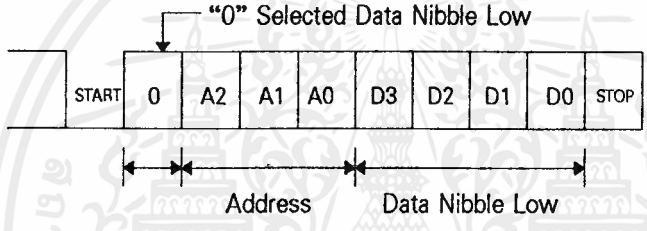
ข้อมูลส่วน Nibble สูงและส่วน Nibble ต่ำเมื่อรวมกับสัญญาณตำแหน่ง (Address)

ข้อมูลส่วนบน



รูปที่ 3.8 ก. ข้อมูลส่วน Nibble สูง เมื่อรวมกับตำแหน่ง

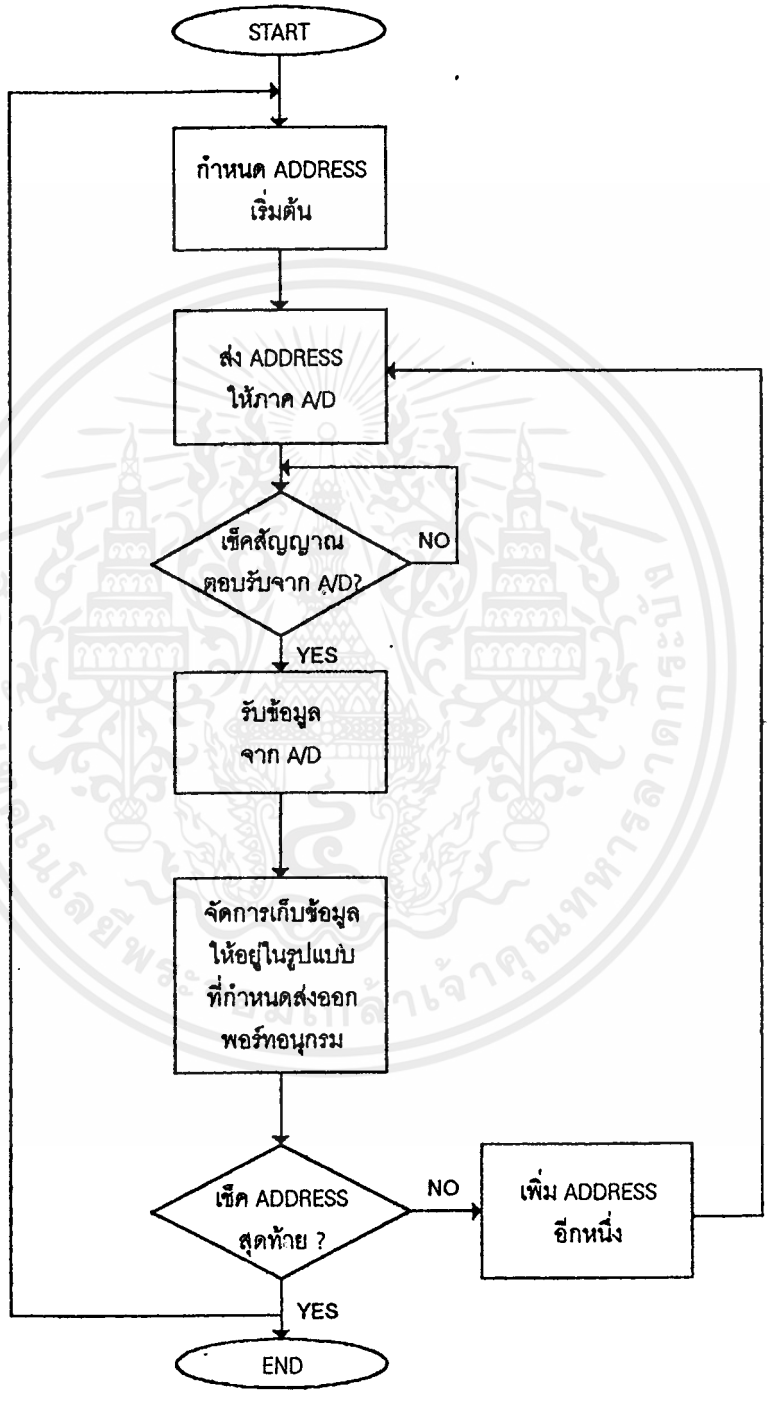
ข้อมูลส่วนล่าง



รูปที่ 3.8 ข. เป็นส่วนประกอบโครงสร้างของเฟรมข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 โฟล์วชาร์ตการทำงานของไมโครคอนโทรลเลอร์ 8031



รูปที่ 3.9 โฟลว์ชาร์ตการทำงานของไมโครคอนโทรลเลอร์ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.7 โปรแกรมสำหรับการทำงานของไมโครคอสโทรลเลอร์ 8031

```
2500 A.D. 8051 Macro Assembler  -  Version 4.01d
-------------------------------------------------

        Input  Filename : projct2.asm
        Output Filename : projct2.obj

 1          0000            PORTA       EQU  0000H
 2          0001            PORTB       EQU  0001H
 3          0002            PORTC       EQU  0002H
 4          0003            PORTCON     EQU  0003H
 5
 6   0000                                ORG  0000H
 7   0000   02 00 30                          LJMP SETUP
 8   000B                                ORG  000BH
 9   000B   02 00 9C                     LJMP CLOCK
10
11   0030                                ORG  0030H
12   0030   75 87 00                  SETUP:     MOV PCON,#00H
13   0033   75 98 40                             MOV SCON,#40H
14   0036   75 89 22                             MOV TMOD,#22H
15   0039   75 8D A0                             MOV TH1,#0A0H
16   003C   75 8C FE                             MOV TH0,#FEH
17   003F   75 A8 82                             MOV IE,#82H
18   0042   D2 8C                                SETB TR0
19   0044   D2 8E                                SETB TR1
20   0046   78 08                       STRT:    MOV R0,#08H
21   0048   79 00                                MOV R1,#00H
22   004A   90 00 03                             MOV DPTR,#PORTCON
23   004D   74 91                                MOV A,#91H
24   004F   F0                                   MOVX @DPTR,A
25   0050   E9                          SET:     MOV A,R1
26   0051   90 00 01                             MOV DPTR,#PORTB
27   0054   F0                                   MOVX @DPTR,A
28   0055   90 00 02                             MOV DPTR,#PORTC
29   0058   74 F0                                MOV A,#F0H
30   005A   F0                                   MOVX @DPTR,A
31   005B   74 00                                MOV A,#00H
32   005D   F0                                   MOVX @DPTR,A
33   005E   E0                            WT:    MOVX A,@DPTR
34   005F   F5 20                                MOV 20H,A
35   0061   30 00 FA                             JNB 0,WT
36   0064   90 00 01                             MOV DPTR,#PORTB
37   0067   74 80                                MOV A,#80H
38   0069   F0                                   MOVX @DPTR,A
39   006A
40   006A   90 00 00                             MOV DPTR,#PORTA
41   006D   E0                                   MOVX A,@DPTR
42   006E   F5 21                                MOV 21H,A
43   0070   90 00 01                             MOV DPTR,#PORTB
44   0073   74 00                                MOV A,#00H
45   0075   F0                                   MOVX @DPTR,A
46   0076   E5 21                                MOV A,21H
47   0078   54 0F                          LO:    ANL A,#0FH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

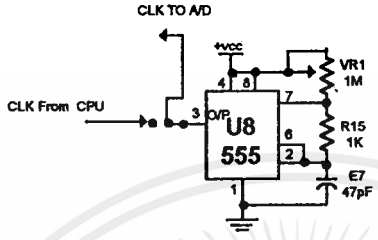
```
48   007A   49                          ORL A,R1
49   007B   7B 02                       MOV R3,#02H
50   007D   01 8B                       AJMP STX
51   007F   E5 21              HI:      MOV A,21H
52   0081   C4                          SWAP A
53   0082   54 0F                       ANL A,#0FH
54   0084   F5 21                       MOV 21H,A
55   0086   E9                          MOV A,R1
56   0087   44 80                       ORL A,#80H
57   0089   45 21                       ORL A,21H
58   008B   F5 99              STX:     MOV SBUF,A
59   008D   30 99 FD           LOOP2:   JNB TI,LOOP2
60   0090   C2 99                       CLR TI
61   0092   DB EB                       DJNZ R3,HI
62   0094   E9                          MOV A,R1
63   0095   24 10                       ADD A,#10H
64   0097   F9                          MOV R1,A
65   0098   D8 B6                       DJNZ R0,SET
66   009A
67   009A   01 46                       AJMP STRT
68   009C   B2 90              CLOCK:   CPL P1.0
69   009E   32                          RETI
70   009F                               END

     Lines Assembled :  70          Assembly Errors :  0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.8 การผลิตสัญญาณนาฬิกาจาก IC 555

สัญญาณนาฬิกาที่ใช้ควบคุมการทำงานของภาคแปลงสัญญาณอะนาล็อก เป็นสัญญาณดิจิตอลจะมาจาก 2 แหล่งด้วยกันคือ จากการทำงานจากโปรแกรม ของไมโครคอนโทรลเลอร์โดยส่งสัญญาณนาฬิกาออกทางพอร์ต 1 บิท 0 และจากวงจรอะสเตเบิลมัลติไวเบรเตอร์โดยใช้ IC 555 ซึ่งอัตราการกำหนดความถี่คำนวณได้จาก



รูปที่ 3.10 วงจรสร้างสัญญาณนาฬิกาสำหรับ ADC0808

3..3.9 การคำนวนการออกแบบ FSK Modulator

ในการออกแบบ FSK Modulator ได้นำเอาไอซีเบอร์ XR 2206 ซึ่งเป็นโมโนลิธิคฟังก์ชั่นเยอเนอเรเตอร์กำเนิดรูปคลื่นเอาท์พุทได้ทั้งคลื่นซายน์ คลื่นสามเหลี่ยมคลื่นสี่เหลี่ยม หรือแรมป์ (Ramp) โดยมีย่านความถี่ตั้งแต่ 0.01Hz ถึง 1.0 MHz

ในกรณีนี้เราจะใช้ XR 2206 เป็นตัวกำเนิดคลื่นรูปซายน์ในลักษณะ FSK Generator โดยใช้ไทม์มิ่งรีซิสเตอร์ VR3+R7 และ VR4+R6 ที่ต่อระหว่างขา 7 และขา 8 กับกราวด์ตามลำดับ โดยที่สัญญาณดิจิตอลที่ป้อนมายังขา 9 ของไอซี เป็นตัวกำหนดสัญญาณเอาท์พุท (ขา 2) ถ้าขา 9 อยู่ในสถานะวงจรเปิดหรือมี Vin ≥ 2V แล้ว VR3+R7 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 กับขา 6 (หรือในทำนองกลับกันถ้าขา 9 มี Vin ≤ 1V แล้ว VR4+R6 จะเป็นตัวกำหนดไทม์มิ่ง รวมกับตัวเก็บประจุระหว่างขา 5 กับขา 6 เช่นเดียวกัน) จึงทำให้ความถี่เอาท์พุทจะอยู่ในช่วงระหว่าง fm กับ fs โดยทั้ง fm และ fs จะอิสระต่อกัน และสามารถเปลี่ยนแปลงความถี่ได้โดยการเลือกค่า (VR3+R7) หรือ (VR4+R6) ตามสมการข้างล่าง

$$fs = \frac{1}{VR3 + R7}$$

$$fm = \frac{1}{VR4 + R6}$$

ตัวเก็บประจุระหว่างขา 5 กับ 6 จะอยู่ในช่วง 1,000 pF - 100uF และตัวต้านทาน VR3+R7 และ VR4+R6 จะอยู่ในช่วง 4K - 200K

จากสมการเพื่อให้ง่ายในทางปฏิบัติกำหนดให้ C8 = 0.022uF หาค่า VR3+R7 และ VR4+R6 เมื่อกำหนด fm = 1200Hz และ fs = 2200Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$VR4+R6 = \frac{1}{fmC8} = \frac{1}{1200*0.022*10^{-6}} = 37.88K\Omega$$

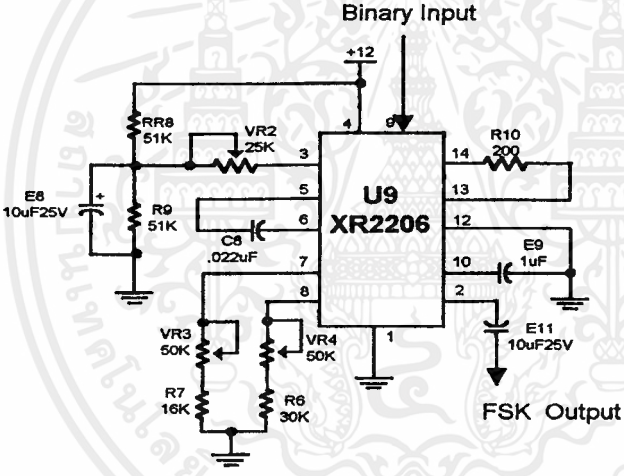
เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โปเทนทิโอมิเตอร์ 50 KΩ ต่อระหว่างขา 7 กับกราวด์

$$VR3+R7 = \frac{1}{fsC8}$$

$$= \frac{1}{2200*0.022*10^{-6}}$$

$$= 20.66\ K\Omega$$

เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โปเทนทิโอมิเตอร์ 50KΩ ระหว่างขา 8 กับกราวด์ วงจรจะเป็นดังรูปที่ 3.11



รูปที่ 3.11 วงจร FSK Modulator

การปรับแต่งระดับเอาท์พุทไฟตรง

ระดับแรงดันไฟตรงที่ขาเอาท์พุท (ขา 2) จะมีค่าโดยประมาณเท่ากับแรงดันไบอัสที่ขา 3 จากวงจรจะเห็นว่าแรงดันที่ขา 3 จะได้จากการแบ่งแรงดันระหว่างค่าความต้านทาน R8,R9 (51KΩ) สองตัวกับแรงดันไฟเลี้ยงประมาณ 6V เมื่อแรงดันไฟเลี้ยงในวงจรเป็น +12V และสามารถปรับโดยโปเทนทิโอมิเตอร์ VR2 (50KΩ) ที่อนุกรมกับขา 3 ดังนั้นการปรับที่ขา 3 ก็เป็นการปรับระดับของสัญญาณเอาท์พุทขา 2 ให้อยู่ในระดับที่ต้องการ

การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอาท์พุท

ขา 13 และ 14 มีไว้สำหรับปรับแต่งรูปคลื่น เพื่อปรับการผิดเพี้ยน (Distortion) ของรูปร่างสัญญาณอันเนื่องมาจากการผิดเพี้ยนของฮาร์โมนิก โดยการต่อค่าความต้านทานเข้าไประหว่างขา 13 และ 14 แต่ในคู่มือ XR 2206 แนะนำให้ให้ใช้ค่า 200 Ω โดยไม่มีการปรับแต่งแต่อย่างใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาค่าแบนด์วิดธ์

ในการหาค่าแบนด์วิทที่แคบที่สุดจำเป็นต้องรู้ค่า fm , fs และ Bit Rate ซึ่งใช้ความเร็ว 300 bps เราหา Fn ได้ดังนี้

$$\text{จาก} \quad MI = \frac{\Delta f}{fa}$$

$$\text{เมื่อ} \quad \Delta f = |fs - fm| = |2200 - 1200|$$

$$fa = 300$$

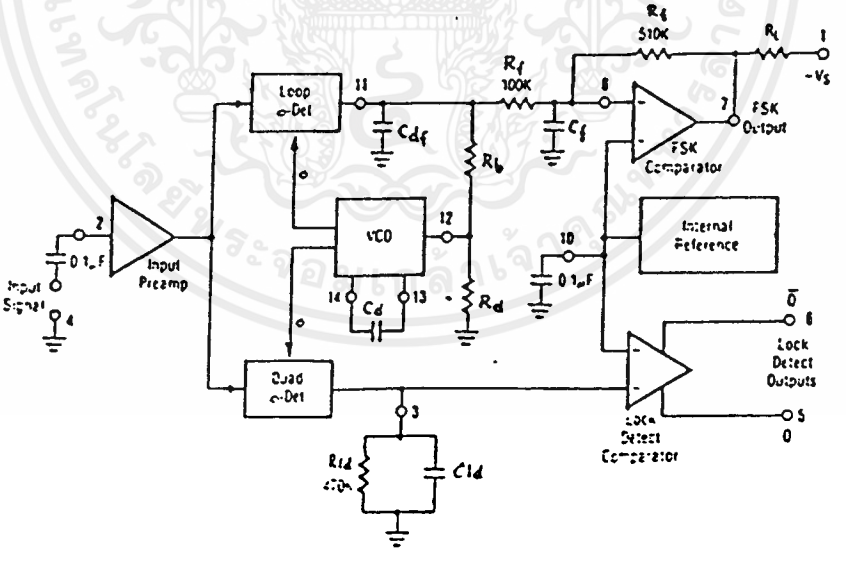
$$\text{จะได้} \quad MI = \frac{1\ kHz}{300} = 3.33$$

3.3.10 การออกแบบ FSK Demodulator

ในการออกแบบ FSK Demodulator ได้นำเอาไอซีเบอร์ XR 2211 ซึ่งเป็นโมโนลิธิคเฟสล็อกลูป์ โดยมีย่านความถี่ในการใช้งานตั้งแต่ 0.01Hz จนถึง 300 kHz

โครงสร้างภายในของไอซีเบอร์ XR 2211 ประยุกต์วงจรเป็น FSK Demodulator จะเป็นดังรูปที่ 3.12 ส่วนประกอบหลักของ PLL ใน XR 2211 ประกอบด้วย 2 ส่วน คือ

1. Signal Pre-Amp มีหน้าที่จัดการสัญญาณอินพุท ที่มีค่าประมาณ 10 mVrms ถึง 3 Vrms โดยการขยายสัญญาณเพื่อให้เป็นสัญญาณที่มีระดับสูง



รูปที่ 3.12 โครงสร้างภายในของ FSK Dmodulator

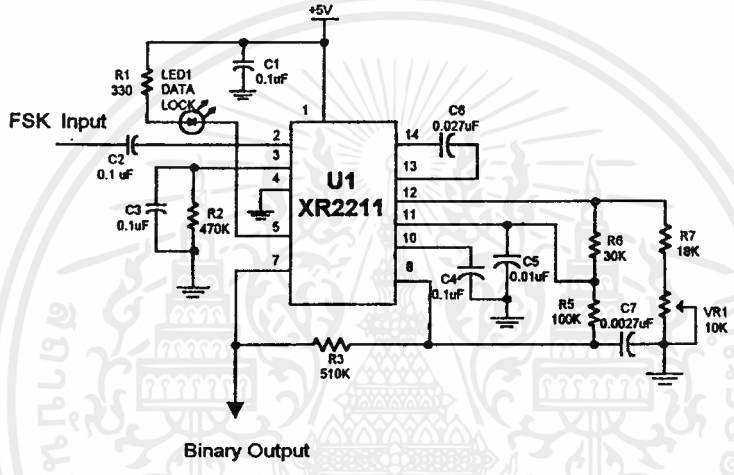
2. VCO (Voltage Control Oscillator) มีเฟสดีเทคเตอร์เป็นภาคแรก โดยเอาท์พุทจะได้เป็นความถี่ผลบวก และความถี่ผลต่าง คือ 2f และ 0Hz ตามลำดับ เมื่อเฟสดีเทคอยู่ในสถานะ ผลบวก ก็จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Voltage ออกไปยัง VCO เพื่อควบคุมการผลิตความถี่ออกมาค่าหนึ่ง ในสภาวะปกติความถี่ฟรีรันนิ่ง (f_0) จะ set ค่าโดยความต้านทาน R_d และคาปาซิเตอร์ C_6 โดยขับผ่านความต้านทาน R_b ซึ่งสามารถหา f_0 ได้จาก

$$f_0 = \frac{1}{R_d C_6}$$

โดยที่ R_d คือ (VR1 + R7)



รูปที่ 3.13 วงจร FSK Demodulator

จากวงจรในรูปที่ 3.13 อุปกรณ์ภายนอก คือ R_dC_6 จะ Set Free running frequency หรือ Center Frequency (f_0) ของ PLL : R_6 จะเซ็ทแบนด์วิดธ์ , C_5 เซ็ท Damping Factor หรือ Filter time constance, C_7 และ R_5 สำหรับเซ็ท Data FSK Output ค่าความต้านทาน R_3 (510KΩ) ระหว่างขา 7 กับค่า 8 เป็นตัวป้อนกลับทางบวกเพื่อให้ Transition Time ของเอาท์พุท FSK เร็วขึ้น

ดังนั้น การออกแบบวงจรจะต้อง หาค่าอุปกรณ์ภายนอกที่จะนำมาต่อดังนี้ คือ

1. คำนวณค่า Center Frequency (f_0) ของ PLL จาก

$$f_0 = \frac{fm + fs}{2} = \frac{1200Hz + 2200Hz}{2} = 1700\ Hz$$

2. เลือก Timing Capacitor (C_6) เพื่อง่ายในทางปฏิบัติเลือก

$$C_6 = 0.027uF$$

3. หาค่า R_d (โดยที่ R_d = VR1 + R7) จาก

$$R_d = \frac{1}{f_0 C_6} = \frac{1}{1700*0.027*10^{-6}} = 21.78K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ตัวต้านทาน 10 KΩ ต่ออนุกรมกับโปเทนทิโอมิเตอร์ 18 KΩ

4. หาค่า R_6 เพื่อตั้ง Bandwidth จาก

$$R_6 = \frac{R_d F_0}{\Delta F} \quad ; \text{เมื่อ} \quad \Delta F = |F_s - F_m|$$

$$= \frac{18*10^3*1700}{|2200 - 1200|}$$

$$= 30.6\ K\Omega$$

เลือกค่า $R_6 = 30\ K\Omega$

5. หาค่า C_5 เพื่อตั้งค่า Dampling Factor จาก

$$\text{Dampling Factor} = \frac{1}{4} \quad \frac{C_6}{C_5}$$

โดยทั่วๆไป Dampling Factor กำหนดให้เป็น 1 / 2

เพราะฉะนั้น $C_5 = \frac{C_6}{4} = \frac{0.027*10^{-6}}{4} = 0.01\ \mu F$

6. หาค่า C_7 เมื่อ $R_5 = 100\ K\Omega$; $R_3 = 510\ K\Omega$ จะหา C_7 ได้จาก

$$C_7 = \frac{3}{\text{Baud Rate}} \quad \mu F$$

$$= \frac{3}{1200} = .0025 \quad \mu F \quad \text{เลือกใช้ } 0.0027\ \mu F$$

7. หาค่า C_3 เมื่อ $R_2 = 470\ K\Omega$

$$C_3 = \frac{1}{f0\ R2}$$

$$= \frac{1}{1700*470*10^3} = 0.0125 \quad \mu F$$

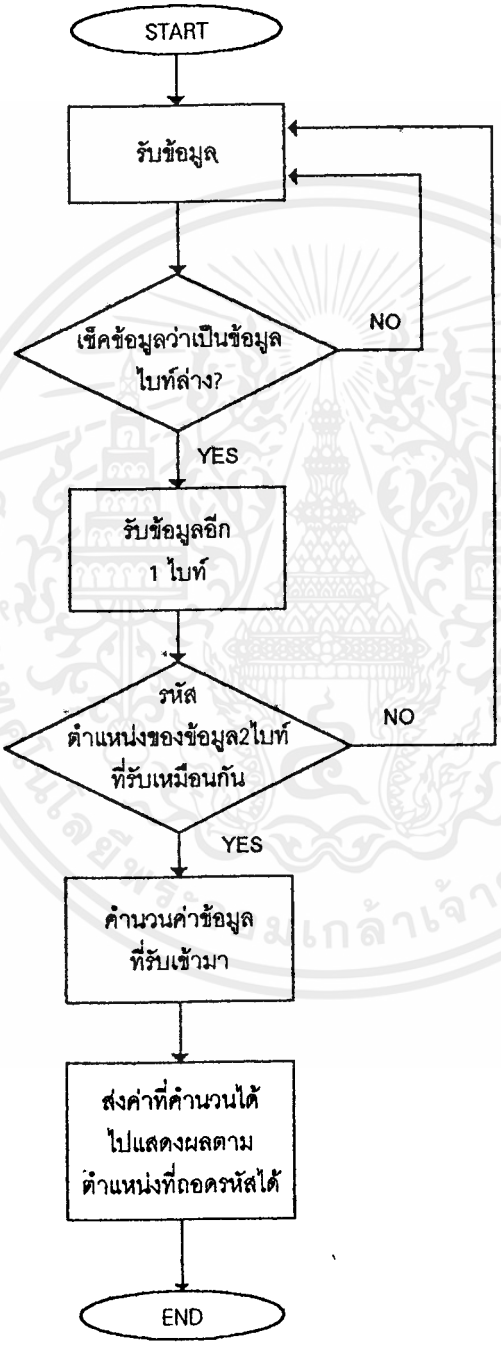
ควรเลือกใช้ค่า 0.01 μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ภาคประมวลผลและแสดงผล (PROCESSOR & DISPLAY)

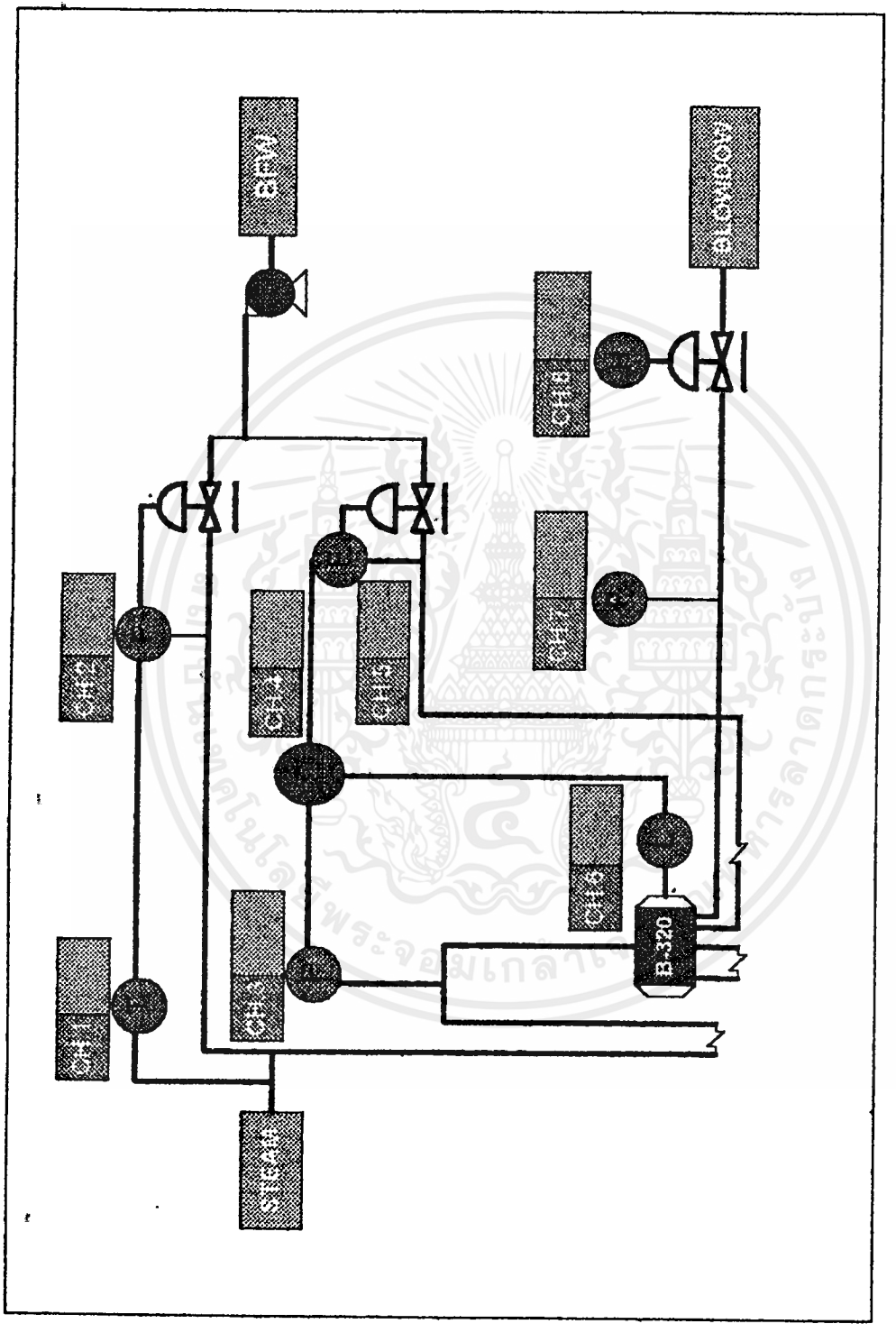
การประมวลข้อมูลที่รับได้ของภาครับจะกระทำโดย โปรแกรมในเครื่องคอมพิวเตอร์โดยใช้โปรแกรมวิชวล เบสิก (Visual Basic) ซึ่งโฟล์วชาร์ทและโปรแกรมมีดังนี้

3.4.1 โฟล์วชาร์ตการทำงานของภาคประมวลผลและแสดงผล



รูปที่ 3.14 โฟล์วชาร์ตการทำงานของภาคประมวลผลและแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป แสดงผลข้อมูลบนหน้าจอ คอมพิวเตอร์ ในแต่ละ แชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Dim PV_STRING As String
Dim START_MAS As Integer
Dim PV_VAL As Integer
Dim a0 As Integer
Dim a00 As Integer
Dim a1 As Integer
Dim a11 As Integer
Dim a3 As Integer
Dim a4 As Integer
Sub Command1_Click()
T011PV.Caption = "TEST1"
F011PV.Caption = "TEST2"
F002PV.Caption = "TEST3"
Y001PV.Caption = "TEST4"
F001PV.Caption = "TEST5"
L001PV.Caption = "TEST6"
F003PV.Caption = "TEST7"
F003VPPV.Caption = "TEST8"
End Sub

Private Sub Command2_Click()
End

End Sub

Sub Form_Activate()
Label3.Caption = "°C"
Label4.Caption = "Temp"
Label5.Caption = "PV."
End Sub

Sub Form_Load()
MSCOMM1.PortOpen = Not MSCOMM1.PortOpen
START_MAS = 0

End Sub

Sub Label3_change()

End Sub

Sub MSComm1_OnComm()

End Sub



Sub T011PV_Change()

End Sub

Sub Timer1_Timer()
Label2.Caption = "Date/Time " + Format$(Now)
PV_STRING = MSCOMM1.Input
If PV_STRING <> "" Then
   PV_VAL = Asc(PV_STRING)
Label1.Caption = PV_VAL
GoTo 10

10:
a0 = Asc(PV_STRING)
    If a0 < 128 Then PV_STRING = MSCOMM1.Input
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            a1 = Asc(PV_STRING)
        Else
            Exit Sub
        End If
    a1 = a1 - 128
    a00 = a0 And 240
    a11 = a1 And 240
        If a00 = a11 Then
            a00 = a00 / 16
            a0 = a0 And 15
            a1 = a1 And 15
            a1 = a1 * 16
            a3 = a0 + a1
            a4 = (a3 - (4 / 20 * 256) * 100) / 256 - (4 / 20 * 256)
            If a00 = 0 Then T011PV.Caption = a4
            If a00 = 1 Then F011PV.Caption = a3
            If a00 = 2 Then F002PV.Caption = a3
            If a00 = 3 Then Y001PV.Caption = a3
            If a00 = 4 Then F001PV.Caption = a3
            If a00 = 5 Then L001PV.Caption = a3
            If a00 = 6 Then F003PV.Caption = a3
            If a00 = 7 Then F003VPPV.Caption = a3
        Else
            Exit Sub
        End If
    End Sub


    VERSION 4.00
    Begin VB.Form Form1
       BackColor       =   &H00808000&
       Caption         =   "REMOTE MONITOR"
       ClientHeight    =   5640
       ClientLeft      =   60
       ClientTop       =   1515
       ClientWidth     =   9600
       FillColor       =   &H00C000C0&
       ForeColor       =   &H00000080&
       Height          =   6045
       Left            =   0
       LinkTopic       =   "Form1"
       Picture         =   (Bitmap)
       ScaleHeight     =   5640
       ScaleWidth      =   9600
       Top             =   1170
       Width           =   9720
       WindowState     =   2  'Maximized
       Begin VB.CommandButton Command2
          BackColor       =   &H00808000&
          Caption         =   "EXIT"
          Default         =   -1  'True
          Height          =   495
          Left            =   0
          TabIndex        =   9
          Top             =   3360
          Width           =   1215
       End
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Begin VB.CommandButton Command1
   BackColor       =   &H00000000&
   Caption         =   "TEST"
   Height          =   495
   Left            =   0
   TabIndex        =   0
   Top             =   2520
   Width           =   1215
End
Begin VB.Timer Timer1
   Interval        =   54
   Left            =   0
   Top             =   4800
End
Begin VB.Label Label5
   BackColor       =   &H00FFFFFF&
   BorderStyle     =   1  'Fixed Single
   Caption         =   "Label5"
   BeginProperty Font
      name            =   "MS Sans Serif"
      charset         =   1
      weight          =   700
      size            =   9.75
      underline       =   0   'False
      italic          =   0   'False
      strikethrough   =   0   'False
   EndProperty
   ForeColor       =   &H00800000&
   Height          =   375
   Left            =   4800
   TabIndex        =   14
   Top             =   3960
   Width           =   495
End
Begin VB.Label Label4
   BackColor       =   &H00FFFFFF&
   BorderStyle     =   1  'Fixed Single
   Caption         =   "Label4"
   BeginProperty Font
      name            =   "MS Sans Serif"
      charset         =   1
      weight          =   700
      size            =   9.75
      underline       =   0   'False
      italic          =   0   'False
      strikethrough   =   0   'False
      EndProperty
      ForeColor       =   &H00800000&,
      Height          =   375
      Left            =   1440
      TabIndex        =   13
      Top             =   480
      Width           =   650
  End
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Begin VB.Label Label3
   BackColor       =   &H00FFFFFF&
   BackStyle       =   0  'Transparent
   Caption         =   "Label3"
   BeginProperty Font
      name            =   "Courier New"
      charset         =   1
      weight          =   400
      size            =   9.75
      underline       =   0   'False
      italic          =   0   'False
      strikethrough   =   0   'False
   EndProperty
   ForeColor       =   &H00800000&
   Height          =   255
   Left            =   2040
   TabIndex        =   12
   Top             =   120
   Width           =   250
End
Begin VB.Label Label2
   BackColor       =   &H00808000&
   BorderStyle     =   1  'Fixed Single
   Caption         =   "Label2"
   ForeColor       =   &H00000080&
   Height          =   615
   Left            =   7680
   TabIndex        =   11
   Top             =   240
   Width           =   1800
End
Begin VB.Label L001PV
   BackColor       =   &H00FFFF00&
   BackStyle       =   0  'Transparent
   BorderStyle     =   1  'Fixed Single
   Caption         =   "L001PV"
   ForeColor       =   &H00FF0000&
   Height          =   255
   Left            =   3000
   TabIndex        =   6
   Top             =   3940
   Width           =   495
End
Begin VB.Label Label1
   BackColor       =   &H00808000&
   BorderStyle     =   1  'Fixed Single
   Caption         =   "Label1"
   ForeColor       =   &H00000080&
   Height          =   375
   Left            =   6720
   TabIndex        =   10
   Top             =   240
   Width           =   615
End
Begin MSCommLib.MSComm MSComm1
   Left            =   480
   Top             =   4800
   _version        =   65536
   _extentx        =   847
   _extenty        =   847
   _stockprops     =   0
   cdtimeout       =   0
   commport        =   1
   ctstimeout      =   0
   dsrtimeout      =   0
   dtrenable       =   0   'False
   handshaking     =   0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    inbuffersize    =   16
    inputlen        =   1
    interval        =   65
    nulldiscard     =   0   'False
    outbuffersize   =   128
    parityreplace   =   "?"
    rthreshold      =   0
    rtsenable       =   0   'False
    settings        =   "300,n,8,1"
    sthreshold      =   0
End
Begin VB.Label F003VPPV
    BackColor       =   &H00FFFF00&
    BackStyle       =   0  'Transparent
    BorderStyle     =   1  'Fixed Single
    Caption         =   "F003VPPV"
    ForeColor       =   &H00FF0000&
    Height          =   255
    Left            =   6720
    TabIndex        =   8
    Top             =   3650
    Width           =   495
End
Begin VB.Label F003PV
    BackColor       =   &H00FFFF00&
    BackStyle       =   0  'Transparent
    BorderStyle     =   1  'Fixed Single
    Caption         =   "F003PV"
    ForeColor       =   &H00FF0000&
    Height          =   260
    Left            =   4920
    TabIndex        =   7
    Top             =   3650
    Width           =   495
End
Begin VB.Label F001PV
    BackColor       =   &H00FFFFFF&
    BackStyle       =   0  'Transparent
    BorderStyle     =   1  'Fixed Single
    Caption         =   "F001PV"
    ForeColor       =   &H00C00000&
    Height          =   255
    Left            =   4560
    TabIndex        =   5
    Top             =   2310
    Width           =   495
End
Begin VB.Label Y001PV
    BackColor       =   &H00FFFFFF&
    BorderStyle     =   1  'Fixed Single
    Caption         =   "Y001PV"
    ForeColor       =   &H00FF0000&
    Height          =   255
    Left            =   4440
    TabIndex        =   4
    Top             =   1520
    Width           =   495
End
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Begin VB.Label F002PV
       BackColor       =   &H00FFFFFF&
       BackStyle       =   0  'Transparent
       BorderStyle     =   1  'Fixed Single
       Caption         =   "F002PV"
       ForeColor       =   &H00FF0000&
       Height          =   255
       Left            =   2040
       TabIndex        =   3
       Top             =   1410
       Width           =   495
    End
    Begin VB.Label F011PV
       BackColor       =   &H00FFFFFF&
       BackStyle       =   0  'Transparent
       BorderStyle     =   1  'Fixed Single
       Caption         =   "F011PV"
       ForeColor       =   &H00FF0000&
       Height          =   255
       Left            =   4560
       TabIndex        =   2
       Top             =   120
       Width           =   495
    End
    Begin VB.Label T011PV
       BackColor       =   &H00FFFFFF&
       BackStyle       =   0  'Transparent
       BorderStyle     =   1  'Fixed Single
       Caption         =   "T011PV"
       ForeColor       =   &H00FF0000&
       Height          =   255
       Left            =   1680
       TabIndex        =   1
       Top             =   120
       Width           =   375
    End
End
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

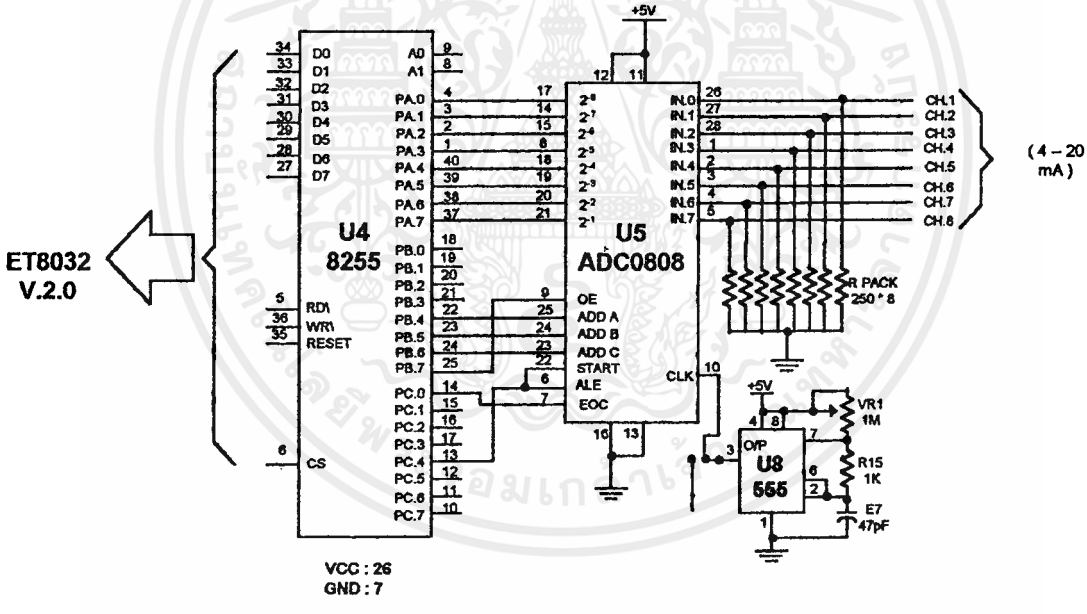
โครงงานเครื่องแสดงผลระยะไกลนี้ ประกอบด้วยวงจรหลาย ๆ ส่วนเพื่อเป็นการตรวจสอบว่าวงจรแต่ละส่วนทำงานได้ถูกต้องตามจุดประสงค์ที่วางไว้หรือไม่ก่อนที่จะนำวงจรแต่ละส่วนมาประกอบเข้าด้วยกัน จึงได้มีการแยกทดลองส่วนต่าง ๆ ของวงจรดังนี้

4.1 การทดลองวงจรภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล

วัตถุประสงค์ ของการทดลองภาคนี้ก็เพื่อทดสอบว่าวงจรในส่วนนี้ทำงานได้หรือไม่

วิธีการทดลอง โดยการประกอบวงจรเปลี่ยนสัญญาณอะนาล็อกให้เป็นสัญญาณดิจิตอลตามวงจร แล้วทำการเชื่อมต่อวงจรเข้ากับเครื่องของ ET - 8032 V 2-0 เพราะว่าเครื่องนี้จะมี Function Key ให้ใช้งานจึงสะดวกต่อการทดสอบวงจรโดยไม่ต้องเขียนโปรแกรมการทดลอง

วงจรการทดลอง



รูปที่ 4.1 วงจรภาคเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล

วิธีการทดลองนี้จะทำโดยการสั่งให้ ไอซีเบอร์ ADC0808 ทำการแปลงสัญญาณอะนาล็อกให้เป็นสัญญาณดิจิตอลจากอินพุท ที่ละช่องโดยผลการแปลงสัญญาณของวงจรนี้จะถูกส่งไปแสดงที่ LED Flag ของบอร์ดET- 8032V.2.0ตำแหน่งพอร์ตของ 8255 ที่ใช้ติดต่อกับวงจรเปลี่ยนสัญญาณอะนาล็อกเป็นสัญญาณ ดิจิตอลมีดังนี้

Port A ตำแหน่ง E020H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port B	ตำแหน่ง	E021H
Port C	ตำแหน่ง	E022H
Port Control	ตำแหน่ง	E023H

ฟังก์ชั่นคีย์ (Function Key) ต่าง ๆที่ใช้ในการทดสอบวงจรของบอร์ด ET - 8032 V2.0

IN (Input)

หน้าที่ : อ่านข้อมูลจากพอร์ตที่กำหนด โดยพอร์ตที่กำหนดนั้นจะถูกกำหนดจากผู้ผลิตคือ EO

OUT (Output)

หน้าที่ : เขียนข้อมูลไปยังพอร์ตที่กำหนด

การทดลองดังนี้เมื่อต่อวงจรเข้ากับบอร์ดทดลอง ET -8032 V2.0 เรียบร้อยแล้ว ทำการป้อนกระแสทดสอบการทำงานของอินพุทที่ละช่องโดยทำการโปรแกรมดังนี้

ลำดับที่

1	OUT	23H	91H	; ทำการ Initial 8255 ให้ทำงานในโหมด 0 พอร์ต A พอร์ต B ส่งเอาท์พุท พอร์ต C รับอินพุท
2	OUT	21H	00H	; ส่งเอาท์พุท 00H ออกพอร์ตB คือกำหนดAddress OOให้ A/D
3	OUT	21H	08H	; ส่งลอจิก "1" ให้ขา OE
4	OUT	21H	00H	; ส่งลอจิก"0" ให้ขา OE ทั้งลำดับที่ 3 และ 4 ต้องการสร้างพัลซ์ 1 ลูกให้ขา OE
5	IN	20H		; เรียกค่าที่ได้จากการแปลงของ A/D ให้เข้ามาที่พอร์ต A แล้วไปแสดงบน LED FLAG ของบอร์ดทดลอง

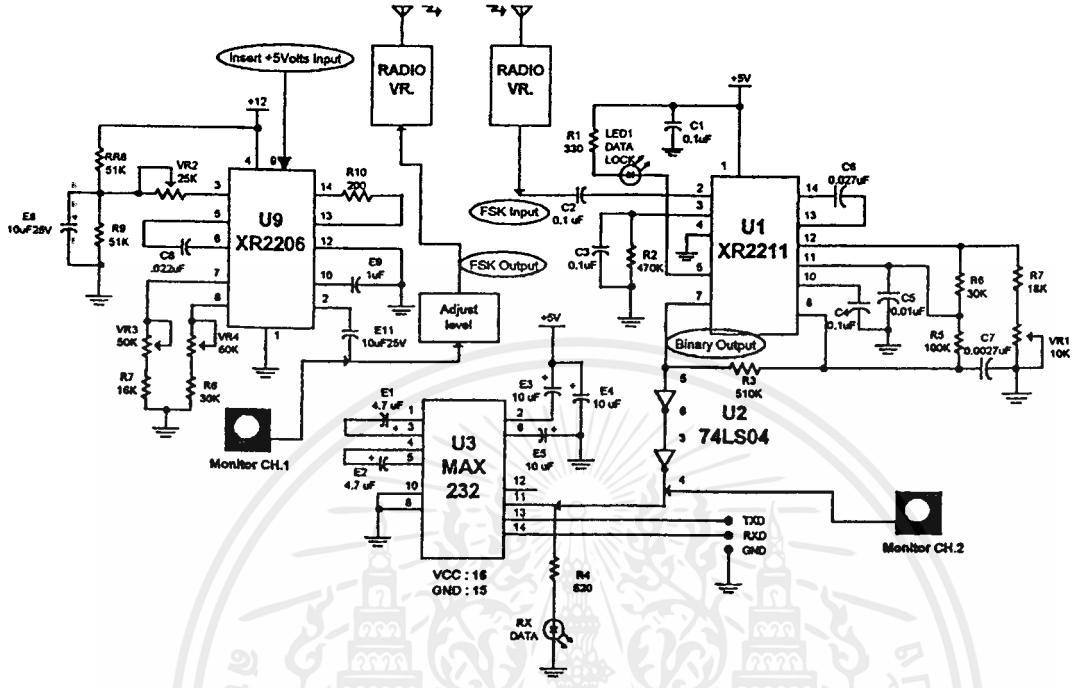
ซึ่งเมื่อทำการเปลี่ยนแปลงอินพุทคือกระแสที่ป้อนเข้าจะทำให้ LED Flag เปลี่ยนแปลงไปด้วยแสดงว่า A/D ทำงานได้และอินพุท ช่องนั้นทำงานได้ต่อไปทำการเปลี่ยน Address ของอินพุท โดยการเปลี่ยนโปรแกรมทดลองในขั้นตอนที่ 2 ไปเรื่อยจนครบ 8 อินพุท ทำการทดลองซ้ำไปเรื่อยๆ เมื่อทุกช่องอินพุททำงานได้เหมือนกันก็แสดงว่า A/D ทำงานได้ถูกต้อง

4.2การทดลอง การทำงานของภาคฟรีเควนซีชิฟคีย์อิ้ง (Frequency Shift Keying (FSK))

แบ่งการทดลองออกเป็น 4 ขั้นตอน

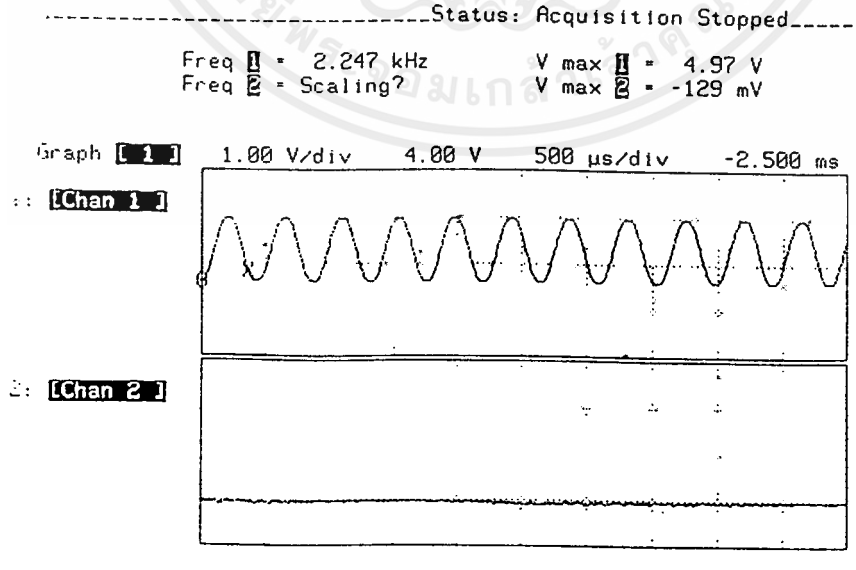
1. ทดลองโดยป้อนไฟ DC + 5 Volts เข้าที่ Input ขา 9 ของ IC xR2206 แล้วนำ Oscilloscope CH1 จับที่ขา 2 ของ IC XR2206 ซึ่งเป็น O/P ของ FSK Modulation โดยผ่าน E11 10 μF ส่วน CH2 จับที่ขา 11 ของ U3 MAX 232 ซึ่งเป็นขา Input ที่รับสัญญาณ Demodulation เพื่อนำมาแปลงเป็นสัญญาณมาตราฐาน RS 232 C ดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงจุดวัดสัญญาณ O/P ของ FSK MOD/DEMOD

จากการคำนวนค่าความถี่ Fs เราใช้ 2200 Hz ดังนั้นเมื่อป้อนไฟ DC + 5 Volts แล้วทำการปรับ VR3 ให้ได้ความถี่ 2200 Hz ซึ่งค่าที่ Oscilloscope จับได้ดังรูป 4.3

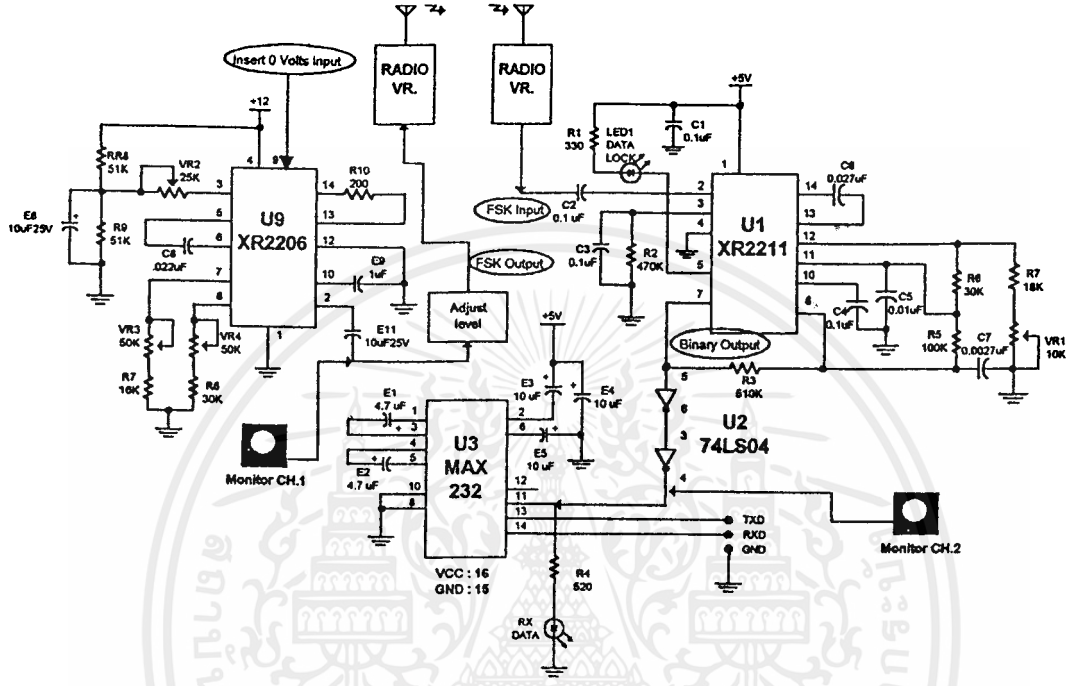


ดังรูป 4.3 O/P ของ FSK MOD โดยการป้อน Input +5 Volts DC

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

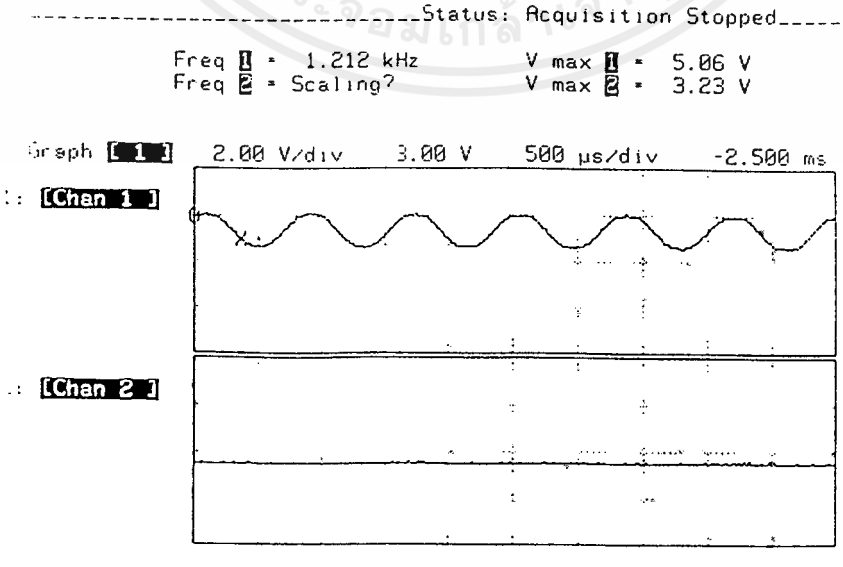
จากรูปที่ 4.3 เมื่อสัญญาณ ผ่านวงจร DEMOD XR2211 ความถี่ที่ได้จะต่ำมากลักษณะสัญญาณจะอยู่ในรูปของไฟ DC ซึ่งมีค่าอยู่ที่ -129 mV หรือเป็น 0 Volt นั่นเอง

2. ทดลองโดยป้อน 0 Volts เข้าที่ขา 9 ของ XR2206 ดังรูปที่ 4.4 แล้วทำการปรับ VR4 เพื่อปรับความถี่ให้ได้ 1200 Hz ตามค่าความถี่ที่คำนวณไว้



รูปที่ 4.4 แสดงจุดวัดสัญญาณ O/P ของ FSK MOD/DEMOD

และนำ OSCILLOSCOPE CH2 มาจับที่ O/P ของ XR2211โดยผ่าน Not Gate 2 ตัว (เพื่อเพิ่มระดับของสัญญาณ) ซึ่งจะได้สัญญาณดังรูปที่ 4.5

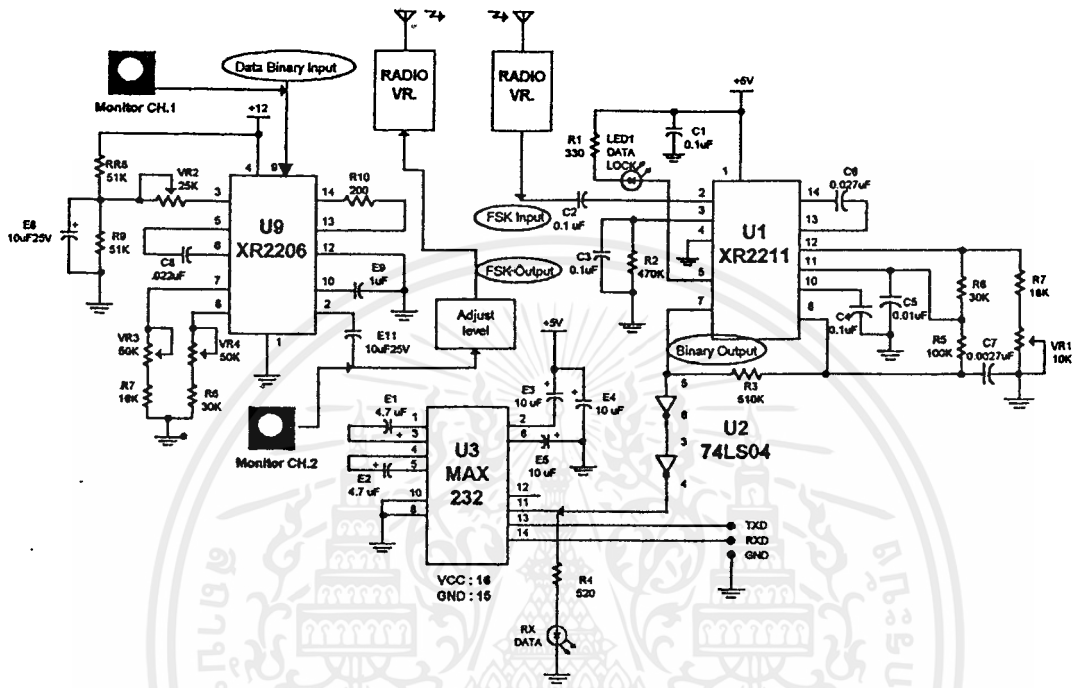


รูปที่ 4.5O/P ของ FSK MOD โดยการป้อน Input 0 Volts DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

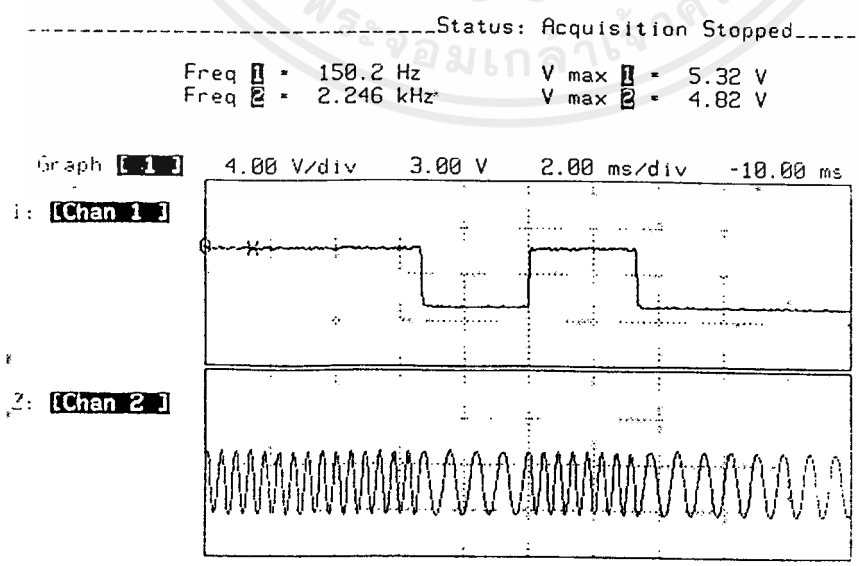
จากรูป 4.5 จะเห็นว่า เมื่อป้อน 0 Volts เข้าไป ปรับค่าความถี่ตามที่กำหนดจะได้สัญญาณเมื่อผ่านการ DEMOD โดย XR2211 แล้วจะได้สัญญาณเป็นไป DC ค่าประมาณ + 3.25 Volts

3. ทำการป้อนสัญญาณ Data ที่เป็น Binany ต่อเนื่องเข้าที่ขา 9 ของ XR2206 แล้วนำ Oscilloscope CH1 และ CH2 จับดังรูป 4.6



รูปที่ 4.6 แสดงการป้อนสัญญาณ Binary แบบต่อเนื่อง

จากรูป 4.6 เมื่อนำ Oscilloscope ต่อวัดดังรูปแล้วจะได้สัญญาณความถี่ที่เปลี่ยนแปลงไปมาตลอดเวลาตามค่า Binany Input Data มีเข้ามาดังรูป 4.7



รูปที่ 4.7 แสดง Input และ Output FSK Modulator

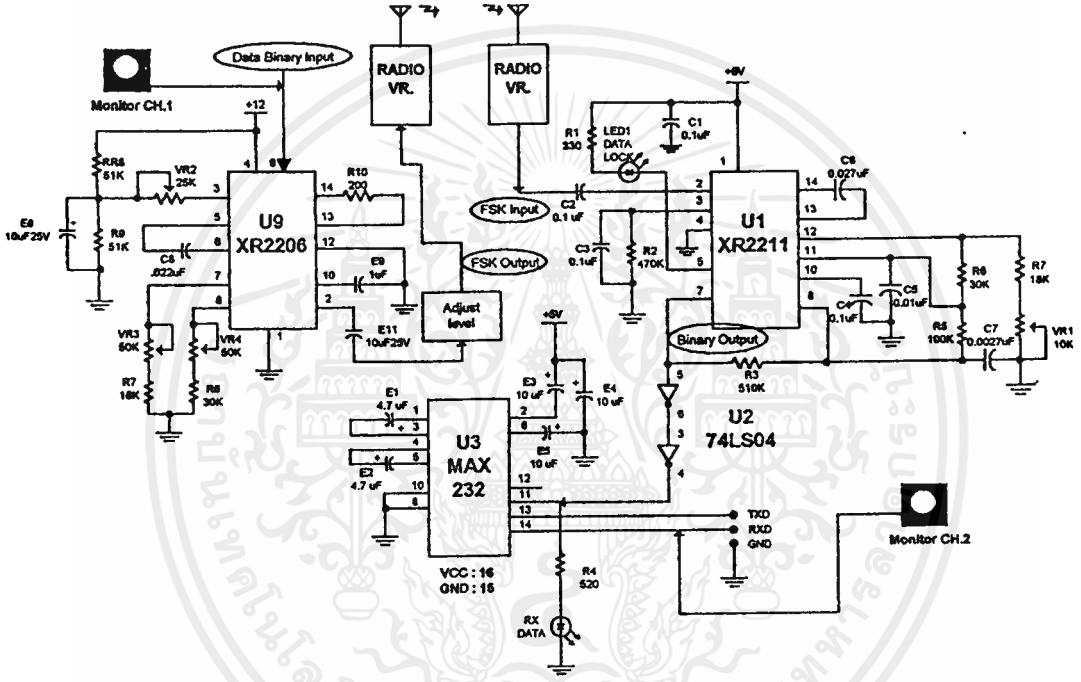
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.7 จะเห็นว่าเมื่อ Binany Input Data ที่เข้ามาเป็น Logic

"0" ความถี่ที่ Oscilloscope CH2 วัดได้หลังผ่าน MOD จะเป็น 1200 Hz

"1" ความถี่ที่ Oscilloscope CH2 วัดได้หลังผ่าน FSK MOD จะเป็น 2200 Hzสลับกันไปตาม Binany Input Data

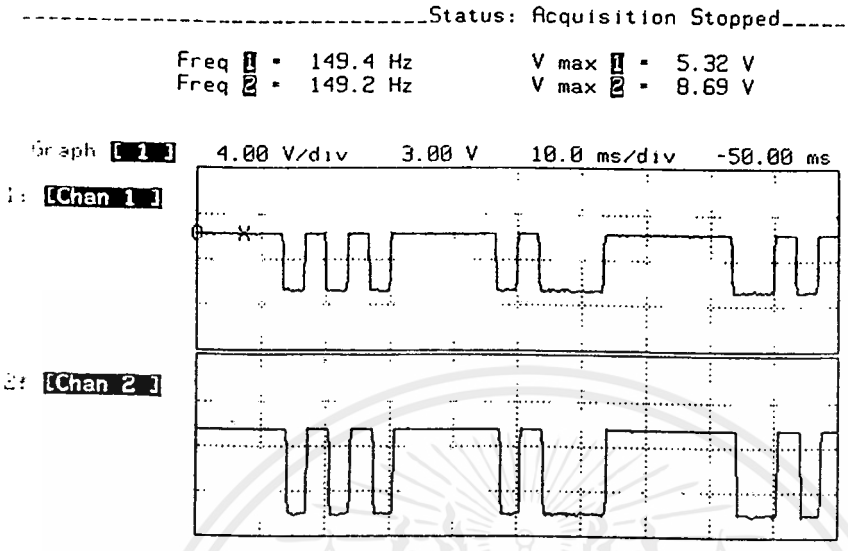
4. เมื่อป้อน Binany Input Data แล้วทำการจับสัญญาณโดยนำ Oscilloscope จับสัญญาณ ดังรูปที่ 4.8



รูปที่ 4.8 แสดงการวัดสัญญาณทางด้านส่งและรับ

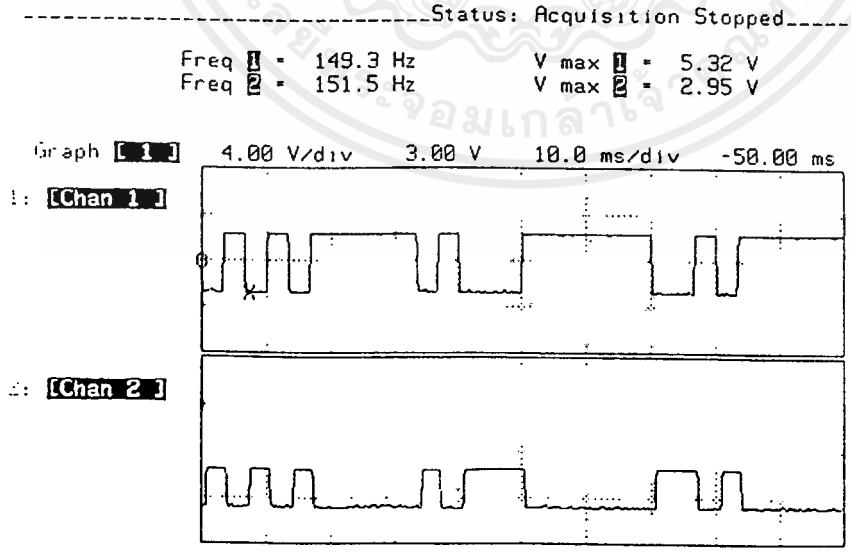
จากรูปที่ 4.8 เมื่อทำการต่อและจับสัญญาณที่จุดดังรูปจะได้สัญญาณดังรูปที่ 4.9 ซึ่งจะเห็นว่าสัญญาณที่ ผ่าน RS 232C เมื่อเทียบกับสัญญาณ Input ขา 9 ของ XR 2206 จะมีรูปร่างเหมือนกัน มีเฟสเดียวดังแสดงในรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณ Binary Input Data และสัญญาณ RS-232-C ที่รับได้

เมื่อป้อน Data Binany Input แล้วทำการจับสัญญาณโดยนำ Oscilloscope CH1 จับสัญญาณ Input ขา 9 ของ XR 2206 และนำ Oscilloscope CH2 มาจับที่ O/P ของ XR2211โดยผ่าน Not Gate 2 ตัว (เพื่อเพิ่มระดับของสัญญาณ) ซึ่งจะได้สัญญาณดังรูปที่ 4.10



รูปที่ 4.10 แสดงสัญญาณ Binary Input Data และสัญญาณ Binary ที่รับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทดลองภาค FSK นี้เสร็จสิ้นวงจรทำงานได้แสดงว่า ภาค A/D พร้อมที่จะถูกเชื่อมต่อกับภาค FSK โดยที่ข้อมูลจาก A/D จะต้องถูกแปลงโดยซอฟต์แวร์ให้เป็นข้อมูลอนุกรมก่อนและเป็นที่มั่นใจได้ว่า เมื่อป้อนสัญญาณนี้เข้าวิทยุจะสามารถทำงานได้ เพราะความถี่เอาท์พุทที่ได้จาก FSK อยู่ในย่านความถี่เสียง

4.3 การทดลองทางด้านภาครับ และ แสดงผลข้อมูล

ที่ภาครับ และ แสดงผลข้อมูลจะมีโปรแกรมที่ออกแบบไว้สำหรับรองรับข้อมูลที่ส่งมาเรียบร้อยแล้ว การทอลองนี้จะทดลองเพื่อพิสูจน์ว่าวงจร FSK Demodulator สามารถที่จะถอดรหัสที่รับได้จากวิทยุสื่อสารโดยไม่มีการผิดเพี้ยนของสัญญาณ เพราะเราทราบดีอยู่แล้วว่ารูปแบบ (Format) ของข้อมูลที่ส่งเป็นอย่างไรจึงจัดการส่งข้อมูลเข้าภาค FSK และต่อเข้าวิทยุสื่อสาร และส่งข้อมูลเป็นลักษณะดังรูปที่ 4.11 โดยการส่งจะมีการส่งข้อมูลวนไปเรื่อยๆ

รูปที่ 4.11 แบบของข้อมูลที่ใช้ส่งให้แก่ภาครับ

ที่ทางด้านภาครับทำการต่อภาค FSK Demodulator ต่อเข้ากับวิทยุสื่อสารเพื่อจะรับเอาอินพุทจากวิทยุสื่อสารภาคเอาท์พุทของภาค FSK Demodulator จะถูกเชื่อมต่อกับพอร์ตอนุกรม RS 232 ของเครื่องคอมพิวเตอร์

ทำการเปิดเครื่องรับวิทยุสื่อสารและจ่ายไฟให้ภาค FSK Demodulator ทำงานหลังจากนั้นทำการรับ (Run) โปรแกรมที่ใช้แสดงผล แล้วเปรียบเทียบค่าที่ได้จากการแสดงผลของโปรแกรมกับค่าที่ส่งมา ซึ่งเมื่อเปรียบเทียบดูแล้วตรงกันก็แสดงว่าการเชื่อมต่อโดยวิธีไร้สายแต่ใช้วิทยุสื่อสารแทนสามารถใช้งานได้

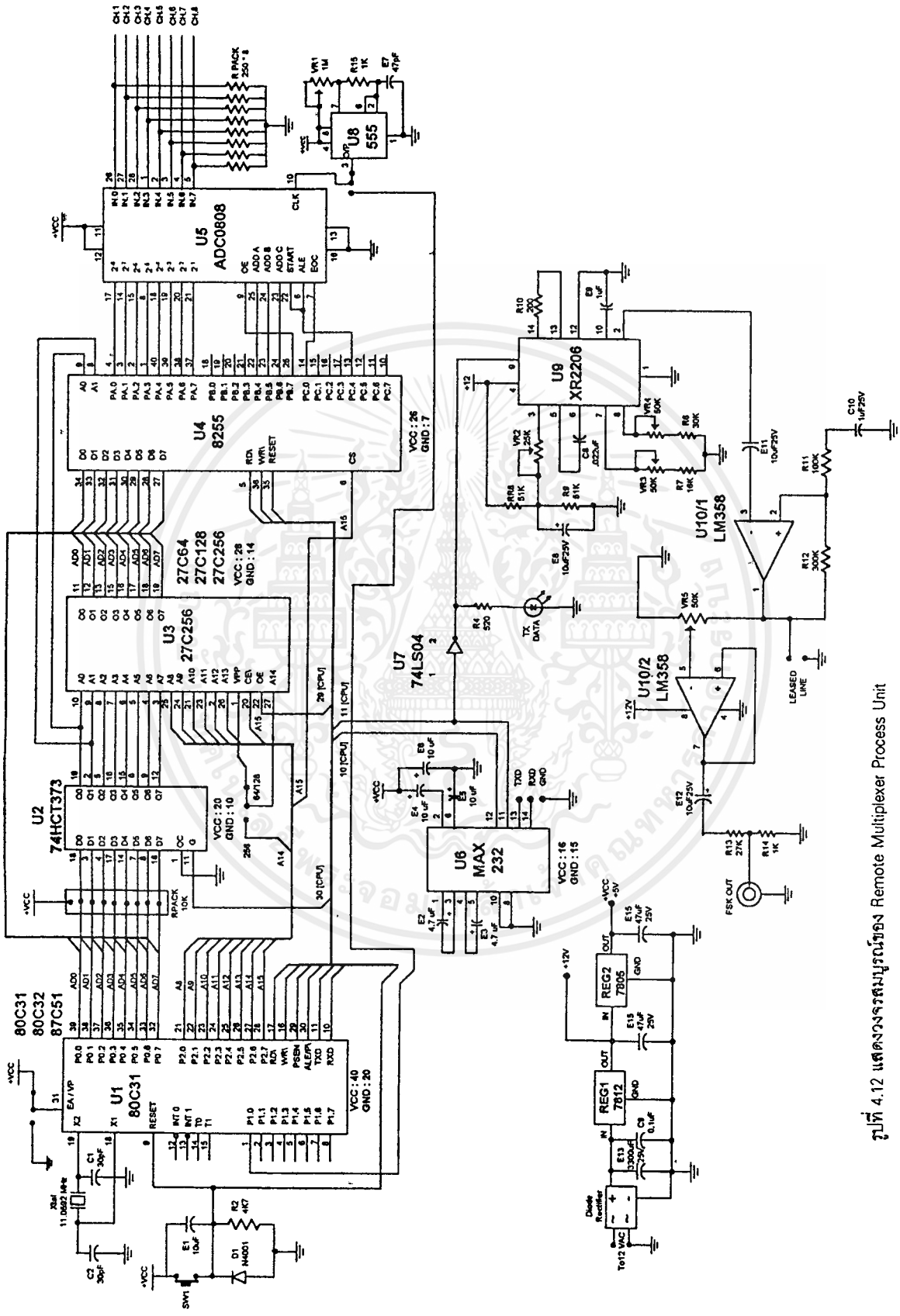
จากนั้นคือ ขั้นตอนการประกอบส่วนต่าง ๆของโครงงานเข้าด้วยกันและทำการออกแบบและสร้าง รวมทั้งทดลองใช้โปรแกรมจริงซึ่งข้อแตกต่างจากการทดลองอาจจะมีเพิ่มเติมรายละเอียดบางส่วนเข้าไปบ้าง ซึ่งได้กล่าวไว้ในบทการออกแบบและการสร้าง

การสร้าง

หลังจากทำความเข้าใจกับวงจรแล้ว จึงเริ่มเตรียมอุปกรณ์ให้พร้อมตามรายการอุปกรณ์ที่แสดงในวงจร และจัดทำแผ่นวงจรพิมพ์ ดังแสดงในรูปข้างล่าง โดยแผ่นวงจรพิมพ์ของวงจรเป็นชนิดเพลตทรูโฮลด์แยกส่วนประกอบของวงจรออกเป็น 2 ส่วนคือ

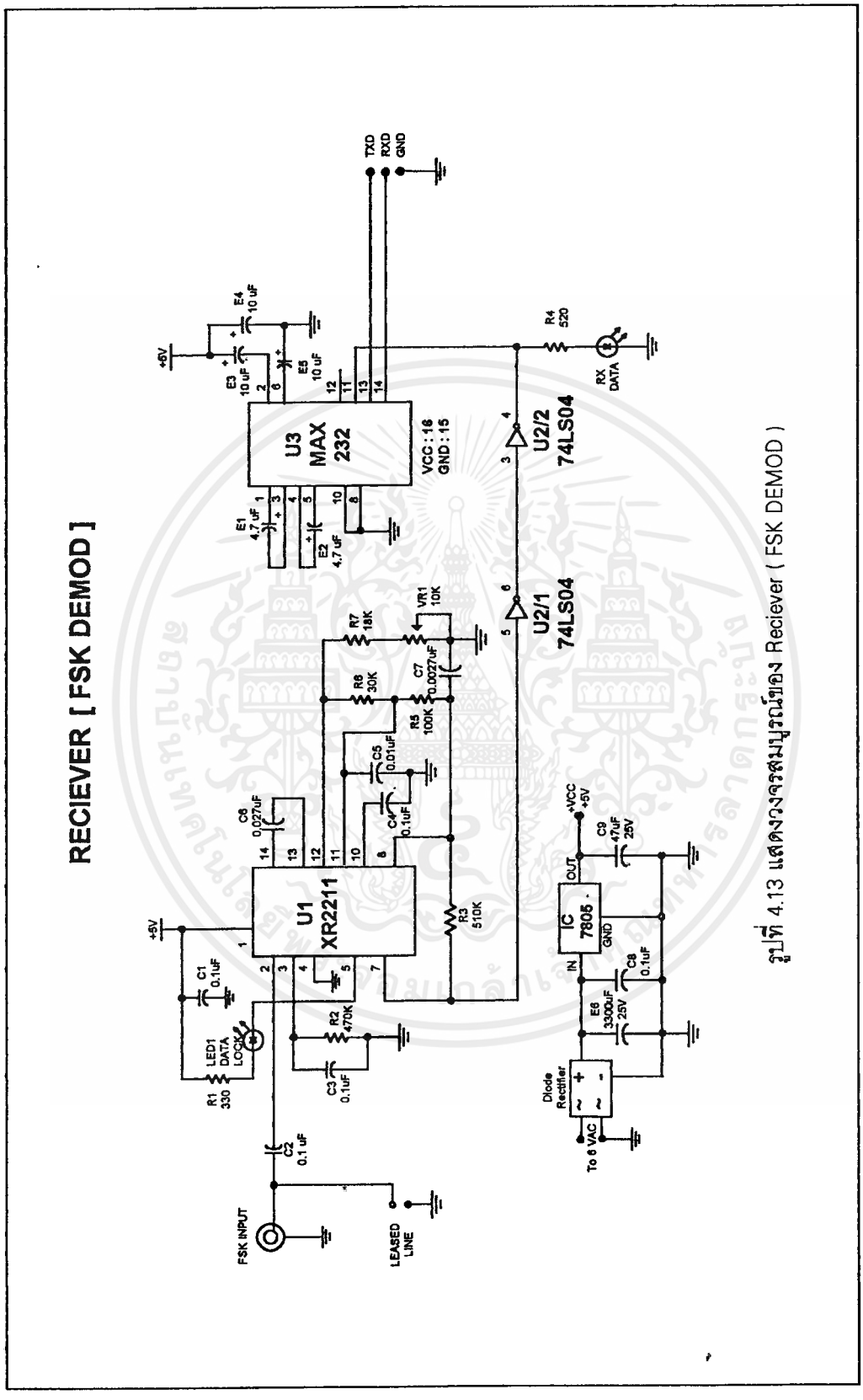
1. ภาควงจร Remote Multiplexer Process Unit ดังรูปที่ 4.12
2. ภาควงจร Reciever (FSK DEMOD) Unit ดังรูปที่ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงวงจรหน่วยรับส่ง Remote Multiplexer Process Unit

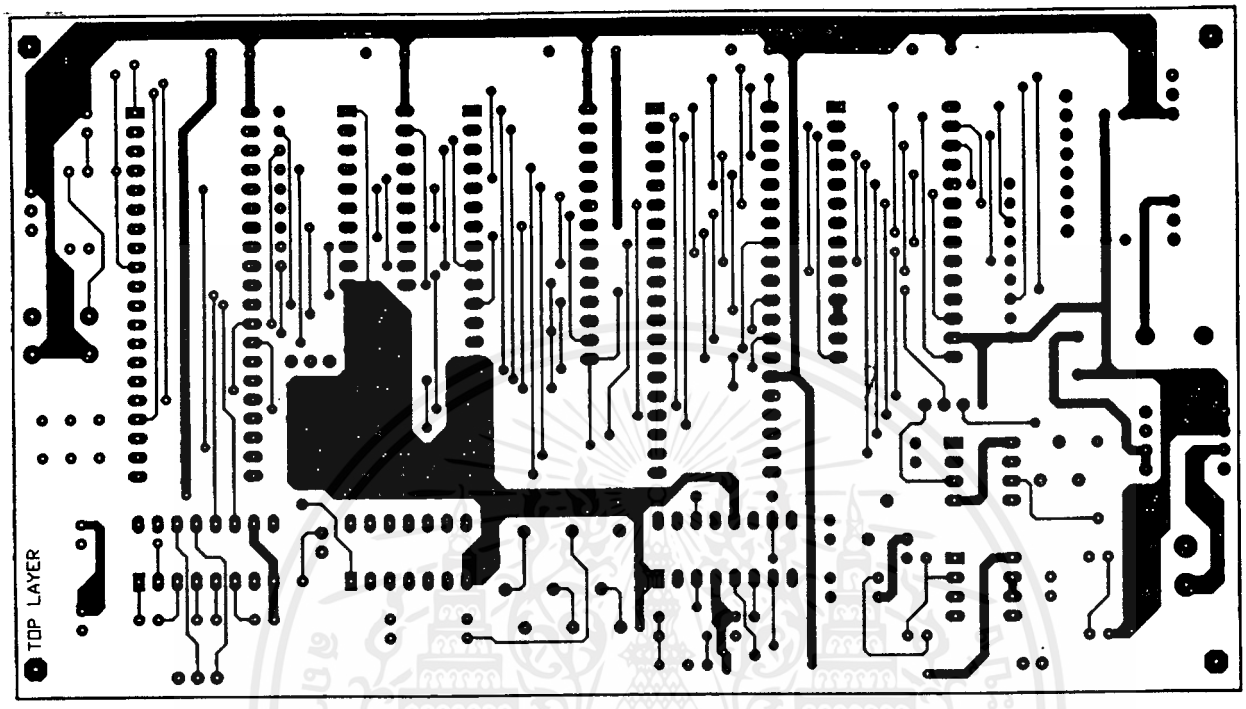
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



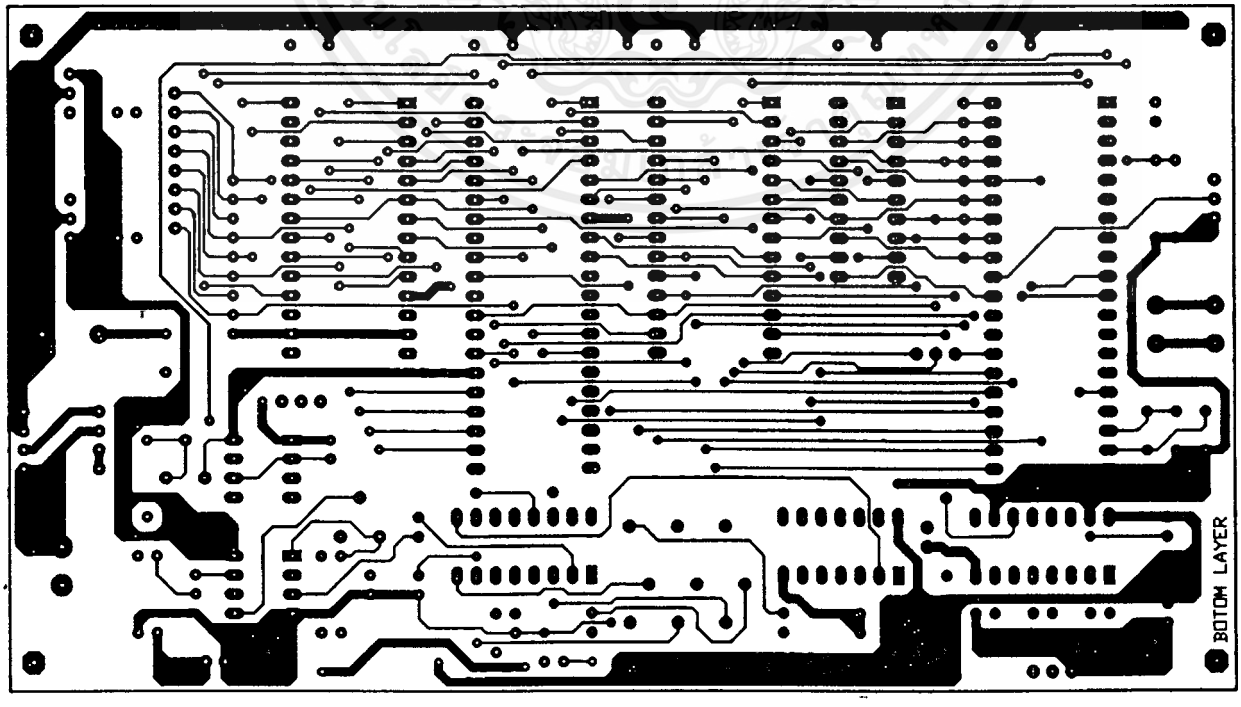
รูปที่ 4.13 แสดงวงจรสมบูรณ์ของ Reciever (FSK DEMOD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อจัดเตรียมอุปกรณ์และแผ่นวงจรพิมพ์เป็นที่เรียบร้อยแล้วก็เริ่มลงอุปกรณ์โดยเริ่มจากอุปกรณ์ที่มีความสูงน้อยที่สุดก่อนเพื่อง่ายแก่การบัดกรี ควรจะลงอุปกรณ์ประเภทซ็อกเก็ตไอซีก่อนอุปกรณ์ตัวอื่น ๆ รูปของการลงอุปกรณ์ที่ตำแหน่งต่าง ๆ แสดงดังรูปที่ 4.14

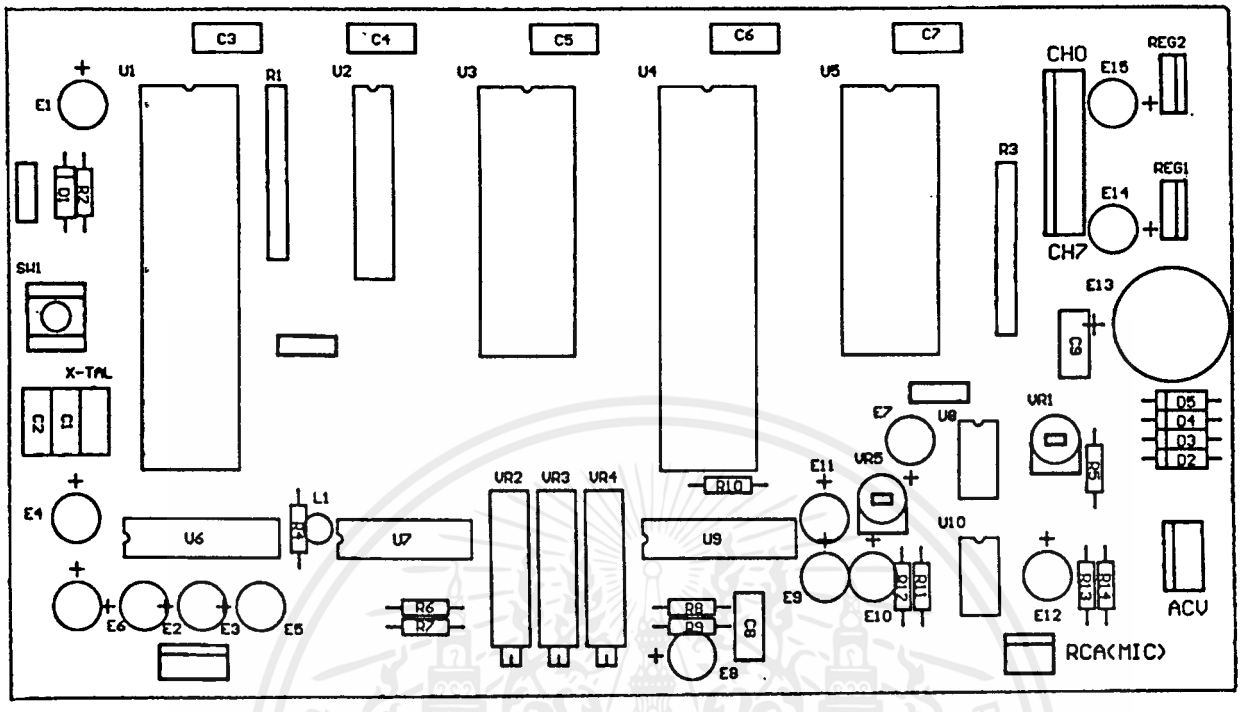


รูปที่ 4.14ก แสดงลายวงจร Remote multiplexer Process Unit ด้านบนแผ่นปรินซ์ขนาดเท่าของจริง

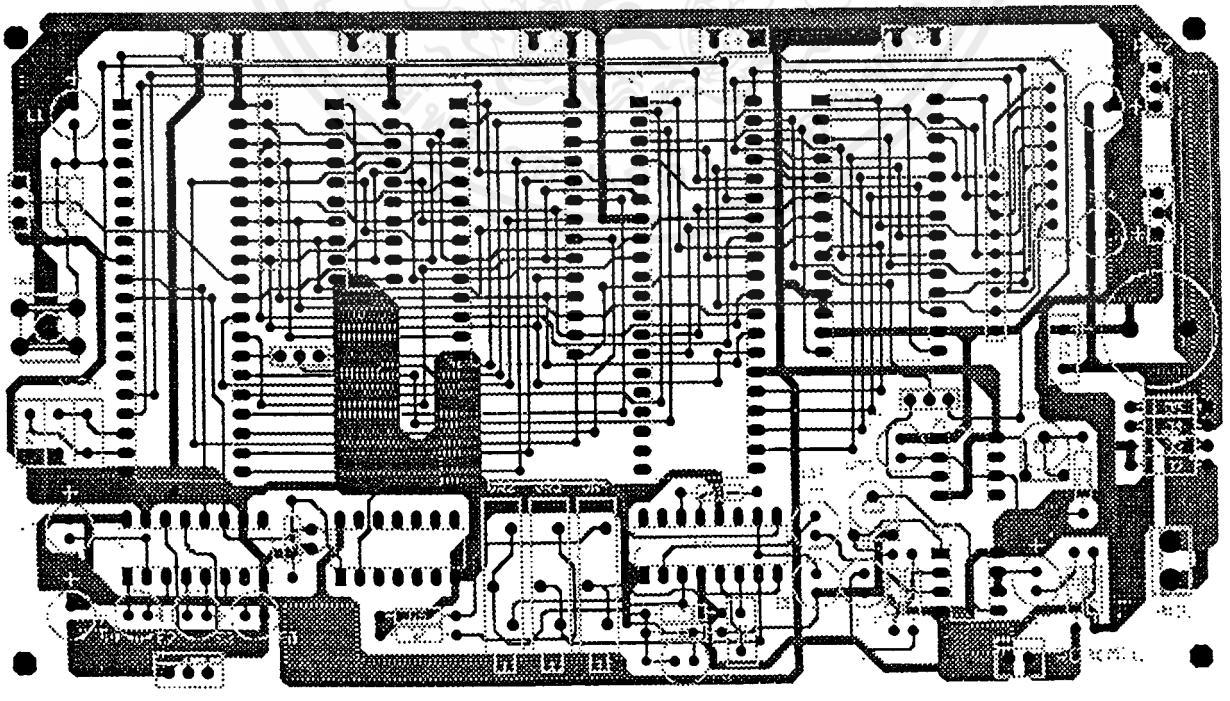


รูปที่ 4.14ข แสดงลายวงจร Remote multiplexer Process Unit ด้านล่างแผ่นปรินซ์ขนาดเท่าของจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

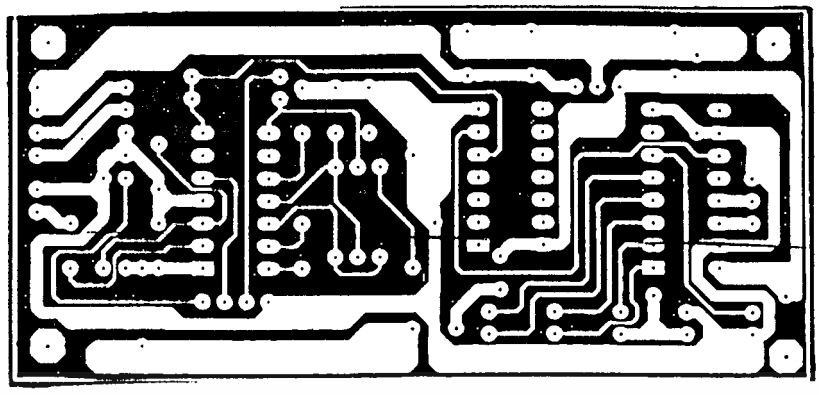


รูปที่ 4.14ค แสดงตำแหน่งอุปกรณ์วงจร Remote Multiplex Process Unit บนปริ้นซ์

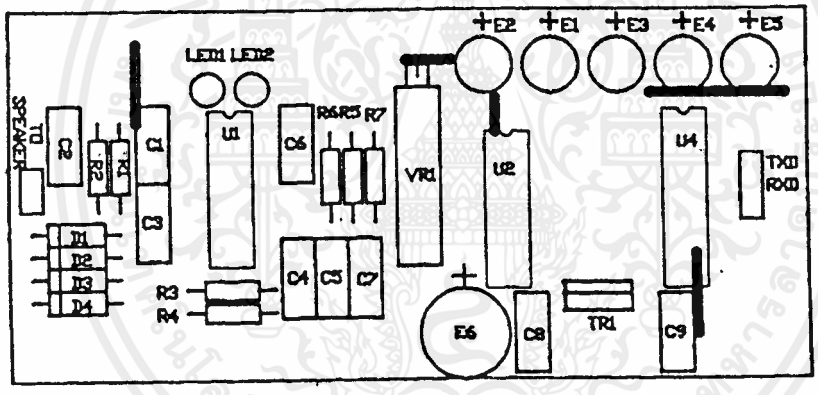


รูปที่ 4.14ง แสดงการลงอุปกรณ์วงจร Remote Multiplex Process Unit บนปริ้นซ์

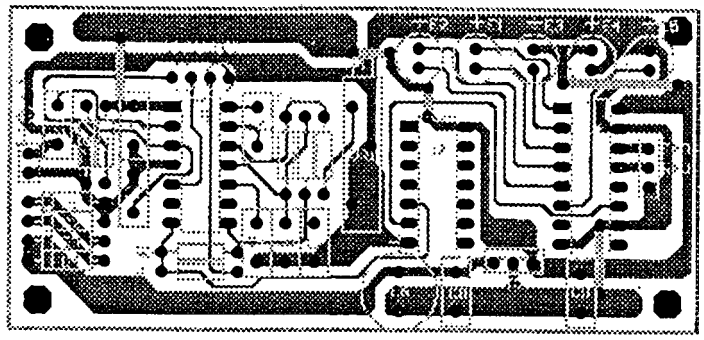
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14จ แสดงลายวงจร Reciever (FSK DEMOD)บนแผ่นปรินซ์



รูปที่ 4.14ฉ แสดงตำแหน่งอุปกรณ์วงจร Reciever (FSK DEMOD) บนปรินซ์

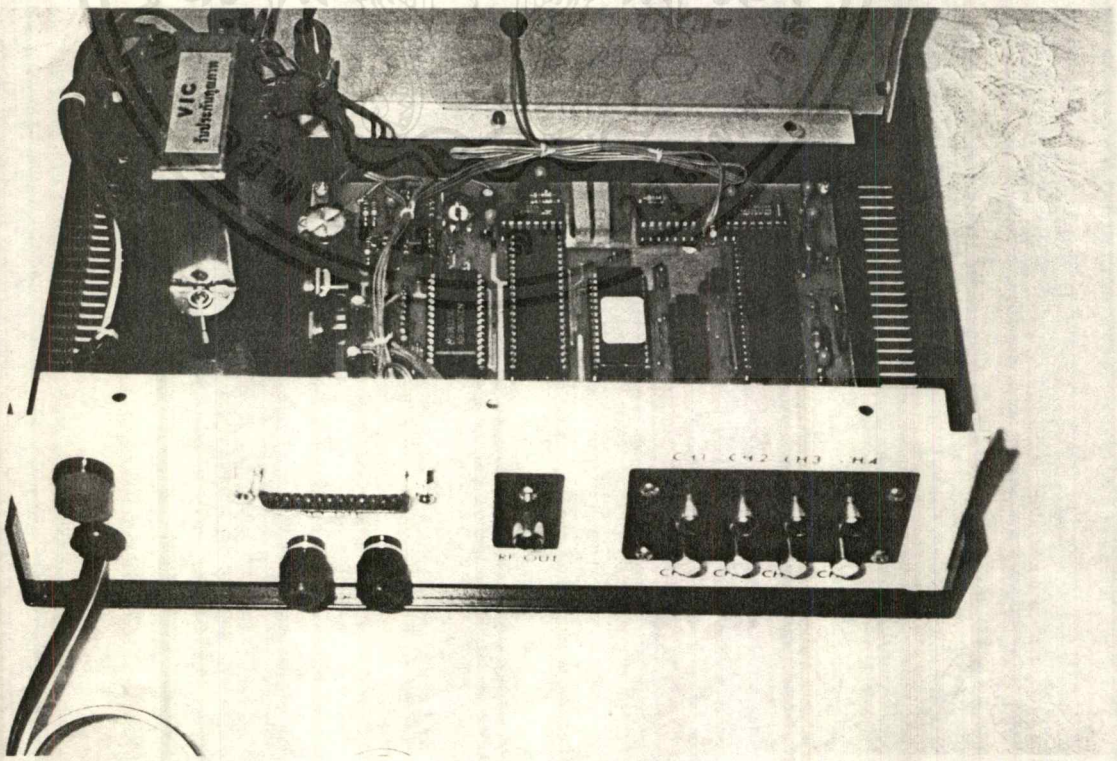


รูปที่ 4.14ช แสดงการลงอุปกรณ์วงจร Reciever (FSK DEMOD) บนปรินซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

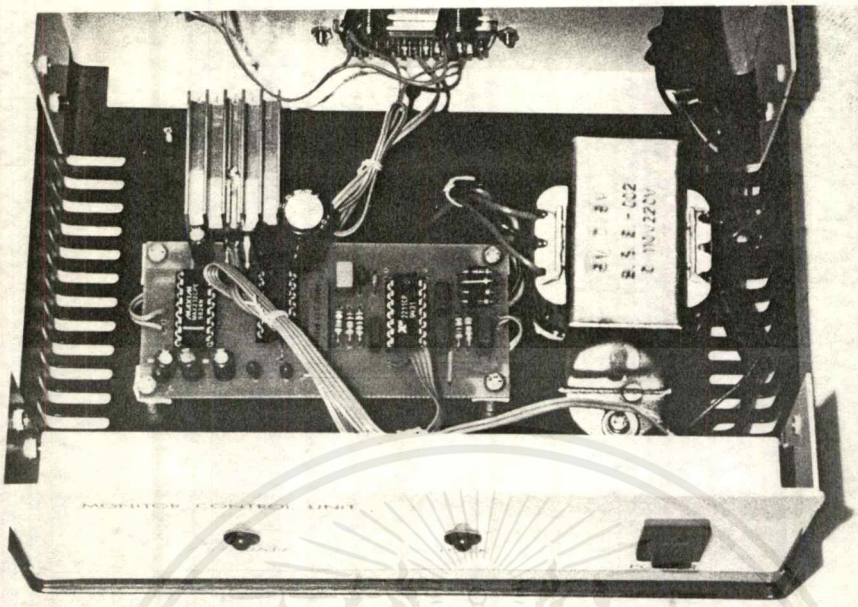
เมื่อลงอุปกรณ์บนแผ่นพิมพ์วงจรเสร็จแล้วทำการประกอบลงกล่องและเดินสายให้เรียบร้อยดังแสดงตามรูป

รูปที่ 4.15 แสดงโครงงานจริงทั้งภาคส่งภาครับข้อมูลและคอมพิวเตอร์แสดงผล



รูปที่ 4.16 แสดงการวางอุปกรณ์ภายในภาคส่งข้อมูล

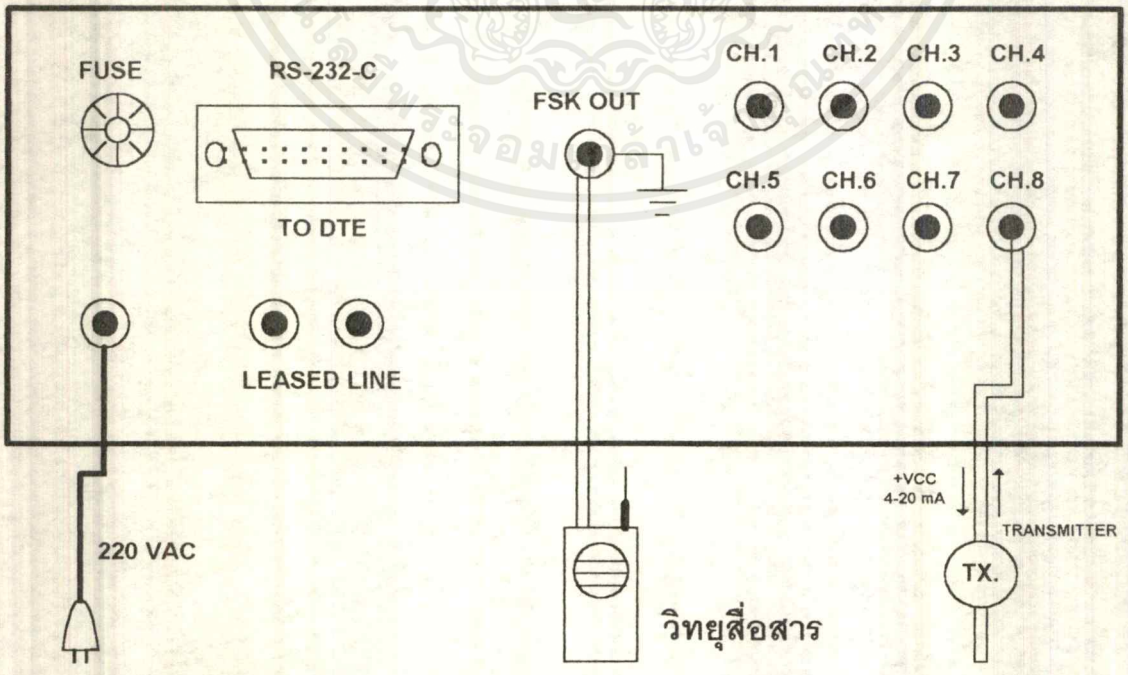
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงการวางอุปกรณ์ภายในภาครับข้อมูล

4.4 การเชื่อมต่อโครงงานเพื่อใช้งาน

การเชื่อมต่อทางด้านภาคส่งข้อมูล



รูปที่ 4.18 แสดงจุดต่อต่าง ๆ ด้านหลังของภาคส่งข้อมูลและอุปกรณ์ต่อร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

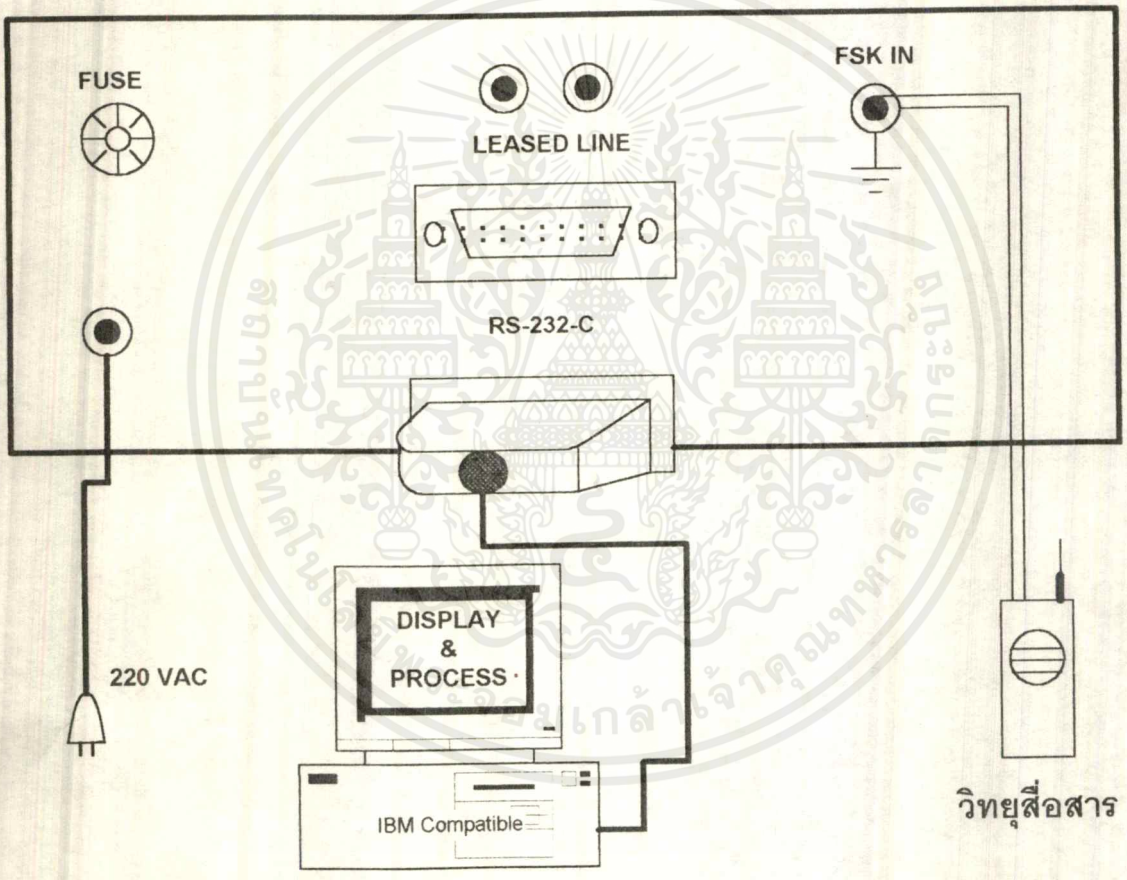
จุดต่อ CH1 ถึง CH8 จะใช้ต่อเข้ากับอุปกรณ์แปลงสัญญาณมาตราฐาน (Transmitter)

จุด FSK OUT คือจุดที่สัญญาณดิจิตอลถูก มอดูเลทด้วยวิธีการ FSK ให้อยู่ในย่านความถี่เสียง แล้วส่งเข้าภาคส่งของวิทยุสื่อสารตรงจุด Mic

จุด LEAS LINE คือจุดที่ต่อมาจาก FSK OUT จุดประสงค์จะใช้เพื่อการเชื่อมต่อที่ไม่ต้องใช้วิทยุสื่อสารแต่จะใช้สายในการเชื่อมต่อเพื่อรับส่งข้อมูลแทน

จุด RS-232-C คือจุดที่ใช้สำหรับการเชื่องต่อระหว่างภาคส่งข้อมูลกับคอมพิวเตอร์แสดงผลโดยตรง สัญญาณตรงจุดนี้จะเป็นสัญญาณมาตราฐานการสื่อสารแบบอนุกรม RS-232-C โดยไม่ผ่านการทำ FSK

การเชื่อมต่อทางด้านภาครับข้อมูล



รูป 4.19 แสดงจุดต่อต่างๆด้านหลังของภาครับข้อมูลและอุปกรณ์ต่อร่วม

จุด FSK IN คือจุดที่รับสัญญาณจากเครื่องรับวิทยุสื่อสารซึ่งรับสัญญาณจากการทำ FSK Modulation ของทางด้านภาคส่งข้อมูล สัญญาณที่รับเข้ามาที่จุดนี้จะเป็นสัญญาณในย่านความถี่เสียง

จุด LEASED LINE คือจุดใช้สำหรับเชื่อมต่อกับภาคส่งโดยใช้สายเชื่อมต่อโดยตรง

จุด RS-232-C คือพอร์ตสื่อสารอนุกรม ใช้เชื่อมต่อกับพอร์ตอนุกรม RS-232-C ของคอมพิวเตอร์แสดงผล

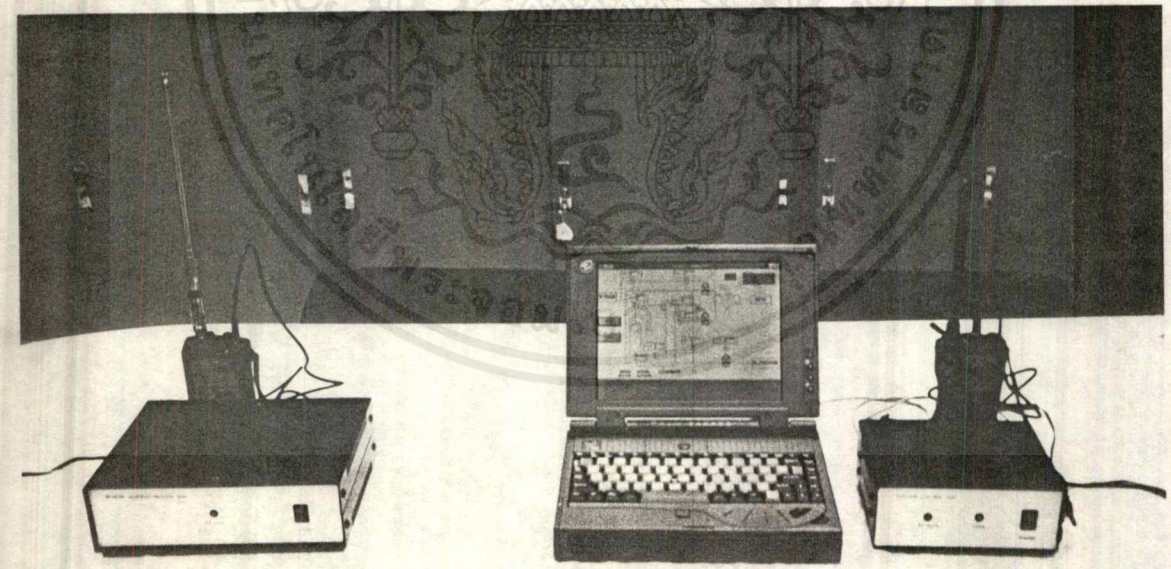
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดสอบโครงงาน Remote Monitor

เมื่อประกอบวงจรลงกล่องและเดินสายเสร็จเรียบร้อยแล้ว เป็นการทดสอบการทำงานก่อนที่จะนำเครื่องทางด้านส่ง และด้านรับไปต่อเข้ากับวิทยุสื่อสาร

วิธีทดสอบโดยการ ต่อสายจากเอาท์พุทของภาคเข้ารหัสเสียง (Frequency Shift Keying) ไปเข้าอินพุทของภาคถอดรหัสสัญญาณเสียง (FSK Demodulator) โดยตรงทำการจ่ายกำลังไฟฟ้าให้เครื่องรับกับเครื่องส่งทำการรัน (Run) โปรแกรมที่ใช้แสดงผล แล้วป้อนสัญญาณอะนาล็อกอินพุทเข้าที่อินพุทของภาคแปลงสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอลแล้วสังเกตดูการเปลี่ยนแปลงของค่าที่แสดงบนโปรแกรมสำหรับแต่ละอินพุทต้องเปลี่ยนแปลงตามอินพุทที่ป้อนให้

หลังจากทดสอบตามวิธีกล่าวมาแล้วต่อไปเป็นการเชื่อมต่อโดยไม่ใช้สายแต่จะใช้วิทยุสื่อสารแทน ขั้นตอนนี้คือเตรียมวิทยุสื่อสารมา 2 เครื่อง ตั้งความถี่ในย่านวิทยุสมัครเล่นให้ตรงกัน วิทยุเครื่องแรกนำมาเชื่อมต่อกับเครื่องทางด้านภาคส่งอีกเครื่องหนึ่งนำมาเชื่อมกับเครื่องทางด้านภาครับ โดยการเสียบแจ็คเข้าที่แจ็คไมค์ของวิทยุสื่อสารกับเครื่องภาคส่ง และเสียบแจ็คลำโพง (Speaker) มาต่อเข้ากับเครื่องรับ RUN โปรแกรมแสดงผลแล้วเปิดวิทยุภาคส่งและภาครับแล้วเปิดสวิทซ์จ่ายไฟให้เครื่องรับและเครื่องส่ง แล้วป้อนสัญญาณอินพุทเข้าที่ภาคส่ง สังเกตการเปลี่ยนแปลงของโปรแกรมแสดงผลถ้าค่าที่แสดงในโปรแกรมแสดงผลมีการเปลี่ยนแปลงตามอินพุทที่ป้อนก็แสดงว่าเครื่องรับและส่งทำงานได้ดังแสดงตามรูปที่ 4.20



รูปที่ 4.20 แสดงการทดสอบโครงงาน Remote Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและวิจารณ์

จากการทดลองและศึกษาในการทำโครงงาน เครื่องแสดงผลระยะไกลนี้สามารถสรุปได้ดังนี้คือ

ในส่วนของภาคส่งข้อมูล ทำให้ทราบถึงกระบวนการเปลี่ยนสัญญาณอะนาล็อกให้เป็นสัญญาณดิจิตอลซึ่งในปัจจุบันนี้เป็นวิธีที่แพร่หลายมากสามารถนำไปใช้ในการสื่อสารหลายแขนงซึ่งคิดว่าจะเป็นประโยชน์ต่อผู้ที่ศึกษาที่จะนำไปใช้ในชีวิตการทำงานจริงได้ในส่วนของไมโครคอนโทรลเลอร์ในตระกูลMCS 51

นอกจากนี้ยังได้ความรู้จากการเชื่อมต่อข้อมูลระหว่างคอมพิวเตอร์ โดยไม่ต้องใช้สายตัวนำแต่ใช้การเชื่อมต่อแบบไร้สายคือ ใช้วิทยุสื่อสารแทน โดยการนำเอาสัญญาณข้อมูลดิจิตอลมาแปลงเป็นสัญญาณในย่านความถี่เสียง แล้วทำการส่งโดยใช้วิทยุสื่อสารในส่วนภาครับข้อมูล ได้ทราบถึงวิธีการถอดรหัสสัญญาณเสียงได้ใช้ FSK Demodulator และได้ความรู้จากการศึกษาโปรแกรมวิชวลเบสิกที่ใช้สำหรับประมวลผลและแสดงผล

สำหรับข้อจำกัด และข้อด้อยของโครงงานนี้ คือ การรบกวนกันเนื่องจากคลื่นวิทยุอื่น ซึ่งโดยจริงแล้วย่านความถี่วิทยุที่ใช้นี้เป็นย่านที่มีผู้ใช้เป็นจำนวนมากถ้าจะนำไปใช้งานจริงย่านความถี่ที่ใช้งานนี้จะต้องได้รับการจัดสรรค์ให้เป็นความถี่ใช้งานเฉพาะซึ่งห้ามใช้ในกิจการอื่นซึ่งจะทำให้เกิดการรบกวนและเกิดการผิดพลาดเกิดขึ้น

ข้อจำกัดอีกอย่างหนึ่งที่จะต้องได้รับการแก้ไขถ้านำไปใช้ในงานจริงที่เป็นระบบใหญ่ ๆ คืออัตราการส่งข้อมูล ถ้าเพิ่มความเร็วในการส่งข้อมูลมากขึ้นแล้วจะทำให้ข้อมูลที่ถอดรหัสออกมาแล้วเกิดการผิดพลาดซึ่งเป็นจุดด้อยของภาค FSK Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ธนัท ชัยยุทธ และ กณพ แก้วพิชัย,ภาคไฟฟ้ากำลัง สถาบันเทคโนโลยีราชมงคล: สำนักพิมพ์ บริษัท ซีเอ็ดยูเคชั่น จำกัด
2. สมาคมส่งเสริม เทคโนโลยี (ไทย-ญี่ปุ่น) :เอกสารประกอบการอบรมหลักสูตร PROCESS INSTRUMENTATION PART 1:กรุงเทพ : 2536
3. ET-8032 V 2.0 MICROCONTROLLER USER'S MANUAL :ETT CO.LTD.
4. TEXAS INSTRUMENTS INCOPORATED :LINEAR DATA BOOK.
5. EXAR DATA BOOK :EXAR INTEGRATED SYSTEM,Inc. :SUNNYVALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

A to D, D to A

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

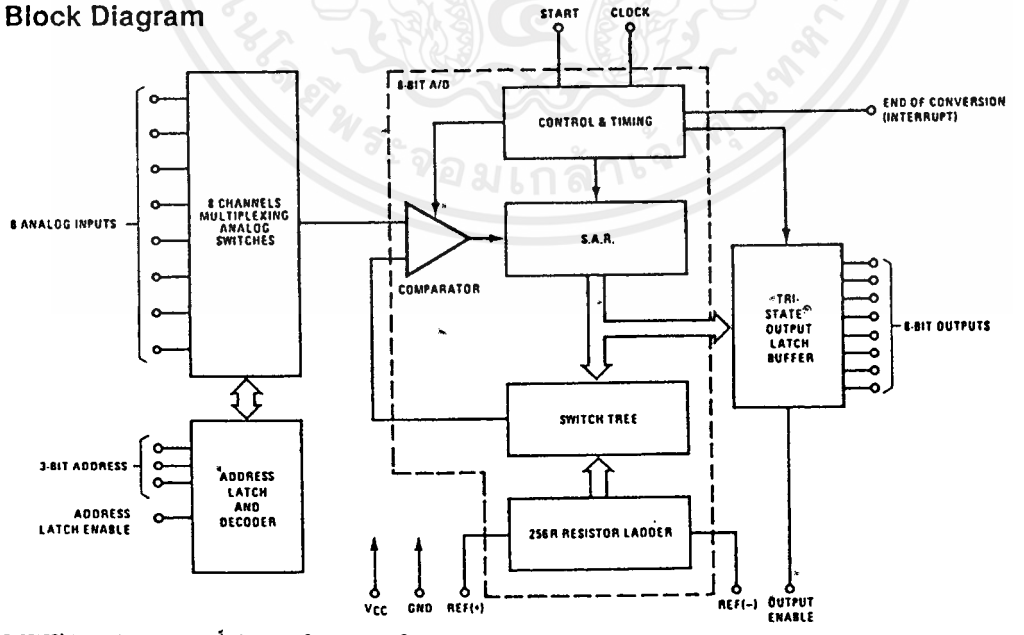
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.

Features

- Resolution — 8-bits
- Total unadjusted error — ± 1/2 LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μs
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T^2L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE® output

Block Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to + 15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C ≤ T_A ≤ +125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: $V_{CC} = 5\ V_{DC} = V_{REF(+)}$, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error (Note 5)	25°C			± 1/2	LSB
		T_{MIN} to T_{MAX}			± 3/4	LSB
	ADC0809					
	Total Unadjusted Error (Note 5)	0°C to 70°C			± 1	LSB
		T_{MIN} to T_{MAX}			± 1 1/4	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2−0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V,				
		T_A = 25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0,				
		T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Parameter		Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT}	TRI-STATE® Output Current	$V_O = 5V$			3	μA
		$V_O = 0$	-3			μA

Electrical Characteristics

Timing Specifications: $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_c = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μs	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + 1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

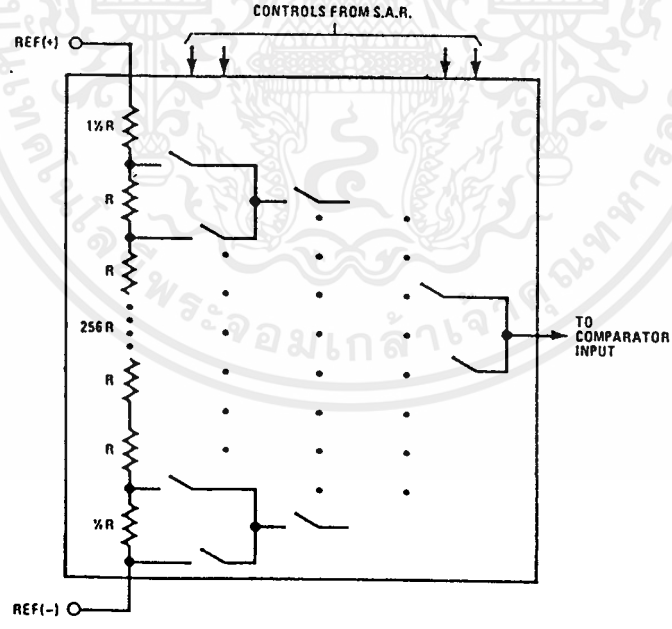


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

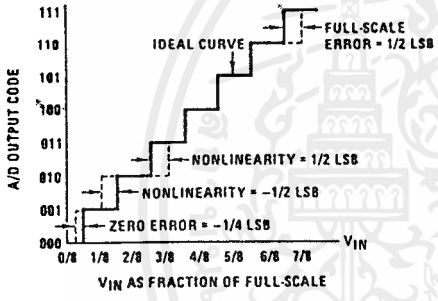


FIGURE 2. 3-Bit A/D Transfer Curve

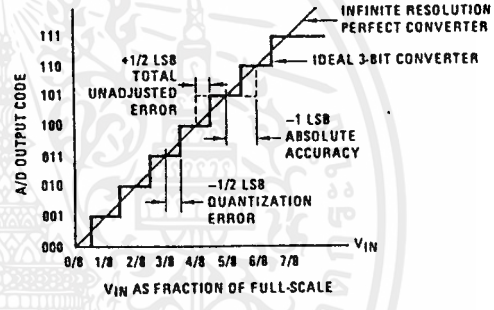


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

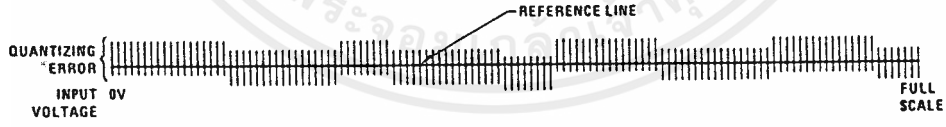
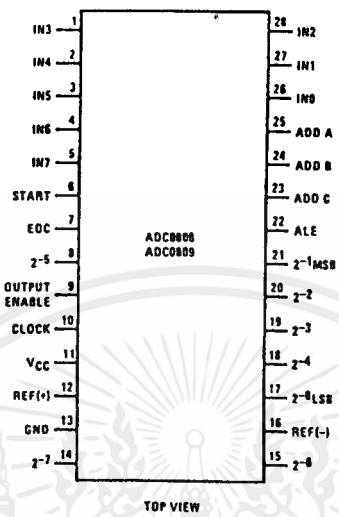


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



Timing Diagram

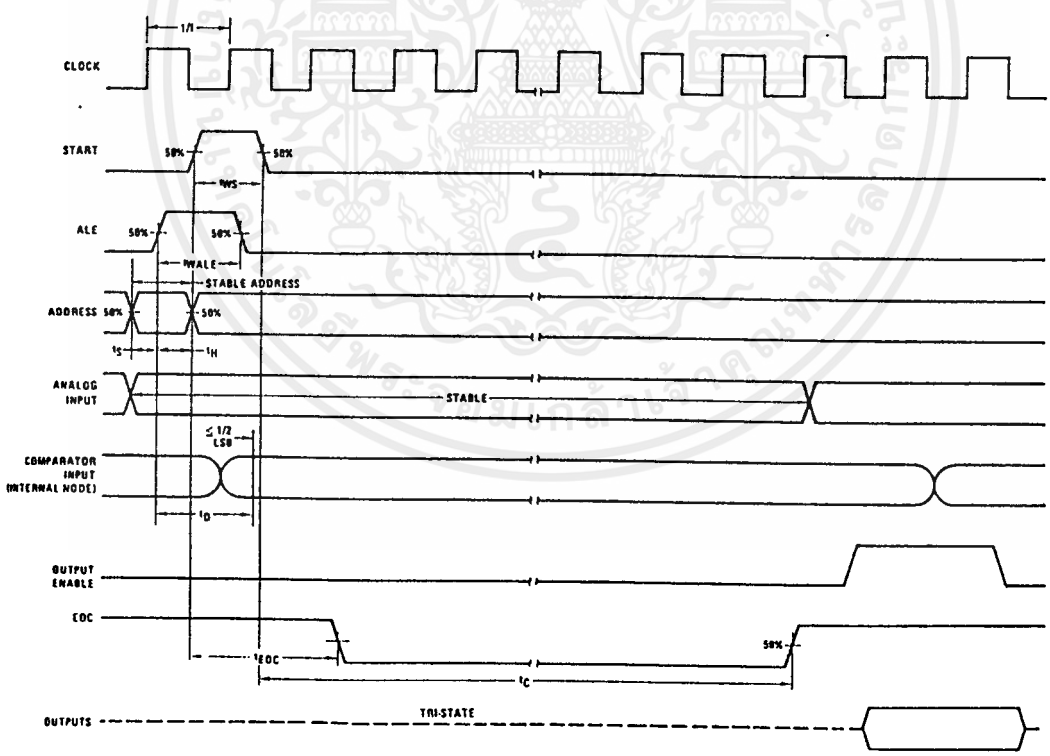


FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

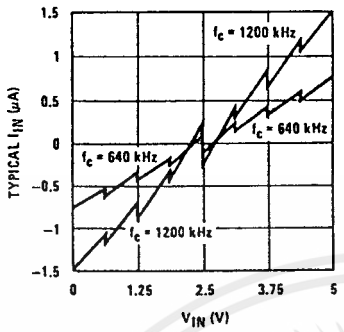


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

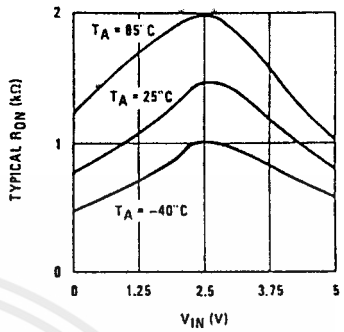


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

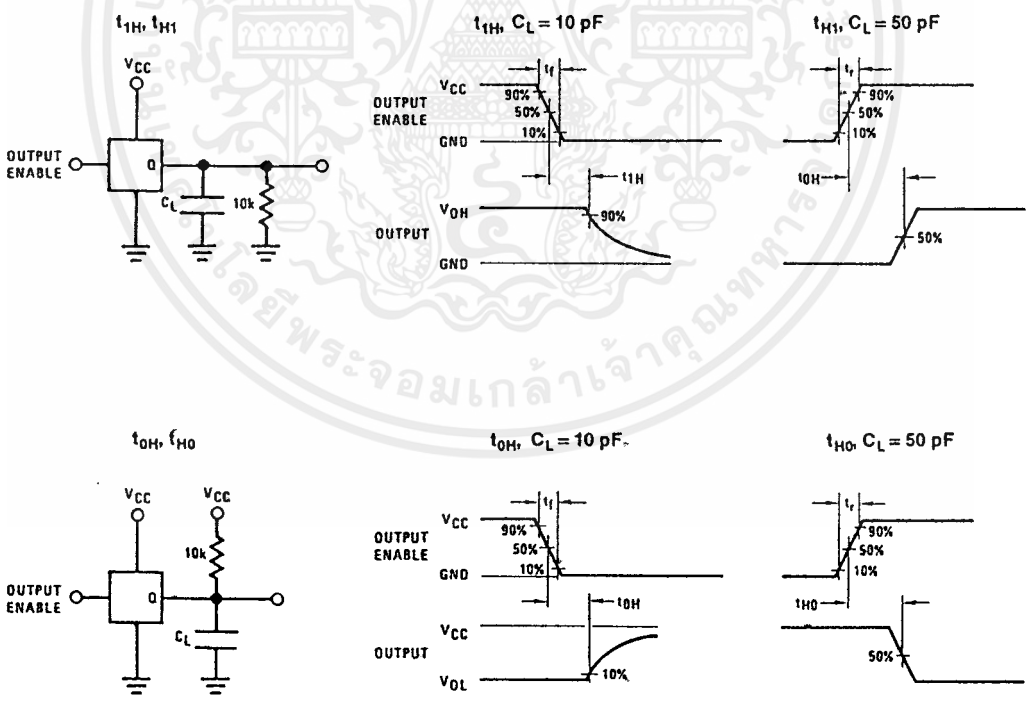


FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \qquad (1)$$

V_{IN} = Input voltage into the ADC0808
V_{fs} = Full-scale voltage
V_Z = Zero voltage
D_X = Data point being measured
D_{MAX} = Maximum data limit
D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

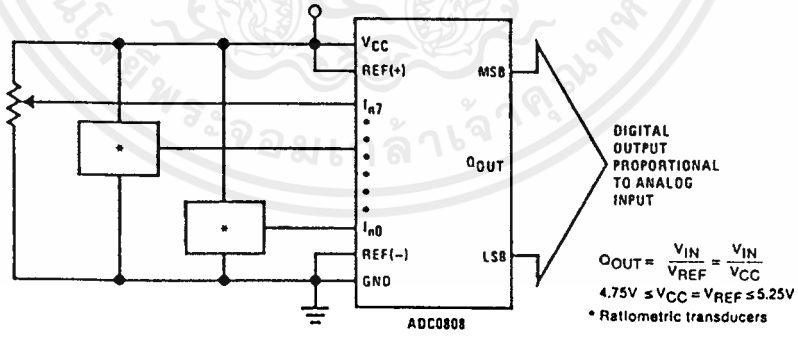


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_C and ground, respectively, but they can be symmetricall less than V_{CC} and greater than ground. The center of th ladder voltage should always be near the center of th supply. The sensitivity of the converter can be increasec (i.e., size of the LSB steps decreased) by using a sym metrical reference system. In *Figure 13*, a 2.5V referenc is symmetrically centered about $V_{CC}/2$ since the sam current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

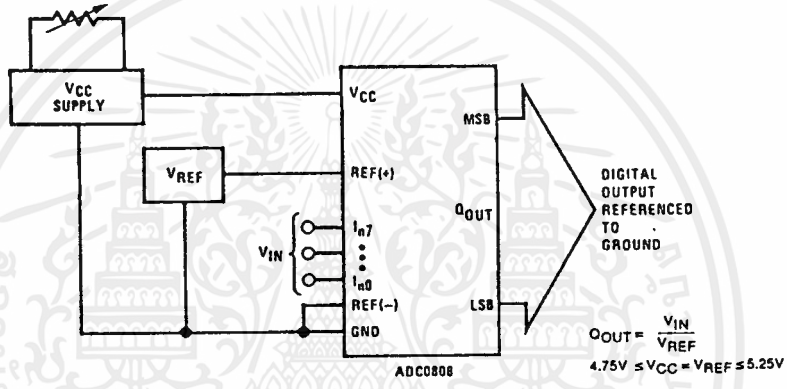


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

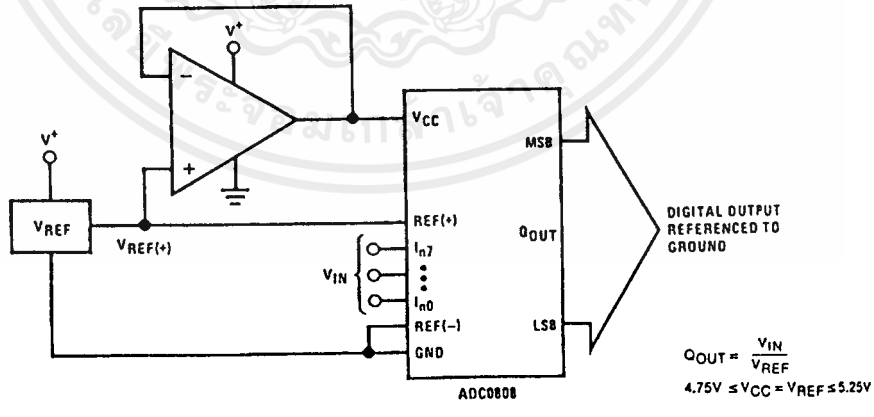


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

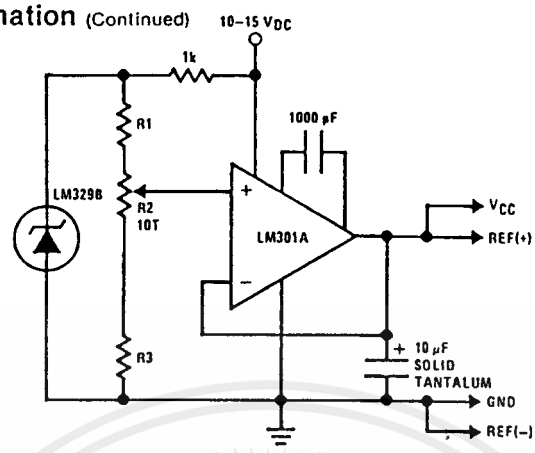


FIGURE 12. Typical Reference and Supply Circuit

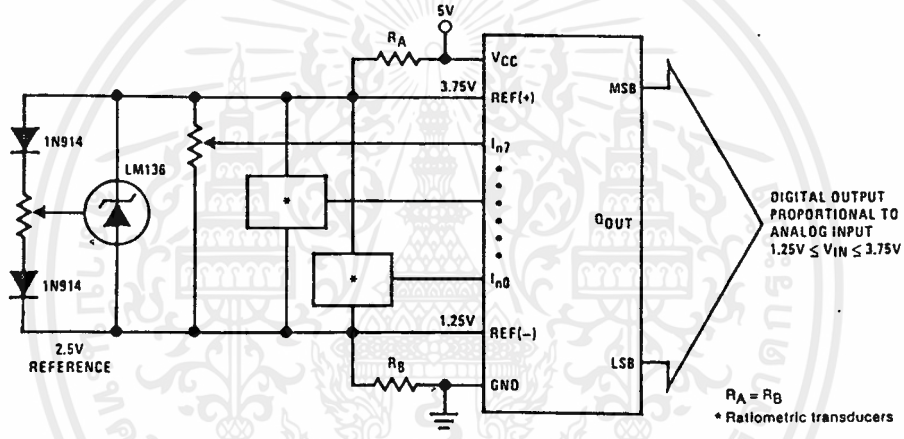


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and N + 1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input
$V_{REF(+)}$ = Voltage at Ref(+)
$V_{REF(-)}$ = Voltage at Ref(−)
V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 Analog Comparator Inputs

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

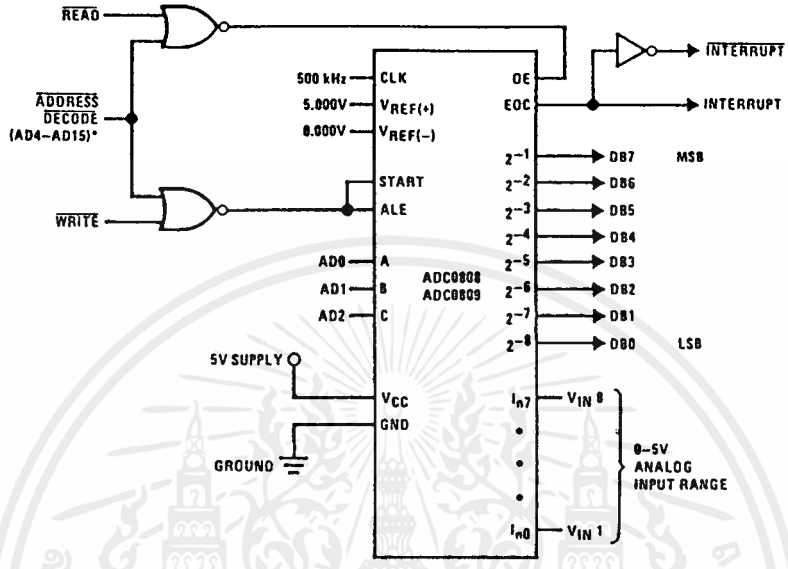
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6.*

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



* Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	$\overline{\text{READ}}$	$\overline{\text{WRITE}}$	INTERRUPT (COMMENT)
8080	$\overline{\text{MEMR}}$	$\overline{\text{MEMW}}$	INTR (Thru RST Circuit)
8085	$\overline{\text{RD}}$	$\overline{\text{WR}}$	INTR (Thru RST Circuit)
Z-80	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{INT}}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA·Φ2·R/W	VMA·Φ2·$\overline{\text{R/W}}$	$\overline{\text{IRQA}}$ or $\overline{\text{IRQB}}$ (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C		−55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	± 1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

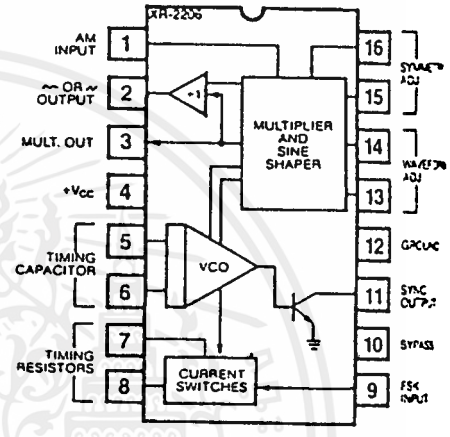
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks, a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified, S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Dual Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C < T_A < 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$ f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ Hz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Resistor								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Distortion Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
THD Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Swing Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

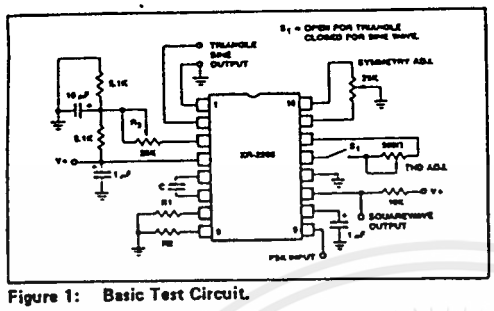


Figure 1: Basic Test Circuit.

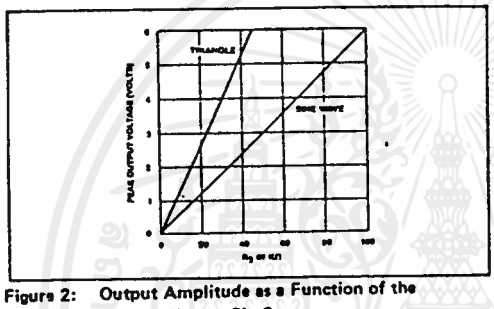


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

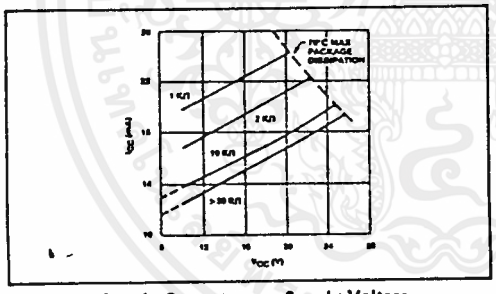


Figure 3: Supply Current versus Supply Voltage, Timing, R.

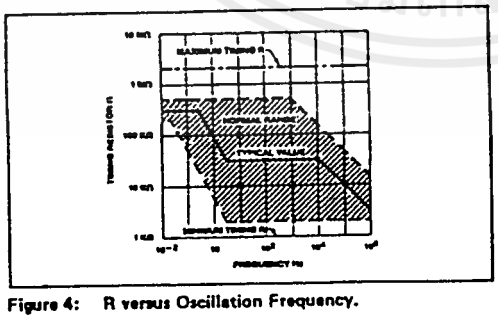


Figure 4: R versus Oscillation Frequency.

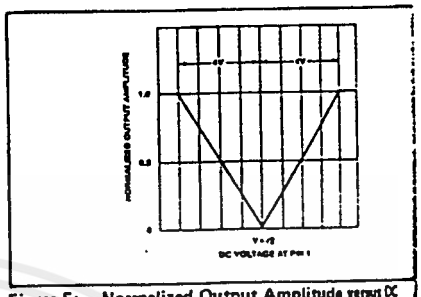


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

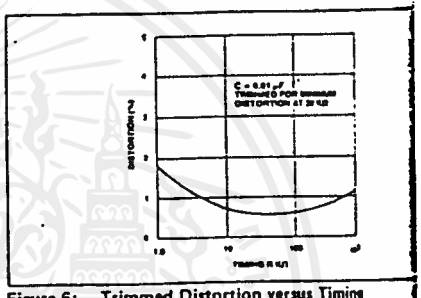


Figure 6: Trimmed Distortion versus Timing Resistor.

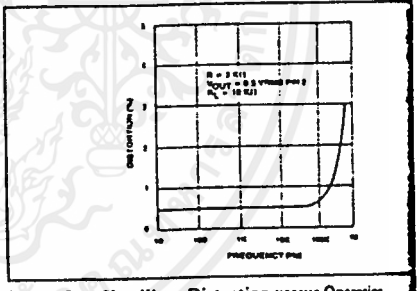


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

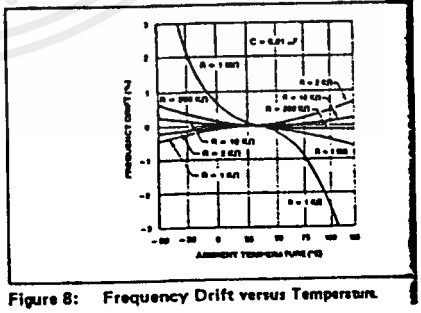


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

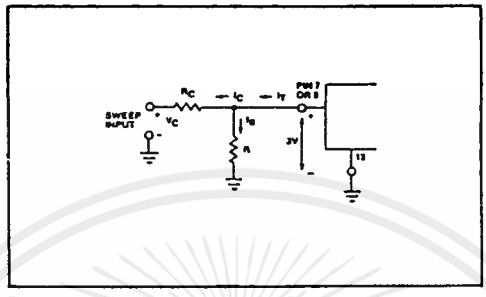


Figure 9: Circuit Connection for Frequency Sweep.

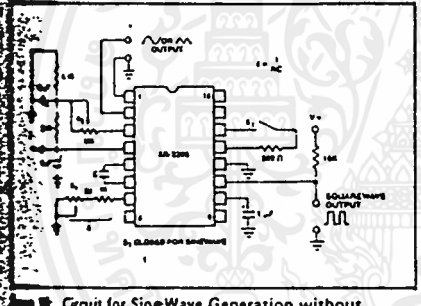


Figure 11: Circuit for Sine-Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

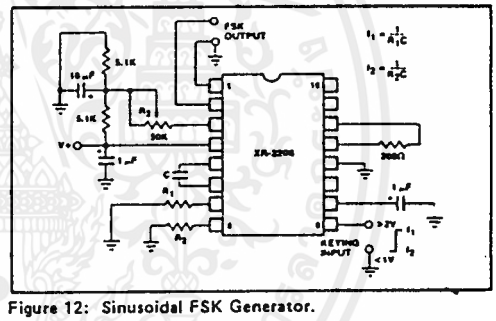


Figure 12: Sinusoidal FSK Generator.

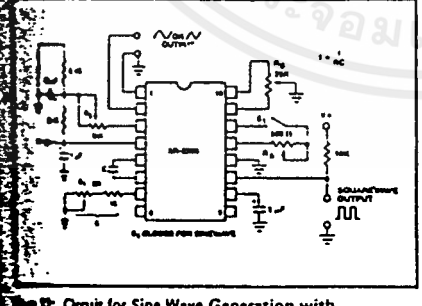


Figure 10: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

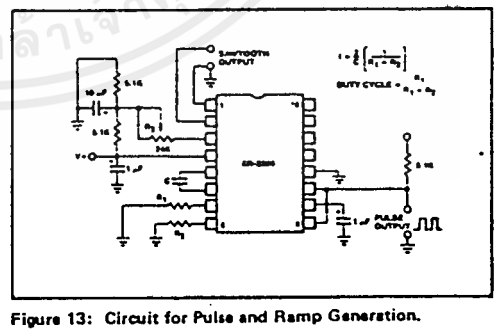


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 1. The potentiometer, R_A, adjusts the sine-shaping resistors and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pins 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply returning ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width or duty cycle can be adjusted from 1% to 99%, by the ratio of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ (}\mu\text{F)}} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the selected timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1+\frac{R}{R_C}\left(1-\frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f/\partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to ≤3 mA.

Output Amplitude:

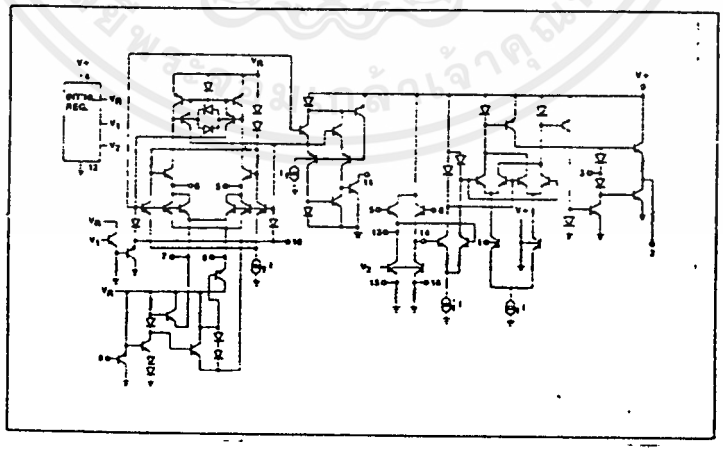
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSK Demodulator / Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20 V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3 V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DTL ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5 V to 20 V
DTL/TTL/ECL Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range (±1% to ±80%)	
Excellent Temp. Stability	20 ppm/°C, typ.

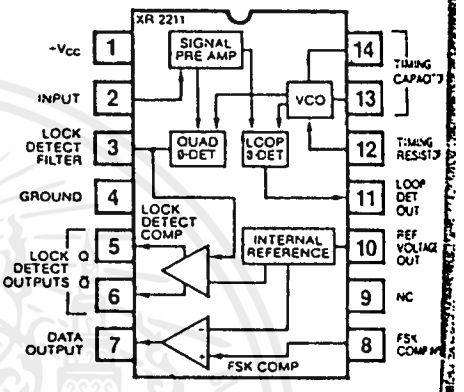
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20 V
Input Signal Level	3 V rms
Power Dissipation	
Ceramic Package	750 mW
Derate above T_A = +25°C	6 mW/°C
Plastic Package	625 mW
Derate above T_A = +25°C	5.0 mW/°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55°C to +125°C
XR-2211CN	Ceramic	0°C to + 75°C
XR-2211CP	Plastic	0°C to + 75°C
XR-2211N	Ceramic	-40°C to + 85°C
XR-2211P	Plastic	-40°C to + 85°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant level signal. The multipling-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input (2 f input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is set to operate as a current controlled oscillator with its nominal frequency current (I_0) set by a resistor (R_0) to ground and its control current with a resistor (R_1) from the phase detector.

The other sections of the XR-2211 act to: determine when the VCO is driven above or below the center frequency (lock detector comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (output of phase detector and lock detector comparator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25°C$, $C = 5000$ pF, $R_1 = R_2 = R_3 = R_4 = 20$ KΩ, $R_L = 4.7$ KΩ, Binary Inputs grounded, S_1 and S_2 closed unless otherwise specified.

PARAMETERS	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	
Supply Current		4	7		5	9	mA	$R_0 \geq 10$ KΩ See Fig. 4
OSCILLATOR SECTION								
Frequency Accuracy		±1	±3		±1		%	Deviation from $f_0 = 1/R_0C_0$
Frequency Stability								$R_1 = R_2$
Temperature		±20	±50		±20		ppm/°C	See Fig. 8.
Power Supply		0.05	0.5		0.05		%/V	$V^+ = 12 \pm 1$ V. See Fig. 7.
		0.2			0.2		%/V	$V^+ = 5 \pm 0.5$ V. See Fig. 7.
Upper Frequency Limit	100	300			300		kHz	$R_0 = 8.2$ KΩ, $C_0 = 400$ pF
Lowest Practical								
Operating Frequency			0.01		0.01		Hz	$R_0 = 2$ MΩ, $C_0 = 50$ μF
Timing Resistor, R_0								See Fig. 5.
Operating Range	5		2000	5		2000	KΩ	
Recommended Range	15		100	15		100	KΩ	See Fig. 7 and 8.
LOOP PHASE DETECTOR SECTION								
Peak Output Current	±150	±200	±300	±100	±200	±300	μA	Measured at Pin 11.
Output Offset Current		±1			±2		μA	
Output Impedance		1			1		MΩ	
Maximum Swing	±4	±5		±4	±5		V	Referenced to Pin 10.
SIGNATURE PHASE DETECTOR								Measured at Pin 3.
Peak Output Current	100	150			150		μA	
Output Impedance		1			1		MΩ	
Maximum Swing		11			11		V pp	
INPUT PREAMP SECTION								Measured at Pin 2.
Input Impedance		20			20		KΩ	
Input Signal Voltage Required to Cause Limiting		2	10		2		mV rms	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		MΩ	Measured at Pins 3 and 8.
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	$R_L = 5.1$ KΩ
Output Voltage Low		300			300		mV	$I_C = 3$ mA
Output Leakage Current		0.01			0.01		μA	$V_O = 12$ V
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10.
Output Impedance		100			100		Ω	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

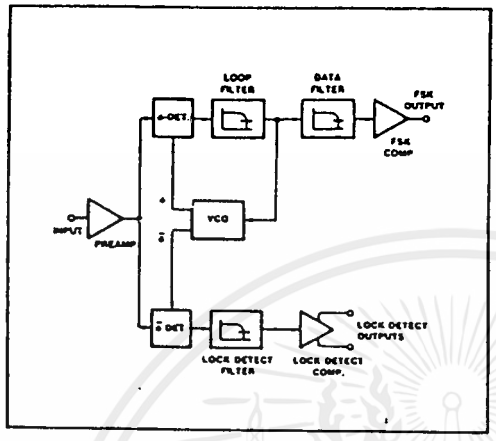


Figure 1: Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

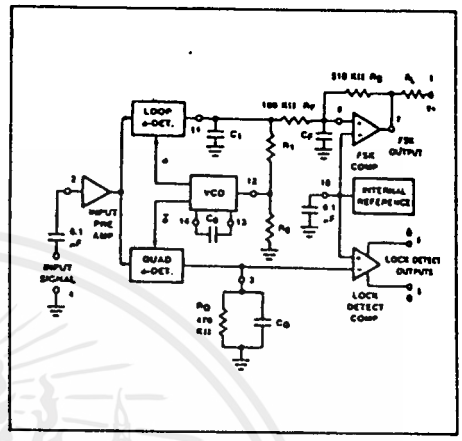


Figure 2: Generalized Circuit Connection for FSK and Tone Detection

Reference Voltage, V_R (Pin 10): This pin is internally biased at the reference voltage level, V_R. $V_R = V+/2 - 650$ mV. The dc voltage level at this pin forms an internal reference for the voltage levels at Pins 5, 8, 11 and 12. Pin 10 *must* be bypassed to ground with a 0.1 μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to V_R. The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_0, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10 KΩ to 100 KΩ see Figure 8).

This terminal is a low impedance point, and is internally biased at a dc level equal to V_R. The maximum timing current drawn from Pin 12 must be limited to $\leq$3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see Figure 5). C_0 must be nonpolar, and in the range of 200 pF to 10 μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at Pin 12 (see Figure 9).

VCO Free-Running Frequency, f_0: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. However, for set-up or adjustment purposes, VCO free-running frequency can be measured at Pin 3 (with C_D disconnected), with no input and with Pin 2 shorted to Pin 10.

DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, f_0:

   $f_0 = 1/R_0C_0$ Hz

2. Internal Reference Voltage, V_R (measured at Pin 10)

   $V_R = V+/2 - 650$ mV

3. Loop Low-Pass Filter Time Constant, τ:

   $\tau = R_1C_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Loop Damping, ζ:

$$\zeta = 1/4\sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm\Delta f/f_0$:

$\pm\Delta f/f_0 = R_0/R_1$

6. FSK Data Filter Time Constant, τF

$\tau F = R_F C_F$

7. Loop Phase Detector Conversion Gain, $K\phi$: ($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input)

$K\phi = -2V_R/\pi$ volts/radian

8. VCO Conversion Gain, K_0: (K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$K_0 = -1/V_R C_0 R_1$ Hz/volt

9. Total Loop Gain, K_T:

$K_T = 2\pi K\phi K_0 = 4/C_0 R_1$ rad/sec/volt

10. Post Phase Detector Current I_A:

$I_A = V_R$ (volts)/25 mA

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B (= 510 KΩ) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_1 and f_2, these parameters can be calculated as follows:

a) Calculate PLL center frequency, f_0:

$$f_0 = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor R_0, to be in the range of 10 KΩ to 100 KΩ. This choice is arbitrary. The recommended value is $R_0 \equiv 20$ KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

c) Calculate value of C_0 from design equation (1) or from Figure 6:

$C_0 = 1/R_0 f_0$

d) Calculate R_1 to give a Δf equal to the mark space deviation.

$R_1 = R_0[f_0/(f_1 - f_2)]$

e) Calculate C_1 to set loop damping. (See design equation no. 4.)

Normally, $\zeta \approx 1/2$ is recommended.

Then, $C_1 = C_0/4$ for $\zeta = 1/2$

f) Calculate Data Filter Capacitance, C_F.

For R_F = 100 KΩ, R_B = 510 KΩ, the recommended value of C_F is:

$C_F \approx 3/(\text{Baud Rate})\ \mu F$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X. (See Figure 9.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

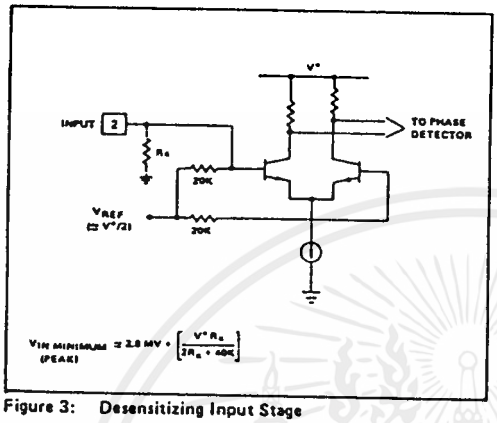


Figure 3: Desensitizing Input Stage

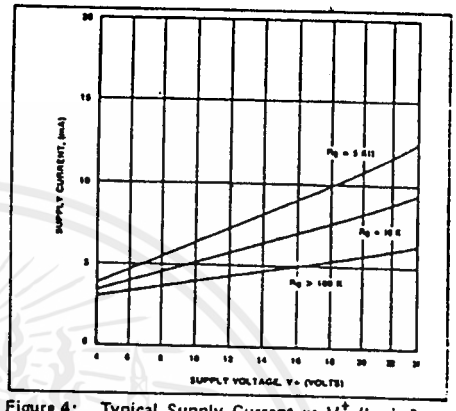


Figure 4: Typical Supply Current vs V^+ (Logic Output Open Circuited).

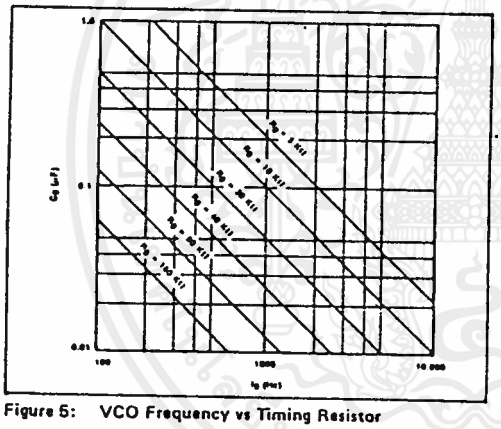


Figure 5: VCO Frequency vs Timing Resistor

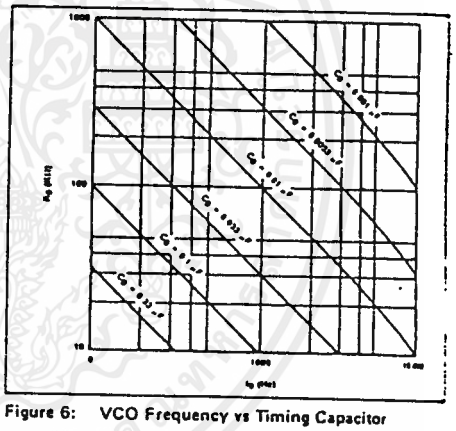


Figure 6: VCO Frequency vs Timing Capacitor

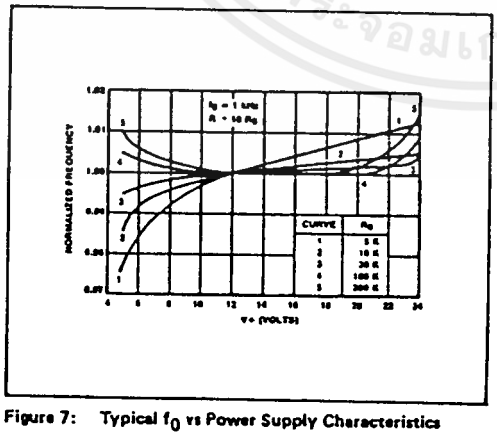


Figure 7: Typical f_0 vs Power Supply Characteristics

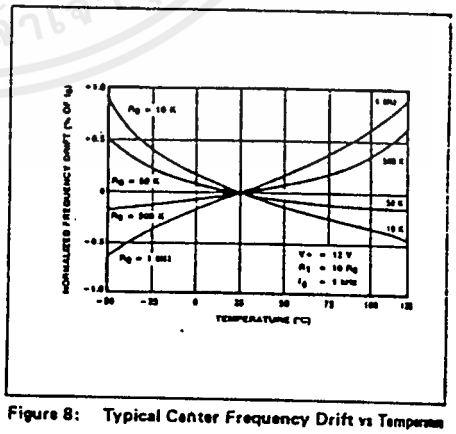


Figure 8: Typical Center Frequency Drift vs Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

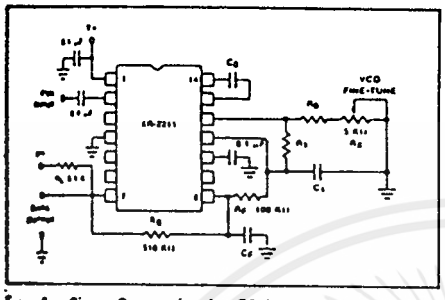


Figure 9: Circuit Connection for FSK Decoding

Design Example:

To build FSK demodulator with mark space frequencies of 1170/1110 Hz

Step 1 Calculate f_0 f_0 = (1110 + 1170) (1/2) = 1140 Hz

Step 2 Choose R_0 = 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)

Step 3 Calculate C_0 from Figure 5 C_0 = 0.044 μF

Step 4 Calculate R_1 R_1 = R_0 (2240/60) = 380 KΩ

Step 5 Calculate C_1 $C_1 = C_0/4$ = 0.011 μF

Note: All values except R_0 can be rounded to *nearest* standard value

Table 1. Recommended Component Values for Commonly Used FSK Bands. (See Circuit of Figure 9.)

FSK BAND	COMPONENT VALUES	
300 Baud f_0 = 1070 Hz f_0 = 1270 Hz	C_0 = 0.039 μF C_1 = 0.01 μF R_1 = 100 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
300 Baud f_0 = 2025 Hz f_0 = 2225 Hz	C_0 = 0.022 μF C_1 = 0.0047 μF R_1 = 200 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
1200 Baud f_0 = 1700 Hz f_0 = 2200 Hz	C_0 = 0.027 μF C_1 = 0.01 μF R_1 = 30 KΩ	C_F = 0.0022 μF R_0 = 18 KΩ

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect section, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state until there is a carrier within the detection band of the PLL, and the Pin 6 output goes "high," to enable the data output.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta f_c$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta f_c > \Delta f/2$. For R_D = 470 KΩ, the approximate minimum value of C_D can be determined by.

C_D (μF) ≥ 16/capture range in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

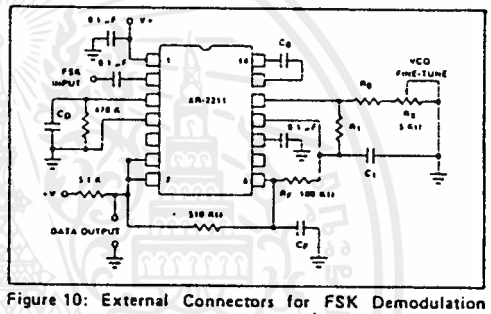


Figure 10: External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output is "Low" When No Carrier is Present.

TONE DETECTION:

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\overline{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2}, as shown in Figure 11.

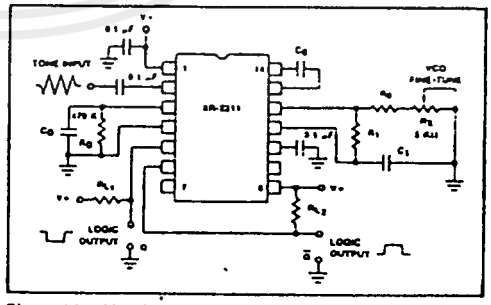


Figure 11: Circuit Connection for Tone Detection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor. R_{L1} and R_{L2} are the respective pull-up resistors for the Q and $\bar{Q}$ logic outputs.

Design Instructions:

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

a) Choose R_0 to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.

b) Calculate C_0 to set center frequency, f_0 equal to f_s (see Figure 6): $C_0 = 1/R_0 f_S$

c) Calculate R_1 to set bandwidth ±Δf (see design equation no. 5):

$R_1 = R_0(f_0/\Delta f)$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

d) Calculate value of C_1 for a given loop damping factor:

$C_1 = C_0/16\zeta^2$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25\ C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of filter capacitor C_D. To avoid chatter at the logic output, with R_D = 470 KΩ, C_D must be:

$C_D(\mu F) \geq (16/\text{capture range in Hz})$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of 1 kHz ± 20 Hz:

a) Choose R_0 = 20 KΩ (18 KΩ in series with 5 KΩ potentiometer).
b) Choose C_0 for f_0 = 1 kHz (from Figure 6): C_0 = 0.05 μF.

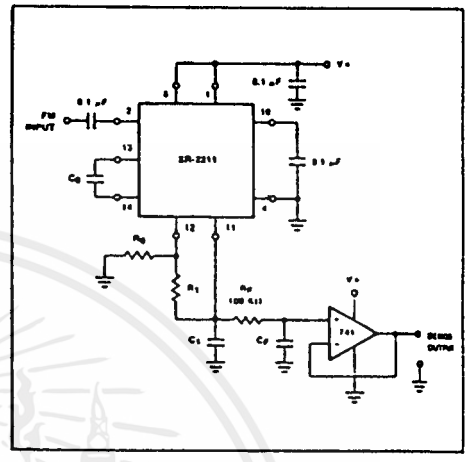


Figure 12: Linear FM Detector Using XR-2211 and an External Op Amp. (See section on Design Equation for Component Values.)

c) Calculate R_1: $R_1 = (R_0)\ (1000/20) = 1\ M\Omega$.
d) Calculate C_1: for $\zeta = 1/2$, $C_1 = 0.25$, $C_0 = 0.013\ \mu F$.
e) Calculate C_D: $C_D = 16/38 = 0.42\ \mu F$.
f) Fine-tune center frequency with 5 KΩ potentiometer R_X.

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$V_{out} = R_1\ V_R/100\ R_0$ Volts/%deviation

where V_R is the internal reference voltage ($V_R = V+/2 - 650$ mV). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see section on design equations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 KΩ. Recommended input signal level is in the range of 10 mV rms to 3 V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, Pin 3 is connected to ground through a parallel combination of R_D and C_D (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

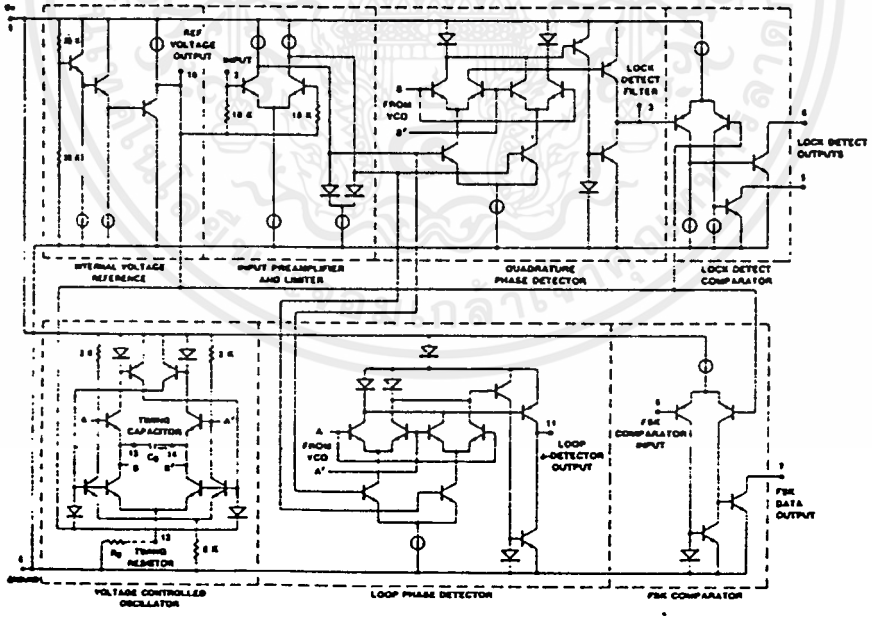
Lock Detect Output, Q (Pin 5). The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" (conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, $\overline{Q}$ (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparitor Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_R, available at Pin 10.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้