เครื่องวัดความถี่ย่านความถี่สูง 1 GHz

1 GHz FREQUENCY COUNTER

โดย

นายสิทธิชัย มงคลสัมฤทธิ์ 37013088

อาจารย์ที่ปรึกษา

อาจารย์ สุรพล บุญจันทร์

วัน เดือน ปี 18 ส.ค. 2540
เลขทะเบียน 037301
เลขเรียกหนังสือ โทต ส ๒๗๗ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2539

037301

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดค่าความถี่ย่านความถี่สูง 1 GHz

1 GHz FREQUENCY COUNTER

ผู้จัดทำ

1. นายสิทธิชัย มงคลสัมฤทธิ์ 37013088

---------- อาจารย์ที่ปรึกษา

(อาจารย์ สุรพล บุญจันทร์)

เครื่องวัดความถี่ย่านความถี่สูง 1 GHz

1 GHz FREQUENCY COUNTER

โดย

นายสิทธิชัย มงคลสัมฤทธิ์

อาจารย์ที่ปรึกษา อาจารย์สุรพล บุญจันทร์

บทคัดย่อ

โครงงานเครื่องวัดความถี่ย่านความถี่สูง เกิดจากแนวความคิดที่ต้องการจะวัดความถี่สูง ๆ ซึ่งทั่วไปสามารถวัดได้ค่าความถี่ไม่สูงมากหรือวัดได้แต่เครื่องมือที่มีขายทั่วไปมีราคาค่อนข้างสูง โครงงานนี้ใช้สามารถวัดค่าความถี่ได้ตั้งแต่ 1 Hz - 1GHz หลักการของวงจรใช้วงจรหารความถี่เป็นหลัก ความถี่ที่ต้องการวัดถูกหารให้มีค่าลดลงตามอัตราส่วนที่กำหนด ค่าความถี่ที่ได้ถูกทำการถอดรหัสออก แล้วนำไปประมวลผลแสดงออกทาง DISPLAY โดยมีส่วนสัญญาณเทียบเวลากำหนดเวลาการประมวลผลต่อการวัดความถี่หนึ่งครั้ง สามารถวัดรูปคลื่นได้หลายชนิดไม่จำเป็นต้องเป็นสี่เหลี่ยม

ABSTRACT

The project 1 GHz frequency counter is happened of idea want to check the high frequency . But The general frequency counter can be able to check at low frequency or can be able to check at high frequency but there have high price. This project used check frequency value form 1Hz - 1GHz . The main of circuit used frequency devider circuit . The frequency is divider to follow the fix ratio. The frequency value is decoded by decoder and bring to process and show on the display.The time comparator is to fix for checking at one time.This project can be able to measure another waveform do not fix square wave only.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	2
2.1 หลักการเบื้องต้นของเครื่องนับความถี่	2
2.2 ความถี่อ้างอิง	4
2.3 การหารความถี่	6
2.4 พรีสเกลเลอร์	7
2.5 กระบวนการทางด้านอินพุท	18
2.5.1 ลิมิตเตอร์	19
2.5.2 วงจรชมิตท์ทริกเกอร์	20
2.5.3 วงจรกรองความถี่	24
2.6 ความผิดพลาดที่เกิดขึ้นในเครื่องวัดความถี่	30
2.6.1 ความผิดพลาดจากการเปิดเกท	31
2.6.2 ความผิดพลาดจากทริกเกอร์	31
2.6.3 ความผิดพลาดจากระบบ	31
2.6.4 ความผิดพลาดจากฐานเวลา	31
IC SAB6432T	32
บทที่ 3 การออกแบบวงจร	36
3.1 แหล่งจ่ายไฟ	36
3.2 ส่วนสร้างสัญญาณเทียบฐานเวลา	37
3.3 ส่วนสร้างสัญญาณ RESET, LATCH ENABLE และควบคุมจุดทศนิยม	38
3.4 ส่วนวัดค่าความถี่ต่ำ	41
3.5 ส่วนวัดค่าความถี่สูง	42
3.6 ส่วนแสดงผล	42
บทที่ 4 การทดลองและผลการทดลอง	48
บทที่ 5 บทวิจารณ์และสรุป	60

สารบัญรูปภาพ

		หน้า
รูปที่ 2.1.1	แสดงการเปิดปิดของเกท	2
รูปที่ 2.1.2	แสดงแผงผังเวลาการทำงานของการวัดความถี่	3
รูปที่ 2.2.1 ก ,ข	แสดงสัญลักษณ์และวงจรสมมูลย์ของคริสตอล	4
รูปที่ 2.4.1	แสดงวงจรขยายซอร์สร่วมที่ใช้ขยายสัญญาณไฟสลับ	7
รูปที่ 2.4.2	แสดงสัญญาณเอาท์พุทที่มีเฟสต่างกับด้านอินพุท 180 องศา	8
รูปที่ 2.4.3	แสดงวงจรการไบแอส FET ที่นิยมใช้	9
รูปที่ 2.4.4	แสดงวงจรการไบแอส FET อีกแบบหนึ่ง	10
รูปที่ 2.5	แสดงกระบวนการทางอินพุท	19
รูปที่ 2.5.1	แสดงวงจรขจัดนอยส์ของวงจรลิมิเตอร์	19
รูปที่ 2.5.2	แสดงวงจรชมิตท์ทริกเกอร์	20
รูปที่ 2.5.2.1	แสดงทรานซิสเตอร์ T1	21
รูปที่ 2.5.2.2	แสดงการต่อวงจรที่คำนวณ	21
รูปที่ 2.5.2.3	แสดงวงจรเสมือนของ T1	22
รูปที่ 2.5.2.4	แสดงการต่อวงจรเมื่อใช้ทฤษฎีเธเวนิน	23
รูปที่ 2.5.3.1	แสดงวงจรกรองสัญญาณความถี่สูงผ่าน	24
รูปที่ 2.6.1	แสดงความผิดพลาดในการเปิดเกทที่เวลาต่างกัน	30
รูปที่ 1 ก.ข	แสดงการจัดขาและรูปร่างของไอซีและบล็อกไดอะแกรมในตัวไอซี sp4632	32
รูปที่ 2	แสดงวงจรประยุกต์ใช้งานพรีสเกลเลอร์	34
รูปที่ 3	แสดงสมิธชาร์ตของค่าความต้านทานทางอินพุท	35
รูปที่ 3.1	แสดงวงจรภาคจ่ายไฟ	36
รูปที่ 3.2.1	แสดงการต่อวงจรกำเนิดค่าความถี่ 2 MHz	37
รูปที่ 3.2.2	แสดงการต่อวงจรหารค่าความถี่ของ IC74HC390	38
รูปที่ 3.2.3	แสดงการต่อวงจรหารความถี่ 256 ของ IC74HC393	38
รูปที่ 3.3.1	แสดงการต่อวงจรแปลงสัญญาณฐานเวลาให้มีค่าที่แน่นอน	39
รูปที่ 3.3.2	แสดงการต่อวงจรการควบคุมสัญญาณ LATCH ENABLE,RESE	39
รูปที่ 3.3.3	แสดงการต่อวงจรการควบคุมจุดทศนิยม	40
รูปที่ 3.3	แสดงวงจรส่วนสร้างสัญญาณ RESET,LATCH และควบคุมจุดทศนิยม	43
รูปที่ 3.4	แสดงวงจรภาคอินพุทวัดค่าความถี่ต่ำ	44
รูปที่ 3.5	แสดงวงจรภาคอินพุทวัดค่าความถี่สูง	45

รูปที่ 3.6 แสดงวงจรภาคแสดงผล 46
รูปที่ 3.7 แสดงวงจรส่วนสร้างสัญญาณฐานเวลา 47.
รูปที่ 4.1 แสดงการต่อวงจรทั้งหมดที่ทดลอง 48
รูปที่ 4.2 แสดงการวัดความถี่ 15 KHzโดยใช้ DSP2 49
รูปที่ 4.3 แสดงการวัดความถี่ 15 KHzโดยใช้ DSP3 50
รูปที่ 4.4 แสดงการวัดความถี่ 15 KHzโดยใช้ DSP4 50
รูปที่ 4.5 แสดงการวัดความถี่ 2 MHzที่เกิดจากคริสตอล 51
รูปที่ 4.6 แสดงการวัดความถี่ 2 MHzที่ขา 15 ของIC1/1 51
รูปที่ 4.7 แสดงการวัดความถี่ 200 KHz หลังผ่านวงจรหาร 10 52
รูปที่ 4.8 แสดงการวัดความถี่ 20 KHz หลังผ่านวงจรหาร 100 52
รูปที่ 4.9 แสดงการวัดความถี่ 2 KHz หลังผ่านวงจรหาร 1000 53
รูปที่ 4.10 แสดงการวัดความถี่ 200 Hz หลังผ่านวงจรหาร 10000 53
รูปที่ 4.11 แสดงการวัดความถี่ 20 Hz หลังผ่านวงจรหาร 100000 54
รูปที่ 4.12 แสดงการวัดความถี่ 2 Hz หลังผ่านวงจรหาร1000000 54
รูปที่ 4.13 แสดงการวัดความถี่ 1KHz หลังผ่านวงจรหาร 2 55
รูปที่ 4.14 แสดงการวัดความถี่ 62.50 Hz หลังผ่านวงจรหาร 16 55
รูปที่ 4.15 แสดงการวัดความถี่ 3.906 Hz หลังผ่านวงจรหาร 256 56
รูปที่ 4.16 แสดงการวัดสัญญาณ counter (21) 56
รูปที่ 4.17 แสดงการวัดสัญญาณ latch enable (22) 57
รูปที่ 4.18 แสดงการวัดสัญญาณ reset (23) 57

บทที่ 1
บทนำ

การทดลองในห้องทดลองอีเล็คโทรนิคส์ทั่วไปเครื่องมือที่ใช้มีมากมายหลายประเภทที่เราจำเป็นต้องใช้ เครื่องวัดค่าความถี่ก็เป็นเครื่องมือชนิดหนึ่งที่เราใช้บ่อยเช่นกัน เครื่องวัดความถี่ส่วนมากวัดความถี่ได้ค่าไม่สูงมากนักก็ไม่สามารถวัดได้จะเกิดความเพี้ยนของค่าที่วัด เครื่องที่สามารถวัดค่าความถี่สูงๆได้ส่วนมากจะมีราคาค่อนข้างแพง โครงงานที่นำเสนอนี้เป็นเครื่องวัดความถี่ ที่สามารถวัดค่าความถี่ได้ทั้งในย่านความถี่ต่ำจนถึงความถี่ที่ค่อนข้างสูงได้ คือสามารถความถี่ได้ตั้งแต่ 10 Hz - 1GHz การใช้งานก็ไม่ยุ่งยากเพียงป้อนอินพุทเข้าที่ย่านที่กำหนดไว้แล้วเลือกย่านการวัดก็สามารถวัดค่าความถี่นั้นได้ โดยค่าที่วัดได้จะแสดงออกมาเป็นค่าตัวเลขของความถี่นั้น มีความละเอียดถึง 7 หลัก และสามารถปรับความละเอียดด้วยจุดทศนิยม 3 จุดทศนิยม ซึ่งโครงงานนี้จะศึกษาและทำการสร้างเครื่องวัดจริงโดยเนื้อหาที่จะทำมีส่วนประกอบหลัก 6 ประการคือ

1 แหล่งจ่ายไฟ (POWER SUPPLY)

2 ส่วนสร้างสัญญาณเทียบเวลา (SIGNAL TIME COMPARATOR)

3.ส่วนสร้างสัญญาณ RESET, LATCH ENABLE, และควบคุมจุดทศนิยม (RESET, LATCH ENABLE , GENERATER AND DOT CONTROL)

4.ส่วนวัดค่าความถี่ต่ำ (LOW FREQUENCY INSTRUMENT : Hz, KHz,MHz)

5.ส่วนวัดค่าความถี่สูง (HIGH FREQUENCY INSTRUMENT : GHz)

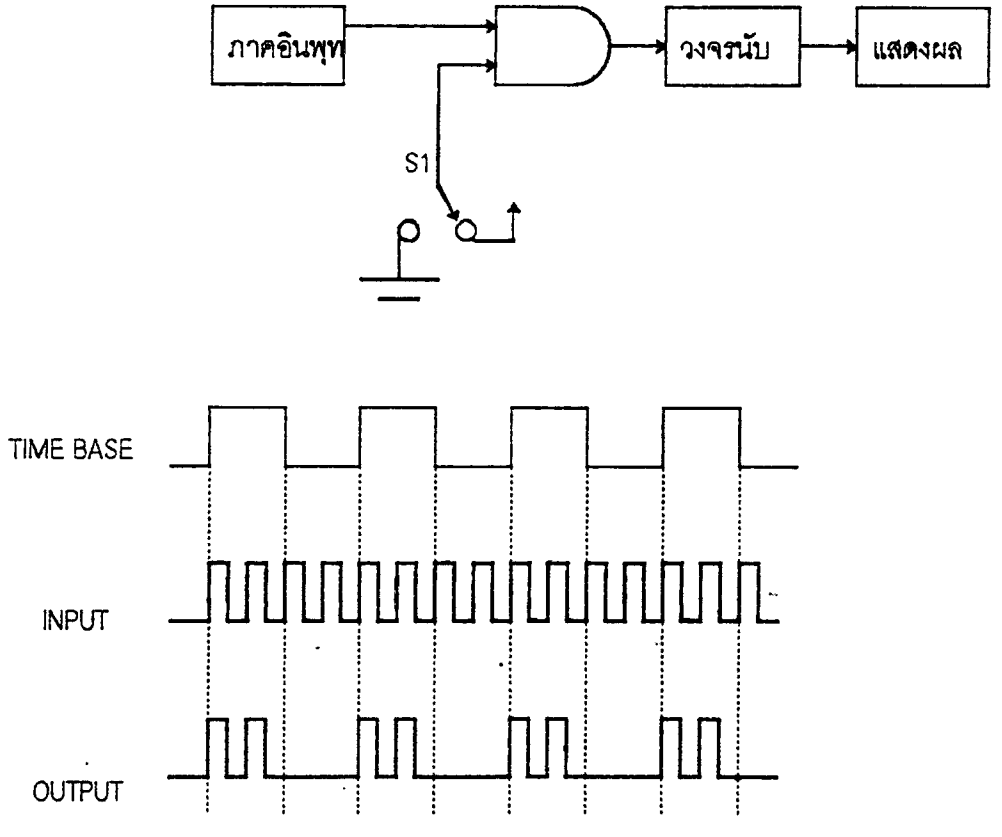
6 ส่วนแสดงผล (DISPLAY BOARD)

โดยเนื้อหาจะของโครงงานนี้จะอธิบายในบทที่ 2 - 3 ส่วนในบทที่ 4 จะแสดงผลการทดลองทั้งหมดในภาคปีการศึกษาที่ 1

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

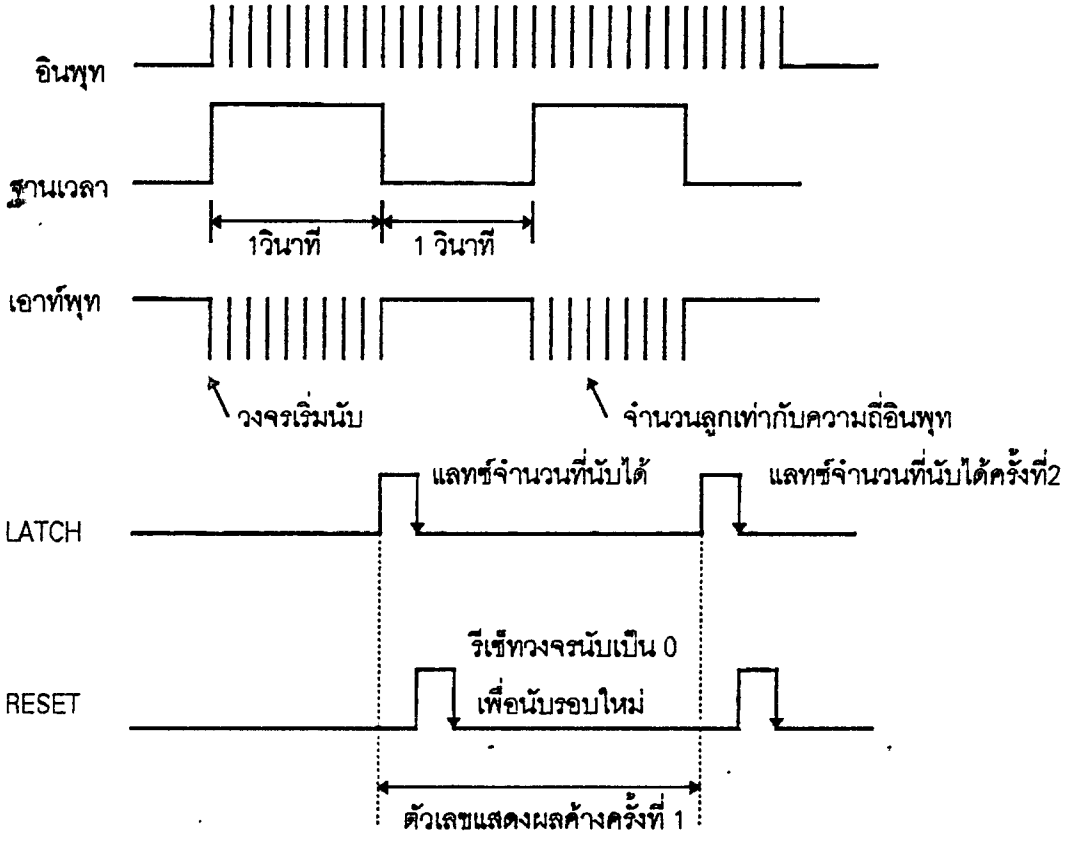
2.1 หลักการเบื้องต้นของเครื่องนับความถี่

คำว่า ไซเคิ้ลต่อวินาที (CYCLE / SECOND) หมายถึง การเปลี่ยนแปลงของสัญญาณแล้วกลับมาตำแหน่งเดิมอีก 1 รอบพอดีในเวลา 1 วินาที ถ้าเรามีแอนด์เกท (AND GATE) 1 ตัวเราป้อนสัญญาณช่วงเวลาที่เป็นบวก (POSITIVE PERIOD) 1 วินาทีดังนั้นเกท (GATE) จะเปิดให้มีพัลซ์ (PULSE) สามารถผ่านเกท (GATE) ได้เป็นระยะเวลา 1 วินาที นั้นคือถ้าเราสร้างสัญญาณฐานเวลา (TIME BASE) ค่าเวลาค่าหนึ่งแล้วป้อนที่ขาแอนด์เกท (AND GATE) แล้วเรานำค่าความถี่ที่เราต้องการแสดงผลมาป้อนที่ขาเกทอีกขาหนึ่งเราจะได้ค่าสัญญาณของความถี่นั้นในช่วงของสัญญาณฐานเวลา (TIME BASE) ตามที่เรากำหนดไว้แล้วนำค่าที่ได้จากเอาท์พุท (OUTPUT) ของแอนด์เกท (AND GATE) ไปประมวลผลออกทาง COUNTER แสดงดังรูปที่ 2.1.1



รูป 2.1.1 แสดงการเปิดและปิดของเกท (GATE)

จากรูปที่ 2.1.1 วงจรที่นับอยู่ OUTPUT จะออกจากเกทไปสู่ DISPLAY ตลอดเวลาและก็จะเปลี่ยนแปลงตลอดเวลาเช่นกัน ทำให้ไม่สามารถอ่านค่าได้ต้องรอหมดช่วงเวลาของฐานเวลา (TIME BASE) DISPLAY จะค้างอยู่จนกว่าจะมี RESET เข้ามา ถ้าหากว่าเราใช้เวลาในการเปิดเกท 1 วินาที ซึ่งจะทำให้เราไม่สามารถอ่านค่าได้ทันเพราะว่าตัวเลขจะเปลี่ยนกลับไปมาทุกวินาที เพื่อแก้ไขปัญหานี้เราใช้วงจรแลทช์ต่อเข้าไปเพื่อล็อกโค๊ด (LOCK CODE) ของเคาท์เตอร์ทุกๆ ครั้งที่นับเสร็จ หลังจากที่วงจรนับแล้ว อินพุทจะเปลี่ยนไปเท่าไร เอาท์พุทจะไม่เปลี่ยนจนกว่าจะมีสัญญาณแลทช์ (LATCH SIGNAL) เข้ามาใหม่ ทุกๆ ครั้งหลังจากสัญญาณแลทช์ทุกครั้งจะมีสัญญาณ รีเซทป้อนเข้าวงจรนับเพื่อให้มันเตรียมตัวนับในช่วงเวลา (PERIOD) ต่อไปดังรูปที่ 2.1.2

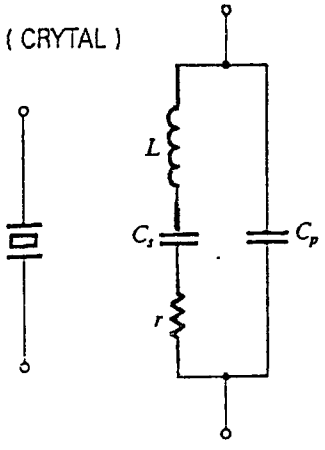


รูปที่ 2.1.2 แสดงแผนผังเวลาการทำงานของการวัดความถี่

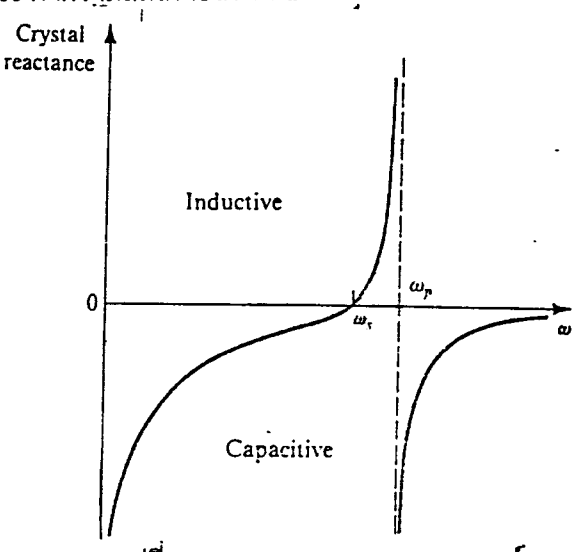
2.2 ความถี่อ้างอิง (FREQUENCY REFERENCE)

ค่าความถี่อ้างอิงนี้มีความสำคัญมากที่สุดทีเดียวเพราะจะเป็นตัวเปรียบเทียบกับค่าความถี่ที่ต้องการวัดหากว่าค่าความถี่อ้างอิง(FREQUENCY REFERENCE)ไม่เที่ยงตรงจะทำให้การเปรียบเทียบระหว่างเฟสผิดพลาดไปความถี่เอาท์พุทที่ได้ก็จะผิดพลาดไปด้วยทำให้ได้ค่าไม่ตรงกับความเป็นจริงดังนั้นส่วนผลิตความถี่ควรเลือกใช้ค่า X-TAL เพราะมีความเสถียรกว่าวงจรกำเนิดความถี่แบบอื่นๆ ค่า X-TAL ใช้ค่า 2 MHz ในวงจรกำเนิดความถี่นี้ แนนท์เกททำหน้าเสมือนเป็นอินเวอร์เตอร์ โดยมี VC เป็นตัวปรับค่าความถี่ออสซิเลตของวงจรนี้ แต่ความความถี่ที่ต้องการนำมาเป็นฐานเวลาจริงๆ คือ 1 Hz ต้องนำความถี่ที่ได้ 2 MHz มาหารด้วยวงจรหารความถี่ หาร 2000000 ค่าความถี่ที่ได้จะได้ 1 Hz ตามที่ต้องการ

2.2.1 คริสตรอล (CRYTAL)



รูปที่ 2.2.1 ก แสดงสัญลักษณ์ของคริสตอล



รูปที่ 2.2.1 ข แสดงวงจร วงจรสมมูลย์

ชิ้นผลึกที่ใช้ในการผลิตความถี่เป็นแบบเปียโซอิเล็กตริก (quartz piezoelectric) การสั่นไหวของมันจะทำให้เกิดความถี่ขึ้น โดยอาศัยคุณสมบัติของสารเปียโซอิเล็กตริก

ปรากฏการของเปียโซอิเล็กตริกถูกค้นพบโดยสองพี่น้อง J.Curie และ P.Curie ในปี ค.ศ 1880 โดยทำการป้อนแรงจากภายนอกเข้าที่ด้านข้างทั้งสองของวงจรเปียโซอีเล็กตริกแล้วจะได้ประจุไฟฟ้าทั้งประจุบวกและประจุลบออกมาเป็นสัดส่วนตรงกับแรงภายนอกที่ป้อนเข้าไปในทางกับกัน เมื่อทำการป้อนศักดาไฟฟ้าเข้าทั้งสองข้างของชิ้นผลึก ชิ้นผลึกจะเกิดการยืดหรือหดตัวโดยมีขนาดของแรงเครียด (stain) เป็นสัดส่วนโดยตรงกับศักดาไฟฟ้าที่ป้อนเข้าไป

โดยอาศัยคุณสมบัติของชิ้นผลึกที่มีค่าความยืดหยุ่นได้นี้ ถ้าป้อนแรงกดดันทันทีทันใดให้กับชิ้นผลึกแล้วเอาแรงกดนี้ออกไป ชิ้นผลึกจะเริ่มสั่นตามคุณสมบัติความถี่ของตัวมัน ในลักษณะกลับไปมา (บวกและลบ) การสั่นนี้จะทำให้เกิดศักดาบวกและลบเป็นสัดส่วนตรงกับความแรงของการไหวตัวและเกิดขึ้นทั้งสองข้างของชิ้นผลึก นั่นคือศักดาไฟฟ้าสลับซึ่งมีความถี่เท่ากับคุณสมบัติด้านความถี่ของชิ้นผลึก

ต่อมาเมื่อป้อนศักดาที่มีความถี่สอดคล้องกับคุณสมบัติด้านความถี่ของชิ้นผลึกเข้าไปให้ชิ้นผลึก จะทำให้ชิ้นผลึกเกิดการกำธรด้านทางกลและการสั่นจะเกิดสูงสุด ที่จุดนี้ศักดาที่ได้จากชิ้นผลึกจะมีค่ามากที่สุด และกระแสที่ไหลเข้าชิ้นผลึกจากแหล่งกำเนิดสัญญาณความถี่สูงจะมีค่ามากที่สุดด้วย เนื่องจาก

กระแสในวงจรเพิ่มขึ้นอย่างทันทีทันใดที่ความถี่ที่กำหนดซึ่งลักษณะของวงจรจะเหมือนกับวงจรกำธรแบบอนุกรม ดังนั้นวงจรทัดเทียมทางด้านไฟฟ้าของชิ้นผลึกจะเป็นดังรูปที่ 2.2.1 ข

เมื่อค่าคงที่ทางไฟฟ้าของวงจรชิ้นผลึกส่วนที่เป็นตัวกำธรคือ L , Cs , r เราสามารถหาค่าความถี่กำธร f_s , และค่า Q ได้เป็น(ค่า Cs เป็นค่าความจุที่เกิดจากแผ่นอิเล็กโทรดภายในซึ่งเราไม่นำมาคำนวณด้วย)

$$f_s = 1 / 2\pi\sqrt{LCs}$$

$$Q = Ws * L / r$$

โดยทั่ว ๆไปแล้ว ส่วนกำธรของผลึกจะมีค่า Q ประมาณ 10^4 ถึง 10^6

เมื่อชิ้นผลึกเกิดการกำธรที่ความถี่ที่ถูกต้อง f_s แล้ว วงจรกำธรแบบอนุกรมของชิ้นผลึกจะมีผลเป็นอิมพีแดนซ์ของค่าความจุที่ความถี่ต่ำกว่า f_s และจะเป็นอิมพีแดนซ์ของความเหนี่ยวนำที่ความถี่สูงกว่า f_s เมื่อไม่สนใจต่อค่าความต้านทาน r เมื่อความถี่มีค่าเพิ่มขึ้นจนมีค่าสูงมาก ค่ารีแอคแตนซ์ของความเหนี่ยวนำและตัวเก็บประจุ Cp จะประกอบกันขึ้นเป็นวงจรกำธรแบบขนานโดยกำธรที่ความถี่ f_p ที่จุดนี้อิมพีแดนซ์ของวงจรจะเป็นอิมพีแดนซ์ของตัวเหนี่ยวนำคือ $\pm\infty$ ค่า f_p

เราสามารถคำนวณหาค่า Z(s) ได้โดยสามารถละเลยค่าของ r เมื่อ Q มีค่าสูงมาก ๆจากสมการ

$$Z(s) = 1/ \{ sCp + (1/ (sL + 1/ sCs)) \}$$

หรือ

$$Z(s) = s^2 + (1/ LCs) / (sCp) \{ s^2 + \{ (Cp+Cs) / LCsCp \} \}$$

จากสมการข้างต้นเราจะเห็นว่า คริสตอลจะได้ค่าความถี่ เรโซแนนซ์ 2 ค่าความถี่ คือ

ความถี่เรโซแนนซ์ขนาน Wp

$$Wp = 1 /\sqrt{ (L (CsCp / Cs + Cp)) }$$

$$f_p = 1 / 2\pi\sqrt{ (L (CsCp / Cs + Cp)) }$$

ความถี่เรโซแนนซ์อนุกรม WS

$$Ws = 1 / \sqrt{LC}$$

$$f_s = 1 / 2\pi\sqrt{LC}$$

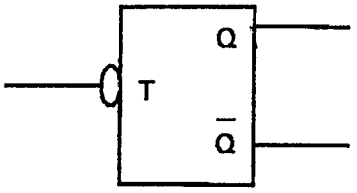
ถ้าเราแทน S = jw เราสามารถเขียน

$$Z(jw) = -j (1/WCp) (W^2 - W^2s / W^2 - W^2p)$$

สมการของ Ws และ Wp ค่าที่คำนวณได้จะได้ค่า Wp > Ws และ ค่า Cp >> Cs)

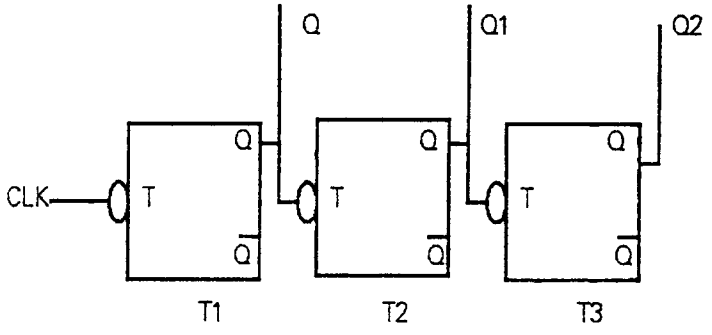
2.3 การหารความถี่ (FREQURNCY DIVIDER)

ขอทำความเข้าใจการทำงานของ T-FLIP FLOP ก่อน

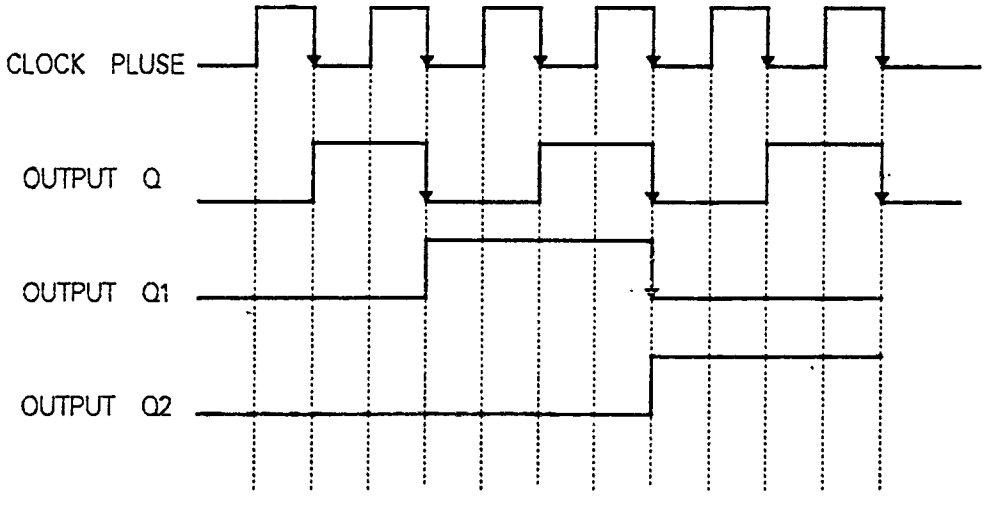


TRIGER AT EDGE OF CLOCK PULSE

การทำงาน T-FLIP FLOP จะเปลี่ยนสภาวะทุกๆครั้งที่มี PULSE เข้ามา ถ้าหากว่า Q มีค่าเดิมเป็น 0 ถ้ามี PULSE ลูกใหม่เข้ามาก็จะทำให้ Q เปลี่ยนสภาวะจาก 0 ไปเป็น 1 สลับกันไปเช่นนี้ตามค่าของอินพุทที่เข้ามา กล่าวได้ว่า เมื่อมี PULSE ที่ป้อนเข้าที่ขา T จะทำให้เอาท์พุทของ Q เปลี่ยนสภาวะเป็นตรงกันข้ามทันที ขอให้ดู TIMING DIAGRAM การทำงานจะทำให้เข้าใจมากขึ้น



การต่อวงจรนับ 8



TIMING DIAGRAM OF T FLIP FLOP

จะสังเกตได้ว่าค่าคาบเวลาของเอาท์พุทที่ได้จะมีค่าเป็น 2 เท่าของ พัลซ์ที่ป้อนเข้ามาในทางกลับกันทำให้ค่าความถี่ที่ได้มีค่าเป็น 0.5 เท่าของค่าความถี่ที่ป้อนเข้ามา จากสูตร F = 1 / T เมื่อเรานำค่าที่ได้จาก Q มาป้อนเข้าที่ T- FLIP FLOP (T2) จะทำให้ได้ค่าความถี่เป็น 2เท่าของ Q ซึ่งก็คือ Q1 และถ้านำ CLOCK PULSE ที่ได้จาก Q1 มาป้อนเข้าที่ T-FLIP FLOP (T3) จะได้ค่าความถี่เอาท์พุทที่ป็น 2 เท่าของ CLOCK PULSE ของ Q1 ซึ่งก็คือ Q2 จาก TIMING DIAGRAM การต่อ T FLIP FLOP แบบอนุกรมกันจะทำงานเป็นทั้งวงจรหารความถี่และวงจรนับในเวลาเดียวกันขึ้นอยู่กับว่านำเอาท์พุทออกมาใช้งาน

จะเห็นว่า T- FLIP FLOP 1 ตัว สามารถหารได้ 2 จากรูปสามารถนับได้ 8 แล้วกลับมานับใหม่ 0 - 7 และสูตรการหาจำนวนตัว FLIP FLOP เพื่อใช้ในการนับ

สูตร 2^N เมื่อ N = จำนวน FLIP FLOP

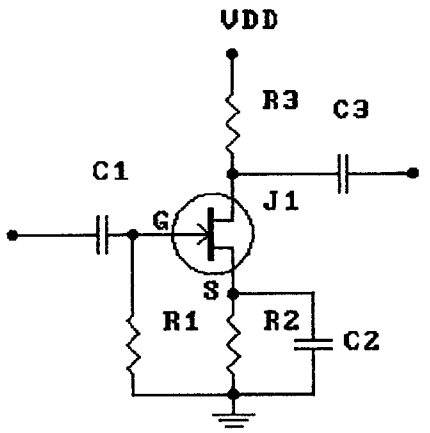
เช่นถ้าต้องการนับ 16 จะใช้ FLIP FLOP เท่ากับ 4 ตัว เพราะว่า $2^4 = 16$

2.4 พรีสเกลเลอร์ (PRESCALER)

ตามปกติแล้วเครื่องวัดค่าความถี่จะมีขีดจำกัดในการวัดอยู่ที่ค่า ๆ หนึ่งที่สามารถทำการวัดได้อย่างถูกต้อง แต่ในบางกรณีมีความจำเป็นที่จะต้องวัดค่าความถี่ที่สูงกว่าขีดจำกัดนั้นจึงต้องมีการสร้างวงจรหารขึ้นมาเพื่อหารความถี่ที่ต้องการวัดลง ให้อยู่ในขีดจำกัดที่เครื่องวัดความถี่สามารถวัดได้อย่างถูกต้อง วงจรส่วนนี้เราเรียกว่า พรีสเกลเลอร์ (PRESCALER)

พรีสเกลเลอร์จะหารค่าสัญญาณเอาท์พุทที่เข้ามาด้วยอัตราส่วน N ที่ต้องการแล้วส่งไปยังเกทเพื่อรอเข้าสู่วงจรนับ ในส่วนของสัญญาณนาฬิกาที่จะนำมาสร้างฐานเวลาก็ต้องมีการหารด้วย N เช่นกัน ความเที่ยงตรงของพรีสเกลเลอร์จะมีค่าลดลงเมื่อ จำนวนตัวหาร N มีค่ามากขึ้น เนื่องจากการทำงานที่ความถี่สูง ๆ นั้นมีโอกาสผิดพลาดได้ง่าย และตัวพรีสเกลเลอร์ก็มีขีดจำกัดของตัวเองเช่นกัน

2.4.1 เฟท (FET)

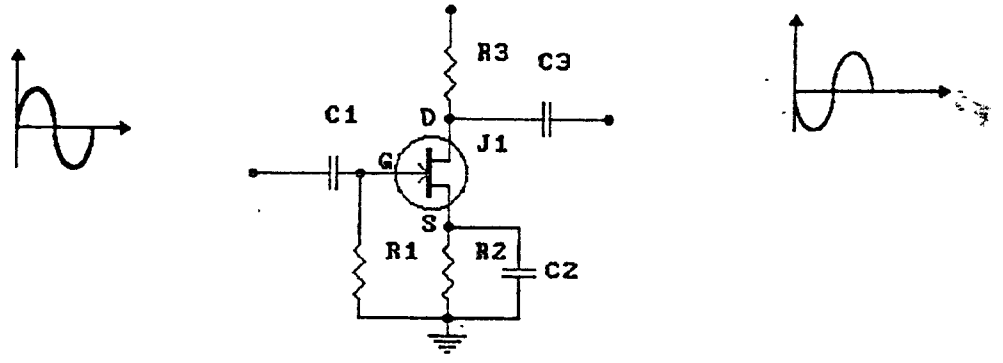


รูปที่ 2.4.1 แสดงวงจรขยายซอร์สร่วมที่ใช้ขยายสัญญาณไฟสลับ

วงจรขยายซอร์สร่วมตามในรูปที่ 2.4.1 เป็นวงจรที่ใช้งานกันทั่ว ๆ ไป สัญญาณไฟสลับป้อนผ่านตัวเก็บประจุ C1 เข้ามาทางเกทของฟิลด์เอฟเฟคทรานซิสเตอร์โดยให้แรงดันคร่อมตัวต้านทาน R1 ค่ารีแอกแตนซ์ของตัวเก็บประจุ C1 ที่ความถี่สัญญาณไฟสลับป้อนเข้ามาถือว่าน้อยมาก เมื่อเทียบกับตัวต้านทาน R1 โดยทั่วไปความต้านทานขาเข้าของฟิลด์เอฟเฟคทรานซิสเตอร์จะมีค่าสูงมากประมาณ 7-8 เมกกะโอหม์หรืออาจจะมากกว่านี้ ดังนั้นค่าความต้านทานอินพุทของวงจรขยายจึงถือได้ว่าเป็นค่าความต้านทาน R1 จากรูปแสดงให้เห็นว่าค่าความต้านทานทางด้านอินพุทมีค่าประมาณ 1 เมกกะโอหม์

ค่าแรงดันไบอัสที่เกทคือค่าแรงดันของวงจรไฟตรงที่ตกคร่อมตัวต้านทานซอร์สนั่นเอง การเปลี่ยนแปลงของสัญญาณไฟสลับทำให้กระแส I_D เปลี่ยนแปลงตามไปด้วย เมื่อกระแส I_D เปลี่ยนก็จะทำให้เกิดสัญญาณตกคร่อมตัวต้านทาน R_S ซึ่งจะป้อนสัญญาณนี้กลับมาที่เกทใหม่อีกครั้ง ทำให้อัตราการขยายของวงจรลดลงไปมากทางหนึ่งที่จะช่วยให้อัตราการขยายของวงจรทางไฟสลับมีค่าสูงขึ้นก็คือการต่อตัวเก็บประจุ C_2 คร่อมตัวต้านทาน R_2 ตัวเก็บประจุนี้จะทำหน้าที่เป็นตัวบายพาสสัญญาณที่จะตกคร่อมตัวต้านทาน R_S นั่นเอง เพื่อให้ตัวเก็บประจุทำหน้าที่ได้ดีค่ารีแอกแตนท์ที่ความถี่ต่ำสุดที่วงจรจะทำงานได้จะต้องมีค่าน้อยกว่าค่าความต้านทาน R_2 โดยทั่วไปควรมีค่าประมาณ 1/5 ถึง 1/10 ของค่าความต้านทาน R_2 สัญญาณอินพุทที่เปลี่ยนแปลงแรงดันที่เกทจะทำให้แรงดันที่เกทเปลี่ยนแปลงรอบๆจุดทำงาน เมื่อกระแส I_D เปลี่ยนจะทำให้เกิดสัญญาณคร่อม ตัวต้านทาน R_3 ได้อีกเช่นกัน ค่าสัญญาณคร่อมตัวต้านทาน R_3 ก็คือสัญญาณเอาท์พุทนั่นเอง โดยจะถูกป้อนออกทางเอาท์พุทผ่านตัวเก็บประจุ C_3

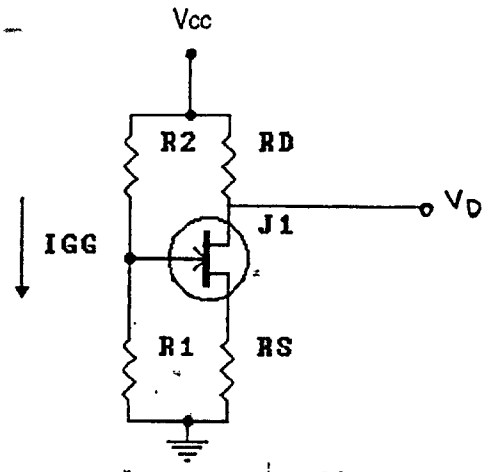
ค่าความต้านทานเอาท์พุทของวงจรขยายมีค่าต่ำมากแต่ยังมีค่าสูงกว่าความต้านทานเอาท์พุทของวงจรขยายอิมิตเตอร์ร่วมของทรานซิสเตอร์ วงจรขยายซอร์สร่วมจึงให้คุณภาพดีทางด้านการขยายแรงดันและกำลังงาน ในวงจรขยายชนิด N แชนเนลจากรูป 2.4.2 เมื่อแรงดันอินพุทแกว่งขึ้นทางค่าบวก จะทำให้การไบแอสมีค่ามากขึ้น (ไบแอสกลับระหว่างเกทกับซอร์ส) จึงทำให้กระแสเดรนมีค่าลดลง ดังนั้นแรงดันที่ปรากฏขึ้นที่ขั้วเดรนของฟิลด์เอฟเฟคทรานซิสเตอร์จึงลดลง นั่นหมายความว่าสัญญาณที่ปรากฏขึ้นที่เอาท์พุทจะกลับเฟสกับอินพุท 180 ° จากรูปที่ 2.4.2 เป็นวงจรขยายที่ใช้ฟิลด์เอฟเฟคทรานซิสเตอร์ชนิด N แชนเนล ลักษณะการทำงานต่าง ๆ จะคล้ายกับชนิด P แชนเนล เพียงแต่ทิศทางการไหลของกระแสและการไบแอสแรงดันกลับกันเท่านั้น



รูปที่ 2.4.2 แสดงสัญญาณเอาท์พุทที่มีเฟสต่างกับด้านอินพุท 180°

การออกแบบวงจรขยายที่ใช้ FET

การออกแบบวงจรขยายที่ใช้ FET ที่นิยมใช้กันมากจะมีวงจรไบอัสตามรูปที่ 2.4.3



รูปที่ 2.4.3 แสดงวงจรการไบแอส FET ที่นิยมใช้

จากรูปเราสามารถคำนวณได้ดังนี้คือ

1. เลือกจุดไบแอสให้เหมาะสม โดยดูจากคู่มือทรานซิสเตอร์

ให้ I_D = 10 mA ,V_D = 10 v , v_{cc} = 20 v

2. คำนวณหาค่าของ R_D ได้จากการทราบค่าตามข้อที่ 1 ได้

$$R_d = (v_{CC} - v_D) / I_D$$

$$= 10 V / 10 mA$$

$$R_d = 1000 \text{ โอห์ม}$$

3. หาค่า V_P และค่า I_{DSS} จากคู่มือ FET

$$V_P = -6 V$$

$$I_{DSS} = 5 mA$$

4.เมื่อทราบค่า I_D , I_{DSS} และ V_P ก็สามารถหาค่า V_{GS} ได้

$$V_{GS} = V_P(1 - (ID/ID_{SS}))$$

$$= -6 (1 - (10 * 10^{-3} / 5 * 10^{-3})$$

$$V_{GS} = 2.48 V$$

5..ให้ค่าของ V_S มีค่า 25 % ของ V_D

$$v_S = 2.5 V$$

6. หาค่า R_S เมื่อทราบค่า V_S และ I_D

$$R_S = V_S / I_D$$

$$R_S = 2.5 / (10 * 10^{-3})$$

$$R_S = 250 \text{ โอห์ม}$$

7. คำนวณหาค่า V_G เมื่อทราบค่า V_S และ V_{GS}

$$V_G = V_{GS} + V_S = 2.48$$

$$V_G = 4.98 \text{ Volts}$$

8. กำหนดค่าความต้านทานอินพุทของ DC สมมติให้เป็น $R_1 = 220\ k\Omega$

9. หาค่า R_2 ได้จาก

$$R_2 = R_1 (V_{CC} - V_G) / V_G$$

$$= 220 * 10^{-3} (20 - 4.98) / 4.98$$

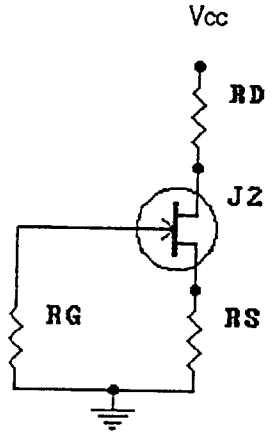
$$= 664 \text{ k}$$

จากรูปที่ 2.4.4 แสดงการไบแอส FET ที่นิยมกันพอสมควร การคำนวณได้ดังนี้

1. เลือกค่าไบแอสที่เหมาะสม

$$I_D = 10 \text{ mA}, V_D = 10 \text{ V}, V_{CC} = 20 \text{ V}$$

2. คำนวณหาค่า R_D ได้จาก V_{CC}, V_D, I_D



รูปที่ 2.4.4 แสดงวงจรการไบแอส FET อีกแบบหนึ่ง

$$R_D = (V_{CC} - V_D) / I_D$$

$$= (20 - 10) / (10 * 10^{-3})$$

$$= 1000 \text{ โอห์ม}$$

3. หาค่า V_P และ I_{DSS} จากคู่มือทรานซิสเตอร์ได้

$$V_P = -6 \text{ V}$$

$$I_{DSS} = 5 \text{ mA}$$

4. หาค่า V_{GS} จากค่า I_D, I_{DSS} และ V_P

$$V_{GS} = V_P (1 - (I_D / I_{DSS}))$$

$$= 2.48 \text{ โวลท์}$$

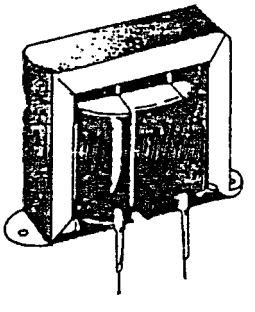
5. หาค่า R_S เมื่อทราบค่า $I_G = 0$, $V_{GS} = V_S$, และ I_D

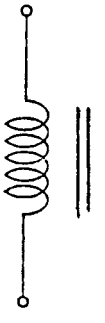
$$R_S = V_S / I_D$$
$$= V_{GS} / I_D$$
$$= 248 \text{ โอห์ม}$$

6. ให้ $I_G = 0$ R_G ใช้ค่าสูงๆ เพื่อเพิ่มความต้านทานทางอินพุทจึงเลือกใช้ค่า 1 เมกกะโอห์ม

2.4.2 ตัวเหนี่ยวนำ (inductor)

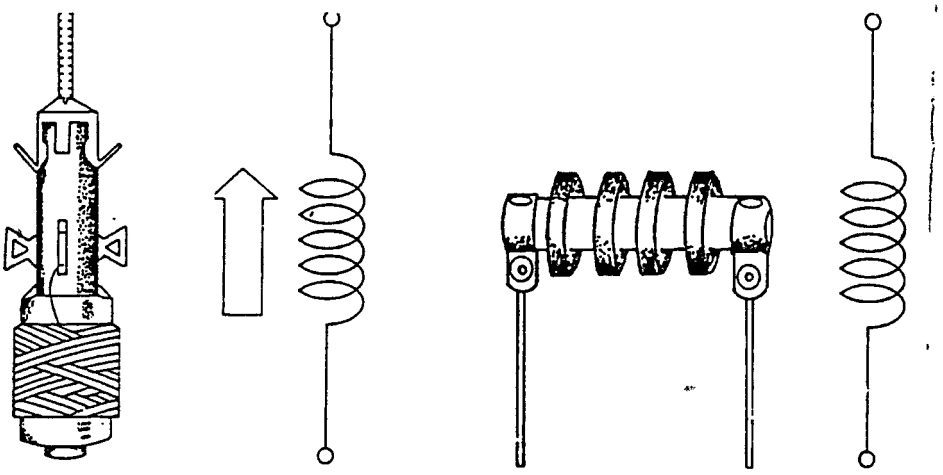
ตัวเหนี่ยวนำหรืออินดักเตอร์ ซึ่งนิยมเรียกย่อๆ ว่า L นั้นเป็นอุปกรณ์ไฟฟ้าอีเล็กทรอนิกส์ชนิดหนึ่งที่ใช้งานมากเป็นอันดับสามของอุปกรณ์อีเล็กทรอนิกส์ตัวอื่น โดยเฉพาะอุปกรณ์ที่ทำงานเกี่ยวกับด้านการรับส่งคลื่นแม่เหล็ก ได้แก่เครื่องรับส่งวิทยุ ตัวเหนี่ยวนำอาจเรียกอีกอย่างหนึ่งว่า คอยล์ ซึ่งระบุให้เห็นชัดว่าเป็นอุปกรณ์ที่สร้างจากการนำเส้นลวดตัวนำ เช่น เงิน ทองแดง หรือ อลูมิเนียมที่เคลือบด้วยฉนวนมาขดให้เป็นวงซ้อนติดกันหลาย ๆ วง โดยอาจจะพันบนแกนสารแม่เหล็กหรือไม่มีแกนก็ได้ เพื่อให้เกิดผลทางด้านแม่เหล็ก กระแส และแรงเคลื่อน เช่น เกิดอำนาจแม่เหล็กเมื่อมีกระแสไหลผ่านจ่ายกระแสไหลไปต้านกระแสที่ไหลผ่านตัวจ่ายกระแสออกจากตัวไปเสริมกระแสเดิมที่ลดต่ำลง และเกิดกระแสเหนี่ยวนำเมื่อมีเส้นแรงแม่เหล็กเคลื่อนตัดผ่าน เป็นต้น การกำหนดค่าของตัวเหนี่ยวนำเป็น เฮนรี่ (H) ซึ่งค่า 1 เฮนรี่ หมายถึง ความสามารถของตัวเหนี่ยวนำในการที่จะสร้างแรงเคลื่อนเหนี่ยวนำออกมา 1 โวลท์ เมื่อเกิดการเปลี่ยนแปลงการไหลของกระแสไฟฟ้าที่ไหลผ่าน 1 แอมแปร์ ในเวลา 1 วินาที คุณสมบัติเหล่านี้เราเรียกว่า อินดักแตนซ์ (inductance)หรือเรียกว่า ความเหนี่ยวนำ





(ก) แบบแกนเหล็ก

รูปที่ 2.4.2.1 แสดงตัวเหนี่ยวนำและสัญลักษณ์



(ข) แบบปรับค่าได้ (ค) แบบแกนอากาศ

รูปที่ 2.4.2.1 แสดงตัวเหนี่ยวนำและสัญลักษณ์ (ต่อ)

การเหนี่ยวนำตัวเองของคอยล์

คุณสมบัติของตัวเหนี่ยวนำอยู่ตรงที่มีความต่อต้านต่อการเปลี่ยนแปลงของกระแสที่ไหลผ่านตน เช่น ถ้ากระแสเพิ่มขึ้นก็จะสร้างกระแสขึ้นไหลออกไปต้านกระแสที่กำลังจะเพิ่มเข้ามาหรือ ถ้ากระแสลดลงก็จะสร้างกระแสไหลออกไปเสริม กระแสที่เกิดขึ้นจากตัวเหนี่ยวนำเนื่องจากการเปลี่ยนแปลงของกระแสที่ไหลผ่านนี้เรียกว่า กระแสเหนี่ยวนำ (induce current) และแรงเคลื่อนที่เกิดขึ้นที่ปลายทั้งสองของตัวเหนี่ยวนำขณะที่เกิดกระแสเหนี่ยวนำไหลนั้นเรียกว่า แรงเคลื่อนเหนี่ยวนำ (induce voltage) หรือ แรงเคลื่อนย้อนกลับ (back EMF) ค่าอินดักเตอร์ (L) ค่าแรงเคลื่อนเหนี่ยวนำ (V_L) หรือค่าของเวลาในการที่เกิดการเปลี่ยนแปลงกระแส (di / dt) สามารถหาได้ถ้ารู้ค่า 2 ใน 3 อย่างดังในสูตร

$$L = V_L / (di / dt), \quad V_L = L (di / dt), \quad di / dt = V_L / L$$

ค่าอินดักแตนซ์ของคอยล์ ค่าอินดักแตนซ์ขึ้นอยู่กับสิ่งต่าง ๆ ดังต่อไปนี้

1. จำนวนรอบของคอยล์ (N) ถ้าจำนวนรอบมากค่าอินดักแตนซ์ (L) จะมีค่ามาก เพราะแรงเคลื่อนเหนี่ยวนำจะเกิดขึ้นมาก ถ้าคอยล์เพิ่มค่าโดยเป็นสัดส่วนกับ N^2 จำนวนรอบที่ทวีขึ้นเป็น 2 เท่า ในบริเวณเดียวและมีค่าความยาวเท่าเดิมจะได้ค่าอินดักแตนซ์สูงขึ้นเป็น 4 เท่า

2. พื้นที่หน้าตัดของแกนคอยล์ (A) ถ้าเป็นแกนชนิดเดียวกันพื้นที่หน้าตัดแกนคอยล์ที่มาก ซึ่งหมายความว่าวงรอบของคอยล์ใหญ่ขึ้นจะเป็นการเพิ่มค่าอินดักแตนซ์ โดยค่าอินดักแตนซ์ (L) จะสูงขึ้นอย่างเป็นสัดส่วนกับพื้นที่หน้าตัดของแกนคอยล์ (A) หรือเป็นกำลังสองของเส้นผ่านศูนย์กลางของคอยล์

3. ความนำเส้นแรงแม่เหล็กของแกนคอยล์ ค่าความเหนี่ยวนำเส้นแรงสัมพันธ์หรือ U_r ของคอยล์แทนอากาศมีค่าเป็น 1 เมื่อใช้แกนเป็นสารแม่เหล็ก ค่าอินดักแตนซ์ (L) จะเพิ่มขึ้นโดย U_r เนื่องจากมีความนำเส้นแรงแม่เหล็กได้ดีกว่าแกนอากาศ

4. ความยาวของคอยล์ จะเป็นตัวกำหนดค่าอินดักแตนซ์ด้วยเช่นกัน โดยคอยล์ที่มีขนาดยาวจะมีค่าอินดักแตนซ์น้อยกว่าคอยล์ที่มีขนาดสั้นเมื่อมีจำนวนรอบเท่ากัน เพราะสนามแม่เหล็กถูกรวบไว้ได้น้อย

ในทางปฏิบัติความยาวคอยล์จะต้องมีค่ามากกว่าเส้นผ่านศูนย์กลางคอยล์เกิน 10 เท่าขึ้นไป จากเหตุผลดังกล่าวค่าอินดักแตนซ์ของคอยล์สามารถหาได้ดังสูตร

$$L = U_r * (N^2 * A / l) * 1.26 * 10^{-6} \ H$$

L คือค่าอินดักแตนซ์ของคอยล์มีหน่วยเป็น เฮนรี่ (H)

A คือพื้นที่วงในของคอยล์เป็นตารางเมตร

l คือความยาวของคอยล์เป็นเมตร

$1.26 * 10^{-6}$ คือตัวประกอบค่าคงตัวของค่าความนำเส้นแรงแม่เหล็กที่แท้จริงของอากาศ หรือสูญญากาศของหน่วย SI

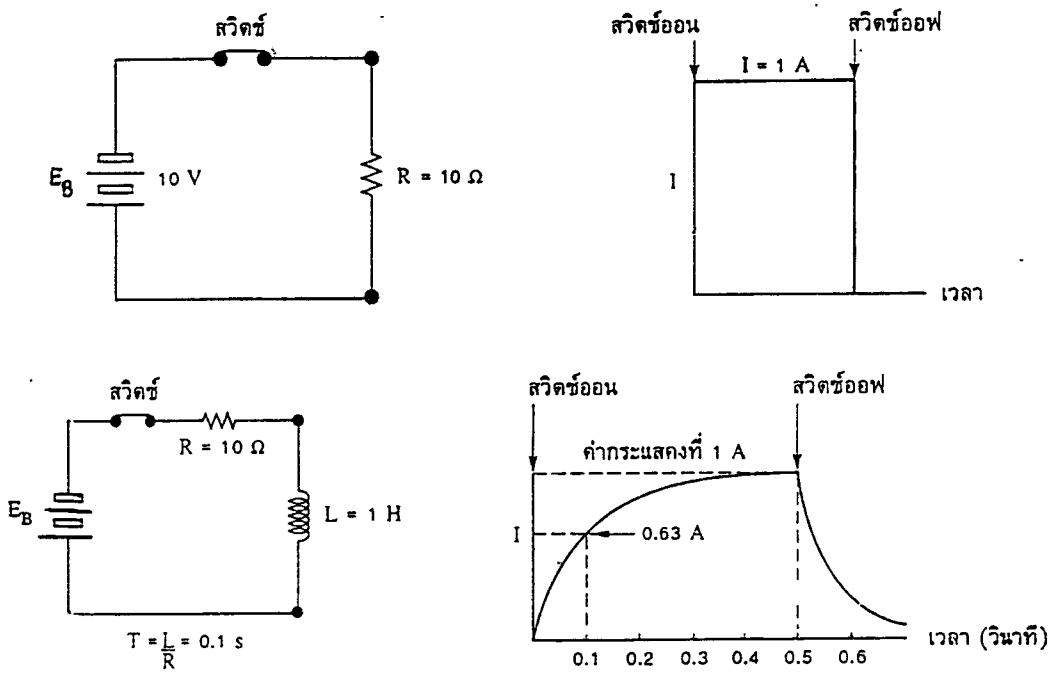
ผลของอินดักเตอร์ต่อแรงเคลื่อนไฟฟ้ากระแสตรง

เมื่อจ่ายแรงแคลื่อนไฟฟ้ากระแสตรง (V_L) ให้อินดักเตอร์ (L) โดยสวิตช์ ON จะมีกระแสไฟฟ้า (I_L) ไหลผ่านคอยล์ขณะที่มีกระแสผ่านเข้าในขดลวดของ L จะเกิดสนามแม่เหล็กพองออกจากวงรอบ L แต่ละวงตามค่าของกระแส I_L ที่ไหลผ่าน (H = (N*I)/ l] (mmf) สนามแม่เหล็กที่เกิดขึ้นจะเคลื่อนที่ไปตัดกับวงรอบของ L วงอื่น ๆ ทำให้เกิดแรงเคลื่อนเหนี่ยวนำของตนเอง (Vind) ปรากฏขึ้นที่ละแต่ละวงรอบของ L โดยแรงเคลื่อนเหนี่ยวนำนี้จะขับดันให้เกิดกระแสเหนี่ยวนำตนเอง (Iind) จากกฎของเลนซ์ กระแสนี้จะไหลผ่านวงจรในทิศทางตรงกันข้ามกับกระแสที่ทำให้เกิดแรงเคลื่อนเหนี่ยวนำ E_L ดังนั้นจึงอาจเติมเครื่องหมายลบไว้ที่หน้า Vind หรือ Iind เป็น -Vind และ -Iind ซึ่งหาได้จากสูตร

$$Vind = -L\frac{di}{dt}$$

เรียกแรงเคลื่อนนี้ว่าแรงเคลื่อนย้อนกลับหรือแรงเคลื่อนปะทะ (counter EMF) กระแส Iind ที่ไหลออกไปด้านการไหลของ L จะทำให้เกิดการหน่วงเหนี่ยวเวลาในการเพิ่มค่าของ I_L จาก 0 ถึงสูงสุดโดยเวลาที่ใช้ไปนั้นจะขึ้นอยู่กับค่าคงตัวเวลาของวงจร (T = L/R) โดยเวลาที่ I_L ไหลถึงค่าสูงสุดจะมีค่า 5T (T = 63% ของ I_L) และค่า I_L สูงสุดจะหาได้จากอัตราส่วนระหว่างแรงเคลื่อนที่ป้อนให้ L (V_L) กับค่าความต้านทานต่อกระแสตรงของ L(R_L) จากสูตร $I_L = V_L/R$

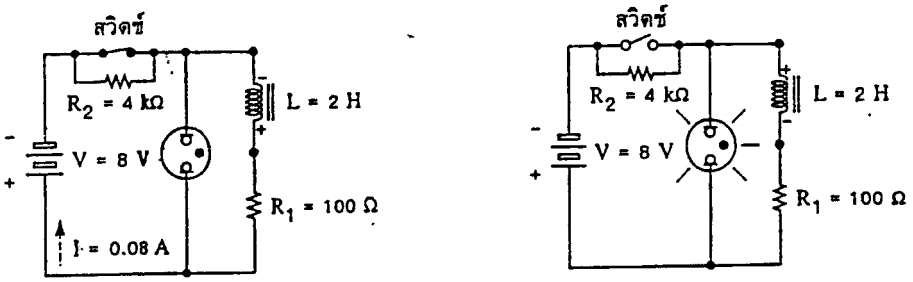
ในรูปที่ 2.4.2.2 แสดงให้เห็นเวลาในการเกิดกระแสที่ไหลผ่านวงจรที่มีเพียงตัวต้านทานอย่างเดียวกับวงจรที่มี L ต่ออยู่จะเห็นว่ากระแสจะไหลผ่าน R ทันทีและมีค่าคงที่ [H = (N*I)/1] ส่วนวงจร L กระแสจะถูกหน่วงเวลาตามค่า T ของวงจรก่อนจะไหลสู่ค่าสูงสุด เมื่อ สวิตช์ OFF I_R ลดลงเป็น 0 ทันที แต่ I_L ยังมีไหลอีกชั่วขณะก่อนลดลงสู่ 0 ใช้เวลาคงตัว 5T เช่นกัน



รูปที่ 2.4.2.2 แสดงการเปรียบเทียบเวลาในการเกิดกระแสของวงจร R กับ L

เมื่อสวิตช์ OFF ตัดกระแสที่จ่ายให้ L เวลาในการลดลงของกระแสจากค่าสูงสุดเป็น 0 จะสั้นกว่าตอนสวิตช์ ON เนื่องจากอัตราส่วนระหว่าง L/R มีค่าน้อย จึงเกิดผลทำให้ค่าแรงเคลื่อนเหนี่ยวนำตนเอง (Vind) ตกคร่อม L มาก และอาจมีค่าสูงกว่าแรงเคลื่อนของแหล่งจ่าย (di/dt มาก)

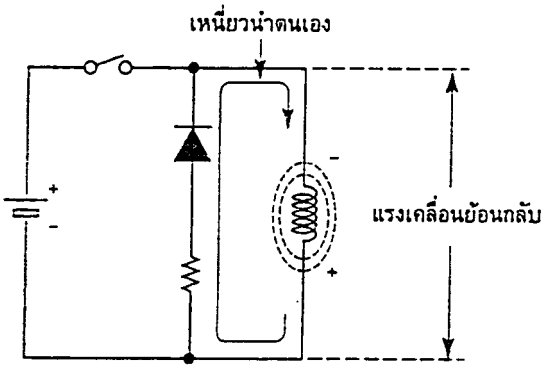
พิสูจน์ปรากฏการณ์นี้ได้โดยใช้หลอดนีออนต่อคร่อม L ดังแสดงในรูปที่ 2.4.2.3 หลอดนีออนที่ใช้ต้องการแรงเคลื่อน 90 V เพื่อให้เกิดไอออไนเซชันทำให้เห็นแสงสว่าง แหล่งจ่ายที่ใช้มีแรงเคลื่อนเพียง 8 V แต่ขณะที่ OFF สวิตช์แรงเคลื่อนเหนี่ยวนำตนเองที่เกิดขึ้นจะมีค่าสูงเกิน 90 V เนื่องจากเวลาในการลดลงของกระแสที่ผ่าน L มีความเร็วมากทำให้เห็นหลอดนีออนติดสว่าง



(ก) เมื่อสวิตช์ ON (ข) เมื่อสวิตช์ OFF

รูปที่ 2.4.2.3 ลักษณะการเกิดแรงเคลื่อนเหนี่ยวนำ

ผลของแรงเคลื่อนย้อนกลับจะทำให้ขณะ OFF สวิตช์ตัดกระแสออกจากวงจรที่มีอุปกรณ์ขดลวดเหนี่ยวนำอาจทำให้เกิดการสปาร์กหรือการอาร์กตรงบริเวณหน้าสัมผัสของสวิตช์หรือที่ตัวอุปกรณ์ที่ต่อร่วมบางวงจรจึงต้องมีการป้องกันโดยใช้อุปกรณ์เช่น คาปาซิเตอร์ ตัวต้านทาน หรือไดโอดต่อคร่อมขดลวดเหนี่ยวนำเพื่อลดขนาดของแรงเคลื่อนย้อนกลับให้ต่ำลงจนไม่เกิดอันตรายกับอุปกรณ์ที่ต่อร่วมอยู่ (ดูรูปที่ 2.4.2.4)



รูปที่ 2.4.2.4 แสดงวิธีลดค่าแรงเคลื่อนย้อนกลับ

ผลของอินดักเตอร์ต่อแรงเคลื่อนไฟฟ้ากระแสสลับ

จากที่ได้อธิบายไปแล้วเมื่อจ่ายแรงเคลื่อนไฟฟ้ากระแสตรงให้กับ L จะเกิดการหน่วงเหนี่ยวทำให้เวลาในการเปลี่ยนแปลงของกระแสจาก 0 ถึงค่าสูงสุดช้าลง โดยกระแสเหนี่ยวนำตัวเองซึ่งไหลมาต้านเอาไว้ แต่เมื่อกระแสเปลี่ยนแปลงถึงค่าสูงสุดแล้วจะไหลคงที่ เมื่อมีการเปลี่ยนแปลงของแรงเคลื่อน

V_L จะทำให้เกิดการเปลี่ยนแปลง I_L อินดักเตอร์จะแสดงคุณสมบัติออกมาคือ พยายามที่จะขัดขวางการเปลี่ยนแปลงของกระแสที่ไหลในวงจรโดยถ้ากระแส I_L ลดต่ำลงจะสร้างกระแสเหนี่ยวนำไหลออกมาเสริมทิศทางเดิม และถ้ากระแส I_L เพิ่มขึ้นก็จะสร้างกระแสเหนี่ยวนำตนเองไหลมาต่อต้านในทิศทางตรงกันข้าม เพื่อพยายามที่จะคงค่ากระแสเดิมเอาไว้

เมื่อจ่ายแรงเคลื่อนไฟฟ้ากระแสสลับให้กับวงจรนอกจากกระแสที่จ่ายให้อินดักเตอร์จะเปลี่ยนแปลงค่าตลอดเวลาแล้ว ยังกลับทิศทางสลับกันไปอีกด้วยทำให้อินดักเตอร์เกิดความต้านทานต่อทิศทางการไหลของกระแสที่จ่ายให้อยู่ตลอดเวลา ยิ่งถ้าความถี่ในการกลับทิศทางของไฟฟ้ากระแสสลับมีค่าสูงขึ้น ค่าของกระแสเหนี่ยวนำตนเองที่ไหลมาต่อต้านนั้นจะสูงขึ้นตามอัตราส่วน di/dt ทำให้เกิดการขัดขวางมากขึ้น ความขัดขวางการไหลผ่านของไฟฟ้ากระแสสลับที่ทวีสูงขึ้นตามค่าความถี่ของไฟฟ้ากระแสสลับนี้เรียกว่า อินดักตีฟรีแอกแตนซ์ (inductive reactance) หรือ ค่าความต้านทานต่อไฟกระแสสลับของขดลวด หาได้จากสูตร

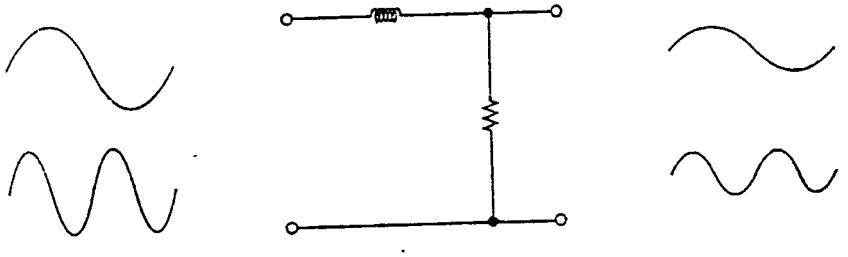
$$X_L = 2\pi fL$$

X_L คือค่าความต้านทานต่อไฟกระแสสลับของ L มีหน่วยเป็นโอห์ม (Ω)

2π คือค่าคงตัว = 6.28

f คือค่าความถี่ของไฟกระแสสลับที่ผ่าน L มีหน่วยเป็นเฮิรตซ์ (Hz)

L คือค่าอินดักแตนซ์ของขดลวดมีหน่วยเป็นเฮนรี่ (H)



รูปที่ 2.4.2.5 ผลของ L ต่อความถี่ต่าง ๆ

หลักการทางขดลวดเหนี่ยวนำสามารถนำไปสร้างเป็นอุปกรณ์เครื่องใช้ไฟฟ้า-อิเล็กทรอนิกส์ต่าง ๆ ได้มากมาย เช่น กระดิ่งไฟฟ้า มอเตอร์ เครื่องกำเนิดไฟฟ้า ลำโพง ฯลฯ

ความเหนี่ยวนำร่วม

ความเหนี่ยวนำร่วม (L_M) คือ ผลที่เกิดต่อกันระหว่างขอลวด 2 ชุดขึ้นไปที่วางอยู่ใกล้กัน แต่ไม่ต่อถึงกันโดยตรง จะมีการเชื่อมโดย ถึงกันทางฟลักซ์แม่เหล็ก ซึ่งจะเปลี่ยนแปลงตามการเปลี่ยนแปลงกระแสของขดลวดชุดที่ 1 (L_1) เกิดการตัดกับขดลวดชุดที่ 2 (L_2) ทำให้เกิดแรงเคลื่อนเหนี่ยวนำขึ้นที่ขดลวดทั้งสองชุด และสามารถเกิดกระแสเหนี่ยวนำไหลในขดลวดชุดที่ 2 ผ่านตัวต้านทางโหลด (R_L) ซึ่งต่ออยู่ทางด้าน (L_2)ได้ โดยกระแสเหนี่ยวนำที่ไหลใน L_2 จะเกิดผลกระทบต่อสนามแม่เหล็กและกระแสเหนี่ยวนำ (L_1)ด้วย ถ้ามีการเปลี่ยนแปลงกระแส 1 แอมแปร์ในขดลวด (L_1) แล้วเกิดแรงเคลื่อนเหนี่ยวนำขึ้นที่ขดลวด (L_2) มีค่า 1 โวลต์แสดงว่าค่าความเหนี่ยวนำร่วม (L_M)ระหว่างขดลวดทั้งสองมีค่า 1 เฮนรี่ (H)

ค่าความเหนี่ยวนำร่วม (L_M) จะมีมากหรือน้อยขึ้นอยู่กับค่าสัมประสิทธ์ของการคัปปลิง (K) และค่าของขดลวดทั้งสองชุดหาได้จากสมการ

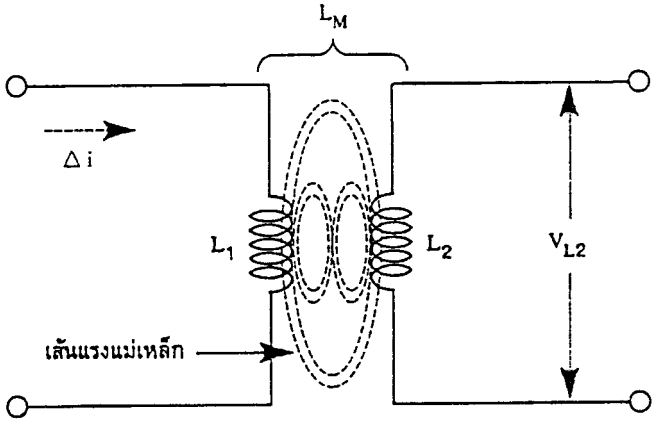
$$L_M = K\sqrt{(L_1) * (L_2)}$$

L_M คือค่าความเหนี่ยวนำร่วมมีหน่วยเป็นเฮนรี

K คือค่าสัมประสิทธ์ของการคัปปลิง

(L_1) คือค่าอินดักแตนซ์ของ (L_1) มีหน่วยเป็นเฮนรี

(L_2) คือค่าอินดักแตนซ์ (L_2) มีหน่วยเป็นเฮนรี



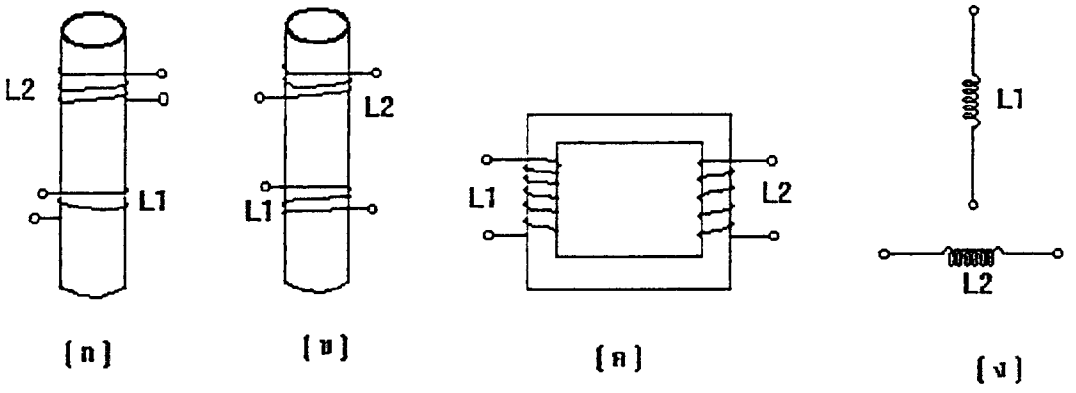
รูปที่ 2.4.2.6 ความเหนี่ยวนำร่วมระหว่างขดลวด 2 ชุด

ค่าสัมประสิทธ์ของการคัปปลิง ปริมาณของฟลักซ์แม่เหล็กจากขดลวดชุดหนึ่งที่ไปเชื่อมโยงกับอีกชุดหนึ่งนั้น คิดเป็นค่าสัมประสิทธ์ของการคัปปลิง (coefficient of coupling) ใช้ตัวย่อ K โดยถ้าฟลักซ์แม่เหล็กทั้งหมดเคลื่อนผ่านทุกวงจรรอบของขดลวดชุดที่ 2 นั่นหมายความว่าค่าสัมประสิทธ์ของการคัป

ปลิงเป็น 1 แต่ถ้าฟลักซ์แม่เหล็กเพียงครึ่งหนึ่งเท่านั้นที่เคลื่อนผ่านขดลวดชุดที่ 2 ค่าสัมประสิทธิ์หาได้จากสมการต่อไปนี้

$$K = \frac{\text{ปริมาณฟลักซ์ที่เชื่อมโยงระหว่าง } L_1 \text{ กับ } L_2}{\text{ฟลักซ์แม่เหล็กทั้งหมดที่สร้างโดย } L_1}$$

K จะไม่มีหน่วยเพราะเป็นอัตราส่วนระหว่างฟลักซ์แม่เหล็ก 2 ค่า ค่าสัมประสิทธิ์ของการคัปปลิงที่ได้จะขึ้นอยู่กับตัวประกอบต่าง ๆ เช่น ระยะห่างระหว่างคอยล์ จำนวนรอบ ชนิดของแกน และมุมของคอยล์ที่กระทำต่อกัน เป็นต้น รูปที่ 2.4.2.7 จะแสดงให้เห็นความแตกต่างของค่าสัมประสิทธิ์การคัปปลิง เช่นรูปที่ 2.4.2.7 (ก) คอยล์ L_1 และ L_2 พันอยู่บนแกนอากาศ ให้ค่าต่ำเพียง 0.1 รูปที่ 2.4.2.7 (ข) จำนวนรอบของคอยล์ L_1 เพิ่มขึ้น จึงให้ค่าสูงขึ้นเป็น 0.3 รูปที่ 2.4.2.7(ค) คอยล์ทั้งสองพันอยู่บนแกนเหล็กเดียวกัน ฟลักซ์แม่เหล็กทั้งหมดจาก L_1 จะเคลื่อนไปตัดผ่านL_2 จึงได้ค่า K สูงสุดคือ 1 ส่วนรูปที่ 2.4.2.7 (ง) ตำแหน่งของคอยล์ L_1 กับ L_2 วางตั้งฉากซึ่งกันและกันจึงไม่เกิดการคัปปลิงค่า K จึงเป็น 0



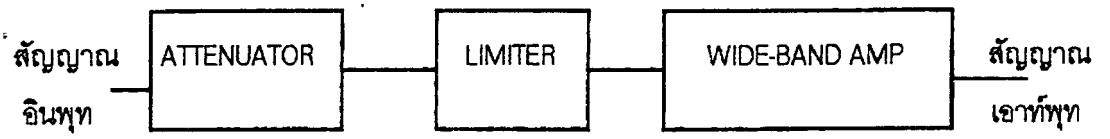
รูปที่ 2.4.2.7 แสดงลักษณะการจัดค่าสัมประสิทธิ์การคัปปลิงต่าง ๆ

2.5 กระบวนการทางด้านอินพุท

เนื่องจากสัญญาณที่เราจะทำการวัดนั้นมีรูปแบบของสัญญาณที่แตกต่างกันออกไป เช่น อาจจะเป็นพัลส์ , สัญญาณซายน์ , สัญญาณรูปสามเหลี่ยม , สัญญาณพันเลื่อย หรือสัญญาณรูปอื่น ๆ ซึ่งสัญญาณเหล่านี้ไม่สามารถวัดค่าได้โดยตรง ดังนั้นจึงจำเป็นต้องนำสัญญาณที่ต้องการวัดมาผ่านขบวนการที่เราเรียกว่า อินพุทคอนดิชั่น (INPUT CONDITON)

เงื่อนไขแรกที่ที่ต้องการทราบคือ เลือกแบบของการส่งผ่านว่าต้องการในลักษณะใด ไฟตรงหรือไฟสลับ หลังจากเลือกการส่งผ่านแล้วสัญญาณจะถูกลดทอนด้วย วงจรลดทอน(ATTENUATOR) เพื่อให้ขนาดของสัญญาณพอเหมาะหลังจากนั้นจะถูกจำกัดสัญญาณโดย วงจรจำกัดสัญญาณ (LIMITTER) ให้

อยู่ในระดับที่ต้องการ และทำการปรับระดับสัญญาณให้เหมาะสมเพื่อป้อนเข้า วงจรขยายความถี่แถบกว้าง(WIDE-BAND AMPLIFIER)

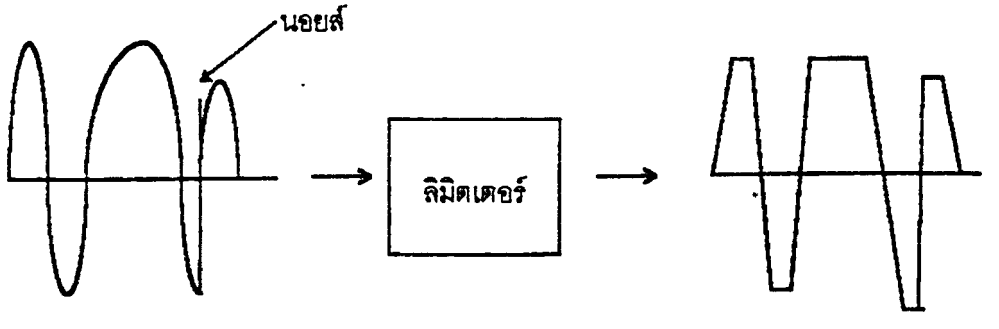


รูปที่ 2.5 แสดงกระบวนการทางอินพุท

หลังจากผ่านวงจรต่างๆ ดังรูปที่ 2.5 แล้ว สัญญาณที่ผ่านการขยายแล้วจะส่งผ่านวงจร ชมิตซ์ทริกเกอร์ (SCHMITT TRIGGER) เพื่อแปลงสัญญาณรูปต่าง ๆ ให้เป็นสัญญาณรูปสี่เหลี่ยมที่สมบูรณ์ เพื่อส่งไปทำการวัดด้วยส่วนที่วัดความถี่

2.5.1 ลิมิตเตอร์

สัญญาณที่เข้ามาเพื่อวัดอาจจะมีนอยส์ปะปนเข้ามาด้วย วงจรลิมิตเตอร์มีหน้าที่ขลิบสัญญาณทั้งทางด้านบวกและทางลบ รวมทั้งนอยส์ก็จะถูกจำกัดทิ้งไป จากรูปที่ 2.5.1 สังเกตว่าความถี่ของสัญญาณก่อนเข้าวงจรลิมิตเตอร์และหลังจากผ่านวงจรแล้วจะไม่เปลี่ยนแปลงเพียงแต่ถูกขลิบเท่านั้น หลักการทำงานของลิมิตเตอร์คือ ป้อนสัญญาณที่มีแอมปลิจูดเกินช่วงการทำงานของวงจร (OVERDRIVE) จนกระทั่งวงจรขยายเกิดการอิ่มตัวหรือ คัทออฟ ถ้าสัญญาณที่ป้อนเข้ามามีแอมปลิจูดน้อยเอาท์พุทจากลิมิตเตอร์จะมีนอยส์ปนออกมาทางเอาท์พุท ถ้าป้อนสัญญาณที่มีแอมปลิจูดแรงๆ นอยส์จะเงียบหายไป ปรากฏการณ์นี้มีความสัมพันธ์กับค่า " QUIETING " ของภาคเอาท์พุท ทำให้นอยส์จากวงจรขยายลดลง 20 เดซิเบลการที่จะลดนอยส์ให้ได้ก็คือ การขยายสัญญาณอินพุทให้มากๆ พอที่จะขับให้วงจรลิมิตเตอร์ขลิบสัญญาณเพื่อกำจัดนอยส์ที่ขี่มาบนสัญญาณตามหลักการของลิมิตเตอร์



รูปที่ 2.5.1 แสดงวงจรขจัดนอยส์ของวงจรลิมิเตอร์

037301

2.5.2 วงจรชมิตท์ทริกเกอร์ (SCHMITT TRIGGER CIRCUIT)

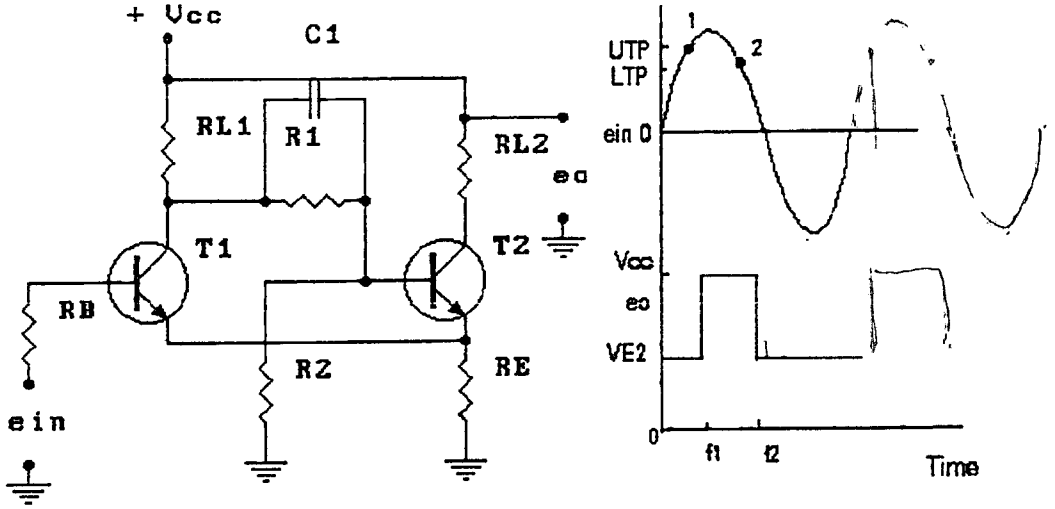
วงจรชมิตท์ทริกเกอร์ เป็นวงจรไบสเตเบิลมัลติไวเบเตอร์แบบอิมิตเตอร์ซนิดหนึ่ง ซึ่งสามารถสร้างพัลซ์รูปสี่เหลี่ยมมุมฉากใด ๆ ได้จากการป้อนสัญญาณอินพุทลักษณะรูปไซน์ ลักษณะของพัลซ์เอาท์พุทที่สร้างขึ้นมาสามารถควบคุมและกำหนดได้ดังรายละเอียดที่จะกล่าวต่อไป

การทำงานของวงจรจากรูปที่ 2.5.2 ซึ่งเป็นวงจรชมิตท์ทริกเกอร์แบบง่าย ๆ ในขณะที่ไม่มีแรงดันทางด้านอินพุทใดๆ ทรานซิสเตอร์ T1 จะมีสถานะเป็น OFF และ ทรานซิสเตอร์ T2 จะมีสถานะเป็น ON ขณะที่ทรานซิสเตอร์ T2 ทำงานอยู่ในสภาวะอิ่มตัว จะทำให้มีแรงดันตกคร่อม RE ซึ่งสมมติให้มีค่า VE ดังนั้นแรงดันที่เอาท์พุทขณะเวลา T1 ก็คือ (VE2 + VCE2) และก่อนที่ทรานซิสเตอร์ T1 จะทำงานแรงดันอินพุทจะต้องมีค่ามากกว่า VE2 ขนาดของแรงดันอินพุทที่จะทำให้ทรานซิสเตอร์ T1 ทำงานได้นี้ถูกเรียกว่า " ศักดาทริกเกอร์ระดับสูง " (UPPER TRIGGER POTENTIAL) หรือต่อไปจะเรียกย่อๆว่า U.T.P

ดังนั้น U.T.P = VE2 + VBEa

โดยที่ VE2 คือแรงดันตกคร่อม RE ขณะที่ทรานซิสเตอร์ T2 ทำงานในภาวะอิ่มตัว

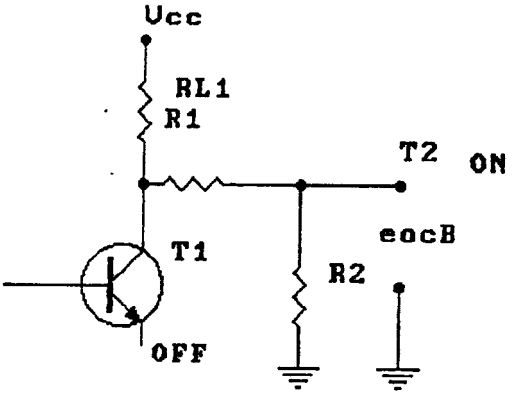
VBEa คือ ขนาดของแรงดันไบอัสตรง ที่จะทำให้ทรานซิสเตอร์ทำงานในย่านแอคทีฟ ซึ่งถ้าเป็นซนิดซิลิกอนจะมีค่าราว 0.6 โวลท์ ขณะที่ทรานซิสเตอร์ T2 เริ่มทำงานที่คอลเลคเตอร์ (VC1) ก็จะมีค่าลดลงจากค่า VCC การที่ค่า VC1 ลดลงนี้จะทำให้ ทรานซิสเตอร์ T2 นำไฟฟ้าได้น้อยลง นั่นคือ ทรานซิสเตอร์ทั้งสองตัวจะมีจุดทำงานอยู่ที่ย่านแอคทีฟ และในที่สุด ทรานซิสเตอร์ T2 ก็จะหยุดทำงาน โดยสมบูรณ์ดังนั้นที่เวลา T +1 แรงดันเอาท์พุทจะมีค่า VCC และทรานซิสเตอร์ T1 จะทำงานในสภาวะอิ่มตัว ทรานซิสเตอร์ T2 จะอยู่ในสภาวะ OFF ต่อไปจนกว่าแรงดันอินพุทจะมีขนาดลดลงและน้อยกว่าค่า U.T.P และเมื่อนั้น T2 จะกลับเข้าสู่การทำงานอีกครั้งหนึ่ง ขนาดของแรงดันอินพุทที่จะทำให้ทรานซิสเตอร์ T2 กลับมามีสภาพ ON และอยู่ในสภาวะอิ่มตัวได้อีกครั้งหนึ่งนี้ถูกเรียกว่า " ศักดาทริกเกอร์ระดับต่ำ " หรือเรียกย่อ ๆว่า L.T.P



รูปที่ 2.5.2 แสดงวงจรชมิตท์ทริกเกอร์

การกำหนดค่า U.T.P

ค่าของ U.T.P (UPPER TRIGGER POTENTIAL) ของวงจรในรูปที่ 2.5.2 อาจจะกำหนดได้ดังนี้ สมมติว่าขณะที่ไม่มีแรงดันอินพุทใด ๆ เข้ามา ทรานซิสเตอร์ T1 จะมีสถานะเป็น OFF และทรานซิสเตอร์ T2 จะมีสถานะเป็น ON วงจรไบอัสของทรานซิสเตอร์ T2 เขียนเป็นวงจรเสมือนได้โดยการใช้ทฤษฎีของ "เธเวนนิน" (THEVENIN 'S THEOREM) ดังในรูปที่ 2.5.2.1



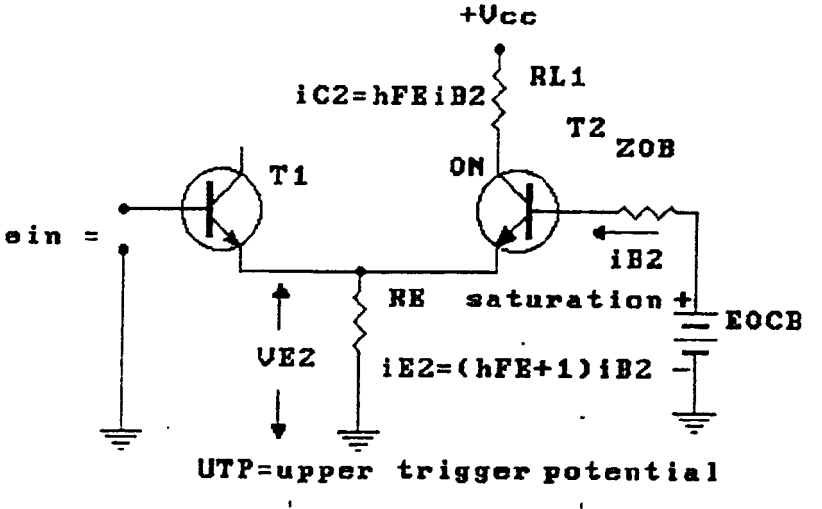
รูปที่ 2.5.2.1 แสดงทรานซิสเตอร์ T1

โดยสมมติว่า แรงดันที่ตกคร่อมรอยต่อในทรานซิสเตอร์ไม่ต้องนำมาพิจารณาด้วย

ดังนั้น $Eocb = R2*VCC / (R1+R2+RL)$

$Zob = R2(R1+RL1) / (R1+R2+RL1)$

และเมื่อนำค่า Ecob และ Zob ไปแทนลงในวงจรจึงอาจเขียนได้ดังแสดงในรูปที่ 2.5.2



รูปที่ 2.5.2.2 แสดงการต่อวงจรที่ใช้คำนวณ

จากรูปที่ 2.5.2.2 จากกฎแรงดันของเคอร์ชอฟฟ์ (KIRCHOFF 'S VOLTAGE LAW)

จะได้ว่า

$$VE2 + Ezob = Eocb$$

$$VE2 = Eocb - IB2 * Zcb$$

แทนค่า Eocb และ Zob

ดังนั้น $VE2 = \{ R2*VCC / (R1+R2+RL1) \} - IB2 \{ R2 (R1+RL1) / (R1+R2+RL1) \}$

แต่ $VE2 = IE2 * RE$

และ $IE2 = (hFE +1) IB2$

ดังนั้น $VE2 = (hFE + 1) IB2 * RE$

$$IB2 = VE2 / RE (hFE + 1)$$

$$VE2 = R2* VCC - IB2*R2 (R1+ R2) / (R1 + R2 +R3)$$

$$= VCC / [\{(R1+R2+R3) / R2\} + \{(R1+ RL1) / RE (hFE +1) \}]$$

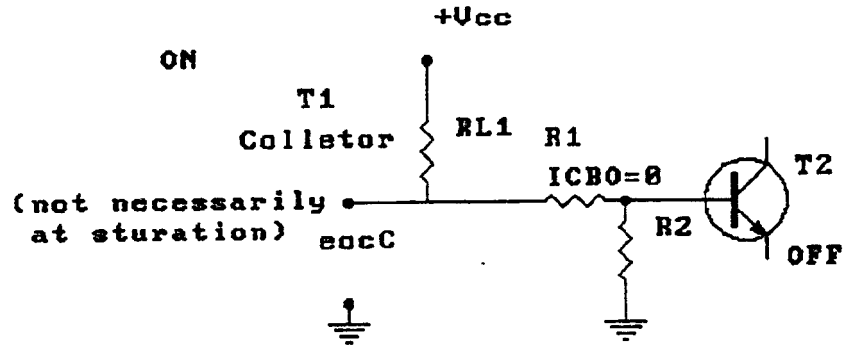
และโดยที่ไม่ต้องนำค่าแรงดันตกคร่อมรอยต่อของทรานซิสเตอร์มาพิจารณา ดังนั้น

$$U.T.P = VE2$$

นั่นคือ $U.T.P = VCC / [\{ (R1+R2+RL1) / R2 \} + \{ (R1+RL1) / RE (hFE +1) \}]$

การกำหนดค่า L.T.P

ค่าของ L.T.P (LOW TRIGGER POTENTIAL) ของวงจรในรูปที่2.5.2 ซึ่งจะทำให้ทรานซิสเตอร์ T2 หยุดทำงาน อาจกำหนดได้โดยพิจารณาจากวงจร ในรูปที่ 2.5.2.3 ซึ่งเป็นวงจรเสมือนของวงจรทางด้านคอลเลคเตอร์ของทรานซิสเตอร์ T1 โดยการใช้กฎของ " เธเวนิน "

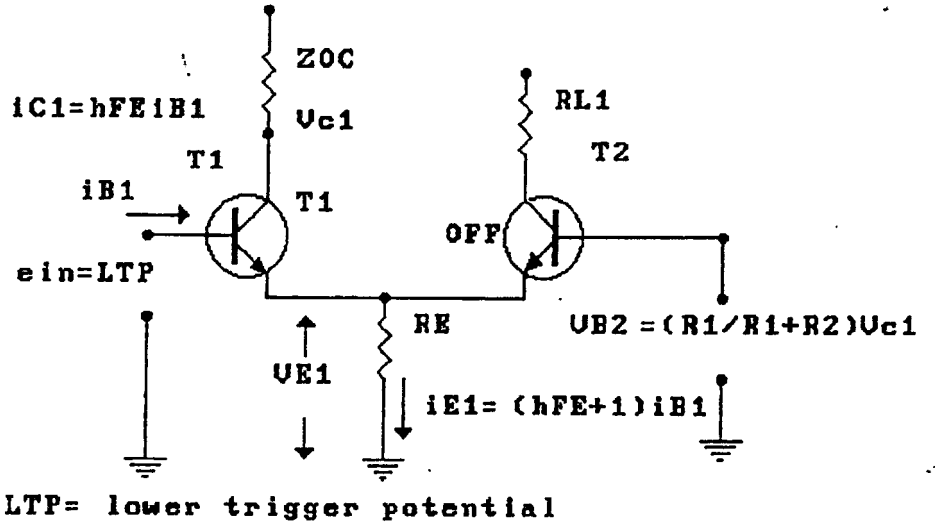


รูปที่ 2.5.2.3 แสดงวงจรเสมือนของ T1

ดังนั้น $Eocc = (R1 + R2) VCC / (R1 + R2 + RL1)$

$$Zoc = RL1 (R1 + R2) / (R1 + R2 + RL1)$$

และเมื่อนำค่า Eocc และ Zoc ไปแทนในวงจรที่ 2.5.2 จึงอาจจะเขียนได้ดังในรูปที่ 2.5.2.4



รูปที่ 2.5.2.4 แสดงการต่อวงจรเมื่อใช้ทฤษฎีเธเวนิน

และจากรูปที่ 2.5.2.4 โดยการใช้กฎแรงดันของเคอร์ชอฟฟ์ (KIRCHOFF' S VOLTAGE LAW) จะได้ว่า

$$Eocc = VC1 + Ezoc$$

$$Eocc = VC1 + hFE\ IB1 * Zoc$$

แต่ $IE1 = VE1 / RE$

$= (hFE + 1) IB1$

$IB1 = VE1 / RE (hFE + 1)$

$Eocc = Vc1 + hFE * VE1 * Zoc / (RE (hFE + 1))$

แต่ $Eoc = (R1 + R2) * VCC / (R1+R2+RL1)$

และ $Zoc = RL1 (R1 + R2) / (R1 + R2 + RL1)$

ดังนั้น $(R1 + R2) VCC / (R1 + R2 + RL1) = \left[\dfrac{hFE * VE1\ RL1 (R1 + R2)}{\dfrac{R1 + R2 + RL1}{RE (hFE + 1)}} \right] + Vc1$

แต่ $VE1 = (R2 / R1 + R2) * VC1$

$VC1 = VE1 (R1 + R2) / R2$

แทนค่า VC1 ลงไป

$$\text{ดังนั้น} \quad (R1 + R2) * VCC / R1 + R2 + RL1 = \frac{hFE * VE1 * RL1 (R1 + R2)}{\frac{R1 + R2 + RL1}{RE (hFE + 1)}} + \frac{VE1(R1+R2)}{R2}$$

$$VE1 = \frac{RE * R2 (hFE + 1) * VCC}{RE (hFE + 1)(R1 + R2 + RL1) + hFE\ R2\ RL1}$$

ทรานซิสเตอร์ T1 จะหยุดทำงาน เมื่อแรงดันอินพุทมีค่าเท่ากับ VE1

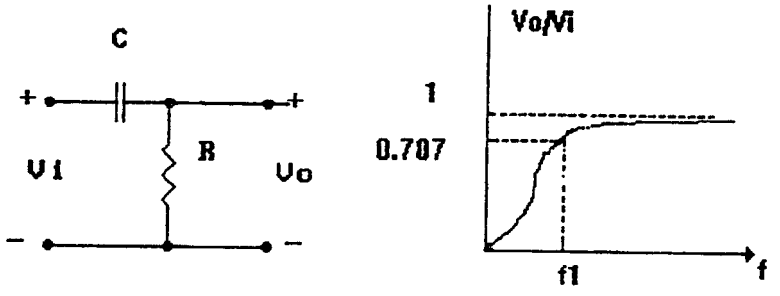
ดังนั้น L.T.P = VE1

นั่นคือ $L.T.P = VCC / \{ (R1 + R2 + RL1) / R2 + \{ hFE\ RL1 / RE (hFE + 1) \} \}$

2.5.3 วงจรกรองความถี่

ผลตอบสนองของสัญญาณต่อวงจร RC กรองสัญญาณความถี่สูงผ่าน

วงจรที่แสดงดังรูปที่ 2.5.3.1 เป็นวงจรกรองสัญญาณความถี่สูงผ่านชนิด RC อย่างง่าย ๆ โดยปกติค่ารีแอกแตนซ์ของตัวเก็บประจุจะลดลงเมื่อค่าความถี่มีค่ามากขึ้น ดังนั้นถ้าสัญญาณทางด้านอินพุทมีค่าความถี่สูงมากก็จะสามารถผ่านไปทางด้านเอาท์พุทได้ โดยจะได้รับการบั่นทอนค่าลงกว่าที่สัญญาณความถี่ต่ำ แต่เมื่อความถี่เป็นศูนย์หรือกรณีไฟตรง ตัวเก็บประจุจะเสมือนเปิดวงจร ดังนั้นกระแสไฟตรงจะเสมือนถูกกันเอาไว้ นอกจากการใช้กรองสัญญาณแล้วเรายังใช้ในการแยกหรือกั้นสัญญาณไฟตรงไม่ให้ข้ามไปด้วย



รูปที่ 2.5.3.1 แสดงวงจรกรองสัญญาณความถี่สูงผ่าน

ผลตอบสนองต่อรูปสัญญาณซายน์ แรงดันออก V_o จะลดค่าแอมปลิจูดลงเมื่อความถี่ของสัญญาณมีค่าต่ำลง ลักษณะความสัมพันธ์ของแรงดันเอาท์พุทต่อแรงดันอินพุทเมื่อคิดในรูปของขนาดของสัญญาณ เขียนอยู่ในรูปของสมการได้เป็น

$$\frac{V_o}{V_i} = 1 / \{ 1 + f_1^2 / f^2 \}^{1/2}$$

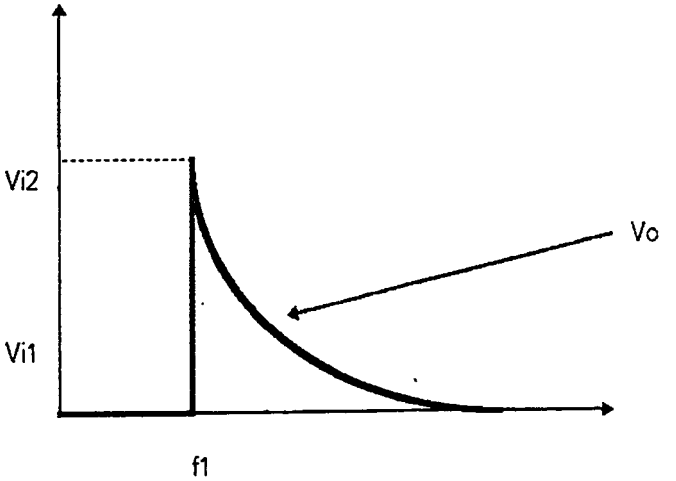
เมื่อ V_o / V_i เป็นค่าอัตราส่วนที่เราคิดแต่ขนาด

f_1 เป็นค่าความถี่คัทออฟหรือมีค่าเท่ากับ $1 / 2\pi RC$

f เป็นค่าความถี่ใช้งาน

ถ้าเราพิจารณาจากสมการข้างบนในกรณีที่ความถี่ $f = f_1$ จะเห็นว่าค่าอัตราส่วน V_o/V_i จะกลายเป็น 0.707 ค่าความถี่นี้เรานิยมให้เป็นค่าความถี่ 3 เดซิเบลหรือค่าความถี่คัทออฟ ซึ่งในขณะใช้งานเราจะคิดว่าค่าความถี่ที่สูงกว่าความถี่นี้จะสามารถผ่านไปได้ และถ้าค่าความถี่ต่ำกว่านี้จะผ่านไปได้น้อยมาก ซึ่งเป็นลักษณะของการกรองค่าความถี่นั่นเอง

ผลตอบสนองต่อสัญญาณขั้น สมมติว่าเดิมสัญญาณอินพุท Vi อยู่ที่ระดับ Vi1 = 0 และที่เวลา T1 สัญญาณเปลี่ยนไปเป็น Vi2 ผลการตอบสนองของวงจรจะเป็นรูปลักษณะเอ็กโพเนนเชียล มีค่าคงตัวเวลาเท่ากับ RC แรงดันสิ้นสุดจะเท่ากับศูนย์ ทั้งนี้เพราะตัวเก็บประจุไม่ปล่อยให้กระแสไฟตรงผ่าน ค่าแรงดันตรงจุดเวลา t1 จะหาได้จากการพิจารณาแบบมูลฐานดังนี้ สมมติว่าขณะที่แรงดันเปลี่ยนแปลงตัวเก็บประจุจะเสมือนว่าลัดวงจร ดังนั้นค่าแรงดัน Vo จะเท่ากับ Vi2 และค่าแรงดันจะลดลงแบบเอ็กโพเนนเชียลจนเป็นศูนย์ในที่สุด

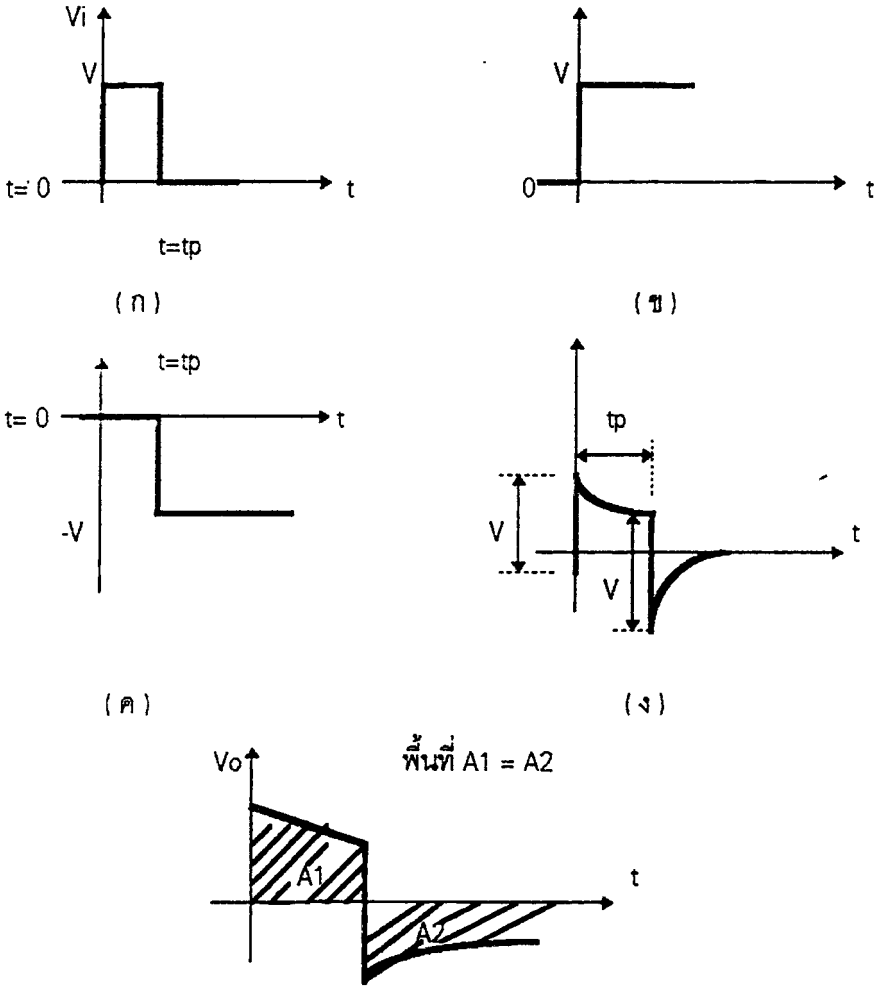


รูปที่ 2.3.5.2 แสดงผลตอบสนองสัญญาณขั้น

ผลตอบสนองต่อสัญญาณพัลซ์ รูปพัลซ์ในอุดมคติแสดงให้เห็นดังรูปที่ 2.3.5.3 ก. ขนาดแอมปลิจูดของแรงดันมีค่าเท่ากับ V และมีความกว้างของพัลซ์เท่ากับ tp จากลักษณะของสัญญาณพัลซ์นี้เอง เราพอที่จะแยกสัญญาณพัลซ์ออกเป็นสัญญาณขั้นได้สองรูป ดังแสดงในรูปที่ 2.3.5.3 ข. และ ค. สัญญาณขั้นทั้งสองเมื่อบวกกันแล้วจะเท่ากับสัญญาณพัลซ์ และถ้าพิจารณาผลการตอบสนองของวงจรก็เสมือนว่าเป็น

การตอบสนองต่อสัญญาณขั้นสองสัญญาณ ดังนั้นถ้าเรารวมผลตอบสนองสัญญาณทั้งสองสัญญาณเข้าด้วยกัน ลักษณะของสัญญาณเอาท์พุทจะแสดงให้เห็นดังรูปที่ 2.3.5.3 ง. ค่าส่วนโค้งจะเป็นไปตามลักษณะของเอ็กโพแนนเชียลถ้าหากว่าเรามาพิจารณาผลตอบสนองของสัญญาณพัลซ์ดังกล่าวแล้วดู เราจะพบว่าจากผลตอบสนองนั้น ส่วนของพื้นที่ที่อยู่เหนือเส้นศูนย์กับส่วนของพื้นที่ที่อยู่ใต้เส้นศูนย์มีค่าเท่ากัน ซึ่งสามารถพิสูจน์ได้โดยวิธีทางคณิตศาสตร์

ผลตอบสนองต่อสัญญาณสี่เหลี่ยม สัญญาณสี่เหลี่ยมก็คือสัญญาณพัลซ์หลาย ๆ ลูกมาประกอบเรียงกันอย่างสม่ำเสมอ นั่นคือระดับเฉลี่ยของผลตอบสนองต่อสัญญาณจะเป็นศูนย์หรือส่วนพื้นที่เหนือเส้นศูนย์กับส่วนของพื้นที่ใต้เส้นศูนย์จะมีค่าเท่ากัน ดังแสดงในรูปที่ 2.3.5.4

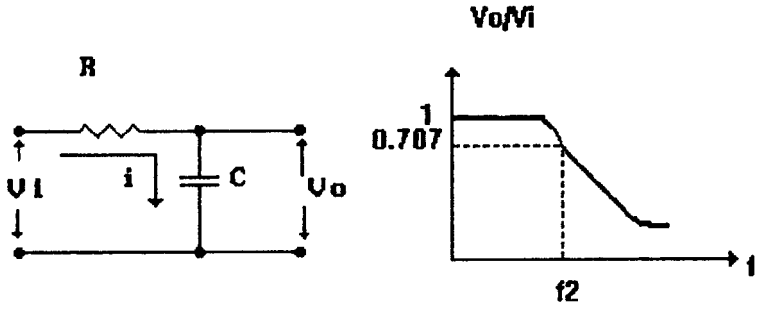


รูปที่ 2.3.5.4 แสดงพื้นที่กราฟเหนือเส้น 0 กับส่วนล่างมีค่าเท่ากัน

ผลตอบสนองของสัญญาณต่อวงจร RC กรองสัญญาณความถี่ต่ำ

วงจรในรูปที่ 2.3.5.5 เป็นวงจร RC กรองสัญญาณความถี่ต่ำผ่านโดยจะตัดทอนสัญญาณที่มีความถี่สูง ทั้งนี้เพราะค่ารีแอกแตนซ์ของตัวเก็บประจุ C จะลดลงเมื่อความถี่เพิ่มขึ้น และตัวเก็บประจุ C จะเป็นเสมือนลัดวงจรทำให้แรงดันออก Vo เท่ากับศูนย์ที่ความถี่สูงมาก ๆ

วงจรพื้นฐานของรูปที่2.3.5.5 นี้มีความสำคัญมาก เพราะเราจะพบบ่อย ๆ โดยเฉพาะอย่างยิ่งในพวกสายส่งสัญญาณซึ่งเมื่อใช้ที่ความถี่สูง ๆ แล้ว วงจรสมมูลย์ของสายจะมีลักษณะเป็นวงจร RC ดังกล่าวนี้ ลักษณะของวรจรคล้ายคลึงกับวงจรข้างต้น เพียงแต่สลับที่ระหว่าง R และ C กันเท่านั้น



รูปที่ 2.3.5.5 วงจร RC กรองสัญญาณความถี่ต่ำผ่าน

ผลตอบสนองต่อสัญญาณรูปซายน์

เนื่องจากวงจรดังกล่าวนี้เป็นวงจรชนิดพาสซีพ ดังนั้นเอาท์พุทของวงจรยังคงเป็นรูปซายน์โดยที่ความถี่ของสัญญาณจะมีผลต่อค่ารีแอกแตนซ์ นั่นคือแอมปลิจูดของสัญญาณเอาท์พุทจะมีค่าลดลงเมื่อความถี่สูงขึ้น โดยทั่วไปเราสามารถเขียนความสัมพันธ์ของอัตราส่วนระหว่าง v_o กับ V_i ในเทอมความถี่ได้เป็น

$$\frac{V_o}{V_i} = 1 / \{1 + f^2 / f_2\}^{1/2}$$

เมื่อ Vo / Vi เป็นค่าอัตราส่วนของแอมปลิจูดเมื่อเราคิดแต่เพียงขนาด

f คือค่าความถี่ที่ใช้งาน

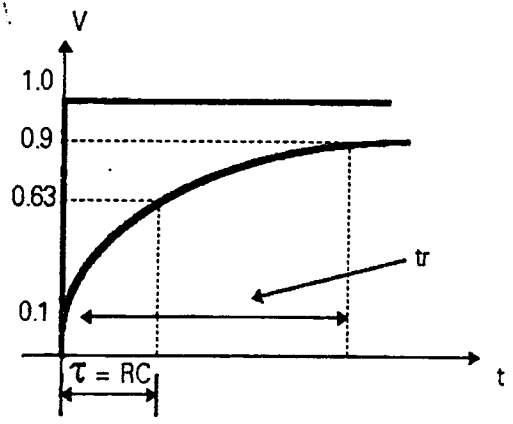
f_2 คือค่าความถี่คัทออฟหรือมีค่าเท่ากับ $1/2\pi RC$

จากกรณีข้างบนนี้ถ้าเราให้ความถี่ใช้งานเท่ากับ f_2 เราจะพบว่า แรงดันเอาท์พุทจะมีค่าเป็น 0.707 เท่า ของแรงดันอินพุทและค่าความถี่นี้เองเราเรียกว่าค่าความถี่คัทออฟหรือความถี่ 3 เดซิเบล ผลตอบสนองต่อสัญญาณนั้น

เมื่แรงดันเข้าเป็นขั้นโดยเปลี่ยนระดับทันทีที่เวลาใดเวลาหนึ่ง ผลตอบสนองของวงจรจะค่อย ๆ เพิ่มขึ้นเป็นลักษณะเอ็กโพเนนเชียล โดยที่เวลาที่ใช้เพิ่มค่าแรงดันเอาท์พุทจนถึงประมาณ 63% ของแรงดันสูงสุดเราเรียกว่า ช่วงเวลาคงตัว (time constant) ซึ่งจะมีค่าเป็นค่าผลคูณของ R และ C นั่นคือถ้าค่า R และ C มีค่ามาก การเพิ่มค่าของแรงดันเอาท์พุทก็จะเป็นไปได้ช้า

ตามคำนิยามของ ช่วงเวลาขึ้น ซึ่งจะเป็นค่าเวลาที่แรงดันเพิ่มจาก 10% ถึง 90% ของค่าแรงดันสูงสุด เราสามารถทำการคำนวณค่าเหล่านี้ให้อยู่ในเทอมของ R และ C ได้เป็น

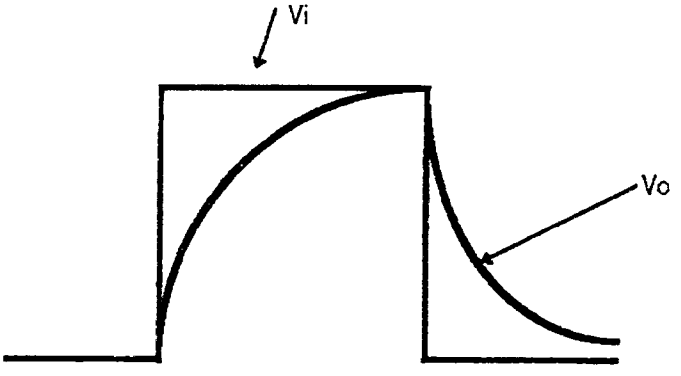
$$t_r = 2.2\,RC = 2.2\,\tau$$



รูปที่ 2.3.5.6 ผลตอบสนองต่อสัญญาณขั้น

ผลตอบสนองต่อสัญญาณพัลซ์

เราสามารถนำหลักการของผลตอบสนองต่อสัญญาณขั้นมาหาผลตอบสนองต่อสัญญาณพัลซ์ ได้โดยคิดว่าสัญญาณพัลซ์คือสัญญาณพัลซ์คือสัญญาณขั้นสองตัวที่ประกอบกันอยู่ ผลตอบสนองสามารถเขียนได้ดังรูปที่ 2.3.5.7

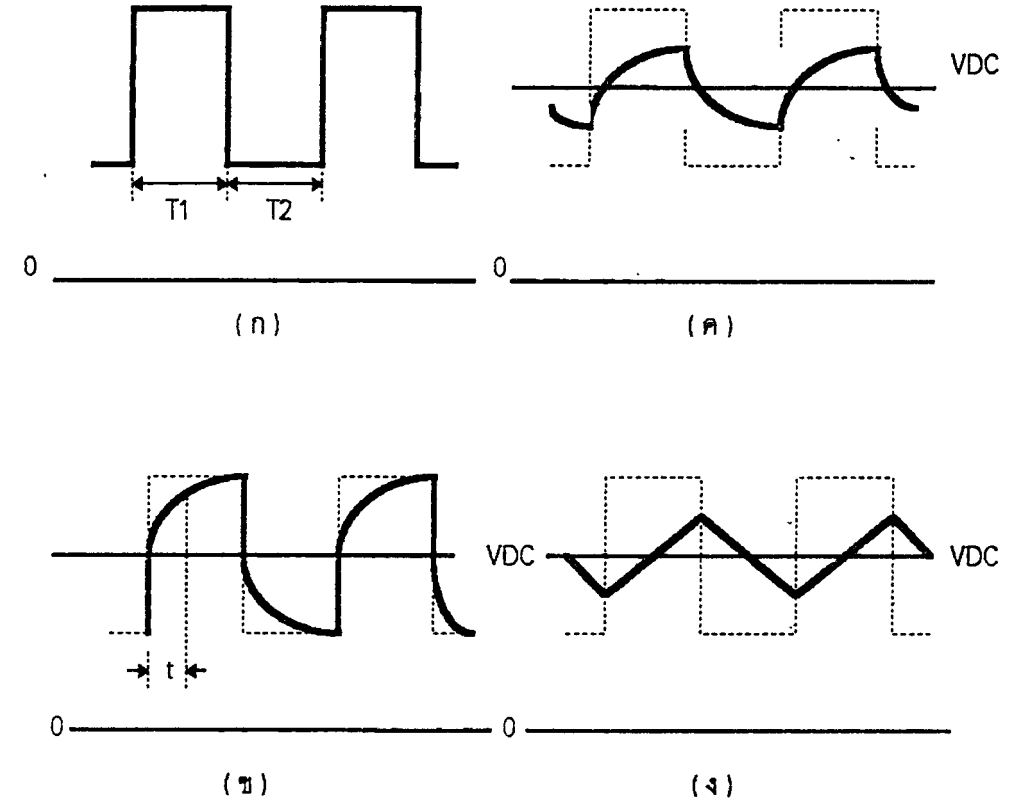


รูปที่ 2.3.5.7 ผลตอบสนองต่อสัญญาณพัลซ์

ผลตอบสนองต่อสัญญาณสี่เหลี่ยม

เราสามารถเขียนผลตอบสนองต่อสัญญาณสี่เหลี่ยมได้ดังรูปที่ 2.3.5.8 จากรูป (ก) เป็นสัญญาณสี่เหลี่ยมที่เป็นอินพุท ส่วนรูป (ข-ง) เป็นผลตอบสนองที่เกิดขึ้นที่เอาท์พุท ถ้าพิจารณาให้ดีจะเห็นว่าส่วนของค่า RC หรือค่าคงตัวของเวลาจะมีผลต่อสัญญาณเอาท์พุทมาก รูป (ข) เป็นการแสดงค่าคงตัวที่เวลาสั้น ๆ รูป (ง) เป็นวงจรที่มีค่าคงตัวยาวมาก ๆ

วงจร RC ที่ทำหน้าที่กรองสัญญาณความถี่ต่ำผ่านนี้ อาจมีชื่ออีกอย่างหนึ่งว่า *วงจรอินทริเกรเตอร์* (integrator)



รูปที่ 2.3.5.8 ผลตอบสนองต่อสัญญาณสี่เหลี่ยม

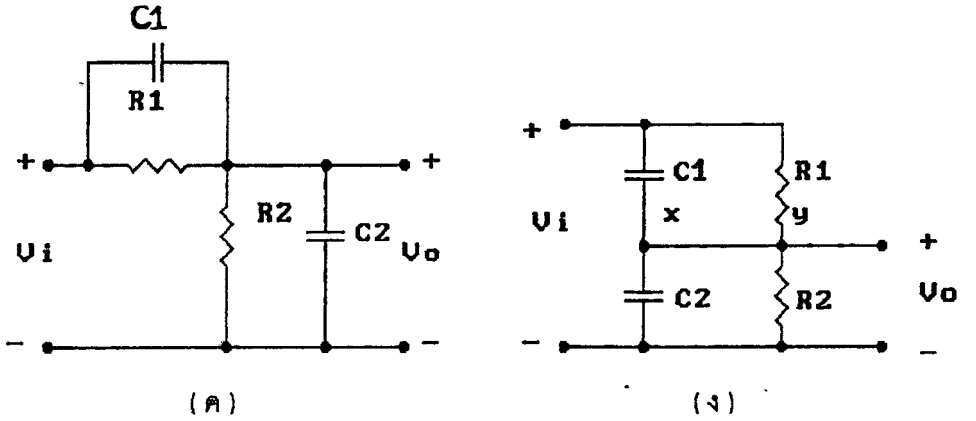
ตัวบั่นทอน (attenuator)

ตัวต้านทาน R_1 และ R_2 ในรูปที่ 2.3.5.9 (ก) ประกบกันเป็นตัวบั่นทอนสัญญาณที่เรียกว่า *ตัวแบ่งแรงดัน* จากลักษณะนี้แรงดันเอาท์พุทจะแบ่งค่าแรงดันมาจากแรงดันอินพุทด้วยค่าแฟคเตอร์ $R_2/ R_1 +R_2$ อัตราส่วนนี้จะไม่ขึ้นอยู่กับค่าความถี่ถ้าหากว่าไม่มีส่วนของตัวเก็บประจุเข้ามาผสมอยู่ แต่ในขณะที่ใช้งานจริง ๆ แล้ว เรามักพบว่าจะมีค่าตัวเก็บประจุแทรกแซง (stray capacitance) ผสมอยู่ด้วย ค่า C_2 นี้มักคร่อมตัวต้านทาน R_2 อยู่ ดังนี้ผลการบั่นทอนที่เกิดขึ้นจึงขึ้นอยู่กับค่าความถี่ด้วย

รูปที่ 2.3.5.9 (ค) เป็นวงจรที่เราเพิ่มค่า C_1 เข้าไปเพื่อชดเชยค่าที่เกิดขึ้นจากตัวเก็บประจุ C_2 ซึ่งถ้าเขียนวงจรเสียใหม่เราจะเห็นว่าลักษณะของวงจรเหมือนเป็นวงจรบริดจ์ ดังรูปที่ 2.3.5.9 (ง) ถ้าหากว่า

บริดจ์สมดุลย์อาจเสมือนปิดเส้นวงจร XY ได้ นั่นคือ แรงดัน V_0 จะเสมือนกับเป็น $(R_2/R_1+R_2)V_i$ วิธีการที่จะกระทำให้บริดจ์สมดุลย์เราจะต้องให้ค่า $R_1C_1 = R_2C_2$ นั่นเอง หรือ $R_1/R_2 = C_1/C_2$ ดังนั้นในวงจรบั่นทอนสัญญาณถ้าเรารู้ค่าตัวเก็บประจุ C_2 เราก็สามารถชดเชยได้โดยการคำนวณหาค่า C_1

จากหลักการนี้เองเราจะนำเอาไปใช้ในการทำสายวัด (probe) ที่ใช้กับออสซิลโลสโคปที่มีการชดเชยเพื่อใช้วัดสัญญาณที่ความถี่สูงเพื่อให้สัญญาณที่วัดได้ไม่ผิดเพี้ยนไปจากรูปสัญญาณเดิม

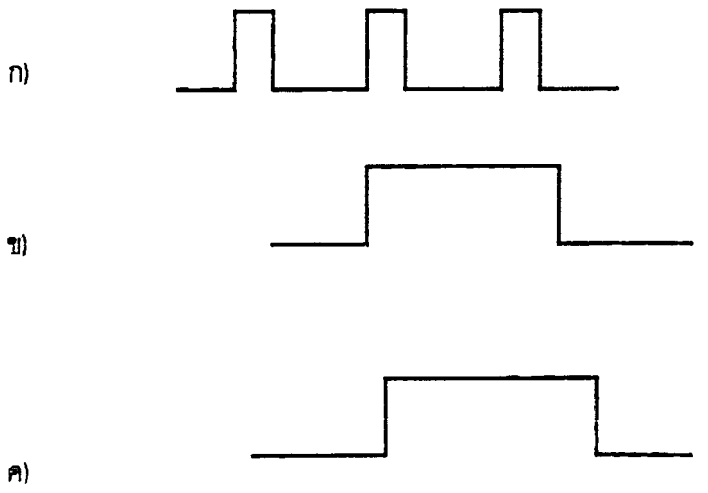


รูปที่ 2.3.5.9 แสดงวงจรบั่นทอนสัญญาณ

2.6 ความผิดพลาดที่เกิดขึ้นในเครื่องวัดความถี่

ความผิดพลาดที่เกิดขึ้นในเครื่องวัดค่าความถี่สามารถแยกเป็นหัวข้อหลัก ๆ ได้ 4 หัวข้อ

2.6.1 ความผิดพลาดจากการเปิดเกท (QUANTIZING ERROR)



รูป 2.6.1 แสดงความผิดพลาดในการเปิดเกทที่เวลาต่างกัน

ก) สัญญาณอินพุท ข) สัญญาณเปิดเกทลูกที่หนึ่ง

ค) สัญญาณเปิดเกทลูกที่สอง

พิจารณาจากรูปที่ 2.6.1 ก) เป็นสัญญาณที่ต้องการวัด ข) เป็นสัญญาณเปิดเกทเมื่อเปิดเกทแล้วสามารถนับสัญญาณได้ 1 ลูก ค) เป็นสัญญาณเปิดเกทในช่วงเวลาต่อมามีคาบเวลาเท่ากับสัญญาณเปิดเกทอันแรกการเปิดเกทครั้งหลังนี้สามารถนับสัญญาณได้ 2 ลูก แสดงให้เห็นว่าถึงแม้คาบเวลาในการเปิดเกทจะเท่ากันแต่ว่า ความถี่ที่ได้อาจจะไม่เท่ากันทุกครั้งในการวัด ความผิดพลาดเหล่านี้ทำให้เครื่องวัดค่าความถี่ผิดพลาดจากความเป็นจริง

2.6.2 ความผิดพลาดจากทริกเกอร์ (TRIGGER ERROR)

สาเหตุความผิดพลาดแบบนี้ เกิดจากสัญญาณรบกวนที่เข้ามาปนกับสัญญาณอินพุทที่ต้องการวัด ซึ่งทำให้เกิดการเปิดและปิดเกท โดยไม่ต้องการได้ทำให้การวัดค่าที่ได้เกิดความผิดพลาด

2.6.3 ความผิดพลาดจากระบบ (SYSTEMATIC ERROR)

ความผิดพลาดจากระบบ เกิดขึ้นเนื่องจากอุปกรณ์ ส่วนต่าง ๆ ของระบบเครื่องมือวัดนั้นเอง เช่นการหน่วงเวลาที่เกิดจากอุปกรณ์ภายใน ความยาวของสายที่ทำการวัดทำให้ไม่แมตช์กันระหว่างสายโพรบกับเครื่องวัด สิ่งเหล่านี้ทำให้เกิดความผิดพลาดทั้งสิ้น

2.6.4 ความผิดพลาดจากฐานเวลา (TIME-BASE ERROR)

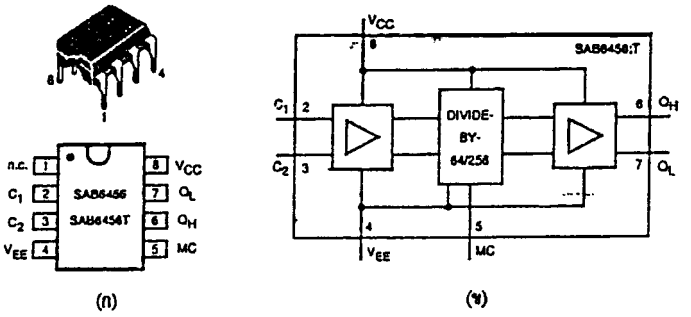
ฐานเวลาเป็นส่วนสำคัญมากในเครื่องมือวัดค่าความถี่หากเกิดค่าความผิดพลาดเพียงเล็กน้อย แต่ความผลการวัดจะผิดพลาดไปมาก ในเครื่องวัดค่าความถี่ทั่วไป มักใช้วงจรกำเนิดความถี่ด้วยแร่คริสตอล (X-TAL) เพราะมีความเที่ยงตรงสูงกว่าแบบอื่น ๆ วงจรกำเนิดความถี่ด้วยแร่คริสตอลที่พบเห็นมีด้วยกัน 3 แบบคือ

- คริสตอลออสซิเลเตอร์ที่อุณหภูมิห้อง
- คริสตอลออสซิเลเตอร์ที่ควบคุมอุณหภูมิ
- คริสตอลออสซิเลเตอร์ที่มีการชดเชยอุณหภูมิ

ออสซิเลเตอร์แบบแรกเป็นแบบง่าย ๆ ออกแบบโดยไม่คำนึงถึงการเปลี่ยนแปลงของอุณหภูมิและสภาพแวดล้อมต่าง ๆ เลย ออสซิเลเตอร์แบบที่สองมีการควบคุมอุณหภูมิภายในวงจร ส่วนในแบบที่สามเป็นการออกแบบที่มีการพยายามที่จะปรับและชดเชยอุณหภูมิที่แปรเปลี่ยนไป เพื่อลดผลของอุณหภูมิอันอาจจะทำให้การกำเนิดค่าความถี่ผิดพลาดได้

IC SAB6456T

พรีสเกลเลอร์ SAB6456T ผลิตโดยบริษัท ฟิลิปส์อิเล็กทรอนิกส์ จำกัด พื้นฐานของไอซีแล้วจะทำการหารความถี่ที่ย่าน VHF และ UHF ด้วยอัตราการหารด้วย 64 และ 256 ดังนั้นย่านความถี่ที่สามารถวัดได้ทางด้านอินพุทจะมีค่าความถี่ตั้งแต่ 70 MHz ถึง 1 GHz มีความไวทางด้านอินพุทสูงและป้องกันการเกิดความถี่ฮาร์มอนิกออกมารบกวนทางด้านอินพุท และป้องกันฮาร์มอนิกจากภายนอกด้วย



รูปที่ 1 ก) ลักษณะการจัดขาและรูปร่างของไอซี ข) บล็อกไดอะแกรมภายในตัวไอซี

ลักษณะโครงสร้างภายในไอซีและการจัดขาดูได้จากรูปที่1 ซึ่งในรูปที่1 ก) แสดงการจัดขาและรูปร่างของไอซีส่วนในรูปที่ 1 ข) เป็นบล็อกไดอะแกรมภายในไอซี จากบล็อกไดอะแกรมภายในนี้จะเห็นว่ามีส่วนประกอบหลัก ๆภายในน้อยมาก ที่แน่นอนเลยคือ วงจรหารความถี่ 64/256

คุณสมบัติของ SAB6456T

- ใช้งานที่ย่านแรงดัน 4.5 - 5.5 โวลท์
- ใช้กระแสสูงสุด 21 มิลลิแอมป์
- ย่านความถี่ที่ใช้งานทางด้านอินพุท 70 MHz - 1 GHz
- ความไวทางด้านอินพุท 10 มิลลิโวลท์อาร์เอ็มเอส
- แรงดันเอาต์พุท 1 โวลท์พีคทูพีค
- สามารถทำงานได้ที่อุณหภูมิรอบข้างสูงสุด 80 องศาเซลเซียส

การทำงาน

การทำงานของไอซีพรีสเกลเกลอร์นี้หลักๆเลยเป็นไอซีที่ทำหน้าที่ขยายและหารความถี่ของสัญญาณทางอินพุทด้วยจำนวนค่าการหารซึ่งขึ้นอยู่กับคุณสมบัติของไอซีนั้น ๆ การทำงานของขาไอซีทั้ง 8 ขาของ SAB6456T นั้นอธิบายเป็นข้อ ๆ ได้ดังนี้

- ขา 1 (NC) ขานี้เป็นที่ไม่ได้ใช้งาน

- ขา 2 และขา 3 (C1และC2)เป็นขาอินพุทขยายความแตกต่างของสัญญาณความถี่ออสซิเลเตอร์ทางอินพุท ที่ขานี้จะคัปปลิ้งสัญญาณผ่านตัวเก็บประจุหากขาไหนไม่ต้องการใช้งานจะต่อตัวเก็บประจุคับปลิ้งลงกราวด์

- ขา 4 (VEE) เป็นขากราวด์ของไอซี

- ขา 5 (MC) ขาโหมดคอนโทรลทำหน้าที่เลือกอัตราการหารความถี่ระหว่าง 64 กับ 256 ซึ่งในการใช้งานปกติคือหาร 64 ขานี้จะไม่ต่อใช้งาน แต่ถ้าหากเป็นการหาร 256 ขานี้จะต้องต่อลงกราวด์เวลาใช้งาน

- ขา 6 และ ขา 7 (QHและQL) เป็นวงจรขยายแบบคอมพลีเมนตารีขยายสัญญาณออกทางด้านเอาท์พุท

- ขา 8 (VCC) ขาแรงดันไฟเลี้ยงบวก 4.5 - 5.5 โวลท์

ตารางที่ 1 แสดงคุณสมบัติทางด้านเทคนิคของ SAB6456T

พารามิเตอร์	สัญลักษณ์	ค่า	หน่วย
แรงดันไฟเลี้ยง	V_{CC}	5	โวลต์
แหล่งจ่ายกระแส	I_{CC}	21	มิลลิแอมป์
ความถี่ทางอินพุต	f_i	70-1000	เมกะเฮิรตซ์
ความไวทางอินพุต	$V_{i(rms)}$	10	มิลลิโวลต์
แรงดันทางเอาท์พุต	$V_{o(p-p)}$	1	โวลต์
อุณหภูมิรอบข้าง	T_{amb}	80	องศาเซลเซียส
แรงดันทางอินพุตสูงสุด	$V_{i(rms)}$max	300	มิลลิโวลต์
ค่าความต้านทานทางอินพุตขนาน	R_i	30-560	โอห์ม
ค่าความจุทางอินพุต	C_i	1.5-5	พิโกฟารัด
แรงดันเอาท์พุตสวิง	$V_{o(p-p)}$	0.8-1.2	โวลต์
ค่าความต้านทานทางเอาท์พุต	R_o	500	โอห์ม
แรงดันควบคุมที่ขา MC หาร 64	V_{IH}	1.4-3	โวลต์
แรงดันควบคุมที่ขา MC หาร 256	V_{IL}	0.2	โวลต์

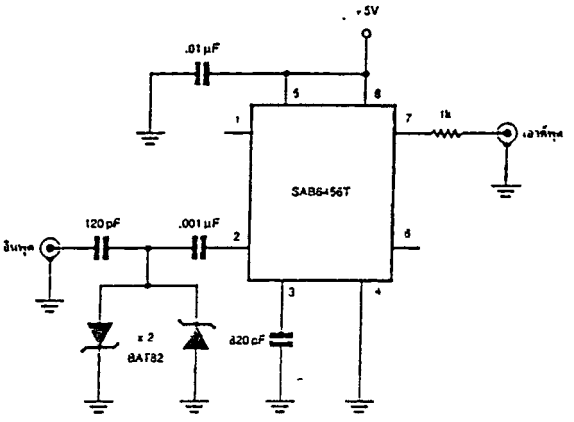
ลักษณะการทำงานนั้นในบางครั้งต้องคำนึงถึงสัญญาณรบกวนจากภายนอกบ้าง อาจจะมีมารบกวนบ้างเล็กน้อยในบางกรณีและในบางลักษณะการนำไปใช้งาน ซึ่งบางทีต้องทำการชีลด์รอบๆชุดพรีสเกลเลอร์ด้วยโลหะลงกราวด์ และจะต้องมีการป้องกันทางด้านอินพุทจากสัญญาณที่อาจจะแรงเกินไป เกินกว่าสเปกของไอซีกำหนดไว้จะทำให้เกิดความเสียหายต่อไอซีได้

ทางด้านเอาท์พุทของไอซีพรีสเกลเลอร์นี้ จริงอยู่ที่สัญญาณเอาท์พุทมีระดับความแรงของสัญญาณถึง 1 โวลท์พีคทูพีค แต่ถ้าหากนำไปต่อเข้าอินพุทของชุดนับความถี่สัญญาณเอาท์พุทนี้อาจมีขนาดต่ำลง

ถ้าหากความแรงของสัญญาณไม่เพียงพอ สำหรับการวัดก็จะทำให้การวัดผิดพลาดได้ ดังนั้นหากต้องการแก้ไขจุดนี้ เวลาออกแบบต้องมีอัตราการขยายสัญญาณทางเอาท์พุทเพิ่มขึ้นอีกเพื่อรักษาเสถียรภาพของสัญญาณที่จะวัด

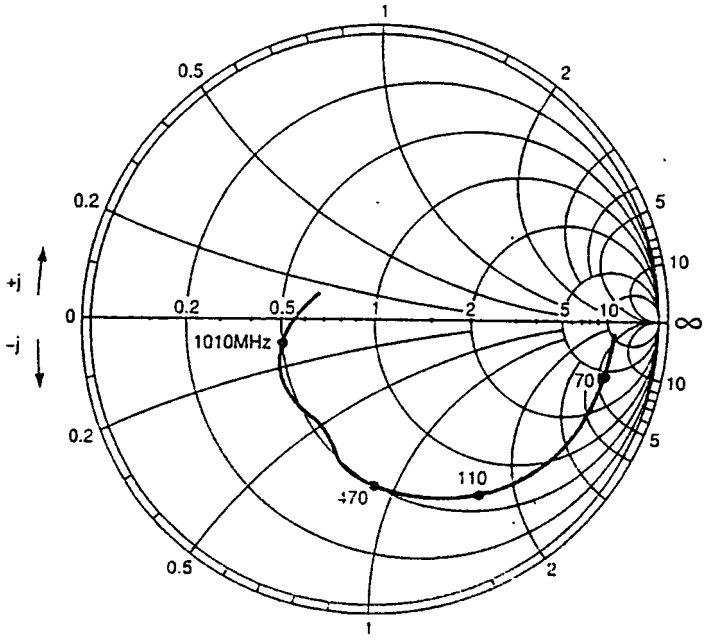
การประยุกต์ใช้งาน

การประยุกต์ใช้งานจะต้องพิจารณาให้กว้างถึงรูปแบบหรือลักษณะของสัญญาณความถี่ที่จะเข้ามาทางด้านอินพุทและพิจารณาถึงวงจรนับความถี่ที่จะต่อร่วมกับพรีสเกลเลอร์ที่ออกแบบขึ้นทางเอาท์พุททั้งนี้เพื่อให้การออกแบบระบบการป้องกันทางด้านอินพุท และวงจรขยายสัญญาณทางด้านอินพุทเหมาะสมกันทำให้ได้การทำงานที่สมบูรณ์แบบ



รูปที่ 2 วงจรประยุกต์ใช้งานพรีสเกลเลอร์

ในรูปที่ 2 เป็นวงจรตัวอย่างของการประยุกต์การใช้งาน ซึ่งจะสังเกตได้ว่ามีซีเนอร์ไดโอดต่ออยู่ทางด้านอินพุททั้งนี้เพื่ออาศัยคุณสมบัติของซีเนอร์ไดโอดช่วยรักษาระดับสัญญาณทางด้านอินพุทไม่ให้มีความแรงจนเกินไป อันอาจจะทำให้ไอซีเกิดความเสียหายขึ้นได้ และในทางเอาท์พุทจะเห็นตัวต้านทานต่ออยู่เพื่อจำกัดกระแสของสัญญาณทางด้านอินพุทของวงจรนับความถี่ ไม่ให้ถูกโหลดมากจนเกินไป ในกรณีที่ความต้านทานทางด้านอินพุทของวงจรนับมีค่าต่ำมาก ในรูปที่ 3 เป็นการแสดงสมิธชาร์ตของค่าอินพุทอิมพีแดนซ์ที่แรงดันอินพุท (VI) เท่ากับ 25 มิลลิโวลท์อาร์เอ็มเอส แรงดันไฟเลี้ยง 5 V โดยมีความต้านทานอ้างอิง 50 โอห์ม



รูปที่ 3 สมิธชาร์ตของค่าความต้านทานทางอินพุท

บทที่ 3

การออกแบบวงจร

การออกแบบวงจรที่เกี่ยวข้องในส่วนของโครงงานนี้

3.1 แหล่งจ่ายไฟ (POWER SUPPLY)

3.2 ส่วนสร้างสัญญาณเทียบเวลา (SIGNAL TIME COMPARATOR)

3.3 ส่วนสร้างสัญญาณ RESET, LATCH ENABLE และควบคุมจุดทศนิยม (RESET ,LATCH ENABLE GENERATOR AND DOT CONTROL)

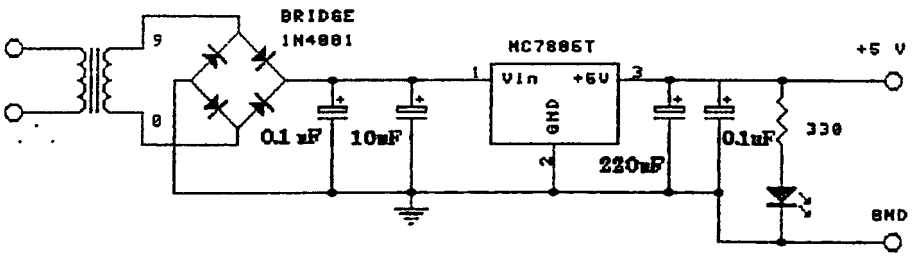
3.4 ส่วนวัดค่าความถี่ต่ำ (LOW FREQUENCY INSTRUMENT : Hz, KHz,MHz)

3.5 ส่วนวัดค่าความถี่สูง (HIGH FREQUENCY INSTRUMENT : GHz)

3.6 ส่วนแสดงผล (DISPLAY BOARD)

3.1 แหล่งจ่ายไฟ (POWER SUPPLY)

ใช้ IC เบอร์ 7805 เป็นแหล่งจ่ายไฟให้กับอุปกรณ์ ต่าง ๆ รวมทั้งในส่วนของส่วนแสดงผล (DISPLAY BOARD) ดังแสดงในรูปที่ 1 โดยมี LED เป็นตัวแสดงสภาวะว่ามีกระแสไฟฟ้าไหลในวงจรหรือไม่และการต่อ 7805 ควรติด HEAT SINK เพื่อระบายความร้อน

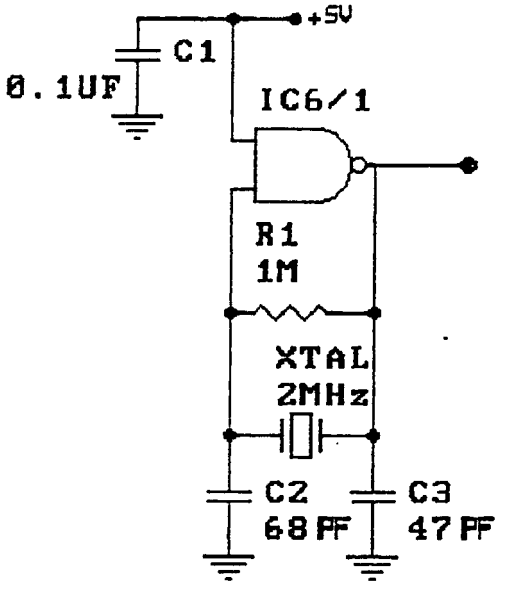


รูปที่ 3.1 แสดงวงจรภาคจ่ายไฟ

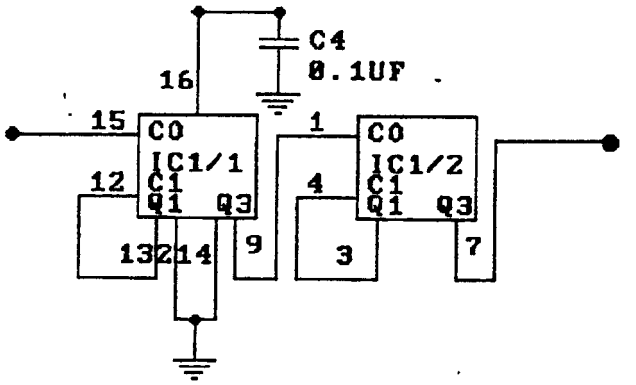
3.2 ส่วนสร้างสัญญาณเทียบเวลา (SIGNAL TIME COMPARATOR)

ส่วนของภาคนี้ทำหน้าที่กำหนดระยะเวลาในการประมวลผล ในการวัดค่าความถี่ 1 ครั้ง การทำงานในส่วนของการสร้างสัญญาณเทียบเวลานี้เริ่มต้นที่ส่วนกำเนิดความถี่ โดยใช้ X-TAL ค่าความถี่ 2 MHz เป็นตัวกำเนิดความถี่ โดยใช้แนนท์เกตเป็นตัว OSCILLATE ความถี่ขึ้นมา ทำให้ได้ค่าความถี่ที่ต้องการ 2 MHz แต่ค่าความถี่ที่เราต้องการใช้งานคือ 2 Hz จึงผ่านวงจรหารค่าความถี่ด้วย IC 74HC390 ซึ่งต่อเป็นแบบ BCD COUNT ในตัว IC 74HC390 1 ตัวมีวงจรหาร 10 อยู่สองชุด ฉะนั้นจะสามารถหารค่าความถี่ด้วย 100 ต่อไอซีหนึ่งตัว ฉะนั้นค่าความถี่หลังจากผ่าน IC 74HC390 3 ตัวแล้วจะได้ค่าความถี่เท่ากับ 2 Hz คือ 2,000,0000/1,000,000 = 2 Hz

หรือจะได้ฐานเวลาเท่ากับ 500 ms จากรูปที่ 3.2.2 เป็นการต่อวงจรหารความถี่ 100 ภายใน IC 74HC390 1 ตัว จะเห็นว่าถ้าเราป้อนค่าความถี่ที่ขา 15 เท่ากับ 2 MHz ที่ขา 7 จะมีค่าความถี่เอาท์พุท (OUTPUT) เท่ากับ 200 KHz หรือ 5 ไมโครเซก (Us)

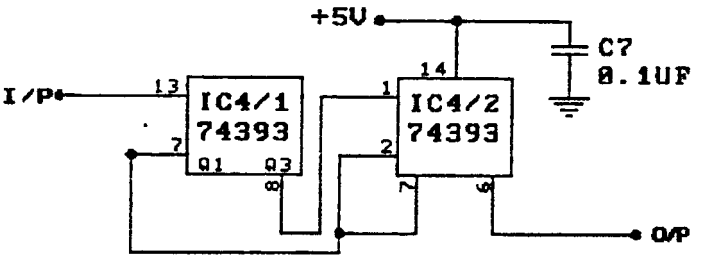


รูป 3.2.1 แสดงการต่อวงจรกำเนิดค่าความถี่ 2 MHz



รูปที่ 3.2.2 แสดงการต่อวงจรหารค่าความถี่ของ IC74HC390 (หาร 10) 1 ตัว

ในส่วนของวงจรวัดค่าความถี่สูงจะต้องใช้ค่าสัญญาณเทียบฐานเวลาคนละสัญญาณกับส่วนของวงจรวัดความถี่ต่ำเพราะว่าด้านวงจรวัดความถี่สูง สัญญาณที่ผ่านเข้ามาจะผ่านวงจรหารความถี่ 512 ในไอซีพรีสเกลเลอร์ ดังนั้นฐานเวลาสัญญาณจะต้องมีความแตกต่างกับวงจรวัดวามถี่ต่ำอยู่ประมาณเกือบ 0.5 เท่า จึงนำสัญญาณนาฬิกาที่ขา 4 ของ IC2/2 74HC390 ซึ่งมีสัญญาณค่าความถี่ 1000 Hz หรือ 1 มิลลิวินาที นำสัญญาณนี้มาหารด้วย IC 4/1 ,IC 4/2 74HC393 ซึ่งสามารถหารได้ 256 ดังนั้นมีค่าความถี่ที่ขา 6 ของ IC 4/2 เท่ากับ 3.90625 Hz ซึ่งเป็นค่าเกือบ 2 เท่าของวงจรวัดความถี่ด้านต่ำตามที่เราต้องการ การต่อวงจรหาร 256 ของ IC 74HC393 แสดงดังรูป 3.2.3

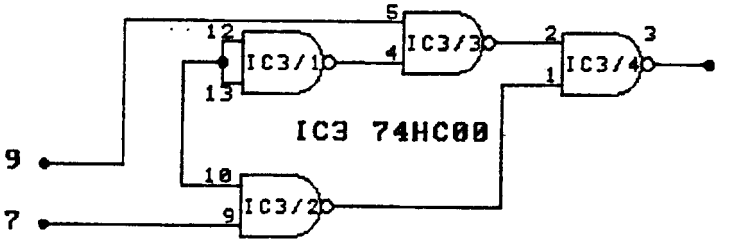


รูปที่ 3.2.3 แสดงการต่อวงจรหารความถี่ 256 ของ IC 74HC393 1 ตัว

นำวงจรทั้งหมดมาต่อกันทั้งหมดดังรูปที่ 3.2.4 ซึ่งวงจรทำให้เราได้ค่าความถี่ที่เราต้องการที่ จุด 9 มีความถี่เท่ากับ 2 Hz หรือ 500 mS และที่จุด 7 มีความถี่ เท่ากับ 3.90625 Hz หรือ 256 mS

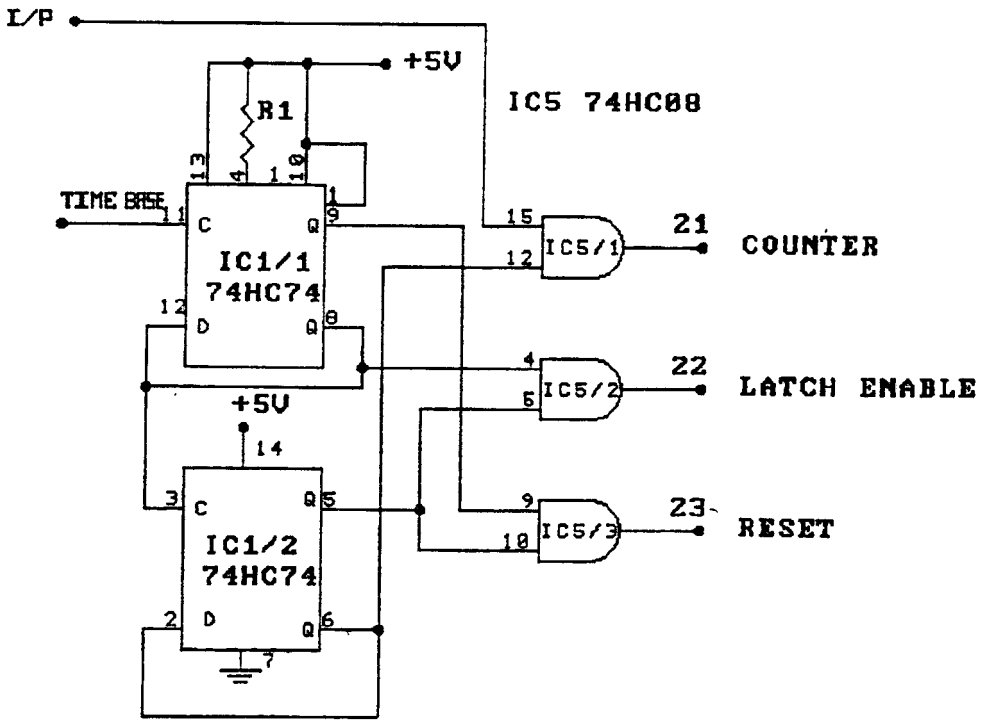
3.3 ส่วนสร้างสัญญาณ RESET, LATCH ENABLE และควบคุมจุดทศนิยม (RESET, LATCH ENABLE GENERATOR AND DOT CONTROL)

วงจรในรูปที่ 3.3.1 เป็นการจัดรูปคลื่นของฐานเวลาให้มีรูปคลื่นที่แน่นอนคือให้เป็นดิจิตอล (DIGITAL) ที่ขา 3 ของ IC 74HC00

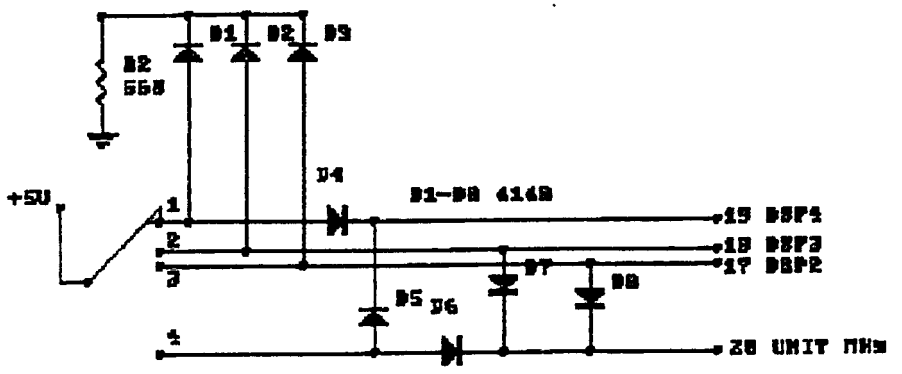


รูปที่ 3.3.1 แสดงการต่อวงจรเกทแปลงสัญญาณฐานเวลาให้มีค่าที่แน่นอน

การทำงานในรูป 3.3.2 เป็นการสร้างสัญญาณ RESET และ LATCH ENABLE สัญญาณที่เข้ามาขา 11 ของ IC1/1 74HC74 มีค่าความถี่เท่ากับ ความถี่ฐานเวลาที่เรากำหนดไว้ ถ้าวัดค่าด้านวัดความถี่ต่ำจะมีค่าความถี่เท่ากับ 2 MHz ถ้าวัดด้านความถี่ด้านวัดความถี่สูงจะมีค่าเท่ากับ 3.90625 MHz



รูปที่ 3.3.2 แสดงการต่อวงจรการควบคุมสัญญาณ LATCH ENABLE , RESET



รูปที่3.3.3 แสดงการต่อวงจรการควบคุมจุดทศนิยม

จากรูปที่ 3.3.3 แสดงการใช้ DIODE เพื่อควบคุมจุดทศนิยมและหน่วย (Hz, MHz) โดยการทำงานจะใช้คุณสมบัติของ DIODE คือ รูปคลื่นที่มีค่าแอมปลิจูดเป็นบวกจะสามารถผ่านไดโอดได้ทางด้านอาโนด ถ้าเป็นรูปคลื่นที่เป็นลบจะไม่สามารถทางด้านอาโนดได้ สัญญาณ +5 V เป็นสัญญาณที่มีแอมปลิจูดเป็นบวก จะผ่านทางสวิทช์สำหรับเลือกจุดทศนิยม สามารถเลือกจุดทศนิยมได้ 3 จุดคือ DSP2, DSP3, DSP4 ถ้าต้องการเลือกที่ DSP4 สวิทช์จะอยู่ที่ 1 สัญญาณ +5 V จะผ่านทาง D4 ทำให้มีเอาท์พุทออกทาง 19 หน่วยจะแสดงเป็น KHz ถ้าต้องการเลือก DSP3 สวิทช์จะเลือกมาที่ 2 ทำให้สัญญาณ +5 V ออกทาง 18 และ ผ่านทาง D7 ออกไปแสดงหน่วย MHz และถ้าต้องการเลือก DSP2 สวิทช์จะเลือกมาที่ 3 ทำให้มีสัญญาณออก 17 และผ่าน D8 ออกไปแสดงหน่วย MHz ถ้าหากว่าสวิทช์เลือกมาที่ 4 สัญญาณ +5 V จะผ่าน D5 และ D6 แสดง DSP4 และหน่วย MHz ที่ 1,2,3 เป็นส่วนการแสดงจุดทศนิยมของภาควัดค่าความถี่ด้านความถี่ต่ำ ส่วนที่ 4 จะเป็นการแสดงจุดทศนิยมของภาควัดค่าความถี่ด้านความถี่สูง ส่วน D1, D2, D3 ทำหน้าที่ป้องกันความผิดพลาดที่อาจจะเกิดขึ้นได้ให้กรณีที่มีสัญญาณ +5 V เข้ามาจากส่วนอื่นซึ่งอาจจะทำให้เกิดความผิดพลาดให้การแสดงค่าจุดทศนิยมและหน่วยแสดงผลได้

3.4 ส่วนวัดค่าความถี่ต่ำ (LOW FREQUENCY INSTRUMENT)

หน้าที่หลักของส่วนวัดค่าความถี่ต่ำคือ รับสัญญาณที่จะทำการวัดเข้ามา จากนั้นจะทำการกำจัดสัญญาณรบกวนที่เกาะมากับรูปสัญญาณด้วย ส่วนที่เรียกว่า "ลิมิตเตอร์" เพื่อขลิบสัญญาณเหล่านั้นออกไปก่อน หลังจากนั้นจะถูกส่งเข้าวงจรขยายสัญญาณย่านความถี่กว้างให้สัญญาณมีความแรงขึ้น ทั้งนี้เพื่อให้เครื่องวัดมีความไวในการวัดสัญญาณมากขึ้น จากนั้นสัญญาณจะถูกส่งเข้าไปเพื่อทำการปรับสัญญาณต่างๆ ที่ไม่ใช่สัญญาณรูปสี่เหลี่ยมให้เป็นรูปสี่เหลี่ยมทั้งหมดก่อนด้วยส่วนที่เรียกว่า " ชมิกต์ทริกเกอร์ " ให้มีค่าพัลซ์ที่แน่นอนก่อน เนื่องจากว่าส่วนวัดค่าความถี่จริงจะสามารถวัดได้ก็ต่อเมื่อสัญญาณนั้น ๆ เป็นสัญญาณรูปสี่เหลี่ยมเท่านั้น

ส่วนวัดค่าความถี่ต่ำนี้ สามารถวัดค่าความถี่ทาง INPUT ได้ตั้งแต่ค่า 10 Hz จนถึง 50 MHz ค่าความต้านทานทาง INPUT มีค่าประมาณ 1 M จากรูป 3.4 เมื่อมีค่าสัญญาณความถี่เข้ามาที่ INPUT (B1) สัญญาณจะถูกคับปลิ้ง ผ่าน C1, C2, R1 มาป้อนเข้าที่ขาเกต (G) ของ เจเฟต Q1 ทำหน้าเป็นวงจรขยายสัญญาณอินพุทตามซึ่งให้ค่าอิมพีแดนซ์สูงประมาณ 1 M ซึ่งกำหนดได้จากค่าของ R3 D1 และ D2 ทำหน้าที่รักษาระดับแรงดันของอินพุทไม่ให้มีค่าสูงเกินไปซึ่งอาจทำให้ J1 เสียหายได้ การขยายของ J1 เป็นการขยายแบบอินพุทตาม เอาท์พุทที่ได้จะถูกคับปลิ้งผ่าน C8 ไปเข้าวงจรขยายสัญญาณอีกที่หนึ่งด้วย P1, P2 ซึ่งต่อเป็นวงจรขยายสัญญาณแบบ Differancail Amp ทั้งสองวงจรเพื่อให้สัญญาณที่ได้มีรูปคลื่นที่ไม่เพี้ยน P1 และ P2 จะต้องเป็นเป็นสวิทช์ความเร็วสูงเพื่อเป็นการรักษาเสถียรภาพของการจัดรูปคลื่นสัญญาณให้ทันต่อสัญญาณที่เข้ามาใหม่ทางอินพุท เพื่อให้สัญญาณที่ส่งไปเข้าวงจรหารค่าความถี่มีเสถียรภาพ สัญญาณที่วัดได้ที่ขา 1 ของ IC 74HC390 จะวัดค่าสัญญาณได้สูงสุดเท่ากับ 2 MHz และหลังจากผ่านวงจรหารความถี่แล้ว ที่ขา 7 จะสามารถวัดค่าความถี่ได้สูงสุด 20 MHz และที่ขา 13 สามารถวัดค่าความถี่ได้สูงสุด 50 MHz โดยมี S1 ทำหน้าที่เลื่อนจุดทศนิยม โดยที่ S1 จะต่อเชื่อมกับภาคการควบคุมจุดทศนิยมและหน่วยแสดงผล สายสำหรับนำสัญญาณเข้ามาเพื่อทำการวัดควรจะใช้สายโคแอกเชียนเพื่อป้องกันการเกิดการสูญเสียของสัญญาณ

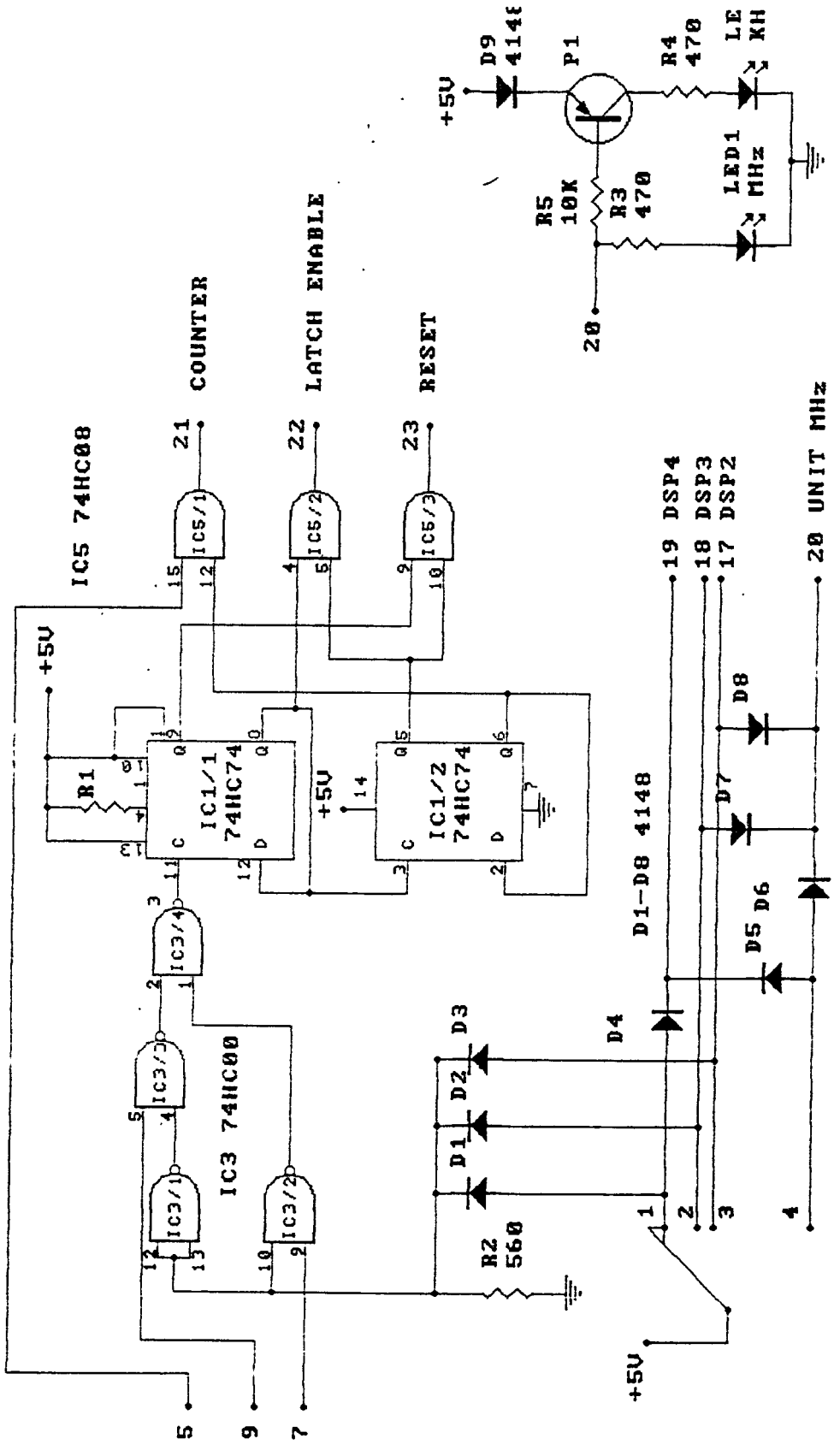
3.5 ส่วนวัดค่าความถี่สูง (HIGH FREQUENCY INSTRUMENT)

หน้าที่หลัก ๆ ของส่วนวัดค่าความถี่สูงนี้จะคล้ายกับส่วนวัดค่าความถี่ต่ำดังที่กล่าวไว้ในส่วนภาควัดค่าความถี่ต่ำแต่จะแตกต่างกันตรงที่ภาควัดค่าความถี่สูงจะใช้พรีสเกลเลอร์ด้วยเพราะความถี่ที่จะทำการวัดในภาคนี้เป็นความถี่ตั้งหลายร้อย MHz ขึ้นไปจนถึง 1 GHz

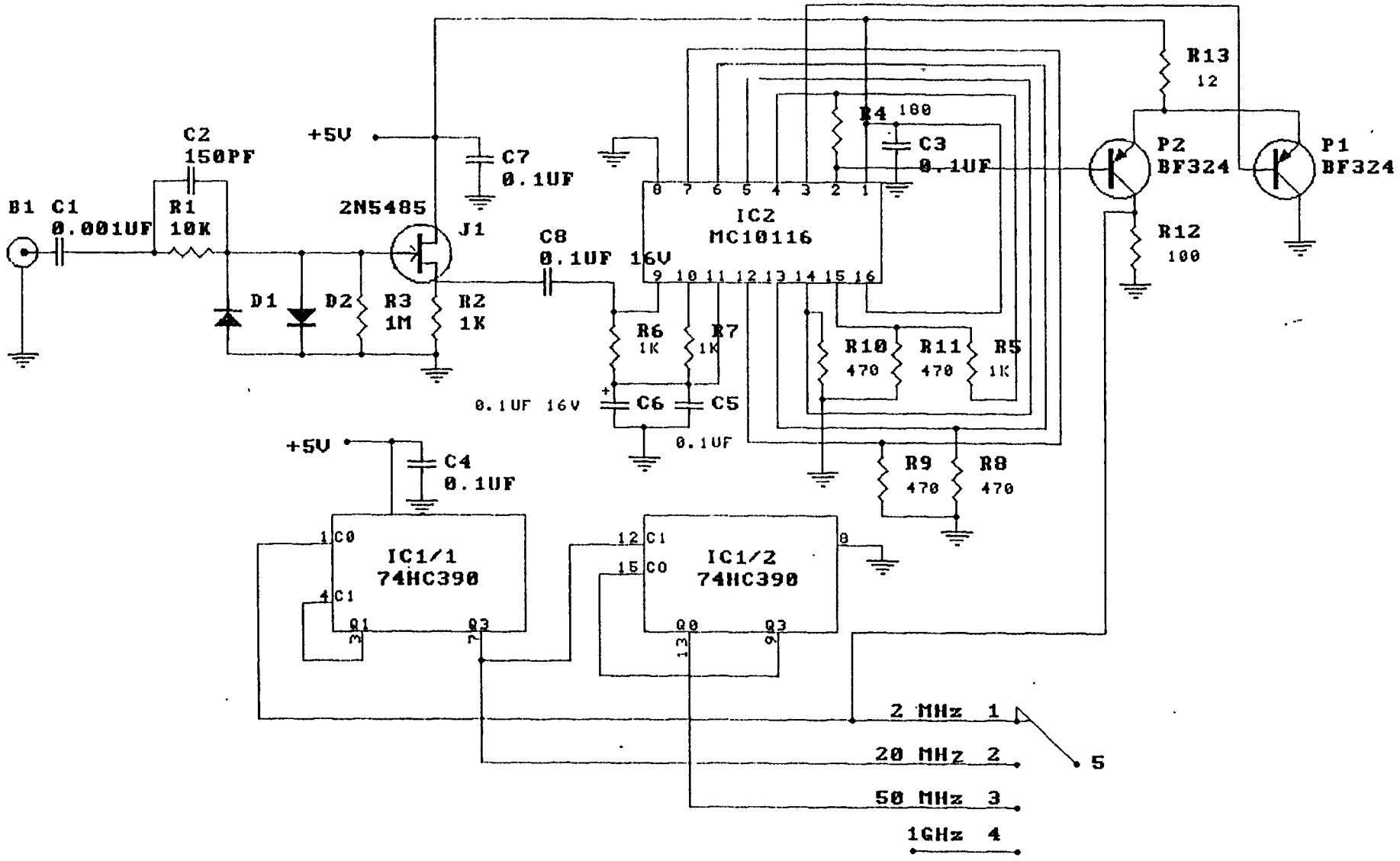
ส่วนวัดค่าความถี่สูงนี้จะใช้วงจรพรีสเกลเลอร์ (PRESCALER) เป็นหลักเพราะสามารถหารค่าความถี่ได้ค่าสูงๆ และทำงานที่ความถี่สูงๆ อย่างมีประสิทธิภาพ จากรูปที่ 3.5 ส่วนนี้ใช้ IC เบอร์ SP4632 ซึ่งสามารถหารได้ 64 จากวงจร อินพุทที่ B1 นี้ใช้สำหรับวัดค่าความถี่ตั้งแต่ 50 MHz จนถึง 1GHz ค่าความต้านทาน R1 ทำหน้าที่เป็นค่าอินพีแดนซ์ทางอินพุทซึ่งกำหนดไว้ที่ค่า 50 โอมห์ มี D1,D2 ทำหน้าที่รักษาระดับแรงดันทางอินพุทที่ป้อนมาให้ IC SP4632 ซึ่งถ้าแรงดันมีค่ามากเกินไปจะทำให้ IC ตัวนี้ได้รับความเสียหายได้ เอาท์พุทที่ขา 6 ของIC นี้ จะถูกหารด้วย 64 เช่นถ้าความถี่ป้อนเข้ามานี้มีค่าความถี่เท่ากับ 640 MHz เราจะวัดค่าความถี่ที่ขา 6 นี้ได้เท่ากับ 100 MHz หลังจากนั้นสัญญาณจากขา 6 จะผ่าน I1 เพื่อให้เอาท์พุทสมดุลย์กับอินพุทของ T1 แล้วนำสัญญาณมาขยายอีกที่หนึ่งด้วย T1 สัญญาณที่ผ่าน T1 จะถูกหารด้วย 8 ด้วย IC2 74HC393 ฉะนั้นสัญญาณที่ออกที่ขา 6 ของ IC2 74HC393 จะถูกหารรวมทั้งหมดคือ 512 ที่ความถี่ 1 GHz ค่าความถี่ที่ออกที่ 6 ของ IC2 74HC393 จะมีค่าเท่ากับ 1.953125 MHz

3.6 ส่วนแสดงผล (DISPLAY BOARD)

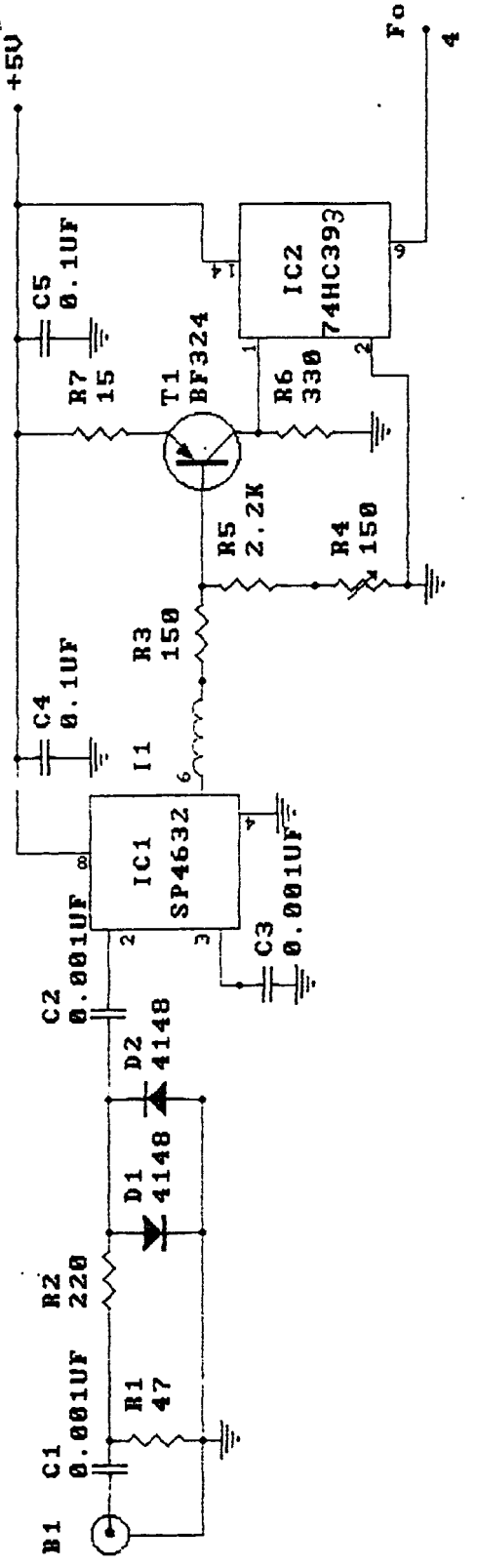
จากรูปที่ 3.6 วงจรส่วนแสดงผลนี้มี IC 74C926 เป็นตัวหลักในส่วนนี้ ซึ่งทำหน้าที่ถอดรหัสสัญญาณจากสัญญาณทั้งสามสัญญาณที่ป้อนเข้ามาที่ส่วนนี้คือ สัญญาณ COUNTER ,LATCH ENABLE ,RESET สัญญาณที่ถอดรหัสออกมาจะถูกนำไปแสดงออกเป็นตัวเลขที่ LED 7 ขีด ซึ่ง LED 7 ขีด ในส่วนแสดงผลนี้ประกอบด้วยกันทั้งหมด 7 ตัว ซึ่งการต่อ LED 7 ขีดต่อแบบคอมมอนคาโทด สามารถแสดงความละเอียดได้ถึง 7 หลัก โดยต่อกันในลักษณะอนุกรมกัน LED 7 ขีด แต่ละตัวจะมีทรานซิสเตอร์เป็นตัวขยายสัญญาณอีกที่หนึ่งทรานซิสเตอร์ 1 ตัวขยาย LED 7 ขีด 1 ตัว การกำหนดการเลื่อนจุดทศนิยมสามารถเลื่อนได้ 3 หลักคือ DB2, DB3, DB4 ทำให้สามารถทราบรายละเอียดของค่าที่ทำการวัดได้มากยิ่งขึ้น หน่วยการวัดความถี่จะใช้ LED เป็นตัวแสดงสถานะ มี 2 หน่วยคือ KHz และ MHz



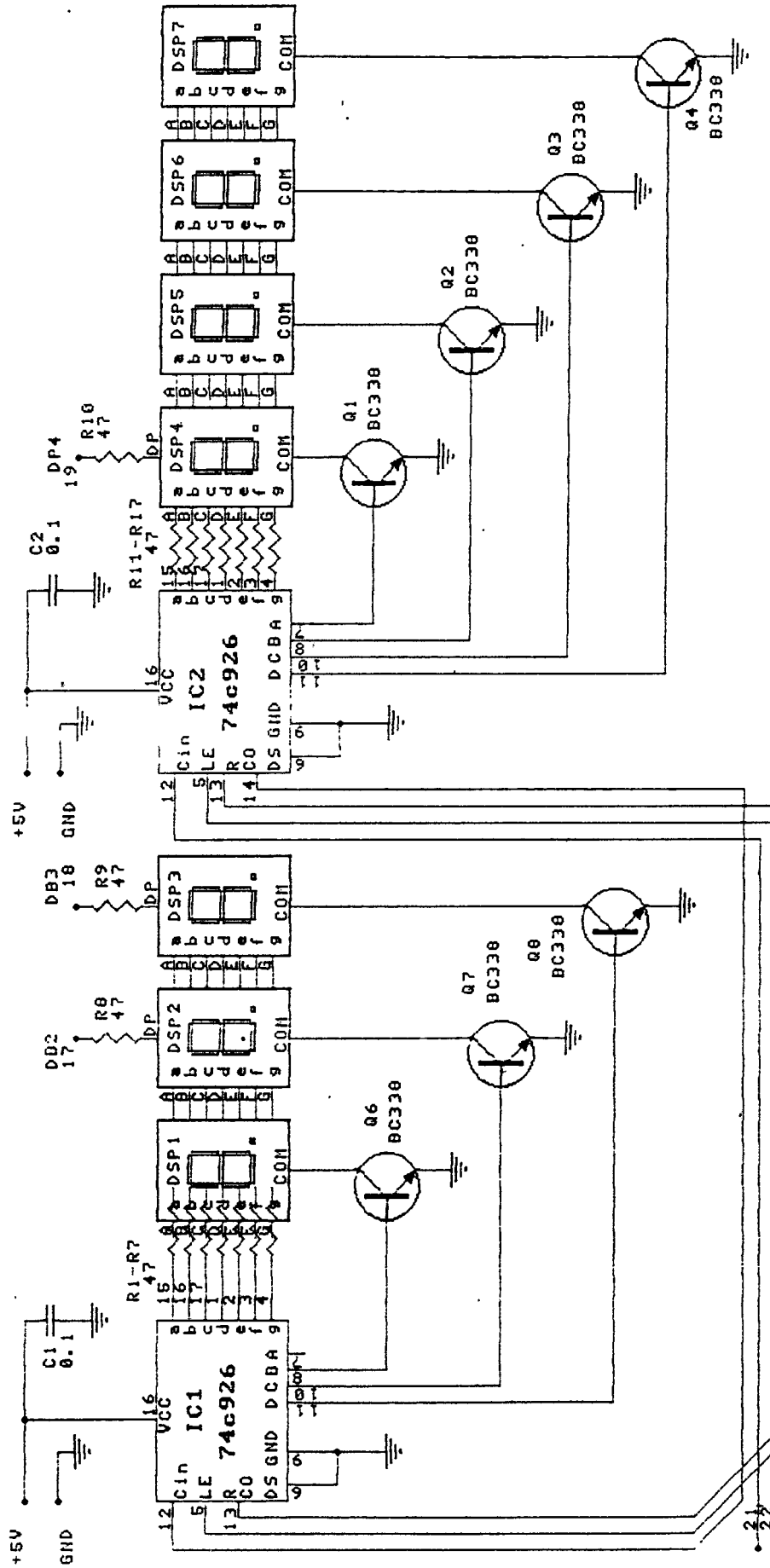
รูปที่3.3 แสดงวงจรส่วนสร้างสัญญาณ RESET,LATCH ENABLE และควบคุมจุดทศนิยม



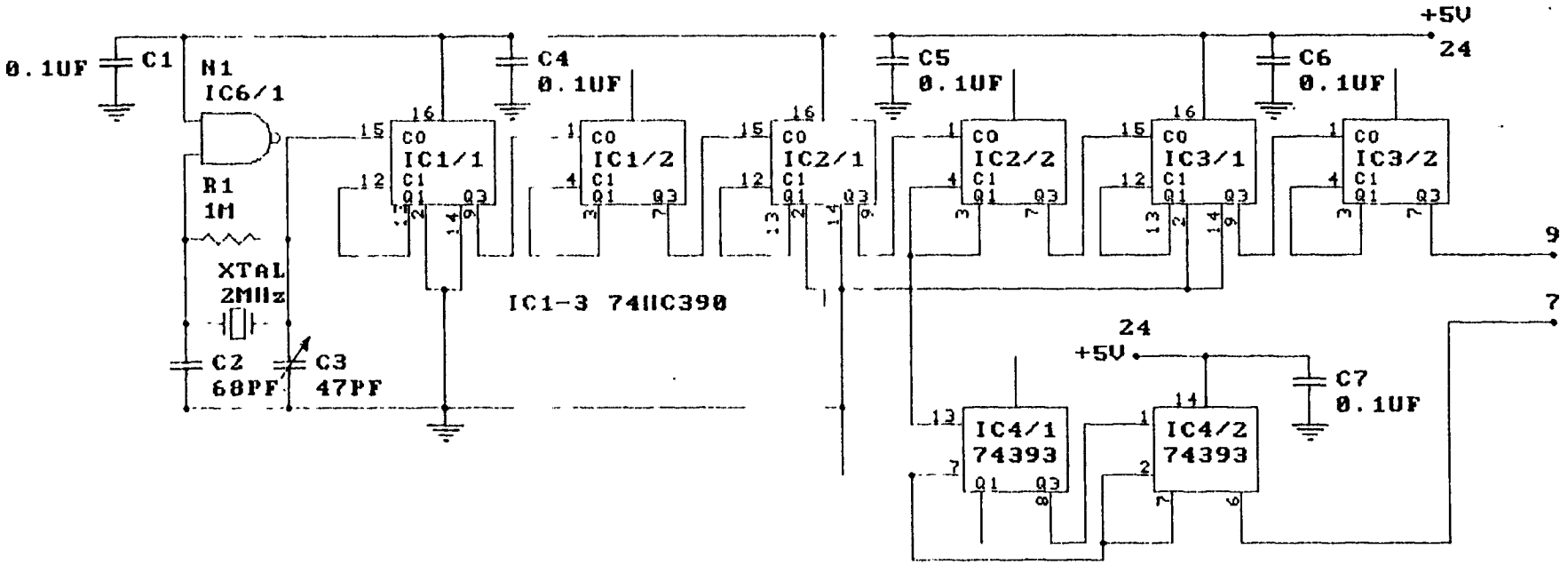
รูปที่3.4 แสดงวงจรภาคอินพุทวัดค่าความถี่ต่ำ



รูปที่3.5 แสดงวงจรภาคอินพุทวัดค่าความถี่สูง



รูปที่3.6 แสดงวงจรภาคแสดงผล



รูปที่3.7 แสดงวงจรส่วนสร้างสัญญาณฐานเวลา

บทที่ 4

ทดลองและผลการทดลอง

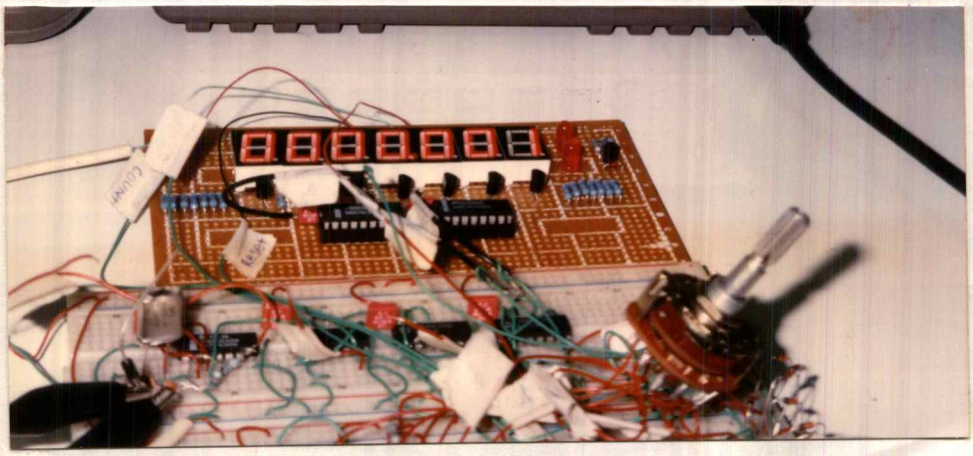
การทดลองและผลการทดลอง

1. ส่วนสร้างสัญญาณเทียบฐานเวลาซึ่งประกอบไปด้วย ส่วนกำเนิดค่าความถี่ 2 MHz และส่วนหารค่าความถี่ 1,000,000 โดยค่าความถี่ที่วัดค่าออกมามีค่าตามที่ต้องการคือ 2 Hz
2. ส่วนสร้างสัญญาณ COUNTER, LATCH ENABLE, RESET ตามที่ออกแบบไว้
3. ส่วนการควบคุมการเลื่อนจุดทศนิยมและหน่วยของภาคแสดงผล ตามที่ได้ออกแบบบไว้ คือ จุด DB2, DB3, DB4 และหน่วย MHz และ KHz
4. ส่วน DISPLAY BOARD แสดงผลการการวัดค่าความถี่
5. สร้างภาคอินพุทวัดค่าความถี่ต่ำ 10 Hz - 50 MHz
6. สร้างภาคอินพุทวัดค่าความถี่สูง 50 MHz - 1GHz

ผลการทดลอง

1. ส่วนสร้างสัญญาณเทียบฐานเวลาสามารถแสดงค่าความถี่ต้องการคือ 2 MHz
2. ส่วนสร้างสัญญาณ COUNTER, LATCH ENABLE, RESET สามารถทำงานได้ตามที่ออกแบบไว้
3. ส่วนการควบคุมจุดทศนิยม และหน่วยแสดงผล สามารทำงานได้ตามที่ออกแบบไว้
4. ส่วน DISPLAY BOARD สามารถแสดงค่าที่ทำการวัดค่าความถี่จริงได้ ซึ่งในการทดลองใช้วัดค่าความถี่ตั้งแต่ 10 Hz - 15 MHz โดยแสดงหน่วยและจุดทศนิยมได้อย่างถูกต้อง

เมื่อนำส่วนที่ทดลองทั้งหมดในเทอมแรกมาประกอบกันวงจรสามารวัดค่าความถี่ได้ ตั้งแต่ 10 Hz - 15 MHz ในส่วนของภาควัดค่าความถี่ต่ำ แต่ต้องปรับความไวลท์ให้มีค่าความแรงตั้งแต่ 50 mv ซึ่งขึ้นอยู่กับความถี่ที่เราต้องการวัดถ้าความถี่ยิ่งสูงขึ้นค่าระดับโวลท์เตจจะต้องปรับให้มีค่าสูงตามไปด้วย



รูปที่ 4.1 แสดงการต่อวงจรทั้งหมดที่ทดลอง

จากรูปที่ 4.1 เป็นการต่อวงจรการทดลองทั้งหมด ซึ่งประกอบด้วย

1.วงจรกำเนิดความถี่ 2 MHz

2.วงจรหารความถี่ 2,000,000

3.วงจรกำเนิดสัญญาณ LATCH ENABLE, RESET

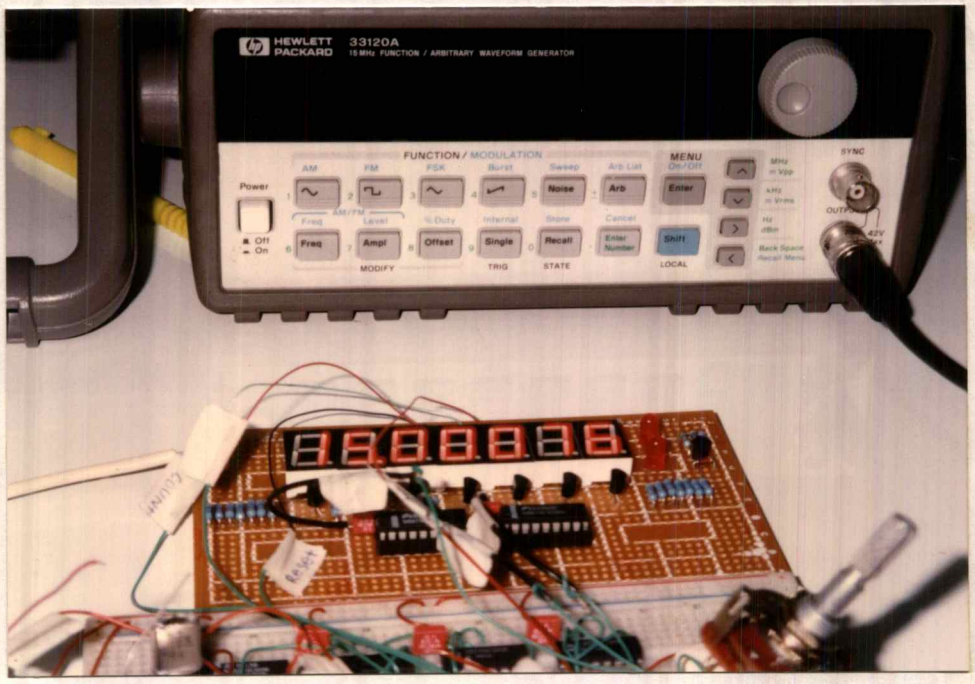
4.วงจรควบคุมการเปลี่ยนจุดทศนิยมและหน่วย

5.วงจรภาคอินพุทด้านความถี่ต่ำ

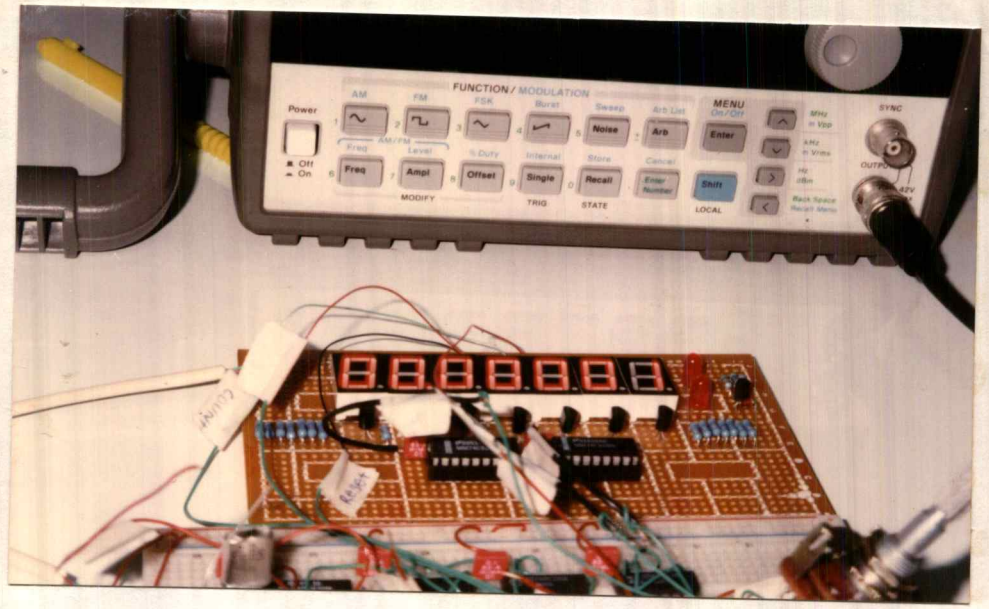
6.วงจรภาคอินพุทด้านความถี่สูง

7. วงจรแสดงผล

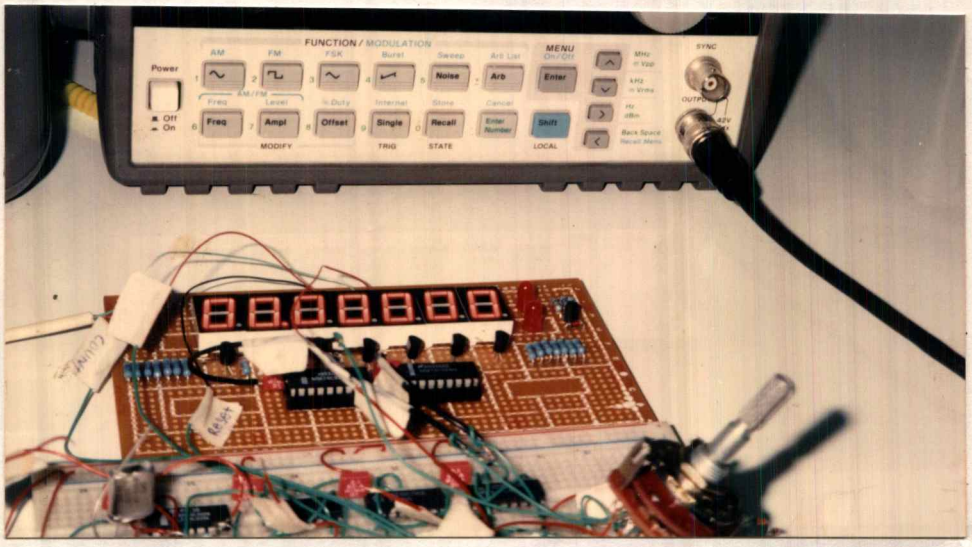
การทดลองโดยการป้อนสัญญาณรูปสี่เหลี่ยมความถี่ 15 KHz 4 Vp-p แล้วปรับการเลื่อนจุดทั้งสามคือ DSP2, DSP3, DSP4 ซึ่งสามารถวัดค่าได้ตามที่ต้องการดังในรูป ที่ 4.2, 4.3, 4.4



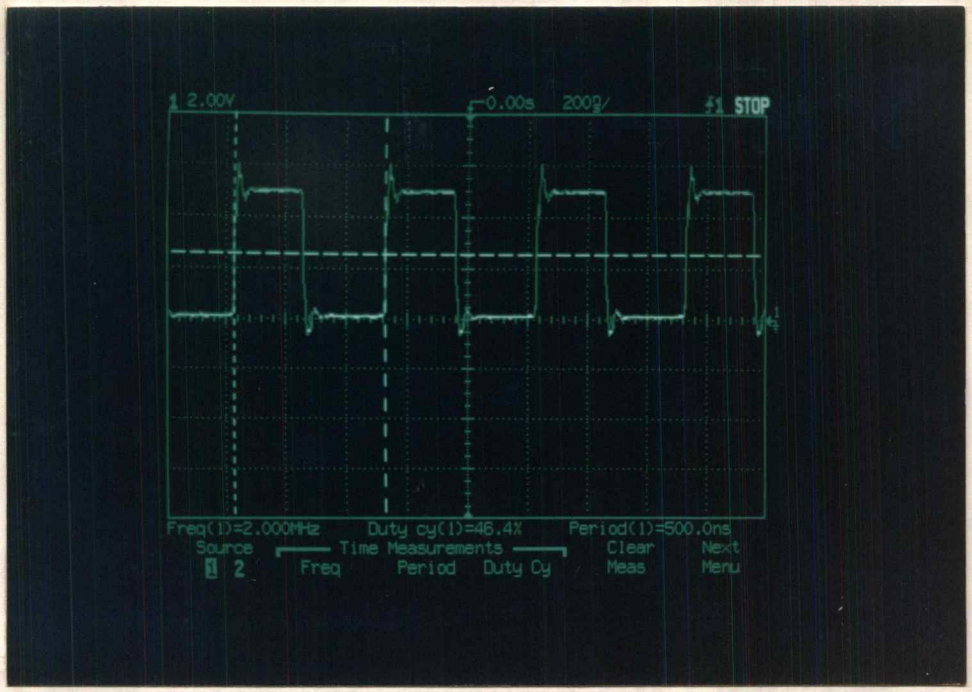
รูปที่ 4.2 แสดงการวัดความถี่ 15 KHz โดยใช้จุด DSP2



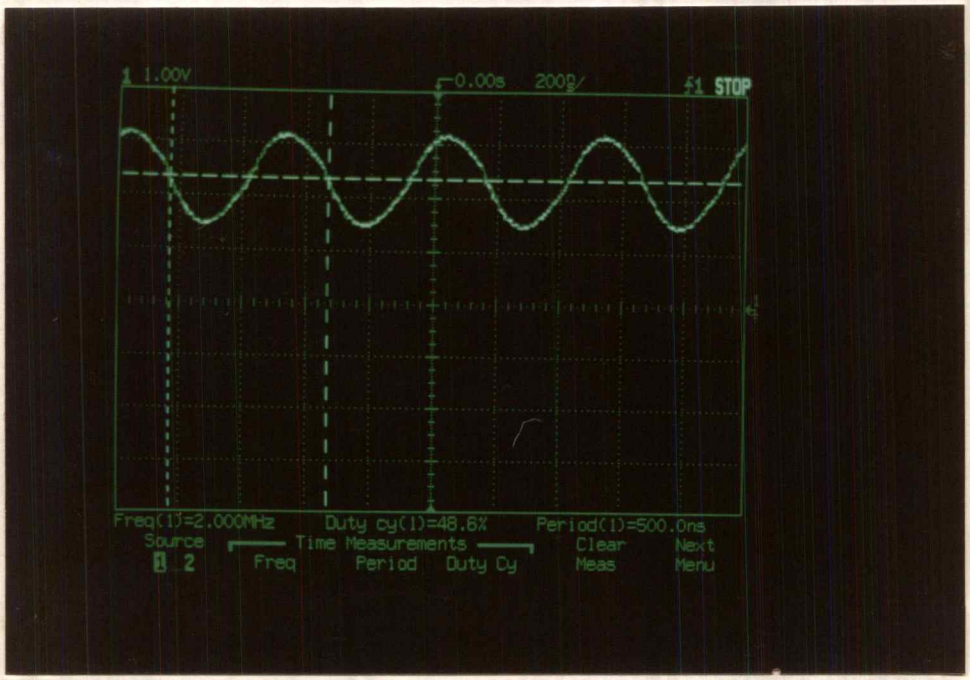
รูปที่ 4.3 แสดงการวัดความถี่ 15 KHz โดยใช้จุด DSP3



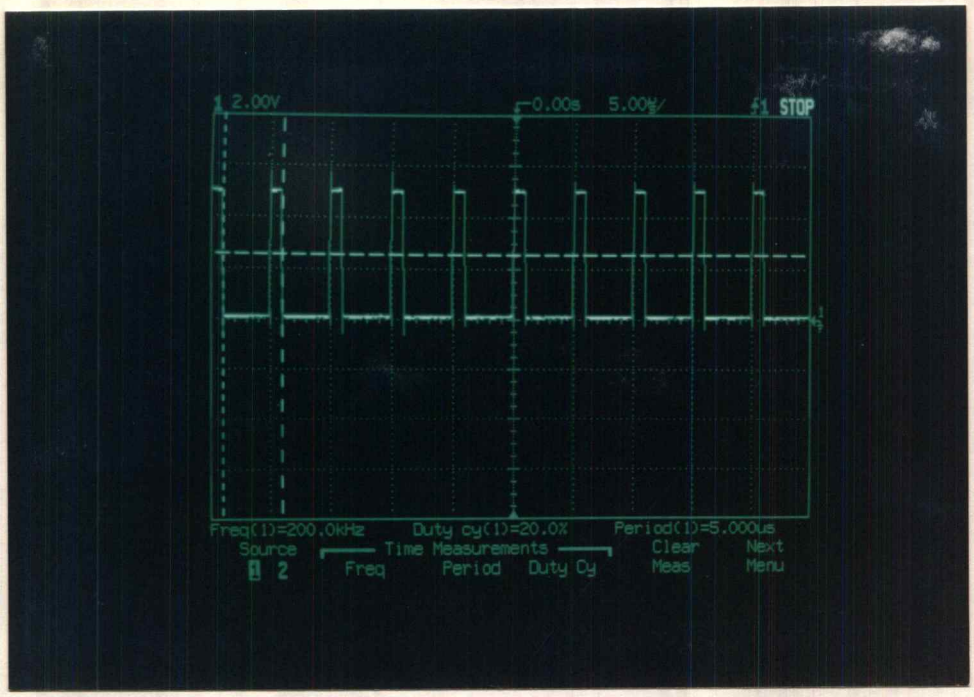
รูปที่ 4.4 แสดงการวัดค่าความถี่ 15 KHz โดยใช้ DSP4



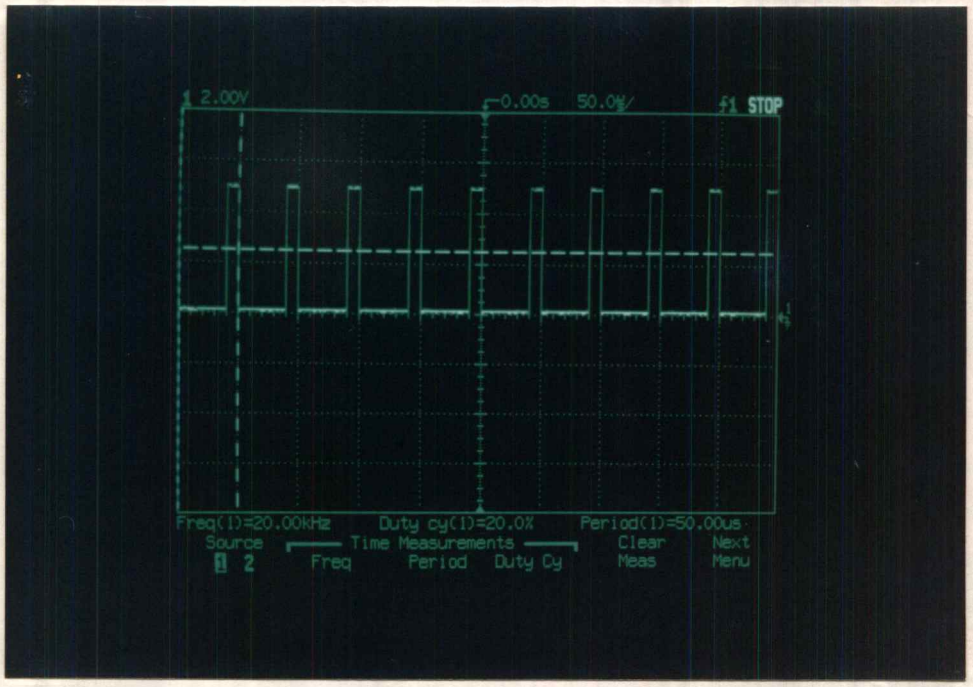
รูปที่ 4.5 แสดงการวัดค่าความถี่ 2 MHz ที่เกิดจากคริสตอล



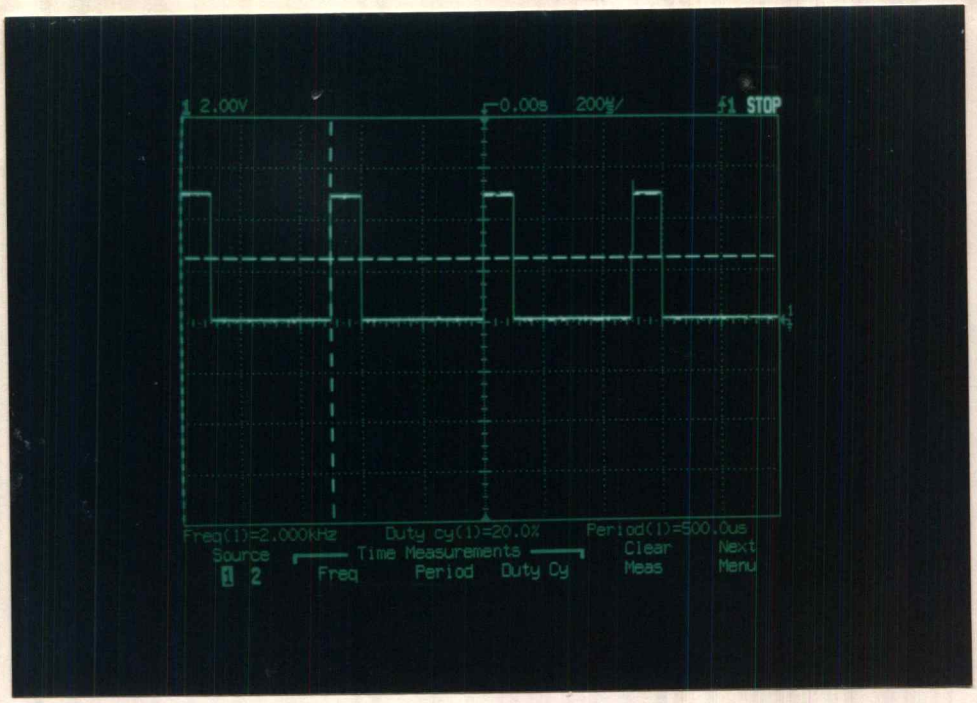
รูปที่ 4.6 แสดงการวัดค่าความถี่ 2 MHz ที่ขา 15 IC1/1



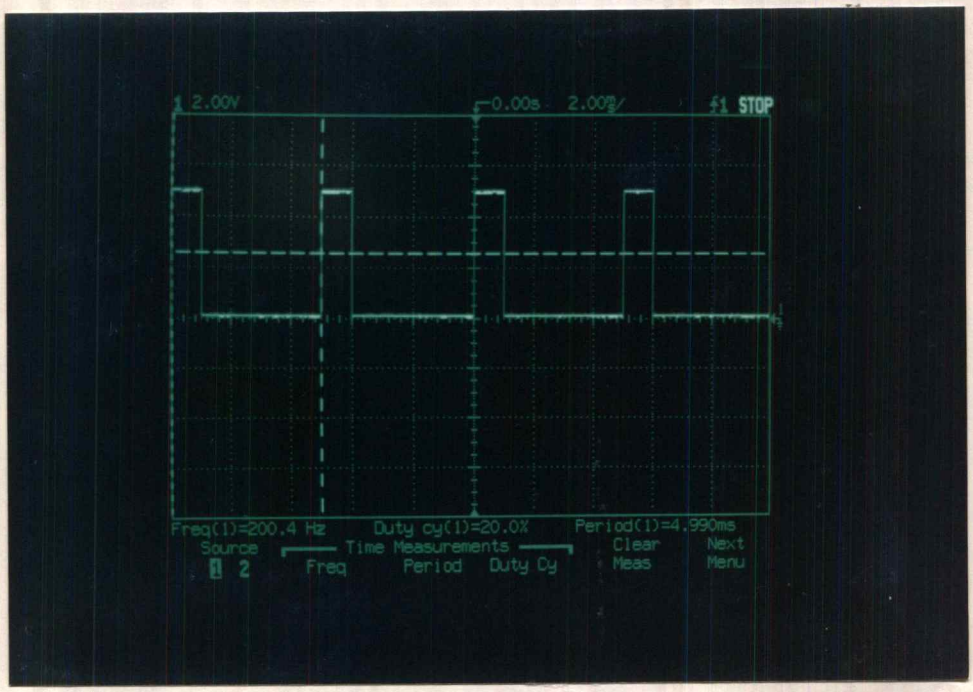
รูปที่ 4.7 แสดงการวัดค่าความถี่ 200 KHz หลังจากผ่านวงจรหาร 10 (IC1/1)



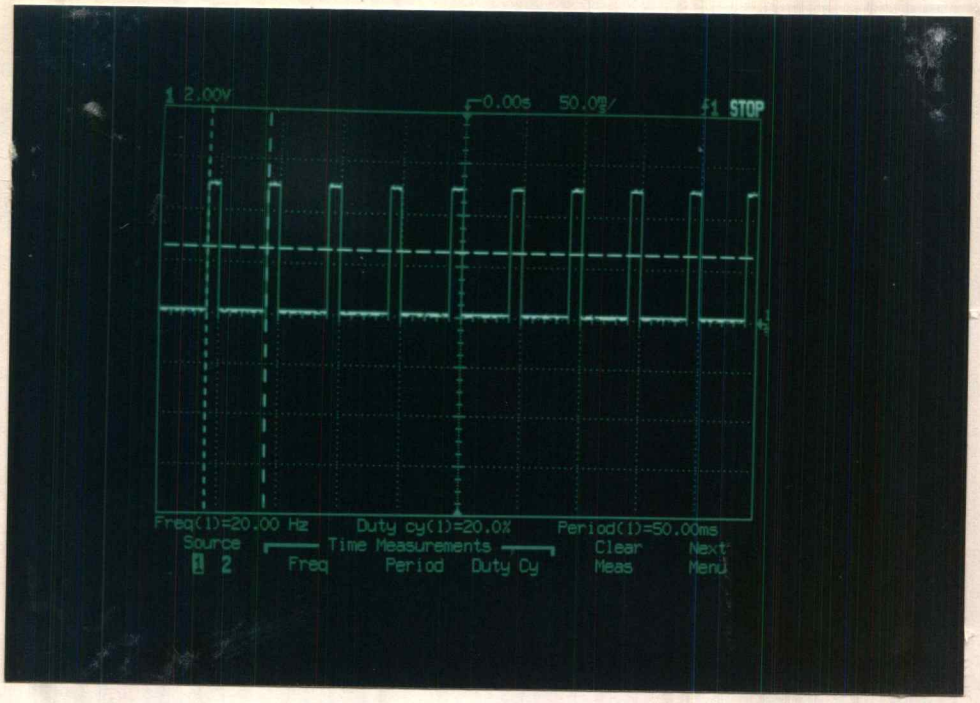
รูปที่ 4.8 แสดงการวัดค่าความถี่ 20 KHz หลังผ่านวงจรหาร 100 (IC1/2)



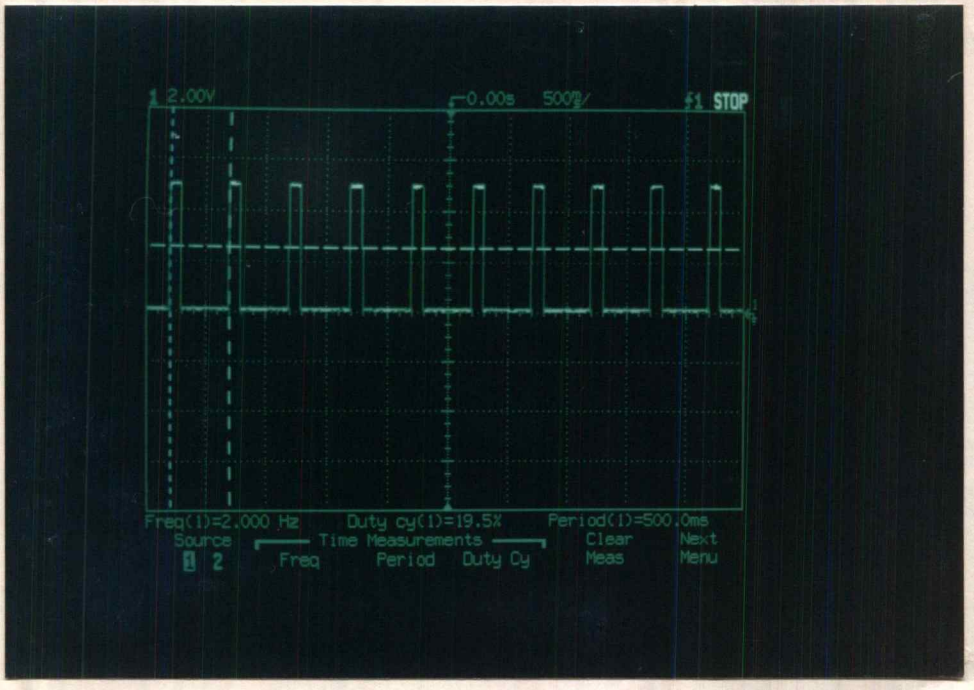
รูปที่ 4.9 แสดงการวัดค่าความถี่ 2 KHz หลังผ่านวงจรหาร 1000 (IC2/1)



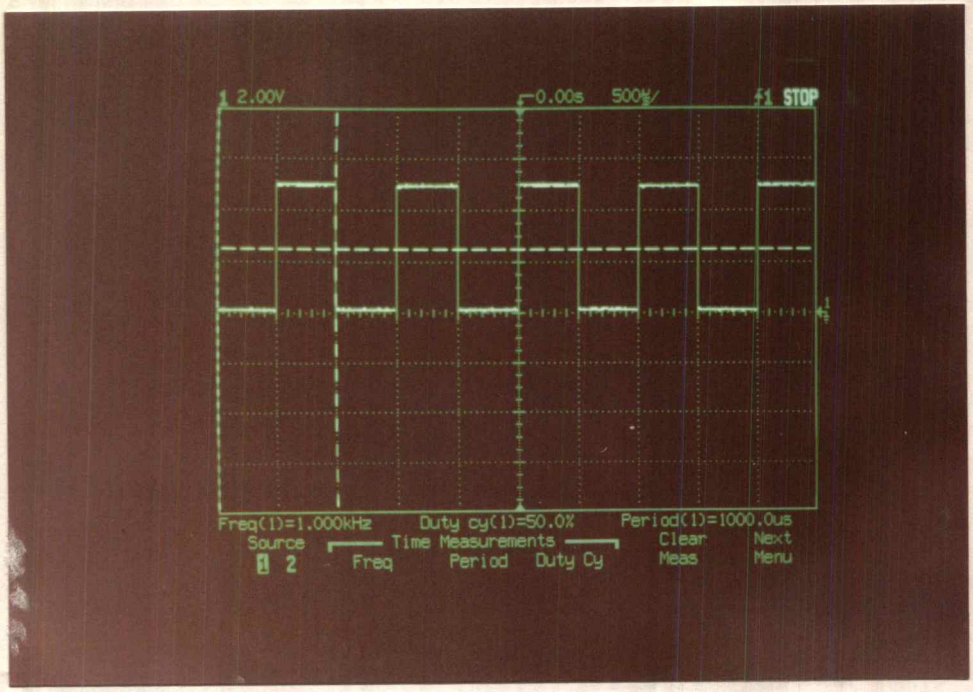
รูปที่ 4.10 แสดงการวัดค่าความถี่ 200 Hz หลังผ่านวงจรหาร 10000 (IC2/2)



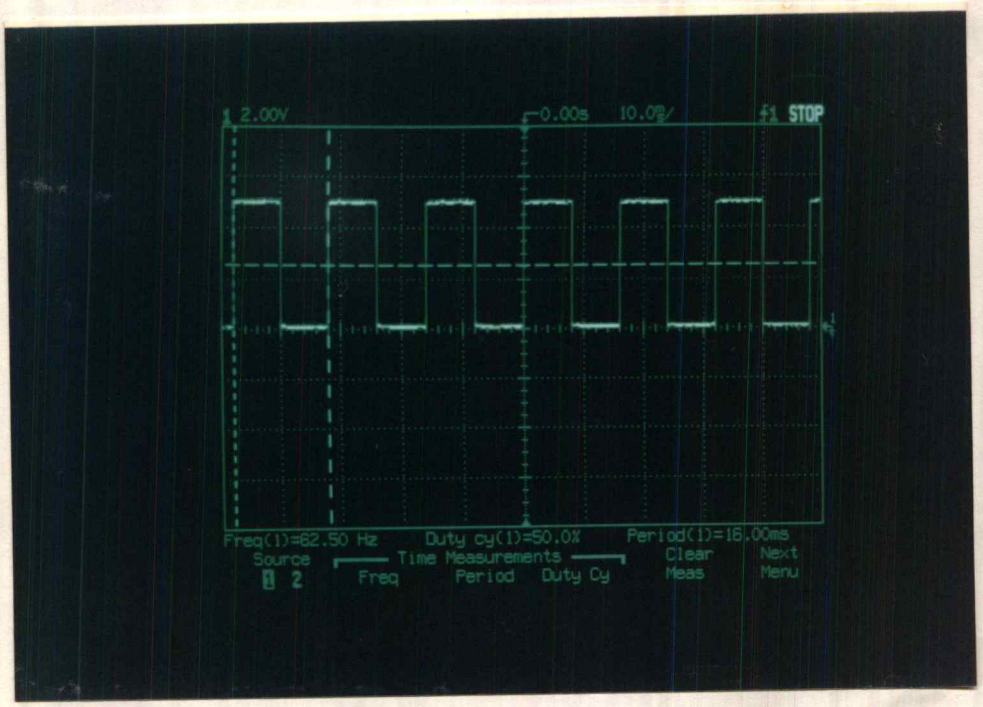
รูปที่ 4.11 แสดงการวัดค่าความถี่ 20 Hz หลังผ่านวงจรหาร 100000 (IC3/1)



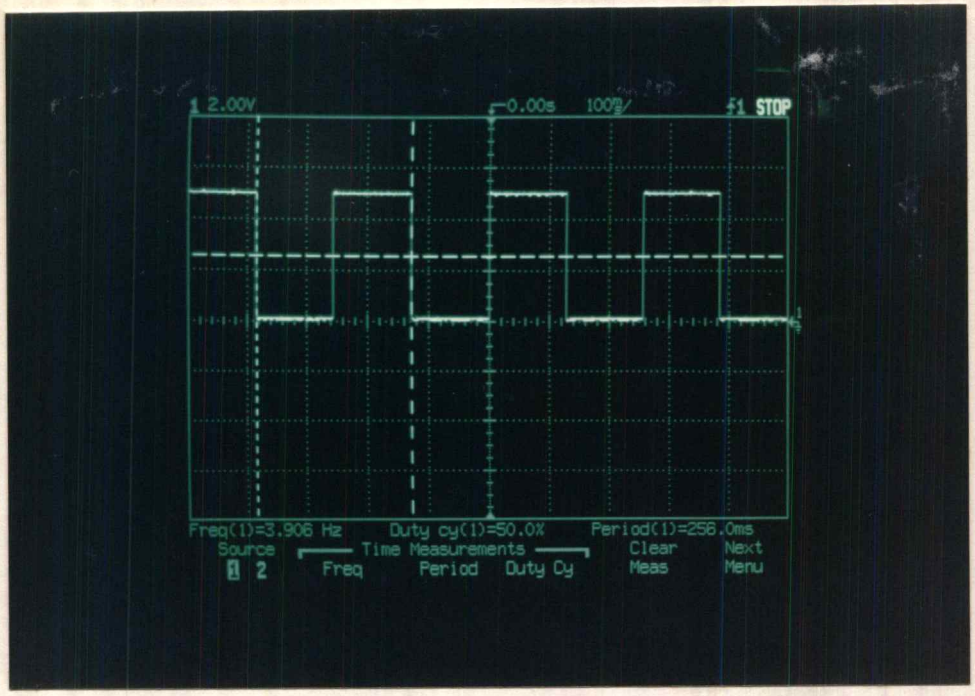
รูปที่ 4.12 แสดงการวัดค่าความถี่ 2 Hz หลังผ่านวงจรหาร 1000000 (IC3/2)



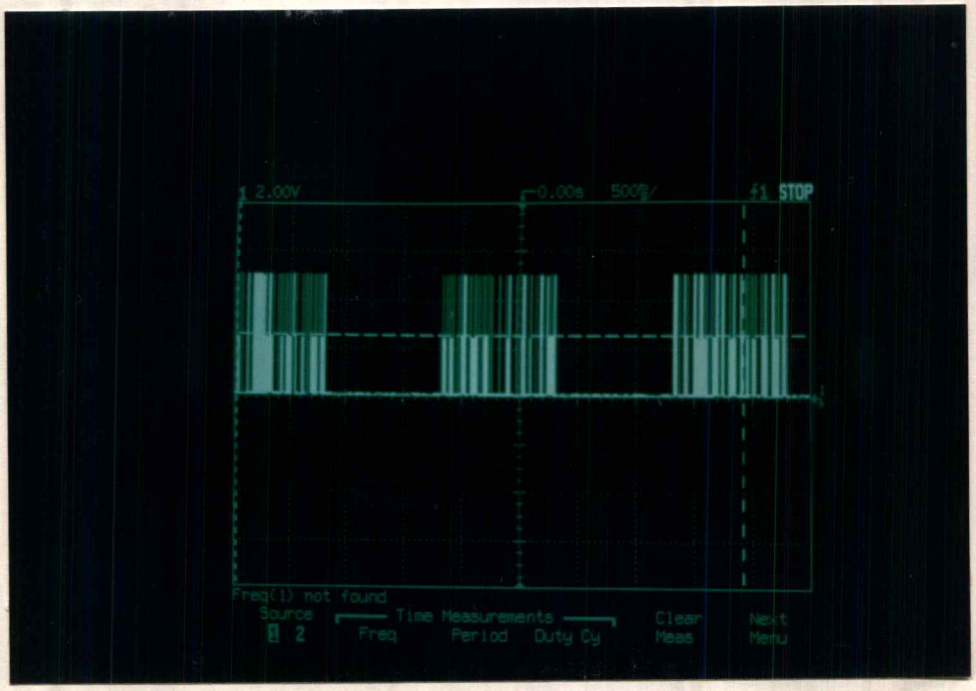
รูปที่ 4.13 แสดงการวัดค่าความถี่ 1KHz หลังผ่านวงจรหาร 2 (IC74HC74)



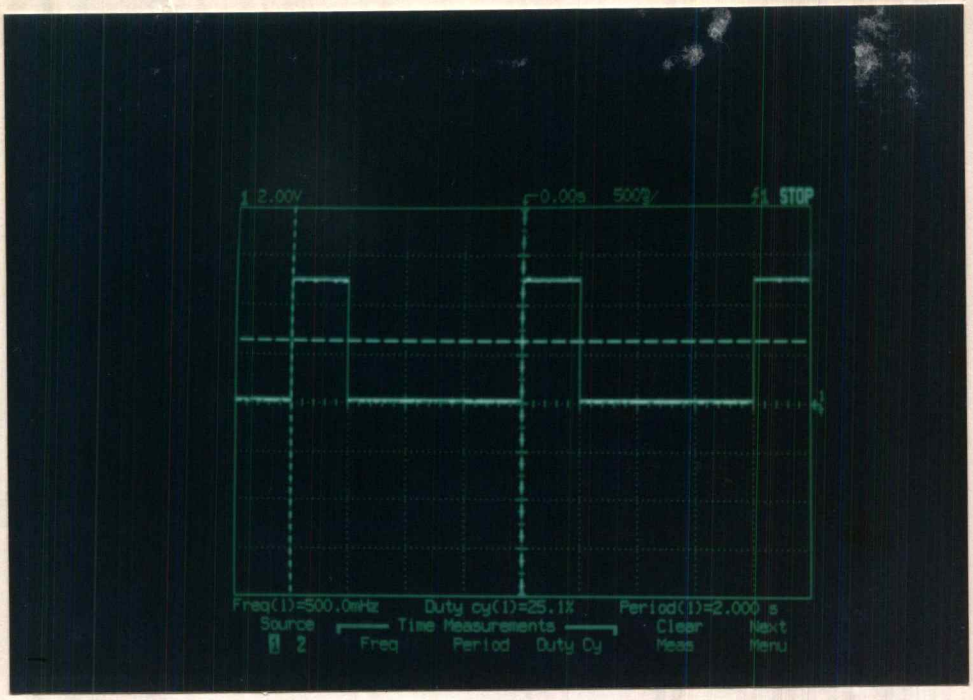
รูปที่ 4.14 แสดงการวัดค่าความถี่ 62.50 Hz หลังผ่านวงจรหาร16 (IC4/1)



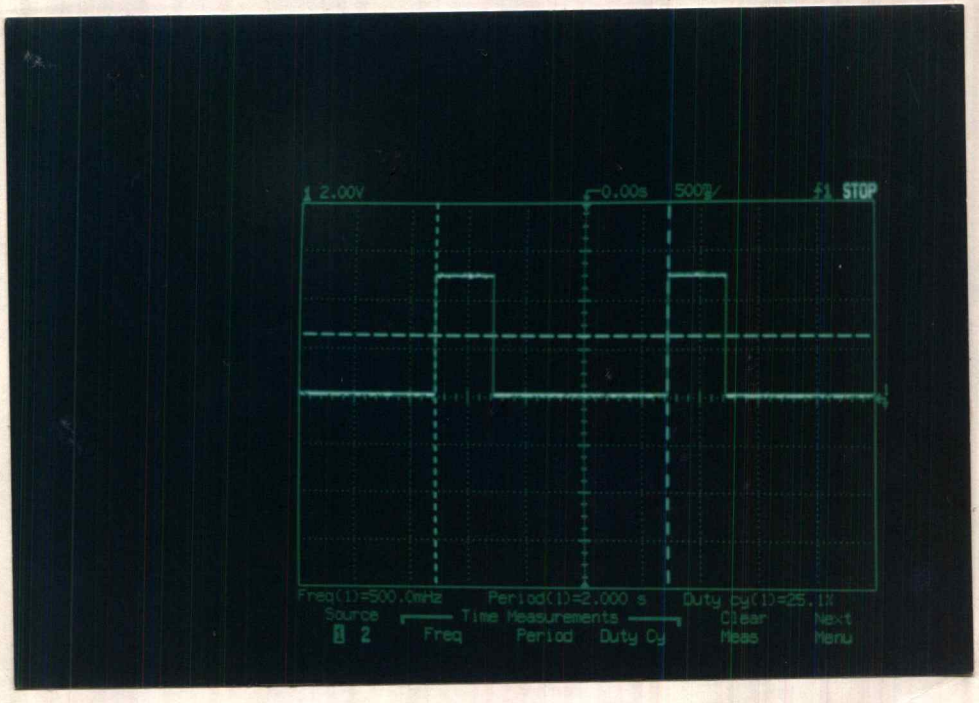
รูปที่ 4.15 แสดงการวัดค่าความถี่ 3.906 Hz หลังผ่านวงจรหาร 256 (IC4/2)



รูปที่ 4.16 แสดงการวัดสัญญาณ COUNTER (21)



รูปที่ 4.17 แสดงการวัดสัญญาณ LATCH ENABLE (22)



รูปที่ 4.18 แสดงการวัดสัญญาณ RESET (23)

ตารางการเปรียบเทียบการวัดค่าความถี่กับเครื่อง Function Gerenarator HEWLETT PACKARD (33120A)

ตารางเปรียบเทียบค่าความถี่ที่วัดจากเครื่องวัดความถี่กับ Function Generator ย่านที่ 1

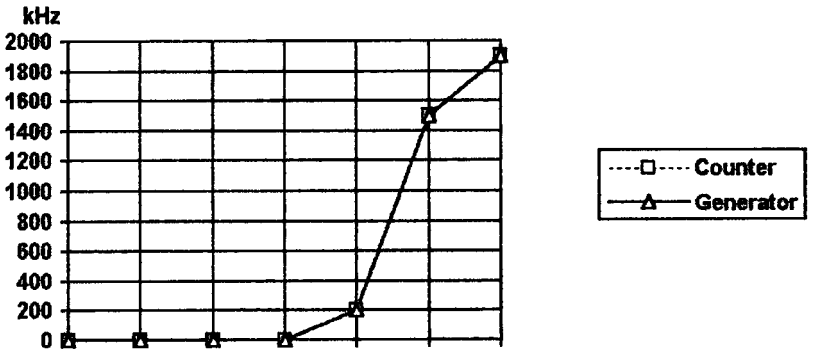
ค่าความถี่จาก Function Generator	ค่าความถี่วัดได้	ค่าความผิดพลาด	% error
Sine wzve 50 Hz 50 mV	0000.050 kHz	0 Hz	0%
Sine wzve 150 Hz 50 mV	0000.150 kHz	0 Hz	0%
Sine wzve 400 Hz 50 mV	0000.400 kHz	0 Hz	0%
Sine wzve 1kHz 50 mV	0001.000 kHz	0 Hz	0%
Sine wzve 200kHz 50 mV	0200.000 kHz	0.01 kHz	0.005 %
Sine wzve 1.5 MHz 50 mV	1500.078 kHz	0.078 kHz	0.0052 %
Sine wzve 1.9 MHz 50 mV	1900.099 kHz	0.099 kHz	0.0052 %

ตารางเปรียบเทียบค่าความถี่ที่วัดจากเครื่องวัดความถี่กับ Function Generator ย่านที่ 2

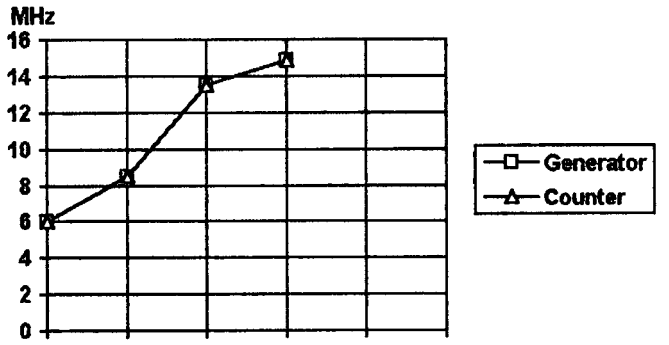
ค่าความถี่จาก Function Generater	ค่าความถี่วัดได้	ค่าความผิดพลาด	% error
Sine wzve 6 MHz 50 mV	06.00031 MHz	0.00031 MHz	0.0052 %
Sine wzve 8.504 MHz 50 mV	08.50445 MHz	0.00045 MHz	0.0053 %
Sine wzve 13.505 MHz 50 mV	13.50571 MHz	0.00071 MHz	0.0053 %
Sine wzve 14.900 MHz 50 mV	14.90008 MHz	0.00008 MHz	0.00536 %

ตารางเปรียบเทียบค่าความถี่ที่วัดจากเครื่องวัดความถี่กับ Function Generator ย่านที่ 3

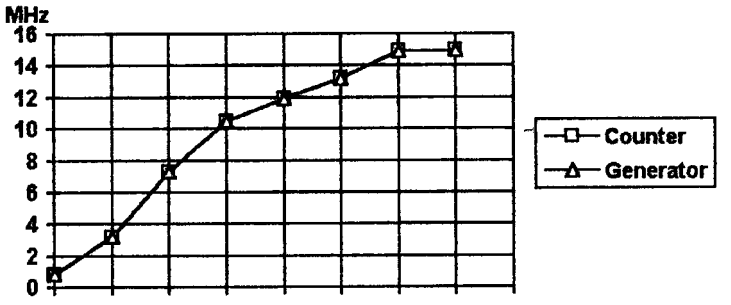
ค่าความถี่จาก Function Generater	ค่าความถี่วัดได้	ค่าความผิดพลาด	% error
Sine wzve 800 KHz 50 mV	000.8001 MHz	0.01 kHz	0.0124 %
Sine wzve 3.2 MHz 50 mV	003.2002 MHz	0.0002 MHz	0.00625 %
Sine wzve 7.3 MHz 50 mV	007.3004 MHz	0.0004 MHz	0.0055 %
Sine wzve 10.500 MHz 50 mV	010.5006 MHz	0.0006 MHz	0.0057 %
Sine wzve 11.900 MHz 50 mV	011.9007 MHz	0.0007 MHz	0.0058 %
Sine wzve 13.2 MHz 50 mV	013.2008 MHz	0.0008 MHz	0.006 %
Sine wzve 14.900 MHz 50 mV	014.9008 MHz	0.0008 MHz	0.0054 %
Sine wzve 15.000 MHz 50 mV	015.0008 MHz	0.0008 MHz	0.0053 %



รูปกราฟแสดงการเปรียบเทียบค่าที่วัดได้จริงกับค่ามาตรฐานย่านที่ 1



รูปกราฟแสดงการเปรียบเทียบค่าที่วัดได้จริงกับค่ามาตรฐานย่านที่ 2



รูปกราฟแสดงการเปรียบเทียบค่าที่วัดได้จริงกับค่ามาตรฐานย่านที่ 3

จากการตารางการวัดค่าความผิดพลาดจะเห็นว่าถ้าหากเรานำย่านที่วัดความถี่สูงไปวัดค่าความถี่ต่ำ หรือนำย่านที่สำหรับวัดค่าความถี่ต่ำไปวัดค่าความถี่สูงจะทำให้ค่าเปอร์เซ็นต์ความผิดพลาดสูงเพราะเหตุนี้เราควรตั้งย่านที่จะทำการวัดให้เหมาะสมกับค่าความถี่ที่ทำการวัดด้วย

จากรูปกราฟแสดงการเปรียบเทียบค่าที่วัดจากเครื่องวัดความถี่ย่านความถี่สูง 1 GHz เทียบกับ Generator จะเห็นว่าเส้นกราฟทั้งสองเกือบจะทับกันสนิทแสดงว่าค่าความผิดพลาดเนื่องจากการวัดมีค่าน้อยมาก แต่ถ้าเส้นกราฟทั้งสองอยู่ห่างกันหมายความว่าเกิดค่าความผิดพลาดมากขึ้น

คุณสมบัติของเครื่องวัดค่าความถี่

1.ย่านความถี่ที่วัดได้ (Frequency Range)

หมายถึง ความถี่ที่เครื่องสามารวัดค่าความถี่ได้ตั้งแต่เท่าไรถึงเท่าไร สำหรับเครื่องที่ประกอบขึ้นสามารถวัดค่าความถี่ได้ตั้งแต่ 10 Hz ถึง 50 MHz ที่อินพุท A และตั้งแต่ 50 MHz ขึ้นไปที่อินพุท B

2. ความไวทางด้านอินพุท (Input Sensitivity)

หมายถึงขนาดของสัญญาณที่ต่ำที่สุดที่เครื่องสามารถวัดค่าได้ โดยกำหนดไว้เป็นช่วงของความถี่และชนิดของสัญญาณทางด้านอินพุทสำหรับเครื่องวัดนี้กำหนดไว้ที่ 50 mVp-p สำหรับสัญญาณ Sine wave และ Square wave

3.อินพุทอิมพีแดนซ์ (Input Impedance)

หมายถึงค่าอินพุทอิมพีแดนซ์ ของเครื่อง เครื่องนี้ มีค่าเท่ากับ 1 เมกกะโอห์ม

4.ความแม่นยำในการวัดค่าความถี่ (Frequency Accuracy)

หมายถึงการกำหนดค่าความถี่ที่ผิดพลาดไปเท่าใด สำหรับเครื่องวัดค่าความถี่หมายถึงการนับว่าอินพุทผิดพลาดไปเท่าใด ซึ่งจะกำหนดเป็นจำนวนที่ผิดพลาด เช่นการ Count , Timebase Error ค่าความผิดพลาดของเครื่องนี้กำหนดไว้ที่ 0.01 % สำหรับสัญญาณ sine wave

5.รีโซลูชั่น (Resolution)

หมายถึงหน่วยของค่าความถี่ที่อ่านค่าได้โดยไม่ต้องสนใจจุดทศนิยม คือค่าความถี่ที่อ่านได้ในย่านที่ใช้วัดคูณด้วยรีโซลูชั่นของย่านนั้น เช่นอ่านวัดเป็น 0.1 Hz ทำการรวัดค่าความถี่แรงเคลื่อนไฟฟ้าจากสายเมน ได้ 502 คือ วัดค่าความถี่ได้เท่ากับ 502 * 0.1 Hz จะได้เท่ากับ 50.2 Hz โดยไม่คำนึงถึงจุดทศนิยมข้างหน้า

บทที่ 5

บทวิจารณ์และสรุป

5.1 สรุปการสร้างและการทดลอง

ส่วนประกอบของโครงงานนี้ที่ออกแบบไว้ทั้งหมดมีด้วยกัน 6 ส่วนหลัก ๆ คือ

1 ส่วนภาคจ่ายไฟ

2. ส่วนวัดค่าความถี่ต่ำ

3. ส่วนวัดค่าความถี่สูง

4. ส่วนสร้างสัญญาณเทียบฐานเวลา

5. ส่วนสร้างสัญญาณ COUNTER, LATCH ENABLE, RESET

6. ส่วนแสดงผล

จากการสร้างและการทำงานของเครื่องจะเห็นว่าส่วนสำคัญของเครื่องจะอยู่ที่ภาคอินพุทของเครื่องวัดค่าความถี่ ซึ่งถ้าต้องการวัดค่าความถี่ที่ความถี่สูงๆ จะ ใช้ส่วนของพรีสเกลเลอร์เข้ามาเกี่ยวข้องด้วยในส่วนภาคอินพุทถ้ารูปสัญญาณที่ผ่านภาคอินพุทออกมามีรูปสัญญาณที่ดีแล้วจะทำให้สามารถวัดค่าความถี่ได้ค่อนข้างแม่นยำ

5.2 ข้อควรระวังในการใช้เครื่องวัดความถี่

เครื่องวัดความถี่ เป็นเครื่องมือที่มีความแม่นยำมากในการวัด และใช้เป็นเครื่องมือวัดความถี่ที่สะดวกและง่ายที่สุด มีข้อควรระวังดังนี้

5.2.1 เรื่องอุณหภูมิ อุปกรณ์ของเครื่องวัดส่วนใหญ่ ใช้อุปกรณ์อิเล็กโทรนิกส์ซึ่งมีความไวต่ออุณหภูมิส่วนใหญ่ทำงานในช่วง 0 - 55 $^{\circ}$C ถ้าหากอุณหภูมิสูงกว่าปกติการวัดค่าอาจจะไม่เที่ยงตรง

5.2.2 ข้อควรระวังเรื่องการต่อสายกราวด์ในการวัดความถี่ เช่นถ้าใช้สายไฟแบบสามสาย (Three - wire power line) สายชีลด์ (Shield) ไม่ควรนำมาต่อกับเครื่องวัดความถี่ เมื่อวัดค่าความถี่ในสายไฟเพราะอาจจะเกิดการช็อท ผ่านสายชีลด์ผ่านตัวถังและสายกราวด์ได้ ควรคำนึงไว้เสมอว่าเครื่องวัดความถี่นี้บอบบาง เวลาใช้ต้องตรวจดูว่ามีความต่างศักย์ระหว่างจุดกราวด์ทั้งสองด้วยโวลท์มิเตอร์ก่อนจะต่อสายกราวด์

5.2.3 ข้อควรระวังเกี่ยวกับการเกิดออสซิเลทในสายวัด กรณีใช้สายวัดแบบขอเกี่ยว (Hook -up cables) เมื่อวัดพัลส์ที่มีขนาดสูงกว่า 200 mv และเวลาขึ้นสั้นกว่า 50 ns อาจจะเกิด Dampened oscillation ในสายต่อ ทำให้เกิดค่าผิดพลาดในค่าที่อ่านได้ ต้องใช้ความต้านทาน 10 K อนุกรมกับสายอินพุทของเครื่องวัดค่าความถี่ เพื่อปัญหานี้

5.2.4 ข้อควรระวังเกี่ยวกับการวัดค่าความถี่ของเครื่องส่ง สำหรับเครื่องหรืออุปกรณ์ที่มีเอาท์พุทเพาว์เวอร์สูงกว่านี้ต้องใช้เอาท์พุทเพาว์เวอร์น้อยกว่า 0.5 วัตต์ สามารถต่อสายวัดได้โดยตรงถ้าหาก

เอาท์พุทเพาเวอร์มีกำลังส่งสูงจะทำการวัดความถี่จาก master oscillator แทนโดยการใช้คัปปิ้งคอยล์วางใกล้ๆ กับ master oscillator ข้อควรระวังอีกข้อหนึ่งคือ เครื่องส่งที่วัดจะเกิดพลังงานสะท้อนกลับทำให้เครื่องส่งเสียหายได้ ถ้าต่อโหลดของเครื่องส่งไม่ถูกต้อง จึงจำเป็นต้องใช้ดัมมีโหลดที่มีค่าอิมพีแดนซ์ตรงกับเครื่องส่งต่อแทนเสาอากาศของเครื่องส่งในกรณีที่จะวัดความถี่

การวัดค่าความถี่

1. เสียบสายไฟของตัวเครื่อง (220 V)

2. ถ้าต้องการวัดค่าความถี่ 10Hz - 50 MHz ให้ป้อนอินพุทเข้าที่ A หากถ้าต้องการวัดค่าความถี่ ตั้งแต่ 50 MHz ขึ้นไปให้ป้อนอินพุทที่ B

3. ทำการปรับสวิทช์ซีเล็คเตอร์ โดยมีย่านการวัดทั้งหมด 4 ย่านการวัด คือ.ย่านที่ 1 ถึงย่านที่ 3 จะใช้สำหรับวัดที่อินพุท A โดยย่านที่ 1 วัดค่าความถี่ตั้งแต่ 10 Hz - 2 MHz ย่านที่ 2 วัดค่าความถี่ถึง 20 MHz และย่านที่ 3 วัดค่าความถี่ 50 MHz ส่วนย่านที่ 4 สำหรับวัดอินพุท B วัดความถี่ตั้งแต่ 50 MHz

4.ค่าความถี่แสดงจากการวัดค่าจะแสดงเป็นทศนิยมดังนี้

ย่านที่ 1 แสดง 0000.000 หน่วย KHz

ย่านที่ 2 แสดง 00.00000 หน่วย MHz

ย่านที่ 3 แสดง 000.0000 หน่วย MHz

ย่านที่ 4 แสดง 0000.000 หน่วย Mhz

จากการสร้างและการทดลองการทำงานจะเห็นส่วนสำคัญของเครื่องจะอยู่ที่ภาคอินพุทและชุดนับความถี่ ซึ่งชุดนับความถี่สามารถดัดแปลงให้สามารถวัดค่าความถี่ให้ได้มากขึ้นซึ่งอาจจะมากกว่า 100 MHz โดยการต่อภาค Prescaler เข้าไปเพื่อให้สามารถวัดค่าได้เป็น 1 GHz หรืออาจจะมากกว่านั้นซึ่งเราต้องหาไอซีที่สามารถหารค่าความถี่ที่เป็น GHz ให้ได้แล้วนำมาต่อด้านอินพุท

เอกสารอ้างอิง

(1) กฤษดา วิศวธีรานนท์ , "เรียน /เล่น/ ใช้ ไอซีดิจิตอล ", ซีเอ็ดยูเคชั่น, กรุงเทพ 2521

(2) ซีอ็ดยูเคชั่น, "เรื่องน่ารู้เกี่ยวกับเครื่องวัดความถี่ " ,รวมโครงงานอีเล็กทรอนิกส์เครื่องมือวัด, กรุงเทพ 2539 ,หน้าที่ 113 - 120

(3) มนัส สังวรศิลป์ , "ทฤษฎีการออกแบบวงจรพัลซ์" ,อีเลคทรอนิกส์ เวิลด์, หน้าที่ 137 - 143

(4) ร.ศ ยืน ภู่วรวรรณ, "ทฤษฎีและการใช้งานอิเลคทรอนิคส์ เล่ม 1, 2, 3 " , ซีเอ็ดยูเคชั่น, กรุงเทพ 2521

(5) INTERNET http :// www.crhc.uiuc.edu/~dburke/databook.sheft.html

Triple Line Receiver

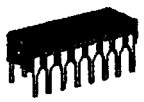
MC10116

The MC10116 is a triple differential amplifier designed for use in sensing differential signals over long lines. The base bias supply (V_{BB}) is made available at pin 11 to make the device useful as a Schmitt trigger, or in other applications where a stable reference voltage is necessary.

Active current sources provide the MC10116 with excellent common mode noise rejection. If any amplifier in a package is not used, one input of that amplifier must be connected to V_{BB} (pin 11) to prevent upsetting the current source bias network.

Complementary outputs are provided to allow driving twisted pair lines, to enable cascading of several amplifiers in a chain, or simply to provide complement outputs of the input logic function.

P_D = 85 mW typ/pkg (No Load)
t_{pd} = 2.0 ns typ
t_r, t_f = 2.0 ns typ (20%–80%)

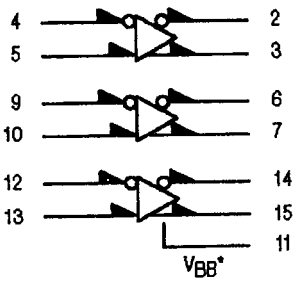


L SUFFIX
CERAMIC PACKAGE
CASE 620–10

P SUFFIX
PLASTIC PACKAGE
CASE 648–08

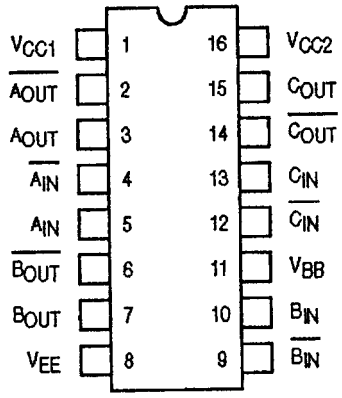
FN SUFFIX
PLCC
CASE 776–02

LOGIC DIAGRAM



V_{CC1} = PIN 1
V_{CC2} = PIN 16
V_{EE} = PIN 8

DIP
PIN ASSIGNMENT



Pin assignment is for Dual-in-Line Package. For PLCC pin assignment, see the Pin Conversion Tables on page 6–11 of the Motorola MECL Data Book (DL122/D).

*V_{BB} to be used to supply bias to the MC10116 only and bypassed (when used) with 0.01 μF to 0.1 μF capacitor to ground (0 V). V_{BB} can source < 1.0 mA.

When the input pin with the bubble goes positive, the output pin with the bubble goes positive.

© Motorola, Inc. 1996

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	Test Limits							Unit
			−30°C		+25°C			+85°C		
			Min	Max	Min	Typ	Max	Min	Max	
Power Supply Drain Current	I_E	8		23		17	21		23	mAdc
Input Current	I_{inH}	4		150			95		95	µAdc
	I_{CBO}	4		1.5			1.0		1.0	µAdc
Output Voltage Logic 1	V_{OH}	2	−1.060	−0.890	−0.960		−0.810	−0.890	−0.700	Vdc
		3	−1.060	−0.890	−0.960		−0.810	−0.890	−0.700	
Output Voltage Logic 0	V_{OL}	2	−1.890	−1.675	−1.850		−1.650	−1.825	−1.615	Vdc
		3	−1.890	−1.675	−1.850		−1.650	−1.825	−1.615	
Threshold Voltage Logic 1	V_{OHA}	2	−1.080		−0.980			−0.910		Vdc
		3	−1.080		−0.980			−0.910		
Threshold Voltage Logic 0	V_{OLA}	2		−1.655			−1.630		−1.595	Vdc
		3		−1.655			−1.630		−1.595	
Reference Voltage	V_{BB}	11	−1.420	−1.280	−1.350		−1.230	−1.295	−1.150	Vdc
Switching Times (50Ω Load)										ns
Propagation Delay	t_{4+2+}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-2-}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4+3-}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-3+}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
Rise Time (20 to 80%)	t_{2+}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3+}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
Fall Time (20 to 80%)	t_{2-}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3-}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	

ELECTRICAL CHARACTERISTICS (continued)

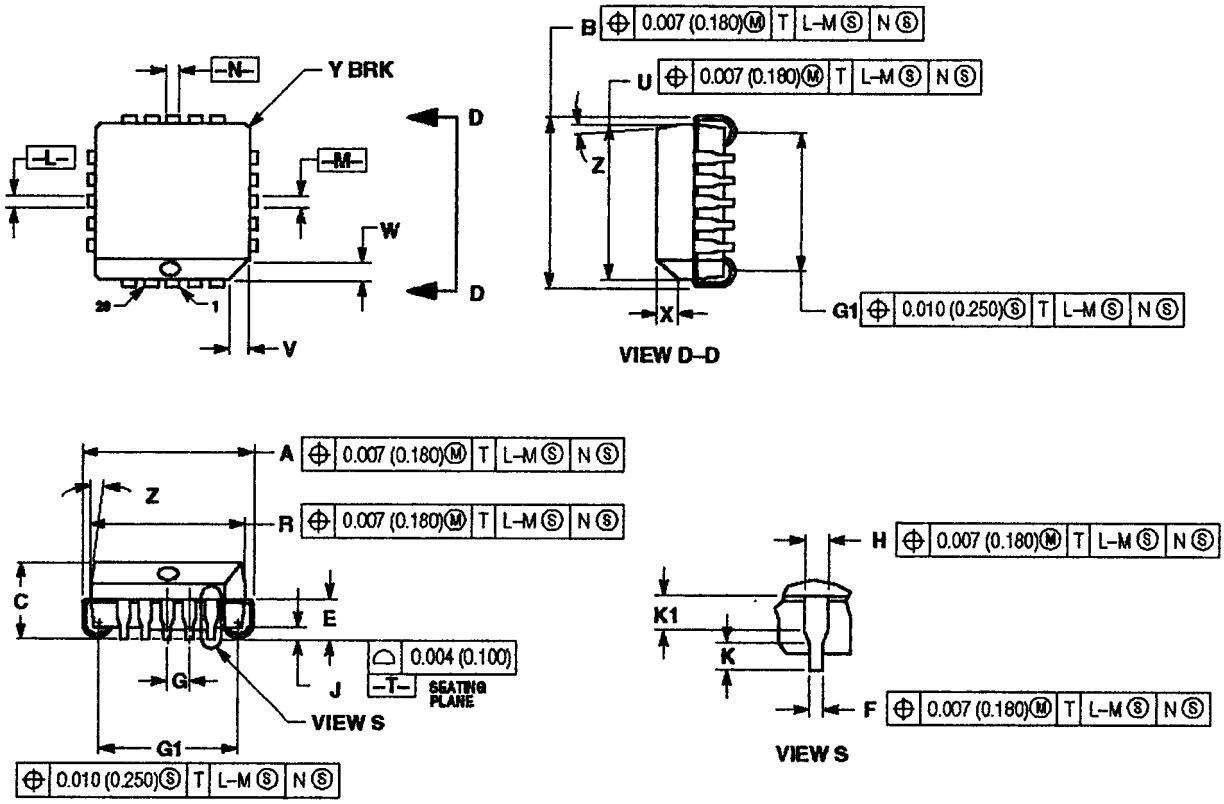
⊕ Test Temperature	TEST VOLTAGE VALUES (Volts)					
	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}
−30°C	−0.890	−1.890	−1.205	−1.500	From Pin 11	−5.2
+25°C	−0.810	−1.850	−1.105	−1.475		−5.2
+85°C	−0.700	−1.825	−1.035	−1.440		−5.2

Characteristic		Symbol	Pin Under Test	TEST VOLTAGE APPLIED TO PINS LISTED BELOW						(V_{CC}) Gnd
				V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}	
Power Supply Drain Current		I_E	8		4, 9, 12			5, 10, 13	8	1, 16
Input Current		I_{inH}	4	4	9, 12			5, 10, 13	8	1, 16
		I_{CBO}	4		9, 12			5, 10, 13	8,4	1, 16
Output Voltage	Logic 1	V_{OH}	2	4	9, 12			5, 10, 13	8	1, 16
			3	9, 12	4			5, 10, 13	8	1, 16
Output Voltage	Logic 0	V_{OL}	2	9, 12	4			5, 10, 13	8	1, 16
			3	4	9, 12			5, 10, 13	8	1, 16
Threshold Voltage	Logic 1	V_{OHA}	2		9, 12	4		5, 10, 13	8	1, 16
			3	9, 12			4	5, 10, 13	8	1, 16
Threshold Voltage	Logic 0	V_{OLA}	2		9, 12		4	5, 10, 13	8	1, 16
			3	9, 12		4		5, 10, 13	8	1, 16
Reference Voltage		V_{BB}	11					5, 10, 13	8	1, 16
Switching Times	(50Ω Load)					Pulse In	Pulse Out		−3.2 V	+2.0 V
Propagation Delay		t_{4+2+}	2			4	2	5, 10, 13	8	1, 16
		t_{4-2-}	2			4	2	5, 10, 13	8	1, 16
		t_{4+3-}	3			4	3	5, 10, 13	8	1, 16
		t_{4-3+}	3			4	3	5, 10, 13	8	1, 16
Rise Time	(20 to 80%)	t_{2+}	2			4	2	5, 10, 13	8	1, 16
		t_{3+}	3			4	3	5, 10, 13	8	1, 16
Fall Time	(20 to 80%)	t_{2-}	2			4	2	5, 10, 13	8	1, 16
		t_{3-}	3			4	3	5, 10, 13	8	1, 16

Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has bee established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintaine Outputs are terminated through a 50-ohm resistor to −2.0 volts. Test procedures are shown for only one gate. The other gates are tested in th same manner.

OUTLINE DIMENSIONS

FN SUFFIX
PLASTIC PLCC PACKAGE
CASE 775–02
ISSUE C

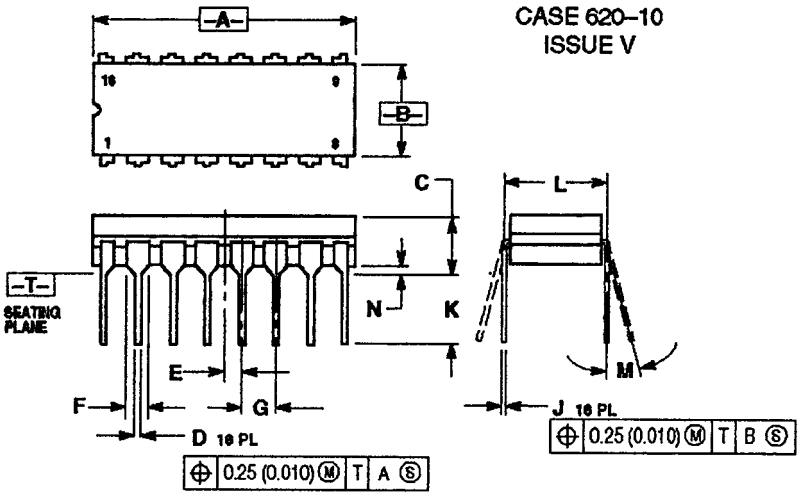


NOTES:
1. DATUMS -L-, -M-, AND -N- DETERMINED WHERE TOP OF LEAD SHOULDER EXITS PLASTIC BODY AT MOLD PARTING LINE.
2. DIMENSION G1, TRUE POSITION TO BE MEASURED AT DATUM -T-, SEATING PLANE.
3. DIMENSIONS R AND U DO NOT INCLUDE MOLD FLASH. ALLOWABLE MOLD FLASH IS 0.010 (0.250) PER SIDE.
4. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
5. CONTROLLING DIMENSION: INCH.
6. THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM BY UP TO 0.012 (0.300). DIMENSIONS R AND U ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
7. DIMENSION H DOES NOT INCLUDE DAMBAR PROTRUSION OR INTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE H DIMENSION TO BE GREATER THAN 0.037 (0.940). THE DAMBAR INTRUSION(S) SHALL NOT CAUSE THE H DIMENSION TO BE SMALLER THAN 0.025 (0.635).

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.385	0.395	9.78	10.03
B	0.385	0.395	9.78	10.03
C	0.165	0.180	4.20	4.57
E	0.090	0.110	2.29	2.79
F	0.013	0.019	0.33	0.48
G	0.050 BSC		1.27 BSC	
H	0.026	0.032	0.66	0.81
J	0.020	—	0.51	—
K	0.025	—	0.64	—
R	0.350	0.356	8.89	9.04
U	0.350	0.356	8.89	9.04
V	0.042	0.048	1.07	1.21
W	0.042	0.048	1.07	1.21
X	0.042	0.056	1.07	1.42
Y	—	0.020	—	0.50
Z	2°	10°	2°	10°
G1	0.310	0.330	7.88	8.38
K1	0.040	—	1.02	—

OUTLINE DIMENSIONS

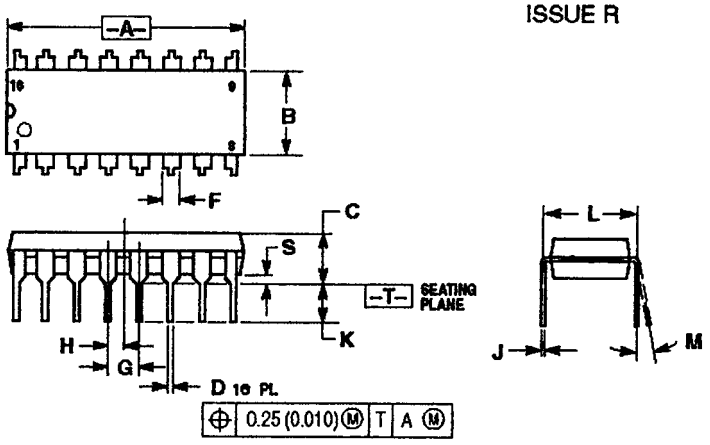
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.38	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

MC54/74HC393

Dual 4-Stage Binary Ripple Counter

High–Performance Silicon–Gate CMOS

The MC54/74HC393 is identical in pinout to the LS393. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

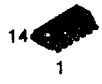
This device consists of two independent 4–bit binary ripple counters with parallel outputs from each counter stage. A ÷ 256 counter can be obtained by cascading the two binary counters.

Internal flip–flops are triggered by high–to–low transitions of the clock input. Reset for the counters is asynchronous and active–high. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or as strobes except when gated with the Clock of the HC393.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 236 FETs or 59 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

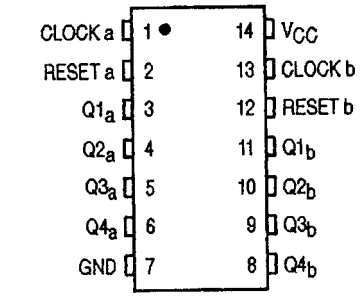


D SUFFIX
SOIC PACKAGE
CASE 751A–03

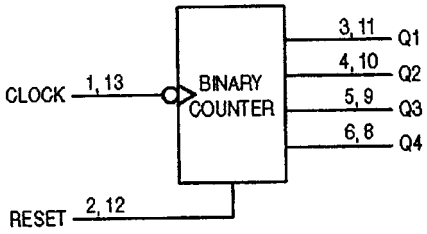
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

PIN ASSIGNMENT



LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

FUNCTION TABLE

Inputs		
Clock	Reset	Outputs
X	H	L
H	L	No Change
L	L	No Change
↓	L	No Change
↑	L	Advance to Next State

© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic or SOIC DIP) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0 4.5 6.0	5.4 27 32	4.4 22 26	3.6 18 21	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q1 (Figures 1 and 3)	2.0 4.5 6.0	120 24 20	150 30 26	180 36 31	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q2 (Figures 1 and 3)	2.0 4.5 6.0	190 38 32	240 48 41	285 57 48	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q3 (Figures 1 and 3)	2.0 4.5 6.0	240 48 41	300 60 51	360 72 61	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q4 (Figures 1 and 3)	2.0 4.5 6.0	290 58 49	365 73 62	435 87 74	ns
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Counter)*	40	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤ 85°C	≤ 125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

PIN DESCRIPTIONS

INPUTS

Clock (Pins 1, 13)

Clock input. The internal flip–flops are toggled and the counter state advances on high–to–low transitions of the clock input.

CONTROL INPUTS

Reset (Pins 2, 12)

Active–high, asynchronous reset. A separate reset is provided for each counter. A high at the Reset input prevents counting and forces all four outputs low.

OUTPUTS

Q1, Q2, Q3, Q4 (Pins 3, 4, 5, 6, 8, 9, 10, 11)

Parallel binary outputs Q4 is the most significant bit.

SWITCHING WAVEFORMS

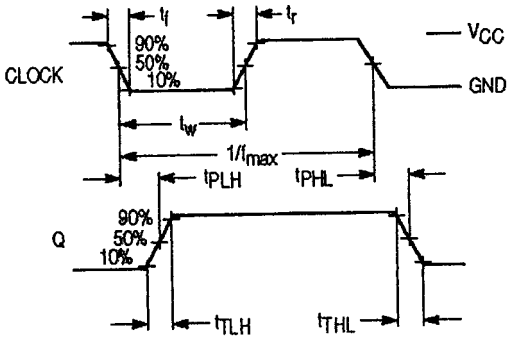


Figure 1.

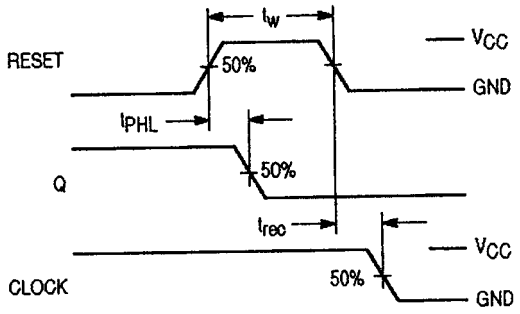
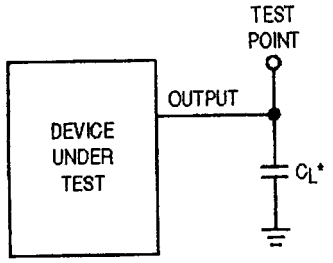


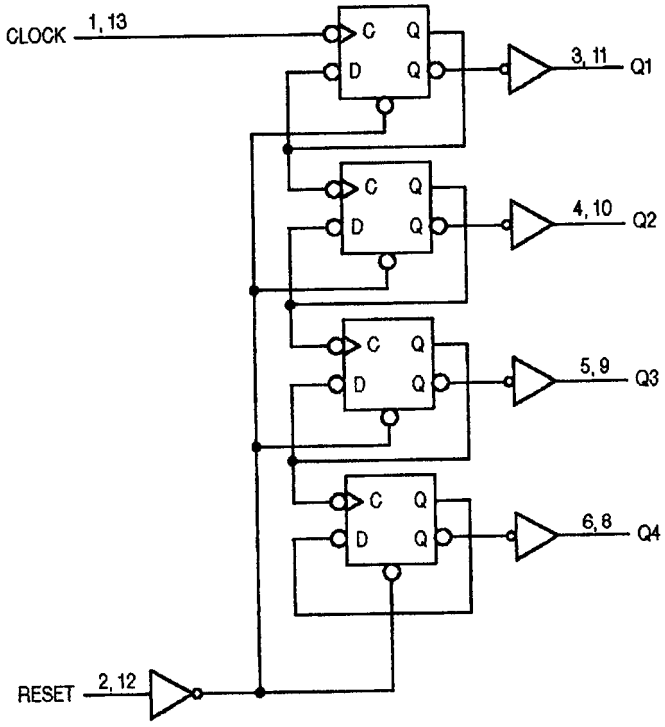
Figure 2.



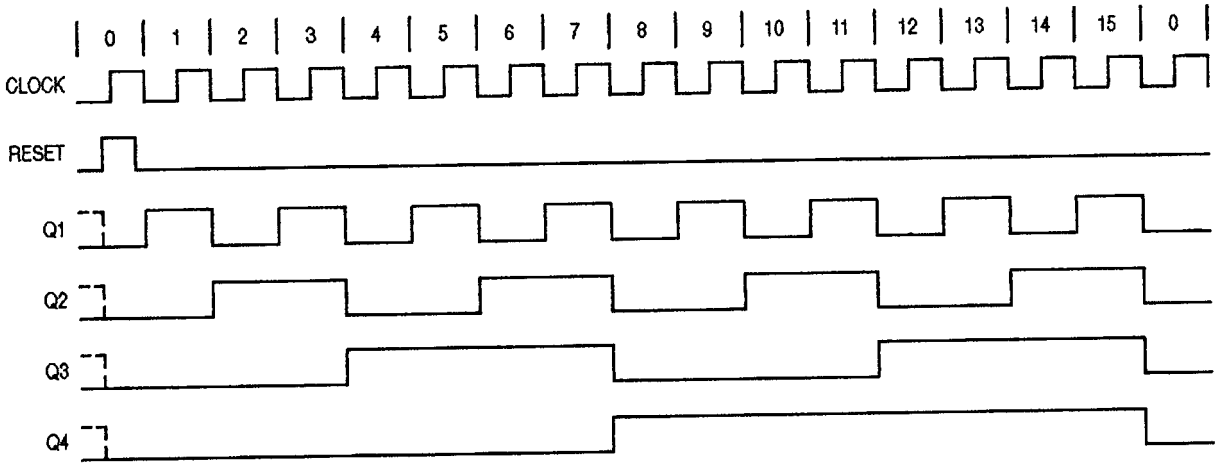
* Includes all probe and jig capacitance

Figure 3. Test Circuit

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM

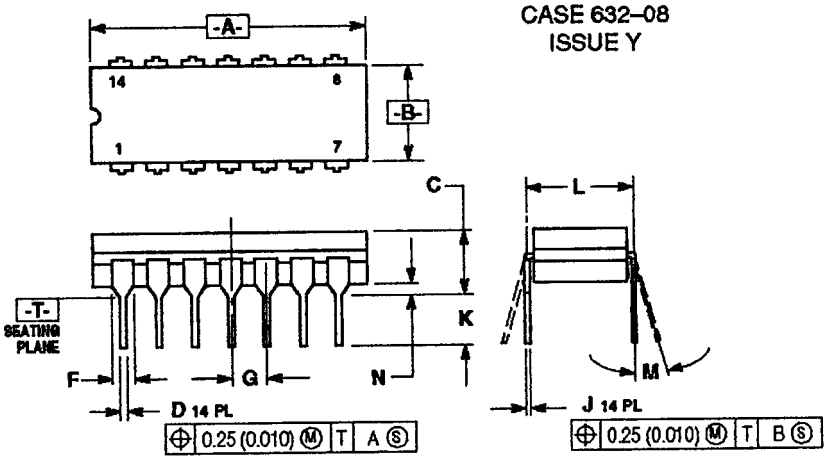


COUNT SEQUENCE

Count	Outputs			
	Q4	Q3	Q2	Q1
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

OUTLINE DIMENSIONS

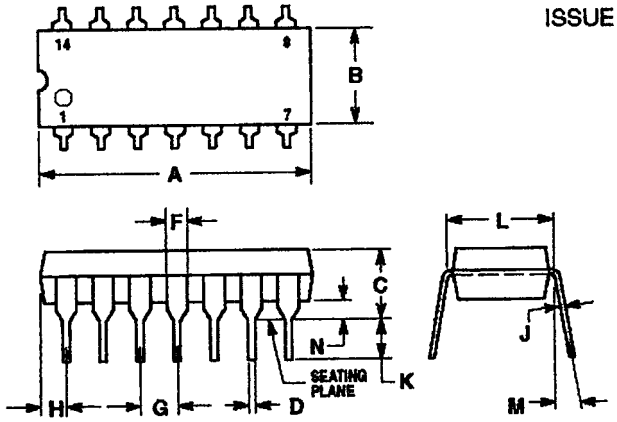
J SUFFIX
CERAMIC DIP PACKAGE
CASE 632–08
ISSUE Y



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMESNION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.38	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

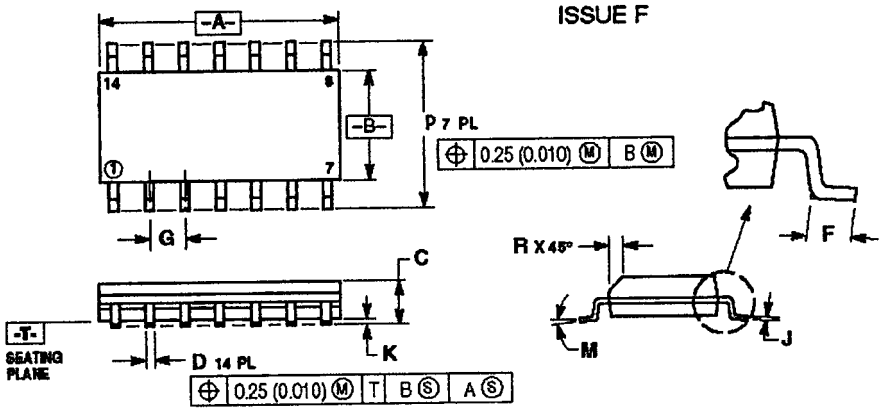
N SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

MC54/74HC390

Dual 4-Stage Binary Ripple Counter with ÷ 2 and ÷ 5 Sections

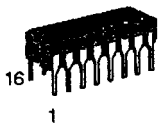
High–Performance Silicon–Gate CMOS

The MC54/74HC390 is identical in pinout to the LS390. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two independent 4–bit counters, each composed of a divide–by–two and a divide–by–five section. The divide–by–two and divide–by–five counters have separate clock inputs, and can be cascaded to implement various combinations of ÷ 2 and/or ÷ 5 up to a ÷ 100 counter.

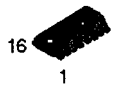
Flip–flops internal to the counters are triggered by high–to–low transitions of the clock input. A separate, asynchronous reset is provided for each 4–bit counter. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or strobes except when gated with the Clock of the HC390.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 µA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates



J SUFFIX
CERAMIC PACKAGE
CASE 620–10

N SUFFIX
PLASTIC PACKAGE
CASE 648–08

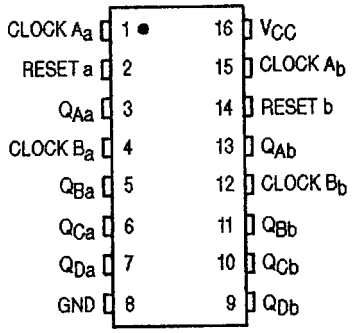


D SUFFIX
SOIC PACKAGE
CASE 751B–05

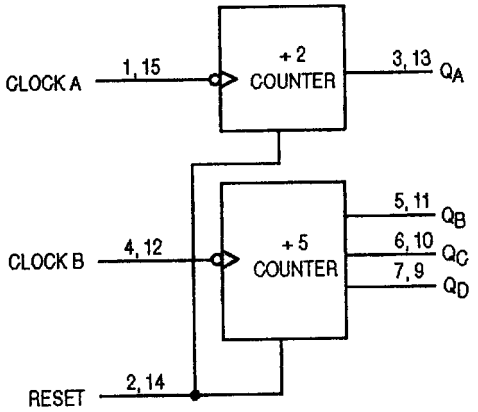
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

PIN ASSIGNMENT



LOGIC DIAGRAM



PIN 16 = V_{CC}
PIN 8 = GND

FUNCTION TABLE

Clock A	Clock B	Reset	Action
X	X	H	Reset ÷ 2 and ÷ 5
↘	X	L	Increment ÷ 2
X	↘	L	Increment ÷ 5

© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic or SOIC DIP)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_f = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0 4.5 6.0	5.4 27 32	4.4 22 26	3.6 18 21	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QA (Figures 1 and 3)	2.0 4.5 6.0	120 24 20	150 30 26	180 36 31	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QC (QA connected to Clock B) (Figures 1 and 3)	2.0 4.5 6.0	290 58 49	365 73 62	435 87 74	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QB (Figures 1 and 3)	2.0 4.5 6.0	130 26 22	165 33 28	195 39 33	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QC (Figures 1 and 3)	2.0 4.5 6.0	185 37 31	230 46 39	280 56 48	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QD (Figures 1 and 3)	2.0 4.5 6.0	130 26 22	165 33 28	195 39 33	ns
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Counter)*	35	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock A or Clock B (Figure 2)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_w	Minimum Pulse Width, Clock A, Clock B (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

PIN DESCRIPTIONS

INPUTS

Clock A (Pins 1, 15) and Clock B (Pins 4, 15)

Clock A is the clock input to the ÷ 2 counter; Clock B is the clock input to the ÷ 5 counter. The internal flip–flops are toggled by high–to–low transitions of the clock input.

CONTROL INPUTS

Reset (Pins 2, 14)

Asynchronous reset. A high at the Reset input prevents counting, resets the internal flip–flops, and forces Q_A through Q_D low.

OUTPUTS

Q_A (Pins 3, 13)

Output of the ÷ 2 counter.

Q_B, Q_C, Q_D (Pins 5, 6, 7, 9, 10, 11)

Outputs of the ÷ 5 counter. Q_D is the most significant bit. Q_A is the least significant bit when the counter is connected for BCD output as in Figure 4. Q_B is the least significant bit when the counter is operating in the bi–quinary mode as in Figure 5.

SWITCHING WAVEFORMS

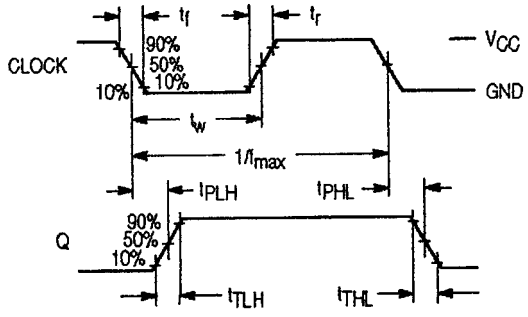


Figure 1.

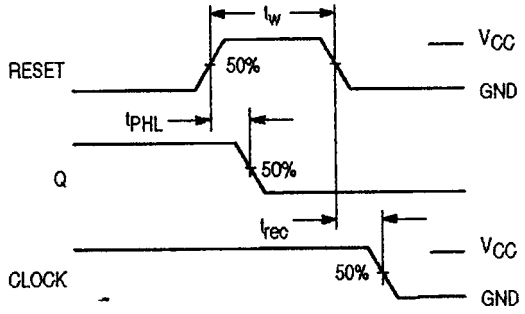
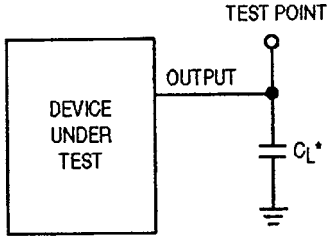


Figure 2.

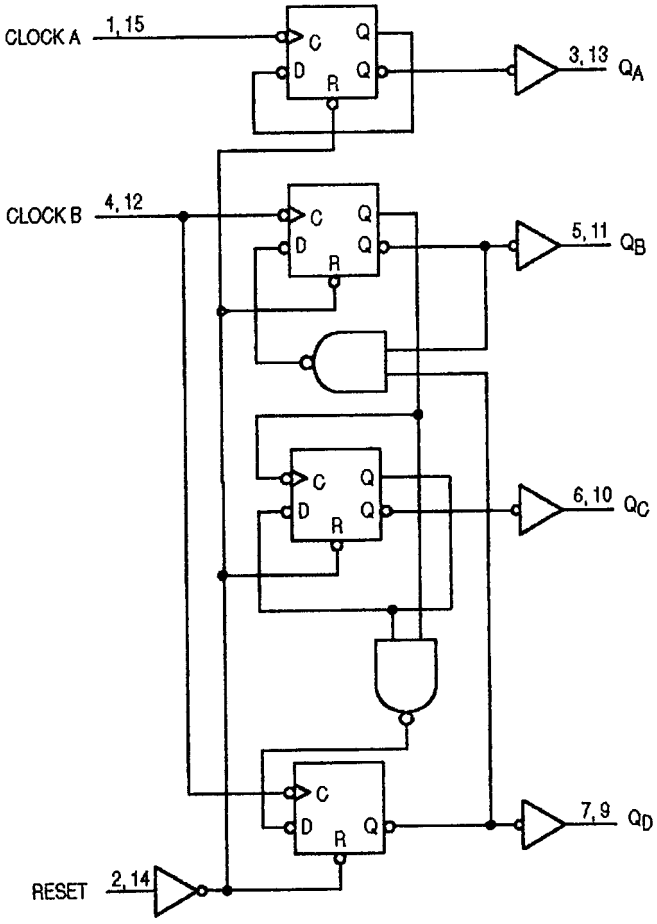
TEST CIRCUIT



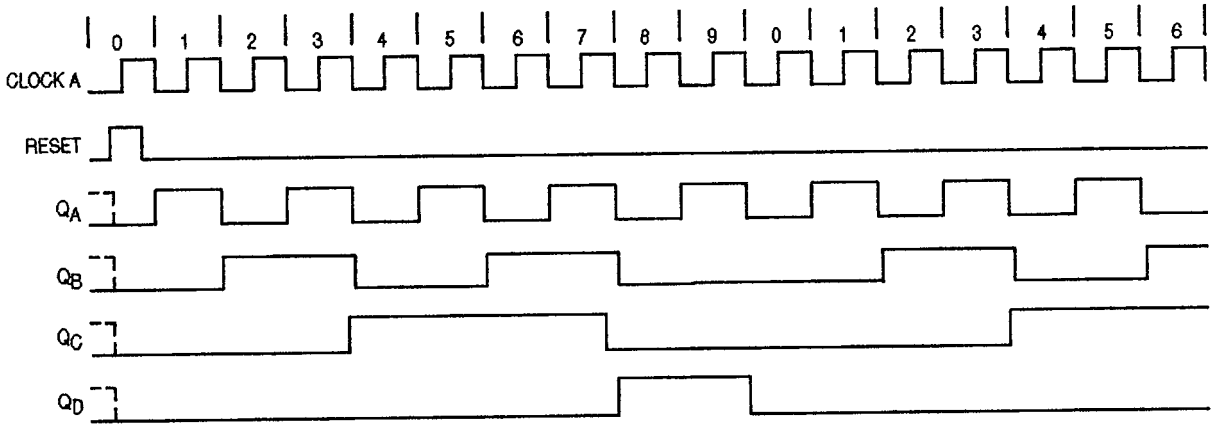
* Includes all probe and jig capacitance

Figure 3.

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM
(Q_A Connected to Clock B)



APPLICATIONS INFORMATION

Each half of the MC54/74HC390 has independent ÷ 2 and ÷ 5 sections (except for the Reset function). The ÷ 2 and ÷ 5 counters can be connected to give BCD or bi–quinary (2–5) count sequences. If Output Q_A is connected to the Clock B input (Figure 4), a decade divider with BCD output is obtained. The function table for the BCD count sequence is given in Table 1.

To obtain a bi–quinary count sequence, the input signals connected to the Clock B input, and output Q_D is connected to the Clock A input (Figure 5). Q_A provides a 50% duty cycle output. The bi–quinary count sequence function table is given in Table 2.

Table 1. BCD Count Sequence*

Count	Output Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

* Q_A connected to Clock B input.

Table 2. Bi–Quinary Count Sequence**

Count	Output Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L

** Q_D connected to Clock A input.

CONNECTION DIAGRAMS

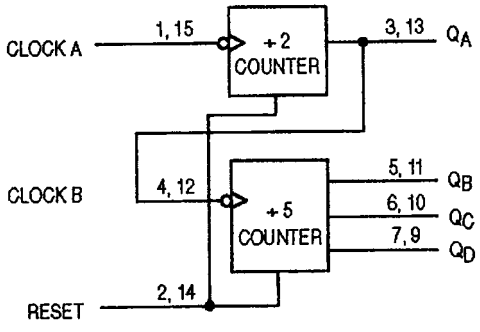


Figure 4. BCD Count

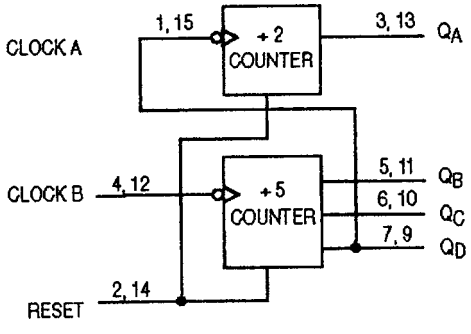
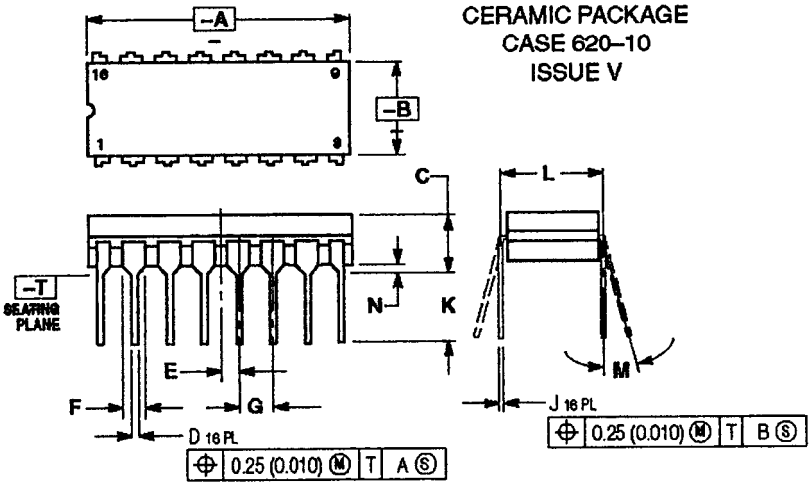


Figure 5. Bi-Quinary Count

OUTLINE DIMENSIONS

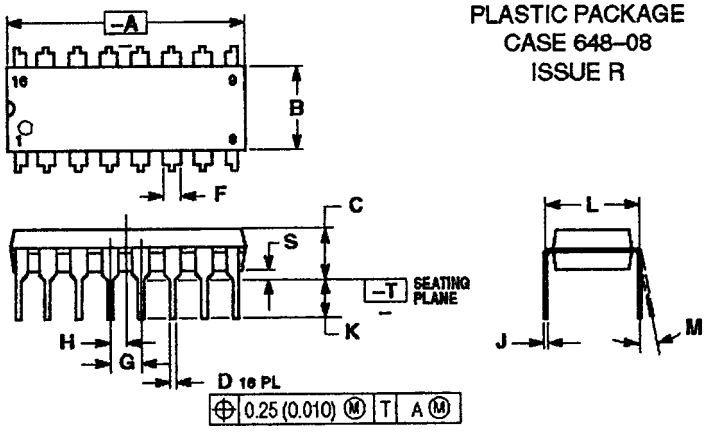
J SUFFIX
CERAMIC PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIM F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

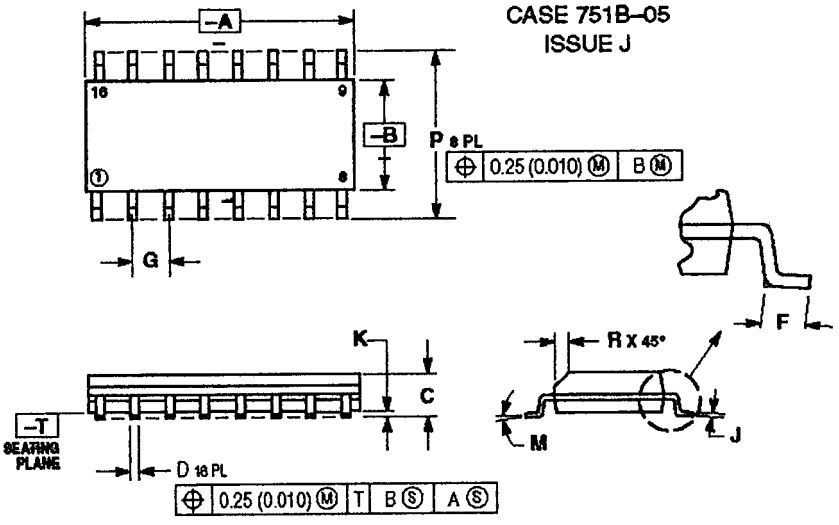
N SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

MC54/74HC74A

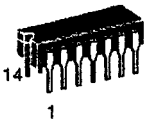
Dual D Flip-Flop with Set and Reset

High–Performance Silicon–Gate CMOS

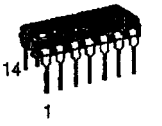
The MC54/74HC74A is identical in pinout to the LS74. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two D flip–flops with individual Set, Reset, and Clock inputs. Information at a D–input is transferred to the corresponding Q output on the next positive going edge of the clock input. Both Q and $\overline{Q}$ outputs are available from each flip–flop. The Set and Reset inputs are asynchronous.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 128 FETs or 32 Equivalent Gates

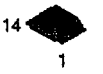


J SUFFIX
CERAMIC PACKAGE
CASE 632–08



N SUFFIX
PLASTIC PACKAGE
CASE 646–06

D SUFFIX
SOIC PACKAGE
CASE 751A–03

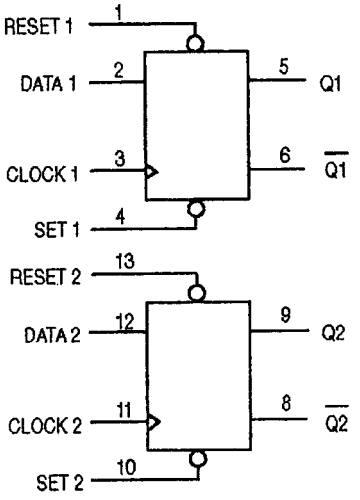


DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

ORDERING INFORMATION

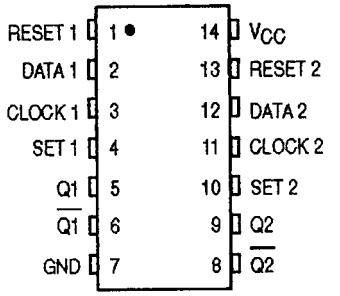
MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Outputs	
Set	Reset	Clock	Data	Q	Q
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	No Change	
H	H	H	X	No Change	
H	H	↓	X	No Change	

* Both outputs will remain high as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP, SOIC or TSSOP Package)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figures 1, 2, 3)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.5	0.5	0,5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.7	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.2	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.4	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.4	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND) – **continued**

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND I_{out} = 0 μA	6.0	2.0	20	80	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q or Q (Figures 1 and 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Set or Reset to Q or Q (Figures 2 and 4)	2.0 4.5 6.0	105 21 18	130 26 22	160 32 27	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Flip–Flop)*	39	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Data to Clock (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_h	Minimum Hold Time, Clock to Data (Figure 3)	2.0 4.5 6.0	3.0 3.0 3.0	3.0 3.0 3.0	3.0 3.0 3.0	ns
t_{rec}	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	8.0 8.0 8.0	8.0 8.0 8.0	8.0 8.0 8.0	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figures 1, 2, 3)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

SWITCHING WAVEFORMS

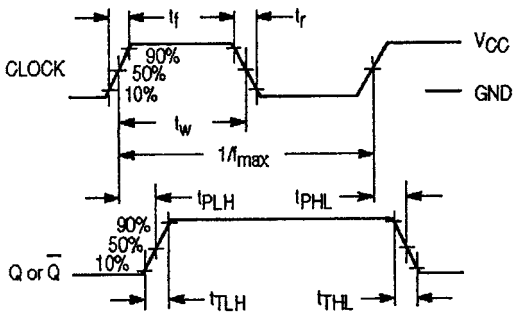


Figure 1.

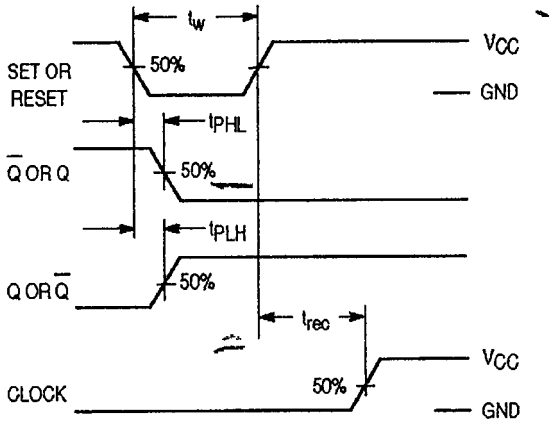


Figure 2.

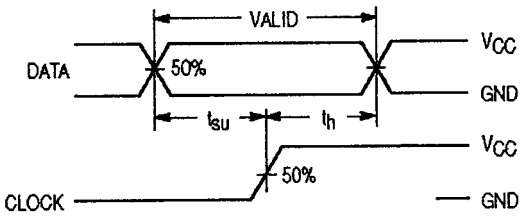
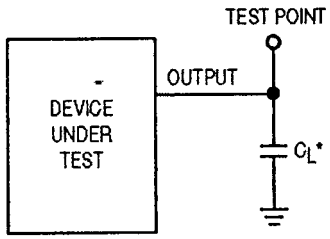


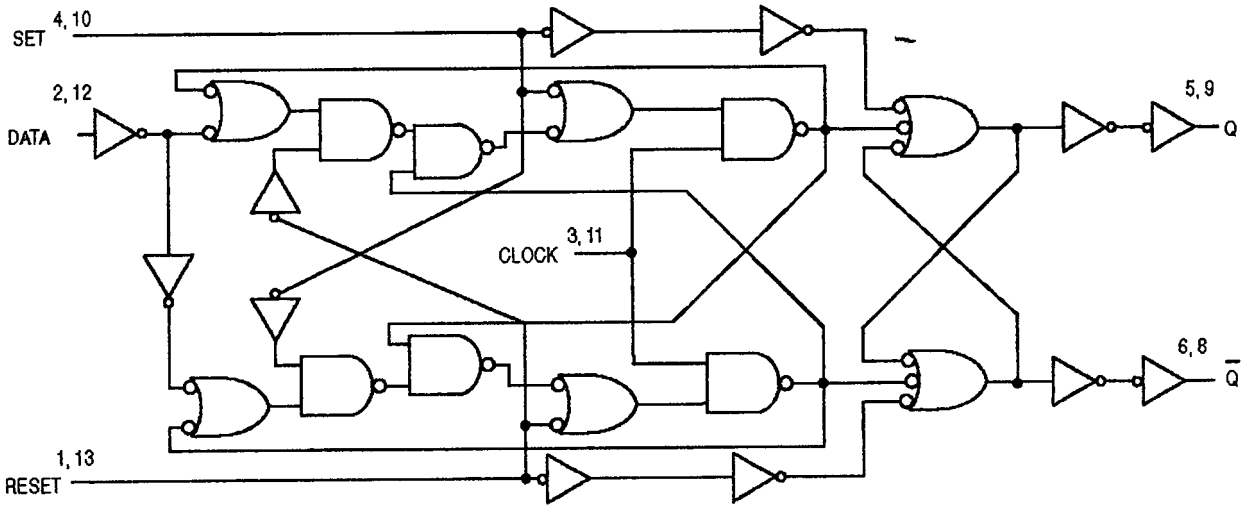
Figure 3.



* Includes all probe and jig capacitance

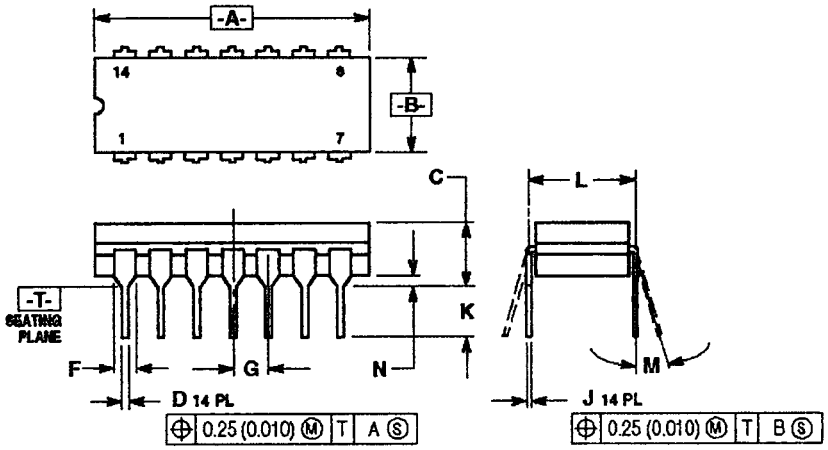
Figure 4.

EXPANDED LOGIC DIAGRAM



OUTLINE DIMENSIONS

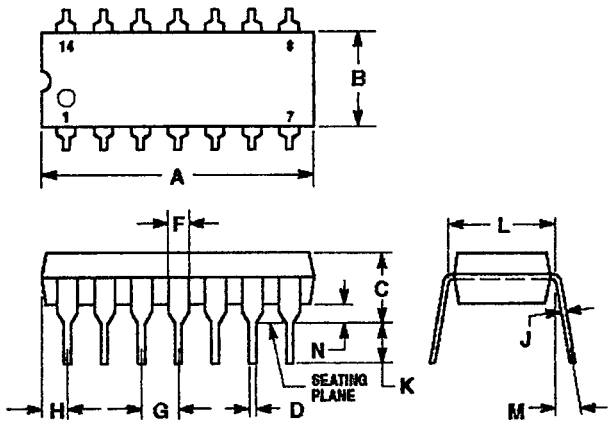
J SUFFIX
CERAMIC DIP PACKAGE
CASE 632–08
ISSUE Y



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

N SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE L

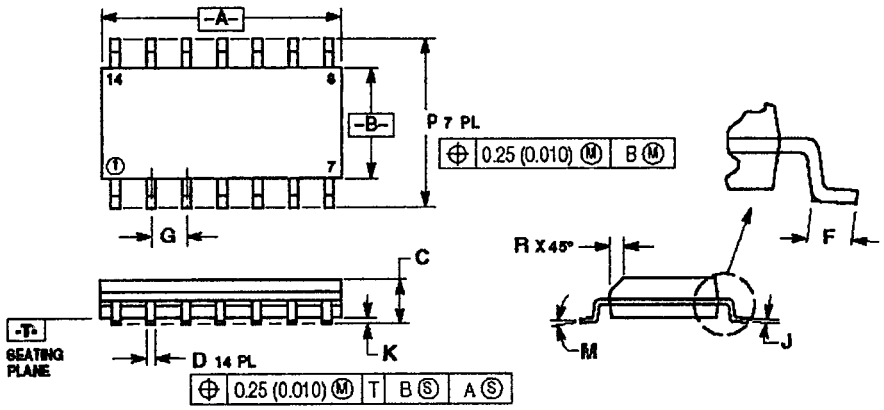


NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

OUTLINE DIMENSIONS

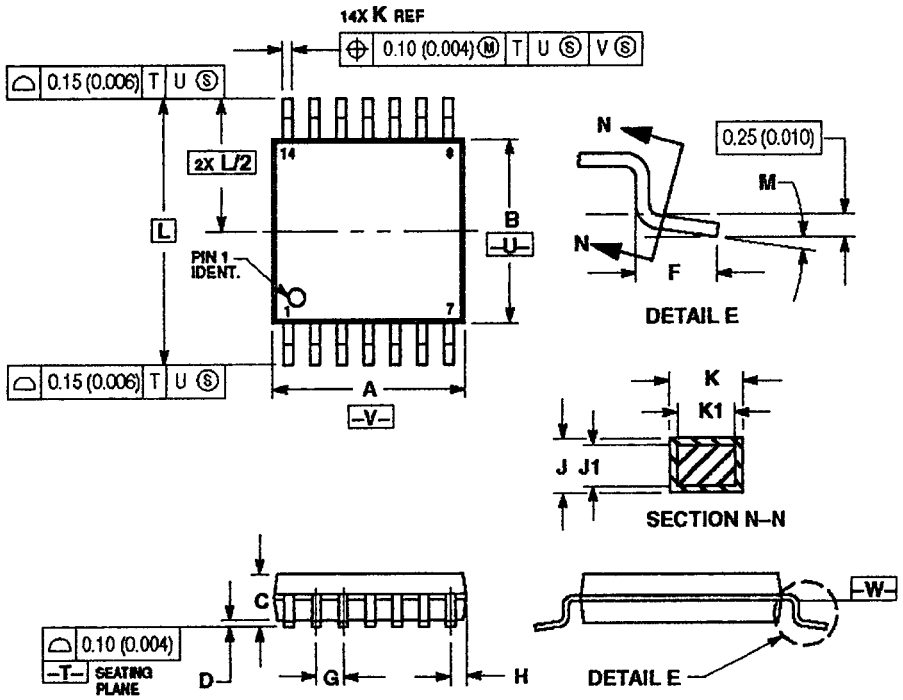
D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948G–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE –W–.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

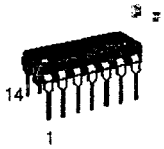
MC54/74HC00A

Quad 2-Input NAND Gate
High–Performance Silicon–Gate CMOS

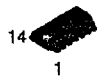
The MC54/74HC00A is identical in pinout to the LS00. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 32 FETs or 8 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08



N SUFFIX
PLASTIC PACKAGE
CASE 646–06



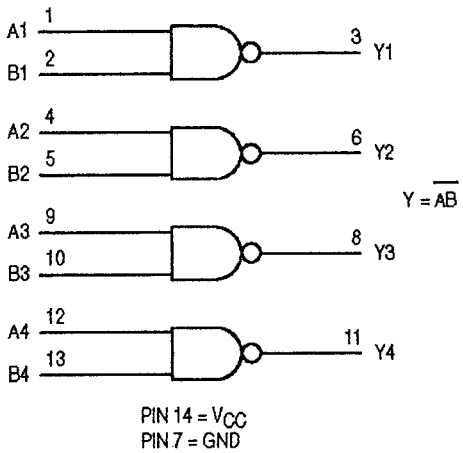
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

LOGIC DIAGRAM

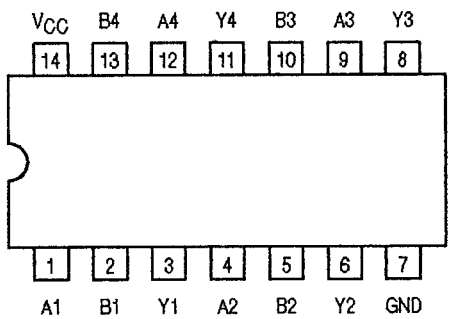


PIN 14 = V_{CC}
PIN 7 = GND

FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

Pinout: 14–Lead Packages (Top View)



© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	 260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V V_{CC} = 4.5 V V_{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				–55 to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} –0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} – 0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} =V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	µA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0µA	6.0	1.0	10	40	µA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55 to 25°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V, V_{EE} = 0 V	
C_{PD}	Power Dissipation Capacitance (Per Buffer)*	22	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of th Motorola High–Speed CMOS Data Book (DL129/D).

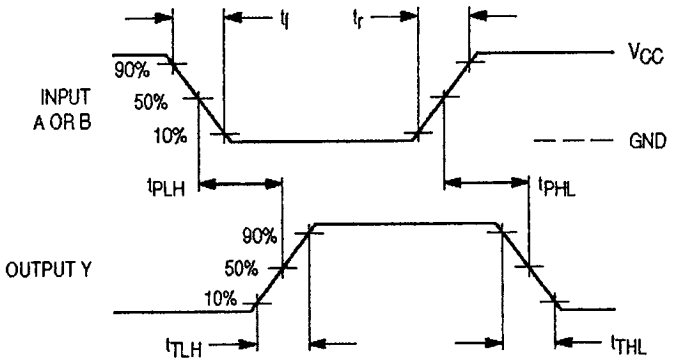
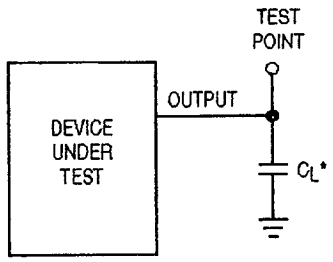


Figure 1. Switching Waveforms



*Includes all probe and jig capacitance

Figure 2. Test Circuit

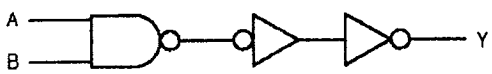
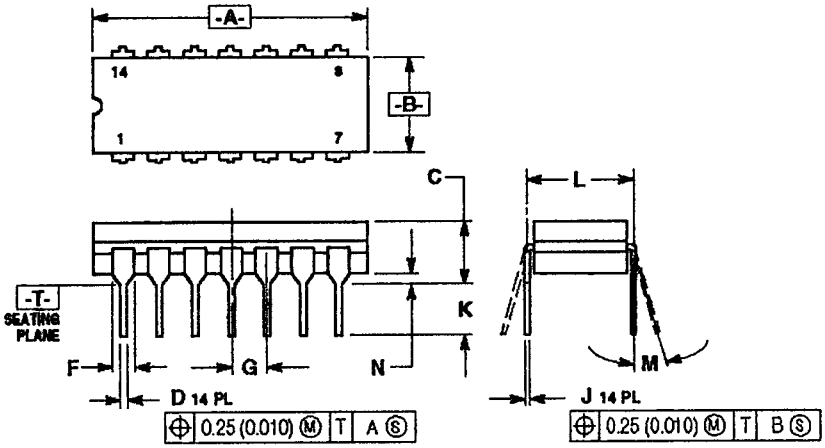


Figure 3. Expanded Logic Diagram
(1/4 of the Device)

OUTLINE DIMENSIONS

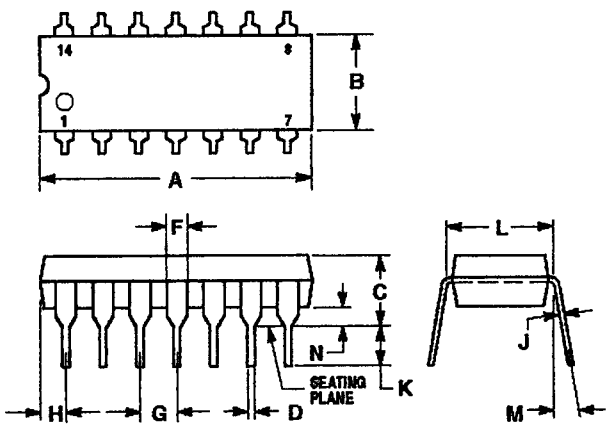
J SUFFIX
CERAMIC DIP PACKAGE
CASE 632–08
ISSUE Y



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMESNION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.38	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

N SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE L

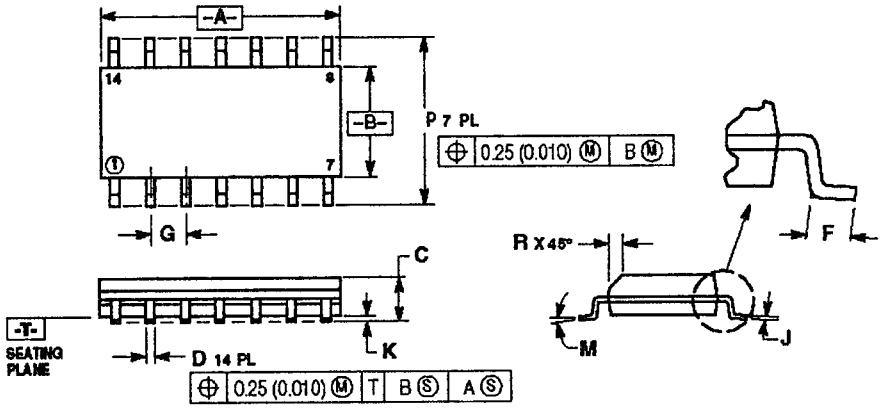


NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

OUTLINE DIMENSIONS

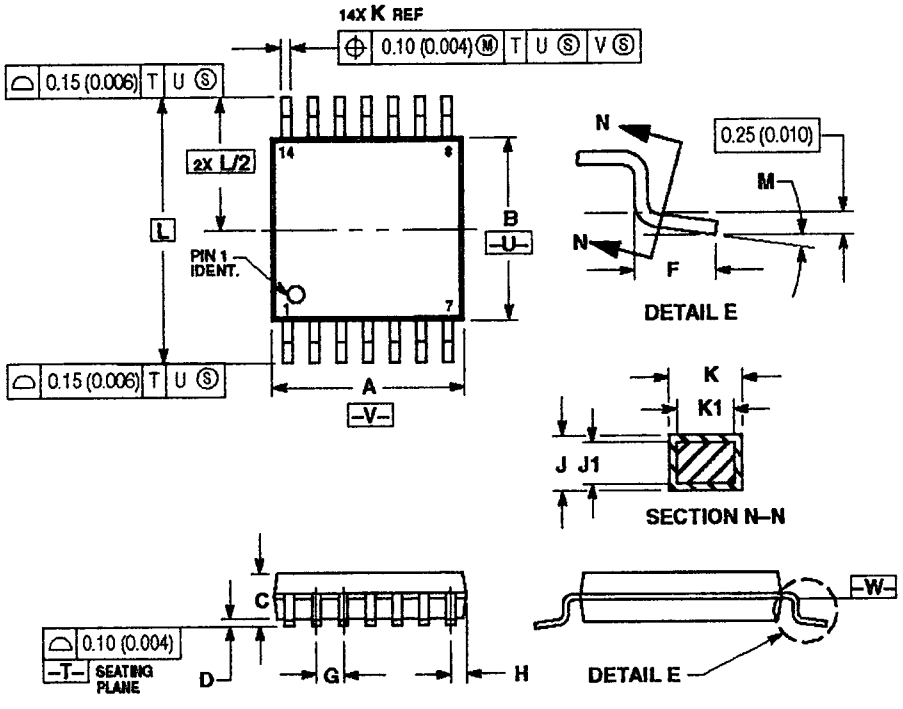
D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948G–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE –W–.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

MC54/74HC08A

Quad 2-Input AND Gate
High–Performance Silicon–Gate CMOS

The MC54/74HC08A is identical in pinout to the LS08. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 24 FETs or 6 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

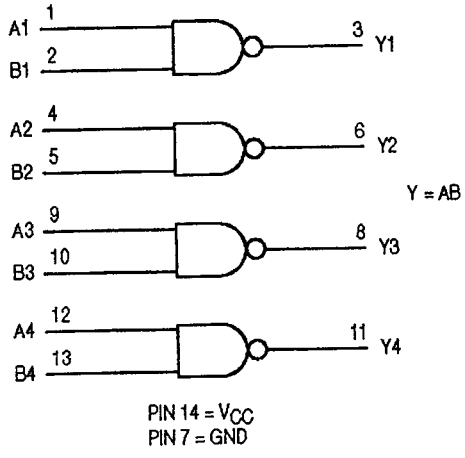
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948B–03

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

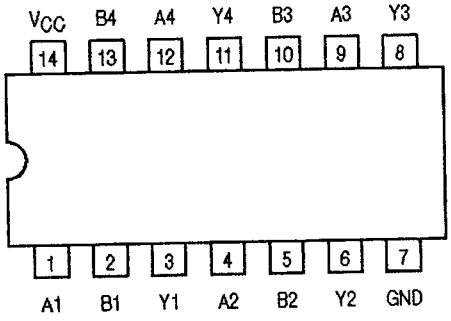
LOGIC DIAGRAM



FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

Pinout: 14–Lead Packages (Top View)



© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	 260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V V_{CC} = 4.5 V V_{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				–55 to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} –0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} – 0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High–Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	µA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND I_{out} = 0µA	6.0	1.0	10	40	µA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC CHARACTERISTICS (C_L = 50pF, Input $t_r = t_f$ = 6ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55 to 25°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V, V_{EE} = 0 V	
C_{PD}	Power Dissipation Capacitance (Per Buffer)*	20	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

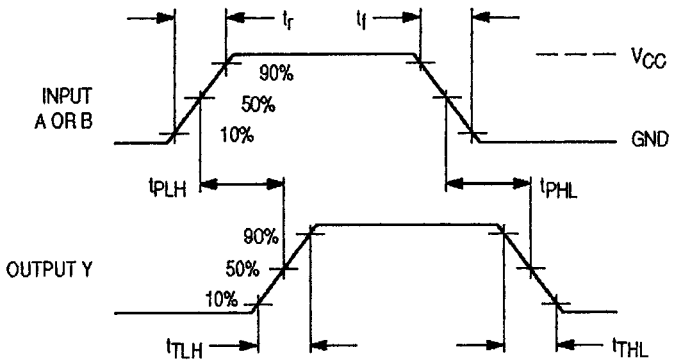
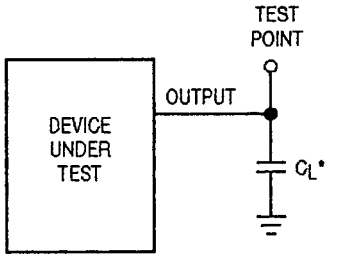


Figure 1. Switching Waveforms



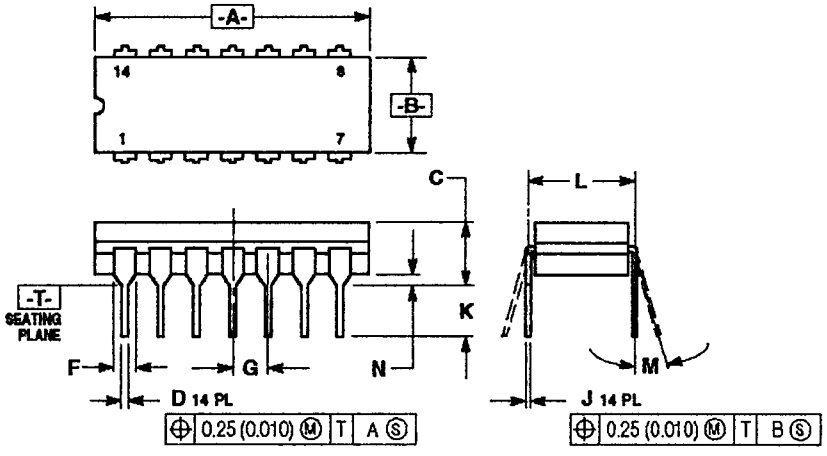
*Includes all probe and jig capacitance

Figure 2. Test Circuit

Figure 3. Expanded Logic Diagram
(1/4 of the Device)

OUTLINE DIMENSIONS

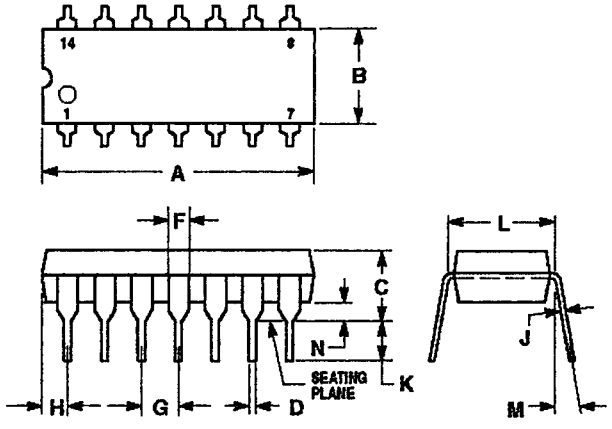
J SUFFIX
CERAMIC DIP PACKAGE
CASE 632–08
ISSUE Y



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMESNION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

N SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE L

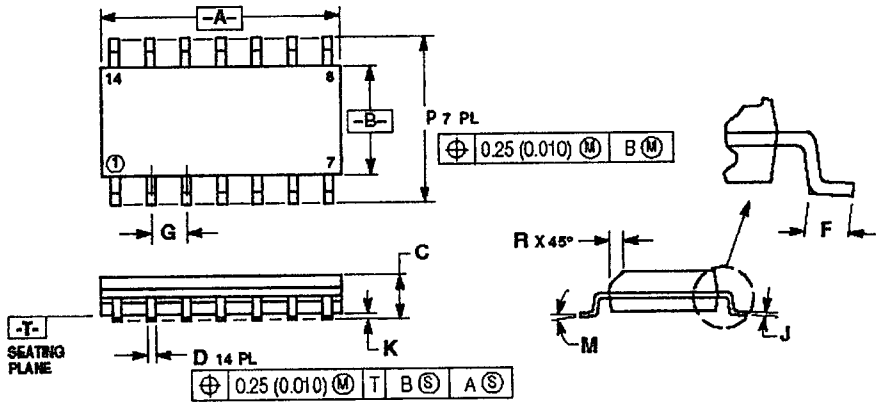


NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

OUTLINE DIMENSIONS

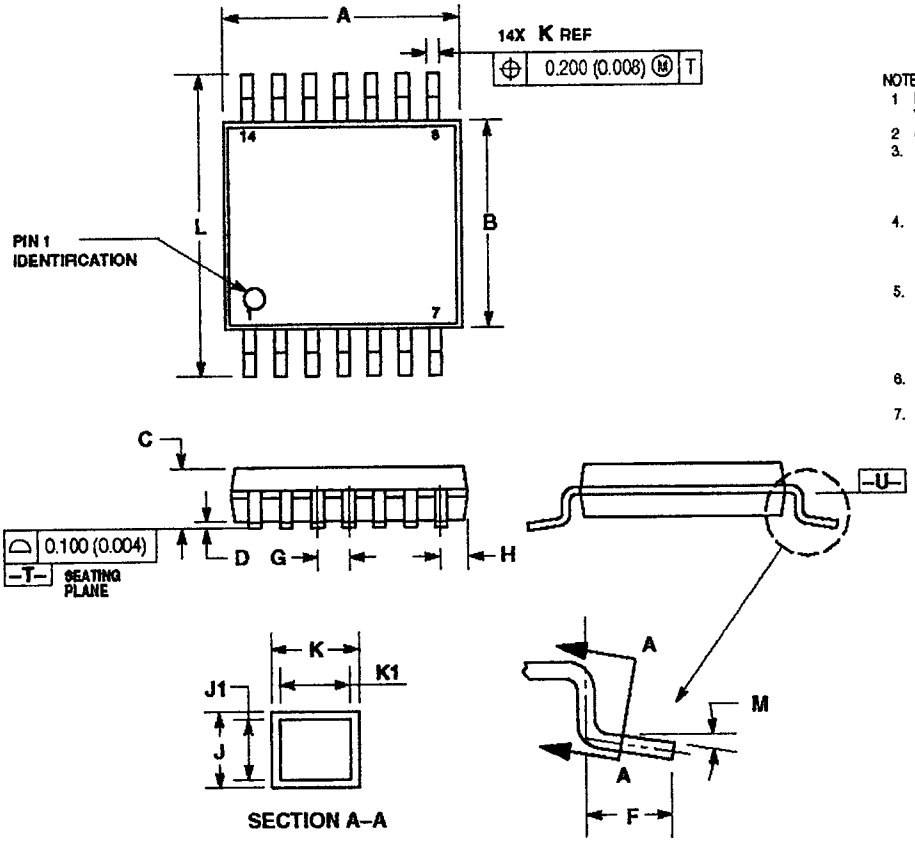
D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948B–03
ISSUE A



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSIONS A AND B ARE TO BE DETERMINED AT DATUM PLANE –U–.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	—	5.10	—	0.200
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.25	0.002	0.010
F	0.45	0.55	0.018	0.022
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.24	0.004	0.009
J1	0.09	0.18	0.004	0.007
K	0.19	0.32	0.008	0.013
K1	0.19	0.26	0.008	0.010
L	6.30	6.50	0.248	0.256
M	0°	10°	0°	10°