ระบบควบคุม 8 แชลแนลด้วยโทรศัพท์

ผ่านสายไฟฟ้า และ รายงานสถานภาพทางเพจเจอร์

8-CHANNEL CONTROL SYSTEM BASED - TELEPHONE

VIA AC LINE AND REPORTED STATUS BY PAGER

โดย

นาย ยิ่งศักดิ์ เพ็ชรนิล

นาย สันติ ภัทรสุธีวโรดม

นาย เทวัญ ตรีสุคนธ์

วัน เดือน ปี 18 พ.ค. 2540

เลขทะเบียน 037299

เลขเรียกหนังสือ T 39010 ย 2665

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุม 8 แชลแนลด้วยโทรศัพท์ ผ่านสายไฟฟ้า และ รายงานสถานภาพทางเพจเจอร์

8 - CHANNEL CONTROL SYSTEM BASED - TELEPHONE VIA AC LINE AND REPORTED STATUS BY PAGER

โดย

นาย ยิ่งศักดิ์	เพ็ชรนิล	เลขประจำตัว 37013078
นาย สันติ	ภัทรสุธีวโรดม	เลขประจำตัว 37013045
นาย เทวัญ	ตรีสุคนธ์	เลขประจำตัว 37013064

อาจารย์ที่ปรึกษา

รองศาสตราจารย์ ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุม 8 แชลแนลด้วยโทรศัพท์ ผ่านสายไฟฟ้า และ รายงานสถานภาพทางเพจเจอร์

8 - CHANNEL CONTROL SYSTEM BASED - TELEPHONE VIA AC LINE AND REPORTED STATUS BY PAGER

นาย ยิ่งศักดิ์ เพ็ชรนิล

นาย สันติ ภัทรสุธีวโรดม

นาย เทวัญ ตรีสุคนธ์

อาจารย์ที่ปรึกษา รองศาสตราจารย์ ดร. กอบชัย เดชหาญ

บทคัดย่อ

รูปแบบการทำงานของชุดควบคุมผ่านทางสายโทรศัพท์ที่ทำขึ้นทั่วๆไป มักมีรูปแบบการใช้งานเฉพาะด้านเช่นสั่งให้อุปกรณ์ทำงานเท่านั้น ทำให้ผู้ใช้งานต้องถูกจำกัดการใช้งานตามรูปแบบที่ถูกกำหนดมา ดังนั้น จุดประสงค์ของโครงงานนี้ ออกแบบมาเพื่อให้มีความยืดหยุ่นในการใช้งานมากขึ้น ทำให้ผู้ใช้งานสามารถ นำไปประยุกต์ ใช้เพื่อ ควบคุมอุปกรณ์ไฟฟ้าแบบป้อนกลับได้ และสามารถรายงานสถานภาพทางเพจเจอร์ หรือสร้างระบบที่มีความซับมากขึ้นได้ อุปกรณ์หลักของระบบควบคุม 8 แชลแนลด้วยโทรศัพท์ผ่านสายไฟฟ้า และ รายงานสถานภาพทางเพจเจอร์ คือ ไมโครคอลโทรลเลอร์ ในชุดควบคุมหลักซึ่งจะทำการสื่อสารข้อมูลกับชุดควบคุมรอง โดยผ่านสายไฟฟ้า (220 V) ในแต่ละชุดควบคุมรองจะประกอบไปด้วยเอาท์พุท 4 แชลแนล สำหรับควบคุมจากอุปกรณ์ไฟฟ้า และ อินพุท 4 แชลแนลสำหรับรับสัญญาณจากอุปกรณ์ตรวจจับ ซึ่งอินพุทในแต่ละแชลแนลสามารถนำไปเป็นเงื่อนไขในการควบคุมอุปกรณ์ไฟฟ้าแบบป้อน-กลับ และเพิ่มความสามารถในการแจ้งเตือน สถานะภาพของอุปกรณ์ภายในบ้านตามที่ต้องการ

Abstrack

This project proposes a control system via telephone line . This project is more extra than the other project. It has been improved and more flexibility than the peviouse equipment . It reports the function by using radio pager . It consists of 8 channels to control the electrical equipments via telephone line incorporated with AC line and radio pager . The microcontroller is used to be main controller to communicate with the auxilary controllers . Each auxilary controller consists of 4 channels to receive the signal from sensrs . The inputs of each channel can be used to control the uipment as feedback. control system . It can be increased the warning system of equipment status in the home.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบควบคุม 8 แชลแนล ด้วยโทรศัพท์ ผ่านสายไฟฟ้า และ รายงานสถานภาพทางเพจเจอร์

(8 - CHANNEL CONTROL SYSTEM BASED - TELEPHONE VIA AC LINE AND REPORTED STATUS BY PAGER)

ผู้จัดทำ

นาย ยิ่งศักดิ์ เพ็ชรนิล เลขประจำตัว 37013078

นาย สันติ ภัทรสุธีวโรดม เลขประจำตัว 37013045

นาย เทวัญ ตรีสุคนธ์ เลขประจำตัว 37013064

รองศาสตราจารย์ ดร. กอบชัย เดชหาญ อาจารย์ที่ปรึกษา

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	บทคัดย่อ	
	สารบัญ	
	สารบัญรูปภาพ	หน้า
บทที่ 1	บทนำ	1
	1.1 ความเป็นมาและความสำคัญของปัญหา	1
	1.2 วัตถุประสงค์ของโครงงาน	1
	1.3 ขอบเขตของโครงงาน	1
	1.4 วิธีการดำเนินโครงงาน	1
	1.5 ประโยชน์ที่ได้รับจากโครงงาน	2
	1.6 ลักษณะทั่วไปของระบบ	2
บทที่ 2	ระบบโทรศัพท์	7
	2.1 ระบบโทรศัพท์	7
	2.2 การทำงานของโทรศัพท์	8
	2.3 สัญญาณพื้นฐาน	9
	2.4 การติดต่อกันระหว่างเครื่องส่ง และเครื่องรับโทรศัพท์	9
	2.5 ระบบโทรศัพท์แบบส่งความถี่คู่(DTMF)	10
	2.6 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม	12
	2.7 การเข้ารหัสและการถอดรหัสความถี่ของโทรศัพท์ระบบ DTMF	13
บทที่ 3	ทฤษฎีที่เกี่ยวข้องกับโครงงาน	15
	3.1 ระบบโทรศัพท์แบบ DTMF	15
	3.2 สถาปัตยกรรมของไมโครคอนโทรลเลอร์ MCS 51	16
	3.3 TCM 5089 (DTMF GENERATOR)	33
	3.4 MT 8870 (DTMF DECODER)	35
	3.5 ISD 1420 VOICE RECORD / PLAY DEVICE	41
	3.6 PAL (PROGRAMMABLE ARRAY LOGIC)	46
บทที่ 4	การออกแบบ และสร้างโครงงาน	53
	4.1 KEYPAD ENCODER (USED PAL)	56
	4.2 ภาค DTMF DECODER (MT 8870)	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
	4.3 ภาค DTMF GENERATOR (TCM 5089)	61
	4.4 ภาคบันทึกเสียง VOICE UNIT (ISD 1420)	62
	4.5 AC LINE INTERFACE	64
บทที่ 5	การทดลอง และผลการทดลอง	84
บทที่ 6	สรุปผลการทดลอง	100
	ภาคผนวก	
	ภาคผนวก ก. MONITOR PROGRAM	
	ภาคผนวก ข. HARDWARE CIRCUIT	
	ภาคผนวก ค. DATA SHEET	
	กิตติกรรมประกาศ	
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

บทที่ 1		หน้า
รูปที่ 1.1	BLOCK DIAGRAM ของระบบที่ BASE STATION	3
รูปที่ 1.2	แสดงการ CONTROL ของผู้ใช้ ผ่าน LINE TELEPHONE ไปยัง MPU	4
รูปที่ 1.3	แสดงการ CONTROL ของ MPU ผ่าน AC LINE ไปยัง SUPPORT CONTROL	4
รูปที่ 1.4	แสดงการ TRANSFER ข้อมูลจาก SUB CONTROL ไปยัง MPU	5
รูปที่ 1.5	SUB CONTROL	6
บทที่ 2		
รูปที่ 2.1	แสดงบล๊อกไดอะแกรมของโทรศัพท์	8
รูปที่ 2.2	แสดงสัญญาณพื้นฐาน	11
รูปที่ 2.3	แสดงแป้นกดหมายเลข และค่าความถี่ในแนวนอน และแนวตั้งของหมายเลขนั้น ๆ	12
รูปที่ 2.4	แสดงความถี่ของระบบ DTMF	13
บทที่ 3		
รูปที่ 3.1	ตารางของไมโครคอนโทรลเลอร์แบบชิพเดี่ยวในตระกูล MCS - 51	16
รูปที่ 3.2	ไดอะแกรมโครงสร้างของ MCS - 51	18
รูปที่ 3.3	ภาพเสมือนของหน่วยความจำ	19
รูปที่ 3.4	แผนภูมิหน่วยความจำของ MCS - 51 เบอร์ 8051	21
รูปที่ 3.5	สถาปัตยกรรมภายในของ MCS - 51	22
รูปที่ 3.6	ไดอะแกรมขาของ MCS - 51 แบบ DIP	22
รูปที่ 3.7	โครงสร้างของ PORT 0	23
รูปที่ 3.8	โครงสร้างของ PORT 1	25
รูปที่ 3.9	โครงสร้างของ PORT 2	25
รูปที่ 3.10	โครงสร้างของ PORT 3	26
รูปที่ 3.11	ค่าของรีจิสเตอร์เมื่อเกิดการรีเซ็ท MCS - 51	28
รูปที่ 3.12	MCS - 51 ที่ทำงานโดยสัญญาณที่มาจากภายนอก	30
รูปที่ 3.13	ลำดับสถานะการทำงานใน MCS - 51	31
รูปที่ 3.14	รหัสคำสั่งของ MCS - 51	32
รูปที่ 3.15	บล๊อกไดอะแกรม	33
รูปที่ 3.16	แสดงการจัดขาใช้งานของ TCM - 5089	34
รูปที่ 3.17	แสดงวงจรใช้งานเบื้องต้น	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.18 แสดงโครงสร้างภายใน 36
รูปที่ 3.19 แสดงค่าที่ถอดรหัสจากความถี่ต่าง ๆ 37
รูปที่ 3.20 แสดงวงจรตรวจสอบสัญญาณอย่างง่าย และการกำหนดการ์ดไทม์ และวิธีคำนวณ 38
รูปที่ 3.21 แสดงการต่อวงจรภาคอินพุท 38
รูปที่ 3.22 แสดงความถี่ที่ได้จากภาคกรองความถี่ 39
รูปที่ 3.23 แสดงแผนภูมิเวลา (TIMING DIAGRAM) ของ MT 8870 39
รูปที่ 3.24 คุณสมบัติทางไฟฟ้าของ ISD 12XX / 14XX 42
รูปที่ 3.25 บล๊อกไดอะแกรมภายในตัวไอซี 43
รูปที่ 3.26 แสดงรูปการจัดขา ใช้งานของ ISD 12XX / 14XX 43
รูปที่ 3.27 โครงสร้างภายในของ PLL และ PLA เมื่อยังไม่ได้โปรแกรม 46
รูปที่ 3.28 TIMING OF PROGRAMMING PROCEDURE 51
รูปที่ 3.29 LOGIC DIAGRAM OF TIBPAL 16L8 วงจรภายในของ PAL 52

บทที่ 4

รูปที่ 4.1 FLOW CHART 53
รูปที่ 4.2 TELEPHONE INTERFACE BLOCK DIAGRAM 54
รูปที่ 4.3 บล๊อกไดอะแกรมของตัวส่งสัญญาณควบคุม 64
รูปที่ 4.4 วงจรเข้ารหัส 64
รูปที่ 4.5 ขาต่าง ๆ ของ ไอซีเบอร์ MC 145026 65
รูปที่ 4.6 บล๊อกไดอะแกรมการเข้ารหัสของ MC 145026 66
รูปที่ 4.7 วงจรออสซิลเลเตอร์ที่ใช้ใน ไอซี MC 145026 66
รูปที่ 4.8 สัญญาณไทม์มิ่งไดอะแกรมของ MC 145026 68
รูปที่ 4.9 ลักษณะการเข้ารหัสของบิทข้อมูล 69
รูปที่ 4.10 วงจรภายในของชุด รับ - ส่ง กระแสร์คลื่นพาห์ 70
รูปที่ 4.11 บล๊อกไดอะแกรมชุดรับสัญญาณควบคุมการ เปิด - ปิด อุปกรณ์ไฟฟ้า 73
รูปที่ 4.12 สัญญาณต่าง ๆ ของ LM 1893N 74
รูปที่ 4.13 ขาของไอซีเบอร์ MC 145026 74
รูปที่ 4.14 บล๊อกไดอะแกรมการถอดรหัสของ MC 145027 75
รูปที่ 4.15 FLOWCHART แสดงการทำงานของ MC 145027 76
รูปที่ 4.16 วงจรถอดรหัสสัญญาณ 77
รูปที่ 4.17 วงจรแท้งค์ลักษณะต่าง 80
รูปที่ 4.18 ลักษณะการพันของ YMC 6649 81
รูปที่ 4.19 แสดงคุณลักษณะของ BAND PASS FILTER 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

รูปที่ 5.1.1 แสดงสัญญาณ Sine Wave ความถี่ 1 kHz ที่ใช้ทดสอบ VOX 84

รูปที่ 5.1.2 แสดงผลตอบสนองของ VOX ต่อสัญญาณทดสอบ 85

รูปที่ 5.2.1 แสดงเสียงความถี่ 1 kHz ที่ทดลองบันทึกภาค Voice Unit 86

รูปที่ 5.2.2 สัญญาณ เอ้าท์พุท เมื่อเล่นกลับภาค Voice Unit 87

รูปที่ 5.3.1 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัสที่ (A1 - A9) เป็น 11011110 88

รูปที่ 5.3.2 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัส 100100000 89

รูปที่ 5.3.3 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัส 110111011 90

รูปที่ 5.3.4 สัญญาณ Clock ของ MC 145026 ความถี่ 925 Hz 91

รูปที่ 5.5.1 สัญญาณ เอ้าท์พุท ของ LM 1893 เมื่อ Data = 0 93

รูปที่ 5.5.2 สัญญาณ เอ้าท์พุท ของ LM 1893 เมื่อ Data = 1 94

รูปที่ 5.5.3 สัญญาณที่ขด Secondary ของ IFT ด้านรับที่ระยะ 20 เมตร 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

สภาพสังคมไทยในปัจจุบันทำให้มนุษย์ต้องทำงานมากขึ้นเพื่อที่จะมีรายได้มากขึ้น การทำงานส่วนมากต้องเดินทางออกจากบ้านและปิดบ้านทิ้งไว้โดยไม่มีคนเฝ้า ซึ่งเป็นการเปิดโอกาสให้เกิดเหตุการณ์ที่ไม่คาดคิดขึ้นเช่น แก๊สรั่ว ไฟไหม้ โจรกรรม และอื่นๆ การนำอุปกรณ์ทางอิเล็กทรอนิกส์มาใช้งานเพื่อป้องกันไม่ให้เกิดเหตุการณ์ที่ไม่พึงประสงค์เป็นทางออกทางหนึ่ง ระบบควบคุม 8 แชนแนลด้วยโทรศัพท์ผ่านสายไฟฟ้า และเพจเจอร์ (8 CHANNEL CONTROL SYSTEM BASED-TELEPHONE VIA AC LINE AND PAGER) ที่นำเสนอในฉบับนี้ได้พิจารณาปัญหาที่จะเกิดขึ้นและทำงานเป็นชุดควบคุมระบบด้วยอินพุทและเอาท์พุทที่ผู้ใช้กำหนดโดยให้อินพุทเป็นตัวควบคุมเอาท์พุท ทำให้ผู้ใช้สามารถกำหนดการทำงานของระบบได้กว้างขึ้น และ ยังสามารถกำหนดให้อินพุทที่ทำงาน ไปแสดงผลบน Pager ที่ระบุหมายเลขไว้ในระบบผ่านทางคู่สายโทรศัพท์ได้

ดังนั้น การใช้ระบบควบคุม 8 แชนแนลด้วยโทรศัพท์ ผ่านสายไฟฟ้าและเพจเจอร์ จะสามารถลดความเสียหายที่จะเกิดจากเหตุการณ์ไม่พึงประสงค์ได้

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อสร้างชุดควบคุมระบบที่สามารถใช้งานได้กว้างตามความต้องการของผู้ใช้

1.2.2 เพื่อสร้างระบบเตือนเหตุร้ายที่สามารถทำงานเองโดยอัตโนมัติที่ระดับหนึ่ง

1.2.3 เพื่อสร้างระบบเตือนเหตุร้ายที่สามารถแจ้งผู้ใช้ได้ทันท่วงทีโดยผ่าน PAGER

1.2.4 เพื่อประยุกต์นำไมโครคอนโทลเลอร์มาใช้กับระบบสื่อสาร

1.3 ขอบเขตของโครงงาน

1.3.1 สร้างระบบ อินเตอร์เฟส

1.3.1.1 ระบบ อินเตอร์เฟสระหว่างไมโครคอนโทลเลอร์ กับระบบโทรศัพท์

1.3.1.2 ระบบ อินเตอร์เฟสระหว่างไมโครคอนโทลเลอร์ กับ ระบบไฟฟ้าในบ้าน

1.3.2 สร้างชุดควบคุมด้วยไมโครคอนโทลเลอร์

1.3.2.1 สร้างชุดควบคุมที่ชุด BASED STATION

1.3.2.2 สร้างชุดควบคุมที่ชุด SUPPORT CONTROL (LOGIC CONTROL)

1.4 วิธีการดำเนินโครงงาน

1.4.1 ศึกษาแนวทางและความเป็นไปได้ของโครงงาน

1.4.2 เสนอโครงงาน

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4.3 ดำเนินการทดลองและสร้าง HARDWARE

1.4.4 ดำเนินการเขียน SOFTWARE

1.4.5 ทดลองและสรุปผลโครงงาน

1.4.6 ทำหนังสือประกอบโครงงาน

1.5 ประโยชน์ที่จะได้รับจากโครงงาน

1.5.1 ทำให้ผู้ใช้ระบบทราบเหตุการณ์ที่ตัวตรวจจับรับไว้ได้รวดเร็วขึ้นและหมายถึงสามารถแก้ปัญหาได้เร็วขึ้นทำให้เกิดความเสียหายน้อยลง

1.5.2 สร้างความมั่นใจให้ผู้ใช้ระบบ ทำให้สุขภาพจิตดีขึ้น

1.5.3 จากระบบที่ใช้งานได้กว้างทำให้ระบบทำงานได้ทั้งการเตือนภัยและการบริการ

1.5.4 การเคลื่อนย้ายระบบที่ทำได้โดยง่ายเพราะสามารถย้ายชุด SUPPORT CONTROL ไปหากลุ่มมีตัวตรวจจับหรือกลุ่มอุปกรณ์ไฟฟ้าได้ทุกที่ที่มี AC LINE ในระยะที่สามารถติดต่อกันได้ระหว่าง BASED STATION กับ SUPPORT CONTROL

1.5.5 สามารถลดแรงงานในการตรวจสอบความปลอดภัย

1.5.6 สามารถนำเอา MICROPROCESSOR มาประยุกต์ใช้งาน

1.6 ลักษณะทั่วไปของ ระบบควบคุม 8 แชนแนลด้วยโทรศัพท์ผ่านสายไฟฟ้าและเพจเจอร์

ระบบประกอบด้วย

1.6.1 ชุด TELEPHONE INTERFACE

1.6.2 ชุด MICROPROCESSOR UNIT (MPU) AND PORT CONTROL

1.6.3 ชุด DISPLAY UNIT

1.6.4 ชุด DTMF DECODER

1.6.5 ชุด DTMF GENERATOR

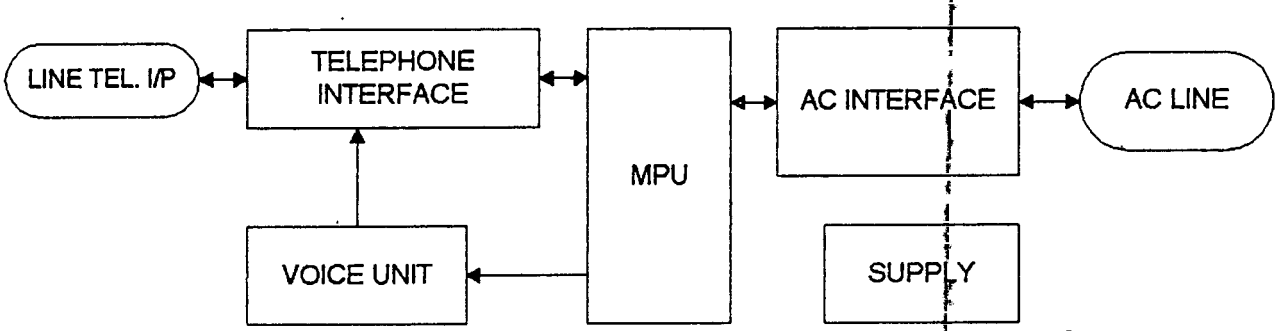
1.6.6 ชุด VOICE UNIT

1.6.7 ชุด AC INTERFACE

1.6.8 ชุด POWER SUPPLY

1.6.9 SWITCH CONTROL SIGNAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1.1 BLOCK DIAGRAM ของระบบที่ BASE STATION

อธิบายการทำงานโดยสังเขป

ที่ BASE STATION จะมี MPU เป็นตัวประเมินผลหลักของระบบโดยรวม มีการทำงานออกเป็นหลายส่วนดังนี้

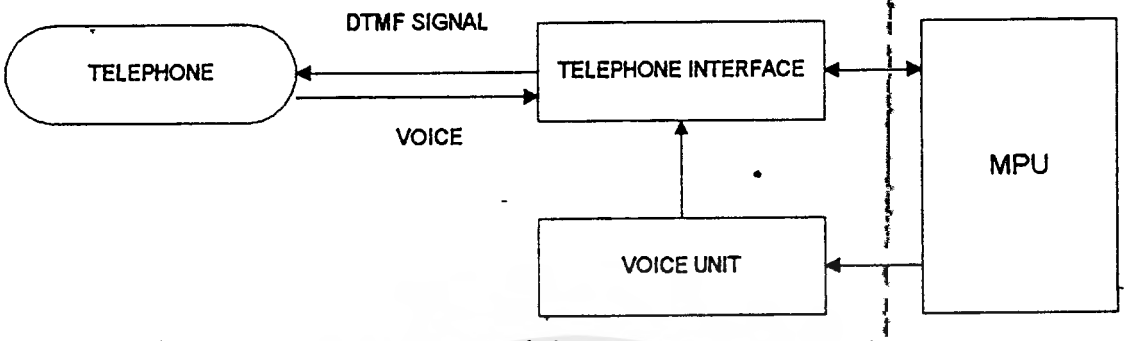
- รับสัญญาณแสดงสถานะภาพ ของระบบสายโทรศัพท์เพื่อตัดสินใจในการส่งสัญญาณควบคุม ให้ TELEPHONE INTERFACE ทำงานตามโปรแกรม

- ถ้าเงื่อนไขจากสัญญาณ TELEPHONE INTERFACE เริ่มทำงาน MPU จะสั่งให้ TELEPHONE INTERFACE ต่อระบบสายโทรศัพท์ให้กับ DTMF DECODER เพื่อรอรับรหัสดิจิตอลจาก DTMF GEN เป็นตัวให้ตัดสินใจการเข้าระบบของผู้โทรเข้า

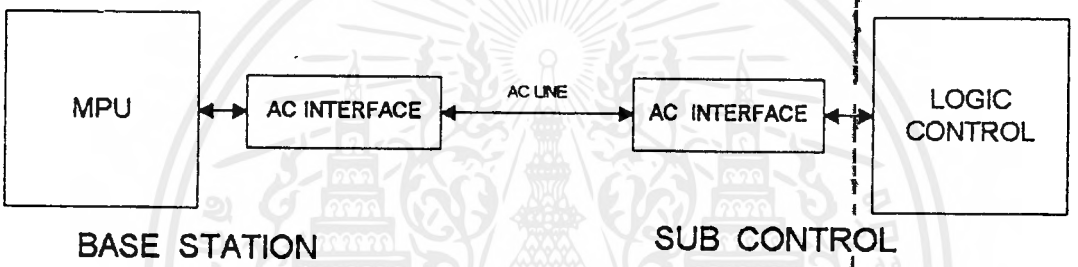
หลังจากเข้าสู่ระบบแล้วผู้ใช้งานสามารถ CONTROL ด้วย ระบบสัญญาณ DTMF ผ่านสายโทรศัพท์ โดยการกด DTMF KEY ตามคำแนะนำ ที่ MPU ทำการ CONTROL VOICE UNIT ผ่านสายโทรศัพท์ไปยังผู้ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนการควบคุมของระบบจะใช้ DTMF SIGNAL , สัญญาณดิจิตอล เป็นสัญญาณควบคุมแบ่งตามสายการควบคุมดังนี้



รูป 1.2 แสดงการ CONTROL ของผู้ใช้ ผ่าน LINE TELEPHONE ไปยัง MPU

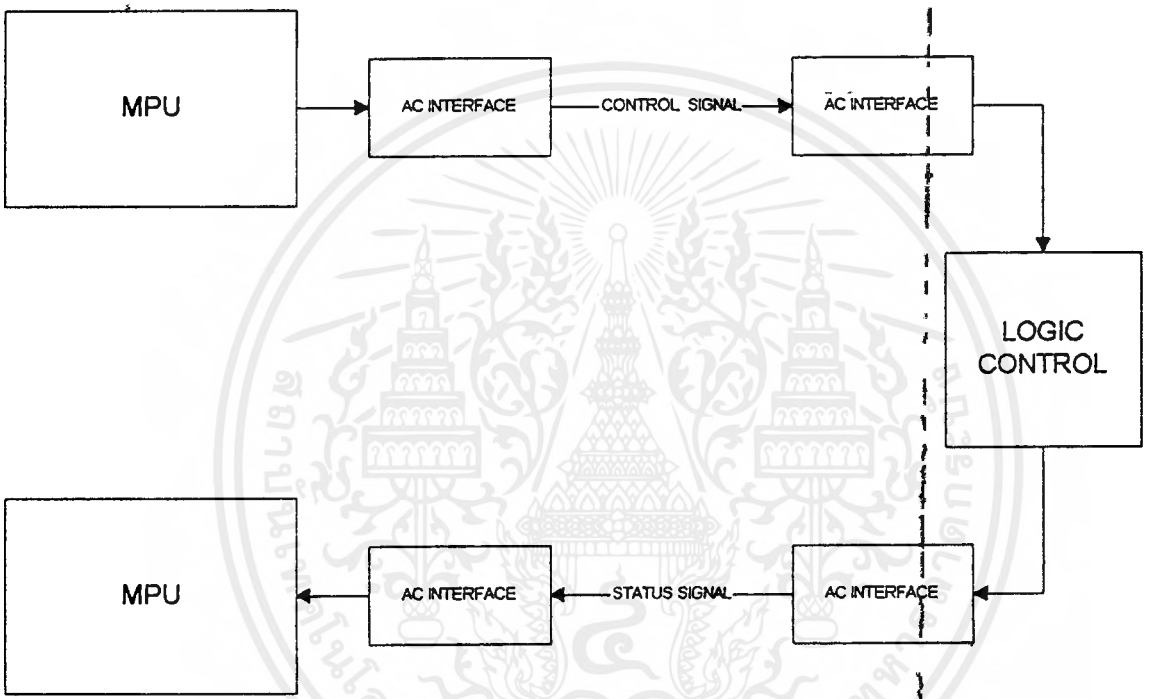


รูป 1.3 แสดงการ CONTROL ของ MPU ผ่าน AC LINE ไปยัง SUPPORT CONTROL

โดยที่ MPU ทำการส่ง DATA จำนวน 8 BIT ไปให้ชุด AC INTERFACE ซึ่งจะทำการส่ง DATA โดยรับแบบขนาน จาก MPU แล้วทำการเข้ารหัสโดยใช้ IC NO. MC 145026 แล้วส่ง DATA ที่เข้ารหัสแล้วออกไปในรูปอนุกรมไปยังวงจรมอดูเลเตอร์ ใช้ IC NO.LM 1893N ซึ่งจะทำหน้าที่เป็น "ตัวรับส่งกระแสคลื่นพาห์" ส่งสัญญาณผ่าน AC LINE ไปยังภาครับซึ่งประกอบด้วย IC NO.LM 1893N ที่ต่อเป็นชุดรับข้อมูลทำหน้าที่คับปลิ้ง DATA ที่เข้ารหัสขึ้นมาจาก AC LINE แล้วส่งไปยังชุดถอดรหัสใช้ IC NO.MC145027 ได้ OUTPUT ออกมาเป็น DATA 8 BIT ตรงตามที่ทางภาคส่งส่งมาให้ ส่วนในกรณีที่ทางภาค

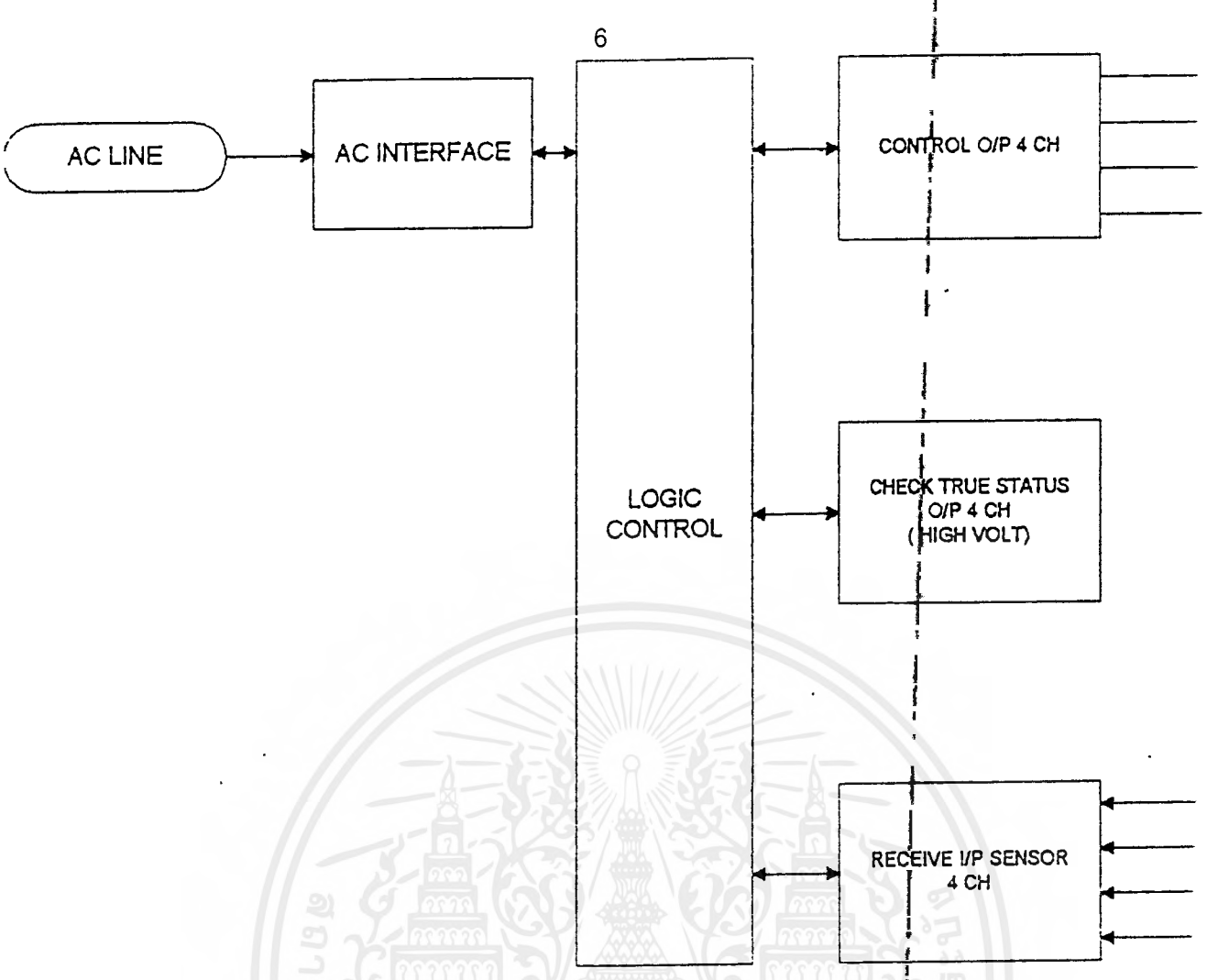
SUB CONTROL ต้องการส่ง DATA มายังภาค BASE STATION ก็ใช้ภาคส่ง และรับรวมทั้งการเข้ารหัสแบบเดียวกับที่อธิบายข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1.4 แสดงการ TRANSFER ข้อมูลจาก SUB CONTROL ไปยัง MPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 SUB - CONTROL

จากรูป 1.5 จะแสดง BLOCK DIAGRAM ที่ภาค Sub Control ซึ่งไม่ค่อยมีความซับซ้อนเท่ากับที่ Base Station เพราะมีหน้าที่หลักคือการรับคำสั่งจากภาค Base Station และทำตามเท่านั้น

- ชุด CONTROL OUTPUT 4 CH. (HIGH VOLTAGE) มีหน้าที่เป็นชุดควบคุมการเปิด-ปิดของเอาท์พุท (แรงดันไฟสูง)

- ชุด CHECK TRUE STATUS OUTPUT 4 CH. มีหน้าที่แสดงสถานะภาพจากแรงดันไฟสูง ซึ่งหมายถึงเป็นสถานะภาพจริงที่จ่ายแก่อุปกรณ์ไฟฟ้า

- ชุด RECEIVE INPUT 4 CH. มีหน้าที่เป็นชุดรับสถานะภาพของอินพุทที่นำไปต่อใช้งานในความต้องการต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบโทรศัพท์

2.1 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบสื่อสารที่มีโครงข่ายชุมสายบริการสมาชิกและผู้รู้เลขหมายสมาชิกให้สามารถเรียกสลับคู่สนทนาต่าง ๆ โดยลดการเดินทางที่ไม่จำเป็นลงได้

โทรศัพท์ที่ใช้อยู่ในปัจจุบันมี 2 ระบบ คือ ระบบ Cross bar (หน้าปัดแบบหมุน) กับระบบ DTMF (หน้าปัดแบบกดปุ่ม) Dual Tone Multu Frequency ซึ่งเป็นระบบเดิมที่ใช้แต่แรก ส่วน DTMF นั้นเป็นระบบใหม่ที่นำมาใช้แทนที่สำหรับข้อดีกว่าจะนำเสนอต่อไป และในที่นี้จะเน้นเฉพาะระบบ DTMF ซึ่งเป็นระบบที่ใชมากในปัจจุบัน

ในระบบโทรศัพท์จะประกอบด้วย

1. การเรียกทางโทรศัพท์ (TELEPHONE CALL) คือ การเรียกผ่านระบบโทรศัพท์ระหว่างสมาชิกผู้เรียกและผู้รับ

2. เครื่องโทรศัพท์ (TELEPHONE SET) คือ อุปกรณ์สำหรับสมาชิกใช้พูดและฟังในการสนทนาผ่านโครงข่ายโทรศัพท์ เมื่อต้องการเรียกก็หมุนหรือกดหมายเลขผู้รับที่หน้าปัด

3. ผู้เรียก (CALLING SUBSCRIBER) หรือสมาชิกผู้เรียก คือผู้เริ่มต้นการเรียกจะด้วยการแจ้งให้พนักงานช่วยต่อกับผู้รับ หมุนหรือกดหมายเลขของผู้รับเมื่อเครื่องโทรศัพท์นั้นเป็นคู่สายของเครื่องชุมสายอัตโนมัติ

4. ผู้รับ (CALLED SUBSCRIBER) หรือสมาชิกผู้ถูกเรียก คือผู้ตอบรับการเรียกทางโทรศัพท์เมื่อได้ยินสัญญาณกริ่งเรียก (RINGING SIGNAL)

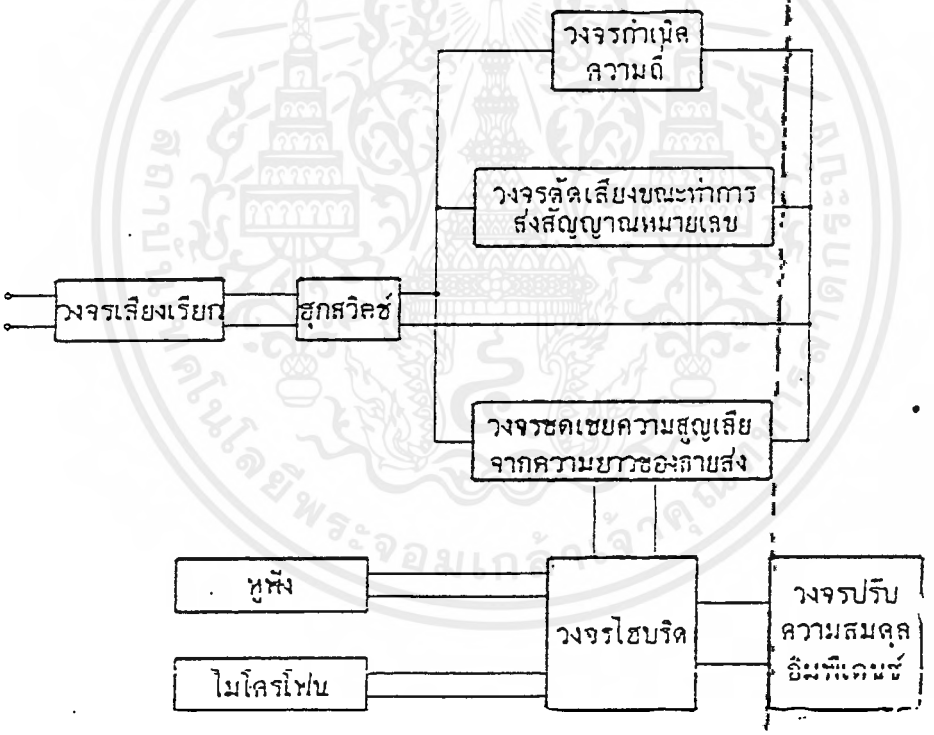
5. คู่สายสมาชิก (STBSCRIBERLINE) คือคู่ตัวนำกระแสไฟฟ้าที่เปลี่ยนมาจากเสียงพูดแจกจ่ายออกมาจากสถานีที่ติดตั้งเครื่องชุมสายท้องถิ่นไปยังบ้านของผู้เช่าหรือสมาชิกแต่ละรายอย่างอิสระ

6. เครื่องชุมสายโทรศัพท์ (อัตโนมัติ) (AUTOMATICTELEPHONE SWIT CHING) คือ เครื่องที่ทำหน้าที่ต่อสลับคู่สายระหว่างสมาชิกผู้เรียกกับผู้รับโดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การทำงานของโทรศัพท์

โทรศัพท์จะมี Block Diagram การทำงานดังรูป 2.1 ซึ่งแสดงส่วนต่าง ๆ ที่จำเป็นในเครื่องโทรศัพท์ โดยจะเชื่อมต่อด้วยสาย T (tip) และสาย R (ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องโทรศัพท์กับอุปกรณ์ของชุมสายก็คือ วงจรกำเนิดสัญญาณเรียก (ringer) ซึ่งจะส่งสัญญาณเรียก (ringing signal) เมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงคือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ ฮุกสวิทช์ (switch hook) จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังฮุกสวิทช์ได้ ดังนั้นถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากฮุกสวิตช์ก็จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามา



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีการยกหูโทรศัพท์ขึ้น ฮุกสวิตช์ก็จะปิดวงจรทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกันกระแสค่าเดียวกันนี้ก็จะไหลผ่านขดลวดรีเลย์ที่ชุมสายด้วย ก็จะทำให้หน้าสัมผัสของรีเลย์ที่ชุมสายถูกปิดลง เพื่อที่จะให้อุปกรณ์ต่าง ๆ ในชุมสายพร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายก็จะส่ง สัญญาณหมุน (dial tone) ไปยังผู้ที่ยกหูโทรศัพท์เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการติดต่อด้วยมายังชุมสาย หลังจากที่ชุมสายได้รับหมายเลขที่ถูกส่งออกมาแล้ว ชุมสายก็จะเลิกส่งสัญญาณหมุนซึ่งกระบวนการตอนนี้จะเกิดขึ้นอย่างรวดเร็ว

2.3 สัญญาณพื้นฐาน

คือสัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่าง ๆ ว่าควรทำอย่างไร ซึ่งประกอบด้วย

1. สัญญาณให้หมุน (Dial Tone) ใช้เพื่อแสดงให้สมาชิกผู้เรียกให้หมุนหมายเลขผู้รับมาได้ซึ่งเป็นเสียงที่ได้ยินเมื่อเวลายกหู เป็นสัญญาณเสียงที่มีความถี่ 350 กับ 440 เฮิรตซ์ มอดูเลตรวมกัน

2. สัญญาณไม่ว่าง (Busy Tone) ใช้เพื่อเตือนสมาชิกผู้เรียกว่า ผู้รับไม่ว่าควรวางหูก่อนระยะหนึ่งก่อนแล้วจึงเริ่มต่อใหม่ เป็นสัญญาณ 480 กับ 620 เฮิรตซ์ มอดูเลตกัน ดัง 0.5 วินาที เงียบ 0.5 วินาที

3. สัญญาณกริ่งเรียก (Ringing Tone Signal) ใช้เมื่อการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับสำเร็จ นั่นคือเครื่องชุมสายโทรศัพท์ดำเนินการต่อกับทางด้านผู้รับสำเร็จ ผู้รับจะได้ยินกริ่งเรียกเป็นสัญญาณ 16 Hz กำกับ 400Hz แบบ AM ส่ง 0.67-1.5 วินาที เงียบ 2-4 วินาที

4. สัญญาณเรียกกลับ (Ring Back Tone) ใช้เมื่อการต่อทุกขั้นตอนสำเร็จ เป็นการแจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จ เป็นสัญญาณความถี่ 440 กับ 480 เฮิรตซ์ มอดูเลตกันมา ช่วงเวลาส่งและเงียบเช่นเดียวกับสัญญาณกริ่งเรียก

2.4 การติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์

เครื่องส่ง

- ขณะที่ไม่ได้มีการยกหูโทรศัพท์ จะมีศักดาตกคร่อมสายโทรศัพท์เป็นสัญญาณกระแสตรง 48 V
- เมื่อมีผู้เรียกยกหูโทรศัพท์ศักดาจะลดลงเหลือ 8 V พร้อมทั้งมีสัญญาณให้หมุนซึ่งเป็นสัญญาณกระแสสลับขนาด 250 mV ความถี่ 400Hz กับความถี่ประมาณ 50Hz ซึ่งเมื่อกดรหัสสัญญาณความถี่แล้ว สัญญาณให้หมุนนี้จะหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กดรหัส (Code) เบอร์โทรศัพท์ทั้งหมด 7 หลัก รหัสความถี่ที่ส่งจะเป็นสัญญาณผสมสองความถี่เป็นความถี่สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่

- ขณะที่รอรับจะมีสัญญาณตอบกลับสองแบบ เพื่อจะบอกว่าสายว่างหรือไม่คือสัญญาณเรียกกลับหรือสัญญาณสายไม่ว่าง ตามลำดับ

- เมื่อมีการรับสายแล้ว สัญญาณจะขึ้นกับความดังของเสียงพูดตามสาย

- เมื่อวางหูโทรศัพท์เลิกการติดต่อ ขนาดศักดาจะกลับไปที่ 48 V ดังเดิมเครื่องรับ

- ขณะที่วางหูอยู่จะมีศักดากระแสตกคร่อมสายอยู่ 48 V

- เมื่อมีสัญญาณกริ่งเรียกจะมีขนาดประมาณ 100 V จังหวะดัง 1 วินาทีหยุด 4 วินาที ซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง

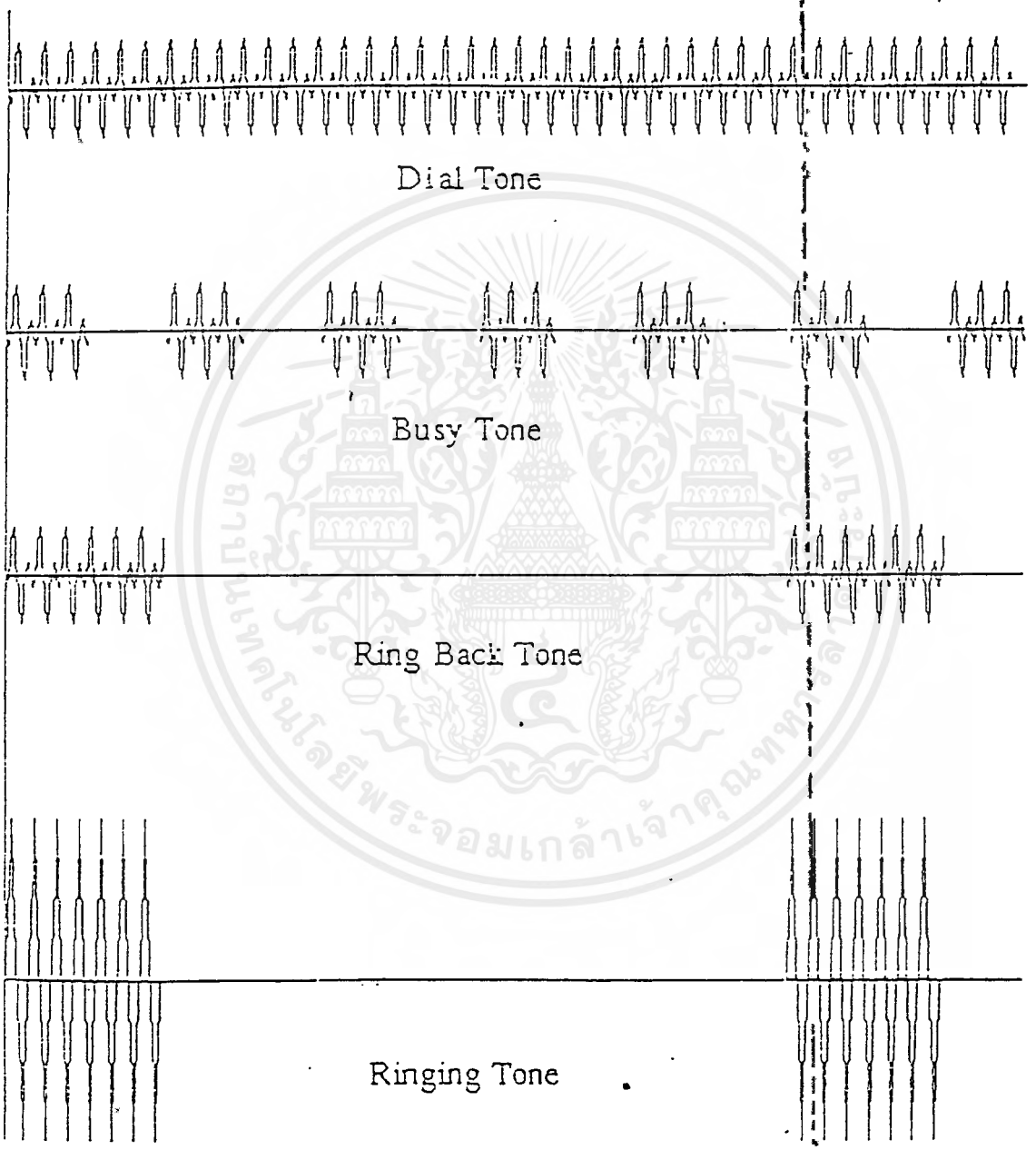
- จากนั้นเมื่อผู้รับยกหูโทรศัพท์ ขนาดศักดากระแสตรงจะเหลือ 8 V และมีการกระเพื่อมตามขนาดและความถี่ของเสียงพูด

- เมื่อสิ้นสุดการสนทนา วางหูโทรศัพท์ ขนาดศักดาจะกลับไปที่ 48 V ตามเดิม

2.5 ระบบโทรศัพท์แบบส่งความถี่คู่ (Dual Tone Multi Ferquancy Type)

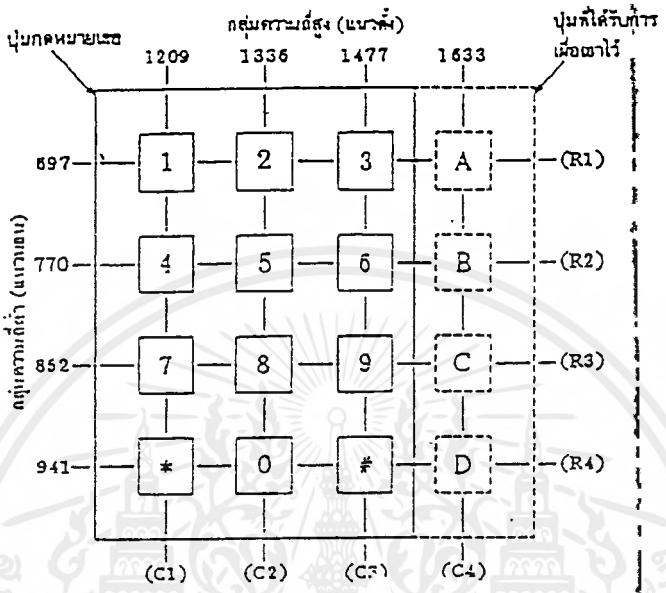
ระบบนี้มีวิธีการส่งหมายเลขของผู้ที่ต้องการจะติดต่อด้วย โครงการส่งสัญญาณความถี่ 2 ความถี่ มอดูเลตกันไป ซึ่งจะเป็นตัวแทนหมายเลขที่กด ซึ่งความถี่ที่ถูกส่งออกไปจะอยู่ในย่านความถี่เสียงพูด (0-4 กิโลเฮิรตซ์) ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอน และอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่าง ๆ จะแสดงไว้ในรูป 2.3 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ มอดูเลตกันออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงสัญญาณพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงแป้นกดหมายเลขและค่าความถี่ในแนวนอน และแนวตั้งของหมายเลขนั้น ๆ

2.6 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม (DTMF)

1) สามารถลดเวลาในการหมุนหมายเลขลงได้ ทำให้มีผลคือเวลาเฉลี่ยที่ใช้โทรศัพท์แต่ละครั้งลดลง ซึ่งทำให้ชุมสายโทรศัพท์สามารถรับ traffic ได้มากขึ้น

2) สามารถใช้วงจรทาง solid state electronic แทนอุปกรณ์ทางด้าน mechanic จึงทำให้มีความรวดเร็วและแม่นยำในการส่งหมายเลขมากขึ้น

3) สามารถเพิ่มปุ่มกดขึ้นได้อีก 4 ปุ่ม (Column ที่ 4) เพื่อใช้ในการส่งสัญญาณการบริการประเภทอื่น ๆ

4) มีความเหมาะสมที่จะใช้กับชุมสายระบบ Stored Program Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การเข้ารหัสและถอดรหัสความถี่ของโทรศัพท์ของระบบ DTMF

2.7.1 การเข้ารหัสความถี่ระบบ DTMF (Dual Tone Multi Frequency encoder)

ระบบโทรศัพท์แบบ DTMF นี้จะใช้การส่งสัญญาณไปบนสายส่งของระบบโทรศัพท์ โดยจะมีข้อดีเหมือนระบบพัลซ์หลายอย่าง เช่นหมุนโทรศัพท์ได้รวดเร็วกว่า และสามารถที่จะส่งสัญญาณไปบนสายส่งเสียงระดับใด ๆ ก็ได้ วิธีนี้เป็นการส่งสัญญาณแถบความถี่เสียงที่แตกต่างกัน 16 ค่า โดยแต่ละค่าจะเป็นสัญญาณคลื่นรูปซายน์ 2 แบบ แบ่งเป็น กลุ่มความถี่ต่ำ และกลุ่มความถี่สูง และจะมีลักษณะแสดงดังตารางข้างล่างนี้

กลุ่มของความถี่ต่ำ (Hz)	กลุ่มของความถี่สูง (Hz)			
	1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

รูปที่ 2.4 แสดงความถี่ระบบ DTMF

2.7.2 การถอดรหัสความถี่ระบบ DTMF (DTMF Decoder)

การถอดรหัสความถี่ทางโทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขทางโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นสัญญาณดิจิตอล เพื่อนำไปใช้กับระบบดิจิตอล ข้อกำหนดต่าง ๆ ที่จำเป็นเพื่อที่จะไม่ทำให้การถอดรหัส DTMF เกิดความผิดพลาดขึ้น ซึ่งผู้ออกแบบวงจร ต้องคำนึงถึงเสมอ มีรายละเอียดดังต่อไปนี้

1) วงจรจะยังคงสามารถถอดรหัสได้อย่างถูกต้อง ถึงแม้สัญญาณที่รับเข้ามาจะมีความถี่เบี่ยงเบนไปจากค่าที่กำหนดไว้เป็นมาตรฐาน แต่ต้องไม่เกิน 2% และจะไม่ยอมให้สัญญาณที่มีค่าเบี่ยงเบนมากกว่า 3% จากค่ามาจรฐาน ผ่านวงจรกรองความถี่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) วงจรถอดรหัสจะสามารถถอดรหัสได้ ก็ต่อเมื่อได้รับสัญญาณเข้ามามีระยะเวลาอย่างน้อย 40 มิลลิวินาที

3) วงจรถอดรหัสจะทำการถอดรหัสได้ถูกต้อง ก็ต่อเมื่อสัญญาณ DTMF ที่รับเข้ามาในวงจรจะต้องมีช่วงเวลาที่ห่างกับสัญญาณ DTMF ที่รับเข้ามาก่อนหน้านี้เป็นเวลาอย่างน้อย 35 มิลลิวินาที

4) วงจรถอดรหัสจะต้องสามารถถอดรหัสสัญญาณ DTMF ที่มีไดนามิกเรนจ์สูงกว่า 27.5dB ได้โดยไม่เกิดการผิดพลาด และยังสามารถทำงานได้ในกรณีที่สัญญาณทั้ง 2 ความถี่ที่ประกอบกันขึ้นเป็นสัญญาณ DTMF มีแอมปลิจูดต่างกันมากกว่า 6 dB

5) วงจรถอดรหัสยังคงทำงานได้ตลอดเวลา ไม่ว่าขณะนั้นจะปรากฏเสียงพูดหรือมีสัญญาณรบกวนจากภายนอกเข้ามายังวงจรถอดรหัส ก็ไม่ทำให้การถอดรหัสผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีที่เกี่ยวข้องกับโครงงาน

ระบบโทรศัพท์แบบ DTMF

เงื่อนไขต่าง ๆ ของระบบโทรศัพท์ มีดังต่อไปนี้

1. สัญญาณเมื่อเครื่องโทรศัพท์มีการยกหูหรือวางหูอยู่ ซึ่งสามารถตรวจสอบได้ โดยวัดแรงดันตกคร่อมคู่สาย เมื่อเครื่องโทรศัพท์มิได้ใช้งานจะมีแรงดันประมาณ 48 Vdc และเมื่อใช้งานจะตกลงเหลือประมาณ 12 Vdc

2. สัญญาณหมุน (DIAL TONE) เป็นสัญญาณ 350 Hz มอดูเลตกับ 440 Hz

3. สัญญาณกลับ (RING BACK) เมื่อคู่สายที่ติดต่อว่าง จะส่งสัญญาณเรียกกลับ (RINGING TONE) 440 Hz มอดูเลต กับ 480 Hz โดยจะดัง 2 วินาที แล้วเงียบ 4 วินาที ในกรณีคู่สายนี้ยังไม่ว่าง (BUSY TONE) ความถี่ 480 Hz มอดูเลต กับ 620 Hz

4. สัญญาณ DTMF สำหรับโทรศัพท์ที่ใช้กดปุ่มนั้น เป็นการส่งสัญญาณที่มีค่าความถี่ที่แตกต่างกันออกไปโดยการกดครั้งหนึ่ง จะมีสัญญาณเสียงที่มอดูเลตแล้วถูกส่งออกไป 2 ความถี่ ดังแสดงในตารางที่ 3 .1

หมายเลข	กลุ่ม f สูง (Hz)	กลุ่ม f ต่ำ (Hz)
1	1209	697
2	1336	697
3	1477	697
4	1209	770
5	1336	770
6	1477	770
7	1209	852
8	1336	852
9	1477	852
0	1336	941
*	1209	941
#	1477	941
A	1633	697
B	1633	770
C	1633	852
D	1633	941

ตารางที่ 3 .1 แสดงความถี่ที่มอดูเลตกัน เมื่อกดหมายเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สัญญาณเรียก (RINGING SIGNAL) เมื่อมีการกดหมายเลขต่อโทรศัพท์ ทางชุมสายเมื่อได้รับข้อมูลจากผู้เรียกแล้ว จะแปลงสัญญาณที่รับมาส่งให้อุปกรณ์สวิทช์ ซึ่งทำงานเพื่อทำการต่อสายให้กับผู้เรียก ถ้าปลายสายไม่ว่าง ก็จะส่งสัญญาณไม่ว่าง (BUSY TONE) ไปยังผู้เรียก เพื่อแจ้งให้ทราบว่าไม่สามารถต่อวงจรให้ได้ แต่ถ้าว่างชุมสาย ก็จะส่ง สัญญาณเรียก (RINGING SIGNAL) ซึ่งเป็นสัญญาณไฟสลับ 20 Hz ประมาณ 120 V ไปยังปลายสาย และส่งสัญญาณเรียกกลับ (RINGING TONE) ไปยังผู้เรียก เพื่อแจ้งให้ทราบว่าสามารถต่อวงจรให้ได้ตามต้องการ

6. ช่องสัญญาณเสียงพูด (VOICE CHANNAL) BANDWIDTH ของสัญญาณเสียงจริงจะอยู่ในช่วง 300 Hz - 3.4 KHz

สถาปัตยกรรมของไมโครคอนโทรลเลอร์แบบชิพเดียวตระกูล MCS-51

(SINGLE CHIP MICROCONTROLLER SYSTEM MCS-51 FAMILY ARCHITECTURAL)

ไมโครคอนโทรลเลอร์แบบชิพเดี่ยว (SINGLE CHIP MICROCONTROLLER) คือไมโครคอมพิวเตอร์แบบที่มีขนาดเล็กโดยบรรจุไว้ในแผงวงจรรวม (INTEGRATED CIRCUIT) เพียงชิพเดียวเหมาะสำหรับงานควบคุมอุปกรณ์อื่น ๆ แบบอัตโนมัติ เพราะผู้ใช้สามารถเขียนโปรแกรมควบคุมการทำงาน ได้ตามที่ต้องการ ไมโครคอนโทรลเลอร์แบบชิพเดี่ยวตระกูล MCS-51 อันได้แก่เบอร์ 8031 8032 8051 และ 8052 ซึ่งมีโครสร้างและชุดคำสั่งแตกต่างกันเพียงเล็กน้อยดังตารางในรูปที่ 3.1

Device	ROMless Version	EPROM Version	ROM Bytes	RAM Bytes	8-Bit I/O Ports	16-Bit Timer/ Counters	Programmable Counter Array (PCA)	UART	Serial Expansion Port (SEP)	Global Serial Channel (GSC)	DMA Channels	A/D Channels	Interrupt Sources/ Vectors	Power Down and Idle Modes
8051	8031	—	4K	128	4	2		✓					6/5	
8051AH	8031AH	87S1H 87S18H	4K	128	4	2		✓					6/5	
8052AH	8032AH	87S2BH	8K	256	4	3		✓					8/6	
80C518H	80C318H	87C51	4K	128	4	2		✓					6/5	✓
80C52	80C32	—	8K	256	4	3		✓					8/6	✓
83C51FA	80C51FA	87C51FA	8K	256	4	3	✓	✓					14/7	✓
83C51FB	80C51FA	87C51FB	16K	256	4	3	✓	✓					14/7	✓
83C152JA	80C152JA	—	3K	256	5	2		✓		✓	2		19/11	✓
—	80C152JB	—	—	256	7	2		✓		✓	2		19/11	✓
83C152JC	80C152JC	—	8K	256	5	2		✓		✓	2		19/11	✓
—	80C152JD	—	—	256	7	2		✓		✓	2		19/11	✓
83C452	80C452	87C452P	8K	256	5	2		✓					9/8	✓

รูปที่ 3.1 ตารางของไมโครคอนโทรลเลอร์แบบชิพเดี่ยวในตระกูล MCS-51

จากตารางในรูปที่ 3.1 แต่ละคอลัมน์จะบอกถึงคุณสมบัติหรือโครงสร้างของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูล MCS-51 เช่นมี ROM หรือ RAM ภายในเท่าใด ถ้าเป็นรุ่นที่ไม่มี ROM อยู่ภายในจะเป็นเบอร์อะไร หรือ ถ้าเป็นรุ่นที่มีหน่วยความจำสำหรับโปรแกรมเป็นแบบ EPROM จะเป็นเบอร์อะไร เช่น ในบรรทัดแรกจะบอกว่า 8051 มี ROM อยู่ภายในขนาด 4 กิโลไบท์ แต่ถ้าเป็นเบอร์ 8031 จะไม่มี ROM ขนาด 4 กิโลไบท์อยู่ภายใน นอกจากนี้ในตารางยังจะบอกว่าไมโครคอนโทรลเลอร์เบอร์นั้นมีพอร์ทสำหรับอ่านหรือเขียนข้อมูลขนาด 8 บิทอยู่กี่ชุด (8 Bit I/O Port) มี Timer/Counters ขนาด 16 บิทกี่ชุด (16 Bit Timer/Counters) และยังบอกถึงคุณสมบัติอื่น ๆอีกทำให้ผู้ใช้สามารถเลือกใช้ไมโครคอนโทรลเลอร์แต่ละเบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้เหมาะสมกับการใช้งานได้อย่างดีที่สุด

MCS-51 ผลิตโดยบริษัท Intel มีการทำงานเป็นแบบ 8 บิท หมายความว่าส่วนที่ทำหน้าที่ในการคำนวณ (Arithmetic Logic Unit , ALU) จะทำงานสูงสุดทีละ 8 บิท

MCS-51 มีข้อดีดังนี้

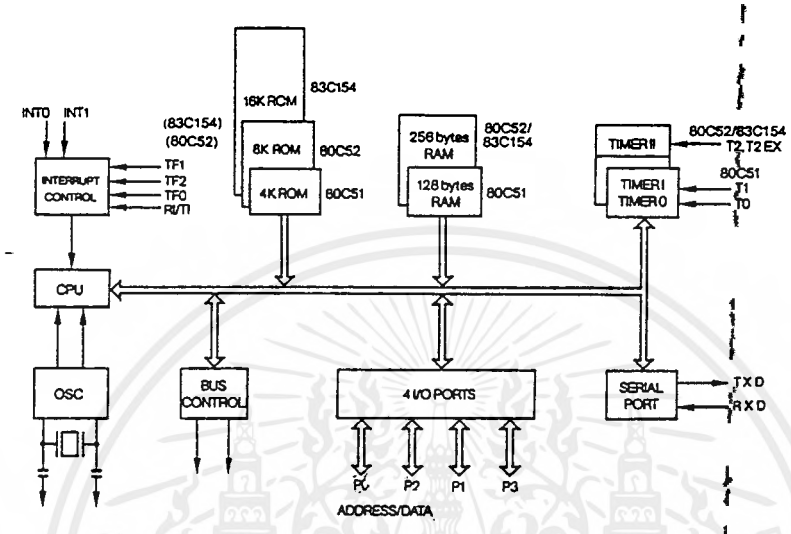
- สามารถนำเอาข้อมูลมา AND , OR หรือทำ Complement ทั้งแบบทีละ 8 บิท และ 1 บิท
- สามารถใช้กับหน่วยความจำสำหรับโปรแกรม (Program Memory) ซึ่งเป็นหน่วยความจำที่ใช้สำหรับเก็บชุดคำสั่งที่จะให้ MCS-51 ทำงาน ได้สูงสุด 64 กิโลไบท์ (Kilobyle) (64X1024 byte) ทำให้สามารถเขียนโปรแกรมควบคุมการทำงานได้มาก
- สามารถต่อกับหน่วยความจำสำหรับข้อมูล (Data Memory) ซึ่งเป็นหน่วยความจำสำหรับเก็บข้อมูลในระหว่างการทำงานของโปรแกรมได้สูงสุด 64 กิโลไบท์
- ใน 8051 และ 8751 มีหน่วยความจำสำหรับโปรแกรมจำนวน 4 กิโลไบท์ (ใน 8052 และ 8752 มีหน่วยความจำสำหรับโปรแกรมจำนวน 8 กิโลไบท์) อยู่ภายในวงจรรวมทำให้ไม่ต้องต่อหน่วยความจำสำหรับโปรแกรมภายนอก ระบบทั้งหมดจึงมีขนาดเล็กและสัญญาณรบกวนจากภายนอกจะทำให้ MCS-51 ทำงานผิดพลาดได้ยาก
- มีพอร์ทแบบขนาน (Parallel Port) สำหรับข้อมูลเข้าและออกจำนวน 32 บิท ที่ข้อมูลแต่ละบิทเป็นอิสระต่อกัน
- มีวงจร Timer/Xounter ขนาด 16 บิท 2 ชุด (8032 , 8052 มี 3 ชุด) ที่ทำงานในโหมดต่าง ๆ ได้ถึง 4 โหมด
- มี Universal Asynchonous Receiver Transmitter (UART) สำหรับรับ-ส่งข้อมูลแบบอนุกรม (Serial) แบบ Full duplex ที่สามารถเลือกแบบการรับ-ส่งข้อมูลได้ 4 แบบ
- มีแหล่งกำเนิดสัญญาณขอขัดจังหวะการทำงานของโปรแกรม (Interrupt Request Signal) 6 แหล่ง ซึ่งสามารถกระโดดไปทำงานตอบสนองการขัดจังหวะ (Interrupt Service Routine) ได้ต่าง ๆ กัน 5 ตำแหน่ง
- สามารถเลือกการทำงาน ให้อยู่ในโหมดของ Idle และ Power Down ซึ่งจะประหยัดการใช้กำลังไฟในการทำงาน

ซึ่งจากข้อดีดังกล่าว จึงทำให้ MCS-51 เป็นที่นิยมนำมาใช้ควบคุมระบบอัตโนมัติมากคุณสมบัติดังกล่าวบรรจุไว้ในวงจรรวมเดียว (Single Chip) ขนาด 40 ขา ดังนั้นจึงสามารถออกแบบให้ระบบทั้งหมดมีขนาดเล็กและการที่ทั้งหมดอยู่ภายในวงจรรวมเดียวจึงทำให้การตรวจสอบหาข้อผิดพลาดในระบบได้ง่ายไม่สลับซับซ้อน รวมทั้งลดปัญหาเรื่องการที่มีสัญญาณรบกวนในระบบ จนทำให้การทำงานผิดพลาดไป แต่การที่จะนำเอา MCS-51 มาใช้งานได้จำเป็นที่จะต้องศึกษาและทำความเข้าใจถึงโครงสร้างและองค์ประกอบของ MCS-51 เสียก่อน แล้วจึงจะเขียนโปรแกรมเพื่อควบคุมการทำงานของ MCS-51 ให้เป็นไปตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของ MCS-51

ภายใน MCS-51 จะประกอบด้วย Gate ต่าง ๆ เช่น AND , OR , NOT ซึ่ง Gate เหล่านี้จะถูกนำเอามาออกแบบให้มีหน้าที่การทำงานต่าง ๆ กัน เช่น วงจรถอดรหัสคำสั่ง (Instrution Decoder) วงจรสร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ MCS-51 จะประกอบด้วยส่วนย่อย ๆ ดังไดอะแกรมในรูปที่ 3.2



รูปที่ 3.2 ไดอะแกรมโครงสร้างของ MCS-51

ไดอะแกรมในรูปที่ 3.2 เป็นโครงสร้างใหญ่ ๆ ของ MCS-51 เนื่องจากลักษณะของ MCS-51 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลัก ๆ คือ

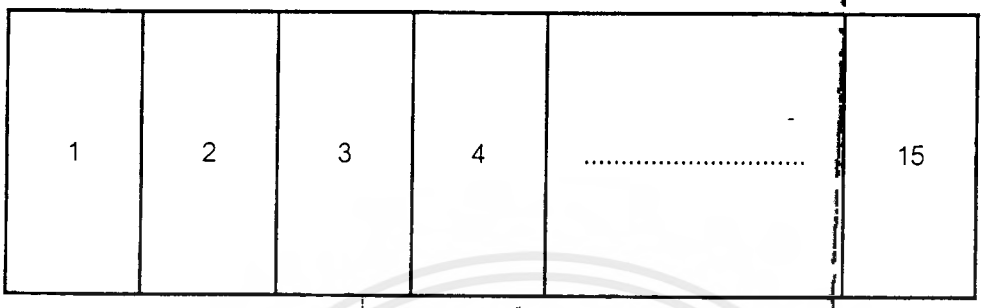
ส่วนที่ 1 ตัวประมวลผลกลาง หรือ CPU (Central Processing Unit) ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่น ๆ เรียกว่า วงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์สำหรับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว MCS-51 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุม ด้วยการสร้างสัญญาณควบคุม จากตัวประมวลผล (CPU) นี้จะทำการ สร้างสัญญาณ โดยการถอดรหัสจากคำสั่ง (Instruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกา ที่สร้างจากวงจรออสซิลเลเตอร์เพื่อให้แก่วงจรทุก ๆ ส่วนทำงานประสานกัน (Synchronize) ได้อย่างถูกต้อง

ในส่วนตัวประมวลผลกลาง (CPU) นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่า ส่วนประมวลผลทางคณิตศาสตร์ (Arithmetic Logic Unit) ส่วนนีจะทำหน้าที่ประมวลผลข้อมูล เช่น การบวก , ลบ , คูณหรือการหาร ข้อมูลแล้วนำผลลัพธ์ไปเก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

ส่วนที่ 2 หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเหมือนกล่องเก็บเอกสารจำนวนมาก ที่นำมาต่อเรียงกันไว้ แต่ละกล่องก็มีเอกสาร 1 แผ่นดังรูปที่ 2.3 มีเอกสารทั้งหมด 15 กล่อง ถ้าต้องการเอาเอกสารจากกล่องใด หรือเอาเอกสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อน ซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งความจำหรือแอดเดรส (Address) นั่นเอง การที่นำเอาข้อมูลไปเก็บในหน่วยความจำ เรียกว่า "การเขียน (Write) ข้อมูล" และการนำเอาข้อมูลออกจากหน่วยความจำ จะเรียกว่า "การอ่าน (Read) ข้อมูล" ซึ่งในแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น



รูปที่ 3.3 ภาพเสมือนของหน่วยความจำ

ในไมโครโปรเซสเซอร์ทั่วไปรวมทั้ง MCS-51 นั้นข้อมูลในแต่ละตำแหน่ง ของหน่วยความจำจะมีค่าได้ 8 หลักของเลขฐาน 2 (8 บิทเท่ากับ 1 ไบท์) ดังนั้น แต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้นั้นขึ้นอยู่กับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่มคือ

1. แอดเดรส (Address) หรือค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำใน MCS-51 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2^{16} เท่ากับ 64X1024 = 65536)

2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1

3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ ซึ่งบอกกับหน่วยความจำที่ต้องการอ่านหรือเขียนข้อมูล

สัญญาณเหล่านี้จะถูกควบคุมภายใน MCS-51 สร้างมาจากวงจรถอดรหัส ของคำสั่งที่ MCS-51 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั่นเอง ในรูปที่ 3.3 หน่วยความจำได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่าง ๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุทและเอาท์พุท (Input/Output Device) เป็นส่วนที่จะส่งข้อมูลเข้าหรือออกจาก MCS-51 ทำให้ MCS-51 ติดต่อกับภายนอกได้ ดังในไดอะแกรมในรูปที่ 3.3 อุปกรณ์อินพุท และ เอาท์พุท ได้แก่ 4 I/O Port , Timer 0 , Timer 1 , Serial Port การทำงานของแต่ละส่วนมีดังนี้

1. 4 I/O Port คำว่าพอร์ทหมายถึงจุดที่จะติดต่อส่วนที่อยู่ภายนอก 4 I/O Port ของ MCS-51 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลได้ 8 บิท มีพอร์ท P0 , P1 , P2 และ P3 บางพอร์ทจะใช้ทำงานมากกว่า 1 อย่าง ก็ได้เช่น พอร์ท P0 และ P2 จะใช้สำหรับการส่งค่า ตำแหน่ง (Address) ของหน่วยความจำที่ต้องการติดต่อและพอร์ท P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วย แต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีทำงานตามลำดับโดยควบคุมจากสัญญาณควบคุม (Control) ที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเอง และสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037299

2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก MCS-51 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน MCS-51 ก็ได้ค่าจากการนับถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดยประมวลผลกลาง (CPU)

3. Serial Port หรือพอร์ทอนุกรม ตัวประมวลผลกลาง (CPU) จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่ง ออกจาก MCS-51 เรียงไปทีละบิทจากขา TXD และ ในการรับข้อมูลจะรับเข้ามาทีละบิททางขา RXD แล้งจัดเรียงใหม่เป็น 8 บิท เพื่อให้ตัวประมวลผลกลาง (CPU) อ่านไปใช้งานต่อไป

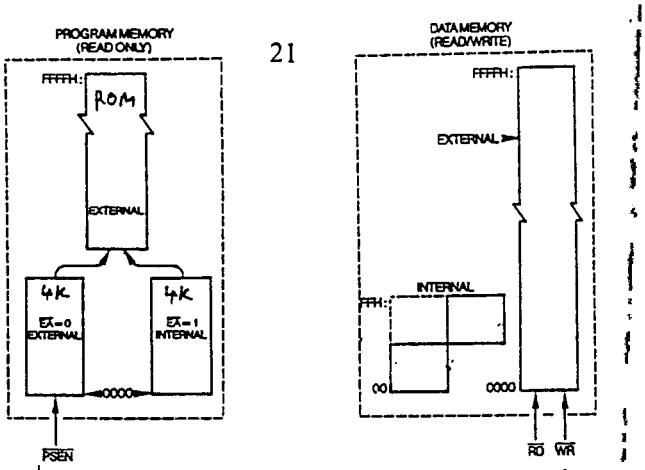
MCS-51 มีพอร์ทไว้ให้ใช้งานได้หลายแบบ ทำให้สะดวกแก่การนำไปใช้งานต่าง ๆ มากมาย การที่จะนำพอร์ทเหล่านี้ไปใช้งานได้จะต้องเขียนโปรแกรมขึ้นมาควบคุม

การจัดการหน่วยความจำของ MCS-51

หน่วยความจำของ MCS-51 แบ่งออกไว้เป็น 2 แบบของลักษณะการใช้งานคือ

1. Program Memory เป็นหน่วยความจำที่ใช้สำหรับเก็บคำสั่งในรูปรหัสภาษาเครื่อง (Machine Language) ที่ต้องการให้ MCS-51 ทำงาน เมื่อ MCS-51 ทำงานก็จะอ่านข้อมูลที่เก็บในหน่วยความจำประเภทนี้เข้าไปถอดรหัสแล้วสร้างสัญญาณควบคุมส่วนอื่น ๆ ตามการทำงานของแต่ละคำสั่ง นั้นหน่วยความจำแบบนี้ จะต้องเป็นแบบ Read Only Memory (ROM) และผู้ใช้ต้องเขียนข้อมูลในแต่ละตำแหน่งของหน่วยความจำเป็นรหัสภาษาเครื่องของ MCS-51 ตามลำดับการทำงานที่ต้องการ (หน่วยความจำแบบ ROM เป็นแบบ Non volatite ซึ่งเมื่อปิดไฟแล้วข้อมูลก็ไม่มีการสูญหาย) การเขียนข้อมูลลงไปบน ROM จะต้องใช้เครื่องมือพิเศษ ในระหว่างการทำงานของ MCS-51 ผู้ใช้จะไม่สามารถใช้คำสั่งทำการเขียนข้อมูลลงในหน่วยความจำแบบนี้ได้ จำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ MCS-51 จะใช้งานได้ 65536 ตำแหน่ง ค่าของตำแหน่ง (Address) จะเขียนเป็นเลขฐาน 16 ได้ตั้งแต่ 0000H ถึง FFFFH หน่วยความจำตั้งแต่ตำแหน่ง 0000H ถึง 0FFFH จำนวน 4 กิโลไบท์ นั้นผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของ ROM ที่อยู่ภายในหรือภายนอก MCS-51 เบอร์ 8051 (ไมโครคอนโทรลเลอร์เบอร์อื่น ๆ เช่น 8052 จะมีขนาดของ ROM ส่วนนี้ถึง 8 กิโลไบท์ ตำแหน่ง 0000H ถึง 1FFFH) ดังนั้นถ้าต้องการให้ MCS-51 เบอร์ 8051 ทำงานตามคำสั่งที่เก็บไว้ใน ROMภายใน MCS-51 เบอร์ 8051 ให้ป้อนสัญญาณลอจิก High (1) เข้าที่ขา EA ของ MCS - 51 เบอร์ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFH ถึง FFFFH จะต้องต่ออยู่ภายนอก MCS-51 เบอร์ 8051 เสมอดังแสดงในแผงภูมิหน่วยความจำ (Memory Map) ดังในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แผนภูมิหน่วยความจำของ MCS-51 เบอร์ 8051

Internal Memory หมายถึง หน่วยความจำนั้นอยู่ภายใน MCS-51 ส่วน External Memory หมายถึง หน่วยความจำนั้นอยู่ภายนอก MCS-51 ซึ่งไมโครคอนโทรลเลอร์เบอร์ 8031 ,8051 และ 8751 นั้นโดยโครงสร้าง และ รหัสคำสั่งจะเหมือนกันทุกประการ แต่มีข้อแตกต่างกันตรงที่

- 8031 จะไม่มี ROM ขนาด 4 กิโลไบท์อยู่ภายใน ผู้ใช้จะต้องเลือกการใช้งาน Program Memory อยู่ภายนอกวงจรรวมทั้งหมด 64 กิโลไบท์

- 8051 จะมี ROM ขนาด 4 กิโลไบท์อยู่ภายใน ถ้าต้องการเก็บคำสั่งควบคุมการทำงานไว้ใน หน่วยความจำส่วนนี้ จะต้องส่งโปรแกรมคำสั่งไปให้โรงงานผู้ผลิตทำการเขียนใส่ใน ROM ให้ตั้งแต่ในขั้นตอนของการผลิตวงจรรวม ผู้ใช้ไม่สามารถแก้ไขโปรแกรมใช้เองได้ ถ้าจะนำมาใช้งานโดยเก็บโปรแกรมไว้ใน หน่วยความจำช่วง 4 กิโลไบท์แรก อยู่ภายนอกก็สามารถทำได้ โดยการต่อ ROM ไว้ภายนอก แล้วต่อขา EA ของ 8051 ไว้กับสัญญาณที่มีสภาวะลอจิกเป็น 0

- 8751 จะมีหน่วยความจำขนาด 4 กิโลไบท์เป็นแบบ EPROM (Erasable Program Read Only Memory) อยู่ภายในวงจรเอาไว้ใช้เก็บโปรแกรมคำสั่งที่จะให้ 8751 ทำงาน ผู้ใช้สามารถเขียนคำสั่งลงไปใน EPROM ได้เองโดยใช้เครื่องมือ ที่เรียกว่าเครื่องโปรแกรม EPROM (EPROM Programmer) และ ผู้ใช้สามารถแก้ไขโปรแกรมที่อยู่ภายใน EPROM ได้โดยการล้างข้อมูลในทุกตำแหน่งของ EPROM นั้นออกด้วยการฉายแสงอุลตร้าไวโอเลต (Ultraviolet) ผ่านกระจกใสในวงจรรวมเข้าไปยัง วงจรภายในตามเวลาที่กำหนดไว้ จากนั้นก็ใช้เครื่องโปรแกรม EPROM เขียนโปรแกรมลงไปใหม่ 8751 นี้จะสะดวกมากสำหรับการพัฒนาโปรแกรม

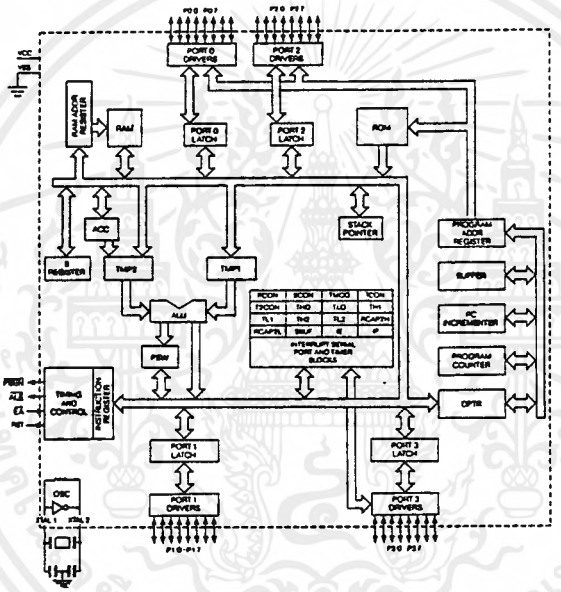
2. Data Memory เป็นหน่วยความจำที่ MCS-51 จะใช้สำหรับพัก , เก็บข้อมูล แล้วเรียกมาใช้ใหม่ในระหว่างการทำงานของ MCS-51 การอ่านหรือเขียนข้อมูลจากหน่วยความจำ จะกระทำโดยคำสั่งที่เก็บไว้ใน Program Memory หน่วยความจำประเภทนี้เป็นแบบ Random Access Memory (RAM) ถ้ามีไฟเลี้ยงอยู่ข้อมูลที่เก็บไว้จะไม่สูญหาย แต่ถ้าปิดเครื่องหรือไม่จ่ายไฟให้แก่ RAM แล้วข้อมูลใน RAM ก็จะสูญหายไป การสูญหายของข้อมูลไม่ได้หมายความว่าไม่มีอะไรอยู่เลย แต่เป็นการที่ข้อมูลใหม่ซึ่งไม่ใช่ข้อมูลที่เก็บไว้เดิมเข้ามาอยู่แทนที่ เช่นเดิมเก็บข้อมูล 18H ไว้ที่ตำแหน่ง 1900H เมื่อปิดไฟแล้วเปิดใหม่ ข้อมูลที่ตำแหน่ง 1900H จะไม่ใช่ 18H อาจเป็นค่าอะไรก็ได้ ซึ่งเรียกการเกิดลักษณะนี้ว่า ข้อมูลสูญหายไป หน่วยความจำแบบ Data Memory ของ MCS-51 จะมีอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน MCS-51 (เบอร์ 8051 มีจำนวน 128 ไบท์ที่ตำแหน่ง 00H ถึง 7FH , เบอร์ 8052 จะมี 256 ไบท์อยู่ที่ตำแหน่ง 00H ถึง FFH) และอีกชุดหนึ่งจะต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

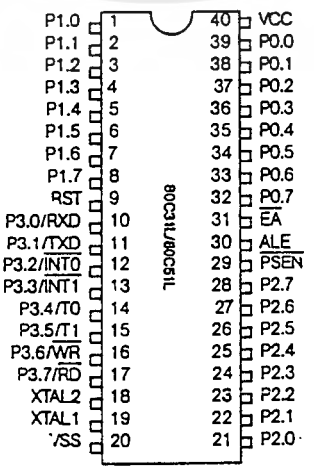
อยู่ภายนอกวงจรรวม MCS-51 มีได้สูงถึง 65536 ไบท์ (64 กิโลไบท์) อยู่ที่ตำแหน่ง 0000H ถึง FFFFH ดังแสดงในรูปที่ 3.4 หน่วยความจำแบบ Data Memory ภายใน MCS-51 เบอร์ 8051 ที่ตำแหน่ง 80H ถึง FFH นั้นไม่ได้มีอยู่ทุกตำแหน่ง จะมีเฉพาะในบางตำแหน่ง ซึ่งเรียก หน่วยความจำบางตำแหน่งเหล่านี้ว่า Special Function Register (SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้น

สถาปัตยกรรมของ MCS-51

ส่วนประกอบของ MCS-51 ดังแสดงในรูปที่ 3.5 ซึ่งจะอธิบายถึงส่วนย่อย ๆ ภายในของ MCS-51 เพียงชิพเดียว และสัญญาณภายในจะต่อออกสู่ภายนอกทางขา (pin) ของ MCS-51 ที่มีอยู่ 40 ขา ดังรูปที่ 3.6



รูปที่ 3.5 สถาปัตยกรรมภายในของ MCS-51



รูปที่ 3.6 ไดอะแกรมขาของ MCS-51 แบบ DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS-51 ไมโครคอนโทรลเลอร์ที่บรรจุอยู่ในวงจรรวมแบบ Dual Inline Package (DIP) ซึ่งแต่ละข้างของ MCS-51 มีขาอยู่ข้างละ 20 ขารวมทั้งหมด 40 ขานั้นจะใช้งานต่าง ๆกันดังนี้คือ

Vcc

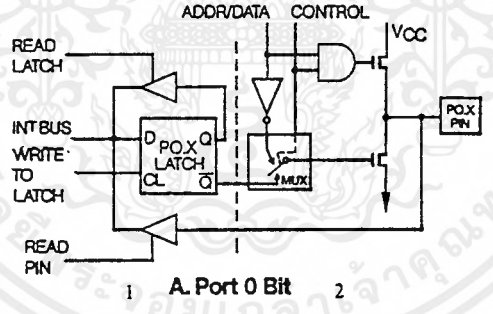
ขา 40 เป็นขาที่ต้องป้อนไฟเลี้ยง +5 โวลท์ เข้าไปเพื่อให้วงจรรวมทำงานได้ ระดับโวลเตจของลอจิก 0 และ 1 ของ MCS-51 จึงต่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง

Vss

ขา 20 เป็นขาที่ต้องต่อกับกราวด์ (Ground) ของแหล่งจ่ายไฟ การต่ออุปกรณ์ทั้งหมดจะต้องมีกราวด์ของอุปกรณ์ต่อเข้าด้วยกัน

Port 0

เป็นพอร์ทขนาด 8 บิท อยู่ที่ขา 39 ถึง 32 เริ่มจากบิท 0 ถึงบิท 7 ตามลำดับดังรูปที่ 3.6 แต่ละขาจะเขียนว่า P0.0 , P0.1 , P0.2 , ... , P0.7 หมายถึง บิท 7 ของพอร์ท 0 ซึ่งเป็นบิทที่ มีนัยสำคัญสูงสุด (Most Significant) และ P0.0 คือบิท 0 ของพอร์ท 0 เป็นบิทที่มีนัยสำคัญต่ำสุด (Least Significant) พอร์ท 0 นี้ใช้ได้ทั้งการ รับ - ส่ง ตำแหน่ง และข้อมูลกับหน่วยความจำ หรือ ใช้เป็นพอร์ทรับ-ส่งข้อมูลก็ได้ ข้อมูลที่ส่งออกทางพอร์ท 0 จะถูก Latch ไว้ที่ขาของพอร์ท โครงสร้างแต่ละบิทของพอร์ท 0 เป็นแบบ Open Drain Bidirectional ดังรูปที่ 3.7



รูปที่ 3.7 โครงสร้างของพอร์ท 0

ในรูปที่ 3.6 เมื่อเปรียบเทียบกับรูปที่ 3.5 ส่วยที่ 1 ของรูปที่ 3.6 ก็คือ Port 0 Latch ในรูปที่ 3.5 และส่วนที่ 2 ของรูปที่ 3.6 ก็คือ Port 0 Driver ของรูปที่ 3.5 นั่นเอง

จากโครงสร้างในรูปที่ 3.6 เมื่อมีคำสั่ง การเขียนข้อมูล มายังพอร์ท 0 ข้อมูลจาก Internal Data Bus จะถูก Latch ไว้ที่ D - FF โดยสัญญาณ "write to Latch" ที่ถูกสร้างมาจากส่วน Timing and Control และในการอ่านข้อมูลจากพอร์ท 0 จะอ่านได้ 2 แบบคือการอ่านข้อมูลที่ส่งไปเก็บไว้ที่พอร์ท ก็จะมีสัญญาณ Read Latch มาเพื่ออ่านข้อมูลจาก D-FF กลับเข้าไปยัง Internal Data Bus การอ่านข้อมูลอีกแบบก็คือการอ่านสภาวะ ของสัญญาณที่เข้ามาทางพอร์ท 0 ก็จะมีสัญญาณ Read Pin มาควบคุมการอ่านพอร์ท 0 จะใช้งานหลายอย่างดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอก ที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะสามารถติดต่อได้คือ 64 กิโลไบท์ จึงมีค่าตำแหน่งหน่วยความจำ 16 บิทของเลขฐาน 2 ค่าตำแหน่งหน่วยความจำ 8 บิทล่างจะถูกส่งออกไปยังพอร์ท 0 และ 8 บิทบน จะถูกส่งออกไปทางพอร์ท 2

2. ใช้ รับ - ส่ง ข้อมูลกับ Data Memory หรือ ใช้รับข้อมูลจาก Program Memory

3. ใช้ รับ - ส่งข้อมูลผ่านทางพอร์ทโดยตรงในกรณีที่ไม่มีการใช้ หน่วยความจำของ Program Memory หรือ Data Memory ภายนอก

วงจรในส่วนของ Timing and Control จะเป็นตัวสร้างสัญญาณมาควบคุมวงจร ในรูปที่ 3.6 เพื่อให้การทำงานแต่ละอย่างข้างต้น เมื่อแต่ละบิทของพอร์ท 0 ทำงานตามข้อ 1 และ 2 ตามข้างต้นวงจร Timing and Control จะทำให้สภาวะลอจิกของขา Control เป็น 1 ซึ่งทำให้สวิทช์ MUX อยู่ในตำแหน่งข้างบนเมื่อพอร์ท 0 จะส่งข้อมูลซึ่งเป็นค่าตำแหน่งหน่วยความจำ หรือ ข้อมูลที่จะเขียนออกไปยังหน่วยความจำภายนอกก็จะส่งค่าดังกล่าวออกมายัง ADDR/DATA ถ้าข้อมูลที่ส่งมามีค่าเป็น 1 จะทำให้สัญญาณออกจาก AND GATE เป็น 1 และสัญญาณที่ออกจาก Inverter เป็น 0 ดังนั้น FET ตัวบน ON (สภาวะ ON ของ FET คือความต้านทานระหว่างขา D กับ S มีค่าต่ำมากเสมือนกับเป็นวงจรปิด) ส่วน FET ตัวล่าง OFF (สภาวะ OFF ของ FET คือความต้านทานระหว่างขา D กับ S มีค่าสูงมากเสมือนกับเป็นวงจรเปิด) สภาวะลอจิกที่ขา P0.X Pin จะเป็น 1 แต่ถ้าข้อมูลที่ส่งออกมายัง ADDR/DATA เป็น 0 ก็จะทำให้สัญญาณจาก AND GATE เป็น 0 และสัญญาณที่ออกจาก Inverter เป็น 1 ดังนั้น FET ตัวบนจะ OFF ส่วน FET ตัวล่างจะ ON ทำให้สภาวะลอจิกที่ขา P0.X Pin เป็น 0 เมื่อ MCS-51 ต้องการใช้พอร์ท 0 สำหรับการอ่านข้อมูลจากหน่วยความจำภายนอก หรือใช้งานในข้อ 3 ข้างบน จะทำได้โดยวงจร Timing and Control ทำให้สภาวะลอจิกของ Control ในรูปเป็น 0 ทำให้เอาท์พุทจาก AND GATE เป็น 0 FET ตัวบนจะ OFF และ สวิทช์ MUX จะอยู่ในตำแหน่งข้างล่าง ดังนั้น FET ตัวล่างจะ ON หรือ OFF ก็แล้วแต่ข้อมูลที่ขา Q ของ D-FF เมื่อมีการเขียนข้อมูลจาก Internal Data Bus มายัง D-FF ก็จะมีสัญญาณ Write to Latch มายัง D-FF ด้วย ถ้าข้อมูลที่เขียนมาเป็น 1 จะทำให้ขา Q มีสภาวะลอจิกเป็น 0 ทำให้ FET ตัวล่าง OFF ดังนั้นที่ขา P0.X จะอยู่ในสภาวะอิมพิแดนซ์สูง (Hight Impidance) เพราะ FET ทั้งสองตัว OFF

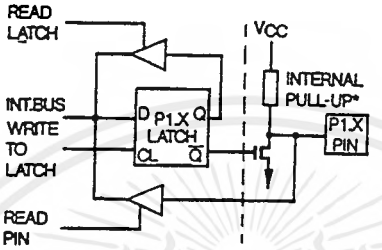
แต่ถ้าข้อมูลที่เขียนมายัง D-FF เป็น 0 จะทำให้ FET ตัวล่าง ON แต่ตัวบน OFF ทำให้สภาวะลอจิกที่ขา P0.X เป็น 1 ดังนั้น PORT 0 เมื่อให้ทำงานเป็นพอร์ทส่งข้อมูล (ไม่ใช่ส่งตำแหน่งความจำ) จะไม่สามารถแสดงสภาวะลอจิก 1 ได้จึงต้องต่อตัวต้านทาน Pull Up ไว้ภายนอก ระหว่างขา P0.X กับไฟเลี้ยงวงจร ถ้าจะให้พอร์ท 0 สำหรับรับข้อมูลเข้าจะต้องเขียน 1 มาเก็บไว้ยัง D-FF เสียก่อนเพื่อให้ขา P0.X อยู่ในสภาวะ High Impedance แล้วจึงใช้คำสั่งอ่านสภาวะลอจิกเข้าไปยัง Internal Data Bus ต่อไป โดยคำสั่งอ่านสภาวะลอจิกทางพอร์ท 0 ก็จะทำให้วงจร Timing and Control สร้างสัญญาณ Read Pin สำหรับการอ่านสภาวะลอจิกข้างต้น ถ้าไม่เขียน 1 มาเก็บไว้ยัง D-FF ก่อนที่จะอ่านข้อมูลแล้วอาจมีข้อมูลค้างอยู่ที่ D-FF ทำให้ Q เป็น 0 และ Q เป็น 1 ซึ่งทำให้ FET ตัวล่าง ON สัญญาณที่ต่อเข้ามาที่ขา P0.X ไม่ว่าจะมีสภาวะลอจิกใด จะถูกดึงลงกราวด์ ดังนั้น เมื่ออ่านข้อมูลเข้าไปก็จะพบว่าเป็น 0 เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการอ่านข้อมูลจากหน่วยความจำภายนอกนั้นวงจร Timing and Control ก็จะเขียนข้อมูลมายัง D-FF ให้เป็น 1 และสร้างสัญญาณ Control ให้มีลอจิกเป็น 0 ก่อนจะอ่านข้อมูลเข้าไปด้วย

Port 1

เมื่อพอร์ทขนานขนาด 8 บิท ในรูปที่ 3.6 คือขา P1.0 ถึง P1.7 (ขา 1 - 8) P1.0 หมายถึง บิท 0 ของพอร์ท 1 ซึ่งเป็นพอร์ท Least Significant Bit และ บิท P1.7 หมายถึงบิทที่ 7 ของพอร์ท 1 ซึ่งเป็นบิท Most Significant Bit โครงสร้างของพอร์ท 1 แต่ละบิทมีดังรูปที่ 3.8



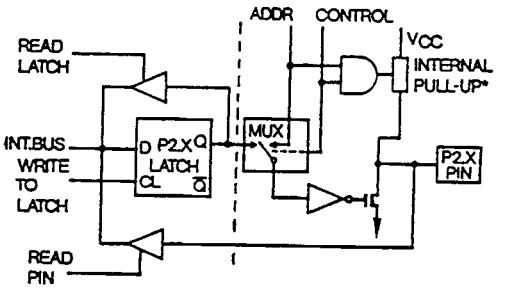
B. Port 1 Bit

รูปที่ 3.8 โครงสร้างของพอร์ท 1

ส่วนที่ 1 คือพอร์ท 1 Latch ในรูปที่ 3.5 ซึ่งจะมีการทำงาน เหมือนส่วนที่ 1 ของพอร์ท 0 ในรูปที่ 3.7 ส่วนที่ 2 คือพอร์ท 1 Driver ในรูปที่ 3.5 Port 1 Driver นี้จะมีตัวต้านทานต่ออยู่เป็น Internal Pull Up พอร์ท 1 นี้จะใช้ทำหน้าที่เป็นตัวรับส่งข้อมูลเท่านั้น ข้อมูลที่ส่งออกมาทางพอร์ท 1 จะต้องเขียน 1 ไปยังทุกบิทของพอร์ท 1 เสียก่อนเพื่อทำให้ FET อยู่ในสภาวะ OFF ก่อน มิฉะนั้นแล้วเมื่อมีข้อมูล 0 ส่งออกมาค้างอยู่ที่ D-FF จะทำให้ FET อยู่ในสภาวะ ON ดังนั้นเมื่อสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวด์โดยไม่สนใจสภาวะของลอจิกของสัญญาณที่เข้ามาจะเป็นอะไรข้อมูลที่อ่านเข้าไปจึงจะเป็น 0 เสมอ

Port 2

พอร์ทขนานขนาด 8 บิทคือขา P2.0 ถึง P2.7 ในรูปที่ 3.6 โครงสร้างของพอร์ท 2 แต่ละบิทจะมีดังแสดงรูปที่ 3.9



C. Port 2 Bit

รูปที่ 3.9 โครงสร้างของพอร์ท 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะโครงสร้างจะเหมือนกับพอร์ท 0 แตกต่างกันที่ในพอร์ท 2 นั้นภาค Driver จะใช้งานเพียง 2 ลักษณะคือ

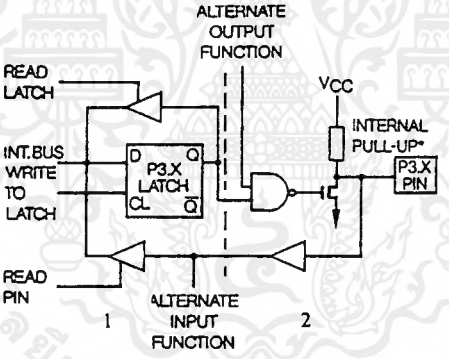
1. ใช้ในการส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ โดยที่ค่าของตำแหน่งนี้เป็น ค่าของตำแหน่ง 8 บิทบน

2. ใช้เป็นพอร์ทรับและส่งข้อมูลกับภายนอก

ดังนั้นภาค Driver ของพอร์ท 2 จึงแตกต่างจาก Driver ของพอร์ท 0 โดยที่ในพอร์ท 2 นั้นจะมีเฉพาะ ADDRESS (ตำแหน่งหน่วยความจำ) เข้ามาที่ MUX (Multiplexer) เท่านั้น นอกนั้นแล้วการทำงานจะเหมือนกับที่ เอาท์พุทของพอร์ท 2 ซึ่งจะมี Internal pull-up ซึ่งเป็นตัวต้านทานและจะทำให้เอาท์พุทของพอร์ท 2 แสดงสถานะลอจิก เป็น 1 ได้ ถ้า FET อยู่ในสถานะ OFF บางครั้ง เรียกว่า "Quasi-bidirectional " เมื่อใช้เป็นพอร์ทอินพุท ก็สามารถทำได้โดยการต่อสัญญาณภายนอกเข้ามาโดยตรง ถ้าสัญญาณภายนอกเป็น 0 ก็จะมีกระแสไหลออกจากพอร์ท (Source Current) ในการที่จะใช้พอร์ทนี้เป็นพอร์ทรับข้อมูลเข้า จะต้องทำการเขียน 1 ไปยังแต่ละบิท ของพอร์ท 2 เสียก่อน ดังได้อธิบายในเรื่องพอร์ท 0 และพอร์ท. 1

Port 3

คือขา P3.0 ถึง P3.7 หรือขา 10 - 17 ตามลำดับในรูปที่ 3.6 พอร์ทนี้มีโครงสร้างดังรูปที่ 3.10



รูปที่ 3.10 โครงสร้างของพอร์ท 3

ส่วนที่ 1 ในรูปที่ 3.10 เป็นส่วน Latch ข้อมูลที่เขียนมายังพอร์ท 3 ทาง Internal Bus เหมือนกับพอร์ทอื่น ๆ และพอร์ท 3 จะมี Internal pull-up อยู่ทุกบิท แต่พอร์ท 3 นี้ แต่ละบิทจะใช้ในการทำงานอื่นได้โดยใช้ คำสั่งควบคุมการทำงาน ในส่วนที่ 2 จะมีสัญญาณ Alternative Output Function ที่สร้างมาจากส่วน Timing and Control สัญญาณ Alternative Output Function เป็นสัญญาณ ที่ส่งออกในกรณีที่ใช้พอร์ท 3 ทำงานในฟังก์ชั่นอื่น และจุด Alternative Input Function เป็นจุดที่ จะเอาสัญญาณไปเข้ากับส่วนอื่นตามการทำงานของบิทนั้น แต่ละบิทของพอร์ท 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Sereal Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/INT0 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/INT1 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P3.4/T0 (Timer/Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer/Counter 1 External Input) ขารับสัญญาณเข้าไปยัง Timer/Counter 1 ซึ่งมีการทำงานเหมือนกับ T0

P3.6/WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก MCS-51

P3.7/RD (External Data Memory Read Strobe) ขาสัญญาณควยคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

ALE

Address Latch Enable ขานี้จะส่งสัญญาณที่มีความถี่เท่ากับ 1/6 เท่าของสัญญาณนาฬิกาจากวงจรออสซิลเลเตอร์ สัญญาณนี้จะส่งออกมาตลอดเวลายกเว้นบางครั้งของการติดต่อกับหน่วยความจำสำหรับข้อมูลภายนอก MCS-51 สัญญาณนี้จะใช้บอกกับอุปกรณ์ภายนอก MCS-51 ว่าขณะนี้สัญญาณนี้เป็นลอจิก 1 จะมีการส่งข้อมูลที่เป็น 8 บิทล่างของตำแหน่งหน่วยความจำภายนอก MCS-51 ที่ต้องการติดต่อออกไปทางพอร์ท 0 อุปกรณ์ภายนอกจะใช้สัญญาณนี้ในการ Latch ข้อมูลไว้เพราะพอร์ท 0 จะส่งค่าตำแหน่งหน่วยความจำ ออกมาเพียงชั่วขณะหนึ่งเท่านั้น ซึ่งในเวลาต่อมาพอร์ท 0 จะใช้รับ-ส่งข้อมูลกับหน่วยความจำภายนอก สัญญาณ ALE จะสามารถต่อเข้ากับอุปกรณ์ TTL ชนิด LS ได้ถึง 8 อินพุท

PSEN

Program Store Enable เป็นขาที่ 29 ในรูปที่ 3.6 ขานี้ปกติจะให้ลอจิก 1 แต่จะส่งลอจิก 0 เมื่อต้องการอ่านคำสั่ง (Fetch Instruction) ที่จะนำไปทำงานมาจากหน่วยความจำ สำหรับโปรแกรมภายนอก MCS-51 ในกรณีที่อ่านคำสั่งซึ่งเก็บอยู่ในหน่วยความจำสำหรับโปรแกรมภายใน MCS-51 แล้วสัญญาณนี้จะไม่เปลี่ยนลอจิกเป็น 0 ขา PSEN นี้สามารถต่อไปยังขาอินพุทของ TTL ชนิด LS ได้ถึง 8 อินพุท

RST

ขารีเซ็ทขานี้จะใช้ทำการรีเซ็ทการทำงานของ MCS-51 ที่ขา RST ภายใน MCS-51 จะมีตัวต้านทานต่อระหว่างขานี้กับกราวด์ (Ground) ถ้าป้อนสัญญาณที่มีสถานะลอจิก 1 เข้าไปที่ขานี้ จะเป็นการรีเซ็ตการทำงานของ MCS-51 ดังนั้นจึงสามารถต่อตัวเก็บประจุ (Capacitor) ภายนอกระหว่างขา RST กับไฟเลี้ยง +5 โวลท์ เพื่อให้เกิดการรีเซ็ท เมื่อเริ่มป้อนไฟเลี้ยงให้กับ MCS-51 ซึ่งเรียกว่า " Power on reset " การรีเซ็ทจะมีผลทำให้ค่าในรีจีสเตอร์ต่าง ๆ เปลี่ยนไปเป็นค่าหนึ่งดังในตารางรูปที่ 3.11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

REGISTER	CONTENT
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	00H
DPTR	0000H
P0-P3	0FFH
IP	00H
IE	0X000000B
TMOD	00H
TCON	00H
T2CON	00H
THO	00H
TLO	00H
TH1	00H
TL1	00H
TH2	00H
TL2	00H
RCAP2H	00H
RCAP2L	00H
SCON	00H
SBUF	ndeterminate
IOCON	00H

รูปที่ 3.11 ค่าของรีจีสเตอร์เมื่อเกิดการรีเซ็ท MCS-51

ในตารางรูปที่ 3.11 ช่องทางขวาเป็นค่าของรีจีสเตอร์ที่อยู่ทางซ้ายเมื่อสิ้นสุดการรีเซ็ทในรีจีสเตอร์ RBUF เมื่อสิ้นสุดการรีเซ็ทจะมีค่าไม่แน่นอน และพอร์ทจะอยู่ในสภาวะลอจิก 1 ทุกบิทตลอดเวลาที่สัญญาณของขา RST เป็น 1 อยู่

เมื่อสัญญาณที่ขา RST กลับเป็น 0 ก็จะออกจากการรีเซ็ท MCS-51 จะเริ่มทำงานจากคำสั่งที่อยู่ใน Program Memory ตำแหน่ง 0000H เพราะค่าของรีจีสเตอร์ PC (Program Counter) ซึ่งใช้ชี้ตำแหน่งโปรแกรมที่จะทำงานถูกเปลี่ยนให้เป็น 0000H ดังนั้น ผู้ใช้จะต้องเขียนโปรแกรมมาเก็บไว้ที่ตำแหน่ง 0000H

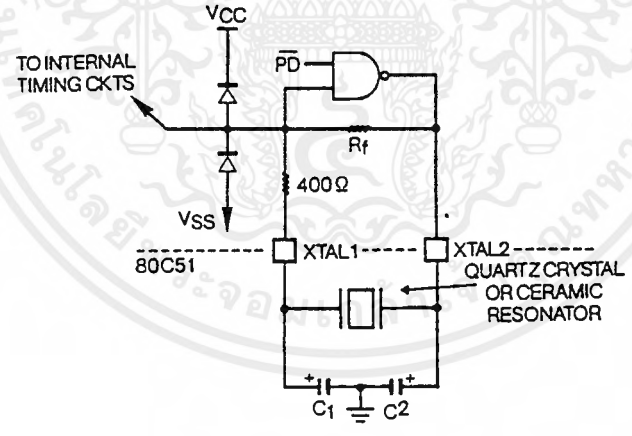
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EA

External Access ขา 31 ของรูปที่ 3.6 ขานี้เป็นขาอินพุท ที่ต่อเข้าไปยังวงจร Timing and Con-trol เพื่อควบคุมการสร้างสัญญาณ PSEN ถ้าป้อนสัญญาณ ลอจิก 0 เข้าไปที่ขา EA นี้ แสดงว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ที่ต้องการ ให้ทำงานถูกเก็บไว้ภายนอก MCS-51 จุ่ะต้องสร้างสัญญาณ PSEN ออกไปยังภายนอก เพื่อทำการ Fetch คำสั่งเข้ามาทำงาน แต่ถ้าสัญญาณที่ป้อนให้ขา EA เป็น 1 แสดงว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ถูกเก็บไว้ใน MCS-51 การทำงานในตำแหน่งหน่วยความจำช่วงนี้จะอ่านคำสั่งต่าง ๆ จาก ROM ภายใน MCS-51

XTAL 1

ขานี้จะต่อเข้ากับขาของ Inverting Amplifier ที่ประกอบเป็นวงจรออสซิลเลเตอร์ ในรูปที่ 3.11 จะเห็นวงจรภายในของออสซิลเลเตอร์ NAND Gate จะทำหน้าที่เป็นวงจรขยายแบบกลับเฟสของสัญญาณ ที่จะควบคุมให้มีการออสซิลเลเตอร์หรือไม่ก็ขึ้นกับสัญญาณ PD ซึ่งต่อมาจากบิท PD ของรีจีสเตอร์ PCON ถ้าต้องการใช้สัญญาณนาฬิกาจากภายนอกมาเป็นสัญญาณนาฬิกา ควบคุมการทำงานของ MCS-51 ก็ให้ป้อนสัญญาณเข้ามาที่จุดนี้ แต่ถ้าต้องการใช้วงจรออสซิลเลเตอร์ภายในก็ให้ต่อ Crytal หรือเซรามิคเรโซเนเตอร์ ดังรูปที่ 3.11 ตัวเก็บประจุในวงจรควรมีค่าประมาณ 20 pF

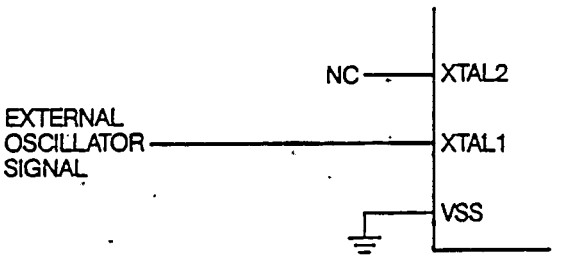


รูปที่ 3.11 วงจรออสซิลเลเตอร์ภายใน MCS-51

XTAL 2

ขาที่ 18 ของรูปที่ 3.6 ขานี้เป็นจุดเอาท์พุทของวงจรขยายแบบกลับเฟสสัญญาณ ที่ประกอบกันเป็นวงจรออสซิลเลเตอร์ (อินพุทคือขา XTAL 1) ถ้าจะใช้สัญญาณนาฬิกาที่สร้างจากภายนอกมาเป็นสัญญาณนาฬิกาของ MCS-51 แล้ว ให้ปล่อยขานี้ลอยไว้แล้วป้อนสัญญาณนาฬิกาจากภายนอกเข้ามาที่ขา XTAL 1 ดังรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 MCS-51 ที่ทำงานโดยสัญญาณที่มาจากภายนอก

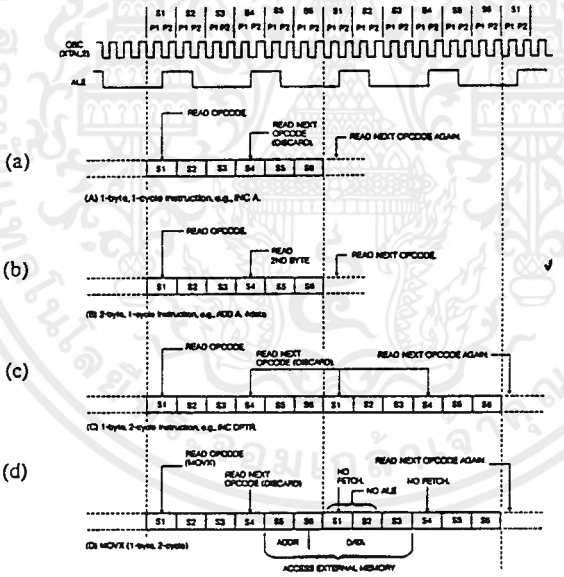
การทำงานของ MCS-51

เมื่อเริ่มป้อนไฟเลี้ยงให้กับ MCS-51 ซึ่งมีวงจร Power on reset ต่ออยู่จะมีการรีเซ็ทเกิดขึ้น การทำงานภายใน MCS-51 จะเริ่มจากบล็อก Program Counter ซึ่งเป็นวงจรนับ (Counter Circuit) ชนิดหนึ่งส่งค่าตำแหน่งหน่วยความจำสำหรับโปรแกรมลงไปบนบัส (Bus) หมายเลข 1 บัสนี้มีขนาด 16 บิท ค่าตำแหน่งหน่วยความจำนี้ จะถูกไปเก็บไว้ที่ Program ADDR Register ที่เป็นวงจร Latch ข้อมูลซึ่งเป็นค่าตำแหน่งหน่วยความจำจะปรากฏที่บนบัส 16 บิทหมายเลข 2 ถ้าเป็นค่าตำแหน่งหน่วยความจำแรก หลังจากรีเซ็ทค่าตำแหน่งหน่วยความจำจะเป็น 0000H หน่วยความจำสำหรับโปรแกรมจะเลือกได้ว่าเป็น ROM ภายในหรือภายนอก MCS-51 โดยการป้อนสภาวะลอจิก เข้าไปที่ MCS-51 ทางขา EA ซึ่งต่ออยู่กับส่วน Timing and Control ทำหน้าที่เป็นวงจรถอดรหัส (Decode) แล้ว สร้างสัญญาณควบคุมต่อไป ถ้าป้อนสัญญาณลอจิก 0 เข้าไปที่ขา EA จะเป็นการเลือกใช้ ROM ภายใน MCS-51 โดยที่วงจร Timing and Control จะสร้างสัญญาณไปยัง ROM ภายในให้ส่งข้อมูลที่เป็นคำสั่งจากตำแหน่งที่ถูกชี้ด้วยค่าตำแหน่งที่ส่งมาทางบัสหมายเลข 2 ข้อมูลจาก ROM จะถูกส่งลงไปยังบัสหมายเลข 3 ที่เรียกว่า Internal Data Bus แล้วนำไปเก็บไว้ที่ Instruction Register (เป็นวงจร Latch) เพื่อส่งต่อไปให้กับวงจร Timing and Control ทำการถอดรหัสแล้วควบคุมการทำงานส่วนอื่น ต่อไปแล้วแต่ว่าเป็นคำสั่งให้ทำงานอะไรในกรณีที่เลือก ROM ภายนอก MCS-51 โดยป้อนสัญญาณลอจิก 1 เข้าไปที่ขา EA จะทำให้วงจร Timing and Control ส่งสัญญาณไปยังพอร์ท 0 และพอร์ท 2 เพื่อส่งค่าตำแหน่งหน่วยความจำบนบัสหมายเลข 2 ออกไปชี้หน่วยความจำภายนอก จากนั้นจะอ่านข้อมูลที่เป็นคำสั่งกลับเข้ามาทางพอร์ท 0 ไปยัง Internal Data Bus แล้วไปเก็บที่ Instruction Register เพื่อทำงานต่อไปเหมือนกับตอนอ่านคำสั่งจาก ROM ภายใน การทำงานในช่วงส่งค่าตำแหน่งหน่วยความจำไปยังหน่วยความจำแล้วอ่านข้อมูลที่เป็นคำสั่งกลับเข้ามาเก็บไว้ใน Instruction Register เรียกว่าเป็นช่วงของการ Fetch (Fetch Cycle) ช่วงต่อไปจะเป็นช่วงการทำงานตามคำสั่งเรียกว่า Execute Cycle คำสั่งแต่ละคำสั่งของ MCS-51 จะใช้เวลาทำงาน 1 , 2 หรือ 3 ไซเคิลของเครื่อง (Machine Cycle) แล้วแต่ว่าเป็นคำสั่งประเภทใด 1 ไซเคิลของเครื่องจะใช้เวลา 12 ไซเคิลของสัญญาณนาฬิกา ดังนั้นแต่ละคำสั่งของ MCS-51 จะใช้เวลาการทำงาน 12 , 24 หรือ 36 ไซเคิล ของสัญญาณนาฬิกา แต่ละไซเคิลของเครื่องจะถูกแบ่งออกเป็น 6 State คือ S1,S2,S3,S4,S5 และ S6 แต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

State จะประกอบด้วย 2 ไซเคิล ของสัญญาณนาฬิกา ในไซเคิลแรก จะเรียกว่าเฟส 1 (P1) และไซเคิลที่ 2 เรียกเฟส 2 (P2) ในแต่ละเฟสจะนับตั้งแต่ขอบขาลงของสัญญาณนาฬิกา ถึง ขอบขาลงของสัญญาณนาฬิกา ที่อยู่ถัดไปดังรูปที่ 3.13 เมื่อ MCS-51 ทำงานเสร็จ 1 ไซเคิลของเครื่องก็จะเริ่มทำงาน State 1 Phase 1 (S1P1) ของไซเคิลต่อไป ใน 1 ไซเคิลของเครื่อง วงจร Timing and Control จะสร้างสัญญาณ ALE ออกมา 2 ไซเคิล เพื่อ Fetch คำสั่งเข้าไป 2 ครั้งเสมอ ที่บริเวณขอบขาขึ้นของสัญญาณ ALE คำสั่งใดจะมีกี่ไบท์ (Byte) หรือ ใช้เวลาทำงานกี่ไซเคิล จะดูได้จากตารางชุดคำสั่ง MCS-51 ดังรูปที่ 3.14

การทำงานที่กล่าวมาข้างต้น จะขึ้นกับสัญญาณควบคุม ที่สร้างจากวงจร Timing and Control และสัญญาณที่สร้างขึ้นนี้จะอ้างอิงกับสัญญาณนาฬิกาที่สร้างมาจากวงจรออสซิลเลเตอร์ ทำให้การทำงานต่าง ๆ เป็นไปดังรูปที่ 3.13



รูปที่ 3.13 ลำดับสถานะการทำงานใน MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ARITHMETIC OPERATIONS

Mnemonic		Description
ADD	A,Rn	Add register to Accumulator
ADD	A,direct	Add direct byte to Accumulator
ADD	A,@Ri	Add indirect RAM to Accumulator
ADD	A,#data	Add immediate data to Accumulator
ADDC	A,Rn	Add register to Accumulator with Carry
ADDC	A,direct	Add direct byte to A with Carry flag
ADDC	A,@Ri	Add indirect RAM to A with Carry flag
ADDC	A,#data	Add immediate data to A with Carry flag
SUBB	A,Rn	Subtract register from A with Borrow
SUBB	A,direct	Subtract direct byte from A with Borrow
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow
SUBB	A,#data	Subtract immed. data from A with Borrow
INC	A	Increment Accumulator
INC	Rn	Increment register
INC	direct	Increment direct byte
INC	@Ri	Increment indirect RAM
INC	DPTR	Increment Data Pointer
DEC	A	Decrement Accumulator
DEC	Rn	Decrement register
DEC	direct	Decrement direct byte
DEC	@Ri	Decrement indirect RAM
MUL	AB	Multiply A & B
DIV	AB	Divide A by B
DA	A	Decimal Adjust Accumulator

LOGICAL OPERATIONS

Mnemonic		Destination
ANL	A,Rn	AND register to Accumulator
ANL	A,direct	AND direct byte to Accumulator
ANL	A,@Ri	AND indirect RAM to Accumulator
ANL	A,#data	AND immediate data to Accumulator
ANL	direct,A	AND Accumulator to direct byte
ANL	direct,#data	AND immediate data to direct byte
ORL	A,Rn	OR register to Accumulator
ORL	A,direct	OR direct byte to Accumulator
ORL	A,@Ri	OR indirect RAM to Accumulator
ORL	A,#data	OR immediate data to Accumulator
ORL	direct,A	OR Accumulator to direct byte
ORL	direct,#data	OR immediate data to direct byte
XRL	A,Rn	Exclusive-OR register to Accumulator
XRL	A,direct	Exclusive-OR direct byte to Accumulator
XRL	A,@Ri	Exclusive-OR indirect RAM to A
XRL	A,#data	Exclusive-OR immediate data to A
XRL	direct,A	Exclusive-OR Accumulator to direct byte
XRL	direct,#data	Exclusive-OR immediate data to direct
CLR	A	Clear Accumulator
CPL	A	Complement Accumulator
RL	A	Rotate Accumulator Left
RLC	A	Rotate A Left through the Carry flag
RR	A	Rotate Accumulator Right
RRC	A	Rotate A Right through Carry flag
SWAP	A	Swap nibbles within the Accumulator

DATA TRANSFER

Mnemonic		Description
MOV	A,Rn	Move register to Accumulator
MOV	A,direct	Move direct byte to Accumulator
MOV	A,@Ri	Move indirect RAM to Accumulator
MOV	A,#data	Move immediate data to Accumulator
MOV	Rn,A	Move Accumulator to register
MOV	Rn,direct	Move direct byte to register
MOV	Rn,#data	Move immediate data to register
MOV	direct,A	Move Accumulator to direct byte
MOV	direct,Rn	Move register to direct byte
MOV	direct,direct	Move direct byte to direct
MOV	direct,@Ri	Move indirect RAM to direct byte
MOV	direct,#data	Move immediate data to direct byte
MOV	@Ri,A	Move Accumulator to indirect RAM
MOV	@Ri,direct	Move direct byte to indirect RAM
MOV	@Ri,#data	Move immediate data to indirect RAM
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A
MOVC	A,@A+PC	Move Code byte relative to PC to A
MOVX	A,@Ri	Move External RAM (8-bit addr) to A
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A
MOVX	@Ri,A	Move A to External RAM (8-bit addr)
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)
PUSH	direct	Push direct byte onto stack
POP	direct	Pop direct byte form stack
XCH	A,Rn	Exchange register with Accumulator
XCH	A,direct	Exchange direct byte with Accumulator
XCH	A,@Ri	Exchange indirect RAM with A
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description
CLR	C	Clear Carry flag
CLR	bit	Clear direct bit
SETB	C	Set Carry flag
SETB	bit	Set direct Bit
CPL	C	Complement Carry flag
CPL	bit	Complement direct bit
ANL	C,bit	AND direct bit to Carry flag
ANL	C,/ bit	AND complement of direct bit to Carry
ORL	C,bit	OR direct bit to Carry flag
ORL	C,/ bit	OR complement of direct bit to Carry
MOV	C,bit	Move direct bit to Carry flag
MOV	bit,C	Move Carry flag to direct bit

PROGRAM AND MACHINE CONTROL

Mnemonic		Description
ACALL	addr 11	Absolute Subroutine Call
LCALL	addr 16	Long Subroutine Call
RET		Return from subroutine
RETI		Return from interrupt
AJMP	addr 11	Absolute Jump
LJMP	addr 16	Long Jump
SJMP	rel	Short Jump (relative addr)
JMP	@A+DPTR	Jump indirect relative to the DPTR
JZ	rel	Jump if Accumulator is Zero
JNZ	rel	Jump if Accumulator is Not Zero
JC	rel	Jump if Carry flag is set
JNC	rel	Jump if No Carry flag

PROGRAM AND MACHINE CONTROL (cont.)

Mnemonic		Description
JB	bit,rel	Jump if direct Bit set
JNB	bit,rel	Jump if direct Bit Not set
JBC	bit,rel	Jump if direct Bit is set & Clear bit
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal
CJNE	@Ri,#data, rel	Comp. immed. to ind. & Jump if Not Equal
DJNZ	Rn,rel	Decrement register & Jump if Not Zero
DJNZ	direct, rel	Decrement direct & Jump if Not Zero
NOP		No operation

รูปที่ 3.14 รหัสคำสั่งของ MCS - 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TCM 5089 DTMF GENERATOR

Block Diagram

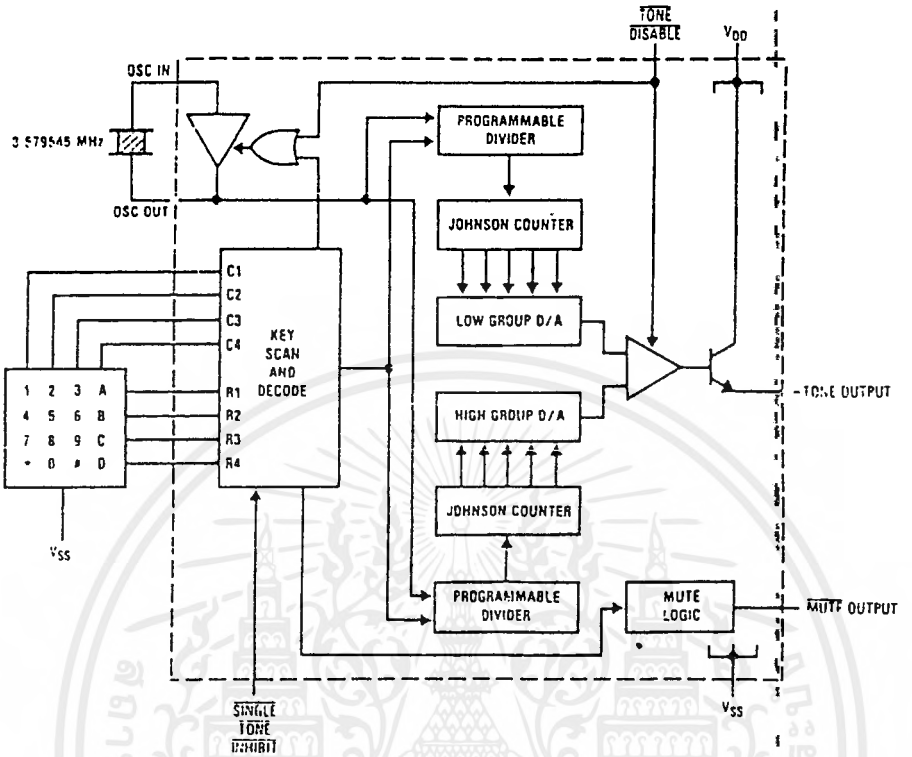


FIGURE 1

รูป 3.15 บล็อกไดอะแกรม

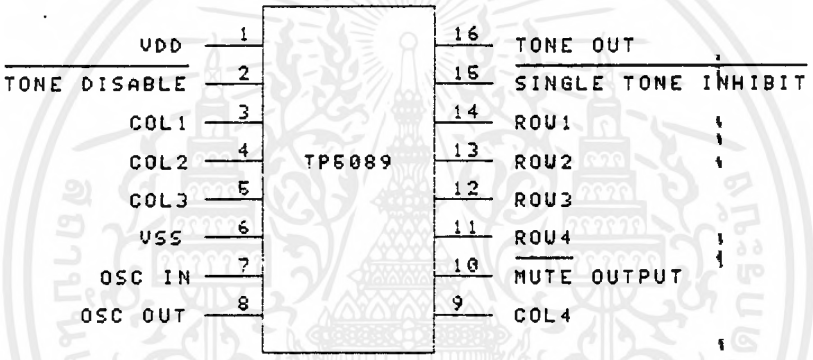
ในรูป 3.15 เป็นบล็อกไดอะแกรม ของวงจรภายในของ IC NO.TCM 5089 (TP 5089) จะเห็นได้ว่า วงจรถอดรหัส ลอจิกเกตวงจรหารความถี่ (วงจรนับ) หรือ PORGRAMMABLE DIVIDER ขั้นตอนการทำงาน เมื่อมีการกดหมายเลขโทรศัพท์ จะทำให้มีสัญญาณโรว์ และ คอลัมน์เกิดขึ้น และ ขาสัญญาณ SINGLE TONE INHIBIT ต้องถูกทำให้แอคทีฟโลว์ สัญญาณโรว์ และ คอลัมน์ จะถูกนำไปกำหนดค่าตัวหาร จากวงจรออสซิลเลเตอร์หลัก ซึ่งจะเลือกใช้ค่าความถี่จากวงจรออสซิลเลเตอร์ 3.579 Mhz ซึ่ง จะต้องนำไปหารด้วยค่าตัวหารจากวงจร PROGRAMMABLE DIVIDER ทั้ง 2 วงจรเพื่อให้แน่ใจว่าการกดปุ่มแต่ละครั้ง เป็นการกดเพียงปุ่มเดียวจริง ๆ เมื่อตรวจสอบได้ว่าไม่มีการกดปุ่มในเวลาเดียวกันมากกว่าหนึ่งปุ่ม จึงค่อยเอาสัญญาณลอจิกส่วนนี้ไปเป็นสัญญาณอีเนเบิ้ล (ENABLE) ให้แก่วงจร PROGRAMMABLE DIVIDER ทั้ง 2 วงจร ส่วนของลอจิกที่ออกมาจากบล็อก KEYSCAN AND DECODE จะเป็นการส่งสัญญาณไปยังขา MUTE OUT เมื่อมีการกดปุ่มหมายเลขใด ๆ ซึ่งจะควบคุมให้มีสัญญาณจากวงจรบวกและขยายสัญญาณผ่านเข้าสู่หูฟังในระดับที่เหมาะสม และนำไปใช้ควบคุมไม่ให้วงจรส่งสัญญาณเสียงพูดทำงานเมื่อมีการกดปุ่มหมายเลขอยู่ เพื่อป้องกันความผิดพลาดในขณะส่งรหัสหมายเลขอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของสัญญาณที่ออกมาจากวงจรหารทั้ง 2 วงจร ถูกนำไปเข้าวงจร D/A เพื่อแปลงเป็นสัญญาณ SINE WAVE และถูกนำมาเข้าวงจรรวมสัญญาณ ก็จะได้สัญญาณคู่ความถี่แทนหมายเลขปุ่มที่กดนั่นเอง ซึ่งส่วนเอาท์พุทเป็นวงจร EMITTER-FOLLOWERจึงต้องการตัวต้านทานภายนอกเพื่อปรับความแรงของสัญญาณ

คุณสมบัติพิเศษ

1. ทำงานที่แรงดัน 3.5 V - 10 V สำหรับการกำเนิดสัญญาณโทน
2. ทำงานที่แรงดันต่ำสุด 2 V สำหรับการสแกนคีย์และสัญญาณมิวท์
3. สามารถป้อนสัญญาณลอจิกเป็นอินพุทได้
4. มีวงจรควบคุมการผลิตความถี่ 3.579 MHz ในตัว
5. ระดับสัญญาณเอาท์พุทแปรผันตามไฟเลี้ยง
6. มีความเพี้ยนทางฮาร์โมนิกต่ำ



รูป 3.16 แสดงการจัดขาใช้งานของ TCM 5089

อธิบายการทำงานของขาต่าง ๆ

VDD เป็นขาไฟเลี้ยงของตัว IC

VSS เป็นขั้วลบของ IC

OSC IN และ OSC OUT ต่อเข้ากับ CRYSTAL 3.579 MHz เพื่อเป็นตัวกำเนิดความถี่หลัก

ROW AND COLUMN INPUTS เมื่อยังไม่มีการกดปุ่มจะมีตัวต้านทานต่ออยู่เพื่อทำให้เป็น 1 ตลอด เมื่อมีการกดปุ่ม จะทำให้วงจรกำเนิดความถี่ทำงาน เนื่องจากรับอินพุทเป็นลอจิกได้จึงสามารถต่อกับ CPU ได้โดยตรง

TONE DISABLE มีตัวต้านทานพูล - อัพในตัว เมื่อแอคทีฟจะทำให้ขาสัญญาณโทนเอาท์ถูกเปิดวงจร

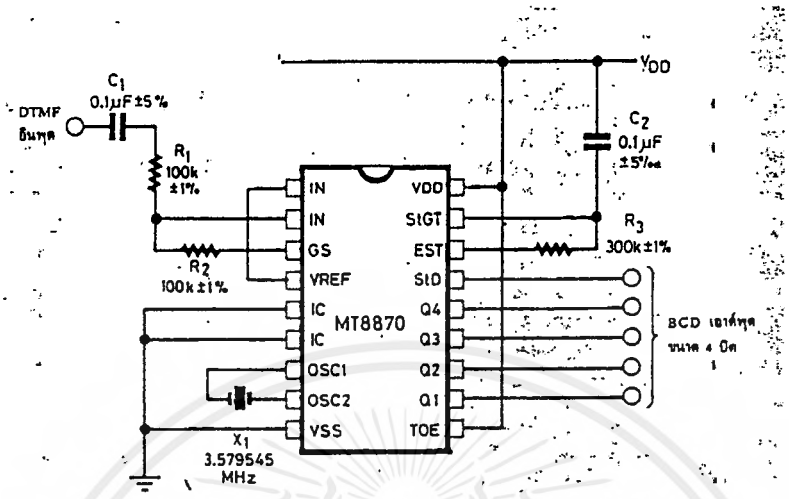
MUTE OUTPUT จะแอคทีฟเมื่อมีการกดปุ่มใด ๆ และเปิดวงจรเมื่อไม่มีการกด

SINGLE TONE INHIBIT (INPUT) ใช้เพื่อป้องกันสัญญาณโทนไม่ให้ออกไปเนื่องมาจากการกดปุ่มมากกว่า 1 ปุ่ม

TONE OUT เป็นขาสัญญาณเอาท์พุท แบบอีมิตเตอร์เปิดวงจรจึงต้องต่อกับ ตัวต้านทานภายนอก และแรงดันเอาท์พุทของขานี้เกิดจากสัญญาณที่ขี่ซ้อนบนไฟตรงเมื่อไม่มีการส่งสัญญาณทรานซิสเตอร์จะไม่ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MT 8870 INTEGRATED DTMF RECEIVER



รูป 3.17 แสดงวงจรใช้งานเบื้องต้น

คุณสมบัติของ MT 8870

1) เป็นตัวรับและถอดรหัสความถี่ (DTMF RECEIVER)
2) กินไฟน้อย ใช้ไฟเลี้ยงระดับ TTL
3) สามารถตั้งอัตราขยายภายในตัว IC ได้
4) สามารถปรับการ์ดไทม์ (GUARD TIME) ได้
5) เป็น IC คุณภาพสูง

โครงสร้างของ MT 8870

โครงสร้างภายในของ MT 8870 ประกอบด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิตอล เป็น IC ที่สร้างโดยใช้เทคนิค ISO^2-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตช์คาปาซิเตอร์ ฟิลเตอร์สำหรับกรองความถี่สูง และ ต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อ ตรวจจับ และถอดรหัสทั้ง 16 ความถี่ออกเป็น เลขฐานสอง 4 บิต และ เช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายเอาท์พุทเป็นวงจรแลตช์ 3 สถานะ

ฟังก์ชันการทำงานภายใน MT 8870

ภายใน MT 8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

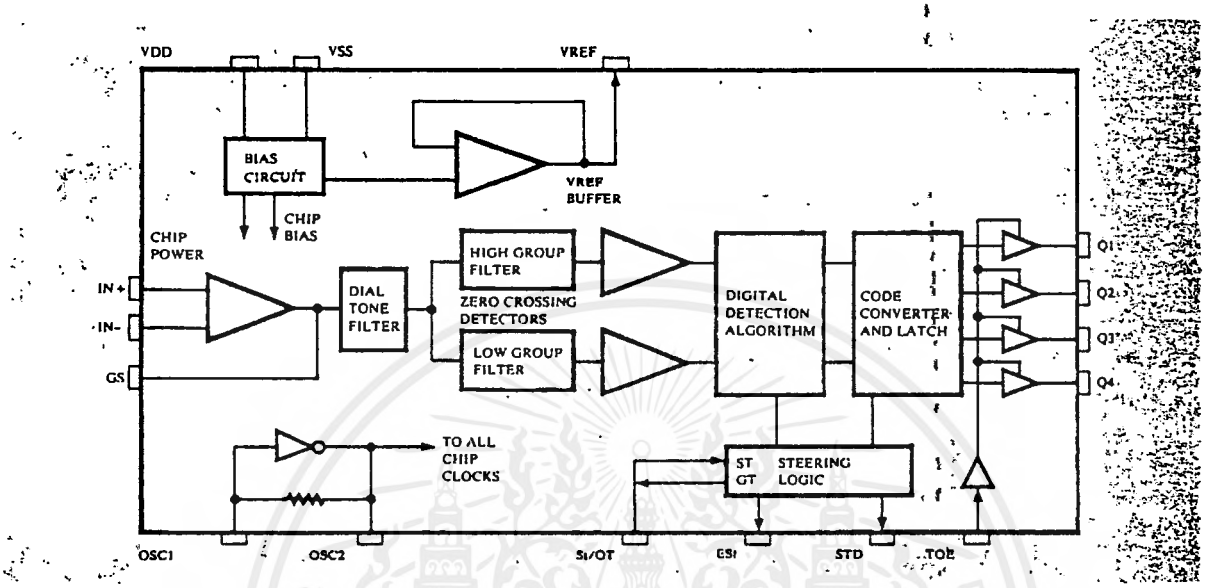
1) ภาคกรองความถี่ (FILTER SECTION)
2) ภาคถอดรหัส (DECODER SECTION)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ภาคตรวจสอบสัญญาณ (STEERING CIRCUIT)

4) ภาคขยายสัญญาณความแตกต่าง (DIFFERENTIAL INPUT)

5) ภาคกำเนิดความถี่



รูป 3.18 แสดงโครงสร้างภายใน

1) ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูง และช่วงความถี่ต่ำ โดยใช้วงจรกรองความถี่อันดับ 6 ชนิดสวิตช์คาปาซิเตอร์ (SIX - ORDER SWITCHED CAPACITOR BAND PASS FILTER) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือ ช่วงความ ถี่สูงและช่วงความถี่ต่ำ

2) ภาคถอดรหัส

ความถี่ DTMF ซึ่งถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกมาเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตราฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่ นั้นถูกต้องสัญญาณที่ขา EST (EARLY STEERING) ก็จะแอคทีฟสำหรับค่ามีถอดรหัสจากความถี่ต่าง ๆ แสดงดังรูป 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

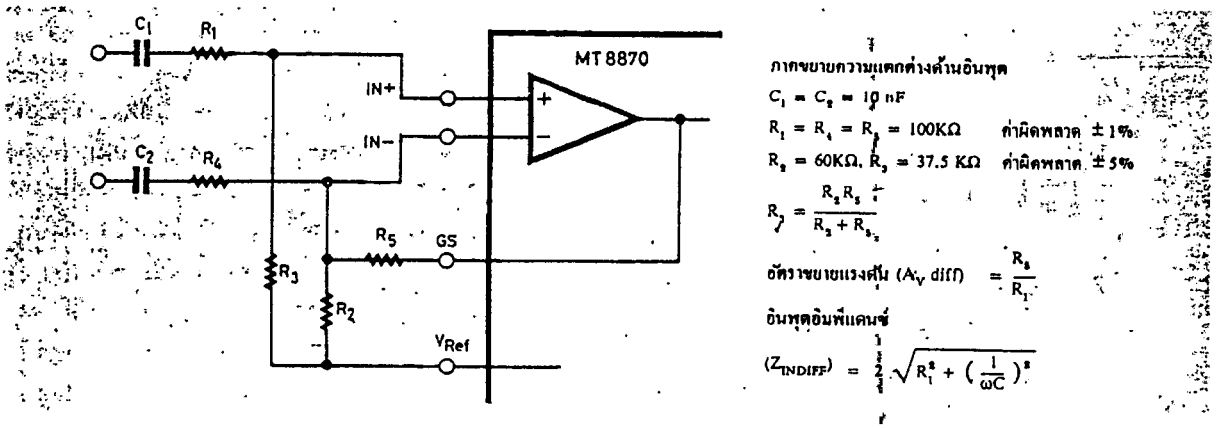
F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูป 3.19 แสดงค่าที่ถอดรหัสจากความถี่ต่าง ๆ

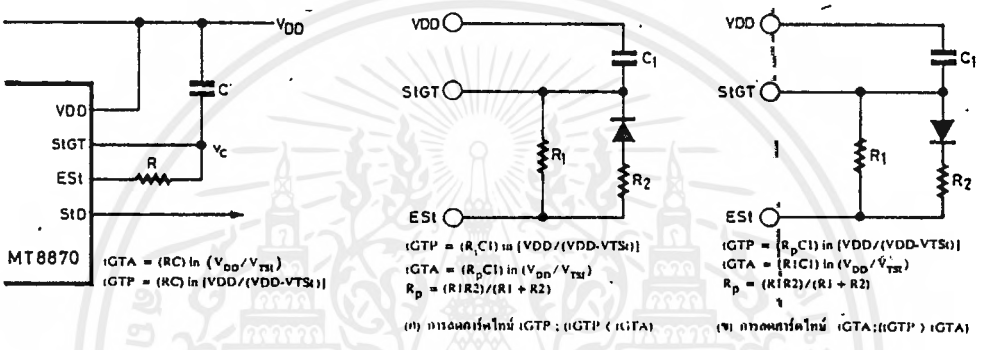
3) ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุทจะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนด หรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควรมิฉะนั้นวงจรส วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา EST จะเป็น HIGH นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูป 3.21 เมื่อขา EST เป็น HIGH ทำให้ VC สูงขึ้นตัวเก็บประจุ C จะคายประจุทำให้แรงดัน VC สูงขึ้นจนถึงค่าเทรชโฮลด์วงจรถอดรหัสจึงจะถอดรหัสออกเป็นเลขขนาด 4 บิต รายละเอียดแสดงตาม TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและการกำหนดเวลาการ์ดไทม์และวิธีคำนวณ



รูปที่ 3.21 แสดงการต่อวงจรภาคอินพุท

สำหรับคำว่า การ์ดไทม์ (GARD TIME) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามาซึ่งต้องนานเท่ากับหรือ มากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับ ว่าสัญญาณความถี่นั้น ถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้ จึงจะสามารถแปลงเป็นตัวเลขได้ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป

4) ภาคขยายสัญญาณความแตกต่าง

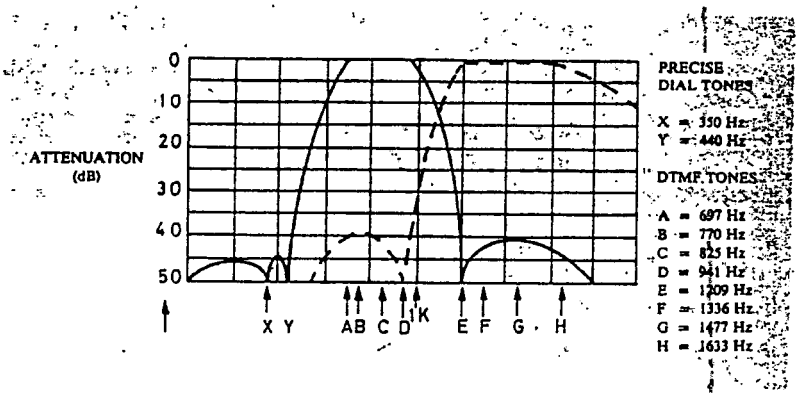
วงจรส่วนอินพุทของ MT 8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป เราสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนส์ดังนี้

$$\text{อัตราขยาย (Av diff)} = R_5 / R_1$$

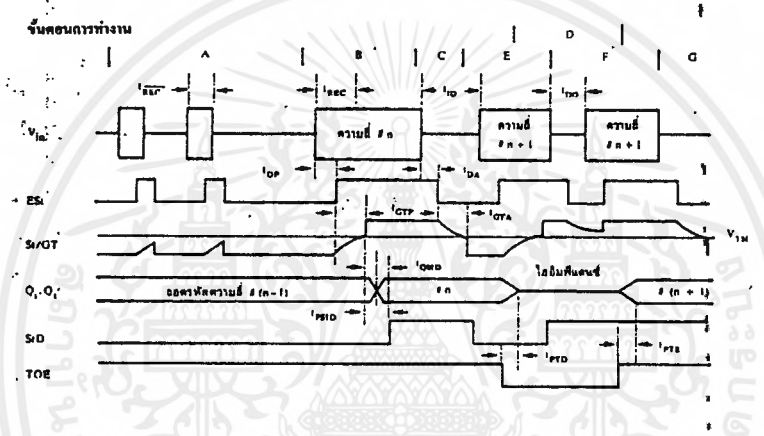
5) ภาคกำเนิดความถี่

ในภาคนี้ภายใน IC มีวงจรเวลาอยู่ภายในเพียงแต่ต่อแร่คริสตอลขนาด 3.579 MHz ก็สามารถใช้งานได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 แสดงความถี่ที่ได้จากภาคกรองความถี่



รูปที่ 3.23 แสดงแผนภูมิเวลา (TIMING DIAGRAM) ของ MT 8870

อธิบายขั้นตอนการทำงาน

A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาท์พุทไม่เปลี่ยน

B - ความถี่ #n ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้ ที่เอาท์พุท

C - จบความถี่ #n ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตช์อยู่จนกว่าจะได้รับความถี่ที่ถูก ต้องใหม่

D - เอาท์พุทเปลี่ยนเป็นไฮอิมพีแดนซ์

E - ความถี่ #n + 1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้

F - ความถี่ #n + 1 หายไป ช่วงห่างไม่ถูกต้อง เอาท์พุทยังคงแลตช์อยู่

G - จบความถี่ #n + 1 ช่วงห่างถูกต้อง เอาท์พุทยังแลตช์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

อธิบายคำศัพท์

V_{in} - สัญญาณความถี่ DTMF ที่เข้ามา

ESt - EARLY STEERING OUTPUT ใช้แสดงความถี่ที่ถูกต้อง

St/GT - STEERING INPUT/GUARD TIME OUTPUT สำหรับต่อกับ RC ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q_1-Q_4 - เอาท์พุท BCD ขนาด 4 บิต

StD - DELAYED STEERING OUTPUT ใช้แสดงว่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - TONE OUTPUT ENABLE (INPUT) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแดนซ์

t_{REC} - คาบเวลานานสุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

t_{REC} - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง

t_{ID} - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

t_{DO} - เวลานานสุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD 1420

เป็น IC บันทึกเสียงตระกูล ISD 12xx และ ISD 14xx สามารถบันทึกเสียงได้10 - 20 วินาที

คุณสมบัติของ ISD 12xx/14xx

1) เมื่อใช้ในฟังก์ชันการบันทึกและเล่นกลับด้วยตัว IC เองง่ายมาก
   - ไม่มี IC เบอร์อื่น ๆ ประกอบเพิ่มเติมภายนอก
   - ต่ออุปกรณ์พาสซีฟภายนอกน้อยมาก
2) ให้ระดับสัญญาณในการบันทึกที่มีประสิทธิภาพสูง
3) สามารถต่อกับสวิตช์ควบคุมการบันทึก , เล่นกลับ , หยุดชั่วขณะและปรับระดับสัญญาณต่าง ๆ ได้
4) ข้อมูลที่ถูกบันทึกไว้ไม่สูญหายถึงแม้ว่าจะไม่มีแรงดัน ยให้ กับ IC และไม่ ตอการ แบตเตอรีสำรอง
5) เก็บข้อมูลได้นานถึง 100 ปี แม้ไม่มีแรงดันไฟเลี้ยง
6) สามารถบันทึกใหม่ได้ 100,000 ครั้ง
7) มีวงจรฐานเวลาภายใน
8) ไม่มีการโปรแกรมในตัว IC และไม่ต้องพัฒนาระบบเพิ่มเติม
9) มีระบบสแตนด์บายเพื่อประหยัดพลังงานจากแหล่งจ่ายเมื่อไม่มีการบันทึกหรือเล่นกลับ
10) ใช้แรงดันไฟเลี้ยงเดี่ยวกินกระแสขณะสแตนด์บายต่ำเพียง 0.5 ไมโครแอมป์

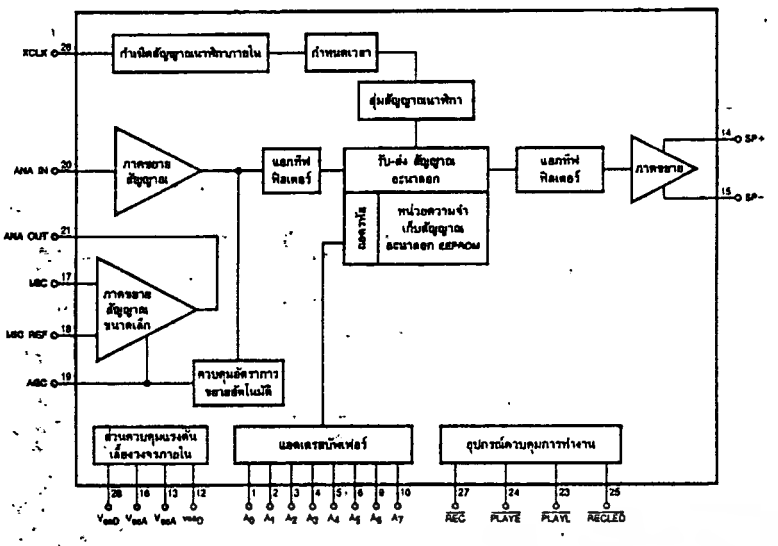
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	รายละเอียดคุณสมบัติ	ISD1210	ISD1212	ISD1416	ISD1420	หน่วย
F_s	อัตราความถี่ในการแซมปลิ้ง สัญญาณ	6.4	5.3	8	6.4	กิโลเฮิรตซ์
BW	ความกว้างของแบนด์	2.7	2.3	3.4	2.7	กิโลเฮิรตซ์
T_{RPW}	ความกว้างของพัลส์ขณะบันทึก	10	12	16	20	วินาที
T_{PLAY}	ระยะเวลาในการบันทึก (สูงสุด)	10	12	16	20	วินาที
T_{LED2}	การหน่วงเวลาที่ขา RECLED ขณะปิด	48.6	58.3	38.9	48.6	มิลลิวินาที
T_{RPUD}	การหน่วงเวลาขณะเริ่มบันทึก	32	39	26	32	มิลลิวินาที
T_{RPDD}	การหน่วงเวลาขณะหยุดบันทึก	32	39	26	32	มิลลิวินาที
T_{PPUD}	การหน่วงเวลาขณะเล่นกลับ	32	39	26	32	มิลลิวินาที
T_{PPDD}	การหน่วงเวลาขณะเล่นกลับสิ้นสุด	8.1	9.7	6.5	8.1	มิลลิวินาที
THD	ความเพี้ยนทางฮาร์มอนิกรวม	1	1	1	1	เปอร์เซ็นต์
T_{LED1}	หน่วงเวลาขณะเริ่มบันทึกของ LED	5	5	5	5	ไมโครวินาที
P_{OUT}	กำลังขับลำโพงทางเอาท์พุท	12.2	12.2	12.2	12.2	มิลลิวัตต์
V_{OUT}	แรงดันตกคร่อมขาต่อลำโพง	2.5	2.5	2.5	2.5	โวลต์ (พีค-พีค)
V_{IN1}	แรงดันอินพุทที่ไมโครโฟน	20	20	20	20	มิลลิโวลต์ (พีค-พีค)
V_{IN2}	แรงดันอินพุทอะนาลอก	50	50	50	50	มิลลิโวลต์ (พีค-พีค)

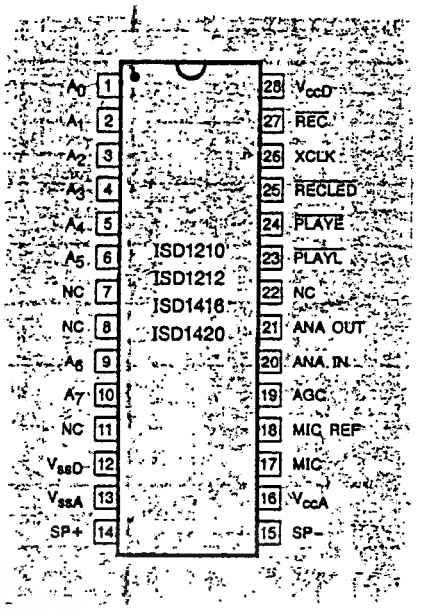
รูปที่ 3.24 คุณสมบัติทางไฟฟ้าของ ISD 12xx/14xx

ภายในจะประกอบไปด้วยส่วนการทำงานที่สำคัญทุกส่วน โดยมีอุปกรณ์พาส ซีฟต่อภายนอกเพียงเล็กน้อยเท่านั้น ซึ่งภายในก็มีวงจรกำเนิดความถี่ฐานเวลา ชนิดซีมอส , วงจรขยายสัญญาณไมโครโฟน , วงจรควบคุมอัตราขยายอัตโนมัติ , วงจรกรองความถี่และวงจรขยายสัญญาณออกสู่ลำโพง แต่ สัญญาณที่ขับลำโพงโดยตรงจาก IC ตัวนี้อาจจะดังไม่พอ ก็สามารถต่อวงจรขยาย สัญญาณ ขนาดเล็กภายนอกเพิ่มเติมได้ลักษณะการบันทึกลงบนหน่วยความจำภายใน IC นี้จะทำการบันทึกสัญญาณอะนาลอกโดยตรง (DIRECT ANALOG STORAGE TECHNOLOGY) DAST ซึ่ง สัญญาณอะนาลอกนี้อาจจะเป็น สัญญาณเสียงพูดหรือสัญญาณความถี่ย่าน 20 Hz - 20 KHz จะถูกบันทึกลงหน่วยความจำ EEPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 บล็อกไดอะแกรมภายในตัวไอซี 12xx/14xx



รูปที่ 3.26 แสดงรูปการจัดขาใช้งานของ ISD

<u>การทำงานเบื้องต้น</u>

การทำงานเบื้องต้นของ ISD 12xx/14xx จะเป็นชิฟไอซีเพียงตัวเดียวและมีสัญญาณควบคุมการทำงานในฟังก์ชันต่าง ๆ เป็นสัญญาณแบบเดี่ยว (SINGLE SIGNAL) เพื่อควบคุมที่ขา REC และสัญญาณควคุมการเล่นกลับจะถูกควบคุมด้วยสวิตช์ควบคุม 2 สวิตช์ คือ ควบคุมที่ขา PLAYE และ PLAYL นอกจากนั้นหากถ้าต้องการให้สามารถควบคุมการบันทึกได้หลาย ๆ ลักษณะ ก็สามารถใช้ขาแอดเดรสไลน์มาทำการ ประยุกต์ใช้งานควบคุมได้เช่นกัน

<u>ประสิทธิภาพของเสียงที่บันทึก</u>

ประสิทธิภาพของสัญญาณที่ทำการบันทึกและเล่นกลับจะมีคุณภาพดีมาก เนื่องจากการบันทึกและเล่นกลับจะใช้เทคโนโลยี DAST ดังได้กล่าวมาแล้ว โดยที่สัญญาณที่ทำการบันทึก หรือ สัญญาณเสียงพูดที่เข้ามาทางอินพุทจะถูกบันทึก หรือ เก็บเข้าไปไว้ใน EEPROM ซึ่งเป็นหน่วยความจำภายในโดยตรงด้วยสัญญาณแบบอะนาลอก และ การเล่นกลับออกมาก็เหมือนกันกับสัญญาณที่ก่อนทำการบันทึกแน่นอน เพราะ การเล่นกลับไม่มีผลของคุณสมบัติหัวเทปมาเกี่ยวข้อง เพราะ ในกรณีนี้ไม่ได้ใช้หัวเทปในการขยายสัญญาณออกมา แต่ใช้กระบวนการทางดิจิตอล

<u>ปิดตัวเองเมื่อไม่มีการบันทึกหรือเล่นกลับ</u>

ในขณะที่ วงรอบหรือขั้นตอนการทำงานเล่นกลับ หรือบันทึกสิ้นสุดลงไอซีนี้ก็มีฟังก์ชันการทำงานให้ตัดเข้าสู่โหมดการสแตนด์บาย เพื่อให้ปริมาณการใช้กำลังงาน อยู่ในระดับ ที่ต่ำเมื่อต้องการประหยัดแบตเตอรี ซึ่งจะกินกระแสเพียง 0.5 ไมโครแอมป์ ในช่วงที่การเล่นกลับจบลง ก็จะตัดเข้าสู่โหมดสแตนด์บาย ในโหมดของการบันทึกเสร็จก็จะกลับมาสู่โหมดสแตนด์บายเมื่อขาควบคุม REC มีระดับลอจิก " 1 "

<u>ควบคุมการบันทึก REC</u>

ที่ขาควบคุมการบันทึกทางอินพุทนี้จะต้องการระดับลอจิก " 0 " เพื่อทำการบันทึกสัญญาณและจะเริ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการบันทึก เมื่อระดับลอจิกที่ขา REC นี้เป็นลอจิก " 0 " และ สภาวะลอจิกที่ขานี้จะต้องคงสถานะอยู่ที่ " 0 " ตลอดขณะทำการบันทึก และการบันทึกที่ขา REC จะต้องได้รับสัญญาณให้ทำการบันทึกก่อนเสมอก่อนที่จะทำการเล่นกลับ หรือ ก่อนที่จะมีสัญญาณมาควบคุมที่ขา PLAYE หรือขา PLAYL ถ้าที่ขา REC มีระดับลอจิก "0 " เพิ่มขึ้นไปเป็นค่าแรงดันบวก (ขึ้นไปเป็น " 1 ") ก็จะเข้าสู่การทำงานของการเล่นกลับ

ควบคุมการเล่นกลับ (PLAYE)

เมื่อควบคุมการเล่นกลับนี้ได้รับระดับลอจิก " 0 " หรือได้รับการกระตุ้นด้วยลอจิก " 0 " ที่อินพุทนี้วงจรก็จะเริ่มทำการเล่นกลับ เพื่อนำข้อมูลที่ถูกบันทึกอยู่แสดงออกมาทางลำโพง การเล่นกลับในฟังก์ชันนี้ จะเป็นการเล่นกลับอย่างต่อเนื่อง จนกว่าจะถึงข้อมูลสุดท้ายที่ทำการบันทึกตามเวลาที่กำหนดไว้ (10 - 20 วินาที) หรือเล่นกลับจนกว่าข้อมูลที่บันทึกใน EEPROM ทุกข้อมูลถูกเล่นกลับออกมาทั้งหมด ซึ่งเป็นการเล่นกลับอย่างสมบูรณ์ หลังจากนั้นก็ตัดเข้าสู่โหมดสแตนด์บาย ในระหว่างกำลังอยู่ในสภาวะเล่นกลับนั้นทันทีที่ขา PLAYE มีสถานะเป็น " 1 " การเล่นกลับก็จะหยุดลงทันที

ควบคุมการเล่นกลับ (PLAYL)

เมื่อขาอินพุทนี้มีการเปลี่ยนแปลงระดับลอจิก " 1 " ไปถึง " 0 " จะเป็นการเล่นกลับแบบต่อเนื่องจนกระทั่งที่ขา PLAYL เพิ่มขึ้นเป็น " 1 " หมายถึง เกิดการตรวจจับการเล่นสิ้นสุดลงแล้ว หรือ จบสิ้นข้อมูลที่ถูกเก็บไว้ใน EEPROM แล้ว และก็จะกลับมาสู่สภาวะสแตนด์บาย

ตารางโหมดการทำงาน

ADDRESS CTRL. (HIGH)	FUNCTION	TYPICAL USE	JOINTL COMPATIB LE
A_0	MESSAGE CUEING	FAST-FORWARD UNROUGH MESSAGE	A_4
A_1	DELETE EOM MARKERS	POSITION EOM MARKER AT THE END OF LAST MESSAGE	A_3 , A_4
A_2	UNUSED		
A_3	LOOPING	CONTINUOUS PLAYBACK FROM ADDRESS 0	A_1
A_4	CONSECUTIVE ADDRESSING	RECORD/PLAY MULTIPLE CONSECUTIVE MESSAGE	A_0 , A_1
A_5	UNUSED		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อ A_6 และ A_7 เป็นลอจิก " 1 " จะทำให้ขาแอดเดรสที่เหลือมีโหมดการทำงานดั่งตารางข้างบน

A_0 - MESSAGE CUEING (PLAYE หรือ PLAYL เท่านั้น)

เพื่อให้ผู้ใช้สามารถกระโดดข้ามข้อความถัดไปใช้ร่วมกับการทำงานของ A_4 และ เมื่อกด CONTROL INPUT (PLAYL , PLAYE) 1 ครั้ง ก็จะกระโดดข้ามไปยังข้อความถัดไป

A_1 - DELETE EOM MARKERS (REC เท่านั้น)

ใช้ลบสัญญาณ EOM ทุกตัวที่อัดแบบหลายข้อความทำให้รวมเป็นข้อความเดียวกัน

A_3 - MESSAGE LOOPING (PLAYE หรือ PLAYL เท่านั้น)

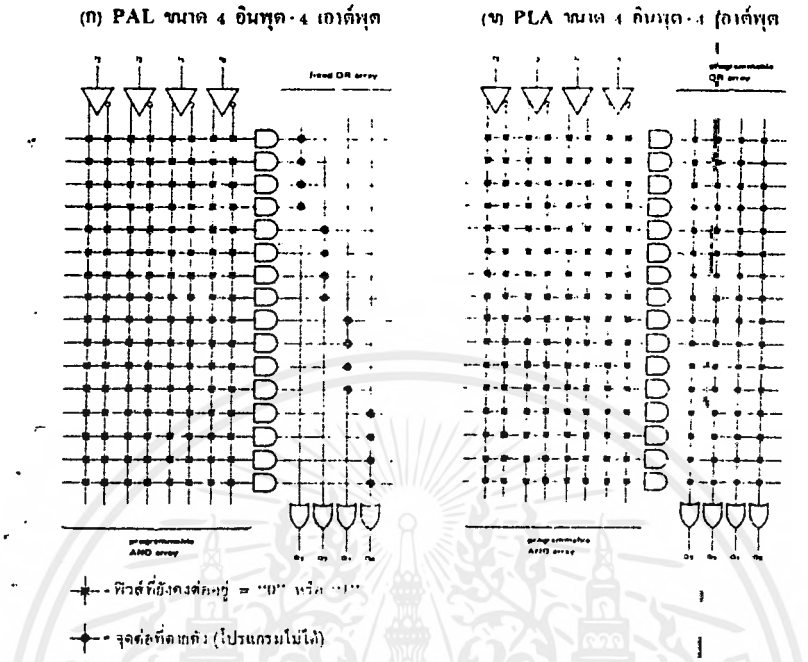
ใช้สำหรับการเล่นกลับแบบวนรอบจากจุดเริ่มต้นถึงจุดสุดท้าย

A_4 - CONSECUTIVE ADDRESSING

ใช้สำหรับอัดหรือเล่นแบบหลาย ๆ ข้อความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

PAL (PROGRAMMABLE ARRAY LOGIC)

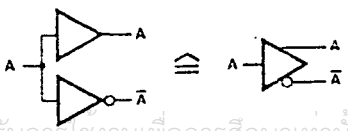


รูปที่ 3.27 โครงสร้างภายในของ PAL และ PLA เมื่อยังไม่ได้โปรแกรม

PAL มีลักษณะโครงสร้างภายในอินพุทของ AND เป็นแบบโปรแกรมได้ ส่วนอินพุทของOR จะคงที่ ดังแสดงในรูปเป็น PAL 4 อินพุท - 4 เอาท์พุท จะเห็นได้ว่าสัญญาณอินพุท $I_0 - I_3$ จะส่งผ่านบัฟเฟอร์และอินเวอเตอร์ออกมาเป็นสัญญาณ 8 เส้น ($I_0 - I_3$, $I_0 - I_3$) ป้อนเข้า AND ทุกตัวซึ่งมีอินพุท 8 ขา โดยที่สามารถโปรแกรมได้ว่าจะต่อเข้ากับ $I_0 - I_3$, $I_0 - I_3$ เส้นใด ส่วนเอาท์พุทของ AND จะถูกจัดแบ่งเป็น 4 ชุด ป้อนเข้า OR อย่างตายตัว คือเอาท์พุท 4 ตัวบนจะป้อนเข้า OR ตัวแรก ถัดลงมา 4 ตัวจะป้อนเข้า OR ตัวที่สอง เป็นเช่นนี้เรื่อย ๆ ในกรณีนี้หมายถึงว่า OR จะต้องมีอินพุท อยู่ 4 ขาเท่านั้น

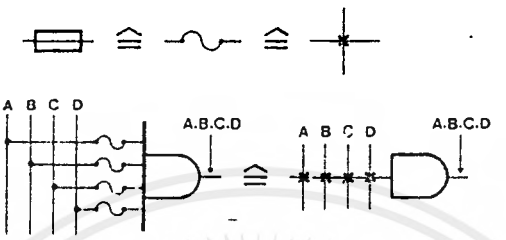
<u>สัญลักษณ์ของลอจิก</u>

เนื่องจากวงจรลอจิกภายในตัว PAL ค่อนข้างซับซ้อน และมีเป็นจำนวนมาก การเขียนสัญลักษณ์แบบมาตรฐานทั่วไปเพื่อแสดงวงจรภายใน PAL จึงทำให้ดูสับสนวุ่นวายและต้องเปลืองเนื้อที่มาก โรงงานผู้ผลิตส่วนใหญ่จึงนิยมใช้สัญลักษณ์ที่กำหนดขึ้นมาใหม่ เพื่อให้เขียนแสดง วงจรภายในได้ สะดวกขึ้น และ อ่านความหมายจากวงจรได้ง่ายขึ้น ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สัญญาณจากขาอินพุทมักจะต้องป้อนเข้าบัฟเฟอร์ 2 ตัวก่อนเพื่อให้ได้ 2 สัญญาณที่ตรงกันข้ามกัน คือ บัฟเฟอร์ตัวหนึ่งจะไม่กลับลอจิก แต่ อีกตัวหนึ่งจะกลับลอจิก เพื่อให้การเขียนวงจรลอจิกภายใน PAL ทำได้ง่ายขึ้นแทนที่จะต้องเขียนสัญลักษณ์ของบัฟเฟอร์ทั้ง 2 ตัว จึงรวมมาเขียนเป็นตัวเดียวกันเลยโดยให้มีเอาท์พุท 2 สัญญาณ ดังรูปที่แสดงไว้ข้างบนนี้



ขาอินพุทของเกตมักจะมีขาอินพุทอยู่หลายสัญญาณและจะต่อเข้ากับฟิวส์ในลักษณะแมทริกซ์ เพื่อให้เขียนวงจรได้ง่ายขึ้น จึงใช้เครื่องหมายกากบาทแสดงถึงว่ามีฟิวส์ ต่ออยู่ระหว่างขาอินพุทของเกตกับขาสัญญาณทางแนวตั้งตามตำแหน่งของเครื่องหมายกากบาทนั้น ๆ จึงทำให้เขียนขาสัญญาณอินพุทของเกตเพียงเส้นเดียวแสดงจำนวนขสัญญาณอินพุทของเกตหลายสัญญาณได้

(จำนวนอินพุทของเกต = จำนวนขาสัญญาณอินพุททางแนวตั้ง)

ในกรณีที่ฟิวส์ทุกตัวที่ต่ออยู่เข้ากับอินพุทของเกตไม่ถูกระเบิดทิ้งไปเลยแม้แต่ตัวเดียว จะเขียนเครื่องหมายกากบาทเพียงตัวเดียวเข้าที่สัญลักษณ์ของเกตเลย ในกรณีเช่นนี้ยังแสดงถึงว่า อินพุทของเกตตัวนั้นจะเป็น " 0 " เสมอ

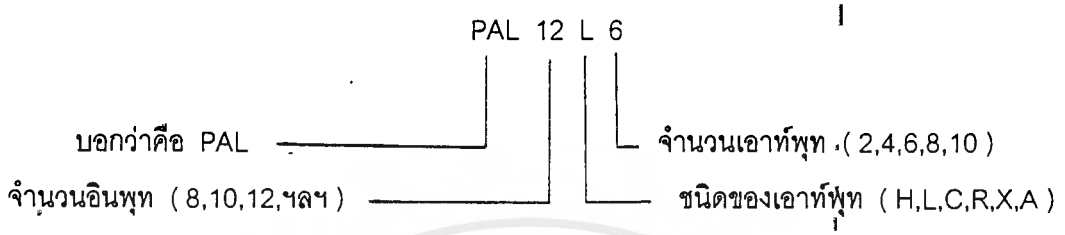
<u>การโปรแกรม PAL</u>

PAL ตัวใหม่ ๆ ที่เพิ่งจะผลิตออกมาจากโรงงานหรือยังไม่เคยถูกโปรแกรมมาก่อนเลย และ สัญญาณทางอินพุททุกขาจะต่ออยู่กับขาสัญญาณของ AND โดยผ่านบัฟเฟอร์ และ อินเวอร์เตอร์โดยแทนด้วยเครื่องหมายกากบาท จุดที่เป็นกากบาทก็คือสัญญาณทางแนวตั้ง และแนวนอน จะต่อเข้าด้วยกันโดยผ่านตัวไดโอด และฟิวส์ หมายถึงการจัดเรียงขาทางอินพุทของ AND จะอยู่ในลักษณะแมทริกซ์โดยมีไดโอดและฟิวส์ต่อคั่นอยู่ ฟิวส์ที่ต่อคั่นอยู่นี้สามารถที่จะถูกทำลายทิ้งไปโดยการป้อนแรงดันสูง ๆ ชั่วขณะ เพื่อให้กระแสไหลผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวมันจนเกิดความร้อนสูงจนขาดวงจรเหมือนกับว่าฟิวส์ถูกระเบิด ดังนั้น การโปรแกรม PAL ก็คือการเลือกตำแหน่งที่ต้องการทำลายฟิวส์ภายในอินพุทของ AND

<u>การดูเบอร์ของ PAL</u>



จำนวนอินพุท - 8,10,12,14,16,18 หรือ 20 ขา

จำนวนเอาท์พุท - 2,4,6,8 หรือ 10 ขา

บัฟเฟอร์ทางเอาท์พุท - สามารถจะป้อนกลับเข้ามาเป็นอินพุทได้

โปรแกรมได้ทั้งอินพุทและเอาท์พุท

ทำหน้าที่คำนวณทางคณิตศาสตร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์ PAL	จำนวน อินพุท (I)	จำนวน เอาท์พุท (Q)	จำนวนขา I/O ที่โปรแกรมได้	จำนวน รีจิสเตอร์	หน้าที่
10H8	10	8			AND-OR
12H6	12	6			AND-OR
14H4	14	4			AND-OR
16H2	16	2			AND-OR
10L8	10	8			AND-OR-INVERT
12L6	12	6			AND-OR-INVERT
14L4	14	4			AND-OR-INVERT
16L2	16	2			AND-OR-INVERT
16C1	16	1			AND-OR/AND-OR-INVERT
16L8	10	8	6		AND-OR-INVERT
16R8	8	8			AND-OR-INVERT-REGISTER
16R6	8	8	2	6	AND-OR-INVERT-REGISTER
16R4	8	8	4	4	AND-OR-INVERT-REGISTER
16X4	8	8	4	4	AND-OR-INVERT-XOR-REGISTER
16A4	8	8	4	4	AND-CARRY-OR-XOR-INVERT-REGISTER

การกำหนดเบอร์ของ PAL จะแสดงให้ถึงจำนวนอินพุท , เอาท์พุท และ ชนิดของเอาท์พุท ดังนี้

H - แอคทีฟที่ " 1 "

L - แอคทีฟที่ " 0 "

C - มีให้เลือกทั้งแอคทีฟที่ " 1 " และ " 0 "

R - เป็นรีจิสเตอร์ หมายถึงรักษาสถานะเอาท์พุทให้ค้างเอาไว้ได้ ด้วยฟลิป - ฟลอปและเอาท์พุทยังป้อนกลับมาที่อินพุท

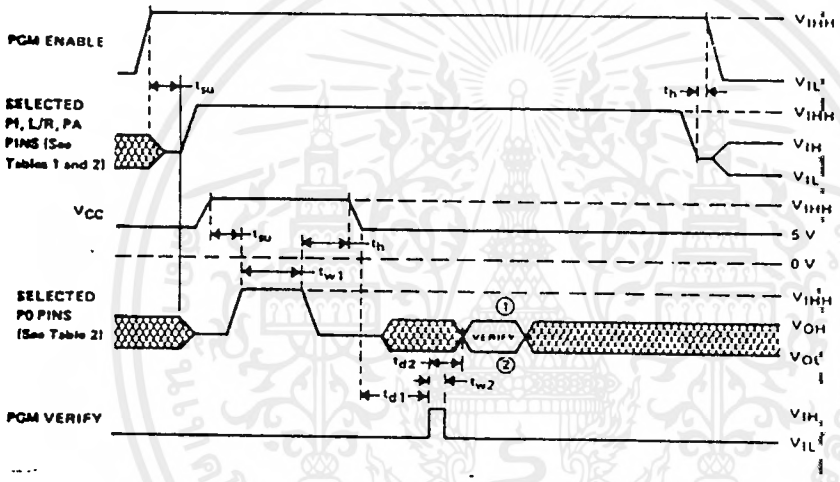
X - เป็นรีจิสเตอร์แบบ EX - OR

A - เป็นรีจิสเตอร์คำนวณทางคณิตศาสตร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

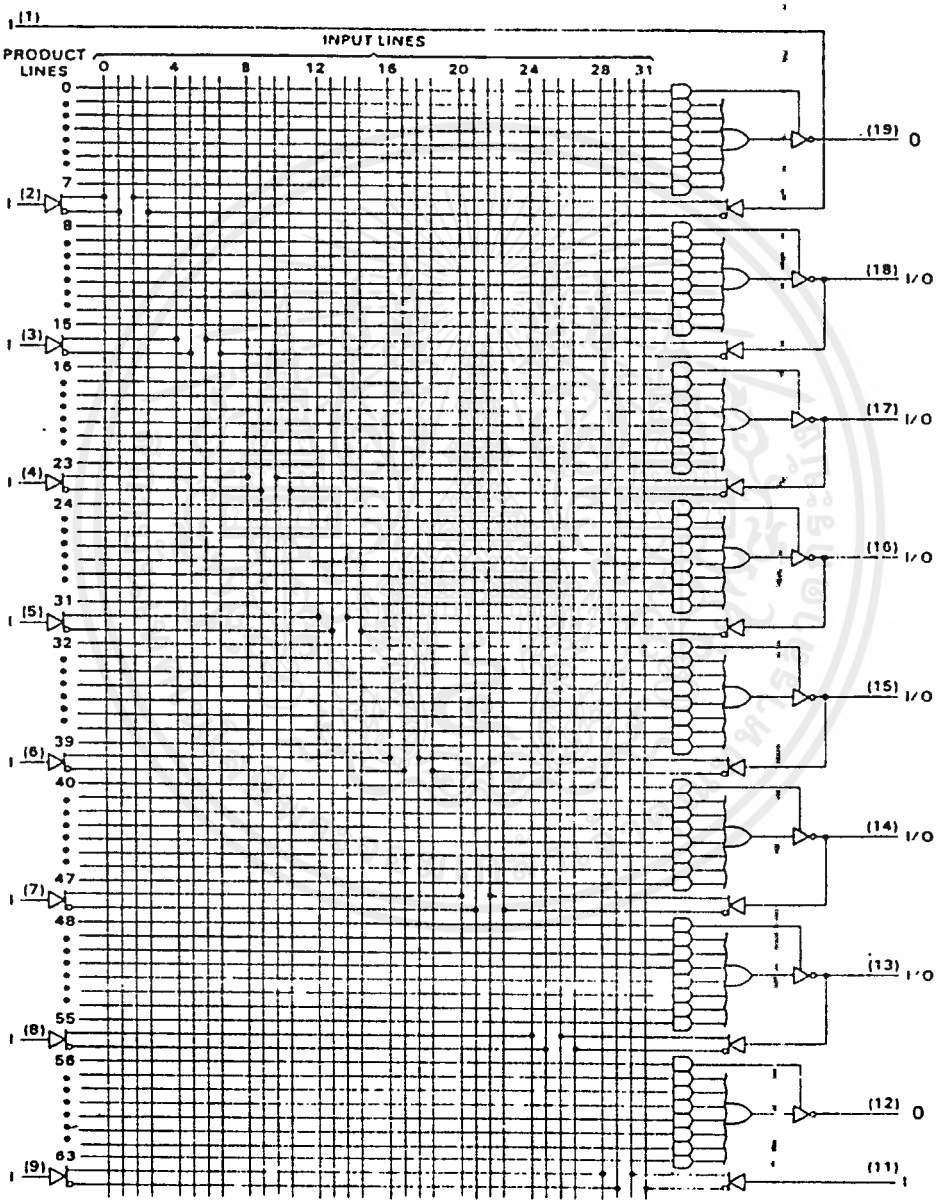
		MIN	NOM	MAX	UNIT
V_{CC} VERIFY-LEVEL SUPPLY VOLTAGE		4.5	5.0	5.5	V
V_{IH} HIGH-LEVEL INPUT VOLTAGE		2		5.5	V
V_{IL} LOW-LEVEL INPUT VOLTAGE				0.8	V
V_{IHH} PROGRAM-PULSE INPUT VOLTAGE		10.25	10.5	10.75	V
t_{IHH} PROGRAM-PULSE INPUT CURRENT	PO		20	50	mA
	PGM ENABLE L/R		10	25	
	PI , PA		1.5	5	
	V_{CC}		250	400	
t_{w1} PROGRAM-PULSE DURATION AT PO PINS		10		50	s
t_{w2} PULES DURATION AT PGM VERIFY		100			ns
PROGRAM-PULSE DUTY CYCLE AT PO PINS				25	%
t_{su} SETUP TIME		100			ns
t_h HOLD TIME		100			ns
t_{d1} DELAY TIME FROM VCC TO 5 V TO PGM VERIFY 1		100			s
t_{d2} DELAY TIME FROM PGM VERIFY 1 TO VALID OUTPUT		200			ns
INPUT VOLTAGE AT PINS 1 AND 11 TO OPEN VERIFY-PROTECT (SECURITY) FUSE		20	21	22	V
INPUT CURRENT TO OPEN VERIFY-PROTECT (SECURITY) FUSE				400	mA
t_{w3} PULSE DURATION TO OPEN VERIFY-PROTECT (SECURITY) FUSE		20		50	s

ตาราง PROGRAMMING PARAMETERS (T = 25°C)



รูปที่ 3.28 TIMING OF PROGRAMMING PROCEDURE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

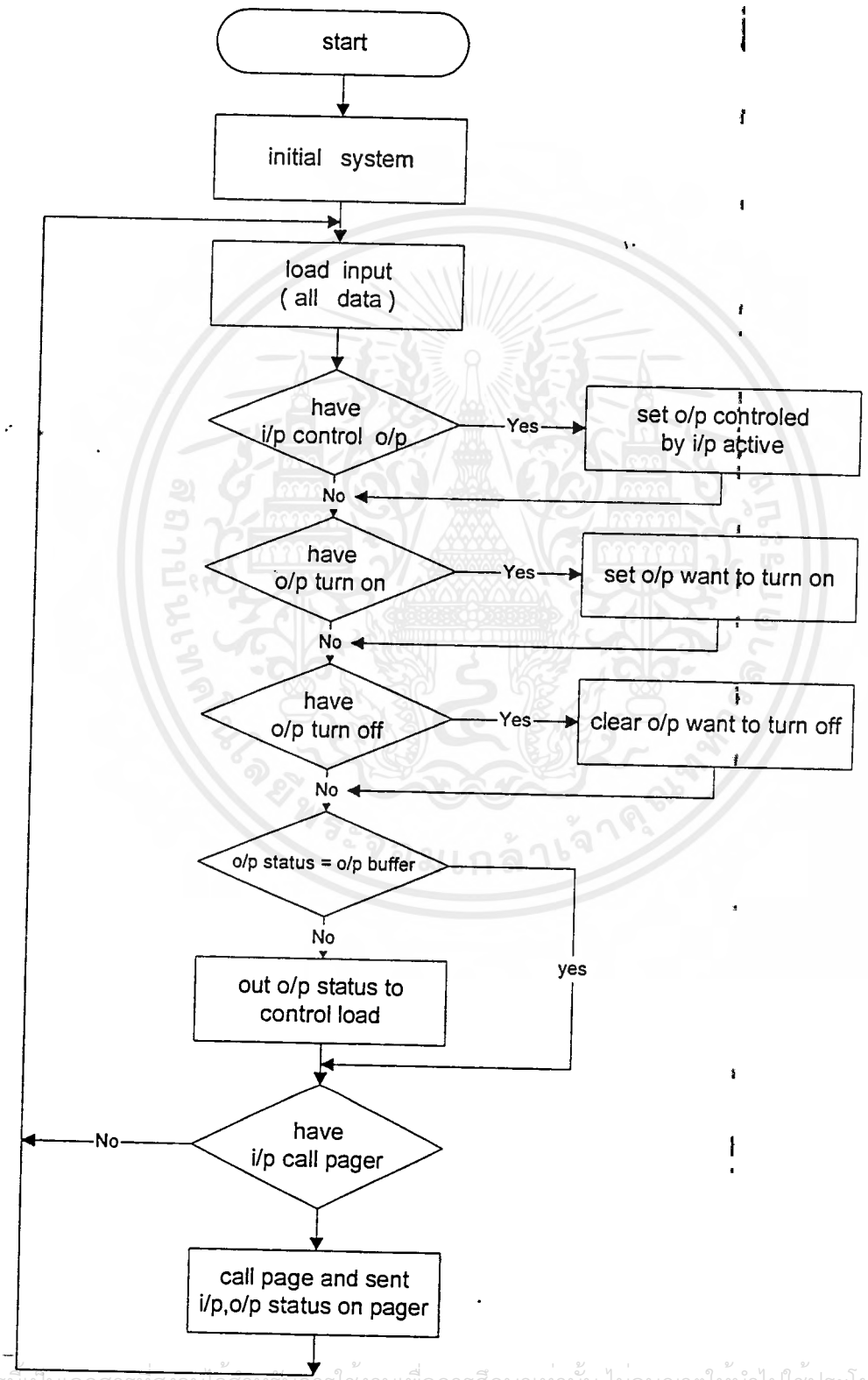


รูปที่ 3.29 LOGIC DIAGRAM OF TIBPAL16L8 วงจรภายในช่อง PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและสร้างโครงงาน

FLOW CHART การทำงานโดยรวมของระบบ

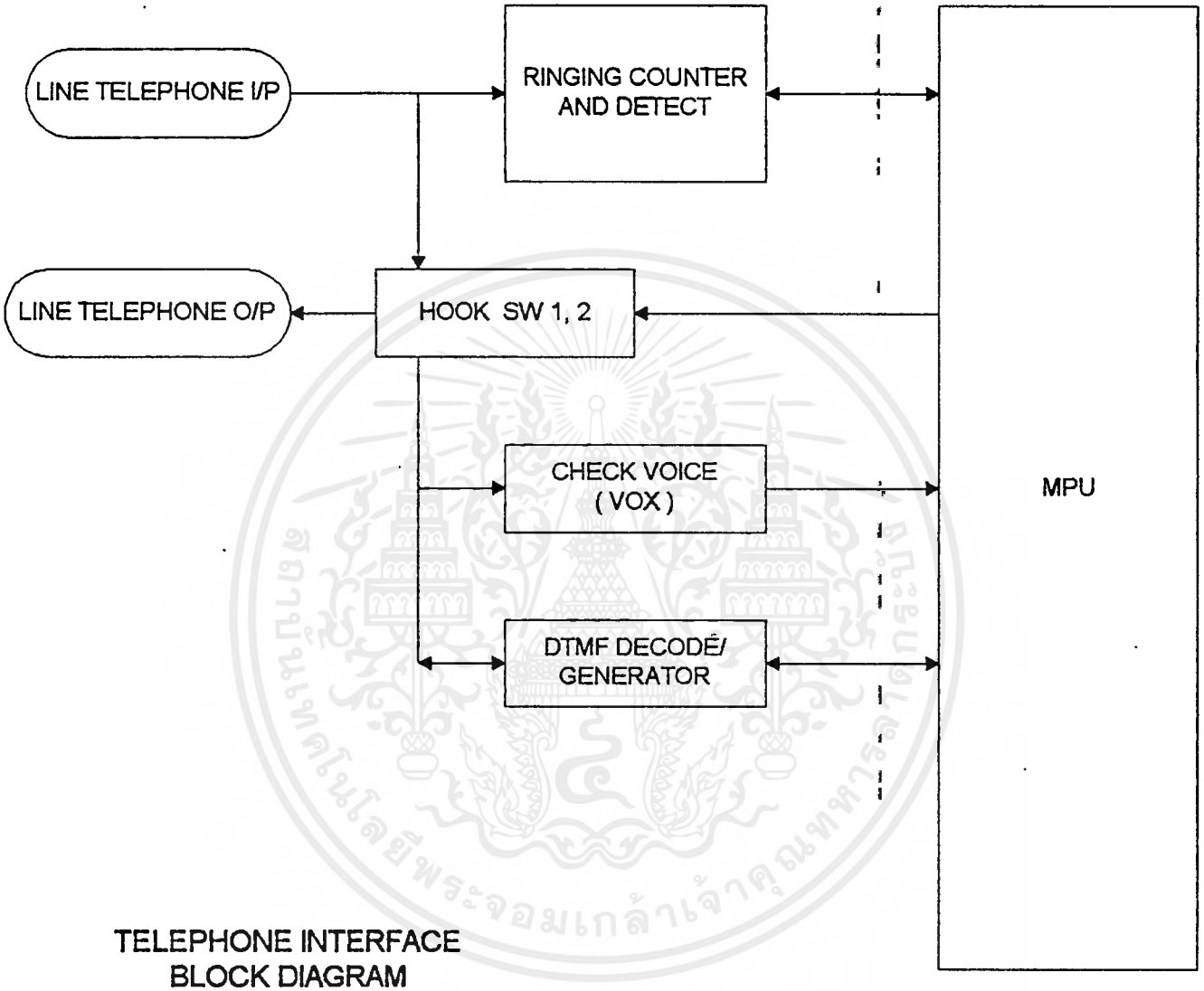


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1 FLOW CHART

Telephone Interface

ชุด Telephone Interface มีหน้าที่ทำการตัดหรือต่อ line telephone ให้แก่ระบบตามเงื่อนไขที่ MPU จะเป็นตัวตัดสินใจ ซึ่งจะมีรายละเอียดดังนี้



TELEPHONE INTERFACE BLOCK DIAGRAM

รูปที่ 4.2 TELEPHONE INTERFACE BLOCK DIAGRAM

1. ในสภาวะปกติ (operate) จะต่อ tel line in ให้กับ tel line out และชุด ringing count

2. มี ringing เข้ามา ชุด ringing count จะทำการนับสัญญาณกระดิ่งจำนวน 10 ลูก แล้วทำการต่อ tel line in เข้ากับ tel line System ผู้โทรเข้าต้องทำการ กดรหัสภายใน 10 วินาทีอย่างถูกต้อง มิฉะนั้นจะตัด tel line System ออก และ เข้าสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. มี ringing เข้ามา ชุด ringing count แต่มีการยกหูโทรศัพท์ก่อนจะ count ได้ 10 สัญญาณกระดิ่ง ชุด handing up check จะทำการส่ง High Level ไปให้ MPU และ MPU จะทำการต่อ tel line in เข้ากับ tel line System ผู้โทรเข้าต้องทำการกดรหัสภายใน 10 วินาทีอย่างถูกต้อง มิฉะนั้นจะตัด tel line System ออกและเข้าสภาวะปกติ

4. ถ้าผู้โทรเข้าสามารถเข้าระบบได้แล้ว MPU จะทำการตัด tel line out ออกจากระบบ

5. กรณีทำการติดต่อกับ Pager (มี อินพุท Active และ set ให้เรียก Pager)

MPU check handing up ว่ามีคนใช้โทรศัพท์อยู่หรือไม่

ถ้ามี ระบบทำการส่ง voice ให้ผู้ใช้มาทำการ check ระบบว่าต้องการแจ้งเหตุการ Page จากอินพุทไหนและทำการ check และ clear ที่อินพุทภายใน 60 วินาที มิฉะนั้นระบบจะทำการ clear line (เสมือนว่าผู้ใช้ลืมวางหูโทรศัพท์) แล้วทำการเรียก Pager

ถ้าไม่มี ระบบจะทำการเรียก Pager ทันที

6. กรณีการกดสัญญาณกระดิ่งจำลอง (ทำการกดค้างจนกว่าระบบจะตอบรับ) มีไว้เพื่อทำการโปรแกรมที่ Base Station โดยไม่ต้องใช้โทรศัพท์จากภายนอก โดยเมื่อกดสัญญาณกระดิ่งจำลองระบบจะจัดการระบบเพื่อรอรับคำสั่งจากผู้ใช้ผ่านทาง DTMF KEY ที่อยู่ที่เครื่อง Base Station เอง (ใช้ int 1)

7. vox หรือวงจรตรวจจับสัญญาณเสียงทำหน้าที่เป็นตัวช่วยตัดสินใจของ MPU กรณีการเรียก Pager โดย

7.1 MPU ทำการตัด tel line out และต่อ tel line in เข้ากับ tel line System

7.2 MPU ทำการกดหมายเลข Pre number ในการเรียก Pager

7.3 หลังจากการกดหมายเลขสุดท้ายจะทำการรอสัญญาณตอบกลับจากชุมสาย Pager (vox Active) การแยกสัญญาณ DTMF ออกจากสัญญาณเสียงพูดทำโดยการเปรียบเทียบเอาท์พุทของ vox กับสัญญาณ STD ของ 8870 ในชุด DTMF DECODER

7.4 พอได้รับ vox ที่ MPU จะทำการส่งหมายเลข Pager สามตัวแรก vox ต้องหยุด Active (ถ้าไม่หยุดแสดงว่าเกิดการผิดพลาด MPU จะทำการ clear line tel แล้วเริ่มต้นใหม่ที่ 7.1) เมื่อ vox หยุด Active MPU จะทำการส่งหมายเลข Pager ที่เหลือจนครบแล้วรอ vox จะ Active อีกครั้งหนึ่งในเวลาไล่เรี่ยกัน

7.5 จากนั้น MPU จะส่งสถานะภาพตามที่กำหนดโดยเริ่มส่ง (มี DTMF ออกไป) แล้ว vox จะหยุด Active จากนั้นทำการส่งต่อจนหมดแล้วตามด้วย # เป็นการจบการส่ง ถ้ามีลำดับขั้นตอนใดไม่เป็นไปตามที่กล่าว MPU จะทำการเริ่มต้นส่งใหม่ที่ 7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LOGIC DIAGRAM OF TIBPAL16L8

ขั้นตอนการออกแบบ KEY ENCODER

โดยใช้ PROGRAMMABLE ARRAY LOGIC เบอร์ 16L8

สร้างตารางการทำงาน

INPUT				OUTPUT								KEY
D	C	B	A	R_1	R_2	R_3	R_4	C_1	C_2	C_3	C_4	NUMBER
0	0	0	1	0	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	0	1	1	2
0	0	1	1	0	1	1	1	1	1	0	1	3
0	1	0	0	1	0	1	1	0	1	1	1	4
0	1	0	1	1	0	1	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	0	1	6
0	1	1	1	1	1	0	1	0	1	1	1	7
1	0	0	0	1	1	0	1	1	0	1	1	8
1	0	0	1	1	1	0	1	1	1	0	1	9
1	0	1	0	1	1	1	0	1	0	1	1	0
1	0	1	1	1	1	1	0	0	1	1	1	*
1	1	0	0	1	1	1	0	1	1	0	1	#
1	1	0	1	0	1	1	1	1	1	1	0	A
1	1	1	0	1	0	1	1	1	1	1	0	B
1	1	1	1	1	1	0	1	1	1	1	0	C
0	0	0	0	1	1	1	0	1	1	1	0	D

สร้างสมการแบบ MAX TERM

$R_1 = (\overline{A}+B+C+D).(A+\overline{B}+C+D).(\overline{A}+\overline{B}+C+D).(\overline{A}+B+\overline{C}+\overline{D})$

$R_2 = (A+B+\overline{C}+D).(\overline{A}+B+\overline{C}+D).(A+\overline{B}+\overline{C}+D).(A+\overline{B}+\overline{C}+\overline{D})$

$R_3 = (\overline{A}+\overline{B}+\overline{C}+D).(A+B+C+\overline{D}).(\overline{A}+B+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+\overline{D})$

$R_4 = (A+\overline{B}+C+\overline{D}).(\overline{A}+\overline{B}+C+\overline{D}).(A+B+\overline{C}+\overline{D}).(A+B+C+D)$

$C_1 = (\overline{A}+B+C+D).(A+B+\overline{C}+D).(\overline{A}+\overline{B}+\overline{C}+D).(\overline{A}+\overline{B}+C+\overline{D})$

$C_2 = (A+\overline{B}+C+D).(\overline{A}+B+\overline{C}+D).(A+B+C+\overline{D}).(A+\overline{B}+C+\overline{D})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_3 = (\overline{A}+\overline{B}+C+D).(A+\overline{B}+\overline{C}+D).(\overline{A}+B+C+\overline{D}).(A+B+\overline{C}+\overline{D})$

$C_4 = (\overline{A}+B+\overline{C}+\overline{D}).(A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+\overline{D}).(A+B+C+D)$

แปลงสมการให้อยู่ในรูป PAL EQUATION

$\overline{R_1} = \overline{(\overline{A}+B+C+D).(A+\overline{B}+C+D).(\overline{A}+\overline{B}+C+D).(\overline{A}+B+\overline{C}+\overline{D})}$

$\overline{R_2} = \overline{(A+B+\overline{C}+D).(\overline{A}+B+\overline{C}+D).(A+\overline{B}+\overline{C}+D).(A+\overline{B}+\overline{C}+\overline{D})}$

$\overline{R_3} = \overline{(\overline{A}+\overline{B}+\overline{C}+D).(A+B+C+\overline{D}).(\overline{A}+B+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+\overline{D})}$

$\overline{R_4} = \overline{(A+\overline{B}+C+\overline{D}).(\overline{A}+\overline{B}+C+\overline{D}).(A+B+\overline{C}+\overline{D}).(A+B+C+D)}$

$\overline{C_1} = \overline{(\overline{A}+B+C+D).(A+B+\overline{C}+D).(\overline{A}+\overline{B}+\overline{C}+D).(\overline{A}+\overline{B}+C+\overline{D})}$

$\overline{C_2} = \overline{(A+\overline{B}+C+D).(\overline{A}+B+\overline{C}+D).(A+B+C+\overline{D}).(A+\overline{B}+C+\overline{D})}$

$\overline{C_3} = \overline{(\overline{A}+\overline{B}+C+D).(A+\overline{B}+\overline{C}+D).(\overline{A}+B+C+\overline{D}).(A+B+\overline{C}+\overline{D})}$

$\overline{C_4} = \overline{(\overline{A}+B+\overline{C}+\overline{D}).(A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+\overline{D}).(A+B+C+D)}$

$\overline{R_1} = (A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+B+\overline{C}+\overline{D}).(A+B+\overline{C}+\overline{D}).(A+\overline{B}+C+D)$

$\overline{R_2} = (\overline{A}+\overline{B}+C+D).(A+\overline{B}+C+\overline{D}).(\overline{A}+B+C+\overline{D}).(\overline{A}+B+C+D)$

$\overline{R_3} = (A+B+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+D).(A+\overline{B}+\overline{C}+D).(A+B+C+D)$

$\overline{R_4} = (\overline{A}+B+\overline{C}+D).(A+B+\overline{C}+D).(\overline{A}+\overline{B}+C+D).(\overline{A}+\overline{B}+\overline{C}+\overline{D})$

$\overline{C_1} = (A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+\overline{B}+C+\overline{D}).(A+B+C+\overline{D}).(A+B+\overline{C}+D)$

$\overline{C_2} = (\overline{A}+B+\overline{C}+\overline{D}).(\overline{A}+B+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+D).(\overline{A}+B+\overline{C}+D)$

$\overline{C_3} = (A+B+\overline{C}+\overline{D}).(\overline{A}+B+C+\overline{D}).(A+\overline{B}+\overline{C}+D).(\overline{A}+\overline{B}+C+D)$

$\overline{C_4} = (A+\overline{B}+C+D).(\overline{A}+B+C+D).(A+B+C+D).(\overline{A}+\overline{B}+\overline{C}+\overline{D})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสมการที่ได้ไปป้อนเข้าเครื่องโปรแกรม PAL

PAL 16L8

IC4 KEYENCODER

MMI

A B C D X1 X2 X3 X4 X5 GND X6 C4 C3 C2 C1 R4 R3 R2 R1 VCC

$\overline{R_1} = (A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+B+\overline{C}+\overline{D}).(A+B+\overline{C}+\overline{D}).(A+\overline{B}+C+D)$

$\overline{R_2} = (\overline{A}+\overline{B}+C+\overline{D}).(A+\overline{B}+C+\overline{D}).(\overline{A}+B+C+\overline{D}).(\overline{A}+B+C+D)$

$\overline{R_3} = (A+B+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+D).(A+\overline{B}+\overline{C}+D).(A+B+C+D)$

$\overline{R_4} = (\overline{A}+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+B+\overline{C}+D).(A+B+\overline{C}+D).(\overline{A}+\overline{B}+C+D)$

$\overline{C_1} = (A+\overline{B}+\overline{C}+\overline{D}).(\overline{A}+\overline{B}+C+\overline{D}).(A+B+C+\overline{D}).(A+B+\overline{C}+D)$

$\overline{C_2} = (\overline{A}+B+\overline{C}+\overline{D}).(A+\overline{B}+C+\overline{D}).(\overline{A}+\overline{B}+\overline{C}+D).(\overline{A}+B+\overline{C}+D)$

$\overline{C_3} = (A+B+\overline{C}+\overline{D}).(\overline{A}+B+C+\overline{D}).(A+\overline{B}+\overline{C}+D).(\overline{A}+\overline{B}+C+D)$

$\overline{C_4} = (\overline{A}+\overline{B}+\overline{C}+\overline{D}).(A+\overline{B}+C+D).(\overline{A}+B+C+D).(A+B+C+D)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DESCRIPTION.>

FUNCTION TABLE

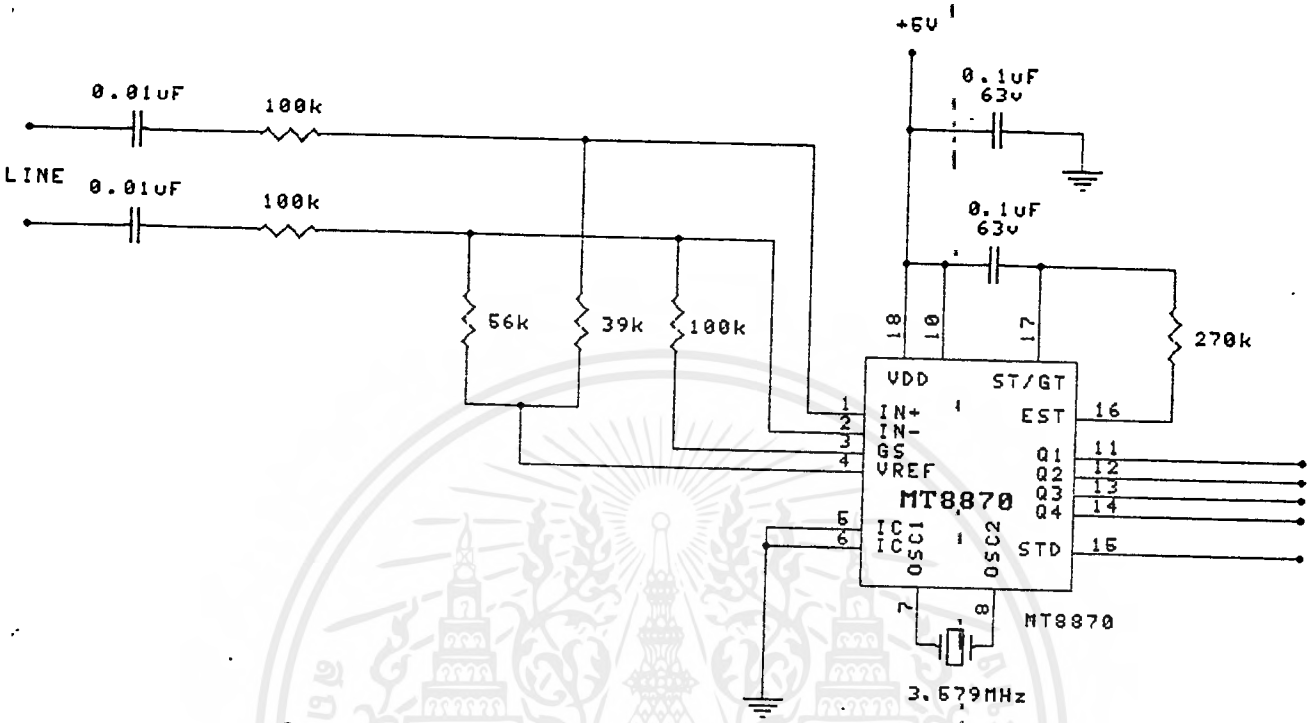
INPUT				OUTPUT								KEY
D	C	B	A	R_1	R_2	R_3	R_4	C_1	C_2	C_3	C_4	NUMBER
0	0	0	1	0	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	0	1	1	2
0	0	1	1	0	1	1	1	1	1	0	1	3
0	1	0	0	1	0	1	1	0	1	1	1	4
0	1	0	1	1	0	1	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	0	1	6
0	1	1	1	1	1	0	1	0	1	1	1	7
1	0	0	0	1	1	0	1	1	0	1	1	8
1	0	0	1	1	1	0	1	1	1	0	1	9
1	0	1	0	1	1	1	0	1	0	1	1	0
1	0	1	1	1	1	1	0	0	1	1	1	*
1	1	0	0	1	1	1	0	1	1	0	1	#
1	1	0	1	0	1	1	1	1	1	1	0	A
1	1	1	0	1	0	1	1	1	1	1	0	B
1	1	1	1	1	1	0	1	1	1	1	0	C
0	0	0	0	1	1	1	0	1	1	1	0	D

NOTE : ลดรูปโดยใช้ MAX TERM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค DTMF DECODER

การถอดรหัสความถี่โทรศัพท์ คือการแปลงความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (DTMF) ให้เป็นตัวเลขระบบดิจิตอล ใช้ไอซี MT 8870 สามารถแปลงเป็นเลขฐานสอง 4 บิต



<u>การออกแบบวงจรภาคอินพุท</u>

ภาคขยายความแตกต่างด้านอินพุท

C1 = C2 = 10 nF หรือ 0.01 nF

R1 = R4 = R5 = 100 Kohm ค่าความผิดพลาด +- 1%

ให้ R2 = 56 Kohm

R3 = (R2.R5) / (R2+R5) = (56 Kohm x 100 Kohm) / (56 Kohm + 100 Kohm) = 35.9 Kohm

ใช้ R3 = 39 Kohm +- 5%

<u>อธิบายการทำงาน</u>

จากคุณสมบัติการทำงานภายใน MT 8870 จะเห็นว่าเมื่อมีสัญญาณ DTMF เข้ามาที่อินพุทจะผ่าน OP AMP ทำหน้าที่ขยายสัญญาณแล้วส่งให้ภาคกรองความถี่ซึ่งจะกรองความถี่สูงและความถี่ต่ำ แล้วส่งให้ภาคถอดรหัสโดยเปลี่ยนจากสัญญาณ DTMF เป็นเลขฐานสอง 4 บิต แล้วส่งให้ภาคตรวจสอบสัญญาณเพื่อตรวจสอบช่วงความถี่ที่เข้ามา เมื่อตรวจสอบถูกต้องแล้วก็จะส่งออกที่ขาเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค DTMF GENERATER

เราสามารถใช้ชิฟสำเร็จรูปเบอร์ TCM 5089 ซึ่งสามารถกำเนิดความถี่ DTMF ได้ 16 คู่ความถี่ ตามมาตราฐานของโทรศัพท์ทั่วไปโดยรับอินพุทเป็นลอจิกจาก 2 ส่วน คือ LEY PAD และ KEY ENCODER ซึ่งรับคำสั่งมาจาก CPU เมื่อ CPU ต้องการสั่งให้กำเนิดความถี่ DTMF ก็จะส่งสัญญาณ ENABLE (D_4 เป็น " 1 ") บัฟเฟอร์ที่ต่อกับ KEY PAD จะไม่ทำงานและ CPU ส่งข้อมูลไบน่ารี่ 4 บิตออกมาก็จะถูกแปลงเป็นสัญญาณโรว์ และ คอลัมน์ (ดูในการออกแบบ PAL) ส่งให้ไอซีเบอร์ TCM 5089 กำเนิดความถี่ตามที่ต้องการ ถ้าต้องการสั่งงานทาง KEY PAD ทำให้ขา ENABLE ของบัฟเฟอร์แอคทีฟ เมื่อกดปุ่มใด ๆ ก็จะทำให้ TCM 5089 กำเนิดความถี่ตามต้องการ

<u>ส่วนประกอบของภาค DTMF GENERATOR</u> แบ่งออกเป็น 5 ส่วน ดังนี้

1. KEY PAD เป็นแบบ 12 ปุ่มมาตราฐานของโทรศัพท์ เมื่อกดปุ่มใด ๆ จะมีลอจิก " 0 " ตามตำแหน่งโรว์ และคอลัมน์นั้นส่งออกมา

2. BUFFER เป็นตัวกันชน ของสัญญาณเพื่อให้ CPU สามารถเลือกว่าจะให้ TCM 5089 กำเนิด DTMF โดยรับข้อมูลจาก KEY PAD หรือ จากพอร์ตของ CPU เอง ตามวงจรจะใช้ บัฟเฟอร์ขนาด 8 บิต เบอร์ 74254 สามารถสั่งให้ทำงานได้โดยทำให้ขา ENABLE แอคทีฟ

3. KEY ENCODER เป็นไอซี PAL 16L8 ซึ่งถูกโปรแกรมให้ทำหน้าที่แปลงข้อมูลเลขฐานสองขนาด 4 บิต เป็นสัญญาณโรว์และคอลัมน์ เช่นเดียวกับการใช้ KEY PAD ขนาด 16 ปุ่ม

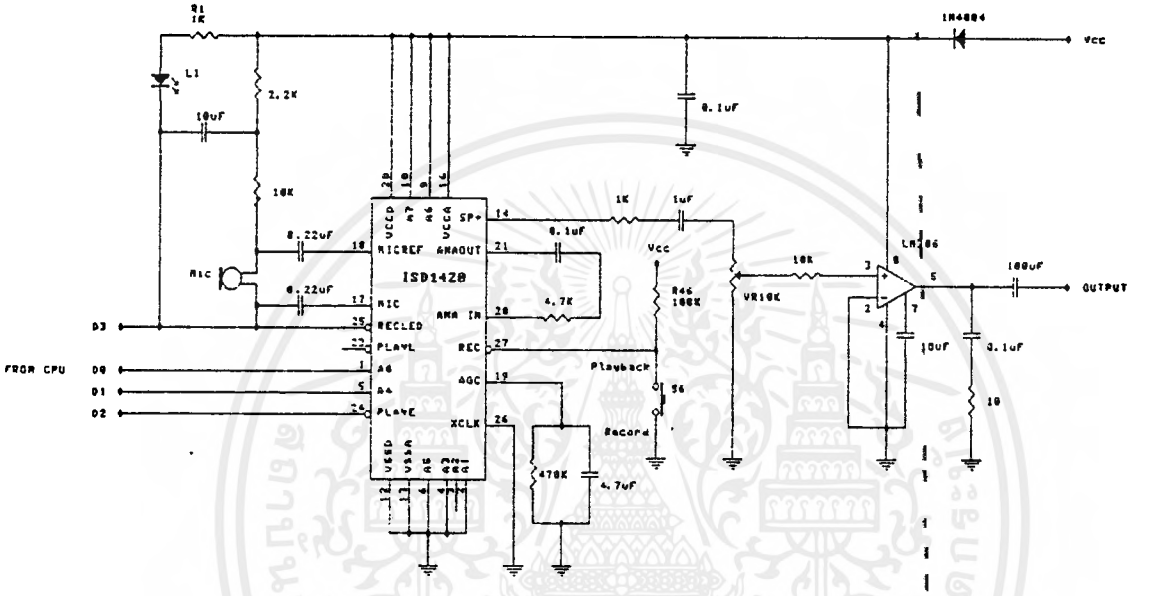
4. DTMF GENERATOR เป็นไอซีเบอร์ TCM 5089 ทำหน้าที่ผลิตสัญญาณ DTMF แบบมาตราฐานโทรศัพท์ตามข้อมูลโรว์และคอลัมน์ที่ป้อนเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคบันทึกเสียง VOICE UNIT

ในภาคนี้จะใช้ไอซีสำเร็จรูปเบอร์ ISD 1420 สามารถบันทึกเสียงและเล่นกลับได้นานถึง 20 วินาที ซึ่งมีอุปกรณ์ พาสซีฟต่อร่วมภายนอกน้อยมาก ดังแสดงตามรูป

VOICE UNIT



การออกแบบวงจร

ตามวงจรจะใช้การทำงานในโหมดบิตโดยให้ A_6 , A_7 เป็นลอจิก " 1 " ขาแอดเดรสที่เหลือจะมีหน้าที่การทำงานตามตารางบทที่ ในที่นี้ จะใช้การบันทึกและเล่นกลับ แบบ CONSECUTIVE ADDRESSING การ FAST FORWARD หรือ การเล่นกลับจะถูกควบคุมจาก CPU ทำให้สามารถเล่นกลับข้อความใด ๆ ก็ได้ที่บันทึกเอาไว้ ในส่วนเอาท์พุทที่จะต่อออกไปได้ใช้ภาคขยายเสียงต่อเอาไว้ เพื่อไม่ให้โหลดตัวไอซีบันทึก

อธิบายวงจร

ขาแอดเดรส (A_0 - A_7)

A_6 , A_7 เป็น " 1 " เพื่อการควบคุมแบบโหมดบิต

A_0 ต่อกับ CPU เพื่อควบคุมการ FAST FORWARD

A_4 ต่อกับ CPU เพื่อการเล่นกลับแบบ CONSECUTIVE คือการเล่นกลับหลาย ๆ ข้อความตามลำดับ

A_1 , A_2 , A_3 , A_5 ไม่ใช้งานต่อกับลอจิก " 0 "

ขา REC ต่อกับสวิตช์บันทึก เพื่อการบันทึกข้อความในครั้งแรก

ขา PLAYL ต่อกับ CPU เพื่อควบคุมการเล่นกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECLED เป็นเอาท์พุทต่อกับ LED เพื่อ แสดงผลขณะบันที และ แสดง EOM เมื่อจบข้อความ

AGC ต่อกับความต้านทานและตัวเก็บประจุที่เหมาะสม ใช้ค่าความต้านทาน 470 กิโลโอห์ม และ ตัวเก็บ ประจุ 4.7 ไมโครฟารัด

MIC ต่อกับคอนเด็นเซอร์ไมโครโฟน และ จัดไบอัสกับไมโครโฟนโดยค่าความต้านทาน และตัวเก็บประจุ ที่เหมาะสม เสียงจะเข้ามาที่ไมโครโฟนโดยมีปรีแอมป์ ควบคุมอัตราขยายอัตโนมัติ (AGC)

MIC REF เพื่อทำหน้าที่กำจัดสัญญาณรบกวนทางอินพุท

ANALOG INPUT จะรับสัญญาณผ่านวงจรปรีแอมป์ออกมาทางขา โดยผ่านตัวเก็บประจุดับปลิ้งภายนอกดับปลิ้งสัญญาณเข้าที่ขา เพื่อผ่านสัญญาณเข้าไปบันทึกภายใน

ANALOG OUTPUT เป็นขาเอาท์พุทของวงจรปรีแอมป์ขยายสัญญาณจากไมโครโฟน ที่ได้รับการควบคุม จากวงจร AGC

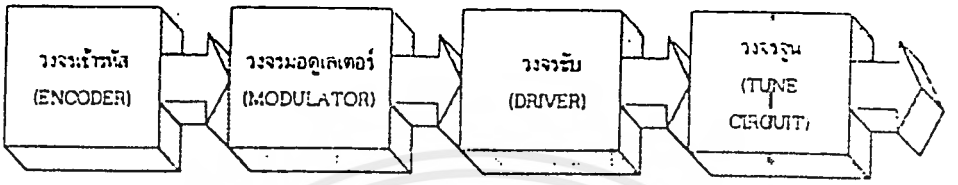
SP+ ต่อกับภาคขยายโดยใช้ไอซี LM 386 เป็น POWER AMP. 1 WATT และ ต่อความต้านทาน 10 กิโลโอห์มเพื่อป้องกันการดึงกระแสจากไอซี บันทึกเสียงมากเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC LINE INTERFACE

หลักการทำงานของวงจรชุดตัวส่งสัญญาณ

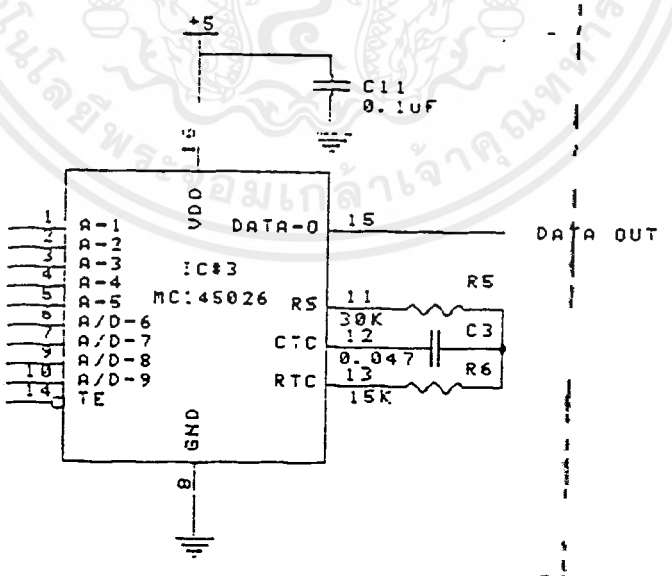
ในชุดตัวส่งสัญญาณจะประกอบด้วยส่วนของวงจรที่ทำหน้าที่การทำงานต่างกัน แบ่งออกเป็น 4 วงจร อันได้แก่ วงจรเข้ารหัส วงจรมอดูเลเตอร์ วงจรไดรเวอร์ วงจรจูน ดังที่ได้ แสดงไว้ในบล็อกไดอะแกรม ดังรูปที่ 4.3



รูปที่ 4.3 ล็อกไดอะแกรมของตัวส่งสัญญาณควบคุม

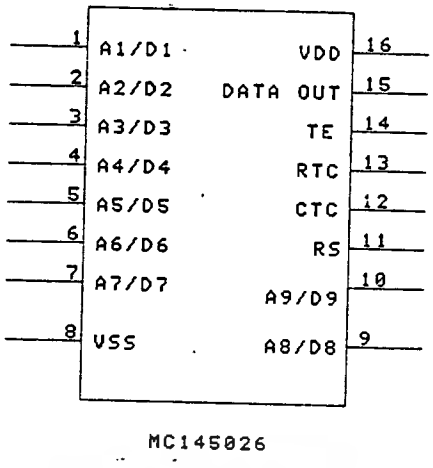
การทำงานของวงจรเข้ารหัส (encoder)

ไอซีเบอร์ MC145026 จะเข้ารหัสแบบ 9 บิท ของสัญญาณไบนารีและจะส่งสัญญาณที่ทำการเข้ารหัสแล้วออกไปเป็นแบบอนุกรม โดยสัญญาณที่เข้ารหัสแล้วจะสามารถส่งออกได้ทันทีที่ขา TE (Transmit Enable) มีสภาวะเป็นลอจิกต่ำเท่านั้น



รูปที่ 4.4 วงจรเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

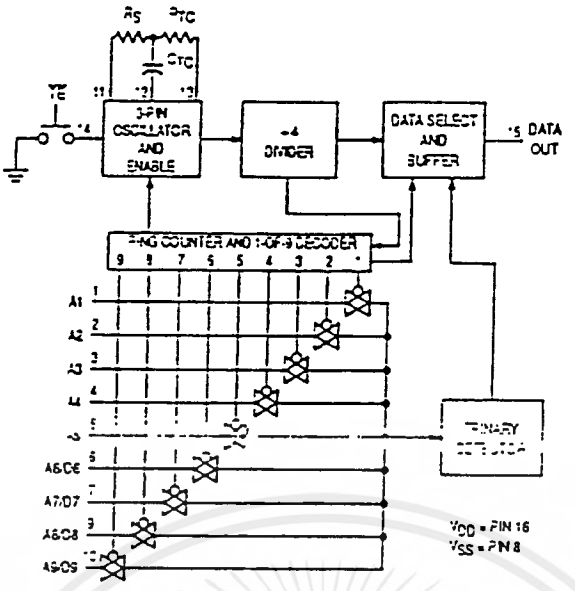


รูปที่ 4.5 ขาต่าง ๆ ของไอซีเบอร์ MC145026

คุณสมบัติของไอซีเบอร์ MC145026

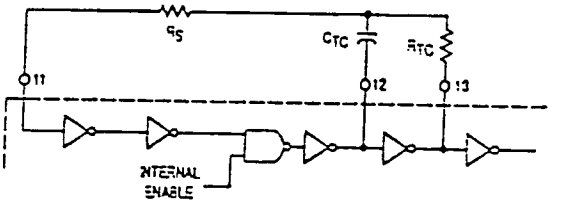
- แอดเดรสสามารถเป็นไปได้ทั้งสัญญาณไบนารี หรือ 3 สถานะ
- รหัสของแอดเดรสที่สูงที่สุดคือ 3 สถานะ
- ใช้ในการอินเตอร์เฟสกับความถี่คลื่นวิทยุ อุลตร้าโซนิค
- จะส่ง 2 ข้อมูลสำหรับตรวจสอบความผิดพลาด (error checking)
- จะใช้ไฟตั้งแต่ 4.5 ถึง 18 โวลท์
- ภายในชิพนั้นจะมีวงจร R-C ออสซิลเลเตอร์ (R/C oscillator)
- สัญญาณอินพุท และ เอาท์พุท เป็นแบบอนุกรมมาตราฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 บล็อกไดอะแกรมการเข้ารหัสของ MC145026

วงจรเข้ารหัสนี้สามารถเข้ารหัสได้ โดยขึ้นอยู่กับขาอินพุททั้ง 9 บิท ซึ่งเราสามารถกำหนดสถานะขาของอินพุทของ A1/D1 - A9/D9 ให้ขาเหล่านี้เป็นไปได้ทั้ง 3 สถานะ คือ อาจจะเป็น 0 , 1 , OPEN สถานะใด สถานะหนึ่งก็ได้ โดยที่รหัสที่จะสามารถทำการ เข้ารหัส ที่เป็นไปได้ ซึ่งมีความแตกต่างกันสูงสุดถึง 3^9 ซึ่งมีค่าเท่ากับ 19683 ซึ่งลำดับในการส่งนั้น จะเริ่มต้นที่ระดับต่ำ (low level)ของขาอินพุท TE และ VDD ส่วนมากจะใช้เป็น POSITIVE SUPPLY และ VSS ซึ่งส่วนมากจะใช้เป็น NEGATIVE SUPPLY (GND) แล้ววงจรเข้ารหัสนี้ยังมี R_s , R_{tc} , C_{tc} เหล่านี้จะเป็นส่วนของวงจร OSCILLLATOR ของการเข้ารหัส ถ้าใช้แหล่งจ่ายสัญญาณจากภายนอกแทนออสซิลเลเตอร์ภายใน จะต่อไปที่ขา R_s , R_{tc} , C_{tc} และ ยกตัวเองออกจากระบบ (left open) ซึ่งจะเห็นได้ว่า วงจรออสซิลเลเตอร์นี้ทำงานที่ความถี่กำหนดโดยวงจร RC ภาย
นอก ซึ่งรูปวงจรแสดงไว้ในรูปที่ 4.7



รูปที่ 4.7 วงจรออสซิลเลเตอร์ที่ใช้ในไอซี 145026 (การเข้ารหัส)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร RC ภายนอก โดยสามารถคำนวณได้จากสูตร

$f = 1/ (2.3R_{tc}C_{tc})$ (Hz)

for 1 kHz < = f < = 400 kHz

โดยที่ $C_{TC} = C_{TC} + C_{layout} + 12pF$

$R_s = 2R_{TC}$

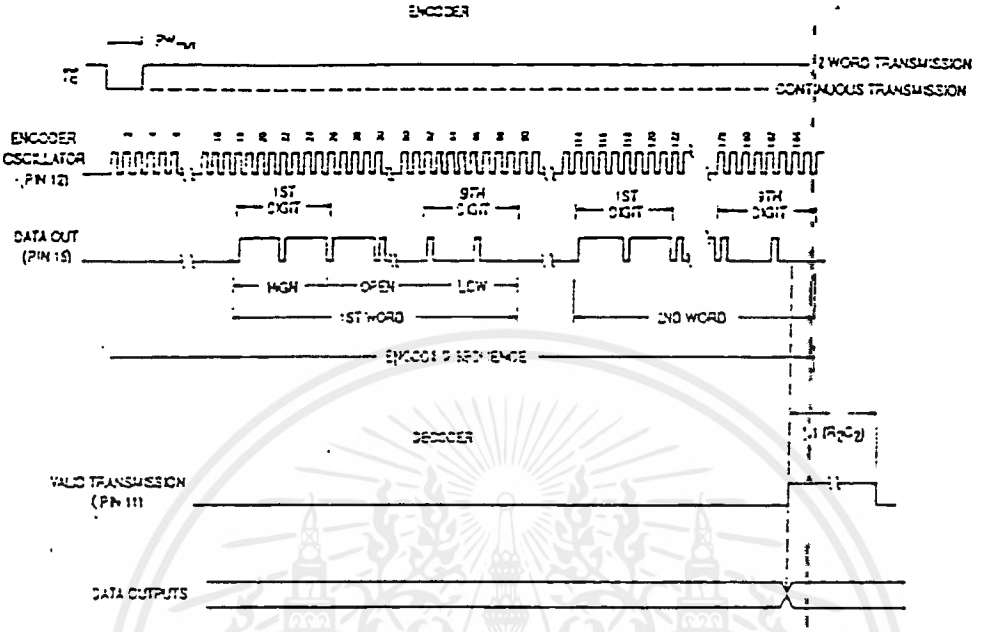
$R_s > = 20$ Kohms

$R_{TC} > = 10$ Kohms

$400pF < C_{TC} < 15uF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซี MC 145026 ENCODER



รูปที่ 4.8 สัญญาณไทม์มิ่งไดอะแกรมของ MC 145026

ดังนั้นข้อมูลออกที่ขา 15 ของไดซีเบอร์ MC 145026 ที่ส่งออก จะส่งไปในลักษณะอนุกรมต่อกันไป ขนาด 9 บิท ซึ่งในแต่ละบิทของข้อมูลที่ส่งออกไปจะมีสภาวะเป็น 0 , 1 หรือ OPEN สภาวะใดก็ได้ ซึ่งจะมีลักษณะของสัญญาณเป็นพัลส์เข้ารหัสเป็นแบบอนุกรมแล้วดังรูปที่ 4.8 และส่งไปยังวงจรมอดูเลเตอร์ โดยใช้ไดซีเบอร์ LM1893N ซึ่งจะทำหน้าที่เป็น "ตัวรับส่งกระแสคลื่นพาห์" (Carrier-current tranceiver)

ข้อมูลต่าง ๆ จะมีการส่งอนุกรมต่อเนื่องกันไป ก็ต่อเมื่อทันทีที่ขา TE ของไอซี MC145026 ได้รับระดับสัญญาณลอจิก 0 ซึ่งข้อมูลดังกล่าวจะถูกส่งออกไปมีลักษณะเป็นชุดของข้อมูล (Words) โดยจะถูกส่งออกไปเป็นจำนวนข้อมูล 2 ชุดด้วยกัน ซึ่งถ้าหากทางรับสามารถรับชุดของข้อมูลทั้งสองชุดนี้ได้เหมือนกัน แสดงว่า การส่ง และ การรับของข้อมูลเป็นไปอย่างถูกต้องสมบูรณ์ที่สุด จะทำให้ทางด้านรับทำการผลิตสัญญาณ VT (Valid transmission) ออกมา

ในการส่งแต่ละครั้งข้อมูลบิทจะถูกเข้ารหัสแบบ 3 ข้อมูลพัลส์ โดยที่ลอจิก 0 จะมีลักษณะเป็นพัลส์สั้น ๆ จำนวน 2 พัลส์ ต่อเนื่องกันไป และลอจิก "1" จะมีลักษณะเป็นพัลส์ยาว ๆ จำนวน 2 พัลส์ต่อเนื่องกันไปส่วนสำหรับสภาวะ "OPEN" จะมีลักษณะการเข้ารหัสเป็นพัลส์ยาว 1 พัลส์แล้วตามด้วยพัลส์สั้น ๆ อีก 1 พัลส์ ดังรูปที่ 4.9 แสดงการเข้ารหัสสภาวะต่าง ๆ ดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENCODER DATA WAVEFORMS (MC 145026)

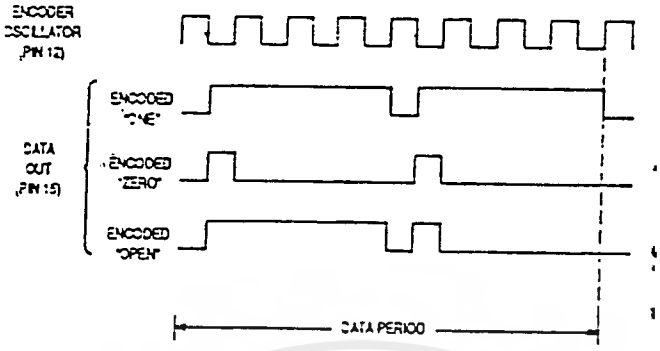


Figure 11. Encoder Data Waveforms

รูปที่ 4.9 ลักษณะการเข้ารหัสของบิทข้อมูล

ดังนั้นข้อมูลออกที่ขา 15 ของ MC 145026 ขนาด 9 บิท ซึ่งในแต่ละบิทของข้อมูลที่ส่งออกไปจะมีสภาวะ เป็น 0 , 1 และ OPEN สภาวะใดก็ได้ซึ่งจะมีลักษณะสัญญาณเป็นพัลส์ที่ส่งไปยังวงจรมอดูเลเตอร์

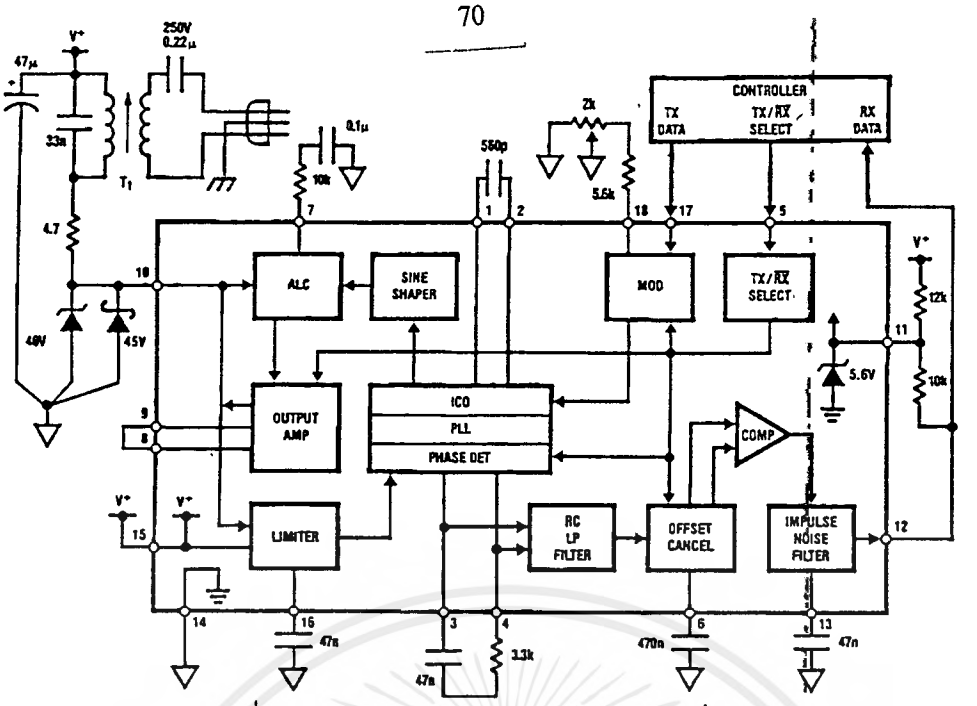
<u>การทำงานของวงจรมอดูเลเตอร์ และ ไดรเวอร์</u>

ในวงจรมอดูเลเตอร์นั้นจะมีไดซีเบอร์ LM1893N เป็นหัวใจหลักในการทำงานซึ่งไอซีเบอร์ LM1893N จะมี ลักษณะการทำงาน คือ ไอซีเบอร์ LM1893N จะทำหน้าที่ เป็นตัวอินเตอร์เฟส กับ สายไฟกำลัง (Power line interface) โดยสามารถทำหน้าที่เป็นได้ทั้งตัวรับและตัวส่ง และใช้กระแสในการส่งข้อมูล การส่งข้อมูลของ LM1893N (t = TX MODE)

การทำงานในโหมด TX ทำหน้าที่ 2 อย่างคือ

1. เปลี่ยนสัญญาณอินพุทที่เป็นสัญญาณแบบดิจิตอลให้เป็นแบบ FSK
2. ทำหน้าที่ขับสัญญาณ FSK ให้เข้าไปในสายไฟฟ้ากำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจรภายในของชุดรับส่งกระแสคลื่นพาห์

จากรูป 4.10 การเลือกโหมดการทำงานในโหมดส่ง จะสามารถทำโดยให้ขา [TX/RX] (ขา 5) อยู่ในสภาวะลอจิก "1" เมื่อสัญญาณดิจิตอลซึ่งมี "ระดับเทรชโฮลด์" (THERSHOLD) ประมาณ 2 โวลท์เข้ามาที่ขา 17 สัญญาณอินพุทนี้จะเข้าไปกระตุ้นภาคมอดูเลเตอร์แบบเอฟเอสเค การมอดูเลทแบบเอฟเอสเคจะไปทำให้ความถี่ของ "กระแสควบคุมออสซิลเลเตอร์" [Current-Control Oscillator (CCO)] นั้นเบี่ยงเบนไป 2.5% ของความถี่ fo (Center frequency) โดยความถี่ของ CCO จะถูกตั้งให้อยู่ในช่วง 50-500 KHz ซึ่ง สามารถกำหนดค่าโดย RO และ CO (ในวงจรใช้ปรับค่า RO) หลังจากนั้นเอาท์พุทจาก CCO ซึ่งเป็นรูปสามเหลี่ยม จะถูกเปลี่ยนให้เป็นรูปสัญญาณซายน์ที่มีความเพี้ยนรวมน้อยกว่า 2% โดยวงจรตบแต่งรูปซายน์ (Sine shaper) ซึ่งสัญญาณที่ได้ จะผ่านเข้าวงจร ควบคุมแรงดันอัตโนมัติ [Automatic Level Control (ALC)] ก่อนที่จะเข้าสู่ วงจรขยายกำลัง (Power Amplifier) เพื่อขับกระแส การสวิงของโวลท์เตจที่ภาคเอาท์พุท จะถูกกำหนดโดยกระแสเอาท์พุทคงที่ 60 mA จากเอาท์พุทและ ค่าอิมพีแดนซ์ของโหลด ดังนั้น ค่าอิมพีแดนซ์ของโหลดมีค่าสูง จะทำให้โวลท์เตจเอาท์พุทสวิงขึ้นไปสูงกว่าค่าวงจรขยายกำลังสามารถทำงานได้ ซึ่งวงจรควบคุมแรงดันอัตโนมัติจะช่วยลดเอาท์พุทลงมา แต่ถ้าโหลดอิมพีแดนซ์มีค่าต่ำก็จะทำให้เอาท์พุทโวลท์เตจมีค่าต่ำมากเกินไป วงจรควบคุมระดับแรงดันอัตโนมัติก็จะทำงานอย่างเต็มที่ (Full Driver)

และเพื่อป้องกันการรบกวนของคลื่นย่านความถี่วิทยุในย่าน AM ซึ่งเกิดจากฮาร์โมนิกค่าต่าง ๆ ที่เป็นสาเหตุทำให้เอาท์พุท ของสัญญาณที่ได้ไม่เป็นสัญญาณรูปซายน์ คัปปลิ้งคอยล์ที่เอาท์พุท (Output coupling coil) ซึ่งมีหน้าที่ในการคัปปลิ้งสัญญาณเข้าสู่สายไฟฟ้ากำลังต้องมีค่า Q ต่ำ ๆ และต้องออกไม่ให้ฮาร์โมนิกส์ขยาย วงจรขับคลาสบี (class B) หรือคลาสซี (class C) ฮาร์โมนิกส์สามารถผ่านเข้ามาได้ ดังนั้นวงจรที่ใช้จะต้องเป็นวงจรขับคลาสเอ (class A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่สายไฟฟ้ากำลังมีอิมพีแดนซ์ต่ำ จึงจำเป็นที่จะต้องเพิ่มกระแสที่เอาท์พุท เพื่อทำให้ได้ขนาดของแอมพลิจูดของสัญญาณตามต้องการ ดังนั้นจึงจำเป็นที่ต้องต่อทรานซิสเตอร์ 1 ตัวและตัวต้านทานอีก 2 ตัว ซึ่งอยู่ในกรอบเส้นประในรูปที่ 5.8 ซึ่งจะทำให้กระแสเอาท์พุทถึง 600 mA (ใช้ค่าตัวต้านทานเท่ากับ 1.1 โอห์ม) โดยกระแสเอาท์พุทจะเป็นส่วนกลับของความต้านทานนี้

ในโหมดส่ง LM1893N จะรับข้อมูลจาก MC145026 (ซึ่งเป็นตัวเข้ารหัส) เพื่อกำหนดรหัสของอุปกรณ์ไฟฟ้าที่ต้องการติดต่อด้วย โดยการมอดูเลทเป็นสัญญาณ FSK ส่งผ่านคัปปลิ้งคอยล์ซึ่งทำหน้าที่เป็นวงจรกรองย่านความถี่ผ่าน (Band Pass Filter) ที่ความถี่ fo เพื่อส่งเข้าสายไฟฟ้ากำลัง

ในการออกแบบผู้ออกแบบจึงต้องคำนวณค่าสำหรับความถี่กลาง (fo) อัตราการส่งข้อมูล (Data rate) แรงดันของแหล่งจ่าย (+V) กำลังของแรงดันในสาย (V) และความถี่ (FI) ถ้าหากมีพารามิเตอร์ ตัวใดตัวหนึ่ง หรือ มากกว่าหาไม่ได้ในการออกแบบ ก็ จะต้องเอาข้อมูลจากดาต้าชีทของไอซี LM1893N แล้ว ทำการทดลองใช้ค่าอุปกรณ์ต่าง ๆ เพื่อให้ได้ วงจรที่ดีที่สุด อย่างไรก็ตาม ในการพิจารณา

<u>ค่าอุปกรณ์ ต่าง ๆ ต้องอยู่บนพื้นฐานดังนี้</u> คือ

1. ค่าความถี่กลาง (fo) ต้องเลือกค่าที่เหมาะสม ยิ่งมีค่าสูงยิ่งดี
2. ค่าที่มากที่สุดของข้อมูลเรท (Maximum data rate) ยิ่งมีค่าน้อยยิ่งส่งได้ถูกต้องดี แต่จะช้า
3. เวลา และความถี่ที่ใช้ในฟิลเตอร์ (Time and Frequency Filter) ยิ่งมีค่ามากยิ่งดี

สำหรับรายงานนี้เลือกใช้ความถี่กลางของคลื่นพาห์เท่ากับ 125 kHz , อัตรา การส่งข้อมูลเท่ากับ 360 บอด (Baud) , ความถี่ในการส่งข้อมูลเท่ากับ 180 Hz และใช้ระบบสายไฟฟ้ากำลังที่ระดับแรงดันเท่ากับ 220 โวลท์ ความถี่ 50 Hz

ค่าความถี่กลาง fo , ค่าความเร็วอัตราการส่งข้อมูล และค่าความถี่ 50 Hz จะนำไปใช้ในการคำนวณค่าอินดักแตนซ์ ที่ใช้กับ LM1893N โดยใช้ร่วมกับการอ่านค่าจากกราฟแสดงความสัมพันธ์ในข้อมูลจากดาตร้าชีท ซึ่งสามารถกำหนดค่าอุปกรณ์ต่าง ๆ ได้ดังนี้

1. Co และ Ro เป็นตัวกำหนดค่าความถี่กลาง (fo) ในการเลือก Co ควรเลือกค่าให้มีค่ามากกว่า 10 pF ในที่นี้จะเลือกค่า Co เท่ากับ 560 pF สำหรับการเลือกค่า Ro ไม่ควรเลือกให้ค่าต่ำกว่า 5.6 k หรือสูงกว่า 7.6 k เพราะฉะนั้นในที่นี้จะใช้ค่าความต้านทาน 5.6 k ต่ออนุกรมกับความต้านทานที่ปรับค่าได้ 2 k

2. Ca และ Ra เป็นตัวกำหนดปรับค่าโพล (Pole) และซีโร (Zero) ของวงจรควบคุมระดับกระแสคงที่ (ALC) โดยใช้ค่า 0.1 uF และค่า 10 k ตามลำดับ

3. Cf และ Rf ใช้ในการปรับค่าโพลและซีโรของวงจรส่วยเฟสล็อกลูป (Phase lock loop : PLL) ของ LM1893N การออกแบบไม่ควรให้มีค่า Cf มากและค่า Rf น้อยเกินไปในที่นี้ใช้ค่า Cf และ Rf เท่ากับ 0.047 uF และ 3.3 k ตามลำดับ

4. CL ใช้ปรับค่าโพลค่าต่ำ (Lower pole) ของวงจรแบนพาสลิมิเตอร์ (Bandpass Limiter) เพื่อที่จะขจัดความถี่ของไฟฟ้ากำลัง (50 Hz) โดยเลือกค่า 0.047 uF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. CM มีผลต่อเวลาที่ LM1893N ใช้เปลี่ยนจาก TX เป็น RX การเลือกค่าทำจากการทดลอง ในที่นี้เลือกค่า 0.047 uF

6. CI เพื่อกำจัดสัญญาณรบกวนอิมพัลส์ (Impulse noise) เลือกค่า 0.047 uF.

7. Rc เป็นความต้านทานพูลอัฟ (Pull up) ใช้ค่า 10 k

8. Rz ใช้ไบอัสไดโอดในตัว LM1893N ใช้ค่า 12 K

9. Cb ใช้ลดสัญญาณรบกวนในส่วนจ่ายไฟเลี้ยง (Supply bypass) ใช้ค่า 100 uF

10. Zt เป็นทรานเซี้ยนแคลมป์ (Transient clamp) ใช้ค่าเบรคดาวน์โวลท์เตจที่มากกว่า 44 โวลท์ และทนฟีดแบคโวลท์เตจ (Feedback Voltage) ไม่น้อยกว่า 66 โวลท์

11. Rt ใช้กำจัดทรานเซี้ยนใช้ค่า 4.7 โอห์ม

12. Dt ป้องกัน Over-drive Clamp ใช้ค่าเบรคดาวน์โวลท์เตจที่มากกว่า 44 โวลท์ (IRF 11DQ05 หรือ 1N5819)

13. Za มีหน้าที่หยุดการ charge ของวงจรควบคุมแรงดันอัตโนมัติ ในโหมดรับ ใช้ Zener 5.1 โวลท์

14. Rb จัดการไบอัสของทรานซีสเตอร์ ใช้ค่า 180 โอห์ม

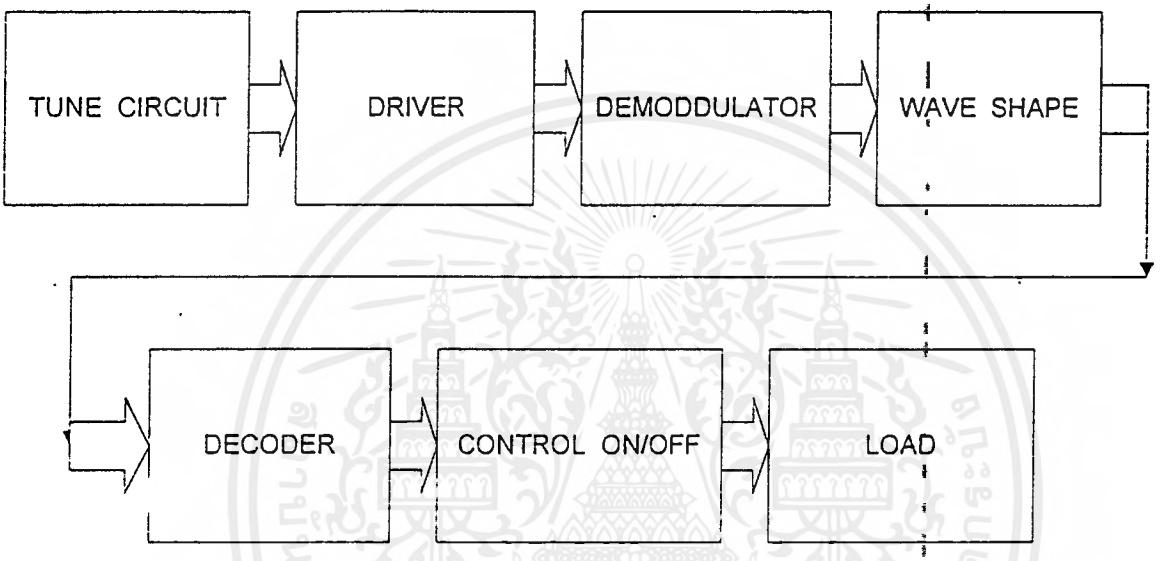
15. Qb เพิ่มอัตราการขยายสัญญาณให้แรงขึ้น ใช้ทรานซีสเตอร์ชนิด NPN มี $F_t > 200$ MHz ในวงจรนี้ใช้เบอร์ 2N3053

16. Rg เป็นตัวต้านทานที่ใช้เซ็ทกระแส โดยที่ $Io = 70 [(10+Rg) / Rg]$ mAmp ใช้ค่า 1.2 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของวงจรชุดตัวรับสัญญาณ

ในโหมดรับสัญญาณที่มาจากสายไฟฟ้าในบ้าน ซึ่งอยู่ในรูปสัญญาณ FSK โดยไอซี LM1893N จะทำการดีมอดูเลทสัญญาณ FSK ให้กลับมาเป็นดิจิตอลแล้วส่งให้ไอซีเบอร์ MC145027 (ตัวถอดรหัส) เพื่อเช็ครหัสตรงกับอุปกรณ์นั้น ๆ หรือไม่ แล้วส่งสัญญาณควบคุมให้ส่วนชุดควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าซึ่งชุดรับส่งสัญญาณควบคุมสามารถเขียนเป็นบล็อกไดอะแกรม ได้ดังรูปที่ 4.11



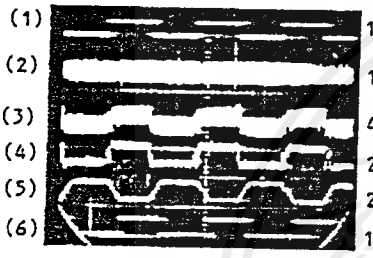
รูปที่ 4.11 บล็อกไดอะแกรมชุดตัวรับสัญญาณควบคุมการ เปิด-ปิด อุปกรณ์ทางไฟฟ้า

<u>การรับข้อมูลของไอซีเบอร์ LM1893N</u>

การเลือกการทำงานในโหมดรับ ทำได้โดยทำให้ TX/RX (ขา 5) เป็นค่าลอจิก 0 สัญญาณที่ผ่านเข้ามาทางสายไฟฟ้ากำลัง จะผ่านเข้ามาทางคัปปลิ้งคอยล์แบบเดียวกับที่ใช้ส่งเพราะฉะนั้นการเลือกการทำงานของไอซีเบอร์ LM1893N จึงต้องมีการเลือกโหมดใดโหมดหนึ่งเท่านั้น ในรูป 4.10 เมื่อสัญญาณเข้ามาซึ่งประกอบด้วยข้อมูล และ สัญญาณรบกวนต่าง ๆ จะผ่านเข้ามาทางวงจรกรองความถี่สูงผ่าน (High Pass Filter) ซึ่งประกอบด้วย CT และวงจรแทงค์ (Tank Circuit) ทำหน้าที่เป็นวงจรกรองย่านความถี่เพื่อลดสัญญาณรบกวนบางตัวลงไป จากนั้นสัญญาณจะถูกส่งมายังวงจรลิมิตเตอร์ (Limiter) ซึ่งมี CL เป็นตัวกำหนด ความถี่ต่ำส่วนความถี่สูงจะถูกตั้งไว้ที่ 300 kHz สัญญาณ ที่ผ่านส่วนนี้ความถี่ของไฟฟ้ากำลัง (50 Hz) จะถูกกำจัดออกไป หลังจากนั้น สัญญาณจะผ่านวงจรลิมิตเตอร์เข้าสู่วงจรเฟสล็อกลูป ซึ่งมี CCO ประกอบ อยู่ด้วยโดยวงจรเลื่อนนี้ เป็นส่วนของการดีมอดูเลชั่นสัญญาณเอฟเอสเค เอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อกลูปซึ่งประกอบด้วยสัญญาณเอซี , สัญญาณดีซี , สัญญาณรบกวนออฟเซ็ท (offset) และความถี่ 2 เท่าของความถี่คลื่นพาห์จะผ่านเข้ามายังโลว์พาสฟิลเตอร์แบบพาสซิพ 3 โพล (Passive 3 Pole Low Pass Filter) เพื่อกรองเอาสัญญาณความถี่คลื่นพาห์ 2 เท่าทิ้งไป หลังจากนั้นข้อมูลที่ได้จะถูกทำให้เป็นสัญญาณ รูปสี่เหลี่ยม (Square wave)โดยวงจรดาต้าสไลซ์วิ่งคอมพาราเตอร์ (Data slicing conparator) และกำจัดออฟเซ็ททิ้ง โดยที่คอมพาราเตอร์ตัวนี้มีการใส่ดีซีออฟเซ็ท (DC offset) ค่าหนึ่งเข้าไปยังสัญญาณที่รับเข้ามา เพื่อหักล้างกับออฟเซ็ทที่ผ่านเข้ามา และสัญญาณที่ได้จะผ่านวงจรคอมพาราเตอร์ที่มีฮีสเตอรีซีส (Hysterisys) และวงจรอิมพัลซ์ฟิลเตอร์ และเอาท์พุทที่ได้จะถูกต่อผ่านทรานซิสเตอร์แบบ คอลเลคเตอร์เปิด (Open Collector) ซึ่งเอาท์พุทที่ได้จะสามารถขับวงจรลอจิกที่จะนำมาต่อในภายหลัง

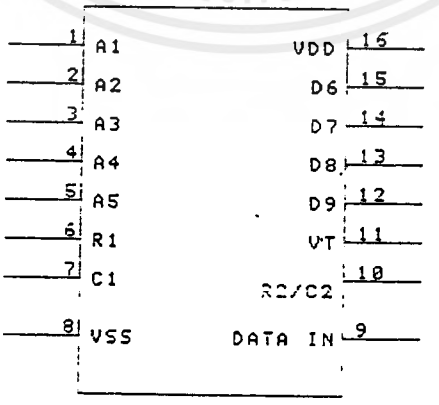


(1) ข้อมูลที่ส่ง
(2) สัญญาณที่รับจากคัปปลิ้งคอยล์
(3) สัญญาณเอาท์พุทจากเฟสล็อกลูปตัวรับ
(4) สัญญาณจาก RC LOW-PASS
(5) สัญญาณจาก IMPULSE NOISE FILTER
(6) สัญญาณข้อมูลที่เอาท์พุทของไอซี LM1893N

รูปที่ 4.12 สัญญาณต่าง ๆ ของ LM1893N

<u>การทำงานของวงจรถอดรหัส</u>

วงจรถอดรหัสนี้จะทำหน้าที่รับสัญญาณที่รับเข้ามา แล้วทำการถอดรหัสดูว่าตรงกับค่าแอดเดรสที่ตั้งเอาไว้ หรือ เปล่า ถ้าหากตรงกันก็จะให้สัญญาณเอาท์พุทออกมาเพื่อนำไปควบคุมโหลดต่อไป ในส่วนนี้มีไอซีเบอร์ MC145027 เป็นหัวใจหลักในการถอดรหัสสัญญาณ ซึ่งรูปที่ 4.13 แสดงลักษณะขาของไอซีเบอร์ MC145027



รูปที่ 4.13 ขาของไอซีเบอร์ MC145027

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา A1 - A4 ขาเหล่านี้เป็นแอดเดรสอินพุทที่เราได้ตั้งไว้ให้ตรงกับค่าแอดเดรสของตัวส่งเพื่อที่จะได้เอาท์พุทออกมา

ขา D6 - D7 ขาเหล่านี้เป็นข้อมูลเอาท์พุท ซึ่งจะให้เอาท์พุทก็ต่อเมื่อแอดเดรสตัวส่งและตัวรับตรงกัน

ขา R_1 , C_1 ขาทั้งสองนี้ต่อกับความต้านทานและตัวเก็บประจุ เพื่อใช้เป็นตัวกำหนดความแคบหรือความกว้างของพัลส์ที่เป็นรหัส ค่าไทม์คอนสแตนท์ (R_1C_1) จะถูกตั้งไว้ 1.72 ของช่วงเวลาของสัญญาณนาฬิกาตัวส่ง (Transmit clock period)

โดย $R_1C_1 = 3.95\ R_{TC}C_{TC}$

ขา R_2 , C_2 ขานี้จะมีความต้านทานและคาปาซิเตอร์ต่อขนานกัน ต่อขานี้กับขา Vss เพื่อเป็นการแยกการส่งครั้งสุดท้ายกับครั้งใหม่ซึ่งค่าไทม์คอนสแตนท์ (R_2C_2) จะเป็น 33.5 ของคาบเวลาการส่ง

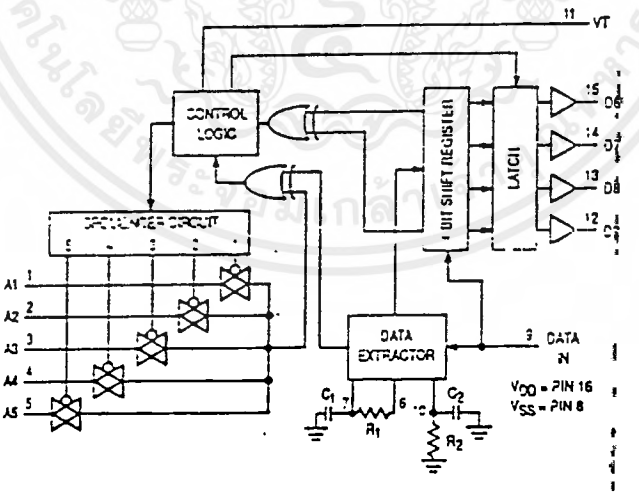
โดย $R_2C_2 = 77\ R_{TC}C_{TC}$

ขา VALID TRANSMISSION (VT) เป็นขาเอาท์พุทจะเป็นระดับสูง เมื่อ

1. การส่งแอดเดรสตรงกับแอดเดรสของตัวรับ
2. การส่งชุดของข้อมูลแรกและสองต้องเหมือนกัน ขา VT จะเป็นลอจิก 1 จนกระทั่งการรับไม่ตรงตามเงื่อนไขหรือไม่มีสัญญาณเข้ามาเป็นเวลา 4 ข้อมูลบิท

ขา VDD เป็นขาแหล่งจ่ายไฟบวก

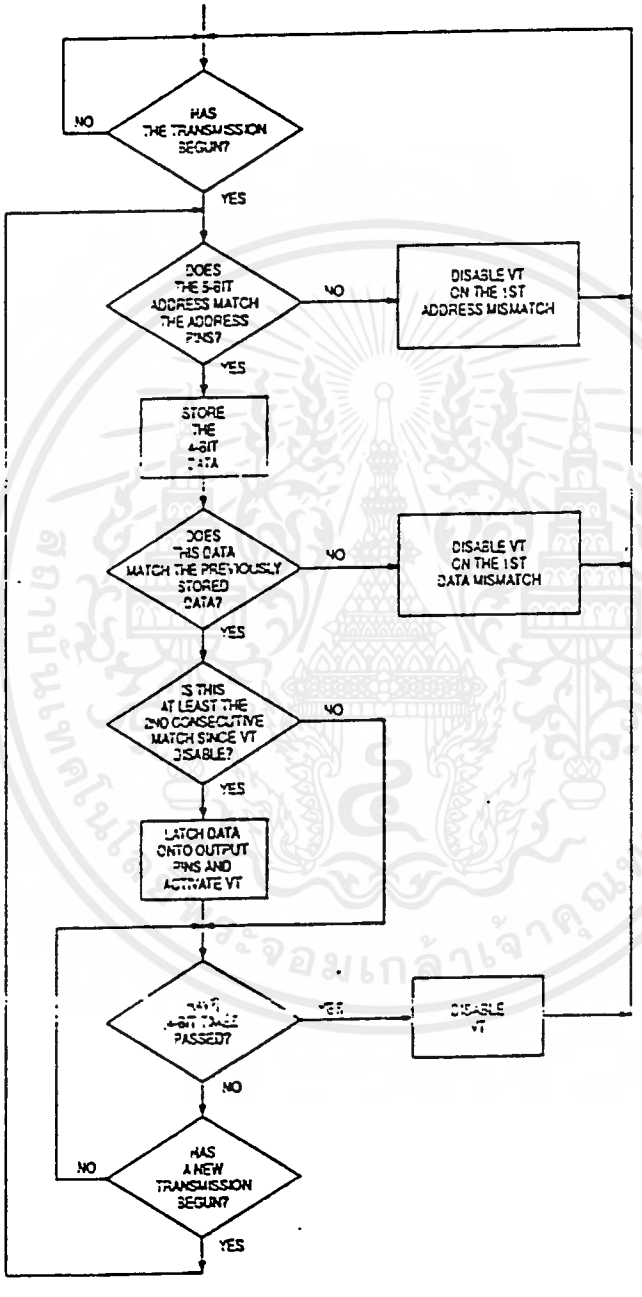
ขา VSS เป็นขาแหล่งจ่ายไฟลบ (ส่วนใหญ่ใช้เป็นกราวด์)



รูปที่ 4.14 บล็อกไดอะแกรมการถอดรหัสของ MC145027

โดยที่หลักการทำงานของไอซีเบอร์ MC145027 นั้นเป็นไปตามโฟลว์ชาร์ท (FLOWCHART) ดังแสดงได้ในรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 FLOWCHART แสดงการทำงานของ MC145027

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การออกแบบวงจรถอดรหัสและเข้ารหัส</u>

เราสามารถออกแบบวงจรถอดรหัส ได้ดังแสดงในรูปที่ 4.16 โดยการคำนวณหาค่าของ R_1 , C_1 , R_2 , C_2 จากสูตร

$f_{osc} = 1 / (2.3 R_{TC}C_{TC})$

$R_1C_1 = 3.95 R_{TC}C_{TC}$

$R_2C_2 = 77 R_{TC}C_{TC}$ เมื่อ R_{TC} และ C_{TC} คือค่าของตัวต้านทานและตัวเก็บประจุในวงจรออสซิลเลเตอร์

ซึ่งค่า $R_{TC} >= 10$ Kohms

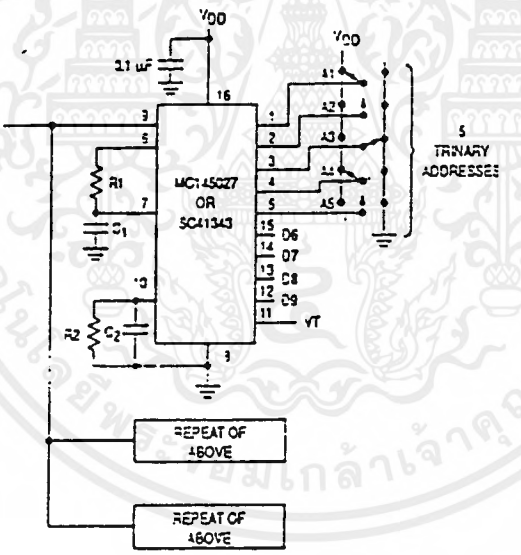
$100 pF <= C_{TC} <= 15 uF$

$R_1 >= 10$ Kohms

$C_1 >= 400$ pF

$R_2 >= 100$ Kohms

$C_2 >= 700$ pF



รูปที่ 4.16 วงจรถอดรหัสสัญญาณ

ในวงจรเข้ารหัสเราเลือกส่งข้อมูลเท่ากับ 360 บอดหรือความถี่ในการส่งข้อมูลเท่ากับ 180 Hz และเนื่องจากในการส่งข้อมูลของไอซี MC 145026 แต่ละครั้งจะส่งซ้ำกันจำนวน 2 ครั้งเพื่อป้องกันการผิดพลาด ดังนั้นจะต้องตั้งความถี่ออสซิลเลเตอร์ของวงจรเข้ารหัส คือไอซี MC 145026 เท่ากับ 720 Hz และในวงจรนี้ได้เลือกใช้ค่า C_{TC} = 0.047 uF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $R_{TC} = 1 / (720x2.3x0.047x10^{6})$

$= 13.32$ k ใช้ 15 k

จาก $R_1C_1 = 3.95\, R_{TC}C_{TC}$ ให้ $C_1 = 0.1$ uF

ดังนั้น $R = (3.95x15x10^{3}x0.047x10^{6}) / (0.1x10^{6})$

$= 27.24$ k ใช้ 27 k

จาก $R_2C_2 = 77\, R_{TC}C_{TC}$ ให้ $C_2 = 0.1$ uF

ดังนั้น $R_2 = (77x15x10^{3}x0.047x10^{6}) / (0.1x10^{5})$

$= 452.4$ k ใช้ 470 k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบ

1. กำหนดอิมพีแดนซ์ของสายส่งไฟฟ้ากำลังให้เป็นค่าต่ำสุดเท่ากับ Zin จากค่า Zin สามารถประมาณค่า TURN RATIO ของ T1 ได้โดยอ่านจากกราฟความสัมพันธ์ในดาต้าชีท

2. หาค่า L1 จากสูตร

L1 = (Ra//ZLn)/+2.fo.OL

และ Ra//ZLn = (VCC-VALC)2/Io

เมื่อ Zin คือ อิมพีแดนซ์สะท้อนของสายส่งไฟฟ้ากำลัง (Reffected Zin)

QI คือ ค่า Q ของ T1 ตอนมีโหลด

Rq คือ ค่า Q ของ T1 ตอนมีโหลด

VCC คือ ไฟเลี้ยง LM1893N เท่ากับ 18 โวลท์

IO คือ กระแสเอ้าท์พุทของ LM1893N เท่ากับ 60 mA

และ

Q1 = 1/(BW(%of FO)

แทนค่าต่าง ๆ ดังนี้

Zin = 7 โอห์ม

ดังนั้นจะได้ค่า N (TURN RATIO) = 10

ให้ BW (% ของ FO) = 8.7 %

Q1 = 1/(8.7*100)

= 11.5

ดังนั้นแทนค่าได้ L1 = 49 +H

ถ้าพัน L1 ค่า 49+H ด้วยจำนวน 80 รอบ

ดังนั้นจะได้จำนวนรอบ L2 = 80/10

= 8 รอบ

พัน L2 ด้วยขนาดเท่าเดิมแล้ววัดค่า L2 ได้เท่ากับ 1.2+H

3. หาค่า Cq ได้จาก

$Cq = 1/(+2Fo)^2 L1$

แทนค่าได้ $Cq = 1/(+2*125khz)^2 49+H$

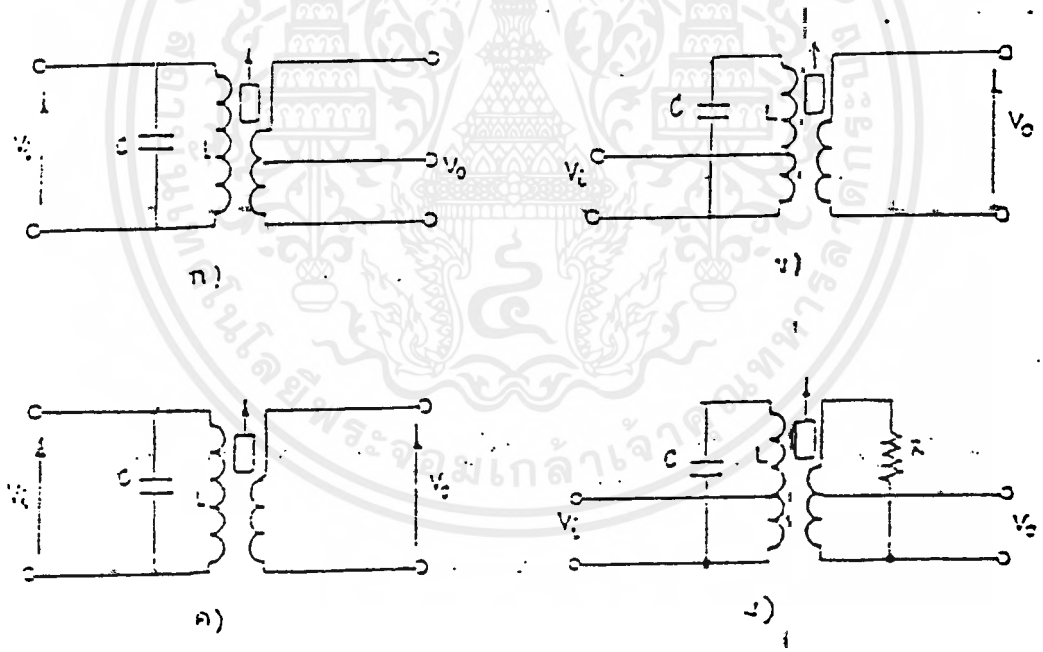
4. เลือก Cc = 0.22 +F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรจูน

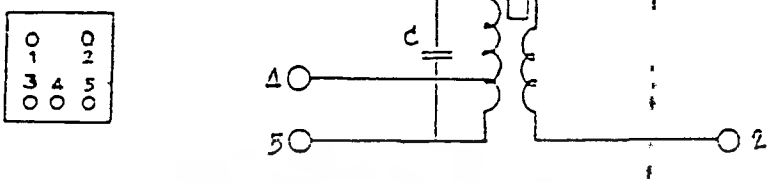
วงจรจูนของเครื่องส่งนี้เป็น LC ใช้หลักการ RESONANT ในการเลือกความถี่ที่เหมาะสมผ่านตัวมัน วงจรนี้ปกติจะเรียกว่า วงจรแทงค์ (TANK CIRCUIT) มีคุณสมบัติเป็นฟิลเตอร์เช่นเดียวกับ RC FILTER กล่าวคือตัวมันจะเป็น แบนด์พาสฟิลเตอร์ (BAND PASS FILTER) จะยอมให้ความถี่ที่ต้องการผ่านเท่านั้น วงจรแทงค์สามารถจะต่อใช้งานได้หลายลักษณะตามความต้องการ

วงจรจูนของเครื่องส่งจะใช้หม้อแปลง ไอ เอฟ ของวิทยุดัดแปลงใหม่ใหม่เพื่อให้เหมาะสมกับความถี่ใช้งาน ซึ่งหม้อแปลงนี้มีขายทั่วไป ซึ่งมีขนาดความถี่เรโซแนนท์ 455 Khz บางแบบมีขนาดความถี่เรโซแนนท์ 10.7 Mhz ที่ใช้ในวิทยุ เอฟ.เอ็ม แต่ที่เราใช้ในเครื่องส่งนี้จะใช้หม้อแปลง ไอ.เอฟ ที่มีขนาดความถี่เรโซแนนท์ 455 Khz กระป๋องสีดำซึ่งมีค่าใกล้เคียงกับที่ใช้ในปริญญานิพนธ์ มาทำการดัดแปลง



รูปที่ 4.17 วงจรแทงค์ลักษณะต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 ลักษณะการพันของ YMC 6649

หม้อแปลงไอ.เอฟ เดิมนั้นจะมีขดลวดเดิมของมันพันอยู่และมีคาปาซิเตอร์ติดมาด้วยซึ่งคาปาซิเตอร์นี้จะมีค่าความจุประมาณ 280 PF และเรโซแนนท์ ที่ความถี่ 455 Khz เพราะฉะนั้น ความถี่เรโซแนนท์ ที่ความถี่ 455 Khz (f^0) จะได้

$$W^0L = 1/(W^0*C)$$

$$L = 1/(W^{0\,2}*C)$$

ดังนั้น เราสามารถคำนวณ ค่าเหนี่ยวนำได้ เมื่อเราทราบจำนวนรอบที่พันระหว่างขั้ว 1-3

ค่าความเหนี่ยวนำต่อรอบ = $1/(W^{0\,2}*C*N)$

เมื่อ N = จำนวนรอบของขดลวดที่ 3-5

เมื่อเราใช้ลวดเบอร์เดิม จะต้องการเปลี่ยนจำนวนรอบ ค่าคาปาซิเตอร์ และความถี่เรโซแนนท์ เราจะสามารถคำนวณได้ เช่น เราหาค่าเหนี่ยวนำต่อรอบได้ 1*10^-5 H และค่า คาปาซิเตอร์(C) = 820 pF และต้องการความถี่เรโซแนนท์ที่ 166.7 Khz เราก็จะหาจำนวนรอบได้

$$1*10\text{^}-5 = 1/(W^{0\,2}*C*N)$$

$$N = 1/(W^{0\,2}*820\ pF * 10\text{^}-5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$N = 1/(W^{\circ 2} * 8.2*10^{-15})$

เมื่อ $f = 2*3.14*LC$

$W^{\circ 2} = 1/LC = (2f)^2$

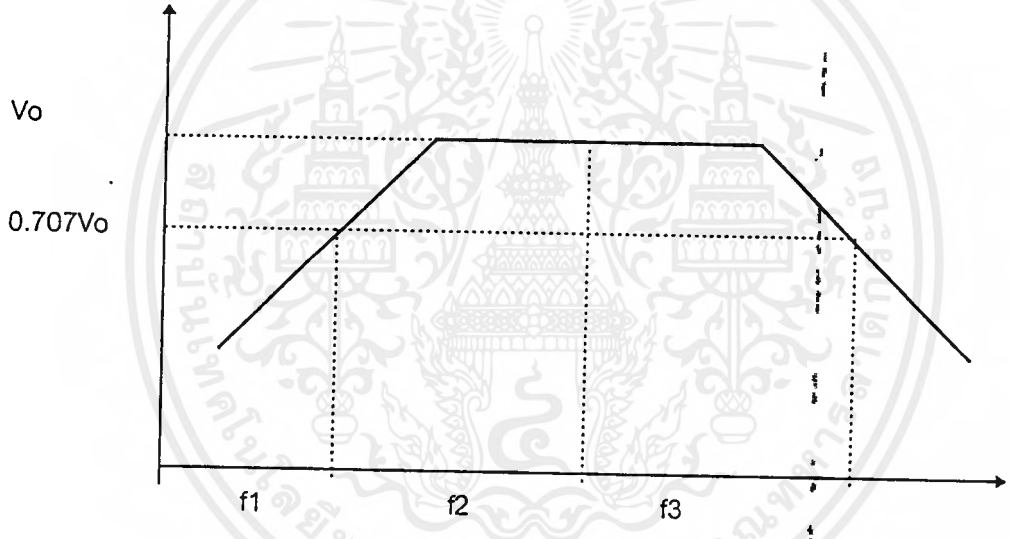
$W^{\circ 2} = (2/3.14*166.7*10^{3})^2 = 1.097*10^{12}$ rad

$N = 1/(1.097*10^{12}*8.2*10^{-5})$

$N = 1/(9*10^{-3})$

$N = 111.2$ รอบ

ข้อควรคำนึงอีกอย่างหนึ่งคือ ค่าแฟกเตอร์คุณภาพ (QUALITY FACTOR) ควรจะต้องมีค่าสูง ๆ และต้องอยู่ในเกณฑ์ที่พอเหมาะ ซึ่งค่าแฟกเตอร์นี้หาได้ดังรูป



รูปที่ 4.19 แสดงคุณลักษณะของ Band Pass Filter

จากรูปจะเห็นได้ว่า Band Width (BW) คือช่วงระหว่าง F^{I} ถ้า BW แคบจะทำให้ Q° มีค่ามาก เราสามารถหาค่า QUALITY FACTOR (Q°) ได้จากสูตร

$$Q^{\circ} = f^{\circ}/BW$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร Tank มีหลักการดังนี้

- การเลือกค่า Q ของวงจร Tank
- การเลือกค่าความจุของ Capacitor
- การเลือกค่า Henry ของ Coil

1. การเลือกค่า Q ของวงจร Tank

การสร้างวงจรขยายสัญญาณ นั้นนอกจากจะกำหนด class ของวงจรขยายเพื่อให้ได้ประสิทธิภาพของวงจรด้วย โดยยึดหลักว่า ถ้า Q ของวงจร Tank มีค่าน้อย ประสิทธิภาพของวงจรขยายจะต่ำ และ output จะให้ Harmonic ออกมามาก แต่ถ้า Q ของวงจร Tank มีค่าสูง ก็จะทำให้มีกระแสไหลภายในวงจร Tank สูงมาก การสูญเสียภายในวงจร Tank มีค่ามากขึ้นและ Band Width แคบลง ฉนั้นค่าที่พอเหมาะที่นิยมใช้กันทั่ว ๆ ไปคือค่า Q ของวงจร Tank จะใช้ประมาณ 10 ถึง 20

ในวงจร Tank นั้น ณ Resonant Frequency ค่า Xl จะเท่ากับ Xc และ Impedance ของวงจรจะมีค่าสูงสุด ส่วนค่า Q ของวงจรจะมีค่าเท่ากับ Xl/Xs เขียนเป็นสูตรได้ดังนี้

ณ Resonant Frequency

Q = Xl/Rs (ไม่มีหน่วย)

Xl = 2*3.14*F*L (Ohm)

Xc = 1/2*3.14*F*C (Ohm)

Z = Xl*Q (Ohm)

เมื่อ Q = Quality Fector

Xl = Reactance of Tank Coil in Ohms .

Xs = Series Resestance in Ohms.

2. การเลือกค่าความจุของ Capacitor

การเลือกค่าความจุของ Capacitor ของวงจร Tank ที่ใช้กับวงจรขยายนั้น ในทางปฏิบัติ จะใช้สูตรหาอัตราส่วนระหว่าง Collector Voltage กับ Collector Current แล้วเอาค่าที่ได้ไปเปิดหาค่า Capacetor จาก Cahrt อีกต่อหนึ่งดังนี้

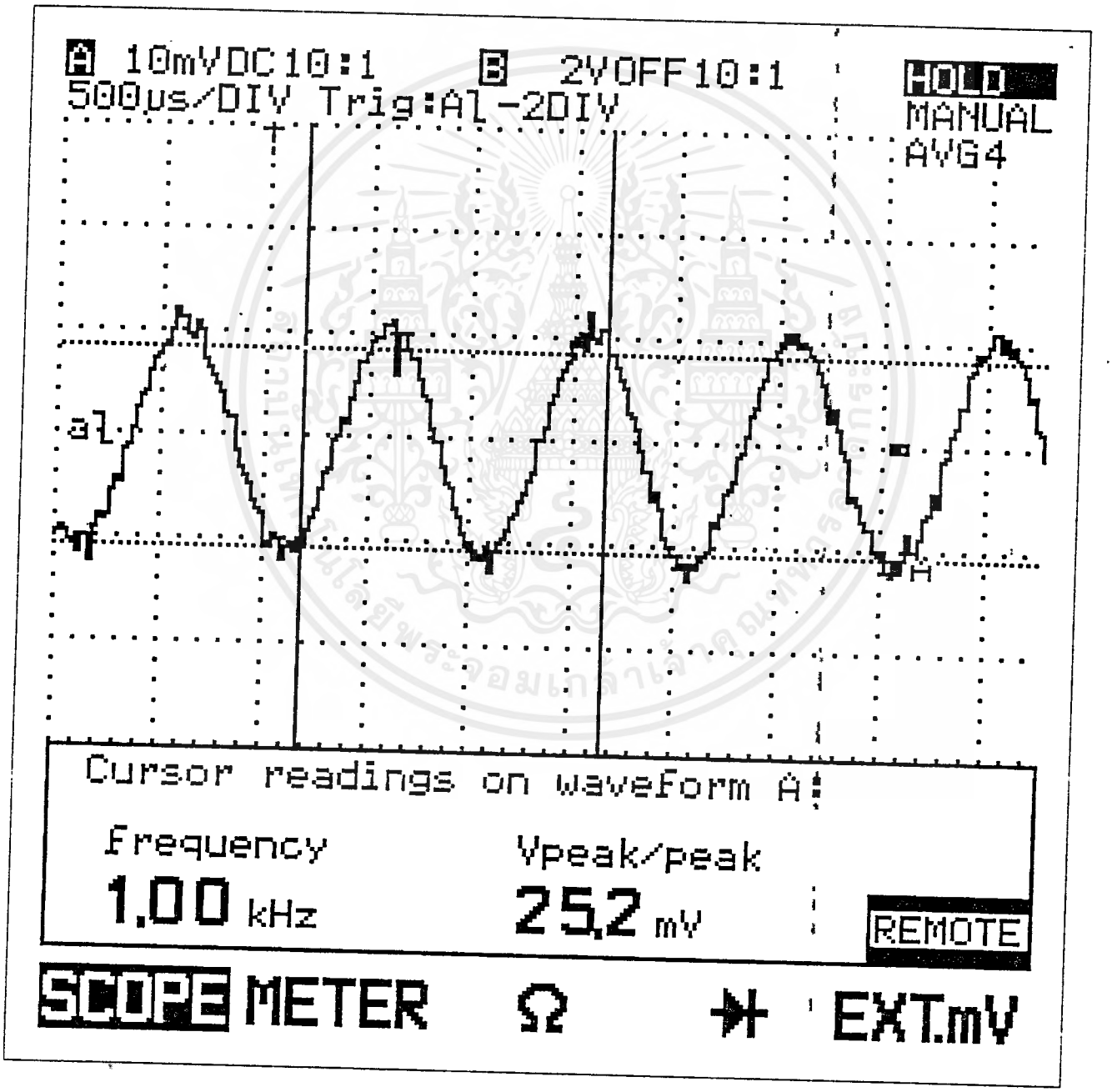
Ratio ของ Collector Voltage / Collector Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดลอง และ ผลการทดลอง

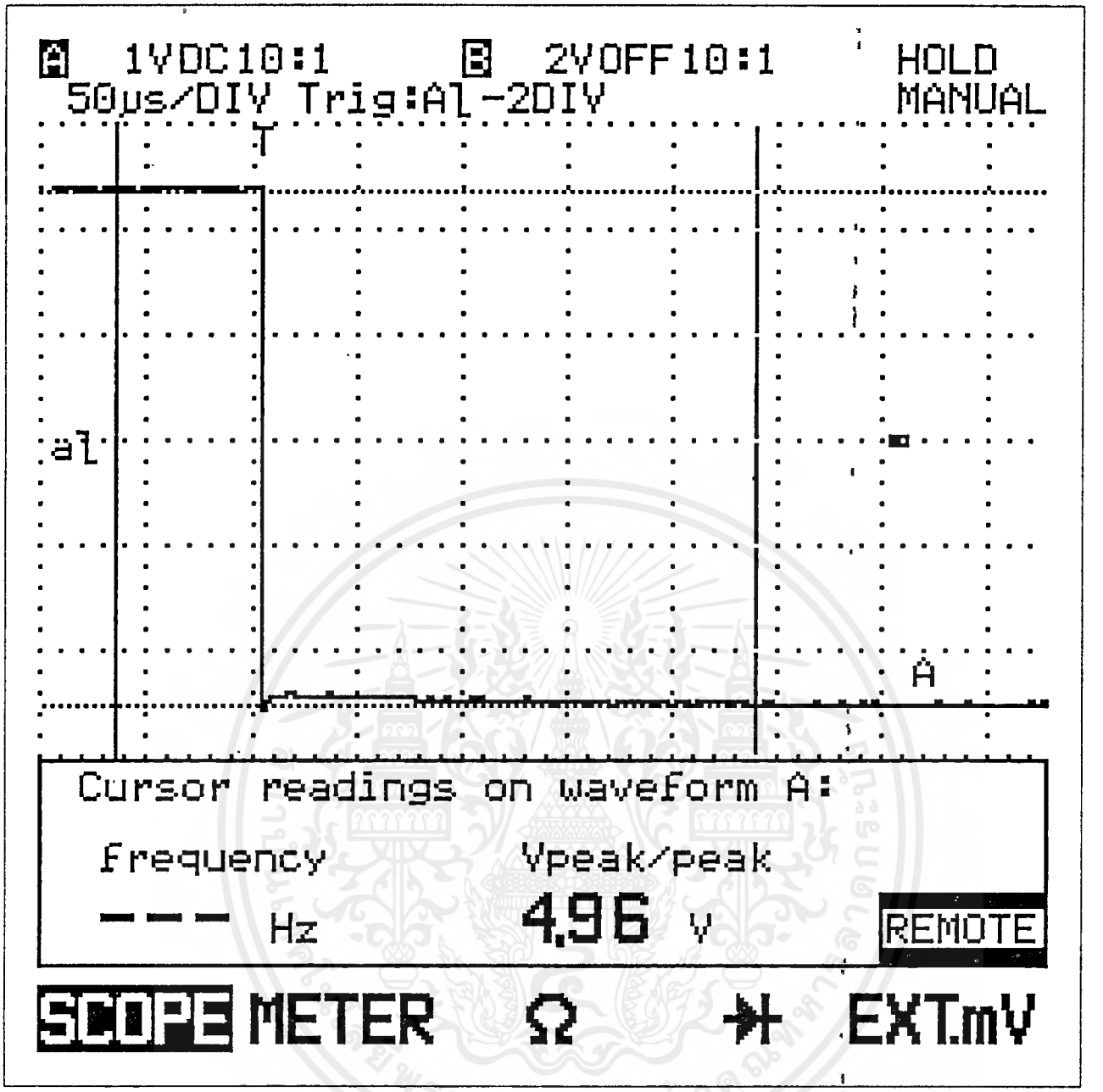
5.1 ภาค ตรวจจับสัญญาณ เสียง (Voice Operate Switch , (VOX) NJM 2072)

- สภาวะปกติที่ O/P จะเป็น logic High
- ทดลองป้อนสัญญาณ Sine Wave 1 kHz ดังรูปที่ 5.1.1
- วัดสัญญาณที่ O/P จะได้ logic low ดังรูปที่ 5.1.2



รูปที่ 5.1.1 แสดงสัญญาณ Sine Wave ความถี่ 1 kHz ที่ใช้ทดสอบ VOX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

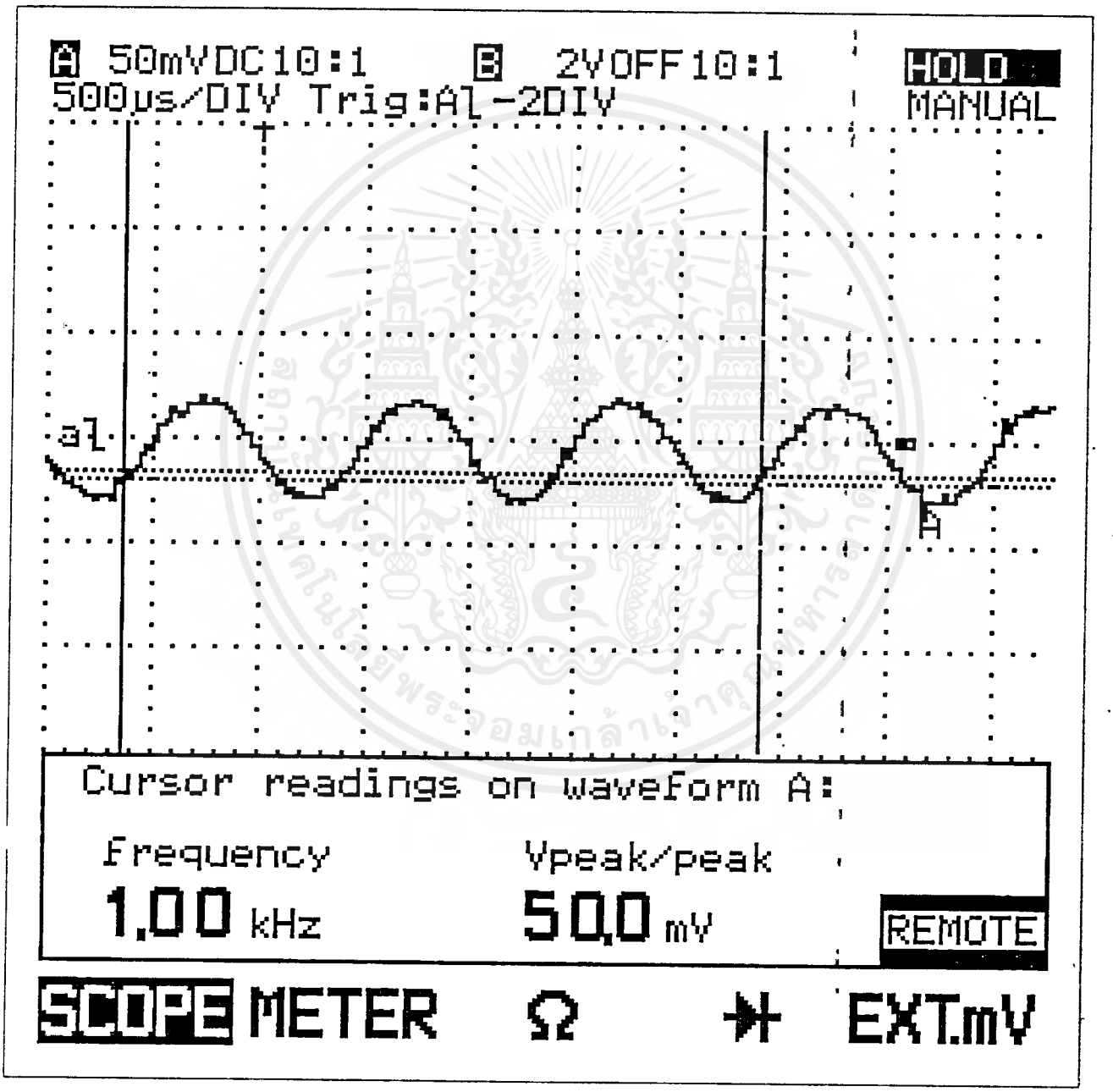


รูปที่ 5.1.2 แสดงผลตอบสนองของ VOX ต่อสัญญาณทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

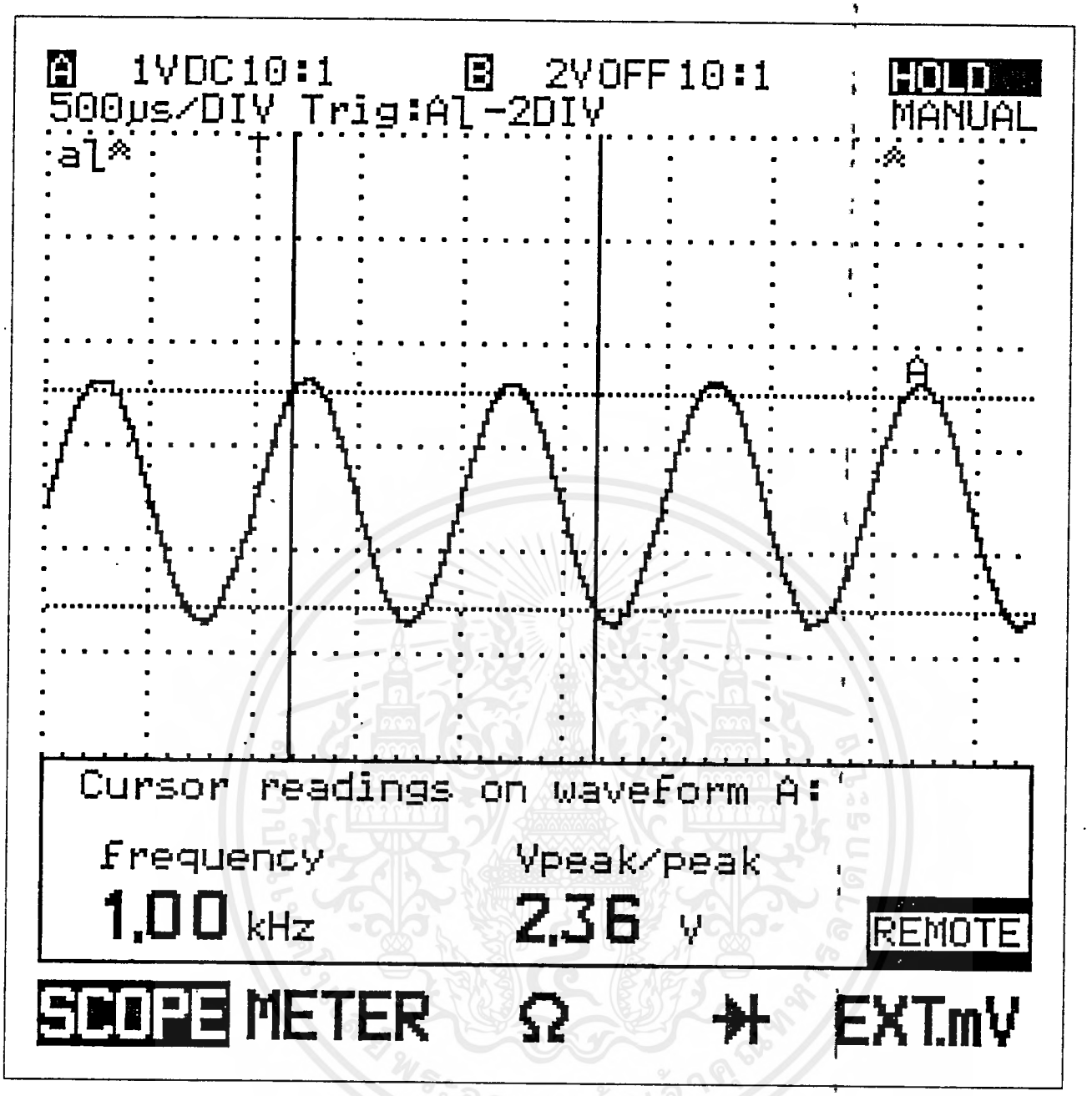
5.2 ภาค บันทึก / เล่นกลับ สัญญาณเสียง Voice Unit (ISD 1420)

- ตั้งโหมดบันทึก (Sampling ที่ 64 kHz)
- ป้อนสัญญาณ Sine Wave 1 kHz ดังรูปที่ 5.2.1
- เปลี่ยนเป็นโหมดเล่นกับ
- วัดสัญญาณที่ เอ้าท์พุท ที่จุดต่อลำโพง ดังรูปที่ 5.2.2



รูปที่ 5.2.1 แสดงเสียงความถี่ 1 kHz ที่ทดลองบันทึกภาค Voice Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2.2 สัญญาณ เอ้าท์พุท เมื่อเล่นกลับภาค Voice Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทดลองเข้ารหัส จากขนาน เป็นอนุกรม (Coder MC 145026)

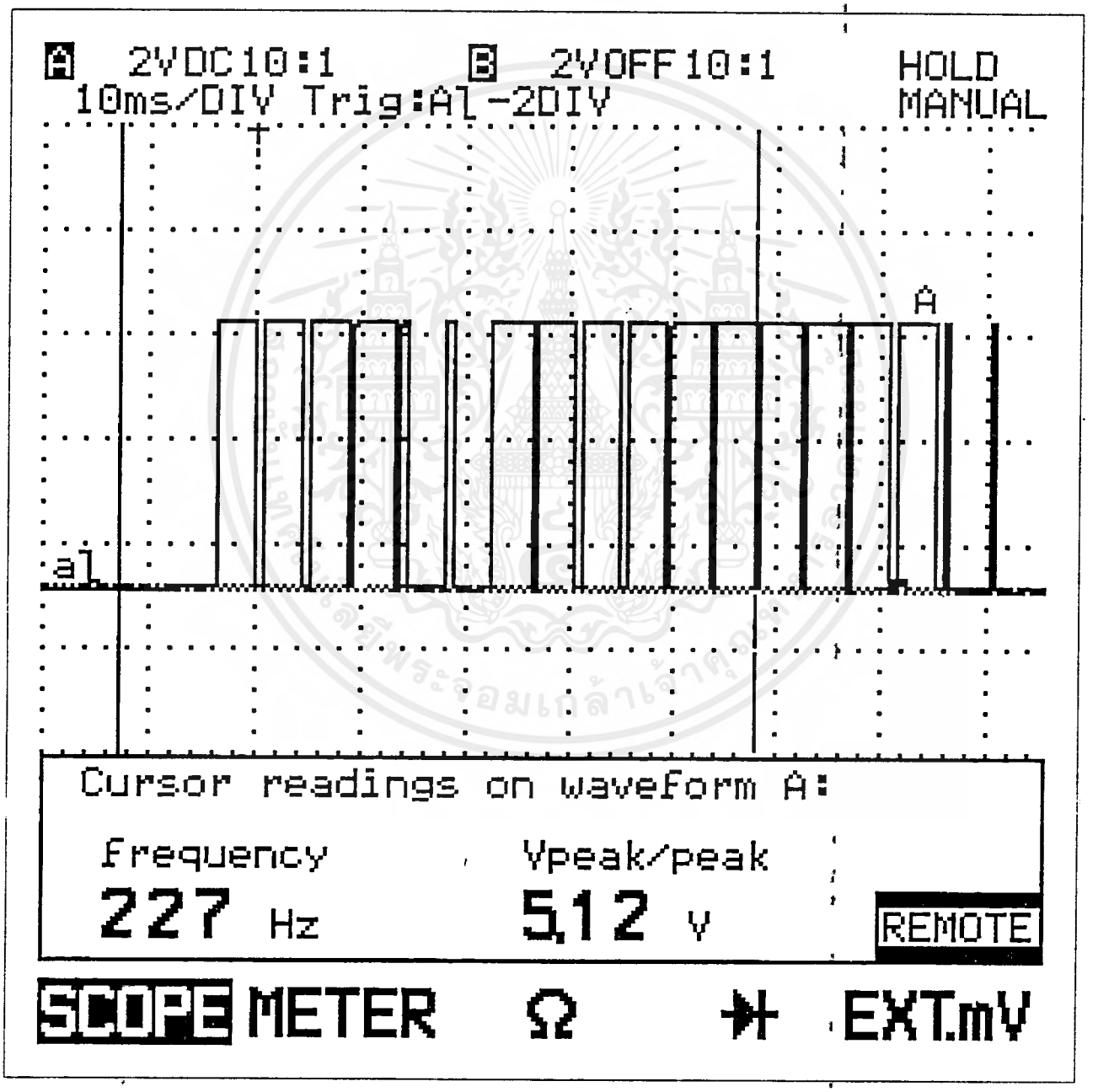
สัญญาณอินพุทของ MC 145026 มี 9 ขา แบ่งเป็น Address 5 บิต , Data 4 บิต.

(A1A2A3A4A5 D6D7D8D9)

- ทดลองตั้งรหัส 111011110
- วัดสัญญาณเอาท์พุท ขา 15 ได้สัญญาณดังรูปที่ 5.3.1

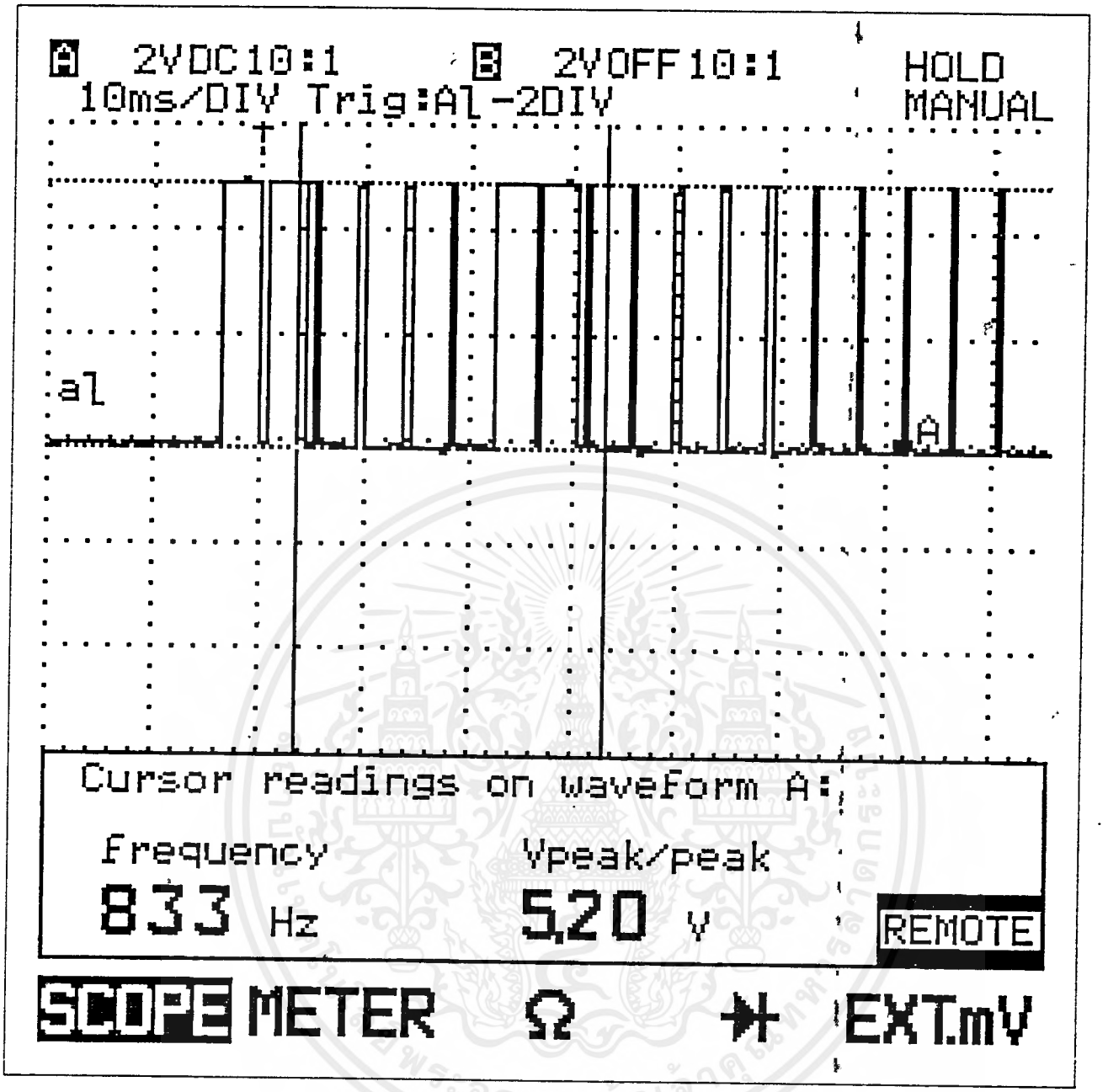
ทดลองเปลี่ยนรหัสเป็น 100100000 ดังรูปที่ 5.3.2

ทดลองเปลี่ยนรหัสเป็น 110111011 ดังรูปที่ 5.3.3



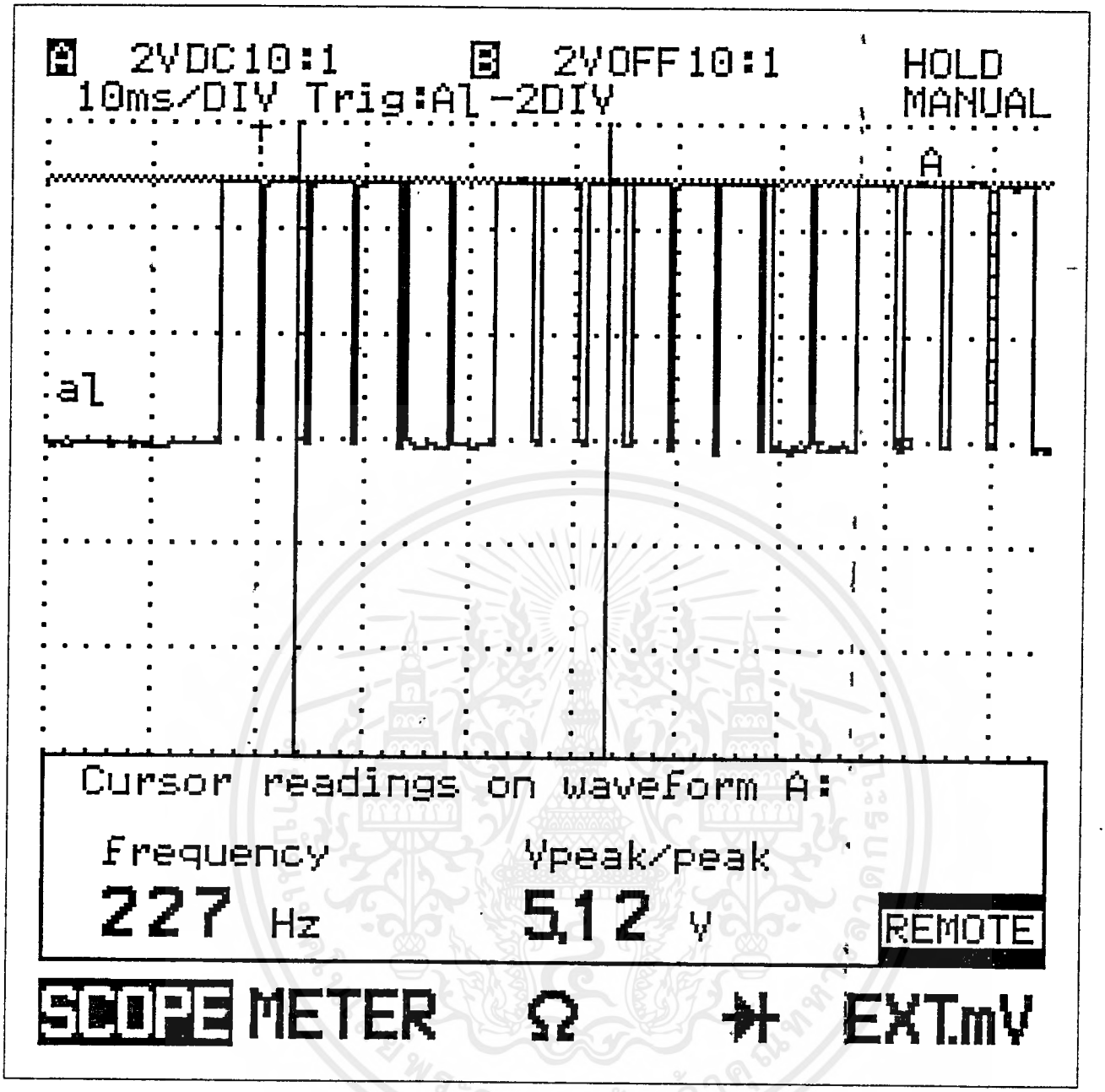
รูปที่ 5.3.1 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัสที่ (A1 - A9) เป็น 111011110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



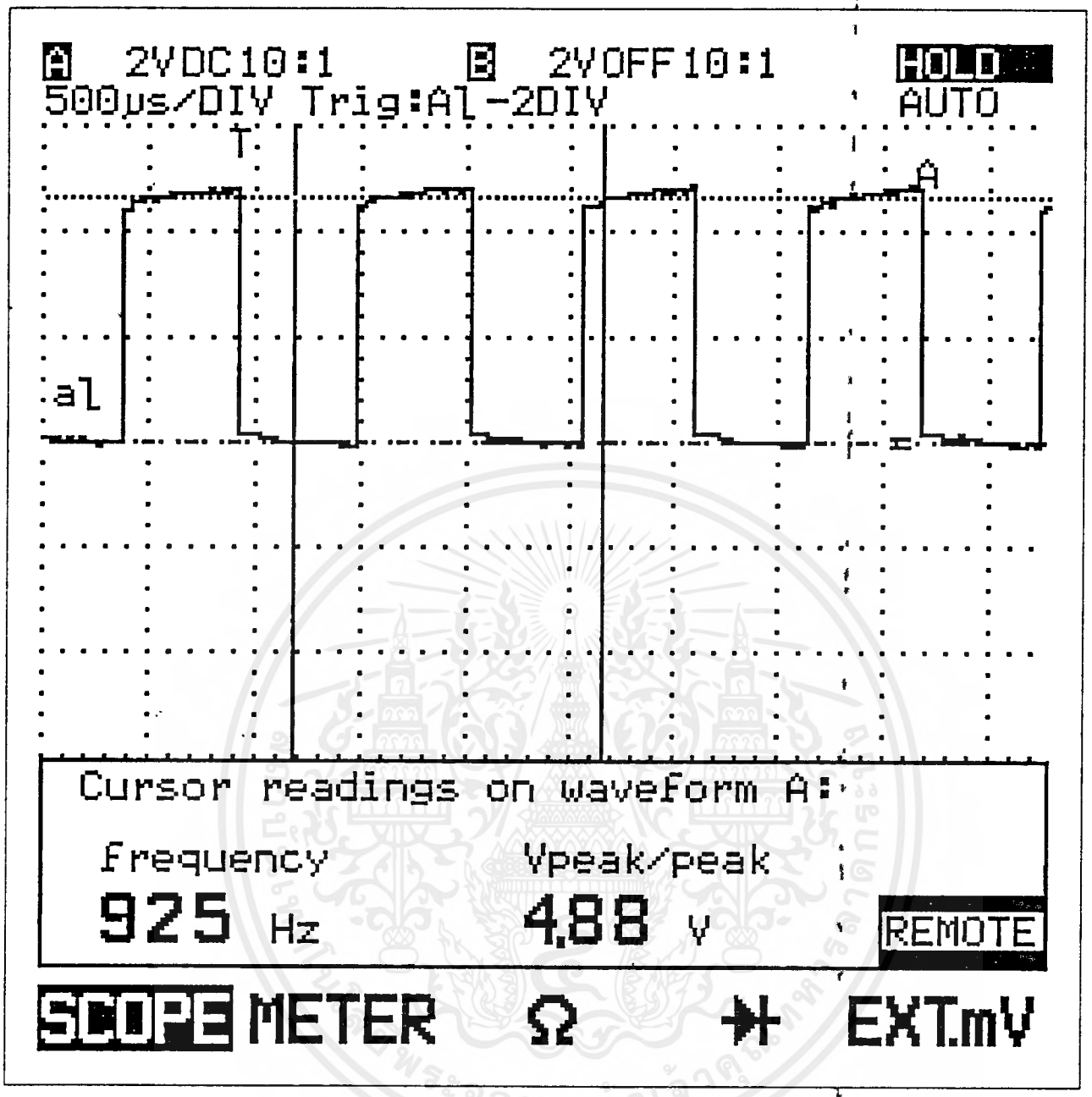
รูปที่ 5.3.2 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัส 100100000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3.3 สัญญาณ เอ้าท์พุท ของ MC 145026 เมื่อตั้งรหัส 110111011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3.4 สัญญาณ Clock ของ MC 145026 ความถี่ 925 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 **การทดลองภาคถอดระหัส** (DECODER mc 145027)

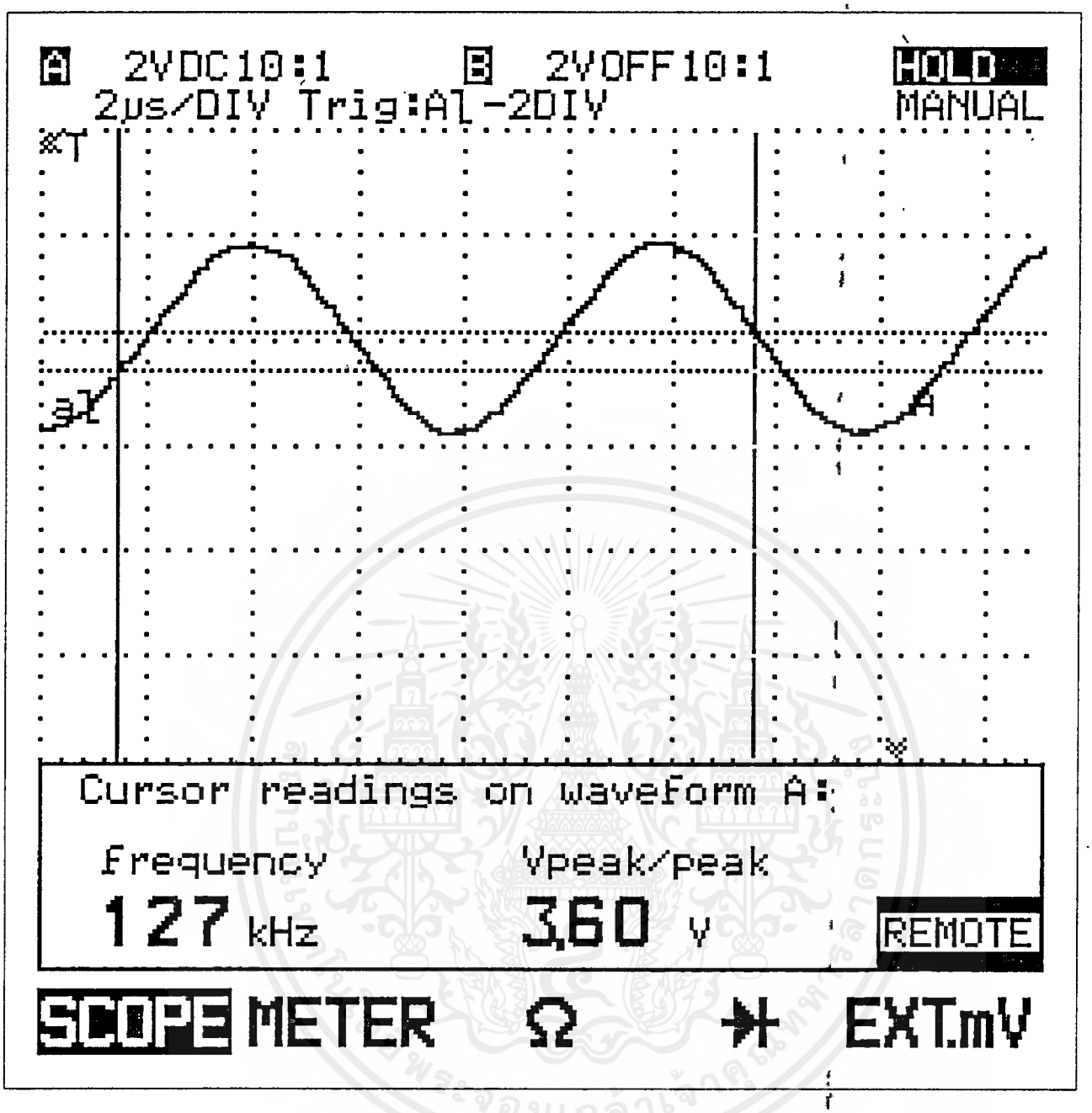
ทดลองป้อนสัญญาณเข้าท์พุท ของ MC 145026 เป็นอินพุทของ MC 145027 โดยตรง

- ทดลองตั้งแอดเดรส 11111 ดาต้า 1111
- ตั้งแอดเดรสตัวรับให้ตรงกับตัวส่ง ถ้ารับข้อมูลได้ถูกต้อง ขา VT เป็น High
- วัดสัญญาณ VT (Valid transmission) เป็น High แสดงว่ารับได้
- วัดสัญญาณ Data ของ Decoder ได้ 1111

5.5 **ภาค มอดดูเลเตอร์ / ดีมอดดูเลเตอร์ แบบ** FSK (AC line transciever LM 1893)

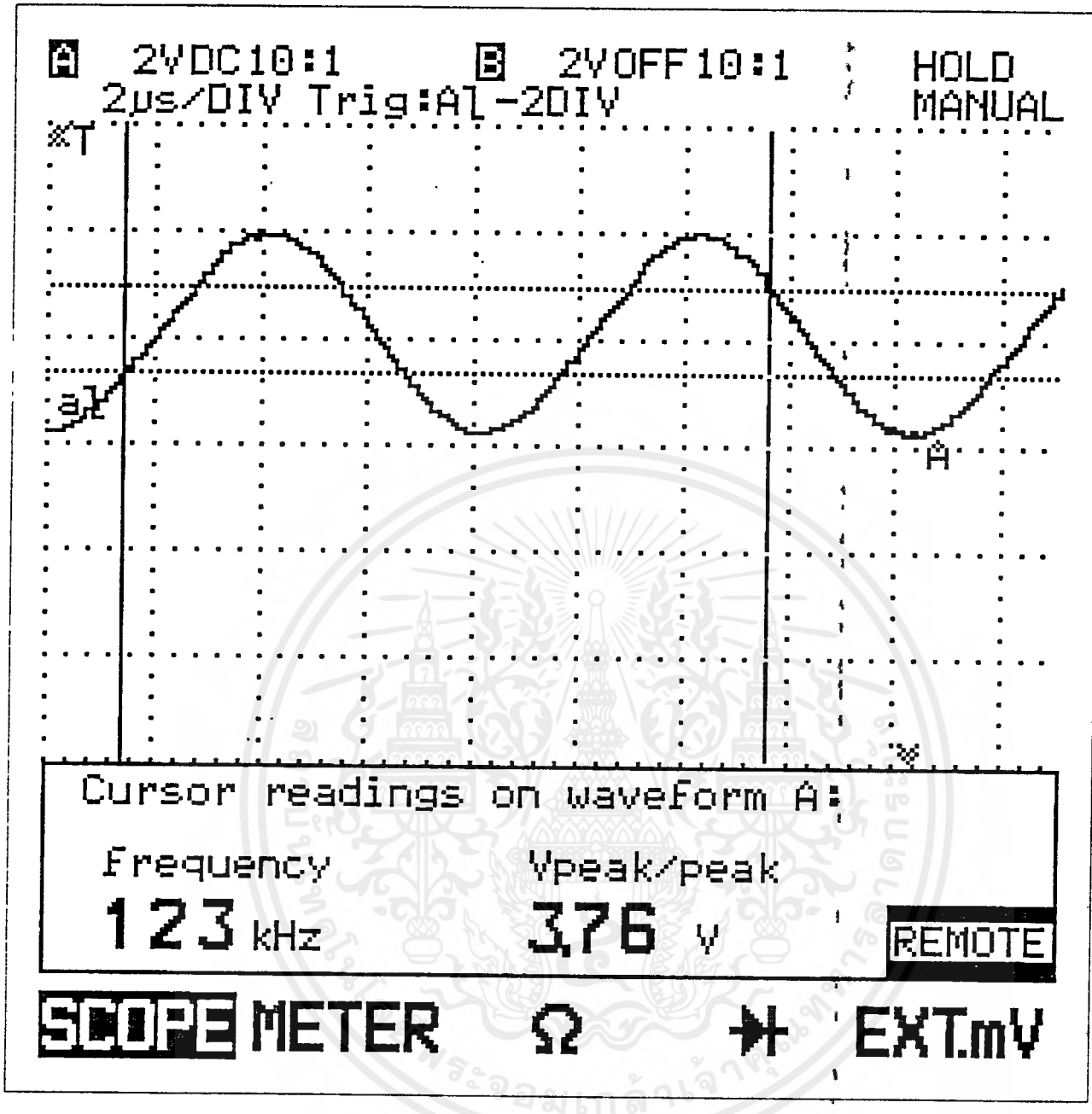
- ตั้งโหมดส่ง ป้อน Data เป็น 0 ได้สัญญาณ 127 kHz ดังรูป 5.5.1
- เปลี่ยน Data เป็น 1 ได้สัญญาณ 123 kHz ดังรูป 5.5.2
- ทดลองต่อเป็นภาค รับ - ส่ง กัน
- วัดสัญญาณขด Secondary ของ IFT ด้านรับ ได้สัญญาณดังรูป 5.5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



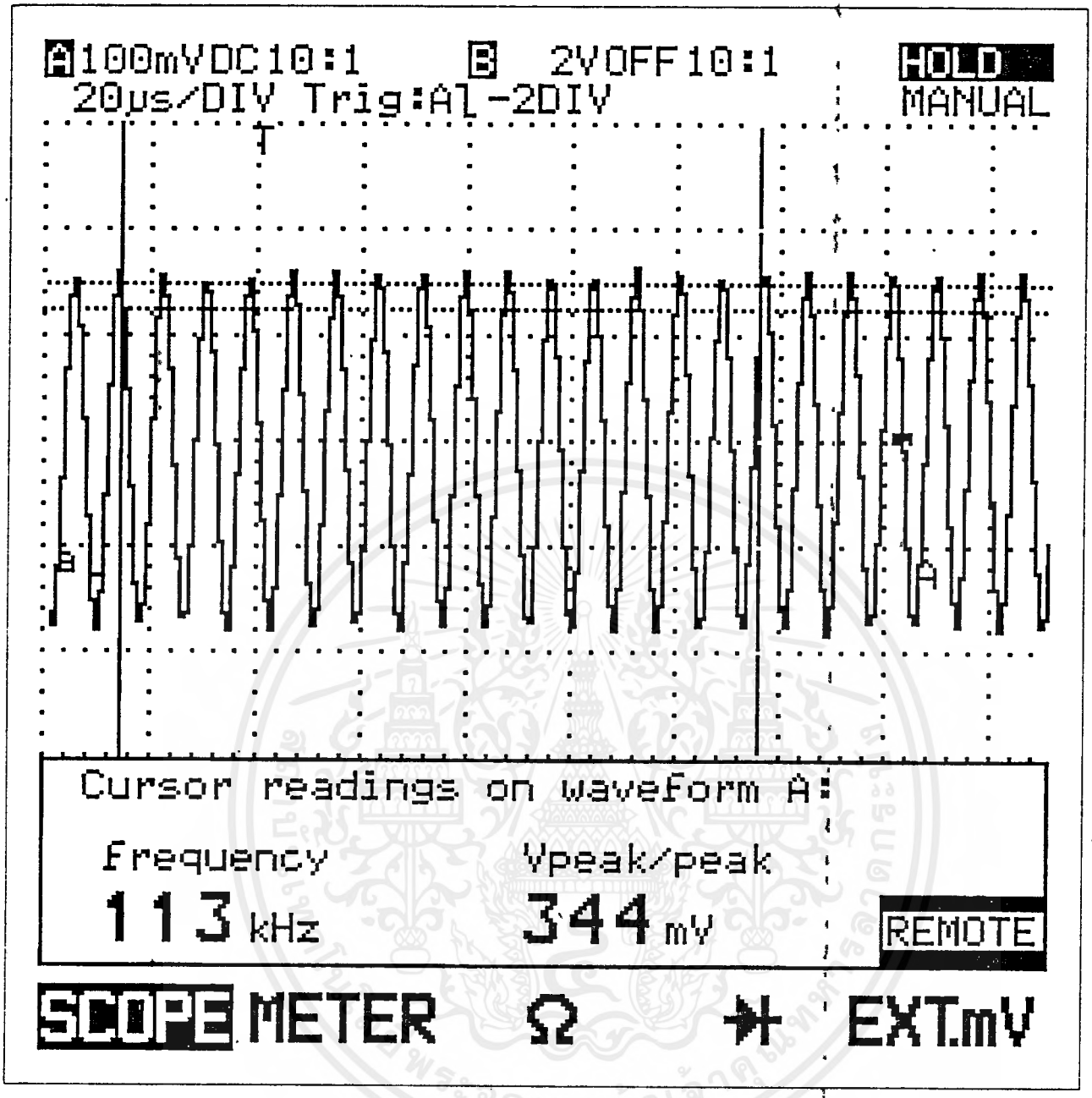
รูปที่ 5.5.1 สัญญาณ เอ้าท์พุท ของ LM 1893 เมื่อ Data = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5.2 สัญญาณ เอ้าท์พุท ของ LM 1893 เมื่อ Data = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5.3 สัญญาณที่ขด Secondary ของ IFT ด้านรับที่ระยะ 20 เมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

1. ภาค TELEPHONE INTERFACE

1.1 ภาค ON/OFF HOOK SWITCH

CPU สามารถสั่งให้ Relay ทำการ ยก/วาง หูโทรศัพท์ได้

1.2 ภาค Ring Detect

เมื่อต่อกับคู่สายโทรศัพท์แล้วทดลองเรียกสัญญาณจะได้เป็นพัลส์ตามจังหวะของสัญญาณ Ringing

1.3 ภาค HOOK SWITCH DETECT

ทดลองต่อกับคู่สายโทรศัพท์เมื่อยกหูโทรศัพท์แล้ววัดสัญญาณได้แรงดันเปลี่ยนแปลงจากลอจิก " 0 " เป็นลอจิก " 1 "

2. ภาค DTMF GENERATOR

- ทดลองกดปุ่ม Key Pad และป้อนรหัส BCD วัดสัญญาณที่ขา 16 ของ TCM5089 ได้ตามตาราง

3. ภาค DTMF DECODER

- ต่อกับคู่สายโทรศัพท์ทดลองส่งหมายเลขต่าง ๆ วัดสัญญาณที่ขาสัญญาณเอาท์พุทของ MT8870 ได้ตามตาราง

4. ภาค VOICE OPERATE SWITCH (VOX)

- ไม่ป้อนสัญญาณเสียงเข้าอินพุทของ NJM2072 ได้ลอจิก " 1 " เมื่อป้อนสัญญาณเสียงแล้วจะได้ลอจิก " 0 " ตรงกับที่ออกแบบเอาไว้

5. ภาค VOICE UNIT

- บันทึกสัญญาณเสียงโดยตั้งแอดเดรสที่ " 0 " กดปุ่ม RECORD แล้วป้อนสัญญาณเสียงผ่านไมโครโฟน เลื่อนแอดเดรสแล้วบันทึกข้อความถัดไปจนครบ

ทดลองบันทึกเสียง แล้วเล่นกลับ จะได้รูปสัญญาณที่บันทึกเอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ภาค AC LINE TRANSCEIVER

6.1 CODER ใช้ไอซีเบอร์ MC145026 แปลงข้อมูล 4 บิตแบบขนานเป็นแบบอนุกรม โดยสามารถตั้งแอดเดรสได้ 5 บิตและกำหนดความเร็วในการส่งข้อมูลได้โดย

$$f = 1 / (2.3 R_{TC} C_{TC})$$

จากวงจรใช้ R_{TC} = 10k ohm , C_{TC} = 0.047 uF

$$f = 1 / (2.3 \times 10 \times 10^{3} \times 0.047 \times 10^{-6})$$

$$= 925 \text{ Hz}$$

ความถี่เกิดความผิดพลาดจากการใช้อุปกรณ์ที่มีค่าความผิดพลาด 5 เปอร์เซนต์ แต่ค่าความถี่ผิดพลาดไม่เกิน 5 เปอร์เซนต์จึงสามารถใช้งานได้

เมื่อทดลองตั้งแอดเดรสเป็น 11111 และข้อมูลเป็น 1111 ให้ขา TE เป็นลอจิก " 0 " เพื่อให้อยู่ในโหมดส่ง วัดสัญญาณที่เอาท์พุทขา 15

6.2 DECODER ใช้ไอซีเบอร์ MC145027

ทดลองโดยการนำเอาท์พุทของ CODER MC145026 ป้อนเป็นอินพุทและตั้งแอดเดรสให้ตรงกัน วัดลอจิกที่ขา VT (VALID TRANSMISSION) เป็น 1 และข้อมูล ซึ่งตรงกับทางด้านส่งจากนั้นลองเปลี่ยนข้อมูลด้านส่งแล้ววัดลอจิกด้านรับก็ได้ตรงกันทุกค่า

6.3 ภาค CARRIER CURRENT TRANSCEIVER

ใช้ไอซีเบอร์ LM1893 เป็นไอซีที่ทำหน้าที่รับส่งกระแสคลื่นพาห์ผ่านสายไฟฟ้า 220 VAC โดยมอดูเลตแบบ FREQUENCY SHIFT KEYING

ขั้นตอนการปรับแต่ง

วงจรแท้งค์

ใช้ไอเอฟทรานส์ฟอร์เมอร์ต่อร่วมกับตัวเก็บประจุเพื่อจูนให้ความถี่ fo 125 kHz ผ่านได้ดีที่สุด

1. ป้อนสัญญาณคลื่นไซน์ด้านอินพุท
2. ใช้ OSCILLOSCOPE วัดด้านเอาท์พุท
3. ปรับความถี่คลื่นไซน์แล้วสังเกตุว่าความถี่ 125 kHz ผ่านได้ดีที่สุด โดยเปลี่ยนค่าตัวเก็บประจุ จากการทดลองได้ค่าตัวเก็บประจุ 33 nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมอดูเลต (LM1893)

ปรับความถี่ fo โดยทำให้อยู่ในโหมดส่ง ตั้งข้อมูลเป็น " 1 " วัดความถี่ที่ส่งออกไปแล้วเปลี่ยนข้อมูลเป็น " 0 " วัดความถี่ที่ได้

1. ขา 17 ข้อมูลเป็น " 0 "
2. ขา 5 โหมดส่งเป็น " 1 "
3. ใช้ FREQUENCY COUNTER วัดความถี่ที่ขา 10
4. ปรับ Ro ที่ขา 18 ให้ได้ความถี่ 1.022 fo = 127.7 kHz
5. ขา 17 ข้อมูลเป็น " 1 "
6. จะวัดความถี่ที่ขา 10 ได้ 122.25

ต่อไปจูนวงจรแท้งค์ โดยทำให้อยู่ในโหมดส่ง ป้อนสัญญาณรูปสี่เหลี่ยมเพื่อทดสอบ ต่อตัวต้านทาน 330 โอห์มที่ขดเซคคันดารีใช้ OSCILLSCOPE วัดที่ขา 10 แล้วปรับแต่งให้กรอบคลื่นความถี่ของข้อมูล " 0 " และ " 1 " เท่ากัน

1. ให้ ขา 5 โหมดส่งเป็น " 1 "
2. ป้อนสัญญาณสี่เหลี่ยมที่ความถี่ต่ำกว่าอัตราการส่งข้อมูลที่ขา 17
3. ต่อตัวต้านทาน 330 โอห์มที่เอาท์พุทของวงจรแท้งค์
4. ใช้ OSCILLOSCOPE วัดที่ขา 10
5. ปรับแกนเฟอร์โรท์ให้กรอบคลื่นต่ำที่สุด

ต่อภาค Base Station เข้ากับ Sub Control Unit ผ่าน AC LINE

ทดลองส่งข้อมูลจาก Base Station โดยตั้งแอดเดรสเป็น 11111 และข้อมูลเป็น 1111 ที่ MC145026 และตั้งแอดเดรสของ MC145027 ของ Sub Control Unit เป็น 1111 เช่นเดียวกัน ทำให้ Base Station เป็นตัวส่ง และ Sub Control เป็นตัวรับ แล้ววัดลอจิกที่เอาท์พุทของ MC145027 ที่ภาครับได้ 1111 เช่นเดียวกัน ทดลองเปลี่ยนข้อมูลก็ได้ผลตรงกัน แสดงว่าวงจรรับส่งกันได้ข้อมูลถูกต้อง

ทดลองส่งข้อมูลจาก Sub Control Unit มาที่ Base Station ก็ได้ผล เช่นเดียวกัน และเมื่อทดลองตั้งแอดเดรสไม่ตรงกันผลก็คือจะรับส่งข้อมูลกันไม่ได้ แสดงว่าวงจรนี้สามารถทำงานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองใช้งานของโครงงานระบบควบคุม 8 แชลแนลด้วยโทรศัพท์ผ่านสายไฟฟ้า และเพจเจอร์นี้ ชุด Sub Control Unit มีเอาท์พุท 4 ช่องและอินพุท 4 ช่อง จะสังเกตุได้ว่าสามารถนำไปประยุกต์เป็นระบบรักษาความปลอดภัยในบ้าน , เครื่องสั่งงานทางโทรศัพท์ , การส่งข้อมูลผ่านสายไฟฟ้าได้ ระบบนี้เป็นแบบ CLOSE LOOP เพื่อความแน่นอนของการสั่งงานซึ่งจะป้อนกลับสัญญาณจากเอาท์พุทมาควบคุมอินพุทได้และจะรายงานผลสภาวะการทำงานของโหลดหรืออินพุทซึ่งรับมาจาก SENSOR ต่าง ๆ เช่น ตัวตรวจจับควัน , สวิตช์ประตู ฯลฯ มายัง Pager ตามรหัสซึ่งตั้งเอาไว้ล่วงหน้า

จากการสร้างโครงงานนี้ได้พบกับอุปสรรคและปัญหาบางประการคือ วงจรรับส่งข้อมูลผ่านสายไฟฟ้าในส่วนของ CODER MC145026 ค่า C และ R ที่ใช้จัดความถี่ OSCILLATOR นั้นที่คำนวณได้จะหาไม่ได้ตามท้องตลาดจำเป็นต้องใช้ค่าใกล้เคียง ซึ่งทำให้ความถี่ผิดพลาดไปเล็กน้อยแต่ก็สามารถใช้งานได้

และวงจรมอดูเลต (LM1893) ก็เช่นเดียวกันใช้อุปกรณ์ที่มีค่าใกล้เคียงกับที่คำนวณทำให้ความถี่ CUTOFF เลื่อนไป และวงจรแท้งค์ไม่สามารถหาไอเอฟทรานฟอเมอร์ตามที่กำหนดได้ทำให้ไม่แมทช์กับความถี่ fo ที่ 125 kHz แก้ปัญหาโดยใช้ไอเอฟทรานฟอเมอร์ที่มีอยู่แล้วเปลี่ยนค่า C ให้เหมาะสมก็จะช่วยได้ และการส่งข้อมูลผ่านสายไฟฟ้ามีน้อยส์ และฮาร์โมนิคจากสายไฟฟ้ามารบกวนพอสมควร แต่ก็สามารถรับส่งข้อมูลได้ถูกต้อง แต่เมื่อปรับความห่างของตัวรับและส่งออกไปจะต้องทำการจูนวงจรแท้งค์ใหม่เนื่องจากความต้านทานของสายไฟฟ้าเปลี่ยนไป

ส่วนของซอฟแวร์เมื่อทำการนำไปควบคุมฮาร์ดแวร์แล้ว จะมีปัญหาเกิด Bug ขึ้น ไม่สามารถควบคุมขั้นตอนการทำงานบางอย่างได้ จึงต้องมีการแก้โปรแกรมมากพอสมควรจึงใช้งานได้

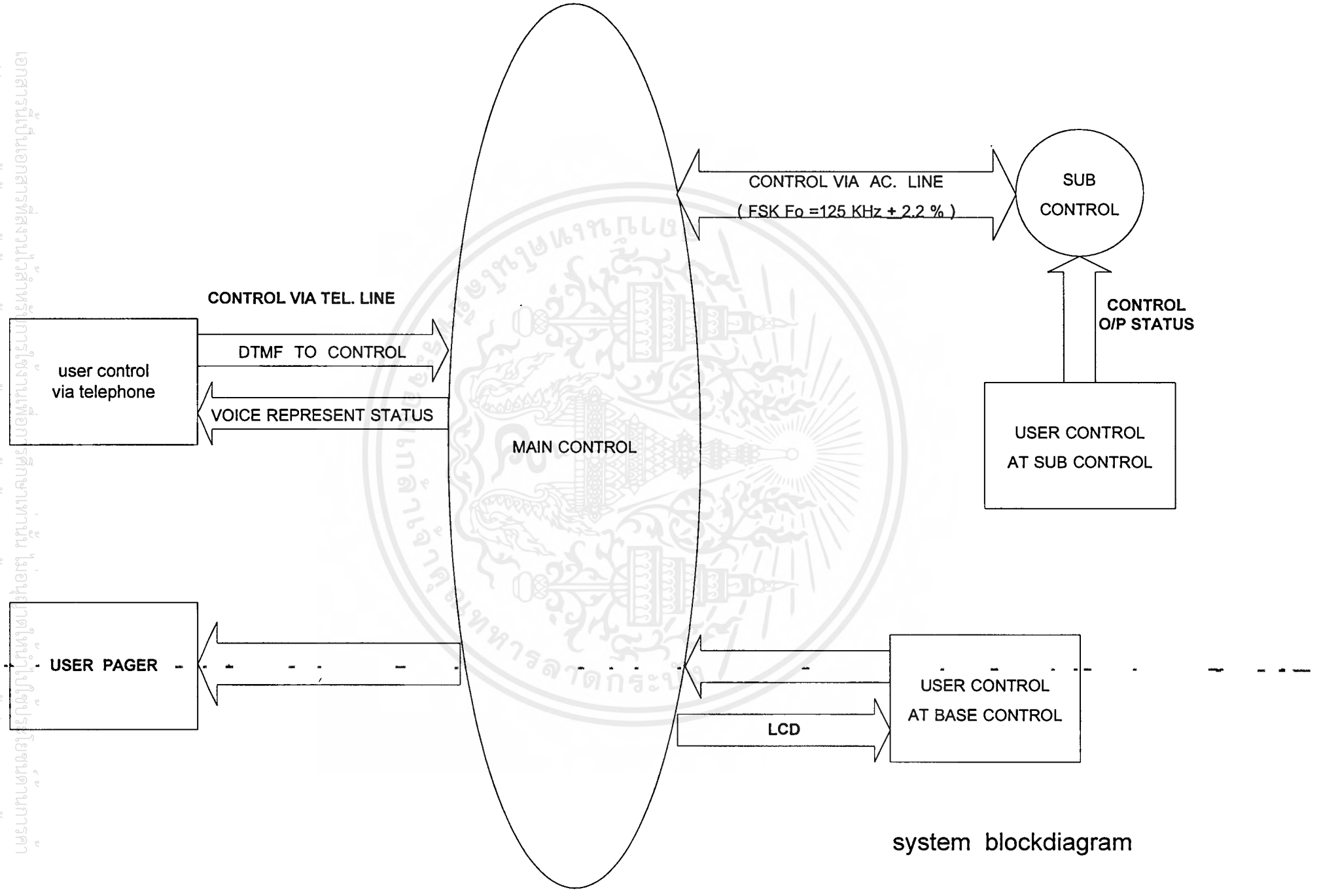
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

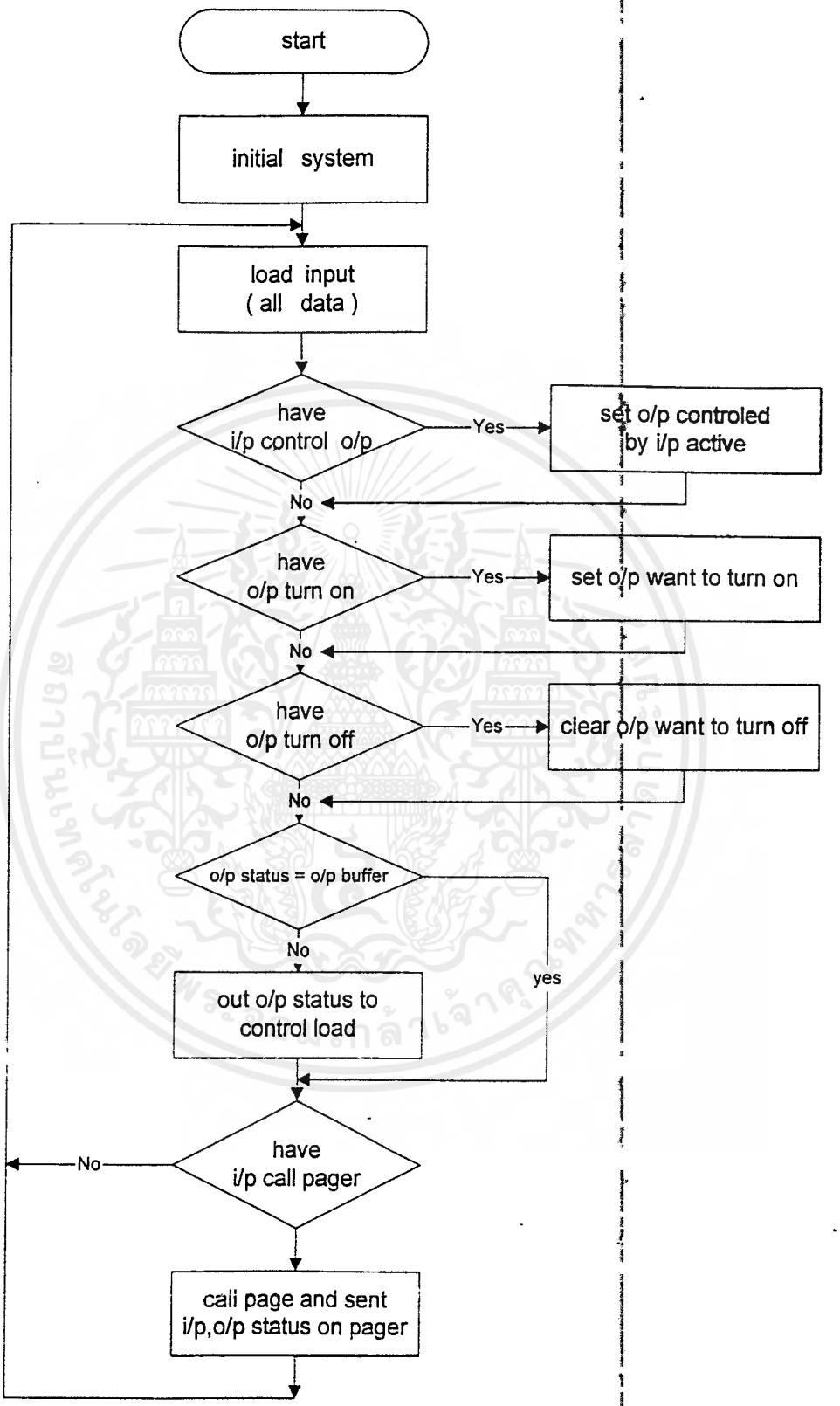
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
MONITOR PROGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

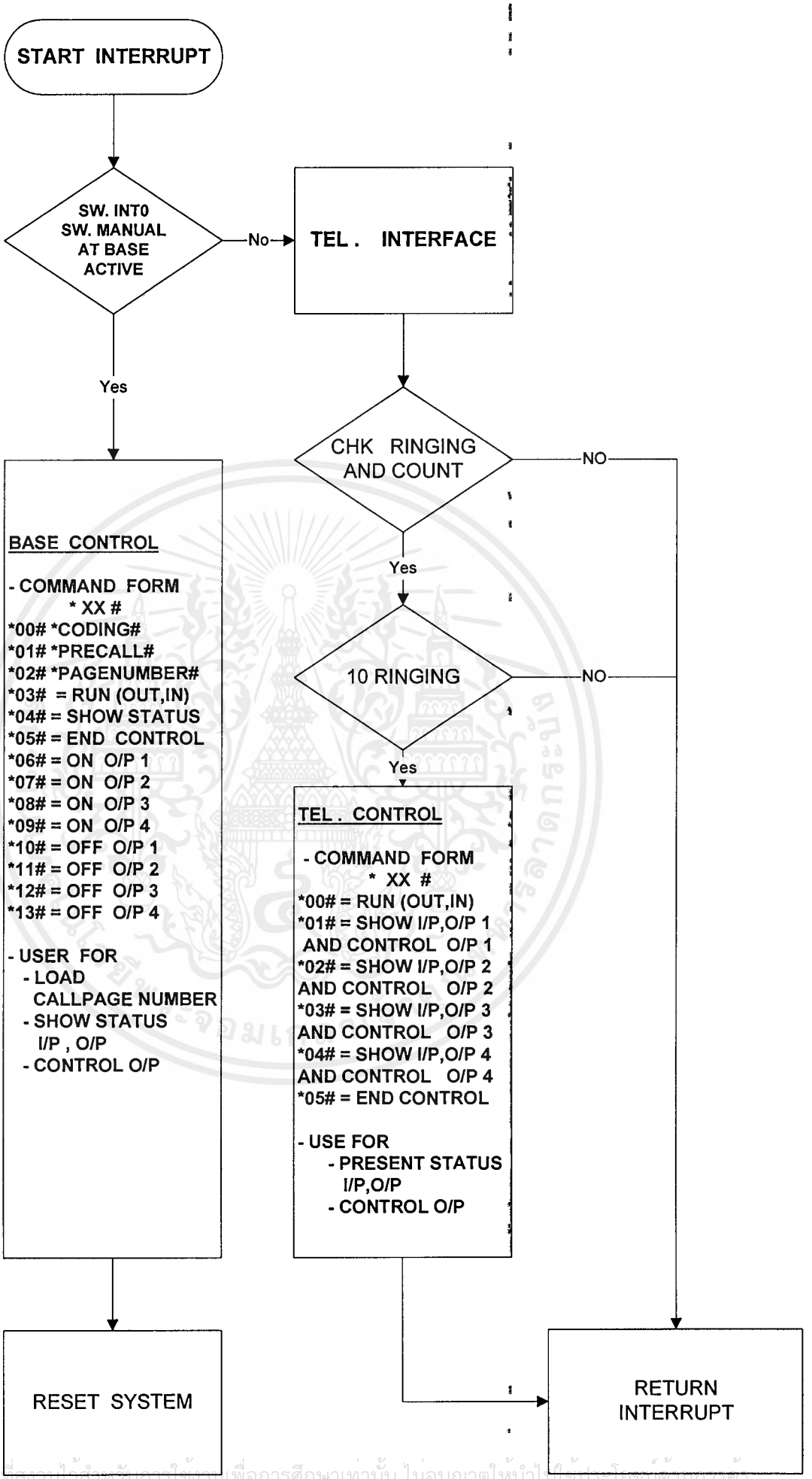


system blockdiagram



MAIN FLOWCHART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INTERRUPT FLOWCHAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

```
;DEFINE  CHARACTER USED FOR DTMF
                ZERO    EQU     0AH
                ONE     EQU     01H
                TWO     EQU     02H
                TREE    EQU     03H
                FOUR    EQU     04H
                FIVE    EQU     05H
                SIX     EQU     06H
                SEVEN   EQU     07H
                EIGHT   EQU     08H
                NINE    EQU     09H
                STAR    EQU     0BH
                SQUARE  EQU     0CH
;DEFINE P1.X FOR  EEPROM
                EEPCSS  EQU     P1.0    ;
                EEPCLK  EQU     P1.1
                EEPINP  EQU     P1.2
                EEPOUT  EQU     P1.3

                BASEINT EQU     P1.4    ;USED FOR INT
                LO1SHI0 EQU     P1.5
                SERCLK  EQU     P1.6
                SERIN   EQU     P1.7
;DEFINE P3.X FOR INT
                INT0BIT EQU     P3.2
;DEFINE REGISTER_B
                REGISTER_B      EQU     0F0H
;DEFINE FOR PORT
        PORT1   EQU     06000H ;0-3=DTMFGEN,4=DTMFCON,5-6=RELAY A-B
                               ;7=TRIG TIMER(INT 0)
        PORT2   EQU     06001H ;0-3=SEL SUB,4-7=DATA TO SUB
        PORT3   EQU     06002H ;0-3=PE-PL-A0-A1 4=SENT DATA TO AC
  CONTROLP123   EQU     06003H ;ALL O/P = #80H
        PORT4   EQU     0E000H ;0-3=DTMFDECODE
        PORT5   EQU     0E001H ;0=VOX,1=INT0MAN 2=10RINGCHK,4=HOOKSW
                               ;4-7=SUB ENABLE
        PORT6   EQU     0E002H ;0-3=DATA FROM SUB,4=DATA'SUB READY
  CONTROLP456   EQU     0E003H ;ALL INPUT =#9BH
;DEFINE FOR LCD
                LCDWRC  EQU     0C000H ;LCD WRITE CONTROL
                LCDRDC  EQU     0C001H ;LCD READ CONTROL
                LCDWRD  EQU     0C002H ;LCD WRITE DATA
                LCDRDD  EQU     0C003H ;LCD READ DATA
                UPPER    EQU     80H
                LOWER   EQU     0C0H
;DEFINE FOR BLANK REGISTER
               XR0      EQU     00H
               XR1      EQU     01H
               XR2      EQU     02H
               XR3      EQU     03H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                XR4         EQU      04H
                XR5         EQU      05H
                XR6         EQU      06H
                XR7         EQU      07H
;USED FOR CONTROL SUB
                CONOUT1              EQU      0FH
                CONFEED1             EQU      1FH

;BIT ADDREASSABLE
                ORG 20H
;20H
                NO_USED:             DS       1
                NOU_SED:             DS       1
                NOUS_ED:             DS       1
                NOUSE_D:             DS       1
                OPSTA11:             DS       1
                OPSTA12:             DS       1
                OPSTA13:             DS       1
                OPSTA14:             DS       1
;21H
                NOT_USE:             DS       1
                NOTU_SE:             DS       1
                NOTUS_E:             DS       1
                NOTUSE_:             DS       1
                IPSTA11:             DS       1
                IPSTA12:             DS       1
                IPSTA13:             DS       1
                IPSTA14:             DS       1
;22H
                CALLED:              DS       1
                CALLERROR1:          DS       1
                CALLERROR2:          DS       1
                CALLERROR3:          DS       1
                CALLERROR4:          DS       1
                CALLERROR5:          DS       1
                CALLERROR6:          DS       1
                CALLFAIL:            DS       1
;DEFINE BYTE IN BITADDRESSABLE
                OUTPUT_STATUS   EQU      20H
                INPUT_BUF       EQU      21H
                CALLSTATUS      EQU      26H
                SUB21IN         EQU      24H
                SUB43IN         EQU      25H
;BYTE ADDRESSABLE
                ORG 30H
                PRECALL:             DS       8
                CALLNUM:             DS       8
                OUTPUT_BUF:          DS       1
                WANT_TO_ON_BUF:      DS       1
                WANT_TO_OFF_BUF:     DS       1
                STA_TO_DTMF:         DS       8       ;IN  CONVERT
                ALL_STAR:            DS       2       ;IN   SENTSTATUS
;DEFINE CODE (5 NUMBERS)
                CODE:                DS       5
;USED FOR SUMMING IN COMMAND     JMP   @A+DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SUMJUMP:        DS      1       ;A

                PRECHANGE:      DS      16      ;convert for show num


;PARAMETER FOR DELAY

                TX1     EQU     0A8H
                TX2     EQU     0FFH
                TX3     EQU     0FFH

                RX1     EQU     02AH            ;1/10  OF TIMEOUT ER
                RX2     EQU     0FFH            ;TIMEOUT ERROR = 5 S
                RX3     EQU     0FFH

                T2SEC1  EQU     0A8H
                T2SEC2  EQU     0FFH
                T2SEC3  EQU     0FFH

                T1SEC1  EQU     54H
                T1SEC2  EQU     0FFH
                T1SEC3  EQU     0FFH

;USED  FOR  VOICE_CONTROL
                VOICE1  EQU     01H
                VOICE2  EQU     02H
                VOICE3  EQU     03H
                VOICE4  EQU     04H
                VOICE5  EQU     05H
                VOICE6  EQU     06H
                VOICE7  EQU     07H
                VOICE8  EQU     08H

;*************************************************************


                        ORG 0000H
ORIGIN:         SJMP    START

                        ORG 0003H
                LJMP    INTERRUPT

                        ORG 0040H
START:          MOV     IE,#00H
                MOV     P1,#00H
                MOV     OUTPUT_STATUS,#00H
                MOV     CALLSTATUS,#00H         ;CLEAR BYTE
                LCALL   EEPEN
                MOV     DPTR,#CONTROLP123
                MOV     A,#80H
                MOVX    @DPTR,A                 ;SET PORT123 =O/P
                MOV     DPTR,#CONTROLP456
                MOV     a,#9BH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVX    @DPTR,A                 ;SET PORT456 =I/P
                MOV     A,#00111000B            ;FUNCTION SET
                LCALL   LCDWI                   ;8 BIT, 2 LINE ,5*7
                MOV     A,#00001110B            ;DISPLAY ON/OFF
                LCALL   LCDWI                   ;ON,SHOW CURSOR,CURS
                MOV     A,#00000001B            ;CLEAR
                LCALL   LCDWI
                CLR     A
                MOV     R2,0FH
                MOV     R0,20H
CLRRAM:         MOV     @R0,A                   ;CLR BIT ADDRESSABLE
                INC     R0
                DJNZ    R2,CLRRAM

                MOV     DPTR,#PORT1             ;FIRST OUT=0 TO 8255
                MOV     R2,#3
                CLR     A
CLRPORT1:       MOVX    @DPTR,A                 ;CLEAR O/P PORT
                INC     DPTR
                DJNZ    R2,CLRPORT1
                MOV     DPTR,#INITIAL__OK_
                MOV     R5,#UPPER
                LCALL   SHOWLCD
MAIN:           LCALL   SUBIN                   ;IN ALL DATA
                LCALL   PROCESS                 ;PROCESS DATA AND CO
                LCALL   I_CALLPAGE              ;CHK INPUT CALLPAGER
                SJMP    MAIN


;************************SHOWLCD************************

SHOWLCD:        PUSH    ACC
                PUSH    XR2
                MOV     A,R5
                LCALL   CDLDPS
                POP     XR2
                POP     ACC
                RET
      CDLDPS:   LCALL   LCDWI
                MOV     R2,#16                ;16 IS DEC
      CDLDPS1:  CLR     A
                MOVC    A,@A+DPTR
                LCALL   LCDWD
                INC     DPTR
                DJNZ    R2,CDLDPS1
                RET
;************************LCDWD*************************

      LCDWD:    PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#LCDWRD
                MOVX    @DPTR,A
                MOV     DPTR,#LCDRDC
      LCDWD1:   MOVX    A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JB      ACC.7,LCDWD1
                POP     DPL
                POP     DPH
                RET
;************************LCDWI*****************************

      LCDWI:    PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#LCDWRC
                MOVX    @DPTR,A
                MOV     DPTR,#LCDRDC
      LCDWI1:   MOVX    A,@DPTR
                JB      ACC.7,LCDWI1
                POP     DPL
                POP     DPH
                RET

;*****************************SUB IN*****************************
;LOAD DATA FROM SUB CONSIS OFF I/P,O/P,WANT TO ON,WANT TO OFF
;IN = NOT
;REG = ACC,R2,R3,R4

SUBIN:          PUSH    PSW
                PUSH    ACC
                PUSH    XR2
                PUSH    XR3
                MOV     R2,#CONFEED1
                MOV     R3,#0F1H
                LCALL   SUBINLOOP
                MOV     R3,#0F2H
                LCALL   SUBINLOOP
                MOV     R3,#0F4H
                LCALL   SUBINLOOP
                MOV     R3,#0F8H
                LCALL   SUBINLOOP
                POP     XR3
                POP     XR2
                POP     ACC
                POP     PSW
                RET

SUBINLOOP:      LCALL   TXACRX
                LCALL   CHKERROR
                MOV     A,R4
                JB      ACC.7,SUBLOOP2          ;ACC.7=1 ERROR OCCUR
                LCALL   LOGDATA
SUBLOOP2:       RET

;*********************************TX_AC_RX************************
;SENT DATA FROM MAIN TO SUB
;IN = R2(ADDRESS SUB CONT. LOGIC),R3(DATA TO SELECT BUFFER FEEDBACK)
;REG = ACC,R2,R3,R4,R5,DPTR
;OUT = R4(DATA RECEIVED (BIT7 = 0 DATA OK ,= 1 ERROR )
TXACRX:         PUSH    PSW
                PUSH    ACC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                PUSH    XR5
                PUSH    DPH
                PUSH    DPL
                MOV     A,R2
                ANL     A,R3
                MOV     DPTR,#PORT2
                MOVX    @DPTR,A
                MOV     A,#10H
                MOV     DPTR,#PORT3
                MOVX    @DPTR,A
                LCALL   DELAYTX
                CLR     A
                MOV     DPTR,#PORT3
                MOVX    @DPTR,A
                MOV     A,R2
                JNB     ACC.4,TXACRXEND
                MOV     R5,#0AH
TXACRX2:        MOV     DPTR,#PORT6
                MOVX    A,@DPTR
                JB      ACC.4,RXOK
                LCALL   DELAYRX                 ;CHK TIMEOUT ERROR
                DJNZ    R5,TXACRX2
                MOV     R4,#80H                 ;RECEIVE FAIL SET BI
                SJMP    TXACRXEND
RXOK:           ANL     A,#0FH                  ;RECEIVED BIT7=0 ,LS
                MOV     R4,A
TXACRXEND:      POP     DPL
                POP     DPH
                POP     XR5
                POP     ACC
                POP     PSW
                RET

;*******************************CHK ERROR*****************************

CHKERROR:       PUSH    PSW
                PUSH    ACC
                PUSH    XR5
                MOV     A,R4
                JNB     ACC.7,ENDCHKERROR
                MOV     DPTR,#HAVE_ERROR_SUB
                MOV     R5,#UPPER
                LCALL   SHOWLCD
                MOV     A,R3                    ;CHK WHAT BUFFER ERR
                MOV     DPTR,#INPUT_RESPONSE
                JB      ACC.0,CHKERROR2
                MOV     DPTR,#OUTPUT_RESPONSE
                JB      ACC.1,CHKERROR2
                MOV     DPTR,#WANT_TO_ON_RESPONSE
                JB      ACC.2,CHKERROR2
                MOV     DPTR,#WANT_TO_OFF_RESPONSE
CHKERROR2:      MOV     R5,#LOWER
                LCALL   SHOWLCD
ENDCHKERROR:    POP     XR5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     ACC
                POP     PSW
                RET

;*****************************LOG  DATA*************************

LOGDATA:        POP     PSW
                POP     ACC
                POP     XR0
                MOV     A,R3
                MOV     R0,#INPUT_BUF
                JB      ACC.0,LOGDATA2
                MOV     R0,#OUTPUT_BUF
                JB      ACC.1,LOGDATA2
                MOV     R0,#WANT_TO_ON_BUF
                JB      ACC.2,LOGDATA2
                MOV     R0,#WANT_TO_OFF_BUF
LOGDATA2:       MOV     A,R4
                ANL     A,#0FH
                MOV     @R0,A
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;*****************************PROCESS*****************

PROCESS:        PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                PUSH    XR1
                PUSH    XR2
                PUSH    XR3
                PUSH    XR4
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
                MOV     A,INPUT_BUF             ;
                JZ      PROCESS2                ;NO I/P DON'T I/P CO
                LCALL   I_CON_O
PROCESS2:       MOV     R0,#WANT_TO_ON_BUF
                MOV     R1,#WANT_TO_OFF_BUF
                MOV     A,OUTPUT_STATUS
                ORL     A,@R0                   ;SET WANT TO ON TO O
                XRL     WANT_TO_OFF_BUF,#0FFH
                ANL     A,@R1                   ;CLR WANT TO OFF ON
                                                ;PIORITY WANT TO OFF
                MOV     OUTPUT_STATUS,A
                CJNE    A,OUTPUT_BUF,PROCESS3   ;COMPARE O/P STATUS
                                                ;EQUAL = NOT CONTROL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    NOTEQUAL = CONTROL
                SJMP    PROCESS4
                MOV     R6,#0FH
PROCESS3:       LCALL   SUBOUT
                MOV     R2,CONFEED1
                MOV     R3,#0F4H
                LCALL   SUBINLOOP
                MOV     A,OUTPUT_STATUS
                MOV     R0,#OUTPUT_BUF
                XRL     A,@R0
                DJNZ    R6,PROCESS4
                JNZ     PROCESS3
                LJMP    ENDPROCESS
PROCESS4:       MOV     DPTR,#ERROR_OUTPUT_CON
                MOV     R5,#LOWER
                LCALL   SHOWLCD
ENDPROCESS:     POP     DPL
                POP     DPH
                POP     XR7
                POP     XR6
                POP     XR5
                POP     XR4
                POP     XR3
                POP     XR2
                POP     XR1
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;*******************************I_CON_O*****************************


I_CON_O:        PUSH    ACC
                LCALL   LOADSER         ;LOAD SERIEAL 16 BIT(I CON O
                MOV     A,INPUT_BUF
                JNB     ACC.0,I_CON2
                MOV     A,SUB21IN
                ANL     A,#0FH
                ORL     OUTPUT_STATUS,A  ;CONTROL O/P BY I/P 1 ACTIV
I_CON2:         MOV     A,INPUT_BUF
                JNB     ACC.1,I_CON3
                MOV     A,SUB21IN
                SWAP    A
                ANL     A,#0FH
                ORL     OUTPUT_STATUS,A  ;CONTROL O/P BY I/P 2 ACTIV
I_CON3:         MOV     A,INPUT_BUF
                JNB     ACC.2,I_CON4
                MOV     A,SUB43IN
                ANL     A,#0FH
                ORL     OUTPUT_STATUS,A  ;CONTROL O/P BY I/P 3 ACTIV
I_CON4:         MOV     A,INPUT_BUF
                JNB     ACC.3,I_CON5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     A,SUB43IN
                SWAP    A
                ANL     A,#0FH
                ORL     OUTPUT_STATUS,A  ;CONTROL O/P BY I/P 4 ACTIV
I_CON5:         POP     ACC
                RET

;*********************************LOAD SERIAL INPUT (DIP SW.)********

 LOADSER:       PUSH    PSW
                PUSH    ACC
                PUSH    XR2
                SETB    LO1SHI0          ;= 1 (LOAD DATA MODE)
                LCALL   ONECLKSER
                LCALL   ONECLKSER
                CLR     LO1SHI0          ;= 0 (SHIFT DATA MODE)
                LCALL   SERSHIFT
                MOV     SUB43IN,A
                LCALL   SERSHIFT
                MOV     SUB21IN,A
                POP     XR2
                POP     ACC
                POP     PSW
                RET

ONECLKSER:      SETB    SERCLK
                NOP
                NOP
                NOP
                NOP
                NOP
                CLR     SERCLK
                RET

SERSHIFT:       MOV     R2,08H
SERSHIFT2:      MOV     C,SERIN
                RLC     A
                DJNZ    R2,SERSHIFT
                RET

;************************************SUB OUT**********************

SUBOUT:         POP     PSW
                POP     ACC
                POP     XR2
                POP     XR3
                MOV     R2,CONOUT1
                MOV     R3,OUTPUT_STATUS
                LCALL   TXACRX
                POP     XR3
                POP     XR2
                POP     ACC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     PSW
                RET


;*******************************I_CALLPAGE*************************


I_CALLPAGE:     PUSH    PSW
                PUSH    ACC
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#PORT5
                MOVX    A,@DPTR         ;IN I/P CALLPAGER ENABLE
                ANL     A,#0FH
                JZ      END_I_CALL      ;DON'T SET TO END
                ANL     A,INPUT_BUF     ;
                JZ      END_I_CALL      ;I/P ACTIVE DON'T ENABLE TO
                LCALL   CALLPAGE
END_I_CALL:     POP     DPL
                POP     DPH
                POP     ACC
                POP     PSW
                RET

;*************************CALL PAGER*********************************

CALLPAGE:       PUSH    PSW
                PUSH    ACC
                PUSH    XR2
                PUSH    XR3
                PUSH    XR5
                PUSH    DPH
                PUSH    DPL
CALLPAGE1:      LCALL   PRETEL          ;CHK LINE STATUS
                JZ      ENDCALL         ;LINE USING TO END
                LCALL   CHKCALLSTA
                JZ      ENDCALL         ;A=00(END CALL)
                MOV     A,#PRECALL      ;READ PRECALL FROM EE TO RAM
                ANL     A,#0FH
                LCALL   EEPRD
                MOV     PRECALL,R2
                MOV     PRECALL+1,R3
                MOV     A,#PRECALL+2
                MOV     A,#0FH
                LCALL   EEPRD
                MOV     PRECALL+2,R2
                MOV     PRECALL+3,R3
                MOV     A,#PRECALL+4
                ANL     A,#0FH
                LCALL   EEPRD
                MOV     PRECALL+4,R2
                MOV     PRECALL+5,R3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     A,#PRECALL+6
                MOV     A,#0FH
                LCALL   EEPRD
                MOV     PRECALL+6,R2
                MOV     PRECALL+7,R3
                MOV     R0,#PRECALL     ;SENT PRECALL TO TEL LINE
                LCALL   SENTDTMF
                LCALL   CHKVOICE        ;WAIT FOR VOICE
                JZ      CALLPAGE1       ;A=00 NOT VOICE TIMEOUT ERRO
                MOV     R0,#CALLNUM     ;SENT CALLNUMBER
                LCALL   SENTDTMF
                JNZ     CALLPAGE1       ;HAVE VOICE DURING SENT ERRO
                LCALL   CHKVOICE        ;WAIT FOR VOICE
                JZ      CALLPAGE1
                LCALL   SENTSTATUS      ;SENT STATUS TO TEL LINE
                JNZ     CALLPAGE1       ;A NONZERO = ERROR
                LCALL   CHKVOICE        ;WAIT FOR VOICE
                JZ      CALLPAGE1       ;NO VOICE ERROR
                SETB    CALLED          ;CALL PAGE OK SET CALLED BIT
ENDCALL:        CLR     A
                MOV     DPTR,#PORT1
                MOVX    @DPTR,A                 ;CONTROL RELAY OFF E
                MOV     DPTR,#SYSTEMCALLED      ;SHOW LCD
                JB      CALLED,ENDCALL2         ;CHK CALLED COMPLETE
                JNB     CALLFAIL,ENDCALL3       ;CHK CALLFAIL(MORE F
                MOV     DPTR,#CALLPAGEFAIL
ENDCALL2:       MOV     R5,UPPER
                LCALL   SHOWLCD
ENDCALL3:       POP     DPL
                POP     DPH
                POP     XR5
                POP     XR3
                POP     XR2
                POP     ACC
                POP     PSW
                RET

;*****************************PRE TEL*********************************
;CHK TEL LINE STATUS
;IN = NOT
;REG = ACC,DPTR
;OUT = A(0=LINE USING,FF=LINE OK)
PRETEL:         PUSH    PSW
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#PORT5
                MOVX    A,@DPTR
                JB      ACC.3,USED
                CLR     A
                CPL     A
                SJMP    ENDPRETEL
USED:           CLR     A
ENDPRETEL:      POP     DPL
                POP     DPH
                POP     PSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

;*****************************CHECK CALL STATUS*********************
;CHK LINE TEL
;IN = NOT
;REG = A
;OUT = A (OO = DON'T TRY TO CALL,FF = CALL)
CHKCALLSTA:     PUSH    PSW
                JB      CALLED,CLRA         ;CALLED COMPLETE TO END
                JB      CALLFAIL,CLRA       ;CAN'T CALL MORE FAILED
                CPL     CALLERROR1
                JB      CALLERROR1,SETA
                CPL     CALLERROR2
                JB      CALLERROR2,SETA
                CPL     CALLERROR3
                JB      CALLERROR3,SETA
                CPL     CALLFAIL
                JB      CALLFAIL,CLRA
SETA:           CLR     A
                CPL     A
                SJMP    ENDCALLSTA
CLRA:           CLR     A
ENDCALLSTA:     POP     PSW
                RET

;************************************SENT DTMF**********************
;SENT DTMF TO TEL LINE  (8 BYTE OR DETECT SQUARE)
;IN = R0(ADDRESS ON RAM TO SENT)
;REG = A,R0,R2,R3,DPTR
;OUT = A

SENTDTMF:       PUSH    PSW
                PUSH    XR2
                PUSH    XR3
                PUSH    DPH
                PUSH    DPL
                MOV     R3,#03H             ;SET FIRST CHK NOT VOICE
SENTDTMF1:      MOV     R2,#08H             ;MAG BYTE(NUMBER) TO SENT
SENTDTMF2:      MOV     A,@R0
                CJNE    A,#SQUARE,SENTDTMF3     ;IF = SQUARE TO END
                SJMP    ENDSENTDTMF
SENTDTMF3:      ORL     A,#20H              ;ORL FOR CONTROL RELAY A ON
                MOV     DPTR,#PORT1
                MOVX    @DPTR,A
                LCALL   DELAYT2SEC
                INC     R0
                DJNZ    R3,SENTDTMF4
                LCALL   CHKVOICE            ;IF ERROR SENT A=FF RETURN
                JZ      ENDSENTDTMF2
SENTDTMF4:      DJNZ    R2,SENTDTMF2
ENDSENTDTMF:    CLR     A
ENDSENTDTMF2:   POP     DPL
                POP     DPH
                POP     XR3
                POP     XR2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     PSW
                RET

;************************CHECK VOICE*************************************
;CHK VOICE
;IN = NOT
;REG = A,R2,DPTR
;SENT = A(FF=HAVE VOICE,00=DON'T HAVE)
CHKVOICE:       PUSH    PSW
                PUSH    XR2
                PUSH    DPH
                PUSH    DPL
                MOV     R2,#06H
                MOV     DPTR,#PORT5
CHKVOICE2:      MOVX    A,@DPTR
                LCALL   DELAYT1SEC
                JNB     ACC.0,CHKVOICE3         ;VOC ACTIVE LOW
                DJNZ    R2,CHKVOICE2
                SJMP    CHKVOICE4
CHKVOICE3:      CLR     A
                CPL     A
                SJMP    CHKVOICE5               ;HAVE VOICE A=FF
CHKVOICE4:      CLR     A                       ;DON'T HAVE VOICE A=
CHKVOICE5:      POP     DPL
                POP     DPH
                POP     XR2
                POP     PSW
                RET
;*************************SENT   STATUS**************************
;SENT I/P,O/P STATUS
;IN = NOT
;REG = A,DPTR,RO
;OUT = A(00=SENT OK)
SENTSTATUS:     PUSH    PSW
                PUSH    XR0
                MOV     ALL_STAR,#STAR
                MOV     ALL_STAR+1,#SQUARE
                MOV     A,INPUT_BUF
                LCALL   SENTSTALOOP
                JNZ     ENDSENTSTA
                MOV     A,OUTPUT_BUF
                LCALL   SENTSTALOOP
                JNZ     ENDSENTSTA
                MOV     A,#SQUARE
                ORL     A,#20H
                MOV     DPTR,#PORT1
                MOVX    @DPTR,A
                CLR     A
ENDSENTSTA:     POP     XR0
                POP     PSW
                RET

SENTSTALOOP:    LCALL   CONVERT
                MOV     R0,#STA_TO_DTMF
                LCALL   SENTDTMF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JNZ     SENTSTALOOP2
                MOV     R0,#ALL_STAR
                LCALL   SENTDTMF
SENTSTALOOP2:   RET

;*********************************CONVERT*********************************
;CONVERT I/P BUF,O/P STATUS TO SENT ON TEL LINE
;IN = A
;REG = A,R0,R2
CONVERT:        PUSH    PSW
                PUSH    XR0
                PUSH    XR2
                MOV     R0,#STA_TO_DTMF ;TAKE DTMF CONVERTED BEFORE
                MOV     R2,#80H         ;CONVERT 8 BIT
CONVERT2:       RLC     A
                JC      SETONE
                MOV     @R0,#ZERO
                SJMP    CONVERT3
SETONE:         MOV     @R0,#ONE
CONVERT3:       INC     R0
                DJNZ    R2,CONVERT2
                POP     XR2
                POP     XR0
                POP     PSW
                RET

;*****************************EEPROM**********************
;EEPROM READ DATA ,
;IN A (ADDRESS 0-3FH)
;OUT = R2,R3  DATA
;REG = A,R0,R2,R3

EEPRD:          PUSH    PSW
                PUSH    XR0
                SETB    EEPCSS          ;CHIP SELECT
                ANL     A,#3FH
                ORL     A,#80H          ;10XXXXXX
                LCALL   EEPAD
                MOV     R0,#8
EEPRD2:         LCALL   EEPCK
                MOV     C,EEPOUT
                RLC     A
                DJNZ    R0,EEPRD2
                MOV     R3,A
                MOV     R0,#8
EEPRD3;         LCALL   EEPCK
                MOV     C,EEPOUT
                RLC     A
                DJNZ    R0,EEPRD3
                MOV     R2,A
                CLR     EEPCSS
                POP     XR0
                POP     PSW
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;EEPROM WRITE DATA
;IN = A  ADDRESS 0-3FH
;IN = R2,R3 DATA
;REG = A,R0

EEPWR:      PUSH    PSW
            PUSH    XR0
            SETB    EEPCSS          ;CHIP SELECT
            ANL     A,#3FH
            ORL     A,#40H          ;01XXXXXX
            LCALL   EEPAD
            MOV     R0,#8
            MOV     A,R3
EEPWR2:     RLC     A
            MOV     EEPINP,C
            LCALL   EEPCK
            DJNZ    R0,EEPWR2
            MOV     R0,#8
            MOV     A,R2
EEPWR3:     RLC     A
            MOV     EEPINP,C
            LCALL   EEPCK
            DJNZ    R0,EEPWR3
            LCALL   EEPCH
            POP     XR0
            POP     PSW
            RET

;EEPROM ERASE DATA (2 BYTE)
;IN = A  ADDRESS 0-3FH
;REG = A,R0

EEPER:      PUSH    PSW
            PUSH    XR0
            SETB    EEPCSS          ;CHIP SELECT
            ANL     A,#3FH
            ORL     A,#0C0H         ;11XXXXXX
            LCALL   EEPAD
            LCALL   EEPCH
            POP     XR0
            POP     PSW
            RET

;EEPROM ERASE ALL
;REG = A,R0

EEPEA:      PUSH    PSW
            PUSH    ACC
            PUSH    XR0
            SETB    EEPCSS
            MOV     A,#20H
            LCALL   EEPAD
            MOV     A,#0
            LCALL   EEPCH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;EEPROM  ENABLE (FOR WRITE/READ)
;REG = A,R0

EEPEN:          PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                SETB    EEPCSS
                LCALL   EEPAD
                CLR     EEPCSS
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;EEPROM WRITE  OPCODE,ADDRESS
;IN = A         OPCODE,ADDRESS XXYYYYYY
;REG = A,RO

EEPAD:          PUSH    PSW
                PUSH    XR0
                SETB    EEPINP
                LCALL   EEPCK
                MOV     R0,#8
EEPAD1:         RLC     A
                MOV     EEPINP,C
                LCALL   EEPCK
                DJNZ    R0,EEPAD1
                POP     XR0
                POP     PSW
                RET

;EEPROM CLOCK GENERATE
;REG = NOT

EEPCK:          SETB    EEPCLK
                NOP
                NOP
                CLR     EEPCLK
                RET

;EEPROM STATUS CHECK (FOR WRITE/ERASE)
;IN = A
;REG = NOT

EEPCH:          CLR     EEPCSS
                NOP
                NOP
                SETB    EEPCSS
                NOP
                NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JNB     EEPOUT,$        ;******
                CLR     EEPCSS
                RET



;*********************************ALL  DELAY**********************

DELAYTX:        PUSH    PSW
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                MOV     R5,#TX1
DTX1:           MOV     R6,#TX2
DTX2:           MOV     R7,#TX3
DTX3:           DJNZ    R7,DTX3
                DJNZ    R6,DTX2
                DJNZ    R5,DTX1
                POP     XR7
                POP     XR6
                POP     XR5
                POP     PSW
                RET
DELAYRX:        PUSH    PSW
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                MOV     R5,#RX1
DRX1:           MOV     R6,#RX2
DRX2:           MOV     R7,#RX3
DRX3:           DJNZ    R7,DRX3
                DJNZ    R6,DRX2
                DJNZ    R5,DRX1
                POP     XR7
                POP     XR6
                POP     XR5
                POP     PSW
                RET
DELAYT2SEC:     PUSH    PSW
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                MOV     R5,#T2SEC1
D2SEC1:         MOV     R6,#T2SEC2
D2SEC2:         MOV     R7,#T2SEC3
D2SEC3:         DJNZ    R7,D2SEC3
                DJNZ    R6,D2SEC2
                DJNZ    R5,D2SEC1
                POP     XR7
                POP     XR6
                POP     XR5
                POP     PSW
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DELAYT1SEC:     PUSH    PSW
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                MOV     R5,#T1SEC1
D1SEC1:         MOV     R6,#T1SEC2
D1SEC2:         MOV     R7,#T1SEC3
D1SEC3:         DJNZ    R7,D1SEC3
                DJNZ    R6,D1SEC2
                DJNZ    R5,D1SEC1
                POP     XR7
                POP     XR6
                POP     XR5
                POP     PSW
                RET




;*****************************interrupt 0*************************
;TO SELECT TYPE OF INT0 INPUT
;IN = NOT
;REG = A,DPTR
;BASE INT=(TEL_INT=0,BASEINT=1),TEL INT=(TEL_INT=1,BASEINT=0)

INTERRUPT:      PUSH    PSW
                PUSH    ACC
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#PORT5
                MOVX    A,@DPTR
                JB      ACC.1,TEL_INT   ;MANUAL SW. TO INT ACTIVE LO
                JNB     BASEINT,TORETI
                LJMP    BASECON
TEL_INT:        JB      BASEINT,TORETI  ;BASEINT SW. TO INT ACTIVE H
                LCALL   TELCON
TORETI:         POP     DPL
                POP     DPH
                POP     ACC
                POP     PSW
                RETI

;***************************BASE CONTROL************************
;CONTROL AT BASE STATION
;
;

BASECON:        MOV     DPTR,#WELCOME
                MOV     R5,#UPPER
                LCALL   SHOWLCD
                MOV     DPTR,#KEYCOMMAND
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R5,#LOWER
                LCALL   SHOWLCD
BASECON2:       LCALL   CHKSTD
                CJNE    A,#STAR,BASECON2
                LCALL   CLEARSHOW       ;CLEAR LCD
                LCALL   CHKSTD
                MOV     R0,A
                LCALL   CHKSTD
                SWAP    A
                MOV     R1,#XR0
                XCHD    A,@R1
                SWAP    A
                MOV     R0,A            ;A = VALUE FOR SUM WITH DPTR
                                        ;JUMP TO COMMAND
WAITSQUARE:     LCALL   CHKSTD          ;WAIT SQUARE
                CJNE    A,#SQUARE,WAITSQUARE
                MOV     R7,#14          ;NUMBER OF COMMAND(MAX)
                LCALL   KEYCORRECT
                JZ      BASECON3
                MOV     DPTR,#KEYERROR
                MOV     R5,#LOWER
                LCALL   SHOWLCD
WAITSQUARE2:    LCALL   CHKSTD
                CJNE    A,#SQUARE,WAITSQUARE2
                LJMP    BASECON2
BASECON3:       MOV     A,R0
                LCALL   ACTIVE
                JNZ     BASECON2
                LCALL   SUBOUT
                LCALL   RAMTOEE
                MOV     CALLSTATUS,#00H
                LJMP    ORIGIN                  ; NEW START

;*********************************CHECK   STD*************************

CHKSTD:         PUSH    PSW
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#PORT4
                MOVX    A,@DPTR
                JNB     ACC.4,CHKSTD
                ANL     A,#0FH
                POP     DPL
                POP     DPH
                POP     PSW
                RET

;*****************************ACTIVE*****************************
;OUT = A(00 = END CONTROL,FF = WAIT NEW COMMAND)
ACTIVE:         PUSH    PSW
                PUSH    XR0
                PUSH    XR1
                PUSH    XR2
                PUSH    XR3
                PUSH    XR4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#START00
                MOV     REGISTER_B,#03H
                MUL     AB
                MOV     SUMJUMP,A
                MOV     A,#SUMJUMP
                JMP     @A+DPTR
START00:        LJMP    CODING
                LJMP    LOADPRECALL
                LJMP    LOADPAGENUMBER
                LJMP    RUNOUTIN
                LJMP    ENDINT
                LJMP    SUB1STATUS
                LJMP    ONOP1
                LJMP    ONOP2
                LJMP    ONOP3
                LJMP    ONOP4
                LJMP    OFFOP1
                LJMP    OFFOP2
                LJMP    OFFOP3
                LJMP    OFFOP4

CODING:         LCALL   CHKSTD          ;WAIT STAR
                CJNE    A,#STAR,CODING
                MOV     R1,#CODE
                MOV     R3,#05H
                LCALL   KEY_TO_RAM      ; PRESS 5 CODE AND SQUARE
                LCALL   SHOWINFOR       ;
                LJMP    ENDACTIVE

LOADPRECALL:    LCALL   CHKSTD          ;WAIT STAR
                CJNE    A,#STAR,LOADPRECALL
                MOV     R1,#PRECALL
                MOV     R3,#08H
                LCALL   KEY_TO_RAM      ;PRESS PRECALL AND SQUARE AF
                                        ;UNTIL SHOW INFOR (8 )
                LCALL   SHOWINFOR       ;
                LJMP    ENDACTIVE

LOADPAGENUMBER: CALL    CHKSTD          ;WAIT STAR
                CJNE    A,#STAR,LOADPAGENUMBER
                MOV     R1,#CALLNUM
                MOV     R3,#08H
                LCALL   KEY_TO_RAM      ;PRESS PAGENUMBER AND SQUARE
                                        ;UNTIL SHOW INFOR
                LCALL   SHOWINFOR
                LJMP    ENDACTIVE

RUNOUTIN:       LCALL   SUBOUT
                LCALL   DELAYT2SEC
                LCALL   SUBIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   SHOWCOMPLETED
                LJMP    ENDACTIVE


SUB1STATUS:     MOV     A,INPUT_BUF
                SWAP    A
                MOV     R0,#OUTPUT_BUF
                XCHD    A,@R0           ;A = I1 I2 I3 I4 O1 O2 O3 O4
                MOV     DPTR,#SHOWSUB1IO
                MOV     R5,#UPPER
                LCALL   SHOWLCD
                LCALL   LOADSQUARE
                MOV     R1,#PRECHANGE
                LCALL   CONVERTBIT
                MOV     DPTR,#PRECHANGE
                MOV     R5,#LOWER
                LCALL   SHOWLCD
                LJMP    ENDACTIVE

ONOP1:          SETB    OPSTA11
                LJMP    ENDACTIVE
ONOP2:          SETB    OPSTA12
                LJMP    ENDACTIVE
ONOP3:          SETB    OPSTA13
                LJMP    ENDACTIVE
ONOP4:          SETB    OPSTA14
                LJMP    ENDACTIVE
OFFOP1:         CLR     OPSTA11
                LJMP    ENDACTIVE
OFFOP2:         CLR     OPSTA12
                LJMP    ENDACTIVE
OFFOP3:         CLR     OPSTA13
                LJMP    ENDACTIVE
OFFOP4:         CLR     OPSTA14
                LJMP    ENDACTIVE

ENDINT:         LCALL   RAMTOEE         ;ONLY CODE,PRECALL,CALLNUMBE
                LCALL   SUBOUT
                LCALL   SUBIN
                LCALL   SHOWCOMPLETED
                CLR     A
                LJMP    ENDACTIVE

ENDACTIVE:      POP     DPL
                POP     DPH
                POP     XR7
                POP     XR6
                POP     XR5
                POP     XR4
                POP     XR3
                POP     XR2
                POP     XR1
                POP     XR0
                POP     PSW
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*********************************CLEAR  SHOW*********************
;CLEAR LCD

CLEARSHOW:      MOV     A,#00000001B
                LCALL   LCDWI
                RET

;*********************************SHOW  COMPLETED*****************

SHOWCOMPLETED:  PUSH    PSW
                PUSH    XR5
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#COMPLETED
                MOV     R5,LOWER
                LCALL   SHOWLCD
                POP     DPL
                POP     DPH
                POP     XR5
                POP     PSW
                RET
;*********************************KEY  CORRECT********************
;CHK NUMBER OF COMMAND WHICH USER PRESSED
;IN = R7,R0
;OUT = A (00=CORRECT , FF=INCORRECT )
KEYCORRECT:     PUSH    PSW
                MOV     A,R0
                CJNE    A,XR7,CORRECT2          ;A NOT= R7 JMP
                SJMP    CORRECT3                ;A = R7 TO CLR A
CORRECT2:       JC      CORRECT3                ;A < R7 TO CLR A
                MOV     A,#0FFH
                SJMP    KEYCORRECT
CORRECT3:       CLR     A
ENDCORRECT:     POP     PSW
                RET
;*****************************KEY TO RAM**************************8
;MOVE DATA RECEIVED FORM KEY YO RAM (
;IN = R1(ADDRESS ON RAM),R3(NUMBER OF BYTE)
;REG = A
;
KEY_TO_RAM:     PUSH    PSW
                PUSH    ACC
                PUSH    DPH
                PUSH    DPL
KEY_TO_RAM2:    LCALL   CHKSTD
                MOV     @R1,A
                INC     R1
                DJNZ    R3,KEY_TO_RAM2
KEY_TO_RAM3:    LCALL   CHKSTD
                CJNE    A,#SQUARE,KEY_TO_RAM3   ;WAIT SQUARE
                MOV     @R1,A
                POP     DPL
                POP     DPH
                POP     ACC
                POP     PSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

;**************************SHOW INFORMATION OF PAGE,CODE************

SHOWINFOR:      PUSH    PSW
                PUSH    XR1
                PUSH    XR2
                PUSH    XR5
                PUSH    DPH
                PUSH    DPL
                LCALL   LOADSQUARE      ;SET BLANK TO SQUARE
                MOV     R1,CODE
                MOV     R2,#05H
                LCALL   LOADTOSHOW      ;COMPILE ON TO PRECHANGE
                MOV     DPTR,#PRECHANGE
                MOV     R5,#UPPER
                LCALL   SHOWLCD         ;SHOW CODE ON UPPER
                LCALL   LOADSQUARE
                MOV     R1,#PRECALL
                MOV     R2,#10H
                LCALL   LOADTOSHOW
                MOV     DPTR,#PRECHANGE
                MOV     R5,#LOWER
                LCALL   SHOWLCD         ;SHOW PRECALL AND CALLNUMBER
                POP     DPL
                POP     DPH
                POP     XR5
                POP     XR2
                POP     XR1
                POP     PSW
                RET

;*****************************LOAD  SQUARE************************
;SET ALL BLANK TO SQUARE BEFORE SET NUMBER
;IN = NOT

LOADSQUARE:     PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                PUSH    XR4
                MOV     A,#23H          ;SQUARE FOR SHOW ON LCD
                MOV     R0,#PRECHANGE   ;
                MOV     R4,#10H         ;LOAD 16 BLANK
LOADSQUARE2:    MOV     @R0,A
                INC     R0
                DJNZ    R4,LOADSQUARE2
                POP     XR4
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;**************************LOAD TO SHOW*******************************
;COMPILE NUMBER ON RAM TO SHOW ON LCD
;IN = R1(START BYTE),R2(NUMBER OF BYTE)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LOADTOSHOW:     PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                MOV     R0,#PRECHANGE
LOADTOSHOW2:    MOV     A,@R1
                CJNE    A,#ZERO,LOADTOSHOW3     ;IF ZERO MUST CLR BE
                CLR     A
LOADTOSHOW3:    ORL     A,#30H                  ;CHANGE TO SHOW ON L
                MOV     @R0,A
                INC     R0
                INC     R1
                DJNZ    R2,LOADTOSHOW2
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;*********************************CONVERT  BIT************************
;CONVERT EACH BIT OF ACC TO SHOW ON LCD
;IN = R1(START BYTE),A
;
CONVERTBIT:     PUSH    XR2
                MOV     R2,#08H
CONVERTBIT2:    RRC     A
                MOV     @R1,#30H        ;#30 = 0 ON LCD
                JNC     CONVERTBIT3
                MOV     @R1,#31H        ;#31 = 1 ON LCD
CONVERTBIT3:    INC     R1
                DJNZ    R2,CONVERTBIT2
                POP     XR2
                RET
;*********************************SHOW LCD*************************


SYSTEMCALLED:   DB      '  SYSTEM CALLED '

CALLPAGEFAIL:   DB      ' CALLPAGE FAILED'

WELCOME:        DB      'WELCOME TO CON  '

KEYCOMMAND:     DB      'PRESS   *XXXX#  '

KEYERROR:       DB      'COMMAND ERROR # '

SHOWSUB1IO:     DB      'SHOW SUB1 STATUS'

INITIAL__OK_:   DB      'INITIALIZED  OK '

ERROR_OUTPUT_CON:       DB      'ERROR O/P CONTRO'

HAVE_ERROR_SUB: DB      ' HAVE ERROR SUB '

INPUT_RESPONSE: DB      ' INPUT RESPONSE '

OUTPUT_RESPONSE: DB      ' OUTPUT RESPONSE'
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WANT_TO_ON_RESPONSE:    DB      'TURN ON RESPONSE'
WANT_TO_OFF_RESPONSE:   DB      'TURN OFF RESPONS'
COMPLETED:      DB      'PROCESS COMPLETE'
                END
;*********************************TEL CONTROL*************************
TELCON:         PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                PUSH    XR1
                PUSH    XR5
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
TELCON2:        JB      INT0BIT,TORET   ;INT0 PIN MUST = 0
                JNB     BASEINT,TORET   ;BASEINT  SW.(P1.4) = 0 (NO
                MOV     DPTR,#PORT5
                MOVX    A,@DPTR
                JNB     ACC.2,TELCON2   ;10 RINGING WAIT
                MOV     A,#30H          ;RELAY A ACTIVE,SELECT CPU C
                MOV     DPTR,#PORT1
                MOVX    @DPTR,A
                MOV     R5,#VOICE1      ;PLEASE PRESS CODE(EQU 1H)
                LCALL   STARTTIME       ;LIMIT 10 SEC
                LCALL   CONVOICE
                CJNE    R5,#STAR,TORET  ;NOT= STAR IS TIMEOUT
                LCALL   CHKCODE
                CJNE    R5,#STAR,TORET
TELCON3:        MOV     R5,#VOICE2
                LCALL   STARTTIME
                LCALL   CONVOICE
                CJNE    R5,#STAR,TORET
                LCALL   CHKSTD
                MOV     R0,A
                LCALL   CHKSTD
                SWAP    A
                MOV     R1,#XR0
                XCHD    A,@R1
                SWAP    A
                MOV     R0,A
TELCON4:        LCALL   CHKSTD          ;WAIT SQUARE
                CJNE    A,#SQUARE,TELCON4
                MOV     R7,#06
                LCALL   KEYCORRECT
                JNZ     TELCON3
                MOV     A,R0
                LCALL   TELACTIVE
                JNZ     TELCON3
                LCALL   SUBOUT
TORET:          CLR     A
                MOV     DPTR,#PORT1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     @DPTR,A          ;CLR RELAY ,SELECT KEY CON.
                POP     DPL
                POP     DPH
                POP     XR7
                POP     XR5
                POP     XR1
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;*****************************CONTROL VOICE*********************
;CONTROL VOICE
;IN = R5(NUMBER OF VOICE)
CONVOICE:       PUSH    PSW
                PUSH    ACC
                PUSH    XR4
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
CONVOICE1:      LCALL   VOICERESET
                MOV     R4,XR5                  ;***
CONVOICE2:      DJNZ    R4,PLAYVOICE
                LCALL   SKIP
                SJMP    CONVOICE2
PLAYVOICE:      LCALL   PLAY
PLAYVOICE2:     LCALL   CHKSTD
                CJNE    A,#STAR,CONVOICE3       ;CHK STAR FOR START
                SJMP    ENDCONVOICE
CONVOICE3:      MOV     DPTR,#PORT4
                JNB     ACC.5,CONVOICE1         ;CHK EOM
                JB      INT0BIT,ENDCONVOICE     ;CHK TIME
                SJMP    PLAYVOICE2              ;DON'T EOM,DON'T TIM
ENDCONVOICE:    MOV     R5,A
                POP     DPL
                POP     DPH
                POP     XR7
                POP     XR4
                POP     ACC
                POP     PSW
                RET
;****************************VOICERESET , SKIP , PLAY****************

VOICERESET:     MOV     A,#0CH
                MOV     DPTR,#PORT3
                MOVX    @DPTR,A
                MOV     A,#04H
                MOV     R7,#0FH
                DJNZ    R7,$
                MOVX    @DPTR,A
                MOV     R7,#0FH
                DJNZ    R7,$
                MOV     A,#0CH
                MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

SKIP:           MOV     A,#0FH
                MOV     DPTR,#PORT3
                MOVX    @DPTR,A
                MOV     A,#0BH
                MOV     R7,#0FH
                DJNZ    R7,$
                MOVX    @DPTR,A
                MOV     R7,#0FH
                DJNZ    R7,$
                MOV     A,#0FH
                MOVX    @DPTR,A
                RET

PLAY:           MOV     A,#0EH
                MOV     DPTR,#PORT3
                MOVX    @DPTR,A
                MOV     A,#06H
                MOV     R7,#0FH
                DJNZ    R7,$
                MOVX     @DPTR,A
                MOV     R7,#0FH
                DJNZ    R7,$
                MOV     A,#0EH
                MOVX    @DPTR,A
                RET

;*********************************START TIME************************
;PULSE HIGH TO START TIME 10 SEC

STARTTIME:      PUSH    PSW
                PUSH    ACC
                PUSH    XR0
                PUSH    DPH
                PUSH    DPL
                MOV     A,#0A0H
                MOV     DPTR,#PORT1
                MOVX    @DPTR,A
                MOV     R0,OFH
                DJNZ    R0,$
                MOV     A,#20H
                MOVX     @DPTR,A
                POP     DPL
                POP     DPH
                POP     ACC
                POP     PSW
                RET

;*********************************CHECK  CODE*********************
;
;OUT = R5(SQUARE = ERROR,STAR = CORRECT)

CHKCODE:        PUSH    PSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                PUSH    ACC
                PUSH    XR0
                PUSH    XR2
                MOV     R0,#CODE
                MOV     R2,#05H
CHKCODE2:       LCALL   CHKSTD
                XRL     A,@R0
                JNZ     ERRORCODE
                INC     R0
                DJNZ    R2,CHKCODE2
                MOV     R5,#STAR
                SJMP    ENDCHKCODE
ERRORCODE:      MOV     R5,#SQUARE
ENDCHKCODE:     POP     XR2
                POP     XR0
                POP     ACC
                POP     PSW
                RET

;*******************************TEL ACTIVE************************

TELACTIVE:      PUSH    PSW
                PUSH    XR0
                PUSH    XR1
                PUSH    XR2
                PUSH    XR3
                PUSH    XR4
                PUSH    XR5
                PUSH    XR6
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#COMMAND00
                MOV     REGISTER_B,#03H
                MUL     AB
                MOV     SUMJUMP,A
                MOV     A,#SUMJUMP
                JMP     @A+DPTR
COMMAND00:      LJMP    SHOW1           ;CALL I/P AND O/P (O/P CAN C
                LJMP    SHOW2
                LJMP    SHOW3
                LJMP    SHOW4
                LJMP    CONTROLED       ;OUT O/P TO SUB TO CONTROL
                CLR     A               ;END CONTROL
                LJMP    ENDTELACTIVE

SHOW1:          MOV     C,IPSTA11
                JC      SHOW11_2
                LCALL   NONACTIVE       ;OUT VOICE  I/P ACTIVE
                SJMP    SHOW11_3
SHOW11_2:       LCALL   IPACTIVE        ;OUT VOICE  I/P NONACTIVE
                MOV     R6,#06H         ;WAIT FOR COMMAND 6 TIME OUT
SHOW11_3:       MOV     C,OPSTA11
                JC      SHOW11_4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   TURN_OFF        ;OUT VOICE O/P TURN OFF
                SJMP    SHOW11_5
SHOW11_4:       LCALL   TURN_ON         ;OUT VOICE O/P TURN ON
                DJNZ    R6,SHOW11_5
                CLR     A
                LJMP    ENDTELACTIVE    ; TIME OUT TO END
SHOW11_5:       MOV     R5,#VOICE3      ;VOICE CALL TO CHANGE O/P ?
                LCALL   STARTTIME
                LCALL   CONVOICE
                CJNE    R5,#STAR,SHOW11_3
                LCALL   CHKSTD
                CJNE    A,#ZERO,ENDSHOW11
                CJNE    A,#ONE,SHOW11_6
                SJMP    SHOW11_3
SHOW11_6:       CPL     OPSTA11
                MOV     A,#0FFH
ENDSHOW11:      LJMP    ENDTELACTIVE

SHOW2:          MOV     C,IPSTA12
                JC      SHOW12_2
                LCALL   NONACTIVE
                SJMP    SHOW12_3
SHOW12_2:       LCALL   IPACTIVE
                MOV     R6,#06H
SHOW12_3:       MOV     C,OPSTA12
                JC      SHOW12_4
                LCALL   TURN_OFF
                SJMP    SHOW12_5
SHOW12_4:       LCALL   TURN_ON
                DJNZ    R6,SHOW12_5
                CLR     A
                LJMP    ENDTELACTIVE
SHOW12_5:       MOV     R5,#VOICE3
                LCALL   STARTTIME
                LCALL   CONVOICE
                CJNE    R5,#STAR,SHOW12_3
                LCALL   CHKSTD
                CJNE    A,#ZERO,ENDSHOW12
                CJNE    A,#ONE,SHOW12_6
                SJMP    SHOW12_3
SHOW12_6:       CPL     OPSTA12
                MOV     A,#0FFH
ENDSHOW12:      LJMP    ENDTELACTIVE

SHOW3:          MOV     C,IPSTA13
                JC      SHOW13_2
                LCALL   NONACTIVE
                SJMP    SHOW13_3
SHOW13_2:       LCALL   IPACTIVE
                MOV     R6,#06H
SHOW13_3:       MOV     C,OPSTA13
                JC      SHOW13_4
                LCALL   TURN_OFF
                SJMP    SHOW13_5
SHOW13_4:       LCALL   TURN_ON
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R6,SHOW13_5
                CLR     A
                LJMP    ENDTELACTIVE
SHOW13_5:       MOV     R5,#VOICE3
                LCALL   STARTTIME
                LCALL   CONVOICE
                CJNE    R5,#STAR,SHOW13_3
                LCALL   CHKSTD
                CJNE    A,#ZERO,ENDSHOW13
                CJNE    A,#ONE,SHOW13_6
                SJMP    SHOW13_3
SHOW13_6:       CPL     OPSTA13
                MOV     A,#0FFH
ENDSHOW13:      LJMP    ENDTELACTIVE

SHOW4:          MOV     C,IPSTA14
                JC      SHOW14_2
                LCALL   NONACTIVE
                SJMP    SHOW14_3
SHOW14_2:       LCALL   IPACTIVE
                MOV     R6,#06H
SHOW14_3:       MOV     C,OPSTA14
                JC      SHOW14_4
                LCALL   TURN_OFF
                SJMP    SHOW14_5
SHOW14_4:       LCALL   TURN_ON
                DJNZ    R6,SHOW14_5
                CLR     A
                LJMP    ENDTELACTIVE
SHOW14_5:       MOV     R5,#VOICE3
                LCALL   STARTTIME
                LCALL   CONVOICE
                CJNE    R5,#STAR,SHOW14_3
                LCALL   CHKSTD
                CJNE    A,#ZERO,ENDSHOW14
                CJNE    A,#ONE,SHOW14_6
                SJMP    SHOW14_3
SHOW14_6:       CPL     OPSTA14
                MOV     A,#0FFH
ENDSHOW14:      LJMP    ENDTELACTIVE

CONTROLED:      LCALL   SUBOUT
                MOV     A,#0FFH
                LJMP    ENDTELACTIVE

ENDTELACTIVE:   JNZ     ENDTELACTIVE2
                LCALL   GOODBYE
                MOV     A,#00H
ENDTELACTIVE2:  POP     DPL
                POP     DPH
                POP     XR7
                POP     XR6
                POP     XR5
                POP     XR4
                POP     XR3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

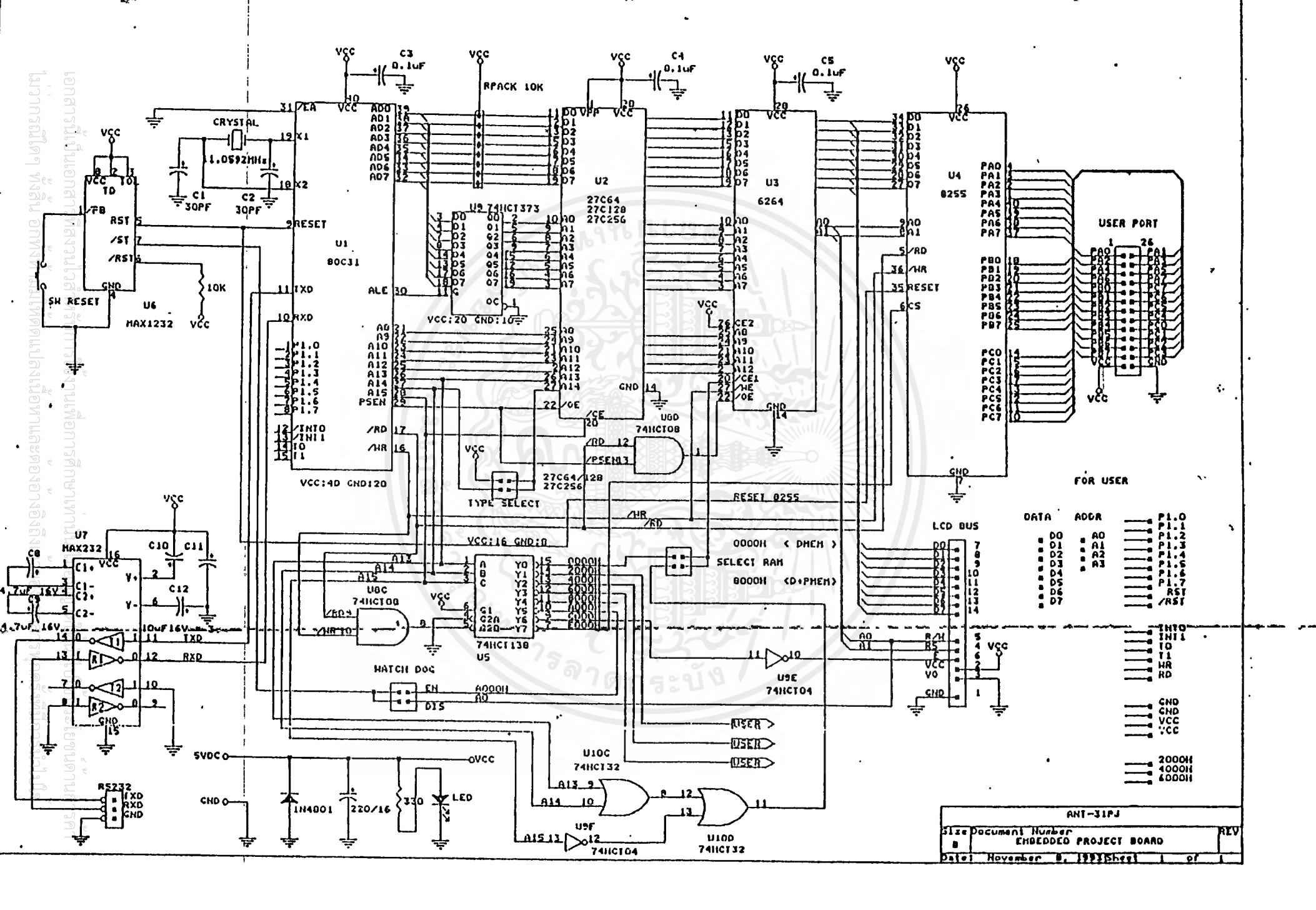
```
                POP     XR2
                POP     XR1
                POP     XR0
                POP     PSW
                RET

;**********************NONACTIVE,IPACTIVE,TURN_OFF,TURN_ON,GOODBYE**

NONACTIVE:      MOV     R5,#VOICE4
                LJMP    OUTVOICE

IPACTIVE:       MOV     R5,#VOICE5
                LJMP    OUTVOICE

TURN_OFF:       MOV     R5,#VOICE6
                LJMP    OUTVOICE

TURN_ON:        MOV     R5,#VOICE7
                LJMP    OUTVOICE

GOODBYE:        MOV     R5,#VOICE8
                LJMP    OUTVOICE

OUTVOICE:       PUSH    PSW
                PUSH    ACC
                PUSH    XR4
                PUSH    XR7
                PUSH    DPH
                PUSH    DPL
                LCALL   VOICERESET
                MOV     R4,XR5
OUTVOICE2:      DJNZ    R4,OUTVOICE3
                LCALL   SKIP
                SJMP    OUTVOICE2
OUTVOICE3:      LCALL   PLAY
OUTVOICE4:      MOV     DPTR,#PORT4
                MOVX    A,@DPTR
                JB      ACC.5,OUTVOICE4
                POP     DPL
                POP     DPH
                POP     XR7
                POP     XR4
                POP     ACC
                POP     PSW
                RET


                END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

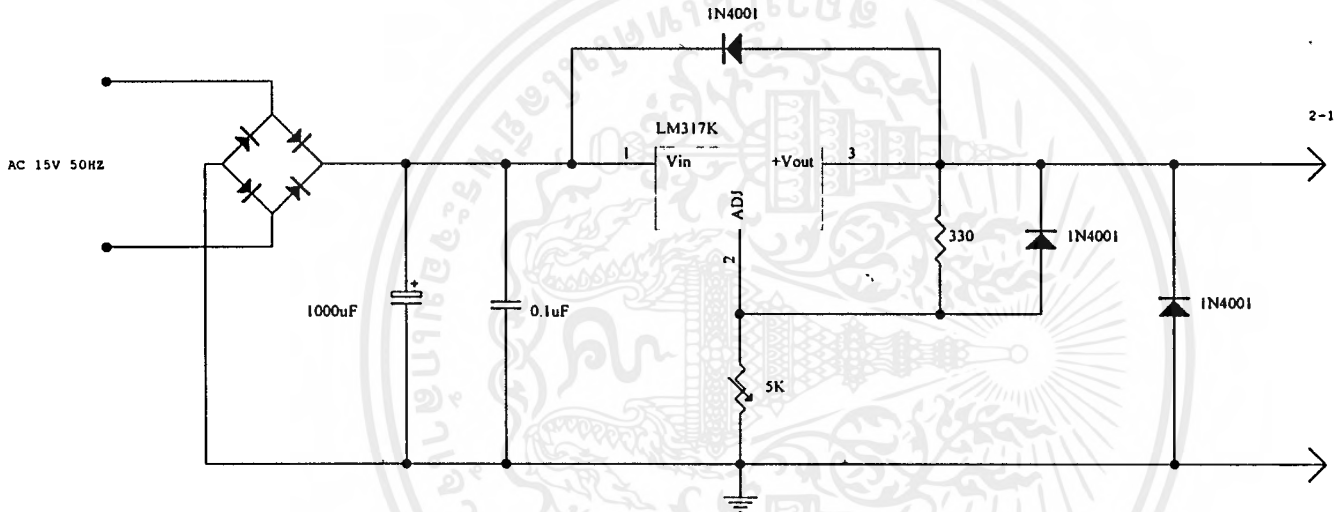
ภาคผนวก ข.

HARDWARE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

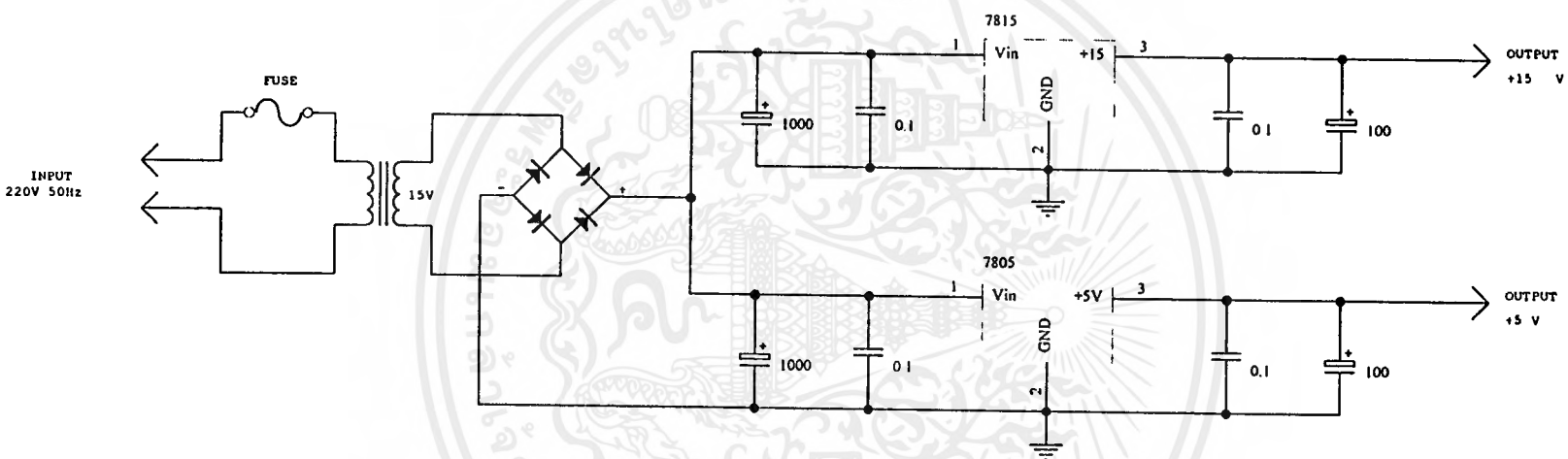

VCC
C3 0.1uF
C4 0.1uF
C5 0.1uF
RPACK 10K
CRYSTAL
11.0592MHz
C1 30PF
C2 30PF
U1 80C31
U2 27C64 27C128 27C256
U3 6264
U4 8255
U5 74HCT138
U6 MAX1232
U7 MAX232
U8C 74HCT08
U8D 74HCT08
U9E 74HCT04
U9F 74HCT04
U10C 74HCT32
U10D 74HCT32
U9 74HCT373
SH RESET
10K
RESET
ALE
PSEN
/RD
/WR
TYPE SELECT
27C64/128
27C256
RESET 8255
VCC:40 GND:20
VCC:20 GND:10
VCC:16 GND:8
USER PORT
FOR USER
LCD BUS
DATA
ADDR
SELECT RAM
0000H (PHEM)
8000H (D+PHEM)
HATCH DOG
RS232
TXD
RXD
GND
5VDC
1N4001
220/16
330
LED
USER
ANT-31PJ
EMBEDDED PROJECT BOARD
Size B
Document Number
REV
Date: November 8, 1999 Sheet 1 of 1

POWER SUPPLY

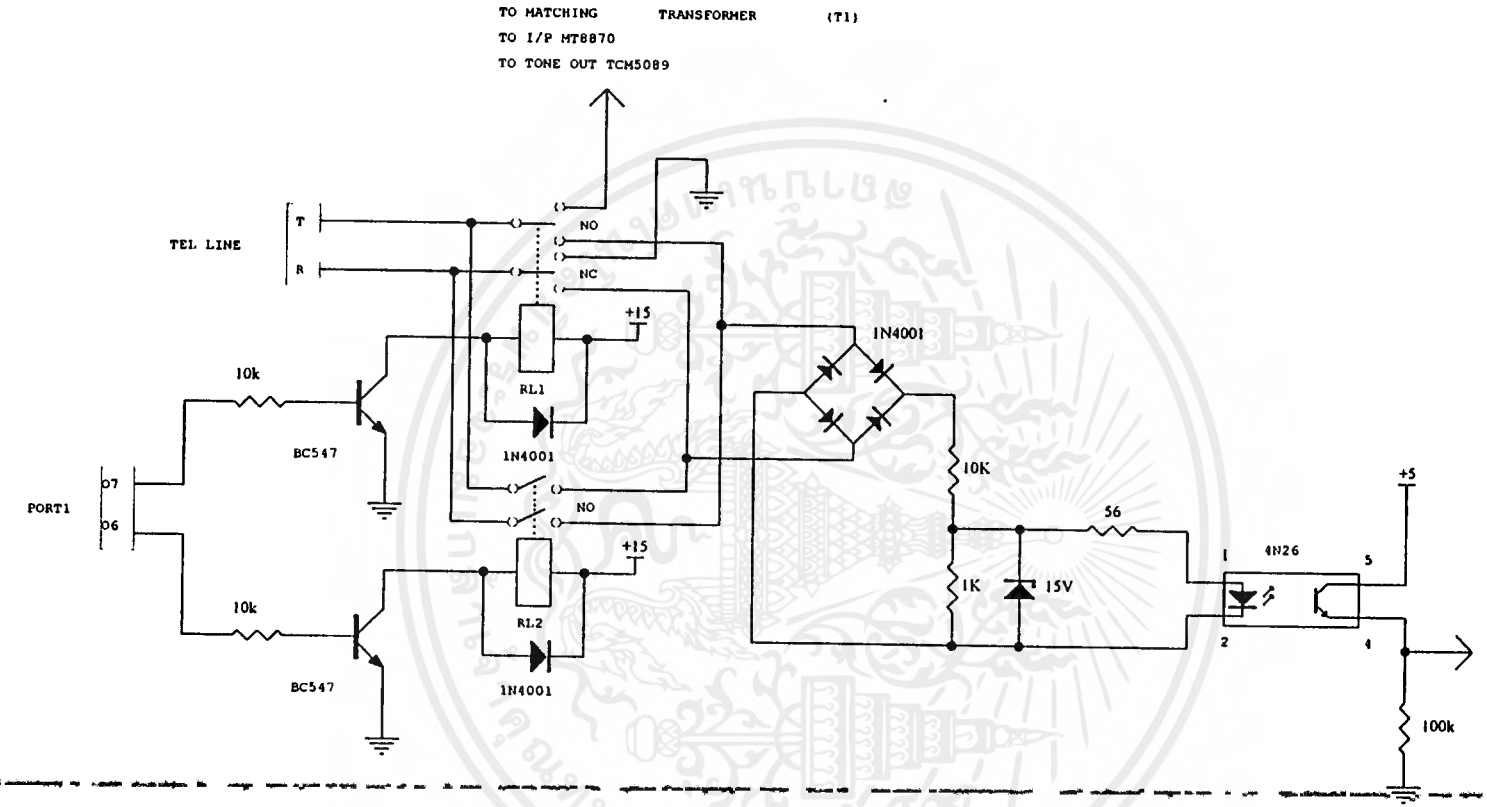


Title	POWER SUPPLY		
Size A4	Number		Revision
Date:	25-Mar-1997	Sheet of	
File:	C:\TEW\UP1.SCH	Drawn By:	

POWER SUPPLY



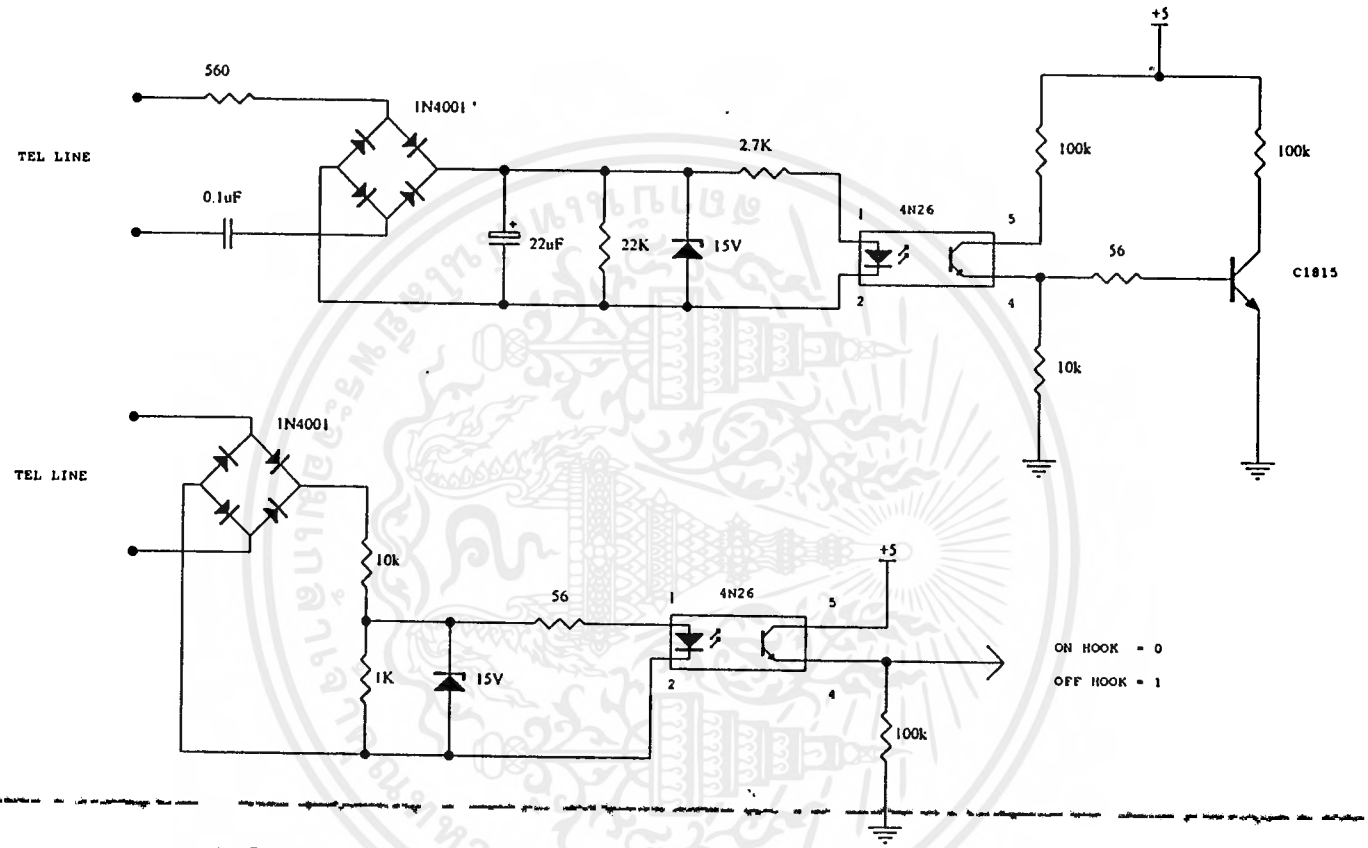
Title	POWER SUPPLY		
Size A4	Number		Revision
Date:	25-Mar-1997	Sheet of	
File	C:\TEW\UP2.SCH	Drawn By: 4	



TEL INTERFACE

Title	TEL INTERFACE		
Size A4	Number		Revision
Date:	26-Mar-1997	Sheet of	
File:	C:\TEW\UP10.SCH	Drawn By:	

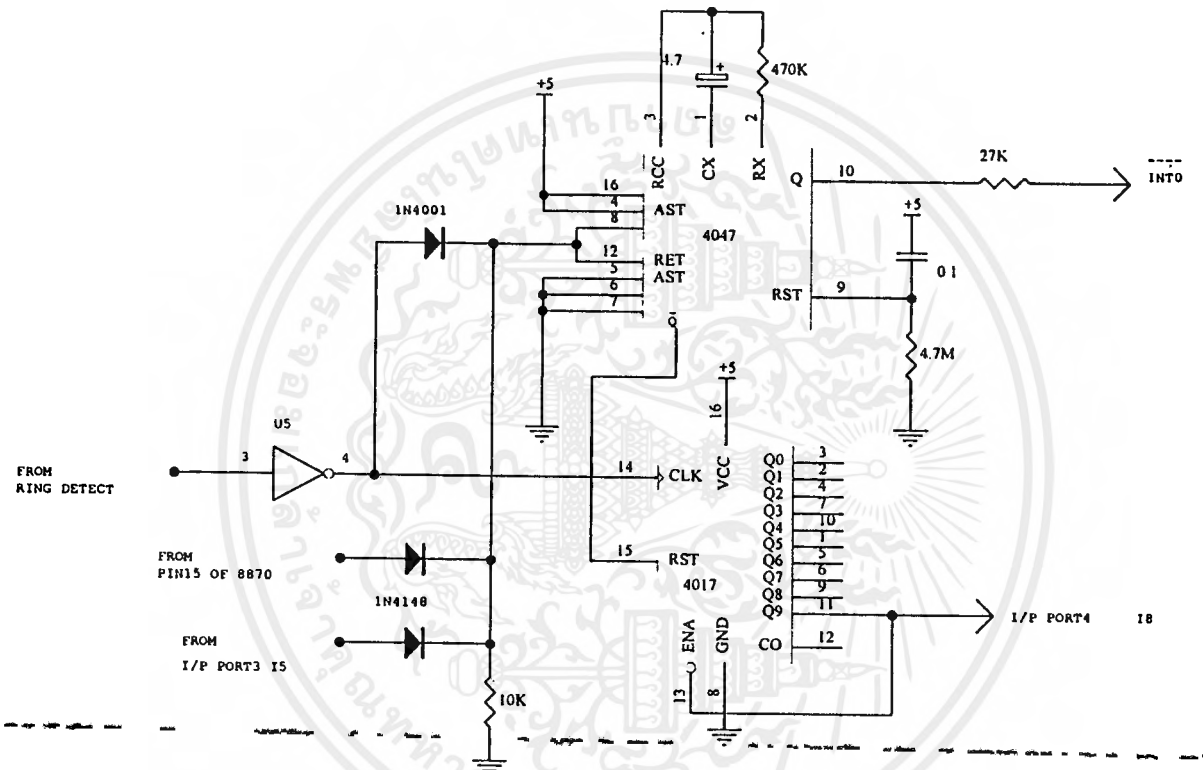
RING DETECT



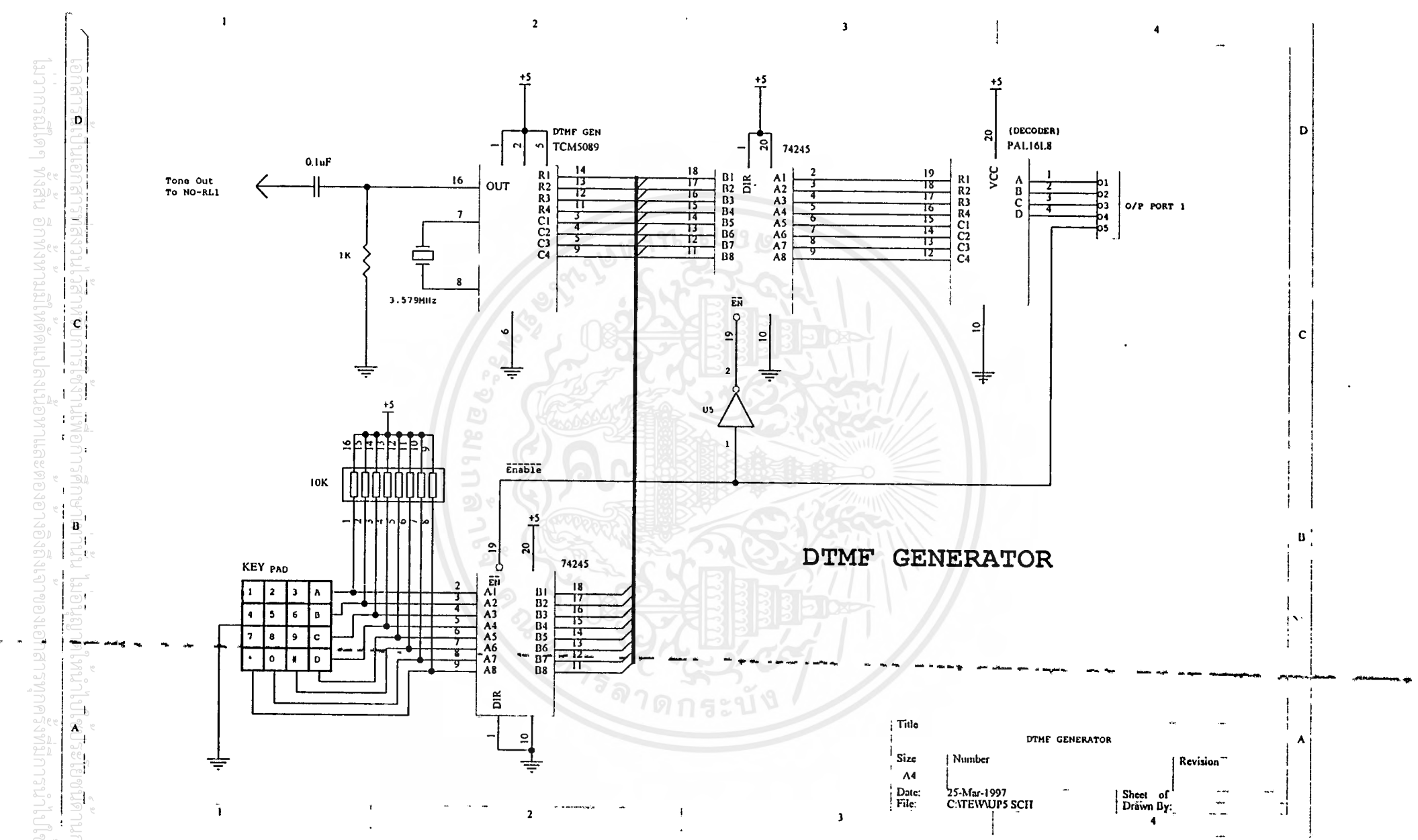
HOOK SWITCH DETECT

Title	RING DETECT / HOOK SWITCH DETECT		
Size A4	Number		Revision
Date:	26-Mar-1997	Sheet of	
File.	CATEWUP9.SCH	Drawn By:	

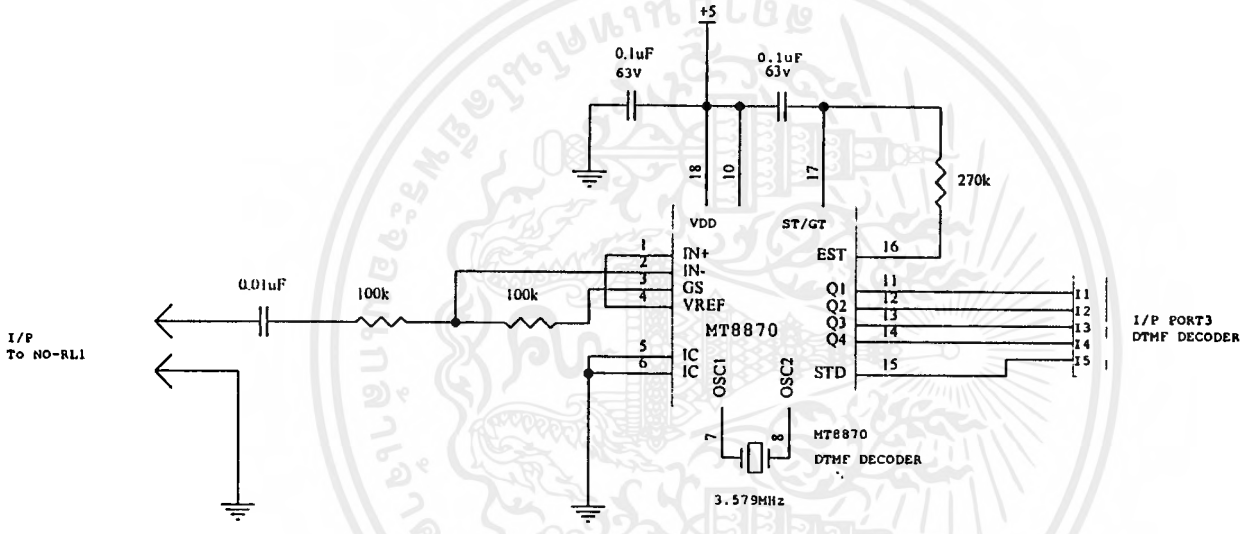
RING COUNTER



Title	RING COUNTER		
Size: A4	Number	Revision	
Date: 26-Mar-1997	Sheet of		
File: C:\TEW\UP8.SCH	Drawn By:		

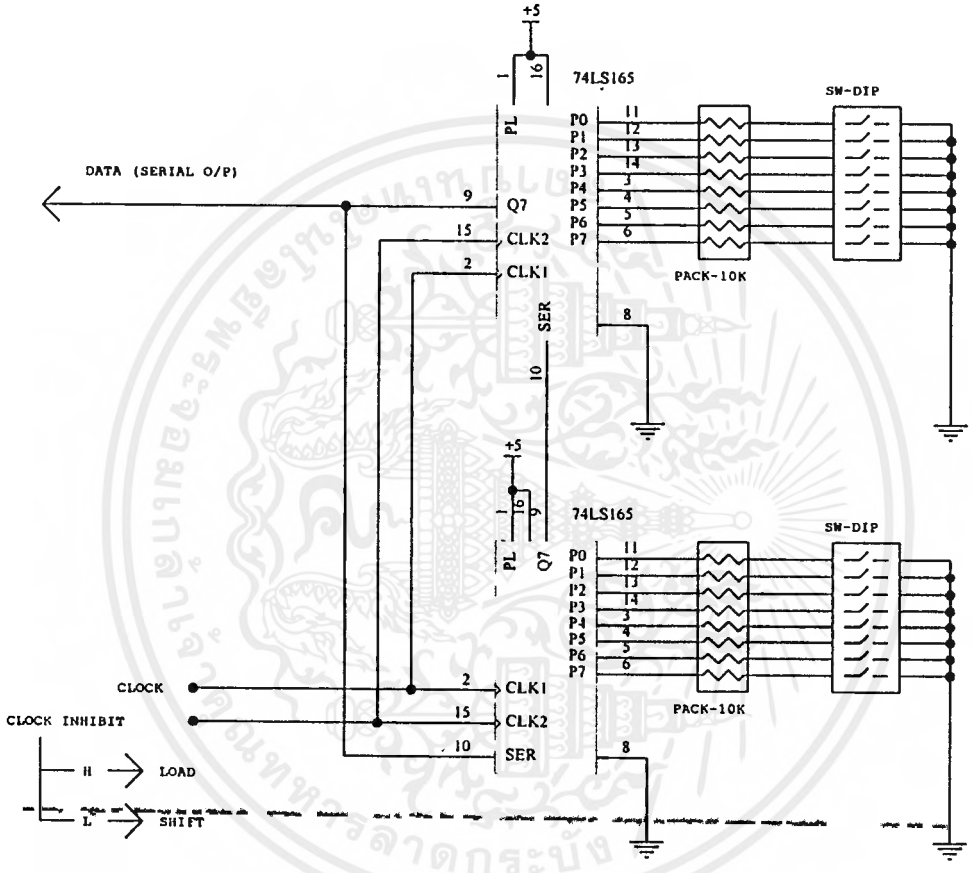

DTMF GENERATOR
DTMF GEN
TCM5089
74245
(DECODER)
PAL16L8
O/P PORT 1
Tone Out
To NO-RL1
0.1uF
1K
3.579MHz
OUT
DIR
VCC
EN
U5
Enable
10K
KEY PAD
Title
DTMF GENERATOR
Size
A4
Number
Revision
Date:
25-Mar-1997
File:
C:\TEW\UP5.SCH
Sheet of
Drawn By:

DTMF DECODER



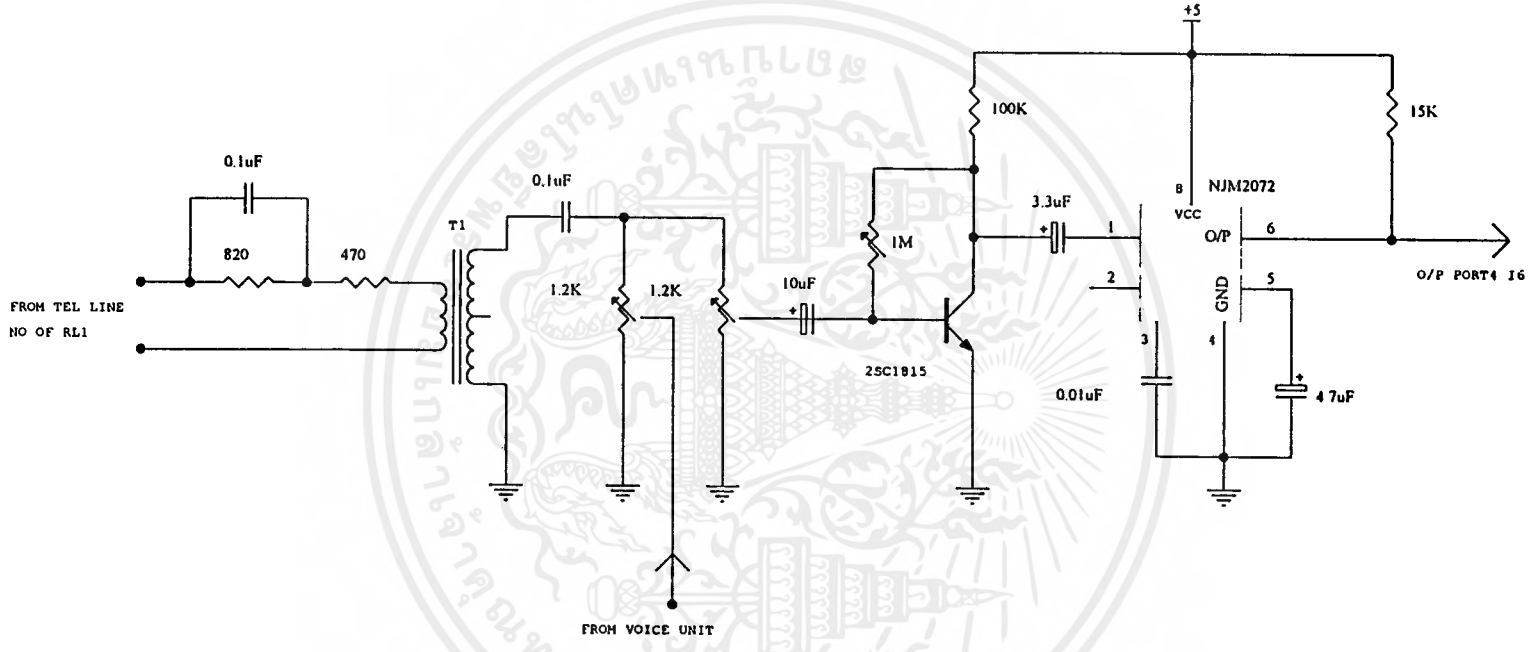
Title	DTMF DECODER		
Size: A4	Number	Revision	
Date:	25-Mar-1997	Sheet of	
File:	C:\TEW\UP4.SCH	Drawn By:	

PARALLEL LOAD SHIFT REGISTER

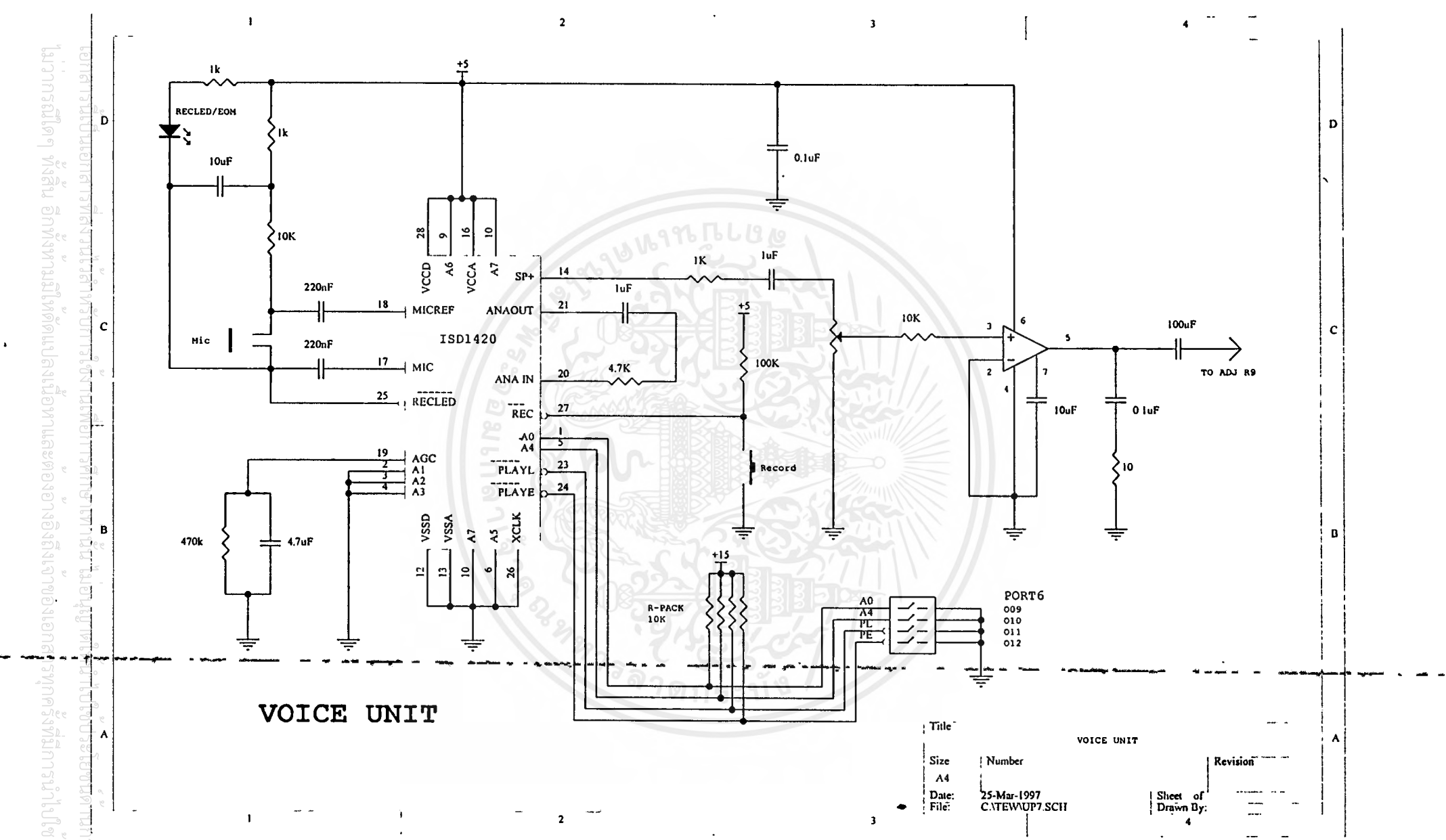


Title	PARALLEL LOAD SHIFT REGISTER		
Size	Number		Revision
A4			
Date:	26-Mar-1997	Sheet of	
File:	C:\TEW\UP11.SCH	Drawn By:	

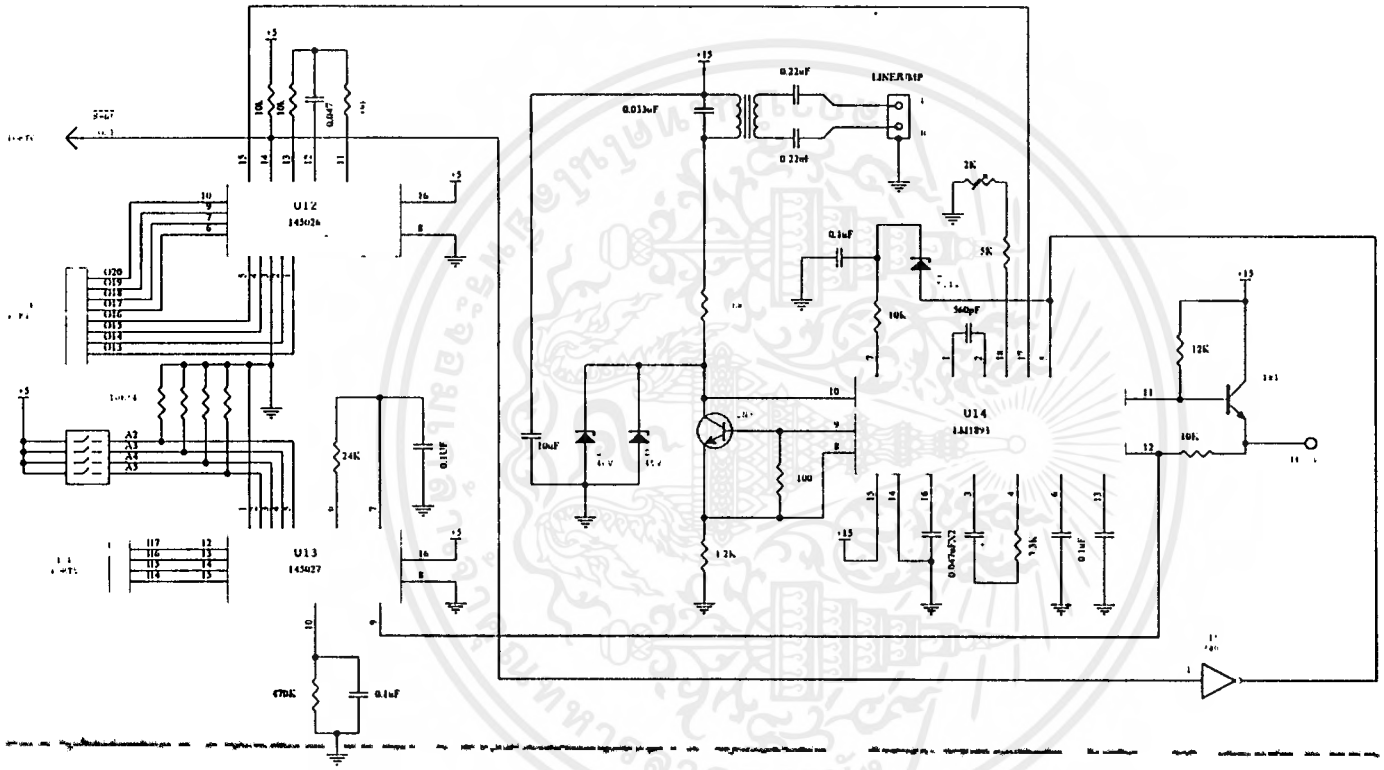
VOICE OPERATE SWITCH (VOX)



Title	VOICE OPERATE SWITCH (VOX)		
Size A4	Number		Revision
Date:	25-Mar-1997	Sheet of	
File:	C:\TEW\UP3.SCH	Drawn By:	

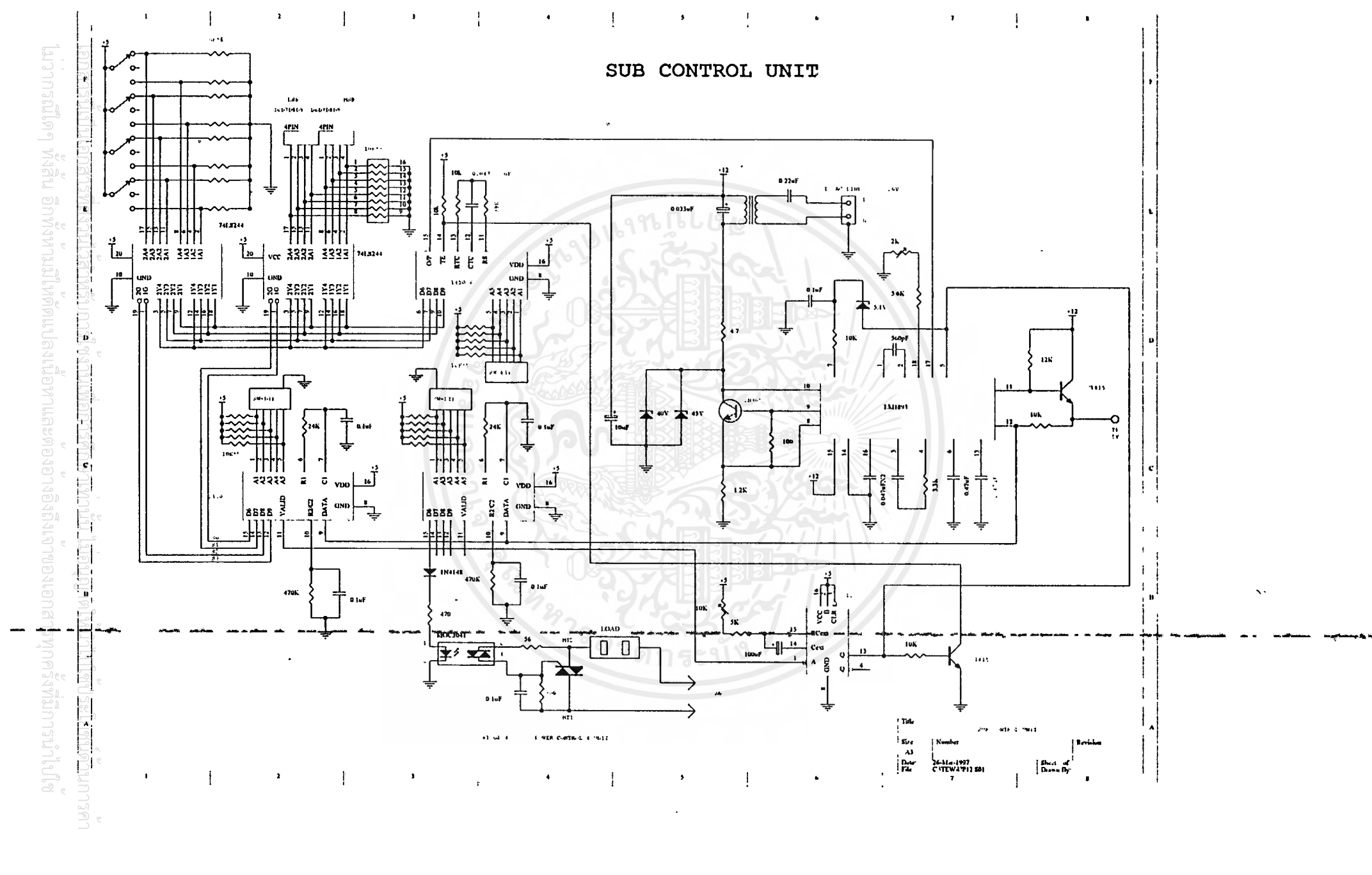

1k
RECLED/EOM
1k
10uF
10K
220nF
MICREF
Mic
220nF
MIC
RECLED
+5
0.1uF
VCCD
A6
VCCA
A7
ISD1420
SP+
ANAOUT
ANA IN
REC
A0
A4
PLAYL
PLAYE
1K
1uF
1uF
4.7K
100K
Record
10K
100uF
TO ADJ R9
10uF
0.1uF
10
AGC
A1
A2
A3
470k
4.7uF
VSSD
VSSA
A7
A5
XCLK
+15
R-PACK
10K
PORT6
009
010
011
012
VOICE UNIT
Title
VOICE UNIT
Size
A4
Number
Revision
Date:
25-Mar-1997
File:
C:\TEW\UP7.SCH
Sheet of
Drawn By:

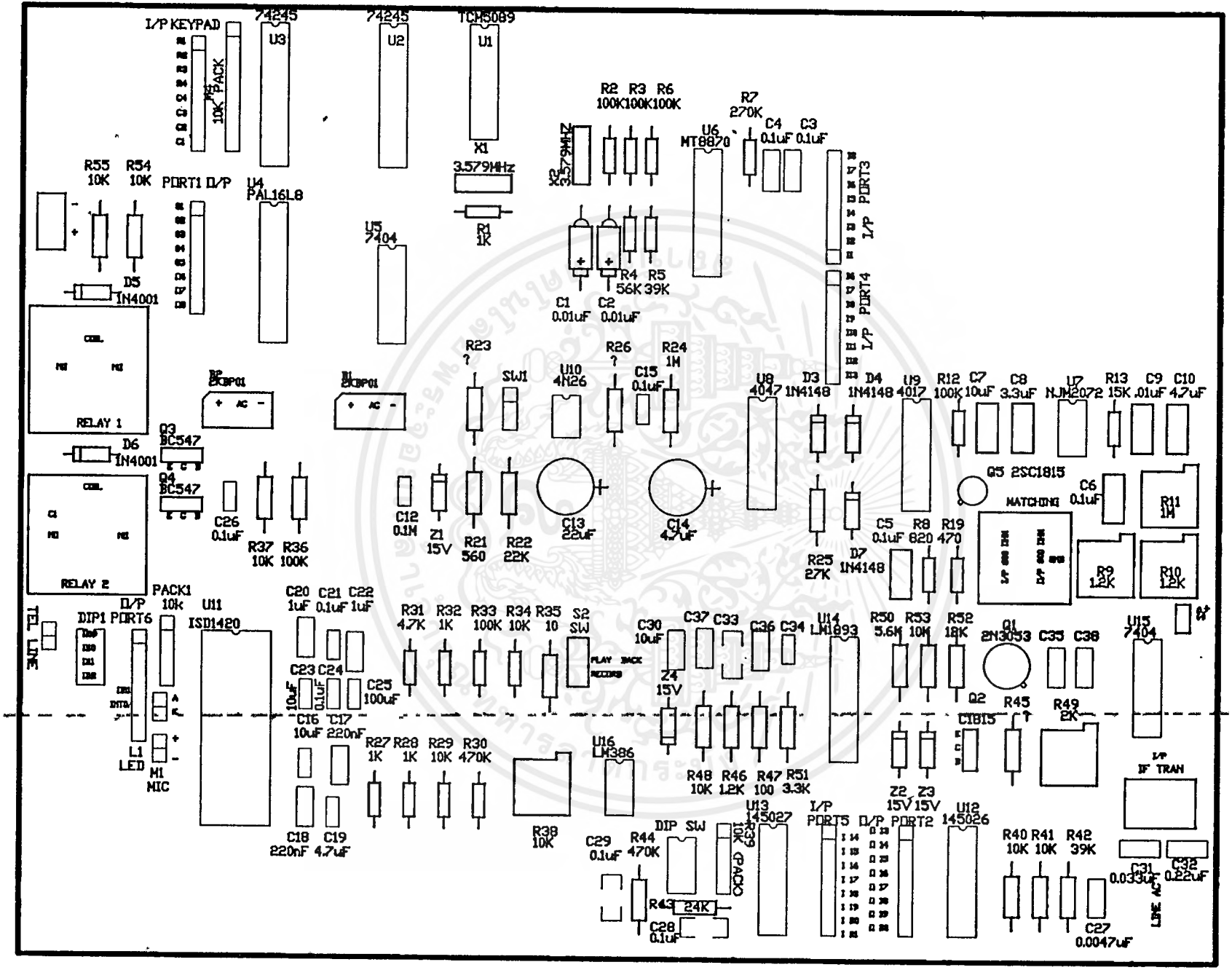
AC LINE TRANSCIEVER

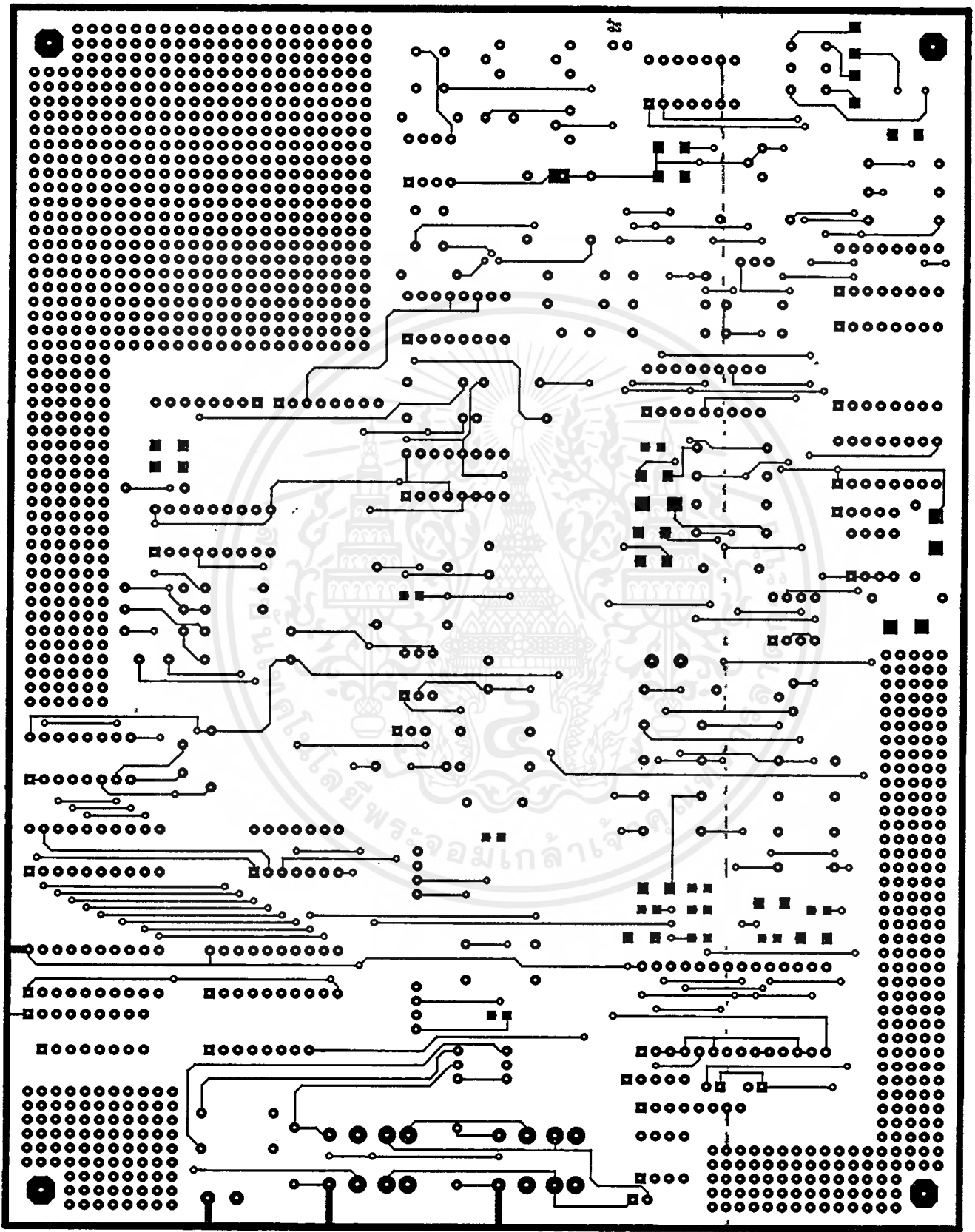


Title			
Size	Number		Revision
A3			
Date:	25-Mar-1997	Sheet of	
File:	C:\TEW\UPS.SCH	Drawn By:	

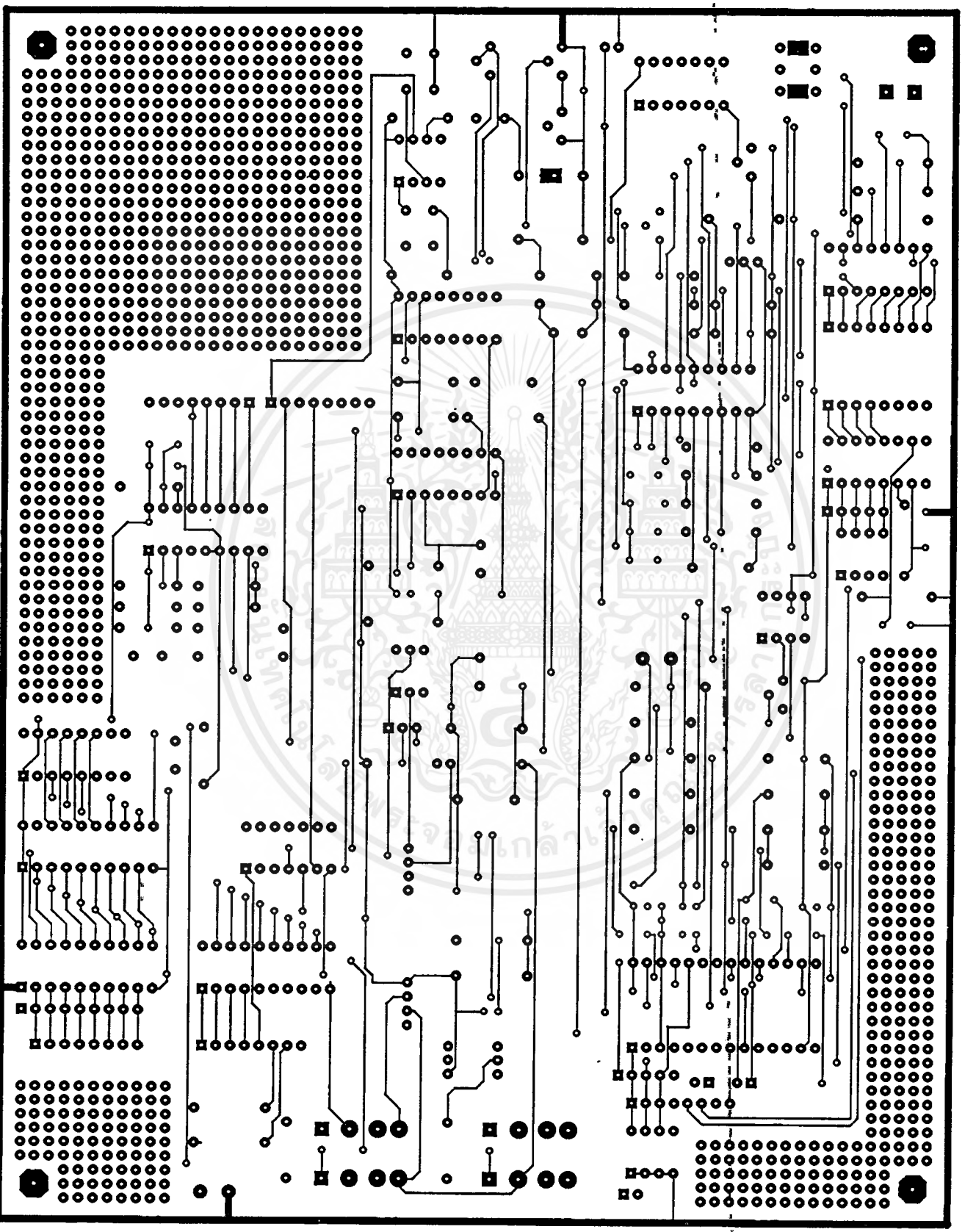
SUB CONTROL UNIT



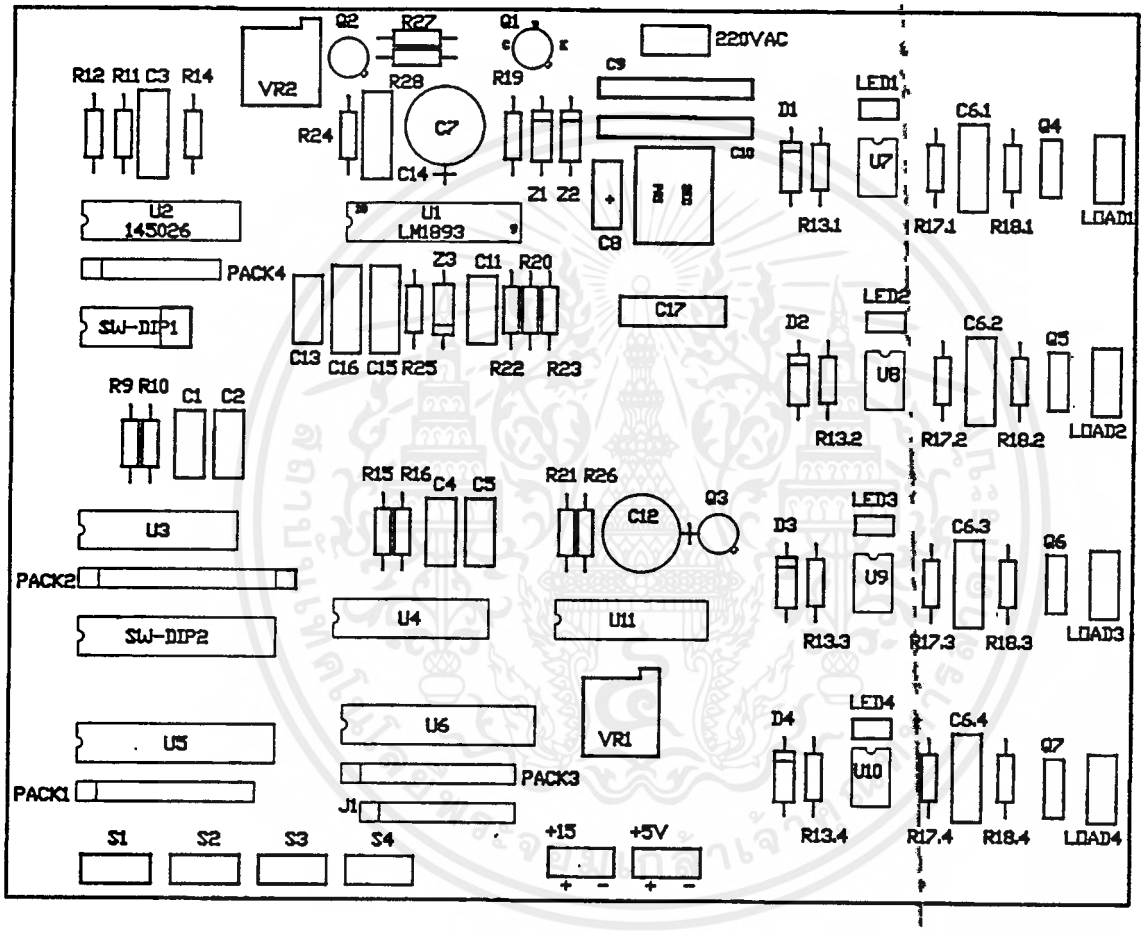

I/P KEYPAD
74245
U3
74245
U2
TCM5089
U1
X1
3.579MHz
R2 R3 R6
100K100K100K
R7
270K
C4 0.1uF
C3 0.1uF
U6
MT8870
X2
3.579MHz
R55 10K
R54 10K
PORT1 D/P
U4
PAL16L8
U5
7404
R1 1K
R4 56K
R5 39K
C1 0.01uF
C2 0.01uF
I/P PORT3
I/P PORT4
D5 1N4001
RELAY 1
D6 1N4001
RELAY 2
Q3 BC547
Q4 BC547
C26 0.1uF
R37 10K
R36 100K
C12 0.1M
Z1 15V
R21 560
R22 22K
C13 22uF
C14 47uF
R23 ?
SW1
U10 4N26
R26 ?
C15 0.1uF
R24 1M
U8 4047
D3 1N4148
D4 1N4148
D7 1N4148
R25 27K
U9 4017
R12 100K
C7 10uF
C8 3.3uF
U7 NJM2072
R13 15K
C9 .01uF
C10 4.7uF
Q5 2SC1815
MATCHING
C6 0.1uF
R11 1M
C5 0.1uF
R8 820
R19 470
R9 1.2K
R10 1.2K
TEL LINE
DIP1
D/P PORT6
PACK1 10K
U11 ISD1420
C20 1uF
C21 0.1uF
C22 1uF
C23
C24
C25 100uF
C16 10uF
C17 220nF
C18 220nF
C19 4.7uF
R31 4.7K
R32 1K
R33 100K
R34 10K
R35 10
S2 SW
PLAY BACK
RECORD
C30 10uF
C37
C33
C36
C34
Z4 15V
R48 10K
R46 1.2K
R47 100
R51 3.3K
U14 LM1893
R50 5.6K
R53 10K
R52 18K
Q1 2N3053
C35
C38
Q2 C1815
R45
R49 2K
U15 7404
I/P IF TRAN
L1 LED
M1 MIC
R27 1K
R28 1K
R29 10K
R30 470K
R38 10K
U16 LM386
C29 0.1uF
R44 470K
DIP SW
R39 10K PACK
R43 24K
C28 0.1uF
U13 145027
I/P PORT5
D/P PORT2
U12 145026
R40 10K
R41 10K
R42 39K
C27 0.0047uF
C31 0.033uF
C32 0.22uF
LINE AC



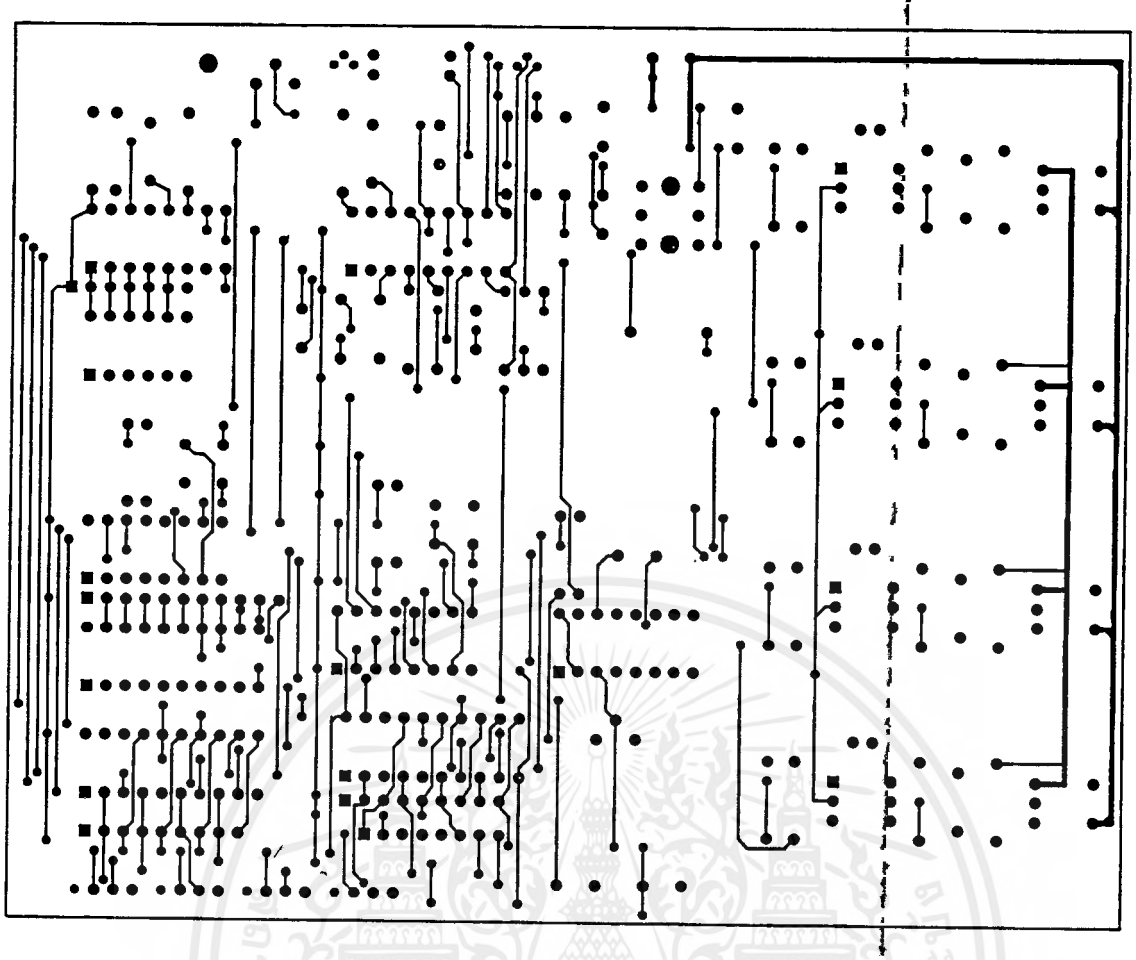
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

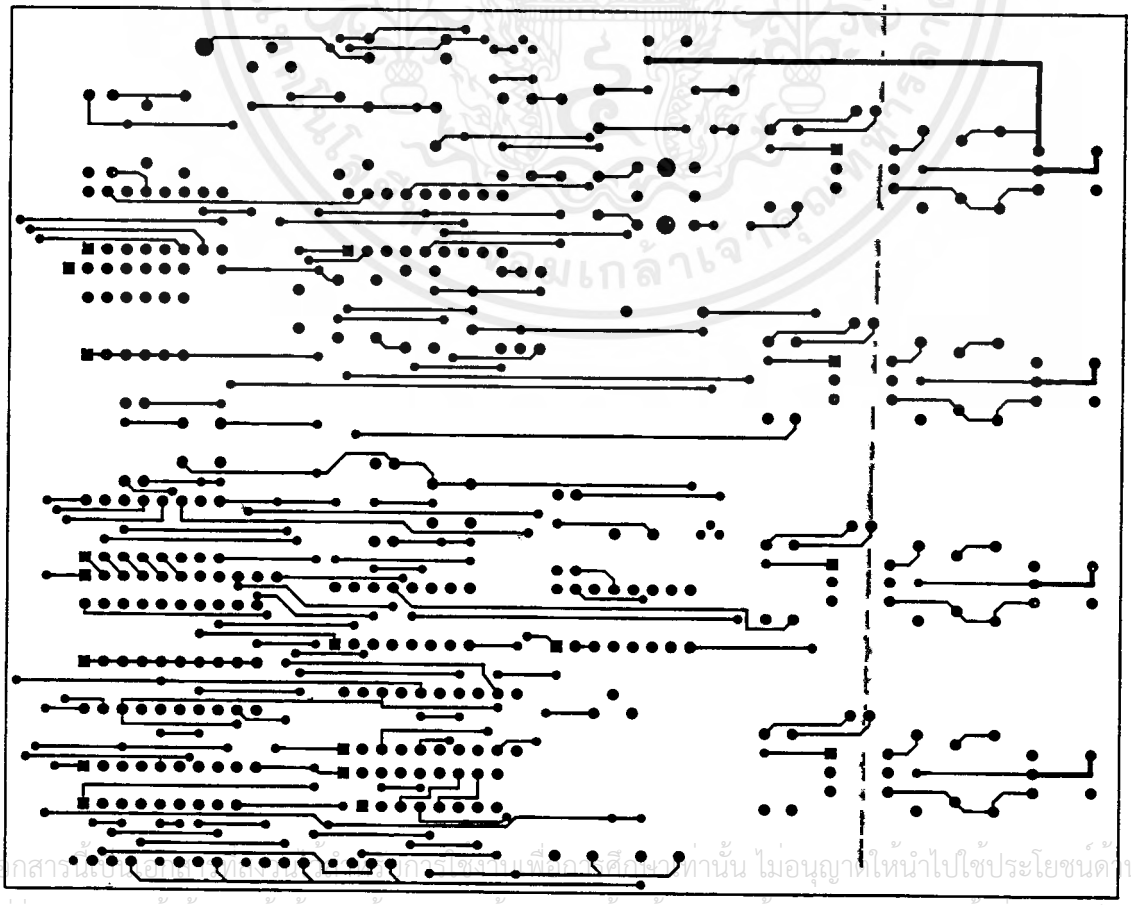


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



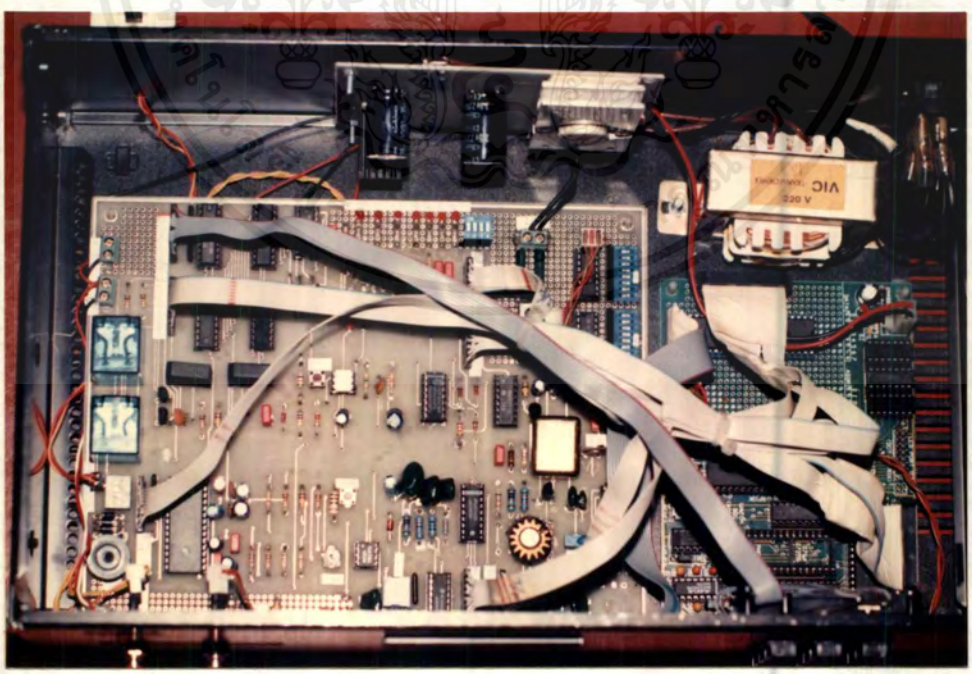
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงตัวเครื่องด้านหน้าของชุด Base Station



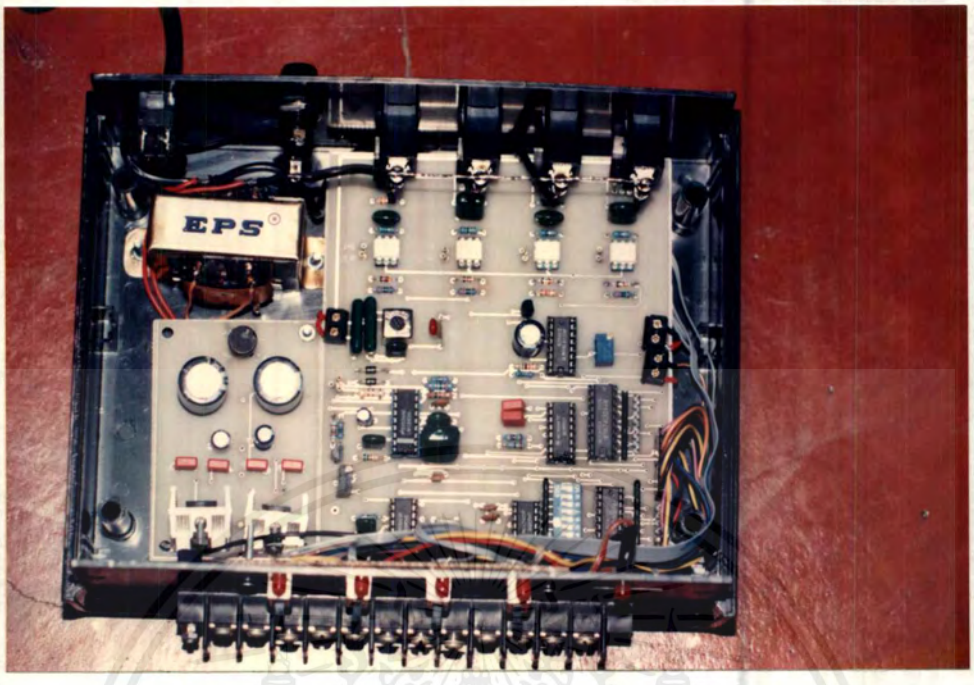
รูปแสดงการวางอุปกรณ์ภายใน ของเครื่อง Base Station

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงตัวเครื่องด้านหน้าของชุด Sub Control

รูปแสดงตัวเครื่องด้านหลังของชุด Sub Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงการวางอุปกรณ์ภายในของชุด Sub Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD1400 Series

Single-Chip Voice Record/Playback Devices
16- and 20-Second Durations

FEATURES

- Easy-to-use single-chip voice Record/ Playback solution
- High-quality, natural voice/audio reproduction
- Push-button interface
  - Playback can be edge- or level-activated
- Single-chip durations of 16 and 20 seconds
- Automatic power-down mode
  - Enters standby mode immediately following a Record or Playback cycle
  - Standby current 0.5 µA (typical)
- Zero-power message storage
  - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- No algorithm development required
- Single +5 volt power supply
- Available in die form, DIP, and SOIC packaging
- Industrial temperature (-40°C to +85°C) versions available

1

ISD1400 SERIES SUMMARY

Part Number	Minimum Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD1416	16	8.0	3.3
ISD1420	20	6.4	2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION

Information Storage Devices' ISD1400 ChipCorder® Series provides high-quality, single-chip record/playback solutions to short-duration messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

DETAILED DESCRIPTION

Speech/Sound Quality

The ISD1400 Series includes devices offered at 6.4 and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

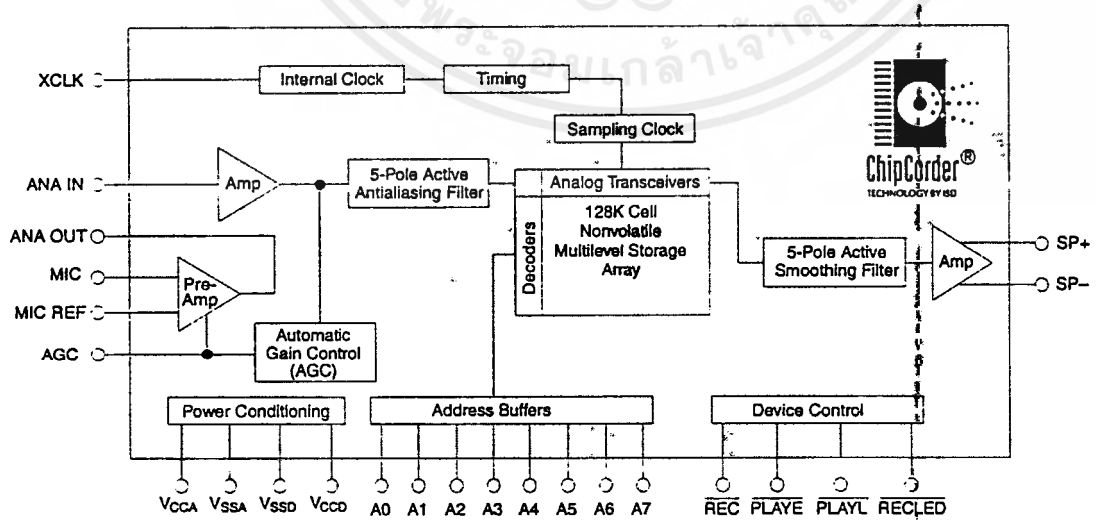
Duration

To meet end system requirements, the ISD1400 Series offers single-chip solutions at 16 and 20 seconds.

EEPROM Storage

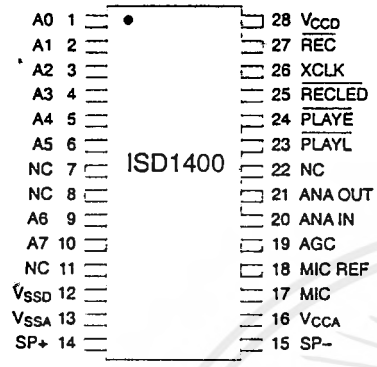
One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

ISD1400 SERIES BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD1400 SERIES PINOUTS



DIP/SOIC

NOTE: *NC means Must Not Connect.*

Basic Operation

The ISD1400 ChipCorder Series devices are controlled by a single Record signal, $\overline{REC}$, and either of two push-button control playback signals, $\overline{PLAYE}$ (edge-activated playback), and $\overline{PLAYL}$ (level-activated playback). The ISD1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 1-75.

Automatic Power-Down Mode

At the end of a Playback or Record cycle, the ISD1400 Series devices automatically return to a low-power standby mode, consuming typically 0.5 µA. During a Playback cycle, the device powers down automatically at the end of the message. During a Record cycle, the device powers down immediately after $\overline{REC}$ is released HIGH.

Addressing (optional)

In addition to providing simple message playback, the ISD1400 Series provides a full addressing capability.

The ISD1400 Series storage array has 160 distinct addressable segments, providing the following resolutions. See the *ISD Application Notes and Design Manual* in this book for ISD1400 address tables.

Part Number	Minimum Duration (Seconds)
ISD1416	100 ms
ISD1420	125 ms

PIN DESCRIPTION

NOTE

The $\overline{REC}$ signal is debounced for 50 ms on the rising edge to prevent a false retriggering from a push-button switch.

Voltage Inputs (V_{CCA}, V_{CCD})

Analog and digital circuits internal to the ISD1400 Series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

Ground Inputs (V_{SSA}, V_{SSD})

Similar to V_{CCA} and V_{CCD}, the analog and digital circuits internal to the ISD1400 Series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

Record ($\overline{REC}$)

The $\overline{REC}$ input is an active-LOW Record signal. The device records whenever $\overline{REC}$ is LOW. This signal must remain LOW for the duration of the Recording. $\overline{REC}$ takes precedence over either Playback ($\overline{PLAYE}$ or $\overline{PLAYL}$) signal. If $\overline{REC}$ is pulled LOW during a Playback cycle, the Playback immediately ceases and Recording begins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Record cycle is completed when $\overline{REC}$ is pulled HIGH or the memory space is filled.

An end-of-message marker (EOM) is internally recorded, enabling a subsequent Playback cycle to terminate appropriately. The device automatically powers down to standby mode when $\overline{REC}$ goes HIGH.

Playback, Edge-Activated ($\overline{PLAYE}$)

When a LOW-going transition is detected on this input signal, a Playback cycle begins. Playback continues until an end-of-message (EOM) is encountered or the end of the memory space is reached. Upon completion of the Playback cycle, the device automatically powers down into standby mode. Taking $\overline{PLAYE}$ HIGH during a Playback cycle will not terminate the current cycle.

Playback, Level-Activated ($\overline{PLAYL}$)

When this input signal transitions from HIGH to LOW, a Playback cycle is initiated. Playback continues until $\overline{PLAYL}$ is pulled HIGH, an EOM marker is detected, or the end of the memory space is reached. The device automatically powers down to standby mode upon completion of the Playback cycle.

NOTE

In Playback, if either $\overline{PLAYE}$ or $\overline{PLAYL}$ is held LOW during EOM or OVERFLOW, the device will still enter standby and the internal oscillator and timing generator will stop. However, the rising edge of $\overline{PLAYE}$ and $\overline{PLAYL}$ are not debounced and any subsequent falling edge (particularly switch bounce) present on the input pins will initiate another Playback.

Record LED Output ($\overline{RECLED}$)

The output $\overline{RECLED}$ is LOW during a Record cycle. It can be used to drive an LED to provide feedback that a Record cycle is in progress. In addition, $\overline{RECLED}$ pulses LOW momentarily when an EOM is encountered in a Playback cycle.

Microphone Input (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from -15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 K Ohm resistance on this pin, determine the low-frequency cutoff for the ISD1400 Series passband. See the *ISD Application Notes and Design Manual* in this book for additional information on low-frequency cutoff calculations.

Microphone Reference (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected differentially to a microphone.

Automatic Gain Control (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of sound, from whispers to loud sounds, to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 KΩ internal resistance and an external capacitor (C6 on the schematic on page 1-75) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R5) and an external capacitor (C6) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 KΩ and 4.7 µF give satisfactory results in most cases.

Analog Output (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog Input (ANA IN)

The ANA IN pin transfers the input signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 KΩ input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

External Clock Input (XCLK)

The external clock input for the ISD1400 devices has an internal pull-down device. The ISD1400 is configured at the factory with an internal sampling clock frequency that guarantees its minimum nominal record/playback time. For instance, an ISD1420 operating within specification will be observed to always have a minimum of 20 seconds of recording time. The sampling frequency is then maintained to a variation of ±2.25% over the commercial temperature and operating voltage ranges, while still maintaining the minimum spcified recording duration. This will result in some devices having a few percent more than nominal recording time.

The internal clock has a ±5% tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Part Number	Sample Rate	Required Clock
ISD1416	8.0 KHz	1024 KHz
ISD1420	6.4 KHz	819.2 KHz

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two internally. ***IF THE XCLK IS NOT USED, THIS INPUT SHOULD BE CONNECTED TO GROUND.***

Speaker Outputs (SP+, SP–)

The SP+ and SP– pins provide direct drive for loudspeakers with impedances as low as 16 ohms. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when SP+ and SP– are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the SP pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at V_{SSA} during Power Down.

Address Inputs (A0-A7)

The Address Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{PLAYE}$, $\overline{PLAYL}$, or $\overline{REC}$.

OPERATIONAL MODES

The ISD1400 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A6 and A7), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, operational modes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and direct addressing are *NOT* compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback but not from Playback to Record when A4 is HIGH in Operational Mode.

Second, an Operational Mode is executed when any of the control inputs, $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

NOTE

The two MSBs are on pins 9 and 10 for each ISD1400 Series device.

OPERATIONAL MODES DESCRIPTION

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — Message Cueing

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the A4 Operational Mode.

A1 — Delete EOM Markers

The A1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one EOM marker set at the end of the final message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

OPERATIONAL MODES TABLE

Address Crtl. (HIGH)	Function	Typical Use	Jointly Compatible*
A0	Message cueing	Fast-forward through messages	A4
A1	Delete EOM markers	Position EOM marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1
A4	Consecutive addressing	Record/Play multiple consecutive messages	A0, A1
A5	Unused		

NOTE: *An asterisk (*) indicates additional operational modes which can be used simultaneously with the given mode.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A2 — Unused

A3 — Message Looping

The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space.

A message can completely fill the ISD1400 device and will loop from beginning to end. Pulsing $\overline{\text{PLAYE}}$ will start the Playback and pulsing $\overline{\text{PLAYL}}$ will end the Playback.

A4 — Consecutive Addressing

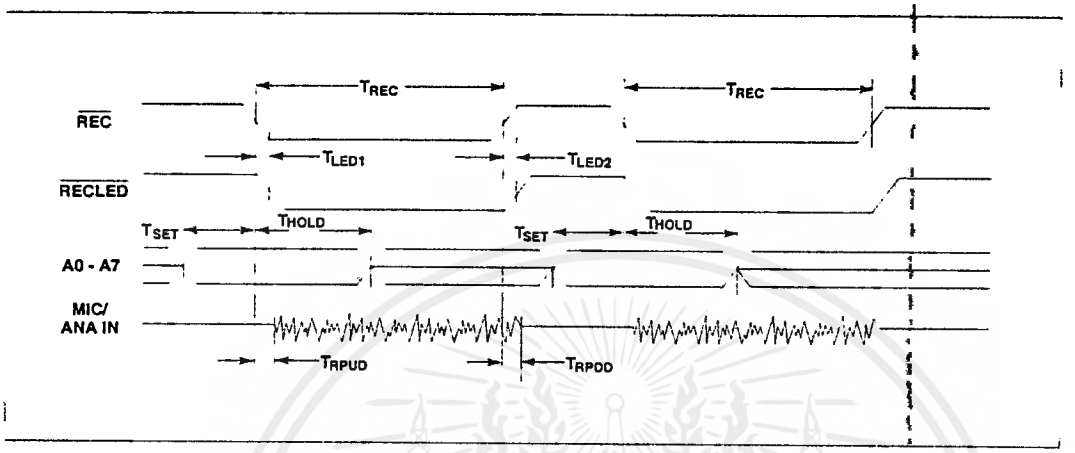
During normal operations, the address pointer will reset when a message is played through to an EOM marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be recorded or played back consecutively. When the device is in a static state; i.e., not recording or playing back, momentarily taking this pin LOW will reset the address counter to zero.

A5 — Unused

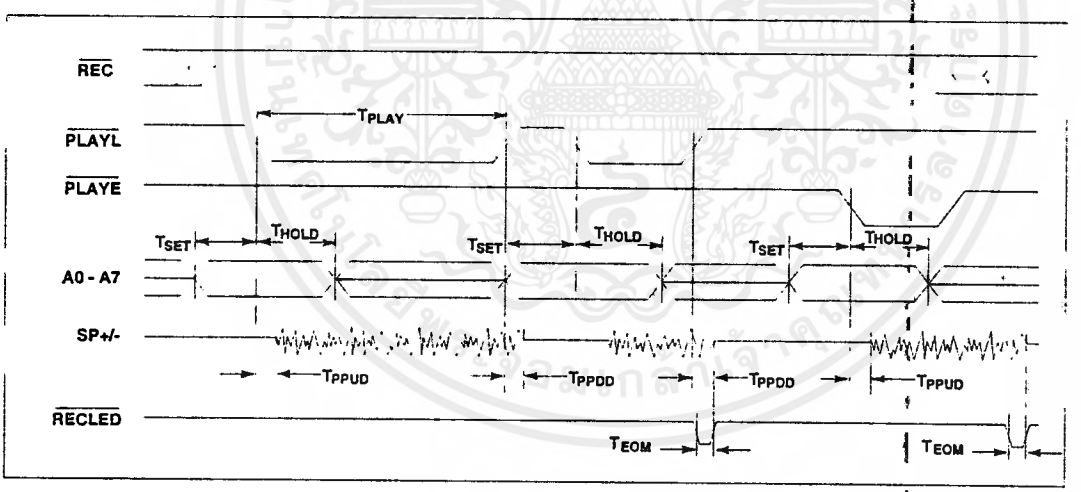
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

Record



Playback



NOTES: *1. REC must be HIGH for the entire duration of a Playback cycle.*
2. RECLED functions as an EOM during Playback.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (PACKAGED PARTS)

Condition	Value
Junction temperature	150° C
Storage temperature range	–65° C to +150° C
Voltage applied to any pin	(V_{SS} – 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ±20 mA)	(V_{SS} – 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering – 10 seconds)	300° C
V_{CC} - V_{SS}	– 0.3 V to + 7.0 V

NOTE: *Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.*

OPERATING CONDITIONS (PACKAGED PARTS)

Condition	Value
Commercial operating temperature range[1]	0° C to +70° C
Industrial operating temperature[1]	–40° C to +85° C
Supply voltage (V_{CC})[2]	+4.5 V to +5.5 V
Ground voltage (V_{SS})[3]	0 V

NOTES: ***1.*** *Case temperature.*
2. *$V_{CC} = V_{CCA} = V_{CCD}$*
3. *$V_{SS} = V_{SSA} = V_{SSD}$*

DC PARAMETERS (PACKAGED PARTS)

Symbol	Parameters	Min[2]	Typ[1]	Max[2]	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = – 1.6 mA
I_{CC}	V_{CC} Current (Operating)		15	30	mA	V_{CC} = 5.5 V [3], R_{EXT} = ∞
I_{SB}	V_{CC} Current (Standby)		0.5	10	µA	[3] [4]
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current HIGH w/Pull Down			130	µA	Force V_{CC} [5]
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	17	KΩ	Pins 17, 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (PACKAGED PARTS) – CONTINUED

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
$R_{ANA\ IN}$	ANA IN Input Resistance	2.5	3	5	KΩ	
A_{PRE1}	Preamp Gain 1	20	23	26	dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		– 45	– 15	dB	AGC = 2.5 V
A_{ARP}	ANA IN to SP+/- Gain	20	22	25	dB	
R_{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	
I_{PREH}	Preamp Out Source		– 2		mA	@ V_{OUT} = 1.0 V
I_{PREL}	Preamp In Sink		0.5		mA	@ V_{OUT} = 2.0 V

NOTES: *1. Typical values @ T_A = 25° C and 5.0 V.*
2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
3. V_{CCA} and V_{CCD} connected together.
4. $\overline{REC}$, $\overline{PLAYL}$, and $\overline{PLAYE}$ must be at V_{CCD}.
5. XCLK pin.

AC PARAMETERS (PACKAGED PARTS)

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
F_S	Sampling Frequency	— ISD1416			8	KHz	(5)
		— ISD1420			6.4	KHz	(5)
F_{CF}	Filter Pass Band	— ISD1416		3.3		KHz	3 dB Roll-Off Point (3)(6)
		— ISD1420		2.6		KHz	3 dB Roll-Off Point (3)(6)
T_{REC}	Record Duration	— ISD1416	16			sec	
		— ISD1420	20			sec	
T_{PLAY}	Playback Duration	— ISD1416	16			sec	(5)
		— ISD1420	20			sec	(5)
T_{LED1}	$\overline{RECLED}$ ON Delay			5		msec	
T_{LED2}	$\overline{RECLED}$ OFF Delay	— ISD1416	30	38.9	95	msec	
		— ISD1420	40	48.6	110	msec	
T_{SET}	Address Setup Time		300			nsec	
T_{HOLD}	Address Hold Time		0			nsec	
T_{RPUD}	Rec. Power-Up Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	
T_{RPDD}	Rec. Power-Down Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (PACKAGED PARTS) – CONTINUED

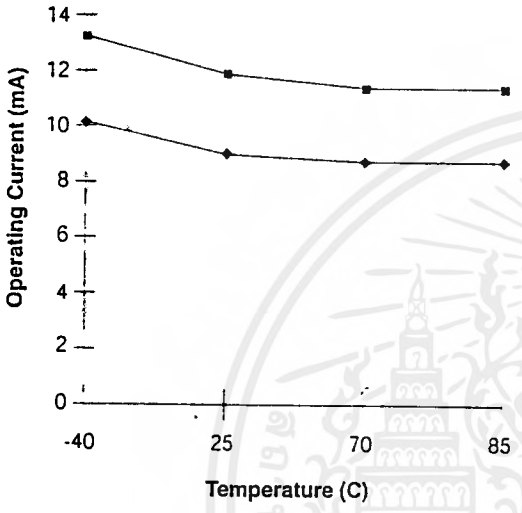
Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
T_{PPUD}	Play Power-Up Delay	— ISD1416 — ISD1420		26 32		msec msec	
T_{PPDD}	Play Power-Down Delay	— ISD1416 — ISD1420		6.5 8.1		msec msec	
T_{EOM}	EOM Pulse Width	— ISD1416 — ISD1420		12.5 15.625		msec msec	
THD	Total Harmonic Distortion			1	3	%	@ 1 KHz
P_{OUT}	Speaker Output Power			12.2		mW	R_{EXT} = 16 Ω
V_{OUT}	Voltage Across Speaker Pins			1.25	2.5	V p-p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak (4)
V_{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak

NOTES: *1. Typical values @ T_A = 25° C and 5.0 V.*
2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
3. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).
4. With 5.1 KΩ series resistor at ANA IN.
5. Sampling frequency and Playback duration will vary as much as ±2.25% over the commercial temperature and voltage ranges. It may vary as much as ±5% over the industrial temperature and voltage ranges. All devices will meet the maximum sampling frequency and minimum Playback duration parameters. For greater stability, an external clock can be utilized (see Pin Descriptions).
6. Filter specification applies to the antialiasing filter and to the smoothing filter.

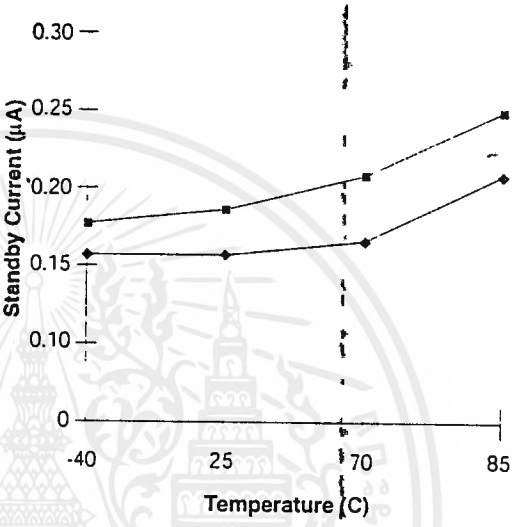
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (PACKAGED PARTS)

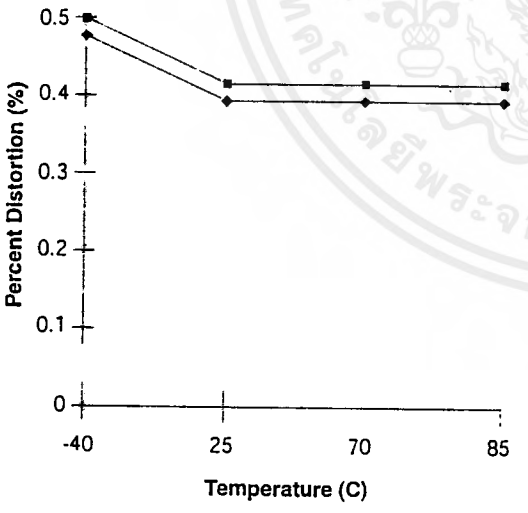
RECORD MODE OPERATING CURRENT (I_{CC})



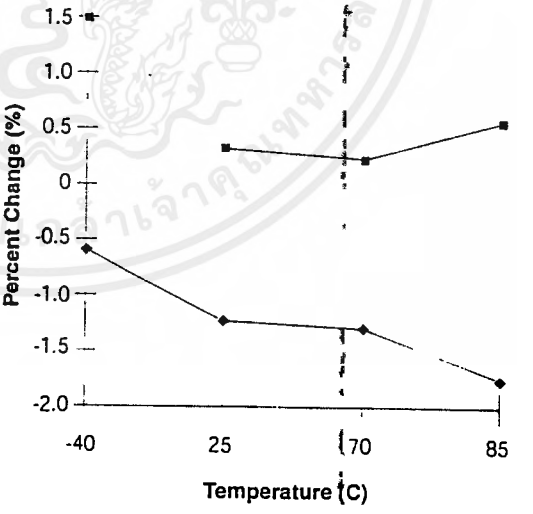
STANDBY CURRENT (I_{SB})



TOTAL HARMONIC DISTORTION



OSCILLATOR STABILITY



■ 5.5 Volts ◆ 4.5 Volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (DIE)

Condition	Value
Junction temperature	150° C
Storage temperature range	−65° C to +150° C
Voltage applied to any pad	(V_{SS} − 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pad (Input current limited to ± 20 mA)	(V_{SS} − 1.0 V) to (V_{CC} + 1.0 V)
V_{CC} - V_{SS}	− 0.3 V to + 7.0 V

NOTE: *Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.*

OPERATING CONDITIONS (DIE)

Condition	Value
Commercial operating temperature range	0° C to +50° C
Supply voltage (V_{CC})(1)	+4.5 V to +6.5 V
Ground voltage (V_{SS})(2)	0 V

NOTES: *1. $V_{CC} = V_{CCA} = V_{CCD}$*
2. $V_{SS} = V_{SSA} = V_{SSD}$

1

DC PARAMETERS (DIE)

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −1.6 mA
I_{CC}	V_{CC} Current (Operating)		15	30	mA	V_{CC} = 5.5 V (3), R_{EXT} = ∞
I_{SB}	V_{CC} Current (Standby)		0.5	10	µA	(3) (4)
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current HIGH w/Pull Down			130	µA	Force V_{CC} (5)
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	17	KΩ	Pins 17, 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (DIE) – CONTINUED

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
$R_{ANA\ IN}$	ANA IN Input Resistance	2.5	3	5	KΩ	
A_{PRE1}	Preamp Gain 1	20	23	26	dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		– 45	–15	dB	AGC = 2.5 V
A_{ARP}	ANA IN to SP+/- Gain	20	22	25	dB	
R_{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	
I_{PREH}	Preamp Out Source		– 2		mA	@ V_{OUT} = 1.0 V
I_{PREL}	Preamp In Sink		0.5		mA	@ V_{OUT} = 2.0 V

NOTES: ***1.*** *Typical values @ T_A = 25° C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*
3. *V_{CCA} and V_{CCD} connected together.*
4. *$\overline{REC}$, $\overline{PLAYL}$, and $\overline{PLAYE}$ must be at V_{CCD}.*
5. *XCLK pin.*

AC PARAMETERS (DIE)

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
F_S	Sampling Frequency	— ISD1416			8	KHz	(5)
		— ISD1420			6.4	KHz	(5)
F_{CF}	Filter Pass Band	— ISD1416		3.3		KHz	3 dB Roll-Off Point (3)(6)
		— ISD1420		2.6		KHz	3 dB Roll-Off Point (3)(6)
T_{REC}	Record Duration	— ISD1416	16			sec	
		— ISD1420	20			sec	
T_{PLAY}	Playback Duration	— ISD1416	16			sec	(5)
		— ISD1420	20			sec	(5)
T_{LED1}	$\overline{RECLED}$ ON Delay			5		msec	
T_{LED2}	$\overline{RECLED}$ OFF Delay	— ISD1416	30	38.9	95	msec	
		— ISD1420	40	48.6	110	msec	
T_{SET}	Address Setup Time		300			nsec	
T_{HOLD}	Address Hold Time		0			nsec	
T_{RPUD}	Rec. Power-Up Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	
T_{RPDD}	Rec. Power-Down Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (DIE) – CONTINUED

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
T_{PPUD}	Play Power-Up Delay	— ISD1416 — ISD1420		26 32		msec msec	
T_{PPDD}	Play Power-Down Delay	— ISD1416 — ISD1420		6.5 8.1		msec msec	
T_{EOM}	EOM Pulse Width	— ISD1416 — ISD1420		12.5 15.625		msec msec	
THD	Total Harmonic Distortion			1	3	%	@ 1 KHz
P_{OUT}	Speaker Output Power			12.2		mW	R_{EXT} = 16 Ω
V_{OUT}	Voltage Across Speaker Pins			1.25	2.5	V p-p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak (4)
V_{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak

NOTES: ***1.*** *Typical values @ T_A = 25° C and 5.0 V.*

2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*

3. *Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).*

4. *With 5.1 KΩ series resistor at ANA IN.*

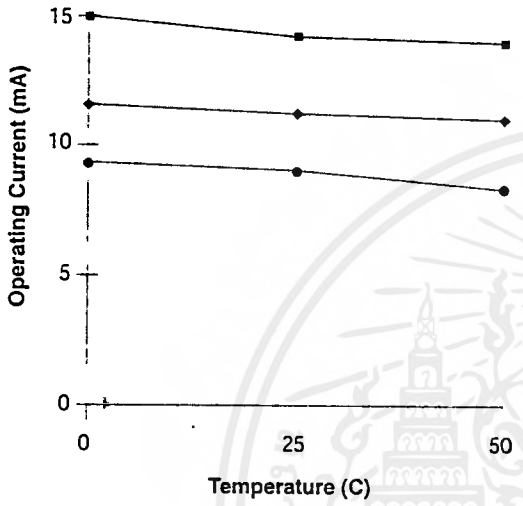
5. *Sampling frequency and Playback duration will vary as much as ±2.25% over the commercial temperature and voltage ranges. All devices will meet the maximum sampling frequency and minimum Playback duration parameters. For greater stability, an external clock can be utilized (see Pin Descriptions).*

6. *Filter specification applies to the antialiasing filter and to the smoothing filter.*

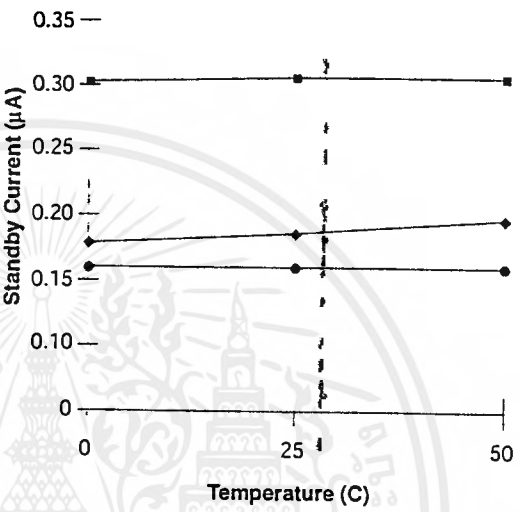
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)

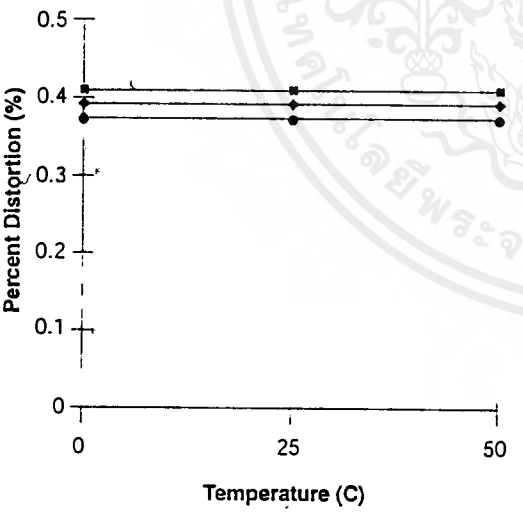
RECORD MODE OPERATING CURRENT (I_{CC})



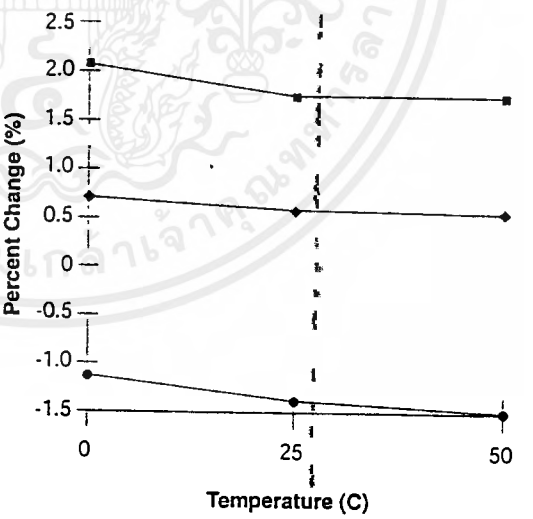
STANDBY CURRENT (I_{SB})



TOTAL HARMONIC DISTORTION



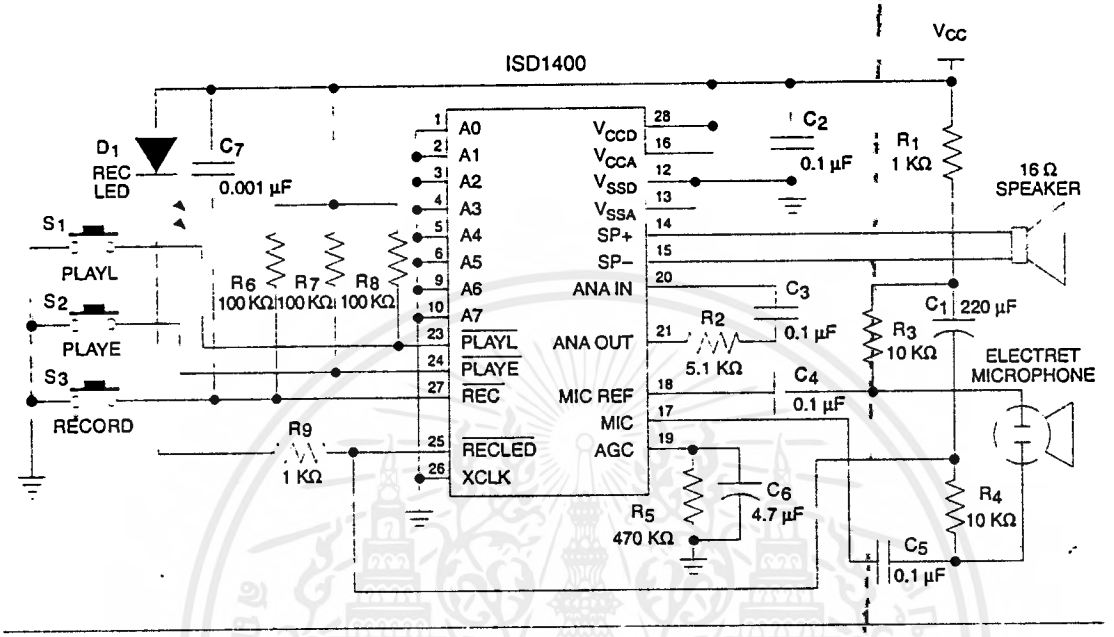
OSCILLATOR STABILITY



■ 6.5 Volts ◆ 5.5 Volts ● 4.5 Volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION EXAMPLE



FUNCTIONAL DESCRIPTION EXAMPLE

The following example operating sequence demonstrates the functionality of the ISD1400 Series devices.

1. **Record a message filling the address space.**

   Pulling the $\overline{REC}$ signal LOW initiates a Record cycle from the beginning of the message space. If $\overline{REC}$ is held LOW, the Recording continues until the message space has been filled. Once the message space is filled, Recording ceases. The device will automatically power down after $\overline{REC}$ is pulled HIGH.

2. **Edge-activated playback.**

   Pulling the $\overline{PLAYE}$ signal LOW initiates a Playback cycle from the beginning of the message space or at a selected location. The rising edge of $\overline{PLAYE}$ has no effect on operation. If a Recording has filled the message space, the entire message is played. When the device reaches the EOM marker, it automatically powers down. A subsequent falling edge on $\overline{PLAYE}$ initiates a new Play cycle from the start address.

3. **Level-activated playback.**

   Pulling the $\overline{PLAYL}$ signal LOW initiates a Playback cycle from the beginning of the message space of a selected location. If Recording has filled the message space, the entire message is played. When the device reaches the EOM marker, it automatically powers down. A subsequent falling edge on $\overline{PLAYL}$ initiates a new Play cycle from the starting address.

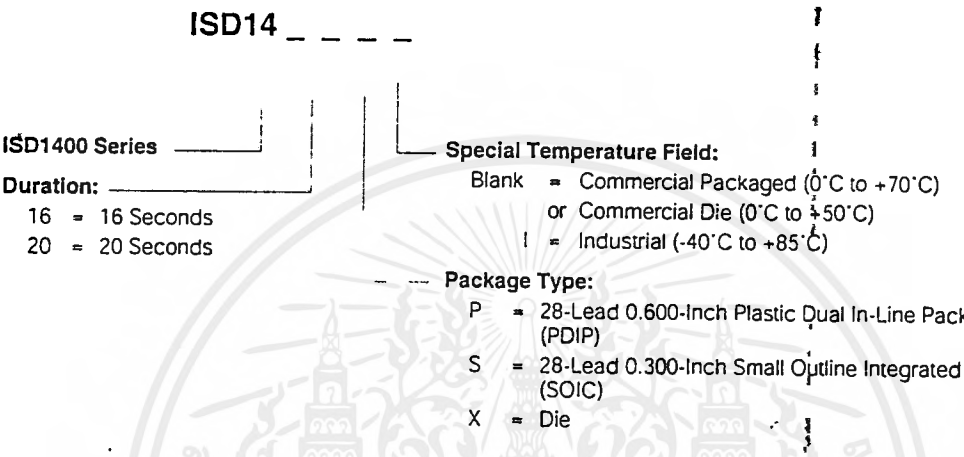
4. **Level-activated playback (truncated).**

   If $\overline{PLAYL}$ is pulled HIGH any time during the Playback cycle, the device stops playing and enters the power-down mode. A subsequent falling edge on $\overline{PLAYL}$ initiates a new Play cycle from the start address.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Product Number Descriptor Key



1

When ordering ISD1400 Series devices, please refer to the following valid part numbers.

Part Number	Part Number
ISD1416P	ISD1420P
ISD1416PI	ISD1420PI
ISD1416S	ISD1420S
ISD1416SI	ISD1420SI
ISD1416X	ISD1420X

For the latest product information, access ISD's worldwide website at http://www.isd.com.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

April 1995

LM1893/LM2893 Carrier-Current Transceiver†

General Description

Carrier-current systems use the power mains to transfer information between remote locations. This bipolar carrier-current chip performs as a power line interface for half-duplex (bi-directional) communication of serial bit streams of virtually any coding. In transmission, a sinusoidal carrier is FSK modulated and impressed on most any power line via a rugged on-chip driver. In reception, a PLL-based demodulator and impulse noise filter combine to give maximum range. A complete system may consist of the LM1893, a COPS™ controller, and discrete components.

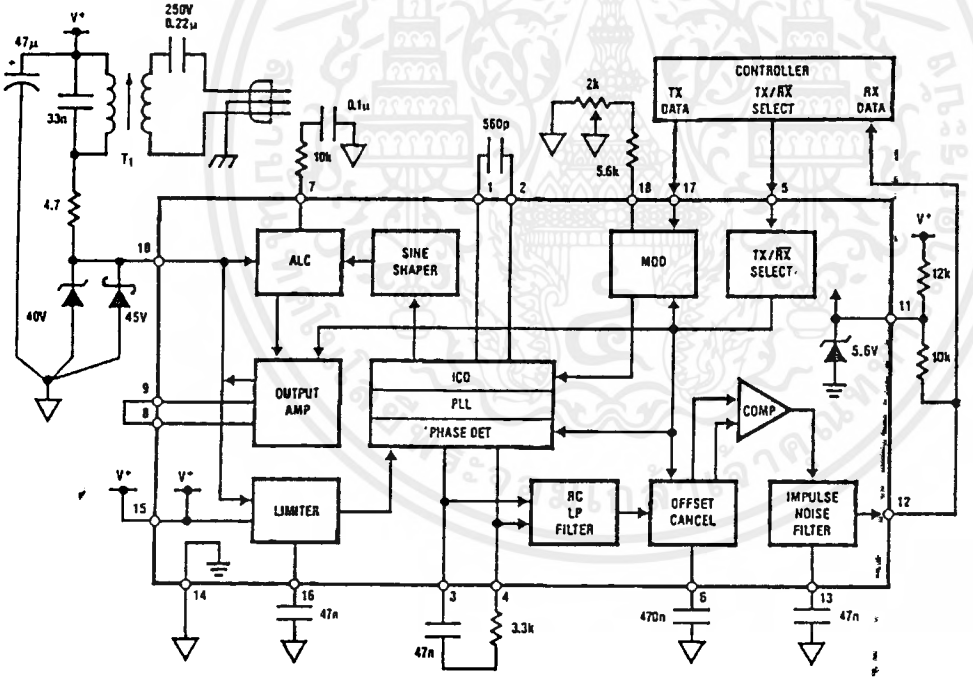
Features

- Noise resistant FSK modulation
- User-selected impulse noise filtering
- Up to 4.8 kBaud data transmission rate
- Strings of 0's or 1's in data allowed
- Sinusoidal line drive for low RFI
- Output power easily boosted 10-fold
- 50 to 300 kHz carrier frequency choice
- TTL and MOS compatible digital levels
- Regulated voltage to power logic
- Drives all conventional power lines

Applications

- Energy management systems
- Home convenience control
- Inter-office communication
- Appliance control
- Fire alarm systems
- Security systems
- Telemetry
- Computer terminal interface

Typical Application



TL/H/6750-1

FIGURE 1. Block diagram of carrier—current chip with a complement of discrete components making a complete $F_O = 125$ kHz, $f_{DATA} = 360$ Baud transceiver. Use caution with this circuit—dangerous line voltage is present.

BI-LINE™ and COPS™ are trademarks of National Semiconductor Corp.
†Carrier-Current Transceivers are also called Power Line Carrier (PLC) transceivers.

©1995 National Semiconductor Corporation TL/H/6750

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply voltage	30 V
Voltage on pin 12	55 V
Voltage on pin 10 (Note 1)	41 V
Voltage on pins 5 and 17	40 V
5.6 V DC zener current	100 mA
Junction temperature: transmit mode	150°C
receive mode	125°C
Electro-Static Discharge (120 pF, 1500Ω)	1KV
Maximum continuous dissipation, $T_A = 25°C$, plastic DIP N (Note 2): transmit mode	1.66 W
receive mode	1.33 W
Operating ambient temp. range	−40 to 85°C
Storage temperature range	−65 to 150°C
Lead temp., soldering, 7 seconds	260°C

Note: *Absolute maximum ratings indicate limits beyond which damage to the device may occur. Electrical specifications are not ensured when operating the device above guaranteed limits but below absolute maximum limits, but there will be no device degradation.*

General Electrical Characteristics

(Note 3). The test conditions are: $V^+ = 18V$ and $F_O = 125$ kHz, unless otherwise noted.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
1	5.6 V Zener voltage, V_Z	Pin 11, $I_Z = 2$ mA	5.6	5.2 5.9		V min. V max.
2	5.6 V Zener resistance, R_Z	Pin 11, $R_Z = (V_Z@10\text{ mA} - V_Z@1\text{ mA})/(10\text{ mA} - 1\text{ mA})$	5			Ω
3	Carrier I/O peak survivable transient voltage, V_{OT}	Pin 10, discharge 1 μF cap. charged to V_{OT} thru < 1Ω	80	60		V max.
4	Carrier I/O clamp voltage, V_{OC}	Pin 10, $I_{OC} = 10$ mA, RX mode 2N2222 diode pin 8 to 9	44	41 50		V min. V max.
5	Carrier I/O clamp resistance, R_{10}	Pin 10, $I_{OC} = 10$ mA	20			Ω
6	TX/RX low input voltage, V_{IL}	Pin 5	1.8	0.8		V max.
7	TX/RX high input voltage, V_{IH}	Pin 5 (Note 9)	2.2	2.8		V min.
8	TX/RX low input current, I_{IL}	Pin 5 at 0.8 V	−2	−20 1		μA min. μA max.
9	TX/RX high input current, I_{IH}	Pin 5 at 40 V	10^{-4}	−1 10	0	μA min. μA max.
10	RX−TX switch-over time, T_{RT}	Time to develop 63% of full current drive thru pin 10	10			μs
11	TX−RX switch-over time, T_{TR}	1 bit time, $T_B = 1/(2F_{DATA})$. Time T_{TR} is user controlled with C_M, see Apps. Info.	2			bit
12	ICO initial accuracy of F_O	TX mode, $R_O = 6.65$ kΩ, $C_O = 560$ pF $F_0 = (F_1 + F_2)/2$	125	113 137		kHz min. kHz max.
13	ICO temperature coefficient of F_O	TX or RX mode, $(F_{OMAX} - F_{OMIN})/(T_{JMAX} - T_{JMIN})$	−100			PPM/°C
14	Temperature drift of F_O	TX or RX mode, $-40 \le T_J \le T_{JMAX}$	±2.0		±5.0	% max.

Transmitter Electrical Characteristics

(Note 3). The test conditions are: $V^+ = 18$ V and $F_O = 125$ kHz unless otherwise noted. The transmit center frequency is F_O, FSK low is F_1, and FSK high is F_2.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
15	Supply voltage, V^+, range	Meets test 17 spec. at $T_J = 25°C$ and: $\lvert(F_1[14V] - F_1[18V])/F_1[18V]\rvert < 0.01$ $\lvert(F_1[24V] - F_1[18V])/F_1[18V]\rvert < 0.01$	13 40	14 24	15 23	V min. V max.
16	Total supply current, I_{OT}	Pin 15. Pin 12 high. I_{OT} is I_O through pin 15 and the average current I_{ODC} of the Carrier I/O through pin 10	52	79		mA max.
17	Carrier I/O output current, I_O	100Ω load on pin 10	70	45		mApp min.
18	Carrier I/O lower swing limit, V_{ALC}	Pin 10. Set internally be ALC. 2N2222 diode pin 8 to 9	4.7	4.0 5.7		V min. V max.
19	THD of I_O (Note 6)	Q of 10 tank driving 10Ω line 100Ω load, no tank	0.6 5.5		5.0 9	% max. % max.
20	FSK deviation, $F_2 - F_1$	$(F_2 - F_1)/([F_2 + F_1]/2)$	4.4	3.7 5.2		% min. % max.
21	Data In, low input voltage, V_{IL}	Pin 17	1.7	0.8		V max.
22	Data In, high input voltage, V_{IH}	Pin 17 (Note 9)	2.1	2.8		V min.
23	Data In, low input current, I_{IL}	Pin 17 at 0.8 V	−1	−10 1		μA min. μA max.
24	Data In, high input current, I_{IH}	Pin 17 at 40 V	10^{-4}	−1 10	0	μA min. μA max.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receiver Electrical Characteristics (Note 3). The test conditions are: $V^+ = 18$ V, $F_O = 125$ kHz, ±2.2% deviation FSK, $F_{DATA} = 2.4$ kHz, $V_{IN} = 100$ mVpp, in the receive mode, unless otherwise noted.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
25	Supply voltage, V^+, range	Functional receiver (Note 7)	**12** **37**	13 30	**13.5** **28**	V min. V max.
26	Supply current, I_{OT}	I_{OT} is pin 15 (V^+) plus pin 10 (Carrier I/O) current. 2.4 kΩ Pin 13 to GND.	11	5 14		mA min. mA max.
27	Carrier I/O input resistance, R_{10}	Pin 10	19.5	14 30		kΩ min. kΩ max.
28	Max. data rate, F_{MD}	Functional receiver (Note 7), C_F = 100 pF, R_F = 0Ω, no tank, 2.4 kHz = 4.8 kBaud	10	4.8	**2.4**	kBaud
29	PLL capture range, F_C	C_F = 100 pF, R_F = 0 Ω	±40	±15	**±10**	% min.
30	PLL lock range, F_L	C_F = 100 pF, R_F = 0 Ω	±45	±15		% min.
31	Receiver input sensitivity, S_{IN}	For a functional receiver (Note 8) Referred to chip side (pin 10) of the line-coupling XFMR: F_O = 50 kHz F_O = 300 kHz Referred to line side of XFMR: (assuming a 7.07:1 XFMR) F_O = 50 kHz F_O = 300 kHz	1.8 2.0 1.4 0.26 0.29 0.20	10	**12**	mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS}
32	Tolerable input dc voltage offset range, V_{INDC}	Pin 10 lower than pin 15 by V_{INDC}	2	0.1		V max.
33	Data Out, breakdown voltage	Pin 12, leakage I ≤ 20 μA	70	55		V min.
34	Data Out, low output, V_{OL}	Pin 12, sat. voltage at I_{OL} = 2 mA	0.15	0.4		V max.
35	Impulse noise filter current, I_I	Pin 13 charge and discharge current	±55	±45 ±85		μA min. μA max.
36	Offset hold cap. bias voltage, V_{CM}	Pin 6	2.0	1.3 3.5		V min. V max.
37	Offset hold capacitor max. drive current, I_{MCM}	Pin 6, V(pin 3) − V(pin 4) = ±250 mV	±55	±25 ±80		μA min. μA max.
38	Offset hold bias current, I_{OHB}	Pin 6, TX mode. Bias pin 6 as it self-biased during test 31.	−0.5	−20	**−40** **40**	nA min. nA max.
39	Phase comparator current, I_{PC}	Bias pins 3 and 4 at 8.5 V I_{PC} = I(pin 3) + I(pin 4), TX mode	100	50 200		μA min. μA max.
40	Phase detector output resistance, R_{PD}	Pins 3 and 4. R_{PD} = (V@100μA − V@50μA)/(50μA)	10	6 18		kΩ min. kΩ max.
41	Phase detector demodulated output voltage, V_{PD}	Pin 3 to 4, measured after filtering out the $2F_O$ component	100	60 180		mVpp min. mVpp max.
42	Fast offset cancel voltage "window" -to-V_{PD} ratio, V_W/V_{PD}	$V_{PIN3} - V_{PIN4} = \pm V_{WINDOW}$ + DC offset Drive for ±1 μA pin 6 current	0.95	0.70 1.20		V/V min. V/V max.
43	Power supply rejection, PSRR	C_L = 0.1 μF. PSRR = CMRR, 120 Hz	80			dB min.

Note 1: More accurately, the maximum voltage allowed on pin 10 is V_{OC}, and V_{OC} ranges from 41 to 50V. Also, transients may reach above 60V; see the transient peak voltage characteristic curve.

Note 2: The maximum power dissipation rating should be derated for device operation above 25°C to insure that the junction temperature remains below the maximum rating. Use a θ_{JA} of 75°C/W for the N package using a socket in still air (which is the worst case). Consult the Application Information section for more detail.

Note 3: The boldface values apply over the full junction temperature range for the specified supply voltage range. All other numbers apply at $T_A = T_J = 25°C$. Pin numbers refer to LM1893. LM2893 tested by shorting Carrier In to Carrier Out and testing it as an LM1893.

Note 4: Guaranteed and 100% production tested.

Note 5: Guaranteed (but not 100% production tested) over the temperature and supply voltage ranges. These limits are not used to calculate outgoing quality levels.

Note 6: Total harmonic distortion is measured using THD = [I_{RMS} (all components at or above $2F_O$)]/[I_{RMS} (fundamental)].

Note 7: Receiver function is defined as the error-free passage of 1 cycle of 50% duty-cycle 2.4 kHz square-wave data (2 sequential 208 μS bits), with the first bit being a "1." All of the data transitions (edges) must fall within ±10% (±20.8 μs) of their noise-free positions. RX time delay is minimized by using no impulse noise filter cap. C_I for this test.

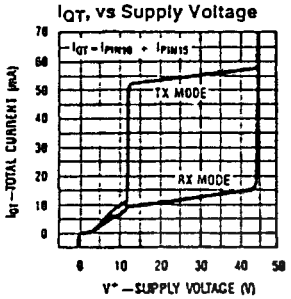
Note 8: During the sensitivity check, note 7 requirements are followed with these exceptions: (1) data rate F_{DATA} = 1.2 kHz, (2) all of the data transitions must fall within ±20% (±41.6 μs) of their noise-free positions, and (3), a time-domain filter capacitor (C_I) is used. The time delay of C_I is ½ bit, or 208 μs. (C_I is approximately 6200 pF).

Note 9: For TTL compatibility use a pull-up resistor to increase min. V_{OH} to above 2.8 V.

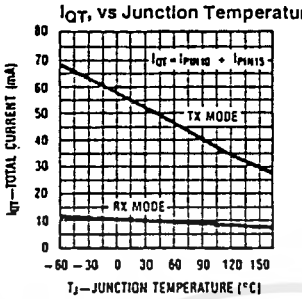
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics ($V^+ = 18V$, $F_O = 125$ kHz, circuit of *Figure 1*, pin numbers for LM1893)

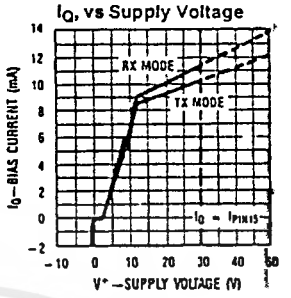
Total Current Consumption, I_{QT}, vs Supply Voltage



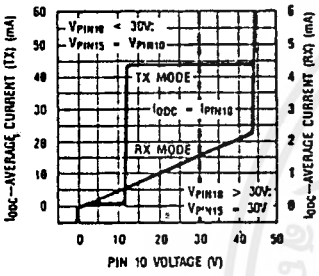
Total Current Consumption, I_{QT}, vs Junction Temperature



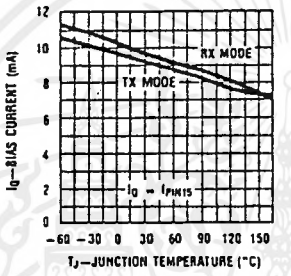
Chip Bias Current, I_Q, vs Supply Voltage



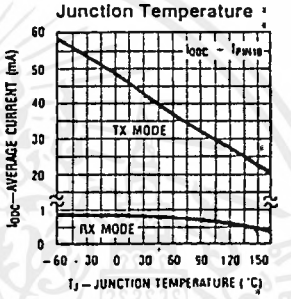
Chip Bias Current, I_Q, vs Junction Tempurature



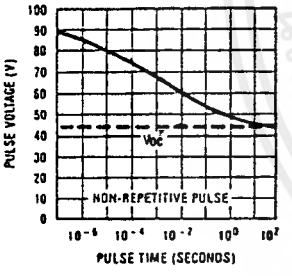
Output Stage DC Current, I_{ODC}, vs Output Voltage



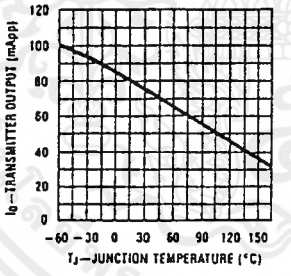
Output Stage DC Current, I_{ODC}, vs Junction Temperature



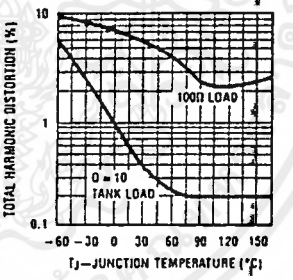
Transient Voltage Survival vs Pulse Time



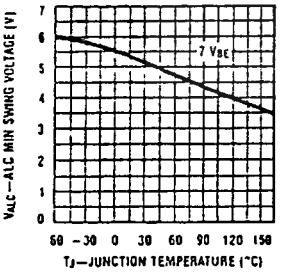
Transmitter AC Output Current vs Junction Temperature



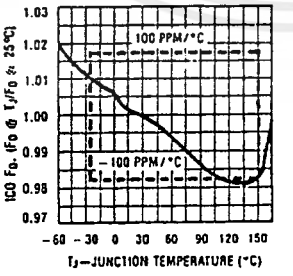
Transmitter Sinusoid THD vs Junction Temperature



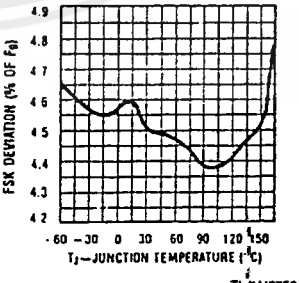
ALC Voltage vs Junction Temperature



ICO Frequency vs Junction Temperature



Transmitter FSK Deviation vs Junction Temperature

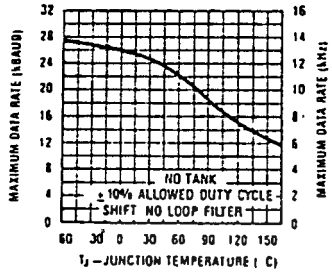


TL/H/6750–38

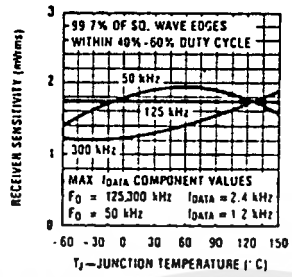
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

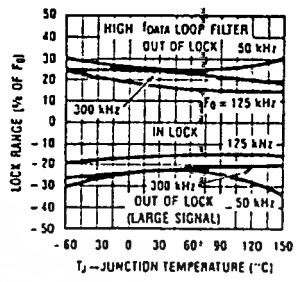
Maximum Data Rate vs Junction Temperature



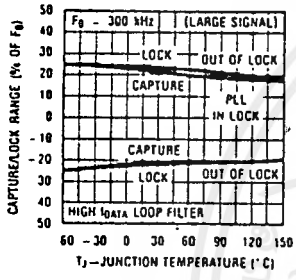
Receiver Sensitivity vs Junction Temperature



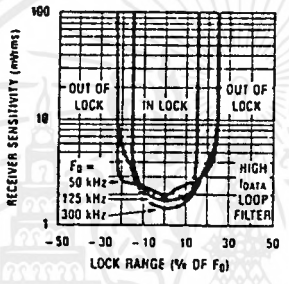
PLL Lock Range vs Junction Temperature and F_O



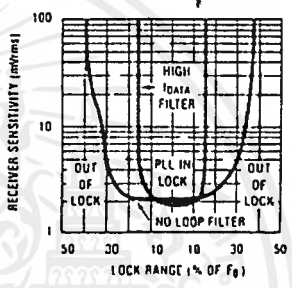
PLL Capture & Lock Range vs Junction Temperature



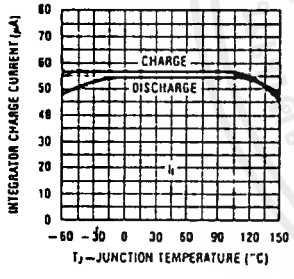
Receiver Sensitivity vs PLL Lock Range and F_O



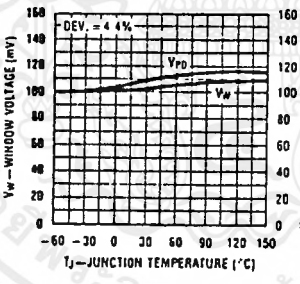
Receiver Sensitivity vs PLL Lock Range and Loop Filter



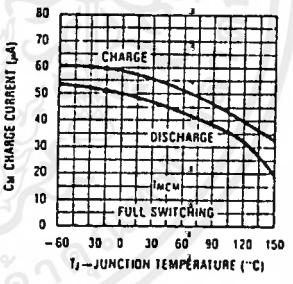
Impulse Noise Filter Current vs Junction Temperature



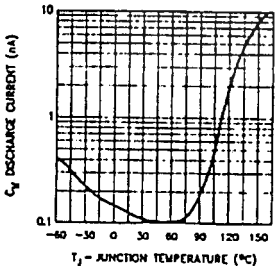
Phase Detector Output Voltage vs Junction Temperature



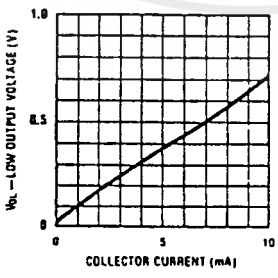
Offset Hold Cap. Charge Currents vs Junction Temperature



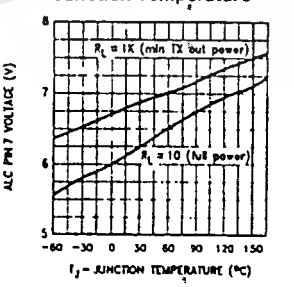
Offset Hold Cap. Bias Current vs Junction Temperature



Data Out. Low Voltage vs Pull Down Current



Pin 7 Bias Voltage vs Junction Temperature



TL/H/6750–39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information*

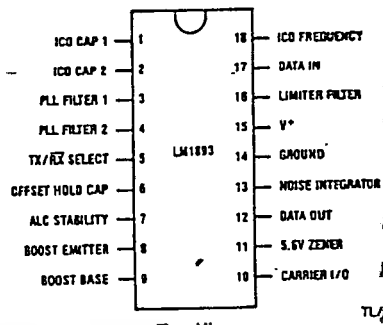
THE DATA PATH

The BI-LINE™ chip serves as a power line interface in the carrier-current transceiver (CCT) system of *Figure 3*. *Figure 4* shows the interface circuit now discussed. The controller may select either the transmit (TX) or receive (RX) mode. Serial data from the controller is used to generate a FSK-modulated 50 to 300 kHz carrier on the line in the TX mode. In the RX mode line signal passes through the coupling transformer into the PLL-based receiver. The recreated serial bit stream drives the controller.

With the IC in the TX mode (pin 5 a logic high), baseband data to 5 kHz drive the modulator's Data In pin to generate a switched 0.978I/1.022I control current to drive the low TC, triangle-wave, current-controlled oscillator to ±2.2% deviation. The tri-wave passes through a differential attenuator and sine shaper which deliver a current sinusoid through an automatic level control (ALC) circuit to the gain of 200 current output amplifier. Drive current from the Carrier I/O develops a voltage swing on T_1's (*Figure 4*) resonant tank proportional to line impedance, then passes through the step-down transformer and coupling capacitor C_C onto the line. Progressively smaller line impedances cause reduced signal swing, but never clipping-thus avoiding potential radio frequency interference. When large line impedances threaten to allow excessive output swing on pin 10, the ALC shunts current away from the output amplifier, holding the voltage swing constant and within the amp's compliance limit. The amplifier is stable with a load of any magnitude or phase angle.

In the RX mode (pin 5 a logic low), the TX sections on the chip are disabled. Carrier signal, broad-band noise, transient spikes, and power line component impinge of the receiver's input highpass filter, made up of C_C and T_1, and the tank bandpass filter. In-band carrier signal, band-limited noise, heavily attenuated line frequency component, and attenuated transient energy pass through to produce voltage swing on the tank, swinging about the positive supply to drive the Carrier I/O receiver input. The balanced Norton-input limiter amplifier removes DC offsets, attenuates line frequency, performs as a bandpass filter, and limits the signal to drive the PLL phase detector differentially. The differential demodulated output signal from the phase detector, containing AC and DC data signal, noise, system DC offsets, and a large twice-the-carrier-frequency component, passes through a 3-stage RC lowpass filter to drive the offset cancel circuit differentially. The offset cancelling circuit works by insuring that the (fixed) ±50 mV signal delivered to the data squaring ("slicing") comparator is centered around the 0 mV comparator switch point. Whenever the comparator signal plus DC offset and noise moves outside the carefully matched ±50 mV voltage "window" of the offset cancel circuit, it adjusts its DC correction voltage in series with the differential signal to force the signal back into the window. While the signal is within the ±50 mV window, the DC offset is stored on capacitor C_{HI}. By grace of the highly non-linear offset hold capacitor charging during offset cancelling, the DC cancellation is done much more quickly than with an AC coupling capacitor normally used in place of the offset cancel circuit. Since impulse noise spikes normally ring the signal symmetrically around 0 V, the fully bilateral offset cancel topology affords excellent noise rejection. The switched current output of the comparator drives the impulse noise filter integrator capacitor that rejects all data pulses of less than the integrator charge time. Noise appears as duty-cycle jitter at the open collector serial data output.

Dual-In-Line Package

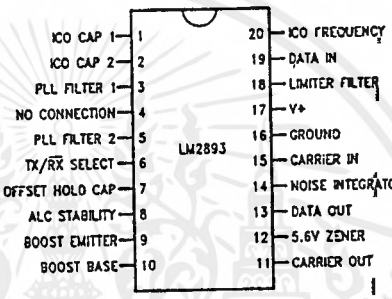


TL/H/6750-2

Top View

Order Number LM1893N
See NS Package Number N18A

Small Outline & Dual-In-Line Package

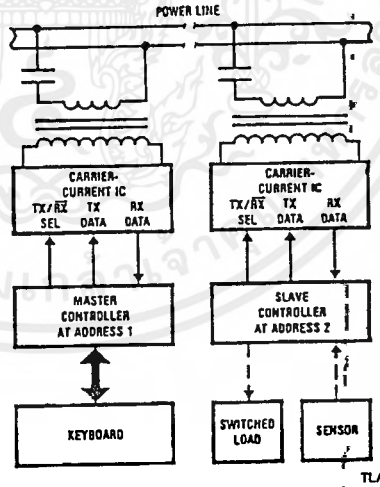


TL/H/6750-41

Top View

Order Number LM2893M or LM2893N
See NS Package Number M20B or N20A

FIGURE 2. Connection Diagrams



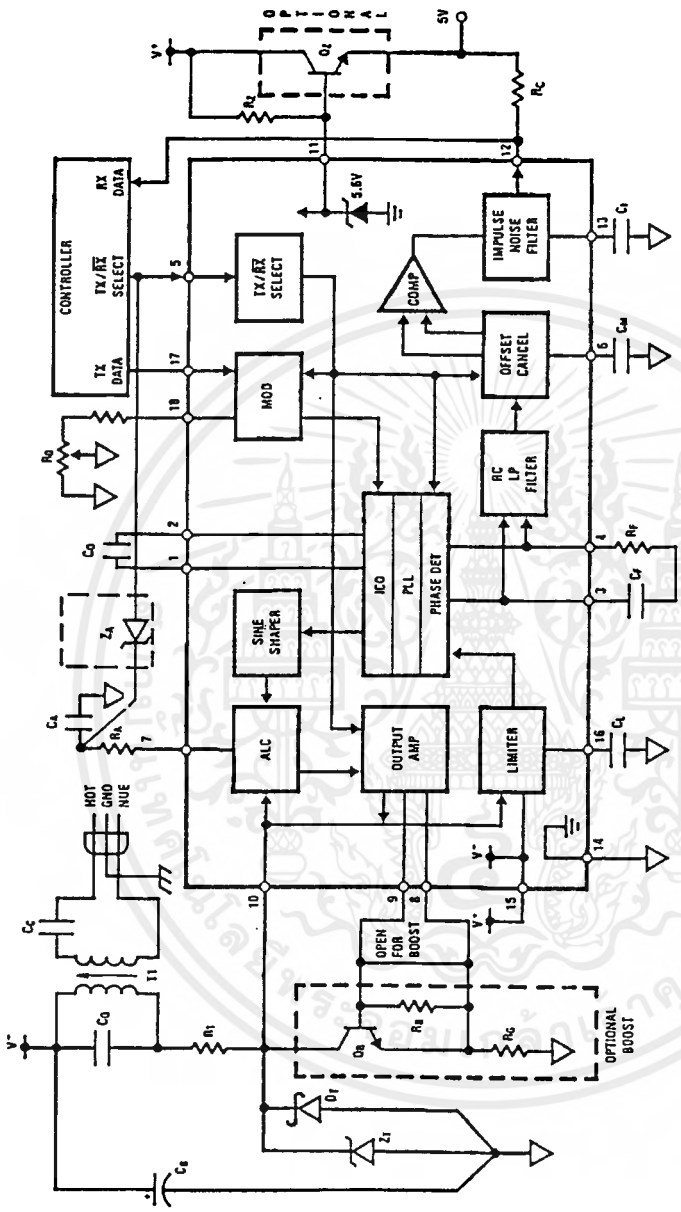
TL/H/6750-3

FIGURE 3. The block diagram of a carrier-current system using the BI-Line chip to interface digital controllers via the power line

*Unless otherwise noted, all pin references refer to LM1893, but hold true for equivalent LM2893 pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information (Continued)



TL/H/6750–4

FIGURE 4. Block diagram of a CCT system with the boost and 5V supply options shown in dashed boxes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information (Continued)

Recommended Value	Purpose	Effect of making the component value: Smaller	Larger	Notes
C_O 560 pF R_O 6.2 kΩ	Together, C_O and R_O set ICO F_O.	Increases F_O Increases F_O <5.6 k not recommended.	Decreases F_O Decreases F_O >7.6 k not recommended.	±5% NPO ceramic. Use low TC 2 k pot and 5.6 k fixed R. Poor F_O TC with <5.6 k R_O.
C_F 0.047 μF R_F 3.3 kΩ	PLL loop filter pole PLL loop filter zero	Less noise immune, higher f_{DATA}, more PLL stability. PLL less stable, allows less C_F. Less ringing.	More noise immune, lower f_{DATA}, less PLL stability. PLL more stable, allows more C_F. More ringing.	Depending on R_F value and F_O, PLL unstable with large C_F. See Apps. Info. C_F and R_F values not critical.
C_C 0.22 μF	Couples F_O to line, C_C and T_1 low-pass attenuates 60 Hz.	Low TX line amplitude. Less 60 Hz T_1 current. Less stored charge.	Drives lower line Z. More 60 Hz T_1 current. More stored charge.	≥250 V non-polar. Use 2C_C on hot and neutral for max. line isolation, safety.
C_O 0.033 μF T_1 Use recommended XFMR	Tank matches line Z, bandpass filters, isolates from line, and attenuates transients.	Tank F_O up or increase L of T_1 for constant F_O. Smaller L: higher F_O or increase C_C; decreased F_O line pull.	Tank F_O down or decrease L of T_1 for constant F_O. Larger L: lower F_O or decrease C_C; increased F_O line pull.	100 V nonpolar, low TC, ±10% High large-signal Q needed. Optimize for low F_O line pull with control of F_O TC and Q.
C_A 0.1 μF R_A 10 kΩ	ALC pole ALC zero	Noise spikes turn ALC off. Less stable ALC.	Slower ALC response. More stable ALC.	R_A optional. ALC stable for C_A ≥ 100 pF.
C_L 0.047 μF	Limiter 50 kHz pole, 60 Hz rejection.	Higher pole F, more 60 Hz reject. F_O attenuation?	Lower pole F, less 60 Hz reject, more noise BW.	Any reasonably low TC cap. 300 pF guarantees stability.
C_M 0.47 μF	Holds RX path V_{OS}	Less noise immune, shorter V_{OS} hold, faster V_{OS} acquisition, shorter preamble.	More noise immune, longer V_{OS} hold, slower V_{OS} acquisition, longer preamble.	Low leakage ±20% cap. Scale with f_{DATA}.
C_I 0.047 μF	Rejects short pulses like impulse noise.	Less impulse reject, less delay, more pulse jitter.	More impulse reject, more delay, less pulse jitter.	C_I charge time ½ bit nom. Must be <1 bit worst-case.
R_C 10 kΩ	Open-col. pull-up	Less available sink I.	Less available source I.	R_C ≥ 1.5 kΩ on 5.6 V
R_Z 12 kΩ	5.6 V Zener bias	Larger shunt current, more chip dissipation.	Smaller shunt current, less V^+ current draw.	1 < I_Z < 30 mA recommended. (Chip power-up needs 5.6 V)
Z_T ≥44 V BV <60 V peak	Transient clamp	Z_T failure, higher series R-excess peak V, Zener and chip damage, less ruggedness.	Z_T costly, lower series R gives enhanced transient clamp, more ruggedness.	Recommend Zener rated for ≥500 W for 1 ms.
R_T 4.7 Ω D_T ≥44V BV	Transient I limit Over-drive Clamp	Damage Z_T, pull up V^+. Failure on Transient	Excessive TX attenuation. Costly	Carbon comp. recommended. IRF 11DQ05 or 1N5819
R_B 180 Ω Q_B Power NPN R_G 1.1 Ω	Base bleed Boost gain device Current setting R	Faster, lower THD I_O. Excessive T_J and V_{SAT}. More I_O, need higher h_{fe}.	Inadequate turn-off speed. More rugged, but costly. Less I_O, lower min. h_{fe}.	Boost optional. Q_B F(−3 dB) of >200 MHz. R_B > 24 Ohm. $I_O = 70[(10 + R_G)/R_G]$ mApp.
C_B ≥47 μF	Supply bypass	Transients destroy chip.	Less supply spike.	V^+ never over abs. max.
Z_A 5.1V	Stop ALC charge in RX mode	Excess ALC current flow	ALC RX charging not inhibited over T_J	Z_A optional - 5.1V ±20% low leakage type

FIGURE 5. A quick explanation of the external component function using the circuit of *Figure 4*. Values given are for V^+ = 18 V, F_O = 125 kHz, f_{DATA} = 360 Baud (180 Hz), using a 115 V 60 Hz power line

Component Selection

Assuming the circuit of *Figure 4* is used with something other than the nominal 125 kHz carrier frequency, 180 Hz data rate, 18V supply voltage, etcetera, the component values listed in *Figure 5* will need changing. This section will help direct the CCT designer in finding the required component values with emphasis placed on look-up tables and charts. It is assumed that the designer has selected values for carrier center frequency, F_O; data rate, f_{DATA}; supply voltage, V^+; power line voltage, V_L; and power line frequency, F_L. If one or more of those parameters is not defined, one may read the data sheet and make an educated guess.

Maxims to keep in mind, based on CCT electrical performance considerations only, are: 1) the higher the F_O the better, 2) the lower the maximum data rate the better, and 3) the more time and frequency filtering the better.

Use *Figure 5* as a quick reference to the external component function.

THE TRANSMITTER

C_O

Central to chip operation is the low TC of F_O emitter-coupled oscillator. With proper C_O, the F_O of the $2V_{BE}$ amplitude triangle-wave oscillator output may vary from near DC to above 300 kHz. While C_O may have any value, C_O should

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Selection (Continued)

be made above 10 pF so that parasitic capacitance is not dominant. Excessive or unbalanced common-mode-to-ground capacitance should be avoided. A low temperature coefficient (TC) of capacitance (<100 PPM/°C), such as a monolithic NPO ceramic multilayer type, preserves low TC of F_O. *Figure 6* finds a C_O value given F_O.

R_O

Resistor R_O is used by the IC to generate a V_{BE}/R related current that is multiplied by 2 to produce the 200 μA ICO control current that sets F_O. The control current TC "bucks" the V_{BE} related tri-wave amplitude across C_O to effect a low TC of F_O. Vary R_O to trim F_O, within limits. Raising F_O more than 20% above its untrimmed value by means of decreasing R_O more than 20% is not recommended. Low R_O, and so high control current, risks ICO saturation and poor TC under worst-case conditions. Raising R_O reduces the demodulated signal amplitude from the phase detector; raising R_O by more than a factor of 2 (1 octave) is not recommended.

Since lower TC pots are relatively costly, it is recommended that R_O be made up of a 5.6 k fixed (<100 PPM/°C) resistor with a 2 kΩ (<250 PPM/°C) series pot.

C_A and R_A

Components C_A and R_A control the dynamic characteristics of the transmitter output envelope. Their values are not critical. Use the values given in *Figure 5*. C_A and R_A are functions of loaded T_1 tank Q, R_O, f_{DATA}, and line impulse noise. Any changes made in C_A and R_A should be made based on empirical measurements of a CCT on the line. Roughly, C_A acts as an ALC pole and R_A an ALC zero.

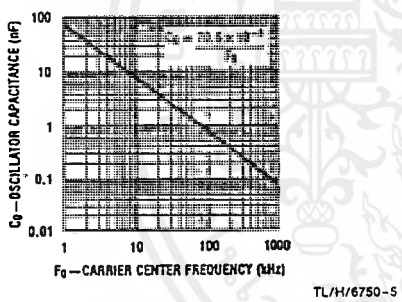
T_1

At this point, the CCT system designer may choose to use one of the recommended transformers or to design custom T_1. Consult "The Coupling Transformer" section to help with the design of T_1 if a new or boost-capable transformer is needed. The recommended 125 kHz transformer functions with an I_O of up to 600 mApp.

It is recommended that CCT systems use the recommended transformers, described in *Figure 7*, for T_1. The 3 transformers are optimized for use in the ranges of 50–100 kHz, 100–200 kHz, and 200–400 kHz with unloaded Q's (Q_U) of about 35, and loaded Q's (Q_L) of about 12. Three secondary taps are supplied with nominal 7.07, 10, and 14.1 turns ratios (N) to drive industrial and residential power line impedances of 3.5, 7, and 14Ω respectively. All are inexpensive, all have the same pin-outs for easy exchange in a PC board, and all are small - on the order of 10 mm diameter at the base.

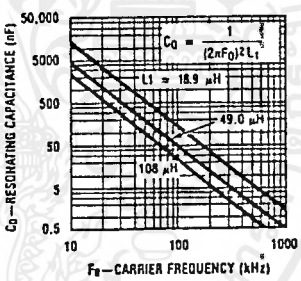
C_Q

Tank resonant frequency F_Q must be correct to allow passage of transmitter signal to the line. Use *Figure 8* to find C_Q's value. Trimming F_Q to equal F_O is done with T_1's trimming slug. The inductance of T_1 has a TC of +150 PPM/°C which may be cancelled by using a −150 PPM/°C cap such as polystyrene. Since circulating current in the tank is ¼ A_{RMS}, C_Q should have a low series resistance (a 1 Ω series resistance is too much). Polypropelene caps are excellent, "orange drop" mylars are adequate, while many other mylars are inadequate. A 100V rating is needed for transient protection.



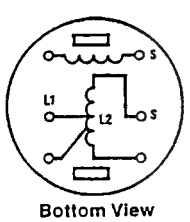
TL/H/6750–5

FIGURE 6. Find C_O's value knowing F_O



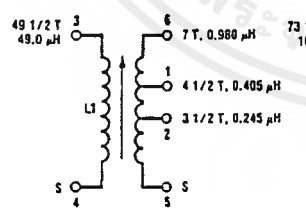
TL/H/6750–10

FIGURE 8. Find C_O's value given F_O



Bottom View

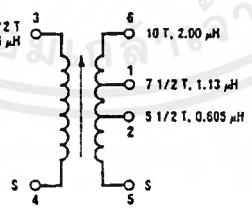
TL/H/6750–6



TL/H/6750–7

125 kHz

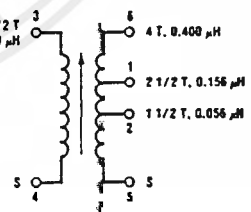
Toko 707VX-A042YUK



TL/H/6750–8

50 kHz

Toko 707VX-A043YUK



TL/H/6750–9

300 kHz

Toko 161XN-A207YUK

FIGURE 7. The recommended T_1 transformers, available through:
Toko America, 1250 Feehanville Drive, Mount Prospect, IL, 60056, (312) 297-0070

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Selection (Continued)

C_C

Capacitor C_C's primary function is to block the power line voltage from T_1's line-side winding. Also, C_C and T_1's line-side winding comprise a LC highpass filter. The self-inductance of T_1 is far too low to support a direct line connection. C_C must have a low enough impedance at F_O to allow T_1 to drive transmitted energy onto the line. To drive a 14Ω power line, the impedance of C_C should be below 14Ω.

Use *Figure 9* to find the reactive impedance of C_C to check that it is less than the line impedance. Then check *Figure 10* to see that the power line current is small enough to keep T_1 well out of saturation; the recommended transformers can withstand a 10 Amp-turn magnetizing force (1 Amp through the worst-case 10 turn line-side winding).

Caution is required when choosing C_C to avoid series resonance of the series combination of C_C, the transformer inductance, and the reflected tank impedance. The low resistance of the network under series resonance will load the line, possibly decreasing range. For your particular line coupling circuit, measure for series resonance using some expected line impedance load.

R_B

This base-bleed resistor turns Q_B off quickly - important since the amplifier output swing is about 200V/μs. An R_B below about 24Ω will conduct excessive current and overload the chip amplifier and is not recommended.

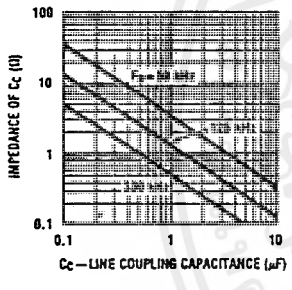


FIGURE 9. C_C's impedance should be, as a rule-of-thumb, smaller than the lowest expected line impedance

R_G

This resistor, in parallel with the internal 10Ω resistor, fixes the current gain of the output amplifier, and so the output current amplitude. *Figure 11* gives output current and minimum AC current gain h_{fe} for Q_B when R_G is used to boost output current.

Q_B

The boost gain transistor Q_B must be fast. Double-diffused devices with 50 MHz F_T's work, slower transistors (epi-base types) do not preserve a sinusoidal waveform when F_O is high or will cause the output amp. to oscillate. Q_B must have a certain minimum h_{fe} for given boost levels, as shown in *Figure 11*. *Figure 12* shows the power Q_B must dissipate continuously operating with a shorted output. BV_{CER} ($R = R_B$) must be 60V or greater and Q_B must have adequate SOA for transient survival.

Z_T

Unfortunately, potentially damaging transient energy passes through transformer T_1 onto the Carrier I/O pin (instantaneous power of greater than 1 kW has been measured using the recommended transformers). For self protection, the Carrier I/O has an internal 44V voltage clamp with a 20Ω series resistance. A parallel low impedance 44V external transient suppression diode will then conduct the lion's share of any current when transients force the Carrier I/O to a high voltage.

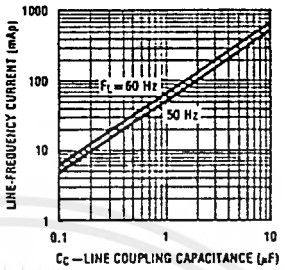


FIGURE 10. The AC line-induced current passed by C_C

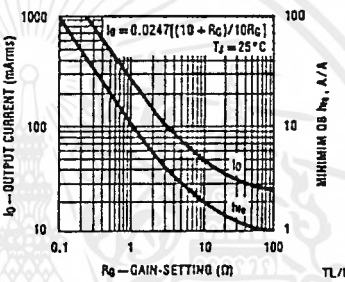


FIGURE 11. Output amplifier current and required min. Q_B h_{fe} versus gain-setting resistor R_G

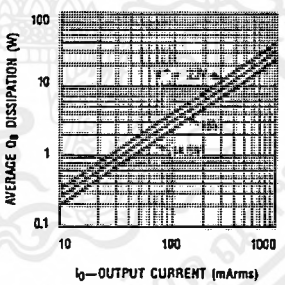


FIGURE 12. Boost transistor power dissipation versus amplifier output current

Z_T must be used unless some precaution is taken to protect the Carrier I/O pin from line transients or transients caused when stored line energy in C_C is discharged by the random phase of power line connection and disconnection. Worst case, C_C may discharge a full peak-to-peak line voltage into the tuned circuit. Another way to reduce the need for Z_T is by placing another magnetic circuit in the signal path that relies on a high, but easily saturated, permeability to couple a primary and secondary winding - a toroidal transformer for example. Toroids cost more than Z_T.

Use an avalanche diode designed specifically for transient suppression — they have orders of magnitude higher pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Selection (Continued)

power capability than standard avalanche diodes rated for equal DC dissipation. Metal oxide varistors have not proven useful because of their inferior clamping coefficient and are not recommended. Specifications for an example minimum diode are given in *Figure 13*.

Breakdown Voltage	44–49V @ 1 mA
Maximum Leakage	1 μA @ 40V
Capacitance	300 pF @ BV
Maximum Clamp Voltage	64.5V @ 7.8A
Peak Non-Repetitive Pulse Power (REA Standard Exponential Pulse)	10 kW for 1 μs
Surge Current	70A for 1/120s

FIGURE 13. Key specifications for a recommended transient suppressor Z_T available from General Semiconductor, 2001 West Tenth Place, Tempe, AZ 85281, 602–968-3101, part no. SA40A

R_T

R_T acts as a voltage divider with Z_T, absorbing transient energy that attempts to pull the Carrier Input pin above 44V. Make the resistor a carbon composition 1/4W. When experiments discharging C_C charged to the peak-to-peak 620V AC thru a 1Ω power line were carried out, film resistors blew open-circuit.

D_T

This Schottky diode is placed in parallel with the CCT chip's substrate diode to pass the majority of the current drawn from ground when the Carrier Input or Carrier Output is pulled below ground by a larger-than-twice-the supply-swing on the tank. Note that Z_T is in parallel with the substrate diode, but is ineffective due to its high forward voltage drop and high diffusion capacitance caused by its low forward speed. Tests proved that a 1N5818 kept a receive-path functional with a 20X boost transmitter with a 7:1 transformer attempted to swing the receiver's Carrier I/O to ±100V (300 mA peak ground current in the receiver). Without D_T, the receiver momentarily stops functioning at a 100 times lower ground current.

This diode is not needed if the Carrier I/O never swings below ground. If your CCT systems all run on the same regulated voltage with all matched transformers and turns ratios, it is not needed. Otherwise, it is.

THE RECEIVER

The receiver and transmitter share components C_C, T_1, C_O, R_T, Z_T, C_O, R_O, and peripheral supply and bias components that are not in need of change for RX mode operation. Values for the balance of the components are now found.

Line-Frequency Rejection

To use the ultimate sensitivity of the device, fully 110 dB of 115 V, 60 Hz attenuation is required between the line and the limiter amplifier output. Using the circuit topology of *Figure 4*, the combined attenuation of the C_C/T_1 highpass, the tuned transformer, and the bandpass filter attenuation of the limiter amplifier give far more line rejection than the above-stated minimum. However, if some other CCT line coupling circuit is used, line rejection will become important to the system designer.

Receiver input power supply rejection (PSRR) and common-mode rejection (CMRR) are one-in-the-same using the supply-referenced signal input of *Figure 4*. Ripple swings both differential inputs of the Norton amp. equally, while the single-ended input signal swings only the positive input. Overall PSRR consists of the input CMRR (set by the input stage component matching) and the ripple-frequency attenuation of the input amplifier bandpass response that passes carrier frequency but stops low frequencies. A typical 1% resistor and 1 mV n-p-n mirror offsets give 26 dB of attenuation, the bandpass gives 54 dB 120 Hz attenuation, for an overall 80 dB PSRR to allow tens of volts of ripple before impacting ultimate sensitivity.

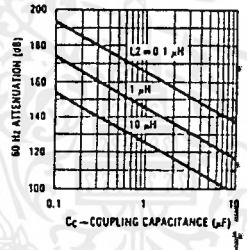
C_C

A value was chosen earlier. Knowing T_1's secondary inductance allows a check of LC line attenuation using *Figure 14*.

C_L

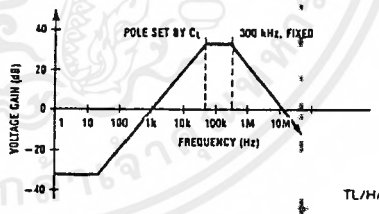
The Norton input limiter amplifier has a bandpass filter for enhanced receiver selectivity, noise immunity, and line frequency rejection. The nominal response curve for F_O = 50 kHz is shown in *Figure 15*. The 300 kHz pole is fixed. The 50 kHz pole is set by C_L's value. After C_L is found, the resulting line frequency attenuation is found for the bandpass filter.

Use *Figure 15* to find a C_L value given for F_O. The approximate line frequency attenuation of the bandpass filter may then be found in *Figure 16*. *Figure 15* returns a value for C_L 33% larger than nominal, giving a low frequency pole 33% low to allow for component tolerances.

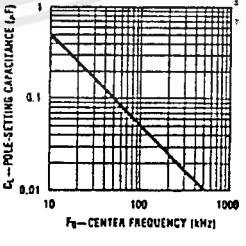


TL/H/6750–15

FIGURE 14. The 60 Hz line rejection of the highpass filter made up of C_C and T_1's line-side winding (neglecting capacitive coupling)



TL/H/6750–16



TL/H/6750–17

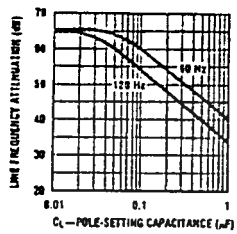
FIGURE 15. Given F_O, C_L is found. Also shown is the input amplifier's small signal amplitude response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Selection (Continued)

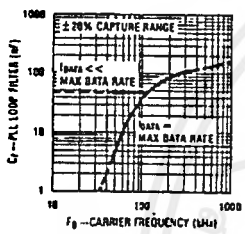
C_F and R_F

These phase-locked loop (PLL) loop filter components remove some of the noise and most of the $2F_O$ components present in the demodulated differential output voltage signal from the phase detector. They affect the PLL capture range, loop bandwidth, damping, and capture time. Because the PLL has an inherent loop pole due to the integrator action of the ICO (via C_O), the loop pole set by C_F and the zero set by R_F gives the loop filter a classical 2nd-order response.



TL/H/6750–18

FIGURE 16. The Norton-Input limiter amplifier bandpass filter line-frequency signal attenuation given C_L



TL/H/6750–19

FIGURE 17. Find C_F given F_O. *Figure 19* gives the maximum data rate

No C_F and R_F give the most stable PLL with the fastest response. Large C_F's with a too-small R_F cause PLL loop instability leading to poor capture range and poor step response or oscillation.

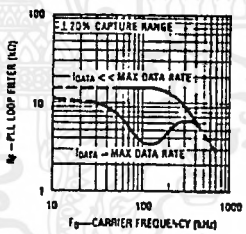
Calculation of C_F and R_F is quite difficult, involving not only the 2nd-order loop step response, but also the PLL non-dominant poles, the tuned transformer stepped-frequency response, and the RC lowpass step response (for data rates approaching 1 kHz). C_F and R_F values are best found empirically. Tolerance is not critical. Component values are selected to give the best possible impulse noise rejection while preserving a ±20% capture range and wide stability margin. *Figures 17* and *18* give C_F and R_F values versus F_O, where "f_{DATA} << MAX DATA RATE" means that f_{DATA} should be less than the maximum data rate, in kHz, from *Figure 19* divided by 10.

Note that C_F and R_F are a function of data rate only for high data rates and are not plotted against data rate - as one might expect. The reason for this is important to understand if the CCT system designer wishes to find C_F and R_F empirically. Data signal is, loosely speaking, passed through the PLL loop and is therefore potentially attenuated if the loop bandwidth is on the order of the 3rd harmonic of the data rate, or less. Overall loop bandwidth is held as low as possible for maximum noise rejection while passing the data. Loop bandwidth is roughly proportional to the geometric mean of the unfiltered loop bandwidth and the filter pole set by C_F. Therefore, C_F is related to data rate. Unfortunately, the loop capture range falls to critically low values when large enough values of C_F are used to reduce loop bandwidth down to the 100's of Hz range, for low data rates. The obvious way out is to then reduce the unfiltered loop bandwidth. That bandwidth is approximately proportional to the value of C_O. For a fixed F_O, unfiltered loop bandwidth reduction requires a larger C_O and larger control current. With this chip, changing the control current is not allowed. So one is forced to choose a C_F/R_F combination with some minimum capture range, say ±20%, that is within some guardband from the point of loop instability. Happily, impulse noise tends to last only fractions of a millisecond so that the lack of low bandwidth loop response with low data rates is not a heavy penalty. As long as there is adequate capture range, the impulse noise filter performs admirably. Note that reducing F_O will reduce the no-filter loop bandwidth, and indeed the maximum data rate falls below the limit set by the RC lowpass filter as F_O falls below 100 kHz (*Figure 19*).

The tuned transformer characteristics will affect the demodulated data waveform more than C_F and R_F at low data rates. Tank Q and off-tuning will affect overshoot during the FSK frequency steps. This is a property of tuned circuits. The maximum data rate of *Figure 19* is measured from the receiver input to the Data Out and does not include the data bandwidth reducing effects of T_I.

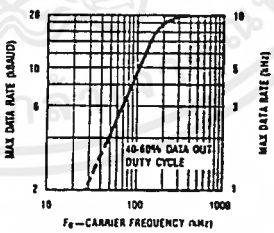
C_M

Capacitor C_M stores a voltage corresponding to a correction factor required to cancel the phase detector differential output DC offsets. The stored voltage is ⅝ of the DC offset plus some bias level of about 2.2 V. A large C_M value increases the time required to bias-up the receive path at the beginning of transmission. A large C_M does filter well and store its bias voltage long. Because of the initial random charge of C_M, the receiver must be given a data transition to charge to the proper bias voltage. Therefore, reducing C_M's value to one that may be charged in less than 2 bit-times will not save biasing time and is not recommended.



TL/H/6750–20

FIGURE 18. Find R_F given F_O with F_{DATA} a parameter



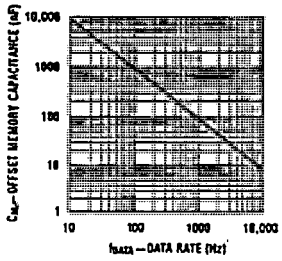
TL/H/6750–21

FIGURE 19. The maximum data rate versus F_O using loop filter components optimized for max. noise performance while retaining a min. ±20% capture range (large signal)

Use *Figure 20* to find C_M's value knowing f_{DATA}, assuming the standard 2 bit receive charge time is desired. The cap. value and TC are not critical, but the capacitor should have low leakage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Selection (Continued)



TL/H/6750-22

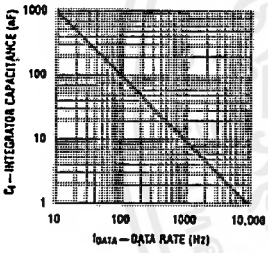
FIGURE 20. Size C_M assuming a 2 bit-time receive bias time

C_I

The impulse noise filter integrator capacitor C_I is used to disallow the passage of any pulse shorter than the integrator charge time. That charge time, set to a nominal ½ bit time, is the time required for a ±50 µA charge current to swing C_I over a 2 V_{BE} range. Charge time under worst case conditions must never be greater than a bit time since no signal could then pass. Using a ±10% capacitor, full junction temperature range, and full specified current range, a maximum nominal charge time of ½ bit is recommended. *Figure 21* gives C_I versus data rate under those conditions.

R_C

The collector pull-up resistor is sized to supply adequate pull-up current drive and speed while preserving adequate output low current drive.



TL/H/6750-24

FIGURE 21. Impulse noise filter cap. C_I versus F_{DATA} where the charge time is ½ bit time

Z_A

The 5.1V silicon zener diode Z_A is required when a short RX-to-TX switch-over time is needed at the same time that the chip is operating in the RX mode with a pin 10 input signal swing approaching or exceeding twice the supply voltage. Predominant causes of these large swings impinging on the RX input are: 1) a transmitter's supply voltage higher than the receiver's supply voltage, 2) a TX and RX pair that are electrically close, or, 3) a higher RX T_1 step-up turns ratio than the TX T_1 step-down ratio.

Normally, when in the RX mode with small incoming signal on pin 10, the ALC remains off with pin 7 at a 6V ($V_Z - 2V_{BE}$) bias voltage. C_A is then charged to 6V. TX mode may then be selected with 6V on C_A allowing 100% TX power to pump T_1's tuned circuit, and so the AC line, quickly for fast RX-to-TX switch time. As TX output swing increases so that pin 10 swings below V_{ALC} (4.7V typically), that ALC activates to charge C_A to about 6.5V to reduce TX output drive. However, if in the RX mode pin 10 ever swings below V_{ALC}, C_A will charge to above 6.6V. Now, when the TX mode is selected with C_A at 6.6V, somewhere from 0 to 100% TX output drive is available to pump T_1's tuned circuit resulting in a slower rising line signal - effectively reducing the RX-to-TX switch time.

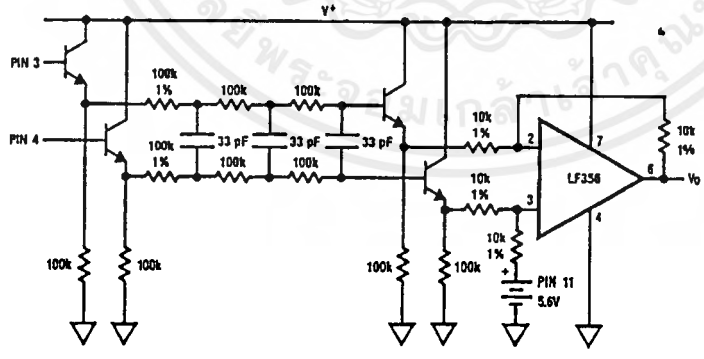
Use a 5.1V Z_A driven by a 0 to 0.8V logic low signal to guarantee over-temp. operation. R_A must be in series with Z_A to limit current flow and should never fall below 1 kΩ. If R_A is less than 1 kΩ, then put a 2 kΩ resistor in series with Z_A. Logic high voltages above 10V will cause current flow into pin 7 that must be limited to 1 mA (with R_A or a series R).

Breadboarding Tips

During CCT system evaluation, some techniques listed below will simplify certain measurements.

— Use caution when working on this circuit - dangerous line voltages may be present.

— When evaluating PLL operation, offset cancel circuit operation, and loop filter values, use the filter of *Figure 22* to view the demodulated signal minus the $2F_O$ and noise components. This filter models the RC lowpass filter on chip.



TL/H/6750-25

FIGURE 22. Circuit to view the differential demodulated data signal, minus the noise and $2F_O$ components, conveniently with a single-ended gain-of-one output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Breadboarding Tips (Continued)

— When evaluating CCT system noise performance on a real power line, it is desirable to vary the signal amplitude to the receiver. This is not easy. An in-line line-proof L-pad is fine except that the line impedance is unknown and variable and so the L-pad will rarely match. Instead, the power output of a chip transmitter may be controlled using the circuit of *Figure 23*. This circuit controls the ALC.

— It is sometimes desirable to place impulse noise on the line. A simple light dimmer with a 100 W light bulb load produces representative impulse noise.

— Do not allow peak currents of over 1 A through the 5.6 V Zener. In other words, don't short charged capacitors into this low-impedance device. Take care not to momentarily short pins 10 and 11 - chip damage may result.

— *Figure 24* shows some typical signals beginning with serial data transmitted to received signal.

Tuning Procedure

This procedure applies to circuits similar to *Figure 4* LM1893 or LM2893 circuit.

First, trim F_O by putting the chip in the TX mode, setting a logical high data input, and measuring the TX high frequency, 1.022 F_O, on the Carrier I/O using these steps:

1. Take pin 17 to a logic low.
2. Take pin 5 to a logic high.
3. Place a counter on pin 10.
4. Adjust R_O on pin 18 for $F = 1.022F_O$.

Second, the line transformer is tuned. The chip is placed in the TX mode, a resistive line load is connected to disable the ALC by reducing tank voltage swing below its limit. FSK data is then passed through the tank so that the tank envelope may be adjusted for equal amplitude for high and low data frequency.

1. Take pin 5 to a logic high.
2. Place a logic-level square wave at or below the receiver's maximum data rate on pin 17.
3. Temporarily place a 330 Ω resistor across the tank.
4. Place a scope on pin 10.
5. Adjust the transformer slug for the least envelope modulation.

In lieu of the 330 Ω resistive load, T_1 may be coupled to the power line to better simulate actual load and tank pull conditions during tank tuning. Alternatively, a passive network representing an average line impedance may be connected to the line side of T_1. The circuit of *Figure 23* should then be used to defeat the leveling effect of the ALC.

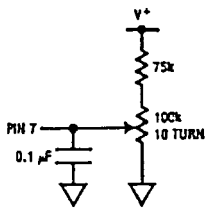


FIGURE 23. A means of transmitter output amplitude control is shown

Thermal Considerations

It is desirable to place the largest possible signal on the power line for maximum range, limited only by the chip power dissipation and maximum junction temperature T_J. The falling output power at elevated T_J allows a more optimal power output - high power at low T_J and lower power at high T_J for chip self-protection. However, it is still possible to exceed the maximum T_J within the specified ambient temperature limit (T_A = 85°C) under worst case conditions of 100% TX duty cyle, high supply, shorted load, poor PC board layout (with small copper foil area), and an above nominal current part. Under those conditions, a part may dissipate 2140 mW, reaching a T_J = 170°C worst-case (admittedly a rare occurrence). Proper system design includes the measurement or calculation of T_J max. to guarantee function under worst-case operation. Like all devices with failure modes modeled by the Arrhenius model, the high chip reliability is further enhanced by keeping the die temperature mercifully below the absolute maximum rating.

A direct method of measuring operating junction temperature is to measure the V_{BE} voltage on pin 18, which is always available under all operating modes. The graph of *Figure 25* may be used to find T_J, knowing V_{BE} at the operating point in question and V_{BE} at $T_A = T_J = 25°C$. V_{BE} is found by powering up a chip (in RX mode) that has been dissipating zero power at some T_A for some time and measuring V_{BE} in less than 1 s (for better than 5°C accuracy).

Alternately, T_J may be calculated using:

$$T_J = T_A + \theta_{JA}P_D \quad (1)$$

where θ_{JA} is 75°C/W for the plastic (N) package using a socket. That θ_{JA} value is for a high confidence level; nomi-

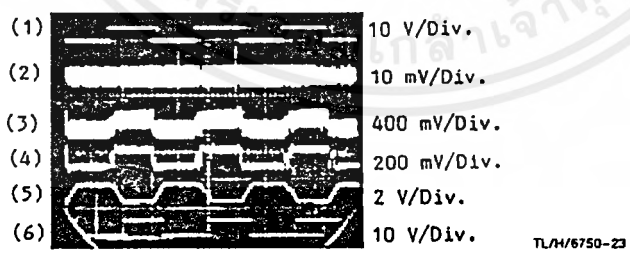


FIGURE 24. Oscillogram revealing signals at several important nodes under weak signal (0.5 mV_{RMS}) conditions with SCR spikes on an otherwise quiet 115 V, 60 Hz power line. The signals are: 1) transmitted data, 2) RX carrier on the tuned transformer, 3) demodulated signal from the PLL after passing thru circuit of *Figure 22*, 4) signal after RC lowpass, 5) data at impulse noise filter integrator, and 6) received data. Horizontal scale is 10 ms per div.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thermal Considerations (Continued)

nal θ_{JA} for an N package is 60°C/W, lower with good PC board layout. Since P_D is a relatively strong function of T_J, an iterative solution process starting with an initial guess for T_J is used. With the estimated T_J, find the total supply current found in the typical performance characteristics.

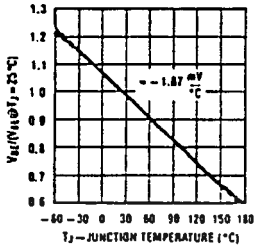


FIGURE 25. T_J may be found by using the temperature coefficient of pin 18 V_{BE} if V_{BE} is known at 25°C

Transmit-To-Receive Switch-Over Time

An important figure-of-merit for a half-duplex CCT link, affecting effective data rate, is the TX-to-RX switch time T_{TR}. Using the recommended component values gives this part a nominal 2 bit-time (1 bit time = $1/[2f_{DATA}]$) over a wide range of operating conditions, where the receiver requires 1 data transition. T_{TR} cannot be decreased significantly but does increase as noise filtering, especially via C_M, is increased. Impulse noise at switch, signals near the limiting sensitivity, poor F_O match between receiver and transmitter because of poor trim or worst-case conditions, and the statistical nature of PLL signal acquisition may all contribute to increase T_{TR} to possibly 4 bit-times.

T_{TR} is lower when a pair of LM1893's handshake rapidly. The receiver was designed to "remember" the RX-mode DC operating points on C_M and C_F while in the TX mode. Under noisy worst case conditions, C_M will discharge to the point of false operation after 35 bit-times in the TX mode (1400 bit times with no noise and a nominal part, f_{DATA} = 180 Hz). T_{TR} is about 0.8 ms (proportional to the selected F_O) plus ½ bit-time.

The major components of T_{TR} are described below for a nominal 125 kHz F_O, 180 Hz f_{DATA}, lightly-loaded tank with a Q of 20, and the circuit of *Figure 4*. The remote CCT has been operating in the TX mode with a 26.6 V_{PP} tank swing and is now selected as a receiver. An incoming signal requiring the ultimate receiver sensitivity immediately is placed on the line.

First, the tank stored energy at the transmit frequency must decay to a level below the 2.8 mV_{PP} swing caused by the 0.14 mV_{RMS} incoming line signal containing the information to be received.

$$\text{decay time} = \frac{Q}{\pi F_O} \ln\left(\frac{V_1}{V_O}\right) =$$

$$\frac{20}{\pi \times 125\,000} \ln\left(\frac{26.6}{0.0028}\right) = 0.466 \text{ ms} \qquad (2)$$

That is 0.47 ms of delay (proportional to $1/F_O$ and Q).

Second, the PLL must acquire the signal; it must lock and settle. Acquisition time is statistical and may take any length of time, but average acquisition time depends on the loop filter components C_F and R_F and the difference in center frequencies, ΔF_O, of the TX/RX pair. Using the recommended C_F and R_F (47 nF and 6.2 kΩ) with a ±4.4% ΔF_O (a ± 100 mV DC offset on C_F and R_F), lock was measured to take less than 50 cycles of F_O. That is a 0.40 ms delay (proportional to $1/F_O$).

Acquisition is incomplete until the second order PLL loop settles. For the above-mentioned C_F and R_F, the loop natural frequency F_N and damping factor are found to be 2.3 kHz and 1.0 respectively. Settling to within ±25 mV of the ±100 mV DC offset change requires 2.7 periods of F_N, or 1.2 ms (a function of C_F and R_F).

Third, the RC lowpass filter introduces a 0.12 ms delay.

Fourth, C_M must charge up to ±(5%)100 = 83 mV depending on the polarity of F_O. Borderline data squaring with zero noise immunity is possible with only ±(5%) 50 mV of charging. C_M charge current is an asymptotic function approximated by assuming a 50 μA charge current and the full 83 mV charge voltage. C_M charge time is then 1.7 ms (proportional to $1/f_{DATA}$).

Fifth, the impulse noise filter adds a ½ bit-time delay. Total T_{TR} is 3.9 ms plus ½ bit-time for a total of 1.9 bit-times at 360 Baud.

Receive-To-Transmit Switch-Over Time

Assume the chip has been in the RX mode and the TX mode is now selected. In less than 10 μs, full output current is exponentially building tank swing. 50% of full swing is achieved in less than 10 cycles - or under 80 μs at 125 kHz. In the same 10 μs that the output amp went on, the phase detector and loop filter are disconnected and the modulator input is enabled. FSK modulation is produced in 10 μs after switching to TX mode.

Power Line Impedance

Irrespective of how wide the limits on power line impedance Z_L are placed, there are no guarantees. However, since the CCT design requires an estimate of the lowest expected line impedance Z_{LN} encountered for the most efficient transmitter-to-line coupling, line impedance should be measured and Z_L limits fixed to a given confidence level. Reasonable values for T_1 turns ratio, loaded Q, and tank resonant frequency pull F_O may be found to enable a CCT system design that functions with the overwhelming majority of power lines.

A limited sampling of Z_L was made, during the LM1893 design, of residential and commercial 115V 60 Hz power line. Data was also drawn from the research of Nicholson and Malack (reference 1), among others, to produce *Figures 26* and *27*. All measured impedances are contained within the shaded portions of *Figure 27*. A nominal 3.5, 7.0 and 14 Ω Z_{LN} is used throughout the application information with a nominal 45° phase angle (0° is sometimes used for simplicity).

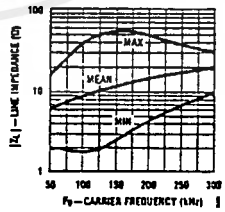
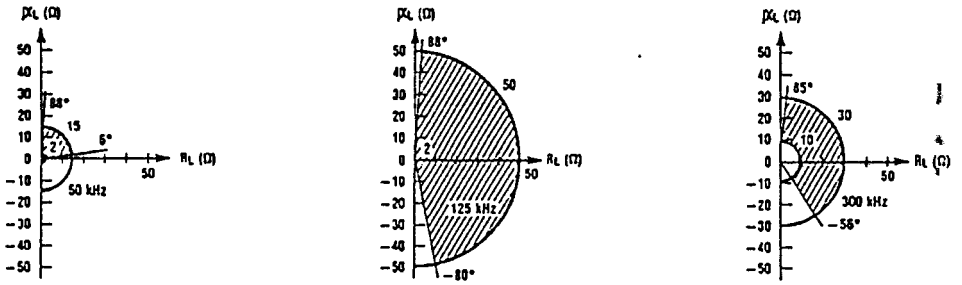


FIGURE 26. Measured line impedance range for residential and commercial 115V, 60 Hz lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Line Impedance (Continued)



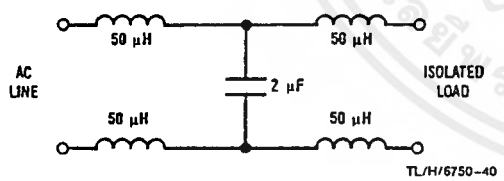
TL/H/6750-29 TL/H/6750-30 TL/H/6750-31

FIGURE 27. Complex-plane plots of measured 115V, 60 Hz line impedance where $Z_L = R_L + jX_L$

Power Line Attenuation

The wiring in most US buildings is a flat 3 conductor cable called Amerflex, BX, or Romex. All referenced line impedances refer to hot-to-neutral impedances with a grounded center conductor. The cable has a 100 Ω characteristic impedance, a 125 kHz quarter-wavelength of 600 m (250 m at 300 kHz), and a measured 7 dB attenuation for a 50 m run with a 10 Ω termination. Generally, line loads may be treated as lumped impedances. Instrument line cords exhibit about 0.7 μH and 30 pF per meter.

Limited tests of CCT link range using this chip show extensive coverage while remaining on one phase of a distribution transformer (100's of m), with link failure often occuring across transformer phases or through transformers unless coupling networks are utilized. Total line attenuation allowed from full signal to limiting sensitivity is more than 70 dB. Typically, signal is coupled across transformer phases by parasitic winding capacitance, typically giving 40 dB attenuation between phased 115 V windings. Coupling capacitors may be installed for improved link operation across phases. Power factor correcting capacitor banks on industrial lines or filter capacitors across the power lines of some electronic gear short carrier signal and should be isolated with inductors. Increasing range is sometimes accomplished by electing to install the isolating inductors (*Figure 28*) and coupling capacitors, as well as by electing to use the boost option. Frequency translating or time division multiplexed repeaters will also increase range.



TL/H/6750-40

FIGURE 28. An isolation network to prevent: 1) noise from some device from polluting the AC line, and 2) to stop some low impedance device (measured at F_O) from shorting carrier signal. Component values given as an example for F_O = 125 kHz on residential power lines

The Coupling Transformer

The design arrived at for T_1 is the result of an unhappy compromise - but a workable one. The goals of 1) building T_1 with a stable resonant frequency, F_O, that is little affected by the de-tuning effect of the line impedance Z_L, and of 2) building a tightly line-coupled transformer for transmitted carrier with loose coupling for transients, are somewhat mutually exclusive. The tradeoffs are exposed in the following example for the CCT designer attempting a new boost-capable, or different core, transformer design.

The compromises are eased by separating the TX output and RX input in the LM2893. An untuned TX coupling transformer with only core coupling (not air-coupled solenoid windings) would employ a high permeability, high magnetic field, low loss, square saturating, toroidal core. The resonant RX path would be isolated from line-pull problems by a unilateral amplifier that operates at line voltages with much more than 110 dB of dynamic range, or by a capacitively coupled pulse transformer driving a unilateral amplifier and filter, for increased selectivity. See the LM2893-specific applications section.

For a LM1893-style transformer application, first, choose the turns ratio N based on an estimated lowest Z_L likely encountered, Z_{LN}. *Figure 29* shows graphically how N affects line signal. N should be as large as possible to drive Z_{LN} with full signal. If T_1 has an unloaded Q, Q_U, of well less than 35, a guess of N somewhat high should be used and later checked for accuracy. The recommended transformers have secondary taps giving a choice of N = 7.07, 10, and 14.1 (nominally) for driving Z_{LN}'s of 14, 7.0, and 3.5 Ω respectively (at T_J = 25°C, V+ = 18V, and Q_U = 35).

The resonating inductance of the tuned primary, L_1, is sought. Note that, while standard transformer design gives a transformer self-inductance with an impedance at operating frequency well above load impedance, the tuned transformer requires a low L_1 for adequate Q_U and minimum line pull. Result: relatively poor mutual coupling.

$$L_1 = \frac{R}{2\pi F_O Q} \quad (3)$$

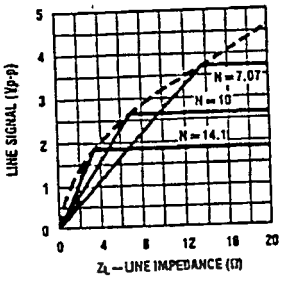
It is known that resonant frequency $F_Q = F_O$ and some minimum bandwidth, or maximum Q, will be required to pass signal under full load conditions.

$$L_1 = \frac{R_Q \parallel |Z_{LN}|'}{2\pi F_O Q_L} \quad (4)$$

$|Z_{LN}|'$ is the reflected Z_{LN}. Q_L is the loaded Q, and parallel resistance R_Q models all transformer losses and sets Q_O. $R_Q \parallel |Z_{LN}|'$ is found knowing that it absorbs full rated power.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Coupling Transformer (Continued)



TL/H/6750–32

FIGURE 29. Impressed line voltage for a given Z_L for each of the 3 taps available on the recommended transformers

$$P_O = I_O V_O = \frac{I_{OPP}}{2\sqrt{2}}\left[\frac{2(-V_{ALC}+V_+)}{2\sqrt{2}}\right] = \frac{(-4.7+V_+)I_O}{4} \quad (5)$$

where I_O is in amps peak-to-peak at an elevated T_J

$$P_O = \frac{(18-4.7)\,0.06}{4} = 0.200\ \text{W} \quad (6)$$

$$R_Q \| |Z_{LN}|' = \frac{V_O^2}{P_O} = \frac{(-V_{ALC}+V_+)\sqrt{2}}{I_O} = 442\ \Omega \quad (7)$$

R_Q is found using Z_{LN} and the value for N found when assuming $Q_U = 35$.

$$|Z_{LN}|' = N^2 Z_{LN} = (7.07)^2\,13.9 = 695\ \Omega \quad (8)$$

$$R_Q = \frac{1}{\frac{1}{R_Q \| |Z_{LN}|'} - \frac{1}{|Z_{LN}|'}} = \frac{1}{\frac{1}{442} - \frac{1}{695}} = 1210\ \Omega \quad (9)$$

$$R_{QS} = \frac{R_Q}{1+Q_U^2} = \frac{1210}{1+35^2} = 1\ \Omega \quad (10)$$

Only Q_L remains to be found to calculate L_1. Q_L is related to the −3 dB (half-power) bandwidth by

$$Q_L = \frac{1}{\text{BW (\% of } F_O)} \quad (11)$$

An iterative solution is forced where line pull, ΔF_Q, must be guessed to find Q_L and L_1. L_1 is then used to check the line pull guess; a large error requires a new guess. Try a BW of 8.7% - that is 4.4% for deviation, 1% for TC of F_O, and 3.3% for ΔF_Q - giving $Q_L = 11.5$.

$$L_1 = \frac{442}{2\pi \times 125\,000 \times 11.5} = 49.0\ \mu\text{H} \quad (12)$$

Knowing the core inductance per turn, L, and L_1, the number of turns is found.

$$T_1 = \sqrt{\frac{L_1}{L}} = \sqrt{\frac{49.0\ \mu\text{H}}{20\ \text{nH/T}}} = 49\ \tfrac{1}{2}\ \text{turns} \quad (13)$$

T is normally an integer, but these transformers require so few turns that half-turns are specified, remembering that the remaining ½ turn is completed on the P.C. board and is loosely coupled. The secondary turns are calculated

$$T_2 = \frac{T_1}{N} = \frac{49.5}{7.07} = 7.00 = 7\ \text{turns} \quad (15)$$

giving an L_2 of 0.98 μH. Note that the recommended 125 kHz transformer mirrors these specifications. The resonating capacitor is

$$C_Q = \frac{1}{(2\pi F_Q)^2 L_1} = 33.1 \times 10^{-9} = 33\ \text{nF} \quad (16)$$

Line pull ΔF_Q was calculated (reference 3) for a Z_L magnitude of 14Ω and up with any phase angle from −90° to 90°. ΔF_Q was 6.4% - well above the 3.3% estimate. Referring to (11), an 11.8% bandwidth is required, forcing L_1 to be reduced to reduce Q. That fix was not implemented; some signal attenuation under worst-case drift and ΔF_Q is allowed. L_1 is already so small that the 31 gauge winding conducts a ¼ A_{RMS} circulating current.

Line Carrier Detection

While the addition of a carrier detection circuit (for a mute or squelch function) will only decrease receiver ultimate sensitivity, there is sometimes good reason to employ it to free the controller from watching for RX signal when no carrier is incoming, or to employ it to reduce the probability of line collisions (when multiple transmitters operate simultaneously to cause one or more transmissions to fail). Unless the detector is heavily filtered or uses a high carrier amplitude threshold, there will be false outputs that force the controller to have Data Out data checking capability just as is required when using no carrier detector. If false triggering is minimized, the probability of line collisions is increased due to the inability to sense low carrier amplitudes and because of sense delay. The property of the LM1893 to change output state infrequently (although the polarity is undefined) when in the RX mode, with no incoming carrier, reduces the desire to implement carrier detection and preserves the full ultimate sensitivity. Also, many impulse-noise insensitive transmission schemes, like handshaking, are easily modified to recover from line collisions.

Regarding this, it should be stated that for very complicated industrial systems with long signal runs and high line noise levels, it is probably wise to use a protocol which is inherently collision free so that no carrier detect hardware or software is needed. A token passing protocol is an example of such a system.

Figure 30 shows a low cost carrier amplitude detection circuit.

Audio Transmission

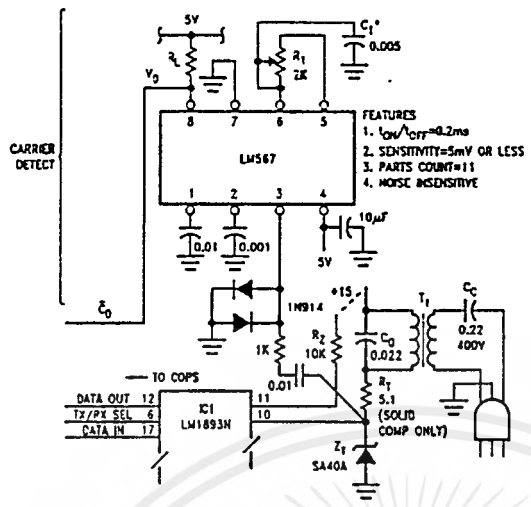
The LM1893 is designed to allow analog data transmission and reception. Base-band audio-bandwidth signals FM modulate the carrier passing through the tuned transformer (placing a limit on the usable percent modulation) onto the power line to be linearly demodulated by the receiver PLL. Because the receiver data path beyond the phase detector will pass only digital signal, external audio filtering and amplification is required. *Figure 31* shows a simple audio transmitter and receiver circuit utilizing a carrier detection mute circuit. A single LM339 quad. comparator may be used to build the carrier detect and mute. Filter bandwidth is held to a minimum to minimize noise, especially line-related correlated noise.

Communication and System Protocols

The development of communication and system protocols has historically been the single most time consuming element in design of carrier current systems. The protocols are defined as the following:

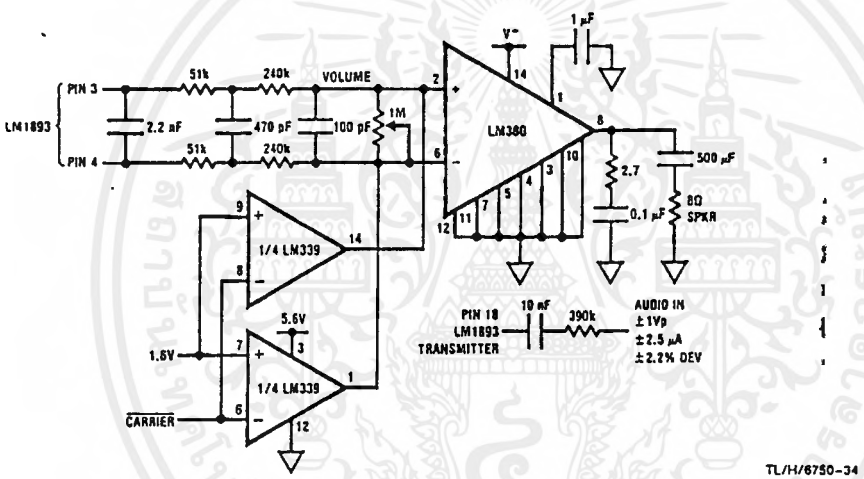
1. *Communication protocol*: a software method of encoding and decoding data that remains constant for every transmis-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/6750–33

FIGURE 30. A simple carrier amplitude detector with output low when carrier is detected



TL/H/6750–34

FIGURE 31. A simple linear analog audio transmitter and receiver are shown. The carrier and 1.6V inputs are derived from the carrier detector of *Figure 30*. The remaining 2 LM339 comparators may be used to build the carrier detector circuit.

Communication and System Protocols (Continued)

sion in a system. Its first purpose is to put data in a baseband digital form that is more easily recognized as a real message at the receive end. Secondly, it incorporates encoding techniques to ensure that noise induced errors do not easily occur; and when they do, they can always be detected. Lastly, the software algorithms that are used on the receive end to decode incoming data prevent the reception of noise induced "phantom" messages, and insure the recovery of real messages from an incoming bit stream that has been altered by noise.

2. *System protocol*: the manner in which messages are coordinated between nodes in a system. Its first purpose is to ensure message retransmission to correct errors (handshake). Secondly it coordinates messages for maximum utilization and efficiency on the network. Lastly, it ensures that messages do not collide on the network. Common system protocols include master-slave, carrier detect multiple access, and token passing. Token passing and master slave have been found to be the most useful since they are inherently collision free.

Both protocols usually reside as software in a single microcontroller that is connected to the LM1893/2893 I/O. In any case, some sort of intelligence is needed to process incoming and outgoing messages. UARTs have no usefulness in

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Communication and System Protocols (Continued)

carrier current applications since they do not have the intelligence needed to distinguish between real messages and noise induced phantoms.

The difficulty in designing special protocols arises out of the special nature of the AC line, an environment laden with the worst imaginable noise conditions. The relatively low data rates possible over the AC line (typically less than 9600 baud) make it even more imperative that systems utilize the most sophisticated means available to ensure network efficiency.

With these facts in mind, the designer is referred to a publication intended to aid in the development of carrier current systems. This is literature #570075 The Bi-Line Carrier Current Networking System, a 200 pp. book that functions as the "bible" of Bi-Line system design. It has sections on LM1893 circuit optimization, protocol design, evaluation kit usage, critical component selection, and the Datachecker/DTS case study.

Basic Data Encoding (please refer to the previously mentioned publications for advanced techniques)

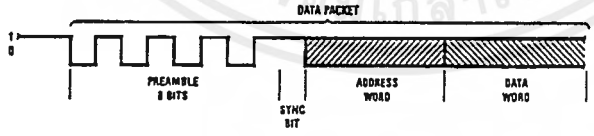
At the beginning of a received transmission, the first 0 to 2 bits may be lost while the chip's receiver settles to the DC bias point required for the given transmitter/receiver pair carrier frequency offset. With proper data encoding, dropped start bits can be tolerated and correct communication can take place. One simple data encoding scheme is now discussed.

Generally, a CCT system consists of many transceivers that normally listen to the line at all times (or during predetermined time windows), waiting for a transmission that directs one or more of the receivers to operate. If any receiver finds its address in the transmitted data packet, further action such as handshaking with the transmitter is initiated. The receiver might tell the transmitter, via retransmission, that it received this data, waiting for acknowledgement before acting on the received command. Error detecting and correcting codes may be employed throughout. The transmitter must have the capability to retransmit after a time if no response from the receiver is heard - under the assumption that the receiver didn't detect its address because of noise, or that the response was missed because of noise or a line collision. (A line collision happens when more than 1 transmitter operates at one time - causing one or more of the communications to fail). After many re-transmissions the transmitter might choose to give up. Collision recovery is achieved by waiting some variable amount of time before retransmission, using a random number of bits delay or a delay based on each transmitter's address, since each transceiver has a unique address.

An example of a simple transmission data packet is shown in *Figure 32*. The 8 bit 50% duty-cycle preamble is long enough to allow receiver biasing with enough bits left over to allow the receiver controller to detect the square-wave that signals the start of a transmission. If there had been no transmission for some time, the receiver would simply need to note that a data transition had occurred and begin its watch for a square-wave. If the receive controller detected the alternating-polarity data square-wave it would then use the sync. bit to signal that the address and data were immediately following. The address data would then be loaded, assuming the fixed format, and tested against its own. If the address was correct, the receiver would then load and store the data. If the address was not correct, either the transmission was not meant for this receiver or noise has fooled the receiver. In the former case, when the transmission was not meant for the receiver, the controller should immediately return to watching the incoming data for its address. If the later case were true, then the receive controller would continue to detect edges, tieing itself up by loading false data and being forced to handshake. The square-wave detection and address load and check routines should be fast to minimize the time spent in loops after being false-triggered by noise. If the controller detects an error (a received data bit that does not conform to the pre-defined encoding format) it should immediately resume watching the LM1893's Data Out for transmissions, the next bit would be shifted in and the process repeated.

A line-synchronous CCT system passing 3 bits per half-cycle may replace the long 8 bit preamble and sync pulse with a 2 bit start-of-transmission bias preamble. The receive controller might then assume that preamble always starts after bit 1 (the first bit after zero-crossing) so that any data transition at a zero crossing must be the start of the address bits and is tested as such. The line synchronous receiver operates with a simpler controller than an asynchronous system.

Discussion has assumed that the controller has always known when the Data Out is high or low. The controller must sample at the proper time to check the Data Out state. Since noise shows itself as pulse width jitter, symmetrically placed about the no-noise switch-points, optimum Data Out sampling is done in the center of the received data pulse. The receive data path has a time delay that, at low data rates, is dominated by the impulse noise filter integrator and is nominally ½ bit. At a 2 kHz data rate, an additional delay of approximately $\frac{1}{10}$ bit is added because of the cumulative delay of the remainder of the receiver. *Figure 33* shows that Data Out sampling occurs conveniently at the transmitted

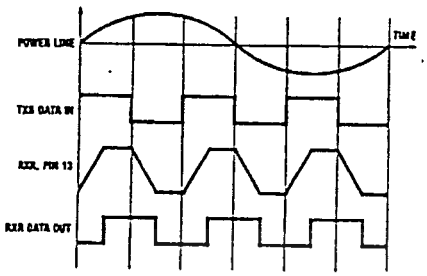


TL/H/6750-35

FIGURE 32. A simple encoded data packet, generated by the transmit controller is shown. The horizontal axis is time where 1 bit time is $1/(2f_{DATA})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Basic Data Encoding (Continued)



TL/H/6750–36

FIGURE 33. Operating waveforms of a line-synchronized transceiver pair are shown. The diagram shows how the transmitted data transitions may be used as received data sampling points

data edges for the line synchronous data transmission scheme mentioned in the previous paragraph. With the asynchronous system suggested, the receive controller must sample the Data Out pin often to determine, with several bits of accuracy, where the square-wave data transitions take place, average their positions assuming a known data rate, and calculate where the center of the data bits are and will continue to be as the address and data are read. A long preamble is helpful. Software that continuously updates the center-of-bit time estimate, as address and data are received, works even better. Alternatively, a coding scheme employing an embedded clock can be used.

LM2893 Application Hints

The LM2893 is intended for advanced applications where special circuitry is used in the transmit and receive paths. The LM2893 makes this possible by featuring separate transmit output and receive input pins

Examples of enhancements t
LM1893/2893 circuit include
windings on the coupling tran
or LC filters in the receive pa
blanking circuits.

In many applications, the ad
gained outweighs the extra co
More than likely, high perform
such as building energy manage
ry, since they require the utmos

Because of the specialized natu
plications, it is not possible to giv
all requirements for performanc
Therefore no specific applicatio
Instead the subsequent text desc
types of circuits that can be usec
along with their advantages and c
ed to be a springboard for ideas.

LM2893 COUPLING NETWORKS

The main disadvantages of the
network are that it functions as
loose coupling between primary ar
single secondary. The LM1893 co
signed this way mainly because of t
rier input and output are tied togeth

Because the coupling transformer is used as a filter, the LM1893 circuit is susceptible to pulling of the center frequency under conditions of changing line impedances or when several LM1893 circuits are close in proximity on the AC line. Because the tuned transformer has a high value of "Q", ringing also occurs in the presence of impulsive noise. This ringing occurs at the center frequency and increases the error rate of transmissions, especially at relatively high data rates (>2000 baud). Because it is the only tuned circuit in the system, the selectivity characteristics leave a lot to be desired.

The LM2893, having separate receive input and transmit output pins, removes the limitations on coupling transformer design, allowing the design of circuits devoid of the previous limitations.

The first enhancement that can be made with the LM2893 circuit is the use of a high permeability ferrite toroid for line coupling along with a separate filter. The transformer would be of broadband design (untuned) with two secondaries, one for coupling to the transmit output and one for coupling to the receive input. This allows impedance matching of both the transmitter and receiver, with the result of quite a bit more receive sensitivity.

Because of the increased signal and separate receive signal path, a 3 or 6 db pad can be used before the selective stages to eliminate pulling of the center frequency due to changes in line impedance.

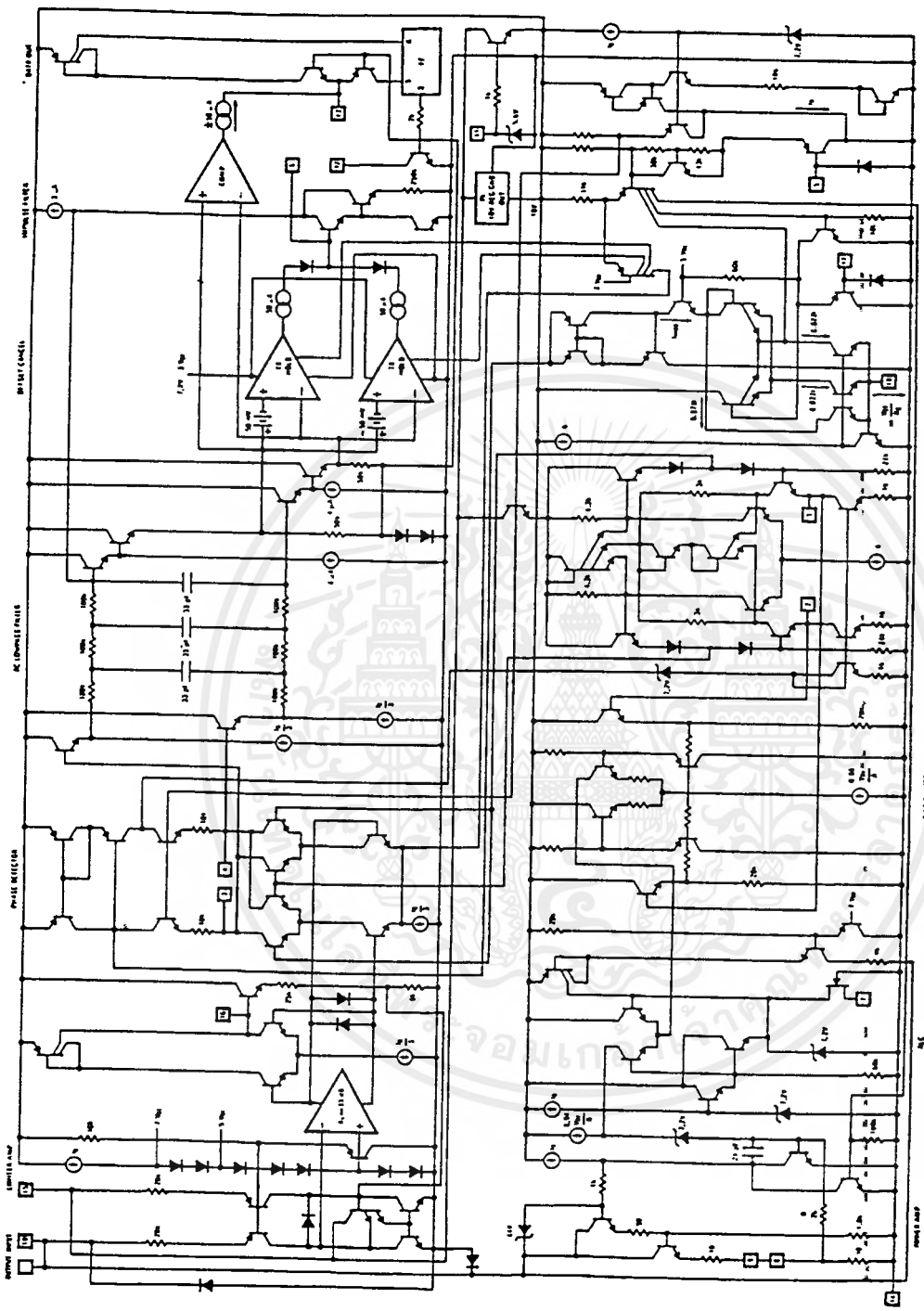
Another advantage of the toroidal transformer is that it can be designed for use at very low line impedances due to its inherent tight coupling.

SEPARATE FILTER

Because of the separate receive path of the LM2893, a relatively high quality bandpass filter can be used for selectivity Inexpensive ceramic filters are ava
pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่ทั้งห้ามมิให้ดัดแ

Simplified Schematic



TL/H/6750–37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

References

1. Nicholson, J.R. and J.A. Malack; "RF Impedance of Power Lines and Line Impedance Stabilization Network in Conducted Interference Measurements;" IEEE Transactions on Electromagnetic Compatibility; May 1973; (line impedance data)
2. Southwick, R.A.; "Impedance Characteristics of Single-Phase Power Lines;" Conference Rec.; 1973 IEEE Int. Symp. on Electromagnetic Compatibility; (line impedance data)
3. Hayt, William H. Jr. and Jack E. Kemmerly; "Engineering Circuit Analysis;" McGraw-Hill Books; 1971; pp. 447–453; (linear transformer reflected impedance)
4. FCC, "Notice of Proposed Rule Making," Docket 20780, adopted Apr. 14, 1976, (Proposed regulation)
5. Monticelli, Dennis M. and Michael E. Wright; "A Carrier Current Transceiver IC for Data Transmission Over the AC Power Lines;" IEEE J. Solid-State Circuits; vol. SC-17; Dec. 1982; pp. 1158-1165; (LM1893 circuit description)
6. Lee, Mitchell; "A New Carrier Current Transceiver IC;" IEEE Trans. on Consumer Electronics; vol. CE-28; Aug. 1982; pp. 409–414; (Application of LM1893)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Encoder and Decoder Pairs
CMOS

MC145026
MC145027
MC145028
SC41342
SC41343
SC41344

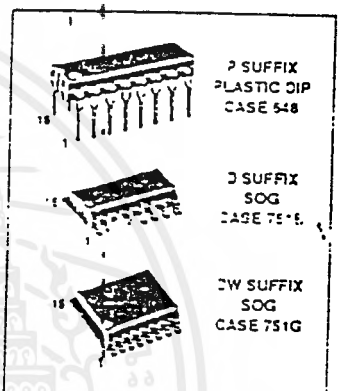
These devices are designed to be used as encoder/decoder pairs in remote control applications.

The MC145026 encodes nine lines of information and serially sends this information upon receipt of a transmit enable ($\overline{TE}$) signal. The nine lines may be encoded with trinary data (low, high, or open) or binary data (low or high). The words are transmitted twice per encoding sequence to increase security.

The MC145027 decoder receives the serial stream and interprets five of the trinary digits as an address code. Thus, 243 addresses are possible. If binary data is used at the encoder, 32 addresses are possible. The remaining serial information is interpreted as four bits of binary data. The valid transmission output (VT) goes high on the MC145027 when two conditions are met. First, two addresses must be consecutively received (in one encoding sequence) which both match the local address. Second, the 4-bits of data must match the last valid data received. The active VT indicates that the information at the data output pins has been updated.

The MC145028 decoder treats all nine trinary digits as an address which allows 19,683 codes. If binary data is encoded, 512 codes are possible. The valid transmission output (VT) goes high on the MC145028 when two addresses are consecutively received (in one encoding sequence) which both match the local address.

- Operating Temperature Range: −40° to 85°C
- Very-Low Standby Current for the Encoder: 300 nA Maximum @ 25°C
- Interfaces with RF, Ultrasonic, or Infrared Modulators and Demodulators
- RC Oscillator, No Crystal Required
- High External Component Tolerance; Can Use ±5% Components
- Internal Power-On Reset Forces All Decoder Outputs Low
- For Infrared Applications, See Applications Note AN1016
- Operating Voltage Range: 4.5 to 18 V
- Low-Voltage Versions Available —
  - SC41342: 2.5 to 18 V Version of the MC145026
  - SC41343: 2.5 to 10 V Version of the MC145027
  - SC41344: 2.5 to 10 V Version of the MC145028



P SUFFIX
PLASTIC DIP
CASE 648

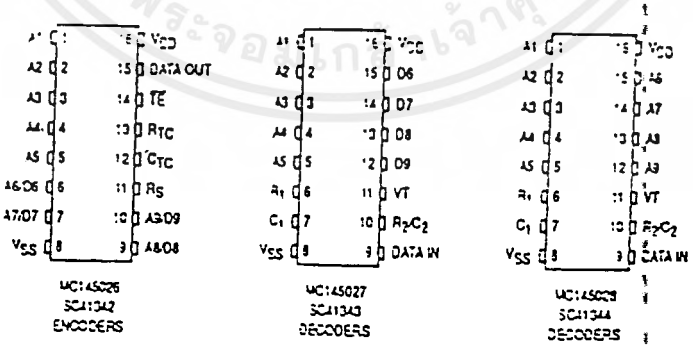
D SUFFIX
SOG
CASE 751B

DW SUFFIX
SOG
CASE 751G

ORDERING INFORMATION

MC145026P, SC41342P	Plastic DIP
MC145026D, SC41342D	SOG Package
MC145027P, SC41343P	Plastic DIP
MC145027DW, SC41343DW	SOG Package
MC145028P, SC41344P	Plastic DIP
MC145028DW, SC41344DW	SOG Package

PIN ASSIGNMENTS



MC145026
SC41342
ENCODERS

MC145027
SC41343
DECODERS

MC145028
SC41344
DECODERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

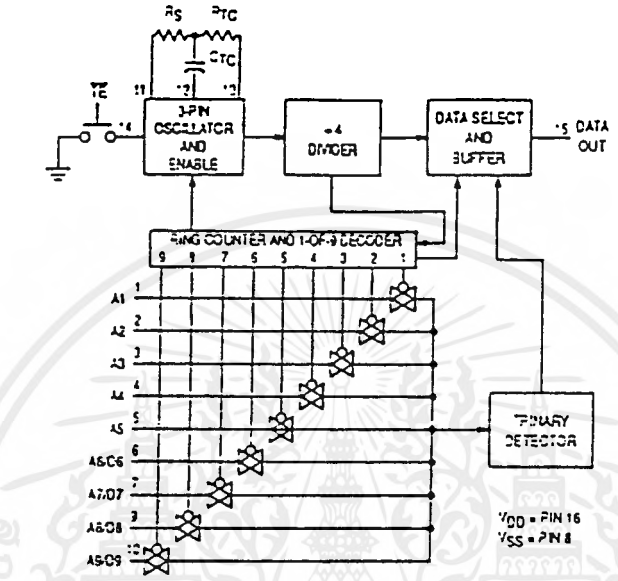


Figure 1. MC145026 Encoder Block Diagram

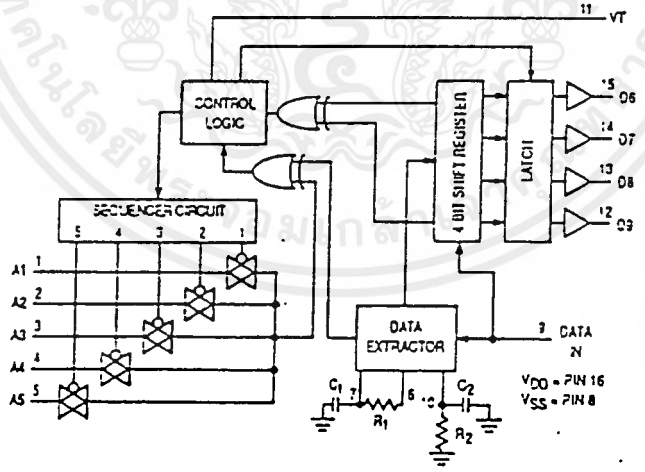


Figure 2. MC145027 Decoder Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

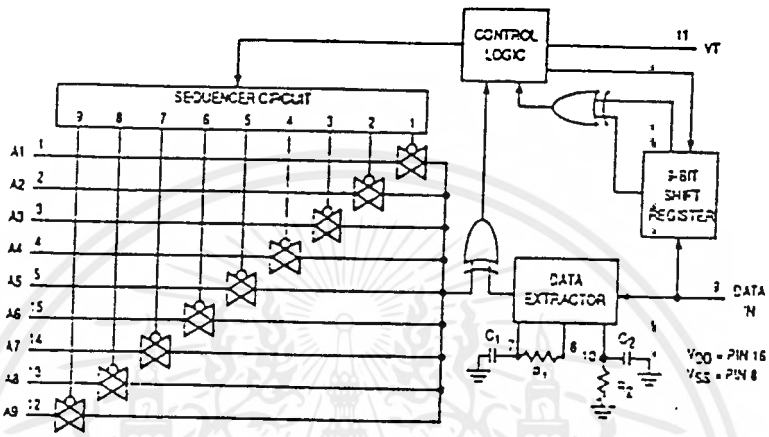


Figure 3. MC145028 Decoder Block Diagram

MAXIMUM RATINGS* (Voltage Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage (except SC41343, SC41344)	−0.5 to +18	V
V_{DD}	DC Supply Voltage (SC41343, SC41344 only)	−0.5 to +10	V
V_{in}	DC Input Voltage	−0.5 to V_{DD}+0.5	V
V_{out}	DC Output Voltage	−0.5 to V_{DD}+0.5	V
I_{in}	DC Input Current, per Pin	±10	mA
I_{out}	DC Output Current, per Pin	±10	mA
P_D	Power Dissipation, per Package	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS — MC145026, MC145027, MC145028, and SC41342* (Voltage Referenced to V_{SS})

Symbol	Characteristic	V_{DD} V	Guaranteed Limit						Unit
			−40°C		25°C		−85°C		
			Min	Max	Min	Max	Min	Max	
V_{OL}	Low-Level Output Voltage (V_{in} = V_{DD} or 0)	5.0	—	0.05	—	0.05	—	0.05	V
		10	—	0.05	—	0.05	—	0.05	
		15	—	0.05	—	0.05	—	0.05	
V_{OH}	High-Level Output Voltage (V_{in} = 0 or V_{DD})	5.0	4.95	—	4.95	—	4.95	—	V
		10	9.95	—	9.95	—	9.95	—	
		15	14.95	—	14.95	—	14.95	—	
V_{IL}	Low-Level Input Voltage								V
	(V_{out} = 4.5 or 0.5 V)	5.0	—	1.5	—	1.5	—	1.5	
	(V_{out} = 9.0 or 1.0 V)	10	—	3.0	—	3.0	—	3.0	
	(V_{out} = 13.5 or 1.5 V)	15	—	4.0	—	4.0	—	4.0	
V_{IH}	High-Level Input Voltage								V
	(V_{out} = 0.5 or 4.5 V)	5.0	3.5	—	3.5	—	3.5	—	
	(V_{out} = 1.0 or 9.0 V)	10	7.0	—	7.0	—	7.0	—	
	(V_{out} = 1.5 or 13.5 V)	15	11	—	11	—	11	—	
I_{OH}	High-Level Output Current								mA
	(V_{out} = 2.5 V),	5.0	−2.5	—	−2.1	—	−1.7	—	
	(V_{out} = 4.6 V)	5.0	−0.52	—	−0.44	—	−0.36	—	
	(V_{out} = 9.5 V)	10	−1.3	—	−1.1	—	−0.9	—	
	(V_{out} = 13.5 V)	15	−3.6	—	−3.0	—	−2.4	—	
I_{OL}	Low-Level Output Current								mA
	(V_{out} = 0.4 V)	5.0	0.52	—	0.44	—	0.36	—	
	(V_{out} = 0.5 V)	10	1.3	—	1.1	—	0.9	—	
	(V_{out} = 1.5 V)	15	3.6	—	3.0	—	2.4	—	
I_{in}	Input Current — $\overline{TE}$ (MC145026 and SC41342, Pullup Device)	5.0	—	—	3.0	11	—	—	µA
		10	—	—	16	60	—	—	
		15	—	—	35	120	—	—	
I_{in}	Input Current R_S (MC145026 and SC41342), Data In (MC145027, MC145028)	15	—	±0.3	—	±0.3	—	±1.0	µA
I_{in}	Input Current A1-A5, A6/D6–A9/D9 (MC145026 and SC41342), A1-A5 (MC145027), A1-A9 (MC145028)	5.0	—	—	—	±110	—	—	µA
		10	—	—	—	±500	—	—	
		15	—	—	—	±1000	—	—	
C_{in}	Input Capacitance (V_{in} = 0)	—	—	—	—	7.5	—	—	pF
I_{DD}	Quiescent Current — MC145026 and SC41342	5.0	—	—	—	0.1	—	—	µA
		10	—	—	—	0.2	—	—	
		15	—	—	—	0.3	—	—	
I_{DD}	Quiescent Current — MC145027, MC145028	5.0	—	—	—	50	—	—	µA
		10	—	—	—	100	—	—	
		15	—	—	—	150	—	—	
I_{dd}	Dynamic Supply Current — MC145026 and SC41342 (f_c = 20 kHz)	5.0	—	—	—	200	—	—	µA
		10	—	—	—	400	—	—	
		15	—	—	—	600	—	—	
I_{dd}	Dynamic Supply Current — MC145027, MC145028 (f_c = 20 kHz)	5.0	—	—	—	400	—	—	µA
		10	—	—	—	800	—	—	
		15	—	—	—	1200*	—	—	

*Also see next Electrical Characteristics table for 2.5 V specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ELECTRICAL CHARACTERISTICS — SC41342 (Voltage Referenced = V_{SS})

Symbol	Characteristic	V_{DD} V	Guaranteed Limit						Unit
			−40°C		25°C		+85°C		
			Min	Max	Min	Max	Min	Max	
V_{OL}	Low-Level Output Voltage (V_{in} = 0 V or V_{DD})	2.5	—	0.05	—	0.05	—	0.05	V
V_{OH}	High-Level Output Voltage (V_{in} = 0 V or V_{DD})	2.5	2.45	—	2.45	—	2.45	—	V
V_{IL}	Low-Level Input Voltage (V_{out} = 0.5 V or 2.0 V)	2.5	—	0.3	—	0.8	—	0.3	V
V_{IH}	High-Level Input Voltage (V_{out} = 0.5 V or 2.0 V)	2.5	2.2	—	2.2	—	2.2	—	V
I_{OH}	High-Level Output Current (V_{out} = 1.25 V)	2.5	0.28	—	0.25	—	0.2	—	mA
I_{OL}	Low-Level Output Current (V_{out} = 0.4 V)	2.5	0.22	—	0.2	—	0.16	—	mA
I_{in}	Input Current ($\overline{TE}$ — Pullup Device)	2.5	—	—	0.09	1.8	—	—	µA
I_{in}	Input Current (A1-A5, A6/D6-A9/D9)	2.5	—	—	—	±25	—	—	µA
I_{DD}	Quiescent Current	2.5	—	—	—	0.05	—	—	µA
I_{dd}	Dynamic Supply Current (f_c = 20 kHz)	2.5	—	—	—	50	—	—	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS — SC41343 and SC41344 (Voltage Referenced to V_{SS})

Symbol	Characteristic	V_{DD} V	Guaranteed Limit						Unit
			−40°C		25°C		−85°C		
			Min	Max	Min	Max	Min	Max	
V_{OL}	Low-Level Output Voltage (V_{in} = 0 V or V_{DD})	2.8	—	0.05	—	0.05	—	0.05	V
		5.0	—	0.05	—	0.05	—	0.05	
		10	—	0.05	—	0.05	—	0.05	
V_{OH}	High-Level Output Voltage (V_{in} = 0 V or V_{DD})	2.8	2.75	—	2.75	—	2.75	—	V
		5.0	4.95	—	4.95	—	4.95	—	
		10	9.95	—	9.95	—	9.95	—	
V_{IL}	Low-Level Input Voltage								V
	(V_{out} = 2.3 V or 0.5 V)	2.8	—	0.84	—	0.84	—	0.84	
	(V_{out} = 4.5 V or 0.5 V)	5.0	—	1.5	—	1.5	—	1.5	
	(V_{out} = 9.0 V or 1.0 V)	10	—	3.0	—	3.0	—	3.0	
V_{IH}	High-Level Input Voltage								V
	(V_{out} = 0.5 V or 2.3 V)	2.8	1.96	—	1.96	—	1.96	—	
	(V_{out} = 0.5 V or 4.5 V)	5.0	3.5	—	3.5	—	3.5	—	
	(V_{out} = 1.0 V or 9.0 V)	10	7.0	—	7.0	—	7.0	—	
I_{OH}	High-Level Output Current								mA
	(V_{out} = 1.4 V)	2.8	−0.73	—	−0.7	—	−0.55	—	
	(V_{out} = 4.5 V)	5.0	−0.59	—	−0.5	—	−0.41	—	
	(V_{out} = 9.0 V)	10	−1.3	—	−1.1	—	−0.9	—	
I_{OL}	Low-Level Output Current								mA
	(V_{out} = 0.4 V)	2.8	0.35	—	0.3	—	0.24	—	
	(V_{out} = 0.5 V)	5.0	0.8	—	0.6	—	0.4	—	
	(V_{out} = 1.0 V)	10	3.5	—	2.9	—	2.3	—	
I_{in}	Input Current — Data In	10	—	±0.3	—	±0.3	—	±1.0	μA
I_{in}	Input Current	2.8	—	—	—	±30	—	—	μA
	A1-A5 (SC41343),	5.0	—	—	—	±140	—	—	
	A1-A9 (SC41344)	10	—	—	—	±500	—	—	
C_{in}	Input Capacitance (V_{in} = 0)	—	—	—	—	7.5	—	—	pF
I_{DD}	Quiescent Current	2.8	—	—	—	50	—	—	μA
		5.0	—	—	—	75	—	—	
		10	—	—	—	150	—	—	
I_{dd}	Dynamic Supply Current	2.8	—	—	—	300	—	—	μA
	(f_c = 20 kHz)	5.0	—	—	—	500	—	—	
		10	—	—	—	1000	—	—	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS — MC145025, MC145027, MC145028, and SC41342* (C_L = 50 pF, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit		Unit
			Min	Max	
t_{TLH}, t_{THL}	Output Transition Time (Figures 4 and 8)	5.0	—	200	ns
		10	—	100	
		15	—	80	
t_r	Data In Rise Time (Decoders) (Figure 5)	5.0	—	15	µs
		10	—	15	
		15	—	15	
t_f	Data In Fall Time (Decoders) (Figure 5)	5.0	—	15	µs
		10	—	5.0	
		15	—	4.0	
f_{osc}	Encoder Clock Frequency (Figure 6)	5.0	0.001	2.0	MHz
		10	0.001	5.0	
		15	0.001	10	
f	Decoder Frequency (Referenced to Encoder Clock) (Figure 14)	5.0	1.0	240	kHz
		10	1.0	410	
		15	1.0	455	
t_w	$\overline{TE}$ Pulse Width (Encoders) (Figure 7)	5.0	55	—	ns
		10	30	—	
		15	20	—	

*Also see next Switching Characteristics table for 2.5 V specifications.

SWITCHING CHARACTERISTICS — SC41342 (C_L = 50 pF, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit		Unit
			Min	Max	
t_{TLH}, t_{THL}	Output Transition Time (Figures 4 and 8)	2.5	—	450	ns
f_{osc}	Encoder Clock Frequency (Figure 6)	2.5	1.0	250	kHz
t_w	$\overline{TE}$ Pulse Width (Figure 7)	2.5	—	—	ns

SWITCHING CHARACTERISTICS — SC41343 and SC41344 (C_L = 50 pF, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit		Unit
			Min	Max	
t_{TLH}, t_{THL}	Output Transition Time (Figures 4 and 8)	2.8	—	320	ns
		5.0	—	200	
		10	—	100	
t_r	Data In Rise Time (Figure 5)	2.8	—	15	µs
		5.0	—	15	
		10	—	15	
t_f	Data In Fall Time (Figure 5)	2.8	—	15	µs
		5.0	—	15	
		10	—	5.0	
f	Decoder Frequency (Referenced to Encoder Clock) (Figure 14)	2.8	1.0	100	kHz
		5.0	1.0	240	
		10	1.0	410	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

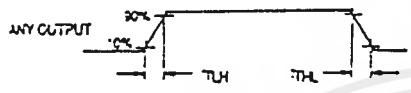


Figure 4.

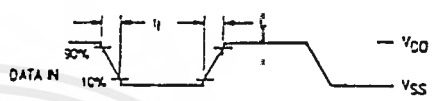


Figure 5.

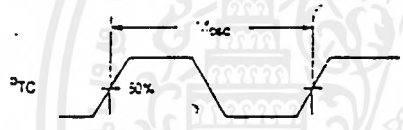
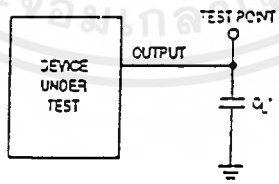


Figure 6.

Figure 7.



*INCLUDES ALL PROBE AND JIG CAPACITANCE.

Figure 8. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATING CHARACTERISTICS

MC145026

The encoder serially transmits trinary data as defined by the state of the A1 through A5 and A6/D6 through A9/D9 input pins. These pins may be in either of three states (low, high, or open) allowing 19,683 possible codes. The transmit sequence is initiated by a low level on the $\overline{TE}$ input pin. Each time the $\overline{TE}$ input is forced low, the encoder outputs two identical data words. Between the two data words, no signal is sent for three data periods. If the $\overline{TE}$ input is kept low, the encoder continuously transmits the data word. See Figure 10.

Upon power-up the MC145026 can continuously transmit data as long as $\overline{TE}$ remains low. The device can transmit two-word sequences by pulsing $\overline{TE}$ low. However, no application should be designed to rely upon the first data word transmitted after power-up, because this first word is invalid data.

Each transmitted trinary digit is encoded into pulses (See Figure 11). A logic zero (low) is encoded as two consecutive short pulses, a logic one (high) as two consecutive long pulses, and an open (high-impedance) as a long pulse followed by a short pulse. The input state is determined by using a weak "output" device to try to force each input first low, then high. If only a high state results from the two tests, the input is assumed to be hardwired to V_{DD}. If only a low state is obtained, the input is assumed to be hardwired to V_{SS}. If both a high and a low can be forced at an input, an open is assumed and is encoded as such. The "high" and "low" levels are 70% and 30% of the supply voltage as shown in the Electrical Characteristics Table. The weak "output" device sinks/sources up to 110 µA at a 5 V supply level, 500 µA at 10 V, and 1 mA at 15 V.

The $\overline{TE}$ input has an internal pullup device so that a simple switch may be used to force the input low. While $\overline{TE}$ is high, the encoder is completely disabled, the oscillator is inhibited, and the current drain is reduced to quiescent current. When $\overline{TE}$ is brought low, the oscillator is started, and the transmit sequence begins. The inputs are then sequentially selected, and determinations are made as to the input logic states. This information is serially transmitted via the Data Out pin.

MC145027

This decoder receives the serial data from the encoder and outputs the data, if it is valid. The transmitted data, consisting of two identical words, is examined bit by bit during reception. The first five trinary digits are assumed to be the address. If the received address matches the local address, next four (data) bits are internally stored, but are not transferred to the output data latch. As the second encoded word is received, the address must again match. If a match occurs, the new data bits are checked against the previously stored data bits. If the two nibbles of data (four bits each) match, the data is transferred to the output data latch by VT and remains until new data replaces it. At the same time, the VT output pin is brought high and remains high until an error is received or until no input signal is received for four data periods. See Figure 10.

Although the address information may be encoded in trinary, the data information must be either a one or a zero. A trinary (open) data line is decoded as a logic one.

MC145028

This decoder operates in the same manner as the MC145027 except that nine address lines are used and no data output is available. The VT output is used to indicate that a valid address has been received. For transmission security, two identical transmitted words must be consecutively received before a valid transmission output (VT) signal is issued.

The MC145028 allows 19,683 addresses when trinary levels are used. 512 addresses are possible when binary levels are used.

PIN DESCRIPTIONS

MC145025 ENCODER

A1 through A5, A6/D6 through A9/D9 (Pins 1 through 7, 9, and 10)

These address/data inputs are encoded and the data is sent serially from the encoder via the data out pin.

R_S, C_{TC}, R_{TC} (Pins 11, 12, and 13)

These pins are part of the oscillator section of the encoder. See Figure 9.

If an external signal source is used instead of the internal oscillator, it should be connected to the R_S input and the R_{TC} and C_{TC} pins should be left open.

$\overline{TE}$ (Pin 14)

This active-low transmit enable input initiates transmission when forced low. An internal pullup device keeps this input normally high. The pullup current is specified in the Electrical Characteristics table.

Data Out (Pin 15)

This is the output of the encoder that serially presents the encoded data word.

V_{SS} (Pin 8)

The most-negative supply potential. This pin is usually ground.

V_{DD} (Pin 16)

The most-positive power supply pin.

MC145027 AND MC145028 DECODERS

A1 through A5 (Pins 1 through 5) — MC145027
A1 through A9 (Pins 1 through 5, 15, 14, 13, and 12) — MC145028

These are the local address inputs. The states of these pins must match the appropriate encoder inputs for the VT pin to go high. The local address may be encoded with trinary or binary data.

D6 through D9 (Pins 15, 14, 13, and 12) – MC145027 ONLY

These outputs present the binary information that is on encoder inputs A6/D6 through A9/D9. Only binary data is acknowledged; a trinary open at the MC145026 encoder is decoded as a high level (logic 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_1, C_1 (Pins 6, 7)

As shown in Figures 2 and 3, these pins accept a resistor and capacitor that are used to determine whether a narrow pulse or wide pulse has been received. The time constant $R_1 \times C_1$ should be set to 1.72 encoder clock periods:

$R_1 C_1 = 3.95 R_{TC} C_{TC}$.

R_2, C_2 (Pin 10)

As shown in Figures 2 and 3, this pin accepts a resistor and capacitor that are used to detect both the end of a received word and the end of a transmission. The time contant $R_2 \times C_2$ should be 33.5 encoder clock periods (four data periods per Figure 11): $R_2 C_2 = 77 R_{TC} C_{TC}$. This time contant is used to [illegible] the pin has remained low for four data periods (end of transmission). A separate on-chip comparator looks at the voltage-equivalent two data periods ($0.4 R_2 C_2$) to detect the dead time between received words within a transmission.

VT (Pin 11)

This valid transmission output goes high after the second word of an encoding sequence when the following conditions are satisfied:

(1) the received addresses of both words match the local decoder address, and

(2) the received data bits of both words match.

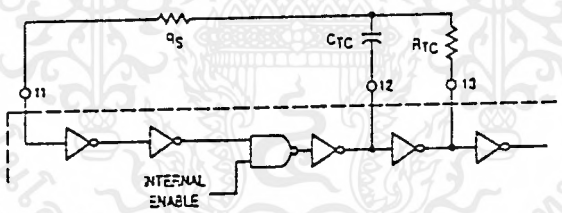
VT remains high until either a mismatch is received or no input signal is received for four data periods.

V_{SS} (Pin 8)

The most-negative supply potential. This pin is usually ground.

V_{DD} (Pin 16)

The most-positive power supply pin.



This oscillator operates at a frequency determined by the external RC network; i.e.,

$$f = \frac{1}{2.3 R_{TC} C_{TC}'} \text{ (Hz)}$$

for 1 kHz ≤ f ≤ 400 kHz

where: $C_{TC}' = C_{TC} + C_{layout} + 12$ pF

$R_S = 2 R_{TC}$

$R_S \geq 20$ k

$R_{TC} \geq 10$ k

400 pF < C_{TC} < 15 µF

The value for R_S should be chosen to be ≥ 2 times R_{TC}. This range ensures that current through R_S is insignificant compared to current through R_{TC}. The upper limit for R_S must ensure that $R_S \times 5$ pF (input capacitance) is small compared to $R_{TC} \times C_{TC}$.

For frequencies outside the indicated range, the formula is less accurate. The minimum recommended oscillation frequency of this circuit is 1 kHz. Susceptibility to externally induced noise signals may occur for frequencies below 1 kHz and/or when resistors utilized are greater than 1 MΩ.

Figure 9. Encoder Oscillator Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

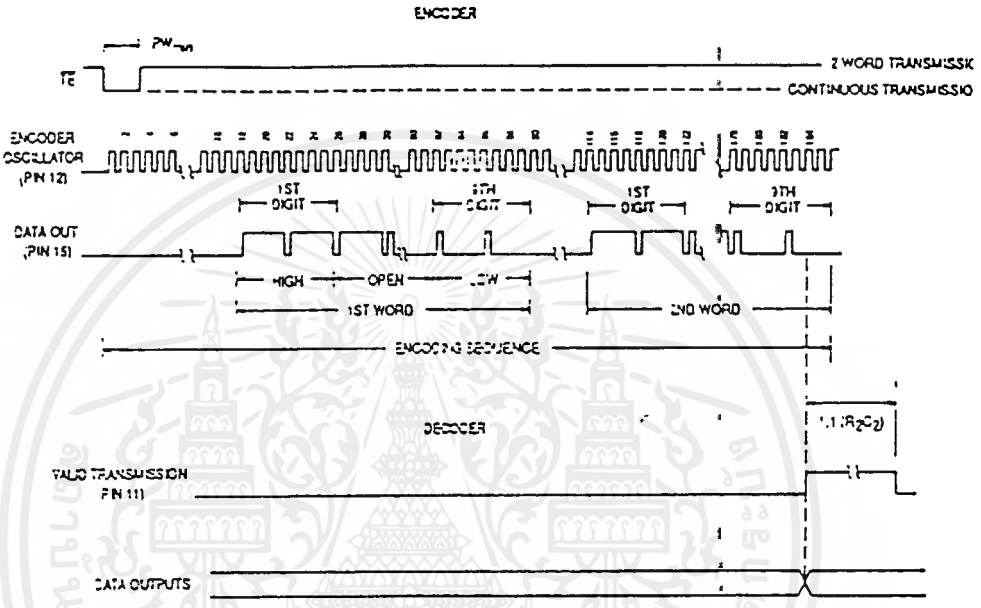


Figure 10. Timing Diagram

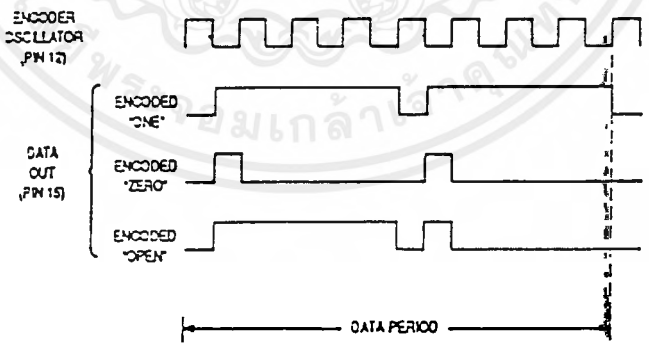


Figure 11. Encoder Data Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

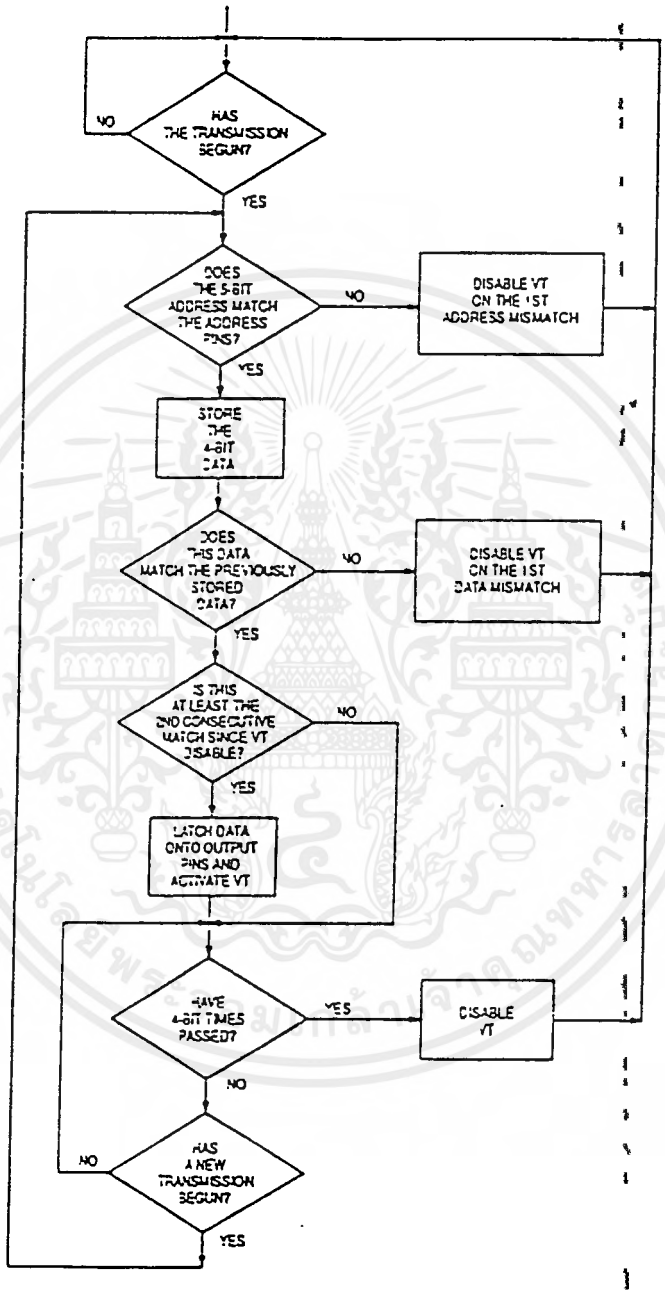


Figure 12. MC145027 Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

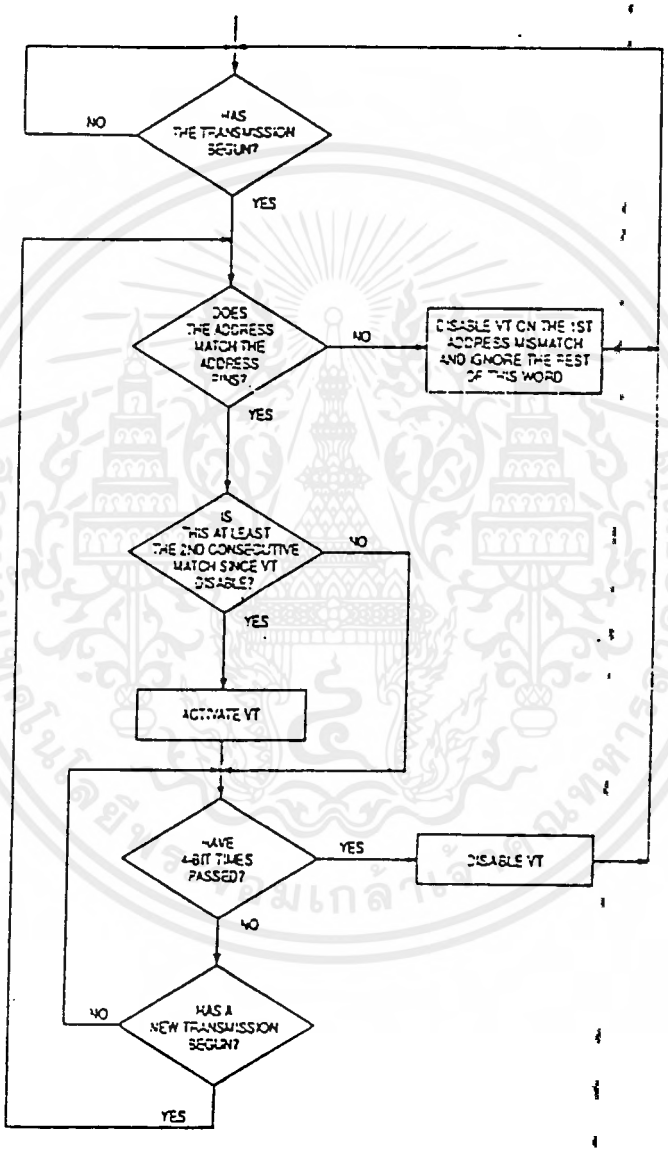


Figure 13. MC145028 Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

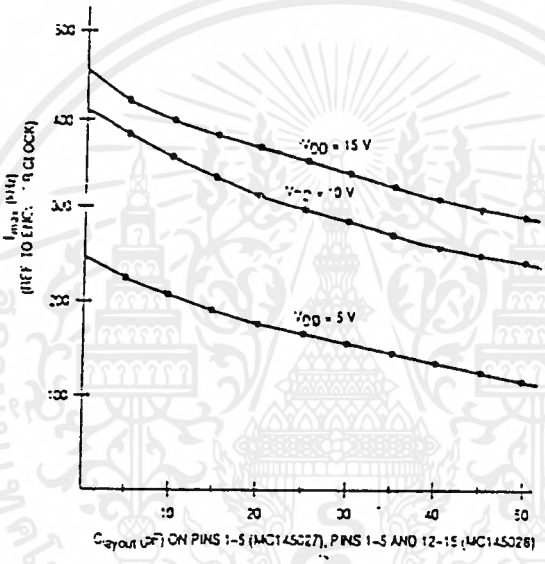
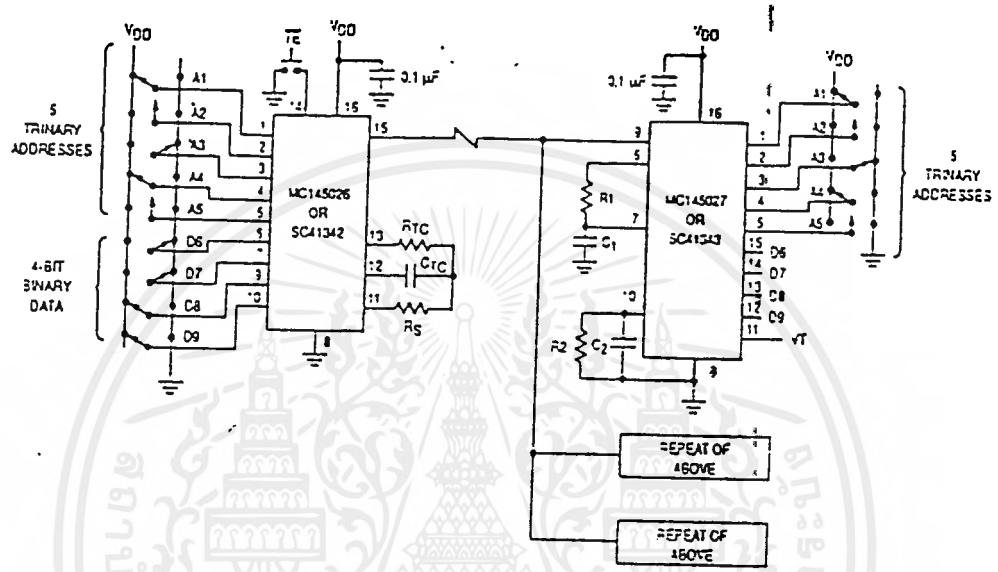


Figure 14. f_{max} vs C_{layout} — Decoders Only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$f_{osc} = \frac{1}{2.3\,R_{TC}C_{TC}'}$$

$R_1C_1 = 3.95\,R_{TC}C_{TC}$

$R_2C_2 = 77\,R_{TC}C_{TC}$

$C_{TC}' = C_{TC} + C_{layout} = 12$ pF

100 pF ≤ C_{TC} ≤ 15 µF

$R_{TC} \geq 10$ k; $R_S = 2\,R_{TC}$

$R_1 \geq 10$ k

$C_1 \geq 400$ pF

$R_2 \geq 100$ k

$C_2 \geq 700$ pF

Example R/C Values

(All Resistors and Capacitors are ±5%)

($C_{TC}' = C_{TC} + 20$ pF)

f_{osc} (kHz)	R_{TC}	C_{TC}'	R_S	R_1	C_1	R_2	C_2
362	10 k	120 pF	20 k	10 k	470 pF	100 k	910 pF
181	10 k	240 pF	20 k	10 k	910 pF	100 k	1800 pF
88.7	10 k	490 pF	20 k	10 k	2000 pF	100 k	3900 pF
42.6	10 k	1020 pF	20 k	10 k	3900 pF	100 k	7500 pF
21.5	10 k	2020 pF	20 k	10 k	8200 pF	100 k	0.015 µF
8.53	10 k	5100 pF	20 k	10 k	0.02 µF	200 k	0.02 µF
1.71	50 k	5100 pF	100 k	50 k	0.02 µF	200 k	0.1 µF

Figure 15. Typical Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

Infrared Transmitter

In Figure 16, the MC145026 encoder is set to run at an oscillator frequency of about 4 kHz to 9 kHz. Thus, the time required for a complete two-word encoding sequence is about 20 ms to 40 ms. The data output from the encoder gates an RC oscillator running at 50 kHz; the oscillator shown starts rapidly enough to be used in this application. When the "send" button is not depressed, both the MC145025 and oscillator are in a low-power standby state. The RC oscillator has to be trimmed for 50 kHz and has some drawbacks for frequency stability. A superior system uses a ceramic resonator oscillator running at 400 kHz. This oscillator feeds a divider as shown in Figure 17. The unused inputs of the MC14011UB must be grounded.

The MLED81 IRED is driven with the 50 kHz square wave at about 200 mA to 300 mA to generate the carrier. If desired, 2 IREDs wired in series can be used. (See Application Note AN1016 for more information.) The bipolar IRED switch shown in Figure 16 offers two advantages over a FET. First, a logic FET has too much gate capacitance for the MC14011UB to drive without waveform distortion. Second, the bipolar drive permits lower supply voltages, which are an advantage in portable battery-powered applications.

The configuration shown in Figure 16 operates over a supply range of 4.5 V to 16 V. A low-voltage system which operates down to 2.5 V could be realized if the SC41342 (the low-voltage version of the MC145025) is used in lieu of the MC145026. The oscillator section of a MC74HC4060 is used in place of the MC14011UB. The data output of the SC41342 is inverted and fed to the reset pin of the MC74HC4060. Alternately, the MC74HCU04 could be used for the oscillator.

Information on the MC14011UB is in book number DL131/D. The MC74HCU04 and MC74HC4060 are found in book number DL129/D.

Infrared Receiver

The receiver in Figure 16 couples an IR-sensitive diode to input preamp A1, followed by bandpass amplifier A2 with a gain of about 10. Limiting stage A3 follows, with an output of about 600 mVp-p. The limited 50 kHz burst is detected by comparator A4 that passes only positive pulses, and peak-detected and filtered by a diode/RC network to extract the data envelope from the burst. Comparator A5 boosts the signal to logic levels compatible with the MC145027/9 data input. The data in pin of these decoders is a standard CMOS high-impedance input which must NOT be allowed to float. Therefore, direct coupling from A5 to the decoder input is utilized.

Shielding should be used on at least A1 and A2, with good ground and high-sensitivity circuit layout techniques applied.

For operation with supplies higher than +5 V, limiter A4's positive output swing needs to be limited to 3 V to 5 V. This is accomplished via adding a zener diode in the negative feedback path, thus avoiding excessive system noise. The biasing resistor stack should be adjusted such that V3 is 1.25 V to 1.5 V.

This system works up to a range of about 10 meters. The gains of the system may be adjusted to suit the individual design needs. The 100 Ω resistor in the emitter of the first 2N5088 and the 1 kΩ resistor feeding A2 may be altered if different gain is required. In general, more gain does not necessarily result in increased range. This is due to noise floor limitations. The designer should increase transmitter power and/or increase receiver aperature with fresnal lensing to greatly improve range. See applications note AN1016 for additional information.

Information on the MC34074 is in data book DL128/D.

Trinary Switch Manufacturers

Midlanc Ross–Electronic Connector Div.	617/491-5400
Greyhill	312/354-1040
Augat/Alcoswitch	617/685-4371
Aries Electronics	201/996-6641

The above companies may not have the switches in a DIP. For more info, call them or consult EEM or Gold Book. *Ask for SPDT with center OFF.*

Alternative: A SPST can be placed in series between a SPDT and the Encoder or Decoder to achieve trinary action.

Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of trinary switch manufacturers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

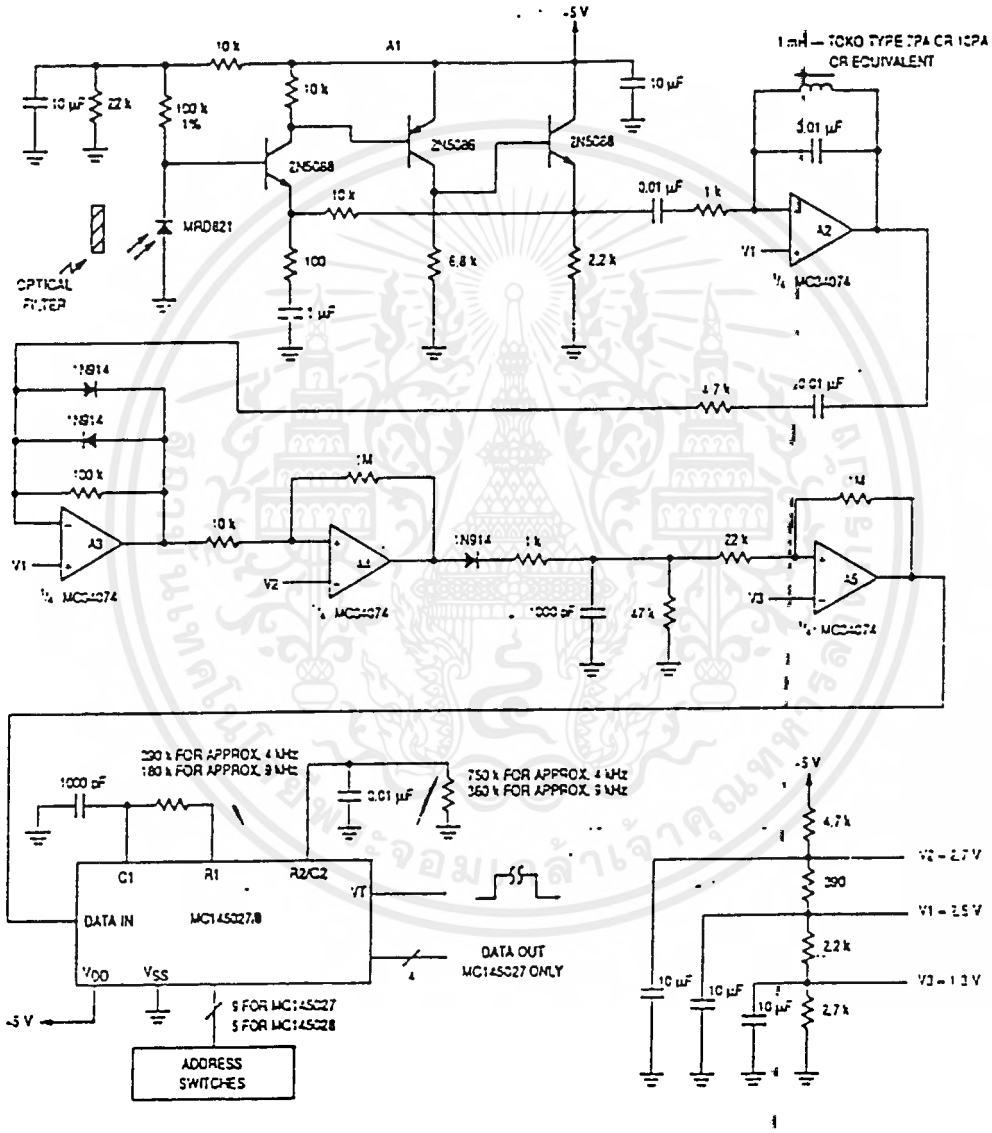


Figure 18. Infrared Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

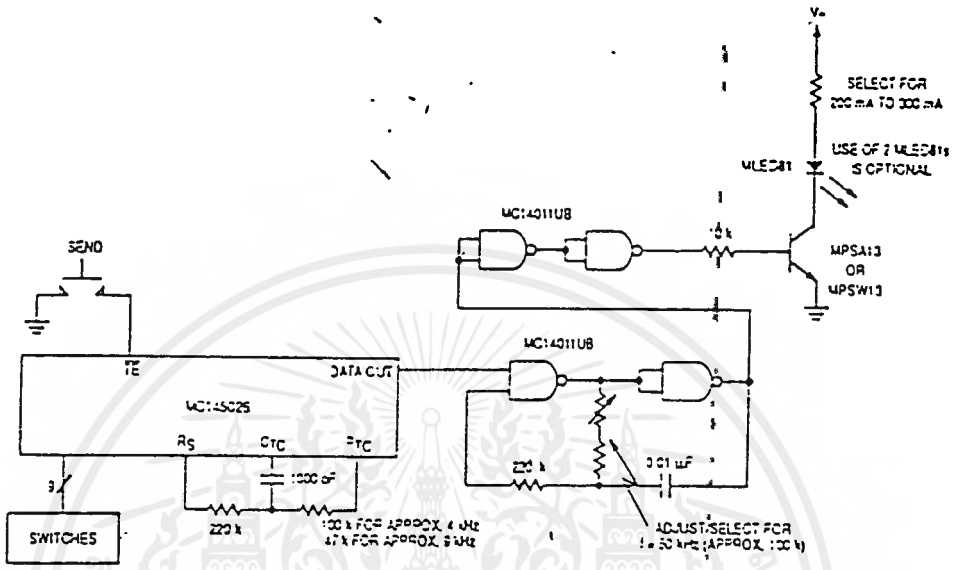


Figure 16. IRED Transmitter Using RC Oscillator to Generate Carrier Frequency

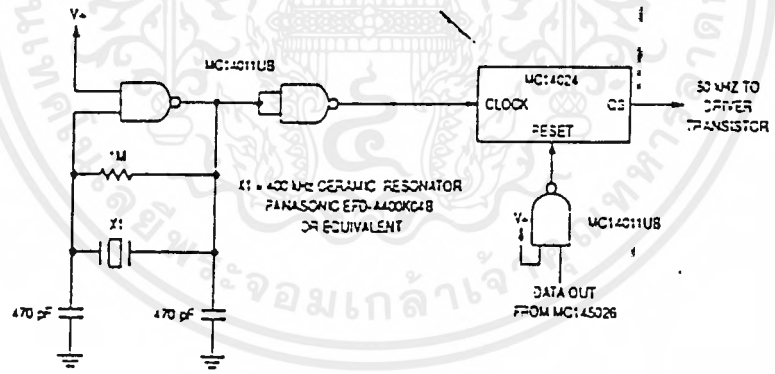


Figure 17. Using a Ceramic Resonator to Generate Carrier Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การจัดทำโครงงานปริญญานิพนธ์ เรื่อง ระบบควบคุม 8 - แชลแนล ด้วยโทรศัพท์นี้ เป็นผลสำเร็จได้ด้วยผู้จัดทำได้นำเอาความรู้ หลักวิชาที่ได้รับจากการศึกษา จากคณาจารย์ผู้ซึ่งประสิทธิ์ประศาสน์วิชาความรู้ให้ พร้อมทั้งได้รับคำปรึกษาและคำแนะนำจากผู้ทรงคุณวุฒิหลายท่าน โดยเฉพาะอย่างยิ่งผู้ที่ซึ่งให้คำปรึกษา และคำแนะนำมาโดยตลอด คือ รองศาสตราจารย์ ดร. กอบชัย เดชหาญ่ จึงทำให้โครงงานนี้สำเร็จได้ด้วยดีมาโดยตลอด ผู้จัดทำขอขอบพระคุณมา ณ โอกาสนี้

อนึ่งนอกจากรายนามที่กล่าวมาแล้วข้างต้นนี้ ยังมีผู้ที่ให้ความช่วยเหลือต่อคณะผู้จัดทำโครงงานอีกหลายท่าน ซึ่งคณะผู้จัดทำต้องขอขอบพระคุณไว้ ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

(1) INTEL THE MICROCOMPUTER COMPANY: , " MCS - 51 ARCHITECTURAL OVERVIEW "

(2) น.ต. ธวัชชัย เลื่อนฉวี , " เทคโนโลยีโทรศัพท์ " , พฤษภาคม 2533

(3) เศกสิทธิ์ คำชมภู , " ไมโครคอนโทรลเลอร์ ควบคุมเครื่องใช้ไฟฟ้าผ่านคู่สายโทรศัพท์ " " MT 8870 " , รวมโครงงานอิเล็กทรอนิกส์ โทรศัพท์ และ อินเตอร์คอม หน้า 92 - 99 , หน้า 115 - 119 , ซีเอ็ดยูเคชั่น , กรุงเทพ 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้