การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล

DIGITAL VIDEO AND AUDIO TRANSMISSION SYSTEM

โดย

นาย ชาญวิทย์ เรืองพงษ์สาร

นาย ชัยยุทธ เจริญกิจกำจร

นาย ณรงค์ชัย นครกัณฑ์

วัน เดือน ปี 18 ส.ค. 2540

เลขทะเบียน 037898

เลขเรียกหนังสือ โ 39009 ช 495ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล

DIGITAL VIDEO AND AUDIO TRANSMISSION SYSTEM

โดย

นาย ชาญวิทย์ เรืองพงษ์สาร 37013012

นาย ชัยยุทธ เจริญกิจกำจร 37013059

นาย ณรงค์ชัย นครกัณฑ์ 37013060

อาจารย์ที่ปรึกษา

อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล

DIGITAL VIDEO AND AUDIO TRANSMISSION SYSTEM

ผู้จัดทำ

นาย ชาญวิทย์	เรืองพงษ์สาร	37013012
นาย ชัยยุทธ	เจริญกิจกำจร	37013059
นาย ณรงค์ชัย	นครกัณฑ์	37013060

..... อาจารย์ที่ปรึกษา

(อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล

DIGITAL VIDEO AND AUDIO TRANSMISSION SYSTEM

โดย นาย ชาญวิทย์ เรืองพงษ์สาร 37013012

นาย ชัยยุทธ เจริญกิจกำจร 37013059

นาย ณรงค์ชัย นครกัณฑ์ 37013060

อาจารย์ที่ปรึกษา อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์

บทคัดย่อ

ปัจจุบันการสื่อสารในระบบดิจิตอลได้พัฒนาอย่างรวดเร็วเนื่องจากมีข้อดีหลายๆ อย่าง เช่น ความเที่ยงตรงในการรับข้อมูล ความสามารถในการเข้ารหัส สะดวกในการมัลติเพล็กซ์

ปริญญานิพนธ์ฉบับนี้เป็นการนำเสนอการส่งข้อมูลภาพและเสียงในระบบดิจิตอล โดยใช้เทคนิคการมัลติ - เพล็กแบบแบ่งเวลา มีความเร็วในการส่งเท่ากับ 16.64 Mbps โดยส่วนของข้อมูลภาพเป็นภาพขาวดำขนาด 256 * 256 จุดต่อภาพ มีความละเอียด 8 บิทต่อจุดภาพ

Abstract :

The digital communication systems are growing up rapidly because of its advantages such as accuracy, the ability to encode and multiplex. This project presents tranmission of video and audio by using the technique of Time Division Multiplex (TDM) at 16.64 Mbps. The video signal is a 256*256 monochrome picture, each pixel is encoded in 8 bit format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	
2.1 การส่งข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา	2
2.2 ทฤษฎีสัญญาณภาพ	13
2.3 การดิจิไทซ์สัญญาณภาพ	16
2.4 ระบบส่งข้อมูลภาพและเสียงแบบดิจิตอลมัลติเพล็กซ์แบบแบ่งเวลา	19
2.5 ระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา	20
บทที่ 3 การออกแบบและผลการทำงานของวงจร	
3.1 ระบบส่งข้อมูล	23
3.2 ระบบรับข้อมูล	30
บทที่ 4 ผลการทดลอง	43
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	52
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

		หน้า
รูปที่ 2.1	รูปแสดงตัวส่งและตัวรับ	2
รูปที่ 2.2	โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา	3
รูปที่ 2.3	ไดอะแกรมแสดงการอไลเมนต์	4
รูปที่ 2.4	ตัวอย่างการซิงโครไนซ์เฟรม	5
รูปที่ 2.5	แสดงนิยามของจิทเตอร์	7
รูปที่ 2.6	การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล	9
รูปที่ 2.7	แสดงลักษณะการเข้าสัญญาณดิจิตอลแบบต่างๆ	9
รูปที่ 2.8	แสดงความหนาแน่นของพลังงานในแถบความถี่ ของรหัส เอ็นอาร์แซด และ แมนเชสเตอร์	10
รูปที่ 2.9	รูปแสดงการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	11
รูปที่ 2.10	รูปแสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	12
รูปที่ 2.11	การสแกนภาพในโทรทัศน์	13
รูปที่ 2.12	แสดงรายละเอียดสัญญาณภาพระบบ PAL	15
รูปที่ 2.13	แสดงรายละเอียดใน 1 เส้นกวาด	15
รูปที่ 2.14	แสดงตำแหน่งในหน่วยความจำ จุดการเก็บข้อมูล	16
รูปที่ 2.15	ไดอะแกรมแสดงการดิจิไทซ์สัญญาณภาพ	18
รูปที่ 3.1	ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล	23
รูปที่ 3.2	แสดงวงจรเชื่อมต่อ	26
รูปที่ 3.3	ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ	28
รูปที่ 3.4	ไดอะแรมแสดงส่วนของหน่วยความจำภาพ	30
รูปที่ 3.5	ไดอะแกรมแสดงส่วนดีมัลติเพล็กซ์ข้อมูล	32
รูปที่ 3.6	ไดอะแกรมเวลาการทำงานของส่วนมัลติเพล็กซ์ข้อมูล	33
รูปที่ 3.7	ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์	34
รูปที่ 3.8	ไดอะแกรมสถานะของส่วนควบคุมสถานะการซิงโครไนซ์	35
รูปที่ 3.9	ไดอะแกรมเวลาการเข้าสู่สภาพการซิงโครไนซ์ และการเข้าสู่การสูญเสีย การซิงโครไนซ์ของส่วนควบคุมสถานะการซิงโครไนซ์	36
รูปที่ 3.10	แสดงไดอะแกรมส่วนถอดระหัสข้อมูลเสียง	37
รูปที่ 3.11	ไดอะแกรมการทำงานของส่วนถอดรหัสข้อมูลภาพ	38
รูปที่ 3.12	ไดอะแกรมสถานะของส่วนประมวลผลข้อมูลภาพ	39
รูปที่ 3.13	ไดอะแกรมแสดงเวลาการสวิทช์เพจภาพ	39

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14 แสดงไดอะแกรมของระบบหน่วยความจำภาพ 40
รูปที่ 3.15 ไดอะแกรมแสดงส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ 41
รูปที่ 4.1 รูปบอร์ดชุดส่งที่ใช้ในการทดลอง 43
รูปที่ 4.2 สัญญาณ อีนาเบิล 44
รูปที่ 4.3 สัญญาณ /XRD1 , /XRD2 44
รูปที่ 4.4 สัญญาณ /XPg0 45
รูปที่ 4.5 สัญญาณ BUF_EN 45
รูปที่ 4.6 สัญญาณ /LOAD 46
รูปที่ 4.7 สัญญาณ /XCSW_Latch , /XHLN_Latch 46
รูปที่ 4.8 สัญญาณ /S0 , /S3 47
รูปที่ 4.9 สัญญาณ S1 , S2 47
รูปที่ 4.10 สัญญาณ SCLK ,หรือ SHIFT 48
รูปที่ 4.11 สัญญาณ Latch 49
รูปที่ 4.12 สัญญาณ /WR 49
รูปที่ 4.13 สัญญาณ V BLANK 50
รูปที่ 4.14 สัญญาณ H BLANK 50
รูปที่ 4.15 สัญญาณภาพ 51
รูปที่ 4.16 สัญญาณเสียง 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบโทรคมนาคม การเลือกรูปแบบการส่งที่สามารถรองรับปริมาณข้อมูลจำนวนมาก จากหลายแหล่งข้อมูลนับเป็นการประหยัดการลงทุนได้เป็นอย่างดี ปัจจุบันการส่งข้อมูลดิจิตอลมัลติเพล็กซ์ เป็นวิธีที่ได้รับความนิยมอย่างมาก เนื่องจากข้อมูลที่อยู่ในรูปดิจิตอล จะมีความสามารถในการป้องกันการรบกวนจากสภาพแวดล้อม เนื่องจากระดับสัญญาณดิจิตอลจะมีแค่สองระดับ คือ สูง (high) และ ต่ำ (low) และยังลดการผิดเพี้ยนของสัญญาณ

สรุปข้อดีของระบบดิจิตอล

1. สะดวกในการมัลติเพล็กซ์
2. สะดวกในการส่งสัญญาณควบคุม
3. สัญญาณรบกวนต่ำ
4. สามารถเข้ารหัสได้

สำหรับโครงงานนี้เป็นการศึกษาการสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล ในส่วนของข้อมูลภาพจะทำการส่งข้อมูลภาพขาวดำขนาด 256*256 จุดภาพ ความละเอียด 8 บิทต่อจุดภาพ

วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาและทำการทดลองแนวคิดในการสื่อสารข้อมูลที่สามารถส่งทั้งภาพและเสียงได้
2. เพื่อศึกษารูปแบบการสื่อสารระบบดิจิตอลและการมัลติเพล็กซ์แบบแบ่งเวลา

ขอบเขตของปริญญานิพนธ์

ในปริญญานิพนธ์จะได้กล่าวถึงหัวข้อต่างๆ ต่อไปนี้โดยสังเขป คือ

ระบบส่งข้อมูล การดิจิไทซ์สัญญาณภาพและการเข้ารหัสข้อมูลเสียงรวมทั้งทฤษฎี , การมัลติเพล็กซ์ข้อมูล รวมถึงหลักการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา

ระบบรับข้อมูล จะกล่าวถึงการดีมัลติเพล็กซ์ข้อมูล , อัลกอริทึมในการอไลเมนต์เฟรมข้อมูล , วิธีการนำภาพไปแสดงบนจอทีวีมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

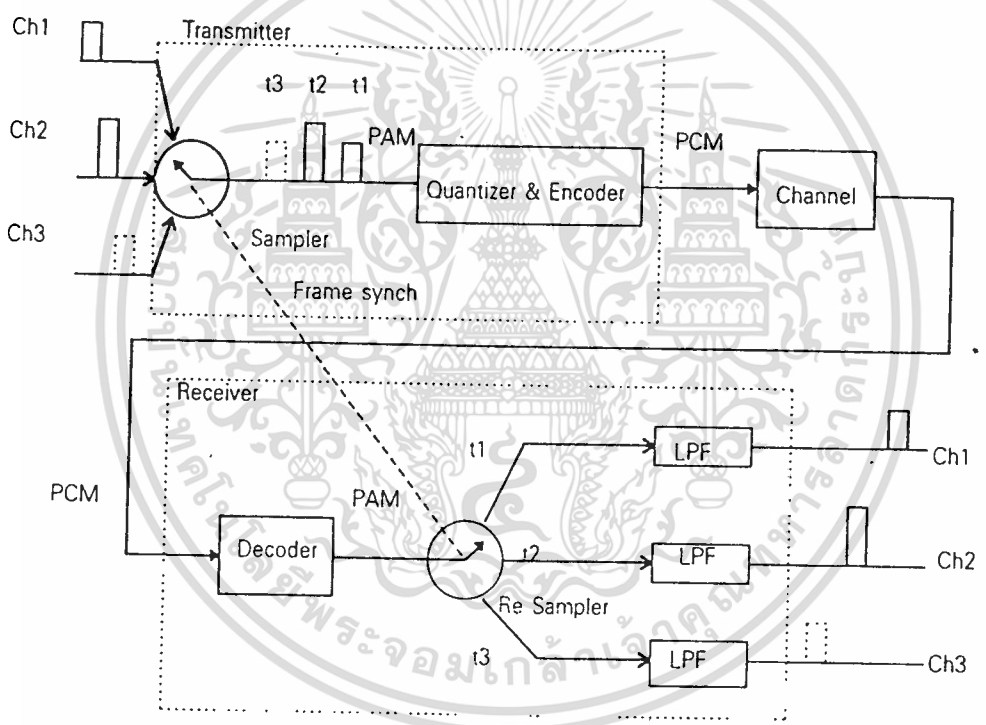
2.1.การส่งข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา

การแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล และส่งโดยการมัลติเพล็กซ์สัญญาณดิจิตอลเข้าด้วยกันในกรอบของเวลา เรียกว่า การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex : TDM)

2.1.1 หลักการเบื้องต้นในการสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา

(Introduction of TDM Communication System)

ระบบมัลติเพล็กซ์แบบแบ่งเวลาเป็นระบบสื่อสารดิจิตอลที่ใช้รับส่งข้อมูลจากหลาย ๆ ช่องสัญญาณให้เป็นสัญญาณดิจิตอลเดียวโดยใช้วิธีการแบ่งช่วงสัญญาณประกอบด้วยข้อมูลเพียง 1 บิทจะเรียกว่า การมัลติเพล็กซ์ข้อมูลแบบ เวอร์ดอินเตอลีฟ (Word Interleaved)



รูปที่ 2.1 รูปแสดงตัวส่งและตัวรับ

การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลาสามารถแบ่งออกเป็น 2 แบบใหญ่ ๆ คือ

1. ซิงโครนัสทีดีเอ็ม (Synchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาเดียวกัน ทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ เป็นไปในจังหวะเดียวกันหรือ กล่าวได้ว่าทุกครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ

2. อซิงโครนัสทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาที่ต่างกัน ทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ไม่เป็นไปใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

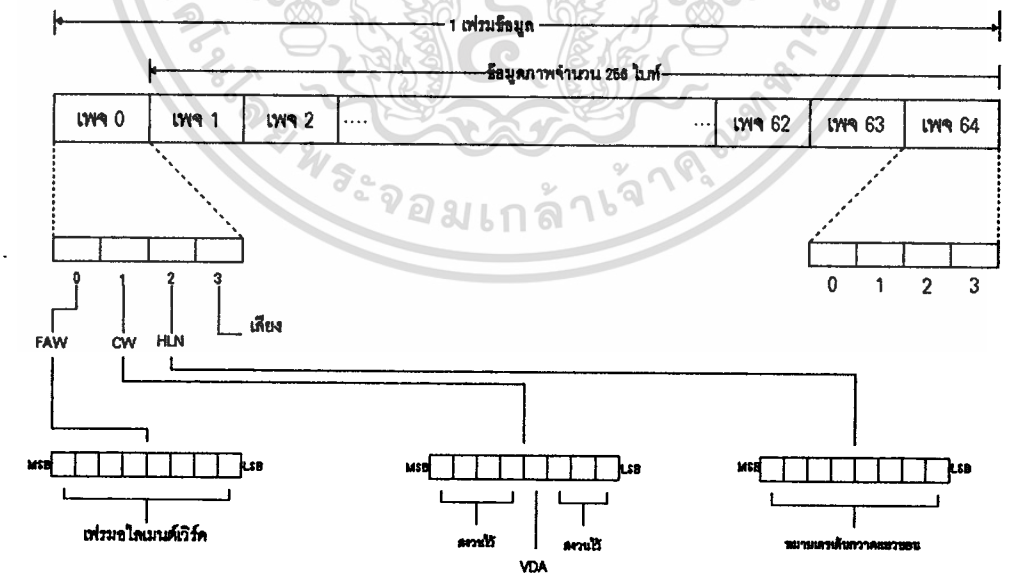
จังหวะเดียวกันเช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูล เป็นผลให้ข้อมูลนั้น ๆ มักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารระบบนี้จะต้องมีกระบวนการ จัสติฟิเคชั่น (Justification) หรือ พัลซ์สตัฟฟิ่ง (Pulse Stuffing) เพื่อทำการซิงโครไนซ์สัญญาณนาฬิกาของแหล่งข้อมูลเข้ากับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบซิงโครนัสทีดีเอ็ม แต่ก็เป็นระบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อกับแหล่งข้อมูลที่มีอัตราข้อมูลต่าง ๆ กัน

สำหรับในโครงงานนี้ได้ใช้ระบบซิงโครนัสทีดีเอ็ม เนื่องจากง่ายต่อการออกแบบและมีความซับซ้อนน้อย

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา สิ่งที่สำคัญที่สุดคือการซิงโครไนซ์ระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ วิธีการที่ใช้กันในทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ดที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อเป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่น ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจสอบพบเวอร์ดนี้ได้ ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่น ๆ ทำให้สามารถแยกแยะข้อมูลในช่องเวลาต่าง ๆ ออกมาได้เรียกเวอร์ดที่บรรจุอยู่ในช่องเวลาอ้างอิงนี้ว่า เฟรมอไลเมนต์เวอร์ด , FAW (Frame Alignment Word) ดังรูป 2.2

สำหรับอัตราความเร็วสามารถคำนวณได้คือ ถ้าให้ระบบมีช่องข้อมูลที่ต้องการส่ง K ช่อง และเฟรมอไลเมนต์เวอร์ด 1 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยช่องเวลา $K+1$ ช่องเวลาและกำหนดให้ข้อมูลในแต่ละช่องข้อมูลได้จากการสุ่มสัญญาณอนาลอกด้วยความถี่ fs ความละเอียด m บิทต่อการสุ่ม 1 ครั้ง ดังนั้นอัตราความเร็วบิทของสัญญาณมัลติเพล็กซ์ fo เป็น

$$f_o = m\, f_s(K+1)$$



รูปที่ 2.2 โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 การซิงโครไนซ์เฟรมข้อมูล (Frame Synchronization)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่าง ๆ นั้นมีลักษณะเป็นแรนดอม (Random) อาจมีรูปแบบข้อมูลเป็นลักษณะใด ๆ ก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลที่มีลักษณะเหมือนกับ FAW ได้เรียกเวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้ว่า เฟรมอไลเมนต์เวอร์ดเทียม ดังนั้นจึงจำเป็นต้องมีกระบวนการ หรือขั้นตอนที่ใช้ในการตัดสินใจว่าเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจและดำเนินการในสิ่งเหล่านี้เรียกว่าการอไลเมนต์เฟรม (Frame Alignment)

เทคนิคการอไลเมนต์เฟรมมีหลายวิธีได้แก่ การอไลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) และการอไลเมนต์เฟรมแบบขนาน (Parallel Frame Alignment) ซึ่งอไลเมนต์เฟรมได้เร็วกว่าแบบอนุกรมแต่วิธีการอไลเมนต์เฟรมแบบอนุกรม เป็นวิธีการที่ง่ายที่สุดและใช้กันมากที่สุดและเป็นวิธีที่ใช้ในโครงงานนี้

การอไลเมนต์เฟรมจำเป็นต้องกำหนดสภานะต่าง ๆ ในการทำงานดังรูป 2.3 ซึ่งสามารถแบ่งโหมดการทำงานเป็น 2 โหมดใหญ่ ๆ คือ

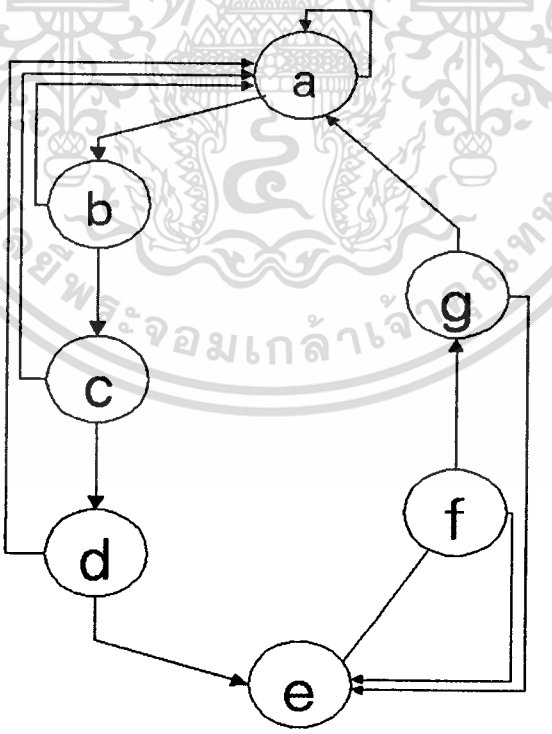
1) โหมดซิงโครไนซ์ ประกอบขึ้นจาก 4 สถานะย่อย คือ

สถานะ a เป็นสถานะที่ระบบอยู่ในสภาพการอไลเมนต์สมบูรณ์

สถานะ b เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n

สถานะ c เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+1

สถานะ d เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+2



รูปที่ 2.3 ไดอะแกรมแสดงการอะไลเมนต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวโดยสรุปสำหรับในโหมดซิงโครนัส คือ เมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้ว (สถานะa) ถ้ามีการตรวจไม่พบ FAW ในจุดที่กำหนดไว้ 4 เฟรมติดต่อกัน ระบบจะเข้าสู่โหมดค้นหา (สถานะ e) แต่ถ้ามีการตรวจพบ FAW เพียงเฟรมใดเฟรมหนึ่ง ระบบก็จะกลับเข้าสู่สถานะ a ใหม่การกำหนดให้มีสถานะ b,c,d ทำให้เสถียรภาพในการซิงโครไนซ์ของระบบมีความมั่นคงขึ้น ผลของความผิดพลาดของข้อมูลที่มีต่อสภาพการซิงโครไนซ์ลดลง และยังทำให้ระบบไม่หลุดจากสภาพการซิงโครไนซ์ง่าย ๆ

2) โหมดค้นหา ประกอบขึ้นจาก 3 สถานะย่อย คือ

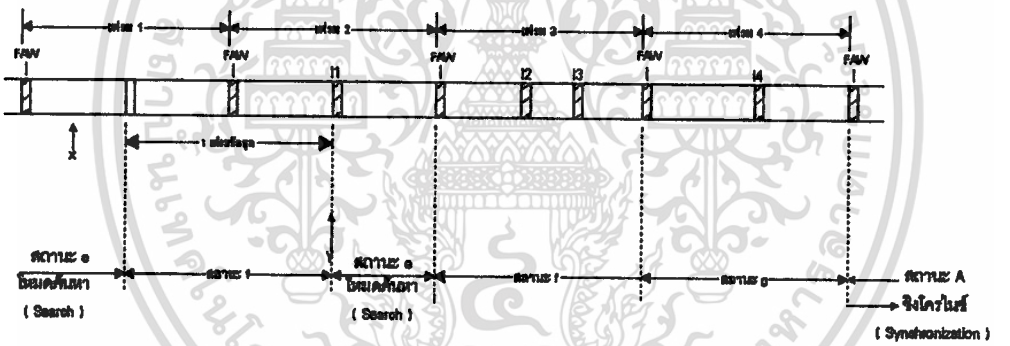
สถานะ e เป็นสถานะที่ระบบอยู่ในสภาพค้นหา FAW

สถานะ f เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 0

สถานะ g เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 1

กล่าวโดยสรุปสำหรับในโหมดค้นหาคือ เมื่อระบบอยู่ในสภาพค้นหา (สถานะ e) ถ้ามีการตรวจพบ FAW ติดต่อกัน 3 เฟรม ระบบจะเข้าสู่โหมดการซิงโครไนซ์เป็นการน่าเชื่อได้ว่า FAW ที่พบนั่นเป็น FAW ที่แท้จริง แต่ถ้ามีเฟรมใดเฟรมหนึ่งที่ตรวจไม่พบ FAW ระบบจะกลับเข้าสู่สถานะ e เพื่อค้นหา FAW ใหม่ซึ่งแสดงว่า FAW ตัวแรกที่พบนั้นไม่ใช่ FAW ที่แท้จริง

สามารถอธิบายกระบวนการอไลเมนต์ โดยอาศัย รูปที่ 2.3 และ รูปที่ 2.4 ประกอบ ดังนี้



รูปที่ 2.4 ตัวอย่างการซิงโครไนซ์เฟรม

จากรูปที่ 2.4 I1,I2,I3 และ I4 เป็น FAW เทียม จุด x เป็นจุดเริ่มต้นทำงานและกำหนดให้สภาวะเริ่มต้นของตัวดีมัลติเพล็กซ์อยู่ในสถานะ e คือ สถานะการไม่อไลเมนต์เฟรม (เช่นตอนเริ่มต้นเปิดเครื่อง) วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุก ๆ เฟรม ส่วน FAW เทียมนั้นจะไม่ปรากฏอยู่ที่ตำแหน่งใด ๆ อย่างถาวรดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใด ๆ แล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป

กระบวนการอไลเมนต์เฟรมจะเริ่มที่จุด x โดยการเริ่มตรวจสอบ F บิทแรก ถ้าไม่ตรงกับ FAW ที่ตั้งค่าไว้ก็จะทำการตรวจสอบเวอร์ดต่อไปโดยการเลื่อนไป 1 บิทจากเวอร์ดหลังสุดที่ทดสอบและกระบวนการจะเป็นเช่นนี้ไปเรื่อยจนกว่าจะพบเวอร์ดที่เหมือน FAW

จากจุด x เป็นต้นไป เวอร์ดแรกที่เหมือน FAW คือ I1 ซึ่งเป็น FAW เทียม เมื่อระบบพบ I1 ระบบจะเปลี่ยนสถานะจาก e เป็นสถานะ f (ดูรูป 2.3 ประกอบ) จากนั้นจะกระโดดไปตรวจสอบ FAW อีกครั้งที่จุด y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อตรวจสอบว่า I1 ที่พบนั้นเป็น FAW ที่แท้จริงหรือไ ม่ และช่วงระหว่างจุด x และ y จะไม่มีการตรวจสอบใดๆ ทั้งสิ้น จากจุด y เมื่อตรวจสอบแล้วปรากฏว่าไม่พบ FAW จึงสรุปได้ว่า I1 ที่พบนั้นไม่ใช่ FAW ที่แท้จริง ระบบก็จะเปลี่ยนสถานะจาก f กลับมาที่ e ใหม่เพื่อเริ่มต้นค้นหา FAW ใหม่

จากจุด y FAW ที่พบตัวต่อไปคือ FAW ของเฟรม 3 ซึ่งเป็น FAW ที่แท้จริง ระบบจะเปลี่ยนสถานะจาก e ไปสถานะ f ใหม่ เช่นเดียวกันระบบจะกระโดดไปตรวจสอบอีกครั้งในเฟรมต่อไป ซึ่งจะพบ FAW ของเฟรม 4 และ 5 ทำให้สถานะของระบบเปลี่ยนสถานะจาก f ไป g และเข้าสู่สภาพซิงโครไนซ์ในสถานะ a ตามลำดับ จะเห็นว่าเพียงเริ่มต้นพบ FAW ที่แท้จริงเท่านั้นระบบก็จะเข้าสู่สถานะการซิงโครไนซ์ในที่สุด ข้อสังเกตุคือเพียงเมื่อระบบค้นพบ FAW ที่แท้จริงเท่านั้น FAW เทียมที่เกิดขึ้นภายในเฟรม (I2 , I3 , I4) จะไม่มีผลต่อระบบ

ส่วนในการเลือกใช้ FAW นั้นจะไม่กล่าวถึงในที่นี้โดยจะนำค่า FAW 10001011 ซึ่งเป็นค่าที่ถูกเลียนแบบได้ยาก ทำให้มีโอกาสพบ FAW เทียมได้น้อย การซิงโครไนซ์เฟรมก็จะใช้เวลาได้เร็วขึ้นเป็นผลให้สมรรถนะของระบบซิงโครไนซ์เฟรมดีขึ้น

2.1.3 การซิงโครไนซ์บิท (Bit Synchronization)

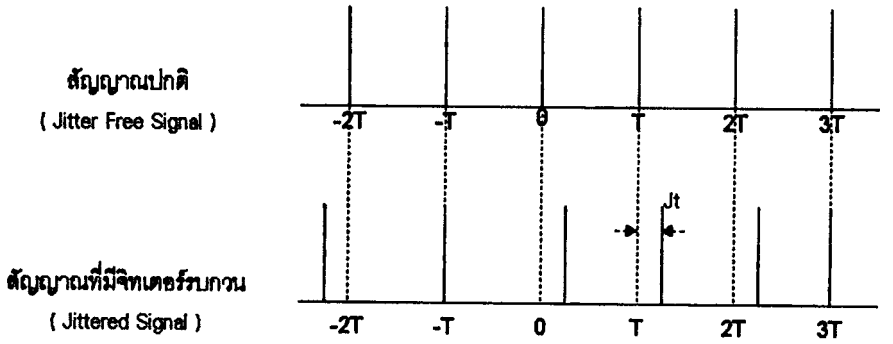
จากบทที่ผ่าน ๆ มาได้ทราบว่าแล้วว่า ส่วนที่สำคัญที่สุดส่วนหนึ่งของระบบสื่อสารแบบทีดีเอ็ม คือ การซิงโครไนซ์เฟรมข้อมูล ซึ่งทำการอไลเมนต์เฟรมโดยวิธีการตรวจสอบเฟรมอไลเมนต์เวอร์ด เมื่อพิจารณาให้ลึกลงไปอีกจะพบว่าภายในเวอร์ดที่ทำการตรวจสอบนั้น ประกอบขึ้นจากกลุ่มของบิทข้อมูลต่าง ๆ จึงเห็นได้ว่าถ้าระบบรับไม่สามารถอ่านบิทข้อมูลต่าง ๆ ได้อย่างถูกต้องแล้วกระบวนการอไลเมนต์เฟรมข้อมูลก็ไม่สามารถดำเนินต่อไปได้อย่างถูกต้อง ดังนั้นจึงอาจกล่าวได้ว่าส่วนสำคัญที่สุดของการสื่อสารข้อมูลดิจิตอลระบบมัลติเพล็กซ์แบบแบ่งเวลาคือ การซิงโครไนซ์บิท

การที่ระบบสื่อสารจะสามารถอ่านบิทข้อมูลต่าง ๆ ได้อย่างถูกต้องนั้น จำเป็นอย่างยิ่งที่ระบบรับจะต้องทราบว่าบิทข้อมูลนั้นเริ่มต้นและจบลงเมื่อใด หรือกล่าวให้ง่ายขึ้น คือ ระบบจะต้องสามารถสร้างสัญญาณนาฬิกาที่ซิงโครไนซ์กับขบวนข้อมูลที่รับได้นั้น การเข้ารหัสสัญญาณดิจิตอล (Digital signaling) เป็นอีกวิธีหนึ่งที่ช่วยปรับปรุงสมรรถนะในการแยกสัญญาณนาฬิกาของเครื่องรับ โดยการแปลงขบวนบิทข้อมูลให้เป็นสัญญาณรูปแบบใหม่ที่มีข้อมูลเชิงเวลา (timing Information) ของเครื่องส่งปนอยู่ด้วย ทั้งนี้อยู่กับการเลือกใช้รหัสให้เหมาะสม

ก. จิทเตอร์ (Jitter)

ในระบบการส่งสัญญาณดิจิตอลเชิงอุดมคตินั้น พัลซ์ต่าง ๆ ของขบวนสัญญาณดิจิตอลที่มาถึงเครื่องรับจะเกิดขึ้นที่ตำแหน่งเวลาที่เป็นจำนวนเต็มเท่าของคาบสัญญาณนาฬิกา,T ที่ใช้ แต่อย่างไรก็ดีสำหรับในระบบจริงนั้น พัลซ์เหล่านี้มาถึงเครื่องรับในตำแหน่งเวลาที่ต่างไปจากจำนวนเต็มเท่าของ T เรียกปรากฏการณ์ที่พัลซ์ถูกเบี่ยงเบนไปจากตำแหน่งปกตินี้ว่า จิทเตอร์ ดังรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงนิยามของจิทเตอร์

จิทเตอร์มีการจำแนกออกเป็นหลายชนิด ซึ่งมักจะจำแนกตามสาเหตุที่เกิด จิทเตอร์แต่ละแบบล้วนก่อให้เกิดการเบี่ยงเบนทางเฟสของสัญญาณ ซึ่งเป็นสาเหตุให้เกิดการผิดพลาดบิท , BER (Bit Error Rate) ขึ้น จำแนกได้ดังนี้

จำแนกโดยเทียบกับเวลาอ้างอิง (Time Reference)

(a) ไทมิ่งจิทเตอร์ (Timing Jitter)

(b) อไลเมนต์จิทเตอร์ (Alignment Jitter)

จำแนกโดยแหล่งกำเนิดจิทเตอร์

(a) แรนดอมจิทเตอร์ (Random Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับสัญญาณรบกวน

(b) ซิสเต็มเมติกจิทเตอร์ (Systematic Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับแพทเทอร์นของข้อมูล

(i) แบบ A

จิทเตอร์ที่มีสาเหตุจากค่า Q ของวงจรจูนมีค่าไม่สูงพอ

จิทเตอร์ที่มีสาเหตุจากพัลซ์กระตุ้นไม่แคบพอ

จิทเตอร์ที่มีสาเหตุจากการจูนความถี่คลาดเคลื่อน

(ii) แบบ B

จิทเตอร์ที่มีสาเหตุจากความผิดเพี้ยนของรูปคลื่น

จิทเตอร์ที่มีสาเหตุจากแอมปลิจูดของสัญญาณ

แหล่งกำเนิดจิทเตอร์เบื้องต้นที่เห็นได้ชัด ๆ คือ ตัวทวนสัญญาณใหม่ (Regenerator) เนื่องจากการส่งข้อมูลดิจิตอลที่ระยะทางไกลมาก ๆ นั้น จำเป็นต้องใช้ตัวทวนสัญญาณใหม่เป็นระยะ ๆ เพื่อทำให้ข้อมูลที่ไปถึงปลายทางมีความสมบูรณ์ที่สุด ในส่วนของตัวทวนสัญญาณใหม่ภายในจะประกอบด้วยตัวแยกสัญญาณเวลา (Timing Extraction)ซึ่งในทางปฏิบัติส่วนนี้จะยังไม่มีความสมบูรณ์ทำให้สัญญาณเวลาที่แยกได้มีจิทเตอร์ที่เรียก - ว่า ซิสเต็มเมติกจิทเตอร์ ปนอยู่ด้วย เป็นผลให้สัญญาณข้อมูลที่กำเนิดขึ้นใหม่มีจิทเตอร์ประเภทนี้ปนอยู่ด้วยเช่นกัน และที่สำคัญคือ ถ้าตลอดระยะทางการสื่อสารใช้ตัวทวนสัญญาณใหม่หลายตัวด้วยแล้ว จิทเตอร์เหล่านี้ก็จะมีค่าสะสมเพิ่มขึ้นเรื่อย ๆ ตามจำนวนของตัวทวนสัญญาณที่ใช้ จะเห็นว่าถ้าไม่มีการควบคุมจิทเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประเภทนี้แล้ว สัญญาณเมื่อไปถึงปลายทางก็อาจจะผิดเพี้ยนไปมากจนไม่อาจจะใช้ประโยชน์จากข้อมูลข่าวสารเหล่านั้นได้

สำหรับในโครงงานนี้ จะได้กล่าวถึงเฉพาะซิสเต็มเมติกจิทเตอร์เท่านั้น เนื่องจากมีความเกี่ยวข้องอยู่มากกับการออกแบบวงจรแยกสัญญาณนาฬิกา (Clock Recovery)

สำหรับ ซิสเต็มเมติกจิทเตอร์ นั้นสาเหตุใหญ่เกิดจากแพทเทอร์นของขบวนสัญญาณดิจิตอลเนื่องจากข้อมูลที่มากับขบวนสัญญาณดิจิตอลนั้นมีการเปลี่ยนแปลงตลอด ดังนั้นช่วงห่างทางเวลาของสัญญาณกระตุ้นวงจรจูนความถี่ในกระบวนการแยกสัญญาณนาฬิกาจึงมีการเปลี่ยนแปลงด้วย ผลจากการเปลี่ยนแปลงนี้ทำให้ทั้งขนาดและความถี่ของสัญญาณที่ได้จากวงจรจูนเปลี่ยนแปลง ซึ่งการเปลี่ยนแปลงขององค์ประกอบทั้งสองนี้ทำให้เฟสของสัญญาณนาฬิกาที่แยกได้ถูกเบี่ยงเบนไปด้วย เนื่องจากการที่จะเข้าเรื่องนี้ได้ชัดเจนนั้นจำเป็นจะต้องทราบถึงขั้นตอนกระบวนการในการแยกสัญญาณนาฬิกา ดังนั้นสำหรับในเรื่องนี้จะได้กล่าวอีกครั้งในหัวข้อการแยกสัญญาณนาฬิกา

ข. การเข้ารหัสสัญญาณดิจิตอล (Digital Signaling or Encoder)

ตัวอย่างนิยามลักษณะของรหัสแบบต่าง ๆ ที่รู้จักกันดีแสดงดังรูปที่ 2.7

รหัส เอ็นอาร์แซด - แอล,NRZ-L (Nonreturn to zero-level)

1 = ระดับแรงดันสูง

0 = ระดับแรงดันต่ำ

รหัส เอ็นอาร์แซด - เอ็ม,NRZ-M (Nonreturn to zero-mark)

1 = มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะ

รหัส เอ็นอาร์แซด - เอส ,NRZ-S (Nonreturn to zero-space)

1 = ไม่มีการเปลี่ยนแปลงสถานะ

0 = มีการเปลี่ยนสถานะที่เริ่มต้นของช่วงบิทเสมอ

รหัส อาร์แซด,RZ (Return to zero)

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทเสมอ

0 = ไม่มีพัลซ์

รหัส ไบเฟส-แอล,Biphase-L (Biphase-level) หรือแมนแชสเตอร์ (Manchester)

1 = มีการเปลี่ยนสถานะจากระดับสูงมาระดับต่ำที่ตำแหน่งกลางช่วงบิทเสมอ

0 = มีการเปลี่ยนสถานะจากระดับต่ำมาระดับสูงที่ตำแหน่งกลางช่วงบิทเสมอ

รหัส ไบเฟส-เอ็ม ,Biphase-M (Biphase-mark)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

1 = ไม่มีการเปลี่ยนแปลงสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

0 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัส ไบเฟส-เอส ,Biphase-S (Biphase-space)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

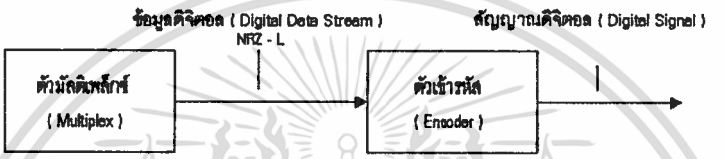
1 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

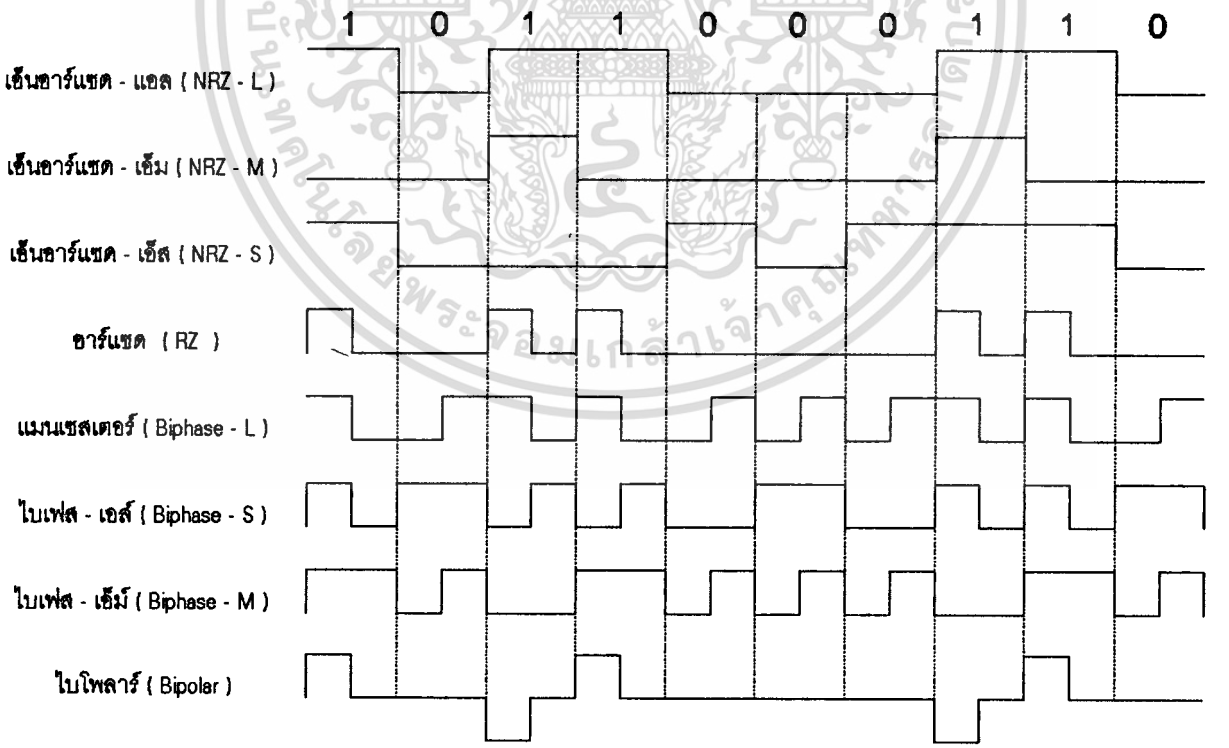
รหัส ไบโพลาร์ ,Bipolar

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทและสลับขั้วในพัลซ์ต่อ ๆ ไป

0 = ไม่มีพัลซ์



รูปที่ 2.6 การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล



รูปที่ 2.7 แสดงลักษณะการเข้ารหัสสัญญาณดิจิตอลแบบต่างๆ

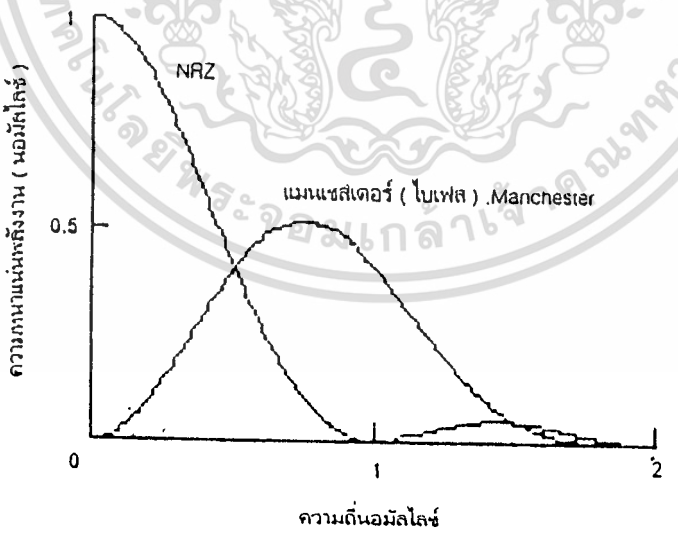
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสสัญญาณที่ต่างกันย่อมให้สมรรถนะและความเหมาะสมกับตัวกลาง ที่ต่างกันและข้อมูลมีข้อเสียที่ต่างกัน การที่จะตัดสินใจเลือกใช้รหัสแบบใดนั้นมีสิ่งที่ควรพิจารณาดังนี้

1. แถบความถี่ของรหัสสัญญาณ
2. ความสามารถในการซิงโครไนซ์
3. ความต้านทานต่อสัญญาณรบกวนและสัญญาณแทรกสอด
4. ความซับซ้อนและราคา

สำหรับในโครงงานนี้จะใช้การเข้ารหัสแบบ NRZ-L โดยมีสาเหตุดังนี้

1. เป็นรหัสที่มีความซับซ้อนน้อยและง่ายที่สุด ซึ่งเป็นรหัสพื้นฐานที่ใช้ในอุปกรณ์ทั่วไปเป็นผลทำให้ง่ายต่อการออกแบบและมีราคาถูก
2. เมื่อพิจารณาในเรื่องของการใช้แถบความถี่ จากรูปที่ 2.8 ซึ่งแสดงการกระจายของพลังงานในแถบความถี่รหัส จะเห็นว่ารหัส NRZ เป็นรหัสที่มีประสิทธิภาพที่สุดในการใช้แถบความถี่ของตัวกลาง โดยพลังเกือบทั้งหมดของสัญญาณจะตกอยู่ในช่วงดีซี ถึงประมาณครึ่งหนึ่งของอัตราบิท ดังนั้นจะเป็นได้ว่ารหัสแบบนี้จะใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราการส่งข้อมูล
3. เมื่อพิจารณาความสามารถในการซิงโครไนซ์ จะเห็นว่ารหัสแบบนี้ไม่มีองค์ประกอบความถี่ที่เป็นอัตราส่งข้อมูลในแถบความถี่หรือ กล่าวได้ว่าเป็นรหัสที่ไม่มี คุณสมบัติเซลฟ์-ซิงโครไนเซชั่น (Self - Synchronization) แต่อย่างไรก็ดีการแยกสัญญาณนาฬิกาก็ยังสามารถใช้เทคนิควิธีอื่นได้อีก



รูปที่ 2.8 แสดงความหนาแน่นของพลังงานในแถบความถี่ของรหัส เอ็นอาร์แซด และ แมนเชสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค. การแยกสัญญาณนาฬิกา (Clock Extraction)

การส่งสัญญาณนาฬิกาสามารถแบ่งเป็นแบบใหญ่ ๆ ได้ 2 แบบ คือ

เอ็กเทอร์นอลไทมิ่ง (Extenal Timing)

การส่งแบบซูเปอร์โพส (Superposed Transmission)

การส่งแบบแยกเฉพาะ (Separate Transmission)

เซลฟ์ไทมิ่ง (Self Timing)

การแยกสัญญาณนาฬิกาแบบเชิงเส้น (Linear Extraction)

การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction)

การส่งสัญญาณนาฬิกาแบบเอ็กเทอร์นอลไทมิ่ง เป็นการส่งสัญญาณนาฬิกาแยกผ่านสายส่งต่างหาก ไม่เหมาะสำหรับการส่งระยะทางไกล ๆ เนื่องจากค่าใช้จ่ายสูงและมีปัญหาเรื่องเวลาหน่วงของสัญญาณนาฬิกา จึงเป็นวิธีที่เหมาะอย่างมาสำหรับการส่งในระยะใกล้ ๆ

ส่วนแบบที่ 2 คือ เซลฟ์ไทมิ่ง เป็นแบบที่รวมข้อมูลเชิงเวลาเข้าไว้กับสัญญาณข้อมูล โดยวิธีการเข้ารหัสสัญญาณดิจิตอลดังที่ได้กล่าวมาแล้ว สัญญาณนาฬิกาจะถูกแยกออกมาทางเครื่องรับซึ่งมี 2 วิธีการใหญ่ ๆ คือ

1. การแยกสัญญาณนาฬิกาแบบเชิงเส้น

เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่มีแถบความถี่ครอบคลุม ความถี่ที่เป็นอัตราส่งข้อมูลซึ่งสัญญาณนี้จะผ่านการเข้ารหัสสัญญาณดิจิตอลมาแล้ว เช่น รหัสแมนเชสเตอร์

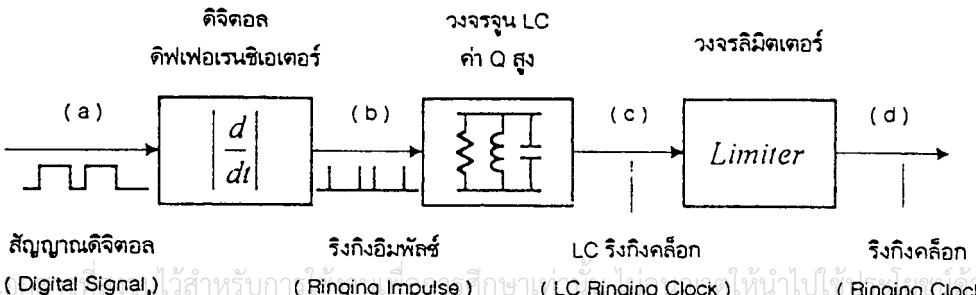
2. การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น

เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่ไม่ปรากฏความถี่ ที่เป็นอัตราส่งข้อมูลอยู่ กระบวนการที่ใช้ คือ การนำสัญญาณดิจิตอลที่รับได้แยกไปทำกระบวนการที่ประกอบด้วยขั้นตอนตามลำดับดังนี้ การดิฟเฟอเรนชิเอท การเรียงคลื่นแบบเต็มคลื่น การคลิปสัญญาณจากนั้นทำการยกกำลังสองสัญญาณ แถบความถี่ของสัญญาณใหม่ที่ได้จะประกอบด้วยความถี่ที่เป็นอัตราส่งข้อมูลอยู่ด้วย สุดท้ายจะนำสัญญาณใหม่นี้ไปผ่านวงจรกรองความถี่ที่มีแถบความถี่แคบเพื่อแยกสัญญาณนาฬิกาที่ต้องการออกมา

การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

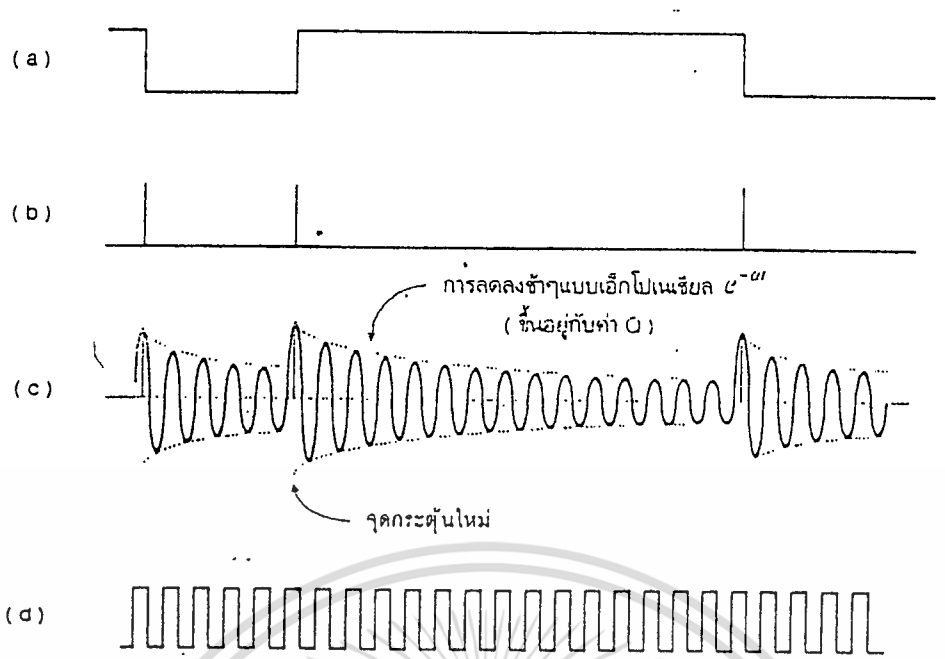
(Clock Extraction by LC tune circuit or LC ringing circuit)

ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC แสดงดังรูป 2.9 และสัญญาณตามจุดต่าง ๆ แสดงในรูป 2.9



รูปที่ 2.9 รูปแสดงการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 รูปแสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

จากรูป 2.9 สามารถอธิบายกระบวนการได้ดังนี้ ขบวนสัญญาณดิจิตอลที่รับได้ดังรูป 2.9 (a) จะผ่านเข้าสู่ส่วนดิจิตอลดิฟเฟอเรนชิเอเตอร์ (Digital Differentiator) เพื่อสร้างสัญญาณริงกิงอิมพัลซ์ (Ringing Impulse) ขึ้นตรงตำแหน่งที่มีการเปลี่ยนสถานะของสัญญาณดิจิตอล (ซึ่งเป็นตำแหน่งที่สอดคล้องกับการเปลี่ยนสถานะของสัญญาณนาฬิกาเดิมของระบบ) ดังรูปที่ 2.9 (b) จากนั้นจะนำสัญญาณริงกิงอิมพัลซ์ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่เรโซแนนซ์ ขณะเดียวกันเมื่อเวลาผ่านไปแอมปลิจูดของสัญญาณจะลดลงไปเรื่อย ๆ แบบเอ็กโปเนนเชียล ดังรูป 2.9 (c) จนกว่าจะถูกกระตุ้นด้วยอิมพัลซ์ใหม่ เรียกสัญญาณในจุดนี้ว่า LC ริงกิงคล็อก (LC ringing clock) จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจรลิมิตเตอร์เพื่อปรับแอมปลิจูดให้เสมอกัน และเปลี่ยนให้เป็นสัญญาณสี่เหลี่ยม ดังรูป 2.10 (d) เรียกสัญญาณนี้ว่า ริงกิงคล็อก (Ringing clock) ซึ่งจะใช้เป็นสัญญาณนาฬิกาของระบบต่อไป

ปัญหาในระบบการแยกสัญญาณนาฬิกาที่ใช้วงจรจูน LC

ปัญหาที่เกิดขึ้นสำหรับการใช้วงจรจูน LC คือ ชิสเต็มเมดิกซ์จิทเตอร์ ซึ่งมีสาเหตุใหญ่ ๆ 3 ประการคือ

1. ความไม่สมบูรณ์ของวงจรจูน LC จากรูป 2.9 (c) เมื่อวงจรจูนถูกกระตุ้นด้วยอิมพัลซ์วงจรจะออสซิลเลตที่ความถี่ที่อัตราส่งข้อมูล fo เมื่อเวลาผ่านไปหลังจากถูกกระตุ้นแล้วความถี่เดิม fo จะเลื่อนออกไปเป็น ft พร้อมกับแอมปลิจูดลดลงแบบเอ็กโปเนนเชียล ซึ่งเป็นธรรมชาติของวงจรจูน LC ในทางปฏิบัติความถี่ของวงจรจูนจะกลับมาเป็น fo อีกครั้งเมื่อวงจรถูกกระตุ้นด้วยอิมพัลซ์ตัวใหม่ ผลของการเลื่อนออกไปของความถี่จาก fo เป็น ft ทำให้เกิดการเลื่อนออกไปของเฟสของสัญญาณนาฬิกาที่แยกออกมาได้ ยิ่งถ้าอิมพัลซ์ทิ้งช่วงห่างกันมากยิ่งขึ้นการเลื่อนออกไปของความถี่ก็จะมากยิ่งขึ้นเฟสก็เลื่อนมากขึ้นตามไป ด้วยผลจากการทิ้งช่วงห่างของอิมพัลซ์แสดงให้เห็นว่าแพทเทอร์นข้อมูลมีส่วน อย่างมากต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

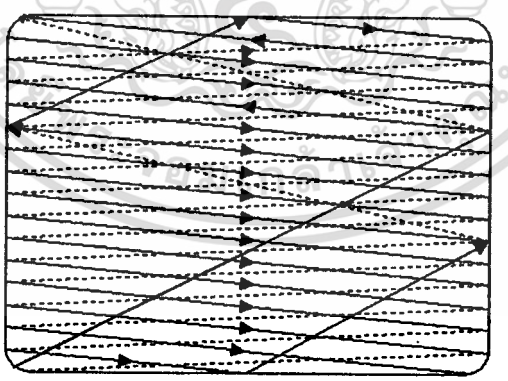
การเกิดจิทเตอร์ประเภทนี้ เรียกจิทเตอร์ที่เกิดจากสาเหตุนี้ว่า แพทเทอร์นอินดิวซ์จิทเตอร์ (Pattern - induced Jitter) การเปลี่ยนแปลงของแอมปลิจูดสัญญาณเล็กมาใหญ่ทันทีที่ถูกกระตุ้นด้วยอิมพัลซ์ ก็ทำให้เกิดการเลื่อนของเฟสเช่นเดียวกัน (จิทเตอร์แบบ B)

2. การอิควอไลซ์รูปทรงของสัญญาณ สัญญาณที่ถูกอิควอไลซ์อย่างไม่เหมาะสมและ สัญญาณรบกวน ทำให้รูปคลื่นสัญญาณเกิดการผิดเพี้ยนเลยเข้าไปในช่องเวลาข้างเคียง ก่อให้เกิดการรบกวนที่เรียกว่า ISI (Intersymbol Interference) เป็นผลให้เกิดจิทเตอร์ (แบบ B) เช่นกัน

3. รูปแบบของพัลซ์แพทเทอร์น (Pulse Pattern) ซึ่งเกี่ยวพันกับสาเหตุที่ 1 แพททอร์ บางรูปแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลซ์มาก ทำให้เกิดพัลซ์จากการเลื่อนออกไปของความถี่ของวงจรจูนจึงน้อย แต่แพทเทอร์นบางแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลซ์น้อยจึงทำให้การเลื่อนออกไปของความถี่มีมาก ซึ่งการเปลี่ยนแปลงที่กล่าวมานี้ย่อมมีผลต่อปริมาณจิทเตอร์ด้วยเช่นกัน

2.2 ทฤษฎีสัญญาณภาพ

ระบบในการส่งสัญญาณโทรทัศน์นั้นสัญญาณที่ส่งมาเป็นสัญญาณอิเล็กทรอนิกส์ ในการส่งแต่ละภาพจะประกอบด้วยจุดมากมายเรียงต่อเนื่องกันโดยแต่ละจุดจะมีความสว่างมืด หรืออาจจะเป็นระดับความเข้มของสีต่าง ๆ ภาพในเครื่องรับโทรทัศน์จะถูกสแกนต่อเนื่องกันไปที่ละเส้นดังรูปที่ 2.11



รูปที่ 2.11 การสแกนภาพในโทรทัศน์

2.2.1 การสแกนภาพในโทรทัศน์

ภาพในโทรทัศน์เกิดจากการเรียงกันออกมาเป็นเส้นจากภาพหนึ่งไปยังอีกภาพหนึ่งคือเริ่มจากจุดบนซ้ายไปขวา จากบนลงล่าง วิธีการนี้เรียกว่า " การสแกนเชิงเส้นในแนวนอน "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับการสแกนเป็นดังนี้

1. ลำแสงอิเล็กตรอนจะถูกส่งออกมาตามแนวนอน
2. ที่จุดปลายของเส้นลำแสงจะถูกลากกลับอย่างรวดเร็วมาทางซ้าย เพื่อเริ่มการสแกนใหม่ในช่วงเวลาลากกลับนี้ เรียกว่า Retrace หรือ Flyback ในช่วงนี้จะไม่มีข้อมูลในหลอดภาพ ดังนั้นช่วงเวลานี้จึงควรเร็วมาก
3. เมื่อลำแสงเลื่อนกลับมาทางซ้าย ตำแหน่งในแนวดิ่งจะเลื่อนต่ำลงมาเกิดการสแกนเส้นใหม่ จนในที่สุดถึงขอบล่างขวาจะมีการสแกนในแนวตั้งไปยังขอบบนซ้าย เพื่อสแกนภาพในแนวนอนในเฟรมใหม่

2.2.2 สัญญาณโทรทัศน์ระบบ PAL (Phase Alternating Line)

ระบบ PAL เป็นระบบที่แก้ไขข้อผิดพลาดของระบบ NTSC โทรทัศน์ระบบ PAL เป็นระบบที่ใช้ในประเทศไทย

รายละเอียดระบบ PAL

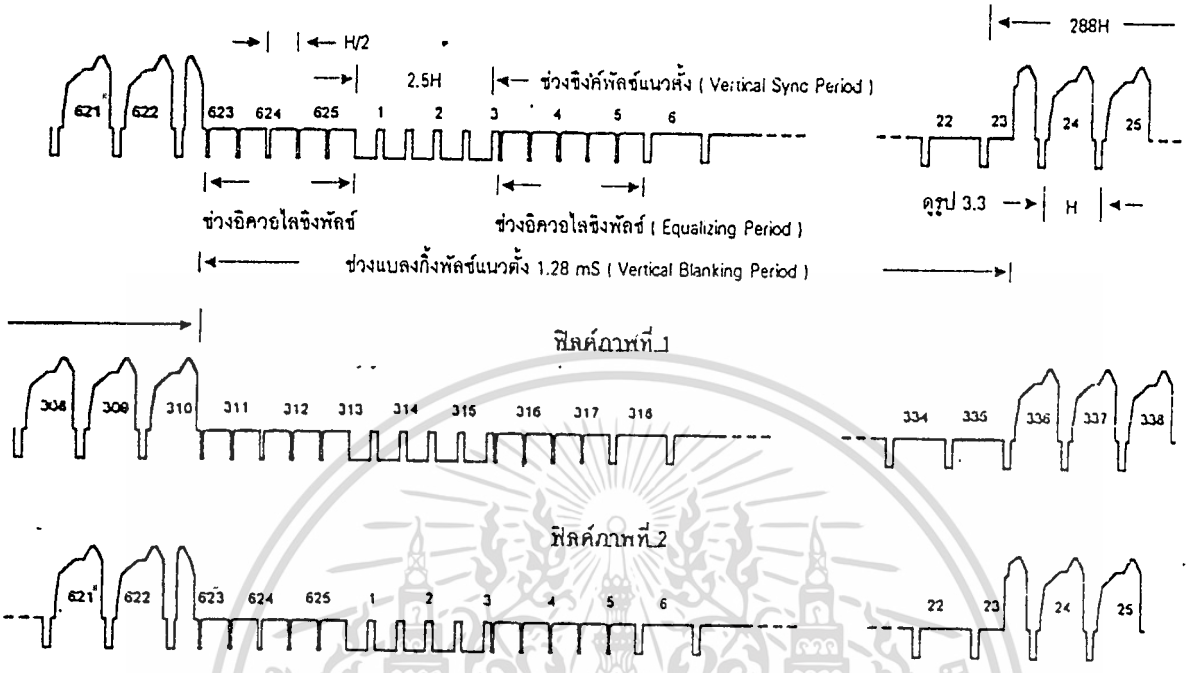
จำนวนเส้นต่อเฟรมภาพ	625	เส้น
จำนวนเฟรมภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ภาพต่อวินาที	50	ฟิลด์
ความถี่หักเหแนวนอน	15,625	เฮิร์ท
ความถี่ของซับแคเรีย	4.43361875	เมกะเฮิร์ท
แบนด์วิดธ์สัญญาณ V	0.5	เมกะเฮิร์ท
แบนด์วิดธ์สัญญาณ U	0.5	เมกะเฮิร์ท

ในระบบ 625 เส้น จะมีความถี่ในการสแกน 25 ภาพต่อวินาที จะมีความถี่ในการสแกนทางแนวนอนเท่ากับ 25 x 625 = 15625 เฮิร์ท นั่นคือเวลาสแกนในแนวนอนเท่ากับ 64 ไมโครวินาที การสแกนในแต่ละภาพจะใช้เวลา 1/50 = 20 มิลลิวินาที สัญญาณ 1 เฟรมภาพ ประกอบด้วย 2 ฟิลด์ภาพ เป็นฟิลด์ภาพคี่และฟิลด์ภาพคู่

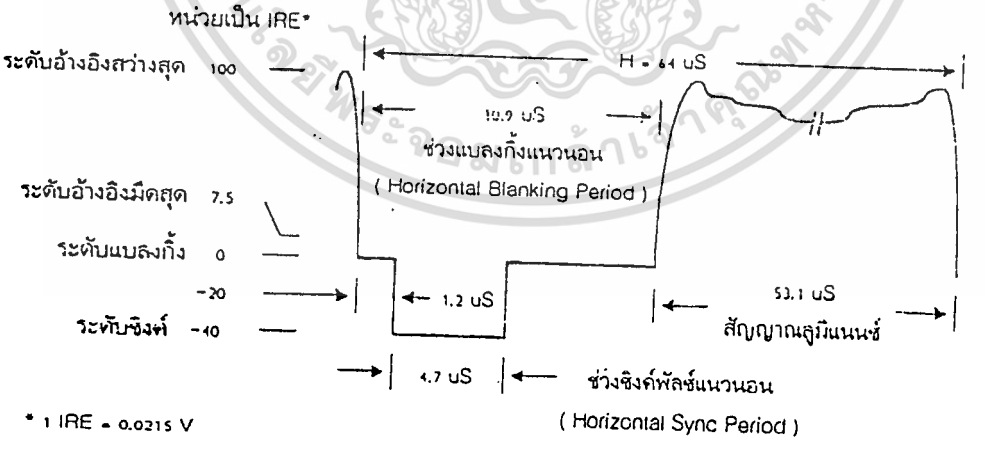
มาตรฐานรูปคลื่นของสัญญาณภาพระบบ PAL ประกอบด้วยส่วนสำคัญ 3 ส่วน คือ

1. สัญญาณลูมิแนนซ์ เป็นสัญญาณส่วนที่นำไปแสดงบนจอภาพจริง ๆ ซึ่งส่วนนี้เองที่ถูกแปลงเป็นข้อมูลดิจิตอลเพื่อนำไปเก็บในหน่วยความจำ คาบของสัญญาณมีค่าประมาณ 53.1 *uS*
2. สัญญาณซิงค์พัลซ์ เป็นสัญญาณที่กระตุ้นให้วงจรภายในเครื่องรับโทรทัศน์สบัดเส้นกลับมี 2 สัญญาณ คือ
   - สัญญาณซิงค์แนวนอน เป็นสัญญาณที่กระตุ้น ให้มีการสบัดเส้นกวาดกลับมาด้านซ้ายของจอภาพ
   - สัญญาณซิงค์แนวตั้ง เป็นสัญญาณที่กระตุ้น ให้มีการสบัดเส้นกลับไปด้านบนของจอภาพ
3. สัญญาณแบลงกิ้ง เป็นสัญญาณที่กระตุ้นให้เกิดการดับเส้นกวาดบนจอภาพ ในขณะกำลังสบัดเส้นกลับ มี 2 สัญญาณ คือ
   - สัญญาณแบลงกิ้งแนวนอน ทำหน้าที่ดับเส้นสบัดกลับแนวนอน
   - สัญญาณแบลงกิ้งแนวตั้ง ทำหน้าที่ดับเส้นสบัดกลับในแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงรายละเอียดสัญญาณภาพระบบ PAL



รูปที่ 2.13 แสดงรายละเอียดใน 1 เส้นกวาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การดิจิไทซ์สัญญาณภาพ

เส้นกวาดแนวนอนที่จะนำไปแสดงบนจอภาพจริง ๆ นั้นคือ เส้นกวาดที่มีสัญญาณลูมิแนนซ์อยู่ ซึ่งในแต่ละฟิลด์จะมีเพียง 287.5 เส้น สัญญาณส่วนนี้จะถูกแปลงเป็นข้อมูลดิจิตอลแต่เนื่องจากว่าแต่ละฟิลด์ภาพที่ติดกันมีความหมายใกล้เคียงกันมาก ดังนั้นการเก็บข้อมูลภาพครบ 1 ภาพ จะทำการเก็บจากฟิลด์ภาพเพียงฟิลด์เดียวเท่านั้น

สำหรับโครงงานนี้ กำหนดให้ภาพมีขนาด 256 * 256 จุดภาพ หมายความว่า ในแต่ละเส้นแนวนอนของสัญญาณภาพ (เฉพาะสัญญาณลูมิแนนซ์) จะทำการเก็บข้อมูลจำนวน 256 จุด และจะทำการเก็บเพียง 256 เส้นแนวนอนเท่านั้น โดยเริ่มเก็บจากเส้นแรกของฟิลด์และแต่ละจุดภาพแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิท ดังนั้นข้อมูล 1 ภาพจะใช้หน่วยความจำในการเก็บขนาด

$$256 * 256 = 65536 \text{ byte}$$
$$= 64 \text{ kbyte}$$

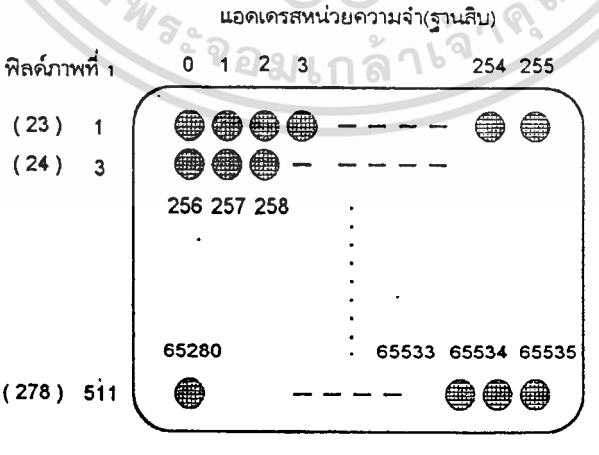
สัญญาณลูมิแนนซ์ใน 1 เส้นแนวนอนมีคาบเป็น 53.1 μS โดยในคาบเวลานี้จะเก็บข้อมูลจำนวน 256 ค่า ดังนั้นคาบการสุ่มสัญญาณจะเป็น

$$53.1/256 = 0.207 \ \mu S$$

อัตราการสุ่มสัญญาณจะเป็น

$$1/0.207 = 4.83 \text{ MHz}$$
$$\cong 5 \text{ MHz}$$

การเริ่มต้นทำการแปลงทำได้โดยการตรวจสอบสัญญาณแบลงกิ้งแนวตั้ง เนื่องจากส่วนที่ตามหลังสัญญาณนี้มาก็คือจุดเริ่มต้นของฟิลด์ภาพ เมื่อเริ่มต้นทำการแปลงจะต้องคอยนับจำนวนเส้นกวาดแนวนอนโดยนับจากสัญญาณแบลงกิ้งแนวนอน เมื่อนับครบ 256 ก็จะเป็นการเก็บข้อมูล



รูปที่ 2.14 แสดงตำแหน่งในหน่วยความจำ จุดการเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 หลักการดิจิไทซ์สัญญาณภาพ

ไดอะแกรมที่นำไปเป็นแนวในการใช้งานจริง มีรายละเอียดของส่วนประกอบและสัญญาณต่าง ๆ ดังนี้

1 ส่วนแยกสัญญาณซิงค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิงค์และแบลงกิ้งทั้งแนวนอนและแนวตั้งจากสัญญาณภาพ

2. ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช (Flash A/D) ซึ่งเป็นระบบแปลงความเร็วสูง สามารถแปลงค่าเป็นดิจิตอลเสร็จภายใน 1 คาบสัญญาณนาฬิกา เอาท์พุทที่ได้เป็นข้อมูลขนาด 8 บิท

3. ส่วนนับจำนวนเส้นกวาด (Line Counter) เป็นวงจรนับขนาด 8 บิท ทำหน้าที่นับจำนวนเส้นกวาดแนวนอน

4. ส่วนนับจำนวนจุดต่อเส้น (Pels/Line Counter) เป็นวงจรนับขนาด 8 บิท ทำหน้าที่นับจำนวนจุดในแต่ละเส้นกวาดแนวนอน

5. ส่วนกำเนิดสัญญาณเวลา (Timing Generator) ส่วนกำเนิดสัญญาณเวลา ทำหน้าที่สร้างสัญญาณเวลาต่าง ๆ เช่น สัญญาณเขียนหน่วยความจำ สัญญาณเลือกหน่วยความจำ สัญญาณนาฬิกาสำหรับ Flash A/D โดยจะทำงานเมื่อได้รับสัญญาณอินาเบิลจากวงจรควบคุม

6. วงจรควบคุม (Control Logic) ทำหน้าที่สั่งงานวงจรทั้งหมดให้เริ่มหรือหยุดทำงานโดยติดต่อกับสัญญาณร้องขอจากภายนอกและสัญญาณสิ้นสุดการแปลงจากวงจรนับจำนวนเส้นกวาดแนวนอน

7. หน่วยความจำขนาด 64 K

8. สัญญาณ End เป็นสัญญาณจากวงจรนับจำนวนเส้นกวาดแนวนอน เพื่อแจ้งให้วงจรควบคุมทราบว่า การแปลงเส้นกวาดเส้นสุดท้ายเสร็จสิ้นแล้ว

9. สัญญาณ STC (Start Conversion) เป็นสัญญาณร้องขอจากระบบภายนอกให้ทำการแปลงข้อมูล

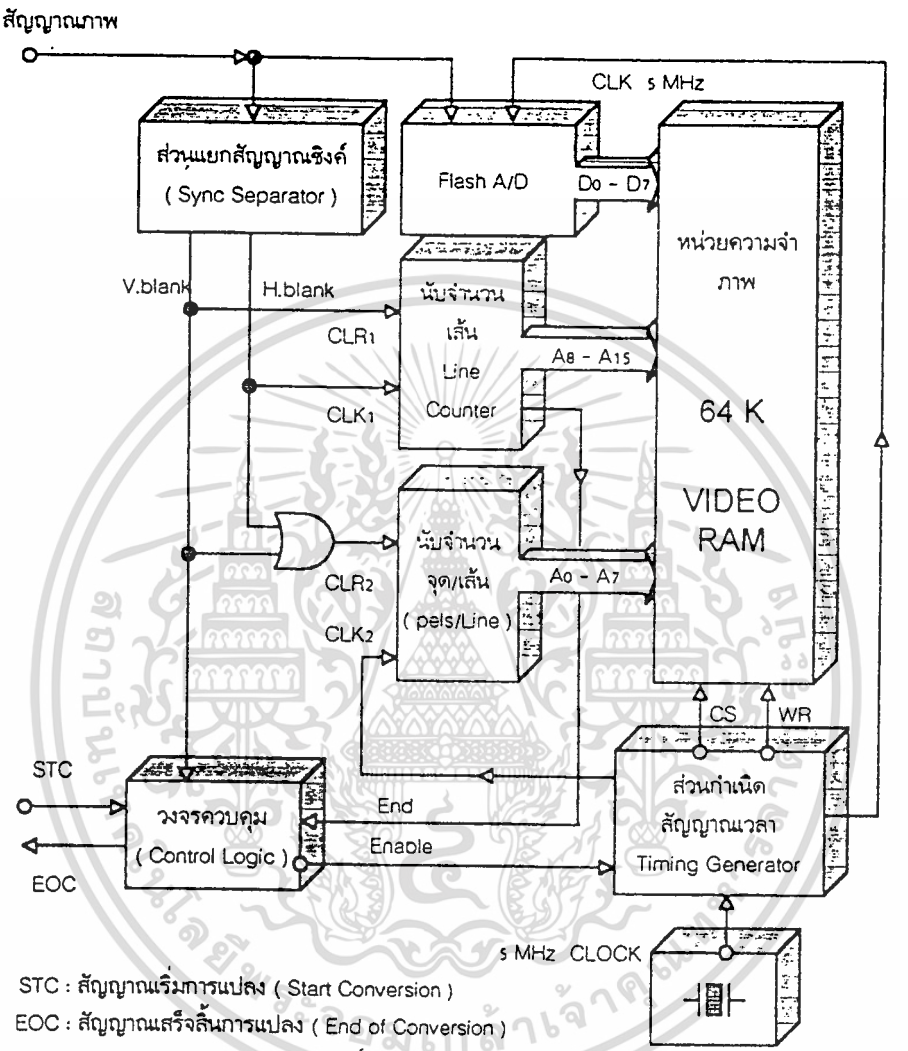
10. สัญญาณ EOC (End of Conversion) เป็นสัญญาณตอบให้ระบบภายนอกทราบว่าการแปลงเสร็จสิ้นแล้ว

11. สัญญาณ CLK เป็นสัญญาณนาฬิกาสำหรับวงจรนับ เมื่อมีสัญญาณนี้เกิดขึ้นวงจรนับจะมีค่าเพิ่มขึ้นหนึ่ง

12. สัญญาณ CLR เป็นสัญญาณเคลียร์วงจรนับ

13. สัญญาณอินาเบิล เป็นสัญญาณที่สั่งให้วงจรกำเนิดสัญญาณเวลาทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ไดอะแกรมแกรมแสดงการดิจิไทซ์สัญญาณภาพ

การทำงานของระบบจะเริ่มจากการมีสัญญาณร้องขอจากภายนอก , STC มายังส่วนควบคุมเมื่อส่วนควบคุมได้รับสัญญาณ STC แล้วจะยังไม่มีการกระทำใด ๆ ทั้งสิ้น แต่จะรอสัญญาณ V blank อีกสัญญาณหนึ่ง เนื่องจากส่วนที่ตามหลัง V blank จะเป็นจุดเริ่มต้นของฟิลด์ภาพ เมื่อได้รับสัญญาณ V blank แล้ว ระบบควบคุมก็จะส่งสัญญาณอีนาเบิลไปยังส่วนกำเนิดสัญญาณภาพ เวลาให้เริ่มทำงานระบบจะเริ่มทำการแปลงโดยสัญญาณลูมิแนนซ์แรกจะถูกแปลงเป็นสัญญาณดิจิตอลโดย Flash A/D ขณะเดียวกันส่วนกำเนิดสัญญาณเวลาก็จะกำเนิดสัญญาณเวลาเลือกหน่วยความจำ , สัญญาณเขียนหน่วยความจำ รวมทั้งสัญญาณ CLK 2 เพื่อกระตุ้นวงจรนับจำนวนจุดให้เพิ่มค่าแอดเดรส A0 - A7 เพื่อเปลี่ยนตำแหน่งเก็บข้อมูลในหน่วยความจำพร้อมกันไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเส้นกวาดเส้นแรกถูกแปลงเสร็จเรียบร้อยแล้วในขณะเวลาที่ใกล้เคียงกันก็จะเกิดสัญญาณ H blank สัญญาณนี้จะเป็นสัญญาณ CLK 1 และ CLR 2 ตัวจะไปกระตุ้วงจรนับจำนวนเส้นให้เพิ่มค่าขึ้นหนึ่งเป็นการเพิ่มค่าแอดเดรส A8 - A15 และเคลียร์วงจรนับจำนวนจุดให้เป็นศูนย์เพื่อเริ่มต้นนับจำนวนจุดในการแปลงค่าเส้นกวาดเส้นต่อไป กระบวนการนี้จะเกิดซ้ำไปเรื่อย ๆ จนกระทั้งเส้นกวาดเส้นสุดท้ายคือเส้นที่ 256 เสร็จสิ้นก็จะเกิดสัญญาณ End จากวงจรนับเส้นส่งมายังวงจรควบคุมจากนั้นวงจรควบคุมก็จะตัดสัญญาณอินาเบิลซึ่งถูกส่งไปตั้งแต่เริ่มต้นแปลงข้อมูลทำให้ส่วนกำเนิดสัญญาณเวลาหยุดทำงาน ระบบการแปลงทั้งหมดจึงหยุดทำงานขณะเดียวกันจะส่งสัญญาณ EOC เพื่อแจ้งให้ระบบภายนอกทราบเป็นการเสร็จสิ้นกระบวนการแปลงข้อมูล 1 ภาพ และรอการร้องขอจากระบบภายนอกครั้งต่อไป

2.4 ระบบส่งข้อมูลภาพและเสียงแบบดิจิตอลมัลติเพล็กซ์แบบแบ่งเวลา

ข้อกำหนดและการจัดเฟรมข้อมูลของระบบ

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลามีส่วนที่ต้องสื่อสารถึงกันคือ

- ข้อมูลข่าวสาร
- สัญญาณควบคุมและบริการ
- เฟรมอไลเมนต์เวอร์ด

2.4.1 การจัดเฟรมข้อมูลของระบบ

ในระบบนี้ออกแบบสร้างส่วนของข้อมูลข่าวสารประกอบด้วยข้อมูลภาพขาวดำขนาด 256 * 256 จุดภาพ ความเข้ม 8 บิทต่อจุดภาพ และส่วนของข้อมูลเสียงทำการเข้ารหัสสัญญาณแบบ PCM เพื่อความสะดวกในการออกแบบและจัดเฟรมข้อมูลจะกำหนดให้ใน 1 เฟรมข้อมูล จะบรรจุข้อมูลภาพจำนวน 256 จุดภาพ หรือเท่ากับ 1 เส้นกวาดภาพแนวนอน ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยส่วนต่าง ๆ ดังนี้

ข้อมูลภาพ	256	ช่องเวลา
ข้อมูลเสียง	1	ช่องเวลา
สัญญาณควบคุมและบริการ	2	ช่องเวลา
เฟรมอไลเมนต์เวิร์ด	1	ช่องเวลา

รวมแล้วใน 1 เฟรมข้อมูล จะประกอบด้วย 260 ช่องเวลา ช่องเวลาละ 8 บิท แบ่งรายละเอียดออกเป็นเพจ ๆ ละ 4 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูล จึงแบ่งออกได้เป็น 65 เพจ เพจ 0 มี 4 ช่องเวลาประกอบด้วยเวิร์ดต่าง ๆ ดังนี้

ช่องเวลา 0 เป็นเฟรมอไลเมนต์เวิร์ด หรือ FAW สำหรับการซิงโครไนซ์เฟรม

ช่องเวลา 1 เป็นเวิร์ดควบคุมและบริการ หรือ,CSW (Control and Service Word)

ช่องเวลา 2 เป็นส่วนเก็บหมายเลขเส้นกวาดแนวนอน หรือ HLN (Hor. Line Number) ของข้อมูลภาพในเพจ 1 ถึงเพจ 64 ใช้สำหรับการเก็บข้อมูลภาพลงใน หน่วยความจำภาพ VD-RAM (Video RAM)

ช่องเวลา 3 เป็นส่วนเก็บข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037298

2.4.2 ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม (Transmitter System)

ในระบบส่งข้อมูลพอจะแบ่งเป็นส่วนต่าง ๆ ได้ดังนี้

1 ส่วนมัลติเพล็กซ์ข้อมูล ซึ่งประกอบด้วยส่วนนับความยาวเฟรมส่วนกำเนิดสัญญาณควบคุมต่าง ๆ เช่น สัญญาณแลทช์ , สัญญาณอินาเบิล เป็นต้น และส่วนที่ทำหน้าที่เชื่อมต่อระหว่างส่วนมัลติ - เพล็กซ์และส่วนดิจิไทซ์สัญญาณภาพ

2. ส่วนดิจิไทซ์สัญญาณภาพ ซึ่งประกอบด้วยส่วนกำเนิดสัญญาณเวลาส่วนนับแอดเดรสหน่วยความจำ ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเฟลช และหน่วยความจำภาพ

3. ส่วนเข้ารหัสข้อมูลเสียง

4. ส่วนแปลงข้อมูลขนานเป็นอนุกรม

การทำงานเริ่มจากตัวมัลติเพล็กต่อเข้าด้วยกันแบบขนาน ซึ่งที่จุดนี้อัตราข้อมูลเป็น 16.64 / 8 = 2.08 Mbps จากนั้นจะถูกแปลงข้อมูลเป็นอนุกรมแล้วทำการเข้ารหัสสัญญาณก่อนถูกส่งออกไป ขณะที่กระบวนการมัลติเพล็กซ์ดำเนินการอยู่ ส่วนโลจิกควบคุมจะส่งสัญญาณร้องขอข้อมูลภาพไปยังตัวดิจิไทเซอร์ ตัวดิจิไท - เซอร์ก็จะเริ่มทำการดิจิไทซ์สัญญาณภาพเก็บข้อมูลลงสู่หน่วยความจำภาพ เมื่อเสร็จสิ้นการแปลงตัวดิจิไทเซอร์จะส่งสัญญาณ EOC ตอบกลับมาจากนั้นส่วนโลจิกควบคุมจะส่งสัญญาณอ่านหน่วยความจำและสัญญาณนับแอดเดรส เพื่ออ่านข้อมูลภาพจากหน่วยความจำภาพเข้าสู่ส่วนมัลติเพล็กซ์ต่อไป

ในส่วนของตัวเข้ารหัสสัญญาณเสียงจะได้รับสัญญาณนาฬิกา เพื่อเป็นความถี่สุ่มและซิงโครไนซ์ข้อมูลกับตัวมัลติเพล็กซ์

ส่วนของเวอร์ดควบคุมและบริการ จะรับสัญญาณแจ้งเตือนจากจุดต่าง ๆ ของระบบดังนี้

- RVSL (Remote Video Signal Loss) ซึ่งเป็นสัญญาณเดียวกับ VSL (Video Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบว่าสัญญาณจากกล้องยังมีอยู่หรือไม่
- RFAL (Remote Frame Alignment Loss) ซึ่งเป็นสัญญาณเดียวกับ FAL (Frame Alignment Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบถึงการอไลเมนต์เฟรมของระบบรับ
- RICSL (Remote Incoming Signal Loss) ซึ่งเป็นสัญญาณเดียวกับ ICSL (Incoming Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบถึงสภาพของสัญญาณดิจิตอลที่อินพุทของเครื่องรับว่าปรากฏอยู่หรือไม่
- DREQ (Data Requset) เป็นสัญญาณร้องขอแบบของข้อมูลภาพจากคู่สถานีซึ่งมีอยู่ 2 แบบ คือ ข้อมูลภาพปกติ และ แพทเทอร์นทดสอบ

2.5 ระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา (Receive System)

ระบบรับข้อมูล สามารถแบ่งเป็นส่วนใหญ่ ๆ ได้ 5 ส่วนคือ

1. ส่วนดีมัลติเพล็กซ์ (Demultiplexer) ประกอบด้วย บัฟเฟอร์ข้อมูลทั้ง 4 ชุด ส่วนนับความยาวเฟรมข้อมูลและโลจิกควบคุม ซึ่งส่วนนับความยาวเฟรมข้อมูลถูกควบคุมด้วย ส่วนควบคุมสถานะการซิงโครไนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ส่วนควบคุมสถานะการซิงโครไนซ์ มีหน้าที่ในการทำกระบวนการอไลเมนต์เฟรม ประกอบด้วย ส่วนควบคุมสถานะการซิงโครไนซ์และส่วนตรวจหาเฟรมอไลเมนต์เวอร์ด
3. ส่วนดำเนินการข้อมูลอนุกรม ประกอบด้วย ตัวแปลงข้อมูลอนุกรมเป็นขนาน
4. ส่วนแยกสัญญาณนาฬิกา ทำหน้าที่แยกสัญญาณนาฬิกาจากสัญญาณดิจิตอลที่รับได้เพื่อการซิง - โครไนซ์บิท
5. ส่วนประมวลผลข้อมูล แยกเป็น 2 ส่วนคือ ส่วนของข้อมูลเสียงและส่วนของข้อมูลภาพ ส่วนของข้อมูลเสียง ประกอบด้วยส่วนถอดรหัสเสียง ส่วนของข้อมูลภาพ ประกอบด้วยหน่วยความจำภาพ 2 ชุด โดยชุดหนึ่งเก็บข้อมูลภาพที่ได้รับ อีกชุดหนึ่งถูกอ่านข้อมูลออกไปเพื่อแสดงบนจอภาพ , ส่วนควบคุมการบันทึกข้อมูลภาพที่รับได้ ซึ่งทำงานร่วมกับสวิทช์เพจภาพ , PSW (Page Switch Control) ส่วนควบคุมการอ่านข้อมูลออกไปเพื่อแสดงบนจอภาพ ซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์ภาพ, ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอกและส่วนผสมข้อมูลภาพกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพขึ้นใหม่

การทำงานจะเริ่มจากการกำหนดให้ส่วนแยกสัญญาณนาฬิกาทำงานตามปกติ ดังนั้นสัญญาณนาฬิกาที่ได้จะซิงโครไนซ์กับข้อมูลเป็นอย่างดี เมื่อเริ่มต้นสัญญาณดิจิตอลที่รับได้ส่วนหนึ่งจะเข้าสู่ส่วนแยกสัญญาณนาฬิกาเพื่อสร้างสัญญาณนาฬิกาใช้ในระบบอีกส่วนหนึ่ง เข้าสู่ตัวแปลงข้อมูลอนุกรมเป็นข้อมูลขนานเพื่อให้อยู่ในรูปข้อมูลแบบขนานขนาด 8 บิท ถึงจุดนี้ข้อมูลขนาด 8 บิท ซึ่งถูกเลื่อนไป 1 บิท ตลอดเวลาจะรออยู่ที่อินพุทของบัฟเฟอร์ทั้ง 4 ชุด เพื่อรอการแลทช์ต่อไป อีกส่วนหนึ่งจะเข้าสู่ตัวตรวจหา FAW ซึ่งทำงานร่วมกับส่วนควบคุมการซิงโครไนซ์และส่วนนับความยาวเฟรม การอไลเมนต์เฟรมจะเริ่มต้นเมื่อมีการตรวจพบ FAW โดยตัวตรวจหา FAW ซึ่งจะส่งพัลซ์ไปให้ส่วนควบคุมการซิงโครไนซ์ จากนั้นส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุม ไปให้ส่วนนับความยาวเฟรมให้เริ่มต้นนับเพื่อกำหนดตำแหน่งเวลาที่จะตรวจสอบ FAW ครั้งต่อไป คือสัญญาณ FAW - Check pulse ส่งกลับไปให้กับส่วนควบคุมการซิงโครไนซ์ซึ่งจะตรวจสอบสัญญาณการตรวจหา FAW พร้อมกันไปด้วย ถ้าพบก็จะดำเนินกระบวนการอไลเมนต์เฟรมต่อไป ถ้าไม่พบก็จะเริ่มต้นค้นหา FAW ตัวต่อไป เมื่อการอไลเมนต์เฟรมสมบูรณ์ส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรม ซึ่งควบคุมให้ส่วนลอจิกควบคุมสร้างสัญญาณแลทช์ไปให้บัฟเฟอร์ทั้ง 4 ชุด เพื่อเก็บข้อมูลไว้

ข้อมูลที่เก็บไว้ในบัฟเฟอร์เสียงจะถูกส่งไปยังตัวถอดรหัสเสียงเพื่อถอดรหัสและกลายกลับมาเป็นเสียงตามเดิม

ส่วนข้อมูลที่ถูกเก็บไว้ในบัฟเฟอร์ข้อมูลควบคุมและบริการแยกเป็น 2 ส่วน คือ ส่วนควบคุมและบริการ

- ส่วนควบคุมประกอบด้วยสัญญาณ VDA และ DREQ VDA เป็นสัญญาณบอกจุดเริ่มต้นและสิ้นสุดของ 1 เฟรมภาพ ถูกส่งออกไปส่วนควบคุมการเก็บข้อมูลซึ่งทำงานร่วมกับส่วนสวิทช์เพจภาพเพื่อสวิทช์เพจภาพนำข้อมูลภาพใหม่ไปแสดง โดยการสวิทช์จะซิงโครไนต์กับสัญญาณซิงค์แนวตั้งของภาพเพื่อให้ข้อมูลภาพใหม่ถูกนำไปแสดงที่จุดเริ่มต้นของจอภาพพอดี ส่วน DREQ 1 เป็นสัญญาณร้องขอแบบข้อมูลจากคู่สถานีว่าเป็นข้อมูลภาพปกติหรือแพทเทอร์นทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนบริการประกอบด้วยสัญญาณแจ้งเตือน RFAL 1 , RVSL 1 , R1CSL 1 ซึ่งส่งมาจากคู่สถานี และนำมาแสดงผลให้ทราบ

ส่วนข้อมูลที่เก็บไว้ในบัฟเฟอร์ HLN ซึ่งเป็นหมายเลขเส้นกวาดแนวนอนถูกส่งไปส่วนควบคุมการเก็บข้อมูลภาพเพื่อใช้เป็นแอดเดรสส่วนหนึ่งของหน่วยความจำภาพ

ส่วนข้อมูลที่เก็บไว้ในบัฟเฟอร์ VD ซึ่งเป็นข้อมูลภาพถูกส่งไปเก็บไว้ในหน่วยความจำภาพ ในส่วนของข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำภาพจะถูกควบคุมการอ่าน โดยส่วนควบคุมการอ่านข้อมูลภาพซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์ เพื่อให้การอ่านข้อมูลภาพแต่ละเส้นกวาดเกิดขึ้นในเวลาที่สอดคล้องกับสัญญาณซิงค์ ข้อมูลภาพที่อ่านได้ถูกแปลงเป็นสัญญาณอนาลอกและทำการผสมกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพกลับมาใหม่และนำไปแสดงบนจอภาพ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

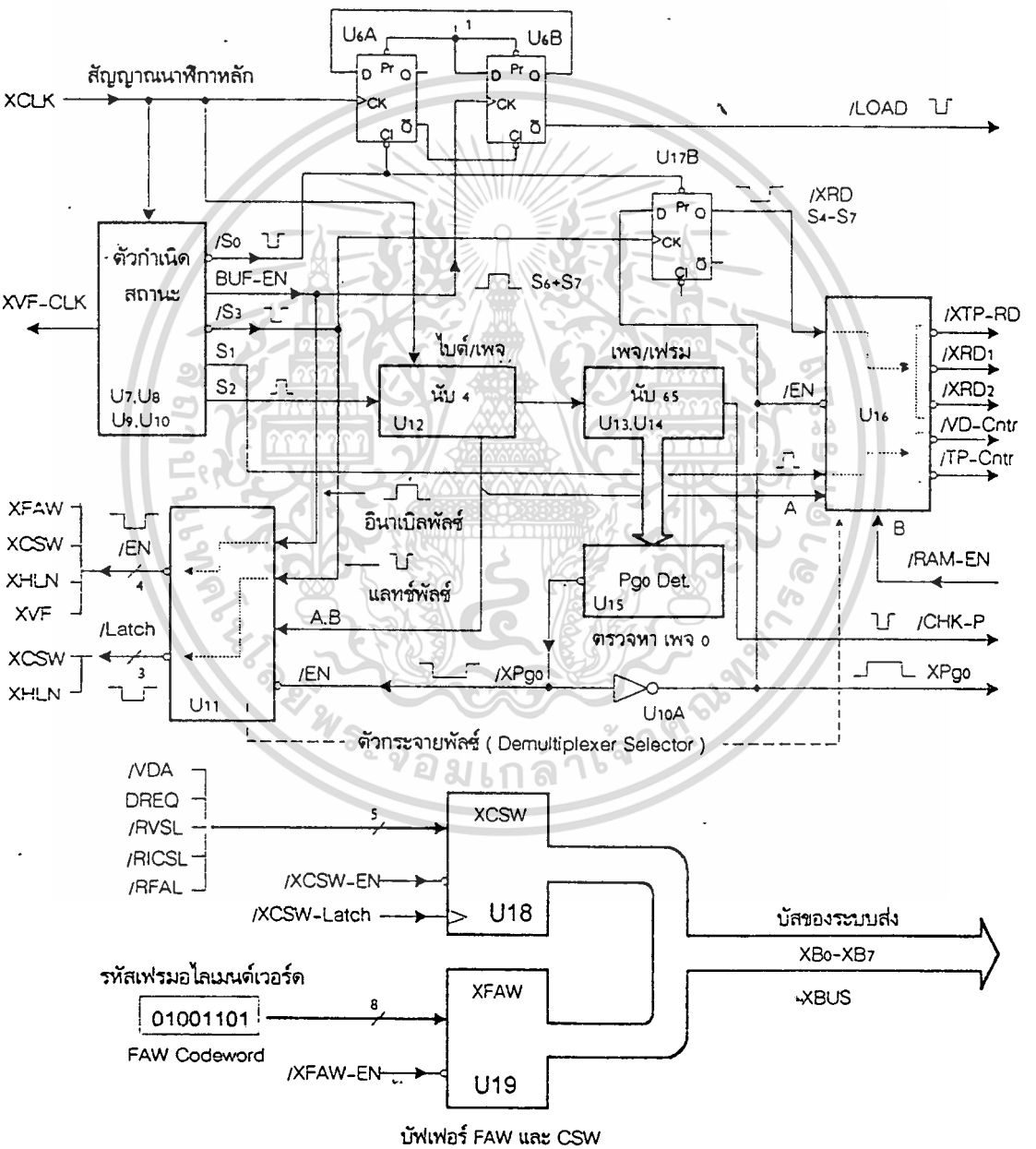
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการทำงานของวงจร

3.1 ระบบส่งข้อมูล

3.1.1 ส่วนมัลติเพล็กซ์ข้อมูล

ไดอะแกรมของส่วนมัลติเพล็กซ์ข้อมูลแสดงดังรูปที่ 3.1



รูปที่ 3.1 ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากขั้นตอนสุดท้ายของการมัลติเพล็กซ์ คือการแปลงข้อมูลขนาน 8 บิท ให้เป็นข้อมูอนุกรม หมายความว่าข้อมูลทุก ๆ ชุดที่อยู่ในรูปขนานซึ่งจะทำการส่งจะต้องถูกโหลดลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมทุก ๆ 8 คาบสัญญาณนาฬิกาส่งแสดงว่ากระบวนการต่าง ๆ ใช้ในการจัดเตรียมข้อมูลที่จะโหลดลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมจะต้องทำให้เสร็จสิ้นภายใน 8 คาบสัญญาณนาฬิกา ด้วยเหตุผลดังกล่าวระบบมัลติเพล็กซ์จึงใช้หลักการกำเนิดสัญญาณประจำที่จำเป็นทุก ๆ 8 คาบสัญญาณนาฬิกา เพื่อใช้ในการกระตุ้นและควบคุมส่วนต่าง ๆ ที่เกี่ยวข้อง ซึ่งจะได้กล่าวต่อไป

จากรูปที่ 3.1 ส่วนมัลติเพล็กซ์จะประกอบด้วยส่วนต่าง ๆ ดังนี้

- U7, U8, U9, และ U10 ทำหน้าที่กำเนิดสัญญาณสถานะควบคุมประจำ S0-S7
- U12, U13, U14 ทำหน้าที่เป็นตัวนับความยาวเฟรม โดย U12 เป็นตัวนับจำนวนไบต์/เพจ คือ 4 ไบต์/เพจ และ U13, U14 เป็นตัวนับจำนวนเพจ/เฟรม คือ 65 เพจ/เฟรม
- U11 ทำหน้าที่เป็นตัวกระจายพัลซ์ (Demultiplexer Selector) คือ แลทช์พัลซ์ และอินาเบิลพัลซ์ , EN ซึ่งกำเนิดจากตัวกำเนิดสถานะไปยังบัฟเฟอร์ข้อมูลต่าง ๆ เพื่อแลทช์ข้อมูลลงสู่บัฟเฟอร์และอินาเบิลข้อมูลขนานเป็นอนุกรมต่อไป
- U16 ทำหน้าที่เป็นตัวกระจายพัลซ์เช่นเดียวกับ U11 แต่เป็นพัลซ์สำหรับ นับแอดเดรสหน่วยความจำภาพ พัลซ์สำหรับการอ่านหน่วยความจำภาพ และพัลซ์สำหรับการกำเนิดแพทเทอร์นทดสอบ
- U15 ทำหน้าที่เป็นตัวตรวจหาเพจ 0 เพื่ออินาเบิล U11 หรือ U16 ต่อไป
- U6 ทำหน้าที่กำเนิดสัญญาณโหลด ,/LOAD สำหรับโหลดข้อมูลจากบัสระบบเข้าสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม
- U17B ทำหน้าที่กำเนิดสัญญาณอ่านหน่วยความจำ ,/XRD
- U18, U19 เป็นบัฟเฟอร์สำหรับ CSW และ FAW ตามลำดับ ส่วนบัฟเฟอร์ตัวอื่น ๆ จะไปแสดงในส่วนที่มันเกี่ยวข้องอยู่

การทำงานของระบบ เริ่มจากตัวกำเนิดสถานะ U7, U8, U9 และ U10 จะกำเนิดสัญญาณ /S0, S1, S2, /S3 และ BUF - EN โดยนับจากสัญญาณนาฬิกาซึ่งมีรายละเอียด ดังนี้

S1 ใช้เป็นพัลซ์นับ Cntr สำหรับตัวกำเนิดแอดเดรสใช้สำหรับการอ่านข้อมูลภาพที่เก็บในหน่วยความจำภาพ

S2 ใช้เป็นพัลซ์สำหรับส่วนนับความยาวเฟรมข้อมูล

/S3 ใช้เป็นพัลซ์ให้รับแลทช์ข้อมูลเข้าสู่ตัวบัฟเฟอร์

BUF - EN ใช้เป็นพัลซ์สำหรับการอินาเบิลข้อมูลในบัฟเฟอร์เข้าสู่บัสข้อมูลของระบบ ,XBUS เป็นพัลซ์ที่ แอคทีฟในช่วง S6 และ S7

โดย S2 จะถูกส่งไปยังส่วนนับความยาวเฟรมเพื่อนับจำนวนไบต์/เพจ (4 ไบต์/เพจ) คือ U12 และนับจำนวนเพจ/เฟรม (65 เพจ/เฟรม) คือ U13, U14 หมายเลขเพจที่นับได้จะถูกส่งไปยัง U15 เพื่อตรวจหาเพจ 0 คือ สัญญาณ /Xpg0 โดยส่วนหนึ่งส่งโดยตรงไปอินาเบิล U11 และอีกส่วนส่งผ่านอินเวอร์เตอร์ U10A ไปอินาเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

U16 ดังนั้นจะเห็นได้ว่า U11 จะแอคทีฟเฉพาะช่วงเพจ 0 และ U16 จะแอคทีฟเฉพาะช่วงเพจ 1 ถึงเพจ 64 ซึ่งเป็นช่วงข้อมูลภาพดังจะได้กล่าวต่อไป

ส่วนสัญญาณ /S3 และ BUF - EN เป็นสัญญาณแลทช์และอินาเบิลบัฟเฟอร์ถูกส่งไปยัง U11 เพื่อกระจายไปให้บัฟเฟอร์ทั้ง 4 ตัวในเพจ 0 โดยได้รับข้อมูลการระบุตัวบัฟเฟอร์จาก U12 ในส่วนของเพจ 1 ถึงเพจ 64 ซึ่งเป็นส่วนของข้อมูลภาพจะใช้พัลซ์อ่านหน่วยความจำภาพ ,/XRD จาก U17b ซึ่งควบคุมโดยสัญญาณ Xpg0 , /S3 และ /S0 และพัลซ์นับแอดเดรสของหน่วยความจำภาพ ,S1 ทั้งสองสัญญาณนี้จะถูกส่งไปยังตัวกระจายพัลซ์ U16 ซึ่งแอคทีฟเฉพาะในช่วงเพจ 1 ถึงเพจ 64 ดังที่ได้กล่าวมาแล้วว่าส่วนของข้อมูลภาพจะแบ่งเป็น 2 โหมด คือ โหมดสัญญาณภาพปกติและโหมดแพททอร์นทดสอบ ในโหมดสัญญาณภาพปกติ พัลซ์อ่านหน่วยความจำภาพ จะถูกส่งออกไปเป็น /XRD1 และ /XRD2 สลับกันไบต์คู่และไบต์คี่ สาเหตุเนื่องจากการจัดหน่วยความจำภาพมีลักษณะที่ต่างออกไปจากลักษณะทั่วไป ซึ่งจะได้กล่าวอีกครั้งในเรื่องของหน่วยความจำภาพส่วนพัลซ์นับแอดเดรสหน่วยความจำภาพจะถูกส่งออกไปเป็น /TP-Cntr ทั้ง 2 โหมดที่กล่าวมาถูกเลือกโดยสัญญาณ /RAM-EN ซึ่งถูกส่งมาจากส่วนเชื่อมต่อ โดย 0 หมายถึง ข้อมูลภาพปกติและ 1 หมายถึง แพทเทอร์นทดสอบ

ส่วนสัญญาณโหลด เป็นสัญญาณสำหรับการโหลดข้อมูลที่ปรากฏบนบัสของระบบ ,XBUS ลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม ซึ่งกำเนิดโดย U6 ร่วมกับสัญญาณ /S0 และ BUF-EN โดยสัญญาณโหลดนี้จะแอคทีฟในช่วงต่อระหว่าง S6 และ S7

สัญญาณ /CHK - P เป็นสัญญาณสำหรับการตรวจสอบเกิดขึ้นที่ปลายเฟรมทุกๆ เฟรม ถูกต่อไปยังส่วนเชื่อมต่อซึ่งจะได้กล่าวต่อไป

การติดต่อระหว่างส่วนมัลติเพล็กซ์ข้อมูลและส่วนดิจิไทซ์สัญญาณภาพถูกควบคุม ด้วยส่วนเชื่อมต่อวงจรแสดงดังรูปที่ 3.2 ซึ่งมีรายละเอียดสัญญาณต่อไปนี้

สัญญาณ /CHK-P , /VD-Cntr , /TP-Cntr และ /RAM-EN ต่อเข้ากับส่วนมัลติเพล็กซ์

สัญญาณ DREQ1 เป็นสัญญาณร้องขอแบบข้อมูลถูกส่งมาจากคู่สถานี โดยเมื่อ DREQ1 เป็น 0 จะหมายถึงข้อมูลภาพปกติ และ DREQ1 เป็น 1 จะหมายถึง แพทเทอร์นทดสอบ

สัญญาณ /XTP-EN เป็นสัญญาณเพื่อใช้ในการอินาเบิลข้อมูลแพทเทอร์นทดสอบลงสู่บัสของระบบ ซึ่งสัญญาณนี้จะถูกต่อไปยังหน่วยความจำภาพ

สัญญาณ /VDA เป็นสัญญาณควบคุมแสดงการปรากฏอยู่ของข้อมูลภาพ (ทั้งภาพปกติและแพทเทอร์นทดสอบ) ต่อไปยังบัฟเฟอร์ CSW เพื่อส่งไปยังคู่สถานี

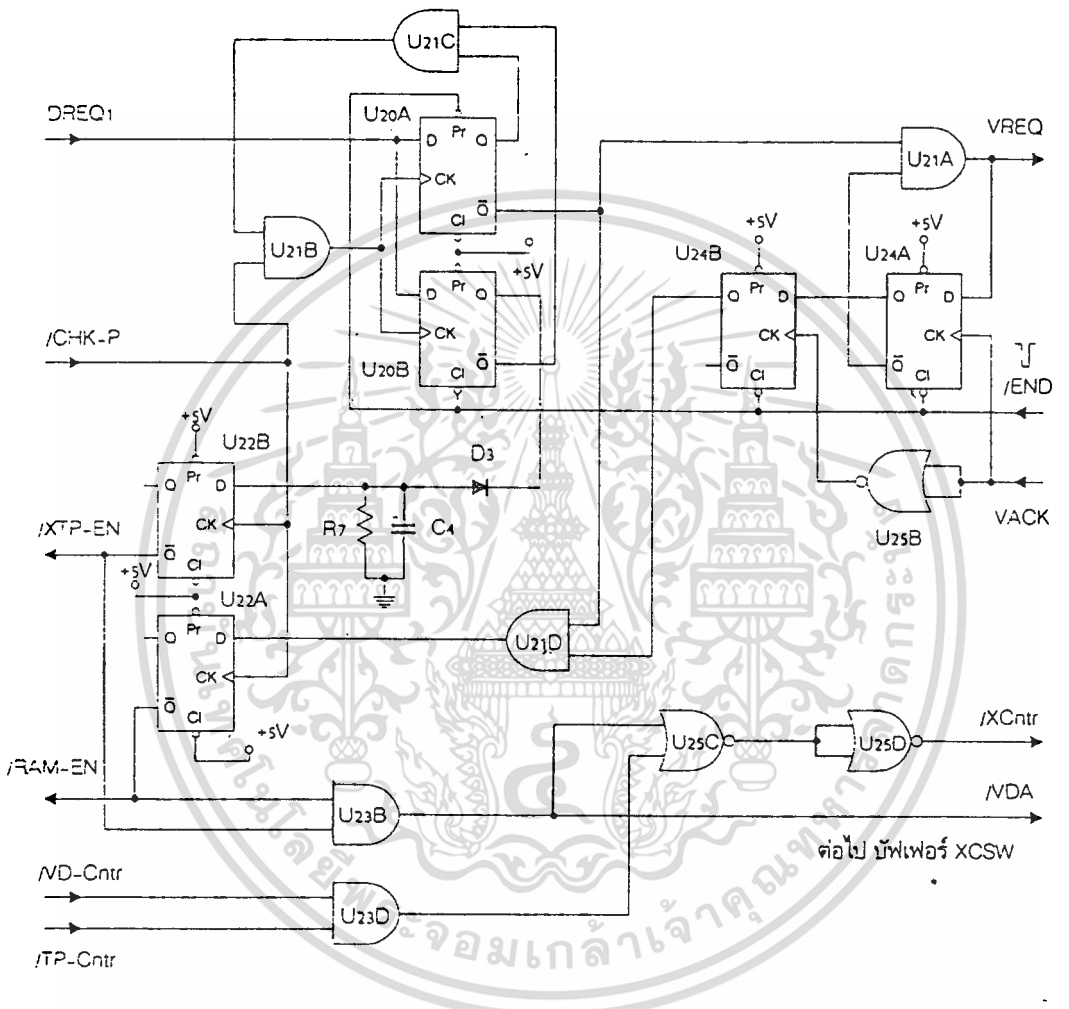
สัญญาณ VREQ , VACK , Xcntr และ /END ต่อไปยังส่วนดิจิไทซ์สัญญาณภาพเพื่อควบคุมจังหวะการดิจิไทซ์สัญญาณภาพและการอ่านข้อมูลภาพเพื่อการมัลติเพล็กซ์โดย

- VREQ แอคทีฟที่โลจิก 1 เป็นสัญญาณร้องขอข้อมูลภาพที่ส่งไปยังส่วนดิจิไทซ์สัญญาณภาพเมื่อส่วนดิจิไทซ์สัญญาณภาพได้รับสัญญาณนี้ก็จะเริ่มทำการดิจิไทซ์สัญญาณภาพ เมื่อเสร็จกระบวนการจะแจ้งกลับมาทางสัญญาณ VACK

- VACK เป็นสัญญาณตอบรับการร้องขอข้อมูลภาพ โดยเมื่อได้รับสัญญาณ VREQ แล้วตัวดิจิไทซ์สัญญาณภาพ จะตอบรับโดยการควบคุมให้ VACK เปลี่ยนโลจิกจาก 0 เป็น 1 โดยซิงโครไนซ์กับสัญญาณซิงค์แนวตั้งและเมื่อดิจิไทซ์สัญญาณภาพลงสู่หน่วยความจำเรียบร้อยแล้วจะควบคุมให้ VACK เปลี่ยนโลจิกจาก 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับมาเป็น 0 ตามเดิม เพื่อแจ้งให้ระบบมัลติเพล็กซ์ เข้ามาอ่านข้อมูลภาพในหน่วยความจำภาพเพื่อนำไปมัลติเพล็กซ์ต่อไป



รูปที่ 3.2 แสดงวงจรเชื่อมต่อ

- Xcntr เป็นพัลซ์นับแอดเดรสหน่วยความจำซึ่งตัวมัลติเพล็กซ์ส่งเข้าไปยังตัวนับแอดเดรสหน่วยความจำ (ผ่านส่วนเชื่อมต่อ) ซึ่งอยู่ภายในส่วนดิจิไทซ์สัญญาณภาพเพื่อการกำหนดตำแหน่งข้อมูลภายในหน่วยความจำที่ต้องการอ่านออกมา (ตัวนับแอดเดรสหน่วยความจำนี้จะถูกควบคุมจาก 2 ส่วนคือ เมื่อ VACK เป็น 1 จะถูกควบคุมโดยส่วนดิจิไทซ์สัญญาณภาพ และเมื่อ VACK เป็น 0 จะถูกควบคุมโดยส่วนมัลติเพล็กซ์ข้อมูลเอง)

- /END เป็นสัญญาณแสดงการสิ้นสุดการอ่านหน่วยความจำซึ่งจะแอคทีฟเฉพาะช่วงที่ VACK เป็น 0 คือช่วงที่ตัวนับแอดเดรสหน่วยความจำถูกควบคุมโดยส่วนมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานในส่วนนี้จะเริ่มจากกรณีการร้องขอแบบข้อมูลภาพปกติคือ DREQ = 0 เมื่อกำหนดให้ฟลิปฟลอป U20A ถูกรีเซ็ตและตัวอื่น ๆ ถูกเคลียร์ เมื่อมีสัญญาณตรวจสอบ ,/CHK-P เข้ามา Q ของ U20A จะเป็น 0 และ Q ของ U20B จะเป็น 0 (ซึ่งต่อไปจะทำให้ /XTP-EN เป็น 1 คือไม่แอคทีฟ) ทำให้เกท U21B ถูกปิดเป็นการป้องกันไม่ให้ถูกสัญญาณ /CHP-P กระตุ้นซ้ำขณะที่กระบวนการถ่ายโอนข้อมูลไปยังส่วนมัลติเพล็กซ์ยังไม่เสร็จสิ้น เมื่อ Q ของ U20A เป็น 0 VREQ จะเป็น 1 ด้วย จึงเป็นการแจ้งร้องขอข้อมูลภาพต่อส่วนดิจิไทซ์สัญญาณภาพ ส่วนดิจิไทซ์สัญญาณภาพจะตอบกลับด้วยสัญญาณ VACK ซึ่งเป็นจังหวะเดียวกับที่เกิดสัญญาณซิงค์แนวตั้ง เนื่องจากเป็นจุดเริ่มต้นของฟิลด์ภาพโดยจะทำให้สัญญาณ VACK เปลี่ยนระดับโลจิกจาก 0 ไปเป็น 1 สัญญาณขอบขาขึ้นของ VACK นี้จะทำให้ค่าโลจิก 1 ของ VREQ ถูกเก็บเข้าสู่ U24A พร้อมกันนั้นเกท U21A ก็จะถูกปิดด้วย เมื่อการดิจิไทซ์สัญญาณภาพเสร็จสิ้นลงสัญญาณ VACK จะเปลี่ยนโลจิกจาก 1 กลับสู่ 0 ตามเดิม สัญญาณขอบขาลงนี้จะทำให้โลจิก 1 ที่ เก็บอยู่ภายใน U24A ถูกส่งต่อไปให้ U24B ทำให้ขา D ของ U22A มีโลจิกเป็น 1 เมื่อเกิด /CHK-P ตัวต่อไป Q ของ U22A หรือ /RAM-EN จึงเปลี่ยนโลจิกเป็น 1 ส่งต่อไปให้ส่วนมัลติเพล็กซ์ ทำให้ส่วนมัลติเพล็กซ์ส่งพัลซ์ /VD-Cntr กลับออกมา (พร้อมกับ /XRD1 /XRD2 ซึ่งเป็นสัญญาณอ่านหน่วยความจำ) ผ่าน U25C และ U25D เป็น /Xcntr ส่งไปยังตัวนับแอดเดรสภายในส่วนดิจิไทซ์สัญญาณภาพ จากนี้ข้อมูลภาพภายในหน่วยความจำจะถูกถ่ายโอนลงสู่ XBUS ของระบบ เมื่อถึงข้อมูลภาพสุดท้าย ตัวนับแอดเดรสจะส่งพัลซ์ /END กลับออกมาเซ็ตและเคลียร์และเข้าสู่จุดเริ่มต้นเพื่อเริ่มเซ็คใหม่ต่อไป

3.1.2 ส่วนดิจิไทซ์สัญญาณภาพ

ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพแสดงดังรูปที่ 3.3

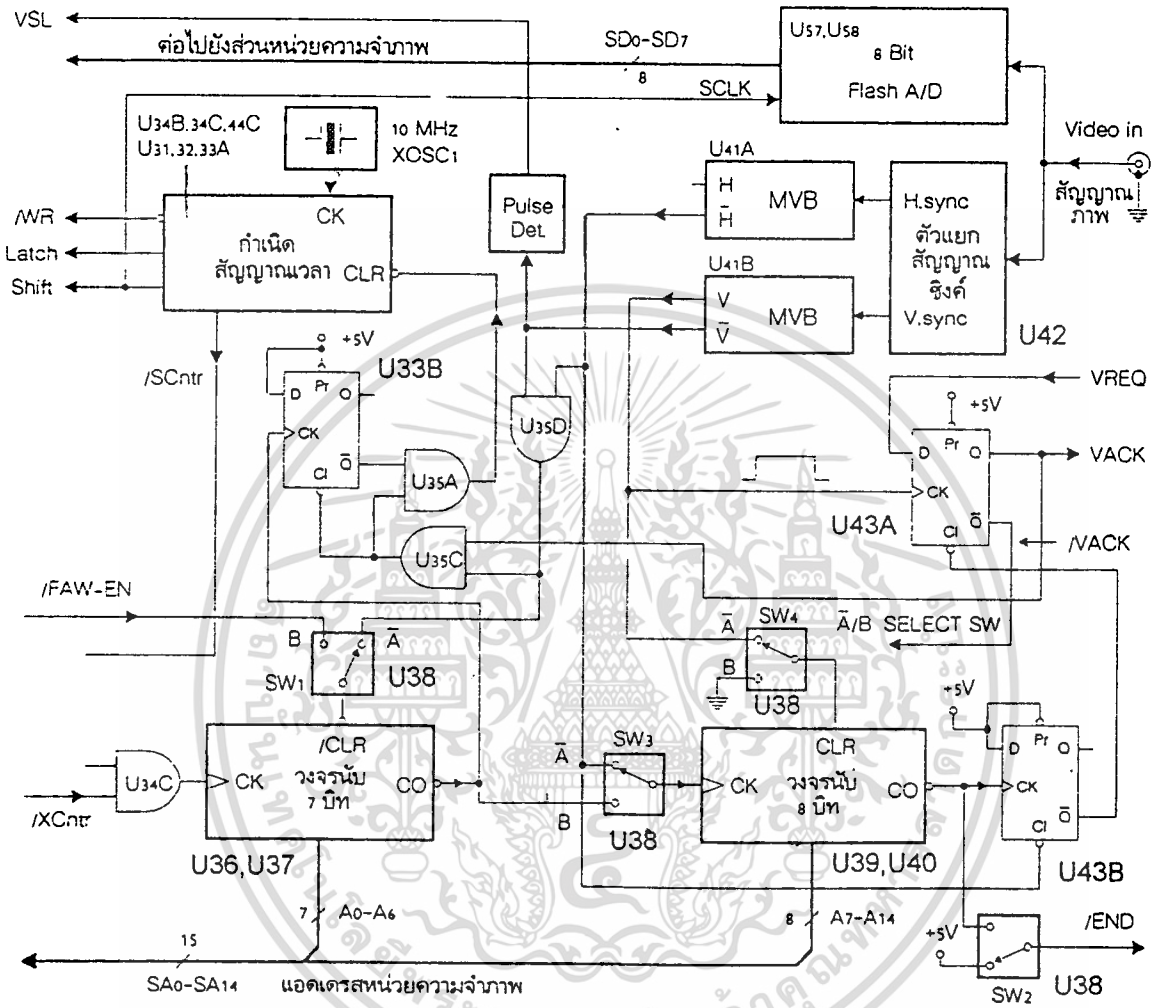
ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ โดยเทียบกับวงจรจริง ประกอบด้วยส่วนใหญ่ ๆ ดังนี้

- Flash A/D ประกอบด้วย U57, U58 โดย SLCK เป็นสัญญาณนาฬิกาที่ใช้สุ่มค่ามีความถี่ 5 MHz
- Sync Separator ประกอบด้วย U41, U42
  - U41 เป็นโมโนสเตเบิลมัลติไวเบรเตอร์ ใช้ในการปรับความกว้างของสัญญาณซิงใหม่ให้เหมาะสมในการใช้งาน
  - U42 ใช้ LM1881 ทำหน้าที่ แยกสัญญาณซิงค์แนวตั้งและซิงค์รวมซึ่งใช้แทนซิงค์ แนวนอน ใช้ในการกำหนดช่วงเวลาในการสุ่มสัญญาณ และการนับจำนวนเส้นกวาด
- Timing Generator ประกอบด้วย U31, U32, U33A, U34B, U34C, U44C
- Address Counter ประกอบด้วยU36, U37, U39, U40
  - U36, U37 ต่อเป็นตัวนับขนาด 7 บิท
  - U39, U40 ต่อเป็นตัวนับขนาด 8 บิท
- Video RAM

การทำงานของส่วนดิจิไทซ์สัญญาณภาพแบ่งเป็น 2 โหมด คือ โหมดการดิจิไทซ์ (เก็บข้อมูลภาพ) และโหมดการอ่านข้อมูลภาพ ซึ่งทั้ง 2 โหมดนี้ถูกเลือกโดยสวิทช์ SW1- SW4 หรือ U38 ซึ่งถูกควบคุมโดยสัญญาณ VACK โดยเมื่อ VACK มีโลจิกเป็น 1 จะเป็นโหมดดิจิไทซ์ (SW อยู่ที่ตำแหน่ง A) โหมดนี้ตัวนับแอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดรสหน่วยความจำจะถูกควบคุมด้วยส่วนดิจิไทซ์เอง เมื่อ VACK มีโลจิกเป็น 0 จะเป็นโหมดการอ่านข้อมูลภาพ โดยส่วนมัลติเพล็กซ์ และส่วนเชื่อมต่อจะเข้ามาควบคุมตัวนับแอดเดรสหน่วยความจำและอ่านข้อมูลภาพในหน่วยความจำเพื่อนำไปมัลติเพล็กซ์



รูปที่ 3.3 ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ

3.1.3 ส่วนหน่วยความจำภาพ

วิธีการเก็บข้อมูลในหน่วยความจำภาพจะใช้วิธีการที่ เรียกว่า การเก็บแบบเลื่อนข้อมูลภาพ

*ในส่วนของการเก็บข้อมูลจะประกอบด้วยส่วนต่าง ๆ ดังนี้

- ชิฟท์รีจิสเตอร์ขนาด 8 บิท แบบเข้าขนานออกขนาน 2 ชุด คือ Reg#1, Reg#2 ใช้สำหรับการเลื่อนข้อมูลภาพ
- ตัวแลทช์ข้อมูลขนาด 8 บิท 2 ชุด คือ LATCH#1, LATCH#2 ใช้สำหรับการแลทช์ค่าข้อมูลภาพ
- หน่วยความจำภาพขนาด 32 Kbyte 2 ชุด คือ RAM#1, RAM#2 ใช้สำหรับการเก็บข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*ในส่วนของการอ่านข้อมูลภาพประกอบด้วย

- บัฟเฟอร์สำหรับข้อมูลภาพ 2 ชุด คือ VD-BUF1 และ VD-BUF2
- บัฟเฟอร์ที่สามารถแลทช์ค่าได้ คือ HLN-BUF ทำหน้าที่อ่านหมายเลขเส้นกวาดมาเก็บไว้เพื่อส่งต่อไปให้ส่วนมัลติเพล็กซ์ข้อมูล

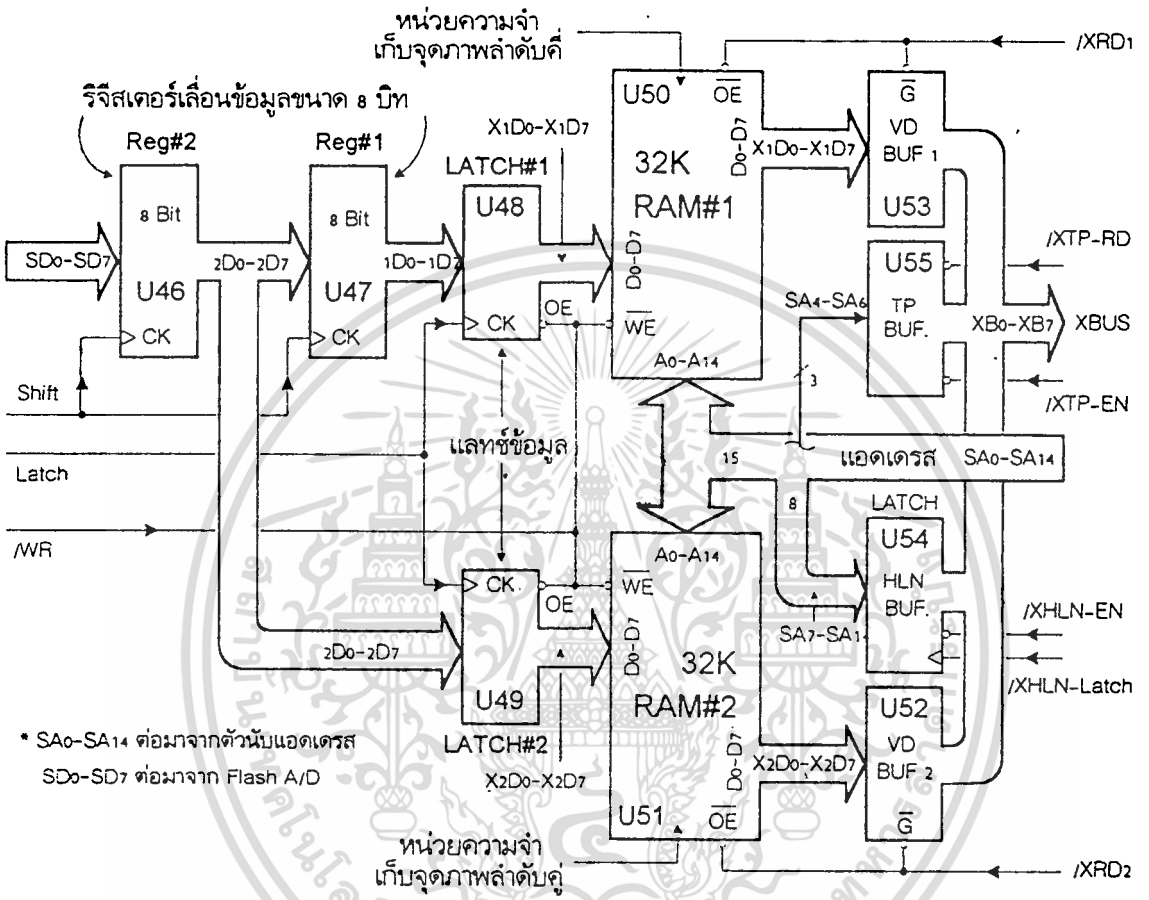
หลักการเก็บข้อมูลแบบเลื่อนข้อมูลภาพ

เริ่มต้นโดยข้อมูลภาพแต่ละจุดภาพที่ถูกส่งเข้ามาทาง SD0-SD7 โดยตัว Flash A/D จะถูกเลื่อนเข้าสู่ Reg#2 และ Reg#1 ตามลำดับโดยสัญญาณ Shift ทุกครั้งที่ข้อมูลถูกเลื่อนเข้ามาเก็บใน Reg ครบ 2 ตัว จะมีสัญญาณ Latch เข้ามาถ่ายโอนข้อมูลจาก Reg#1 และ Reg#2 เข้าสู่ LATCH#1 และ LATCH#2 ตามลำดับ เพื่อให้ข้อมูลจุดภาพชุดใหม่เลื่อนเข้ามาแทน ในขณะที่ข้อมูลจุดภาพกำลังเลื่อนเข้าสู่ Reg ข้อมูลภาพ 2 จุดแรกที่พักอยู่ใน LATCH#1 และ LATCH#2 จะถูกเก็บลงสู่หน่วยความจำภาพ RAM#1 และ RAM#2 ตามลำดับ ด้วยสัญญาณ /WR เป็นการเคลียร์ LATCH#1 และ LATCH#2 ให้ว่างเพื่อพักข้อมูลชุดใหม่ต่อไป

จากกระบวนการเก็บที่กล่าวมาจะเห็นได้ว่าใน 1 เส้นกวาดใด ๆ ซึ่งมีข้อมูลภาพจำนวน 256 จุดจุดภาพลำดับคี่จะถูกเก็บลงใน RAM#1 และจุดภาพลำดับคู่จะถูกเก็บลงใน RAM#2 จะสังเกตุได้ว่าวิธีการเก็บข้อมูลลักษณะนี้จะเก็บข้อมูลภาพลงสู่หน่วยความจำพร้อม ๆ กันทีละ 2 จุดภาพ โดยทำการสุ่มข้อมูลภาพให้ครบ 2 จุดก่อน ดังนั้นรอบการเขียนหน่วยความจำ จึงถูกยืดออกไปเป็นทุก ๆ 2 คาบการสุ่มสัญญาณ และเมื่อพิจารณาในส่วนของแอดเดรส อาจสรุปให้ง่ายขึ้นคือ แอดเดรสมีทั้งหมด 15 เส้น คือ A0 - A14 อ้างอิงตำแหน่งได้ 32K ตำแหน่ง แต่ละตำแหน่งเก็บข้อมูลได้ 2 ไบต์ รวมหน่วยความจำทั้งหมด 64 Kbyte

ในส่วนของการอ่านข้อมูลออกสัญญาณ /WR, Latch และ Shift จะไม่แอคทีฟ ดังนั้นตัว LATCH#1 และ LATCH#2 จะไม่แอคทีฟเช่นกัน ทำให้บัส X1D0-X1D7 และ X2D0-X2D7 จาก LATCH ทั้ง 2 ตัว ปลดตัวเองออกจากระบบหน่วยความจำ เป็นการป้องกันไม่ให้เกิดการใช้บัสข้อมูลของหน่วยความจำซ้ำซ้อนกันในกรณีของการอ่านข้อมูลภาพจะอ่านจาก VD-BUF1 และ VD-BUF2 โดยสัญญาณ /XRD1 และ /XRD2 ตามลำดับ โดยสัญญาณ /XRD1 และ /XRD2 จะเกิดขึ้นสลับกัน เนื่องจากข้อมูลภาพที่เก็บในหน่วยความจำถูกเก็บในลักษณะสลับจุดภาพคี่และคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ไดอะแกรมแสดงส่วนของหน่วยความจำภาพ

3.2 ระบบรับข้อมูล (Receiver System)

ในส่วนของระบบรับข้อมูลสามารถแบ่งเป็นส่วนใหญ่ ๆ ได้ดังนี้

1. ตัวแปลงข้อมูลอนุกรมเป็นขนานและตัวตรวจหาเฟรมอไลเมนต์เวอร์ด
2. ส่วนดีมัลติเพล็กซ์ข้อมูล (Data Demultiplexer)
3. ส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC (Synchronize State Control)
4. ส่วนถอดรหัสข้อมูลเสียง (Voice Data Decoding)
5. ส่วนควบคุมและประมวลผลข้อมูลภาพ (Video Data Control & A process)
6. ส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

ลิขสิทธิ์เป็นของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 ตัวแปลงข้อมูลอนุกรมเป็นขนาน และ ตัวตรวจหาเฟรมอไลเมนต์เวอร์ด

ทั้ง 2 ส่วนนี้เป็นส่วนต้น ๆ ของระบบรับ ข้อมูลได้ผ่านตัวเปรียบเทียบสัญญาณดิจิตอลและผ่านบัฟเฟอร์เพื่อนำไปขับวงจรภายนอกต่อไปจากนั้นสัญญาณดิจิตอลที่ได้ส่วนหนึ่งจะแยกไปเป็นสัญญาณ DATA-PULSE ส่งไปยังส่วนแยกสัญญาณนาฬิกา สัญญาณที่ได้จะส่งกลับมาเป็น RCLK นั่นเอง

สัญญาณจะเข้าสู่ตัวแปลงข้อมูลอนุกรมเป็นขนาน U3 ซึ่งเป็นชิฟท์รีจีสเตอร์แบบเข้าอนุกรมออกขนาน , SIPO (Serial In Parallel Out) ขนาด 8 สแตค ซึ่งข้อมูลขนานที่ได้คือข้อมูลขนาด 8 บิทที่แทปออกมาจากรีจีสเตอร์ทั้ง 8 ตัว ข้อมูล 8 บิทนี้คือ บัสข้อมูลของระบบรับ , RBUS (RB0 - RB7) และจะถูกนำไปเข้าตัวแลทช์ข้อมูลเพื่อเก็บข้อมูลที่ถูกต้องเข้าไว้ จาก RBUS นี้ส่วนหนึ่งจะนำไปเข้าตัวตรวจหาเวอร์ด (U4) ซึ่งเป็นตัวเปรียบเทียบเวอร์ดข้อมูลบนบัสกับเวอร์ดข้อมูลที่กำหนดไว้ สัญญาณตรวจหาคือ /FAW-Det ซึ่งแอคทีฟที่โล - จิก 0 จะนำไปใช้โดยส่วนควบคุมสถานะการซิงโครไนซ์ของระบบซึ่งจะได้กล่าวต่อไป

3.2.2 ส่วนดีมัลติเพล็กซ์ข้อมูล (Data Demultiplexer)

ส่วนดีมัลติเพล็กซ์ข้อมูลทำหน้าที่นำข้อมูลที่ปรากฏบน RBUS เก็บเข้าไว้ในบัฟเฟอร์ตามช่องข้อมูลที่ถูกต้องของมัน โดยการสร้างสัญญาณแลทช์ซึ่งซิงโครไนซ์กับสัญญาณนาฬิกา นอกจากนี้ยังสร้างสัญญาณที่จำเป็นสำหรับกระบวนการเก็บข้อมูลภาพที่รับได้เข้าสู่หน่วยความจำ ซึ่งประกอบด้วยสัญญาณเขียนหน่วยความจำภาพ, /R-WR สัญญาณนับแอดเดรสหน่วยความจำ, /R_Cntr สัญญาณแลทช์ข้อมูลภาพ , /RVD - Latch และเส้นกวาดแนวนอน , /RHLN - Latch

การทำงานของส่วนดีมัลติเพล็กซ์ข้อมูลจะมีหลักการเช่นเดียวกับส่วนมัลติเพล็กซ์ข้อมูลทางเครื่องส่ง คือ ข้อมูลในแต่ละช่องข้อมูลจะต้องมีการจัดเก็บและเคลื่อนย้ายออกจากตัวบัฟเฟอร์ภายใน 8 คาบสัญญาณนาฬิกา โดยการแบ่งสัญญาณนาฬิกาออกเป็น 8 สถานะ และใช้สถานะที่แน่นอนเหล่านี้ในการกำหนดจังหวะการทำงานของแต่ละส่วน และเนื่องจากข้อมูลบน RBUS เกิดจากการเลื่อนข้อมูลอนุกรมเข้าสู่ชิฟท์รีจีสเตอร์ขนาด 8 สแตค ซึ่งจะเห็นว่าข้อมูลขนาด 8 บิทของแต่ละช่องข้อมูลจะปรากฏจริงบน RBUS เพียงช่วงเวลา 1 คาบสัญญาณนาฬิกาเท่านั้น การจัดเก็บข้อมูลเข้าสู่บัฟเฟอร์จึงต้องทำให้เสร็จสิ้นภายในคาบเวลานี้

หน้าที่ที่สำคัญอีกประการหนึ่งของส่วนดีมัลติเพล็กซ์คือ การทำงานร่วมกับส่วนควบคุมสถานะการซิงโครไนซ์โดยส่วนดีมัลติเพล็กซ์จะทำงานได้เมื่อได้รับสัญญาณ SCH O จากส่วนควบคุมสถานะการซิงโครไนซ์เท่านั้น และเมื่อทำงานแล้วจะส่งสัญญาณตรวจสอบ /FAW-CHK.P กลับไปให้ส่วนควบคุมสถานะการซิงโครไนซ์เพื่อกำหนดตำแหน่งช่วงเวลาในการตรวจสอบเฟรมอไลเมนต์เวอร์ดเพื่อใช้ในการตัดสินใจในกระบวนการอไลเมนต์เฟรมข้อมูล

หน้าที่ของส่วนต่าง ๆ มีดังนี้

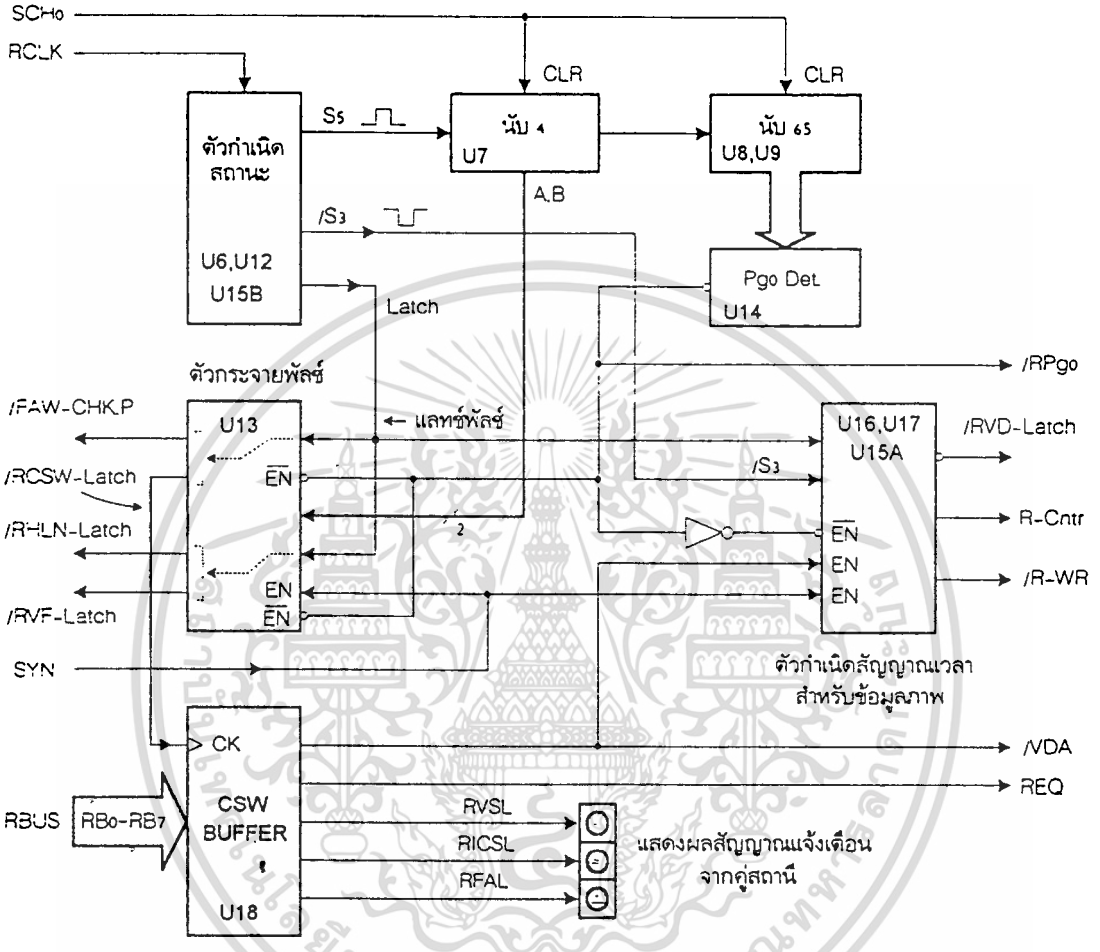
1. ตัวกำเนิดสถานะ ประกอบด้วย U6 , U12 และ U15 B ทำหน้าที่กำเนิดสัญญาณประจำทุก ๆ 8 คาบสัญญาณนาฬิกา เพื่อใช้สำหรับกระตุ้นการทำงานมีสัญญาณดังนี้

/S3 ใช้ร่วมกับสัญญาณแลทช์พัลซ์เพื่อกำเนิดสัญญาณ R - Cntr และ /R - WR ภายในตัวกำเนิดสัญญาณเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S5 ใช้เป็นพัลซ์สำหรับการนับความยาวเฟรมข้อมูล

Latch เป็นพัลซ์ที่เกิดขึ้นที่กลางช่อง S6 ถึงกลางช่วง S7 แอคทีฟที่โลจิก 0 ใช้สำหรับแลทช์ข้อมูลบน RBUS ลงสู่บัฟเฟอร์ข้อมูล



รูปที่ 3.5 ไดอะแกรมแสดงส่วนดีมัลติเพล็กซ์ข้อมูล

2. ส่วนนับความยาวเฟรม ประกอบด้วยตัวนับ 2 ตัวคือ ตัวนับ 4 ทำหน้าที่นับจำนวนไบต์ภายในเพจข้อมูล (4 ไบต์ / เพจ) และตัวนับ 65 ทำหน้าที่นับจำนวนเพจภายในเฟรมข้อมูล (65 เพจ / เฟรม)

3. ส่วนตรวจหาเพจ 0 หรือ Pg0 Det ทำหน้าที่ตรวจหาเพจ 0 ของเฟรมข้อมูลแสดงด้วยสัญญาณ /Rpgo แอคทีฟที่โลจิก 0

4. ตัวกระจายพัลซ์ (U13) ภายในมีตัวกระจายอยู่ 2 ชุด ทำหน้าที่กระจายแลทช์พัลซ์ให้กับบัฟเฟอร์ในเพจ 0 ซึ่งประกอบด้วยสัญญาณ /RCSW - Latch , /RHLN - Latch และ /RVF - Latch

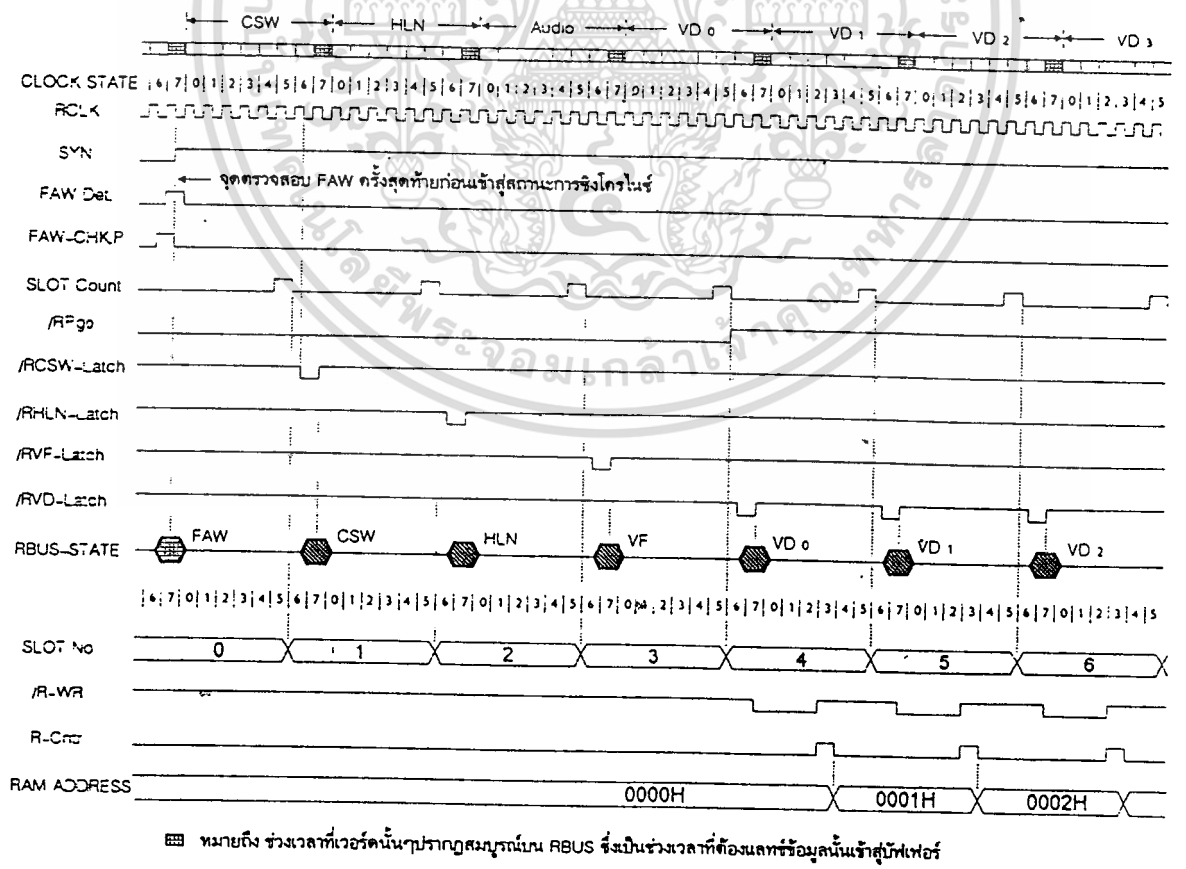
5. ตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ซึ่งทำงานเฉพาะในช่วงของข้อมูลภาพ (เพจ 1 - เพจ 64) ทำหน้าที่กำเนิดสัญญาณนับแอดเดรสหน่วยความจำ และสัญญาณการแลทช์ข้อมูลภาพซึ่งส่งตรงมาจากสัญญาณแลทช์ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. บัฟเฟอร์ RCSW - BUF ทำหน้าที่แลทช์ข้อมูล CSW จาก RBUS เข้าสู่ RCSW-BUF

การทำงานจะเริ่มเมื่อสัญญาณ SCH0 จากส่วนควบคุมสถานะการซิงโครไนซ์ไม่แอคทีฟ (พบ FAW ตัวแรก) คือมีโลจิกเป็น 0 ส่วนนับความยาวเฟรมจะเริ่มทำงานโดยหมายเลขไบต์ข้อมูลภายในเพจใด ๆ จากตัวนับ 4 จะถูกส่งไปให้ตัวกระจายพัลซ์เพื่อกระจายแลทช์พัลซ์ไปยังบัฟเฟอร์ต่าง ๆ ภายในเพจ 0 และหมายเลขเพจที่นับได้จากตัวนับ 65 ถูกส่งไปยังตัวตรวจหาเพจ 0 สัญญาณการตรวจหา , /Rpgo จะถูกส่งไปอีนาเบิลตัวกระจายพัลซ์ ดังนั้นตัวกระจายพัลซ์จะทำงานเฉพาะในช่วงเพจ 0 เท่านั้น สัญญาณการตรวจหาอีกส่วนหนึ่งจะผ่านอินเวอร์เตอร์ไปอีนาเบิลตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ดังนั้นตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพก็จะทำงานเฉพาะในช่วงข้อมูลภาพเท่านั้น (เพจ 1 - เพจ 64)

พิจารณาตัวกระจายพัลซ์ (U 13) ซึ่งมีตัวกระจายพัลซ์อยู่ 2 ส่วน จะเห็นว่าส่วนที่กระจายพัลซ์ของ /RCSW -Latch และ /RFAW - CHKP จะถูกอีนาเบิลจาก /Rpgo เพียงอย่างเดียวดังนั้นส่วนนี้จะทำงานในช่วงเพจ 0 ตลอด ส่วนตัวกระจายพัลซ์ของ /RHLN - Lacth และ /RVH - Latch จะถูกอีนาเบิลจาก 2 แหล่งคือจากสัญญาณ /Rpgo และจากสัญญาณ SYN ซึ่งเป็นสัญญาณที่ส่งมาจากส่วนควบคุมสถานะการซิงโครไนซ์ เพื่อแจ้งให้ทราบว่าระบบซิงโครไนซ์แล้วเท่านั้นซึ่งสอดคล้องกับการที่ข้อมูลในช่วงเพจ 0 เฉพาะเมื่อระบบอยู่ในสภาพที่ซิงโครไนซ์แล้วเท่านั้นซึ่งสอดคล้องกับการที่ข้อมูลส่วนนี้ (HLN และ VF) จะใช้ประโยชน์ได้เมื่อระบบอยู่ในสภาพการซิงโครไนซ์แล้วเท่านั้น



หมายถึง ช่วงเวลาที่เวอร์ดนั้นๆปรากฏสมบูรณ์บน RBUS ซึ่งเป็นช่วงเวลาที่ต้องแลทช์ข้อมูลนั้นเข้าสู่บัฟเฟอร์

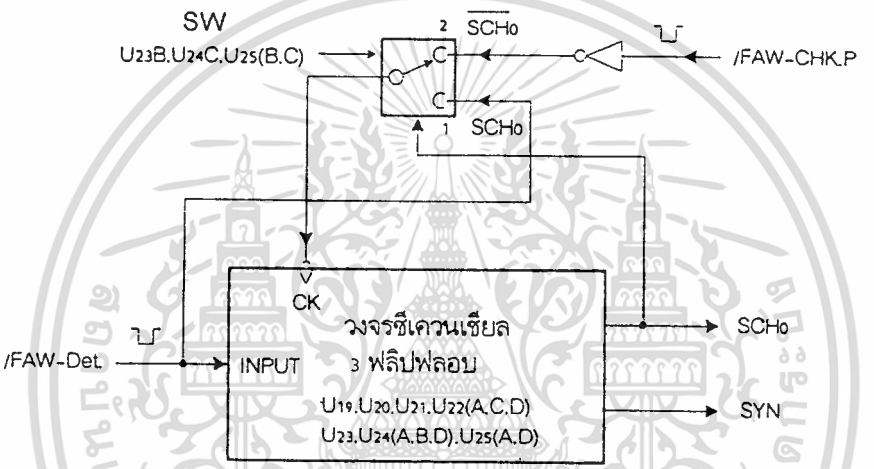
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 ไดอะแกรมเวลาการทำงานของส่วนดีมัลติเพล็กซ์ข้อมูล

สำหรับส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ จะเห็นได้รับสัญญาณการอีนาเบิลจาก 3 แหล่ง คือ Rpgo (ผ่านอินเวอร์เตอร์แล้ว) SYN และ /VDA (จาก RCSW - BUF) ดังนั้นส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพจะทำงานเมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้วในช่วงเพจ 1 ถึงเพจ 64 เฉพาะเมื่อสัญญาณ /VDA แอคทีฟเท่านั้น

3.2.3 ส่วนควบคุมสถานะการซิงโครไนซ์

ส่วนควบคุมสถานะการซิงโครไนซ์ ทำหน้าที่ในการอไลเมนต์เฟรมข้อมูลโดยวิธีการตรวจสอบ FAW ซึ่งจะทำงานร่วมกับตัวตรวจหา FAW และตัวดีมัลติเพล็กซ์ข้อมูล ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์แสดงในรูปที่ 3.7



รูปที่ 3.7 ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์

จากรูปส่วนควบคุมสถานะการซิงโครไนซ์จะประกอบด้วย 2 ส่วน คือ สวิทช์ และ วงจรซีเควนเชียลซึ่งเป็นวงจรที่ประกอบด้วยฟลิปฟลอบ 3 ตัว ดังนั้นจึงมีสถานะการทำงานได้ 8 สถานะ แต่เลือกใช้ได้เพียง 7 สถานะ โดยมีไดอะแกรมสถานะการทำงาน (State Diagram) ดังรูปที่ 3.8 วงจรซีเควนเชียลที่กล่าวมานี้มี 2 อินพุทและ 2 เอาท์พุทดังนี้

- CK เป็นอินพุทคล็อกใช้สำหรับกระตุ้นการทำงานของฟลิปฟลอบ
- INPUT เป็นอินพุทสำหรับตรวจสอบสัญญาณการตรวจหา FAW ในขณะเวลาที่มีสัญญาณมากระตุ้นที่อินพุท CK ผลการตรวจสอบจะนำไปใช้ในกระบวนการตัดสินใจในการอไลเมนต์เฟรม
- SCH 0 เป็นเอาท์พุทที่แอคทีฟเฉพาะสถานะ 0 แอคทีฟที่โลจิก 1 โดยสถานะ 0 นี้จะเป็นสถานะเริ่มต้นการทำงานของระบบ (เช่นตอนเริ่มต้นเปิดเครื่อง) และ สัญญาณนี้จะถูกส่งไปอีนาเบลการทำงานของส่วนนับความยาวเฟรมข้อมูลภายในส่วนดีมัลติเพล็กซ์ข้อมูล
- SYN เป็นเอาท์พุทที่แอคทีฟเฉพาะสถานะ 4, 5, 6 หรือ 7 แอคทีฟที่โลจิก 1 เป็นสัญญาณที่แสดงให้ทราบว่าการอไลเมนต์ยังอยู่ในสภาพปกติ และจะถูกส่งไปยังส่วนดีมัลติเพล็กซ์ข้อมูลเพื่ออีนาเบิลให้มีการแลทช์ข้อมูลจาก RBUS เข้าสู่บัฟเฟอร์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานะ 0 สูญเสียการซิงโครไนซ์เฟรม, ระบบอยู่ในโหมดค้นหา FAW

สถานะ 1 ตรวจพบ FAW ในเฟรมหมายเลข 0

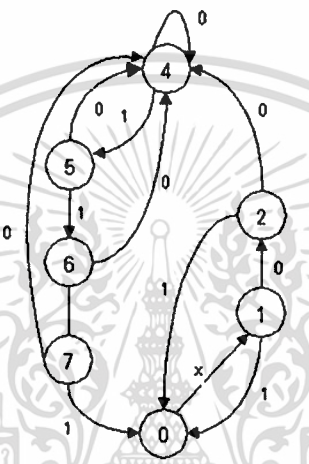
สถานะ 2 ตรวจพบ FAW ในเฟรมหมายเลข 1

สถานะ 4 การอไลเมนต์เฟรมสมบูรณ์ระบบอยู่ในสถานะการซิงโครไนซ์

สถานะ 5 ตรวจไม่พบ FAW ในเฟรมหมายเลข n

สถานะ 6 ตรวจไม่พบ FAW ในเฟรมหมายเลข n + 1

สถานะ 7 ตรวจไม่พบ FAW ในเฟรมหมายเลข n +2

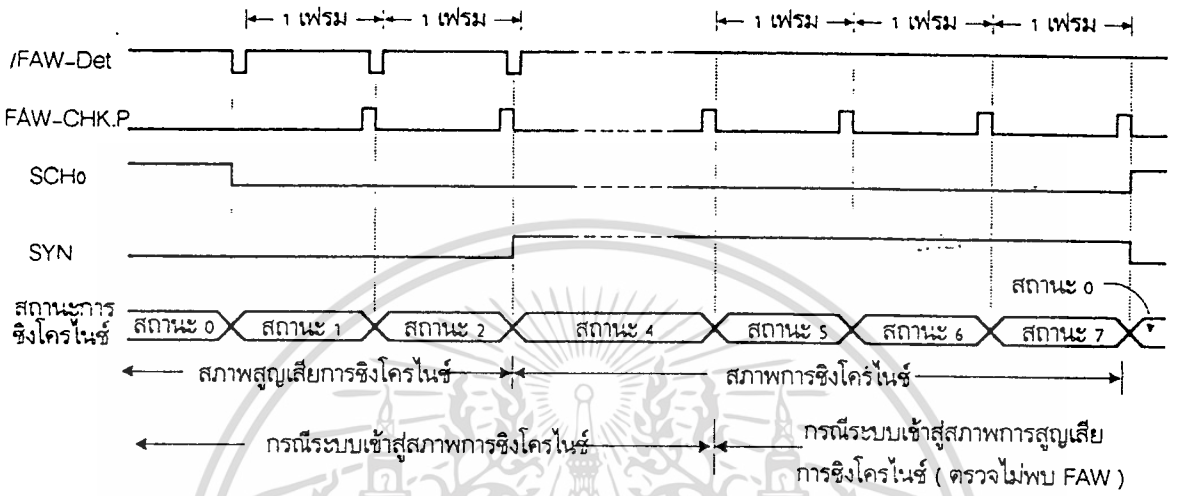


รูปที่ 3.8 ไดอะแกรมสถานะของส่วนควบคุมสถานะการซิงโครไนซ์

การทำงานจะเริ่มจากสถานะ 0 ซึ่งเป็นสถานะเริ่มต้นการทำงาน สัญญาณ SCHo จะมีโลจิกเป็น 1 ทำให้ส่วนนับความยาวเฟรมข้อมูลของตัวดีมัลติเพล็กซ์ข้อมูลไม่ทำงานและ SW ในรูป 3.7 อยู่ที่ตำแหน่ง 1 ซึ่งรับสัญญาณนาฬิกาจาก /FAW - Det จากจุดนี้เมื่อพิจารณาไดอะแกรมสถานะในรูปที่ 3.8 ประกอบจะเห็นว่า /FAW - Det พัลซ์แรกที่เกิดขึ้น (FAW ตัวแรกที่ตรวจพบ) จะทำให้สถานะระบบเปลี่ยนอย่างไม่มีเงื่อนไขจากสถานะ 0 ไปยังสถานะ 1 ทำให้สัญญาณนาฬิกาของส่วนควบคุมสถานะการซิงโครไนซ์เปลี่ยนมาเป็น SW มาที่ตำแหน่งที่ 2 เช่นกัน ทำให้สัญญาณนาฬิกาของส่วนควบคุมสถานะการซิงโครไนซ์เปลี่ยนมาเป็น FAW - CHK.P (ผ่านอินเวอร์เตอร์แล้ว) พร้อมกันนั้นตัวนับความยาวเฟรมในส่วนดีมัลติเพล็กซ์ข้อมูลจะส่งพัลซ์ /FAW - CHK.P กลับมากระตุ้นส่วนควบคุมสถานะการซิงโครไนซ์ เพื่อตรวจสอบว่ามีการตรวจพบ FAW หรือไม่ ที่จุดตรวจสอบ นี้ ถ้าพบ FAW จริง สัญญาณ /FAW - Det จะแอคทีฟ (โลจิก 0) พร้อมกันด้วยและระบบจะเปลี่ยนไปที่สถานะ 2 และทำการตรวจสอบ FAW ที่เฟรมต่อไป แต่ถ้าไม่พบ FAW (ยังคงเป็นโลจิก 1) ระบบจะเปลี่ยนกลับไปที่สถานะ 0 เพื่อตรวจหา FAW ตัวใหม่ซึ่งหมายความว่า FAW ที่พบตัวแรกนั้นเป็น FAW เทียม กระบวนการจะเป็นไปตามไดอะแกรมสถานะในรูปที่ 3.8 ซึ่งถ้า FAW ที่พบเป็น FAW จริง สุดท้ายระบบจะไปอยู่ที่สถานะ 4 ซึ่งเป็นสถานะการอไลเมนต์สมบูรณ์ กระบวนการเก็บข้อมูลต่าง ๆ ก็จะเริ่มทำงาน หลังจากนี้ถ้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทุกเฟรมมีการตรวจพบ FAW ในตำแหน่งที่กำหนดระบบก็จะยังคงอยู่ที่สถานะ 4 แต่ถ้ามีการตรวจไม่พบ FAW ติดต่อกัน 4 เฟรม ระบบก็จะกลับไปที่สถานะ 0 และเริ่มต้นค้นหา FAW ตัวใหม่ ดังไดอะแกรมเวลาในรูปที่ 3.9



รูปที่ 3.9 ไดอะแกรมเวลาการเข้าสู่สภาพการซิงโครไนซ์ และการเข้าสู่การสูญเสียการซิงโครไนซ์ของส่วนควบคุมสถานะการซิงโครไนซ์

3.2.4 ส่วนถอดรหัสข้อมูลเสียง (Voice Data Decoding)

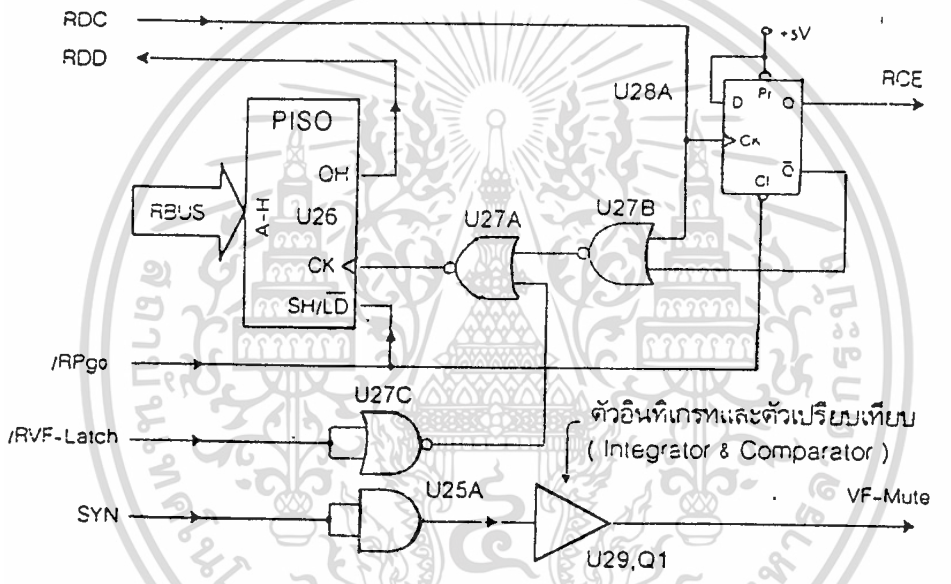
ส่วนถอดรหัสข้อมูลเสียงจะทำหน้าที่แปลงข้อมูลเสียงแบบขนานที่แลทช์ได้จาก RBUS ให้เป็นข้อมูลอนุกรมและส่งกลับไปเข้าชิพ CODEC ซึ่งอยู่ที่เครื่องส่งทำการถอดรหัสและแปลงกลับเป็นสัญญาณเสียงตามเดิม นอกจากนี้ยังกำเนิดสัญญาณ VF - Mute เพื่อใช้ในการปิดสัญญาณเสียงที่ระบบได้เมื่อระบบอยู่ในสภาพไม่ซิงโครไนซ์ เพื่อไม่ให้เกิดเสียงรบกวน ไดอะแกรมระบบแสดงในรูปที่ 3.10

จากไดอะแกรมสัญญาณ RDD , RDC , RCE และ VF - Mute เป็นสัญญาณที่ต่อกับทางเครื่องส่งมีรายละเอียดดังนี้

- RDD เป็นข้อมูลเอาท์พุทที่ต่อไปยังชิพ CODEC โดยจะซิงโครไนซ์กับขอบขาขึ้นของสัญญาณนาฬิกา RDC ส่วนของขาลงจะเป็นการเลื่อนข้อมูลเข้าสู่ชิพ CODEC
- RDC เป็นสัญญาณนาฬิกาอินพุทที่ส่งมาจากวงจรเข้ารหัสเสียงทางด้านเครื่องส่งนำเข้ามาเพื่อกำเนิดสัญญาณ RCE และการเลื่อนข้อมูลออกเพื่อนำเข้าสู่ชิพ
- RCE เป็นสัญญาณเอาท์พุทซิงโครไนซ์กับสัญญาณนาฬิกา RDC ใช้สำหรับอีนาเบิลกระบวนการถอดรหัสข้อมูลของชิพ CODEC โดยขอบขาขึ้นของสัญญาณจะเป็นการอีนาเบิลให้ชิพเริ่มต้นกระบวนการเลื่อนข้อมูลเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานจะเริ่มจาก เมื่อเกิดสัญญาณ /RPgo ซึ่งเป็นสัญญาณเพจ 0 (เกิดในอัตราความถี่ 8 KHz) จะทำให้ U28A ถูกเคลียร์ สัญญาณ RCE จึงไม่แอคทีฟและกระบวนการเลื่อนข้อมูลยังไม่เกิดขึ้น ในช่วงเวลาของสัญญาณ /Rpgo นี้จะเกิดสัญญาณ /RVF - Latch ทำการโหลดข้อมูลเสียงบน RBUS เข้าสู่รีจีสเตอร์แบบเข้าขนานออกอนุกรมหรือ U26 เมื่อ U26 ได้รับการโหลดข้อมูลเข้าสัญญาณ RCD จะกระตุ้น U28A ทำให้เกิดขอบขาขึ้นของสัญญาณ RCE ขึ้นอีนาเบิลชิพ CODEC และขอบขาลงต่อมาของ RDC ข้อมูลบิทแรกบน RDD จะถูกเลื่อนเข้าภายในชิพ หลังจากนี้ขอบขาขึ้นและขอบขาลงของสัญญาณนาฬิกาลูกต่อ ๆ มาของ RDC จะเป็นการเลื่อนข้อมูลบิทต่อไปออกจาก U26 และเลื่อนเข้าสู่ภายในชิพตามลำดับ จนกระทั่งครบ 8 บิท ซึ่งหลังจากนี้ชิพ CODEC จะไม่สนใจกับข้อมูลบน RDD แต่จะดำเนินการถอดรหัสข้อมูลที่เพิ่งได้รับเข้าไป จนกว่าจะได้รับสัญญาณ RCE ลูกใหม่จึงจะมีการเลื่อนข้อมูลชุดใหม่ ไดอะแกรมเวลาของส่วนนี้แสดงดังรูปที่ 3.11



รูปที่ 3.10 แสดงไดอะแกรมส่วนถอดรหัสข้อมูลเสียง

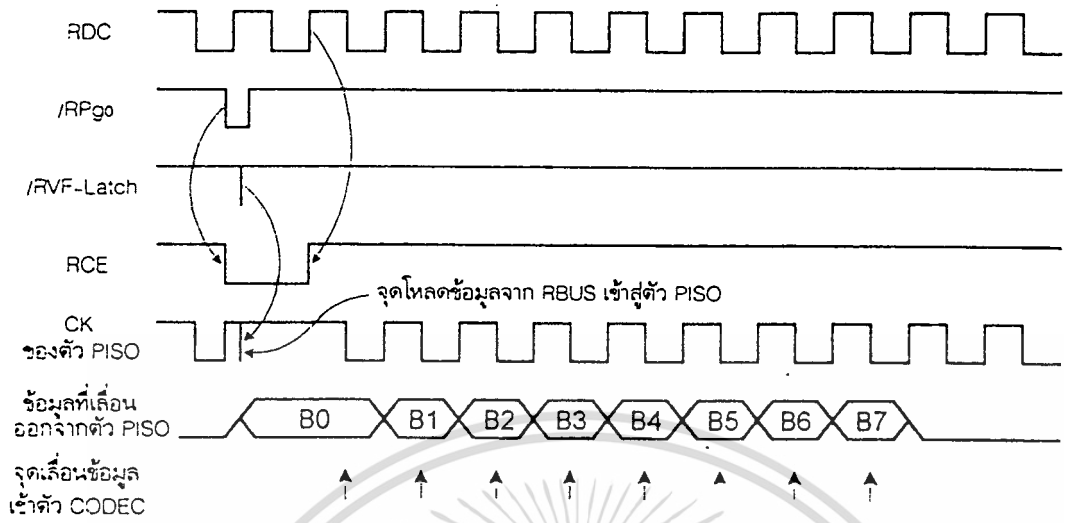
3.2.5 ส่วนควบคุมและประมวลผลข้อมูลภาพ

ส่วนควบคุมและประมวลผลข้อมูลภาพแสดงด้วยไดอะแกรมในรูปที่ 3.12 ซึ่งประกอบด้วยหลายส่วน คือ

1. ส่วนนับแอดเดรสชุดล่าง (U34 U35) ทำหน้าที่ในการกำเนิดแอดเดรส STA0 - STA7 ซึ่งเป็นตำแหน่งที่ใช้สำหรับเก็บข้อมูลจุดภาพในแต่ละเส้นกวาดโดยใช้ R - Cntr ซึ่งกำเนิดมาจากส่วนดีมัลติเพล็กซ์ข้อมูลเป็นพัลซ์สำหรับนับแอดเดรสและในทุก ๆ 1 เฟรมข้อมูลตัวนับนี้จะถูกเคลียร์ด้วยพัลซ์ /FAW - CHK.P

2. ส่วนสวิทซ์เพจภาพ ประกอบด้วย U31 - U33 ทำหน้าที่ตรวจสอบว่าข้อมูลภาพที่รับอยู่ครบแล้วหรือยัง ถ้าครบแล้วจะทำการสวิทซ์หน่วยความจำภาพที่ตำแหน่งสัญญาณซิงค์แนวตั้งตัวต่อไปโดยสัญญาณที่ใช้ในการสวิทซ์หน่วยความจำคือ PSW (Page - Switch)

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ไดอะแกรมการทำงานของส่วนถอดรหัสข้อมูลภาพ

3. ตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A Converter) ประกอบด้วย U63 , U64 และ U65 ทำหน้าที่แปลงข้อมูลภาพที่อ่านมาจากหน่วยความจำให้เป็นสัญญาณอนาลอก เพื่อนำไปผสมกับสัญญาณซิงค์ในการกำเนิดสัญญาณภาพใหม่

4. ส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ ทำหน้าที่กำเนิดแอดเดรสหน่วยความจำภาพซึ่งเป็นแอดเดรสสำหรับการอ่านข้อมูลภาพออกและนำสัญญาณอนาลอกที่แปลงได้มาทำการผสมกับสัญญาณซิงค์ซึ่งมาจากส่วนกำเนิดสัญญาณซิงค์ภาพเพื่อสร้างสัญญาณใหม่ สามารถนำไปต่อเข้ากับทีวีมอนิเตอร์ทั่วไปได้

5. ส่วนกำเนิดสัญญาณซิงค์ภาพ (PAL Sync Gen) U60 , U61 และ U62 ทำหน้าที่กำเนิดสัญญาณซิงค์ตามมาตรฐาน PAL โดยแพทเทอร์นของสัญญาณต่าง ๆ จะถูกโปรแกรมไว้แล้วในหน่วยความจำ EPROM

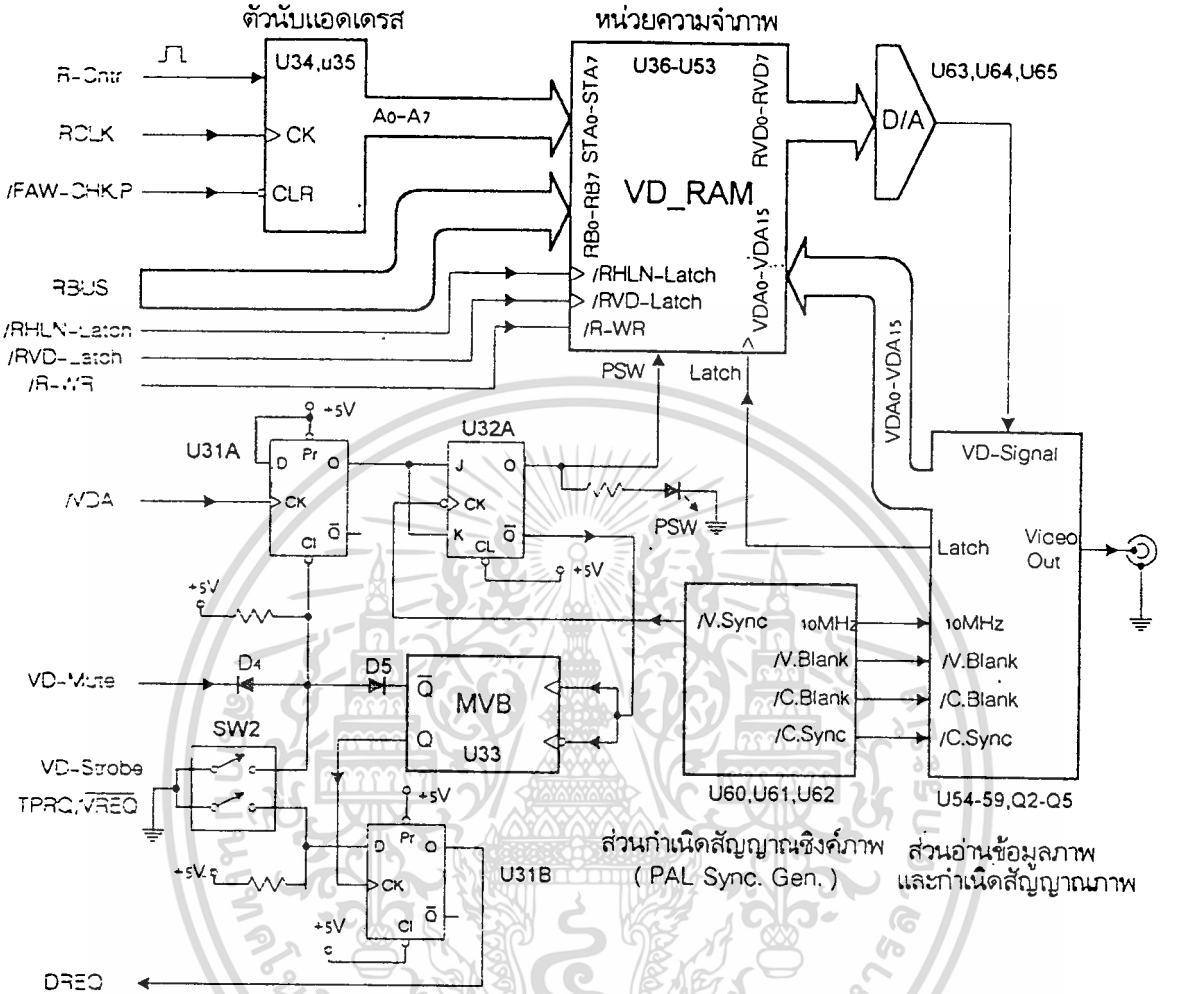
6. หน่วยความจำภาพ (Video RAM) ภายในประกอบด้วยหน่วยความจำเป็นข้อมูลภาพ 2 ชุด ขนาดชุดละ 64 Kbytes คือ RAM1 และ RAM2 โดยในขณะเวลาใด ๆ ชุดหนึ่งจะทำหน้าที่เก็บข้อมูลภาพและอีกชุดหนึ่งถูกอ่านข้อมูลไปแสดงบนจอภาพ การสวิทช์เพื่อสลับหน้าที่ของหน่วยความจำทั้ง 2 ชุดนี้จะถูกควบคุมด้วยสัญญาณ PSW นอกจากนี้บัฟเฟอร์ RVD - BUF และ RHLN - BUF ซึ่งทำหน้าที่แลทช์ข้อมูลของมันบน RBUS ก็ยังรวมไว้ในส่วนนี้อีกด้วย

การทำงานจะเริ่มจากส่วนสวิทช์เพจภาพ จากวงจรในรูปที่ 3.12 จะสังเกตุเห็นว่า U32A ต่อวงจรในลักษณะของท็อกเกิล (Toggle) คือเอาท์พุท Q จะถูกเปลี่ยนระดับโลจิกไปอีกระดับหนึ่งทุกครั้งที่มีพัลซ์มากระตุ้นที่ขา CK ซึ่งในที่นี้คือ สัญญาณซิงค์แนวตั้ง แต่การสวิทช์จะเกิดขึ้นได้เมื่อขา J และ K มีโลจิกเป็น 1 เท่านั้นซึ่งจะเห็นว่าถูกควบคุมด้วยสัญญาณ /VDA ผ่านมาทาง U31A ส่วนU33 ทำหน้าที่สร้างพัลซ์มาเคลียร์ U31A ทุกครั้งที่มีการสวิทช์เพจภาพ

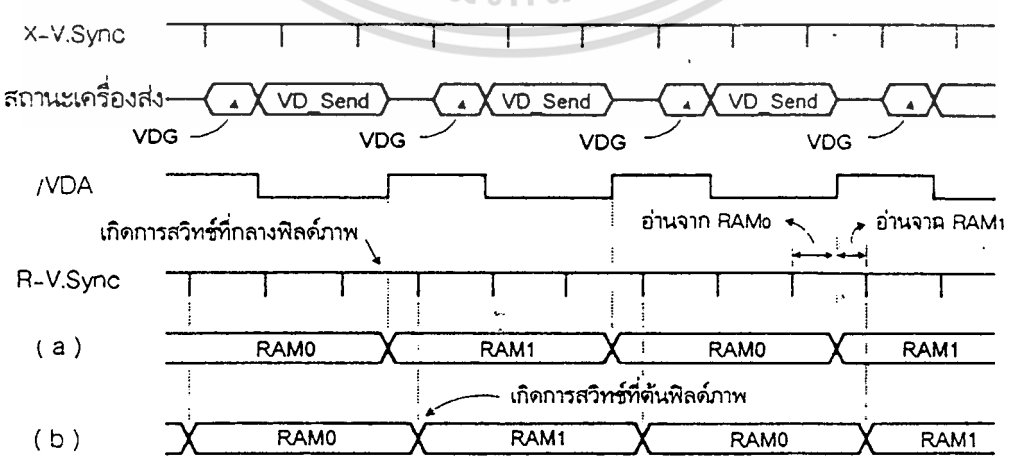
เมื่อสัญญาณ /VDA มีการเปลี่ยนระดับโลจิกจาก 0 เป็น 1 (ซึ่งหมายถึงข้อมูลชุดสุดท้ายของเพจภาพได้ถูกเก็บเรียบร้อยแล้ว) U31A จะถูกกระตุ้นทำให้ J และ K ของ U32A ถูกเซ็ตเป็น 1 ณ จุดนี้หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในสภาพพร้อมที่จะสวิทช์ เมื่อเกิดสัญญาณซิงค์แนวตั้งขึ้น U32A ซึ่งอยู่ในสภาพท็อกเกิลจึงถูกกระตุ้นเกิดการสวิทช์สัญญาณ PSW ซึ่งเป็นการสวิทช์หน่วยความจำด้วยเช่นกัน ทันทีที่มีการสวิทช์เพจภาพ U33 จะถูก



รูปที่ 3.12 ไดอะแกรมสถานะของส่วนประมวลผลข้อมูลภาพ



* X-V.Sync และ R-V.Sync คือ V.Sync ที่กำเนิดขึ้นทางเครื่องส่งและเครื่องรับตามลำดับ

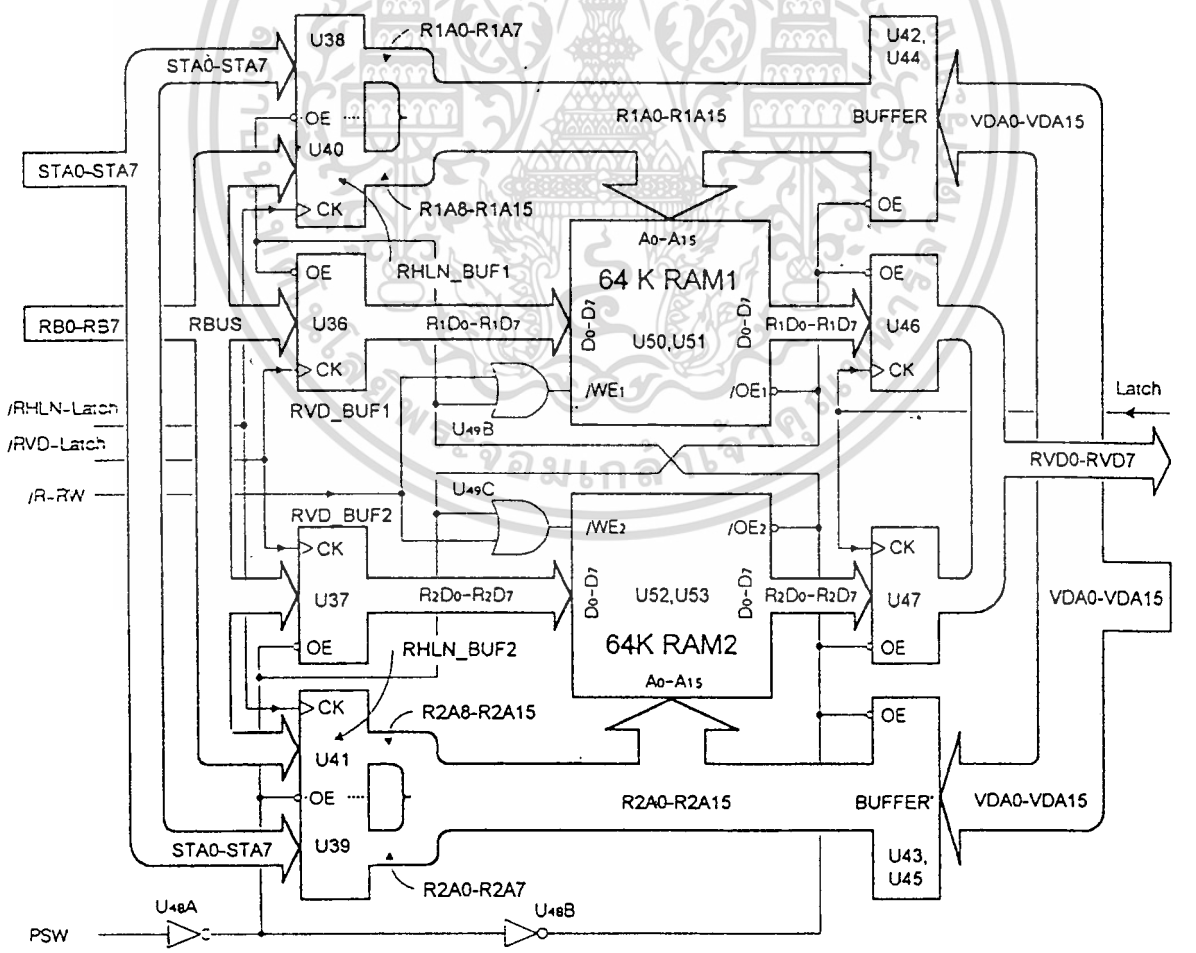
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 ไดอะแกรมเวลาแสดงการสวิทช์เพจภาพ

กระตุ้นและกำเนิดพัลซ์ผ่าน D5 ไปเคลียร์ U31A เพื่อการสวิทช์ครั้งต่อไป การควบคุมให้การสวิทช์เพจภาพเกิดขึ้นพร้อมกับสัญญาณซิงค์แนวตั้ง ซึ่งเป็นต้นเฟรมภาพนั้นก็เพื่อไม่ให้เกิดอาการในลักษณะที่ภาพปรากฏบนจอภาพถูกแบ่งเป็น 2 ส่วน โดยแต่ละส่วนถูกอ่านจากหน่วยความจำภาพคนละตัวกันเป็นผลให้พื้นที่ภาพทั้ง 2 ส่วนนี้ปรากฏภาพหรือเหตุการณ์ที่เกิดกันคนละเวลา ภาพที่ได้จึงต่อเนื่อง สาเหตุเนื่องจากการสวิทช์เพจภาพที่ไม่ซิงโครไนซ์กับสัญญาณซิงค์แนวตั้งนั้นจะมีโอกาสสูงมากที่สวิทช์เพจภาพเกิดขึ้น ในขณะเวลาที่เป็นบริเวณกลางเฟรมภาพซึ่งเป็นเวลาที่การกวาดเส้นบนจอภาพยังไม่ครบฟิลด์ เมื่อมีการสวิทช์เกิดขึ้นเส้นกวาดที่เหลือจึงเป็นภาพของเหตุการณ์ใหม่ ซึ่งแสดงได้ด้วยไดอะแกรมเวลาในรูปที่ 3.13

3.2.5.1 หน่วยความจำภาพ (Video RAM)

หน่วยความจำที่ใช้ภายในประกอบด้วยหน่วยความจำขนาด 64 Kbytes จำนวน 2 ชุด คือ RAM1 และ RAM2 ไดอะแกรมแสดงในรูปที่ 3.14 จากสัญญาณที่เข้ามาทางด้านซ้ายเป็นสัญญาณที่เข้ามาติดต่อ เพื่อการเขียนหน่วยความจำ ประกอบด้วยสัญญาณเขียนหน่วยความจำ /R-WR แอดเดรส STA0 - STA7 และ STA8 - STA15 ซึ่งแลทช์ข้อมูลจาก RBUS เข้าสู่ RHLN - BUF ด้วยสัญญาณ /RHLN - Latch เมื่อผ่านบัฟเฟอร์แล้วจะมี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

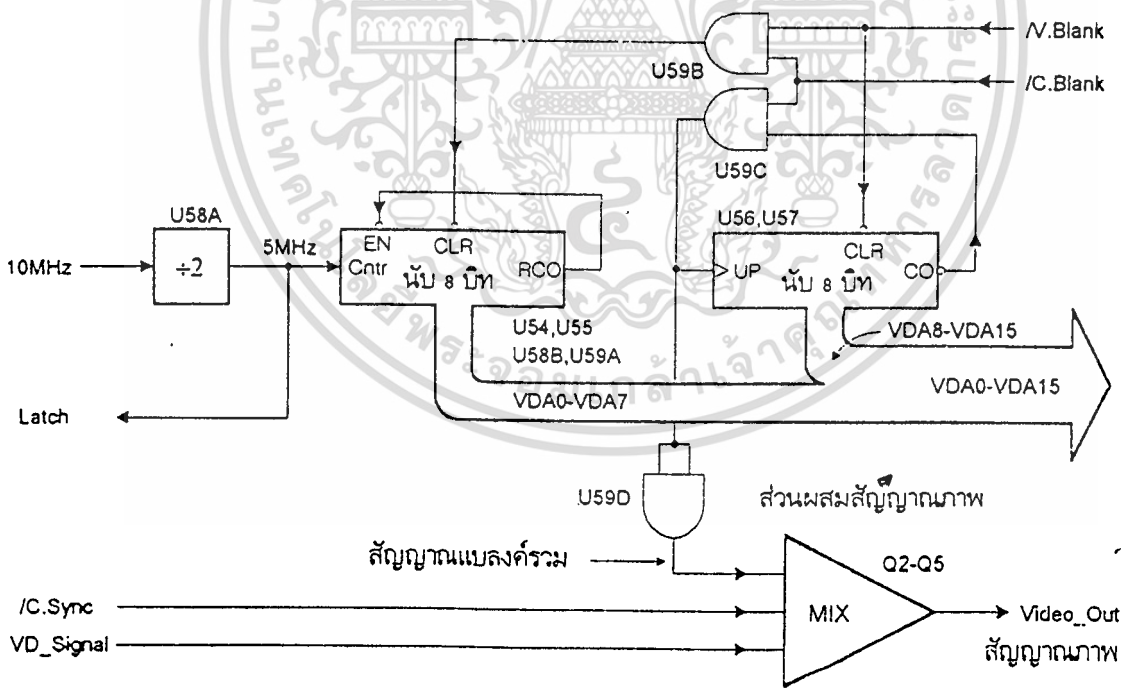
รูปที่ 3.14 แสดงไดอะแกรมของระบบหน่วยความจำภาพ

ชื่อสัญญาณเป็น R1A0 - R1A15 สำหรับ RAM1 และ R2A0 - R2A15 สำหรับ RAM2 และบัสข้อมูลภาพซึ่งแลทช์ข้อมูลจาก RBUS เข้าสู่บัฟเฟอร์ RVD-BUF ด้วยสัญญาณแลทช์ /RVD - Latch ใช้ชื่อสัญญาณเป็น R1D0 - R1D7 สำหรับ RAM1 และ R2D0 - R2D7 สำหรับ RAM2 ส่วนสัญญาณที่เข้ามาทางด้านขวาเป็นสัญญาณที่เข้ามาติดต่อเพื่อการอ่านข้อมูลหน่วยความจำประกอบด้วยแอดเดรสสำหรับการอ่านหน่วยความจำ VDA0 - VDA15 และข้อมูลจากหน่วยความจำ RVD0 - RVD7 รวมถึงสัญญาณแลทช์ข้อมูลหน่วยความจำ

การควบคุมหน่วยความจำจะทำในลักษณะที่ในขณะเวลาใด ๆ หน่วยความจำชุดหนึ่งจะถูกอ่านและอีกชุดหนึ่งจะถูกเขียน ส่วนการที่หน่วยความจำชุดไหนจะถูกอ่านหรือเขียนนั้นจะขึ้นอยู่กับสัญญาณสวิทช์เพจภาพ โดยเมื่อ PSW มีโลจิกเป็น 0 จะทำให้ U36 , U38 , U40 , U45 , U47 ถูกอินาเบิลเป็นผลให้ RAM1 สามารถถูกเขียนได้เพียงอย่างเดียว และ RAM 2 สามารถถูกอ่านได้เพียงอย่างเดียว และเมื่อ PSW มีโลจิกเป็น 1 สภาพการจะกลับกันคือ RAM1 สามารถถูกอ่านได้เพียงอย่างเดียว และ RAM2 สามารถถูกเขียนได้เพียงอย่างเดียว

3.2.5.2 ส่วนการอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ

ไดอะแกรมของส่วนนี้แสดงดังรูปที่ 3.15 ในส่วนนี้จะประกอบด้วย ส่วนนับแอดเดรสซึ่งแบ่งเป็น 2 ส่วน คือ ตัวนับแอดเดรสสำหรับข้อมูลจุดภาพในแต่ละเส้นกวาด (VDA0 - VDA7) และตัวนับแอดเดรสสำหรับระบุเส้นกวาดแนวนอน (VDA8 - VDA15) และส่วนผสมสัญญาณภาพ



รูปที่ 3.15 ไดอะแกรมแสดงส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ

การทำงานของตัวนับแอดเดรส VDA0 - VDA7 จะใช้ความถี่ในการนับ 5 MHz (เนื่องจากเป็นความถี่ที่ใช้ในการสุ่มสัญญาณของตัวดิจิไทซ์สัญญาณภาพ) ซึ่งได้จากการหารความถี่อ้างอิง 10 MHz จากส่วนกำเนิดสัญญาณซิงค์ภาพ ด้วย 2 ดังนั้นอัตราการอ่านและแลทช์ข้อมูลภาพออกจึงเป็น 5 MHz ด้วยจึงใช้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Latch (สำหรับ U46 และ U47) ด้วยเช่นกัน ตัวนับนี้จะเป็นตัวนับแบบที่นับเต็มแล้วจะหยุดและจะเริ่มต้นนับใหม่เมื่อมีสัญญาณแบลงค์รวมมาเคลียร์ หมายความว่าแอดเดรส VDA0 - VDA7 จะนับแอดเดรสจากสัญญาณแบลงค์รวม ซึ่งใช้ในฐานะของสัญญาณแบลงกิ้งแนวนอนเพื่อนับจำนวนเส้นกวาดแนวนอน และตัวนับทั้งสองจะถูกเคลียร์ด้วยสัญญาณแบลงกิ้งค์แนวตั้งซึ่งเป็นการเริ่มต้นอ่านข้อมูลภาพเพื่อเริ่มกวาดภาพใหม่ จากที่กล่าวมาตัวนับทั้งสองจะนับไปเรื่อยจนกระทั่งตัวนับ VDA8 -VDA15 นับถึงเส้นกวาดสุดท้ายจะเกิดสัญญาณ CO มาปิดเกท U59C การนับจึงหยุดลง การนับจะเริ่มต้นใหม่เมื่อเกิดสัญญาณแบลงกิ้งแนวตั้งมาเคลียร์ตัวนับทั้งสอง

ในขณะที่ตัวนับกำลังนับแอดเดรสอยู่นั้น ข้อมูลจากหน่วยความจำในตำแหน่งที่สมนัยกับแอดเดรสที่นับจะถูกแปลงเป็นสัญญาณอนาลอก VD - Signal โดย D/A Converter มาทำการผสมกับสัญญาณแบลงค์รวมซึ่งผ่านมาทาง U59 , U59D และสัญญาณซิงค์รวม ผลที่ได้คือ สัญญาณภาพซึ่งสามารถต่อเข้ากับทีวีมอนิเตอร์โดยตรง

3.2.6 ส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

ส่วนแยกสัญญาณนาฬิกาถือเป็นส่วนหนึ่งของระบบที่มีความสำคัญมาก มีหน้าที่ในการนำข้อมูลเชิงเวลาของขบวนข้อมูลที่รับได้ไปสร้างสัญญาณนาฬิกาที่มีเสถียรภาพและซิงโครไนซ์กับขบวนข้อมูลที่รับได้ เพื่อใช้ในการอไลเมนต์เฟรมข้อมูลและการดีมัลติเพล็กซ์ข้อมูล ซึ่งจะเห็นได้ว่าถ้าสัญญาณนาฬิกาที่ได้ไม่มีเสถียรภาพแล้วระบบการอไลเมนต์เฟรมย่อมไม่สามารถที่จะทำงานได้ ดังนั้นกระบวนการดีมัลติเพล็กซ์ข้อมูลย่อมดำเนินไปไม่ได้เช่นกัน ระบบการสื่อสารจึงไม่สามารถดำเนินต่อไปได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

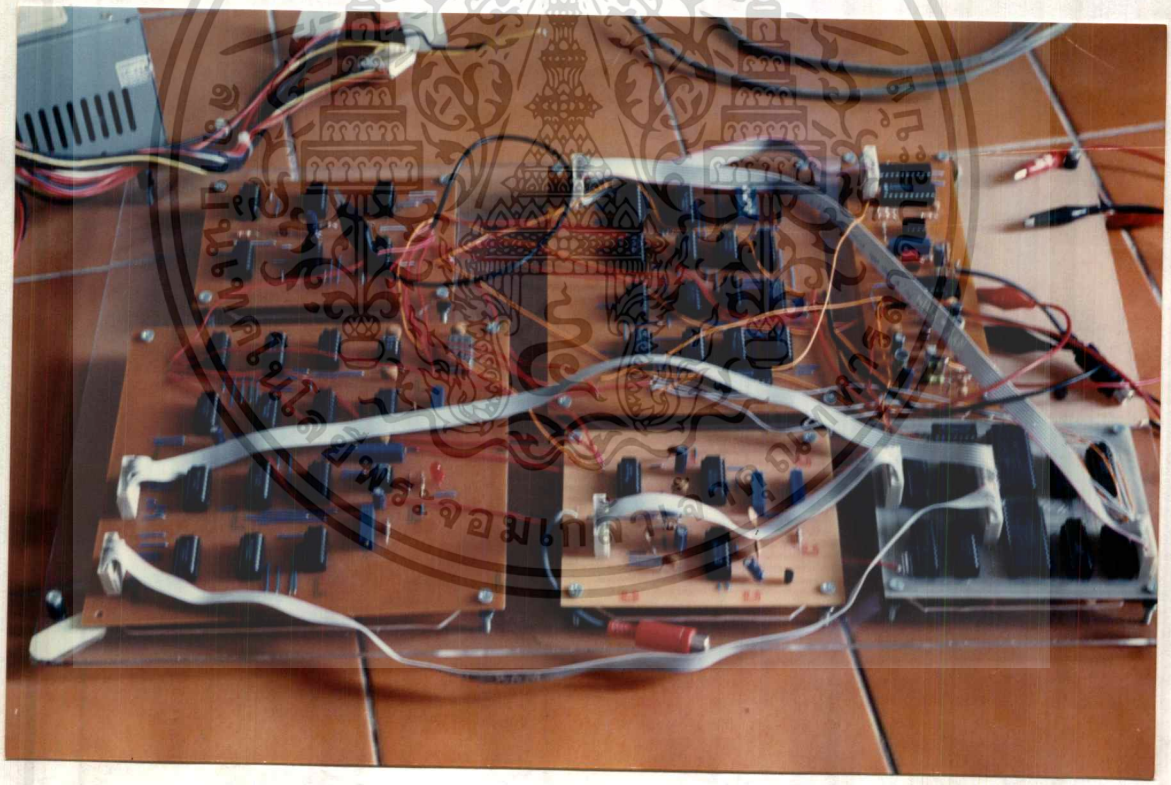
บทที่ 4

การทดลองและผลการทดลอง

ระบบส่งข้อมูล

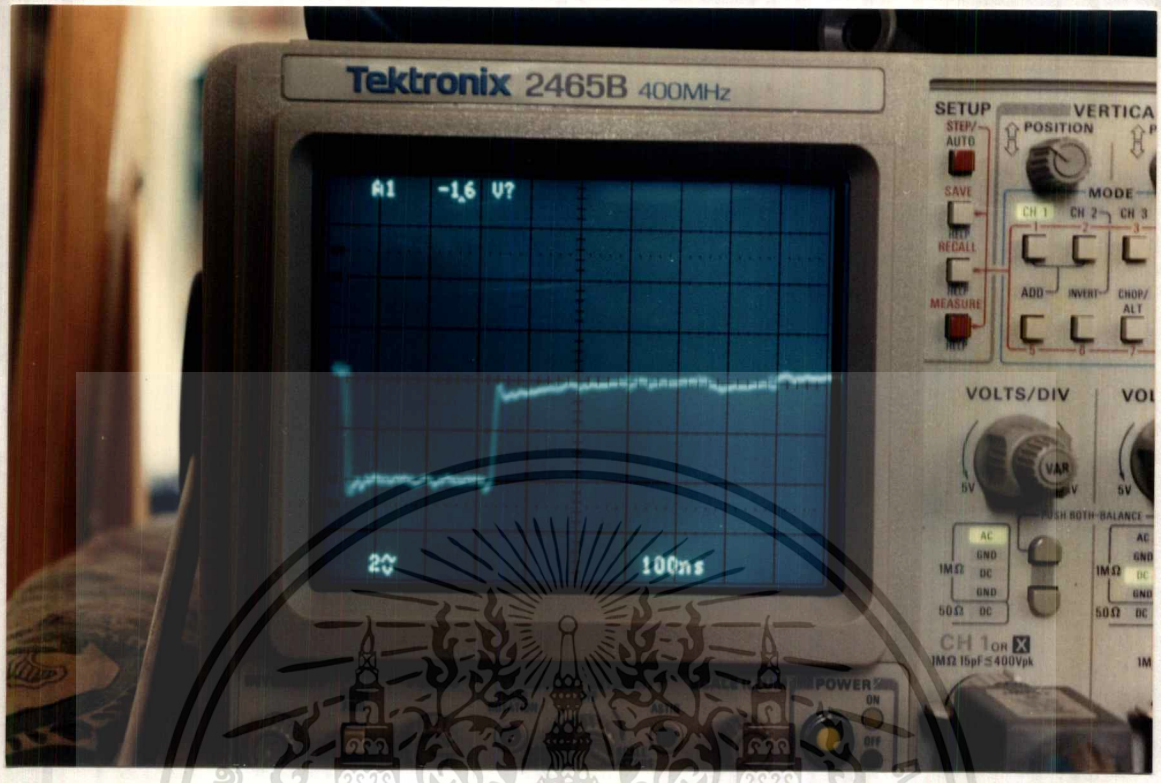
ในการทดลองระบบส่งข้อมูล ทำการป้อนสัญญาณภาพและสัญญาณเสียงให้แก่ชุดส่ง วัดสัญญาณที่จุดต่างๆ โดยแบ่งการวัดออกเป็นส่วนๆ ดังนี้

1. ส่วนมัลติเพล็กซ์ จะเป็นตัวกำเนิดสถานะ และสัญญาณ /XFAW_EN , /XCSW_EN , /XVF_EN, /XRD1 และ / XRD2 ซึ่งสัญญาณเหล่านี้เป็นสัญญาณอีนาเบิลและสัญญาณอ่านข้อมูลจากหน่วยความจำลงสู่บัสข้อมูล โดยจะมีการเปลี่ยนเฟสไปตามรูปแบบของข้อมูล ทีดีเอ็ม ซึ่งได้ทำการวัดสัญญาณเหล่านี้ แสดงดังรูป

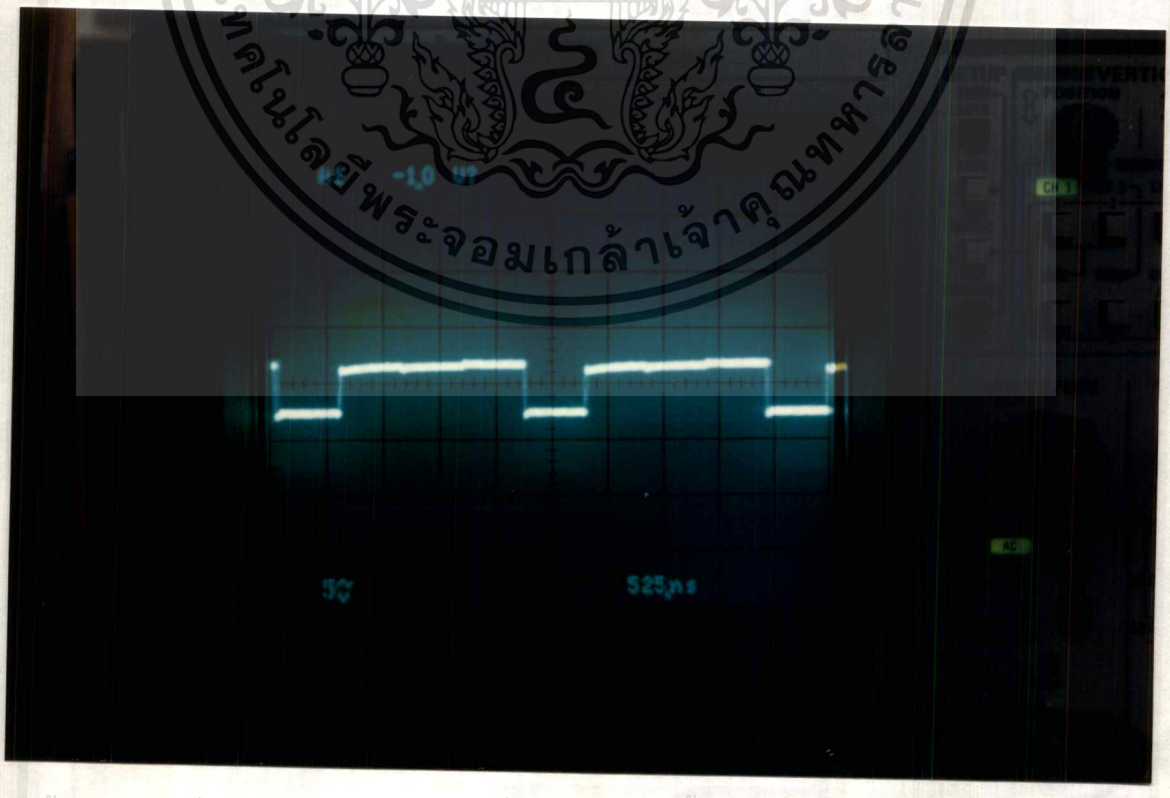


รูปที่ 4.1 รูปบอร์ดชุดส่งที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

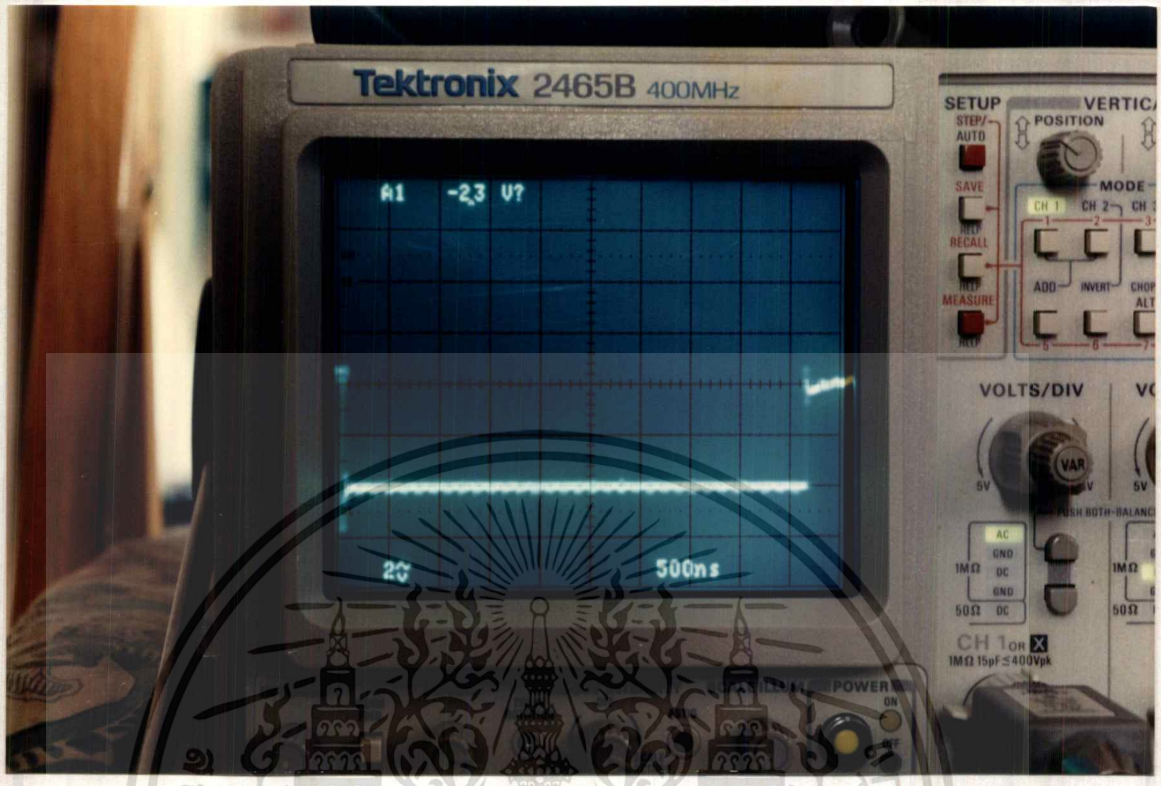


รูปที่ 4.2 สัญญาณ อีนาเบิล

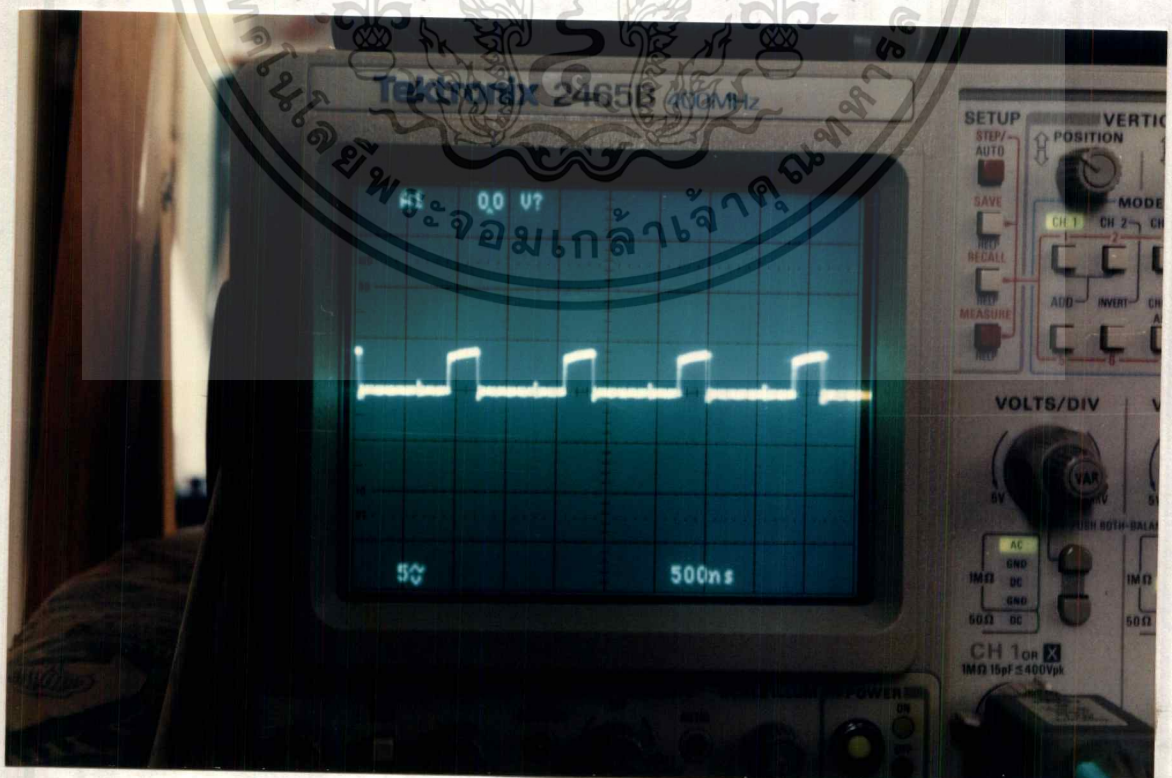


รูปที่ 4.3 สัญญาณ /XRD1 และ /XRD2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

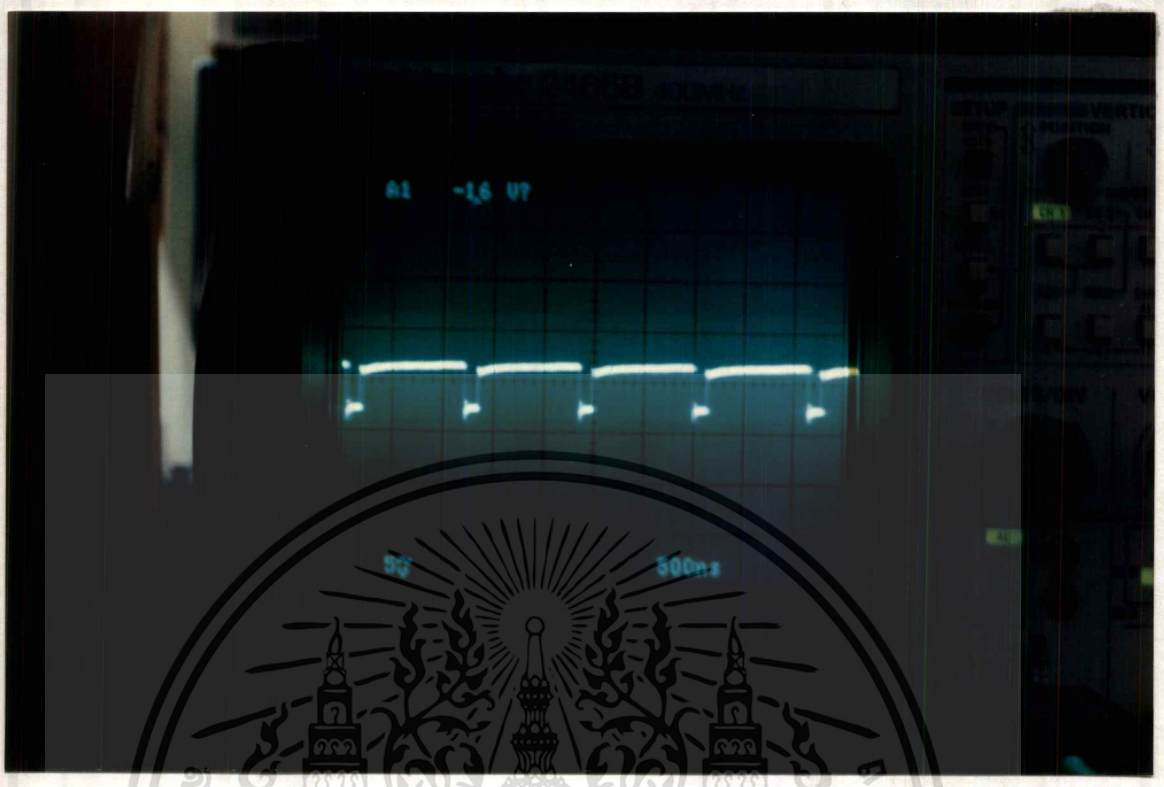


รูปที่ 4.4 สัญญาณ /XPg0

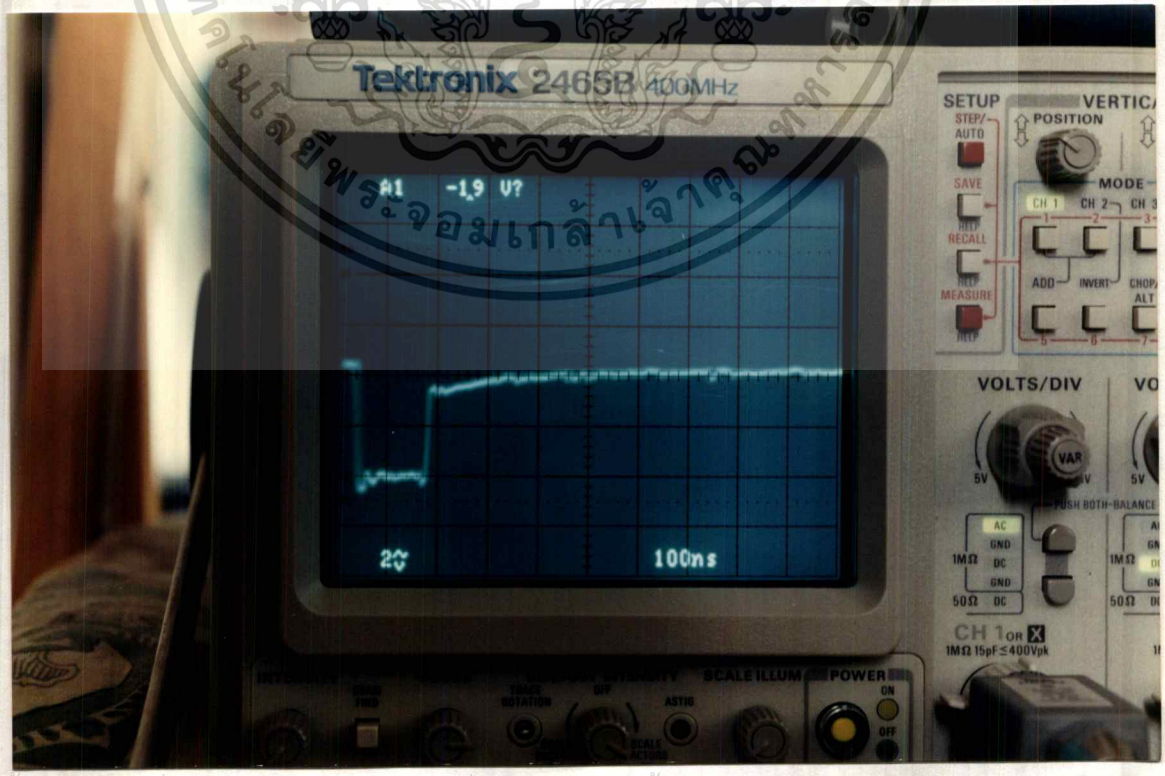


รูปที่ 4.5 สัญญาณ BUF_EN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

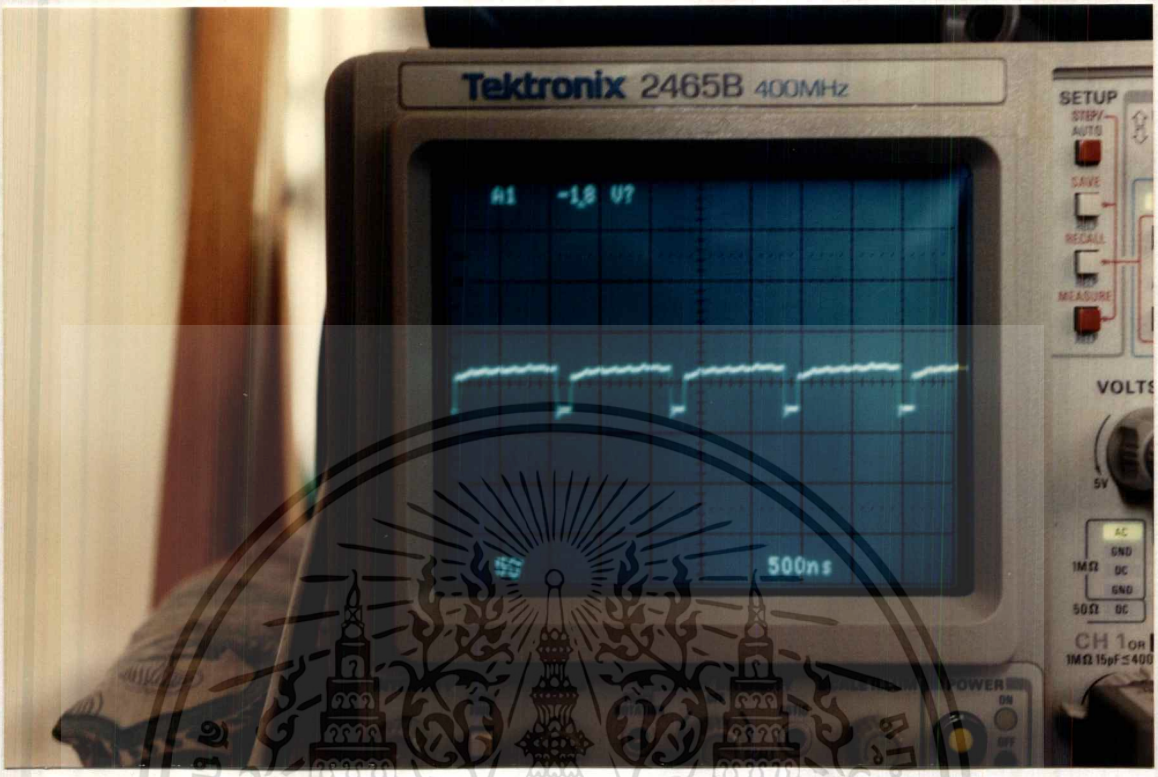


รูปที่ 4.6 สัญญาณ /LOAD

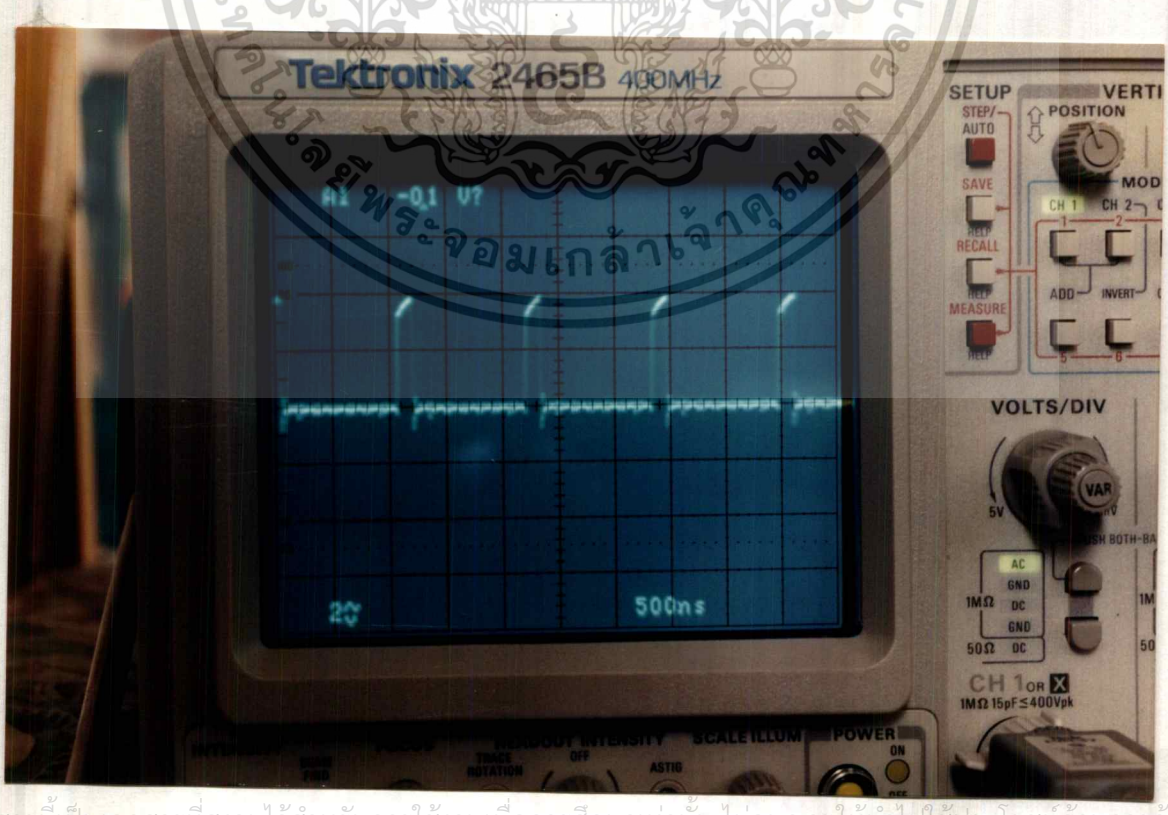


รูปที่ 4.7 สัญญาณ /XCSW_Latch,/XHLN_Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 สัญญาณ /S0,/S3

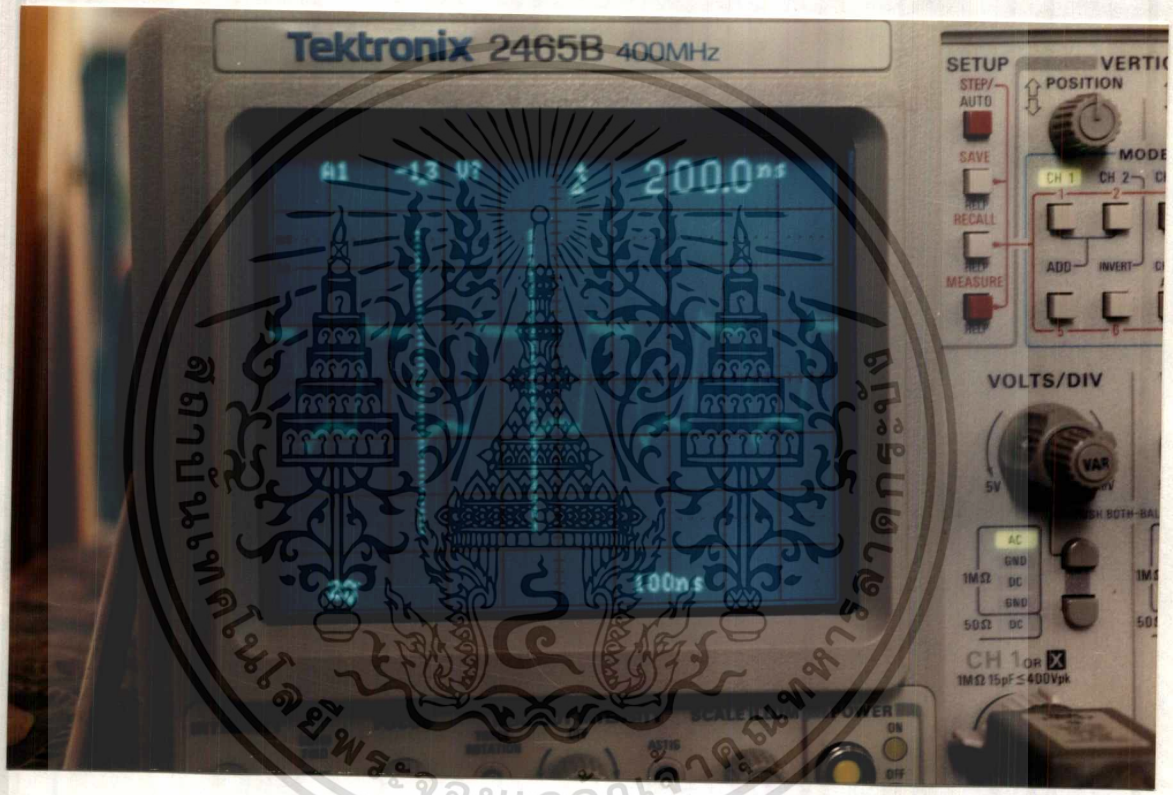


รูปที่ 4.9 สัญญาณ S1,S2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ส่วนของตัวดิจิไทซ์สัญญาณภาพ เป็นตัวกำเนิดสัญญาณต่างๆ ดังนี้

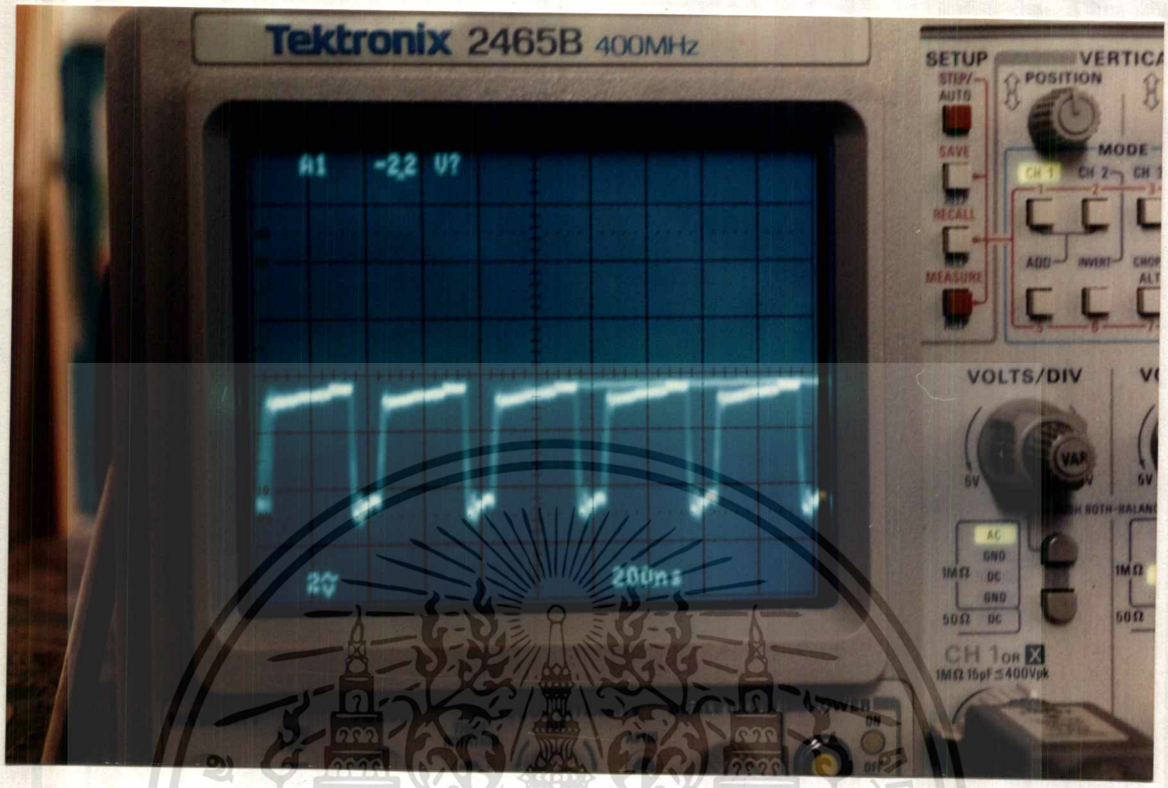
- SCLK (5 MHz) เป็นสัญญาณนาฬิกาที่ใช้ในการสุ่มค่าในส่วนของการแปลงสัญญาณดิจิตอลแบบแฟรช ซึ่งจะทำงานเฉพาะส่วนของสัญญาณลูมิแนนน์เท่านั้น
- SHIFT (5MHz) เป็นสัญญาณที่ส่งให้ส่วนของหน่วยความจำภาพ ใช้ในการเลื่อนข้อมูลภาพเพื่อสามารถเก็บข้อมูลภาพในหน่วยความจำที่ไม่ต้องมีความเร็วสูงมากนัก



รูปที่ 4.10 สัญญาณ SCLK (5 MHz) และ ,SHIFT

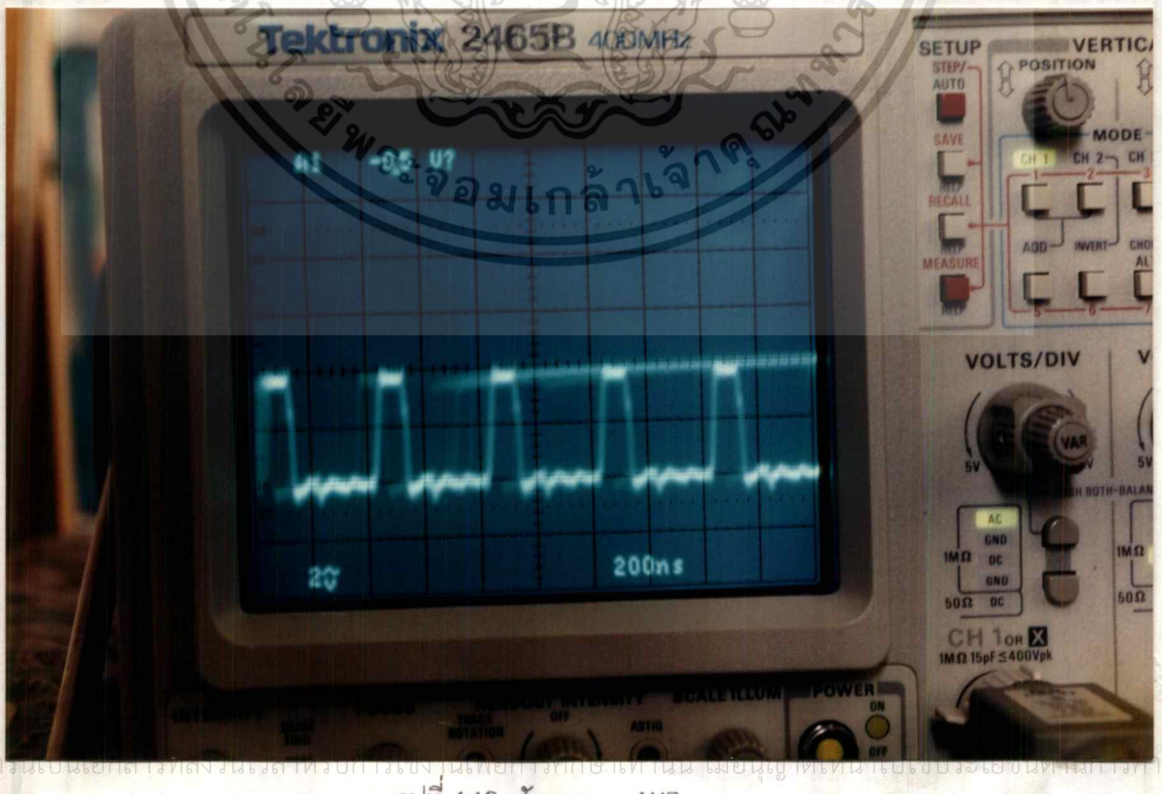
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Latch เป็นสัญญาณที่ใช้ในการแลทช์ข้อมูลภาพก่อนเข้าสู่หน่วยความจำ



รูปที่ 4.11 สัญญาณ Latch

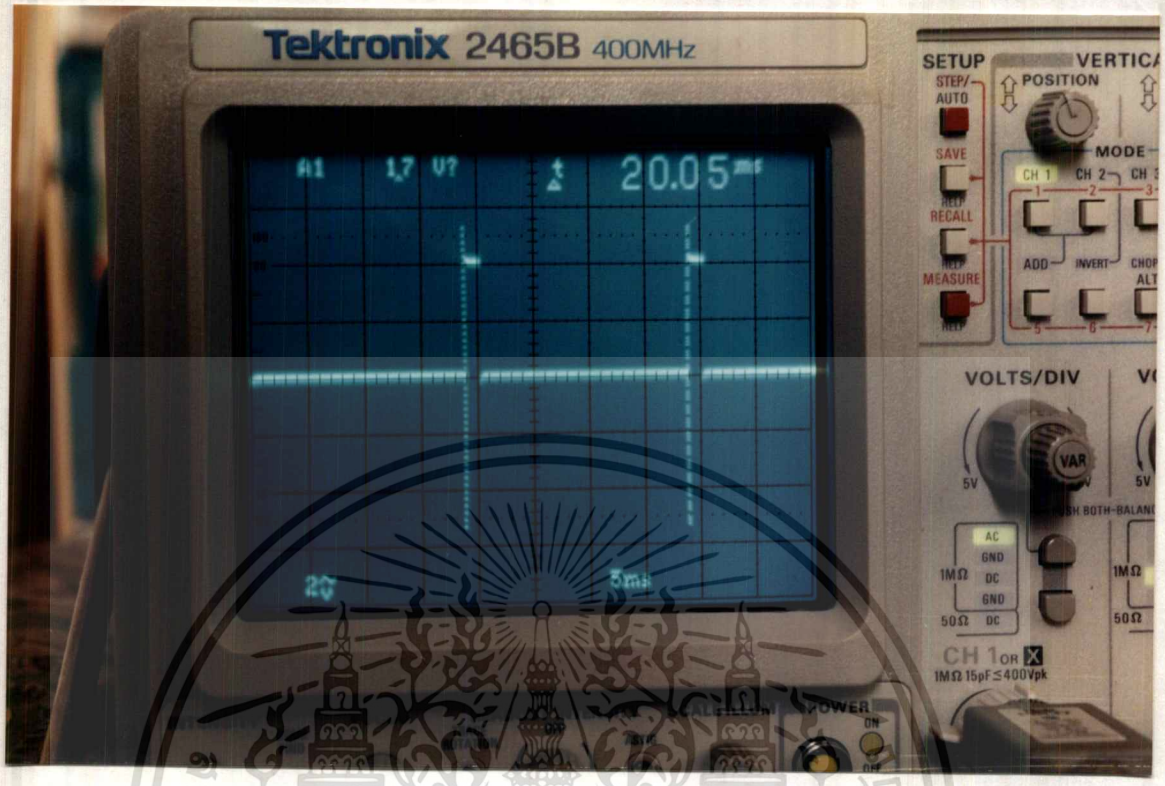
- /WR เป็นสัญญาณที่ใช้ในการเขียนข้อมูลลงหน่วยความจำ



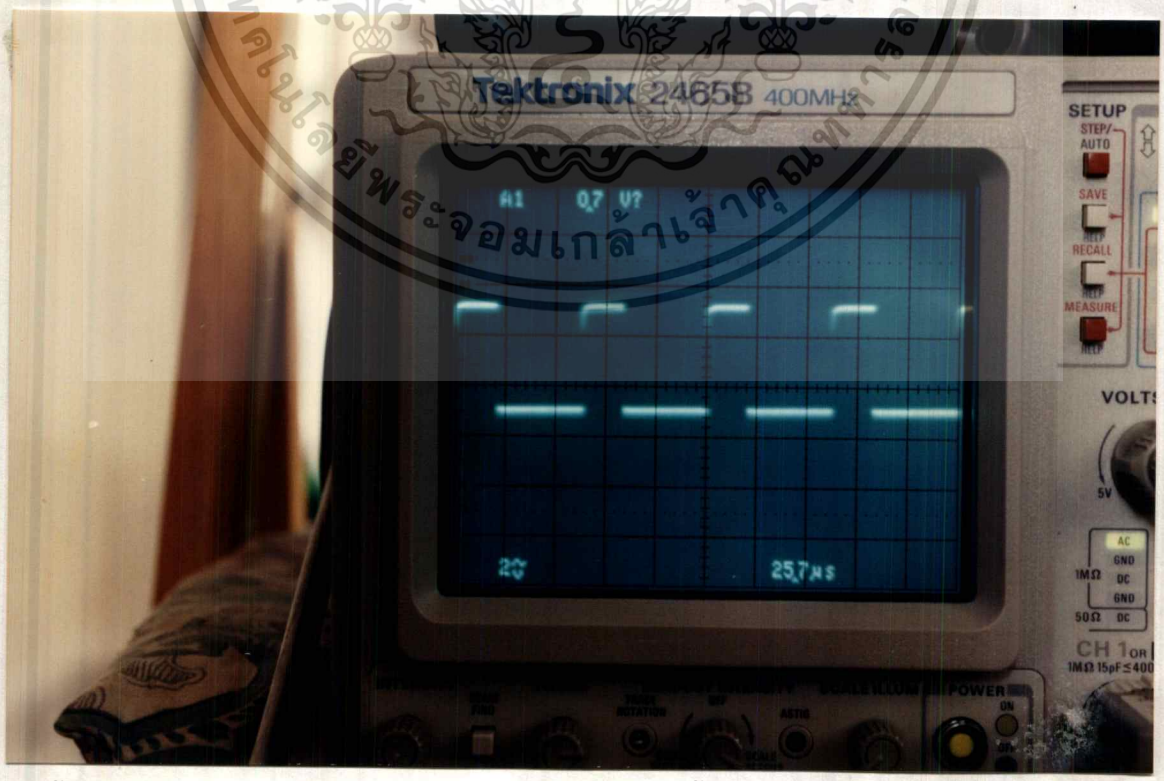
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 4.12 สัญญาณ /WR

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

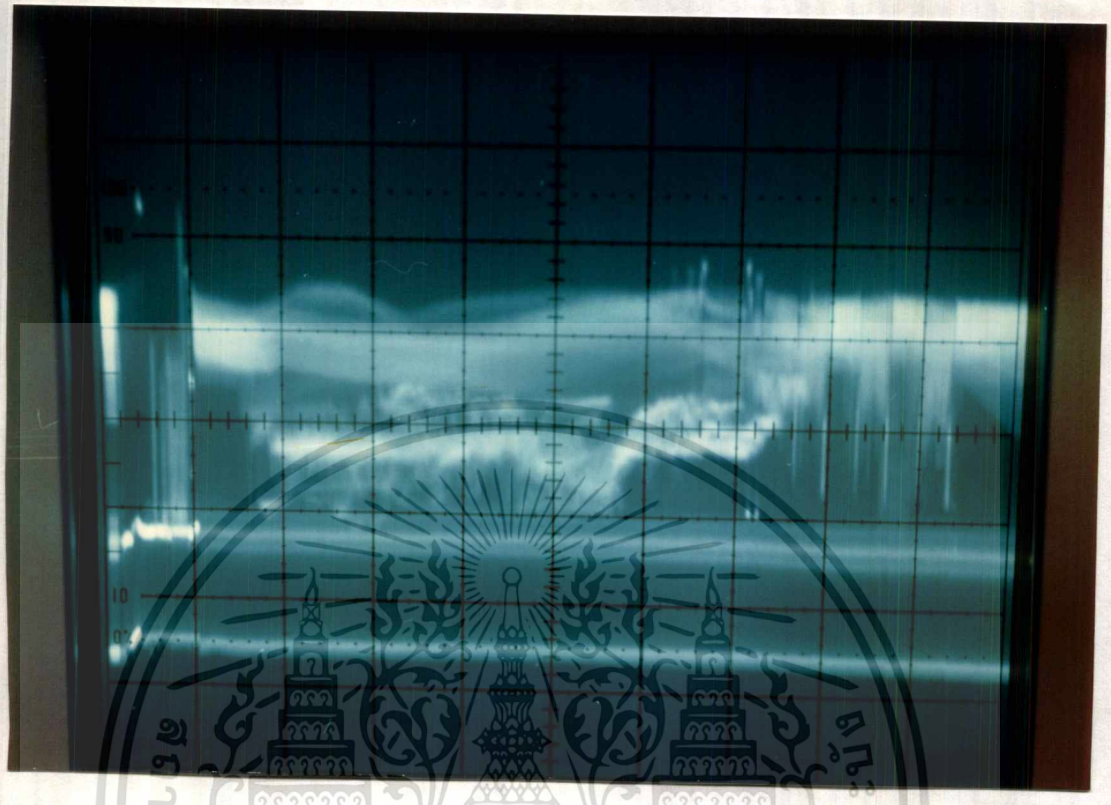


รูปที่ 4.13 สัญญาณ V_BLANK

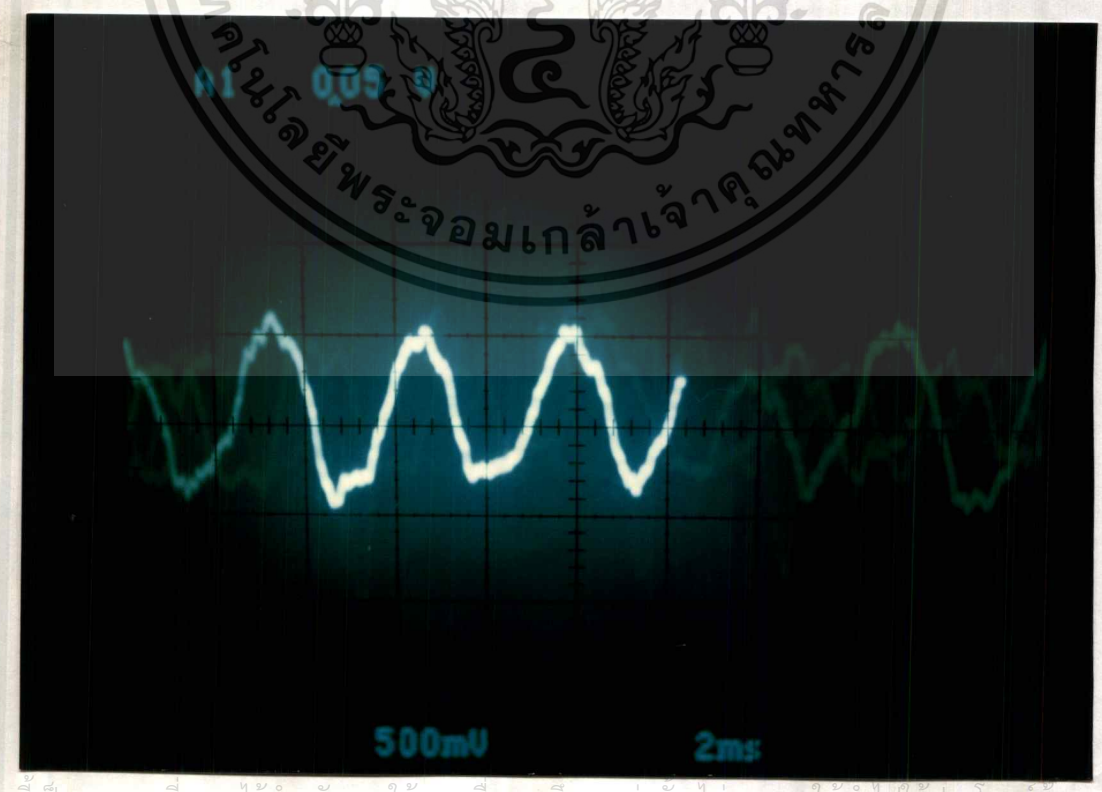


รูปที่ 4.14 สัญญาณ H_BLANK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สัญญาณภาพ



รูปที่ 4.16 สัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

จากผลการทดลองในบทที่ 4 จะเห็นว่าในส่วนของระบบส่งข้อมูลนั้น เราสามารถที่จะวัดสัญญาณควบคุมต่างๆ ออกมาได้ตามการทำงานของวงจร แต่ก็ยังเหลือในระบบรับที่ยังทดลองไม่สำเร็จ โดยจะมีปัญหาเกิดขึ้นที่ส่วนแยกสัญญาณนาฬิกา

ปัญหาที่พบขณะทำการทดลองคือ

1. ระบบที่ทำการทดลองนั้น เป็นฮาร์ดแวร์ทั้งหมดจึงไม่มีความยืดหยุ่นการแก้ไขดัดแปลงทำได้ยาก
2. ระบบใช้อุปกรณ์ค่อนข้างมาก ซึ่งส่วนใหญ่เป็นไอซีประเภท TTL ทำให้ระบบมีการดึงกระแสค่อนข้างสูง
3. ตัวฮาร์ดแวร์มีขนาดใหญ่ การตรวจสอบหาจุดเสียค่อนข้างลำบาก
4. ในส่วนชุดแยกสัญญาณนาฬิกา ไม่สามารถที่จะทำการล็อกความถี่ได้

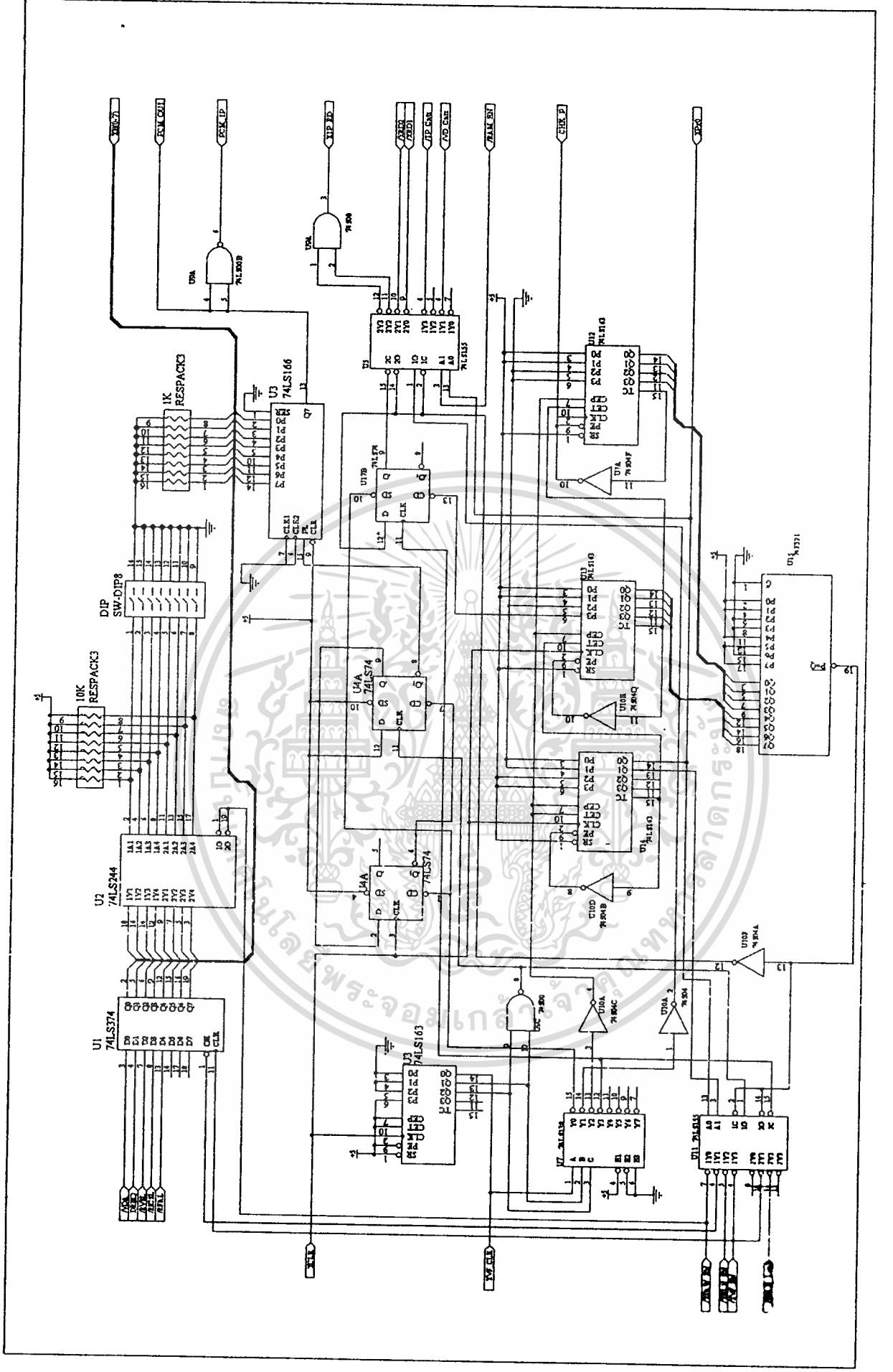
แนวทางในการปรับปรุงและพัฒนา คือ

1. ควรนำไมโครโปรเซสเซอร์ มาใช้ในการควบคุมระบบเพื่อลดจำนวนอุปกรณ์อิเล็กทรอนิกส์ และสามารถแก้ไขปรับปรุงได้ง่าย ขนาดก็เล็กลงด้วย
2. ควรมีส่วนที่ทำหน้าที่ในการตรวจจับและแก้ไขความผิดพลาดของข้อมูลเพื่อให้ข้อมูลที่รับได้ทางด้านรับมีความน่าเชื่อถือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

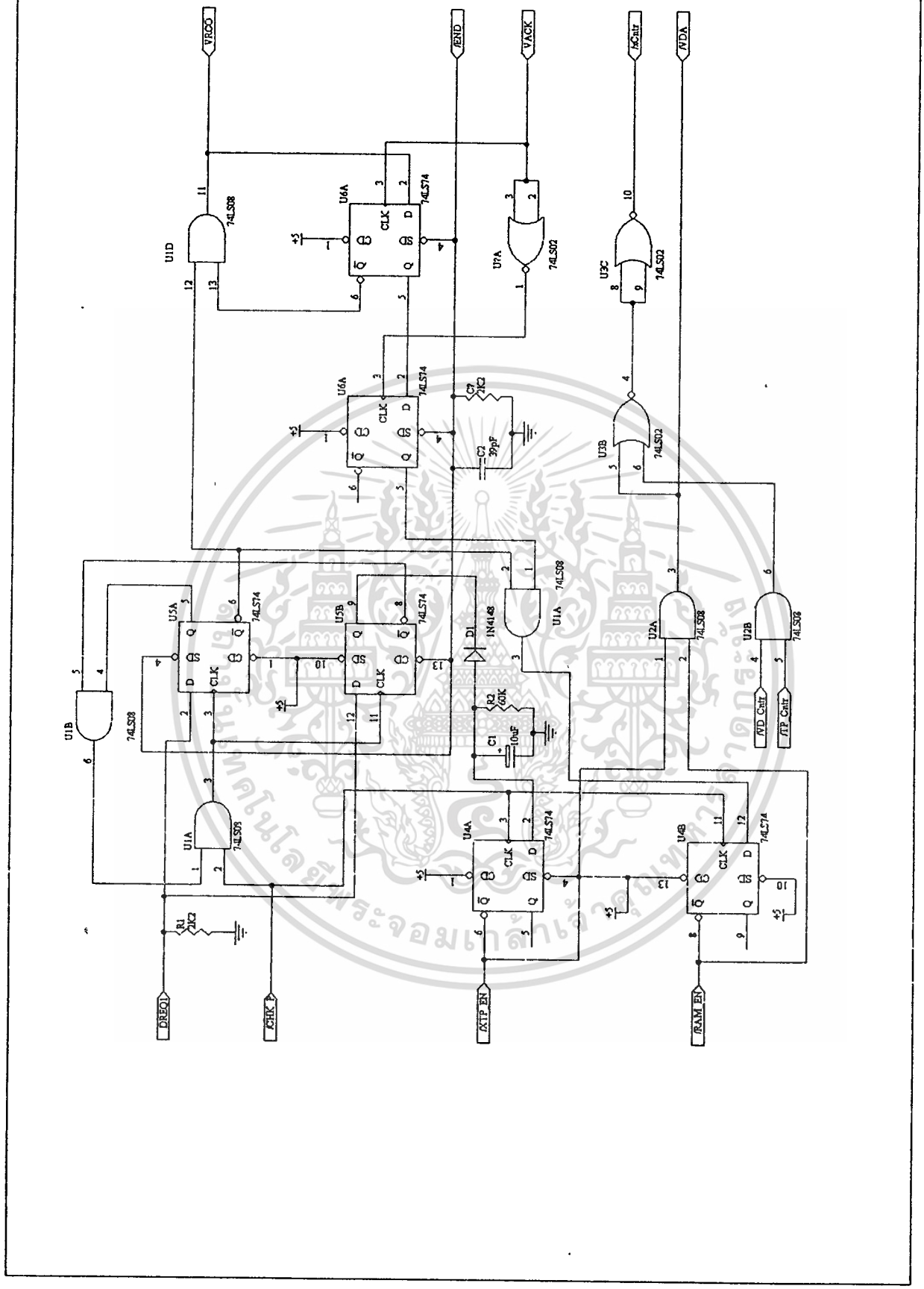
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



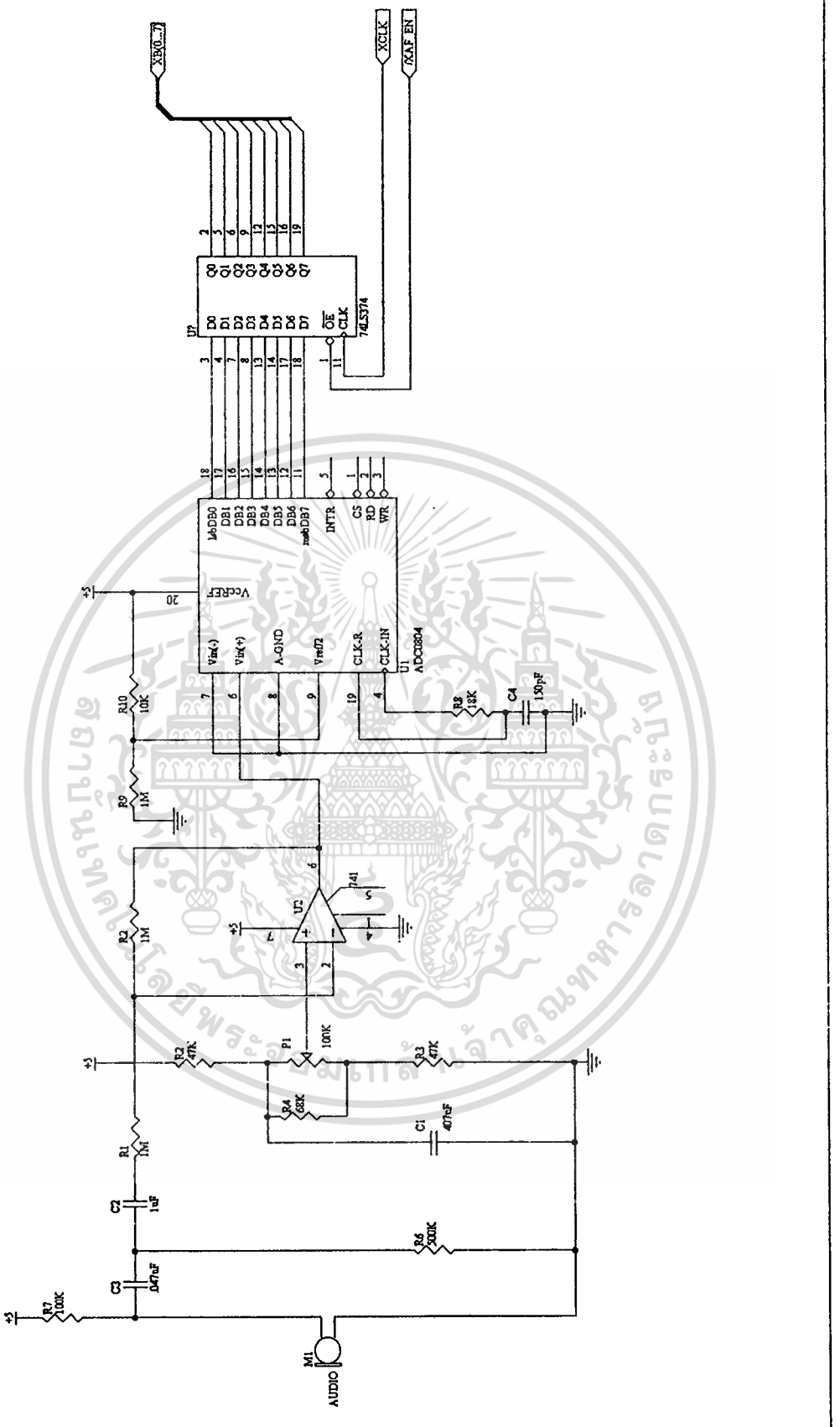
รูปที่ ผ1 แสดงวงจรในส่วนของตัวมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



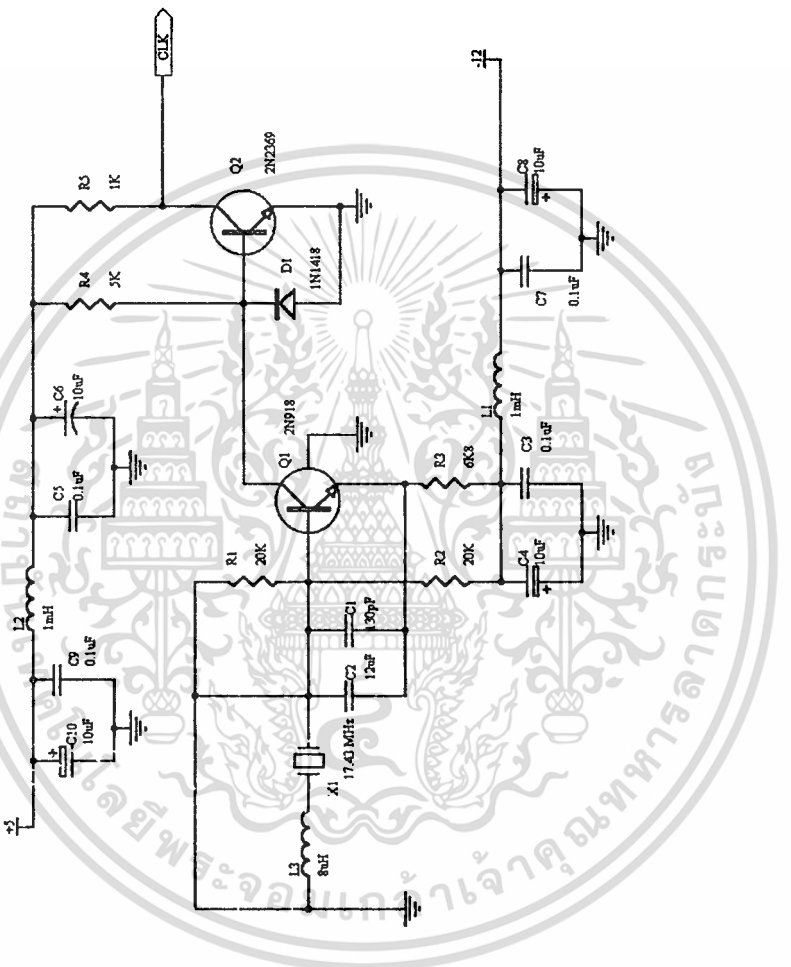
รูปที่ ผ2 แสดงวงจรในส่วนเชื่อมต่อ VDG/MUX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



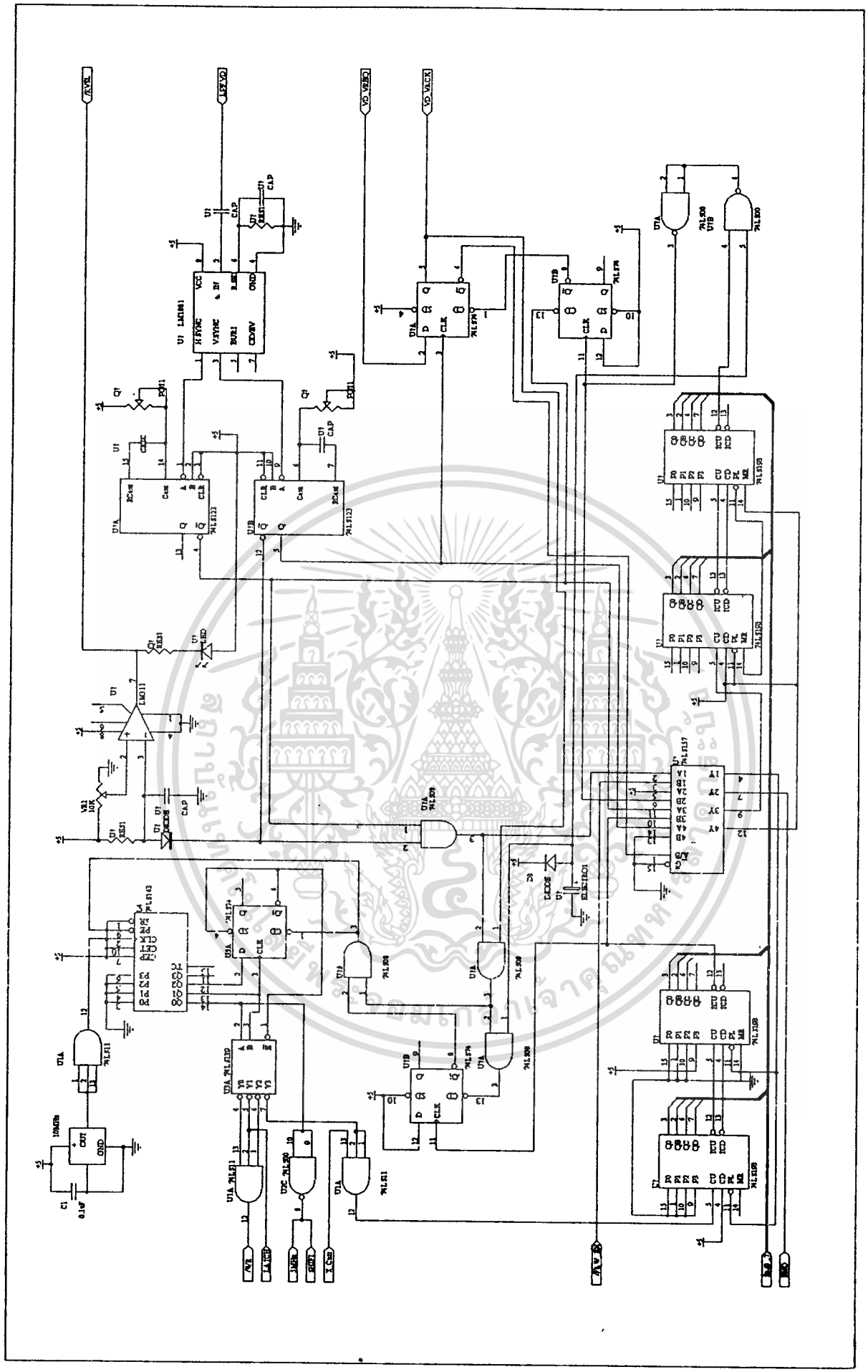
รูปที่ ผ3 แสดงวงจรในส่วนเข้ารหัสข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



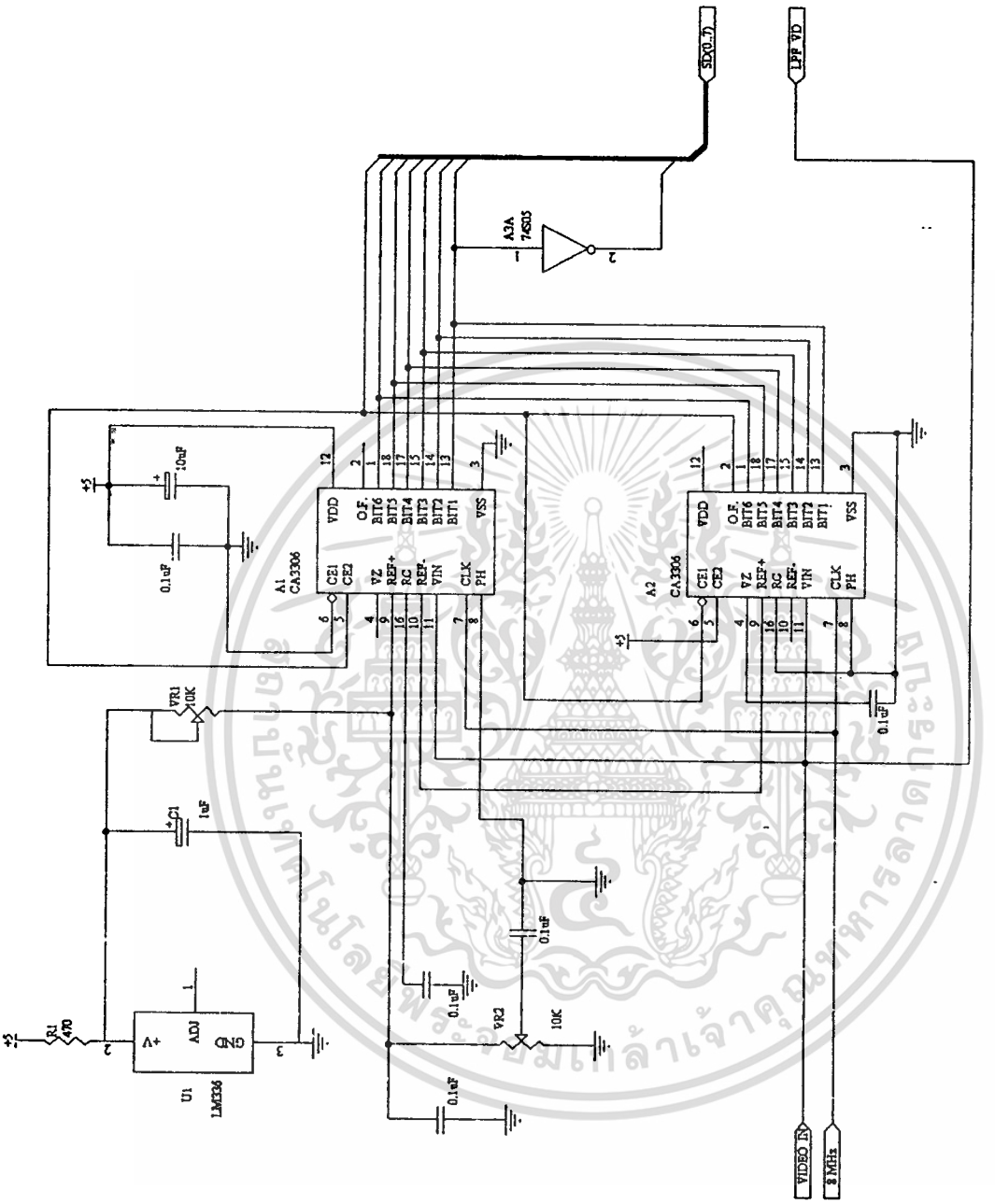
รูปที่ ผ4 แสดงวงจรในส่วนกำเนิดความถี่อ้างอิงหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



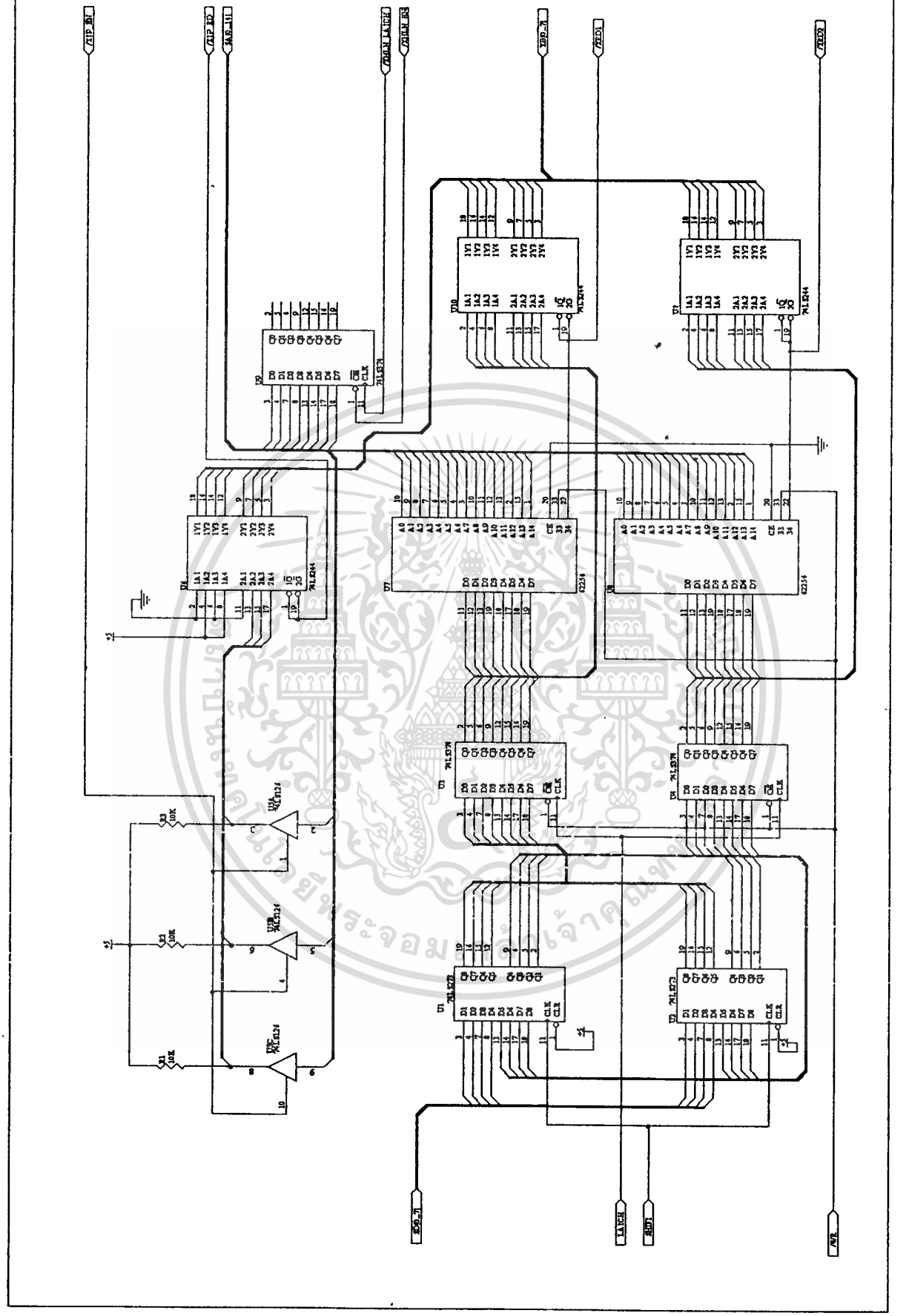
รูปที่ ผ5 แสดงวงจรในส่วนของตัวดิจิไทซัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



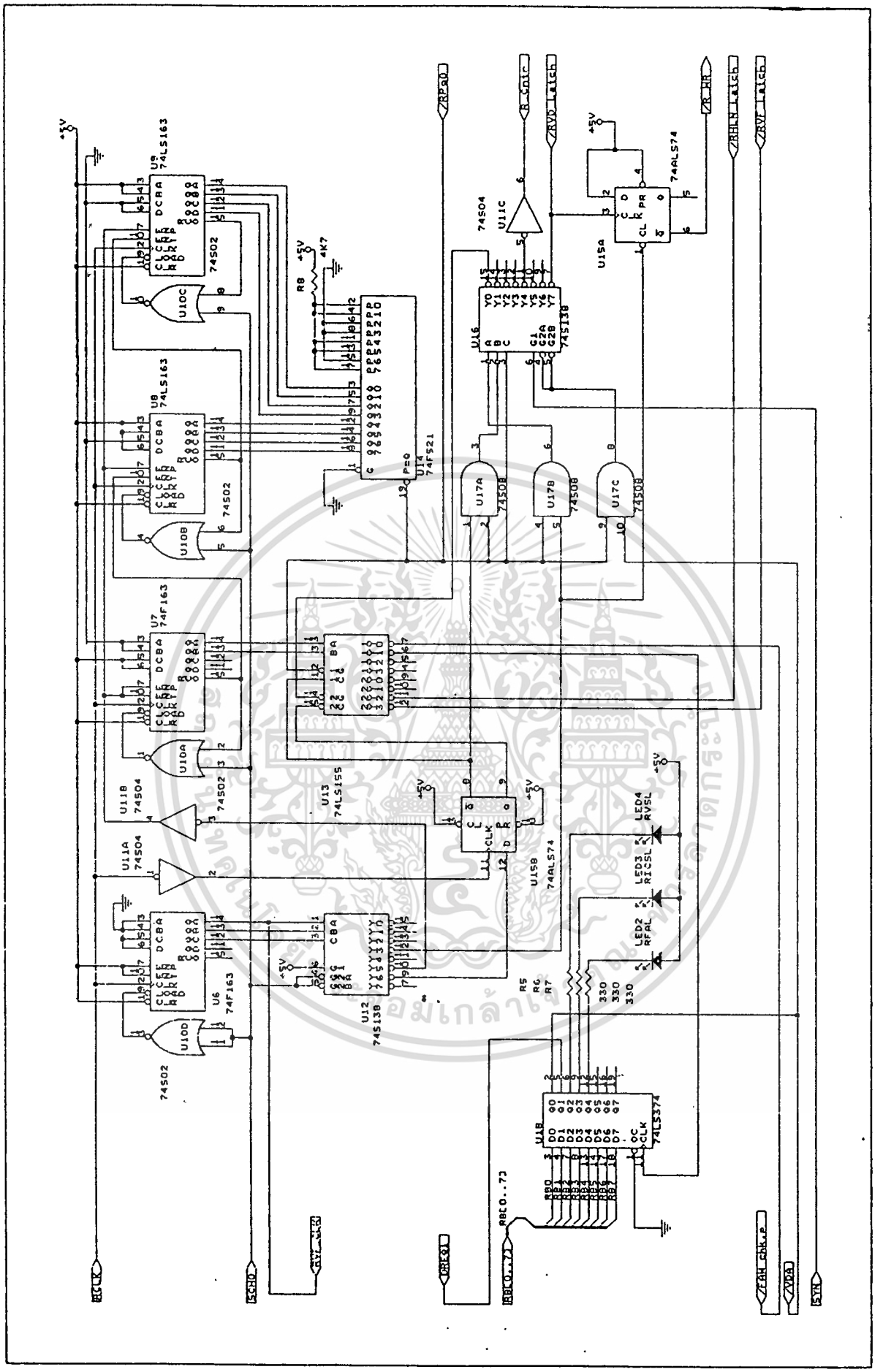
รูปที่ ผ6 แสดงวงจรในส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเฟรช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



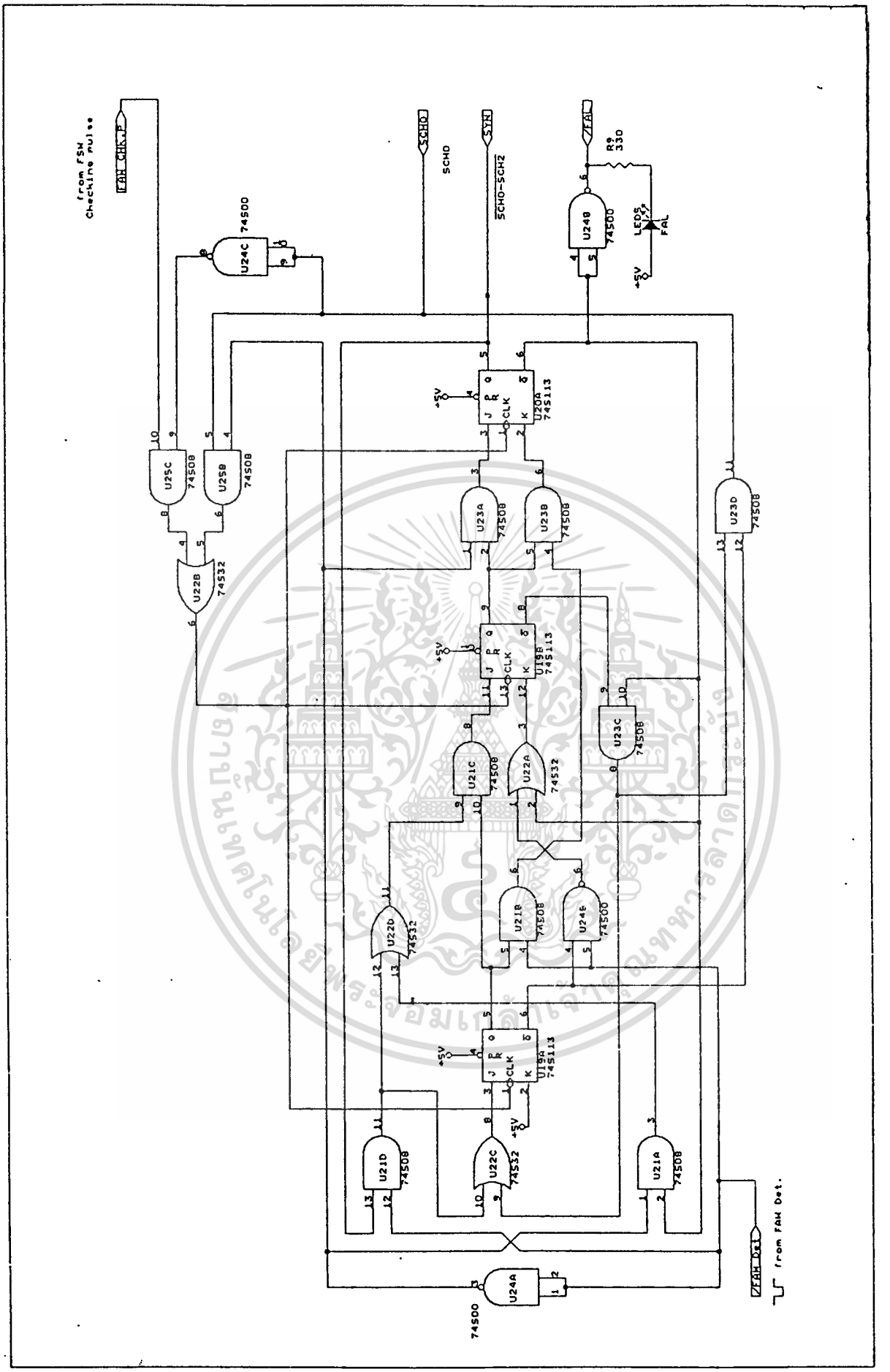
รูปที่ ผ7 แสดงวงจรในส่วนของหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



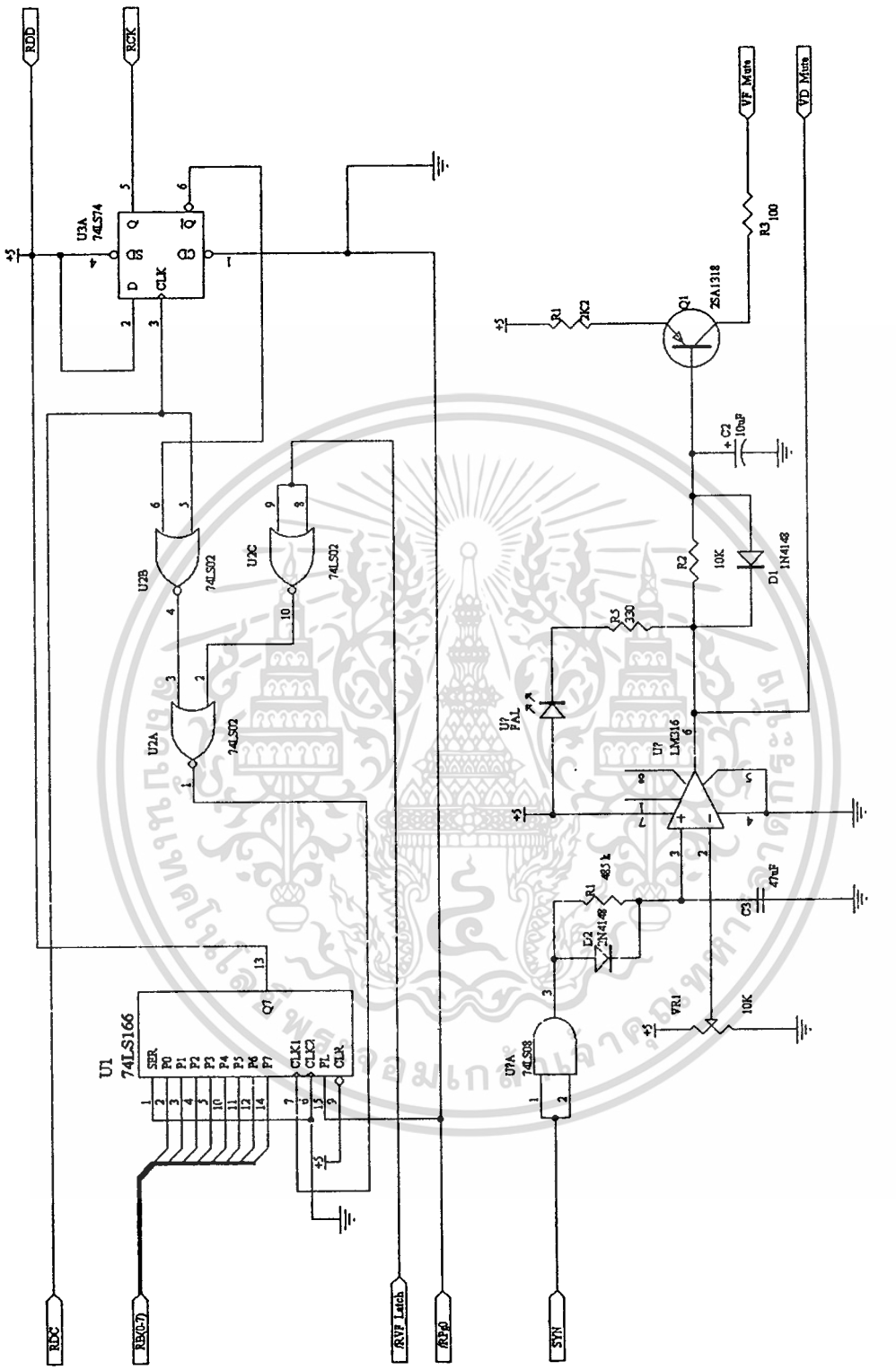
รูปที่ ผ8 แสดงวงจรในส่วนของดีมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



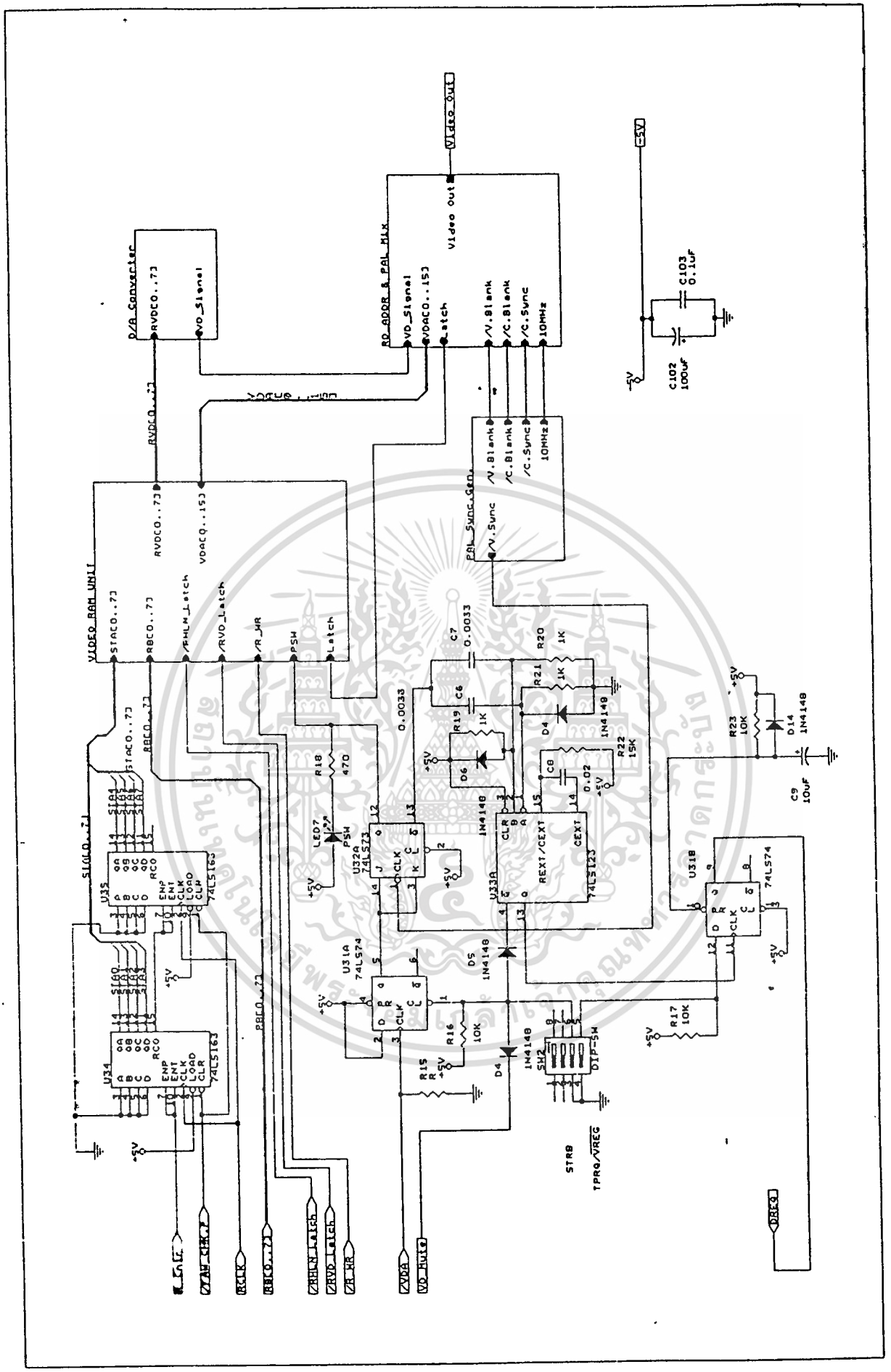
รูปที่ ผ9 แสดงวงจรในส่วนควบคุมสถานะการซิงโครไนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



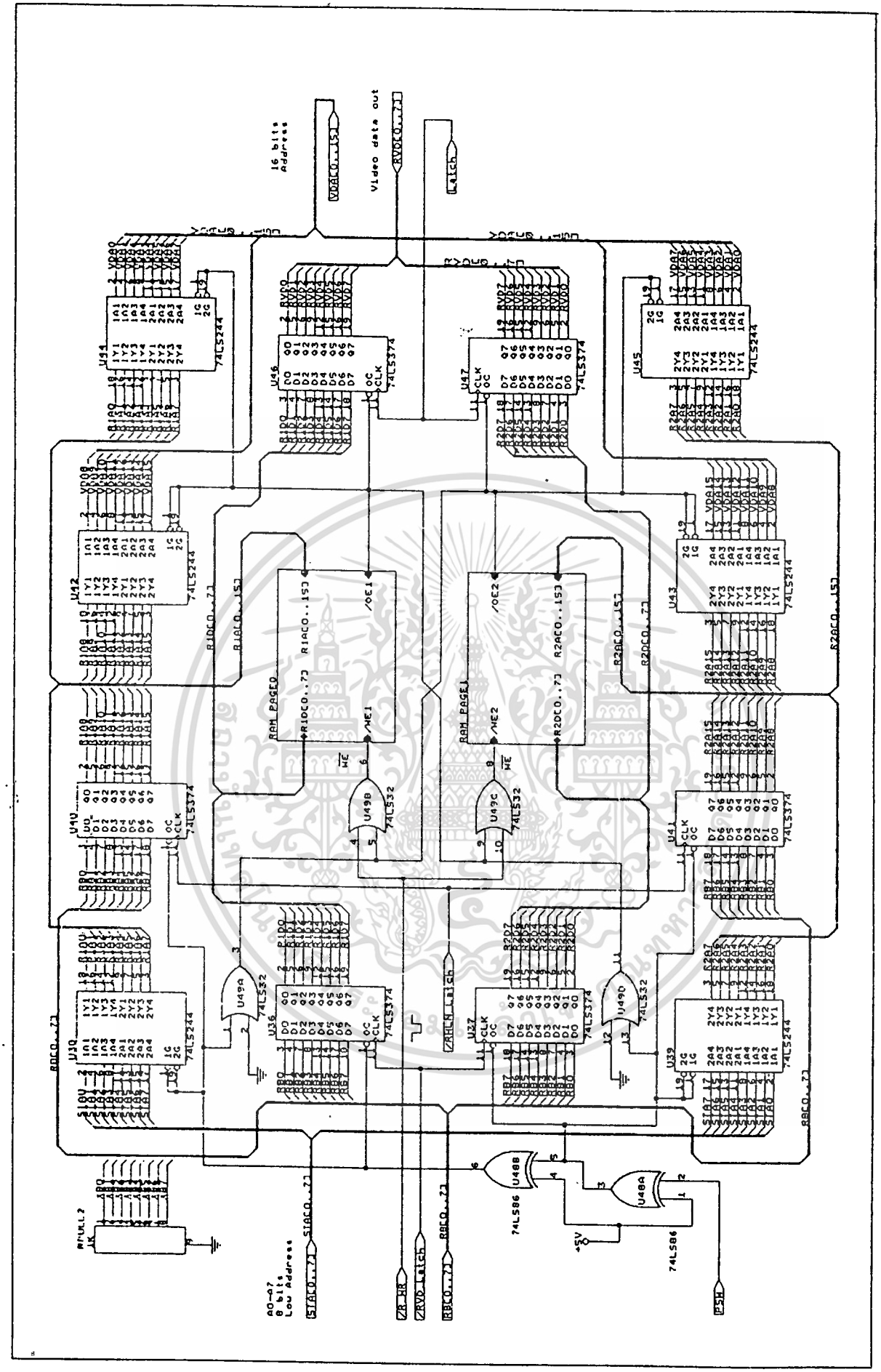
รูปที่ ผ10 แสดงวงจรในส่วนของตัวถอดรหัสข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



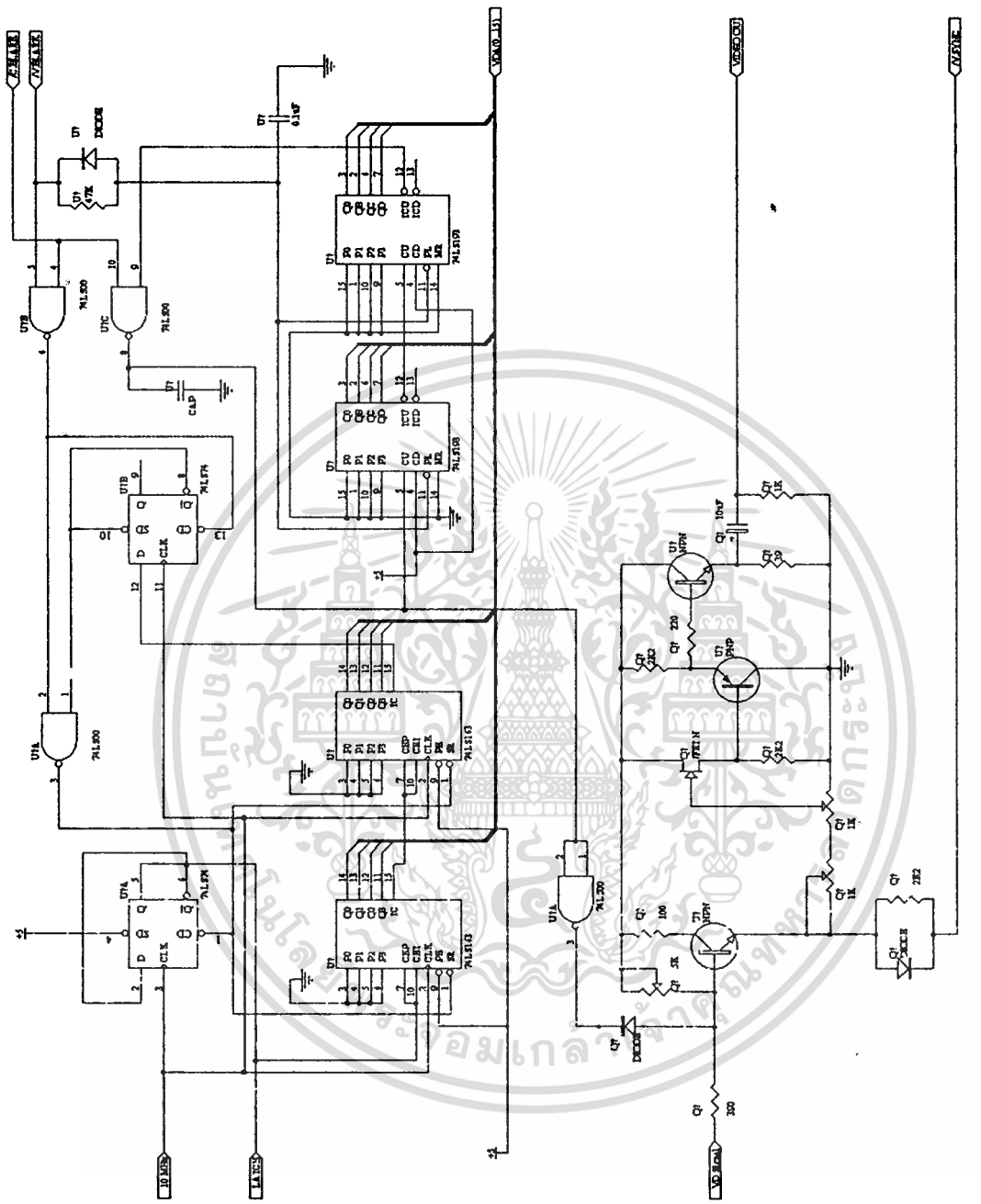
รูปที่ ผ11 แสดงวงจรในส่วนควบคุมและประมวลผลข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



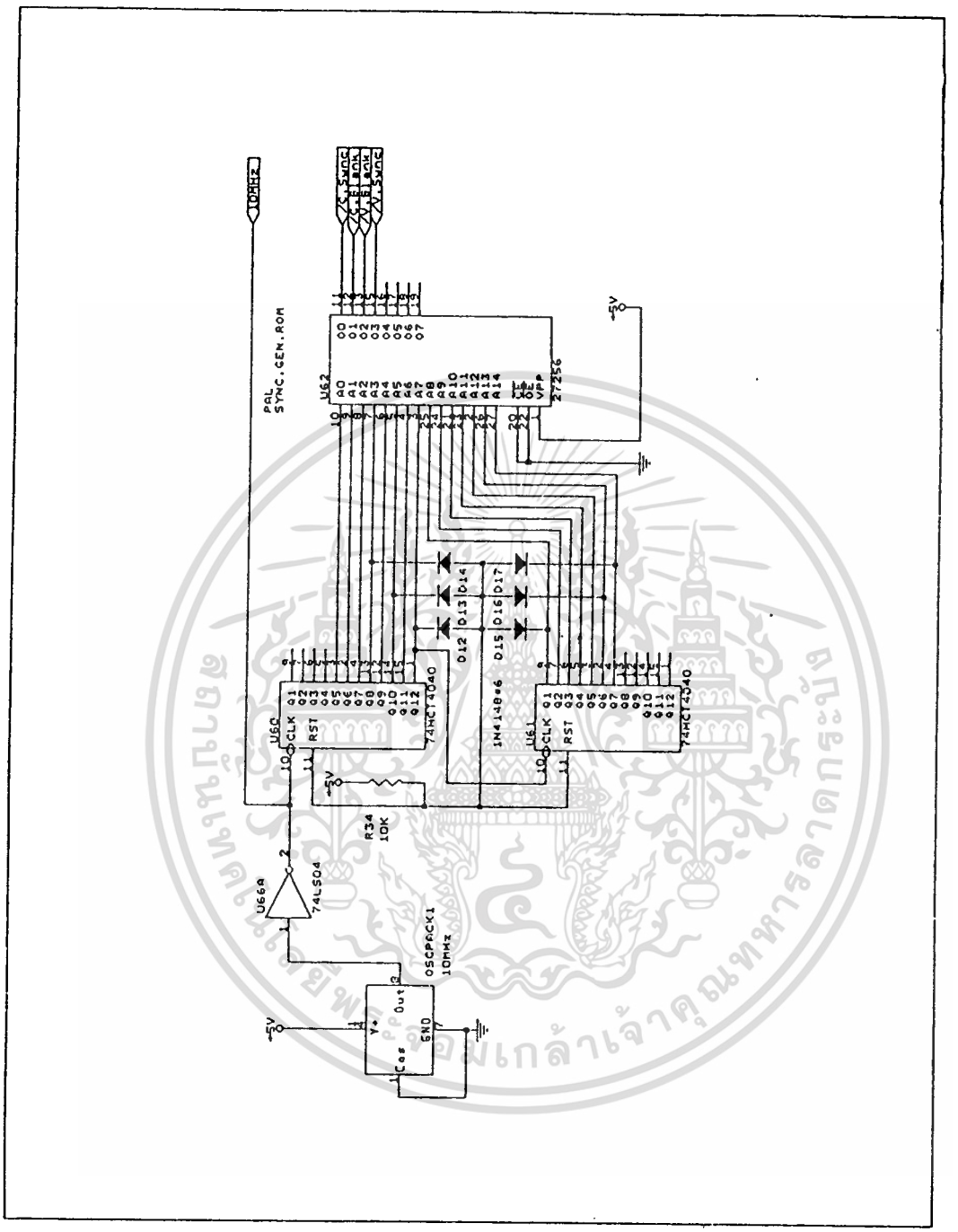
รูปที่ ผ12 แสดงวงจรในส่วนความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



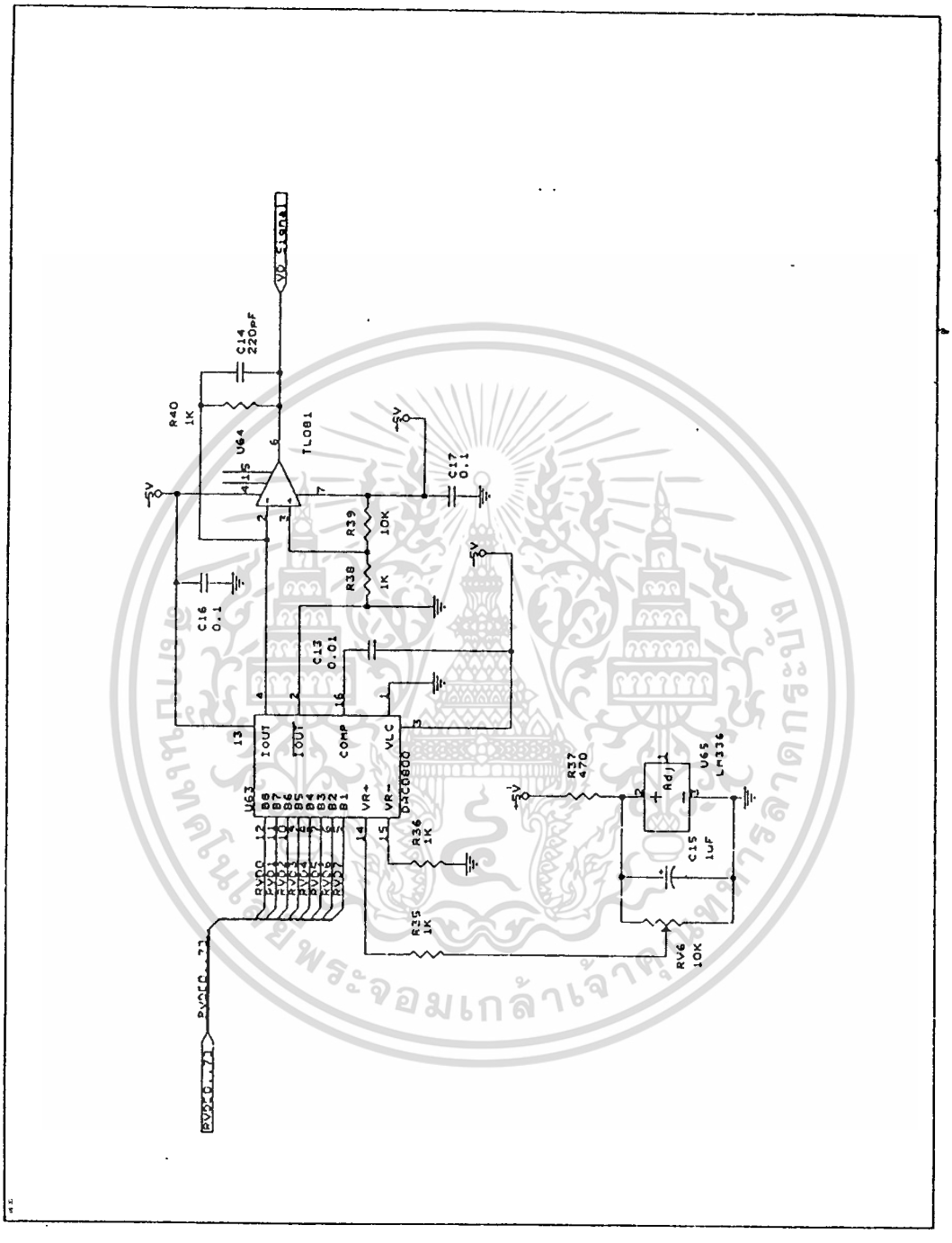
รูปที่ ผ13 แสดงวงจรในส่วนอ่านข้อมูลและกำเนิดสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



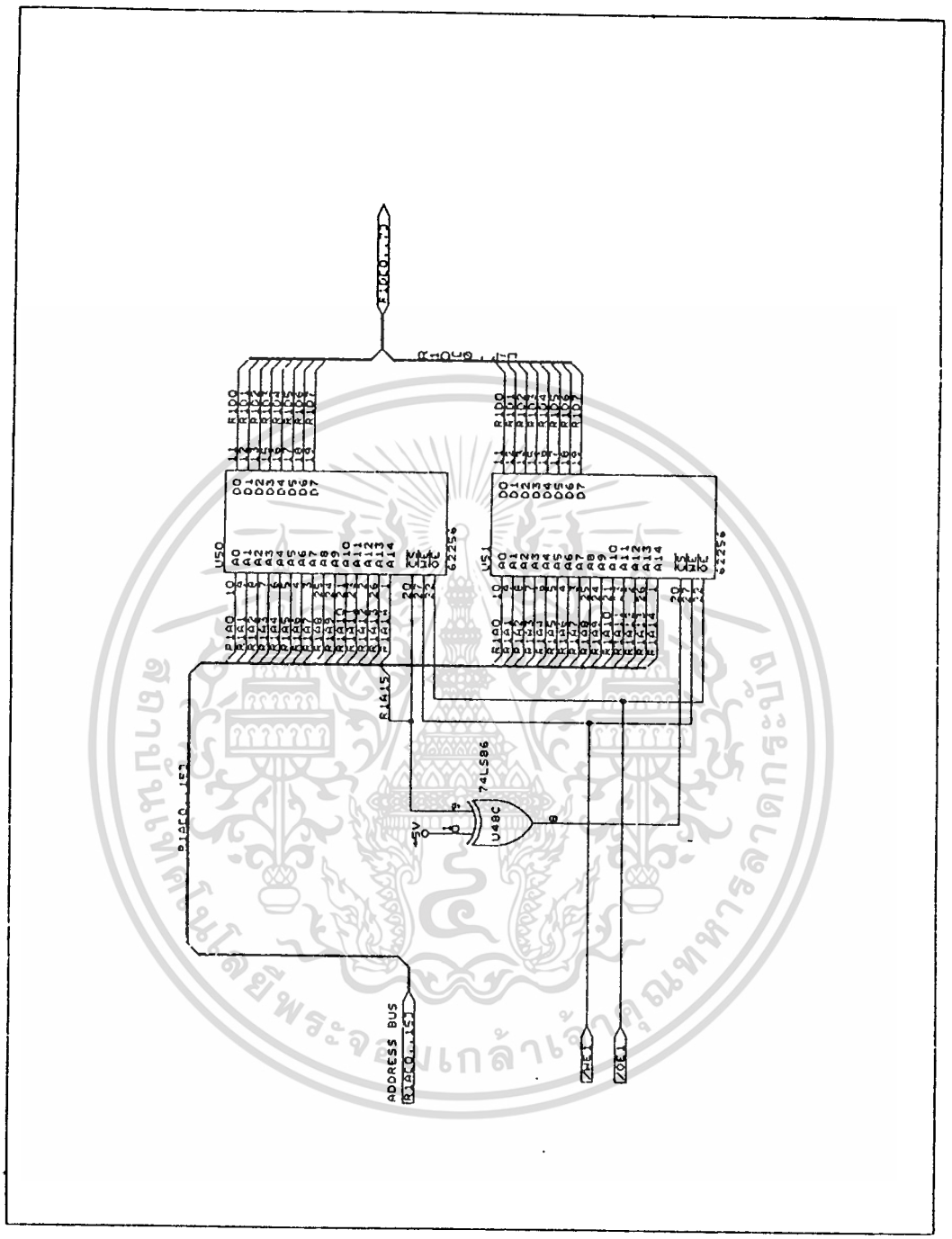
รูปที่ ผ14 แสดงวงจรในส่วนกำเนิดสัญญาณซิงค์ภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



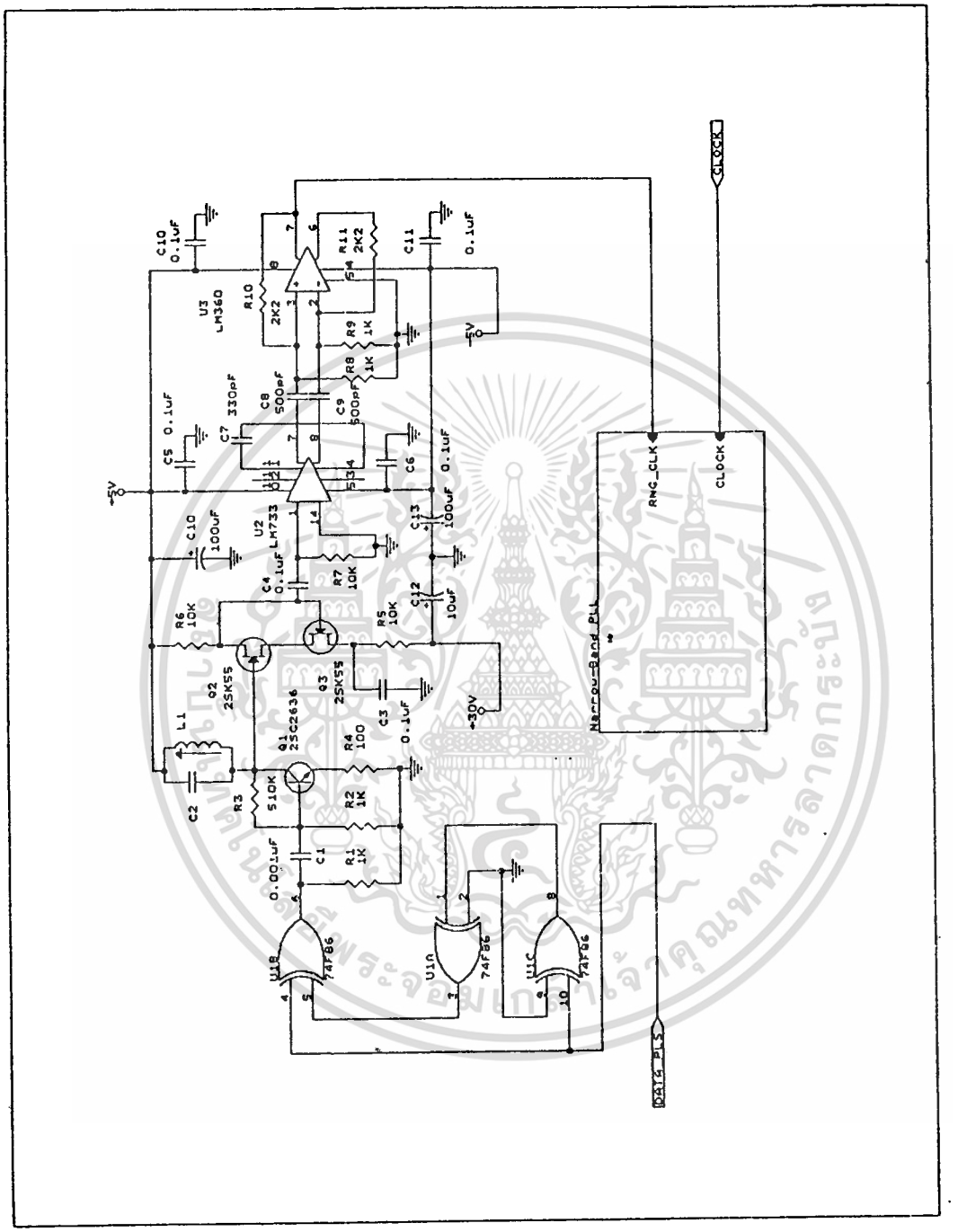
รูปที่ ผ15 แสดงวงจรในส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



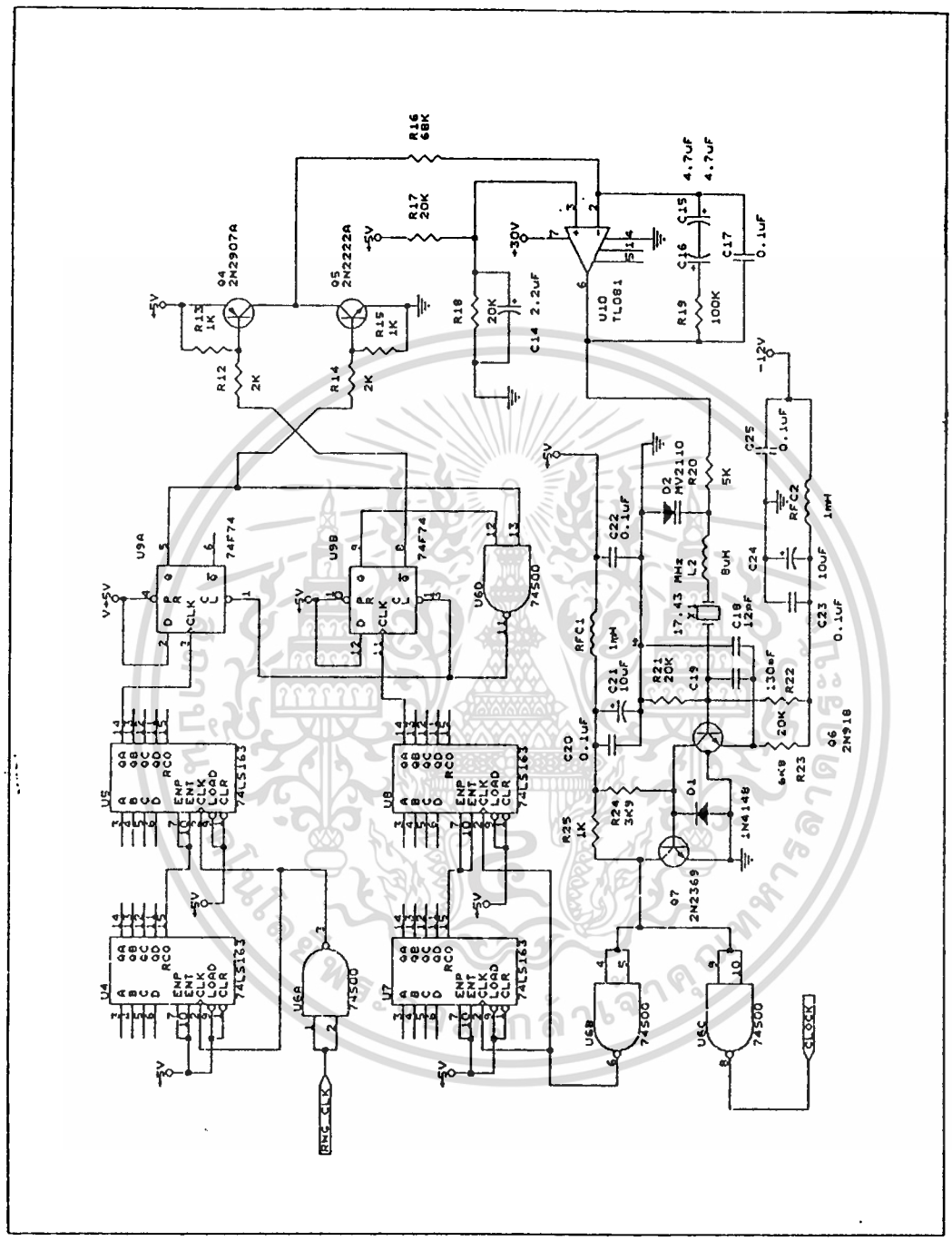
รูปที่ ผ16 แสดงวงจรในส่วนหน่วยความจำขนาด 64 Kbyte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ผ17 แสดงวงจรในส่วนจูน LC

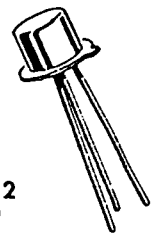
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ผ18 แสดงวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N2369 (SILICON)
2N3227



CASE 22
(TO-18)
Collector connected to case

NPN silicon annular transistors for low-current, high-speed switching applications.

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Base Voltage	V_{CB}	40	Vdc
Collector-Emitter Voltage	V_{CES}	40	Vdc
Collector-Emitter Voltage 2N2369 2N3227	V_{CEO}	15 20	Vdc
Emitter-Base Voltage 2N2369 2N3227	V_{EB}	4.5 6.0	Vdc
Collector Current (10 μsec pulse)	$I_{C(Peak)}$	500	mA
Total Device Dissipation @ 25°C Ambient Temperature Derating Factor Above 25°C	P_D	0.36 2.06	Watt mW/°C
Total Device Dissipation @ 25°C Case Temperature Derating Factor Above 25°C	P_D	1.2 6.85	Watts mW/°C
Junction Temperature, Operating	T_J	+200	°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

SWITCHING TIME EQUIVALENT TEST CIRCUITS

FIGURE 1 – t_{on} CIRCUIT – 10 mA

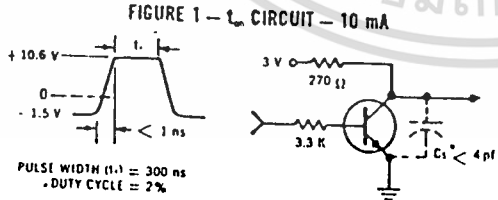


FIGURE 2 – t_{on} CIRCUIT – 100 mA

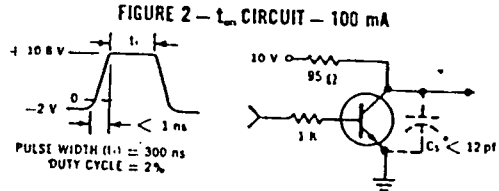


FIGURE 3 – t_{off} CIRCUIT – 10 mA

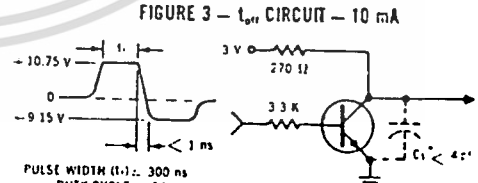
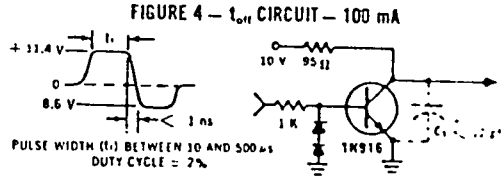


FIGURE 4 – t_{off} CIRCUIT – 100 mA



* Total shunt capacitance of test jig and connections

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic		Fig. No.	Symbol	Min	Max	Unit
Collector Cutoff Current (V_{CB} = 20 Vdc)	2N2369 2N3227		I_{CBO}	— —	0.4 0.2	μ Adc
(V_{CB} = 20 Vdc, T_A = 150°C)	2N2369 2N3227			— —	30 50	
Collector Cutoff Current (V_{CE} = 20 Vdc, $V_{EB(off)}$ = 3 Vdc)	2N3227		I_{CEX}	—	0.2	μ Adc
Base Cutoff Current (V_{CE} = 20 Vdc, $V_{EB(off)}$ = 3 Vdc)	2N3227		I_{BL}	—	0.5	μ Adc
Collector-Base Breakdown Voltage (I_C = 10μ Adc, I_B = 0)			BV_{CBO}	40	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 10μ Adc, I_C = 0)	2N2369 2N3227		BV_{EBO}	4.5 6.0	— —	Vdc
Collector-Emitter Breakdown Voltage [1] (I_C = 10 mAdc)	2N2369 2N3227		BV_{CEO}	15 20	— —	Vdc
Collector-Emitter Voltage (I_C = 10μ Adc, I_B = 0)			BV_{CES}	40	—	Vdc
Collector-Emitter Saturation Voltage [1] (I_C = 10 mAdc, I_B = 1 mAdc) (I_C = 100 mAdc, I_B = 10 mAdc)	Both Types 2N3227	11,13	$V_{CE(sat)}$	— —	0.25 0.45	Vdc
Base-Emitter Saturation Voltage [1] (I_C = 10 mAdc, I_B = 1 mAdc) (I_C = 100 mAdc, I_B = 10 mAdc)	Both Types 2N3227	13	$V_{BE(sat)}$	0.70 0.8	0.85 1.4	Vdc
DC Current Gain [1] (I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N2369 2N3227	 12	h_{FE}	40 100	120 300	—
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc, T_A = -55°C)	2N2369 2N3227	 12		20 40	— —	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3227	12		30	—	
(I_C = 100 mAdc, V_{CE} = 2 Vdc)	2N2369			20	—	
Small Signal Current Gain (I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 100 MHz)			h_{fe}	5.0	—	—
Output Capacitance (V_{CB} = 5 Vdc, I_E = 0, f = 140 kHz)		5	C_{ob}	—	4.0	pF
Input Capacitance (V_{BE} = 1 Vdc, I_C = 0, f = 140 kHz)	2N3227		C_{ib}		4.0	pF
Storage Time (I_C = I_{B1} = I_{B2} = 10 mA)		10	t_s	—	13	ns
Turn-On Time (I_C = 10 mA, I_{B1} = 3 mA, V_{CC} = 3 V, $V_{EB(off)}$ = 1.5 Vdc)		1,6	t_{on}	—	12	ns
Turn-Off Time (I_C = 10 mA, I_{B1} = 3 mA, I_{B2} = 1.5 mA, V_{CC} = 3 V)		3,6	t_{off}	—	18	ns
Total Control Charge (I_C = 10 mA, I_B = 1 mA, V_{CC} = 3 V)	2N3227	7,8	Q_T	—	50	pC
Delay Time	V_{CC} = 10 V, $V_{EB(off)}$ = 2 Vdc,	2,6	t_d	—	5.0	ns
Rise Time	I_C = 100 mA, I_{B1} = 10 mA, 2N3227		t_r	—	18	ns
Storage Time	V_{CC} = 10 V	4,6	t_s	—	13	ns
Fall Time	I_C = 100 mA, I_{B1} = I_{B2} = 10 mA, 2N3227		t_f	—	15	ns

[1] Pulse Test: Pulse Width = 300 μs, Duty Cycle = 2%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N918 (SILICON)

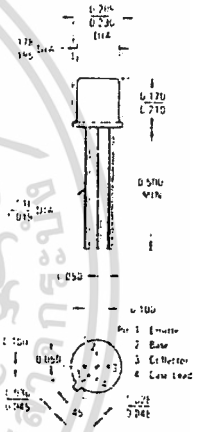
2N918 JAN, JTX AVAILABLE

NPN SILICON ANNULAR TRANSISTORS

. . . designed for use in VHF and UHF amplifier, mixer and oscillator applications.

- High Current-Gain – Bandwidth Product –
  f_T = 600 MHz (Min) @ f = 100 MHz
- Low Output Capacitance –
  C_{ob} = 1.7 pF (Max) @ V_{CB} = 10 Vdc
- Collector-Emitter Sustaining Voltage –
  $V_{CEO(sus)}$ = 15 Vdc (Min) @ I_C = 3.0 mAdc
- JAN/JANTX Also Available

NPN SILICON AMPLIFIER TRANSISTORS



CASE 20 (10)
TO-72 PACKAGE

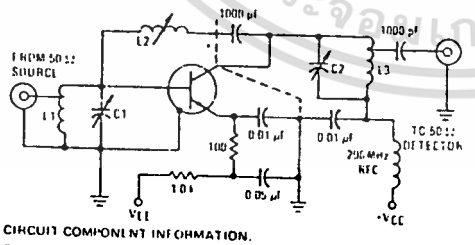
To convert inches to millimeters multiply by 25.4.
All JEDEC TO-72 dimensions and notes apply.

*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector Emitter Voltage	V_{CEO}	15	Vdc
Collector Base Voltage	V_{CB}	30	Vdc
Emitter-Base Voltage	V_{EB}	3.0	Vdc
Collector Current — Continuous	I_C	50	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	300 1.71	mW mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +200	°C

*Indicates JEDEC Registered Data

FIGURE 1 – NEUTRALIZED 200 MHz POWER AMPLIFIER GAIN TEST CIRCUIT

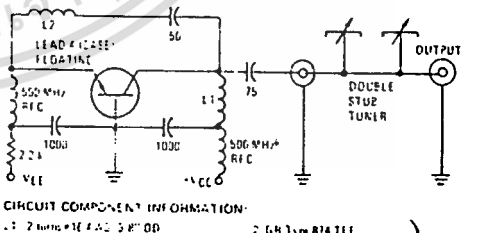


CIRCUIT COMPONENT INFORMATION.

C1 3.0-12 pf
C2 1.5-7.5 pf
L1 3 1/2 turns #16 AWG 5/16" ID, 3/16" length, turns ratio 2 to 1
L2 0.4 0.65 μH Miller #4303 (or equal)
L3 8 turns #18 AWG 1/8" ID 7/8" length, turns ratio 8 to 1

*External shielded shield to isolate collector lead from emitter and base leads

FIGURE 2 – 500 MHz OSCILLATOR TEST CIRCUIT



CIRCUIT COMPONENT INFORMATION

L1 2 turns #16 AWG 5/8" OD
1 3/4" length

L2 8 turns #22 AWG 3/16" OD
1/2" length

Capacitance values are in pf

Double Stub Tuner consists of the following commercially available components

2 GR Type 874 TEE
1 GR Type 874-D20 Adjustable Stub
1 GR Type 874-L4 Adjustable Line
1 GR Type 874 WN3 Short Circuit Terminations

(or equivalent)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***ELECTRICAL CHARACTERISTICS** (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Sustaining Voltage (I_C = 3.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	15	–	Vdc
Collector-Base Breakdown Voltage (I_C = 1.0 μAdc, I_E = 0)	BV_{CBO}	30	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)	BV_{EBO}	3.0	–	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0)	I_{CBO}	–	.010	μAdc
(V_{CB} = 15 Vdc, I_E = 0, T_A = 150°C)		–	1 0	μAdc
ON CHARACTERISTICS				
DC Current Gain (I_C = 3 0 mAdc, V_{CE} = 1.0 Vdc)	h_{FE}	20	–	-
Collector-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{CE(sat)}$	–	0 4	Vdc
Base-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{BE(sat)}$	-	1.0	Vdc
DYNAMIC CHARACTERISTICS				
Current-Gain - Bandwidth Product (1) (I_C 4 0 mAdc, V_{CE} 10 Vdc, f 100 MHz)	f_T	600	-	MHz
Output Capacitance (V_{CB} = 10 Vdc, I_E 0, f = 140 kHz)	C_{ob}		1 7	pF
(V_{CB} = 0, I_E = 0, f 140 kHz)			3 0	
Input Capacitance (V_{EB} = 0.5 Vdc, I_C = 0, f 140 kHz)	C_{ib}		2 0	pF
Noise Figure (I_C = 1 0 mAdc, V_{CE} 6.0 Vdc, R_G 400 Ohms, f 60 MHz)	NF	-	6 0	dB
FUNCTIONAL TEST				
Amplifier Power Gain (Figure 1) (V_{CB} = 12 Vdc, I_C = 6 0 mAdc, f = 200 MHz)	G_{pe}	15	-	dB
Power Output (Figure 2) (V_{CB} = 15 Vdc, I_C 8 0 mAdc, f 500 MHz)	P_{out}	30		mW
Collector Efficiency (Figure 2) (V_{CB} = 15 Vdc, I_C = 8 0 mAdc, f = 500 MHz)	η	25	-	%

*Indicates JEDEC Registered Data

(1) f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS

CA3306, CA3306A, CA3306C

CMOS Video-Speed 6-Bit Flash Analog-to-Digital Converter

GENERAL DESCRIPTION

The Harris CA3306 family are CMOS parallel (FLASH) analog-to-digital converters designed for applications demanding both low-power consumption and high-speed digitization. Digitizing at 15 MHz, for example, requires only about 50 mW.

The CA3306 family operates over a wide full-scale signal input voltage range of 1V up to the DC supply voltage. Power consumption is as low as 15 mW, depending upon the clock frequency selected. The CA3306 types may be directly substituted into CA3300 sockets, offering improved linearity at a lower reference voltage and higher operating speed with a 5V supply.

The inherent high conversion rate makes the CA3306 types ideally suited for digitizing high-speed signals. The overflow bit does possible the connection of two or more CA3306s in series to increase the resolution of the conversion system. A series connection of two CA3306s may be used to produce a 7-bit high-speed converter. Operation of two CA3306s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 MHz to 30 MHz).

Six parallel offset-balanced comparators measure the input voltage with respect to a unique reference tap. Each tap is derived by dividing down the CA3306 reference ladder with precision resistors. Seven comparators are required to quantize all input voltage levels for a 6-bit converter, and the additional comparator is required for the overflow bit.

FEATURES

- CMOS Low Power with Video Speed (~70 mW typ)
- Parallel Conversion Technique
- Signal Power Supply Voltage (3V to 7.5V)
- 15-MHz Sampling Rate with Single 5V Supply
- 6-Bit Latched 3-State Output with Overflow Bit
- Pin-For-Pin Retrofit for the CA3300

APPLICATIONS

- TV Video Digitizing
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High-Energy Physics Research
- High-Speed Oscilloscope Storage/Display
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision

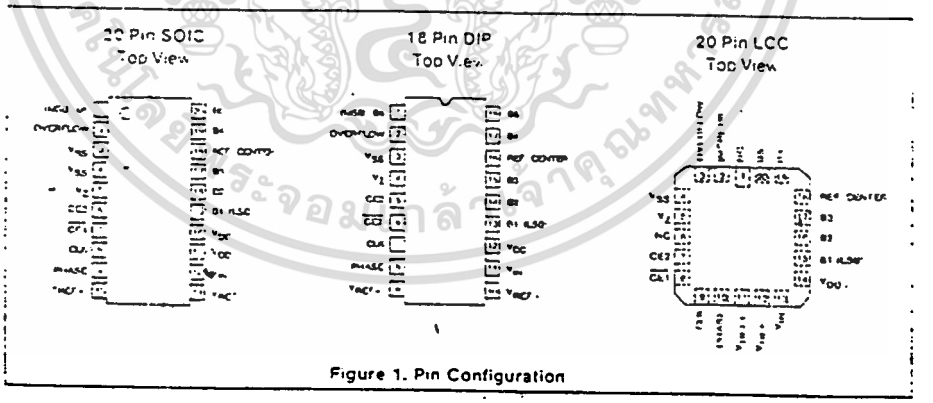


Figure 1. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ABSOLUTE MAXIMUM RATINGS

DC Supply-Voltage Range (V_{DC})
(Voltage Referenced to V_{SS} Terminal): −0.5V to +8.5V

Input Voltage Range
All inputs except Zener: −0.5V to V_{DD} + 0.5V

DC Input Current
CLK, PH, $\overline{CE}$1, CE2, V_{IN}: ±20 mA

Power Dissipation per Package (P_D)
For T_A = −55°C to +55°C: 711 mW
For T_A = +55°C to +125°C: Derate Linearly at 3.3 mW/°C

Operating Temperature Range (T_A)
Ceramic Package—D Suffix: −55°C to +125°C
Plastic Package—E Suffix: −40°C to +85°C

Storage Temperature Range (T_{stg}): −65°C to +150°C

Lead Temperature (During Soldering):
At Distance 1/32 ± 1/32 in. (0.79 ± 0.79 mm) from Case for 10s Max: +265°C

NOTE: *Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

Recommended Supply Voltage Range: 3V to 6V

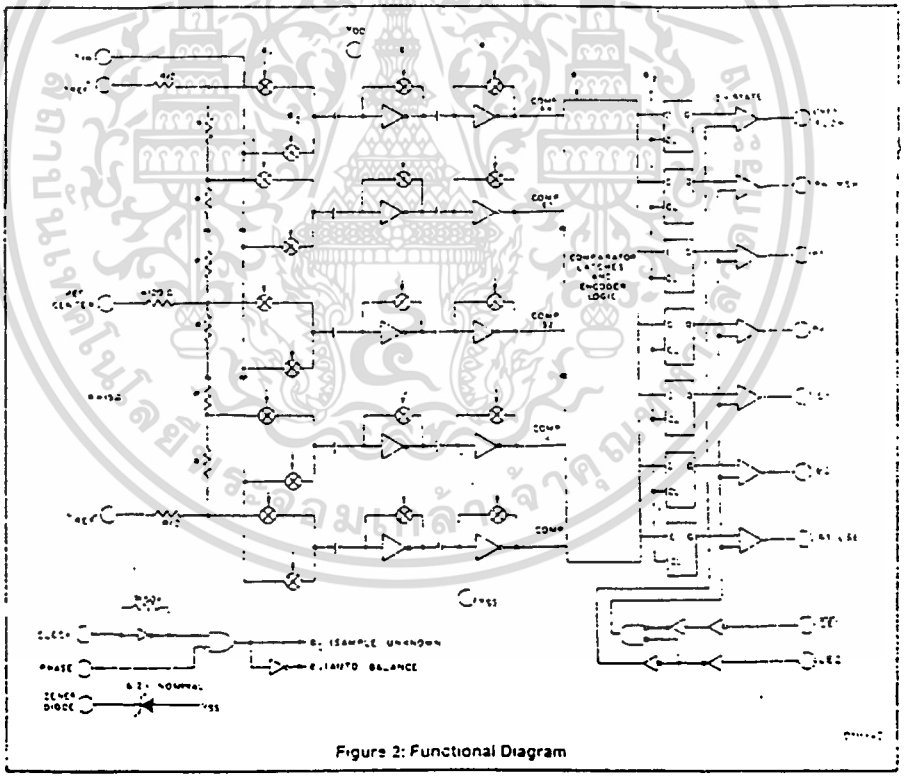


Figure 2: Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

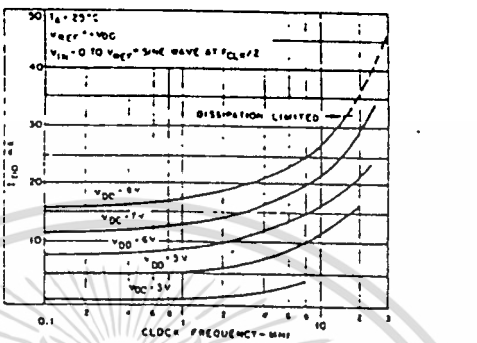


Figure 3: Typical I_{DD} as a Function Of V_{DD}

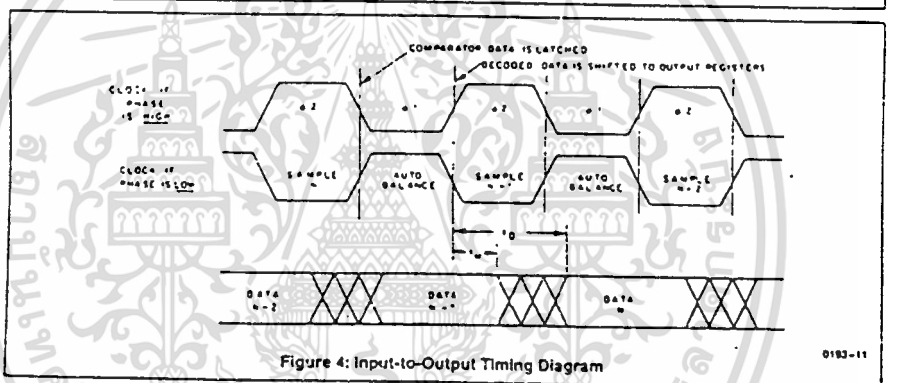


Figure 4: Input-to-Output Timing Diagram

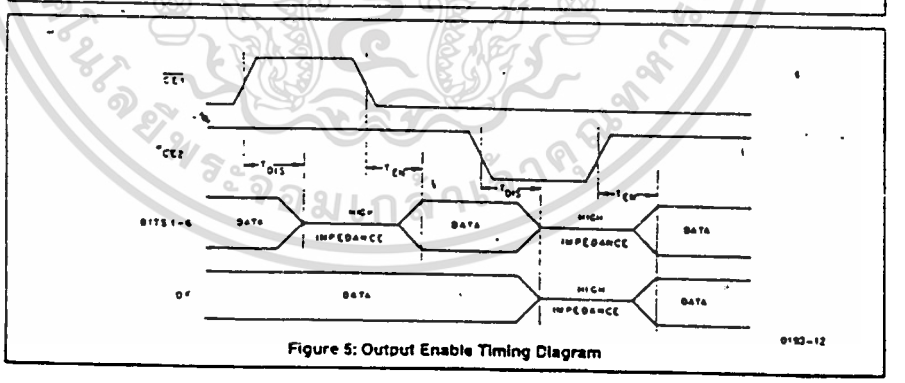


Figure 5: Output Enable Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

At T_A = 25°C, V_{DD} = 5V, V_{REF+} = +4.8V, V_{SS} = V_{REF-} = GND, Clock = 15 MHz Square Wave for CA3306 or CA3306A, 10 MHz for CA3306C

Parameter		Test Conditions	Limits			Units
			Min	Typ	Max	
Resolution			6			Bits
Integral Linearity Error	3306, 3306C 3306A			±0.25 ±0.2	±0.5 ±0.25	LSB
Differential Linearity Error	3306, 3306C 3306A			±0.25 ±0.2	±0.5 ±0.25	LSB
Quantizing Error		Inherent			±0.5	LSB
Offset Error	3306, 3306C 3306A	(Note 1)		±0.5 ±0.25	±1 ±0.5	LSB
Gain Error	3306, 3306C 3306A	(Note 2)		±0.5 ±0.25	±1 ±0.5	LSB
Positive Full Scale Input Range		(Note 3, 4)	1	4.8	V_{DD} − 0.5	V
Negative Full Scale Input Range		(Note 3, 4)	−0.5	0	V_{DD} − 1	V
Input Capacitance				15		pF
Input Current		V_{IN} = 4.92V, V_{DD} = 5V			±500	µA
Resistor Ladder Impedance			650	1100	1550	Ω
Maximum Conversion Speed	3306C 3306, 3306A		10 15	13 20		MSPS
Maximum Conversion Speed	3306C 3306, 3306A	(Note 4) ϕ1, ϕ2 = Minimum	12 18			MSPS
Auto Balance Time (ϕ1)	3306C 3306, 3306A		50 33		∞ ∞	ns
Sample Time (ϕ2)	3306C 3306, 3306A	(Note 4)	33 22		5000 5000	ns
Aperture Delay				6		ns
Aperture Jitter				100		ps p-p
Allowable Input Bandwidth		(Note 4)	DC		$f_{CLOCK}/2$	MHz
−3 dB Input Bandwidth				30		MHz
Output Data Valid Delay (T_{DV})	3306C 3306, 3306A			35 30	50 40	ns
Output Data Hold Time	(T_{HO})	(Note 4)	15	25		ns
Output Enable Time	(T_{DEN})			20		ns
Output Disable Time	(T_{DIS})			15		ns
I_{DD} Current, Refer to Figure 3	3306C 3306, 3306A	Continuous Conversion (Note 4)		11 14	20 25	mA
I_{DD} Current		Continuous ϕ1		7.5	15	mA
Maximum V_{IN}, Logic 0		All Digital Inputs (Note 4)			0.3 · V_{DD}	V
Minimum V_{IN}, Logic 1		All Digital Inputs (Note 4)	0.7 · V_{DD}			V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

At T_A = 25°C, V_{DD} = 5V V_{REF+} = +4.8V V_{SS} = V_{REF-} = GND Clock = 15 MHz Square Wave for CA3306 or CA3306A, 10 MHz for CA3306C (Continued)

Parameter	Test Conditions	Limits			Units
		Min	Typ	Max	
Digital Input Current	Except CLK, V_{IN} = 0V, 5V		±1	±5	µA
Digital Input Current	CLK Only		±100	±200	µA
Digital Output 3-State Leakage	V_{OUT} = 0V, 5V		±1	±5	µA
Digital Output Source Current	V_{OUT} = 4.6V	-1.6			mA
Digital Output Sink Current	V_{OUT} = 0.4V	3.2			mA
Zener Voltage	I_Z = 10 mA	5.4	6.2	7.4	V
Zener Dynamic Impedance	I_Z = 10 mA, 20 mA		12	25	Ω
Gain Temperature Coefficient			-0.1		mV/°C
Offset Temperature Coefficient			-0.1		mV/°C
Zener Temperature Coefficient			-0.5		mV/°C

NOTES 1: OFFSET ERROR is the difference between the input voltage that causes the 00 to 01 output code transition and (V_{REF+} - V_{REF-})/128

2: GAIN ERROR is the difference the input voltage that causes the 3F to overflow output code transition and (V_{REF+} - V_{REF-}) - 3*(VREF+ - VREF-)/128

3: The total input voltage range, set by V_{REF-} and V_{REF+}, may be in the range of 1 to (V_{DD} - 1) V

4: Parameter not tested, but guaranteed by design or characterization

ORDERING INFORMATION

Part Number	Linearity (INL, DNL)	Sampling Rate	Temperature Range	Package
CA3306E	±0.5 LSB	15 MHz (67 ns)	-40°C to +85°C	18-Pin Plastic DIP
CA3306AE	±0.25 LSB	15 MHz (67 ns)	-40°C to +85°C	18-Pin Plastic DIP
CA3306CE	±0.5 LSB	10 MHz (100 ns)	-40°C to +85°C	18-Pin Plastic DIP
CA3306M	±0.5 LSB	15 MHz (67 ns)	-40°C to +85°C	20-Pin Plastic SOIC
CA3306CM	±0.5 LSB	10 MHz (100 ns)	-40°C to +85°C	20-Pin Plastic SOIC
CA3306D	±0.5 LSB	15 MHz (67 ns)	-55°C to +125°C	18-Pin Ceramic DIP
CA3306AD	±0.25 LSB	15 MHz (67 ns)	-55°C to +125°C	18-Pin Ceramic DIP
CA3306CD	±0.5 LSB	10 MHz (100 ns)	-55°C to +125°C	18-Pin Ceramic DIP
CA3306J3	±0.5 LSB	15 MHz (67 ns)	-55°C to +125°C	20-Pin LCC
CA3306CJ3	±0.5 LSB	10 MHz (100 ns	-55°C to +125°C	20-Pin LCC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3: Output Code Table

Code Description	Input Voltage* V_{REF} 6.40 (V)	V_{REF} 5.12 (V)	V_{REF} 4.80 (V)	V_{REF} 3.20 (V)	Binary Output Code (LSB) B8	B6	B5	B4	B3	B2	B1	Decimal Count
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.10	0.08	0.075	0.05	0	0	0	0	0	0	1	1
2 LSB	0.20	0.16	0.15	0.10	0	0	0	0	0	1	0	2
.	.	.	.	.				.				.
.			.					.				.
.			.					.				.
.			.					.				.
½ Full Scale − 1 LSB	3.10	2.48	2.325	1.55	0	0	1	1	1	1	1	31
½ Full Scale	3.20	2.56	2.40	1.60	0	1	0	0	0	0	0	32
½ Full Scale + 1 LSB	3.30	2.64	2.475	1.65	0	1	0	0	0	0	1	33
.	.	.	.	.				.				.
.			.					.				.
.			.					.				.
.			.					.				.
Full Scale − 1 LSB	6.20	4.96	4.65	3.10	0	1	1	1	1	1	0	62
Full Scale	6.30	5.04	4.725	3.15	0	1	1	1	1	1	1	63
Overflow	6.40	5.12	4.80	3.20	1	.	.	.	1	.	.	127

*The voltages used above are the ideal centers of each output code shown as a function of its associated reference voltage.

OPERATING AND HANDLING CONSIDERATIONS

1. Handling

All inputs and outputs of Harris CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in ICAN-6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

2. Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause $V_{DD} - V_{SS}$ to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS}. Input currents must not exceed 20 mA even when the power supply is off. The zener (pin 4) is the only terminal allowed to exceed V_{DD}.

Unused Inputs

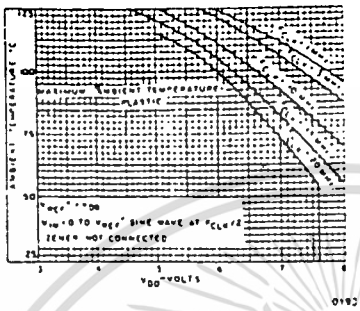
A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{DD} or V_{SS}, whichever is appropriate.

Output Short Circuits

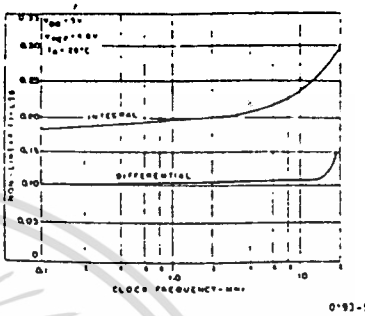
Shorting of outputs to V_{DD} or V_{SS} may damage CMOS devices by exceeding the maximum device dissipation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

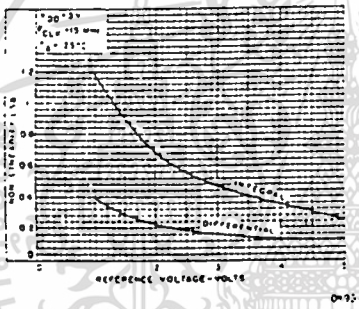
TYPICAL PERFORMANCE CHARACTERISTICS



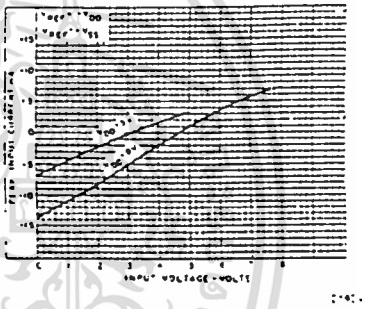
Typical Maximum Ambient Temperature as a Function of Supply Voltage



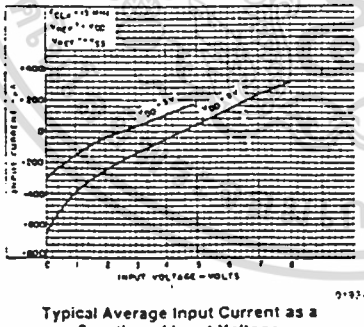
Typical Non-Linearity as a Function of Clock Speed



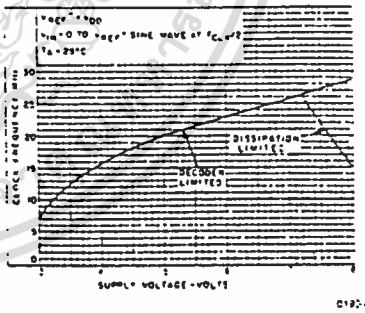
Typical Non-Linearity as a Function of Reference Voltage



Typical Peak Input Current as a Function of Input Voltage



Typical Average Input Current as a Function of Input Voltage



Typical Maximum Clock Frequency as a Function of Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

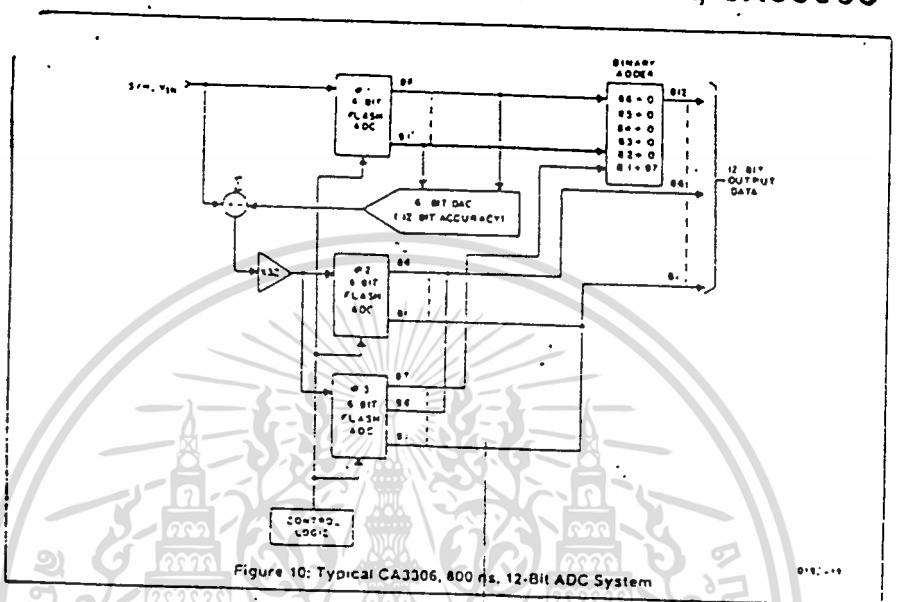


Figure 10: Typical CA3306, 800 ns, 12-Bit ADC System

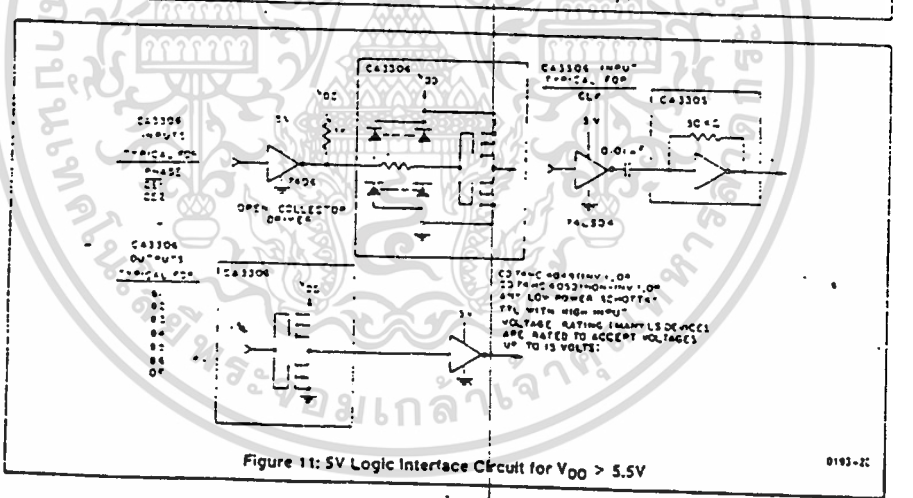


Figure 11: 5V Logic Interface Circuit for V_{DD} > 5.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

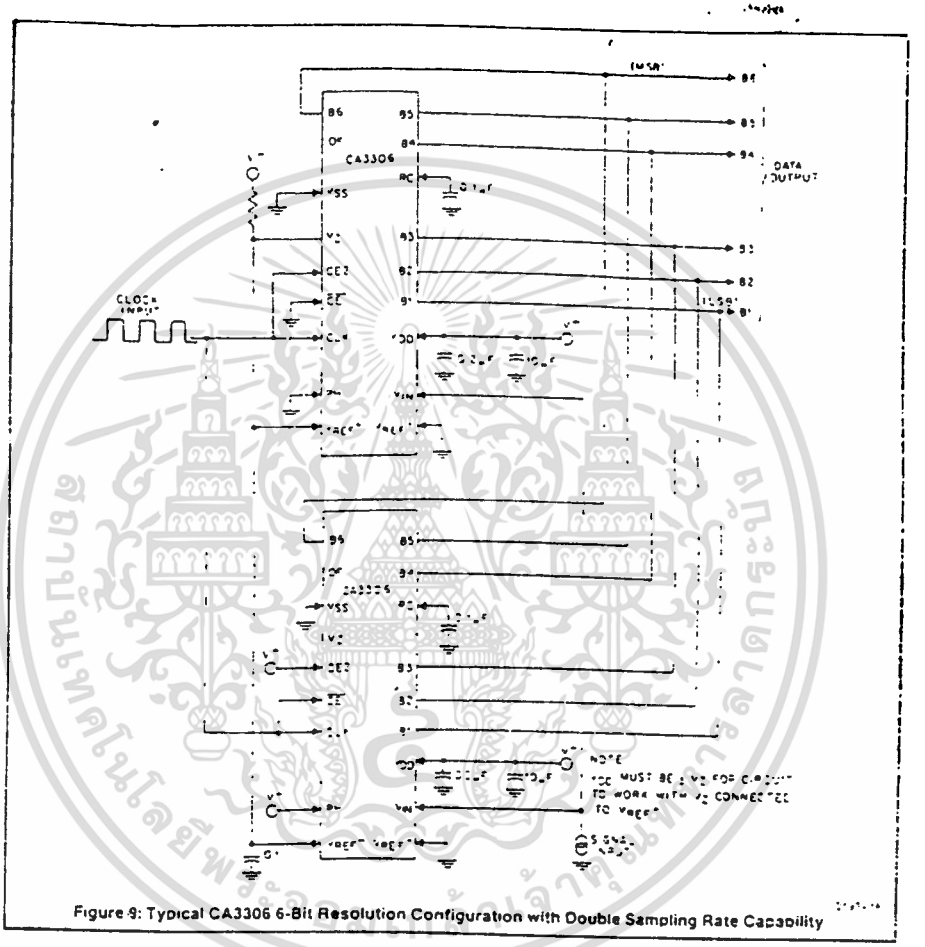


Figure 9: Typical CA3306 6-Bit Resolution Configuration with Double Sampling Rate Capability

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION (Continued)

The Reference Center point can also be used to create unique transfer functions. The user must remember, however, that there is approximately 120Ω in series with the RC pin.

APPLICATIONS

7-Bit Resolution

To obtain 7-bit resolution, two CA3306s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enabler controls—all of which are available on the CA3306.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 8. Since the absolute-resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry.

Doubled Sampling Speed

The phase control and both positive and negative true chip enables allow the parallel connection of two CA3306s to double the sampling speed. Figure 9 shows this configuration. One converter samples on the positive phase of the clock, and the second on the negative. The outputs are also alternately enabled. Care should be taken to provide a near square-wave clock if operating at close to the maximum clock speed for the devices.

8-Bit to 12-Bit Conversion Techniques

To obtain 8-to-12-bit resolution and accuracy, use a feed-forward conversion technique. Two A/D converters will be needed to convert up to 11 bits; three A/D converters to convert 12 bits. The high speed of the CA3306 allows 12-bit conversions in the 500-to-900 ns range.

The circuit diagram of a high-speed 12-bit A/D converter is shown in Figure 10. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit D/A converter whose accuracy level is good to 12 bits. The D/A converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash A/D converter, which is connected in a 7-bit configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that:

- The linearity of the first converter is better than ½ LSB
- An offset bias of 1 LSB (1_{64}) is subtracted from the first conversion since the second converter is unipolar.
- The D/A converter and its reference are accurate to the total number of bits desired for the final conversion (the A/D converter need only be accurate to 6 bits).

The first converter can be offset-biased by adding a 20Ω resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.4V reference is used in the system, for example, then the first CA3306 will require a 6.5V reference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

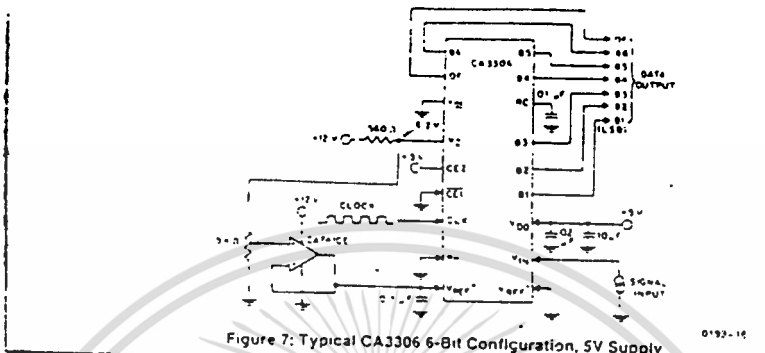


Figure 7: Typical CA3306 6-Bit Configuration, 5V Supply

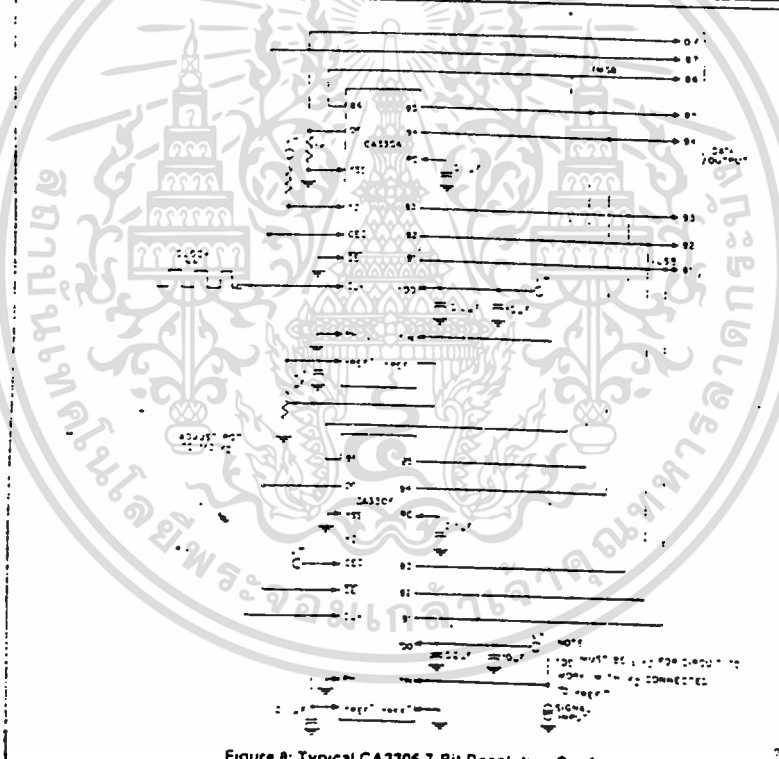


Figure 8: Typical CA3306 7-Bit Resolution Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION (Continued)

The CA3306 outputs a short (less than 10 ns) current spike of up to several mA amplitude (See Typical Performance Characteristics) at the beginning of the sample phase (To a lesser extent, a spike also appears at the beginning of auto balance.) The driving source must recover from the spike by the end of the same phase, or a loss of accuracy will result.

A locally terminated 50Ω or 75Ω source is generally sufficient to drive the CA3306. If gain is required, a high-speed fast-settling op amp such as the HA-5033, HA-2542, or CA3450 is recommended.

Digital Input And Output Interfacing

The two chip-enable and the phase-control inputs are standard CMOS units. They should be driven from less than 0.3 • V_{DD} to at least 0.7 • V_{DD}. This can be done from 74HC series CMOS (OMOS), TTL with pull-up resistors, or, if V_{DD} is greater than the logic supply, open collector or open drain drivers plus pull-ups. (See Figure 11.)

The clock input is more critical to timing variations, such as ϕ1 becoming too short, for instance. Pull-up resistors should generally be avoided in favor of active drivers. The clock input may be capacitively coupled, as it has an internal 50kΩ feedback resistor on the first buffer stage, and will seek its own trip point. A clock source of at least 1 V_{p-p} is adequate, but extremely non-symmetrical waveforms should be avoided.

The output drivers have full rail-to-rail capability. If driving CMOS systems with V_{DD} below the V_{DD} of the CA3306, a CD74HC4050 or CD74HC4049 should be used to step down the voltage. If driving LSTTL systems, no step-down should be necessary, as most LSTTLs will take input swings up to 10V to 15V.

Although the output drivers are capable of handling typical data bus loading, the capacitor charging currents will produce local ground disturbances. For this reason, an external bus driver is recommended.

Increased Accuracy

In most cases the accuracy of the CA3306 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy, i.e., offset trim, gain trim, and midpoint trim.

Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}^- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is ½ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = \tfrac{1}{2} \text{ LSB} = \tfrac{1}{2}(V_{REF}/64)$$
$$= V_{REF}/128$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}^- and ground will accomplish the adjustment. Set V_{IN} to ½ LSB and trim the pot until the 0 to 1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}^- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 63 to overflow transition. That voltage is ½ LSB less than V_{REF}^+ and is calculated as follows:

$$V_{IN} \text{ (63 to 64 transition)} = V_{REF} - V_{REF}/128$$
$$= V_{REF}(127/128)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 63 to overflow transition. Now adjust V_{REF}^+ until that transition occurs on the outputs.

Midpoint Trim

The reference center (RC) is available to the user as the midpoint of the resistor ladder. To trim the midpoint, the offset and gain trims should be done first. The theoretical transition from count 31 to 32 occurs at 31½ LSB's. That voltage is as follows:

$$V_{IN} \text{ (31 to 32 transition)} = 31.5\,(V_{REF}/64)$$
$$= V_{REF}(63/128)$$

An adjustable voltage follower can be connected to the RC pin or a 2k pot can be connected between V_{REF}^+ and V_{REF}^- with the wiper connected to RC. Set V_{IN} to the 31 to 32 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION (Continued)

The other side of the capacitor is connected to a single-stage inverting amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately, $(V_{DC} - V_{SS})/2$. The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and V_{IN} is switched to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators whose tap voltages were lower than V_{IN} will drive the comparator outputs to a "low" state. All comparators whose tap voltages were higher than V_{IN} will drive the comparator outputs to a "high" state. A second, capacitor-coupled, auto-zeroed amplifier further amplifies the outputs.

The status of all these comparator amplifiers are stored at the end of this phase ($\phi 2$), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64-to-7-bit decode array and the results are clocked into a storage register at the rising edge of the next $\phi 2$.

A 3-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. $\overline{CE}1$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state (Table 2).

To facilitate usage of this device a phase-control input is provided which can effectively complement the clock as it enters the chip. Also, an on-board zener is provided for use as a reference voltage.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3306 via the following steps (Refer to timing diagram, Figure 4.) With the phase control in a "High" state the rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, after the specified aperture delay, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse Mode Operation

For sampling high-speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of three ways. The fastest method is to keep the converter in the Sample Unknown phase, $\phi 2$, during the standby state. The device can now be pulsed through the Auto Balance phase with a single pulse. The analog value is captured on the leading edge of $\phi 1$ and is transferred into the output registers on the trailing edge of $\phi 1$. We are now back in the standby state, $\phi 2$, and another conversion can be started but not later than 5µs due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between $\phi 2$ and $\phi 1$, the lower the power consumption. (See timing diagram, Figure 6.)

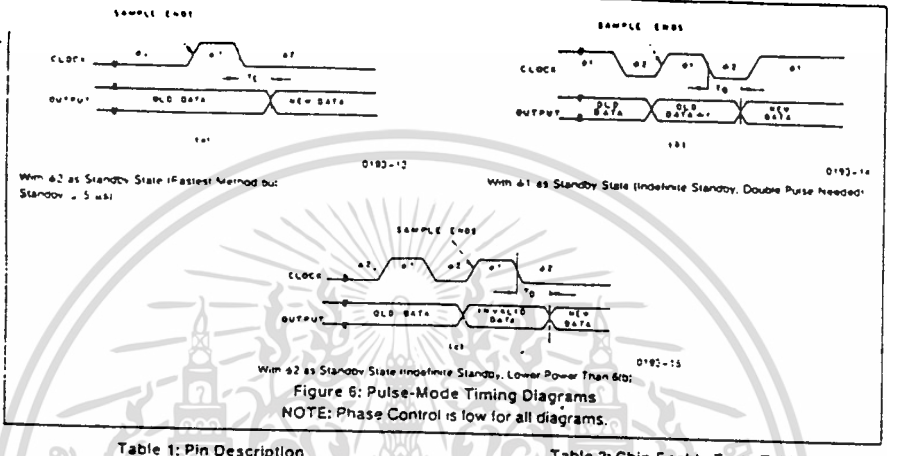
The second method uses the Auto Balance phase, $\phi 1$, as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two $\phi 2$ pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second $\phi 2$ pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes slightly longer, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of $\phi 2$ to $\phi 1$. (See timing diagram, Figure 6b.)

For applications requiring both indefinite standby and lowest power, standby can be in the $\phi 2$ (Sample Unknown) state with two $\phi 1$ pulses to generate valid data (see Figure 6c). Valid data now appears two full clock cycles after starting the conversion process.

Analog Input Considerations

The CA3306 input terminal is characterized by a small capacitance (see Specifications) and a small voltage-dependent current (See Typical Performance Characteristics). The signal-source impedance should be kept low, however, when operating the CA3306 at high clock rates.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



With $\phi 2$ as Standby State (Fastest Method but Standby = 5 mA)

With $\phi 1$ as Standby State (Indefinite Standby, Double Pulse Needed)

With $\phi 2$ as Standby State (Indefinite Standby, Lower Power Than $\phi 1$)

Figure 6: Pulse-Mode Timing Diagrams
NOTE: Phase Control is low for all diagrams.

Table 1: Pin Description

Pin	Name	Description
2	B6	Bit 6 Output (MSB)
3	OF	Overflow Output
3	V_{SS}	Digital Ground
4	V_Z	Zener Reference Output
5	CE2	Three-state Output Enable Input; Active Low. See Table 2
6	$\overline{CE1}$	Three-state Output Enable Input; Active High. See Table 2
7	CLK	Clock Input
8	PHASE	Sample clock phase control input: When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text)
9	V_{REF+}	Reference Voltage Positive Input
10	V_{REF-}	Reference Voltage Negative Input
11	V_{IN}	Analog Signal Input
12	V_{DD}	Power Supply, +5V
13	B1	Bit 1 Output (LSB)
14	B2	Bit 2 Output
15	B3	Bit 3 Output
16	REF (ctr)	Reference Ladder Midpoint
17	B4	Bit 4 Output
18	B5	Bit 5 Output

Table 2: Chip Enable Truth Table

$\overline{CE1}$	CE2	B1-B6	OF
0	1	Valid	Valid
1	X	Three-state	Valid
X	0	Three-state	Three-state

X = don't care

DEVICE OPERATION

A sequential parallel technique is used by the CA3306 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase $\phi 1$ and the "Sample Unknown" phase $\phi 2$. (Refer to the circuit diagram.) Each conversion takes one clock cycle.* With the phase control low, the "Auto Balance" ($\phi 1$) occurs during the High period of the clock cycle, and the "Sample Unknown" ($\phi 2$) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission-gate switch is used to connect each of 64 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(V_{REF}/64) \cdot N] - [V_{REF}/(2 \cdot 64)]$$
$$= V_{REF}[(2N - 1)/128]$$

Where: $V_{TAP}(N)$ = reference ladder tap voltage at point N
V_{REF} = voltage across V_{REF}^+ to V_{REF}^-
N = tap number (1 through 64)

*This device requires only a single-phase clock. The terminology of $\phi 1$ and $\phi 2$ refers to the High and Low periods of the same clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่ปริญญานิพนธ์นี้สำเร็จลุล่วงลงได้ดี ทางผู้จัดทำใคร่ขอขอบคุณบุคคลที่ช่วยทำให้งานชิ้นนี้สำเร็จลงได้ ได้แก่

อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์ ผู้เป็นอาจารย์ที่ปรึกษา ที่คอยให้ความรู้ และคำปรึกษา

พี่สมศักดิ์ อภิรักษ์สมบัติ ที่เสียสละเวลาในการให้คำแนะนำเกี่ยวกับวงจร และช่วยชี้แนะในการแก้ไขปัญหา

เพื่อนๆทุกคนที่คอยช่วยเหลือและให้กำลังใจ

และบุคคลที่สำคัญที่สุด ที่ต้องขอบคุณ คือ คุณพ่อคุณแม่ที่ได้ส่งเสียพวกเราจนสำเร็จการศึกษา

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] DAVID R. SMITH, "DIGITAL TRANSMISSION SYSTEMS", VAN NOSTRAND REINHOLD COMPANY, 1985

[2] J.G. WADE , "SIGNAL CODING AND PROCESSING AN INTRODUCTION BASED ON VIDEO SYSTEM" , ELLIS HORWOOD LIMITED , 1987

[3] สุวิพล สิทธิชีวภาค "เทคโนโลยีการสื่อสารระบบดิจิตอล" สำนักพิมพ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2539

[4] สมศักดิ์ เตชะเศรษฐ์ธนะ และ ร.ต.อ. สุชาติ กังวารจิตต์ "ทฤษฎีและปฏิบัติโทรทัศน์สีระบบ PAL" บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้