เครื่องตอบรับโทรศัพท์อัตโนมัติ

AUTOMATIC VOICE MAIL BOX

โดย

นาย ชูศักดิ์ บุญเชิด รหัส 37013013

นาย ประสงค์ หอมอบ รหัส 37013031

นาย มานะ ไชยวาที รหัส 37013034

อาจารย์ที่ปรึกษา

อ. สุรพล บุญจันทร์

วัน เดือน ปี 18 ส.ค. 2540

เลขทะเบียน 037295

เลขเรียกหนังสือ T 39001 ป 1810

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037295

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องตอบรับโทรศัพท์อัตโนมัติ

(AUTOMATIC VOICE MAIL BOX)

ผู้จัดทำ

1. นาย ฐศักดิ์ บุญเชิด 37013013
2. นาย ประสงค์ หอมอบ 37013031
3. นาย มานะ ไชยวาที 37013034

..... อาจารย์ที่ปรึกษา

(อาจารย์ สุรพล บุญจันทร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตอบรับโทรศัพท์อัตโนมัติ
AUTOMATIC VOICE MAIL BOX

โดย 1. นาย ซูศักดิ์ บุญเชิด (37013013)
2. นาย ประสงค์ หอมอบ (37013031)
3. นาย มานะ ไชยวาที (37013034)

อาจารย์ที่ปรึกษา : อาจารย์ สุรพล บุญจันทร์

บทคัดย่อ

เครื่องตอบรับโทรศัพท์อัตโนมัตินี้จะมีฟังก์ชั่นพิเศษเพิ่มขึ้นมาจากโทรศัพท์ทั่วๆไปคือสามารถบันทึกเสียงเจ้าของเครื่องเพื่อแจ้งให้ผู้ที่โทรศัพท์เข้ามาทราบว่าขณะนี้ไม่มีผู้ใดรับสาย และผู้ที่โทรศัพท์เข้ามาสามารถฝากข้อความไว้ได้ โดยเก็บข้อความไว้ในหน่วยความจำ RAM (Random Access Memory) โดยใช้ไมโครคอนโทรลเลอร์เป็นตัวควบคุม การทำงาน การอ่านและการเขียน การบันทึกจะมีการเปลี่ยนสัญญาณเสียงจากสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล เพื่อบันทึกไว้ในหน่วยความจำ การอ่านจะมีการนำข้อมูลที่ถูกเก็บไว้ในหน่วยความจำซึ่งเป็นข้อมูลแบบดิจิตอลเปลี่ยนเป็นสัญญาณแบบอะนาล็อก ซึ่งเป็นสัญญาณเสียงที่ถูกบันทึกกลับคืนมา

ABSTRACT

The automatic voice mail box has special function for recording the sound to announce whether nobody answer and please leave your message. The stores message in RAM (Random Access Memory) by using microcontroller to control operation,read and write the message and record in memory. This system has a converter circuit for converting analog signal to digital signal to read the data. The stored message in memory is converted to analog for recovery sound signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่1 บทนำ	1
บทที่2 ทฤษฎีและหลักการ	
2.1 หลักการเบื้องต้นของเครื่องโทรศัพท์	2
2.2 ส่วนการถอดรหัสสัญญาณ DTMF	8
2.3 ไมโครคอนโทรลเลอร์	14
2.4 การสื่อสารระบบ PCM	26
2.5 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก	39
2.6 การแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล	40
บทที่3 การคำนวณและการสร้าง	
3.1 การทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก	44
3.2 การทำงานของวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล	47
3.3 การทำงานของวงจรถอดรหัส DTMF	51
3.4 การทำงานของวงจรริงดีเทคเตอร์	51
3.5 การทำงานของวงจรยกหูโทรศัพท์	51
3.6 การออกแบบให้ CPU ติดต่อกับอุปกรณ์อินพุทและเอาท์พุท	53
3.7 วงจรสวิตท์ชิ่งและคับปลิ้งของโทรศัพท์	57
3.8 การออกแบบวงจรไดนามิคส์แรม	59
บทที่4 การทดลองและผลการทดลอง	
4.1 การทดลองแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก	68
4.2 การทดลองวงจรถอดรหัส DTMF	72
4.3 การทดลองวงจรริงดีเทคเตอร์	77
4.4 การทดลองวงจรยกหูโทรศัพท์	79
4.5 การทดลองวงจรสวิตท์ชิ่งและคับปลิ้งของโทรศัพท์	81
4.6 การทดลองการอ่านและการเขียนหน่วยความจำไดนามิคส์แรม	84
4.7 การทดลองแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล	89
บทที่5 บทวิจารณ์และบทสรุป	92
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เนื่องจากสภาพสังคมในปัจจุบันนี้ โทรศัพท์นับว่าเป็นสิ่งที่จำเป็นในการติดต่อสื่อสาร ซึ่งคณะผู้จัดทำเล็งเห็นว่าน่าจะมีการพัฒนาการใช้โทรศัพท์ให้มีประโยชน์มากขึ้น จึงได้จัดทำเครื่องตอบรับโทรศัพท์ชุดนี้ขึ้น โดยเครื่องตอบรับโทรศัพท์อัตโนมัตินี้จะมีฟังก์ชั่นพิเศษเพิ่มขึ้นมาจากโทรศัพท์ทั่วๆ ไป คือ สามารถบันทึกเสียงเจ้าของเครื่องเพื่อแจ้งให้ผู้ที่โทรศัพท์เข้ามาทราบว่าขณะนี้ไม่มีผู้ใดรับสาย และผู้ที่โทรศัพท์เข้ามาสามารถฝากข้อความไว้ได้ โดยเก็บข้อความไว้ในหน่วยความจำ (RAM = Random Access Memory) โดยใช้ไมโครคอนโทรลเลอร์ เป็นตัวควบคุม การทำงาน การอ่านและการเขียน

การบันทึก จะมีการเปลี่ยนสัญญาณเสียงจากอะนาลอกเป็นสัญญาณดิจิตอล (analog to digital converter) เพื่อบันทึกไว้ในหน่วยความจำ

การอ่าน จะนำข้อมูลที่ถูกเก็บไว้ในหน่วยความจำ ซึ่งเป็นข้อมูลแบบดิจิตอล เปลี่ยนเป็นสัญญาณแบบอะนาลอก ซึ่งเป็นสัญญาณเสียงที่ถูกบันทึกกลับคืนมา

โดยแบ่งเนื้อหาภายในปริญญานิพนธ์ ออกเป็น 4 บท ดังนี้

บทที่ 2 "ทฤษฎีและหลักการ" ในบทนี้ประกอบด้วยเนื้อหาทฤษฎีและหลักการต่าง ๆ ที่เกี่ยวข้อง และนำมาประกอบในการทำปริญญานิพนธ์ ซึ่งได้แก่ ทฤษฎีของเครื่องโทรศัพท์ , การใช้งานไมโครคอนโทรลเลอร์ (Microcontroler) เบอร์ 8051 , ทฤษฎีการแปลงสัญญาณอะนาลอกเป็นดิจิตอลและทฤษฎีการแปลงสัญญาณ DTMF ของโทรศัพท์มาเป็นสัญญาณ ดิจิตอล

บทที่ 3 "การคำนวณและการสร้าง" ในบทนี้จะอธิบายถึงหลักการทำงานของวงจรต่างๆ ในแต่ละส่วน ได้แก่ ชุดของวงจรควบคุม , การทำงานของวงจรถอดรหัสสัญญาณ DTMF , วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก และการทำงานของวงจรตรวจสอบสัญญาณเรียกของโทรศัพท์ วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล การต่อหน่วยความจำ

บทที่ 4 "การทดลองและผลการทดลอง" จะอธิบายหลักการทดลองของวงจรในแต่ละส่วน พร้อมทั้งประกอบด้วยผลที่ได้จากการทดลอง

บทที่ 5 "บทวิจารณ์และบทสรุป" จะเปรียบเทียบผลที่ได้จากการทดลองกับผลทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

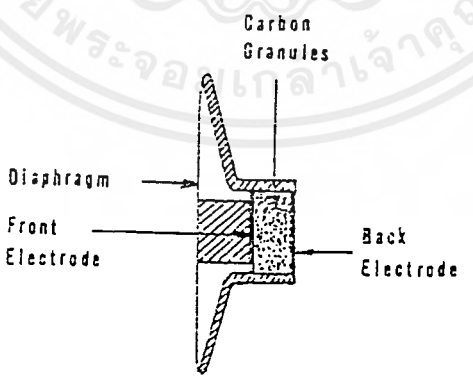
2.1 หลักการเบื้องต้นของเครื่องโทรศัพท์

เครื่องโทรศัพท์ (Telephone) ประกอบด้วยส่วนต่าง ๆ ที่สำคัญคือเครื่องส่ง (Transmitter), เครื่องรับ (Receiver), กระดิ่ง (Ringer), Hook Switch และหน้าปัทม์สำหรับหมุน/กดเลขหมาย (Dial) สำหรับเครื่องส่งและเครื่องรับรวมกันเรียกว่า ปากพูดหูฟัง (Handset) ซึ่งเป็นอุปกรณ์ใช้สำหรับเปลี่ยนพลังงานเสียงที่เกิดจากการพูดให้เป็นพลังงานไฟฟ้า และเปลี่ยนพลังงานไฟฟ้าที่ได้รับกลับเป็นพลังงานเสียงอีกครั้งหนึ่ง โดยเราจะใช้เครื่องส่งเป็นตัวเปลี่ยนพลังงานเสียงเป็นพลังงานไฟฟ้า และเครื่องรับเป็นตัวเปลี่ยนพลังงานไฟฟ้าเป็นพลังงานเสียง สัญลักษณ์ที่ใช้สำหรับเครื่องส่งและเครื่องรับ แสดงดังรูป

(ก) สัญลักษณ์ของ Transmitter (ข) สัญลักษณ์ของ Receiver

รูปที่ 2.1 สัญลักษณ์ของเครื่องส่งและเครื่องรับ

สำหรับเครื่องส่งที่ใช้เป็นแบบผงถ่าน เนื่องจากแบบนี้มีประสิทธิภาพและความไวสูง ซึ่งมีส่วนประกอบด้วยชิ้นส่วนเล็ก ๆ ของคาร์บอนเรียกว่า ผงถ่าน แผ่นอิเล็กโทรด แบบคาร์บอน 2 แผ่น และแผ่นไดอะแฟรม ดังแสดงตามรูปที่ 2.2

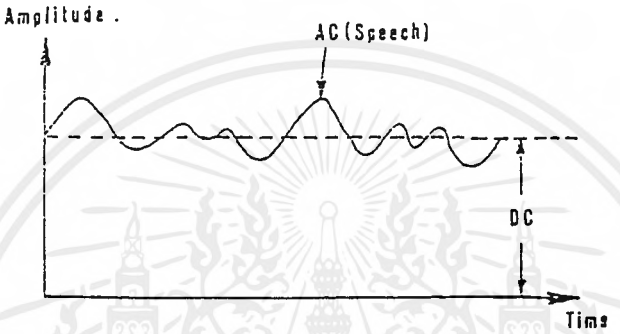


รูปที่ 2.2 เครื่องส่งแบบคาร์บอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

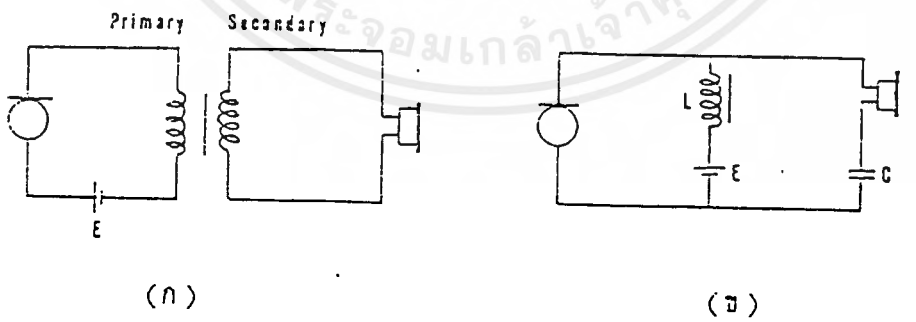
หลักการทำงานคือ เมื่อมีคลื่นเสียงมากระทบแผ่นไดอะแฟรมทำให้แผ่นไดอะแฟรมสั่นพลังงานเสียงจะเปลี่ยนเป็นพลังงานสากล เมื่อแผ่นไดอะแฟรมถูกกดจะทำให้แผ่นอิเล็กโทรดเคลื่อนที่เข้าผงถ่านจะถูกอัดติดแน่นมากการอัดตัวของผงถ่านทำให้ความต้านทานระหว่างแผ่นอิเล็กโทรดทั้งสองมีค่าลดลง ในทางตรงกันข้ามถ้าแผ่นไดอะแฟรมเคลื่อนที่ออกจะทำให้อิเล็กโทรดแผ่นหน้าเคลื่อนที่ออกด้วย จึงทำให้ความต้านทานของเครื่องส่งเพิ่มขึ้น

เมื่อเราเอาแบตเตอรี่ต่อเข้าระหว่างแผ่นอิเล็กโทรดทั้งสอง ทำให้กระแสไฟตรงไหลผ่านและเนื่องจากความต้านทานของเครื่องส่งมีการเปลี่ยนแปลงเมื่อได้รับสัญญาณเสียงแล้ว ดังนั้นกระแสที่ไหลผ่านเครื่องส่งจะเปลี่ยนแปลงไปด้วย นั่นคือพลังงานเสียงก็จะเปลี่ยนเป็นพลังงานไฟฟ้า



รูปที่ 2.3 ส่วนประกอบของกระแสไฟสลับและกระแสไฟตรง

จากรูปที่ 2.3 จะเห็นว่ากระแสไฟสลับเกิดจากสัญญาณเสียง จะเกิดซ้อนทับกับกระแสไฟตรง ส่วนประกอบของกระแสไฟสลับจะถูกแยกออกจากกระแสไฟตรง โดยใช้หม้อแปลงหรือตัวเก็บประจุเป็นตัวแยก และถูกส่งไปยังเครื่องรับ ดังแสดงในรูปที่ 2.4

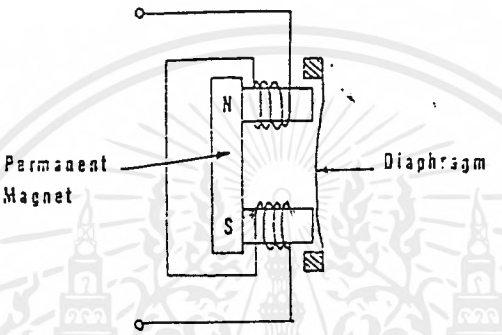


รูปที่ 2.4 การแยกส่วนประกอบของกระแสไฟสลับและกระแสไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4 ก) กระแสไฟสลับในขดปฐมภูมิของหม้อแปลง ทำให้เกิดเส้นแรงแม่เหล็กเปลี่ยนแปลงไปด้วย ซึ่งจะเหนี่ยวนำให้เกิดกระแสไหลในขดทุติยภูมิ จึงทำให้มีกระแสไฟสลับไหลผ่านเครื่องรับ ส่วนกระแสไฟตรงจะไหลเฉพาะในขดปฐมภูมิเท่านั้น

รูปที่ 2.4 ข) กระแสตรงจะไหลผ่านขดลวด (L) ซึ่งมีค่าความต้านทานต่ำและไหลผ่านเครื่องส่งได้ แต่จะไม่ไหลผ่านเครื่องรับ เนื่องจากมีตัวเก็บประจุ (C) กั้นไว้ แต่กระแสไฟสลับจะไหลผ่านเครื่องรับโดยผ่านเครื่องส่งและตัวเก็บประจุ (C) ได้ แต่จะไม่สามารถไหลผ่านขดลวด (L) เนื่องจากมีความต้านทานสูงในขณะสัญญาณเสียงที่ได้รับจากโทรศัพท์มีค่าน้อยมาก ดังนั้นเครื่องรับที่ใช้จึงควรออกแบบให้มีประสิทธิภาพที่จะเปลี่ยนพลังงานไฟฟ้าให้เป็นพลังงานเสียงให้มากที่สุด



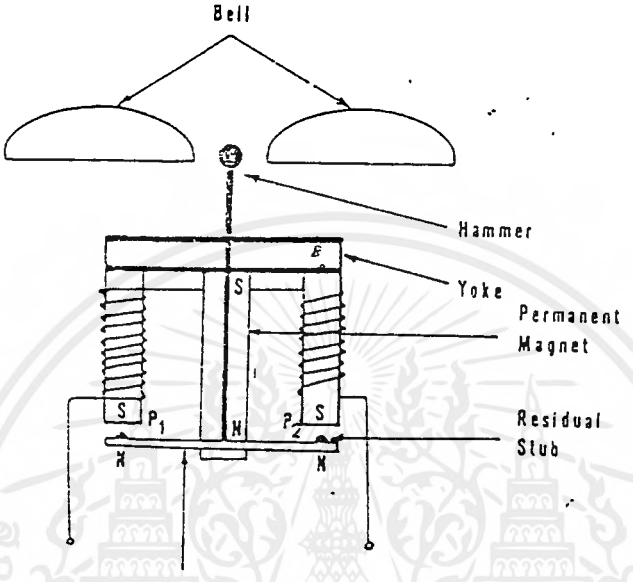
รูปที่ 2.5 เครื่องรับ

หลักการของเครื่องรับ อธิบายได้คือขดลวดที่พันอยู่ในแกนแม่เหล็กถาวรต่อแบบอนุกรม แต่ขดลวดพันกลับทิศทางแม่เหล็กถาวรจะมีอำนาจดูดแผ่นไดอะแฟรมเข้ามา เมื่อมีไฟกระแสสลับ (speech current) ไหลผ่านขดลวดจะทำให้เกิดเส้นแรงแม่เหล็กขึ้น ทิศทางของเส้นแรงแม่เหล็กจะมีทิศทางตรงกันข้ามกับทิศทางของกระแสไฟในวงจร ซึ่งอาจจะไปเสริมหรือต้านกับเส้นแรงแม่เหล็กถาวร แผ่นไดอะแฟรม จะเคลื่อนที่เข้าหรือออกตามขนาดและความถี่ของ Speech Current ซึ่งจะทำให้เกิดคลื่นเสียงที่มีขนาดและความถี่เท่ากับ Speech Current ที่ไหลเข้ามาในวงจร คลื่นเสียงที่เกิดขึ้นนั้นย่อมจะมีการสูญเสียบ้าง เนื่องจากการเปลี่ยนรูปพลังงาน ดังนั้นเอาท์พุทของคลื่นเสียงจะน้อยกว่าอินพุทของพลังงานไฟฟ้าที่ได้รับจากเครื่องรับ

2.1.1 กระดิ่งของเครื่องโทรศัพท์ (ringer)

เมื่อมีการเรียก กระดิ่งที่เครื่องโทรศัพท์ของผู้ถูกเรียกจะดังขึ้น ซึ่งหมายถึงชุมสายโทรศัพท์ได้ทำการส่งไฟกระแสสลับ (กระแสไฟฟ้าของสัญญาณกริ่ง) เข้ามาป้อนที่กระดิ่งของเครื่องโทรศัพท์ โดยใช้กระแสไฟฟ้าของสัญญาณกริ่ง จะมีค่าประมาณ 75 - 90 โวลท์ 18 - 25 Hz ลักษณะของกระดิ่งดังแสดงในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 กระดิ่งของเครื่องโทรศัพท์

รูปที่ 2.6 กระดิ่งของโทรศัพท์ ประกอบด้วยขดลวด 2 ขดต่อแบบอนุกรมพั นอยู่บนแกนเหล็ก ติดกับโย้ค และมีแม่เหล็กถาวรอยู่ตรงกลางโย้ค ส่วนอามาเจอร์จะวางอยู่ในลักษณะที่ตรงจุดกึ่งกลางของมันติดอยู่ที่แกนแม่เหล็กถาวร โดยมีสารที่ไม่ใช่เป็นแม่เหล็กยึดติดอยู่ส่วนปลายของอามาเจอร์ทั้งสองจะมี เรซิดวลสตับติดอยู่ ซึ่งอยู่ตรงข้ามกับขั้ว P_1 และ P_2

หลักการทำงานของเส้นแรงแม่เหล็กจากแม่เหล็กถาวรทำให้เกิดขั้ว S ขึ้นที่ขั้ว P_1 และ P_2 ทำให้เกิดขั้ว N ที่ปลายอามาเจอร์ในสภาวะปกติจะไม่มีกระแสไหลผ่านขดลวด ทำให้อามาเจอร์ถูกดูดด้วยแรงเท่ากัน หรืออาจถูกดูดไปปลายข้างใดข้างหนึ่งของขั้ว P_1 และ P_2 ก็ได้ เมื่อมีการเรียกจะมีไฟกระแสสลับไหลผ่านขดลวดทั้งสอง ทำให้เกิดอำนาจแม่เหล็ก N และ S ขึ้นที่ขั้ว P_1 และ P_2 ซึ่งทำให้เกิดอำนาจแม่เหล็กมากที่ปลายขั้ว S (P_2) และที่ปลายขั้วอีกด้าน (P_1) หมดอำนาจแม่เหล็ก อามาเจอร์จะถูกดูดมายังขั้วที่มีแรงแม่เหล็กมากกว่า และเนื่องจากเป็นไฟกระแสสลับ ดังนั้นจึงทำให้อามาเจอร์ถูกดูดสลับข้างกันตามอำนาจแม่เหล็กก้านตีจะไปตีกระดิ่งทั้งสองสลับกัน ทำให้กระดิ่งดัง

สำหรับสัญญาณหมายเลข มีอยู่ 2 ลักษณะ คือ

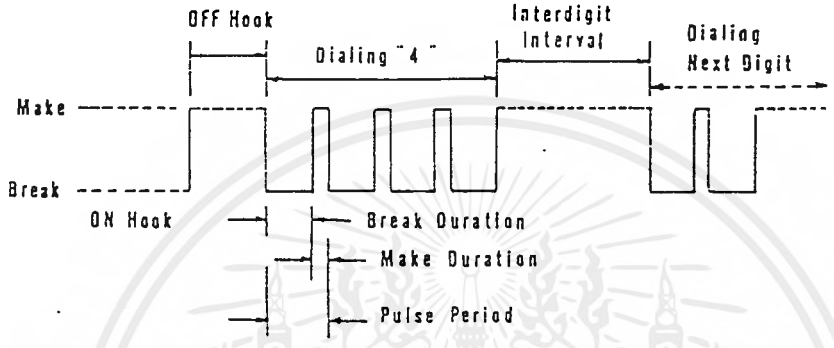
- เป็นพัลส์ ที่เกิดจากกระแสลูป ซึ่งมีในโทรศัพท์แบบหมุน
- เป็นความถี่ของแต่ละหมายเลข ซึ่งมีในโทรศัพท์แบบกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 อธิบายรายละเอียดของโทรศัพท์แต่ละแบบได้ ดังนี้

1) สัญญาณจากโทรศัพท์แบบหมุน (rotary dial) โทรศัพท์ชนิดนี้สร้างสัญญาณจากกระแสลูป โดยต่อเข้ากับอุปกรณ์สวิตช์ ทำหน้าที่ "เปิด" และ "ปิด" เข้ากับกลไกการหมุนหมายเลขในเครื่อง ทำให้กระแสพัลส์ตอบสนองเข้ากับหมายเลขที่หมุน

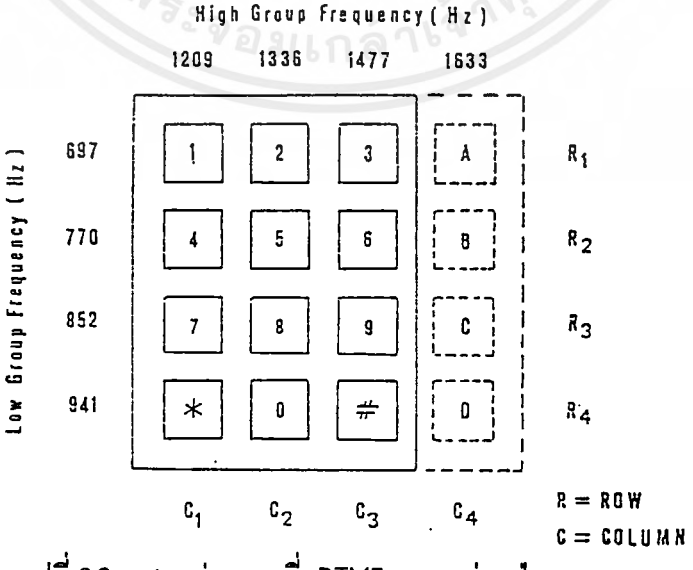
ขอให้พิจารณารูปที่ 2.7 แสดงสัญญาณพัลส์ที่จากการหมุนเลข "4"



รูปที่ 2.7 แสดงสัญญาณพัลส์ของหมายเลข "4"

จากรูปแต่ละช่วงเวลาของสัญญาณพัลส์ 1 ลูก มีค่า 100 มิลลิวินาที และมีค่าดิวตี้ไซเคิลเท่ากับ 40 เปอร์เซนต์ และจากการใช้มือหมุนพบว่า ช่วงเวลาเฉลี่ยก่อนที่จะหมุนหมายเลขแต่ละค่า มีค่าประมาณ 0.5 วินาที - 3 วินาที

2) สัญญาณจากโทรศัพท์แบบกดปุ่ม (touch - tone) โทรศัพท์ชนิดนี้สร้างสัญญาณ DTMF (Dual - Tone Multiple Frequency) จากการกดปุ่มของแต่ละหมายเลข และแต่ละปุ่มกดมีความถี่เฉพาะสร้างขึ้นมา 2 ความถี่ส่งออกไปพร้อมกัน ดังรูปที่ 2.8 แสดงตำแหน่งของปุ่มกดและความถี่ของแต่ละปุ่ม



รูปที่ 2.8 แสดงค่าความถี่ DTMF ของแต่ละปุ่มกด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่ความถี่ที่ส่งออกไปนั้นมีค่าอยู่ประมาณ 40 มิลลิวินาที และช่วงเวลาระหว่างหมายเลขมีค่า 60 มิลลิวินาทีเป็นอย่างต่ำ โทรศัพท์แบบกดปุ่มใช้เวลาทำงานเร็วกว่าแบบหมุนอยู่ถึง 10 เท่า

2.1.3 มาตรฐานสัญญาณโทรศัพท์

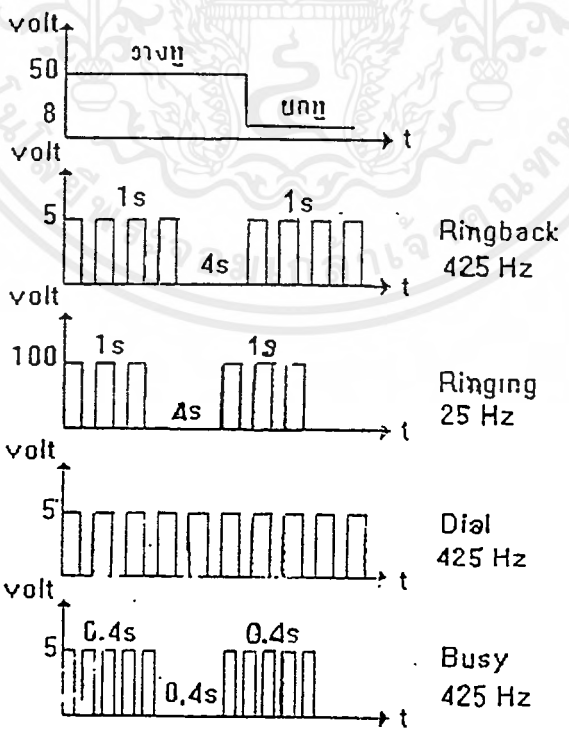
สัญญาณโทรศัพท์เป็นสิ่งจำเป็น เพื่อให้สัญญาณโทรศัพท์ใช้งานกันได้จึงกำหนดมาตรฐานของสัญญาณโทรศัพท์ขึ้นเพื่อบอกสภาวะการใช้งานของเครื่องโทรศัพท์สัญญาณต่างๆ ได้แก่

1) สัญญาณแมวกรน (Dial Tone) เป็นสัญญาณความถี่ 425 Hz ทำการส่งต่อเนื่องกันไปใช้บอกให้ฝ่ายเรียกเริ่มทำการหมุนหรือกดเลขหมายเพื่อการเรียกออกได้

2) สัญญาณไม่ว่าง (Busy Tone) เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 0.4 วินาที และหยุด 0.4 วินาที สลับกันไปเพื่อบอกให้รู้ว่าฝ่ายรับคู่สายไม่ว่าง จะต้องทำการวางหูก่อนแล้วจึงยกหูขึ้นมาเพื่อรอสัญญาณแมวกรนใหม่

3) สัญญาณเรียกกลับ (Ringing Tone) เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาทีสลับกัน เพื่อบอกให้ฝ่ายเรียกรู้ว่าเรียกคู่สายได้แล้วเพียงแต่รอฝ่ายรับมารับสายเท่านั้น

4) สัญญาณกระดิ่ง (Ringing back Tone) เป็นสัญญาณความถี่ประมาณ 25 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาที สลับกันไปเช่นเดียวกับสัญญาณเรียกกลับแต่จะมีระดับสัญญาณแรงไฟที่สูงกว่าเพื่อบอกให้ฝ่ายรับทราบว่ามีการเรียกเข้ามา เพื่อทำการยกหูแล้วสนทนาติดต่อกันต่อไป



รูปที่ 2.9 สัญญาณโทรศัพท์แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ส่วนการถอดรหัสสัญญาณ DTMF

สำหรับการถอดรหัสสัญญาณโทรศัพท์ เราเลือกใช้ไอซีสำเร็จรูปเบอร์ MT 8870 ในการถอดรหัสสัญญาณ DTMF เนื่องจากเป็นไอซีที่หาได้ง่าย และมีประสิทธิภาพดีเป็นที่นิยมใช้แพร่หลาย

2.2.1 รายละเอียดของ ไอซีเบอร์ MT 8870

1) คุณสมบัติของ MT 8870 เป็นตัวรับและถอดรหัสความถี่ DTMF (DTMF Receiver & Decoder)

- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถปรับการ์ดไทม์ (Guard Time) ได้
- สามารถตั้งอัตราขยายภายในตัวไอซีได้
- เป็นไอซีคุณภาพสูง

2) การนำ MT 8870 ไปใช้งานด้านรีโมทคอนโทรล

- เครื่องป้องกันโทรศัพท์ทางไกล
- ใช้ในงานเกี่ยวกับเครดิตการ์ด
- ใช้งานร่วมกับคอมพิวเตอร์
- ใช้กับงานด้านโทรศัพท์โดยทั่วไป
- เครื่องกันขโมย
- การควบคุมอุปกรณ์ทางโทรศัพท์
- ใช้ทำเครื่องสอบถามทางโทรศัพท์

3) โครงสร้างของ MT 8870

โครงสร้างภายในของ MT 8870 ประกอบไปด้วยวงจรความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอลเป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับ และถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐาน 2 ขนาด 4 บิทและเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ซึ่งสามารถปรับอัตราขยายได้โดยต่อกับอุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลทช์ 3 สถานะ ภายในโครงสร้างของ MT 8870 จะประกอบไปด้วยส่วนสำคัญ 5 ส่วน คือ

ก) ภาคกรองความถี่ (Filter Section)

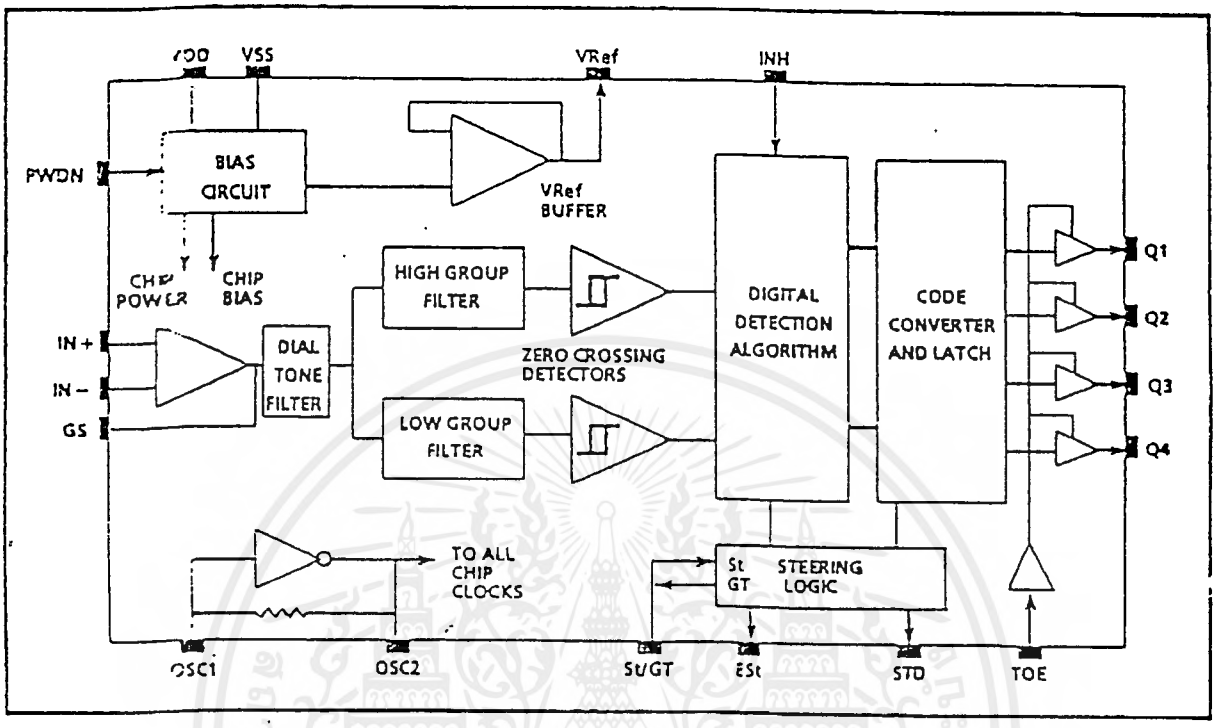
ข) ภาคถอดรหัส (Decoder Section)

ค) ภาคตรวจสอบสัญญาณ (Steering Circuit)

ง) ภาคขยายสัญญาณความแตกต่าง (Differential Input)

จ) ภาคกำเนิดความถี่ (Oscillator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 โครงสร้างภายในของ MT 8870

2.2.2 ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองความถี่อันดับ 6 ชนิด สวิทช์คาปาซิเตอร์ (Six - Order Switched Capacitor Band Pass Filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วงคือ ช่วงความถี่สูงและช่วงความถี่ต่ำ

2.2.3 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้องสัญญาณที่ขา est (Early Steering) หรือขา 16 ก็จะแอคทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆ นั้นแสดงได้ดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 แสดงค่าถอดรหัสได้จากความถี่ต่างๆ

Flow	Fhigh	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

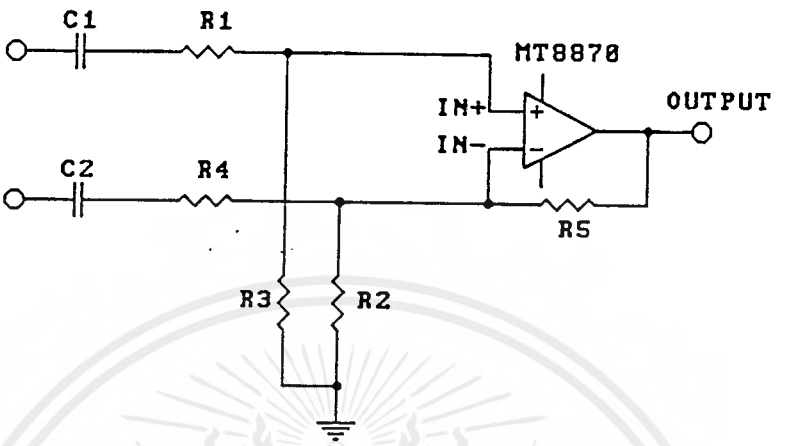
2.2.4 ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มโทรศัพท์ให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะได้รับโดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอกสัญญาณที่ขา Est จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา ทำให้ VC สูงขึ้นตัวเก็บประจุ VC จะคายประจุทำให้แรงดัน VC สูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดในการทำงานดูได้จากแผนภูมิเวลาหรือไทมิ่งไดอะแกรม (Timing Diagram) จะเข้าใจได้ง่ายสำหรับการ์ดไทม์ (Gardtime) นั้น หมายถึง ช่วงคาบเวลาของความถี่เข้ามาซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT 8870 เป็นภาคขยายออปแอมป์ ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไปดังรูปที่ 2.11 ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนซ์ได้ดังนี้



รูปที่ 2.11 การต่อวงจรภาคอินพุท

ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุท และอิมพีแดนซ์ได้ดังนี้

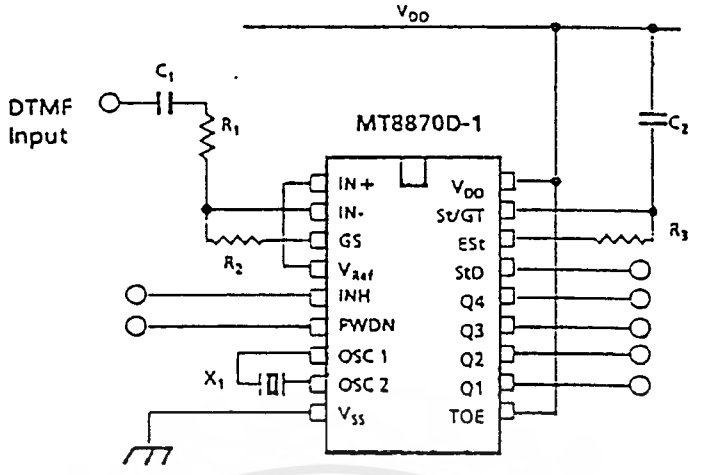
$$R3 = \frac{R2 * R5}{R2 + R5}$$

$$\text{อัตราขยาย } Av_{dif} = \frac{R_5}{R_1}$$

$$\text{อินพุทอิมพีแดนซ์ } (Zin_{dif}) = 2\sqrt{(R_1)^2 + (1/wc)^2}$$

สำหรับวงจรการต่อใช้งานก็กำหนดค่าต่าง ๆ มาโดยเฉพาะการทำงานสำหรับวงจรการถอดรหัส DTMF นั้นเมื่อผู้เรียกกดเลขหมาย หลังจากได้รับการตอบรับเรียบร้อยแล้ว สัญญาณความถี่สองความถี่ผสมกันมา จะเข้าสู่วงจรการถอดรหัส DTMF เบอร์ MT 8870 เมื่อถอดรหัสแล้วจะได้เอาท์พุทออกมาเป็น 4 บิต แล้วส่งไปส่วนควบคุมต่อไป

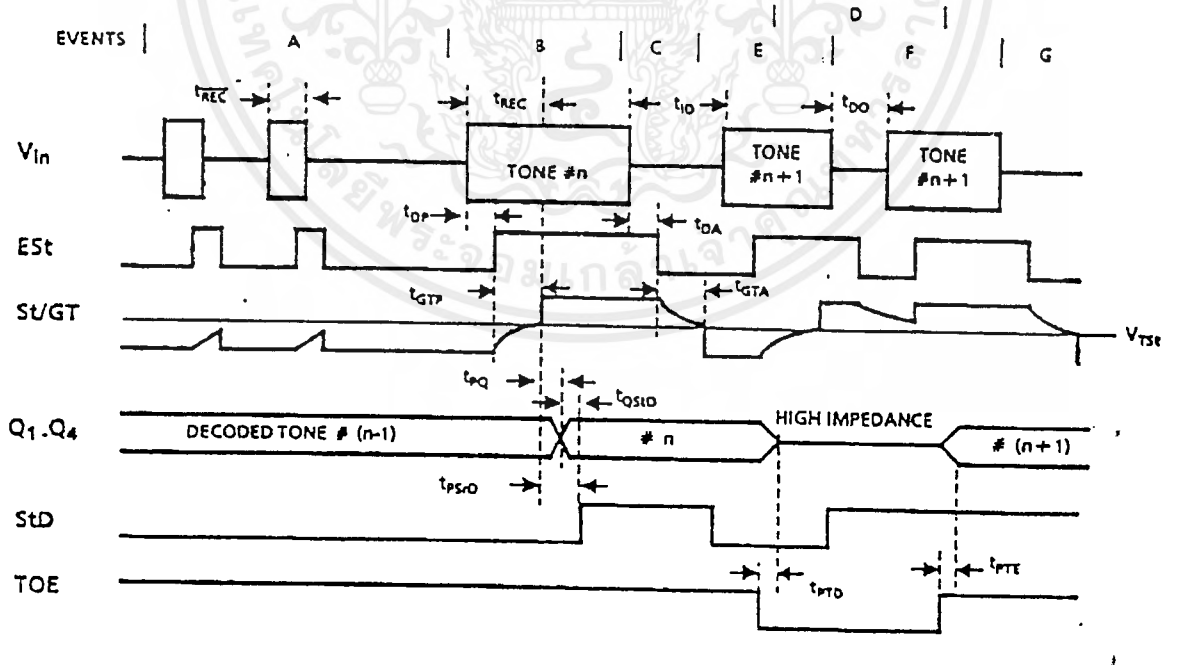
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจรถอดรหัส DTMF

1) ขั้นตอนการทำงาน

เพื่อให้ทราบถึงรายละเอียดต่าง ๆ ในการทำงาน และหน้าที่ของขาต่าง ๆ ของ MT 8870 ในการต่อเข้าเป็นระบบเชื่อมโยงกับส่วนอื่น ๆ สามารถที่จะอธิบายด้วยแผนภูมิเวลาข้างล่างนี้



รูปที่ 2.13 แผนภูมิเวลาของ MT 8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาท์พุทไม่เปลี่ยน

B - ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้องความถี่ถูกถอดรหัสและแลทช์ไว้ที่เอาท์พุท

C - ช่วงความถี่ # n ช่วงห่างถูกต้องเอาท์พุทยังคงแลทช์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D - เอาท์พุทเปลี่ยนเป็น High Impedance

E - ความถี่ # n+1 ถูกตรวจพบคาบเวลาถูกต้องความถี่ถูกถอดรหัสและแลทช์ไว้

F - ความถี่ # n+1 หายไปช่วงห่างไม่ถูกต้อง เอาท์พุทยังคงแลทช์อยู่

G - จบความถี่ # n+1 ช่วงห่างถูกต้องเอาท์พุทยังคงแลทช์อยู่จนถึงความถี่ใหม่ ที่ถูกต้องเข้ามา

2) อธิบายคำศัพท์

Vin - สัญญาณความถี่ DTMF ที่เข้ามา

Est - Early Steering Output ใช้แสดงความถี่ที่ถูกต้อง

St/Gt - Steering input/Guard Time Output สำหรับต่อกับ RC

Q_1 - Q_4 - เอาท์พุท BCD ขนาด 4 บิท

STD - Delayed Steering Output ใช้แสดงค่าความถี่ที่ได้รับหรือหายไปมีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Output Enable (input) ใช้ควบคุม Q1 - Q4 ให้เป็นไฮท์อิมพีแดนซ์

t_{REC} - คาบเวลานานที่สุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

t_{ID} - เวลาสิ้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

t_{DO} - เวลานานที่สุดที่ยอมให้สัญญาณหายไปได้ ในคาบเวลาที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

2.2.6 ภาคกำเนิดความถี่

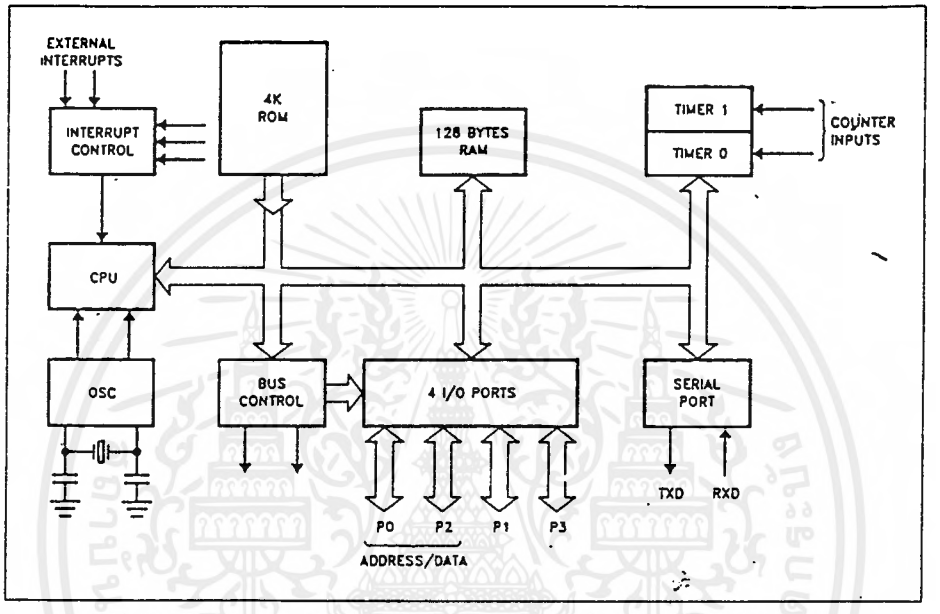
ในภาคนี้ภายในไอซีจะมีวงจรอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.75 MHz ก็สามารถใช้งานได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ไมโครคอนเทรสเลอร์ เบอร์ 8051

2.3.1 โครงสร้างของ 8051

ภายใน 8051 จะประกอบขึ้นด้วย GATE ต่างๆ เช่น AND, OR, NOT ซึ่ง GATE เหล่านี้จะถูกนำเอามาออกแบบให้มีหน้าที่การทำงานต่างๆ เช่นวงจรถอดรหัสคำสั่ง (Instruction Decoder), วงจรสร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังไดอะแกรมในรูปที่ 2.14



รูปที่ 2.14 ไดอะแกรมโครงสร้างของ 8051

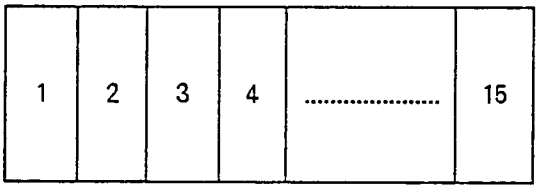
ไดอะแกรมในรูปที่ 2.14 เป็นโครงสร้างใหญ่ๆ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลัก ๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่สัญญาณสำหรับการติดต่อกับหน่วยความจำ, อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างถึงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์เพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูลเช่น การบวก, ลบ, คูณ หรือหารข้อมูลแล้วนำผลลัพธ์เก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเสมือนกล่องเก็บเอกสารจำนวนมากที่นำมาต่อเรียงกันไว้ แต่ละกล่องก็มีเอกสาร 1 แผ่น ดังในรูปที่ 2.15 มีกล่องเอกสารทั้งหมด 15 กล่อง



รูปที่ 2.15 ภาพเสมือนของหน่วยความจำ

ถ้าต้องการเอาเอกสารจากกล่องใด หรือเอาเอกสารไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อนซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งของหน่วยความจำหรือแอสเดรส (Address) นั่นเอง การเอาข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูล และการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูล ซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั่น ในไมโครโปรเซสเซอร์ทั่วไปรวมทั่ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐาน 2 (8 บิท เท่ากับ 1 ไบท์) ดังนั้นแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้ขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่ม คือ

1. แอสเดรสหรือค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ ใน 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2^{16} เท่ากับ 64 * 1024 = 65536)
2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1
3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูล

สัญญาณเหล่านี้จะถูกวงจรควบคุมภายใน 8051 สร้างมาจากวงจรถอดรหัสของคำสั่งที่ 8051 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั่นเอง ในรูปที่ 2.14 หน่วยความจำได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่างๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุทและเอาท์พุท เป็นส่วนที่จะใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในไดอะแกรมรูปที่ 2.14 อุปกรณ์อินพุทและเอาท์พุทได้แก่ 4 I/O Port , Timer 0, Timer 1, Serial Port การทำงานของแต่ละส่วนมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. 4 I/O Port คำว่าพอร์ทหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 พอร์ทมีทั้งหมด 4 พอร์ท โดยแต่ละพอร์ทจะรับ-ส่งข้อมูลได้ 8 บิท มีพอร์ท P0, P1, P2 และ P3 บางพอร์ทจะใช้ทำงานมากกว่า 1 อย่างก็ได้

เช่น พอร์ท P0 และ P2จะใช้สำหรับการส่งค่าตำแหน่งของหน่วยความจำที่ต้องการติดต่อและพอร์ท P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วยแต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีการทำงานตามลำดับโดยควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเองและสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

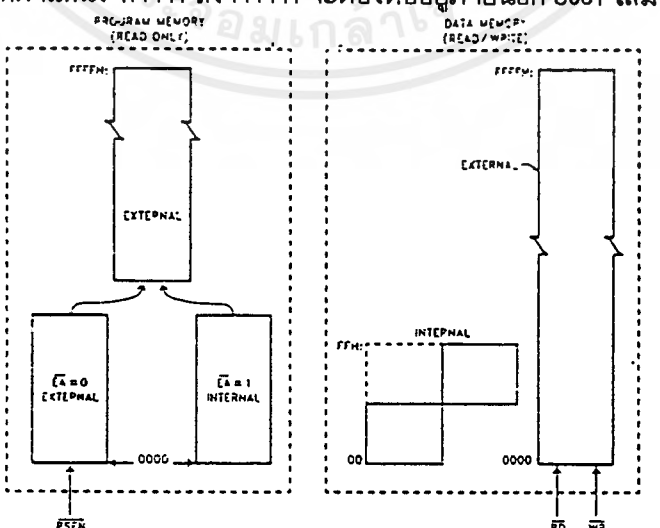
2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

3. Serial Port หรือ พอร์ทอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิท ออกจากขา Txd และในการรับข้อมูลเข้าก็จะรับเข้ามาทีละบิททางขา Rxd แล้วจัดเรียงใหม่เป็น 8 บิท เพื่อให้ CPU อ่านไปใช้งานต่อไป

2.3.2 การจัดการหน่วยความจำของ 8051

หน่วยความจำของ 8051 แบ่งออกได้เป็น 2 แบบ ตามลักษณะของการใช้งาน คือ

1. หน่วยความจำสำหรับโปรแกรม (Program Memory) หน่วยความจำแบบนี้จะเป็นแบบ ROM จำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ 8051 จะใช้งานได้คือ 65536 ตำแหน่ง ค่าของตำแหน่งจะเขียนเป็นเลขฐาน 16 ได้ตั้งแต่ 0000H ถึง FFFFH หน่วยความจำตำแหน่ง 0000H ถึง 0FFFH จำนวน 4 กิโลไบท์ ผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของ ROM ที่อยู่ภายในหรือภายนอก 8051 ถ้าต้องการให้ 8051 ทำงานตามคำสั่งที่เก็บไว้ใน ROM ภายใน 8051 ก็ให้ป้อนสัญญาณสภาวะลอจิก High เข้าที่ขา $\overline{EA}$ ของ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFH ถึง FFFFH จะต้องต่ออยู่ภายนอก 8051 เสมอ ดังรูปที่ 2.16



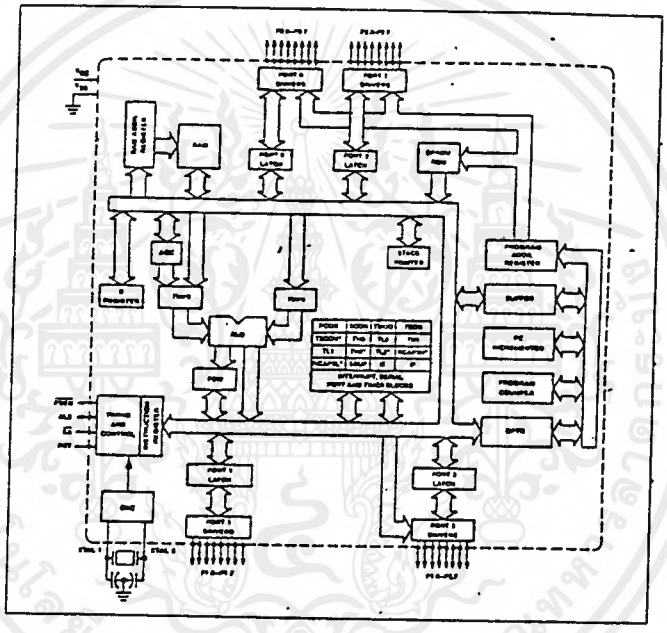
รูปที่ 2.16 แผนภูมิหน่วยความจำของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

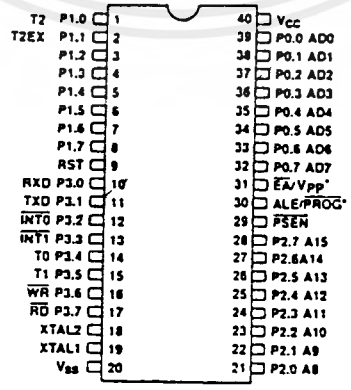
2. หน่วยความจำสำหรับข้อมูล (Data Memory) หน่วยความจำแบบนี้เป็นประเภท RAM 8051 จะมีหน่วยความจำสำหรับข้อมูลอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน 8051 จำนวน 128 ไบท์ ที่ตำแหน่ง 00H ถึง 7FH และอีกชุดหนึ่งจะต้องต่ออยู่ภายนอกของวงจรรวม 8051 มีได้สูงสุด 65536 ไบท์ หรือ 64 กิโลไบท์ หน่วยความจำที่ตำแหน่ง 80H ถึง FFH นั้น ไม่ได้มีอยู่ทุกตำแหน่งจะมีเฉพาะในบางตำแหน่งซึ่งเรียกหน่วยความจำบางตำแหน่งนี้ว่า Special Function Register (SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้น ดังนั้นใน 8051 จึงไม่ถือว่า SFR เป็นหน่วยความจำสำหรับข้อมูล

2.3.3 สถาปัตยกรรมของ 8051

ในรูปที่ 2.17 เป็นสถาปัตยกรรมภายในของ 8051 และสัญญาณจากภายในจะต่อออกสู่ภายนอกทางขาของ 8051 ที่มีอยู่ 40 ขา ดังรูปที่ 2.18



รูปที่ 2.17 สถาปัตยกรรมภายในของ 8051



รูปที่ 2.18 ไดอะแกรมขาของ 8051 แบบ DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

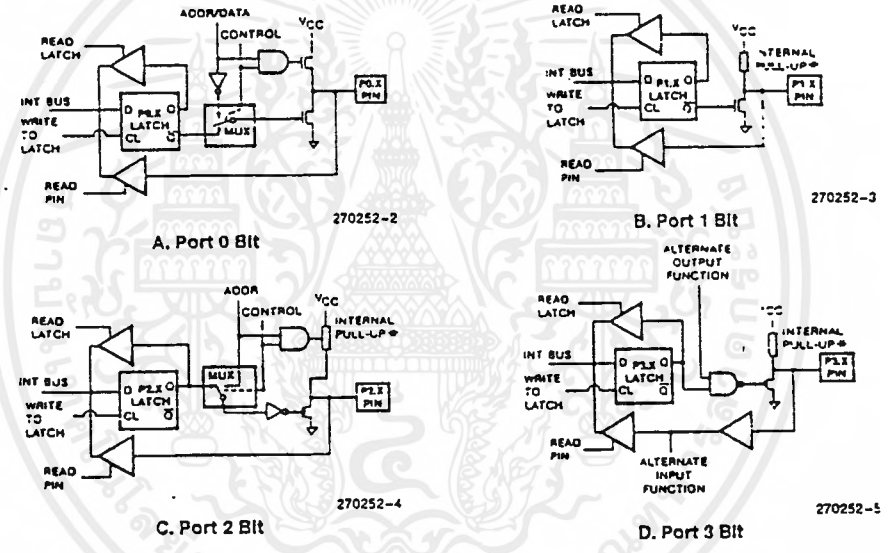
Port 0

พอร์ท 0 นี้ ใช้ได้ทั้งการรับ-ส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ทรับ-ส่งข้อมูลก็ได้ โครงสร้างของแต่ละบิทของพอร์ท 0 เป็นแบบ Open Drain Bidirectional ดังรูปที่ 2.19 พอร์ท 0 จะใช้งานได้หลายอย่าง ดังนี้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 กิโลไบท์ จึงมีค่าตำแหน่งหน่วยความจำ 16 บิท ค่าตำแหน่งหน่วยความจำ 8 บิท ล่างจะถูกส่งออกไปทางพอร์ท 0 และ 8 บิทบนจะถูกส่งออกไปทางพอร์ท 2

2. ใช้รับ-ส่งข้อมูลกับหน่วยความจำสำหรับข้อมูล หรือใช้รับข้อมูลจากหน่วยความจำสำหรับโปรแกรม

3. ใช้รับ-ส่งข้อมูลผ่านทางพอร์ทโดยตรงในกรณีที่ไม่มีการใช้หน่วยความจำของหน่วยความจำสำหรับโปรแกรมหรือหน่วยความจำสำหรับข้อมูลภายนอก



รูปที่ 2.19 โครงสร้างของพอร์ท

Port 1

โครงสร้างของพอร์ท 1 ดังรูปที่ 2.19 พอร์ท 1 นี้จะใช้ทำหน้าที่เป็นตัวรับ-ส่งข้อมูลเท่านั้น ข้อมูลที่ส่งออกมาทางพอร์ท 1 จะถูก Latch ไว้แล้วส่งออกไปทางแต่ละขา ก่อนที่จะอ่านข้อมูลเข้าไปทางพอร์ท 1 จะต้องเขียน 1 ไปยังทุกบิทของพอร์ท 1 เสียก่อนเพื่อให้ FET อยู่ในสภาวะ OFF ก่อน มิฉะนั้นแล้วถ้ามีข้อมูล 0 ส่งออกมาค้างอยู่ที่ D-FF จะทำให้ FET อยู่ในสภาวะ ON ดังนั้นถ้าสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวนด์โดยไม่สนใจว่าสภาวะลอจิกของสัญญาณที่เข้ามาจะเป็นอะไรข้อมูลที่อ่านเข้าไปจึงจะเป็น 0 เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port 2

โครงสร้างของพอร์ท 2 ตามรูปที่ 2.19 ลักษณะโครงสร้างจะเหมือนกับพอร์ท 0 แตกต่างกันที่ พอร์ท 2 นั้นภาค Driver จะใช้งานเพียง 2 ลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหน่งนี้เป็น 8 บิทบนของค่าตำแหน่ง

2. ใช้เป็นพอร์ทรับ-ส่งข้อมูลกับภายนอก

Port 3

โครงสร้างของพอร์ท 3 ตามรูปที่ 2.19 แต่ละบิทของพอร์ท 3 จะใช้ในการทำงานอื่นได้โดยใช้คำสั่งควบคุมการทำงานซึ่งแต่ละบิทของพอร์ท 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/$\overline{INT0}$ (External Interrupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/$\overline{INT1}$ (External Interrupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.4/T0 (Timer /Counter 0 External Input) เป็นขาที่ใช้รับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer /Counter 1 External Input) เป็นขาที่ใช้รับสัญญาณเข้าไปยังวงจร Timer/Counter 1 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T1 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.6/$\overline{WR}$ (External Data Memory Write Strobe) เป็นขาควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7/$\overline{RD}$ (External Data Memory Read Strobe) เป็นขาควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037295

การเชื่อมต่อหน่วยความจำโปรแกรมภายนอกกับ 8051

เนื่องจากระบบบัสและแอดเดรสและบัสข้อมูลของไมโครคอลโทรลเลอร์ 8051 เป็นลักษณะแบบใช้การมัลติเพล็กซ์จากพอร์ตเดียวกัน กล่าวคือ ในระยะเริ่มต้นเส้นสัญญาณเหล่านี้ของพอร์ตจะใช้ในการส่งค่าแอดเดรสของตำแหน่งที่ต้องการติดต่อด้วย ในช่วงเวลาต่อมาจึงเปลี่ยนไปเป็นสภาวะอิมพีแดนซ์สูงเพื่อใช้งานในฐานะของบัสข้อมูล แต่เนื่องจากว่า EPROM ที่ใช้งานกันทั่วไปนั้นไม่ใช้การมัลติเพล็กซ์ และมีขาสัญญาณบัสแอดเดรสและบัสข้อมูลแยกออกจากกันโดยชัดเจนดังนั้นการเชื่อมต่อ EPROM เพื่อทำหน้าที่เป็นหน่วยความจำโปรแกรม จึงจำเป็นต้องมีวงจรประแททแลตช์ (Latch) ประกอบเพิ่มเติมขึ้น เพื่อทำการค้างค่าของแอดเดรสที่ส่งออกมาจาก 8051 ในช่วงเวลาแรกให้กับขาสัญญาณแอดเดรสของ EPROM

EA (External Acess) เป็นขาสัญญาณที่ 31 ใช้เลือกหน่วยความจำภายในหรือภายนอก

ALE (Address Enable) เป็นขาสัญญาณที่ 30 ใช้เป็นสัญญาณเอาท์พุทสำหรับแลตช์ข้อมูลแอดเดรสจากบัส

P2.0 - P2.3 (Port 2) เป็นขาสัญญาณที่ 21-28 ใช้เป็นข้อมูลแอดเดรสไบต์สูงของหน่วยความจำ

P0.0 - P0.7 (Port 0) เป็นขาสัญญาณที่ 32-39 ใช้มัลติเพล็กซ์สัญญาณของบัสแอดเดรสและบัสข้อมูล

PSEN (Program Store Enable) เป็นขาสัญญาณที่ 29 ใช้เป็นสัญญาณระบุการ Read ให้กับหน่วยความจำ EPROM

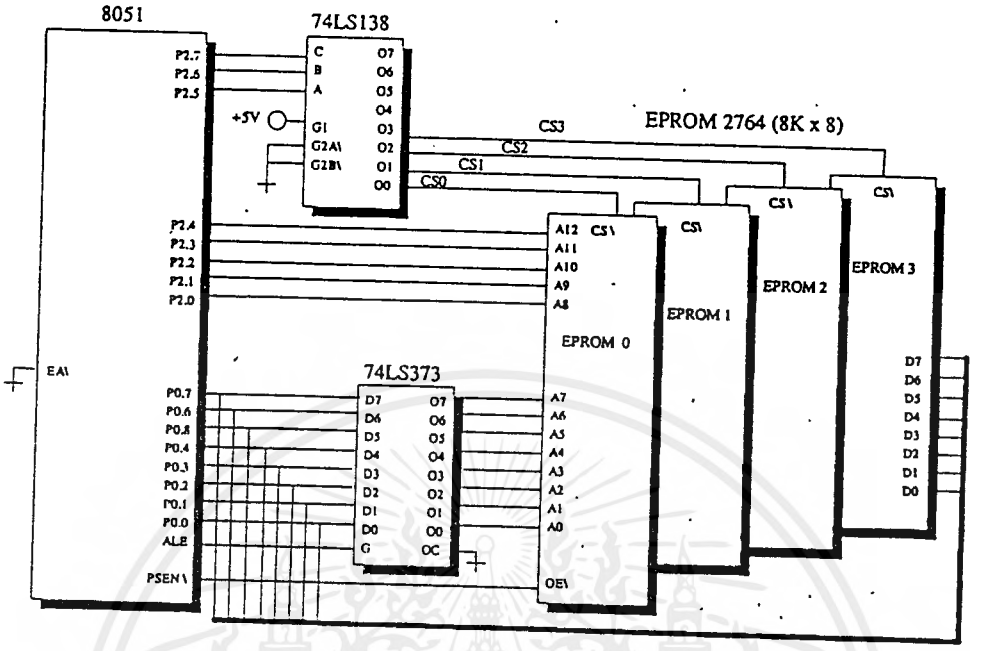
การสร้างสัญญาณเลือก EPROM หลายตัว

ขนาดของหน่วยโปรแกรมความจำภายนอกมีค่าสูงสุดไม่เกิน 64 กิโลไบต์ ดังนั้นในกรณีที่ต้องใช้ EPROM จำนวนหลายตัวประกอบกัน เพื่อให้ครอบคลุมแอดเดรสที่มากขึ้นกว่าความจุของ EPROM ตัวเดียวก็สามารถกระทำได้โดยใช้วงจรถอดรหัสแอดเดรสกำหนดพื้นที่หน่วยความจำของ EPROM แต่ละตัวว่าอยู่ในบริเวณใดของส่วนพื้นที่ทั้งหมด 64 กิโลไบต์ ในที่นี้เป็นไอซีทีทีแอลเบอร์ 74LS138 โดยต่อทางด้านอินพุทเข้ากับเส้นสัญญาณ P2.5-P2.7 และนำสัญญาณทางด้านเอาท์พุทแต่ละเส้นมาสร้างเป็นสัญญาณ CS ให้กับ EPROM แต่ละตัว เพื่อให้ทำงานในช่วงของแอดเดรสที่ต่างๆกันช่วงละ 8 กิโลไบต์

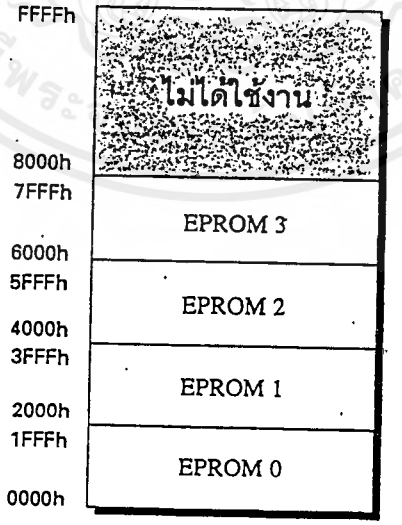
อุปกรณ์	P2.7	P2.6	P2.5	ค่าบิตอื่นๆ ของ P2	ช่วงแอดเดรส
EPROM0	0	0	0	00000 ถึง 11111	0000 ถึง 1FFF
EPROM1	0	0	1	00000 ถึง 11111	2000 ถึง 3FFF
EPROM2	0	1	0	00000 ถึง 11111	4000 ถึง 5FFF
EPROM3	0	1	1	00000 ถึง 11111	6000 ถึง 7FFF

ตารางที่ 2.2 การอ้างแอดเดรสหน่วยความจำของ EPROM จำนวนหลายตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูที่ 2.20 การเชื่อมต่อเพื่อขยายหน่วยความจำโปรแกรมภายนอก

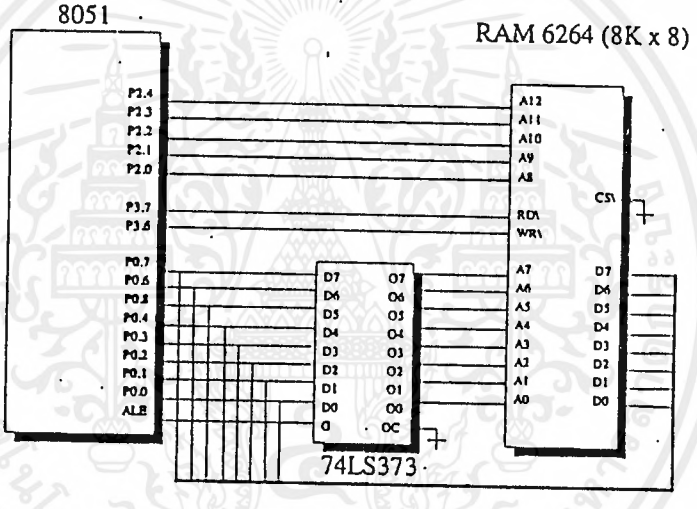


รูปที่ 2.21 แสดงผังแอดเดรสหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

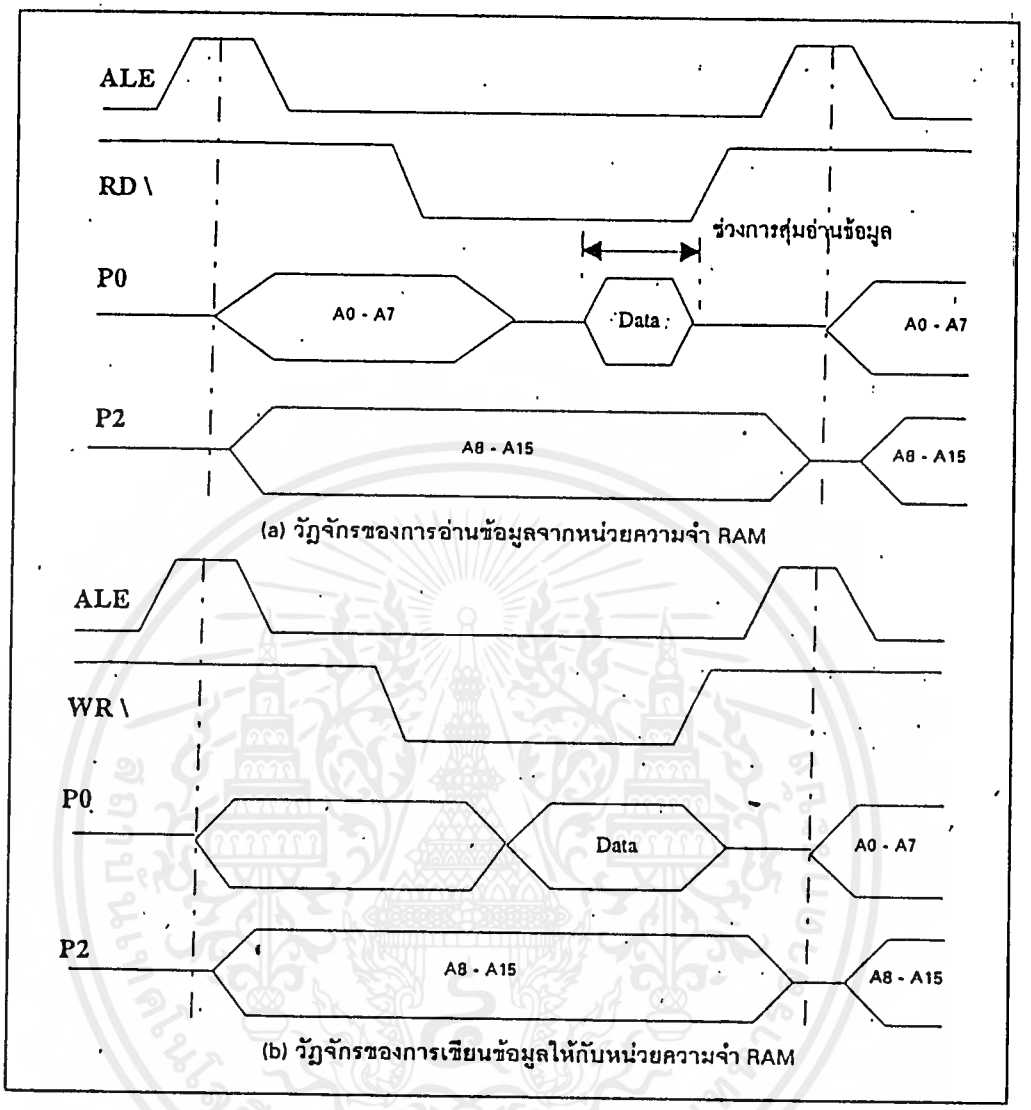
การเชื่อมต่อกับหน่วยความจำข้อมูลภายนอก

การเชื่อมต่อหน่วยความจำ RAM เขากับระบบของไมโครคอนโทรลเลอร์ 8051 จะใช้วิธีการเหมือนกับการเชื่อมต่อกับหน่วยความจำ EPROM จากรูป 2.22 แสดงให้เห็นถึงวงจรของการเชื่อมเข้ากับหน่วยความจำ RAM แบบสแตติกเบอร์ 6264 ขนาด 8k*8 ไบต์ มีหลักการทำงาน คือ ไอซี 74LS373 ทำหน้าที่ในการค้างค่าแอดเดรสให้กับอินพุทของหน่วยความจำ RAM ซึ่งมีอยู่เพียงตัวเดียว สำหรับขาสัญญาณ OE จะต่อเข้ากับขาสัญญาณ RD และขาสัญญาณ WR ของ 8051 ในที่นี้เนื่องจากไอซีมีหน่วยความจำเพียงตัวเดียว จึงได้ทำการต่อสัญญาณ CS กับสัญญาณกราวด์เพื่อทำการเลือกให้ไอซีทำงานตลอดเวลา



รูปที่ 2.22 การเชื่อมต่อหน่วยความจำภายนอกกับ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



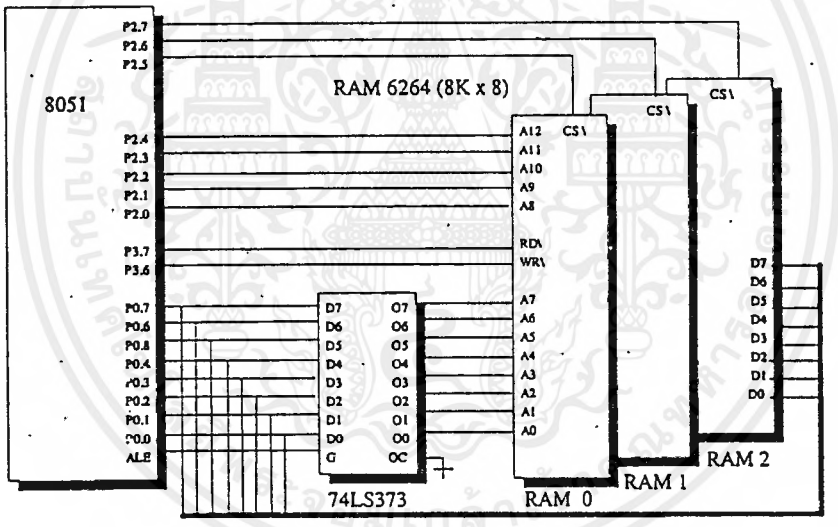
รูปที่ 2.23 แผนภาพแสดงเวลาการติดต่อกับหน่วยความจำ RAM ของ 8051

จากรูป 2.23 แสดงให้เห็นถึงแผนภาพเวลาของสัญญาณที่เกี่ยวข้องดังนี้ เมื่อเริ่มการติดต่อกับหน่วยความจำข้อมูลภายนอก จะมีการส่งค่าของแอดเดรสไบต์ต่ำ (A0 - A7) ของตำแหน่งหน่วยความจำที่ต้องการออกมายังพอร์ต 0 ในราวก่อนช่วงเวลาขอบขาลงของสัญญาณ ALE ซึ่งจะนำไปใช้ในการควบคุมไอซีแลตช์ เพื่อทำการค้างค่าแอดเดรสไบต์ต่ำนี้ไว้ ดังนั้นในเวลาต่อมาพอร์ต 0 ก็จะว่างและพร้อมที่จะนำไปใช้ในฐานะของบัสข้อมูล ส่วนค่าของแอดเดรสไบต์สูง (A8 - A15) จะถูกส่งออกมาทางพอร์ต 2 ราวช่วงเวลาประมาณกึ่งกลางระหว่างที่สัญญาณ ALE เป็นระดับลอจิกสูง เมื่อ 8051 ทำการขับสัญญาณ RD หรือ WR ให้เป็นระดับลอจิกต่ำก็จะมีผลทำให้เกิดการส่งและรับข้อมูลระหว่างหน่วยความจำแรมกับบัสข้อมูลเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์	P2.7	P2.6	P2.5	ค่าบิตอื่นๆ ของ P2	ช่วงแอดเดรส
RAM0	1	1	0	00000 ถึง 11111	C000 ถึง DFFF
RAM1	1	0	1	00000 ถึง 11111	A000 ถึง BFFF
RAM2	0	1	1	00000 ถึง 11111	6000 ถึง 7FFF

ตารางที่ 2.3 การอ้างแอดเดรสหน่วยความจำ RAM จำนวนหลายตัว

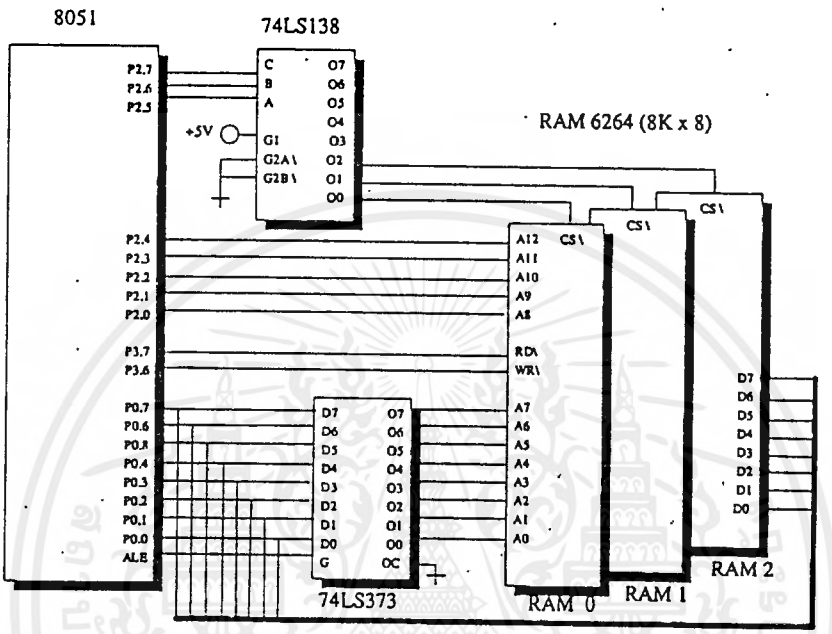


รูปที่ 2.24 การเชื่อมต่อหน่วยความจำ RAM ภายนอกของ 8051 จำนวนหลายตัว

การเชื่อมต่อกับหน่วยความจำ RAM หลายตัว

จากรูปที่ 2.24 เป็นการเชื่อมต่อ RAM จำนวนสามตัว โดยแต่ละตัวจะเชื่อมต่อกับสัญญาณ CS เข้ากับเส้นสัญญาณแอดเดรสต่างๆกัน ซึ่งมีข้อดีคือไม่จำเป็นต้องเพิ่มวงจรถอดรหัสแอดเดรส เพื่อกำหนดช่วงแอดเดรสให้กับ RAM แต่ละตัว แต่ข้อเสียคือจะได้ช่วงแอดเดรสสำหรับหน่วยความจำ RAM แต่ละตัวมีค่าไม่ต่อเนื่องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 การเชื่อมต่อหน่วยความจำ RAM ภายนอกของ 8051 จำนวนหลายตัว

ในกรณีที่มีความต้องการที่จะให้มีการใช้ช่วงแอดเดรสต่อเนื่องกันไป ก็จำเป็นต้องใช้วงจรถอดรหัสแอดเดรสเพิ่มขึ้น

อุปกรณ์	P2.7	P2.6	P2.5	ค่าบิตอื่นๆของ P2	ช่วงแอดเดรส
RAM0	0	0	0	00000 ถึง 11111	0000 ถึง 1FFF
RAM1	0	0	1	00000 ถึง 11111	2000 ถึง 3FFF
RAM2	0	1	0	00000 ถึง 11111	4000 ถึง 5FFF

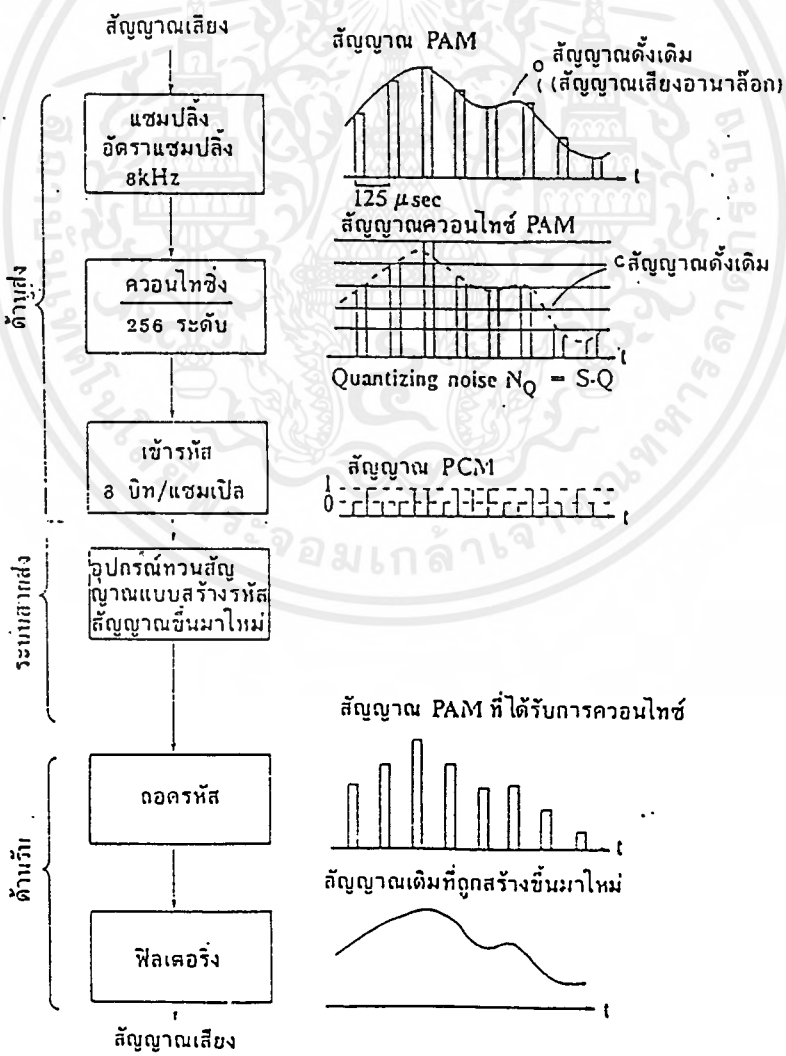
ตารางที่ 2.4 การอ้างแอดเดรสหน่วยความจำของ RAM จำนวนหลายตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การสื่อสารระบบ PCM

PCM (Pulse Code Modulation) เป็นหนึ่งในหลายๆเทคนิคของการส่งสัญญาณต่อเนื่อง (อะนาลอก) ในรูปของสัญญาณไม่ต่อเนื่อง (ดิจิตอล) แนวคิดนี้เริ่มต้นมาตั้งแต่ พ.ศ. 2480 โดยชาวอเมริกัน ชื่อนาย A.H.Reeves ซึ่งสามารถแก้ปัญหาสัญญาณรบกวน (noise) และความผิดเพี้ยน (distortion) ที่ยังไม่มีผู้ใดสามารถเอาชนะได้ในระบบอะนาลอกอย่างไรก็ดีระบบ PCM ยังไม่ได้รับการยอมรับกันในสมัยนั้น เนื่องจากยังไม่มีการพัฒนาอุปกรณ์พัลส์ความเร็วสูง ในเวลาต่อมาเมื่อได้มีการประดิษฐ์ทรานซิสเตอร์ในปี 2488 จึงมีผู้คิดค้นวิธีการทางเทคนิคพัลส์ความเร็วสูงขึ้น ทำให้การพัฒนาระบบ PCM มีความเร็วสูงขึ้น

ในปี พ.ศ. 2502 ห้องปฏิบัติการทางโทรศัพท์เบล ของ AT&T ก็ประสบผลสำเร็จในการพัฒนาชุมสายดิจิตอล (digital Exchange) ซึ่งใช้เทคนิค PCM ในช่องสัญญาณเสียง (channel speech path) แต่ก็ไม่มีการนำออกมาใช้เชิงพาณิชย์เพราะราคาระบบดิจิตอลในขณะนั้นสูงกว่าระบบอะนาลอกหลายเท่าตัว แต่ปัจจุบันด้วยเทคโนโลยี LSI และ VLSI ทำให้ราคาของระบบดิจิตอลลงมาต่ำกว่าระบบอะนาลอก



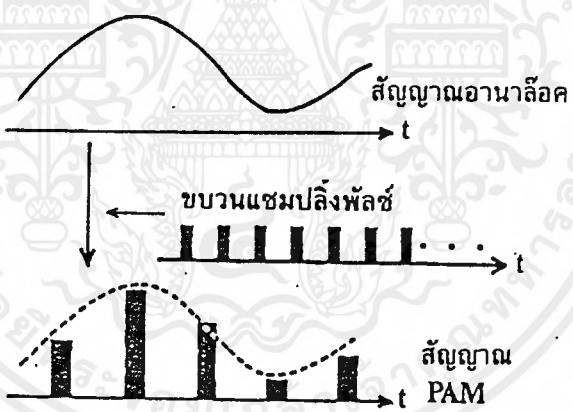
รูปที่ 2.26 ขั้นตอนการประมวลผลสัญญาณในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 หลักการเบื้องต้นของ PCM

จากรูปที่ 2.26 แสดงให้เห็นถึงขั้นตอนในการแปลงสัญญาณเสียงอะนาลอกไปเป็นสัญญาณดิจิตอล PCM และการแปลงกลับกัน สัญญาณเนียงอะนาลอกจะถูกทำการสุ่มค่า (sampling) แปลงเป็นตัวเลข (quantizing) และเข้ารหัส (coding) ซึ่งทั้งสามขั้นตอนรวมกันเรียกว่า การเปลี่ยนสัญญาณอะนาลอกไปเป็นสัญญาณดิจิตอล (A/D conversion)

ปกติแล้วแอมปริจูดของสัญญาณเสียงอะนาลอกจะต่อเนื่องกันตลอดตามแกนของเวลา การสุ่มค่าก็คือ ขบวนการนำค่าแอมปลิจูดของสัญญาณอะนาลอกบางค่าในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกัน วิธีการนี้เปรียบเสมือนกับการมอดูเลตทางแอมปลิจูดโดยมีสัญญาณพาหะเป็นขบวนพัลส์ที่มีคาบเวลาคงที่ ซึ่งมามอดูเลตกับสัญญาณเสียงอะนาลอกนั่นเอง ผลลัพธ์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่า PAM (Pulse Amplitude Modulation) (ดูรูปที่ 2.27)

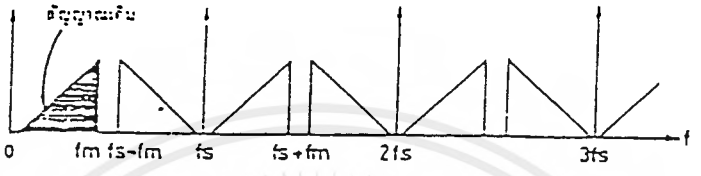


รูปที่ 2.27 การสุ่มค่าสัญญาณอะนาลอก

องค์ประกอบสำคัญที่ต้องคำนึงถึงในการสุ่มค่าสัญญาณก็คือ การใช้ความถี่ของพัลส์เท่าไรจึงจะเหมาะสม สิ่งนี้ได้ผ่านการพิสูจน์ทางคณิตศาสตร์และตั้งเป็นทฤษฎีเรียกว่า ทฤษฎีการสุ่มค่า (sampling theory) ซึ่งกล่าวว่า สัญญาณที่มีแอมปลิจูดเป็นฟังก์ชันของเวลา ถูกทำการสุ่มค่าทุก ๆ ช่วงเวลาห่างที่คงที่เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นแล้วก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด

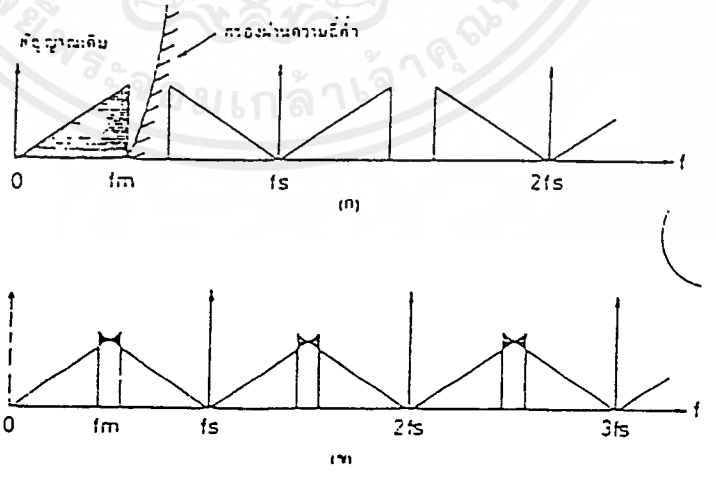
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.28 แสดงให้เห็นแถบความถี่ (frequency spectrum) ของสัญญาณ PAM ซึ่งได้ผ่านขั้นตอนการสุ่มค่าแล้วโดยมีความถี่สูงสุดของสัญญาณอะนาลอก (f_m) และความถี่ของการสุ่มค่า (f_s) เมื่อนำขบวนสัญญาณพัลส์มาวิเคราะห์ทางคณิตศาสตร์ด้วยอนุกรมฟูเรียร์ (fourier series) พบว่าประกอบด้วยฮาร์โมนิกของสัญญาณซายน์ (sine) ที่มีความถี่เป็นทวีคูณของความถี่ขบวนพัลส์รวมกันอยู่ o,f_s,2f_s,3f_s, ...)



รูปที่ 2.28 แถบความถี่ของสัญญาณ PAM ซึ่งผ่านการสุ่มค่าแล้ว

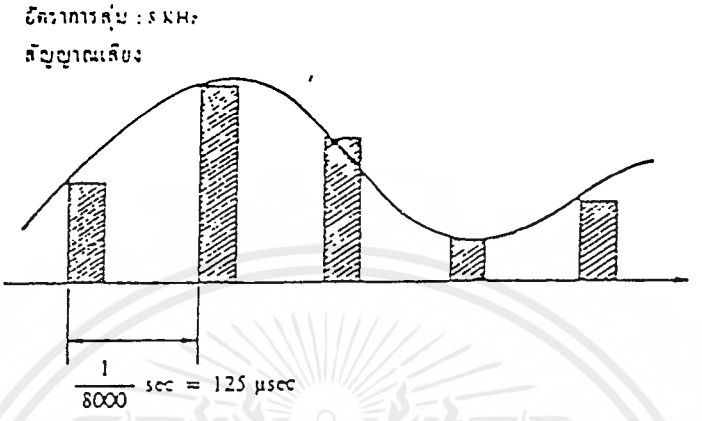
จากรูปที่ 2.29 ข จะเห็นว่าถ้าความถี่ f_s มีค่ามากกว่า 2 เท่าของค่าความถี่ f_m ความถี่แถบข้าง (side band) จะไม่ซ้อนทับกัน ซึ่งกรณีนี้สามารถนำสัญญาณอะนาลอกกลับคืนมาได้โดยการผ่านวงจรกรองผ่านความถี่ต่ำ (low pass filter) ในทางตรงข้าม (ดูรูปที่ 2.29ข ประกอบ) ถ้าความถี่ f_s มีค่าน้อยกว่าสองเท่าของความถี่ f_m ความถี่แถบข้างจะซ้อนทับกันซึ่งไม่มีวิธีการใด ๆ ที่จะนำสัญญาณอะนาลอกกลับคืนมาได้



รูปที่ 2.29 แสดงถึงการใช้ค่าความถี่ในการสุ่มที่แตกต่างกัน

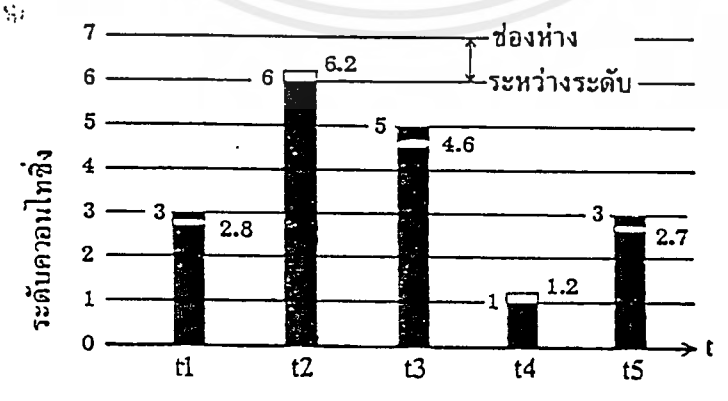
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCITT (International Telephone & Telegraph Consultative Committee) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 กิโลเฮิรตซ์ สำหรับสัญญาณเนียงซึ่งโดยปกติแล้วแถบความถี่สัญญาณเสียงที่ใช้ในระบบโทรศัพท์มีค่าจำกัดระหว่าง 0.3 ถึง 3.4 kHz ด้วยเหตุผลทางด้านเทคนิคในการสร้างวงจรกรองสัญญาณจะได้ง่ายขึ้น ช่วงเวลาที่ใช้ในการสุ่มค่าแต่ละครั้งเท่ากับ 1/8000 วินาที หรือ 125 ไมโครวินาที (ดูรูปที่ 2.30)



รูปที่ 2.30 ความถี่ของสัญญาณสุ่มค่า 8 KHz สำหรับสัญญาณเสียง

ในขั้นตอนต่อมาสัญญาณ PAM นั้นจะถูกส่งไปผ่านการแปลงเป็นตัวเลข โดยแบ่งขนาดของแอมปลิจูดออกเป็นช่วงๆ (ดูในรูปที่ 2.31) ค่าของแต่ละช่วงที่ถูกแบ่งเรียกว่าระดับค่าตัวเลข (quantizing level) และระยะระหว่างช่วงที่ถูกแบ่งเรียกว่าช่วงของตัวเลข (quantizing interval) ขนาดของแต่ละสัญญาณสุ่มในสัญญาณ PAM จะถูกแทนด้วยระดับค่าตัวเลข (quantizing level) ที่ใกล้เคียงกับขนาดของมัน ตัวอย่างเช่น สัญญาณที่ถูกสุ่มที่เวลา t_1 มีขนาด 2.8 จะถูกแทนด้วยระดับ 3.0 หรือที่เวลาสัญญาณ t_2 สัญญาณสุ่มมีขนาด 6.2 จะถูกแทนด้วยระดับ 6.0 (ดูรูปที่ 2.31) ซึ่งเป็นการทำระดับของสัญญาณให้มีช่วงห่างที่แน่นอนเพื่อให้สามารถนำไปแปลงเป็นรหัสฐานสองที่สอดคล้องกับแต่ละระดับ

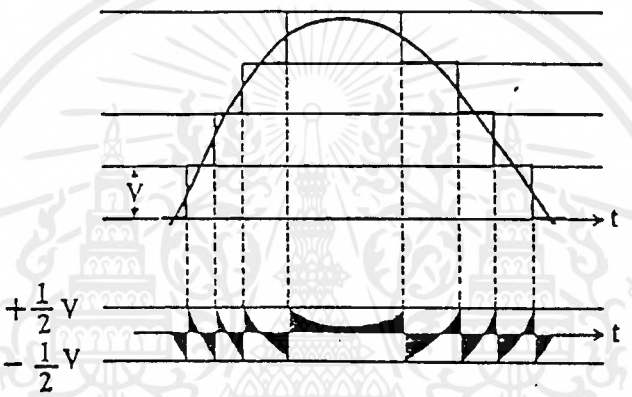


รูปที่ 2.31 การประมาณระดับของสัญญาณอะนาลอกที่ถูกสุ่มแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ PAM ที่ถูกแปลงเป็นตัวเลขแล้วจะเป็นเพียงค่าประมาณของสัญญาณอะนาลอก ดังนั้น จึงทำให้เกิดมีค่าผิดพลาดระหว่างสัญญาณทั้งสองทางขนาดของแอมปลิจูด ค่าผิดพลาดนี้เรียกว่า สัญญาณรบกวนจากการแปลงเป็นตัวเลข (quantizing noise) หรือการผิดเพี้ยนจากการแปลงเป็นตัวเลข จะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลขและไม่ขึ้นกับแอมปลิจูดของสัญญาณอะนาลอกนั่นคือระดับกำลังงานของสัญญาณรบกวนจากการแปลงเป็นตัวเลขนั้นค่อนข้างจะคงที่และเป็นอิสระจากระดับกำลังงานของสัญญาณอะนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลขนี้เป็นสิ่งที่ไม่สามารถหลีกเลี่ยงได้ แต่สามารถทำให้ลดลงเพื่อรักษาระดับคุณภาพของเสียง (เช่นความชัดเจน)

สัญญาณรบกวนจากการแปลงเป็นตัวเลข (ความผิดเพี้ยนจากการแปลงเป็นตัวเลข)

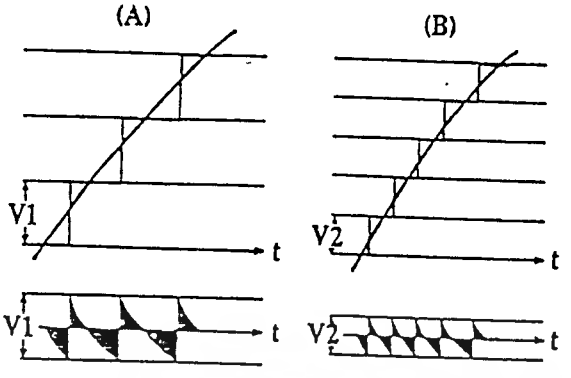


รูปที่ 2.32 สัญญาณรบกวนเนื่องจากการแปลงเป็นตัวเลข

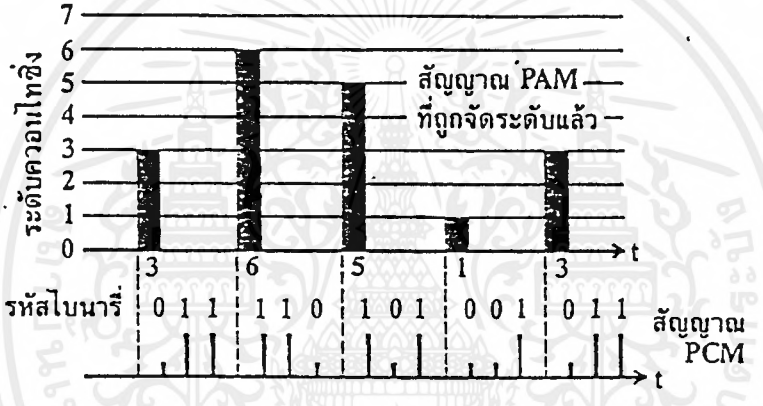
ด้วยเหตุผลที่ว่าแอมปลิจูดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขไม่มีทางเกินกว่าช่วงของตัวเลข ดังนั้นสัญญาณรบกวนจากการแปลงเป็นตัวเลขในรูปที่ 2.33ก จึงน้อยกว่าในรูปที่ 2.33ข หากเรากำหนดให้ช่วงของตัวเลขมีช่วงเล็กพอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้

หลังจากผ่านการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM ที่ได้จะนำไปเข้ารหัสโดยเปลี่ยนเป็นรหัสฐานสอง จากรูปที่ 2.32 แต่ละค่าที่ผ่านการแปลงเป็นตัวเลขแล้วจะถูกแปลงเป็นเลขฐานสอง 3 บิท สัญญาณที่ได้นี้เรียกว่า สัญญาณ PCM (Pulse Code Modulation) ระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิทของเลขฐาน 2 ของแต่ละค่า เช่น ถ้าใช้ n บิทในการเข้ารหัสต่อหนึ่งค่า จะได้จำนวนค่าตัวเลขเท่ากับ 2^n ระดับ ซึ่งทาง CCITT แนะนำให้ใช้การเข้ารหัส 8 บิทต่อหนึ่งค่า หรือให้มีระดับของค่าตัวเลขเท่ากับ $2^n = 256$ ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

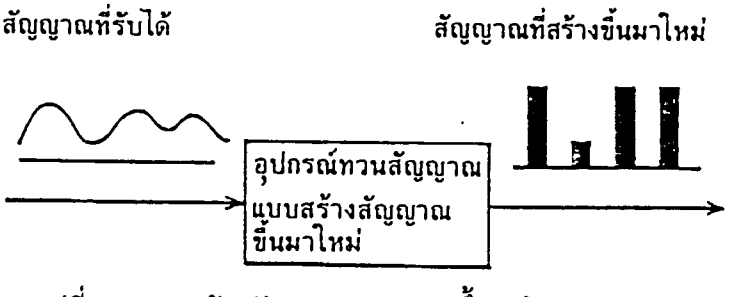


รูปที่ 2.33 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข



รูปที่ 2.34 การนำสัญญาณ PAM มาเข้ารหัส

จากทฤษฎีสายส่งสัญญาณทำให้เราทราบว่าหากทำการส่งสัญญาณ PCM ไปตามสายส่งสัญญาณจะเกิดความผิดเพี้ยนของสัญญาณได้เนื่องจากสัญญาณรบกวน, การแทรกสอด (interference) ระหว่างทางและการตอบสนองทางความถี่ (frequency response) แต่ปัญหานี้แก้ไขได้โดยการสร้างสัญญาณPCM ขึ้นใหม่ที่ด้านรับ ตราบใดที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่าสัญญาณผิดเพี้ยนที่ได้รับนั้นเป็นบิทค่า 0 หรือ 1 ดังนั้นการส่งสัญญาณระบบดิจิตอลจะไม่มีการสะสมผลของสัญญาณรบกวนและสัญญาณแทรกสอด ดังเช่นระบบอะนาลอก

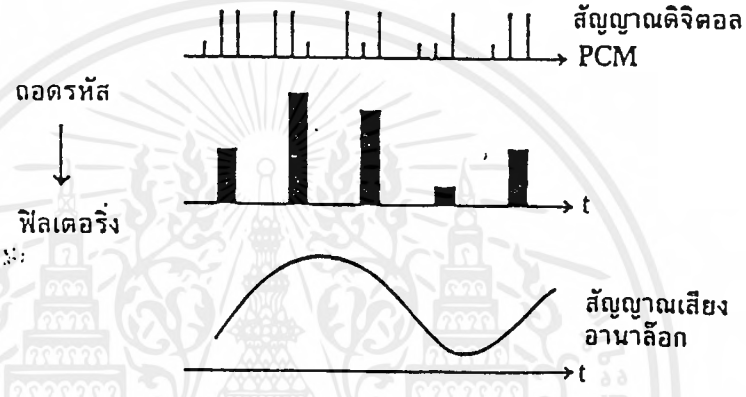


รูปที่ 2.35 การสร้างสัญญาณอะนาลอกขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านรับเมื่อเครื่องรับได้สัญญาณดิจิตอล PCM ก็จะแปลงกลับไปเป็นสัญญาณอะนาลอก (ดูรูป 2.36) โดยผ่านขั้นตอนการถอดรหัส และการกรองสัญญาณซึ่งเรียกขั้นตอนทั้งสองรวมกันว่า การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก (D/A conversion)

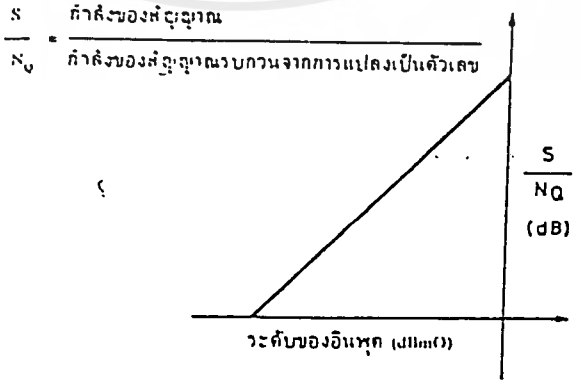
การถอดรหัสนั้นก็ตรงข้ามกับการเข้ารหัส (ดูรูปที่ 2.36) โดยเริ่มต้นจากรหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลข และสัญญาณสุ่มค่าจะถูกสร้างขึ้นใหม่ ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐาน 2 ที่ได้รับนี้ สัญญาณ PCM ที่ถูกแปลงเป็นตัวเลขแล้วที่ด้านส่งก็จะถูกสร้างขึ้นใหม่ที่ด้านรับซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM ที่สร้างขึ้นใหม่ที่ด้านรับก็จะถูกส่งผ่านไปยังวงจรกรองผ่านทางความถี่ต่ำก็จะได้สัญญาณเสียงอะนาลอกต่อเนื่องตามแกนเวลา



รูปที่ 2.36 การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก

2.4.2 การอัดและการขยาย (Companding and Expanding)

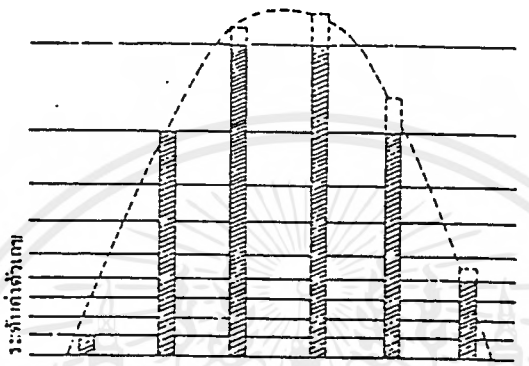
ในการสื่อสารระบบ PCM สิ่งที่เราไม่สามารถหลีกเลี่ยงได้คือ สัญญาณรบกวนจากการแปลงเป็นตัวเลขเพื่อลดผลที่เกิดขึ้นนี้จึงแก้ไขได้โดยใช้ ขบวนการอัดและขยายสัญญาณ (ไม่ใช่การขยายสัญญาณแบบลิเนียร์) จากที่เคยกล่าวแล้วว่าระดับของสัญญาณรบกวนจากการแปลงเป็นตัวเลขค่อนข้างจะคงที่ไม่ขึ้นกับระดับกำลังงานของสัญญาณเสียง ดังนั้น อัตราส่วนของสัญญาณเสียงต่อสัญญาณรบกวนจากการแปลงเป็นตัวเลข (S/N_Q) จะดีเมื่อระดับความแรงสัญญาณเสียงสูงและจะเลวเมื่อระดับความแรงสัญญาณเสียงต่ำ (ดูรูปที่ 2.37)



รูปที่ 2.37 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุทและสัญญาณเสียงต่อสัญญาณรบกวนจากการแปลงเป็นตัวเลข

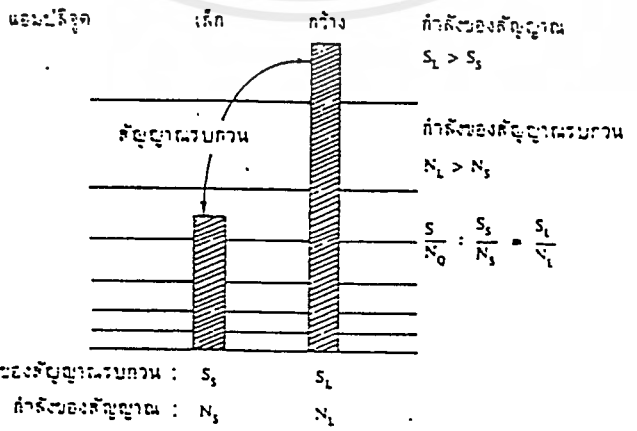
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติหากต้องการให้คุณภาพเสียงดีแล้วค่า S/N_0 ควรจะมีค่าคงที่ในทุกๆ ระดับความแรงของสัญญาณและไม่ควรแก้ปัญหาด้วยการใช้จำนวนบิตมากเกินไป ด้วยจุดประสงค์นี้มีการลดขนาดช่วงของตัวเลขลงที่แอมปลิจูดสัญญาณต่ำๆ และขยายช่วงของตัวเลขขึ้นที่แอมปลิจูดสัญญาณสูงๆ การแปลงเป็นตัวเลขแบบนี้จึงมีช่วงของตัวเลขไม่เท่ากันแตกต่างกันไปตามระดับแอมปลิจูดของสัญญาณซึ่งเรียกว่าการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ (non-uniform quantizing) (ดูรูปที่ 2.38) ด้วยเหตุผลดังนี้



รูปที่ 2.38 การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ

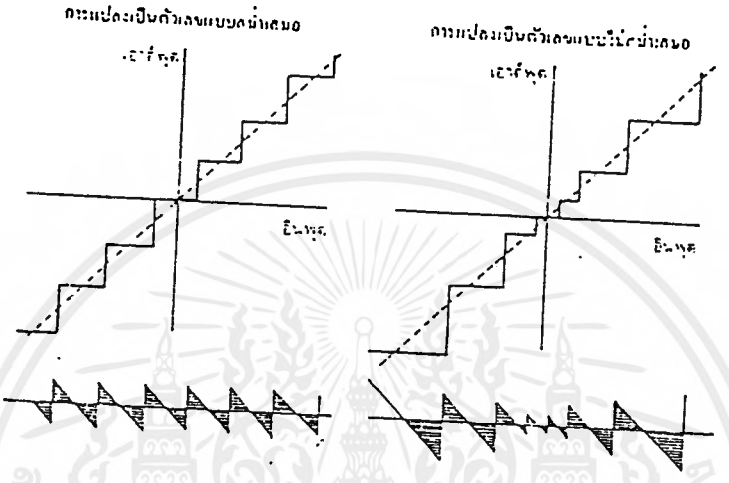
การกระจายของแอมปลิจูดของสัญญาณเสียงนั้นไม่สม่ำเสมอ (มีการแกว่งขึ้นลงตลอดเวลา) แอมปลิจูดต่ำๆ มีโอกาสเกิดมากกว่าแอมปลิจูดสูงๆ ดังนั้น ค่า S/N_0 สามารถที่จะสังเคราะห์ขึ้นได้ดีกว่าถ้าสัญญาณรบกวนจากการแปลงเป็นตัวเลขถูกทำให้ลดลงสำหรับค่าแอมปลิจูดที่มีโอกาสเกิดมากกว่าและถูกทำให้เพิ่มขึ้นสำหรับค่าแอมปลิจูดที่มีโอกาสเกิดน้อยกว่า (ดูรูปที่ 2.39)



รูปที่ 2.39 ระดับกำลังของค่า S/N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.39 เป็นการเปรียบเทียบให้เห็นสัญญาณรบกวนจากการแปลงเป็นตัวเลขแบบสม่ำเสมอและการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ จะเห็นได้ว่าการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอสามารถที่จะลดสัญญาณรบกวนจากการแปลงเป็นตัวเลขได้ที่ค่าแอมปลิจูดสัญญาณต่ำ ๆ



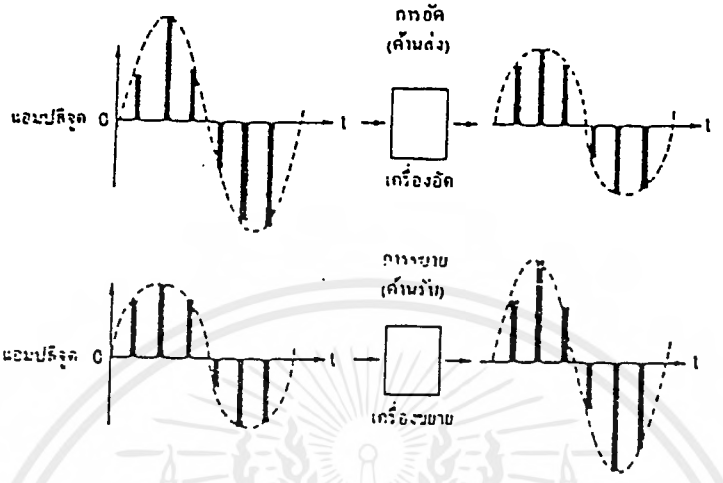
รูปที่ 2.40 เปรียบเทียบสัญญาณรบกวนระหว่างการแปลงแบบสม่ำเสมอและแบบไม่สม่ำเสมอ

ในกรณีของการแปลงเป็นตัวเลขแบบสม่ำเสมอจะต้องใช้จำนวนระดับค่าตัวเลขประมาณ 2000 ระดับ เพื่อที่จะรักษาคุณภาพเสียงพูดให้อยู่ในเกณฑ์ดี แม้ที่ระดับสัญญาณแอมปลิจูดต่ำก็ตามซึ่งจะต้องใช้จำนวนบิทต่อสัญญาณถึง 11 บิท ซึ่งการใช้จำนวนบิตมากเช่นนี้ต้องใช้อุปกรณ์พัลส์ความเร็วสูงมาก ซึ่งทำให้ระบบมีราคาแพง ในขณะที่การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอต้องการเพียง 128 ระดับค่าตัวเลข และ 7 บิทต่อสัญญาณสุ่ม 1 ค่าเท่านั้นก็เพียงพอที่จะทำให้ได้ค่า S/N_Q ระดับเดียวกับการแปลงเป็นตัวเลขแบบสม่ำเสมอที่ระดับสัญญาณแอมปลิจูดต่ำ อย่างไรก็ดี CCITT แนะนำการใช้งานการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอด้วยรหัส 8 บิทต่อสัญญาณสุ่ม 1 ค่า และ 256 ระดับค่าตัวเลขเพื่อให้มั่นใจว่าจะได้คุณภาพเสียงที่ดีพอ (ดูรูปที่ 2.34)

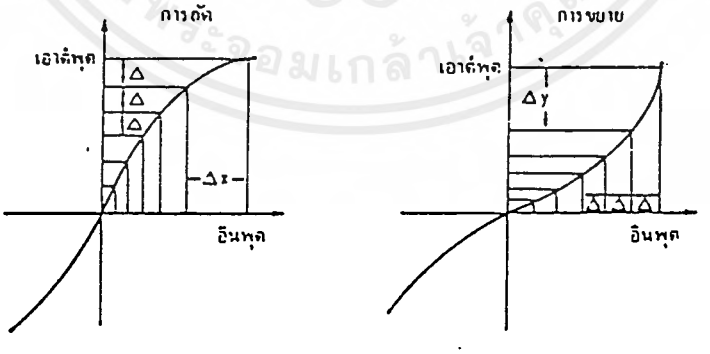
การแปลงเป็นตัวเลขแบบสม่ำเสมอ 2000 ระดับ	⟷	การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ 128 ระดับ

ระดับค่าตัวเลขของการแปลงเป็นตัวเลขแบบสม่ำเสมอและการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.41 การแปลงตัวเลขแบบไม่สม่ำเสมอโดยใช้หลักการอัดและการขยาย



รูปที่ 2.42 คุณลักษณะของการอัดและการขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอสร้างขึ้นโดยใช้หลักการจัดการกับสัญญาณที่ด้านส่งและด้านรับซึ่งเรียกว่า การอัดและการขยายตามลำดับ รูปที่ 2.41 แสดงให้เห็นหลักการนี้ ทางด้านส่งสัญญาณที่มีแอมปลิจูดสูงจะถูกอัด (compressed) โดยตัวอัด(compressor) แล้วนำไปแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ ขบวนการนี้ทำให้เกิดผลลัพธ์แบบเดียวกับการแปรเปลี่ยนช่วงของตัวเลขโดยขึ้นกับขนาดของแอมปลิจูด ทางด้านรับสัญญาณ PAM จะถูกสร้างขึ้นมาใหม่ โดยการส่งสัญญาณไปยังเครื่องขยาย (expander) ซึ่งมีคุณสมบัติตรงข้ามกับเครื่องอัด (ดูรูป2.42)

สัญญาณเสียงนั้นมีช่วงการแกว่งขึ้น-ลงของสัญญาณกว้าง (wide dynamic range) ซึ่งการที่จะได้คุณภาพเสียงที่ดีนั้น สัญญาณรบกวนจากการแปลงเป็นตัวเลขต้องมีอัตราส่วนคงที่เมื่อเทียบกับแอมปลิจูดของสัญญาณ ตลอดย่านความกว้างของการแกว่งขึ้น-ลงของแอมปลิจูดของสัญญาณ เพื่อที่จะบรรลุสิ่งนี้จึงแก้โดยการใช้คุณสมบัติของฟังก์ชันลอการิตมิก (Logarithmic) ในการอัดและขยายสัญญาณ ซึ่งมีผลให้สัญญาณรบกวนจากการแปลงเป็นตัวเลขที่ระดับแอมปลิจูดสัญญาณต่ำๆ สามารถลดลงอย่างน่าพอใจและเราสามารถที่จะรักษาค่า S/N_o ไว้ให้คงที่ตลอดย่านกว้างการแกว่งขึ้น-ลงของแอมปลิจูดของสัญญาณ

CCITT แนะนำให้ใช้คุณสมบัติของลอการิตมิกในการอัดและขยายสัญญาณ 2 แบบดังนี้ แบบแรกเรียกกันว่า A-law นิยมใช้กันในยุโรป ส่วนอีกแบบเรียกว่า u-law นิยมใช้กันในแถบแมริกาเหนือและญี่ปุ่น ในรูปที่ 2.35 และ 2.36 แสดงให้เห็นคุณสมบัติการอัดและการขยายของ A-law และ u-law ตามลำดับ เส้นโค้งทั้งสองแสดงให้เห็นลักษณะการอัดสำหรับแอมปลิจูดของสัญญาณซีกบวก (ซีกลบเป็นลักษณะคล้ายกันแต่ไม่ได้แสดงรูปไว้) CCITT แนะนำว่าการอัดและการขยายนั้นในทางปฏิบัติควรคำนึงการประมวลผลสัญญาณดิจิตอล ซึ่งจะเห็นได้ชัดจากรูปว่าคุณสมบัติในการอัดและการขยายแบบลอการิตมิกถูกนำมาใช้ในทางปฏิบัติโดยการแบ่งโค้งออกเป็นช่วงๆ แต่ละช่วงประมาณด้วยกราฟเส้นตรง โค้งของ A-law และ u-lawนั้นถูกประมาณด้วยกราฟเส้นตรง 13 ช่วงและ 15 ช่วงตามลำดับซึ่งทั้ง A-law และ u-law ใช้ระดับค่าตัวเลข 256 ระดับและเข้ารหัสแต่ละสัญญาณสุ่ม 1 ค่าด้วย 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสุ่มค่าความถี่ (sampling frequency)

ทฤษฎีการสุ่ค่าของไนซ์ควิซ กล่าวว่า ความถี่ที่ใช้ในการสุ่มค่าความถี่จะต้องมากกว่าหรือเท่ากับความถี่สูงสุดของสัญญาณดั้งเดิม

$$fs = 2fn_{(max)}$$

เมื่อ fs คือค่าความถี่ต่ำสุดของอัตราการสุ่มค่า

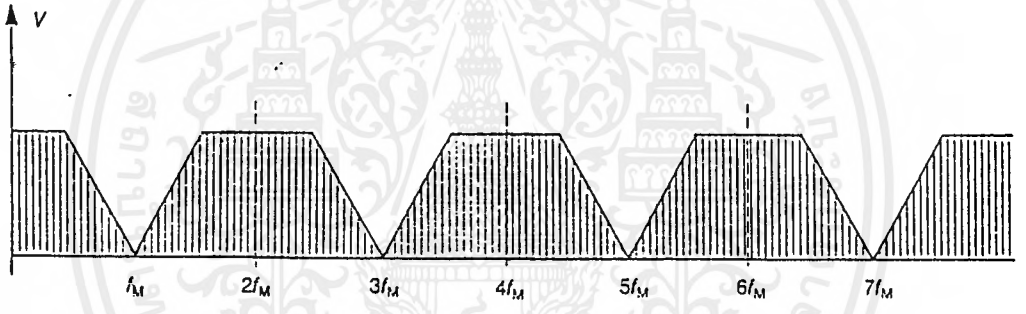
$fn_{(max)}$ คือความถี่สูงสุดของสัญญาณข่าวสาร

ตัวอย่าง คลื่นรูปไซน์มีความถี่ 1 kHz จงหาความถี่ต่ำสุดที่จะทำการสุ่มค่าโดยสามารดึงเอาสัญญาณดั้งเดิมกลับมาได้อีกครั้ง

จากทฤษฎีการสุ่มค่าของไนซ์ควิซ

$$fs = 2fn_{(max)}$$
$$= 2*10^3$$

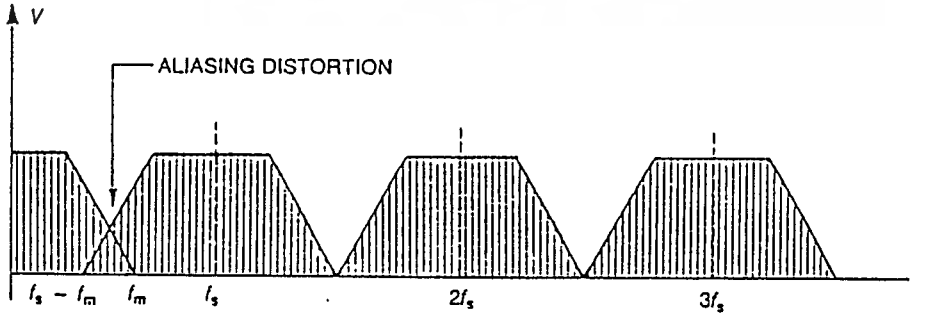
ดังนั้นความถี่ที่ใช้ในการสุ่มค่าคือ 2 kHz



รูปที่ 2.43 แสดงแถบควาถี่เมื่อสุ่มค่าสัญญาณที่ 2fn

การลดทอนเนื่องจากสัญญาณแปลกปลอม

การบิดเบือนของสัญญาณดั้งเดิมเกิดขึ้นเมื่ออัตราการสุ่มค่าน้อยกว่ากฎการสุ่มค่าคือ $2fn_{(max)}$



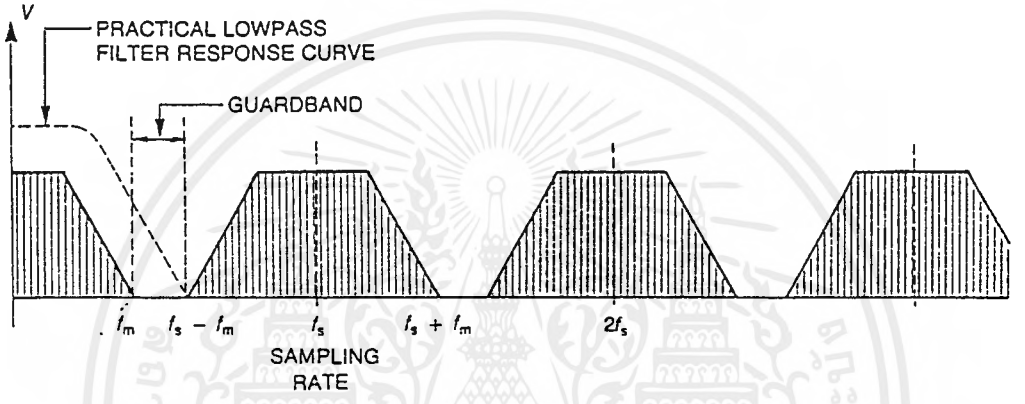
รูปที่ 2.44 เมื่อสุ่มค่าสัญญาณน้อยกว่า 2fn

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการสุ่มค่าต่อแถบความถี่

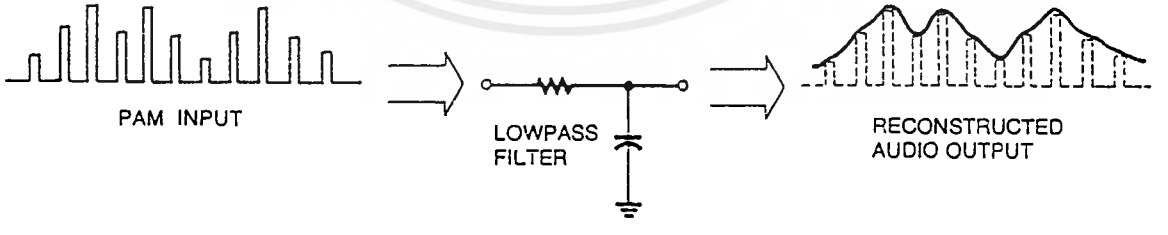
แถบความถี่ของสัญญาณข่าวสารดั้งเดิมแสดงในรูป 2.45 ซึ่งแสดงให้เห็นในรูปของคลื่นเชิงซ้อน เช่นสัญญาณเสียง และสัญญาณที่มีอันดับสูงขึ้นไปแต่มีแอมปลิจูดน้อย

จากรูปเมื่อสัญญาณข่าวสารถูกสุ่มค่าเป็นจำนวน 2 เท่าของความถี่สูงสุด ตามทฤษฎีกล่าวว่า ฮาร์โมนิคของการสุ่มค่าจะมีจนถึงอินฟินิตี้ แต่ในตัวอย่างเมื่อแถบความถี่ผ่านวงจรกรองความถี่ต่ำผ่านจะได้สัญญาณเดิมกลับคืนมา วงจรกรองความถี่ต่ำผ่านจะยอมให้ความถี่สูงสุดของสัญญาณข่าวสารผ่าน แต่ไม่ยอมให้องค์ประกอบของฮาร์โมนิคที่มีความถี่สูงกว่าผ่านที่อัตราการสุ่มมากกว่า $2fn_{(max)}$ อัตราการสุ่มสูงสุดสร้างจากแถบความถี่ด้านข้างระหว่าง fn แถบความถี่ต่ำสุด (fs - fn)



รูปที่ 2.45 แสดงแถบความถี่เมื่อสุ่มค่าสัญญาณมากกว่า 2fn

การทำให้สัญญาณข่าวสารกลับมาอีกครั้งโดยการเอา PAM (Pulse Amplitude Modulation) ผ่านวงจรกรองความถี่ต่ำผ่าน ดังรูป 2.46 ซึ่งคล้ายกับวงจรดีเทคเตอร์ของวิทยุ AM



รูปที่ 2.46 แสดงการแปลงเอาสัญญาณอะนาลอกกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

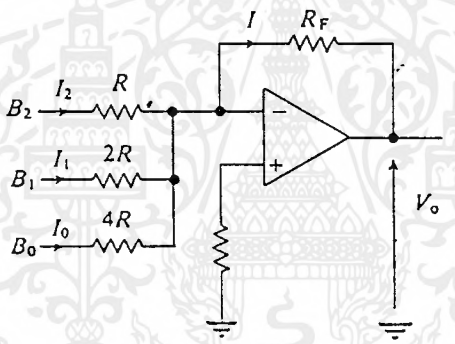
1 Binary Wieght Resistor

จากรูป 2.47 เป็นการแปลงขนาด 3 บิท คือ $B_2\,B_1\,B_0$ ซึ่ง B_2 มีน้ำหนักมากที่สุด (MSB) สถานะ 1 ใช้แทนระดับโวลท์เตจ v และสถานะ 0 ใช้แทนระดับโวลท์เตจ 0 เมื่อระดับโวลท์เตจเข้ามาที่อินพุท (1,0) ทำให้เอาท์พุทมีการเปลี่ยนแปลงตามสัญญาณอินพุท กระแสที่ไหลผ่านความต้านทานแต่ละตัวหาได้โดย

$$I_2 = V/R \;, I_1 = V/2R \;;\; I_0 = V/4R$$

$$V_0 = -IR_F = R_F/R(V + V/2 + V/4)$$

จากสมการแสดงให้เห็นว่าสัญญาณอะนาลอกที่ได้สอดคล้องกับสัญญาณอินพุท ซึ่งความแม่นยำของการแปลงขึ้นอยู่กับอัตราส่วนความต้านทานทางด้านอินพุท

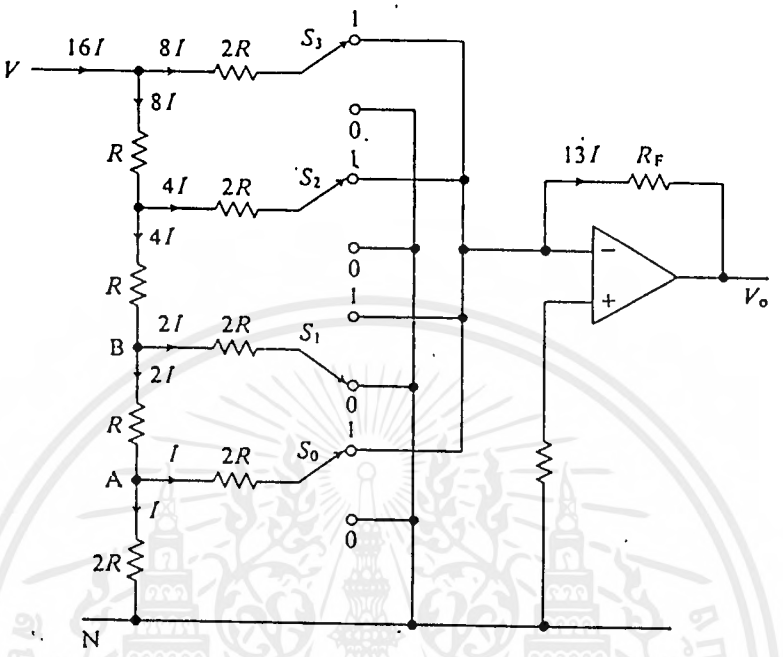


รูปที่ 2.47 แสดงการแปลงสัญญาณดิจิตอลเป็นอะนาลอกแบบ Binary Weight Resistor

2 Ladder Type (R/2R Network)

จากรูป 2.48 เมื่อต่ออินพุทเข้ากับขาอินเวอร์ติ้งจะเกิดกราวด์สมมติขึ้น มีหลักการทำงานคือ ค่าความต้านทาน 2R ต่อขนานกัน 2 ตัวระหว่างจุด A กับจุด N จะได้ R ถ้ากระแส 2I ไหลผ่านจุด A จะแบ่งกระแสออกเป็น 2 ส่วนเท่ากันไหลผ่าน R แต่ละตัว ความต้านทาน R ระหว่างจุด A กับจุด B ถ้าเพิ่มความต้านทานอีก R ความต้านทานระหว่างจุด A กับจุด N เท่ากับ 2R ขนานกับ 2R ที่ต่ออยู่กับ S จะได้ความต้านทานระหว่าง B กับ N เท่ากับ R และกระแสที่ไหลเข้าถูกแบ่งออกเป็น 2 ส่วนเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



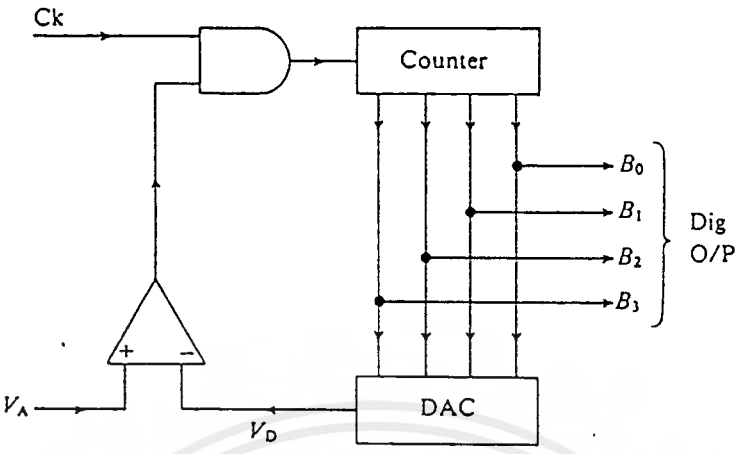
รูปที่ 2.48 แสดงการแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกแบบ Ladder Type

2.6 การแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

1 Counter (Staircase or Single ramp)

จากรูป 2.49 เป็นสัญญาณอะนาลอกที่เข้ามา สัญญาณที่เอาท์พุท (V_D) จะถูกป้อนกลับมาเปรียบเทียบกับสัญญาณอินพุท (V_A) ถ้า V_A มากกว่า V_D เอาท์พุทของวงจรเปรียบเทียบจะให้ลอจิก 1 ไปกระตุ้น AND gate ให้ปล่อยสัญญาณนาฬิกาเข้าสู่วงจรนับ ที่สภาวะเริ่มต้นเอาท์พุทของวงจรนับจะเป็น 0 ถ้า V_A มากกว่า V_D วงจรนับจะเริ่มนับสัญญาณนาฬิกา $B_3B_2B_1B_0$ จะไต่ระดับขึ้นเรื่อยๆจนกระทั่งสัญญาณป้อนกลับมากกว่าสัญญาณอินพุท AND gate จะปิดและหยุดนับ

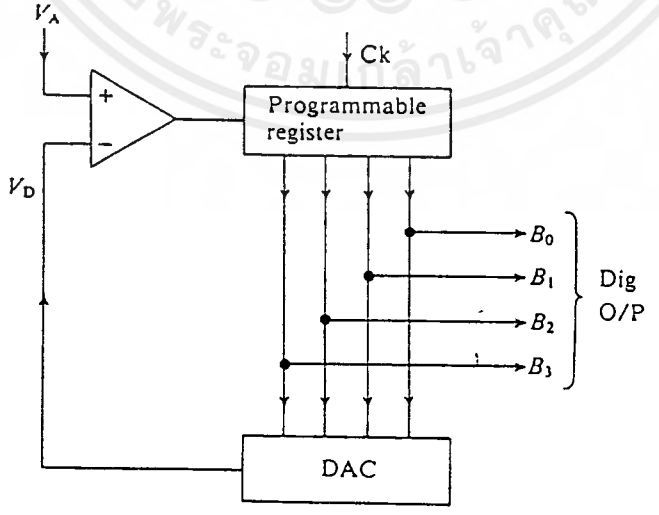
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.49 แสดงการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบ Counter

2 Successive Approximation

จากรูป 2.50 สมมติว่าสัญญาณเอาท์พุทเป็น 1101 ที่สภาวะเริ่มต้นบิทแรก (MSB) เป็น 1 และบิทอื่นเป็น 0 หมด สัญญาณป้อนกลับจะน้อยกว่าสัญญาณอินพุท สัญญาณนาฬิกาลูกถัดมากำหนดให้ $B_2 = 1$ ให้สัญญาณป้อนกลับมากกว่าสัญญาณอินพุท B_2 จะถูกรีเซ็ทให้เป็น 0 และสัญญาณนาฬิกาลูกถัดมาจะกำหนดให้ $B_1 = 1$ สัญญาณป้อนกลับน้อยกว่าสัญญาณอินพุท สัญญาณนาฬิกาลูกถัดมากำหนดให้ $B_0 = 1$ ถ้า $B_0 = 1$ จะมีระดับโวลท์เตจอยู่ระหว่าง 11/16 - 12/16



รูปที่ 2.50 แสดงการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบ Successive Approximation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

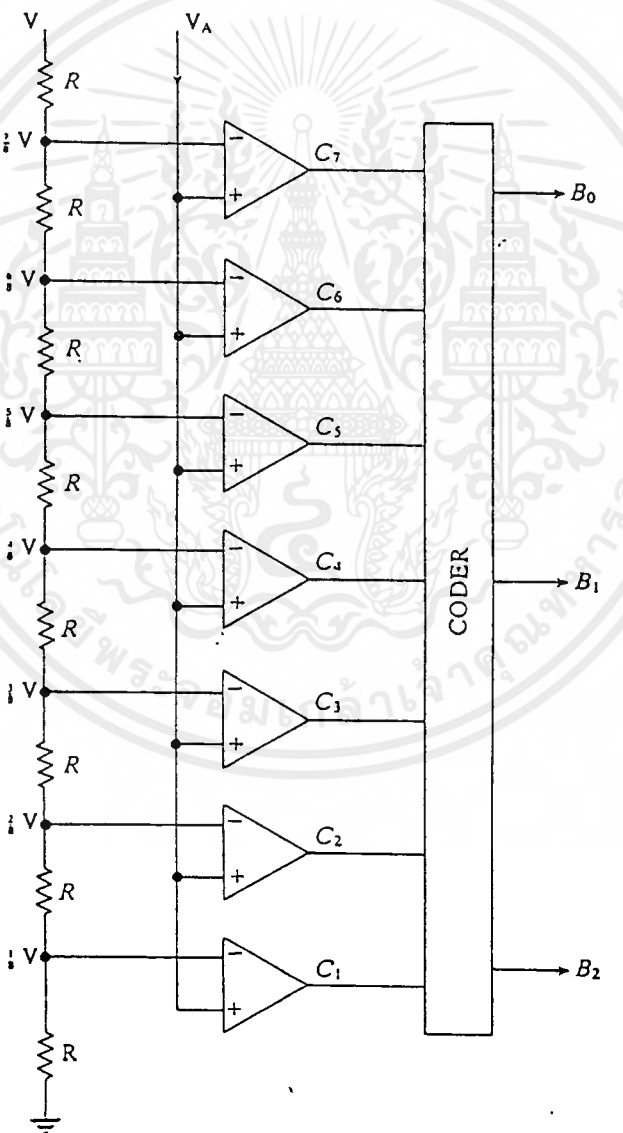
3 Parallel Comparator (Flash)

จากรูป 2.51 โวลท์เตจถูกแบ่งออกเป็น 8 ส่วนเท่าๆกัน มีค่าระดับโวลท์เตจตั้งแต่ 1/8 - 7/8 ซึ่งโวลท์เตจแต่ละระดับจะต่อกับวงจรเปรียบเทียบแบบอินเวอร์ติ้งแอมป์ทั้ง 7 ตัว

สมมติ v มีระดับโวลท์เตจอยู่ระหว่าง 3/8 v และ 4/8 v เอาท์พุทของวงจรเปรียบเทียบจะได้เป็น $C_7\ C_6\ C_5\ C_4\ C_3\ C_2\ C_1\ C_0 = 0000111$

ข้อดีของวงจรนี้คือทำงานได้รวดเร็ว

ข้อเสียก็คือมีวงจรซับซ้อน สมมติว่าต้องการ 8 บิท ซึ่งกำหนดระดับสัญญาณโวลท์เตจได้ 128 ระดับจะต้องใช้ตัวต้านทานถึง 128 ตัว และวงจรเปรียบเทียบอีก 127 ตัว

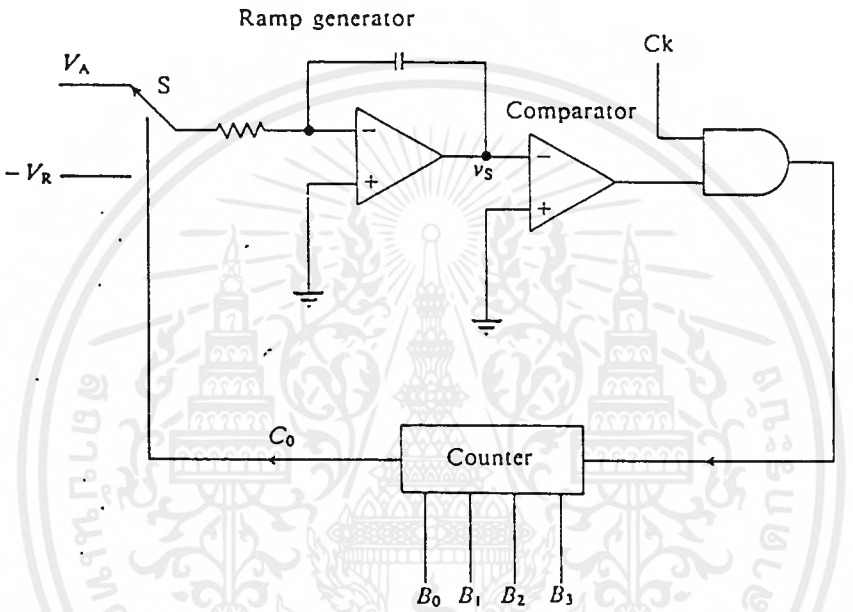


รูปที่ 2.51 สดงการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบ Parallel Comparator

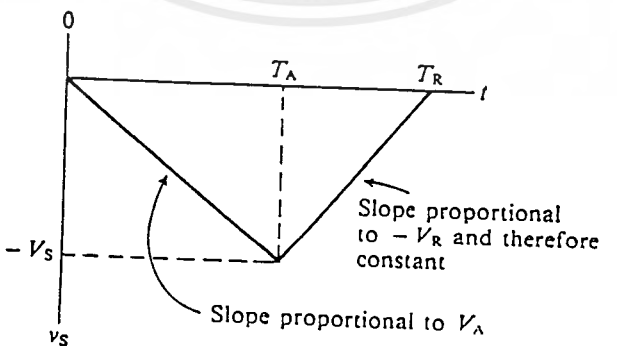
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 Dual Ramp

จากรูป 2.52 สมมติสัญญาณอินพุทเป็น 0 วงจรนับจะเป็น 0 และ V_A เป็นบวกจึงได้สัญญาณแรมป์ออกมาที่เอาท์พุท ซึ่งสัญญาณแรมป์ที่ได้จะเป็นสัดส่วนกับสัญญาณอินพุทและที่เอาท์พุทของวงจรเปรียบเทียบจะได้สถานะ 1 เพื่อไปเปิด AND gate สัญญาณนาฬิกาจะเข้าสู่วงจรนับและจะเริ่มนับตั้งแต่ 0000 ถึง 1111 และจะนับกลับมาที่ 0000 อีกครั้ง และให้ C_0 เป็น 1 ทำให้สวิชท์ไปที่แรงดันอ้างอิง $-V_R$ สัญญาณแรมป์จะลดจาก $-V_S$ กลับมที่ 0 V เอาท์พุทของวงจรเปรียบเทียบจะเป็น 0 AND gate จึงปิดและหยุดการนับ จนกระทั่งสัญญาณแรมป์ลูกที่ 2 เข้ามาอีก



รูปที่ 2.52 สดงการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบ Dual Ramp



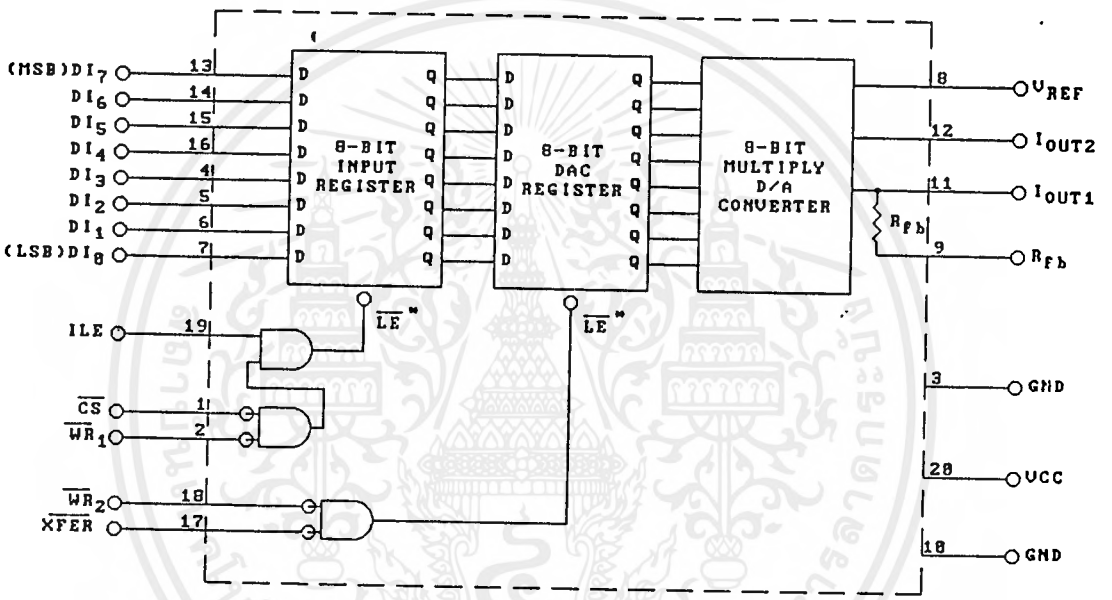
รูปที่ 2.53 แสดงสัญญาณเอาท์พุทของวงจร Dual Ramp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

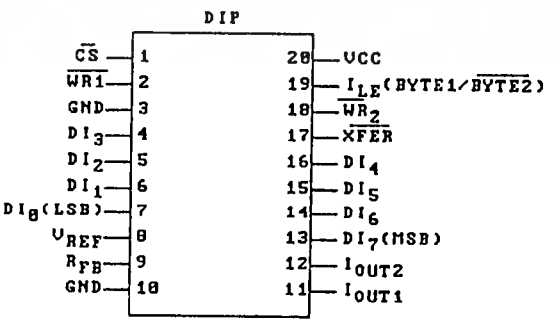
บทที่ 3
การคำนวณและการสร้าง

3.1 การทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก

จากการทดลองจะใช้ IC เบอร์ DAC 0832 สามารถที่จะต่อโดยให้สัญญาณอะนาลอกเอาท์พุทอย่างต่อเนื่องได้ ซึ่งจะมีผลตามสัญญาณดิจิตอลอินพุทที่ป้อนเข้ามาโดยการต่อขา $\overline{CS}$, $\overline{WR1}$, $\overline{WR2}$ และ $\overline{XFER}$ เข้ากับกราวนด์และ ILE ต่อเข้ากับระดับแรงดันสูง ซึ่งรีจีสเตอร์ภายในทั้งสองตัวจะยอมให้สัญญาณดิจิตอลอินพุทผ่านไปได้และ DAC ก็ทำการแปลงจากสัญญาณดิจิตอล เป็นสัญญาณอะนาลอกโดยตรงดังรูปที่ 3.1



รูปที่ 3.1 ฟังก์ชันบล็อกไดอะแกรมของ IC เบอร์ DAC 0832



รูปที่ 3.2 แสดงตำแหน่งขาของ IC เบอร์ DAC 0832 แบบ DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 แต่ละขาของ DAC 0832 จะมีข้อกำหนดในการใช้งานดังนี้

ขาสัญญาณควบคุม

$\overline{CS}$: Chip Select . ทำงานที่ระดับแรงดันต่ำ (Active Low) $\overline{CS}$ ซึ่งเมื่อรวมกับ ILE จะอีนาเบิล $\overline{WR1}$

ILE : Input Latch Enable. ทำงานที่ระดับแรงดันสูง (Active High) ILE เมื่อรวมกับ CS จะอีนาเบิล $\overline{WR1}$

$\overline{WR1}$: Write 1. $\overline{WR1}$ ทำงานที่ระดับสัญญาณต่ำถูกใช้ในการดึง (Load) บิทของสัญญาณข้อมูลดิจิตอลอินพุท (DI) เข้ามายังอินพุทของวงจรแลทช์ข้อมูล ที่อินพุทของวงจรแลทช์จะถูกแลทช์เมื่อ $\overline{WR1}$ มีระดับเป็นแรงดันสูง เพื่อที่จะรับข้อมูลอินพุทตัวใหม่ CS และ $\overline{WR1}$ จะต้องเป็นระดับแรงดันต่ำในขณะที่ ILE มีระดับแรงดันสูง

$\overline{WR2}$: Write 2. ทำงานที่ระดับแรงดันต่ำ $\overline{WR2}$ นี้เมื่อรวมกั $\overline{XFER}$ จะเป็นเหตุที่ทำให้ข้อมูลขนาด 8 บิท ที่อยู่ที่อินพุทของวงจรแลทช์ผ่านเข้ามายังรีจีสเตอร์

$\overline{XFER}$: Transfer Control Signal. ทำงานที่ระดับแรงดันต่ำ $\overline{XFER}$ จะอีนาเบิล $\overline{WR2}$

หน้าที่ของขาอื่น ๆ

DI0 - DI7 : Digital Input. DI0 เป็นขาที่มีนัยสำคัญต่ำสุด และ DI7 เป็นค่าที่มีนัยสำคัญสูงสุด

IOUT 1 : DAC Current Output 1. IOUT 1 เป็นค่าสูงสุดสำหรับรหัสสัญญาณดิจิตอล 1'S ทั้งหมดใน DAC รีจีสเตอร์และจะเป็น 0 สำหรับ 0'S ทั้งหมดใน DAC รีจีสเตอร์

IOUT 2 : DAC Current Output 2. IOUT 2 คือค่าคงที่ลบกับ IOUT1 หรือ IOUT1 บวก IOUT2 เท่ากับ ค่าคงที่ (คือค่ากระแสสูงสุดสำหรับแรงดันอ้างอิงที่ถูกกำหนดให้คงที่)

Rfb : Feedback Resister. ตัวต้านทานป้อนกลับนี้ถูกประกอบอยู่บนชิพไอซีสำหรับใช้เป็นตัวต้านทานป้อนกลับแรงดันเอาท์พุทให้ DAC ตัวต้านทานที่อยู่บนชิพในที่นี้จะถูกใช้ (จะไม่ใช้ความต้านทานจากภายนอก) โดยเหตุที่ว่ามันเป็นความต้านทานที่เหมาะสม ซึ่งถูกใช้อยู่ภายใน บนชิพ R-2R Ladder และแนวทางของตัวต้านทานเหล่านี้จะอยู่เหนืออุณหภูมิ

VREF: Reference Voltage Input. อินพุทที่ต่อเข้ามาขานี้จะเป็นแหล่งจ่ายแรงดันที่มีความแน่นอน จ่ายผ่านเข้าไปให้ R-2R Ladder ภายใน VREF นี้ สามารถที่จะเลือกค่าอยู่ในย่านของอะนาลอกอินพุทสำหรับการใช้งาน DAC 4-quadrant multiplying ด้วยเหมือนกัน

VCC : Digital Supply Voltage. ในที่นี้จะเป็นขาที่ใช้สำหรับป้อนแหล่งจ่ายกำลังให้กับอุปกรณ์ VCC สามารถใช้ได้ตั้งแต่ +5 ถึง +15 VDC ซึ่งจะทำงานได้ผลดีที่สุดสำหรับ +15 VDC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

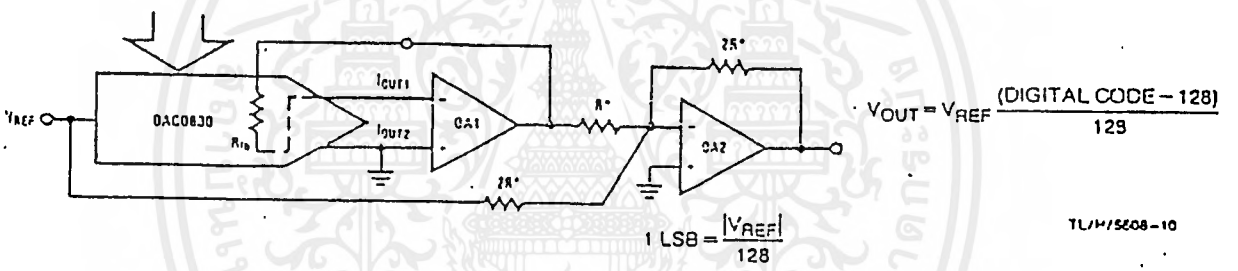
GND : สำหรับการใช้งานกระแสสวิทช์ชิ่ง (Current Switching) ระดับแรงดันขา 10 จะต้องมีค่าที่เป็นกราวนด์เดียวกันกับ IOUT1 และ IOUT2 ความแตกต่างใด ๆ ของศักย์ไฟฟ้า (ขา 10 VOS) จะเป็นผลในการเปลี่ยนแปลงอย่างคงที่ของ VOS pin 10 หารด้วย 3 VREF

ตัวอย่างเช่น ถ้า VREF เท่ากับ 10 โวลท์ และขา 10 มีค่าเท่ากับ 9 โวลท์ เพราะฉะนั้นการชดเชยของการเปลี่ยนแปลงอย่างคงที่จาก IOUT1 และ IOUT 2 จะมีค่าเป็น 0.03 เปอร์เซ็นต์

ขา 3 สามารถชดเชยได้บวกลบ 100 mV. กับการเปลี่ยนแปลงอย่างไม่คงที่ แต่ลอจิกอินพุทจะเป็นจุดที่ใกล้จะเข้าสู่จุดที่ถูกชิพไป

การคำนวณขนาดของสัญญาณอะนาลอกเอาท์พุท

สามารถหาได้โดย VOUT = VREF (DIGITAL CODE - 128) / 128 ซึ่งแสดงดังรูปที่ 3.3 และตารางที่ 3.1



รูปที่ 3.3 แสดงการคำนวณหาขนาดของสัญญาณเอาท์พุท

Input Code	IDEAL V_{OUT}	
MSB .....LSB	$+V_{REF}$	$-V_{REF}$
1 1 1 1 1 1 1 1	$V_{REF} - 1$ LSB	$-\lvert V_{REF}\rvert + 1$ LSB
1 1 0 0 0 0 0 0	$V_{REF}/2$	$-\lvert V_{REF}\rvert/2$
1 0 0 0 0 0 0 0	0	0
0 1 1 1 1 1 1 1	-1 LSB	$+1$ LSB
0 0 1 1 1 1 1 1	$-\frac{\lvert V_{REF}\rvert}{2} - 1$ LSB	$\frac{\lvert V_{REF}\rvert}{2} + 1$ LSB
0 0 0 0 0 0 0 0	$-\lvert V_{REF}\rvert$	$+\lvert V_{REF}\rvert$

ตารางที่ 3.1 แสดงการคำนวณหาขนาดของสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

การทำงานของวงจรในภาคนี้จะใช้ไอซีแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลเบอร์ ADC0804 ดังแสดงในรูปที่ 3.4 และมีบล็อกไดอะแกรมดังแสดงในรูป 3.5

ซึ่งมีคุณสมบัติต่างๆดังนี้

- Resolution 8 bits
- Total error ±1/4 LSB,±1/2 LSB และ ±1 LSB
- Conversion time 100 µS

โดยทำการต่อวงจรดังแสดงในรูปที่ 3.6 เพื่อให้ทำงานในโหมดของ µP interface for Free - Running A/D ซึ่งสัญญาณนาฬิกาที่จ่ายให้กับ ADC0804 นั้นจะใช้สัญญาณนาฬิกาจากภายนอกโดยใช้ RC ต่อเป็นวงจรดังรูป 3.7 โดยสามารถที่จะคำนวณหาความถี่ f_{CLK} ได้โดย

$f_{CLK} \cong 1/1.1RC$

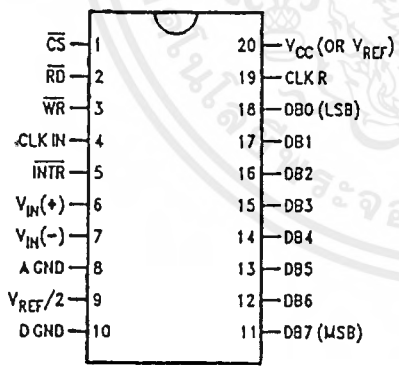
$R \cong 10\ K\Omega$

ซึ่งจากวงจรในรูปที่ 3.6 จะใช้ R = 10 KΩ, C = 150 pF

โดยมี timing diagram ดังแสดงในรูปที่ 3.8

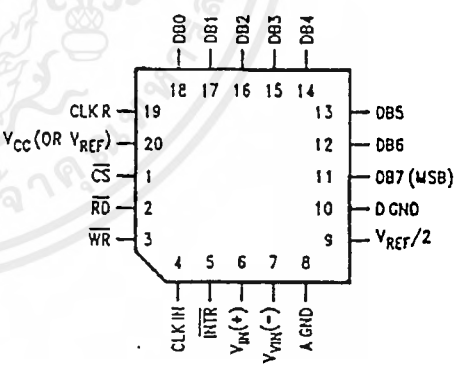
Connection Diagrams

ADC080X
Dual-In-Line and Small Outline (SO) Packages



TL/H/5671-30

ADC080X
Molded Chip Carrier (PCC) Package



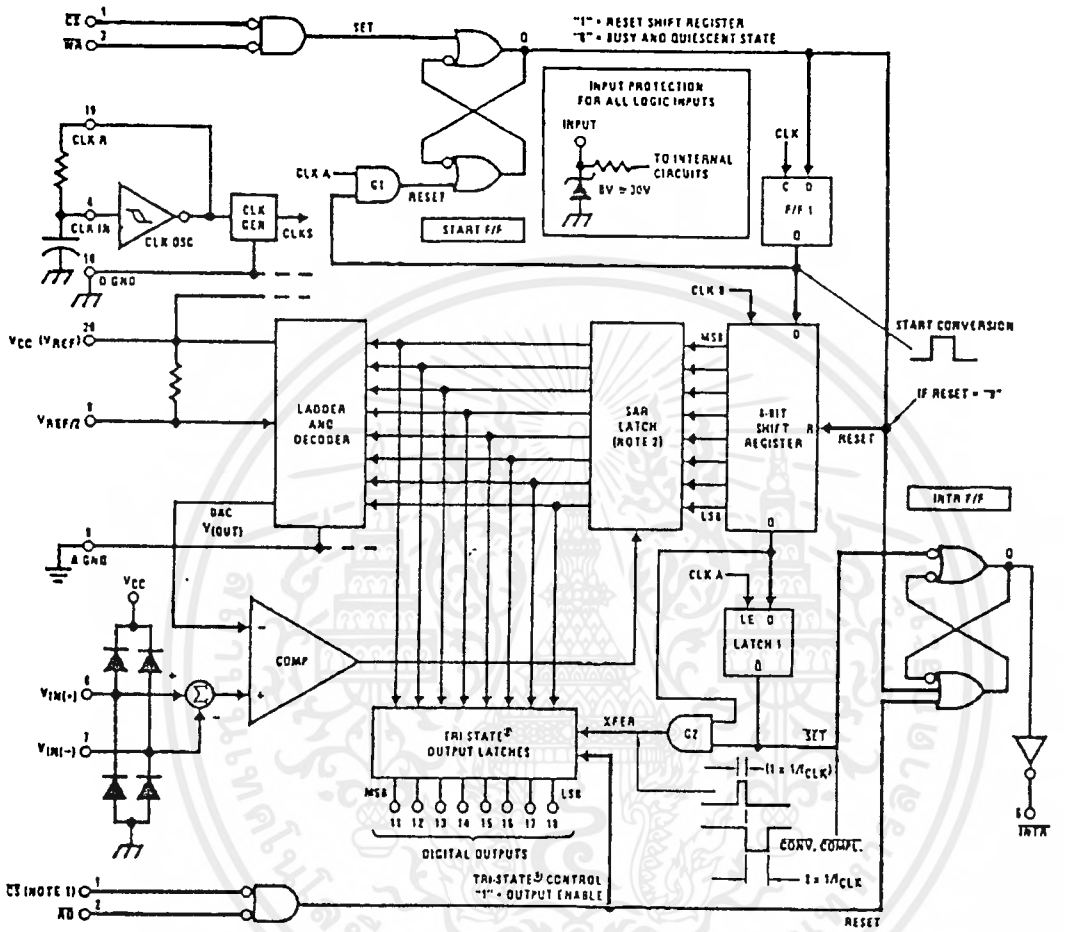
TL/H/5671-32

See Ordering Information

รูปที่ 3.4

Connection Diagrams

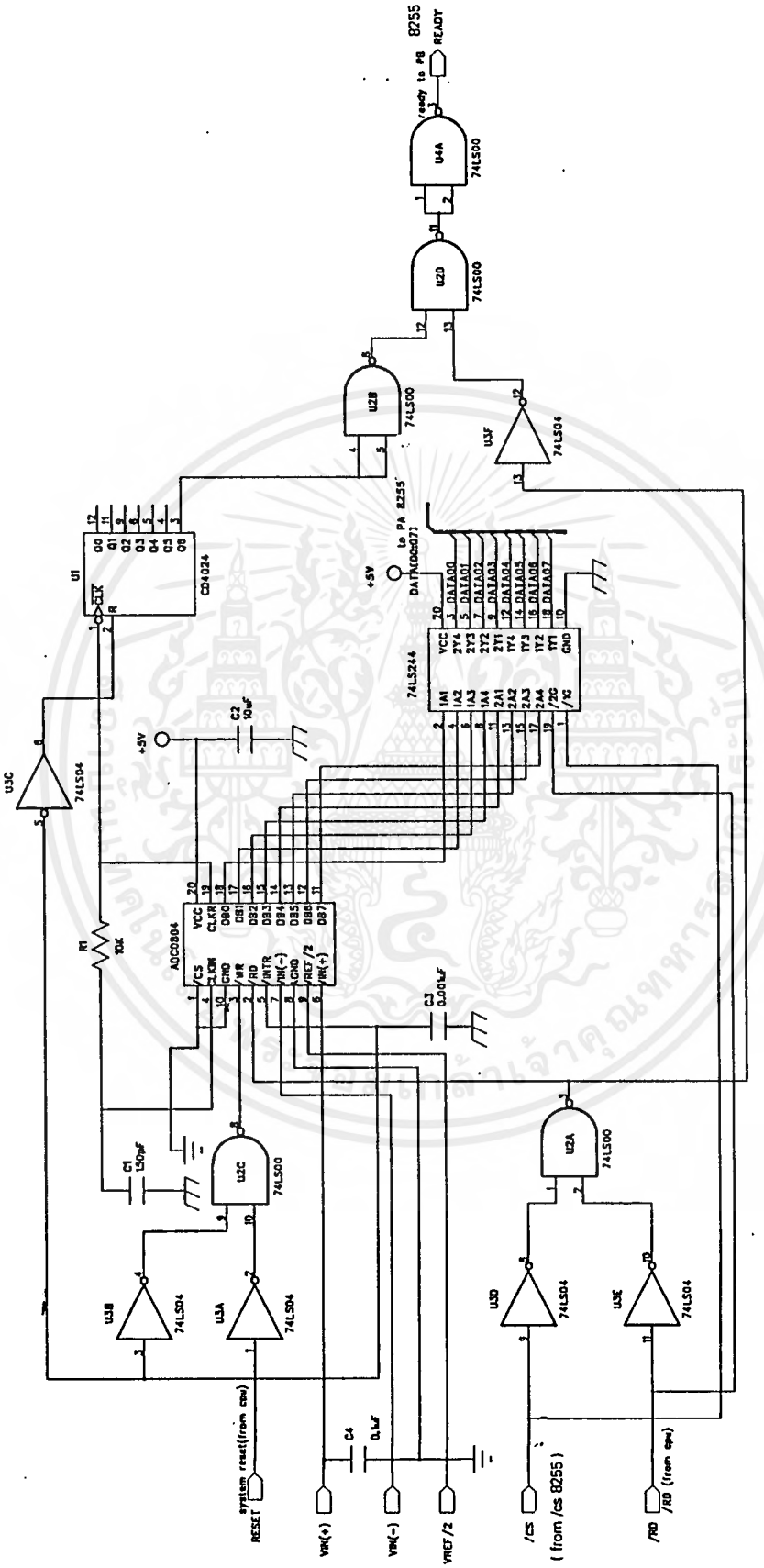
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5

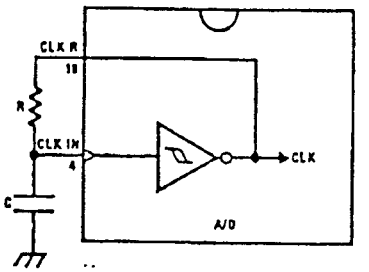
บล็อกไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



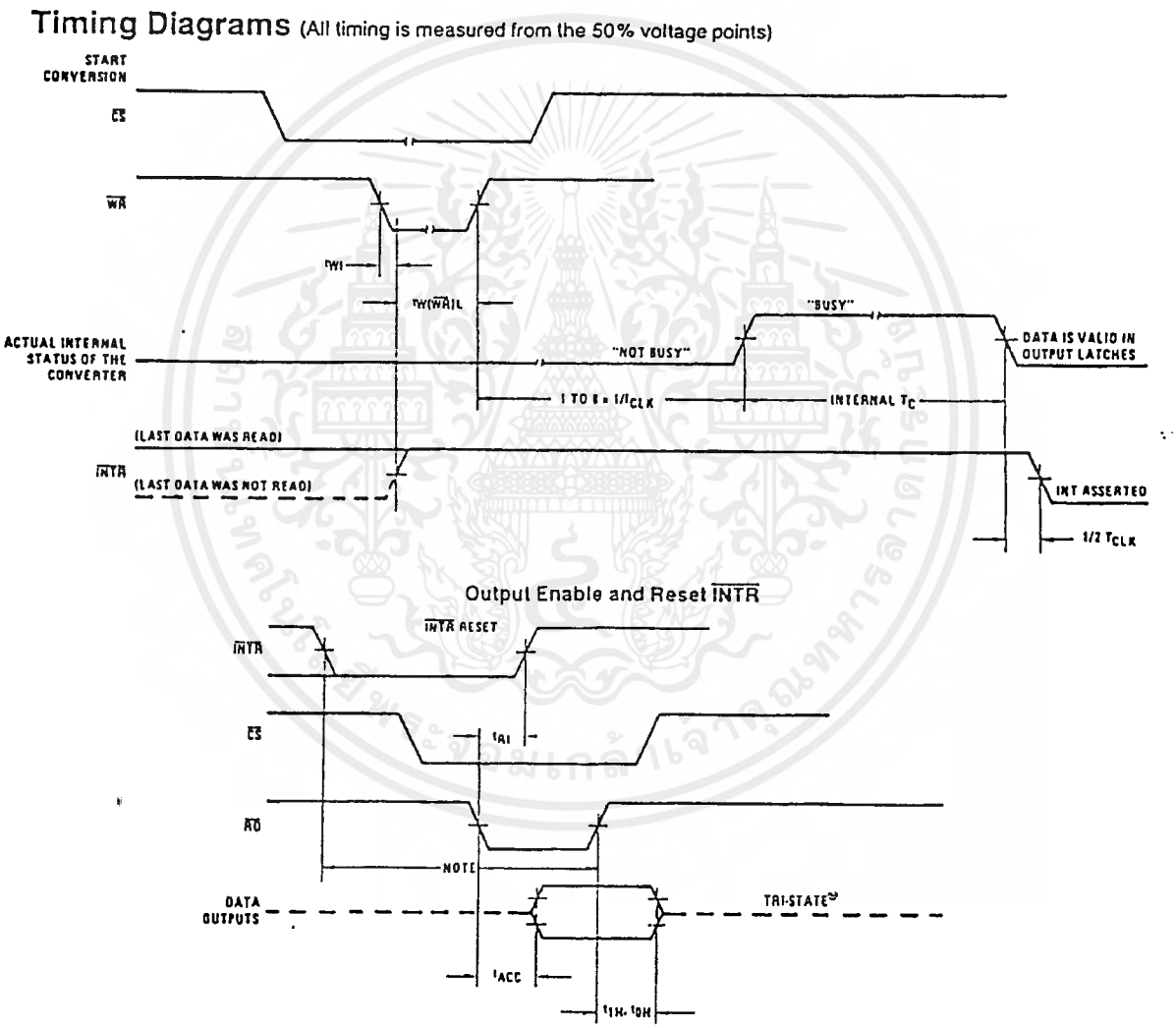
รูปที่ 3.6
วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7

Self-Clocking the A/D



รูปที่ 3.8

Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การทำงานของวงจรถอดรหัส DTMF

จากรูปที่ 4.5 วงจรถอดรหัส DTMF เมื่อมีการกดหมายเลขสัญญาณผ่านมายัง C1 และC2 ซึ่งทำหน้าที่คับปลิ้งสัญญาณโดยมี R1 และ R2 เป็นตัวจำกัดกระแสที่จะเข้าสู่วงจรแบ่งแรงดันโดยใช้ R3, R4 และ R5 เพื่อเป็นแรงดันอ้างอิงให้แก่ขา IN+ (ขา 1) และ IN- (ขา 2) โดยที่ไอซี MT8870 จะเปลี่ยนสัญญาณ DTMF เป็นสัญญาณดิจิตอลออกมาทางขา Q1, Q2 , Q3 และ Q4 ซึ่งจะมีระดับสัญญาณเอาท์พุทตามตารางที่ 2.1 ไอซี MV8870 ก็จะให้พัลซ์ออกมาที่ขา STD (ขา 15) หนึ่งพัลซ์ (" 1") ทุกๆครั้งเช่นกัน พัลซ์ที่ออกมาจะผ่านไดโอด D_3 มาทำการกระตุ้นวงจรตั้งเวลาโมโนสเตเบิ้ล IC_6 ที่ขา 8 และ 12 เป็นการกระตุ้นเพื่อให้เกิดการรีเซ็ตและเริ่มตั้งเวลา 10 วินาที ค่าเวลานี้กำหนดด้วยค่าของ C_7 และ R_{12} นอกจากนี้แล้วทุกครั้งที่มีการเปลี่ยนแปลงทางเอาท์พุทของ IC_8 และไมโครคอนโทรลเลอร์ทำงานเอาท์พุทขา 6 ของ IC_1 ก็จะให้พัลซ์ออกมาเช่นกัน เพื่อขับ LED แสดงสภาวะการทำงานถอดรหัส Q_1 และทำให้ LED_1 กระพริบตามการเปลี่ยนแปลงที่เกิดขึ้นอุปกรณ์ C_4 , R_{10} , C_8 ,และ R_{15} ทำน้าที่เป็นชุดรีเซตอัตโนมัติให้กับ IC_1 และ IC_6 ขณะเปิดสวิทช์จ่ายแรงดันไฟเข้าสู่วงจรให้เริ่มทำงาน การแลทช์ข้อมูลจากทางเอาท์พุทของ IC_2 ถูกควบคุมด้วยขา 11 เมื่อทำการเลือกแอดเดรสเรียบร้อยแล้วมีสัญญาณออกไปทางเอาท์พุทของ IC_2 พร้อมกับ IC_1 จะสั่งการออกไปทางขา WR (ขา 15) เพื่อทำการแลทช์ข้อมูลที่ขา 11 ของ IC_2 ดังนั้นเอาท์พุทก็จะทำการค้างสถานะไว้ที่การควบคุมทางอินพุทที่ต้องการหรือที่กำหนดไว้

3.4 การทำงานของวงจรริงดีเทคเตอร์

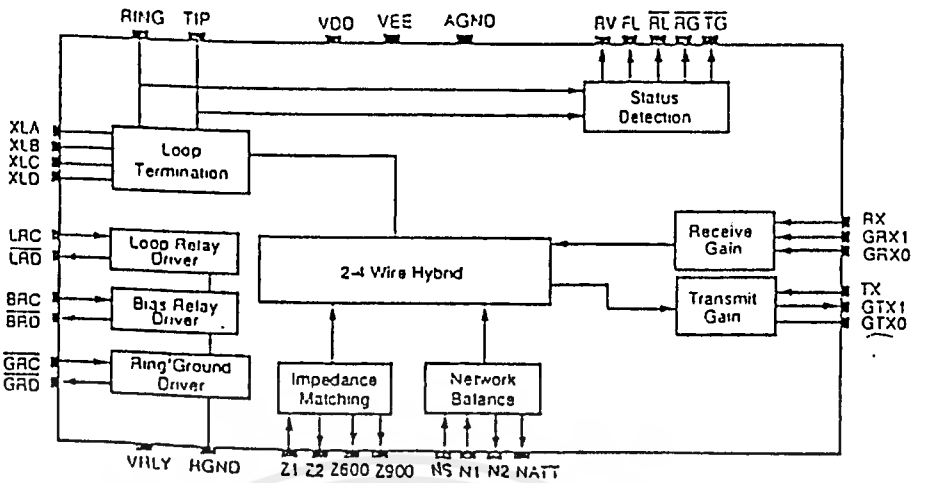
ในส่วนของการตรวจจับสัญญาณริงกิ้งจะใช้โมดูล IC เบอร์ MH88632 ดังแสดงใน Fucntion Block Diagram รูปที่ 3.11 จากรูปสัญญาณจากส่วนของสายโทรศัพท์จะถูกต่อเข้ามายังที่ขา TIP (ขา 1) และขา RING (ขา 2) ซึ่งการทำงานของโมดูลไอซีตัวนี้จะให้เอาท์พุทของการดีเทคสัญญาณริงกิ้งออกมาที่ขา 36 (RV) ซึ่งในสภาวะปกติขานี้จะมีลอจิก high และจะให้เอาท์พุทลอจิก low เมื่อมีสัญญาณริงกิ้งเข้ามาและยังคงสภาวะลอจิก low อยู่เป็นเวลา 50 ms ในขณะที่มี Ring และจะยังคงสภาวะลอจิก low อยู่อีก 50 ms หลังจากที่หมดสัญญาณริงกิ้งแล้ว ซึ่งจากการเปลี่ยนแปลงของสัญญาณของขา RV นี้ สามารถที่จะต่อไปยัง 8255 อินพุทพอร์ท เพื่อให้ CPU ตรวจจับและทำงานตามโปรแกรมได้

RV = Ring Voltage Detect

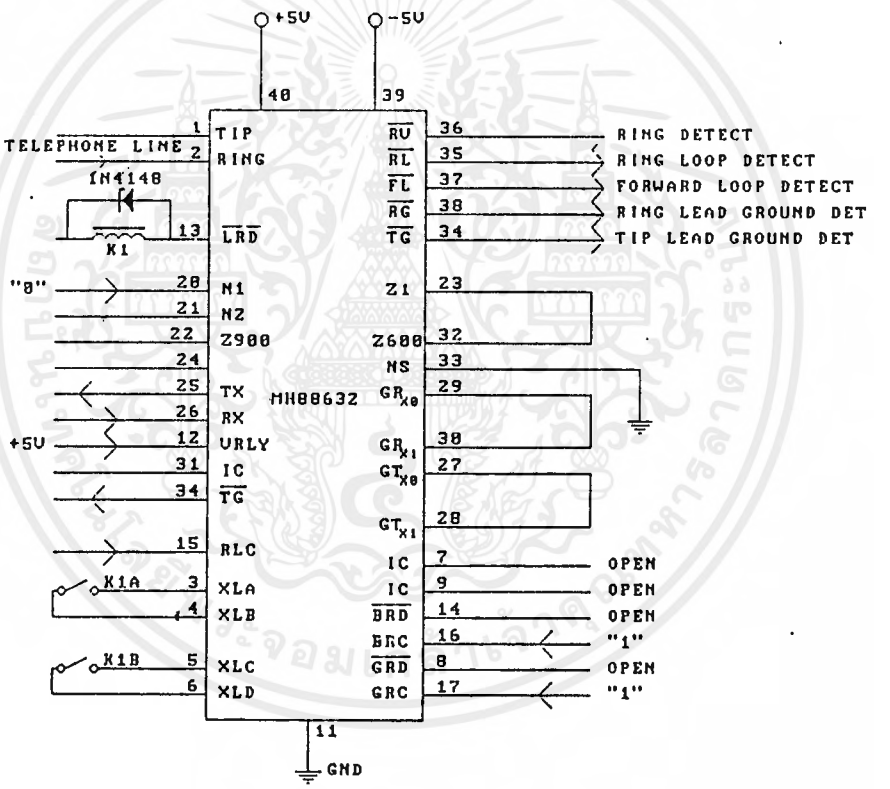
3.5 วงจรยกหูโทรศัพท์

ในส่วนของวงจรยกหูโทรศัพท์นี้จะใช้โมดูล IC เบอร์ MH88632 เช่นกัน โดยจะต้องต่อร่วมกับอุปกรณ์ภายนอกคือรีเลย์ K_1 ดังรูป 3.11 ซึ่งรีเลย์ K จะเป็นรีเลย์ขนาด 5V 2 คอนแทค ต่อเข้ากับขา 13 (LRD) และคอนแทคทั้ง 2คู่ของรีเลย์ K คือ K1A และ K1B จะถูกต่อเข้ากับขา 3 (XLA) ขา 4 (XLB) และขา 5 (XLC) ,ขา 6 (XLD) ตามลำดับ โดยที่รีเลย์ K_1 จะทำงานเมื่อได้รับลอจิก high เข้ามาที่ขา 15 (LRC) ซึ่งลอจิก high นี้จะทำให้ Loop Relay Drive Output (LRD) ทำงาน คือ LRD จะให้ลอจิก low เพื่อไปกระตุ้นรีเลย์ K_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ฟังก์ชันไดอะแกรมของ IC เบอร์ MH 88632



รูปที่ 3.11 วงจรริงดีเทคเตอร์และวงจรยกหูโทรศัพท์

ในสภาวะวางหู (on-hook) ลอจิก low เป็นตัวแสดงว่าปัจจุบันเป็น reverse loop battery (loop กลับไปหาสายโทรศัพท์) เอาท์พุทจะเป็น forward loop battery (loop กลับมาหาตัว IC)

ในสภาวะยกหู (off-hook) ลอจิก low เป็นตัวแสดงว่าปัจจุบันเป็น reverse loop current (loop กลับไปหาสายโทรศัพท์) เอาท์พุทจะเป็น forward loop current (loop กลับมาหาตัว IC)

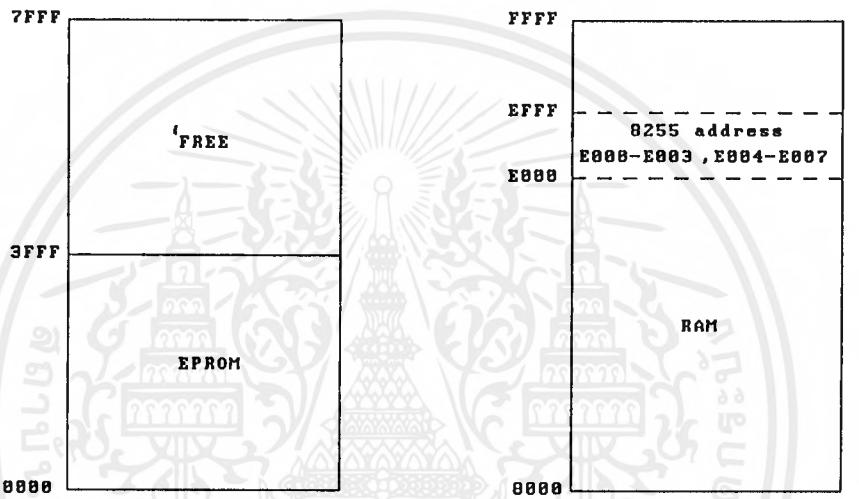
เมื่อต่อลอจิก high ให้กับ LRC (ขา 15),GRC (ขา 17) และต่อลอจิก low ให้ BRC (ขา 16) จะเป็นการทำให้รีเลย์ K ทำงานเพียงตัวเดียว หน้าสัมผัสของรีเลย์ K ทั้ง 2 คอนแทคจะปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบให้ซีพียูติดต่อกับอุปกรณ์อินพุทเอาท์พุท

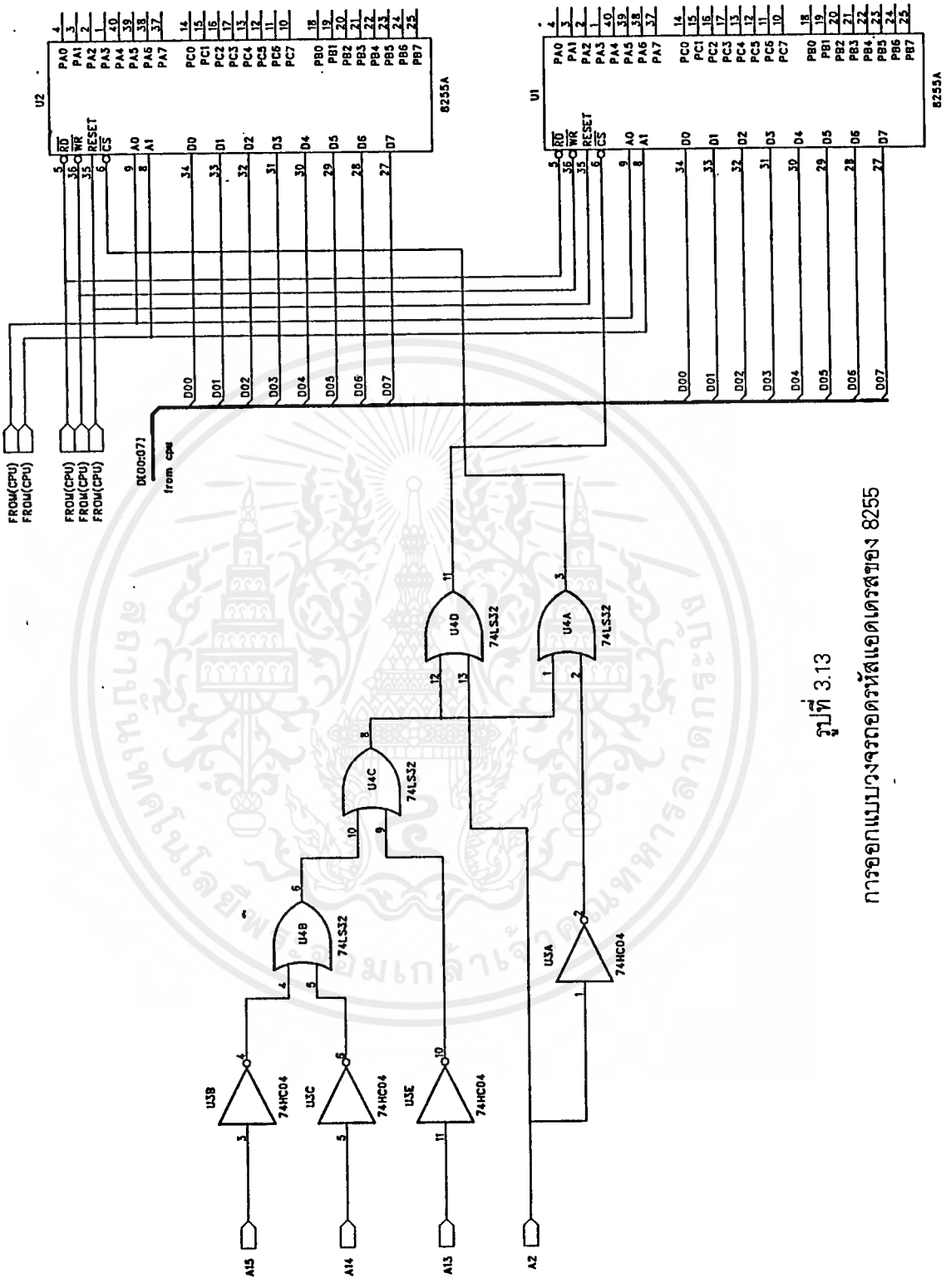
เนื่องจากในโครงงานนี้ CPU จะมีการติดต่อกับอุปกรณ์ภายนอกจำนวนมากซึ่งมีความจำเป็นที่จะใช้พอร์ทอินพุทและเอาท์พุทเพิ่มขึ้น ในการติดต่อภายนอกของ CPU จะติดต่อผ่านทางพอร์ทอินพุทและเอาท์พุทของ IC 8255 ซึ่งมีการออกแบบให้ CPU ติดต่อกับหน่วยความจำส่วนต่างๆไว้ดังนี้

- ในการติดต่อกับ RAM และ EPROM ได้มีการออกแบบและมีวงจรถอดรหัส ดังแสดงในรูป 3.12
- ในการติดต่อกับ IC 8255 ได้มีการออกแบบวงจรถอดรหัสไว้ ดังตาราง 3.2,3.3 และวงจรดังรูป 3.13



รูปที่ 3.12 การออกแบบแอดเดรสให้ CPU ติดต่อกับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 การออกแบบวงจรถอดรหัสแอดเดรสของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 Decoder (ตัวที่ 1 แอดเดรส E000 - E003)

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	1	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	1	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0
1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	0
1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

ตารางที่ 3.2

การถอดรหัสแอดเดรสของ 8255 ตัวที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 Decoder (ตัวที่ 2 แอดเดรส E004 - E007)

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	1	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0
1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	0
1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

ตารางที่ 3.3

การถอดรหัสแอดเดรสของ 8255 ตัวที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรสวิตช์ชิ่งและคับปลิ้งของโทรศัพท์

การทำงานของวงจรในส่วนนี้จะใช้โมดูลไอซี เบอร์ MH88632 ซึ่งเป็นไอซีที่ทำหน้าที่เป็น Central Office Interface Circuit (COIC) โดยมีบล็อกไดอะแกรมดังรูปที่ 3.10 และมีวงจรดังรูปที่ 3.11 ซึ่งในส่วนนี้จะประกอบด้วยการทำงานที่สำคัญ 2 ส่วนคือ

- การทำงานเป็นวงจรไฮบริจด์ (Hybrid)
- การปรับค่าอินพุทอิมพีแดนท์ให้เหมาะสมกับอิมพีแดนท์ของสายโทรศัพท์ (Line Impedance)

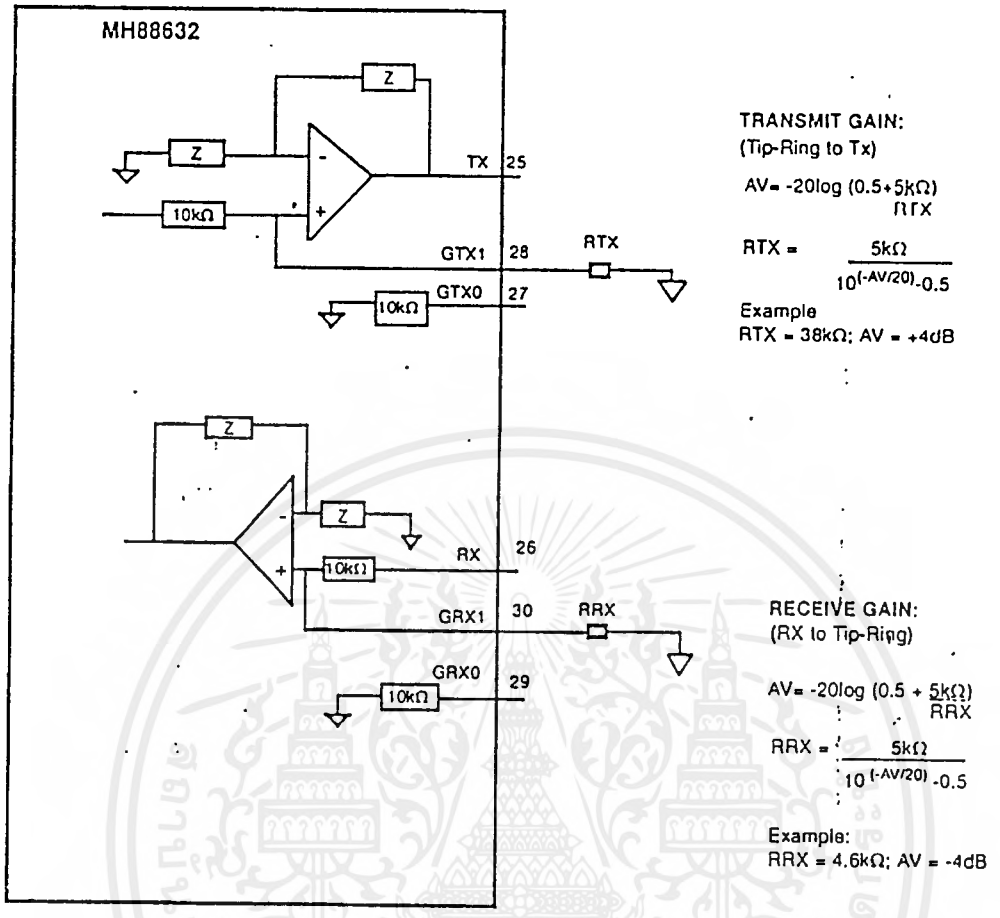
3.7.1. การทำงานเป็นวงจรไฮบริดจ์

ในการแยกวงจร 2 สายเป็นวงจร 4 สาย (2-4 wire) ของวงจรนี้นั้น จะเป็นการแยกโดยไม่ใช้หม้อแปลง โดยการแยกอย่างสมดุล (balance) แบบฟูลดูเพล็กซ์ (Full duplex) นั้น สัญญาณจาก TIP และ RING ของโทรศัพท์จะผ่านเข้ามาสู่ส่วนของ receive และ transmit ซึ่งเป็นสัญญาณที่ถูกอ้างอิงกับกราวนด์ ที่ขา Rx (Receive) และ Tx (Transmit) ของ COIC. ซึ่งในส่วนของวงจรนี้จะมีการป้องกันไม่ให้สัญญาณจากขา Rx ไปปรากฏที่ขา Tx ด้วย ซึ่งสัญญาณที่จะออกไปจากขา Tx หรือ สัญญาณที่จะเข้ามาทางขา Rx นั้น สามารถที่จะทำการปรับอัตราการขยายของสัญญาณเหล่านี้ได้โดยสามารถที่จะปรับให้มีอัตราการขยายอยู่ในช่วง -12 dB.ถึง +6 dB. ดังแสดงในตารางที่ 3.4 โดยมีวิธีการคำนวณค่าของอุปกรณ์ภายนอกที่จะนำมาต่อร่วมกันได้ดังนี้

Transmit Gain (dB)	RTX Resistor Value (Ω)	Notes
+6.0	No Resistor	
+4.0	38.3k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
+3.7	32.4k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
0.0	GTX0 to GTX1	
-3.0	5.49k	
-6.0	3.32k	
-12.0	1.43k	
Receive Gain (dB)	**RRX Resistor Value (Ω)**	**Notes**
+6.0	No Resistor	
0.0	GRX0 to GRX1	
-3.0	5.49k	
-3.7	4.87k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
-4.0	4.64k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
-6.0	3.32k	
-12.0	1.43k	

ตารางที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



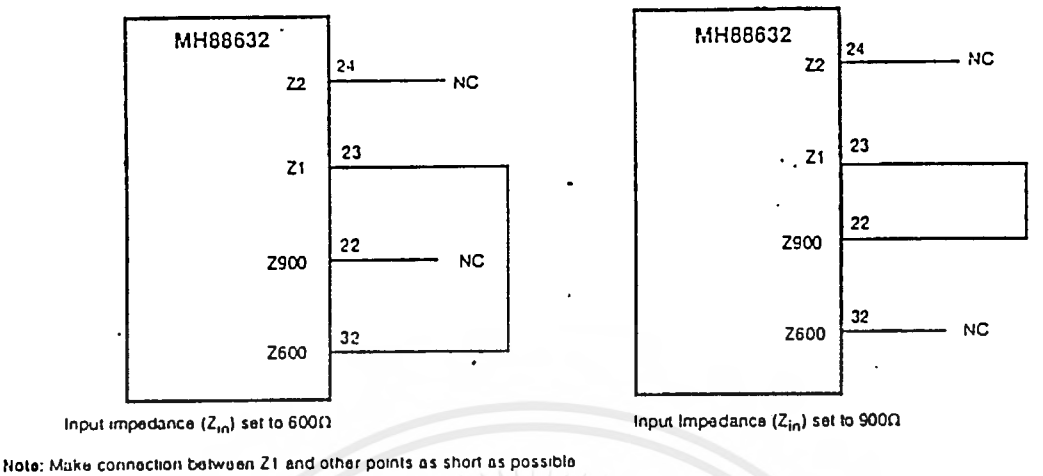
รูปที่ 3.14

การปรับค่าอัตราการขยายด้วยอุปกรณ์ภายนอก

3.7.2 การปรับค่าอินพุทอิมพีแดนท์ให้เหมาะสมกับอิมพีแดนท์ของสายโทรศัพท์

จากบล็อกไดอะแกรม รูปที่ 3.10 และวงจรรูปที่ 3.11 อินพุทอิมพีแดนท์ (Zin) ที่ขา TIP และ RING ของ MH88632 สามารถที่จะทำการเซ็ตให้มีค่าเป็น 600 Ω หรือ 900 Ω ได้ โดยจากรูปที่ 3.11 เมื่อทำการต่อขา Z1(ขา23) เข้ากับ Z600 (ขา 32) แล้วจะทำให้ได้อินพุทอิมพีแดนท์ของ MH88632 มีค่าเท่ากับ 600 Ω และถ้าหากต่อ Z1 เข้ากับ Z900 (ขา 22) จะได้อินพุอิมพีแดนท์ของ MH88632 มีค่าเป็น 900 Ω ดังแสดงใน รูปที่ 3.15 ซึ่งในโครงงานนี้จะใช้อินพุทอิมพีแดนท์ของ MH88632 เท่ากับ 600 Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15

การเซ็ตค่าอินพุทอิมพีแดนท์

3.8 การออกแบบวงจรไดนามิคส์แรม (Dynamic Ram : DRAM) เพื่อติดต่อกับ CPU

ในส่วนของวงจรนี้จะใช้ไดนามิคส์แรม ขนาด 4 MB 72 Pin แบบ SIMM ซึ่งมีลักษณะและตำแหน่งของขาต่างๆดังรูปที่ 3.16 และมีฟังก์ชั่นบล็อกไดอะแกรมดังรูปที่ 3.17

ลักษณะโดยทั่วไป

- การอ่าน (Read) หรือการเขียน (Write) โดยในแต่ละรอบ (cycle) จะใช้แอดเดรส 20 บิต ซึ่งจะอ้างอิงในแต่ละครั้งเพียง10 บิต โดย $\overline{RAS}$ จะใช้ในการ latch 10 บิตแรก และ $\overline{CAS}$ จะใช้ latch 10 บิต ต่อมา

- การอ่าน หรือการ เขียน จะถูกกำหนดโดยขา $\overline{WE}$ อินพุท โดย ระดับแรงดันสูง (logic high) ของ $\overline{WE}$ หมายถึง อยู่ในโหมดการอ่าน และระดับแรงดันต่ำ (logic low) หมายถึงอยู่ในโหมดการ เขียน ซึ่งมีลักษณะการอ่านและการเขียน ดังแสดงใน timing diagrams รูปที่ 3.18

จากรูปที่ 3.17 ซึ่งเป็นฟังก์ชั่นบล็อกไดอะแกรมของ SIMM RAM ขนาด 4 MB 32 บิต แต่ในโครงงานนี้จะออกแบบเพื่อให้ไดนามิคส์แรมนี้สามารถที่จะติดต่อกับ CPU ขนาด 8 บิต ได้ จึงต้องมีการต่อวงจรเพื่อให้ไดนามิคส์แรมนี้มีขนาด 8 บิต ดังแสดงในรูปที่ 3.19

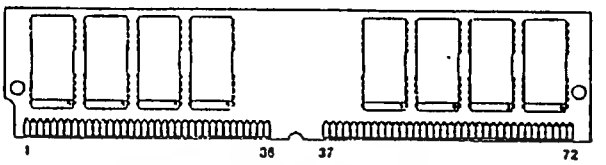
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENT (Front View)

72-Pin SIMM

(DD-7) 1 Meg x 32

(DD-8) 2 Meg x 32



PIN #	SYMBOL	PIN #	SYMBOL	PIN #	SYMBOL	PIN #	SYMBOL
1	Vss	19	NC	37	NC	55	DQ12
2	DQ1	20	DQ5	38	NC	56	DQ28
3	DQ17	21	DQ21	39	Vss	57	DQ13
4	DQ2	22	DQ6	40	$\overline{CAS0}$	58	DQ29
5	DQ18	23	DQ22	41	$\overline{CAS2}$	59	Vcc
6	DQ3	24	DQ7	42	$\overline{CAS3}$	60	DQ30
7	DQ19	25	DQ23	43	$\overline{CAS1}$	61	DQ14
8	DQ4	26	DQ8	44	$\overline{RAS0}$	62	DQ31
9	DQ20	27	DQ24	45	NC/$\overline{RAS1}$*	63	DQ15
10	Vcc	28	A7	46	NC	64	DQ32
11	NC	29	NC	47	$\overline{WE}$	65	DQ16
12	A0	30	Vcc	48	NC	66	NC
13	A1	31	A8	49	DQ9	67	PRD1
14	A2	32	A9	50	DQ25	68	PRD2
15	A3	33	NC/$\overline{RAS3}$*	51	DQ10	69	PRD3
16	A4	34	$\overline{RAS2}$	52	DQ26	70	PRD4
17	A5	35	NC	53	DQ11	71	NC
18	A6	36	NC	54	DQ27	72	Vss

*8MB version only

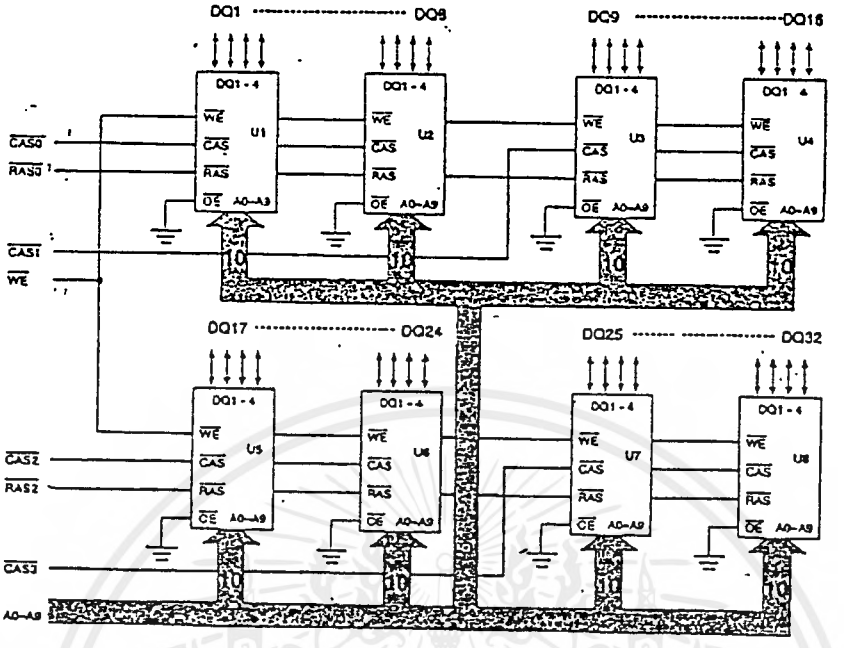
รูปที่ 3.16

ตำแหน่งของขาต่างๆ

- การรีเฟรส (Refresh) ไดนามิคส์แรม จะออกแบบให้การรีเฟรสทำงานในโหมด CBR refresh cycle ดังแสดงในรูปที่ 3.20 ซึ่งจะต้องทำการรีเฟรสอย่างน้อยที่สุดในทุกๆ 16 ms ดังนั้นในการรวมกันทั้งหมดของ $\overline{RAS}$ แอดเดรส (A0-A9) คือ 1024 (2^{10}) แถว จะต้องทำการรีเฟรสภายในเวลา 16 ms คือทุกๆ 16ms/1024 = 15.625 µs

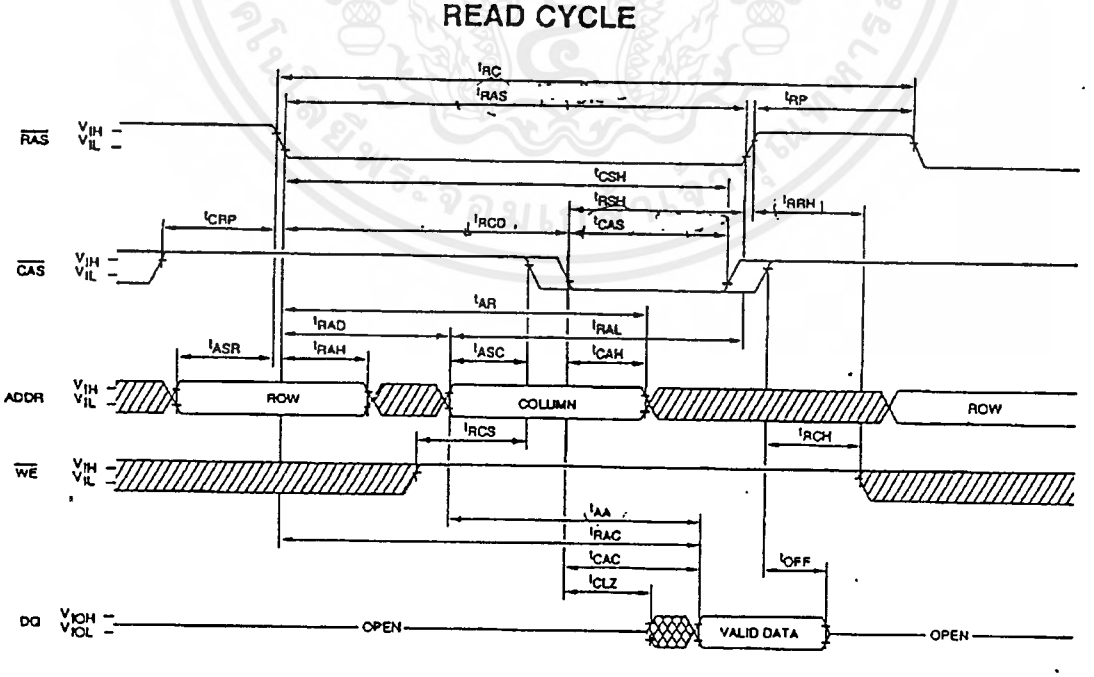
ในส่วนของวงจรที่ใช้งานทั้งหมดนั้น ดังแสดงในรูป 3.21 โดยจะต้องมีการใช้เกทเป็นจำนวนมาก จึงได้ทำการออกแบบ GAL มาใช้แทนเกท GAL ที่ใช้ในวงจรนี้คือ GAL16V8 ซึ่งมีฟังก์ชั่นบล็อกไดอะแกรม และ PIN CONFIGURATION ดังรูปที่ 3.22 และรูปที่ 3.23 ตามลำดับ ซึ่งมีการออกแบบให้ภายใน GAL16V8 ทำงานตามลักษณะวงจรดังรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



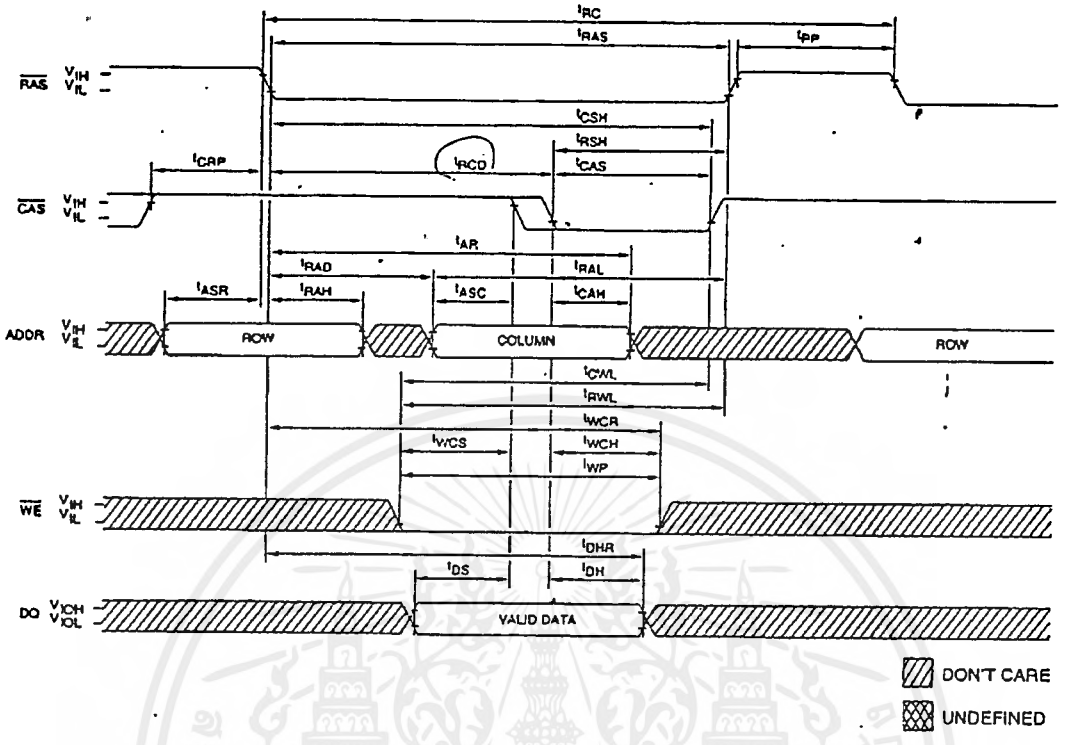
รูปที่ 3.17

ฟังก์ชันบล็อกไดอะแกรม

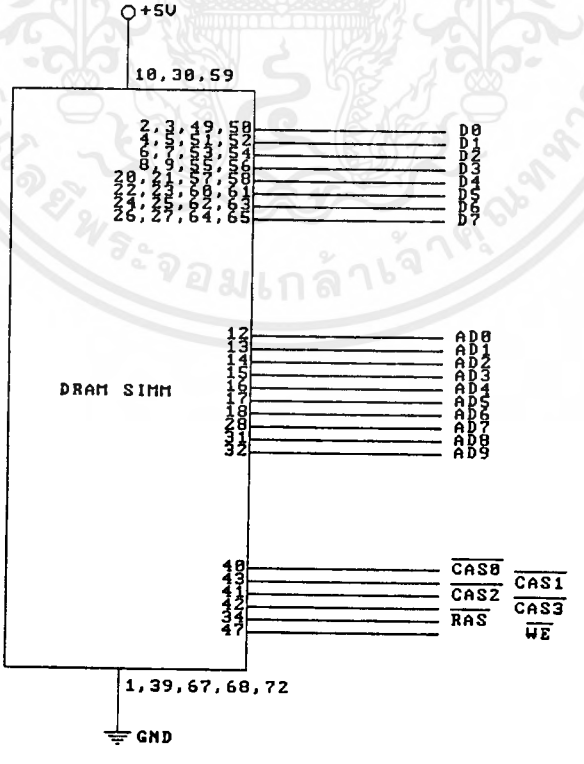


รูปที่ 3.18 timing diagram การอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



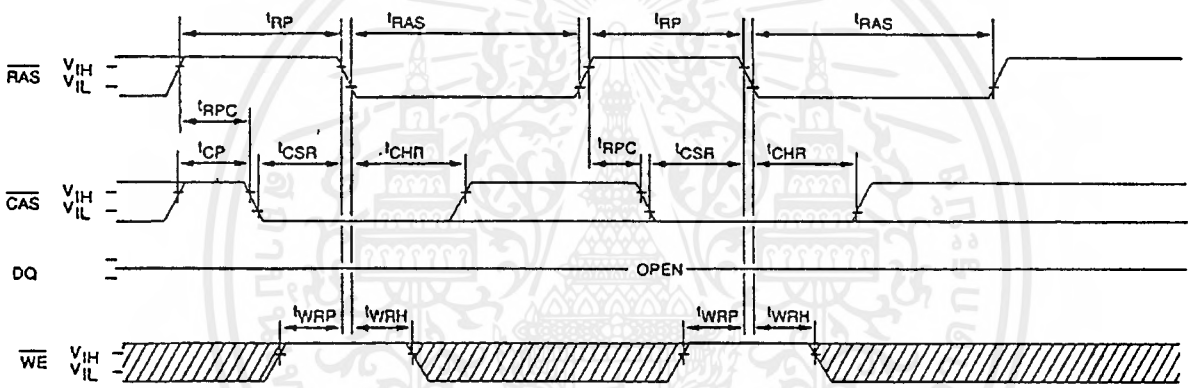
รูปที่ 3.18 (ต่อ) timing diagram การเขียน



รูปที่ 3.19 การต่อไดนามิคส์แรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

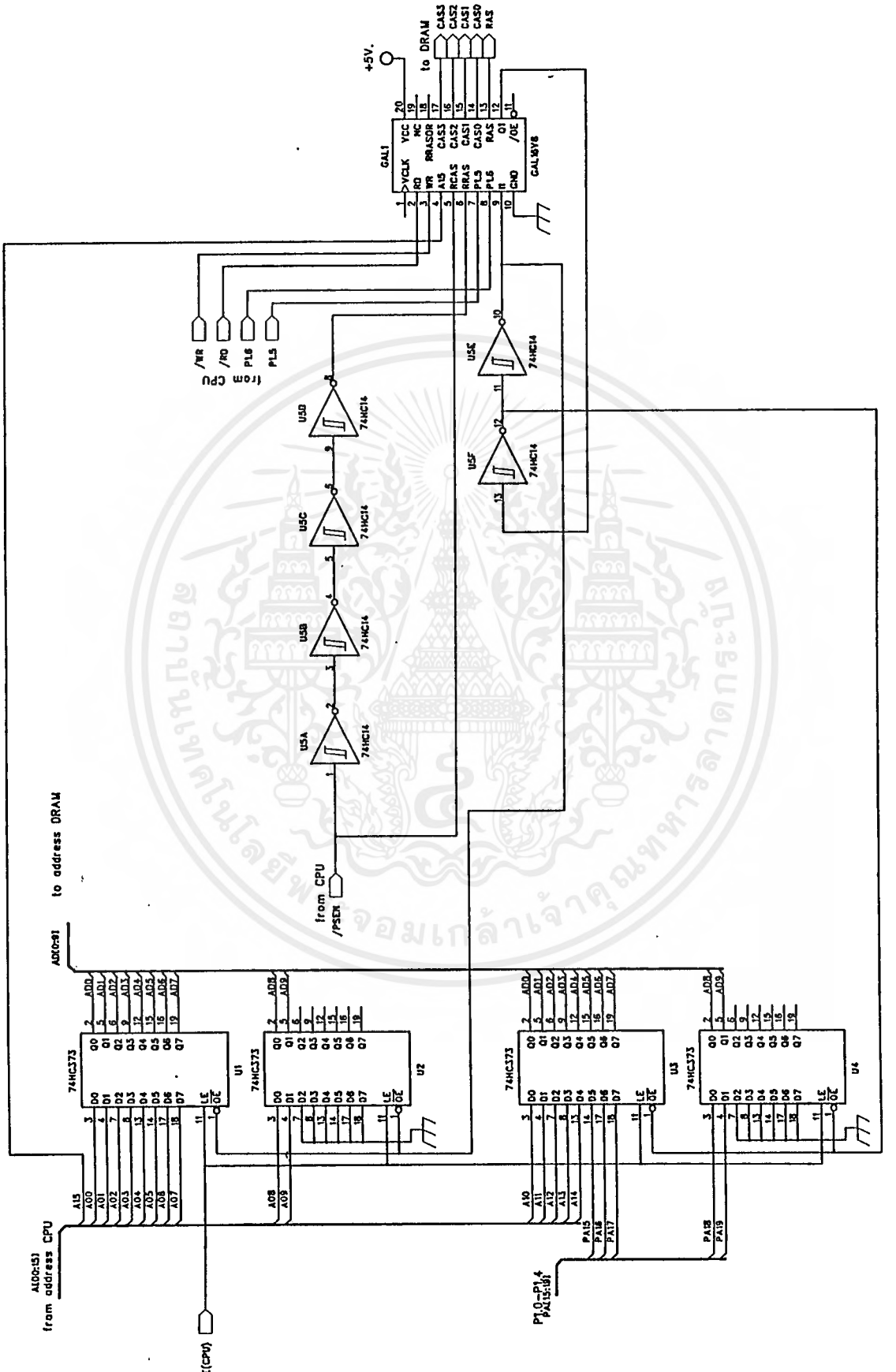
CBR REFRESH CYCLE
(Addresses = DON'T CARE)



รูปที่ 3.20

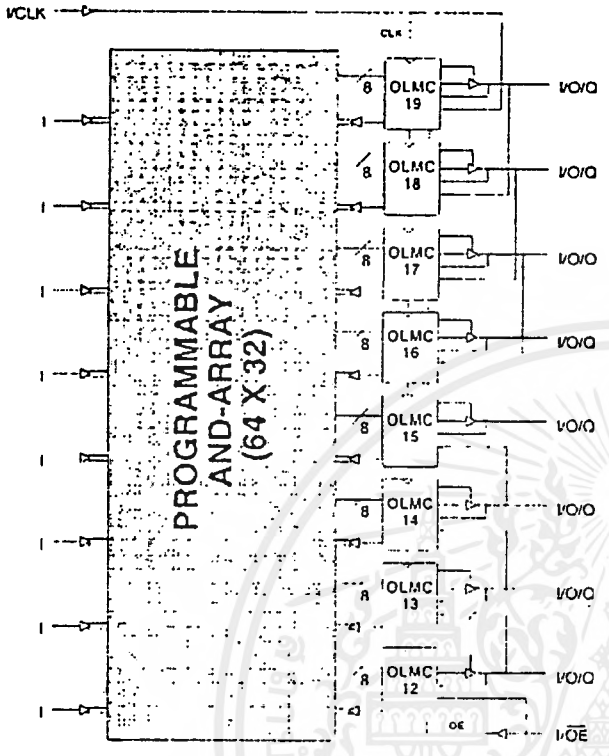
CBR REFRESH CYCLE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

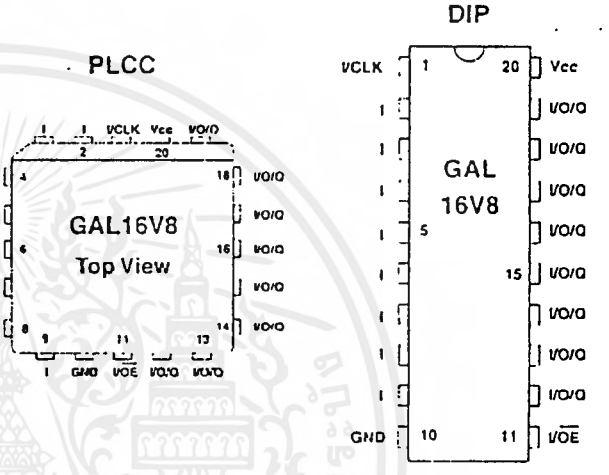


รูปที่ 3.21 การต่อ CPU กับไดนามิคแรม

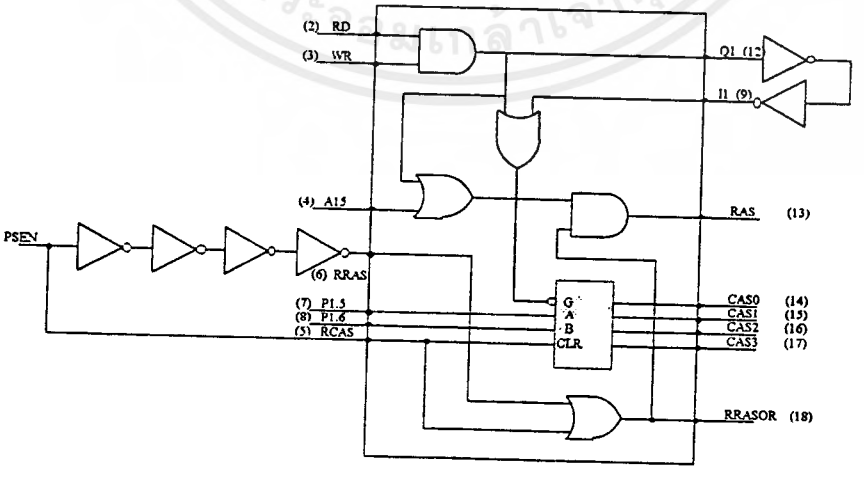
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 ฟังก์ชั่นบล็อกไดอะแกรม



รูปที่ 3.23 PIN CONFIGURATION



รูปที่ 3.24 การออกแบบภายใน GAL16V8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สมการและบูลลีนลอจิกของ GAL16V8

```
title     Read write and refesh dram for mcs51
pattern
revision A
author    somsak c.
company   Century Telacom co,LTD
date      15.02.97

chip u24 GAL16V8

; pin 1   2    3    4    5    6    7    8    9    10
      clk rd   wr   a15  rcas rras p15  p16  i1   gnd

; pin 11  12   13   14   15   16   17   18        19   20
      /oe q1   ras  cas0 cas1 cas2 cas3 rrasor    nc   vcc

equations

;
; assignment operator "=" are  combination  equations and
; outputs use the  clocked  assignment operator ":=" .
;

q1     = rd * wr

ras    = rrasor * a15
       + rrasor * rd * wr

cas0   = rcas * p15
       + rcas * p16
       + rcas * i1
       + rcas * rd * wr

cas1   = rcas * /p15
       + rcas * p16
       + rcas * i1
       + rcas * rd * wr

cas2   = rcas * p15
       + rcas * /p16
       + rcas * i1
       + rcas * rd * wr

cas3   = rcas * /p15
       + rcas * /p16
       + rcas * i1
       + rcas * rd * wr

rrasor = rras + rcas
```

- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
EQN2JED -- Boolean Logic to JEDEC file assembler (Version 1.10)
Copyright (R) National Semiconductor Corporation 1990
Document file for dram.eqn
Device: 16V8
Pin    Label                Type
---    -----                ----
1      clk                  unused
2      rd                   com input
3      wr                   com input
4      a15                  com input
5      rcas                 com input
6      rras                 com input
7      p15                  com input
8      p16                  com input
9      i1                   com input
10     gnd                  ground pin
11     oe                   unused
12     q1                   pos,trst,com output
13     ras                  pos,trst,com output
14     cas0                 pos,trst,com output
15     cas1                 pos,trst,com output
16     cas2                 pos,trst,com output
17     cas3                 pos,trst,com output
18     rrasor               pos,trst,com feedback
19     nc                   unused
20     vcc                  power pin

EQN2JED -- Boolean Logic to JEDEC file assembler (Version 1.10)
Copyright (R) National Semiconductor Corporation 1990

Device Utilization:

No of dedicated inputs used                 :  8/10  (80.0%)
No of dedicated outputs used                :  2/2   (100.0%)
No of feedbacks used as dedicated outputs   :  4/6   (66.7%)
No of feedbacks used                        :  1/6   (16.7%)

-----------------------------------------
Pin    Label                Terms Usage
-----------------------------------------
18     rrasor               2/8   (25.0%)
17     cas3                 4/8   (50.0%)
16     cas2                 4/8   (50.0%)
15     cas1                 4/8   (50.0%)
14     cas0                 4/8   (50.0%)
13     ras                  2/8   (25.0%)
12     q1                   1/8   (12.5%)
-----------------------------------------
Total                      28/64  (43.8%)
-----------------------------------------
EQN2JED -- Boolean Logic to JEDEC file assembler (Version 1.10)
Copyright (R) National Semiconductor Corporation 1990

                Chip diagram (DIP)

                 ,------\__/------.
           clk   |  1          20  |  vcc
            rd   |  2          19  |  nc
            wr   |  3          18  |  rrasor
           a15   |  4          17  |  cas3
          rcas   |  5          16  |  cas2
          rras   |  6          15  |  cas1
           p15   |  7          14  |  cas0
           p16   |  8          13  |  ras
            i1   |  9          12  |  q1
           gnd   | 10          11  |  /oe
                 `-------------------'
```

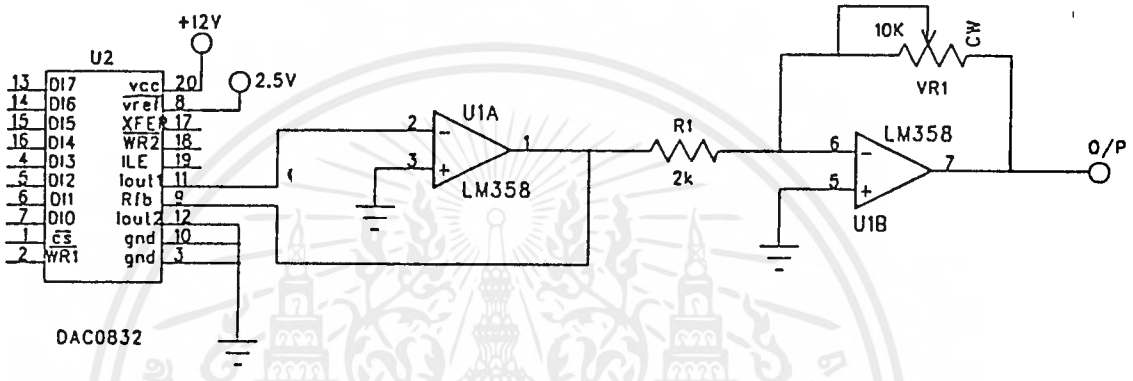
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 การทดลองการแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

ลำดับขั้นการทดลอง

1. ต่อวงจรตามรูปที่ 4.1



รูปที่ 4.1 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการป้อนสัญญาณดิจิตอล อินพุท ขนาด 8 บิท ซึ่งมีค่าดังตัวอย่าง ซึ่งผลปรากฏในตาราง 4.1 และ 4.2 ตามลำดับ

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	1	1
0	0	0	0	1	1	1	0
0	0	0	1	1	1	0	0
0	0	1	1	1	0	0	0
0	1	1	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	0	0	0	0	0
0	0	0	0	0	0	0	0

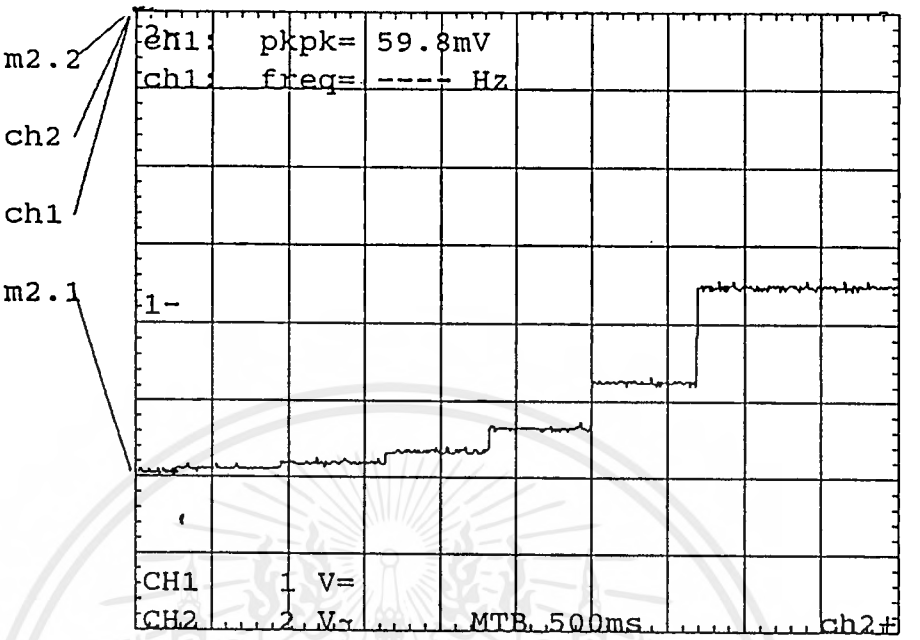
ตารางที่ 4.1 สัญญาณดิจิตอลอินพุท

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	0	0	0

ตารางที่ 4.2 สัญญาณดิจิตอลอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

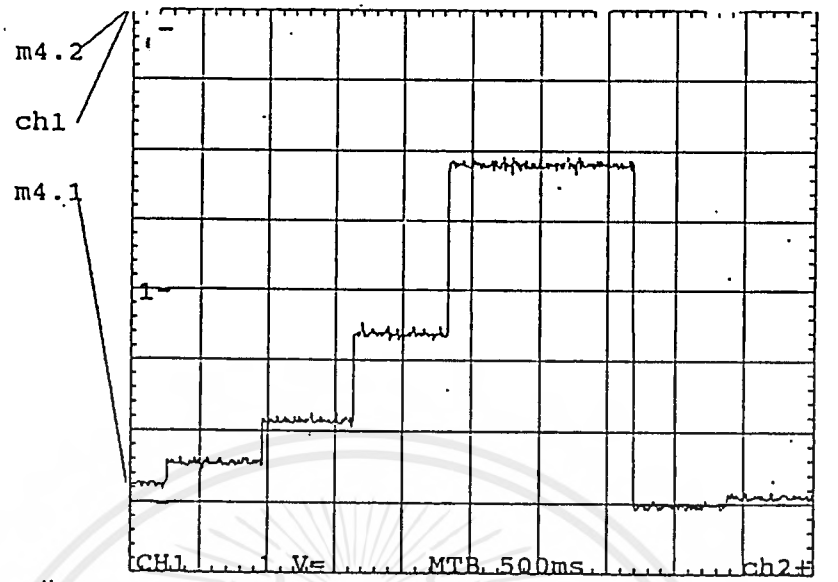
3. ทำการวัดสัญญาณ อะนาลอก เอาท์พุท โดยใช้ ซึ่งผลออกมาดังรูปที่ 4.2 , 4.3 และ รูปที่ 4.4



Y/Div:	Timebase:	TRACE	
1.00 V	500ms	ch1	
2.00 V	500ms	ch2	
2.00 V	500ms	m2.1	=COPY(ch1)
2.00 V	500ms	m2.2	=COPY(ch2)

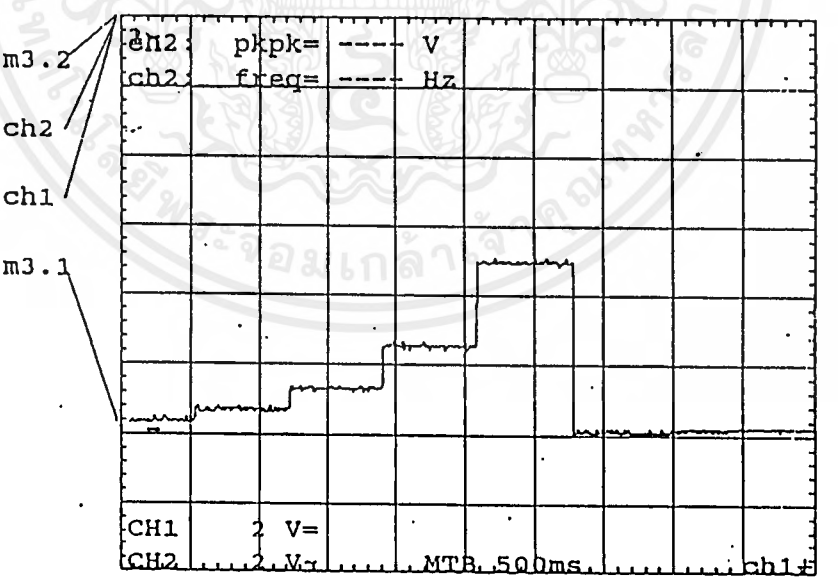
รูปที่ 4.2 สัญญาณอะนาลอกเอาท์พุทจากวงจร A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE	
1.00 V	500ms	ch1	
1.00 V	500ms	m4.1	=COPY(ch1)
2.00 V	500ms	m4.2	=COPY(ch2)

รูปที่ 4.3 สัญญาณอะนาลอกเอาท์พุทจากวงจร A/D



Y/Div:	Timebase:	TRACE	
2.00 V	500ms	ch1	
2.00 V	500ms	ch2	
2.00 V	500ms	m3.1	=COPY(ch1)
2.00 V	500ms	m3.2	=COPY(ch2)

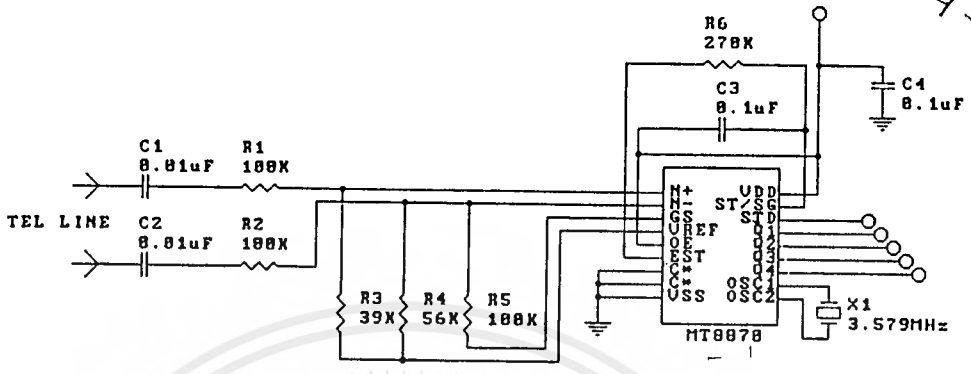
รูปที่ 4.4 สัญญาณอะนาลอกเอาท์พุทจากวงจร A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองวงจรถอดรหัส DTMF

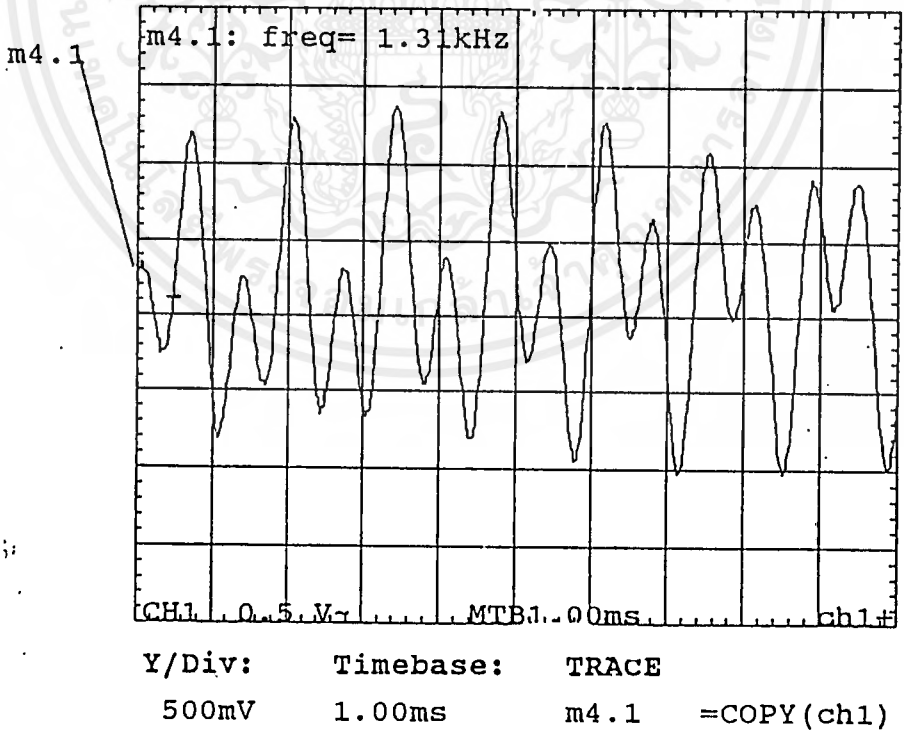
ลำดับขั้นการทดลอง

1. ต่อวงจรตามรูปที่ 4.5



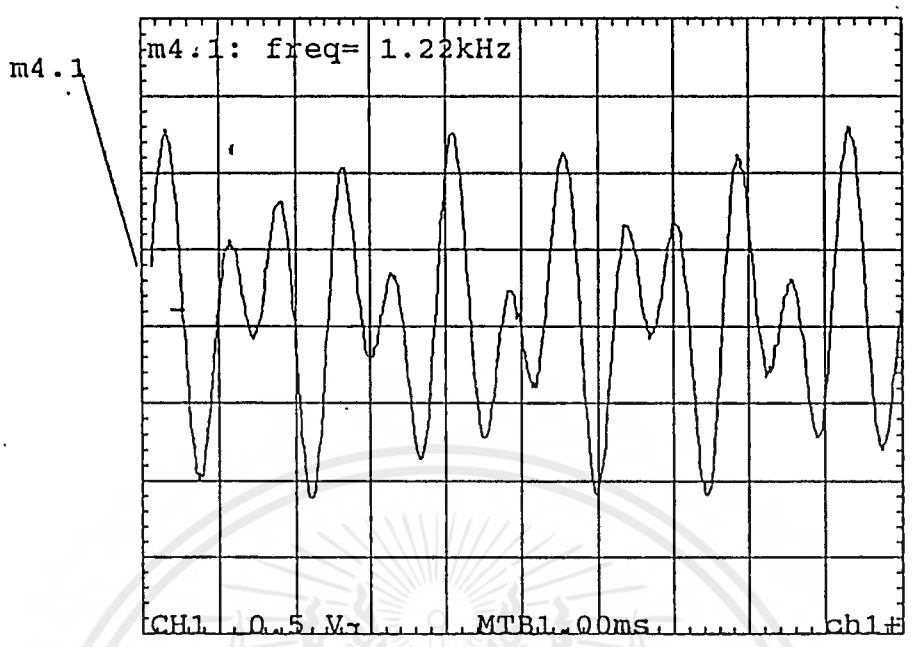
รูปที่ 4.5 วงจรถอดรหัส DTMF

2. วัดสัญญาณ DTMF หมายเลขต่าง ๆ ของโทรศัพท์ เช่น หมายเลข 3, 5, 7, 9 ซึ่งจะได้ผลการทดลองดังรูปที่ 4.6, 4.7, 4.8 และ 4.9 ตามลำดับ



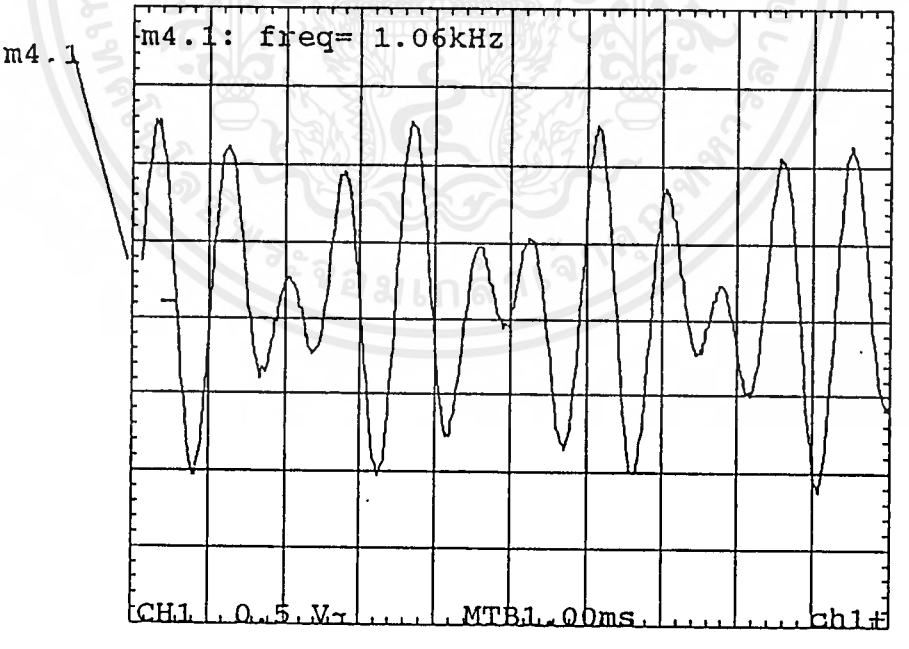
รูปที่ 4.6 แสดงความถี่ของสัญญาณ DTMF เมื่อกดหมายเลข 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE	
500mV	1.00ms	m4.1	=COPY(ch1)

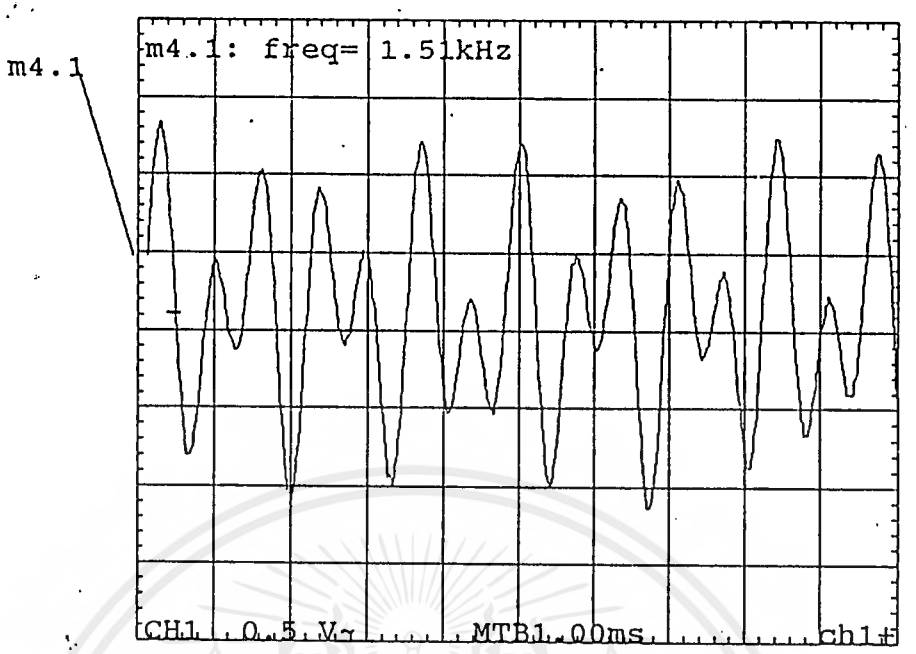
รูปที่ 4.7 แสดงความถี่ของสัญญาณ DTMF เมื่อกดหมายเลข 5



Y/Div:	Timebase:	TRACE	
500mV	1.00ms	m4.1	=COPY(ch1)

รูปที่ 4.8 แสดงความถี่ของสัญญาณ DTMF เมื่อกดหมายเลข 7

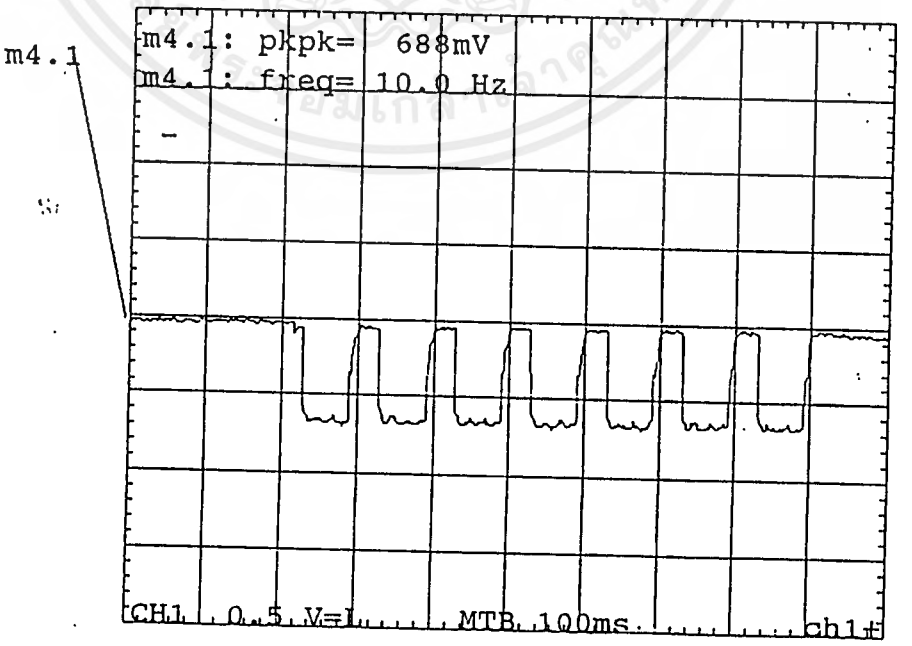
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE	
500mV	1.00ms	m4.1	=COPY(ch1)

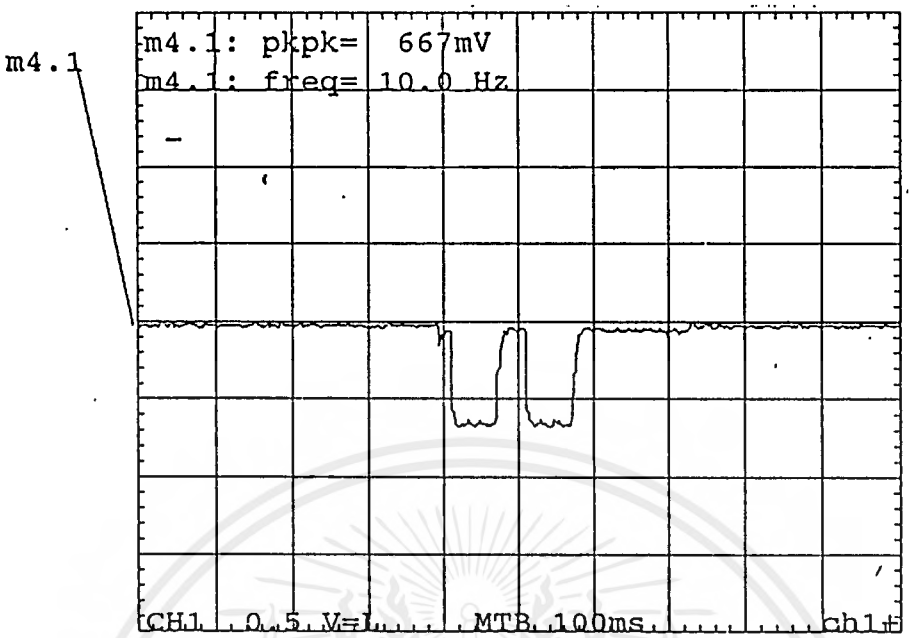
รูปที่ 4.9 แสดงความถี่ของสัญญาณ DTMF เมื่อกดหมายเลข 9

3. ทำการวัดสัญญาณหมายเลขของโทรศัพท์แบบพัลส์ เพื่อเปรียบเทียบดูลักษณะความแตกต่างกับโทรศัพท์แบบโทน ซึ่งจะได้ผลการทดลองตามรูปที่ 4.10 และ 4.11 ตามลำดับ



รูปที่ 4.10 สัญญาณหมายเลขของโทรศัพท์แบบพัลซ์ เมื่อกดหมายเลข 7

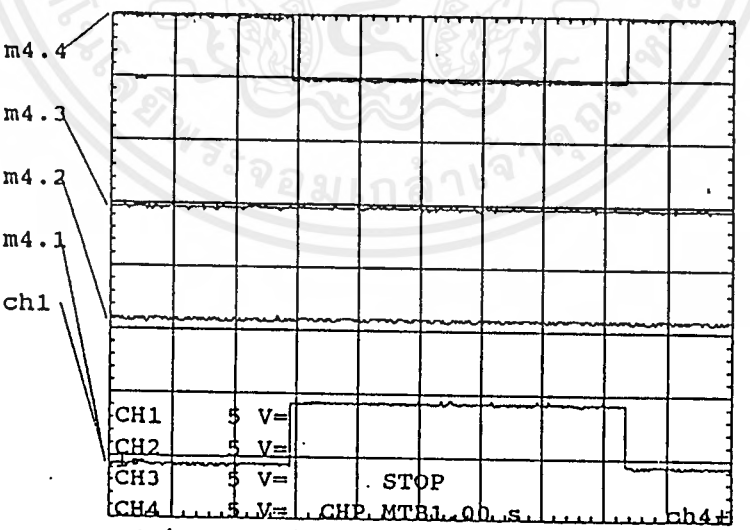
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE	
500mV	100ms	m4.1	=COPY(ch1)

รูปที่ 4.11 สัญญาณหมายเลขของโทรศัพท์แบบพัลซ์ เมื่อกดหมายเลข 3

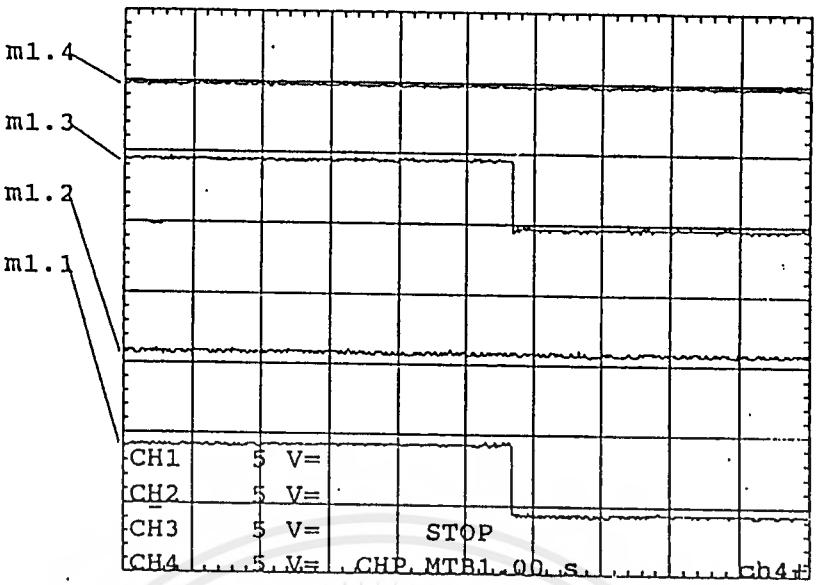
4. ทดลองกดหมายเลข 1, 5, 8 ซึ่งจะได้ผลการทดลองของเอาท์พุทที่ขา Q1, Q2, Q3 และ Q4 ดังรูปที่ 4.12, 4.13 และ 4.14 ตามลำดับ



Y/Div:	Timebase:	TRACE	
5.00 V	1.00 s	ch1	
5.00 V	1.00 s	m4.1	=COPY(ch1)
5.00 V	1.00 s	m4.2	=COPY(ch2)
5.00 V	1.00 s	m4.3	=COPY(ch3)
5.00 V	1.00 s	m4.4	=COPY(ch4)

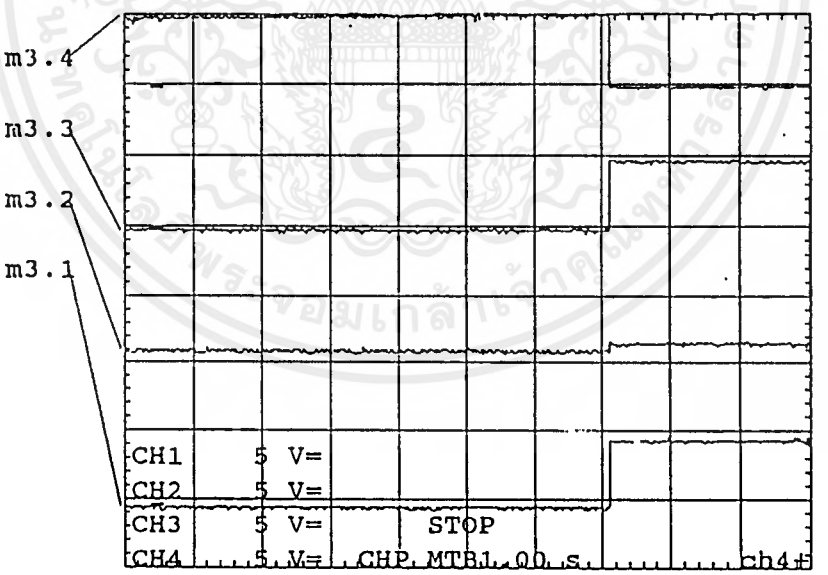
รูปที่ 4.12 สัญญาณเอาท์พุทที่ขา Q_1 Q_2 Q_3 Q_4 ของ IC เบอร์ MT8870 เมื่อกดหมายเลข 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE	
5.00 V	1.00 s	m1.1	=COPY(ch1)
5.00 V	1.00 s	m1.2	=COPY(ch2)
5.00 V	1.00 s	m1.3	=COPY(ch3)
5.00 V	1.00 s	m1.4	=COPY(ch4)

รูปที่ 4.13 สัญญาณเอาท์พุทที่ขา Q_1 Q_2 Q_3 Q_4 ของ IC เบอร์ MT8870 เมื่อกดหมายเลข 5



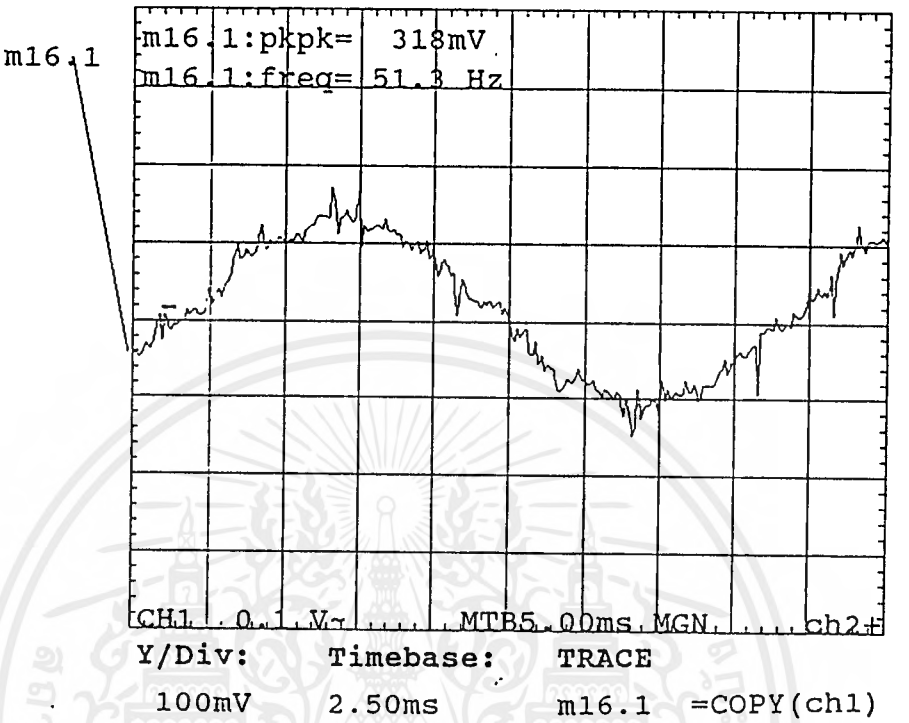
Y/Div:	Timebase:	TRACE	
5.00 V	1.00 s	m3.1	=COPY(ch1)
5.00 V	1.00 s	m3.2	=COPY(ch2)
5.00 V	1.00 s	m3.3	=COPY(ch3)
5.00 V	1.00 s	m3.4	=COPY(ch4)

รูปที่ 4.14 สัญญาณเอาท์พุทที่ขา Q_1 Q_2 Q_3 Q_4 ของ IC เบอร์ MT8870 เมื่อกดหมายเลข 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

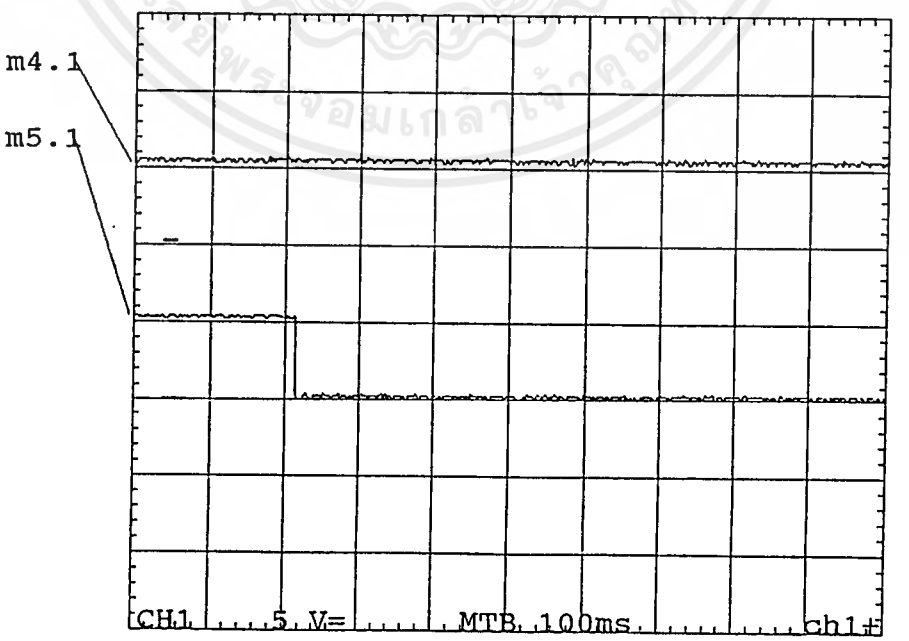
4.3 การทดลองวงจรริงดีเทคเตอร์ (Ring Detecter)

1 จากวงจรรูป 3.11 เมื่อทำการวัดสัญญาณจากสายโทรศัพท์มาเข้าที่ขา TIP และ Ring (ขา 1 และขา 2) ของโมดูลไอซีเบอร์ MH 88632



รูปที่ 4.15 สัญญาณจากสายโทรศัพท์

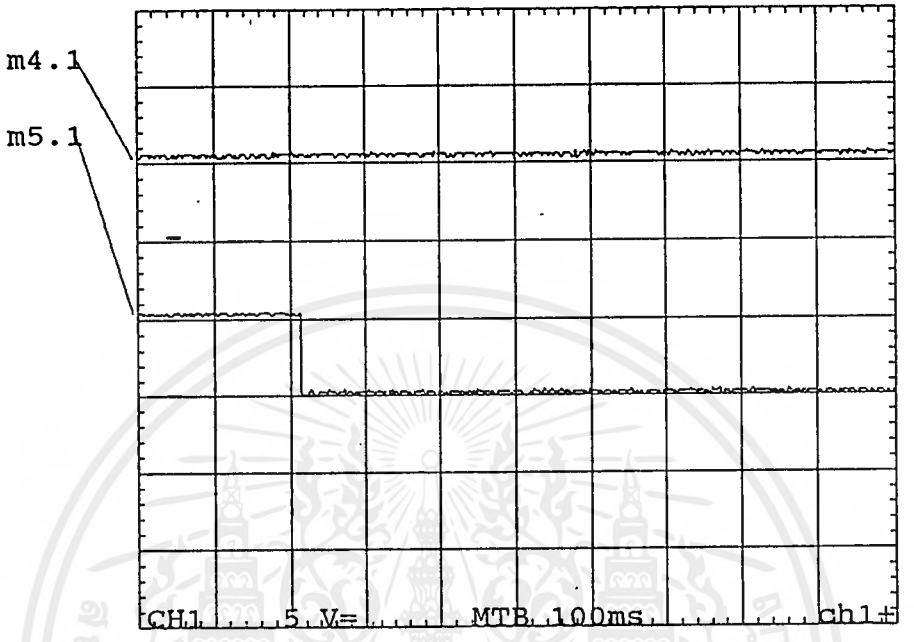
2 ทำการวัดที่ขา RV (ขา 36) ขณะยังไม่มีสัญญาณ Ringing เข้ามาจะได้ผลดังรูป 4.16 ซึ่งจะเห็นว่ามีระดับลอจิกเป็น high



รูปที่ 4.16 สัญญาณขณะยังไม่มีสัญญาณ Ringing เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 เมื่อสัญญาณ Ringing เข้ามา ทำการวัดสัญญาณที่ขา RV จะได้ผลดังรูป 4.17 ซึ่งจะเห็นว่ามีระดับลอจิกเป็น low



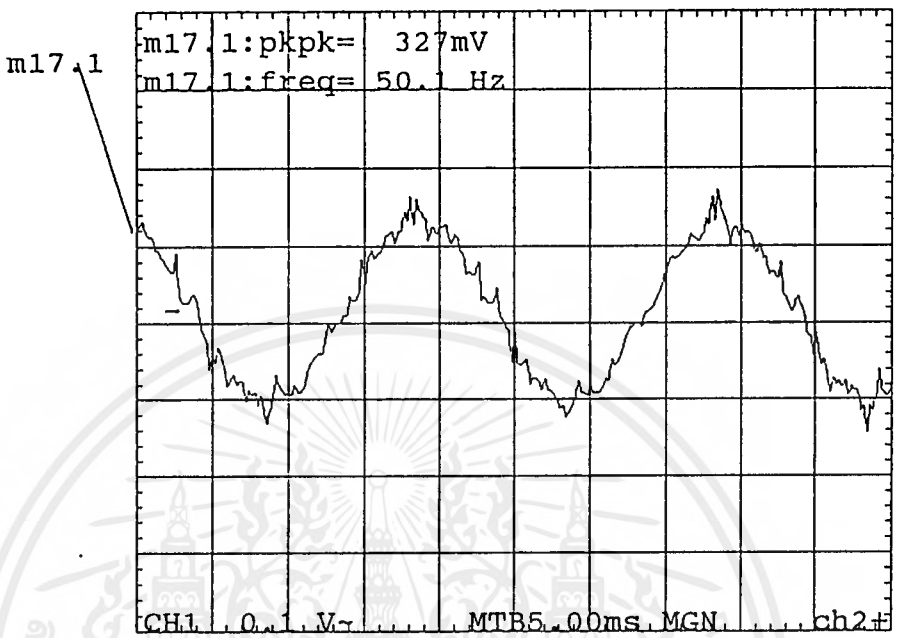
รูปที่ 4.17 สัญญาณขณะที่มีสัญญาณ Ringing เข้ามา

จากเอาท์พุท์ที่ได้จากขา RV นี้สามารถที่จะต่อเข้าสู่พอร์ทอินพุทของ CPU หรือ 8255 เพื่อตรวจสอบและสั่งงานในภาคต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองวงจรยกหูโทรศัพท์

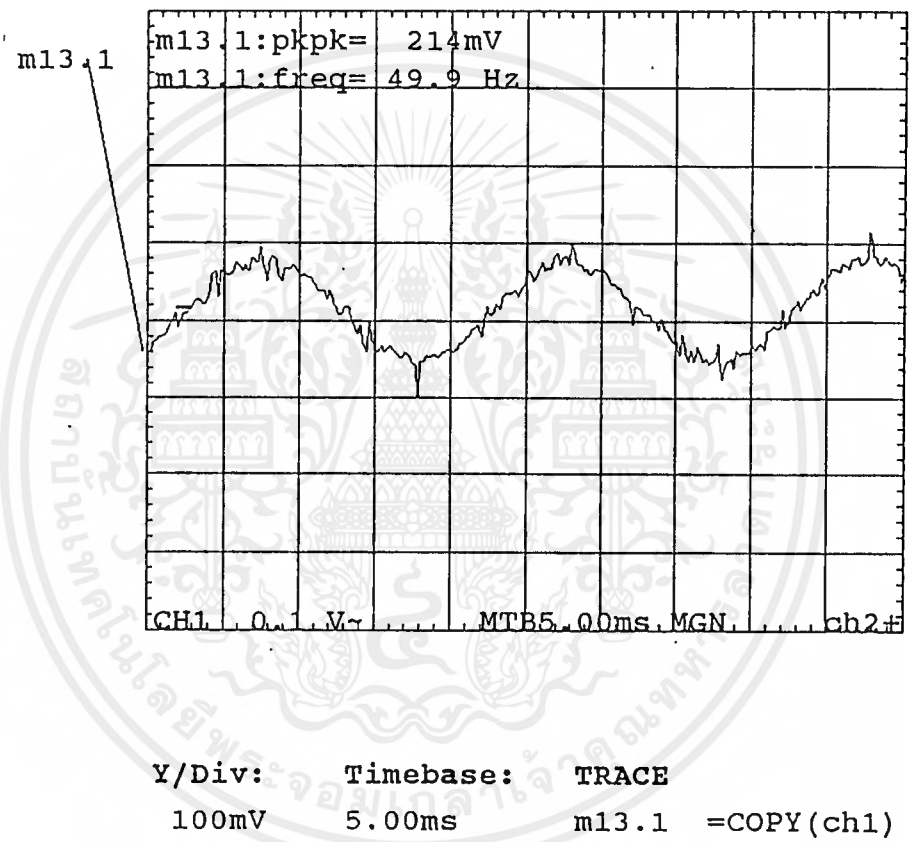
1 จากวงจรในรูป 3.11 ซึ่งใช้ IC โมดูลเบอร์ MH 88632 เมื่อทำการต่อสายโทรศัพท์เข้าที่ขา TIP และ RING ทำการวัดสัญญาณที่ขา TIP และ RING ขณะวางหูจะได้ผลดังรูป 4.18



รูปที่ 4.18 สัญญาณจากสายโทรศัพท์ขณะวางหูโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 เมื่อมีสัญญาณ Ring เข้ามาและผ่านวงจรริงดีเทคเข้าสู่พอร์ทอินพุทเพื่อให้ CPU ตรวจสอบและประมวลผล เมื่อ CPU ทำการตรวจสอบสัญญาณ Ring ได้ถูกต้องตามโปรแกรม CPU จะส่งลอจิก high ผ่านทางพอร์ทเอาท์พุทของ 8255 มาเข้าที่ขา 15 (LRC) ของไอซีเบอร์ MH 88632 เมื่อสัญญาณเป็นมีระดับลอจิกเป็น high จะทำให้วงจรภายในของไอซี MH 8632 ส่งสัญญาณลอจิก low ออกมาที่ขา 13 ทำให้รีเลย์ K1 นำกระแสและหน้าสัมผัสทั้ง 2 ที่ติดอยู่ที่ขา 3,4 และ 5,6 ปิดวงจร ทำให้สามารถยกหูโทรศัพท์ได้ ทำการวัดสัญญาณที่ขา TIP และ RING เมื่อมีการยกหูเกิดขึ้นดังรูป 4.19



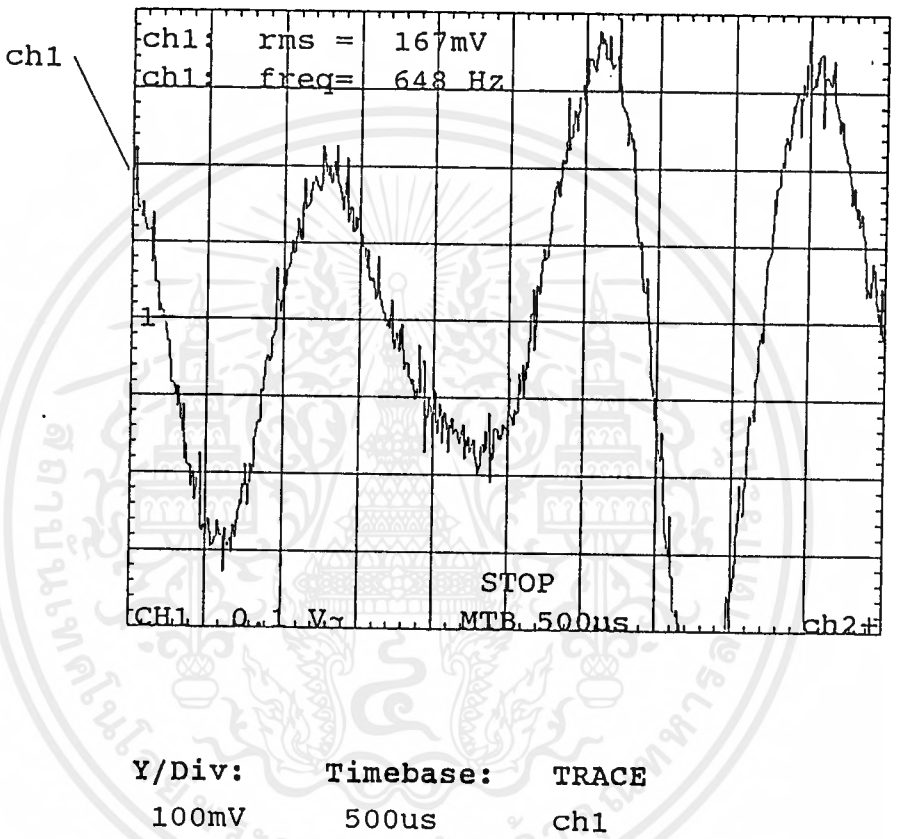
รูปที่ 4.19 สัญญาณจากสายโทรศัพท์ขณะยกหูโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองวงจรสวิทช์ชิงและคัปปลิ้งของโทรศัพท์

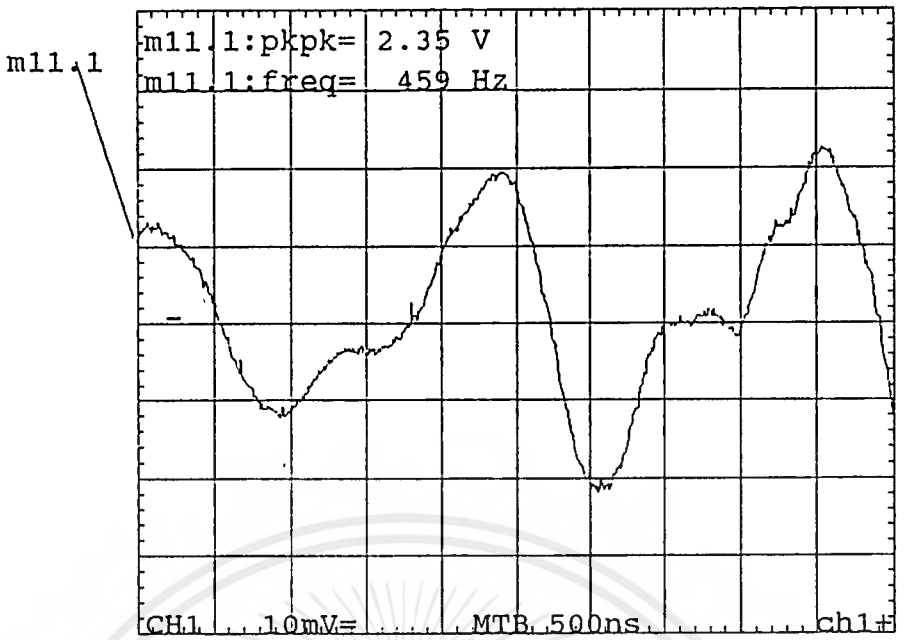
1 จากวงจรรูปที่ 3.11 เมื่อทำก่ารต่อสายโทรศัพท์เข้ากับขา TIP และขา RING ของ IC เบอร์ MH88632 แล้ว ทำการเรียกโทรศัพท์เข้ามา เมื่อ CPU ตรวจจับสัญญาณ Ringing จากขา RV ของ IC MH88632 แล้วสั่งให้ รีเลย์ K1 ทำงาน เพื่อทำการตอบรับโทรศัพท์

2 ทำการวัดสัญญาณที่ขา Tx (ขา 25) ในขณะที่มีการพูดของฝ่ายผู้เรียก ซึ่งจากการทดลองใช้เกน 0 dB และ 3 dB ซึ่งให้ผลของสัญญาณเสียงจากฝ่ายผู้เรียก ดังรูป 4.20 (0 dB) และ รูป 4.21 (3 dB)



รูปที่ 4.20 สัญญาณเอาท์พุทของวงจรสวิทชิงและคัปปลิ้งของโทรศัพท์ ขา Tx ของ IC MH88632 ที่ 0 dB

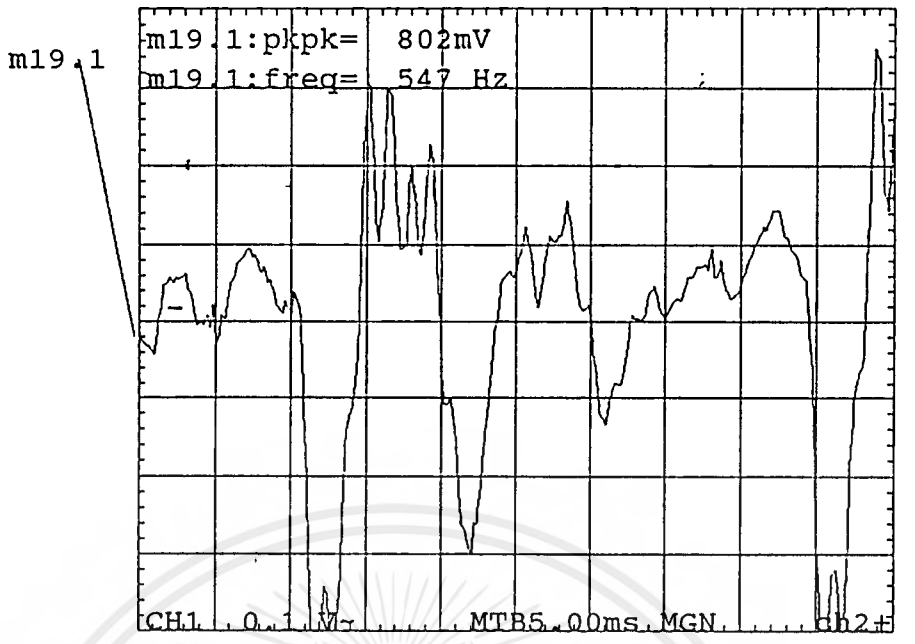
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 สัญญาณเอาท์พุทของวงจรสวิทชิงและคัปปลิ้งของโทรศัพท์ ขา Tx ของ IC MH 88632 ที่ 3 dB

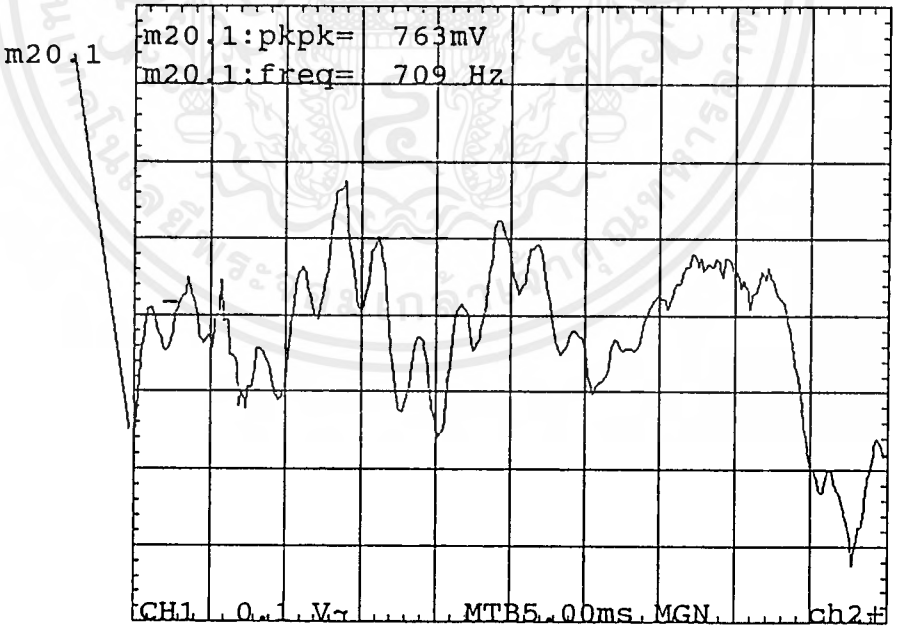
3 ทำการวัดสัญญาณเสียงของฝ่ายผู้ถูกเรียกที่ขา TIP และ RING ซึ่งจะเข้ามาทางขา Rx (26) และออกมาที่ขา TIP และ RING เพื่อออกไปยังผู้เรียกเข้ามา จากการทดลองใช้เกน Rx 0 dB ดังรูปที่ 4.22 และ 4.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE
100mV	1.00ms	m19.1 =COPY(ch1)

รูปที่ 4.22 สัญญาณเสียงของผู้ถูกเรียก (วัดที่ขา TIP และ RING ของ IC MH88632) ที่ 0 dB



Y/Div:	Timebase:	TRACE
100mV	500us	m20.1 =COPY(ch1)

รูปที่ 4.23 สัญญาณเสียงของผู้ถูกเรียก (วัดที่ขา TIP และ RING ของ IC MH88632) ที่ 0 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดลองการอ่านและการเขียนหน่วยความจำไดนามิคแรม

1 จากวงจรรูปที่ 3.21 เมื่อได้ทำการต่อ DRAM เข้ากับ CPU แล้วก็จะทำการโหลดโปรแกรมที่เขียนเพื่อใช้ทดสอบการอ่าน การเขียน และการรีเฟรชของไดนามิคแรม ผ่านทางพอร์ทอนุกรมของเครื่องคอมพิวเตอร์

โปรแกรมทดสอบการอ่าน การเขียน และการรีเฟรชไดนามิคแรม

```
#include \mc\microc\lib51\8051io.h
#include \mc\microc\lib51\8051reg.h

main()
{
    unsigned int i;
    char *dram,ch;

    dram = (char *)0x0010;
    P1 = 0x00;
    for(i=0;i<26;i++)
    {
          *dram = 0x41 + i;
          printf("\naddress dram :0x%x = %c ",dram,*dram);
       dram++;
       ch = getch();
    }

    while(1)
    {
          dram = (char *)0x0010;
          for(i=0;i<26;i++)
          {
                printf("\naddress dram :0x%x = %c ",dram,*dram);
                dram++;
          }
      ch = getch();
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 เมื่อทำการรันโปรแกรมแล้วจะได้ว่า CPU สามารถที่จะเก็บข้อมูลที่เขียนลงไปเก็บยังตำแหน่งต่างๆของหน่วยความจำได้

การเก็บข้อมูลไว้ในไดนามิคแรมที่แอดเดรส 300

```
Pleased send Hex file

HEX FILE TRANSFER READY
ready
Pleased press g to run

address dram :0x300 = A
address dram :0x301 = B
address dram :0x302 = C
address dram :0x303 = D
address dram :0x304 = E
address dram :0x305 = F
address dram :0x306 = G
address dram :0x307 = H
address dram :0x308 = I
address dram :0x309 = J
address dram :0x30A = K
address dram :0x30B = L
address dram :0x30C = M
address dram :0x30D =
address dram :0x30E = O
address dram :0x30F = P
address dram :0x310 = Q
address dram :0x311 = R
address dram :0x312 = S
address dram :0x313 = T
address dram :0x314 = U
address dram :0x315 =
address dram :0x316 = W
address dram :0x317 = X
address dram :0x318 = Y
address dram :0x319 =
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเก็บข้อมูลไว้ในไดนามิคแรมที่แอดเดรส 10

```
address dram :0x10 = A
address dram :0x11 = B
address dram :0x12 = C
address dram :0x13 = D
address dram :0x14 = E
address dram :0x15 = F
address dram :0x16 = G
address dram :0x17 = H
address dram :0x18 = I
address dram :0x19 = J
address dram :0x1A = K
address dram :0x1B = L
address dram :0x1C = M
address dram :0x1D = N
address dram :0x1E = O
address dram :0x1F = P
address dram :0x20 = Q
address dram :0x21 = R
address dram :0x22 = S
address dram :0x23 = T
address dram :0x24 = U
address dram :0x25 = V
address dram :0x26 = W
address dram :0x27 = X
address dram :0x28 = Y
address dram :0x29 = Z
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 และในเวลาต่อมาก็จะทำการอ่านข้อมูลที่เก็บไว้ในตำแหน่งต่างๆของหน่วยความจำดังกล่าวกลับคืนมา เพื่อที่จะทดสอบดูว่าในส่วนของการรีเฟรชข้อมูล สามารถที่จะทำการรีเฟรชข้อมูลไม่ให้สูญหายได้ ซึ่งจากการทดลองจะเห็นว่าข้อมูลที่อ่านกลับมาได้เมื่อเวลาผ่านไปก็ยังคงมีความถูกต้องอยู่

การอ่านข้อมูลจากหน่วยความจำที่แอดเดรส 300

```
address dram :0x300 = Ā
address dram :0x301 = B
address dram :0x302 = C
address dram :0x303 = D
address dram :0x304 = E
address dram :0x305 = F
address dram :0x306 = G
address dram :0x307 = H
address dram :0x308 = I
address dram :0x309 = J
address dram :0x30A = K
address dram :0x30B = L
address dram :0x30C = M
address dram :0x30D = ■
address dram :0x30E = O
address dram :0x30F = ²
address dram :0x310 = Q
address dram :0x311 = R
address dram :0x312 = S
address dram :0x313 = T
address dram :0x314 = U
address dram :0x315 = V
address dram :0x316 = W
address dram :0x317 = X
address dram :0x318 = Y
address dram :0x319 = Z
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่านข้อมูลจากหน่วยความจำที่แอดเดรส 10

```
address dram :0x10 = A
address dram :0x11 = B
address dram :0x12 = C
address dram :0x13 = D
address dram :0x14 = E
address dram :0x15 = F
address dram :0x16 = G
address dram :0x17 = H
address dram :0x18 = I
address dram :0x19 = J
address dram :0x1A = K
address dram :0x1B = L
address dram :0x1C = M
address dram :0x1D = N
address dram :0x1E = O
address dram :0x1F = ≡
address dram :0x20 = Q
address dram :0x21 = R
address dram :0x22 = S
address dram :0x23 = T
address dram :0x24 = U
address dram :0x25 = V
address dram :0x26 = W
address dram :0x27 = X
address dram :0x28 = ▌
address dram :0x29 = Z
```

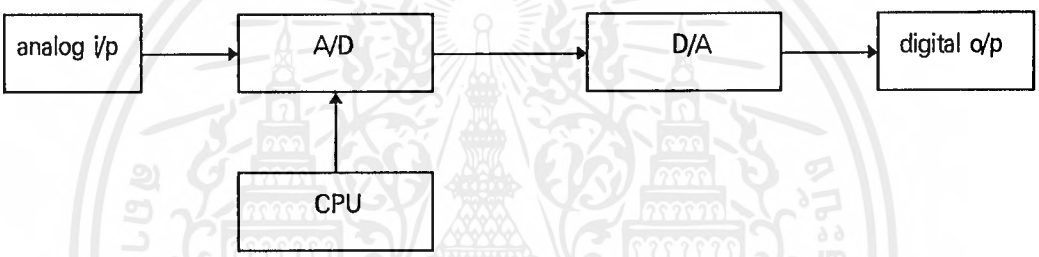
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดลองวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิดิตอล

1 จากวงจรรูปที่ 3.6 ซึ่งเป็นวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลที่เชื่อมต่อกับ CPU โดยมีอินพุท (Vin+) ขา 6 , Vref/2 ขา 9 , Vin- ขา 7

2 เมื่อทำการป้อน Vin (+) ซึ่งเป็นสัญญาณไซน์ ดังรูป 4.15 เข้าที่ขา 6 และทำการโหลดโปรแกรมและรันที่เขียนเพื่อทดสอบการทำงานของวงจร จะเห็นได้ว่าที่ขา Data Output ของวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลซึ่งจากการทดลองได้ต่อเข้าสู่พอร์ทอินพุทของ 8255 เพื่อให้ CPU ทำการส่งค่าข้อมูลดังกล่าวออกทางพอร์ทเอาท์พุทของ 8255 ไปแสดงผลทาง LED จะมีค่าของข้อมูลเปลี่ยนแปลงไปตามการสุ่มค่าของวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิดิตอล

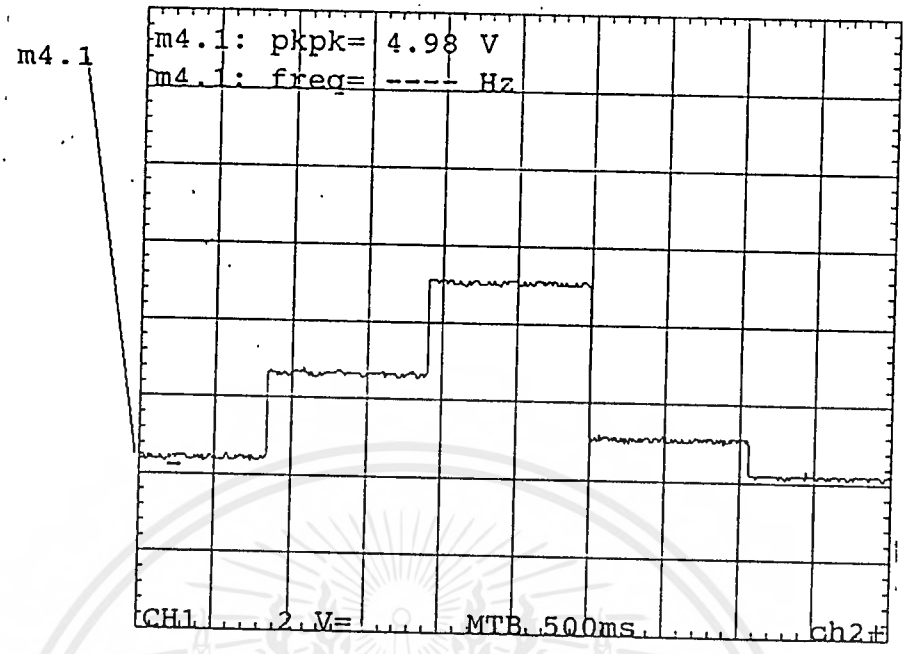
3 เนื่องจากการแสดงผลออกทาง LED จะบันทึกผลการทดลองได้ยาก จึงได้ทำการต่อค่าข้อมูลทางเอาท์พุทของ A/D ไปเข้าสู่อินพุทของวงจร D/A และทำการวัดค่าสัญญาณอะนาลอกทางด้านเอาท์พุทของวงจร D/A ซึ่งมีบล็อกไดอะแกรมและผลการทดลองดังรูปที่ 4.24 และ 4.25



โปรแกรมทดสอบการทำงานของวงจร A/D

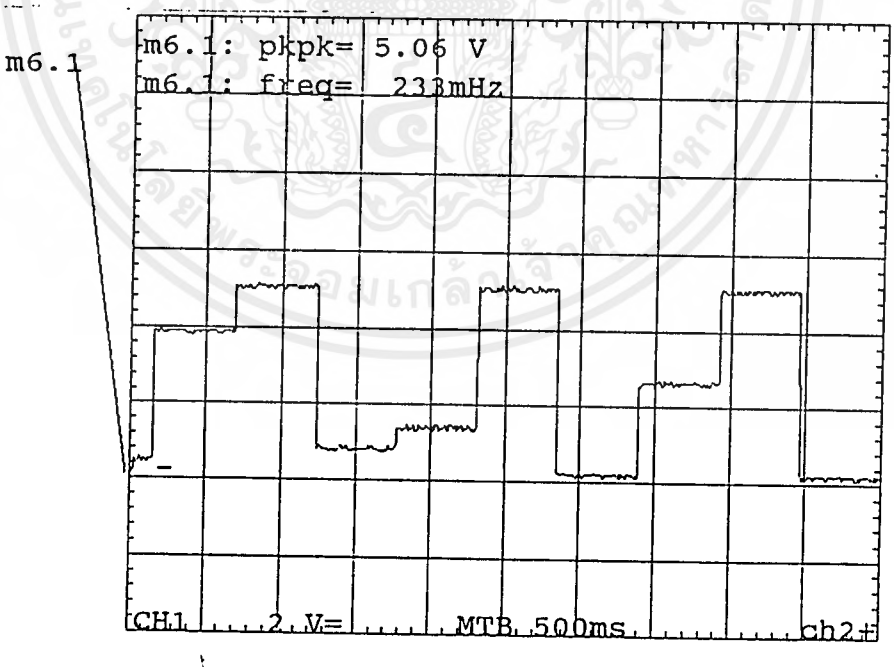
```
#include \mc\microc\lib51\8051io.h
#define P0I   0x7800
#define P1I   0x7801
#define P2O   0x7802
#define PC    0x7803
#define INI   0x92

main(void)
{
        poke(PC,INI);
        read_p();
}

read_p()
{
       int var;

       while( (peek(P1I) & 0x01) != 0)
          {
                var = peek(P0I);
                printf("PORT 0 data : %d\n",var);
                poke(P2O,var);
                delay51();
          }
       read_p();
}

delay51()
{
        int i,j;
          for(i=0;i<=100;i++)
              for(j=0;j<=120;j++);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y/Div:	Timebase:	TRACE
2.00 V	500ms	m4.1 =COPY(ch1)

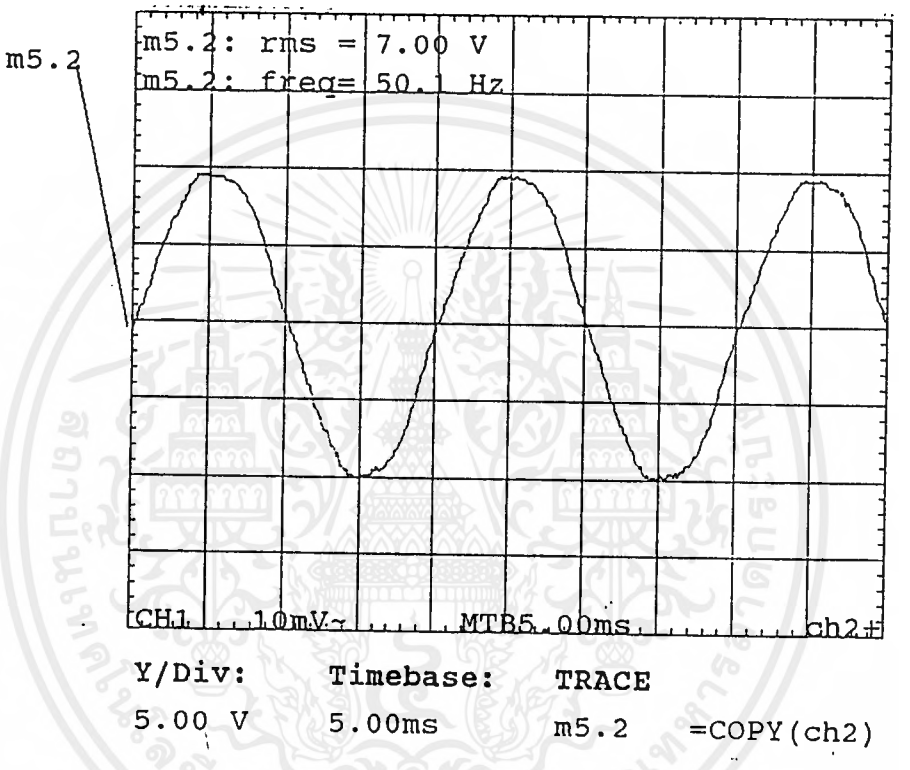
รูปที่ 4.24 สัญญาณเอาท์พุทของวงจร A/D



Y/Div:	Timebase:	TRACE
2.00 V	1.00 s	m6.1 =COPY(ch1)

รูปที่ 4.25 สัญญาณเอาท์พุทของวงจร A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 สัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 สรุปผลการทดลอง

5.1.1 สรุปผลการทดลองการแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

เนื่องจากวงจรที่ใช้ในการทดลอง ต่อให้ทำงานในลักษณะแปลงสัญญาณดิจิตอล อินพุทให้เป็นสัญญาณอะนาลอกเอาท์พุททันที (Flow Throuh) ซึ่งจะเห็นว่าเอาท์พุทมีลักษณะเป็นระดับค่าแรงดันต่างๆที่เปลี่ยนแปลงตามระดับสัญญาณดิจิตอลอินพุท

5.1.2 สรุปผลการทดลองถอดรหัส DTMF

จากการทดลองจะเห็นว่าระดับสัญญาณเอาท์พุทที่ได้เป็นสัญญาณดิจิตอลขนาด 4 บิต ซึ่งมีค่าตรงตามสัญญาณ DTMF อินพุทที่เข้ามา และมีลักษณะที่ถูกต้องตรงตามทฤษฎี

5.1.3 สรุปผลการทดลองวงจรริงดีเทคเตอร์

การทดลองในภาคนี้ใช้โมดูลไอซีเบอร์ MH88632 มาทำการตรวจสอบสัญญาณ ringing ซึ่งในการทดลองจะเห็นความแตกต่างระหว่างขณะที่มีสัญญาณริงและไม่มีสัญญาณริง โดยที่เห็นผลของความแตกต่างอย่างชัดเจน ทำให้ CPU สามารถตรวจสอบได้อย่างถูกต้อง

5.1.4 สรุปผลการทดลองวงจรยกหูโทรศัพท์

เมื่อ CPU ตรวจสอบสัญญาณริงได้เรียบร้อยแล้ว ก็เพียงแต่ส่งสัญญาณลอจิกสูง ไปให้ส่วนของวงจรยกหูโทรศัพท์ โดยต่อกับอุปกรณ์ภายนอกเพียงเล็กน้อยก็สามารถทำให้วงจรในภาคนี้ทำงานได้

5.1.5 สรุปผลการทดลองวงจรสวิตท์ชิ่งและคับปลิ้งของโทรศัพท์

การทดลองในภาคนี้ใช้โมดูลไอซีเบอร์ MH88632 เพื่อทำหน้าที่หลัก 2 อย่างคือ การทำงานเป็นวงจรไฮบริดจ์โดยไม่มีการใช้หม้อแปลง และการปรับอินพุทอิมพีแดนท์ให้เหมาะสมกับสายโทรศัพท์ ในส่วนของวงจรไฮบริดจ์ทางด้าน Tx และ Rx สามารถทำการปรับเกนการขยายของสัญญาณขาเข้าและออกได้

5.1.6 สรุปผลการทดลองการอ่านและการเขียนหน่วยความจำไดนามิคส์แรม

จากการทดลองได้ใช้ไดนามิคส์แรมขนาด 32 บิต มาต่อให้เป็นไดนามิคส์แรมขนาด 8 บิต เพื่อให้เหมาะสมกับ CPU โดยที่ไดนามิคส์แรมนี้จะต้องมีการรีเฟรสเพื่อไม่ให้ข้อมูลสูญหายอยู่ตลอดเวลา ซึ่งจะต้องไม่ช้ากว่า 15.625 μS ซึ่งผลจากการทดลองจะเห็นว่าข้อมูลสามารถที่จะถูกเก็บไว้ในหน่วยความจำและอ่านข้อมูลกลับมาได้เมื่อเวลาผ่านไป

5.1.7 สรุปผลการทดลองการแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

ในการแปลงสัญญาณจากอะนาลอกเป็นสัญญาณดิจิตอลนี้ได้มีการออกแบบให้ทำงานร่วมกับ CPU เพื่อทำการสุ่มค่าสัญญาณที่เข้ามาทางอินพุท ซึ่งจากผลการทดลองจะเห็นว่าเอาท์พุทที่ได้เกิดจากการสุ่มค่าสัญญาณที่เข้ามาทางอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

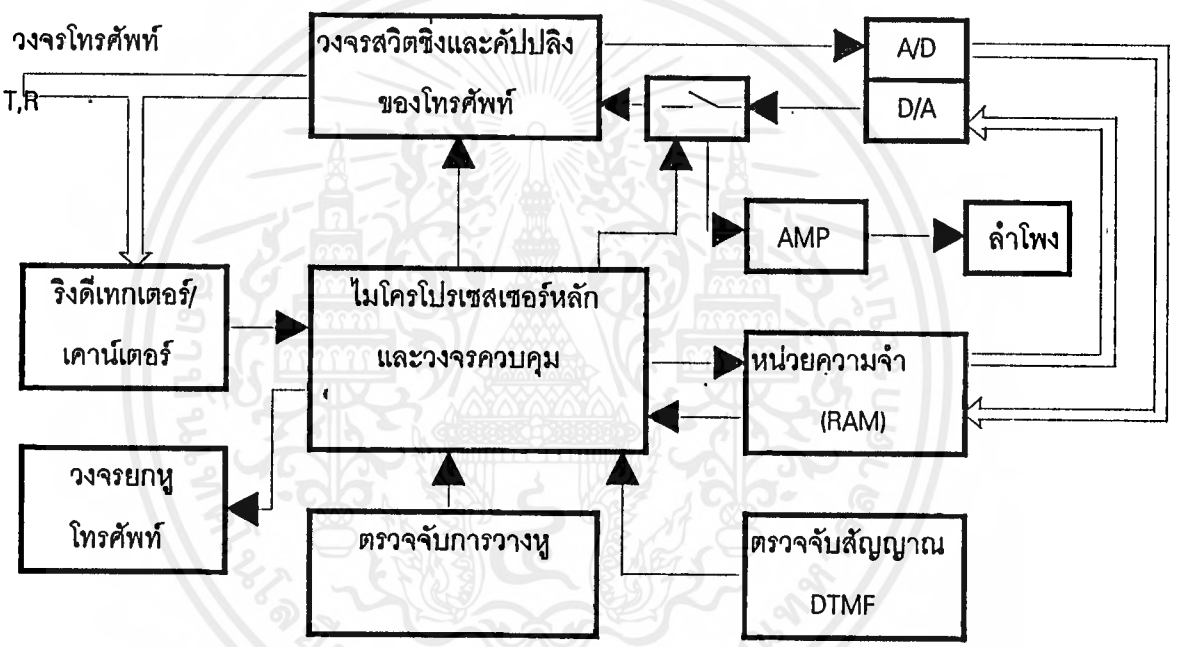
5.2 บทวิจารณ์

ในปัจจุบันแม้ว่าเทคโนโลยีทางโทรศัพท์จะมีการพัฒนาไปอย่างรวดเร็วแต่จากการศึกษาและทำการทดลองโครงงานนี้จะทำให้มีความเข้าใจระบบพื้นฐานของระบบโทรศัพท์,การแปลงและการเก็บข้อมูลของสัญญาณเสียงได้ดีขึ้น ซึ่งแนวความคิดและหลักการเหล่านี้สามารถที่จะนำไปประยุกต์และพัฒนาใช้กับระบบโทรศัพท์ต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

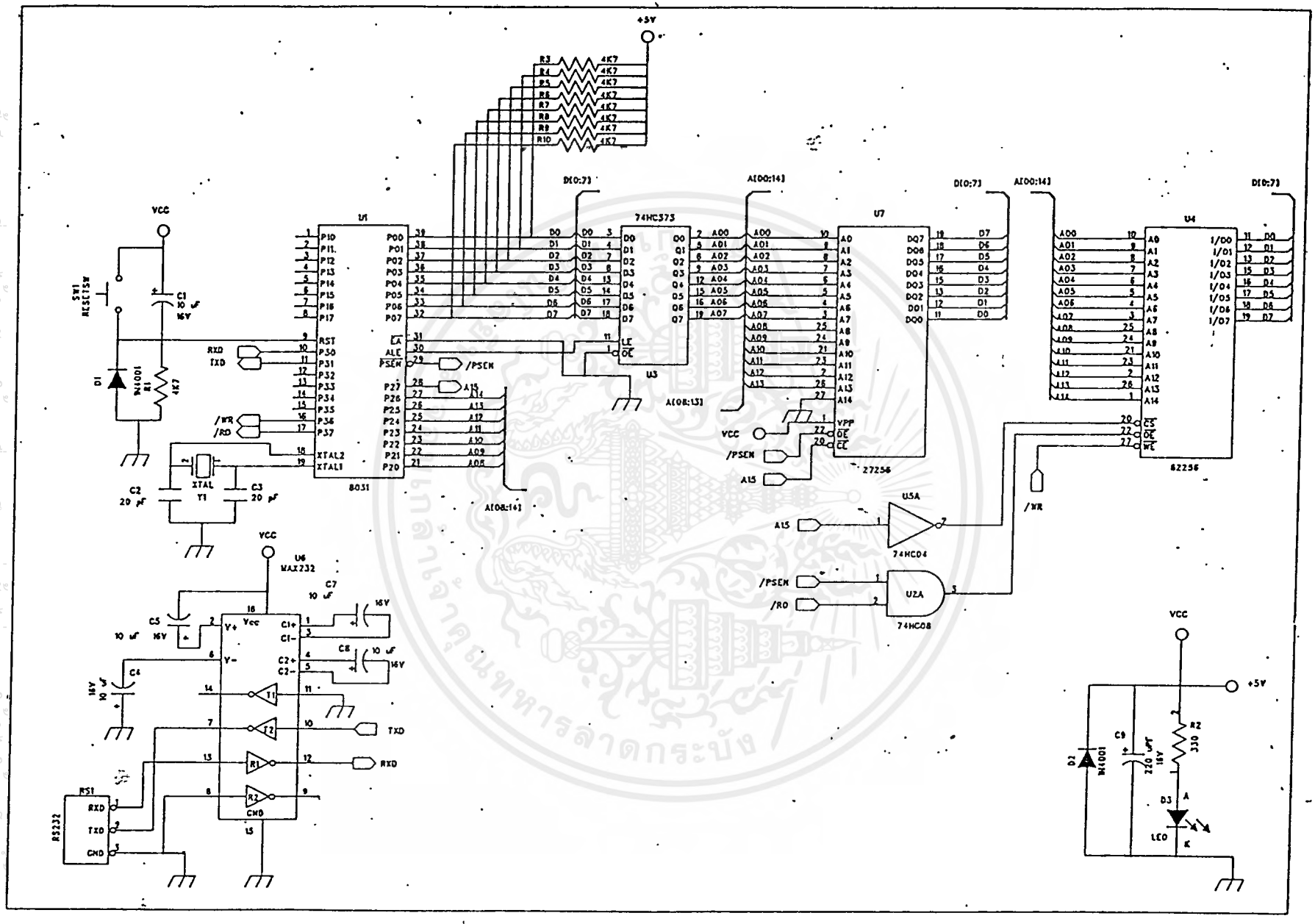
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

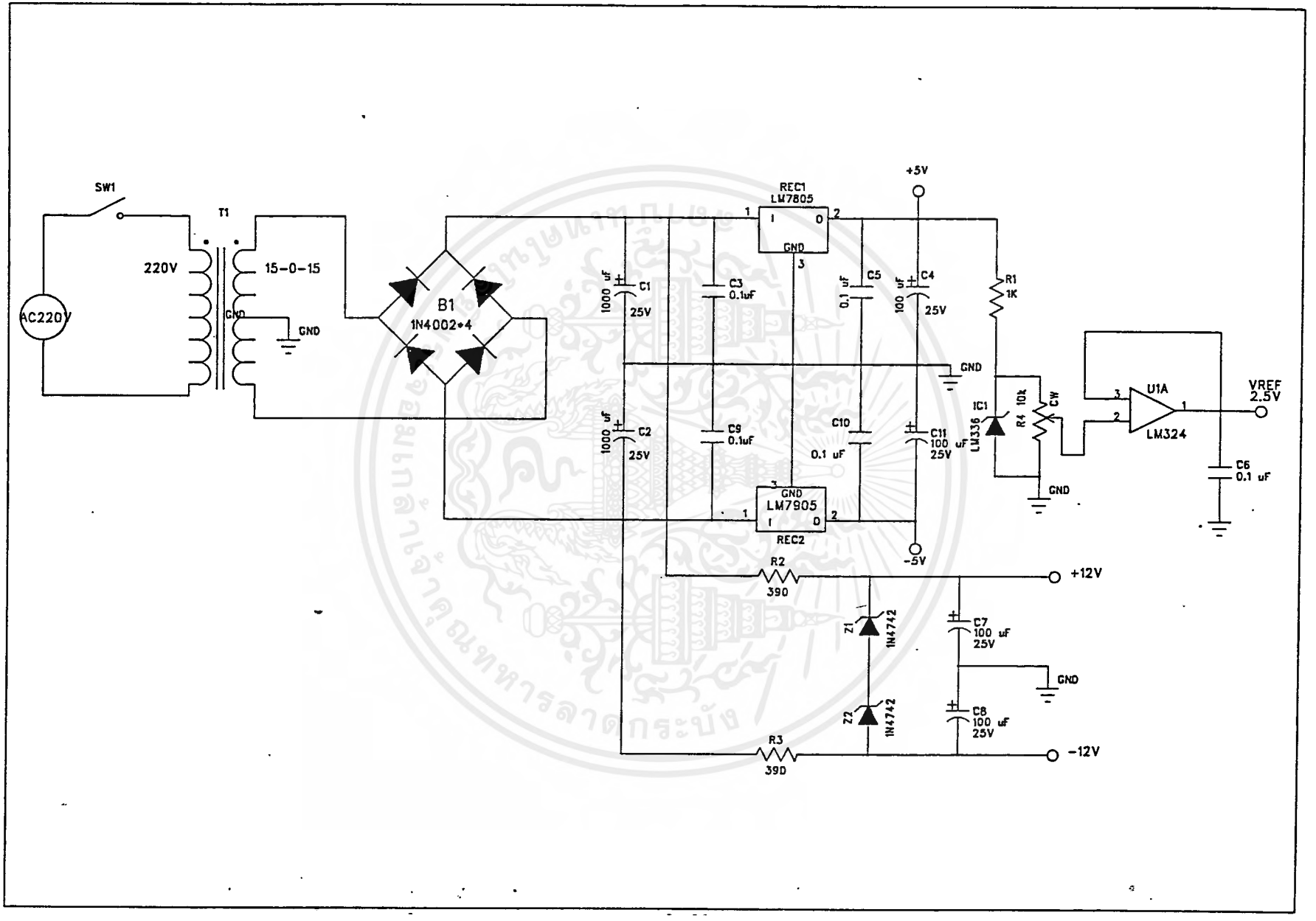


บล็อกไดอะแกรมเครื่องตอบรับโทรศัพท์อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

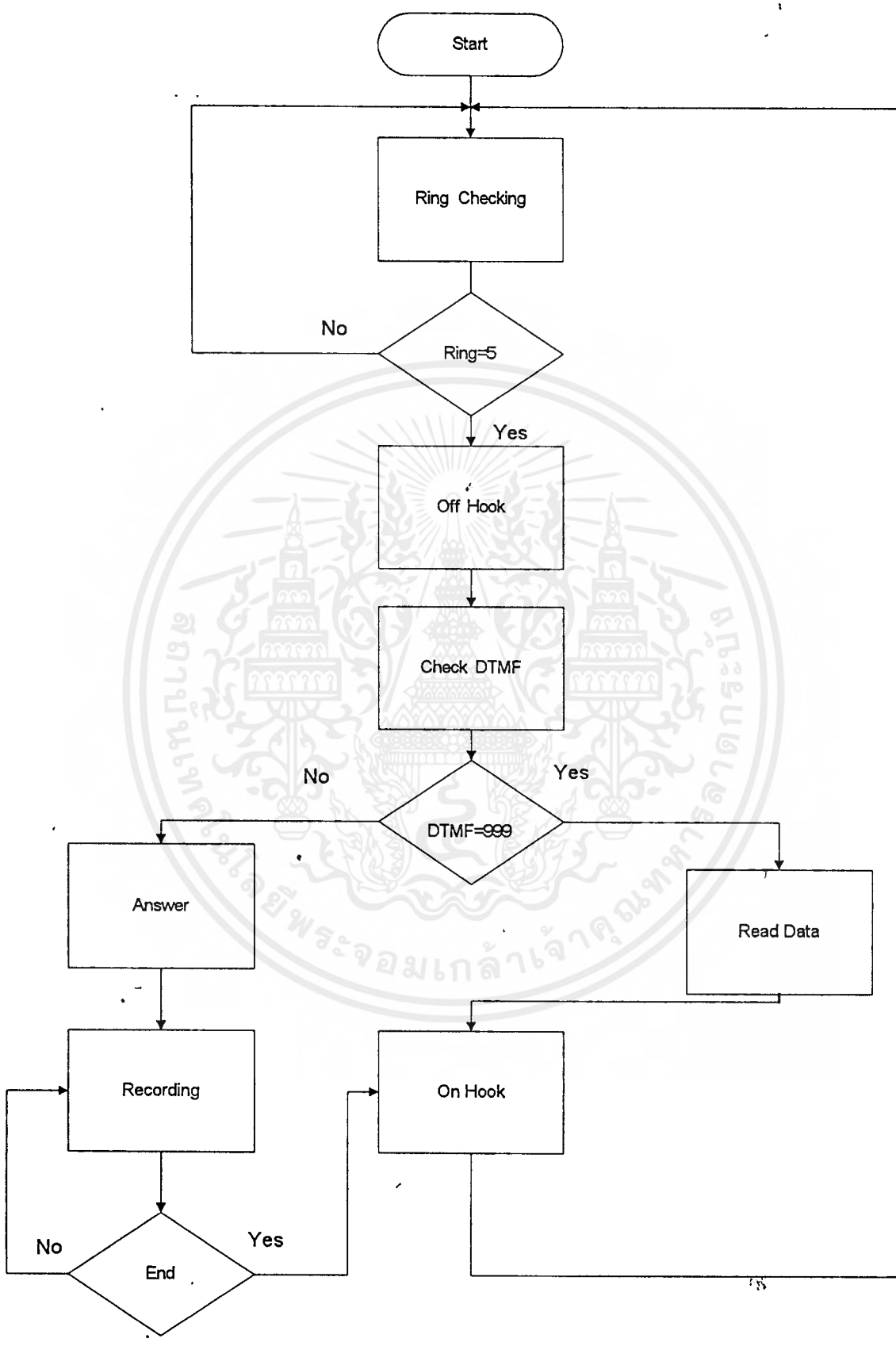


ไมโครโปรเซสเซอร์หลักและวงจรควบคุม



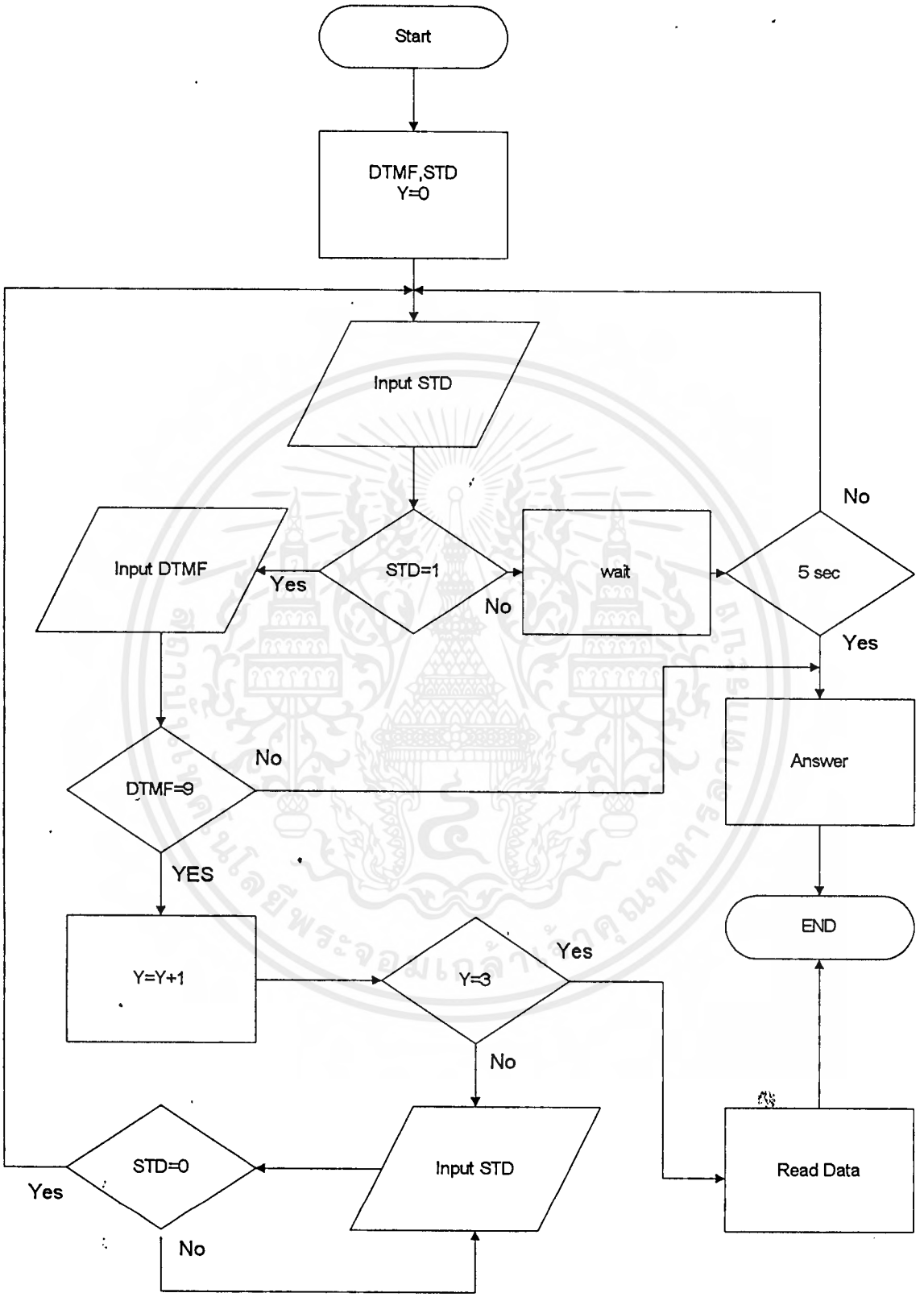
วงจรภาคจ่ายไฟ

โฟว์ชาร์ตแสดงการทำงานของเครื่องตอบรับโทรศัพท์อัตโนมัติ



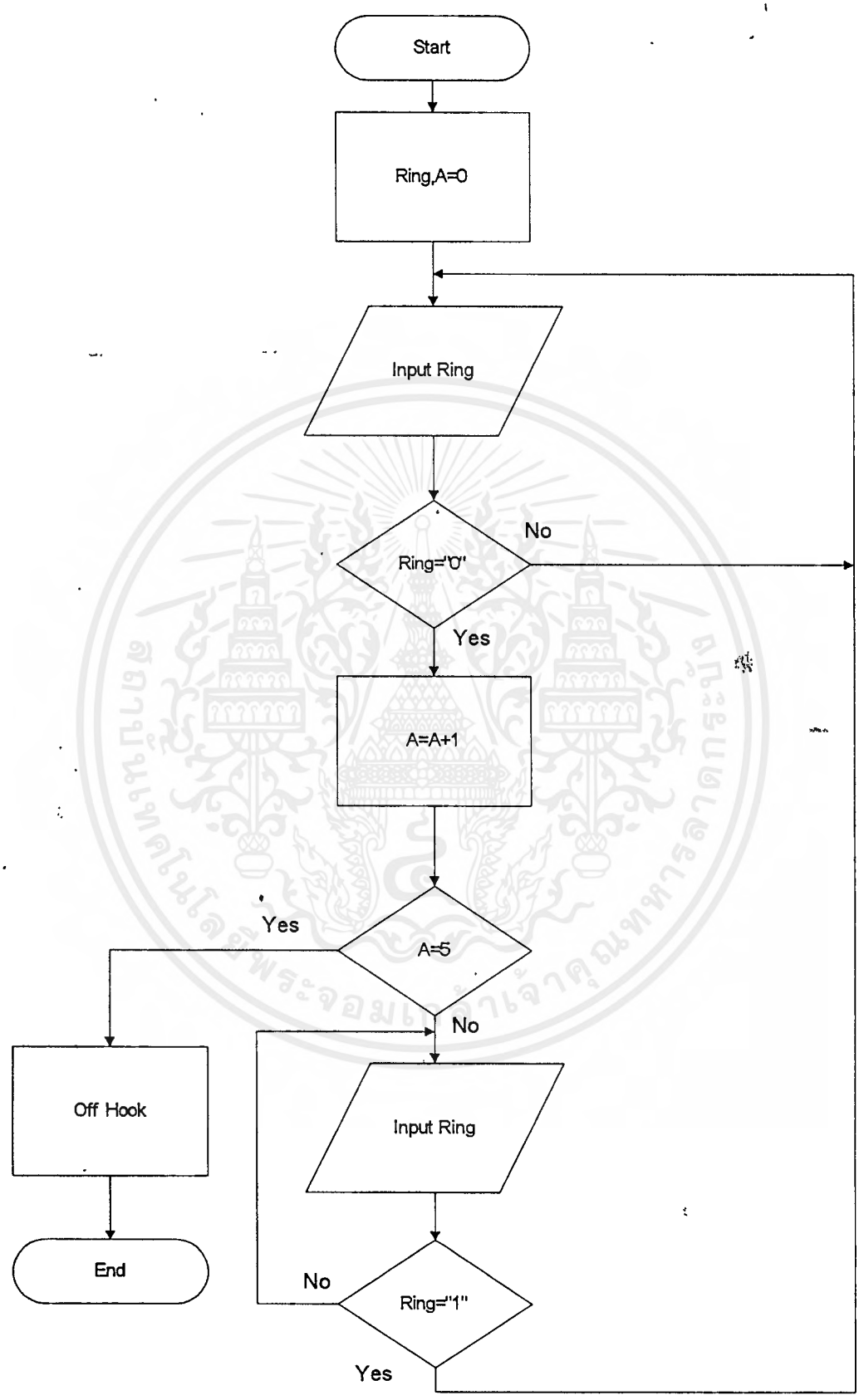
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟว์ชาร์ตแสดงการตรวจสอบสัญญาณ DTMF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟว์ชาร์ตแสดงการตรวจสอบสัญญาณริง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* A/D ,D/A & DRAM test program */

#include \temp\microc\lib51\8051io.h
#include \temp\microc\lib51\8051reg.h

#define P0I  (*(char*)0xe000)
#define P1I  (*(char*)0xe001)
#define P2O  (*(char*)0xe002)
#define PC   (*(char*)0xe003)
#define INI  0x92

main(void)
{

        PC=INI;
    if((peek(P1I) & 0x01) != 0)
        read_p();
}


read_p()
{
        int i;
        char *dram,ch;
        dram = (char*)0x0010;
        P1=0;
         for(i=0;i<1000;i++)
                {
                        *dram = P0I;
                        dram++;
                }
           while(1)
           {
                dram = (char*)0x0010;
                for(i=0;i<1000;i++)
                 {
                   printf("dram data : 0x%x = %x\n",dram,*dram);
                        P2O = *dram;
                   dram++;
                 }
                ch=getch();
           }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

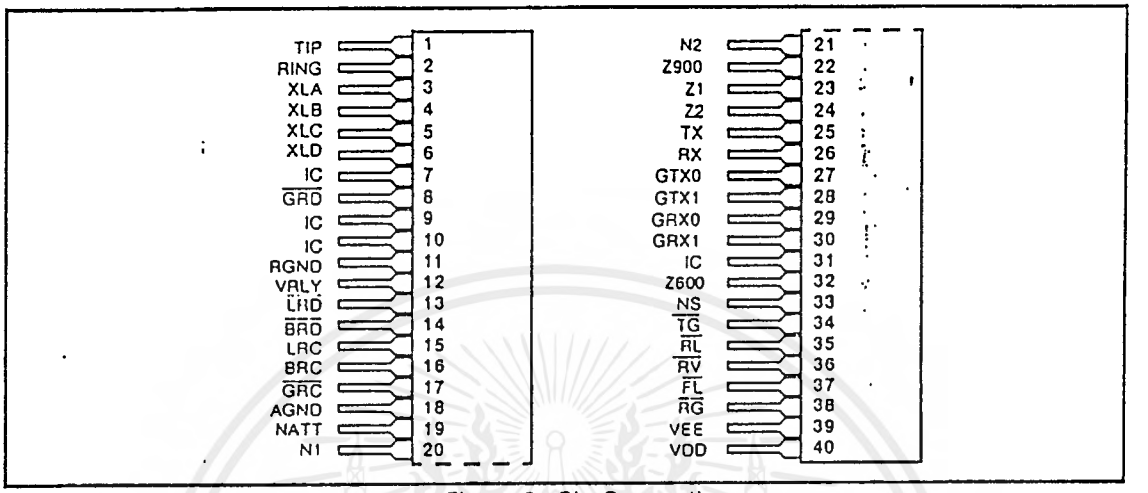


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP	Tip Lead. Connects to the "Tip" or "Ring" lead of Central Office.
2	RING	Ring Lead. Connects to the "Ring" or "Tip" lead of the Central Office.
3	XLA	Loop Relay Contact A. Connects to XLB through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
4	XLB	Loop Relay Contact B. See XLA for description.
5	XLC	Loop Relay Contact C. Connects to XLD through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
6	XLD	Loop Relay Contact D. See XLC for description
7	IC	Internal Connection. This pin is internally connected and must be left open.
8	$\overline{GRD}$	Ground Relay Lead Relay Drive (Output). Connects to the Ground Ring Lead Relay Coil, used for Ground Start applications. A logic low activates the relay. An internal clamp diode from VRLY to GND is provided.
9	IC	Internal Connection. This pin is internally connected and must be left open.
10	IC	Internal Connection. This pin is internally connected and must be left open.
11	RGND	Relay Ground. Return path for relay supply voltage.
12	VRLY	Relay Positive Supply Voltage. Normally +5V. Connects to the relay coil and the relay supply voltage
13	$\overline{LRD}$	Loop Relay Drive (Output). Connects to the Bias Relay coil. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{LRD}$ is provided.
14	$\overline{BRD}$	Bias Relay Drive (Output). Connects to the Bias Relay coil, used for Ground start applications only. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{BRD}$ is provided.
15	LRC	Loop Relay Control (Input). A logic high activates the Loop Relay Drive output ($\overline{LRD}$). The Loop Relay activates internal circuitry which provides a DC termination across Tip and Ring. Used for line seizure and dial pulsing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Pin #	Name	Description
16	BRC	Bias Relay Control (Input). A logic high activates the Loop Relay Drive output ($\overline{BRD}$), used for Ground start applications only. This input should be connected to logic high when not used.
17	GRC	Ground Ring Lead Relay Control (Input). A logic low activates the Ground Ring Lead Relay Drive output ($\overline{GRD}$), used for Ground Start applications only. This input should be connected to logic high when not used.
18	AGND	Analog Ground. 4-Wire ground. Normally connected to System Ground.
19	NATT	Network Balance AT+T Node. Connects to N1 for a network balance impedance of AT&T compromise (350Ω + 1kΩ // 210nF); the device's input impedance must be set to 600Ω. This node is active only when NS is at logic high. This node should be left open circuit when not used.
20	N1	Network Balance Node 1 (Input). 0.1 times the impedance between pins N1 and N2 must match the device's input impedance, while 0.1 times the impedance between pins N1 and AGND is the device's network balance impedance. This node is active only when NS is at logic high. This node may be terminated when not used (i.e., NS at logic low).
21	N2	Network Balance Node 2 (Output). See N1 for description.
22	Z900	Line Impedance 900Ω Node. Connects to Z1 for a line impedance of 900Ω. This node should be left open circuit when not used.
23	Z1	Line Impedance Node 1 (Input). 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node must always be connected.
24	Z2	Line Impedance Node 2 (Output). 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node should be left open circuit when not used.
25	TX	Transmit (output). 4-Wire ground (AGND) referenced audio output.
26	RX	Receive (Input). 4-Wire ground (AGND) referenced audio input.
27	GTX0	Transmit Gain Node 0. Connects to GTX1 for 0dB transmit gain.
28	GTX1	Transmit Gain Node 1. Connects to a resistor to AGND for transmit gain adjustment.
29	GRX0	Receive Gain Node 0. Connects to GRX1 for 0dB gain.
30	GRX1	Receive Gain Node 1. Connects to a resistor to AGND for receive gain adjustment.
31	IC	Internal Connection. This pin is internally connected and must be left open.
32	Z600	Line Impedance 600Ω Node (Output). Connects to Z1 for a line impedance of 600Ω. This pin should be left open circuit when not used.
33	NS	Network Balance Setting (Input). The logic level at NS selects the network balance impedance. A logic 0 enables an internal balance equivalent to the input impedance (Zin). While a logic 1 enables an external balance 0.1 times the impedance between pins N1 and AGND balanced to 0.1 times the impedance between pins N1 and N2. The impedance between N1 and N2 must be equivalent to 10 times the input impedance (Zin).
34	$\overline{TG}$	Tip Lead Ground Detect (Output). A logic low output indicates that the Tip lead is at ground (AGND) potential.
35	$\overline{RL}$	Ring Loop Detect (Output). In the on-hook state, a logic low output indicates that reverse loop battery is present. In the off-hook state, a logic low output indicates that reverse loop current is present. Reverse loop refers to the Tip lead negative with respect to the Ring lead.
36	$\overline{RV}$	Ring Voltage Detect (Output). A logic low indicates that ringing voltage is across the Tip and Ring leads. Note that this output toggles at the ringing cadence and not at the ringing frequency.
37	$\overline{FL}$	Forward Loop Detect (Output). In the on hook state, a logic low output indicates that forward loop battery is present. In the off-hook state, a logic low output indicates that forward loop current is present. Forward loop refers to the Ring Lead negative with respect to the Tip lead.
38	$\overline{RG}$	Ring Lead Ground Detect (Output). A logic low indicates that the Ring lead is at ground (AGND) potential.
39	VEE	Negative Supply Voltage. -5V dc.
40	VDD	Positive Supply Voltage. +5V dc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS AND RECOMMENDED AC OPERATING CONDITIONS

(Notes: 3, 4, 5, 6, 7, 10, 11, 16) (Vcc = +5V ±10%)

AC CHARACTERISTICS		-6		-7			
PARAMETER	SYM	MIN	MAX	MIN	MAX	UNITS	NOTES
Access time from column-address	tAA		30		35	ns	
Column-address hold time (referenced to $\overline{RAS}$)	tAR	45		50		ns	
Column-address setup time	tASC	0		0		ns	
Row-address setup time	tASR	0		0		ns	
Access time from $\overline{CAS}$	tCAC		15		20	ns	9
Column-address hold time	tCAH	10		15		ns	
$\overline{CAS}$ pulse width	tCAS	15	10,000	20	10,000	ns	
$\overline{RAS}$ LOW to "don't care" during SELF REFRESH cycle	tCHD	10		10		ns	27
$\overline{CAS}$ hold time (CBR REFRESH)	tCHR	10		10		ns	19
$\overline{CAS}$ to output in Low-Z	tCLZ	0		0		ns	
$\overline{CAS}$ precharge time	tCP	10		10		ns	18
Access time from $\overline{CAS}$ precharge	tCPA		35		40	ns	
$\overline{CAS}$ to $\overline{RAS}$ precharge time	tCRP	10		10		ns	
$\overline{CAS}$ hold time	tCSH	60		70		ns	
$\overline{CAS}$ setup time (CBR REFRESH)	tCSR	10		10		ns	19
Write command to $\overline{CAS}$ lead time	tCWL	15		20		ns	
Data-in hold time	tDH	10		15		ns	15
Data-in hold time (referenced to $\overline{RAS}$)	tDHR	45		55		ns	
Data-in setup time	tDS	0		0		ns	15
Output buffer turn-off delay	tOFF	3	15	3	20	ns	12, 25
FAST-PAGE-MODE READ or WRITE cycle time	tPC	35		40		ns	
FAST-PAGE-MODE READ-WRITE cycle time	tPRWC	n/a		n/a		ns	21
Access time from $\overline{RAS}$	tRAC		60		70	ns	8
$\overline{RAS}$ to column-address delay time	tRAD	15	30	15	35	ns	23
Row-address hold time	tRAH	10		10		ns	
Column-address to $\overline{RAS}$ lead time	tRAL	30		35		ns	
$\overline{RAS}$ pulse width	tRAS	60	10,000	70	10,000	ns	
$\overline{RAS}$ pulse width (FAST PAGE MODE)	tRASP	60	100,000	70	100,000	ns	
$\overline{RAS}$ pulse width during SELF REFRESH cycle	tRASS	100		100		ms	27
Random READ or WRITE cycle time	tRC	110		130		ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	tRCD	20	45	20	50	ns	13
Read command hold time (referenced to $\overline{CAS}$)	tRCH	0		0		ns	14
Read command setup time	tRCS	0		0		ns	
Refresh period (1,024 cycles)	tREF		16		16	ms	
Refresh period (1,024 cycles) S version	tREF		128		128	ms	
$\overline{RAS}$ precharge time	tRP	40		50		ns	
$\overline{RAS}$ to $\overline{CAS}$ precharge time	tRPC	0		0		ns	
$\overline{RAS}$ precharge time during SELF REFRESH cycle	tRPS	110		130		ns	27
Read command hold time	tRRH	0		0		ns	14
$\overline{RAS}$ hold time	tRSH	15		20		ns	
READ WRITE cycle time	tRWC	n/a		n/a		ns	21
Write command to $\overline{RAS}$ lead time	tRWL	15		20		ns	
Transition time (rise or fall)	tT	3	50	3	50	ns	
Write command hold time	tWCH	10		15		ns	
Write command hold time (referenced to $\overline{RAS}$)	tWCR	45		55		ns	
$\overline{WE}$ command setup time	tWCS	0		0		ns	
Write command pulse width	tWP	10		15		ns	
$\overline{WE}$ hold time (CBR REFRESH)	tWRH	10		10		ns	28
$\overline{WE}$ setup time (CBR REFRESH)	tWRP	10		10		ns	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Voltage on Vcc Supply Relative to Vss ..... -1V to +7V
Operating Temperature, T_A (ambient) ..... 0°C to +70°C
Storage Temperature (plastic) ..... -55°C to +125°C
Power Dissipation 8W
Short Circuit Output Current 50mA

*Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

ELECTRICAL CHARACTERISTICS AND RECOMMENDED DC OPERATING CONDITIONS

(Notes: 1, 3, 6) (Vcc = +5V ±10%)

PARAMETER/CONDITION		SYMBOL	MIN	MAX	UNITS	NOTES
Supply Voltage		V_{CC}	4.5	5.5	V	
Input High (Logic 1) Voltage, all inputs		V_{IH}	2.4	Vcc+1	V	
Input Low (Logic 0) Voltage, all inputs		V_{IL}	-1.0	0.8	V	
INPUT LEAKAGE CURRENT	$\overline{CAS0}$-$\overline{CAS3}$	I_{I1}	-8	8	µA	
Any Input 0V ≤ V_{IN} ≤ 6.5V	A0-A9, $\overline{WE}$	I_{I2}	-32	32	µA	29
(All other pins not under test = 0V) for each package input	$\overline{RAS0}$-$\overline{RAS3}$	I_{I3}	-8	8	µA	29
OUTPUT LEAKAGE CURRENT (Q is disabled; 0V ≤ V_{OUT} ≤ 5.5V) for each package input	DQ1-DQ32	I_{OZ}	-20	20	µA	29
OUTPUT LEVELS		V_{OH}	2.4		V	
Output High Voltage (I_{OUT} = -5mA)						
Output Low Voltage (I_{OUT} = 4.2mA)		V_{OL}		0.4	V	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS AND RECOMMENDED DC OPERATING CONDITIONS

(Notes: 1, 3, 6) (Vcc = +5V ±10%)

PARAMETER/CONDITION	SYMBOL	SIZE	MAX -6	MAX -7	UNITS	NOTES
STANDBY CURRENT: (TTL) ($\overline{RAS}$ = $\overline{CAS}$ = V_{IH})	I_{CC1}	4MB 8MB	16 32	16 32	mA	
STANDBY CURRENT: (CMOS) ($\overline{RAS}$ = $\overline{CAS}$ = Other Inputs = Vcc -0.2V)	I_{CC2}	4MB 8MB	8 16	8 16	mA	
	I_{CC2} (S only)	4MB 8MB	1.6 3.2	1.6 3.2	mA	
OPERATING CURRENT: Random READ/WRITE Average power supply current ($\overline{RAS}$, $\overline{CAS}$, Address Cycling: ^tRC = ^tRC [MIN])	I_{CC3}	4MB 8MB	880 896	800 816	mA	2, 22, 26
OPERATING CURRENT: FAST PAGE MODE Average power supply current ($\overline{RAS}$ = V_{IL}, $\overline{CAS}$, Address Cycling: ^tPC = ^tPC [MIN])	I_{CC4}	4MB 8MB	640 656	560 576	mA	2, 22, 26
REFRESH CURRENT: $\overline{RAS}$ ONLY Average power supply current ($\overline{RAS}$ Cycling, $\overline{CAS}$ = V_{IH}: ^tRC = ^tRC [MIN])	I_{CC5}	4MB 8MB	880 896	800 816	mA	22, 26
REFRESH CURRENT: CBR Average power supply current ($\overline{RAS}$, $\overline{CAS}$, Address Cycling: ^tRC = ^tRC [MIN])	I_{CC6}	4MB 8MB	880 896	800 816	mA	19, 22
REFRESH CURRENT: Extended (S version only) Average power supply current $\overline{CAS}$ = 0.2V or CBR cycling; $\overline{RAS}$ = ^tRAS (MIN); $\overline{WE}$ = Vcc -0.2V; A0-A9 and D_{IN} = Vcc -0.2V or 0.2V (D_{IN} may be left open); ^tRC = 125µs (1,024 rows at 125µs = 128ms)	I_{CC7} (S only)	4MB 8MB	2 3.6	2 3.6	mA	19, 22 24
REFRESH CURRENT: SELF (S version only) Average power supply current during SELF REFRESH CBR cycling with $\overline{RAS}$ ≥ ^tRASS (MIN) and $\overline{CAS}$ held LOW; $\overline{WE}$ = Vcc -0.2V; A0-A9 and D_{IN} = Vcc -0.2V or 0.2V (D_{IN} may be left open)	I_{CC8} (S only)	4MB 8MB	2 3.6	2 3.6	mA	19, 27

CAPACITANCE

PARAMETER	SYMBOL	MAX 4MB	MAX 8MB	UNITS	NOTES
Input Capacitance: A0-A9	C_{I1}	48	95	pF	17
Input Capacitance: $\overline{WE}$	C_{I2}	64	127	pF	17
Input Capacitance: $\overline{RAS0}$-$\overline{RAS3}$	C_{I4}	32	32	pF	17
Input Capacitance: $\overline{CAS0}$-$\overline{CAS3}$	C_{I5}	16	32	pF	17
Input/Output Capacitance: DQ1-DQ32	C_{IO}	10	18	pF	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS AND RECOMMENDED AC OPERATING CONDITIONS

(Notes: 3, 4, 5, 6, 7, 10, 11, 16) (Vcc = +5V ±10%)

AC CHARACTERISTICS		-6		-7			
PARAMETER	SYM	MIN	MAX	MIN	MAX	UNITS	NOTES
Access time from column-address	tAA		30		35	ns	
Column-address hold time (referenced to $\overline{RAS}$)	tAR	45		50		ns	
Column-address setup time	tASC	0		0		ns	
Row-address setup time	tASR	0		0		ns	
Access time from $\overline{CAS}$	tCAC		15		20	ns	9
Column-address hold time	tCAH	10		15		ns	
$\overline{CAS}$ pulse width	tCAS	15	10,000	20	10,000	ns	
$\overline{RAS}$ LOW to "don't care" during SELF REFRESH cycle	tCHD	10		10		ns	27
$\overline{CAS}$ hold time (CBR REFRESH)	tCHR	10		10		ns	19
$\overline{CAS}$ to output in Low-Z	tCLZ	0		0		ns	
$\overline{CAS}$ precharge time	tCP	10		10		ns	18
Access time from $\overline{CAS}$ precharge	tCPA		35		40	ns	
$\overline{CAS}$ to $\overline{RAS}$ precharge time	tCRP	10		10		ns	
$\overline{CAS}$ hold time	tCSH	60		70		ns	
$\overline{CAS}$ setup time (CBR REFRESH)	tCSR	10		10		ns	19
Write command to $\overline{CAS}$ lead time	tCWL	15		20		ns	
Data-in hold time	tDH	10		15		ns	15
Data-in hold time (referenced to $\overline{RAS}$)	tDHR	45		55		ns	
Data-in setup time	tDS	0		0		ns	15
Output buffer turn-off delay	tOFF	3	15	3	20	ns	12, 25
FAST-PAGE-MODE READ or WRITE cycle time	tPC	35		40		ns	
FAST-PAGE-MODE READ-WRITE cycle time	tPRWC	n/a		n/a		ns	21
Access time from $\overline{RAS}$	tRAC		60		70	ns	8
$\overline{RAS}$ to column-address delay time	tRAD	15	30	15	35	ns	23
Row-address hold time	tRAH	10		10		ns	
Column-address to $\overline{RAS}$ lead time	tRAL	30		35		ns	
$\overline{RAS}$ pulse width	tRAS	60	10,000	70	10,000	ns	
$\overline{RAS}$ pulse width (FAST PAGE MODE)	tRASP	60	100,000	70	100,000	ns	
$\overline{RAS}$ pulse width during SELF REFRESH cycle	tRASS	100		100		ms	27
Random READ or WRITE cycle time	tRC	110		130		ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	tRCD	20	45	20	50	ns	13
Read command hold time (referenced to $\overline{CAS}$)	tRCH	0		0		ns	14
Read command setup time	tRCS	0		0		ns	
Refresh period (1,024 cycles)	tREF		16		16	ms	
Refresh period (1,024 cycles) S version	tREF		128		128	ms	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS AND RECOMMENDED AC OPERATING CONDITIONS

(Notes: 3, 4, 5, 6, 7, 10, 11, 16) (Vcc = +5V ±10%)

AC CHARACTERISTICS		-6		-7			
PARAMETER	SYM	MIN	MAX	MIN	MAX	UNITS	NOTES
$\overline{RAS}$ precharge time	^tRP	40		50		ns	
$\overline{RAS}$ to $\overline{CAS}$ precharge time	^tRPC	0		0		ns	
$\overline{RAS}$ precharge time during SELF REFRESH cycle	^tRPS	110		130		ns	27
Read command hold time	^tRRH	0		0		ns	14
$\overline{RAS}$ hold time	^tRSH	15		20		ns	
READ WRITE cycle time	^tRWC	n/a		n/a		ns	21
Write command to $\overline{RAS}$ lead time	^tRWL	15		20		ns	
Transition time (rise or fall)	^tT	3	50	3	50	ns	
Write command hold time	^tWCH	10		15		ns	
Write command hold time (referenced to $\overline{RAS}$)	^tWCR	45		55		ns	
$\overline{WE}$ command setup time	^tWCS	0		0		ns	
Write command pulse width	^tWP	10		15		ns	
$\overline{WE}$ hold time (CBR REFRESH)	^tWRH	10		10		ns	28
$\overline{WE}$ setup time (CBR REFRESH)	^tWRP	10		10		ns	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

1. All voltages referenced to V_{SS}.
2. I_{CC} is dependent on output loading and cycle rates. Specified values are obtained with minimum cycle time and the output open.
3. An initial pause of 100µs is required after power-up followed by eight $\overline{RAS}$ refresh cycles ($\overline{RAS}$ ONLY or CBR with $\overline{WE}$ HIGH) before proper device operation is assured. The eight $\overline{RAS}$ cycle wake-ups should be repeated any time the ^tREF refresh requirement is exceeded.
4. AC characteristics assume ^tT = 5ns.
5. V_{IH} (MIN) and V_{IL} (MAX) are reference levels for measuring timing of input signals. Transition times are measured between V_{IH} and V_{IL}.
6. The minimum specifications are used only to indicate cycle time at which proper operation over the full temperature range ($0°C \le T_A \le 70°C$) is assured.
7. Measured with a load equivalent to two TTL gates and 100pF.
8. Assumes that $^tRCD < ^tRCD$ (MAX). If ^tRCD is greater than the maximum recommended value shown in this table, ^tRAC will increase by the amount that ^tRCD exceeds the value shown.
9. Assumes that $^tRCD \ge ^tRCD$ (MAX).
10. If $\overline{CAS}$ = V_{IH}, data output is High-Z.
11. If $\overline{CAS}$ = V_{IL}, data output may contain data from the last valid READ cycle.
12. ^tOFF (MAX) defines the time at which the output achieves the open circuit condition and is not referenced to V_{OH} or V_{OL}.
13. Operation within the ^tRCD (MAX) limit ensures that ^tRAC (MAX) can be met ^tRCD (MAX) is specified as a reference point only; if ^tRCD is greater than the specified ^tRCD (MAX) limit, then access time is controlled exclusively by ^tCAC.
14. Either ^tRCH or ^tRRH must be satisfied for a READ cycle.
15. These parameters are referenced to $\overline{CAS}$ leading edge in EARLY WRITE cycles.
16. In addition to meeting the transition rate specification, all input signals must transit between V_{IH} and V_{IL} (or between V_{IL} and V_{IH}) in a monotonic manner.
17. This parameter is sampled. Capacitance is measured using MIL-STD-883C, Method 3012.1 (1 MHz AC, V_{CC} = 5V, DC bias = 2.4V at 15mV RMS).
18. If $\overline{CAS}$ is LOW at the falling edge of $\overline{RAS}$, data-out (Q) will be maintained from the previous cycle. To initiate a new cycle and clear the data-out buffer, $\overline{CAS}$ must be pulsed HIGH for ^tCP.
19. On-chip refresh and address counters are enabled.
20. A HIDDEN REFRESH may also be performed after a WRITE cycle. In this case, $\overline{WE}$ = LOW.
21. LATE WRITE, READ WRITE or READ-MODIFY-WRITE cycles are not available due to $\overline{OE}$ being grounded on U1-U8/U16.
22. I_{CC} is dependent on cycle rates.
23. Operation within the ^tRAD (MAX) limit ensures that ^tRCD (MAX) can be met. ^tRAD (MAX) is specified as a reference point only; if ^tRAD is greater than the specified ^tRAD (MAX) limit, then access time is controlled exclusively by ^tAA.
24. Applies to S version only.
25. The 3ns minimum is a parameter guaranteed by design.
26. Column-address changed once each cycle.
27. Refresh must be completed within the time of three external refresh rate periods prior to active use of the DRAM (provided distributed CBR REFRESH is used when in the active mode). Alternatively, a complete set of row refreshes must be executed when exiting SELF REFRESH prior to active use of the DRAM if anything other than distributed CBR REFRESH is used in the active mode.
28. ^tWTS and ^tWTH are setup and hold specifications for the $\overline{WE}$ pin being held LOW to enable the JEDEC test mode (with CBR timing constraints). These two parameters are the inverts of ^tWRP and ^tWRH in the CBR REFRESH cycle.
29. 4MB module values will be half of those shown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters, that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

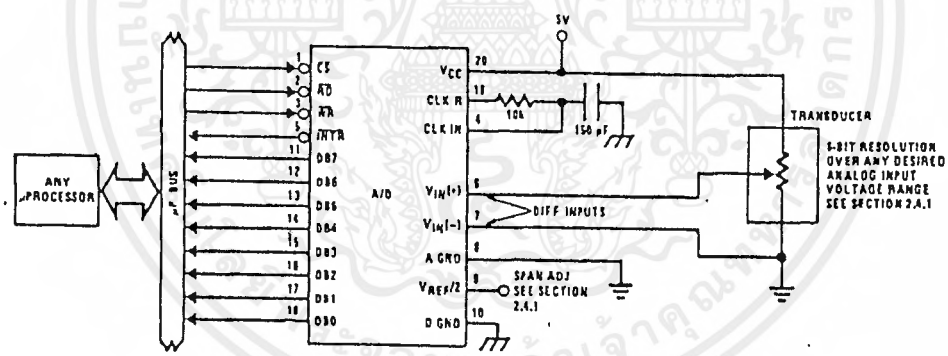
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

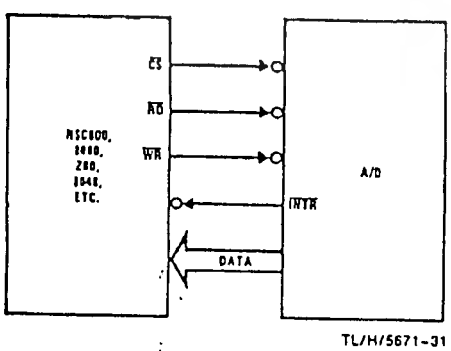
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671-1

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC} = 5V_{DC} and $T_{MIN} \le T_A \le T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	I_O = 360 μA V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	I_O = −360 μA V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC} I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −10 μA, V_{CC} = 4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC} V_{OUT} = 5 V_{DC}	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A = 25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A = 25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	f_{CLK} = 640 kHz, $V_{REF}/2$ = NC, T_A = 25°C and $\overline{CS}$ = 5V		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \ge V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0830/DAC0831/DAC0832 8-Bit μP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

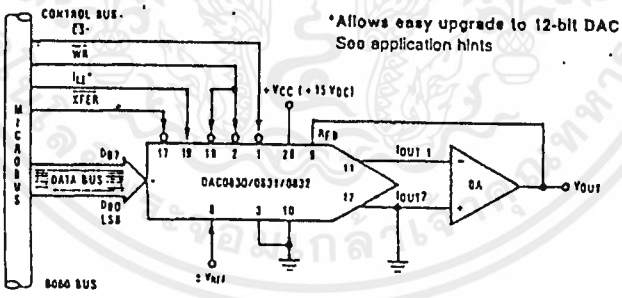
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

Current settling time	1 μs
Resolution	8 bits
Linearity (guaranteed over temp.)	8, 9, or 10 bits
Gain Tempco	0.0002% FS/°C
Low power dissipation	20 mW
Single power supply	5 to 15 V_{DC}

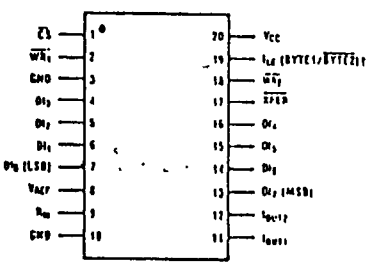
Typical Application



TL/H/5608-1

Connection Diagrams (Top Views)

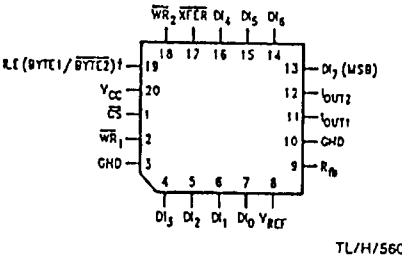
Dual-In-Line and Small-Outline Packages



†This is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with No PC board changes and no software changes. See applications section.

TL/H/5608-21

Molded Chip Carrier Package



TL/H/5608-22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 14)	800V
Lead Temperature (soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with 'LCN' suffix	0°C to +70°C
Part numbers with 'LCWM' suffix	0°C to +70°C
Part numbers with 'LCV' suffix	0°C to +70°C
Part numbers with 'LCJ' suffix	−40°C to +85°C
Part numbers with 'LJ' suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A = 25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} to 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5%, V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.05	0.05	% FSR
DAC0832LJ & LCJ				0.2	0.2	% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05	% FSR
DAC0831LCN				0.1	0.1	% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.1	0.1	% FSR
DAC0832LJ & LCJ				0.4	0.4	% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1	% FSR
DAC0831LCN				0.2	0.2	% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4	% FSR
Monotonicity	−10V ≤ V_{REF} ≤ +10V LJ & LCJ	4		8	8	bits
	−10V ≤ V_{REF} ≤ +10V LCN, LCWM & LCV			8	8	bits
Gain Error Max	Using Internal R_{fb} −10V ≤ V_{REF} ≤ +10V	7	±0.2	±1	±1	% FS
Gain Error Tempco Max	Using internal R_{fb}		0.0002		0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high V_{CC} = 14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			15	20	20	kΩ
Reference Input Min			15	10	10	kΩ
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $V_{REF} = 10.000\ V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits $T_A = 25°C$. (Continued)

Parameter		Conditions		See Note	$V_{CC} = 4.75\ V_{DC}$ to $V_{CC} = 15.75\ V_{DC}$		$V_{CC} = 5\ V_{DC} \pm 5\%$ to $V_{CC} = 12\ V_{DC} \pm 5\%$ to $15\ V_{DC} \pm 5\%$	Limit Units
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS (Continued)								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
	I_{OUT2}	All data inputs latched high	LJ & LCJ			**100**	**100**	nA
			LCN, LCWM & LCV			50	**100** /	
Output Capacitance	I_{OUT1} I_{OUT2}	All data inputs latched low			45 115			pF
	I_{OUT1} I_{OUT2}	All data inputs latched high			130 30			pF
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ 4.75V			**0.6**		V_{DC}
			LJ 15.75V			**0.8**		
			LCJ 4.75V			**0.7**		
			LCJ 15.75V			**0.8**		
			LCN, LCWM, LCV			0.95	**0.8**	
	Min	Logic High	LJ & LCJ			**2.0**	**2.0**	V_{DC}
			LCN, LCWM, LCV			1.9	**2.0**	
Digital Input Currents	Max	Digital Inputs < 0.8V						
			LJ & LCJ		−50	**−200**	**−200**	μA
			LCN, LCWM, LCV			−160	**−200**	μA
		Digital Inputs > 2.0V						
			LJ & LCJ		0.1	**+10**	**+10**	μA
			LCN, LCWM, LCV			+8	**+10**	
Supply Current Drain	Max		LJ & LCJ		1.2	**3.5**	**3.5**	mA
			LCN, LCWM, LCV			1.7	**2.0**	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A = 25°C. (Continued)

Symbol	Parameter	Conditions	See Note	V_{CC} = 15.75 V_{DC}		V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	V_{CC} = 4.75 V_{DC}		V_{CC} = 5 V_{DC} ±5%	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t_s	Current Setting Time	V_{IL} = 0V, V_{IH} = 5V		1.0			1.0			µs
t_W	Write and XFER Pulse Width Min	V_{IL} = 0V, V_{IH} = 5V	11 9	100	250 **320**	**320**	375	600 **900**	**900**	ns
t_{DS}	Data Setup Time Min	V_{IL} = 0V, V_{IH} = 5V	9	100	250 **320**	**320**	375	600 **900**	**900**	
t_{DH}	Data Hold Time Min	V_{IL} = 0V, V_{IH} = 5V	9		30 **30**			50 **50**		
t_{CS}	Control Setup Time Min	V_{IL} = 0V, V_{IH} = 5V	9	110	250 **320**	**320**	600	900 **1100**	**1100**	
t_{CH}	Control Hold Time Min	V_{IL} = 0V, V_{IH} = 5V	9	0	0 **0**	**10**	0	0 **0**		

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C (plastic) or 150°C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80°C/W. For the N package, this number increases to 100°C/W and for the V package this number is 120°C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at V_{REF} = ±10 V_{DC} and V_{REF} = ±1 V_{DC}.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05% × V_{REF} of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only.

Note 10: A 100nA leakage current with R_{fb} = 20k and V_{REF} = 10V corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^{3}) \times 100/10$ which is 0.02% of FS.

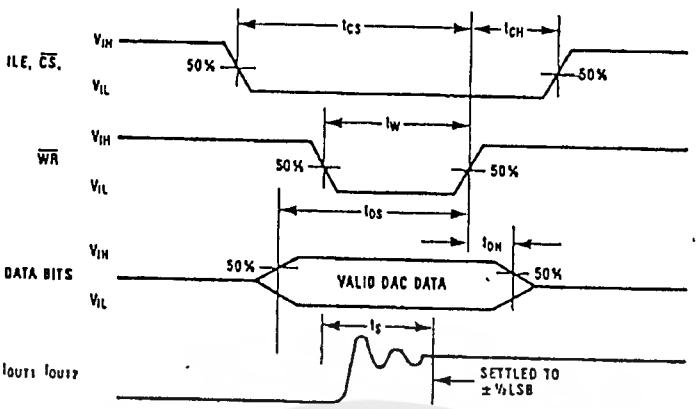
Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25°C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Waveform



TL/H/5608–2

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: **Chip Select** (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR_1}$.

ILE: **Input Latch Enable** (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR_1}$.

$\overline{WR_1}$: **Write 1.** The active low $\overline{WR_1}$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR_1}$ is high. To update the input latch—$\overline{CS}$ and $\overline{WR_1}$ must be low while ILE is high.

$\overline{WR_2}$: **Write 2** (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: **Transfer control signal** (active low). The $\overline{XFER}$ will enable $\overline{WR_2}$.

Other Pin Functions

DI_0-DI_7: **Digital Inputs.** DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: **DAC Current Output 1.** I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: **DAC Current Output 2.** I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (I full scale for a fixed reference voltage).

R_{fb}: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: **Reference Voltage Input.** This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: **Digital Supply Voltage.** This is the power supply pin for the part. V_{CC} can be from +5 to +15V_{DC}. Operation is optimum for +15V_{DC}.

GND: The pin 10 voltage must be at the same ground potential as I_{OUT1} and I_{OUT2} for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

$$\frac{V_{OS} \text{ pin } 10}{3V_{REF}}$$

For example, if V_{REF} = 10V and pin 10 is 9mV offset from I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ นายสมศักดิ์ เชาวน์ชะตา ที่ให้ความช่วยเหลือจนโครงงานชิ้นนี้ประสบความสำเร็จลุล่วงด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

Peter H.Beards , Analog and Digital Electronics , Mc Graw-Hill , 1993

รศ. ณรงค์ เหมกรณ์ , การสื่อสารดาวเทียม , สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง , 2533

น.ต. ธวัชชัย เลื่อนฉวี , เทคโนโลยีโทรศัพท์ , บรรเทิงการพิมพ์ , 2533

สุเจตน์ จันทรังษี , ไมโครคอนโทรลเลอร์ซิพเดี่ยว , มหาวิทยาลัยเทคโนโลยีมหานคร , 2537

สุนทร วิฑูสุรพจน์ , การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ 8051 , บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2537

เศกสิทธิ์ คำชมภู , "ไมโครคอนโทรลเลอร์ควบคุมเครื่องใช้ไฟฟ้าผ่านคู่สายโทรศัพท์" , เซมิคอนดัคเตอร์อิเล็กทรอนิคส์ , ฉบับที่ 141, บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้