เครื่องถอดรหัสสัญญาณภาพ

VIDEO DESCRAMBLER

นาย จักรพรรณ	จันทร์ก่ำ	38013317
นาย ธนพงศ์	ชาญณรงค์	38013324
นาย สมชาย	เจริญรัตตะวงศ์	38013341

วัน เดือน ปี 11 ธค 2541
เลขทะเบียน 038923
เลขเรียกหนังสือ โ ๔๐๖๘ ๑๗๔

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038923

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY

LADKRABANG

PROJECT

VIDEO DESCRAMBLER

PROJECT REPORT SUBMITTED IN PARTIAL FULFULIMENT

OF THE REQUIREMENTS FOR THE BACHELOR'S DEGREE

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHOLOGY LADKRABANG

1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องถอดรหัสสัญญาณภาพ

VIDEO DESCRAMBLER

ชื่อนักศึกษา	นาย จักรพรรณ จันทร์ก่ำ
	นาย ธนพงศ์ ชาญณรงค์
	นาย สมชาย เจริญรัตตะวงศ์
อาจารย์ที่ปรึกษา	อาจารย์อุทัย ศรีธีระวิโรจน์
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2540

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของ การศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

.....

คณะกรรมการสอบปริญญานิพนธ์

..... อาจารย์ที่ปรึกษา
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องถอดรหัสสัญญาณภาพ

VIDEO DESCRAMBLER

นาย จักรพรรณ จันทร์ก่ำ รหัส 38013317
นาย ธนพงศ์ ชาญณรงค์ รหัส 38013324
นาย สมชาย เจริญรัตตะวงศ์ รหัส 38013341

อาจารย์ที่ปรึกษา
อาจารย์ อุทัย ศรีธีระวิโรจน์

ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอวิธีการถอดรหัสสัญญาณภาพที่ถูกเข้ารหัสมา ด้วยการแยกสัญญาณเบิรสต์มาเป็นความถี่อ้างอิงในการกำเนิดสัญญาณซิงค์ใหม่ และนำสัญญาณซิงค์ที่ได้ไปรวมกับสัญญาณภาพที่ถูกตัดซิงค์ หรือทำให้สัญญาณซิงค์ไม่ปกติ ได้เป็นสัญญาณภาพใหม่ป้อนเข้าโทรทัศน์ทางวิดีโออินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DESCRAMBLE

MR. JAKKAPHAN CHANGA 38013317

MR. TANAPONG CHANNARONG 38013324

MR. SOMCHAI JAREONRATTAWONG 38013341

ADVISOR

Mr. UTHAI SRITHEERAVIROJANA

ABTRACT

This thesis present the method to decoding signal which has encoded. By separated burst gate signal to use to reference frequency for generate synchronize signal. This synchronize signal will combined with video signal which have cut synchronize signal or unusually. The new video signal to feed to video input of television.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้มิอาจสำเร็จลุล่วงไปได้หากขาดความช่วยเหลือจากบุคคลต่าง ๆ ในหลาย ๆ ฝ่าย ดังนั้นทางกลุ่มผู้จัดทำจึงใคร่ขอขอบพระคุณบุคคลต่าง ๆ ดังต่อไปนี้

ขอบพระคุณ อาจารย์ อุทัย ศรีธีระวิโรจน์ ที่คอยให้คำปรึกษาและให้ความช่วยเหลือทางด้านหนังสืออ้างอิงต่าง ๆ สถานที่ และเครื่องมือที่ใช้ในการทดลอง และเจ้าหน้าที่ระบบเครือข่ายคอมพิวเตอร์และการสื่อสารข้อมูล สำนักวิจัยและพัฒนาคอมพิวเตอร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่กรุณาให้ยืมเครื่องมือในการทดลองบางส่วน รวมทั้งคณะอาจารย์และเพื่อน ๆ ทุกคนในภาควิชาเทคนิคอุตสาหกรรมที่คอยให้คำปรึกษาและช่วยเหลือในด้านต่าง ๆ

สุดท้าย ขอกราบขอบพระคุณ คุณพ่อ และคุณแม่ ผู้บังเกิดเกล้า ผู้เป็นแรงกำลังอันยิ่งใหญ่ทั้งทางด้านกำลังใจ กำลังทรัพย์ และเป็นผู้ให้ตลอดมา

อนึ่ง ประโยชน์ และคุณความดีใด ๆ ก็ตามที่เกิดจากปริญญานิพนธ์ฉบับนี้ ขอมอบให้แด่คุณพ่อ คุณแม่ ผู้ให้กำเนิด และคุณครูบาอาจารย์ที่ได้ประสิทธิประสาทวิชามาตั้งแต่ต้น จนมีวันนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ระบบโทรทัศน์บอกรับสมาชิก (Cable TV System) มีหลายระบบคือ ส่งสัญญาณทางเคเบิล, แพร่สัญญาณออกอากาศ หรือ ส่งสัญญาณทางดาวเทียม เนื่องจากเป็นการส่งสัญญาณโทรทัศน์ในเชิงธุรกิจ จึงต้องปกป้องผลประโยชน์ โดยการใส่รหัสแทบทุกระบบ เพื่อป้องกันผู้ที่ไม่ได้เป็นสมาชิกแอบรับสัญญาณ

ในการศึกษาเรื่องนี้ เพียงเพื่อหาความรู้ ทำความเข้าใจหลักการ วิธีการ ใส่รหัส ถอดรหัส ในเชิงวิชาการ มิได้มีความประสงค์ที่จะสร้างไว้เพื่อลักลอบรับสัญญาณ หรือเผยแพร่เพื่อการค้าแต่ประการใด

นาย จักรพรรณ จันทร์ก่ำ
นาย ธนพงศ์ ชาญณรงค์
นาย สมชาย เจริญรัตตะวงศ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
หัวข้อปริญญานิพนธ์	
บทคัดย่อ(ไทย)	
บทคัดย่อ(อังกฤษ)	
กิตติกรรมประกาศ	
คำนำ	
บทที่ 1. บทนำ	1
บทที่ 2. ทฤษฎีที่เกี่ยวข้อง	
2.1 โครงสร้างสัญญาณภาพรวม	2
2.2 วงจรกรองความถี่	6
2.3 วงจรเฟสล็อคลูปพื้นฐาน	16
2.4 ทฤษฎีของวงจรเฟสล็อคลูป	17
2.5 Loop Gain	25
2.6 คุณสมบัติเรื่องสัญญาณรบกวน	27
2.7 Lock Range	28
2.8 Capture Range	30
2.9 เทคนิคการเข้ารหัสพื้นฐาน	30
2.10 Sine Wave Scrambling	37
2.11 Gate Pulse Scrambling	38
2.12 Telease Scrambling	39
2.13 Sine Wave Descrambling	40
2.14 Gate Pulse Descrambling	41
2.15 Telease Descrambling	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3. การออกแบบและการสร้าง

3.1 วงจรแยกสัญญาณเบริสต์ 43

3.2 ภาควงจรเฟสล็อคลูป 44

3.3 ภาควงจรสร้างสัญญาณซิงค์ทางแนวนอน 45

3.4 ภาควงจรสร้างสัญญาณซิงค์ทางแนวตั้ง 46

3.5 ภาค Power Supply 47

บทที่ 4. ผลการดำเนินงาน

-ผลการทดลองของวงจรแยกสัญญาณเบริสต์ 49

-ผลการทดลองของวงจรเฟสล็อคลูป 50

-ผลการทดลองของวงจรสร้างสัญญาณซิงค์ทางแนวนอน 51

-ผลการทดลองของวงจรสร้างสัญญาณซิงค์ทางแนวตั้ง 52

บทที่ 5. สรุปผลการดำเนินงานและข้อเสนอแนะ

-ปัญหาที่เกิดขึ้น 53

-แนวทางในการพัฒนา 53

ภาคผนวก ก.

ภาคผนวก ข.

ภาคผนวก ก.

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง	หน้า
2.1 รูปภาพแสดงระดับสัญญาณ Gray Scale	2
2.2 รูปภาพแสดงระดับสัญญาณแบลงกิ้งค์	4
2.3 รูปภาพแสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง	5
2.4 รูปกราฟแสดงการตอบสนองต่อความถี่ของวงจรกรองความถี่ต่ำ	6
2.5 รูปภาพแสดงวงจรกรองความถี่ต่ำ	7
2.6 รูปภาพแสดงวงจรกรองความถี่ต่ำที่มีความชันถึง -40 dB/decade	8
2.7 รูปกราฟแสดงคุณสมบัติของวงจรกรองความถี่สูง	9
2.8 รูปภาพแสดงวงจรกรองความถี่สูงที่มีความชัน -20 dB\decade	10
2.9 รูปภาพแสดงวงจรกรองความถี่สูงที่มีความชัน -40 dB\decade	10
2.10 รูปกราฟแสดงคุณสมบัติการตอบสนองความถี่ ของวงจรกรองความถี่เป็นช่วง	11
2.11 รูปภาพแสดงวงจรกรองความถี่เป็นช่วงแบบรวม วงจรกรองความถี่ต่ำเข้ากับวงจรกรองความถี่สูง	12
2.12 รูปกาฟแสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่ เป็นช่วงที่ใช้วงจรกรองความถี่ต่ำ กับ วงจรกรองความถี่สูงต่อร่วมกัน	13
2.13 รูปกราฟแสดงการตอบสนองความถี่ของวงจรนอท์ชฟิลเตอร์	13
2.14 รูปภาพแสดงวงจรนอท์ชฟิลเตอร์แบบพื้นฐาน	14
2.15 รูปภาพแสดงวงจรนอท์ชฟิลเตอร์ชนิด "T" คู่	15
2.16 รูปภาพแสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป	18
2.17 รูปแสดงโครงสร้างของระบบเฟสล็อคลูป	18
2.18 รูปวงจรแสดงฟิลเตอร์ลูป	20
2.19 รูปกราฟแสดงการตอบสนองความถี่ของลูปอันดับ 2	22
2.20 รูปกราฟแสดงผลตอบสนองความผิดพลาดเชิงเฟสของ High Gain Loop $\zeta = 0.707$	23
2.21 รูปภาพแสดงแบนด์วิดธ์ของ Loop อันดับ 2	24
2.22 รูปภาพแสดงผลของการกลับสัญญาณภาพรวม	31
2.23 รูปภาพแสดงผลของ Active Inversion ในระบบ OAK Orision	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.24 รูปภาพแสดงผลของการตัดและกลับขั้วของสัญญาณภาพ 33
2.25 รูปภาพแสดงผลของการตัดและหมุนสัญญาณภาพ 34
2.26 รูปภาพแสดงผลของการเลื่อนเส้นของสัญญาณภาพ 35
2.27 รูปภาพแสดงผลของการเลื่อนสัญญาณซิงค์ด้วยสัญญาณไซน์ 36
2.28 รูปภาพแสดงผลของ Pulse Synch Shifting 37
2.29 รูปแสดงหลักการทำงานของ Sine Wave Scrambling 38
2.30 รูปแสดงหลักการทำงานของ Gate Pulse Scrambling 38
2.31 รูปภาพแสดง Block Diagram ของ Telease Scrambling 39
2.32 รูปภาพแสดง Block Diagram ของ Sine Wave Descrambling 40
2.33 รูปภาพแสดง Block Diagram ของ Gate Pulse Descrambling 41
2.34 รูปภาพแสดง Block Diagram ของ Telease Descrambling 42
3.1 รูปภาพแสดง Block Diagram ของการถอดรหัส 43
3.2 รูปภาพแสดงวงจรแยกสัญญาณแบริสต์ 44
3.3 รูปภาพแสดงวงจรภาคเฟสล็อคลูป 46
3.4 รูปภาพแสดงวงจรสร้างสัญญาณซิงค์ทางแนวนอน 47
3.5 รูปภาพแสดงวงจรสร้างสัญญาณซิงค์ทางแนวตั้ง 48
3.6 รูปภาพแสดงวงจรภาค Power Supply 49
4.1.1 รูปภาพแสดงสัญญาณที่ได้จากการ Detect สัญญาณแบริสต์
และสัญญาณสีเมื่อเปรียบเทียบกับสัญญาณที่ Input
ซึ่งเป็นสัญญาณจาก Pettern Generator 50
4.1.2 รูปภาพแสดงสัญญาณที่ได้จากการ Detect สัญญาณแบริสต์
และสัญญาณสีเมื่อเปรียบเทียบกับสัญญาณที่ Input
ซึ่งเป็นสัญญาณจาก Pattern Generator 51
4.1.3 รูปภาพแสดงการเติมสัญญาณพัลซ์เข้าไปทำการหนุนสัญญาณแบริสต์ 51
4.1.4 รูปภาพแสดงสัญญาณแบริสต์ 52
4.1.5 รูปภาพแสดงสัญญาณที่ขา B ของ Tr5
เป็นสัญญาณที่จะนำไปเปรียบเทียบเฟส 52
4.1.6 รูปภาพแสดงสัญญาณที่ผ่านการขยายที่ขา C ของ Tr5
เป็นสัญญาณที่นำไปเปรียบเทียบเฟส 53
4.1.7 รูปภาพแสดงสัญญาณพัลซ์ที่นำไปทำการหนุนสัญญาณแบริสต์ 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 รูปภาพแสดงสัญญาณอินพุทที่นำมาเปรียบเทียบเฟสที่ขา 41 ของ IC 6 54
4.2.2 รูปภาพแสดงสัญญาณอินพุทที่นำมาเปรียบเทียบเฟสที่ขา 3 ของ IC 6 54
4.2.3 รูปภาพแสดงสัญญาณที่ขา 4 ซึ่งเป็นสัญญาณ Output ของภาคเฟสล็อคลูป 55
4.3.1 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 11 ของ IC4 55
4.3.2 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 2 ของ IC10 56
4.3.3 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 4 และขา 5 ของ IC7 56
4.3.4 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 2 ของ IC7 56
4.3.5 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 1 ของ IC7 57
4.3.6 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 6 ของ IC7 57
4.3.7 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 8 ของ IC8 57
4.3.8 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC8 58
4.3.9 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 13 ของ IC10 58
4.3.10 รูปภาพแสดงสัญญาณซิงค์ทางแนวนอน
เมื่อเปรียบเทียบกับสัญญาณจาก Pattern Generator 58
4.4.1 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา B ของ Tr6 59
4.4.2 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา C ของ Tr6 59
4.4.3 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา B ของ Tr10 60
4.4.4 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา C ของ Tr10 60
4.4.5 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 4 ของ IC10 61
4.4.6 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 6 ของ IC10 61
4.4.7 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 10 ของ IC9 62
4.4.8 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC9 62
4.4.9 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 6 และขา 7 ของ IC3 63
4.4.10 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 1 ของ IC3 63
4.4.11 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 11 ของ IC2 64
4.4.12 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC7 64
4.4.13 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 10 ของ IC7 65
4.4.14 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 12 ของ IC7 65
4.4.15 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 13 ของ IC7 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.16 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 8 ของ IC7 และขา 3 ของ IC8 และขา 5 ของ IC8 66
4.4.17 รูปภาพแสดงสัญญาณที่ปรากฏที่ขา 6 ของ IC8 67
4.4.18 รูปภาพแสดงสัญญาณที่ปรากฏที่ขั้วลบของ Diode (D5) 67
4.4.19 รูปภาพแสดงสัญญาณซิงค์ทางแนวตั้งเมื่อเปรียบเทียบกับสัญญาณจาก Pattern Generator 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
2.1 ตารางแสดงสมการ Passive Filter และ Active Filter	22
2.2 ตารางแสดง Noise Bandwidth ของ Loop ชนิดต่าง ๆ	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

เนื่องจากในปัจจุบันได้เริ่มเข้าสู่ยุคของสารสนเทศ ซึ่งมีการติดต่อสื่อสารและส่งข่าวสารข้อมูลต่าง ๆ อย่างมากมาย ทั้งที่อยู่ในแบบของสัญญาณภาพ เสียง และที่อยู่ในรูปแบบของข้อมูล โดยในทางธุรกิจอาจจะเป็นการติดต่อกันระหว่างบริษัทในเครือ หรือติดต่อกับบริษัทของคู่ค้า หรือแม้แต่จะเป็นการให้บริการข่าวสาร ความบันเทิงต่าง ๆ ต่อบุคคล หรือกลุ่มบุคคลที่ต้องการเท่านั้น เพราะข่าวสารที่จะส่งนั้นเป็นความลับ จึงต้องมีการป้องกันข้อมูลข่าวสารนั้นจากบุคคลภายนอกที่ไม่เกี่ยวข้อง ซึ่งการป้องกันนี้ จะใช้ระบบการสื่อสารที่มีลักษณะพิเศษเฉพาะตัวที่แตกต่างจากระบบทั่วไปนั้น จะทำให้เสียค่าใช้จ่ายสูงมาก เพราะจะต้องมีการออกแบบมาเฉพาะ และอุปกรณ์ก็หาได้ลำบาก ดังนั้นจึงได้มีการพัฒนาวิธีการในการป้องกันข้อมูลข่าวสาร เพื่อให้สามารถใช้กับระบบสื่อสารทั่ว ๆ ไปได้ โดยจะเน้นไปที่การเปลี่ยนแปลงข้อมูล หรือสัญญาณที่เกี่ยวข้องแทนนั่นก็คือ การเปลี่ยนแปลงข้อมูลให้อยู่ในอีกรูปแบบหนึ่งซึ่งไม่สามารถจะรับรู้ข้อมูลด้วยระบบปกติ หรือกล่าวได้ว่าข้อมูลได้มีการเข้ารหัส(Encode)แล้ว การที่จะรับรู้ข้อมูลนั้นจะต้องมีการถอดรหัส(Decode)ก่อน ซึ่งวิธีการนี้ จะเสียค่าใช้จ่ายน้อยกว่ามาก เพราะเพียงเพิ่มส่วนเข้ารหัสที่ภาคส่งและเพิ่มส่วนถอดรหัสที่ภาครับเท่านั้น

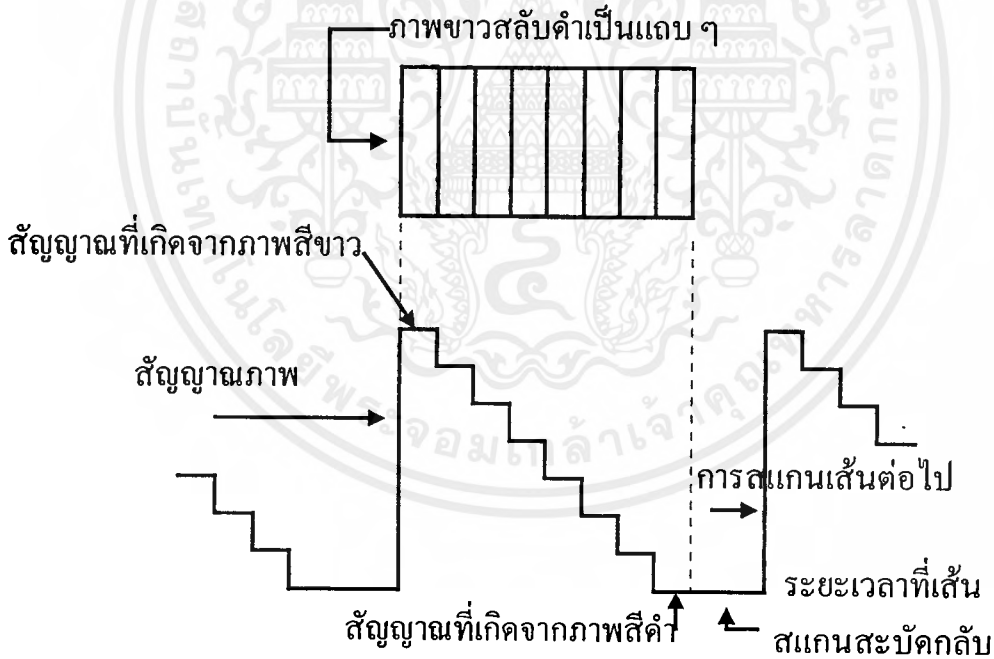
การเปลี่ยนแปลงข้อมูลเพื่อให้อยู่ในรูปแบบหนึ่ง ซึ่งไม่สามารถรับรู้ข้อมูลได้และยังสามารถเปลี่ยนกลับมาให้อยู่ในรูปแบบที่รับรู้ได้ ซึ่งได้เรียกการเปลี่ยนแปลงข้อมูลไป(เข้ารหัส)ว่าการ “Scrambling” และเรียกการเปลี่ยนแปลงข้อมูลกลับ(ถอดรหัส)ว่าการ “Descrambling”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 โครงสร้างของสัญญาณภาพรวม

โดยปกติแล้ว เครื่องส่งจะทำการส่งสัญญาณมาในรูปแบบของ สัญญาณภาพรวม(Composite Video Signal) ซึ่งเป็นสัญญาณที่เครื่องรับโทรทัศน์ต้องการใช้ ในส่วนของสัญญาณเสียงจะมีการใช้คลื่นพาหะ (Carrier) เฉพาะและทำการส่งแยกต่างหาก เพราะว่าระบบเสียงในโทรทัศน์เป็นระบบ FM ในขณะที่สัญญาณภาพและสัญญาณอื่น ๆ นั้น ก็จะรวมเข้าเป็นสัญญาณเดียวในรูปของสัญญาณภาพรวม แล้วใช้คลื่นพาหะส่งออกไป ซึ่งมีโครงสร้างของสัญญาณภาพรวมดังแสดงในรูปที่ 2.1



รูปที่ 2.1 แสดงระดับสัญญาณ Gray Scale

สัญญาณภาพและเสียง เพื่อให้เกิดภาพและเสียงขึ้น ในเครื่องรับโทรทัศน์

สัญญาณแบลงกิ้งค์ (Blanking) เพื่อให้มีการสะบัดกลับบนหน้าจอที่เกิดขึ้นทั้งในแนวตั้ง (Vertical) และแนวนอน (Horizontal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณซิงโครไนซ์ (Synchronize) เพื่อให้วงจรหักเหทางแนวตั้ง และแนวนอนของเครื่องรับโทรทัศน์ ทำงานสอดคล้องกับเครื่องส่ง

สัญญาณอีควอไลซิ่ง (Equalizing) เพื่อช่วยให้สัญญาณซิงโครไนซ์ ทั้งทางแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกน แบบสลับเส้นก็ตาม

2.1.1 สัญญาณภาพ

สมมุติว่าจะดูระดับสัญญาณขาว-ดำ ซึ่งสามารถจะกล่าวได้ว่าภาพที่เป็นสีขาว คือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีความสว่างอยู่เลย ภาพจำลองที่ใช้อธิบายลักษณะของภาพได้ดีที่สุด คือแถบความแตกต่างของระดับขาว-ดำทีละน้อยเรียกว่าระดับ Gray Scale ดังรูปที่ 2.1

รูปที่ 2.1 จะแสดงให้เห็นถึงระดับของ Gray Scale ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา ซึ่งเป็นระดับที่มีความแรงของสัญญาณภาพมากที่สุดจึงทำให้ความสว่างมากที่สุด และระดับสัญญาณค่อย ๆ ลดลงจากสีขาว เป็นสีมัว เทา และ ดำนั้น อันที่จริงแล้วสัญญาณภาพเป็นสัญญาณความถี่ทางไฟฟ้า ซึ่งมีความสูงต่ำไม่เท่ากันโดยจะมีความถี่สูงสุดไม่เกิน 4 เมกะเฮิรตซ์(MHz) ในระบบ FCC และไม่เกิน 5 เมกะเฮิรตซ์ ในระบบ CCIR ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดมากกว่าภาพที่เกิดจากความถี่ต่ำ

2.1.2 สัญญาณแบลงกิ้งค์

เมื่อมีการสแกนของลำอิเล็กตรอนที่หน้าจอ จะทำให้เกิดเส้นรีเทรช (Retrace) หรือเส้นสะบัดกลับ ซึ่งเป็นเส้นที่ไม่ต้องการดังนั้นเครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้งค์ มา เพื่อให้เครื่องรับสามารถลบเส้นสะบัดกลับได้อย่างถูกต้อง โดยมีอยู่ 2 แบบด้วยกันคือ

1). สัญญาณแบลงกิ้งค์ทางแนวนอน (Horizontal Blanking)

2). สัญญาณแบลงกิ้งค์ทางแนวตั้ง (Vertical Blanking)

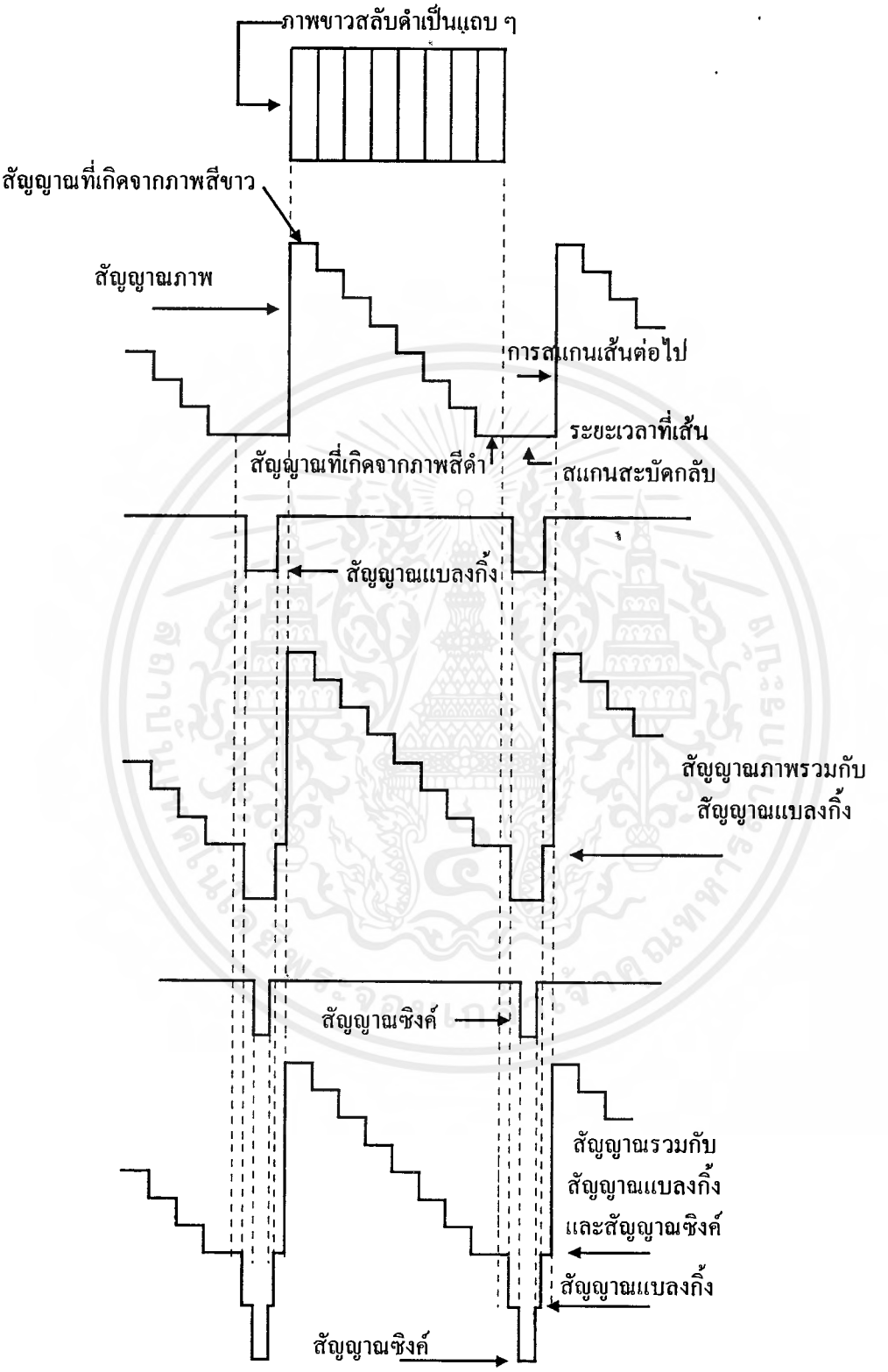
2.1.3 สัญญาณซิงโครไนซ์

เป็นสัญญาณที่ทำให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนในแนวตั้ง และแนวนอน มีอยู่ 2 แบบด้วยกันคือ

1). สัญญาณซิงโครไนซ์ทางแนวนอน (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอนมีความถี่ 15,625 เฮิรตซ์(Hz) (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณนี้ส่งมาด้วยจะทำให้เกิดภาพล้ม

2). สัญญาณซิงโครไนซ์ทางแนวตั้ง (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบFCC) ถ้าไม่มีสัญญาณนี้จะทำให้เกิดภาพเลื่อน

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



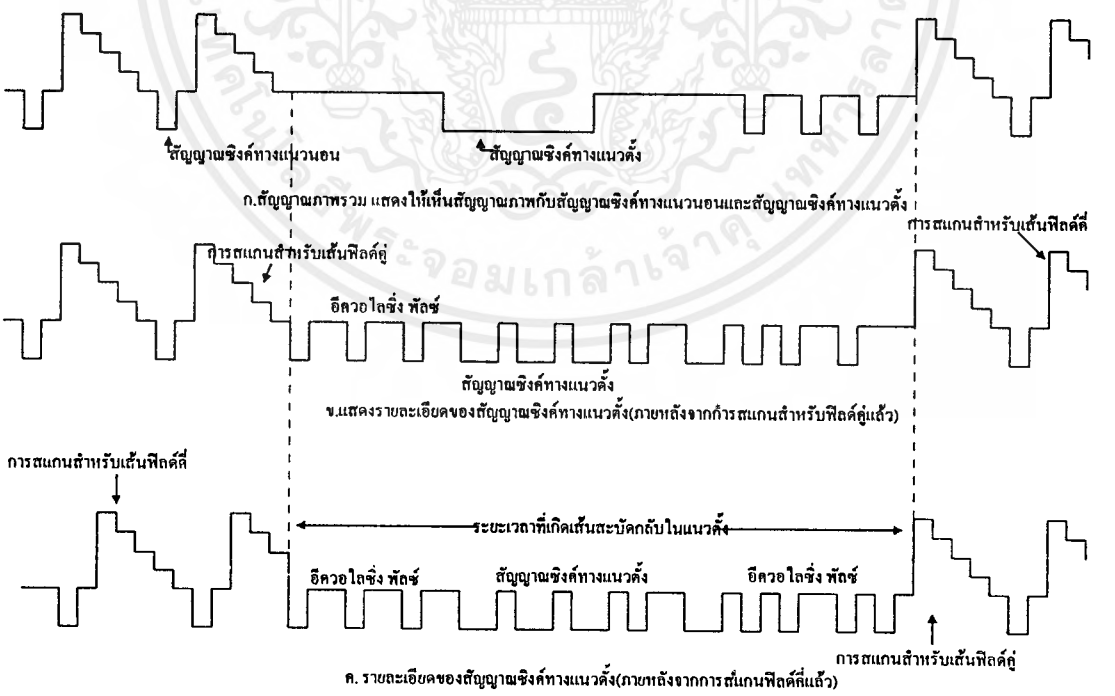
รูปที่ 2.2 แสดงระดับสัญญาณแบลงกิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากความถี่ของสัญญาณซิงค์กับสัญญาณแบลงกิ้งค์ทั้งทางแนวตั้งและแนวนอนมีความถี่เท่ากัน ดังนั้นเวลาส่งเราจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้องเพื่อมิให้เกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์มีขนาดความกว้างน้อยกว่าสัญญาณแบลงกิ้งค์ และใช้วิธีการส่งแบบผสม กล่าวคือส่งสัญญาณซิงค์กับสัญญาณแบลงกิ้งค์ ไปด้วยกันโดยให้ สัญญาณแบลงกิ้งค์ เป็นฐานของ สัญญาณซิงค์และเมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับ Gary Scale ระดับของ สัญญาณแบลงกิ้งค์ ลงไปอีกสัญญาณเหล่านี้จึงไม่มีส่วนต่อการมองเห็น หรือไม่ไปกวนสัญญาณภาพดูรูปที่ 2.2 ประกอบ

2.1.4 สัญญาณอีควอไลซิ่ง

เป็นสัญญาณที่ใช้บังคับรูปร่างของสัญญาณซิงค์ทางแนวตั้ง ให้คงรูปอยู่ได้อย่างถูกต้องและยังช่วยให้การสแกนแบบสลับเส้นเป็นไปอย่างถูกต้องด้วย สามารถขึ้นเส้นคู่ เส้นคี่ในตำแหน่งถูกต้องได้ และยังส่งผลทางอ้อมให้สัญญาณซิงค์ทางแนวนอนไม่ขาดช่วงหายไป ในขณะที่ส่งสัญญาณทางแนวตั้งด้วย สัญญาณนี้จะมีขนาดของพัลซ์(Pulse) รวมเท่ากับพัลซ์ของสัญญาณซิงค์ทางแนวตั้ง สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และเป็น 5 ลูก ในระบบ 625 เส้น ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง

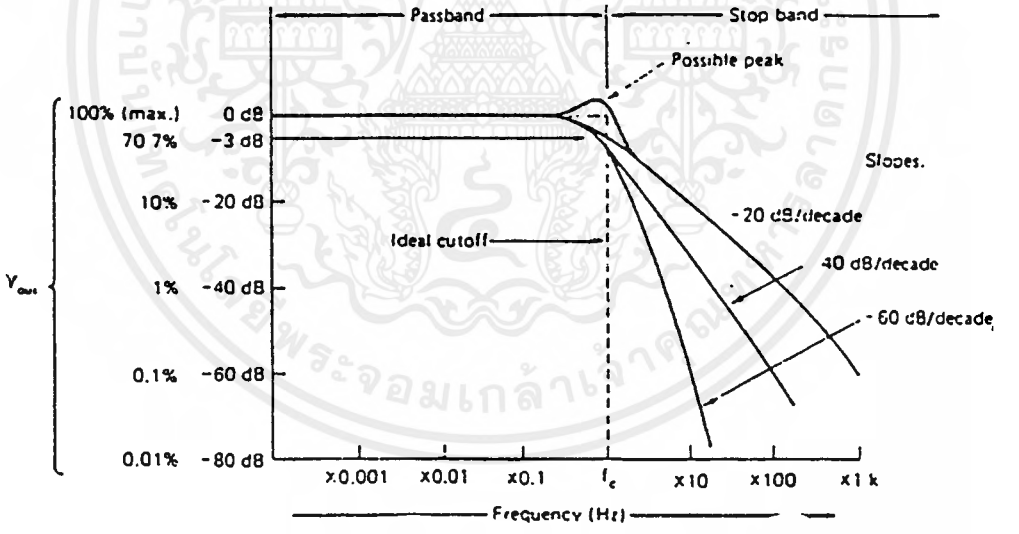
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรกรองความถี่

ในการใช้งานวงจรอิเล็กทรอนิกส์ บางครั้งอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้นโดยที่สัญญาณที่มีความถี่อื่นนอกเหนือจากนั้นจะถูกกำจัดออกไปซึ่งนี่คือประโยชน์ของวงจรกรองความถี่ชนิดต่าง ๆ ซึ่งมีด้วยกันหลายแบบดังนี้

2.2.1 วงจรกรองความถี่ต่ำ (Low Pass Filter:LPF)

ในทางอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่ (Cut Off Frequency:f_c) ผ่านเข้าไปในวงจรเลย แม้จะมีความถี่สูงกว่าความถี่คัทออฟ เพียงเล็กน้อยก็ตาม แต่ในความเป็นจริงแล้ว ลักษณะของความถี่ที่ถูกกันออกไปจะไม่เป็นเช่นนั้น แต่จะค่อย ๆ ถูกลดอัตราการขยายลงเรื่อย ๆ โดยจุดที่มีความถี่เท่ากับความถี่คัทออฟนี้อาจเรียกได้หลายอย่าง เช่น ความถี่ 0.707 (ขนาด V_{out} จะลดลงเหลือเพียง 70.7% เมื่อเทียบกับ V_{in} สูงสุด) ความถี่ -3 dB (อัตราขยายของ V_{out} ลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดยสรุปแล้ววงจรนี้จะลดทอนสัญญาณที่มีความถี่สูงกว่า



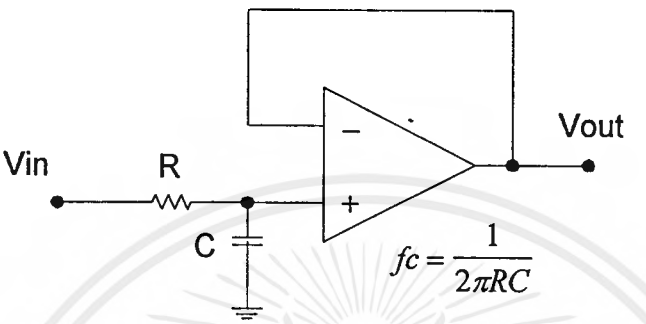
รูปที่ 2.4 กราฟแสดงการตอบสนองต่อความถี่ของวงจรกรองความถี่ต่ำ

ความถี่คัทออฟซึ่งเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่าความถี่คัทออฟว่า "ช่วงให้ผ่านได้ (Pass Band)" และที่มีความถี่สูงกว่า "ช่วงที่ถูกกั้น Stop Band)"

จากกราฟรูปที่ 2.4 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่คัทออฟแล้วจะมีสัญญาณบางเส้น ที่ถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณอื่น ๆ เช่น สัญญาณที่มีความชัน -20 dB/decade (อัตราขยายจะลดลง 20 dB ต่อความถี่ที่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่มีค่า -60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรกรองความถี่และเป็นที่แน่นอนกว่า ยิ่งค่าความชันมีค่าเป็นลบมากขึ้นเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้นเท่านั้น



รูปที่ 2.5 วงจรกรองความถี่ต่ำขั้นพื้นฐาน

รูปที่ 2.5 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน ซึ่งใช้ออปแอมป์(Op-Amp) ที่ถูกต่อในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้วอินพุท(Input) บวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณอินพุทจะมีผลต่อค่าอิมพีแดนซ์(Impedance) ของตัวเก็บประจุ(Capacitor) ดังสมการ

$$X_c = 1/\omega c(\omega = 2\pi f)$$
$$= 1/2\pi fc$$

โดยที่ f คือความถี่ของสัญญาณอินพุทดังนั้นเมื่อสัญญาณมีความถี่ต่ำ ค่าคาปาซิแตนซ์ (X_c) จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจะตกคร่อมตัวเก็บประจุ และเป็นผลให้แรงดันเอาท์พุท(Output) V_c มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณมีความถี่สูง จะทำให้ค่าคาปาซิแตนซ์มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จะมีค่าต่ำด้วย จะสรุปได้ว่า ช่วงของสัญญาณที่มีความถี่จะผ่านไปปรากฏที่เอาท์พุทได้โดยสัญญาณซึ่งมีความถี่สูงจะถูกกั้นเอาไว้ และสามารถหาความถี่คัทออฟที่แบ่ง

$$f_c = 1/2\pi fC$$

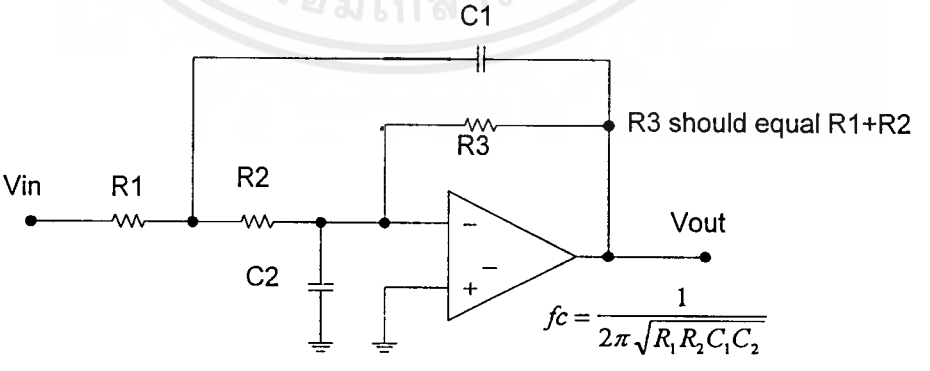
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำในรูปที่ 2.5 จะมีความชันประมาณ -2 dB/decade และจากการใช้อุปกรณ์ เช่น ตัวเก็บประจุในวงจร สัญญาณที่วัดได้จากเอาท์พุทจะมีเฟส(Phase)ไม่ตรงกับอินพุทเลยทีเดียว แต่จะมีการเลื่อนเฟสออกไปเท่ากับ -45° (ถึงแม้จะป้อน ณ ขั้วอินพุทบวกเลยก็ตาม ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อย ๆ โดยทั่วไปแล้ว เฟสของสัญญาณเอาท์พุทจะเลื่อนไป -45° ทุก ๆ ความชันที่ลดลง -20 dB/decade ตัวอย่างเช่น สำหรับสัญญาณที่มีความชัน -40 dB/decade เฟสของเอาท์พุทจะถูกเลื่อนออกไป -90° เมื่อเทียบกับสัญญาณอินพุท

รูปที่ 2.6 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 เข้ามา ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณอินพุทที่ความถี่สูง (เนื่องจาก X_{c1} จะมีค่าลดลง) และสามารถหาค่าความถี่คัทออฟจากสมการได้ดังนี้

$$fc = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$$

สมการนี้จะให้ผลแน่นอนมาก ถ้าความต้านทาน(Resister) R_1 และ R_2 ที่ใช้มีขนานเท่ากัน และตัวเก็บประจุ C_1 มีค่าคาปาซิแตนซ์(Capacitance) สูงกว่า C_2 และ R_3 ควรมีค่าเท่ากับ $R_1 + R_2$ เพื่อให้ได้สัญญาณเอาท์พุทที่ใกล้เคียงกับสัญญาณอินพุทมากที่สุด และยังช่วยในการปรับ Offset ให้เกิดสมดุลย์อีกด้วย



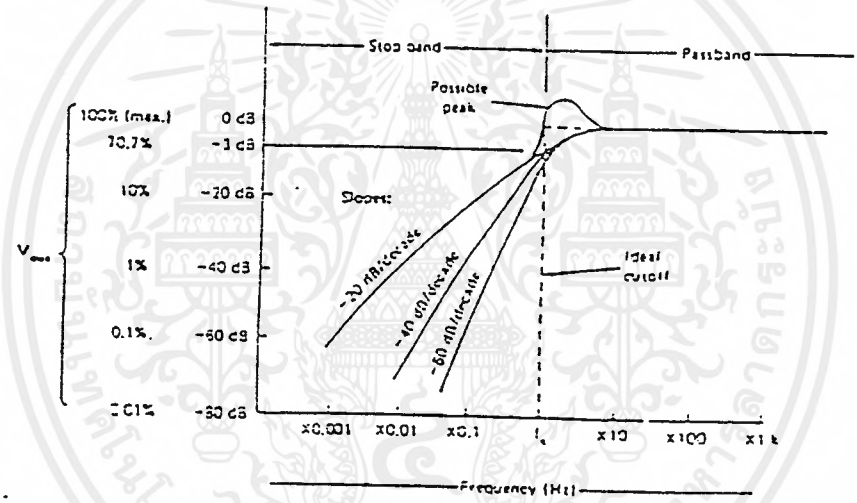
รูปที่ 2.6 แสดงวงจรกรองความถี่ต่ำที่มีความชันถึง -40 dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 วงจรกรองความถี่สูง (High Pass Filter)

หลังจากที่ได้ศึกษาวงจรกรองความถี่ต่ำมาแล้วเราจะสามารถเข้าใจหลักการทำงานของวงจรกรองความถี่สูงได้ง่ายขึ้น นอกจากนี้ยังพบว่า สามารถนำสมการต่าง ๆ ของวงจรกรองความถี่ต่ำมาใช้ในการคำนวณวงจรกรองความถี่สูงได้อีกด้วย

จากชื่อของวงจรชนิดนี้สามารถบอกได้ทันทีว่าวงจรนี้จะยอมให้สัญญาณความถี่สูงผ่านไปสู่เอาท์พุทได้เท่านั้น แต่จะกันไม่ให้สัญญาณที่มีความถี่ต่ำผ่านไปได้แต่ในความเป็นจริงแล้ววงจรนี้ก็จะเป็นลักษณะเดียวกับวงจรกรองความถี่ต่ำ คือจะเกิดความถี่คัทออฟขึ้นและอัตราการขยายจะค่อย ๆ ลดลง คือจะไม่ตกลงในแนวดิ่งเลยทันทีทันใด ดังรูปที่ 2.7

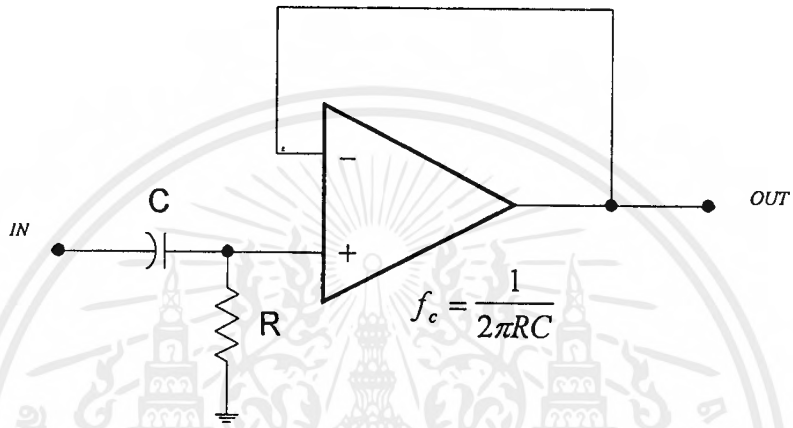


รูปที่ 2.7 แสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่สูง

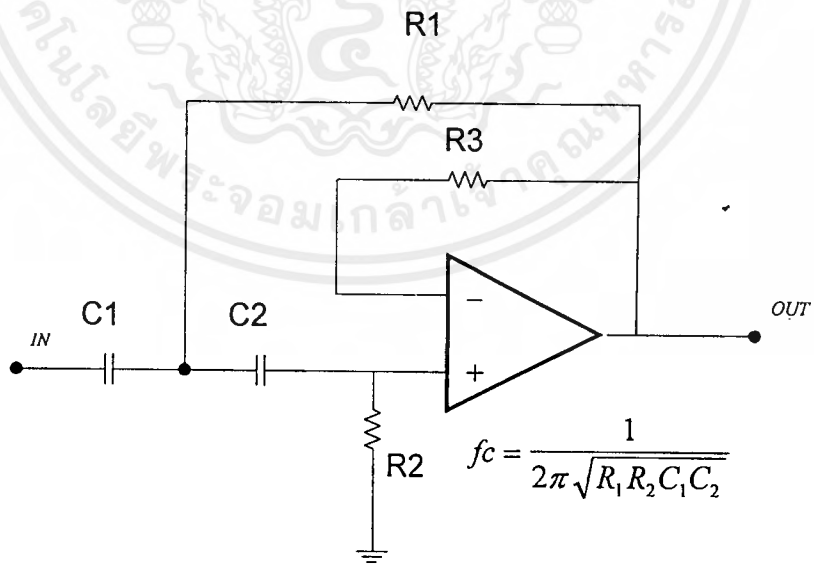
สามารถสร้างวงจรได้โดยการสลับตำแหน่งของตัวต้านทาน กับ ตัวเก็บประจุของวงจรกรองความถี่ต่ำได้ดังรูป 2.8 และสามารถอธิบายหลักการทำงานได้ โดยอาศัยคุณสมบัติที่ว่า ที่ความถี่สูง ค่าอิมพีแดนซ์ของ ตัวเก็บประจุ จะมีค่าต่ำ ดังนั้นสัญญาณอินพุทเกือบทั้งหมดตกคร่อมตัวต้านทาน และมีศักดาเท่ากับ V_{out} แต่มีความถี่ต่ำกว่าความถี่คัทออฟของ อิมพีแดนซ์จะมีค่าสูงทำให้แรงดันเกือบทั้งหมดตกคร่อม ตัวเก็บประจุ และเป็นผลให้แรงดันที่ตกคร่อมตัวต้านทาน และแรงดันที่เอาท์พุทมีค่าต่ำมาก โดยที่วงจรในรูปที่ 2.8 นี้มีความชันประมาณ -20 dB/decade และมีความถี่คัทออฟที่หาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 2.8 สามารถปรับปรุงให้มีความชันถึง -40 dB/decade ได้โดยเพิ่มตัวต้านทาน และ ตัวเก็บประจุเข้าไปดังรูปที่ 2.9 โดยวงจรนี้จะมีการทำงานที่มีประสิทธิภาพมากที่สุดก็ต่อเมื่อกำหนดให้ C_1 มีค่าเท่ากับ C_2 และ R_3 มีค่าเท่ากับ R_2 โดยมี R_2 เป็นตัวป้อนสัญญาณกลับเพื่อการกรองสัญญาณอีกครั้งหนึ่ง



รูปที่ 2.8 แสดงวงจรกรองความถี่สูงที่มีความชัน -20 dB/decade



รูปที่ 2.9 แสดงวงจรกรองความถี่สูงที่มีความชัน -40 dB/decade

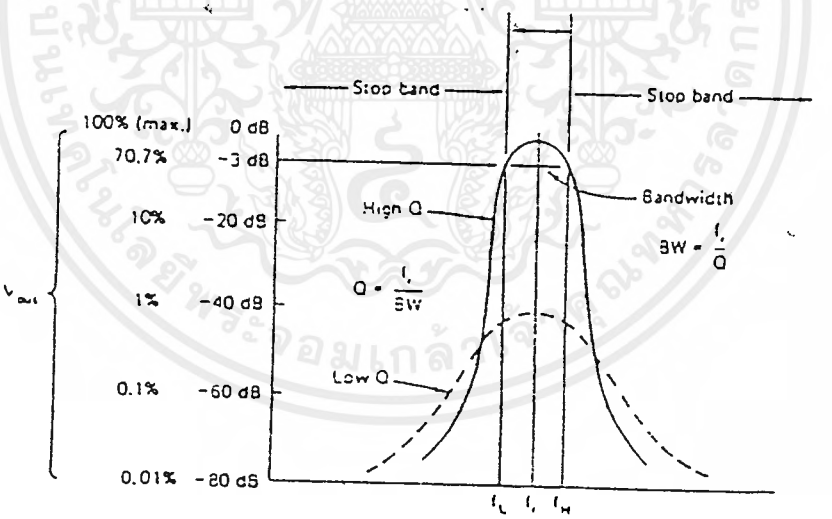
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 วงจรกรองความถี่เป็นช่วง (Band Pass Filter:BPF)

วงจร วงจรกรองความถี่เป็นช่วง คือวงจรที่ยอมให้สัญญาณบางความถี่ผ่านไปได้เท่านั้น คุณสมบัติการตอบสนองความถี่ของวงจรได้ในรูปที่ 2.10

จากรูปที่ 2.10 จะพบว่า ณ ความถี่ที่เอาท์พุทมีขนาดสูงสุด เราเรียกว่าความถี่รีโซแนนท์ (Resonant Frequency :f_r) และที่ความถี่ซึ่งแรงดันเอาท์พุทลดลงเหลือเท่ากับ 70.7% ทั้งด้านที่ความถี่สูงขึ้นและลดลงเรียกว่า ความถี่ f_H และ f_L ตามลำดับโดยที่ผลต่างของความถี่ทั้งสองนี้ (f_H-f_L) จะแสดงค่า แบนวิดท์(Bandwidth :Bw) ของวงจร ถ้าแบนวิดท์มีขนานต่ำกว่า 10% ของความถี่รีโซนนซ์ จะเรียกวงจรนี้ว่า วงจรกรองความถี่ช่วงแคบ แต่จะเรียกว่าเป็นวงจร กรองความถี่ช่วงกว้าง ถ้าแบนวิดท์ มีค่าสูงกว่า 10% ของความถี่รีโซนนซ์ นอกจากนี้แล้วยังให้นิยามสำหรับค่า Q (Quality Factor) ว่าเป็นอัตราส่วนระหว่างความถี่รีโซนนซ์ กับ แบนวิดท์ ดังสมการ

$$Q = f_r / BW$$



รูปที่ 2.10 แสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่เป็นช่วง

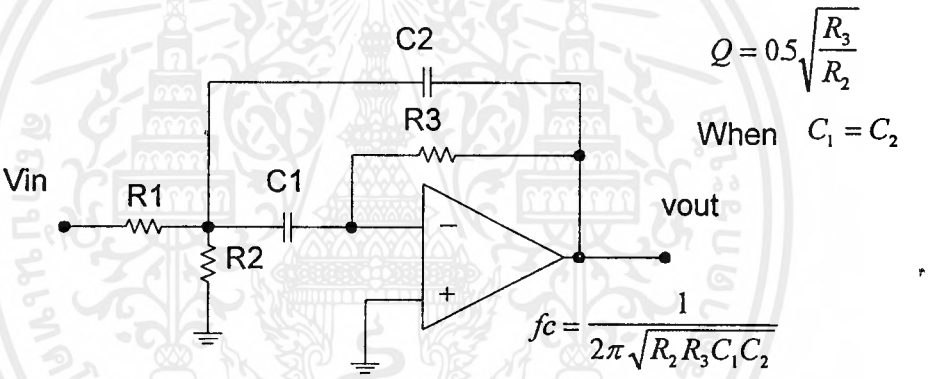
วงจรที่มีค่า Q สูงมากเท่าใด แบนวิดท์ก็จะยิ่งแคบลงเท่านั้น (เข้าใกล้วงจรในอุดมคติซึ่งต้องการเลือกความถี่ที่ผ่านวงจรได้เพียงค่าเดียว) และเอาท์พุทที่ได้จะมีขนาดสูงขึ้นด้วย ในรูปที่ 2.11 แสดงวงจรกรองความถี่เป็นช่วงที่มีค่า Q ค่อนข้างต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 2.11 แสดงวงจรกรองความถี่เป็นช่วง ซึ่งได้จากการรวมวงจร กรองความถี่ต่ำ และ วงรกรองความถี่สูง เข้าด้วยกัน (โดยที่วงจรวงจรใดจะมาก่อนกันก็ได้) ตัวต้านทาน R_1 และ ตัวเก็บประจุ C_2 คืออุปกรณ์ที่ใช้ในการกรองความถี่ต่ำ ส่วน ตังต้านทาน R_2 และ ตัวเก็บประจุ C_1 จะใช้กรองความถี่สูง โดยสามารถหาค่าความถี่รีโซแนนซ์ ได้จากสมการ

$$fr = \frac{1}{2\pi\sqrt{R_p R_3 C_1 C_2}}$$

โดยที่ $$R_p = R_1 // R_2 = \frac{R_1 R_2}{R_1 + R_2}$$



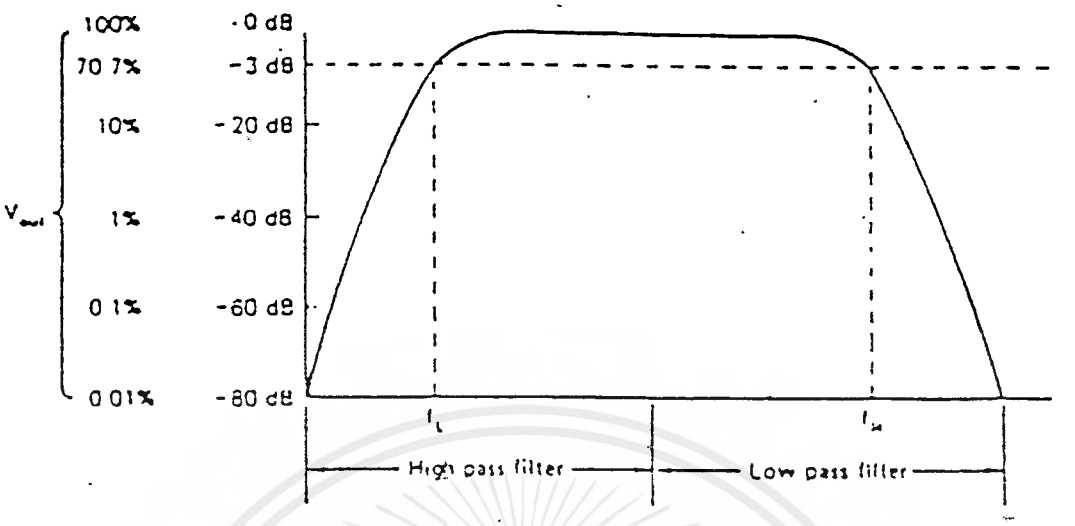
รูปที่ 2.11 แสดงวงจรกรองความถี่เป็นช่วงแบบรวมวงจรกรองความถี่ต่ำเข้ากับวงจรกรองความถี่สูง

และหาค่า Q จากสมการ

$$Q = 0.5\sqrt{R_3 / R_p} \qquad \text{เมื่อ } C_1 = C_2$$

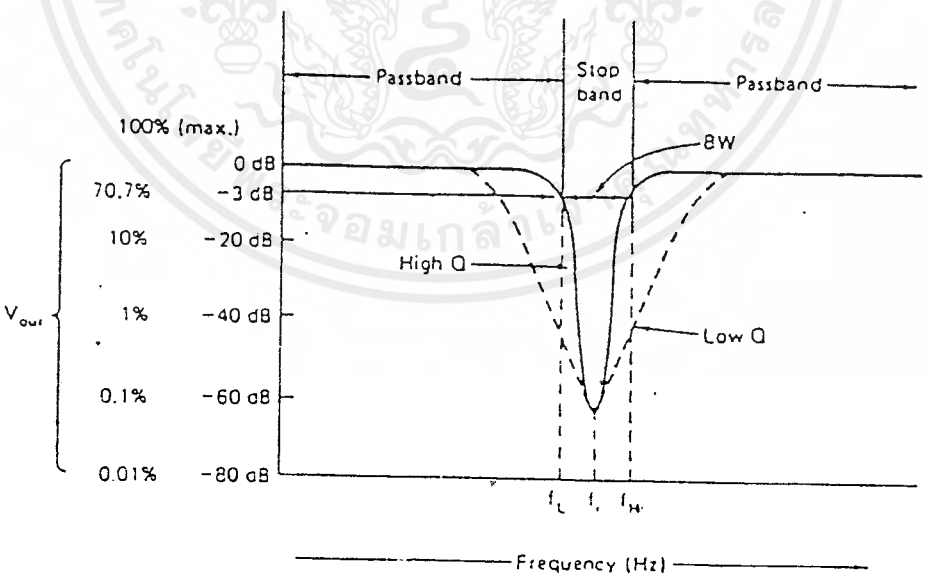
ในกรณีที่ต้องการวงจรวงจรกรองความถี่เป็นช่วง ที่มีช่วงกว้างมาก ๆ เราสามารถนำวงจรกรองความถี่ต่ำ และ วงจรกรองความถี่สูง มาต่อร่วมกันได้เลย โดยใช้ความถี่รีโซแนนซ์ของวงจรกรองความถี่ต่ำ เป็น f_L ซึ่งจะได้กราฟแสดงการตอบสนองความถี่ดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงกราฟคุณสมบัติการตอบสนองความถี่ของ วงจรกรองความถี่เป็นช่วงที่ใช้วงจรกรองความถี่ต่ำ กับ วงจรกรองความถี่สูง ต่อร่วมกัน

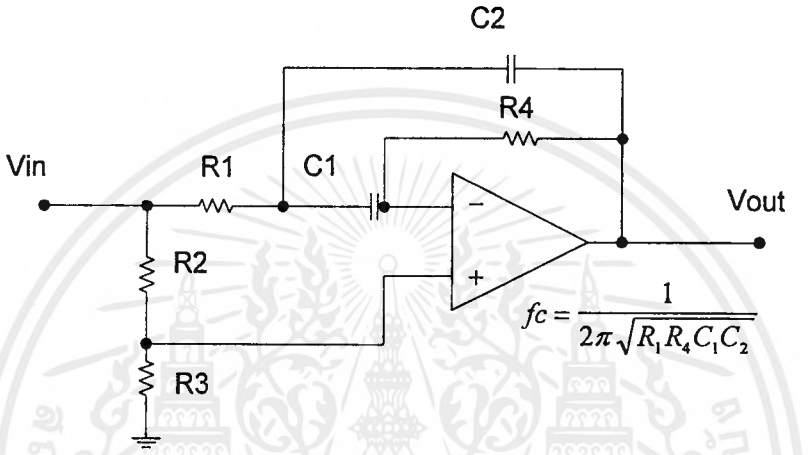
2.2.4 วงจรนอท์ชฟิลเตอร์ (Notch Filter)



รูปที่ 2.13 แสดงการตอบสนองความถี่ของวงจรนอท์ชฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรชนิดนี้จะทำงานตรงกันข้ามกับวงจรกรองความถี่เป็นช่วง โดยวงจรนี้จะยอมให้ความถี่ทุก ๆ ค่าผ่านไปได้ ยกเว้นความถี่ช่วงหนึ่งที่ได้กำหนดไว้ โดยทั่วไปวงจรชนิดนี้มักถูกใช้เพื่อกันสัญญาณรบกวนที่ทราบค่าความถี่แล้ว รูปที่ 2.13 แสดงการตอบสนองต่อความถี่ของวงจรนอท์ชฟิลเตอร์



รูปที่ 2.14 แสดงวงจร นอท์ชฟิลเตอร์แบบพื้นฐาน

จากรูปที่ 2.14 สามารถคำนวณหาค่าความถี่รีโซแนนซ์ ได้จากสมการ

$$fr = \frac{1}{2\pi\sqrt{R_1 R_4 C_1 C_2}}$$

และหาค่า Q ของวงจรเมื่อ $C_1 = C_2$ ได้จากสมการ

$$Q = 0.5\sqrt{R_4 / R_1}$$

นอกจากนี้ยังสามารถนำค่า Q นี้มาคำนวณหาค่าความชันได้อีกด้วย โดยที่

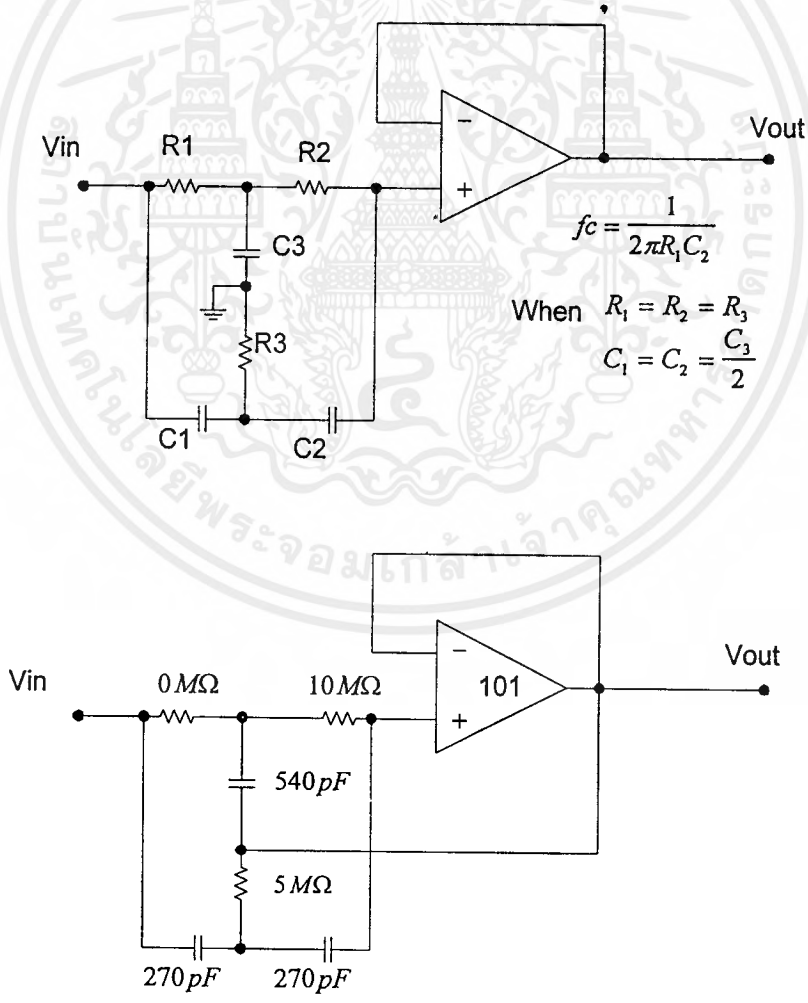
$$\text{(ความชัน)}\ N = \frac{1/Q - 2Q(1-R_p)/R_p}{1/Q};\ R_p = \frac{R_3}{R_2 + R_3}$$

ซึ่งโดยปกติแล้ว R_3 ที่ใช้งานจะมีค่าสูงกว่า R_2 ประมาณ 50 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรในรูปที่ 2.14 สามารถอธิบายได้ดังนี้ แรงดันอินพุทจะถูกแบ่งตามอัตราส่วนระหว่าง R_2 และ R ซึ่งแรงดันนี้จะถูกป้อนให้แก่ขั้วอินพุททั้งสองของออปแอมป์ ที่ความถี่ต่ำกว่าความถี่รีโซแนนซ์ ค่า อิมพีแดนซ์ คาปาซิแตนซ์ของตัวเก็บประจุจะสูงมาก ดังนั้นจึงไม่มีการป้อนสัญญาณกลับ เป็นผลให้

$$V_{out} = \frac{R_3}{R_2 + R_3} V_{in}$$
$$= V_{in} \text{ เมื่อ } R3 = 50V_{in}$$



รูปที่ 2.15 แสดงวงจรนอท์ชฟิลเตอร์ชนิด "T" คู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เมื่อความถี่ของสัญญาณทางด้านอินพุท เข้าใกล้ความถี่รีโซแนนซ์ ค่ารีแอคแตนซ์ของตัวเก็บประจุจะทำงานร่วมกับตัวต้านทานในการป้อนสัญญาณเอาท์พุทกลับสู่อินพุทเป็นผลให้แรงดันเอาท์พุทลดลง และเกิดการเลื่อนเฟสด้วยเมื่อความถี่ของอินพุทมีค่าสูงกว่าความถี่รีโซแนนซ์ อิมพีแดนซ์ของตัวเก็บประจุจะลดลง และเป็นผลให้ขั้วของเอาท์พุทเสมือนถูกลัดวงจรกับขั้วอินพุทลบ นั่นคือ อัตราการขยายมีค่าเป็น 1 กลายเป็นวงจรตามแรงดัน (Voltage Follower) ในการพิจารณาวงจรนี้ เมื่อกล่าวถึงกรณีที่อิมพีแดนซ์ของตัวเก็บประจุ ถูกเปิดวงจรและเมื่ออิมพีแดนซ์ของตัวเก็บประจุ มีค่าลดลงเสมือน ตัวเก็บประจุถูกลัดวงจร

จากรูปที่ 2.15 แสดงวงจรนอท์ชฟิลเตอร์ชนิด "T" คู่ ที่มีการนำเอาอุปกรณ์ Passive มาต่อในลักษณะของตัวอักษร T 2 ตัวกลับหัวกัน โดยมีออปแอมป์ทำหน้าที่เป็นบัฟเฟอร์ วงจรนี้มักจะให้ค่า Q ค่อนข้างต่ำ (ต่ำกว่า 1) ส่วนวงจรในรูปที่ 2.15 b แสดงการนำวงจร 2.15 a มาดัดแปลงเล็กน้อย โดยนำจุดต่อระหว่าง R_3 และ C_3 ไปป้อนที่เอาท์พุทของออปแอมป์ เป็นผลให้ค่า Q มีค่าสูงถึง 50 ซึ่งทำให้เกิดความชันมีค่าสูงมาก (ดังนั้นเอาท์พุทที่ได้จริงมีลักษณะแหลมมาก)) โดยสมการในการคำนวณความถี่รีโซแนนซ์ ยังคงเหมือนกับในวงจรรูปที่ 2.15 a

2.3 วงจรเฟสล็อคลูป(Phase Lock Loop) พื้นฐาน

เนื่องจากมีการใช้ระบบ FM Stereo กันอย่างแพร่หลาย ทำให้มีการรวมวงจรส่วนประกอบของระบบ FM Stereo ทั้งหลายเข้าด้วยกัน ทำเป็นไอซีสำเร็จรูปเพียงตัวเดียวทำให้สามารถประกอบวงจรเกี่ยวกับ FM Stereo ง่ายขึ้นและประหยัดเวลา ซึ่งโดยทั่ว ๆ ไปแล้วไอซีสำเร็จรูปนี้ จะประกอบไปด้วยส่วนของอินพุทแอมปลิไฟเออร์(Input Amplifier), วงจรเฟสล็อคลูป, VCO (Voltage Control Oscillator) , Decoder Matrix , วงจรเฟสล็อคลูปบางระบบที่ใช้สำหรับ Audio Muting หรือ Stereo Lamp Switching และ Power Supply Regulator ที่สร้างอยู่ภายใน การเลือกวัสดุที่ใช้ทำไอซีชนิดนี้ จะเลือกตัวอุปกรณ์ที่สามารถทำงานในช่วงของแรงดันซัพพลายที่เปลี่ยนแปลงในช่วงกว้างปกติแล้วไอซีจำพวกนี้จะมีตัวถังเป็นแบบขนาด 14 หรือ 16 ขา และเมื่อมีการผลิตเป็นจำนวนมาก จะทำให้มีราคาถูก และพร้อมที่จะนำไปใช้งานได้เลยโดยหาได้ตามร้านค้าที่จำหน่ายอุปกรณ์อิเล็กทรอนิกส์ หรือขายเป็นส่วน ๆ โดยผู้จำหน่ายชิ้นส่วนของวิทยุ หรือ โทรทัศน์ วงจรส่วนใหญ่ที่ใช้งาน จะไม่มีส่วนประกอบจำพวก คอล์ย(Coil) และอุปกรณ์อื่น ๆ ที่หาซื้อได้ยาก อุปกรณ์เหล่านี้ จะเป็นส่วนจำเป็นที่จะต้องใช้เป็นอุปกรณ์ในการถอดรหัส(Descrambler) เพราะมีการกำเนิดความถี่ซับแคร์เรียร์(Subcarrier) 15, 31, 40 หรือ 62 กิโลเฮิรตซ์ เพื่อใช้ในระบบเกตซิงค์(Gated Synch), ไซน์เวฟ(Sine Wave) และ SSAVI ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

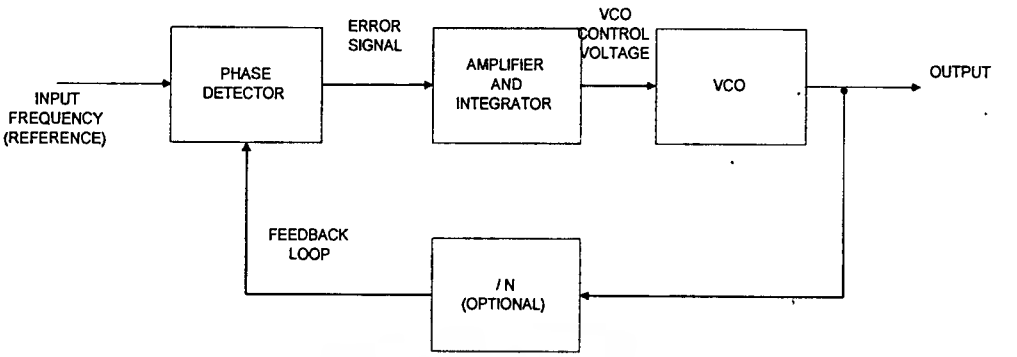
นำไปใช้งานที่มีการดีมอดูเลท(Demodulate) สัญญาณซับแคร์เรียร์ ของ Hidden Audio ดังนั้นจึงเป็นการทำงานทั้งสองอย่างพร้อมกัน

2.4 ทฤษฎีของวงจรเฟสล็อคลูป

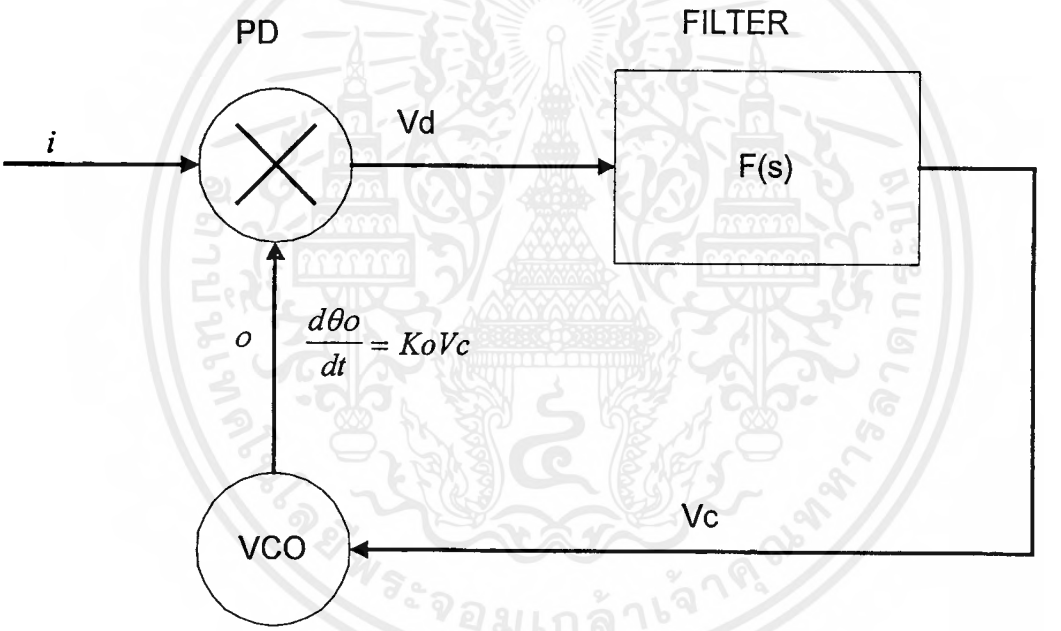
หลักการของวงจรเฟสล็อคลูปจะทำงานโดยการเปรียบเทียบสัญญาณที่มีความถี่ที่ต้องการ ซึ่งปกติแล้วจะได้จาก VCO ที่มีย่านการปรับแต่ง(Tune) ตามที่กำหนดกับสัญญาณอ้างอิง(Reference) โดยปกติแล้วสัญญาณอ้างอิง ก็คือสัญญาณอินพุทนั่นเอง ทั้งสัญญาณอินพุทและ VCO จะถูกป้อนให้กับวงจรเฟสดีเทคเตอร์(Phase Detector) ดูรูปที่ 2.16 ซึ่งวงจรเฟสดีเทคเตอร์จะให้สัญญาณเอาท์พุทที่เป็นผลต่างของเฟส(Phase) ระหว่างสัญญาณอินพุททั้งสอง จากนั้นสัญญาณเอาท์พุทที่ได้จากวงจรเฟสดีเทคเตอร์นี้จะถูกขยาย และจ่ายให้กับวงจร VCO VCO จะทำหน้าที่เลื่อนความถี่ไปในทิศทางที่จะทำให้ความแตกต่างระหว่างสัญญาณที่อินพุทกับสัญญาณที่เกิดจากตัวมันเองลดลง บางครั้งอาจจะต้องทำงานกับความถี่อินพุทที่มีค่าเป็นหลาย ๆ เท่าในแบบนี้จะมีการใส่วงจรหารความถี่ (Frequency Devider) ด้วย N เข้าไปในส่วนที่เป็นการป้อนกลับ

วงจรเฟสดีเทคเตอร์จะผลิตสัญญาณเอาท์พุทที่เป็นสัญญาณกระแสสลับถ้าสัญญาณอินพุทที่ป้อนเข้ามาที่ความถี่เท่ากัน ก็จะให้แรงดันเอาท์พุทกระแสตรงที่แสดงถึงความต่างเฟสของสัญญาณแทน ดังนั้นลูป(Loop) จะถูก ล็อคเฟสที่ผิดพลาด(Lock Phase Error) ที่เกิดขึ้นจะมีค่าอยู่ระหว่างอินพุททั้งสองซึ่งในที่นี้มีค่าคงที่ ดังนั้นความถี่ที่ผิดพลาด(Frequency Error) เท่ากับศูนย์ในทางกลับกัน ระบบ Automatic Frequency Control (AFC) จะเกิดความถี่ที่ผิดพลาดเสมอ ดังนั้นเอาท์พุทของ Discriminator จะเป็นแรงดัน DC นั่นคือ การขึ้นอยู่กับความถี่ (Frequency Dependent) ซึ่งคุณจะพบว่าในรูปที่ 2.16 นั้นวงจรแอมปลิไฟเออร์จะมีวงจรอินติเกรเตอร์ (Integrator) อยู่ภายในตัวมันด้วย ซึ่งมีความจำเป็นเมื่อมีการเปลี่ยนแปลงเหตุผลในการนำไปใช้งาน เช่น สัญญาณรบกวน(Noise Rejection) รักษาเสถียรภาพของระบบและคุณสมบัติในการล็อคและ Capture ซึ่งเป็นข้อจำกัดทางธรรมชาติ และเป็นเหตุผลที่ว่าทำไมเมื่อมีการใช้งานจึงต้องมีคู่มือของไอซี (Data Sheet)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป



รูปที่ 2.17 โครงสร้างของระบบเฟสล็อคลูป

จากรูปที่ 2.17 สัญญาณอินพุทเฟส $e_1(t)$ และเอาท์พุทของ VCO มีเฟส $e_0(t)$ สมมติว่าระบบกำลังทำงานอยู่ในสภาวะดีเทคล็อคเฟสจะมีการทำงานเป็นแบบเชิงเส้น (Linear) และเฟสดีเทคเตอร์จะให้สัญญาณเอาท์พุทที่เป็นค่าแสดงความต่างเฟสของสัญญาณอินพุททั้งสองดังนั้น

$$V_d = K_d(e_1 - e_0)$$

เมื่อ K_d คือ เฟคเตอร์(Factor) หรือ คอนเวอร์ชันเกน(Conversion Gain) มีหน่วยเป็น V/rad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน V_D จะถูกกรองสัญญาณโดยฟิลเตอร์ลูป(Filter Loop) เพื่อกำจัดสัญญาณรบกวนและส่วนประกอบของสัญญาณที่เป็นความถี่สูงออกไปโดยฟิลเตอร์จะเป็นตัวกำหนด Dynamic Performance Function ของลูปซึ่งกำหนดโดย F(s)

ความถี่ของ VCO จะกำหนดจากแรงดันควบคุมที่อินพุท(V_c) ซึ่งทำให้ความถี่เบี่ยงเบน (Deviate) ไปจากความถี่กลาง (f_c) ด้วยขนาด $\Delta\omega = K_c V_c$

เมื่อ K_c คือเกนเฟคเตอร์ของ VCO มีหน่วยเป็น rad/sec/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟส ดังนั้นการทำงานของ VCO อาจพิจารณ่าจาก

$$de_0 / dt = K_o V_c$$

โดยการใช้ Laplace Transform จะได้

$$L\left[\frac{de_0(t)}{dt}\right] = se_0(s) = K_o V_c(s)$$

ดังนั้น

$$e_0(s) = \frac{K_o V_c(s)}{s}$$

ในทำนองเดียวกันเฟสของสัญญาณ Output ของ VCO จะมีความสัมพันธ์แบบเชิงเส้นกับการอินทีกรัลของแรงดันควบคุม (Vc) จึงใช้วิธี Laplace Transform เช่นกัน จะได้

$$V_d(s) = K_d[e_1(s) - e_o(s)]$$

$$V_c(s) = F(s)V_d(s)$$

$$e_o(s) = \frac{K_o V_c(s)}{s}$$

จากสมการที่ 1 ถึง 5 จะได้สมการพื้นฐานของลูปคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038923

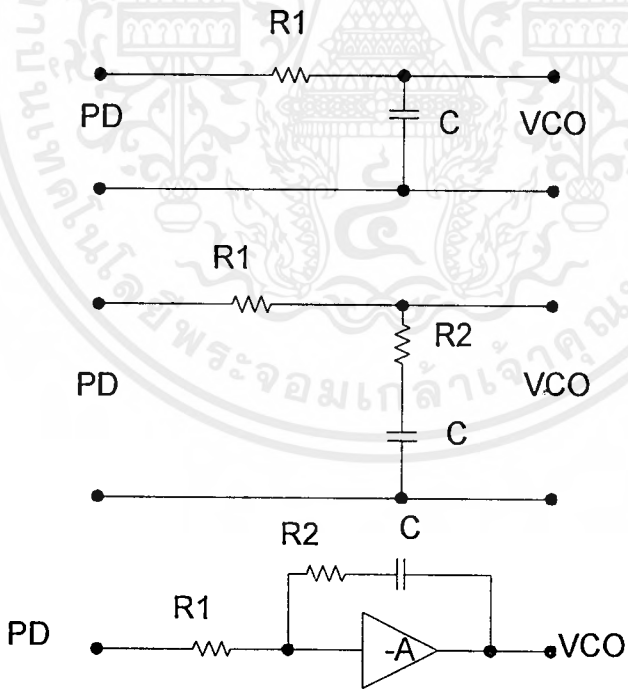
$$\frac{e_o(s)}{e_1(s)} = B(s) = \frac{K_o K_d F(s)}{S + K_o K_d F(s)}$$

ซึ่ง B(s) คือ Transform Function ของ Closed Loop

$$\frac{e_1(s) - e_o(s)}{e_1(s)} \frac{e_o(s)}{e_1(s)} \frac{s}{s + K_o K_d F(s)} = 1 - B(s)$$

$$V_c(s) = \frac{sK_d F(s) e_1(s)}{s + K_o K_d F(s)} = \frac{se_1(s)B(s)}{K_o}$$

$$F(s) = \frac{1}{sCR_1 + 1} = \frac{sCR_1 + 1}{sC(R_1 + R_2) + 1} = \frac{sT_2 + 1}{sT_1 + 1}$$



รูปที่ 2.18 แสดงฟิลเตอร์ลูป

จะกล่าวถึงฟิลเตอร์ลูปซึ่งจะเป็นตัวกำหนดคุณสมบัติทาง Dynamic ของระบบ ก่อนที่จะพิจารณาการทำงานของลูปต่อไป ฟิลเตอร์ที่ใช้จะอยู่ในรูปแบบพื้นฐาน 3 รูป ดังรูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_1 = (R_1 + R_2)C = T_2 = R_2C$$

$$F(s) = \frac{-A(sCR_2 + 1)}{sCR_2 + 1 + (1 + A)(sCR_1)}$$

ถ้าให้ A มีขนาดใหญ่มาก ๆ เราจะได้สมการดังนี้

$$F(s) = \frac{-sCR + 1}{sCR_1} = \frac{-sT_2 + 1}{sT_1}$$

$$T_1 = R_1C \ , \ T_2 = R_2C$$

สำหรับ Passive Filter ชนิดที่ 2 จะให้ Transfer Function ของ Closed Loop ดังนี้

$$B_1(s) = \frac{K_oK_d(sT_2 + 1)/T_1}{s^2 + s(1 + K_oK_dT_2)/T_1 + (K_oK_d/T_1)}$$

เมื่อแก้ไขการกลับเฟสแล้ว จะได้ Transfer Function ของ Closed Loop ดังนี้

$$B_2(s) = \frac{K_oK_d(sT_1 + 1)/T_1}{s^2 + s(K_oK_dT_2/T_1) + (K_oK_d/T_2)}$$

Transfer Function ทั้งสองชุด สามารถเขียนอีกแบบได้ดังนี้

$$B_1(s) = \frac{s(2\omega n - \omega n^2/K_oK_d) + \omega n^2}{s^2 + 2s\omega n + \omega n^2}$$

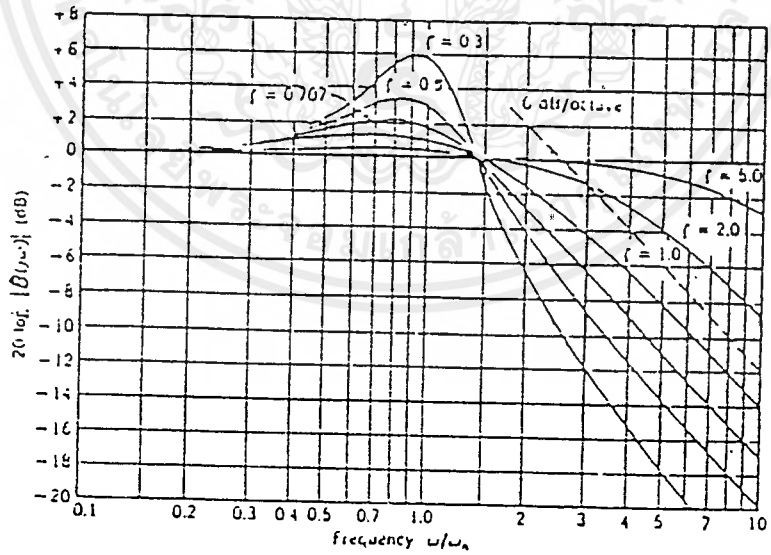
$$B_2(s) = \frac{2s\omega n + \omega n^2}{s^2 + 2s\omega n + \omega n^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 11 และ 12 ซึ่งเขียนอยู่ในรูปของ Feedback Control โดยให้ ω_n แทนความถี่ธรรมชาติ (Natural Frequency) ของลูปและให้แทน Damping Factor ของลูป

Passive	Active
$\omega n = \left[\frac{K_o K_d}{T_1}\right]^{1\backslash 2}$ $= \frac{1}{2}\left[\frac{K_o K_d}{T_1}\right]^{1/2}\left[\frac{T_2+1}{K_o K_d}\right]$ $T_1 = (R_1 + R_2)C$ $T_2 = R_2 C$	$\omega n = \left[\frac{K_o K_d}{T_1}\right]^{1/2}$ $= \frac{T_2}{2}\left[\frac{K_o K_d}{T_2}\right]^{1/2} = \frac{T_2 \omega_n}{2}$ $T_1 = R_1 C$ $T_2 = R_2 C$

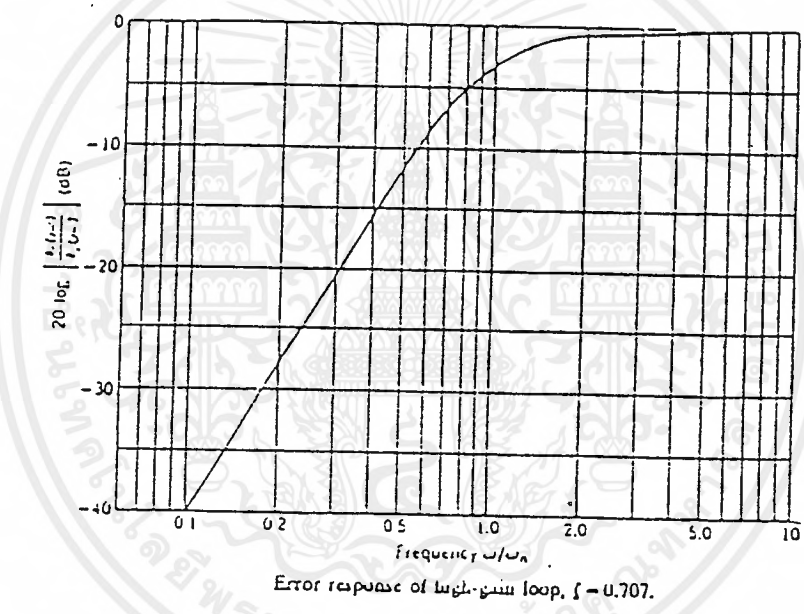
ตารางที่ 2.1 แสดงสมการ Passive และ Active



รูปที่ 2.19 แสดงผลการตอบสนองความถี่ของลูป(อันดับ 2 High Gain)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่า Transfer Function ของทั้งสองแบบคล้ายกันมาก ถ้าเป็นในกรณีของ Passive แล้ว $1/K_dK_o << T_2$ และจากสมการกำลังสูงสุดคือ 2 ลูป จึงเรียกว่า ลูปอันดับ 2 (Second Order) จากทฤษฎีของระบบควบคุมแบบ Type จำนวนลูป จะเท่ากับจำนวนเพอร์เฟคอินติเกรเตอร์ (Perfect Integrator) ที่อยู่ภายในลูป ดังนั้นระบบเฟสล็อคลูปใด ๆ ก็ตามอย่างน้อยจะเป็นลูปที่ 1 เนื่องจากว่า VCO นั้นเป็นเพอร์เฟคอินติเกรเตอร์ และถ้าฟิลเตอร์ประกอบด้วย เพอร์เฟคอินติเกรเตอร์อีก 1 ตัวลูปก็จะเป็นอันดับที่ 2 ดังนั้นเฟสล็อคลูปอันดับ 2 ที่มี Active Filter ก็ถือได้ว่าเป็นลูปแบบที่ 2 เพราะฟิลเตอร์ที่เพิ่มเข้ามาจะเป็นอินติเกรเตอร์ในขณะที่เฟสล็อคลูปที่มี Passive Filter เป็นลูปแบบที่ 1



รูปที่ 2.20 แสดงผลตอบสนองความผิดพลาดเชิงเฟสของ High Gain Loop $\zeta = 0.707$

การตอบสนองความถี่ของ Loop Gain สูง (High Gain Loop) หมายถึง Loop ที่ $K_dK_oT_2 >> 1$ สำหรับ Passive Filter และ $|A|T_1 >> T_2$ สำหรับ Active Filter เมื่อค่า Damping Factor เปลี่ยนแปลงไป ดังแสดงในรูปที่ 2.20 จะเห็นว่ามีลักษณะเป็น Low Pass Filter ซึ่งทำงานโดยอาศัยเฟส Input ของ Loop ผลตอบสนองต่อความผิดพลาด (Error Response) ของ Loop อันดับ 2 High Gain คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

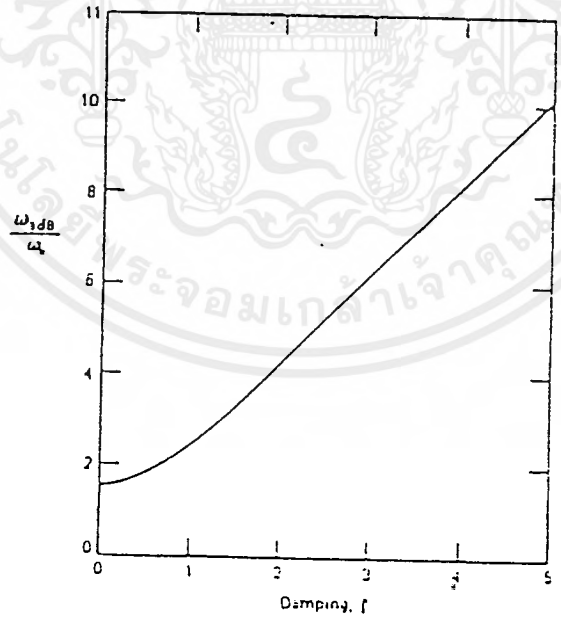
$$\frac{e_o(s)}{e_1(s)} = \frac{s^2}{s^2 + 2s\omega n + \omega n^2}$$

ขณะที่ของ Loop Low Gain คือ

$$\frac{e_o(s)}{e_1(s)} = \frac{s(s + \omega n^2 / K_o K_d) + s(s + 1/T_1)}{s^2 + 2s\omega n + \omega n^2 s^2 + 2s\omega n + \omega n^2}$$

ผลตอบสนองต่อความผิดพลาดเชิงเฟส แสดงในรูปที่ 2.20 สำหรับ Loop Gain สูงที่ S = 0.707 จะเห็นว่ามีคุณสมบัติเป็น High Passing คือ Loop สามารถติดตามการเปลี่ยนแปลงของความถี่ต่ำ แต่ไม่สามารถที่จะติดตามการเปลี่ยนแปลงของความถี่สูงได้ แบนด์วิดธ์ ของ Loop กำหนดได้โดยให้

$$|B(j\omega)|^{1/2} = 0.5$$



รูปที่ 2.21 แสดงแบนด์วิดธ์ของ Loop อันดับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่า ω ออกมาจะได้ว่า

$$\omega 3dB = \omega n\left[2^2 + 1\sqrt{(2^2 + 1^2)} + 1\right]^{1/2}$$

2.5 Loop Gian

Transfer Function ของ Closed Loop ของเฟสล็อคลูปกำหนดจาก

$$G(s) = \frac{K_o K_d F(s)}{s}$$

Transfer Function ของ Closed Loop กำหนดจาก

$$B(s) = \frac{G(s)}{1 + G(s)}$$

และ DC Loop Gian กำหนดจาก

$$K_v = K_o K_d F(o)$$

มีขนาดเป็นความถี่ rad/s คุณสมบัติของ Loop ที่ดีต้องมีค่า K_v สูง และ F(s) ของ Filter เป็น Rational Function

$$F(s) = \frac{g(s - Z_1)(s - Z_2)....(s - Z_m)}{(s - P_1)(s - P_2)(s - P_3)....(s - P_n)}$$

สำหรับวงจรเฟสล็อคลูป อันดับที่ n Filter จะมีจำนวน m ได้ไม่เกินจำนวน n-1 ถ้า m=n-1 แล้ว

$$g = F(\alpha)$$

เมื่อกระจาย F(s) ให้เป็นเศษส่วนย่อย Gain ของ Loop จะเขียนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(s)=\frac{K}{s}\left[a_1+\frac{\sum_{i=1}^{n-1}a_1+1}{s-P_1}\right]$$

สมมติว่า Pole ทุก ๆ Pole เป็น Simple Pole และมีค่าเรซิดิว (Residue) a_i+1 กำหนดให้ K เป็น Loop Gain แล้ว a_1 จะเป็นศูนย์ ถ้า m น้อยกว่า n-1 และ a_1 เป็น 1 ถ้า m = n-1 ในการออกแบบระบบเฟสล็อคลูปมักจะกำหนดให้ a1 = 1 นั่นคือจำนวน Pole จะเท่ากับ Zero ใน Filter ส่วนเฟสล็อคลูประบบอันดับ 2 ที่ใช้ Passive lag-lead Filter รูปที่ 2.22 จะได้

$$F(s)=\frac{sT_2+1}{sT_1+1}$$

$$G(s)=\frac{K_oK_dT_2}{sT_1}\left[\frac{1+(1/T_2)-(1/T_1)}{s+1/T_1}\right]$$

$$=\frac{K}{s}\left[1+\frac{a_2}{s+1/T_1}\right]$$

$$K=\frac{K_oK_dT_2}{T_1} \quad ;a_1=1 \quad ,a_2=\frac{1}{T_2}-\frac{1}{T_1}$$

สำหรับ Active Filter

$$F(s)=\frac{sT_2+1}{sT_1}$$

$$G(s)=\frac{K_oK_dT_2}{sT_1}-(1+1/sT_2) \quad =\frac{K}{s}-\frac{(a+a_2)}{s}$$

$$K=\frac{K_oK_dT_2}{T_1} \quad ;a_1=1 \quad a_2=1/T_2$$

$$\omega n=\sqrt{Ka_2}$$

Loop Gain จะมีผลต่อตำแหน่งของโพล (Ploe) บน Complex Plan โดยโพลจะเปลี่ยนตำแหน่งไป เมื่อ Loop Gain เปลี่ยนไป และสามารถวิเคราะห์ได้ด้วยวิธี Root Locus plot และยังสามารถวิเคราะห์ด้วยวิธี Bode plot ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 คุณสมบัติเรื่องสัญญาณรบกวน

วงจรเฟสล็อคลูป สามารถจัดการกับสัญญาณรบกวนจำนวนมากได้อย่างดี ทั้งสัญญาณรบกวนจากภายนอก Loop และภายใน Loop

Loop Description	Noise Bandwidth , B/L(Hz)
First Order	$1/4K$
Second Order :	
Simple Lag Filter	$1/4K$
Passive Lag-Lead Filter	$\frac{1/4K+a_2+1/T_1}{K+1/T_1}$
Additive Lag-Lead Filter	$=1/4K(1+a_2/K)$ เมื่อ $K.>>1/T_1, a_2>>1/T_1$
Third Order:	$\frac{1}{4}\frac{K(1+a_2)}{K}$
Two Zero ; All Open-Loop Pole at Origin	$\frac{1}{4}\frac{a_2K+a_2-a_3}{a_2K-a_3}$

ตารางที่ 2.2 แสดง Noise Bandwidth ของ Loop ชนิดต่าง ๆ

โดยที่ N_o คือ ความหนาแน่น Spectrum ข้างเดียวของ White Noise หน่วย (V^2/Hz)

V_S คือ ค่าสูงสุดของสัญญาณ Input e_i หน่วย (V)

P_S คือ กำลังของสัญญาณ หน่วย (W)

ω_1 คือ ความหนาแน่น Spectrum ของกำลัง Noise หน่วย (W/Hz)

$$B_L = \int_0^x \left[H(j_2\pi f\right]^2 dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า Input ของสัญญาณรบกวนเป็น White Noise เฟสของ VCO จะถูกรบกวนให้แกว่งด้วยขนาด

$$e_{2n0} = \frac{2N_o}{Vs^2}\frac{W_1 B_L}{P_s} \qquad \text{rad}^2$$

2.7 Lock Range

คือย่านความถี่ที่ Loop สามารถติดตามการเปลี่ยนแปลงความถี่ของ Input บางครั้งอาจเรียกว่า Tracking Range หรือ Hold-in Range กรณีนี้สภาวะเริ่มต้นของ Loop จะอยู่ในสภาวะ Lock กำหนดได้จาก DC Loop Gain โดย

$$\omega_L = K_v = K_o K_d F(0) \qquad \text{(rad/s)}$$

จะเห็นว่าไม่ขึ้นอยู่กับพารามิเตอร์ของฟิลเตอร์อย่างไรก็ตาม F(s) ของ Passive Filter คือ 1 และของ Active Filter คือ A โดยที่ Filter (Integrator) แบบ Active จะให้ ω_L ที่กว้างกว่า และ ค่าความผิดพลาดเชิงเฟส (Phase Error) ในสภาวะ Steady State น้อยกว่า ถ้าความผิดพลาดเชิงเฟส คือ

$$e_s(s) = \frac{se_1(s)}{s + K_o K_d F(s)}$$

จากทฤษฎีค่าสุดท้าย (Final Value Theorem of Laplace Transforms)

$$\lim_{t\to\alpha} Y(t) = \lim_{s\to 0} SY(s)$$

$$\lim_{t\to\alpha} e_s(t) = \lim_{s\to 0} \frac{s^2 e_1(s)}{s + K_o K_d F(s)}$$

ถ้าพิจารณาในสภาวะ Stead State ของระบบเมื่อมีการเปลี่ยนแปลง Input เป็นชนิดขั้น (Step) ทำให้ e_i เปลี่ยนแปลงไปด้วยขนาด Δe และของ Input จะเป็น $e_i(s) = \Delta/s$ แทนค่าในสมการ (24) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t\to\alpha} e_n(t) = \lim_{s\to 0} \frac{s\Delta e}{s + K_o K_d F(s)} = 0$$

(กำหนดให้ F(0) > 0) กรณีนี้จะพบว่าในทางทฤษฎีแล้วระบบอันดับ 2 แบบ 2 จะไม่มีความผิดพลาดในสภาวะ Stead State (Stead State Error) เนื่องจากเฟสเปลี่ยนไปในลักษณะเป็นขั้น

ถ้าพิจารณาความผิดพลาดในสภาวะ Stead State เนื่องจากการเปลี่ยนแปลงความถี่ Input ด้วยขนาด $\Delta\omega$ เฟสของสัญญาณ Input จะเปลี่ยนแปลงแบบเชิงลาด (Ramp)

$$e_1(t) = \Delta\omega t$$

$$e_1(s) = \Delta\omega / s^2$$

แทนค่า e_1 ในสมการ (24) จะได้ว่า

$$e_v = \lim_{t\to\alpha} e_o(t) = \lim_{s\to 0} \frac{\Delta\omega}{s + K_o K_d F(s)}$$

$$= \frac{\Delta\omega}{K_o K_d F(s)}$$

โดย $K_oK_dF(0)$ เรียกว่าเป็นค่าคงที่ความเร็ว (Velocity Constant) และ K_v คือ DC Loop Gain

$$e_v = \Delta\omega / K_v$$

จากสมการที่ (26) จะพบว่าที่ $\Delta\omega$ ขนาดเดียวกัน Active Filter จะให้ขนาดความผิดพลาดเชิงเฟสในสภาวะ Stead State น้อยกว่าแบบ Passive ด้วยค่าของ A เท่า ดังนั้นตัว Passive Detector จะมีการสิ้นเปลืองกำลังน้อยกว่าถ้า F(s) เป็นแบบ Active

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 Capture Range (ซึ่งอาจจะเรียกว่า Lock inrange)

เป็นสภาวะของระบบเมื่ออยู่ในสภาวะ Lock หมายถึง ความถี่ Input มีค่าใกล้เคียงความถี่ VCO มากกว่าเท่าใด Loop จึงจะ Lock ได้ Capture Range ω_c จะเกี่ยวข้องกับพารามิเตอร์ของ Filter ด้วย โดย

$$\omega_c = \omega_L (R_2 / R_1 + R_2)$$

และ Active Filter

$$\omega_c = \omega_L (R_2 / R_1)$$

2.9 เทคนิคการเข้ารหัส(Scrambling)

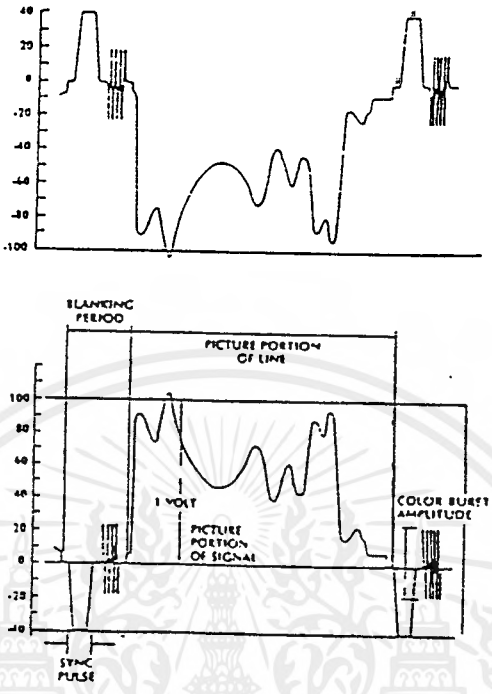
การเข้ารหัสมีคำจำกัดความที่กว้างมาก โดยปกติหมายถึง การเปลี่ยนแปลงข้อมูลแบบปกติให้อยู่ในรูปพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบปกติ และสามารถเปลี่ยนแปลงข้อมูลจากรูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้ ซึ่งจะเห็นได้ว่าแม้แต่การเกิดรบกวนในการส่งก็อาจจะจัดว่าเป็นการเข้ารหัสได้ถ้าสัญญาณรบกวนนั้นทำให้ไม่สามารถรับรู้ภาพจากสัญญาณภาพนั้นได้ และสามารถที่จะทำการกำจัดสัญญาณรบกวนนั้นออกไปได้หมดจนสามารถดูภาพได้ชัดเจนเหมือนปกติในการเข้ารหัส สัญญาณภาพนั้นทำได้หลายแบบ ดังนี้

2.9.1 การกลับสัญญาณภาพ (Video Inversion)

วิธีการนี้ จะทำการกลับสัญญาณภาพ, สัญญาณซิงโครไนซ์, สัญญาณเบิร์สต์(Burst) รวมทั้งสัญญาณแลงกิ้งค์ หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบ และกลับจากลบเป็นบวก

เทคนิคการเข้ารหัสแบบนี้ ได้เริ่มต้นใช้ในระบบ เคเบิลทีวี(Cable TV) และจัดได้ว่าเป็นการเข้ารหัสแบบที่เป็นธรรมชาติที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณภาพรวมเลยเพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถถอดรหัสสัญญาณกลับมาสู่รูปแบบเดิมได้ง่าย เพียงแต่ใส่วงจรสลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถถอดรหัสได้ง่ายนี้ ทำให้วิธีการเข้ารหัสแบบนี้มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณภาพนี้ รู้ว่าใช้เทคนิคการเข้ารหัสแบบนี้ก็สามารถทำการถอดรหัสได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้จะมีผลดังแสดงในรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงผลของกลับสัญญาณภาพรวม

จากรูปที่ 2.22 จะเห็นว่าสัญญาณภาพรวมจะถูกกลับจากบวกเป็นลบ และลบเป็นบวก ทำให้ที่เครื่องรับไม่สามารถเช็คสัญญาณซิงโครไนซ์ได้ และข้อมูลของภาพ จะอยู่ในรูปค่าลบ(Negative) นอกจากนี้สัญญาณเบิร์สต์จะถูกเลื่อนเฟสไป 180 องศาด้วย

สำหรับระบบโทรทัศน์ผ่านดาวเทียม จะไม่สามารถใช้เทคนิคการเข้ารหัสแบบนี้ได้ เพราะแรงดันไฟของระบบ จะถูกแปลงทั้งข้างที่สูงและข้างที่ต่ำ ซึ่งหมายความว่าในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูกเข้ารหัสแบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

2.9.2 การแทนสัญญาณซิงโครไนซ์(Synch Replacement)

มีการแทนสัญญาณซิงค์ทางแนวนอน และทางแนวตั้ง ด้วยสัญญาณรูปแบบอื่น

เทคนิคการเข้ารหัสแบบนี้ มีการใช้ในอเมริกาเหนือ และยุโรป และเป็นส่วนหนึ่งในหลาย ๆ เทคนิคที่มีการใช้ในระบบ OAK Orison และ Video Cipher II ทั้งสองระบบ ในระบบ Orison ช่วงของสัญญาณซิงค์ทางแนวนอน จะรวมถึงสัญญาณเบิร์สต์ความถี่ 25 เมกะเฮิรตซ์ ซึ่งตามด้วยสัญญาณเบิร์สต์(Data Burst) ส่วนของระบบ Video Cipher II นั้น จะมีการนำสัญญาณเบิร์สต์มาแทนสัญญาณซิงค์นั้นเข้าไปอยู่ในส่วนของสัญญาณเบิร์สต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคนี้ จะไม่มีการรักษาความปลอดภัยของข้อมูลเช่นเดียวกับการเข้ารหัสแบบกลับสัญญาณภาพรวม(แบบที่ 1) ทำให้สามารถทำการถอดรหัสได้ง่าย ซึ่งทำได้ 2 วิธีคือ

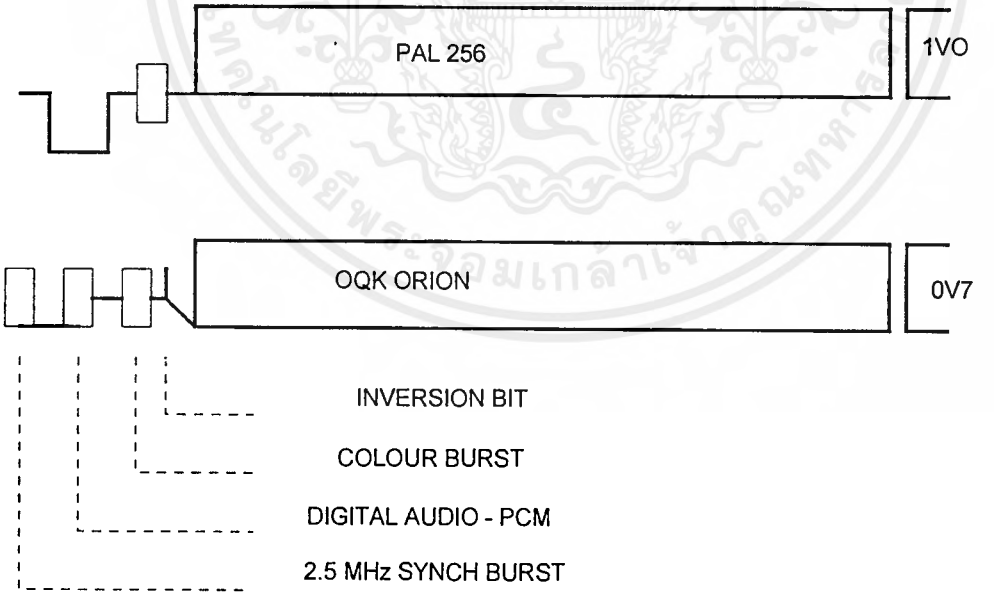
1). แบบที่เสียค่าใช้จ่ายต่ำ จะใช้วิธีการ ดีเทคสัญญาณเพื่อให้ได้สัญญาณซิงค์โดยใช้วงจรโมโนสเตเบิ้ล(Monostable)

2). แบบที่เสียค่าใช้จ่ายสูง จะใช้วงจรกำเนิดสัญญาณซิงค์โดยใช้สัญญาณสีชี้นำหรือสัญญาณส่วนอื่น ๆ ในการล็อคเพื่อสร้างสัญญาณซิงค์ขึ้นมาใหม่

2.9.3 Active Inversion

จะทำการกลับขั้วของสัญญาณภาพแบบ Active วิธีการ เข้ารหัสแบบ Active Inversion นี้ เป็นการกลับขั้วของข้อมูลภาพของสัญญาณภาพทีละเส้น(Line) ต่อเส้นซึ่งให้ผลในด้านการรักษาความปลอดภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตามในสภาพความปลอดภัยที่ดี และในบางระบบจะใช้ในลักษณะฟิลด์(Field) ต่อ ฟิลด์

จากรูปที่ 2.23 จะพบว่า การเปลี่ยนแปลงของสัญญาณชี้นำของการถอดรหัสแบบ Active Inversion คือวิธีการที่ง่ายที่สุดที่ทำให้เหมือนกับว่ามี สัญญาณชี้นำที่แสดงขั้วของสัญญาณภาพสำหรับแต่ละเส้น



รูปที่ 2.23 แสดงผลของ Active Inversion ในระบบ OAK Orison

นอกจากนี้ เทคนิคนี้ ยังแบ่งออกได้เป็น 2 แบบ คือ

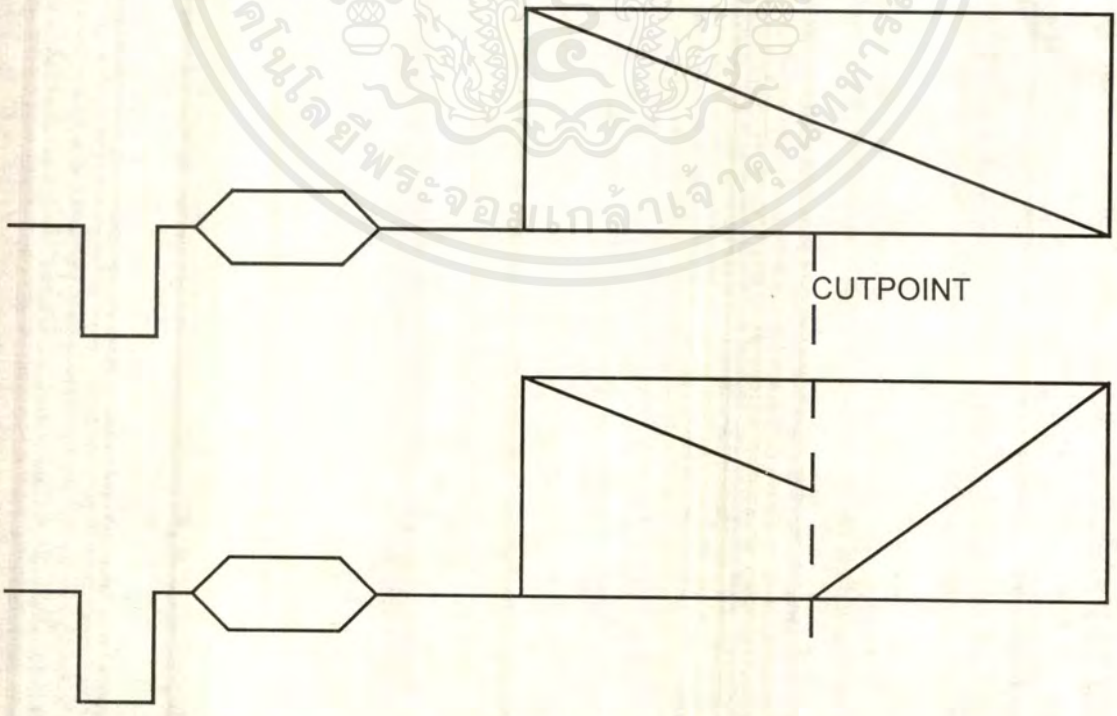
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1). แบบมีสัญญาณชี้นำจะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (สัญญาณชี้นำคือสัญญาณพัลซ์ในช่วงของสัญญาณ ซึ่งใช้แสดงขั้วของสัญญาณภาพ) สัญญาณชี้นำนี้จะสามารถทำการดีเทคได้อย่างง่าย

2). แบบไม่มีสัญญาณชี้นำจะมีลักษณะที่แตกต่างออกไปเพราะไม่มีสิ่งที่ใช้แสดงขั้วของสัญญาณภาพในส่วนประกอบของเส้นเลย

2.9.4 ตัดและกลับขั้ว (Cut and Invert)

เส้นของสัญญาณภาพแต่ละเส้นจะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "เซกเมนท์"(Segment) จำนวนหลาย ๆ เซกเมนท์ตามที่ต้องการและทำการสลับขั้วของเส้นสัญญาณภาพในส่วนของเซกเมนท์ ใด เซกเมนท์ หนึ่ง หรืออาจจะทำพร้อมกันทีเดียวหลาย ๆ เซกเมนท์เลยก็ได้ จากจำนวนของ เซกเมนท์ที่ได้แบ่งเอาไว้ในตอนแรก (ดูรูปที่ 2.24 ประกอบ) เทคนิคการเข้ารหัสแบบนี้จะไม่เหมาะกับวงจรทางด้านอนาลอก(Analog) เพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทางระบบดิจิตอล(Digital) ซึ่งทำได้ง่ายและมีประสิทธิภาพที่ดีกว่า ซึ่งมีระบบที่ใช้ในยุโรปหลายระบบ ที่ใช้หลักการนี้ไปประยุกต์ใช้งานซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัยที่ได้ของแต่ละระบบนั้น จะขึ้นอยู่กับจำนวนของแซกเมนท์ต่อเส้นของสัญญาณภาพจำนวนของแซกเมนท์ที่ถูกกลับขั้วที่ระบบนั้นใช้



รูปที่ 2.24 แสดงผลของตัดและกลับขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

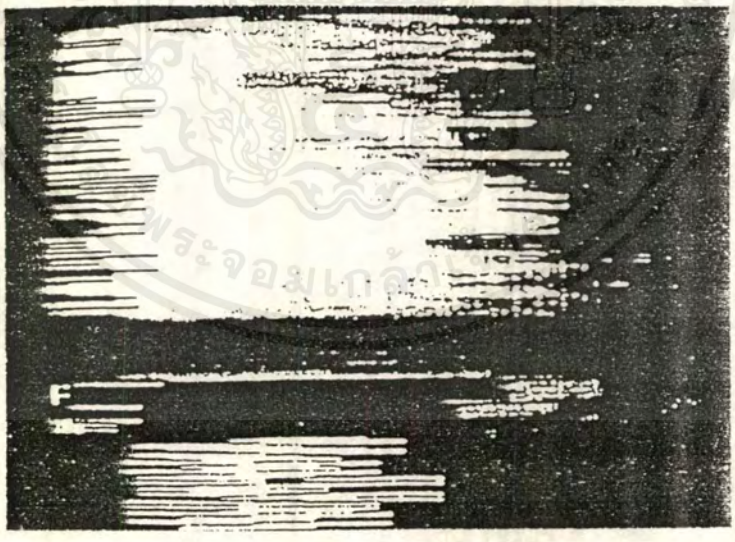
จากรูปที่ 2.24 จะพบว่ามีการแบ่งเส้นของสัญญาณภาพออกเป็น 2 แซกเมนท์และทำการกลับขั้วของเส้นของสัญญาณภาพในช่วงเซกเมนท์หลัง

2.9.5 ตัด และ หมุน (Cut and Rotate)

วิธีการนี้จะคล้ายกับการเข้ารหัสแบบตัดและกลับขั้วในส่วนที่มีการแบ่งสัญญาณออกเป็นแซกเมนท์หลาย ๆ แซกเมนท์ แต่เทคนิคนี้ จะทำการเลื่อนแซกเมนท์สุดท้ายมาไว้ที่เซกเมนท์แรกและเลื่อนแซกเมนท์แรกไปไว้ที่เซกเมนท์ที่สอง ไปเรื่อย ๆ ตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุนแซกเมนท์เป็นวงกลมโดยเซกเมนท์สุดท้ายจะอยู่ต่อกับแซกเมนท์แรก ในขณะที่แบบตัดและกลับขั้วจะกลับขั้วแซกเมนท์ของเส้นสัญญาณภาพ

จากรูปที่ 2.25 จะเป็นการเข้ารหัสแบบ ตัดและหมุนโดยจะแบ่งออกเป็น 5 แซกเมนท์ด้วยกัน แล้วทำการหมุนแซกเมนท์ 1 ครั้ง

ตัวอย่าง หรือ แซกเมนท์ต่อ เส้นที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดค่านี้เราสามารถที่จะกำหนดให้อยู่ในรูปของข้อมูลขนาน 8 บิตได้ โดยจะอยู่ในรูปแบบของ เวิร์ด(Word) หรือ ไบต์(Byte) ได้



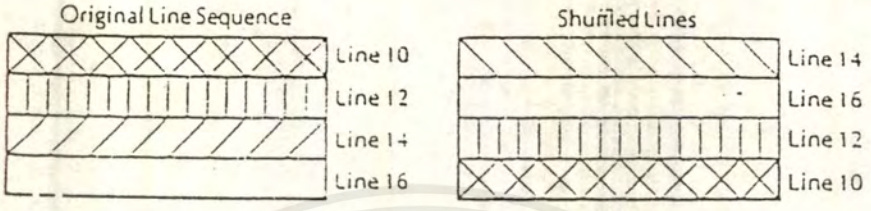
รูปที่ 2.25 แสดงผลของการตัดและหมุน

2.9.6 เลื่อนเส้นสัญญาณภาพ(Line Shiftle)

สัญญาณจะถูกทำการสับเปลี่ยน อันดับของเส้น ใน ฟิลด์ หรือ เฟรม(Frame) เพื่อให้ส่งเส้นสัญญาณภาพในคำสั่งที่ผิดไปจากปกติ เช่น เส้นที่ 10 อาจจะถูกส่งในอันดับของเส้นที่ 99

เอกสารนี้เผยแพร่เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง หรือนำไปใช้เพื่อการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ เส้นที่ 99 ก็จะถูกส่งในอันดับที่ 10 เป็นต้น ทำการแสดงภาพบนหน้าจอเครื่องรับแสดงภาพที่ผิดพลาด เพราะเส้นของสัญญาณภาพ ที่รับเข้ามา สลับอันดับกันอยู่



รูปที่ 2.26 แสดงผลของเลื่อนเส้นของสัญญาณภาพ

จากรูปที่ 2.26 จะพบว่าการจัดลำดับของ เส้นสัญญาณภาพใหม่ที่ต่อเนื่อง คือ เส้น 10, เส้น 12, เส้น 14, และเส้น 16, ตามลำดับ มาเป็นเส้นขึ้นก่อน และตามด้วย เส้น 16, เส้น 14, เส้น 12, และ เส้น 10 แทน

การเข้ารหัสวิธีนี้จะต้องใช้ ฟิลด์ หรือ เฟรม เพื่อใช้เก็บข้อมูลในการสลับเส้นของสัญญาณภาพและวงจรดิจิตอลเป็นจำนวนมาก

2.9.7 การเลื่อนสัญญาณซิงค์ด้วยสัญญาณไซน์(Sinewave Synch Shifting)

วิธีการนี้จะเพิ่ม สัญญาณไซน์เข้าไปในเส้นของสัญญาณภาพ โดยมีความถี่เท่ากับความถี่ของเส้นสัญญาณภาพหรือเป็นจำนวนเท่าของความถี่เส้นสัญญาณภาพ

การเข้ารหัสเทคนิคนี้มี 2 รูปแบบ คือ

1). ใช้ความถี่ไซน์เวฟ(Sinewave) เท่ากับความถี่ของเส้นสัญญาณภาพ

2). ใช้ความถี่ไซน์เวฟเป็นจำนวนเท่าของความถี่เส้นของสัญญาณภาพ

ซึ่งทั้งสองแบบ จะมีการทำงานที่เรียบง่าย กล่าวคือ แรงดันของสัญญาณไซน์เวฟจะไปดันส่วนของสัญญาณซิงค์เลื่อนเข้าไปอยู่ในย่านของสัญญาณภาพ ผลคือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถล็อค หรือ ซิงโครไนซ์ได้ ทำให้ภาพที่ได้จะม้วน หรือขาด ดังรูปที่ 2.27

การเพิ่มสัญญาณไซน์เวฟเข้าไป จะมีผลทำให้ไปเพิ่มขนาดของสัญญาณภาพ ถ้าสัญญาณภาพไม่ถูกลดทอนก่อนที่จะทำการเข้ารหัสโดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่มสัญญาณไซน์เวฟเข้าไป จะทำให้เกิดการ Overdeviation ดังนั้นจะให้ภาพเพี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 แสดงผลของการเลื่อนสัญญาณซิงค์ด้วยสัญญาณไซน์

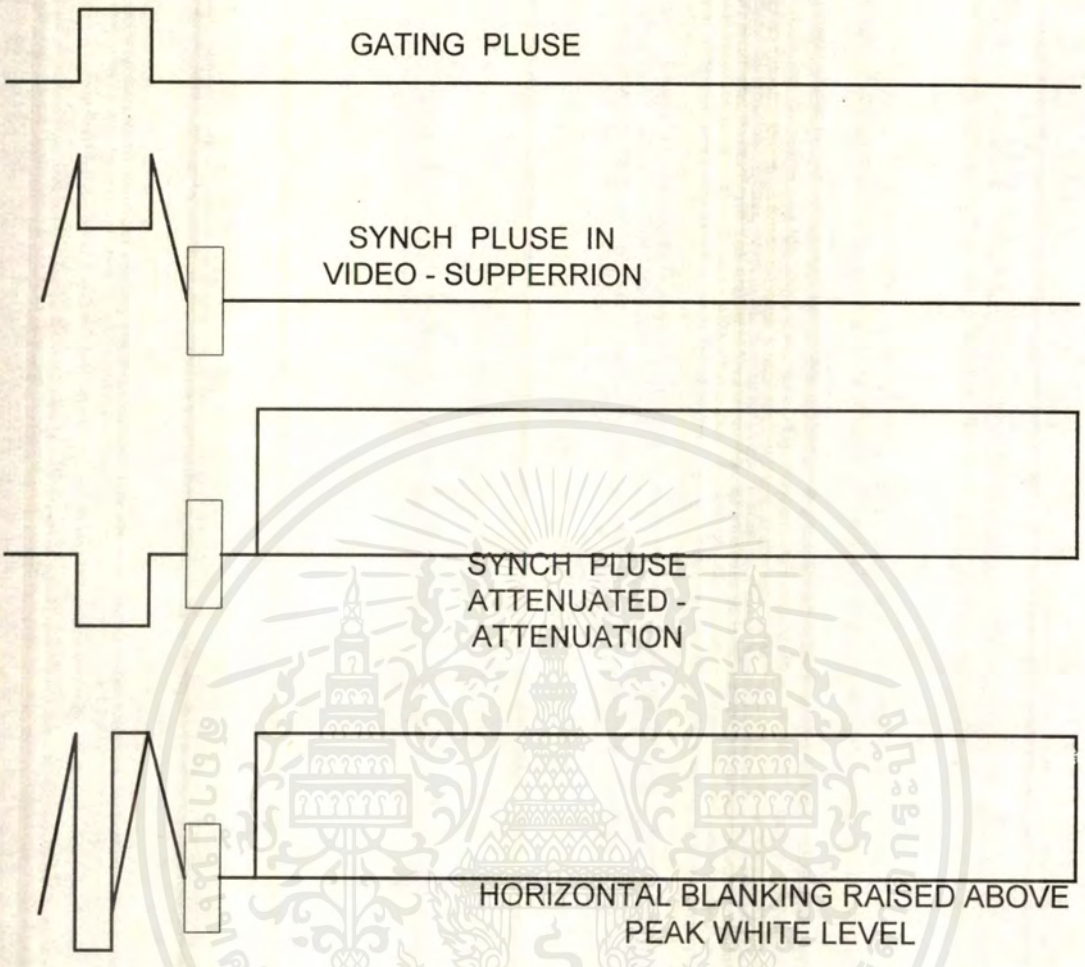
การเลื่อนสัญญาณไซน์นี้ จะทำให้สัญญาณทางแนวนอน และ ทางแนวตั้งของสัญญาณซิงค์ถูกเลื่อนเข้าไปในย่านของสัญญาณภาพ ซึ่งทำให้การมอดสัญญาณไซน์เข้ากับสัญญาณภาพด้วย หมายความว่า ขนาดของสัญญาณภาพจะต้องถูกลดทอนก่อนที่จะทำการส่ง สัญญาณซิงค์ของเครื่องรับโทรทัศน์ จะไม่สามารถที่จะแยกสัญญาณภาพออกจากข้อมูลของสัญญาณซิงค์ได้

2.9.8 การเลื่อนพัลซ์สัญญาณซิงค์(Pulse Synch Shifting)

วิธีการนี้จะใส่พัลซ์ของสัญญาณซิงค์เข้าไปในย่านของสัญญาณภาพ ซึ่งใช้ทั้งทางแนวนอน และทางแนวตั้งของสัญญาณซิงค์

การเลื่อนพัลซ์ของสัญญาณซิงค์ สามารถป้องกันเครื่องรับโทรทัศน์จากการล็อคภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับ การเลื่อนสัญญาณซิงค์ด้วยสัญญาณไซน์ เพราะวิธีนี้จะมีผลต่อช่วงของสัญญาณ ซิงค์เท่านั้นรูปแบบของ การเข้ารหัส และ การถอดรหัส ที่ถูกเพิ่มเข้าไปในสัญญาณภาพ คือขบวนของสัญญาณชี้นำ(Pulse Train) เมื่อสัญญาณชี้นำซึ่งจำเป็นสำหรับการถอดรหัสสัญญาณที่ถูกลดทอนไปตามคู่สายที่แยกจากกัน จะใช้การเลื่อนเกตพัลซ์(Gate Pulse)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

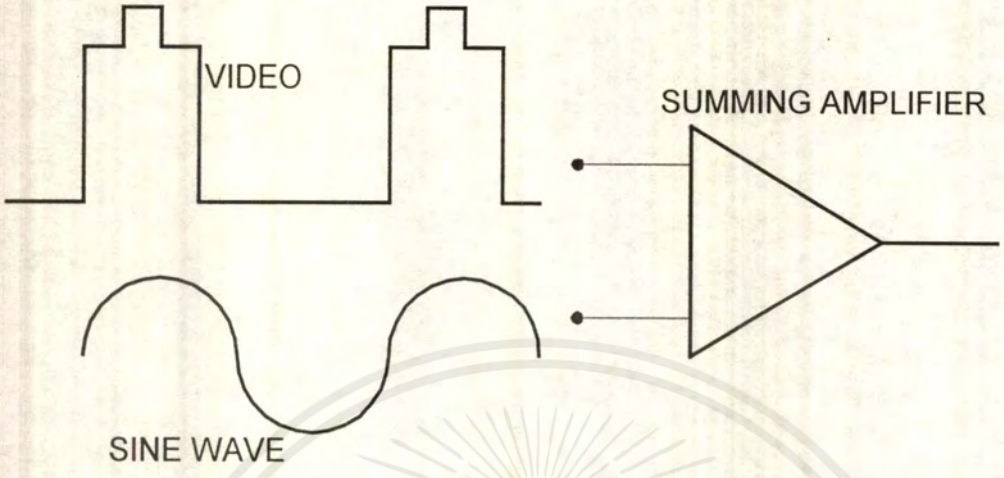


รูปที่ 2.28 แสดงผลของ Pulse Synch Shifting

2.10 Sine Wave Scrambling

Sine Wave Scrambling ใช้เทคนิคการเลื่อน Sine Wave ซึ่งเป็นที่นิยมใช้กันมาก เพราะสามารถทำได้ง่าย เพียงแต่นำสัญญาณ Sine Wave ความถี่ที่ต่างนำมาทำการรวม (Summing) กับสัญญาณ Line Video ถ้าเป็นระบบ Pal จะใช้ความถี่ 15,625 Hz ส่วนระบบ NTSC จะใช้ความถี่ 15,750 Hz ทั้งนี้เพื่อให้เข้าใจได้ง่าย เพราะที่ความถี่นี้ จะเท่ากับความถี่ขนอง Line Video ของระบบนั้น ๆ ในการรวมสัญญาณ Sine Wave เข้าไปนั้น จะต้องยกระดับสัญญาณ Sine Wave ก่อน โดยให้ค่าสูงสุดทางด้านลบมีค่าเท่ากับ 0 จากนั้นจะจัดเฟสให้ส่วนที่มีค่าเฟสเท่ากับ 0 นั้นไปตรงกับส่วนที่เป็นสัญญาณ Synch Pulse และส่วนที่มีค่าบวกจอยู่ตรงส่วนของ Line Video ซึ่งทำให้ระดับสัญญาณของ Line Video เปลี่ยนแปลงเพิ่มขึ้น จนมีบางส่วนที่มีค่าของ Synch Pulse ได้อย่างถูกต้อง ทำให้ภาพที่รับได้ผิดเพี้ยนไป หลักการทำงานดังแสดงในรูปที่ 2.29

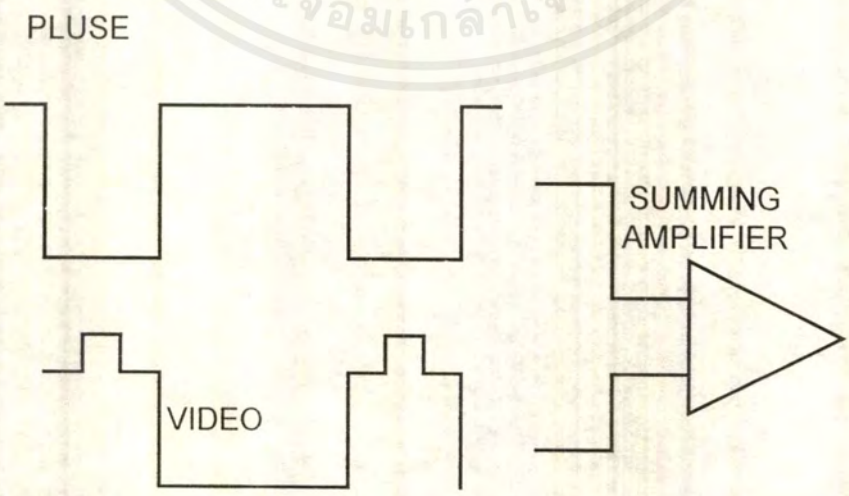
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงหลักการทำงานของ Sine Wave Scrambling

2.11 Gated Pulse Scrambling

Gated Pulse Scrambling ใช้วิธีการเลื่อน Gated Pulse ซึ่งจะคล้ายกับ Sine Wave Scrambling จะต่างกันก็ตรงที่สัญญาณที่นำมารวมนั้น เป็นสัญญาณ Gated Pulse แทนที่จะเป็น Sine Wave ผลที่ได้จะคล้ายกัน คือสัญญาณ Line Video จะมีค่าเกินค่าของ Synch Pulse ทำให้เครื่องรับรับภาพไม่ได้ แต่ลักษณะของภาพที่เพี้ยนไปจะต่างจากแบบ Sine Wave หลักการทำงานดูได้จากรูปที่ 2.30

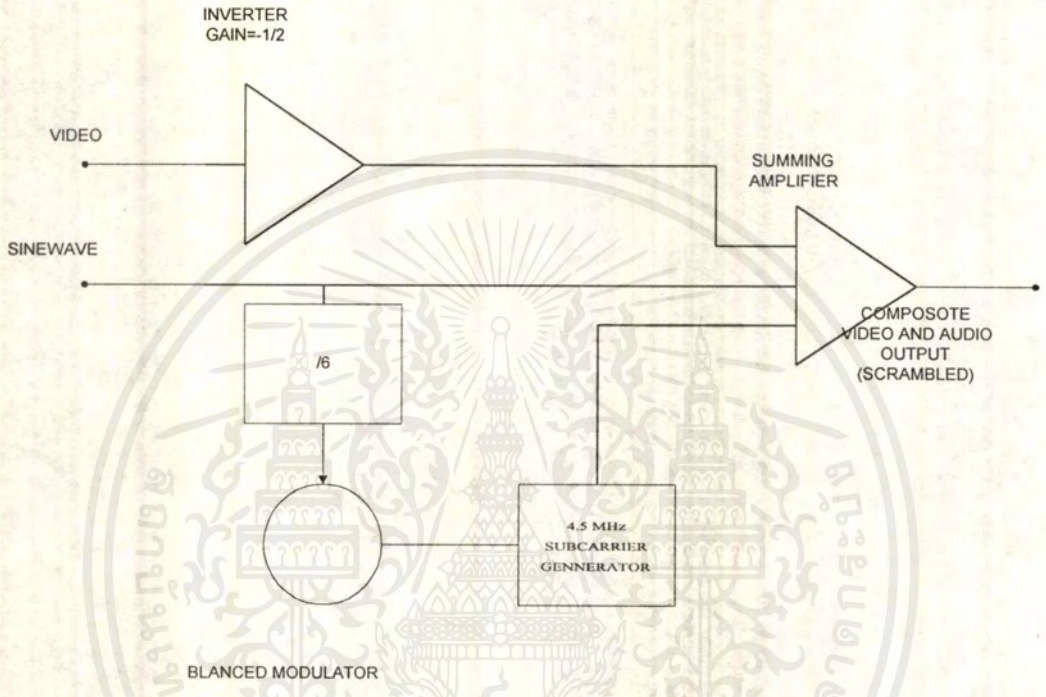


รูปที่ 2.30 แสดงหลักการทำงานของ Gated Pulse Scrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 Telease Scrambling

Telease Scrambling ใช้เทคนิคการเลื่อน Sine Wave โดยระบบนี้จะทำการ Scrambling ทั้งสัญญาณ Audio และ Video ลักษณะการทำงานดังแสดงในรูปที่ 3.31



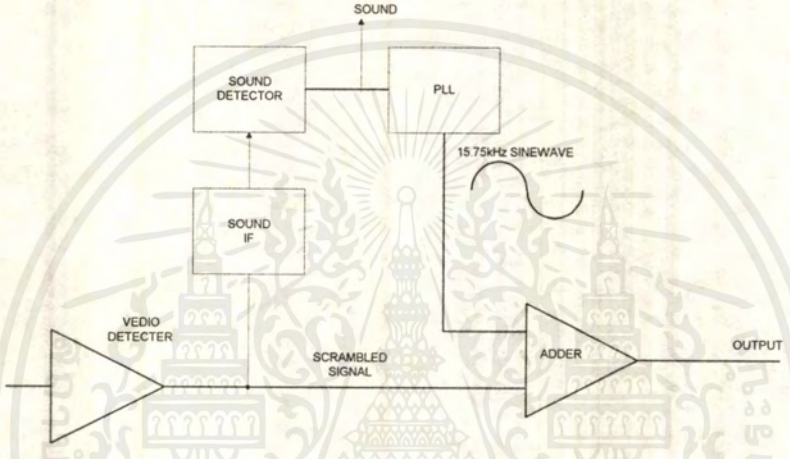
รูปที่ 2.31 แสดง Block Diagram ของ Telease Scrambling

จากหลักการทำงานของการเข้ารหัส (Scrambling) ทั้ง 3 แบบ ที่กล่าวมาแล้วซึ่งในที่นี้จะกล่าวถึงหลักการทำงานของการถอดรหัส (Descrambling) ของทั้ง 3 แบบ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 Sine Wave Descrambling

Sine Wave Descrambling เป็นการหักล้าง Sine Wave ที่เพิ่มเข้ามาตอน Scrambling เพื่อให้ได้สัญญาณ Video ดังเดิม หลักการทำงานดังแสดงในรูปที่ 2.32

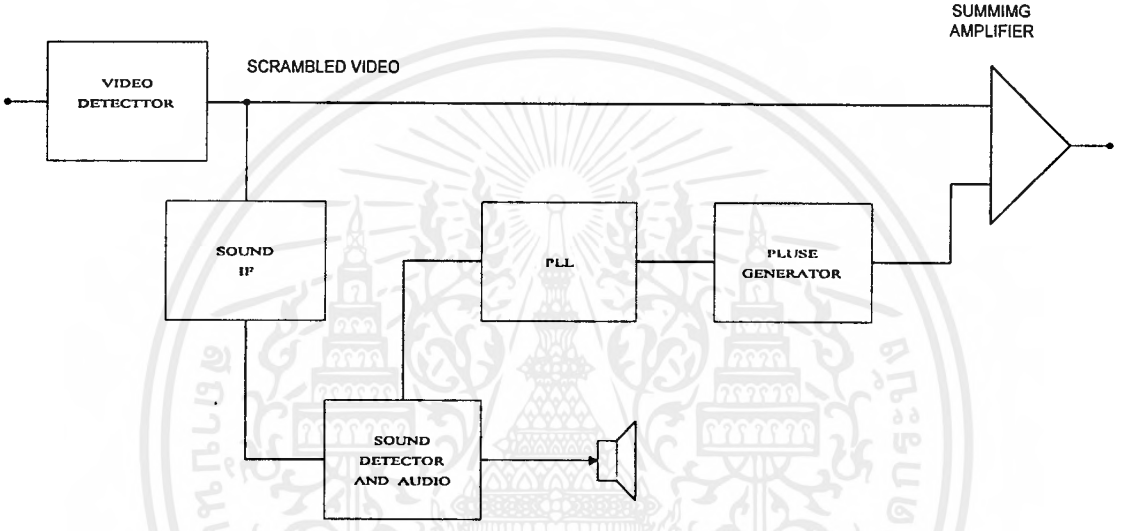


รูปที่ 2.32 แสดง Block Diagram ของ Sine Wave Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 Gated Pulse Descrambling

Gated Pulse Descrambling จะคล้ายกับ Sine Wave Descrambling แต่จะต่างกันตรงที่แบบนี้จะหักล้าง Gated Pulse ออกไปแทนที่จะหักล้าง Sine Wave หลักการทำงานดังแสดงในรูปที่ 2.33

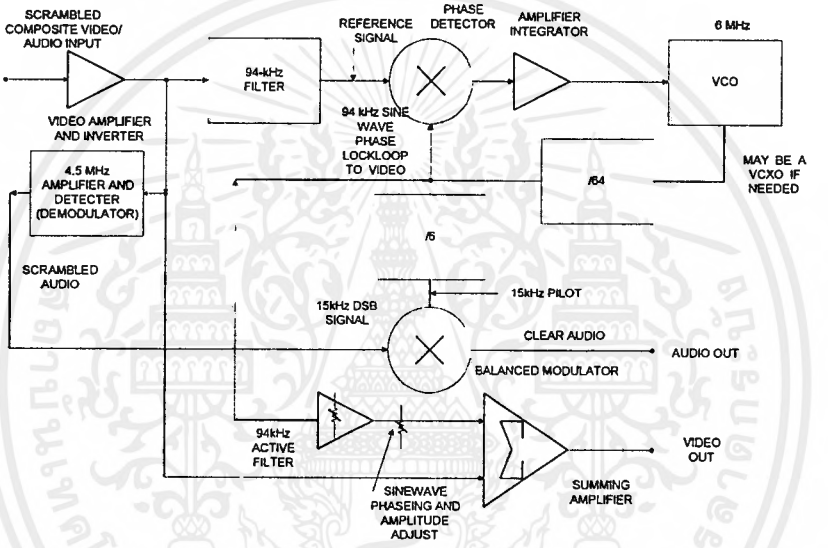


รูปที่ 2.33 แสดง Block Diagram ของ Gated Pulse Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.15 Talease Descrambling

Telease Descrambling แบบนี้เป็นการหักล้างสัญญาณ Sine Wave จากส่วน Video และ Audio โดยในส่วนของ Audio จะต้องมีการ Demodulate ก่อน เพราะตอน Scrambling จะมีการ Modulate กับ Sound Carrier หลักการทำงานดังแสดงในรูปที่ 2.34



รูปที่ 2.34 แสดง Block Diagram ของ Telease Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3.

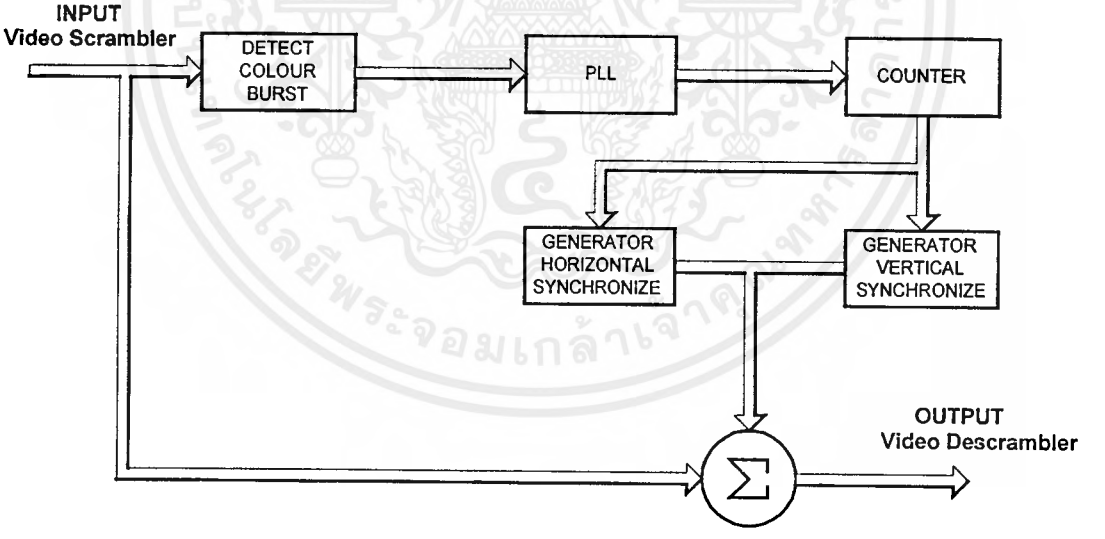
การออกแบบและการสร้าง

โครงสร้างของโครงงาน

จากบทที่ผ่าน ๆ มาแล้ว จะกล่าวถึงเนื้อหาส่วนที่เป็นพื้นฐานของการเข้ารหัส เพื่อให้สามารถเข้าใจการทำงานได้ง่ายขึ้น ในบทนี้จะกล่าวถึงตัวชิ้นงานในแง่ของส่วนประกอบ และการทำงานของแต่ละส่วน

ในส่วนของชิ้นงานนี้ จะประกอบด้วยส่วนที่สำคัญคือ

1. ภาคการแยกสัญญาณเบิรสต์
2. ภาควงจรเฟสล็อคลูป
3. ภาคกำเนิดสัญญาณซิงค์ทางแนวนอน
4. ภาคกำเนิดสัญญาณซิงค์ทางแนวตั้ง
5. ภาค Power Supply

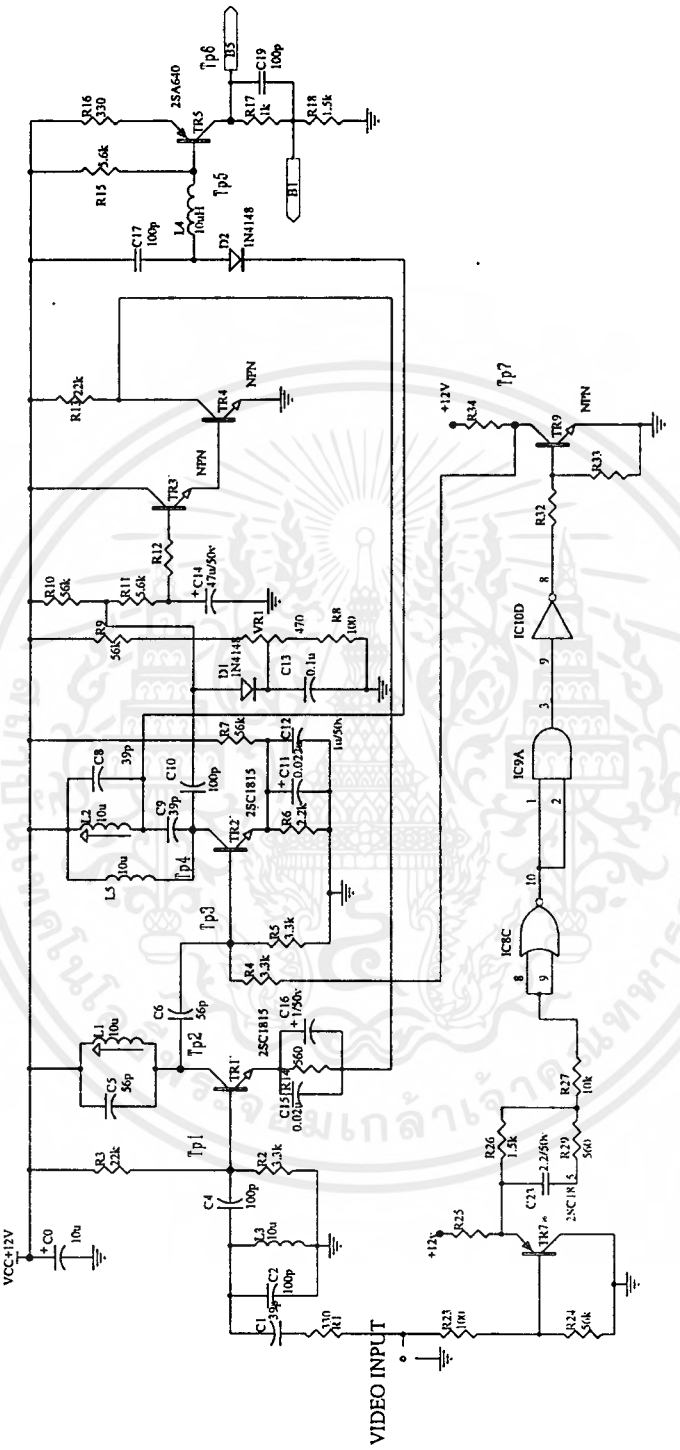


รูปที่ 3.1 แสดงบล็อกไดอะแกรมการถอดรหัสสัญญาณภาพ

3.1 วงจรแยกสัญญาณเบริสต์

วงจรแยกสัญญาณเบิรสต์นี้ จะทำหน้าแยกสัญญาณเบิรสต์ออกจากสัญญาณภาพรวมเพื่อที่จะนำสัญญาณเบิรสต์ ไปเป็นสัญญาณอ้างอิงในการกำเนิดสัญญาณซิงค์ทั้งทางด้านแนวนอนและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงภาควงจรแยกสัญญาณเบิรสต์

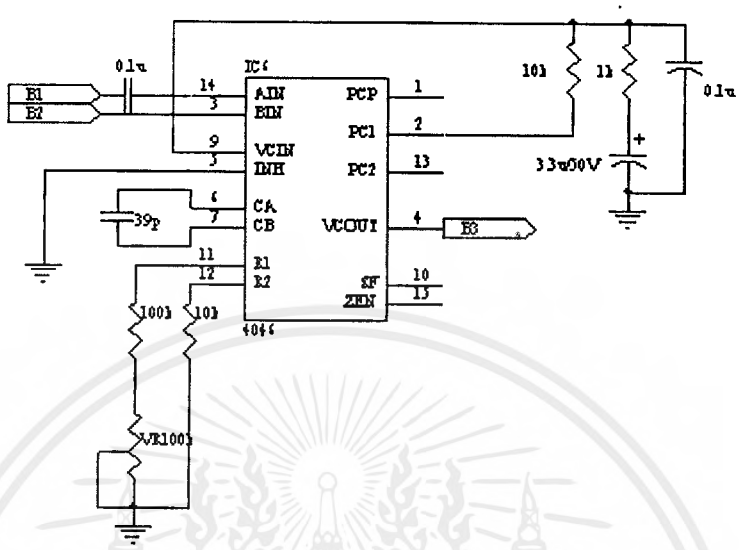
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านแนวตั้ง โดยที่ ขา B ของทรานซิสเตอร์ชนิด NPN (Tr1) มี L1 C1 ซึ่งจะทำหน้าที่เป็นตัวตัดสัญญาณภาพทิ้ง ปล่อยให้สัญญาณเบิรสต์และสัญญาณสีผ่านไปได้โดยการปรับ L2 เพื่อให้ได้สัญญาณออกมาแรงสุด เพราะถ้าสัญญาณอ่อนเกินไปเราจะไม่สามารถที่จะทำการแยกสัญญาณเบิรสต์ออกมาได้ โดยมี VR1 เป็นตัวปรับเกน (AGC)และที่ทรานซิสเตอร์ชนิด PNP (Tr7) จะทำหน้าที่การแยกสัญญาณเบิรสต์ในกรณีที่สัญญาณภาพรวมถูกเข้ารหัสมาโดยถูกตัดเฉพาะสัญญาณซิงค์เพียงอย่างเดียวเพื่อที่จะส่งไปทำการจัดไบอัสใหกับขา B ของทรานซิสเตอร์ Tr2 หรือกล่าวได้อีกนัยหนึ่งว่าเป็นสัญญาณพัลซ์ที่ส่งเข้าไปหนุนสัญญาณเบิรสต์ เพื่อที่จะให้สามารถแยกสัญญาณเบิรต์ได้ โดยมี VR1 เป็นตัวปรับเกน (AGC)เพื่อที่จะกำหนดให้ทรานซิสเตอร์ Tr2 ทำการขยายเฉพาะสัญญาณเบิรสต์พัลซ์แล้วส่งไปยังส่วนของภาคเฟสล็อคลูปเพื่อที่จะทำการเปรียบเทียบเฟสของสัญญาณต่อไป และสัญญาณอีกส่วนหนึ่งจะถูกส่งไปยังทรานซิสเตอร์ (Tr6) เพื่อนำไปเป็นสัญญาณอ้างอิงเพื่อที่จะกำเนิสั ญา ณ ซิงค์ทางแนวตั้งอีกด้วยวงจรแยกสัญญาณเบิรสต์ดังแสดงในรูปที่ 3.2

3.2 ภาควงจรเฟสล็อคลูป

ภาควงจรเฟสล็อคลูปนี้สามารถได้โดยใช้ไอซี CMOS เบอร์ 4046 ภาคนี้จะกำเนิดสัญญาณที่มีความถี่ 376 kHz ปรากฏออกที่ขา 4 แล้วส่งต่อไปยัง ไอซี TTL เบอร์ 7493 ซึ่งมีคุณสมบัติเป็นวงจรหารความถี่ ทำการหาร 4 ซึ่งจะได้ความถี่ 94 kHz ปรากฏออกที่ขา 9 ของไอซีเบอร์นี้ และสัญญาณที่มีความถี่ 94 kHz นี้จะถูกสลับเฟสของสัญญาณไป 90° แล้วส่งกลับมาทำการเปรียบเทียบเฟสของสัญญาณระหว่างสัญญาณที่ส่งมาจากทรานซิสเตอร์ (Tr5) กับสัญญาณ 94 kHz ที่ถูกสลับเฟสเพื่อที่จะทำการล็อคเฟสของสัญญาณ เพื่อที่จะนำสัญญาณนี้ไปทำการสร้างสัญญาณซิงค์ต่อไป วงจรเฟสล็อคลูปแสดงดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

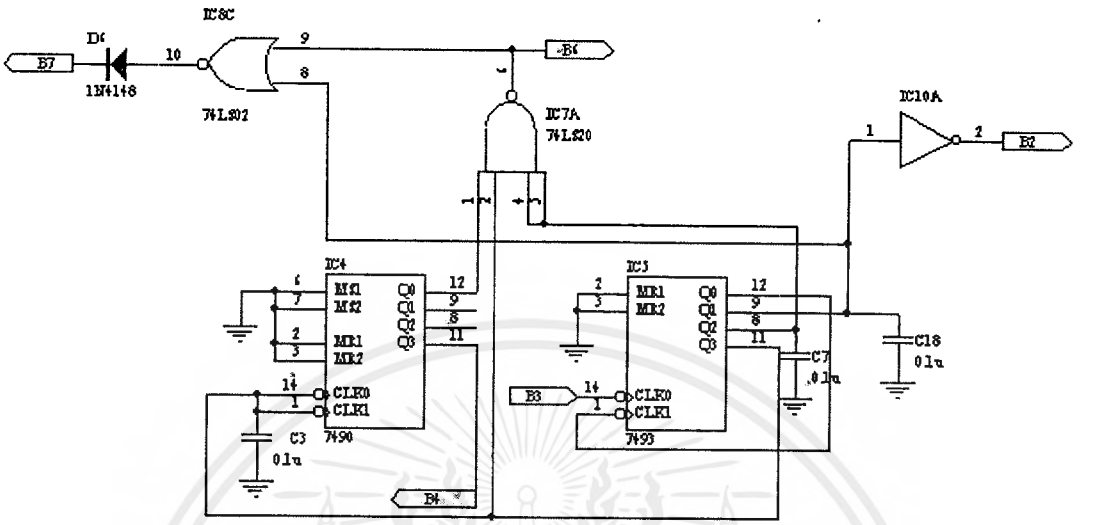


รูปที่ 3.3 แสดงภาควงจรเฟสล็อคลูป

3.3 ภาควงจรสร้างสัญญาณซิงค์ทางแนวนอน

ภาคนี้จะอาศัยความถี่ 376 kHz ที่ออกมาจากเอาท์พุทของวงจรเฟสล็อคลูป จะถูกทำการหารความถี่ด้วยไอซี TTL เบอร์ 7493 และไอซี TTL เบอร์ 7490 ซึ่งมีคุณสมบัติเป็นวงจรหารความถี่ จะทำการหารความถี่เพื่อให้ได้ความถี่ 94 kHz ,47 kHz ,23.5 kHz และ 11.75 kHz ตามลำดับ จากนั้นก็จะนำสัญญาณพัลซ์ของความถี่เหล่านี้ไปสร้างเป็นสัญญาณซิงค์ทางแนวนอน โดยผ่านไอซี เบอร์ 74140 ซึ่งมีคุณสมบัติของโครงสร้างภายในเป็น NAND GATE 4 อินพุท และไอซี เบอร์ 7402 ที่มีคุณสมบัติของโครงสร้างเป็น NOR GATE โดยใช้สัญญาณพัลซ์ที่ได้จากไอซี เบอร์ 74140 และสัญญาณพัลซ์ที่มีความถี่ 94 kHz ก็จะได้สัญญาณซิงค์ทางแนวนอนที่ถูกต้อง วงจรสร้างสัญญาณซิงค์ทางแนวนอนดังแสดงดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

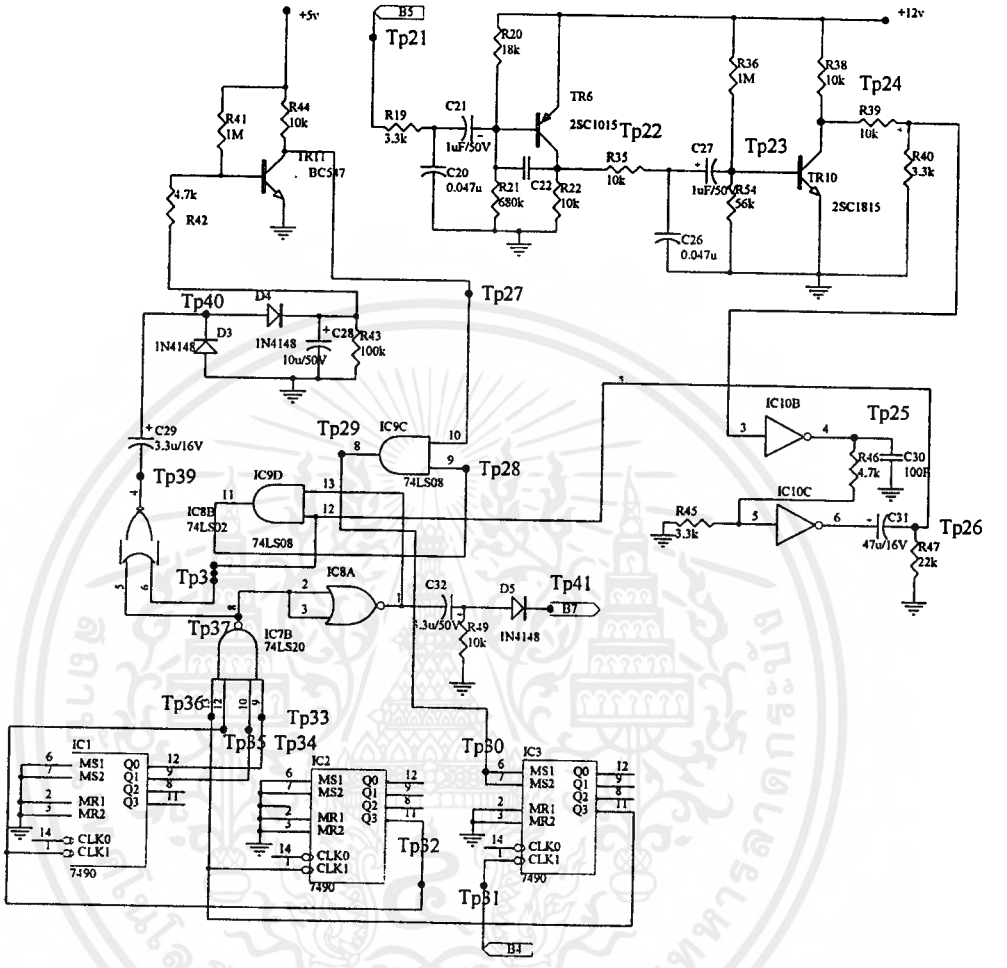


รูปที่ 3.4 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวนอน

3.4 ภาควงจรสร้างสัญญาณซิงค์ทางแนวตั้ง

ภาคนี้จะอาศัยสัญญาณเบิรสต์มาเป็นตัวกำหนดการหารความถี่โดยใช้ไอซี เบอร์ 7490 ต่อเข้าด้วยกัน 3 ตัว การหารความถี่เพื่อที่จะนำสัญญาณพัลซ์ที่ได้จากการหารความถี่ไปสร้างเป็นสัญญาณซิงค์ทางแนวตั้ง โดยที่ขา 6 และ ขา 7 ของไอซี 3 จะเป็นตัวกำหนดการหารความถี่ให้ตรงกันกับการสแกนของสัญญาณภาพทางแนวตั้ง โดยใช้สัญญาณพัลซ์ที่ได้จากการหารความถี่ไปผ่าน ไอซี เบอร์ 7402 ซึ่งมีคุณสมบัติเป็น NOR GATE เพื่อทำการสร้างเป็นซิงค์ทางแนวตั้ง วงจรสร้างสัญญาณซิงค์ทางแนวตั้งดังแสดงดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

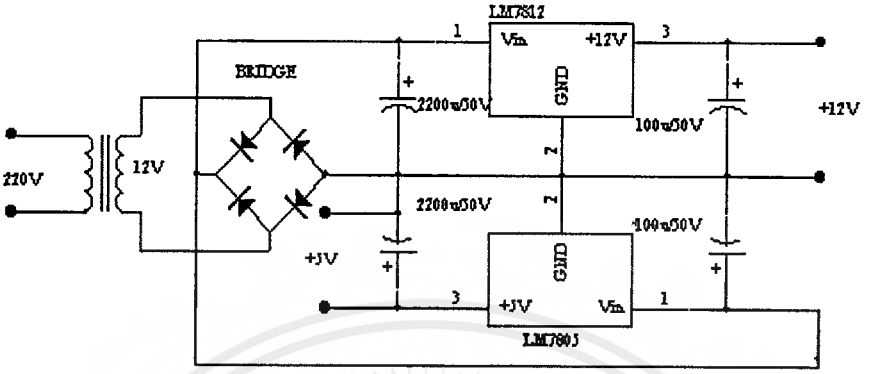


รูปที่ 3.5 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวตั้ง

3.6 ภาค Power Supply

เนื่องจากว่า IC ตระกูล TTL นั้นโดยทั่วไปแล้วจะใช้แรงดันไฟเลี้ยงประมาณ +5V และไอซีจำพวก CMOS และทรานซิสเตอร์จะใช้แรงดันไฟเลี้ยงประมาณ +12V ดั้งนั้นในการออกแบบภาค Power Supply จึงใช้ไอซีเบอร์ LM7812 ซึ่งมีคุณสมบัติเป็นไอซี Regulate จะให้แรงดันที่เอาท์พุทออกมาเท่ากับ +12V พอดี และไอซีเบอร์ LM7805 ซึ่งมีคุณสมบัติเป็นไอซี Regulate จะให้แรงดันที่เอาท์พุทออกมาเท่ากับ +5V ซึ่งวงจรของภาค Power Supply แสดงดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรของภาค Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

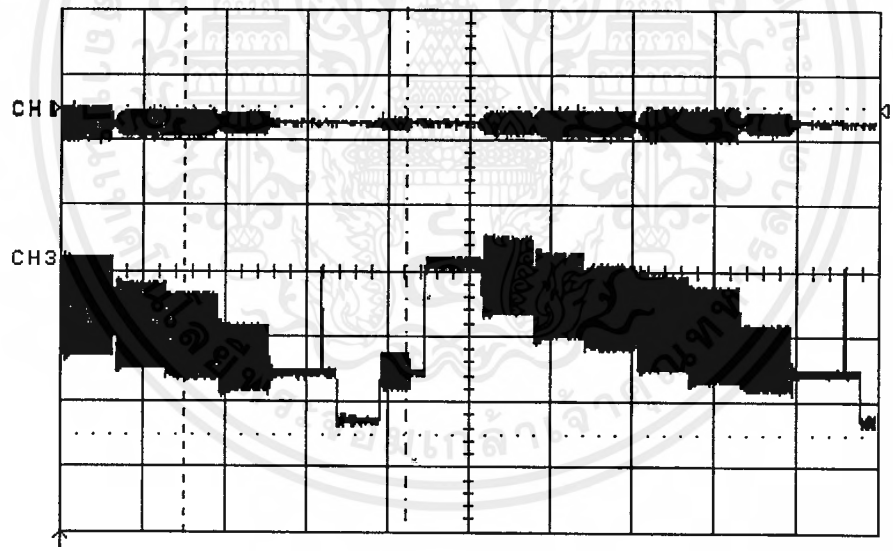
ผลการดำเนินงาน

ผลการทดลอง

4.1 แสดงสัญญาณของภาควงจรแยกสัญญาณเบิรสต์

จากการทดลองเครื่องถอดรหัสสัญญาณภาพในส่วนของการแยกสัญญาณแบิรสต์เมื่อทำการวัดสัญญาณที่ภาควงจรแยกสัญญาณเบิรสต์เราจะต้องกรองสัญญาณให้ผ่านไปได้เฉพาะสัญญาณเบิรสต์ และสัญญาณสีให้ได้ก่อนเราจึงจะสามารถที่จะแยกสัญญาณเบิรสต์ออกมาได้ ซึ่งสัญญาณที่วัดได้ ณ. จุดทดสอบต่าง ๆ ของภาควงจรแยกสัญญาณเบิรสต์จะมีลักษณะดังนี้

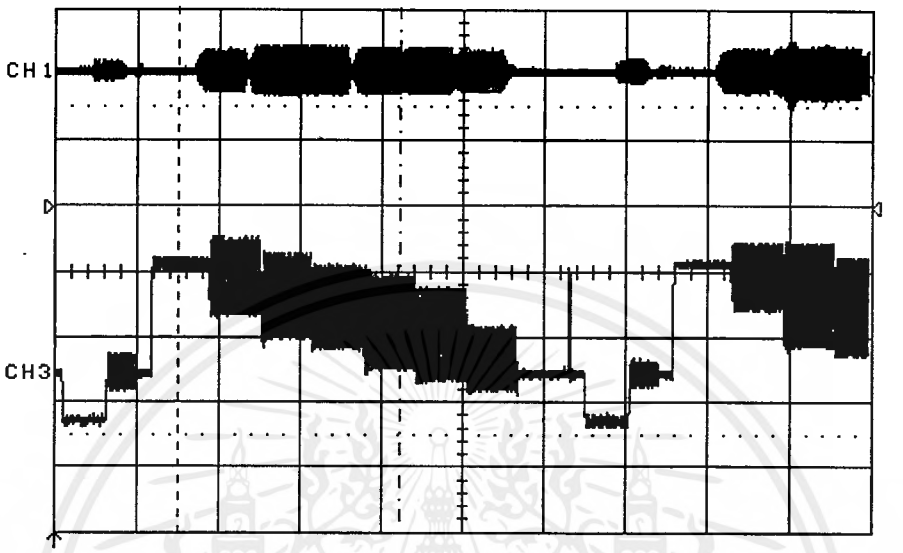
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP1.



รูปที่ 4.1.1. แสดงสัญญาณที่ได้จากการ Detect สัญญาณเบิรสต์และสัญญาณสีเมื่อเปรียบเทียบกับสัญญาณที่ Input ซึ่งเป็นสัญญาณจาก Pattern Generator

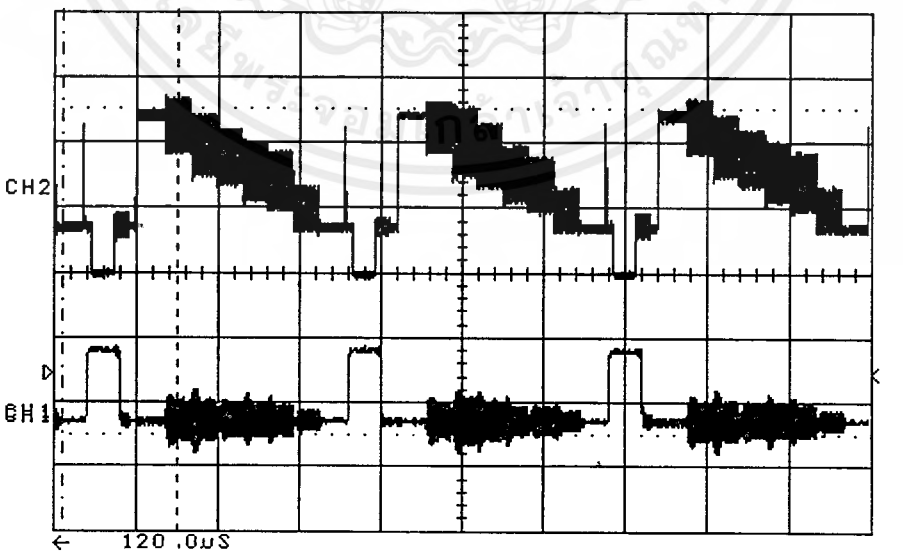
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP2.



รูปที่ 4.1.2. แสดงสัญญาณที่ได้จากการ Detect สัญญาณเบิรสต์และสัญญาณสีเมื่อเปรียบเทียบกับสัญญาณที่ Input ซึ่งเป็นสัญญาณจาก Pattern Generator

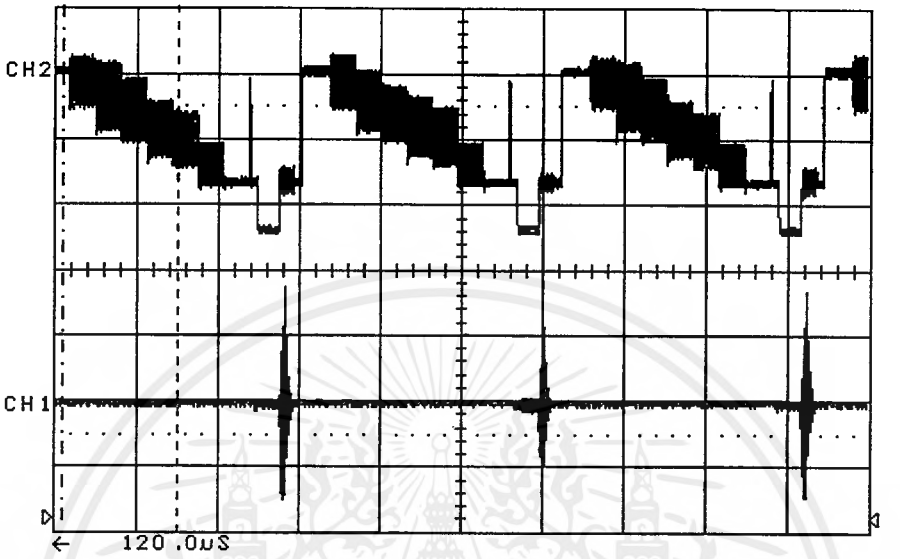
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP3.



รูปที่ 4.1.3. แสดงการเติมสัญญาณพัลซ์เข้าไปทำการหนุนสัญญาณเบิรสต์

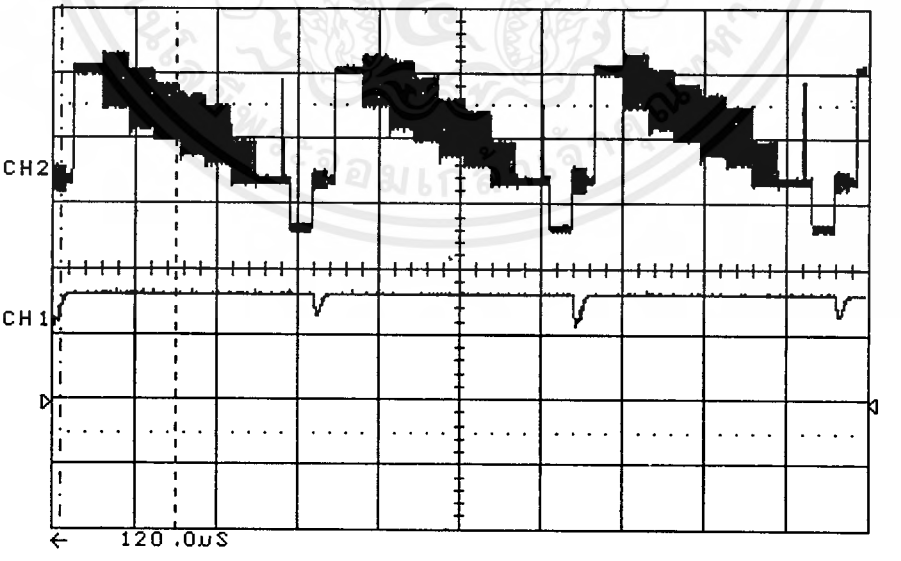
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP4.



รูปที่ 4.1.4. แสดงสัญญาณเบิรสต์

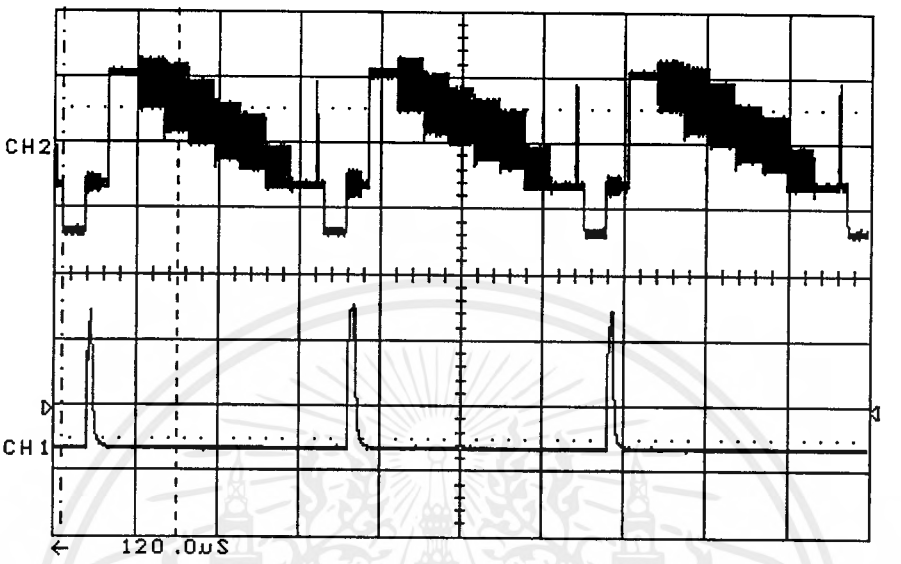
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP5.



รูปที่ 4.1.5 แสดงสัญญาณที่ขา B ของ Tr 5 เป็นสัญญาณจะนำไปเปรียบเทียบเฟส

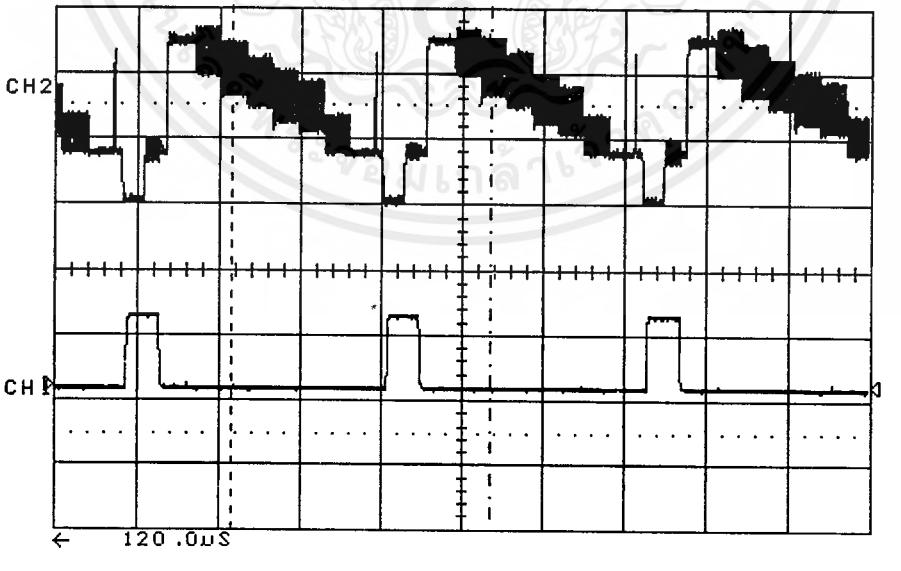
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP6.



รูปที่ 4.1.6 แสดงสัญญาณที่ผ่านการขยายขา C ของ Tr5 เป็นสัญญาณที่จะนำไปเปรียบเทียบเฟส

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP7.

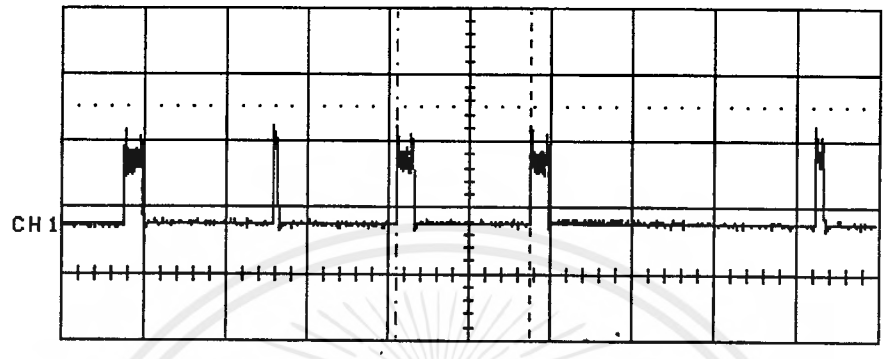


รูปที่ 4.1.7. แสดงสัญญาณพัลซ์ที่นำไปทำการหนุนสัญญาณเบิรสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 สัญญาณที่วัดได้ในส่วนของภาควงจรเฟสล็อคลูป

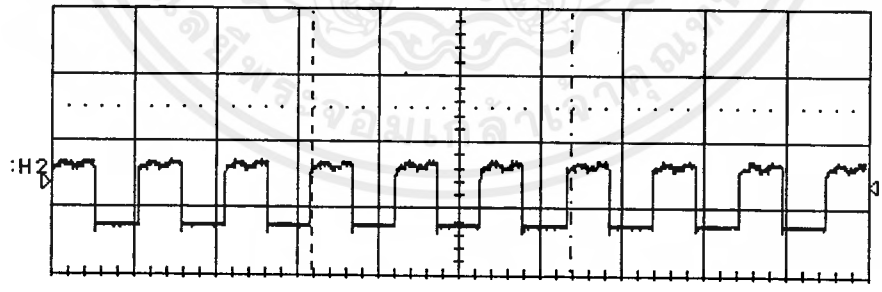
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP8.



-·-	205.0µs		**CH1** MEASUREMENTS		
---	287.5µs	pkpk	800mV	widp	- -?- -
Δt	-82.5µs	rms	144mV	min	-80mV
1/Δt	12.12kHz	freq	- -?- -	per	- -?- -

รูปที่ 4.2.1. แสดงสัญญาณอินพุทที่นำมาเปรียบเทียบเฟสที่ขา 14 ของไอซี 6

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP9.

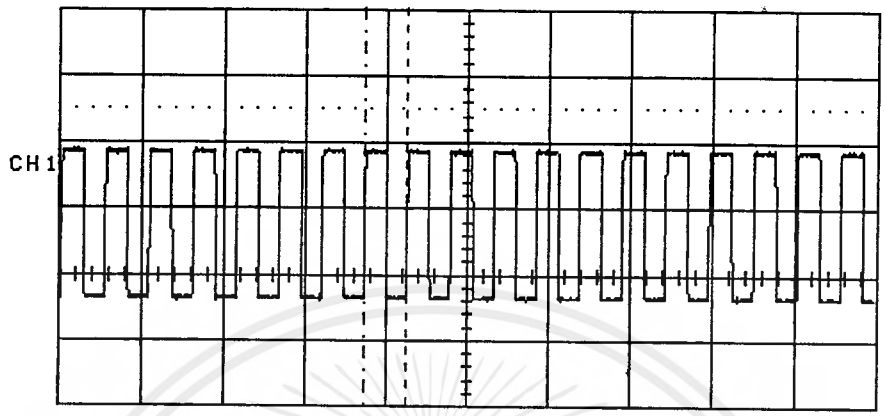


-·-	63.75µs		**CH2** MEASUREMENTS		
---	31.75µs	pkpk	5.6V	widp ⎍	5.250µs
Δt	32.00µs	rms	2.24V	min	-3.0V
1/Δt	31.25kHz	freq ⎍	94.85kHz	per ⎍	10.545µs

รูปที่ 4.2.2. แสดงสัญญาณอินพุทที่นำมาเปรียบเทียบเฟสที่ขา 3 ของไอซี 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP10.

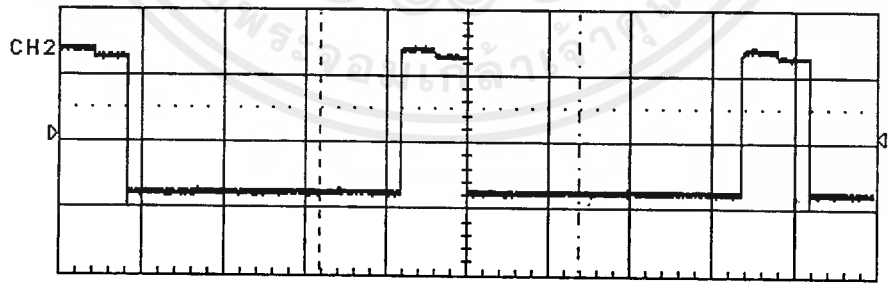


-·-	18.63µs		CH1 MEASUREMENTS		
---	21.25µs	pkpk	1.17V	widp ⎍	1.365µs
Δt	-2.63µs	rms	549mV	min	-608mV
1/Δt	381kHz	freq ⎍	378.3kHz	per ⎍	2.645µs

รูปที่ 4.2.3. แสดงสัญญาณที่ขา 4 ซึ่งเป็นสัญญาณ Output ของภาควงจรเฟสล็อคลูป

4.3 แสดงสัญญาณที่วัดได้ในส่วนของสัญญาณซิงค์ทางแนวนอน

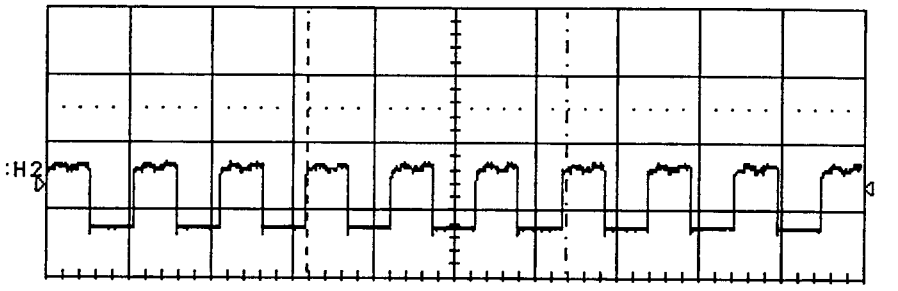
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP11.



รูปที่ 4.3.1 แสดงสัญญาณที่ปรากฏที่ขา 11 ของ IC4

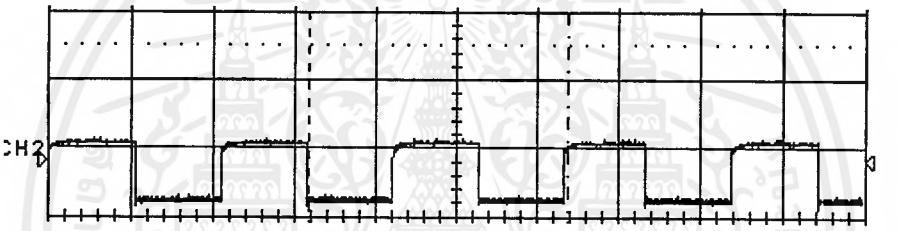
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



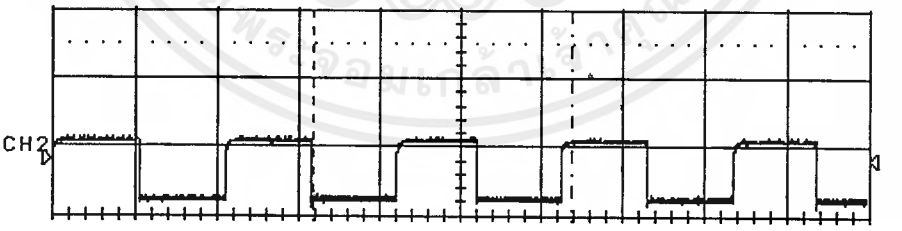
รูปที่ 4.3.2 แสดงสัญญาณที่ปรากฏที่ขา 2 ของ IC10

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP13.



รูปที่ 4.3.3 แสดงสัญญาณที่ปรากฏที่ขา 4 และขา 5 ของ IC7

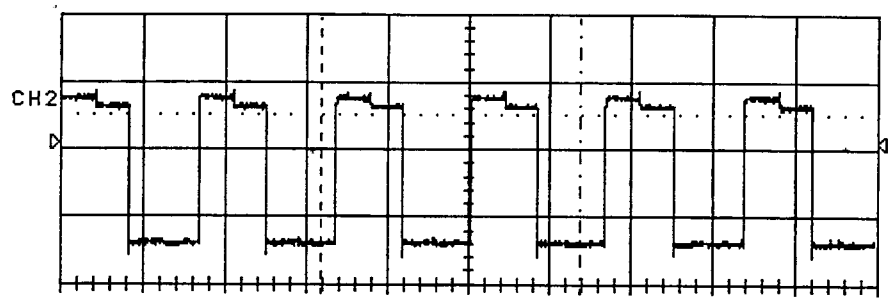
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP14.



รูปที่ 4.3.4 แสดงสัญญาณที่ปรากฏที่ขา 2 ของ IC7

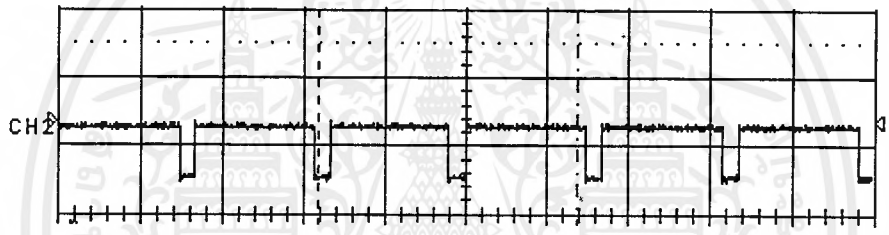
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



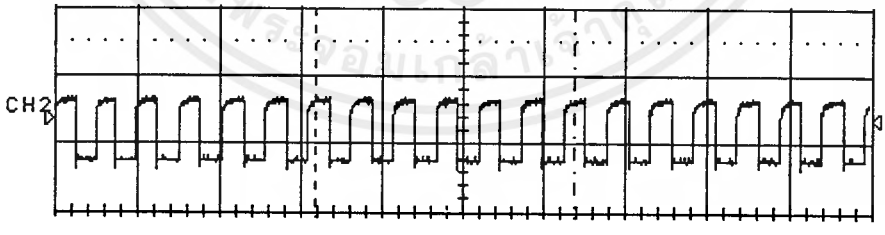
รูปที่ 4.3.5 แสดงสัญญาณที่ปรากฏที่ขา 1 ของ IC7

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP16.



รูปที่ 4.3.6 แสดงสัญญาณที่ปรากฏที่ขา 6 ของ IC7

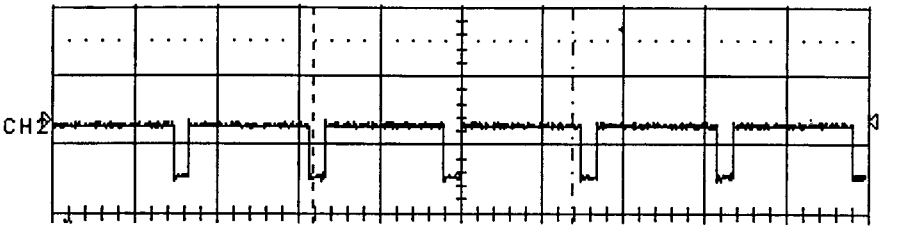
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP17.



รูปที่ 4.3.7 แสดงสัญญาณที่ปรากฏที่ขา 8 ของ IC8

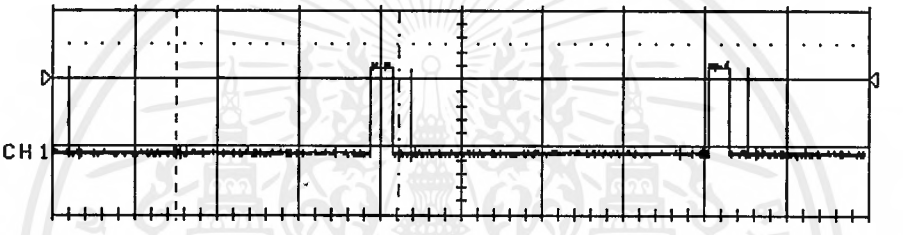
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP18.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



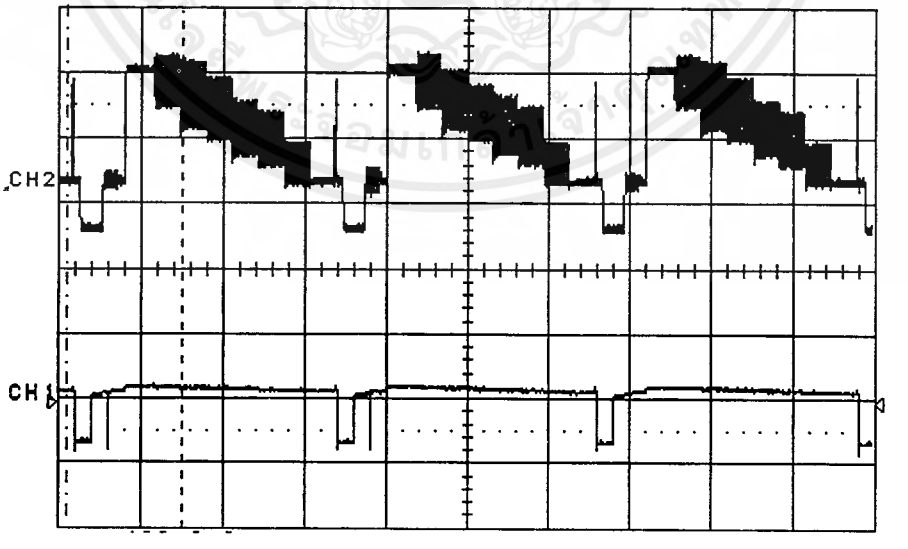
รูปที่ 4.3.8 แสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC8

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP19.



รูปที่ 4.3.9 แสดงสัญญาณที่ปรากฏที่ขา 13 ของ IC10

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP20.

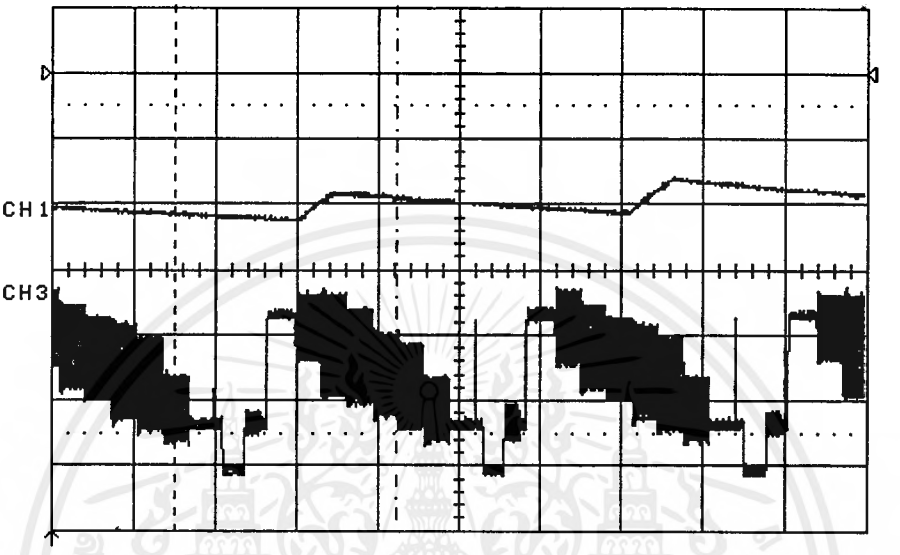


รูปที่ 4.3.10. รูปสัญญาณซิงค์ทางแนวนอนเมื่อเทียบกับสัญญาณภาพจาก pattern Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

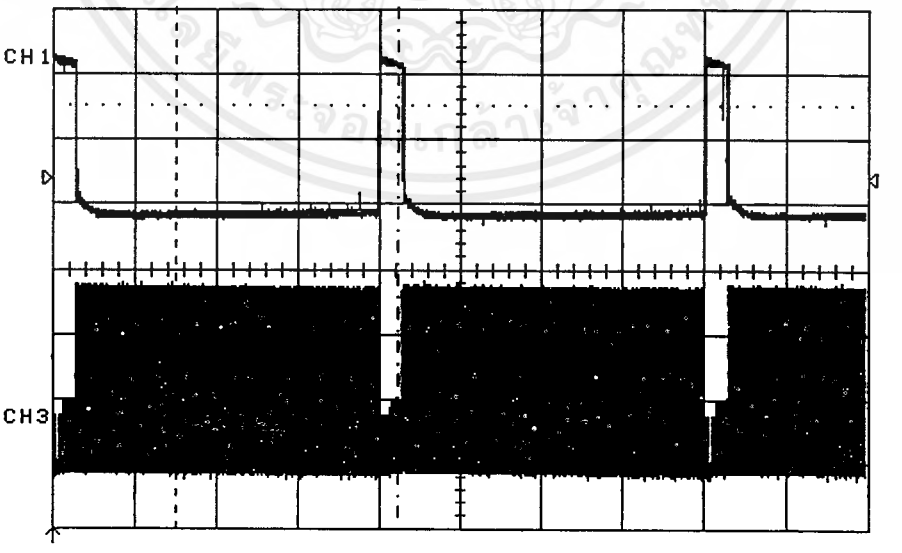
4.4 สัญญาณที่วัดได้ในส่วนของภาควงจรสร้างสัญญาณซิงค์ทางแนวตั้ง

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP21.



รูปที่ 4.4.1 แสดงสัญญาณที่ปรากฏที่ขา B ของ Tr6

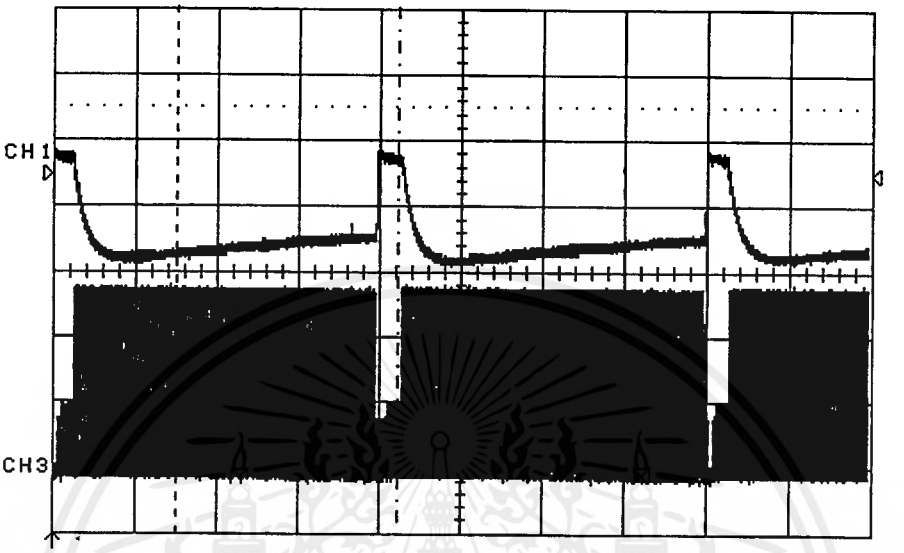
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP22.



รูปที่ 4.4.2. แสดงสัญญาณที่ปรากฏที่ขา C ของ Tr6

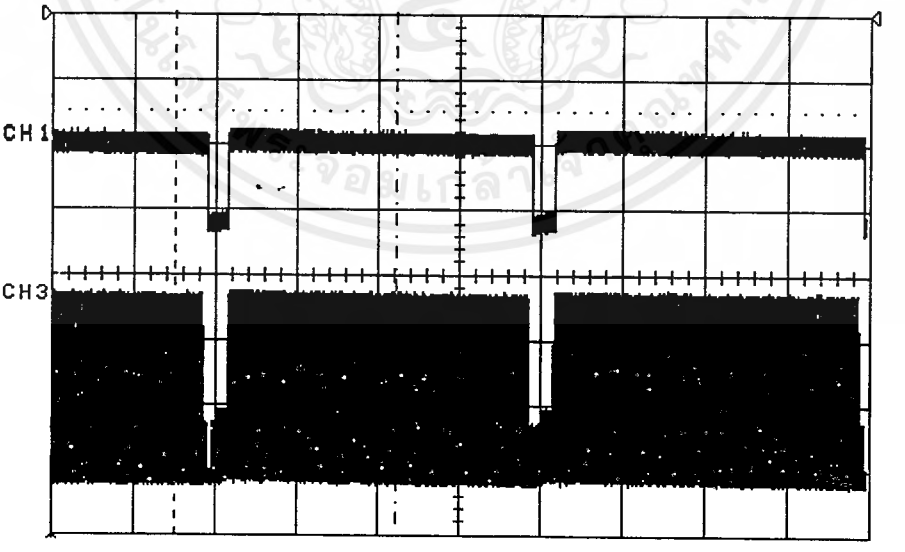
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP23.



รูปที่ 4.4.3. แสดงสัญญาณที่ปรากฏที่ขา B ของ Tr10

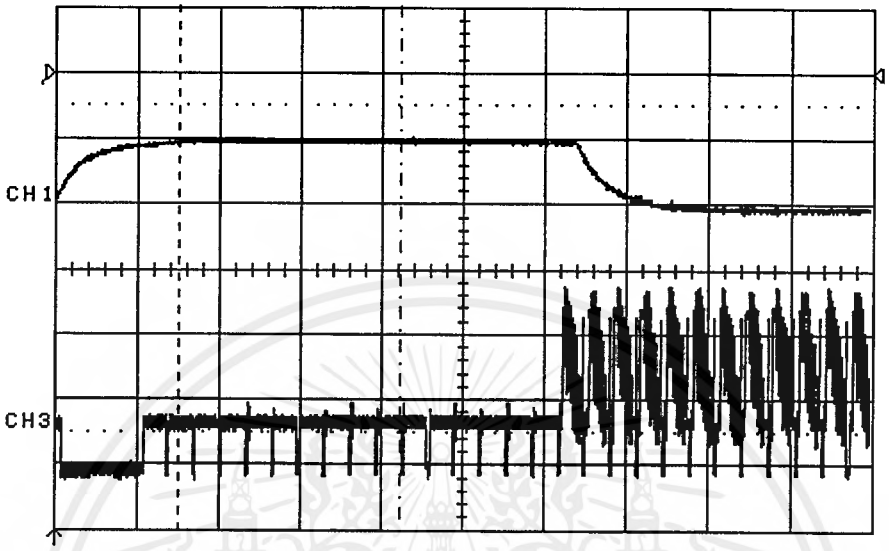
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP24



รูปที่ 4.4.4. แสดงสัญญาณที่ปรากฏที่ขา C ของ Tr6

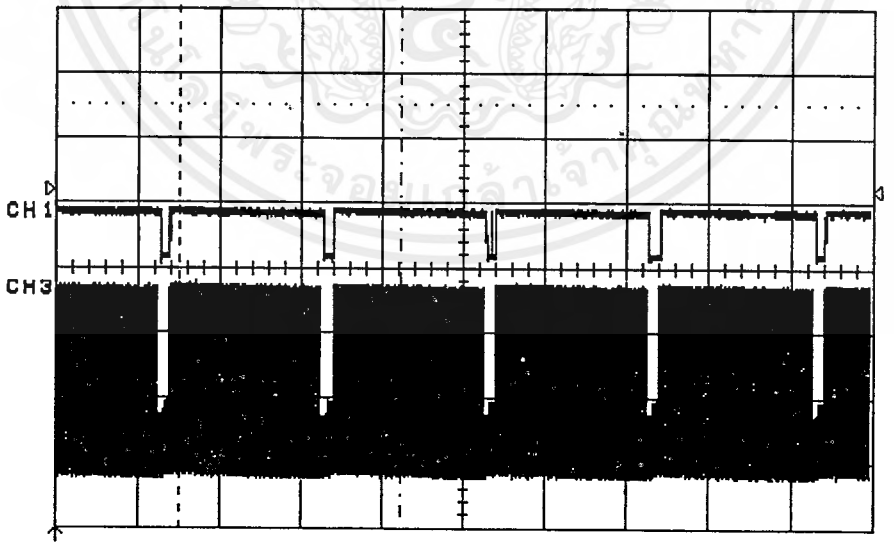
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP25.



รูปที่ 4.4.5. แสดงสัญญาณที่ปรากฏที่ขา 4 ของ IC10

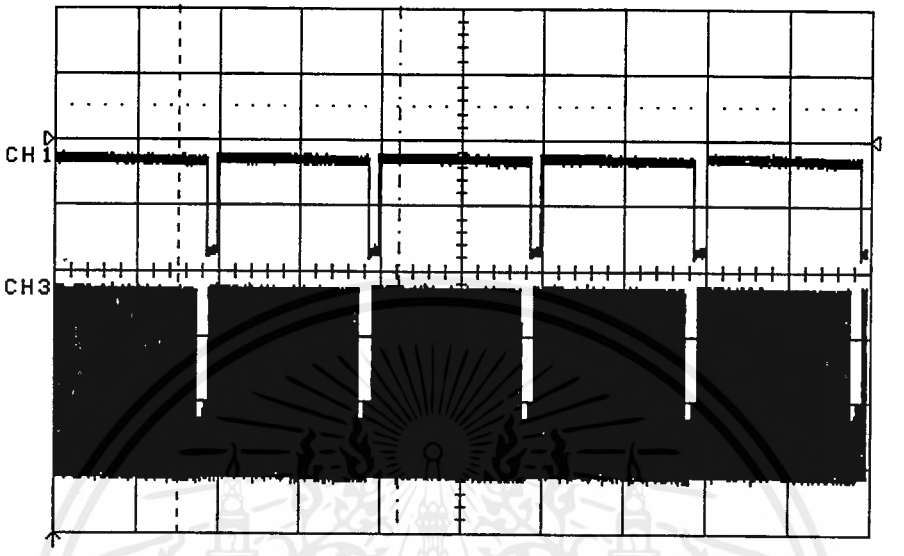
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP26.



รูปที่ 4.4.6. แสดงสัญญาณที่ปรากฏที่ขา 6 ของ IC10

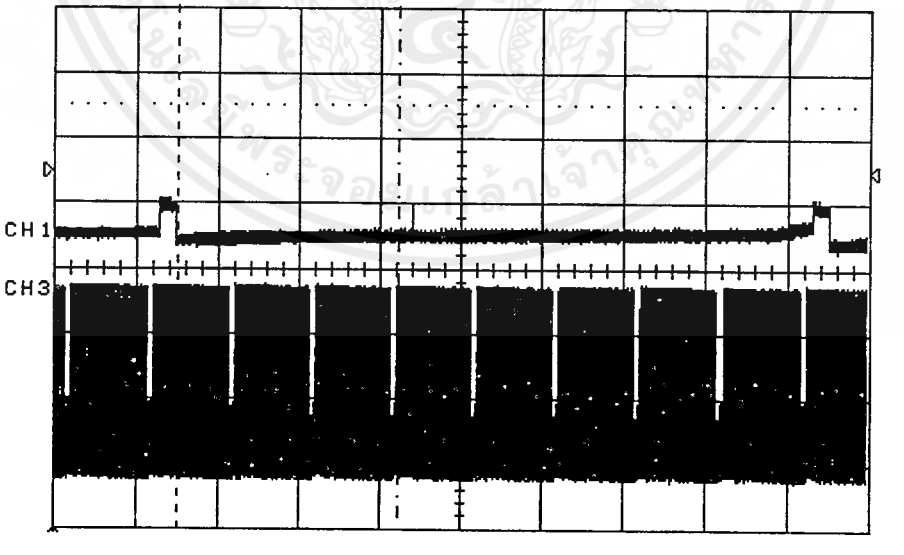
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP27.



รูปที่ 4.4.7. แสดงสัญญาณที่ปรากฏที่ขา 10 ของ IC9

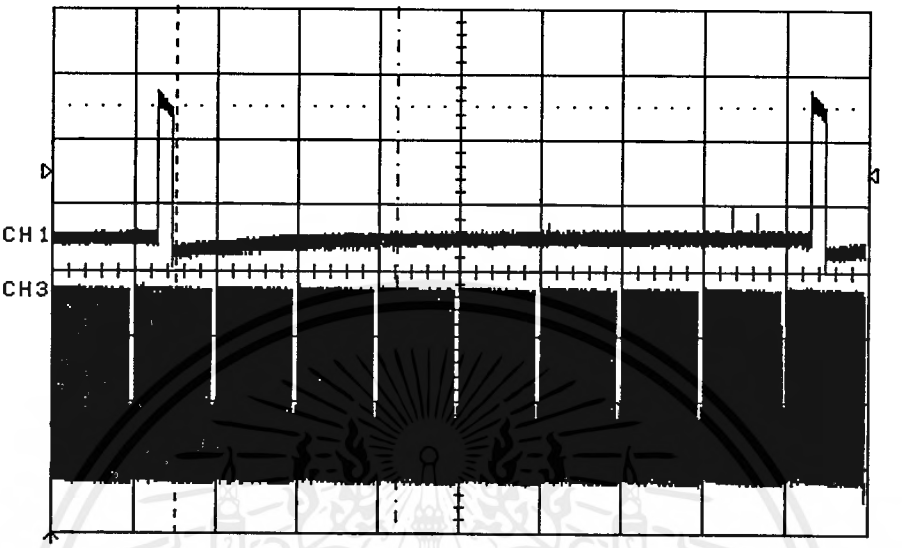
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP28.



รูปที่ 4.4.8. แสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC9

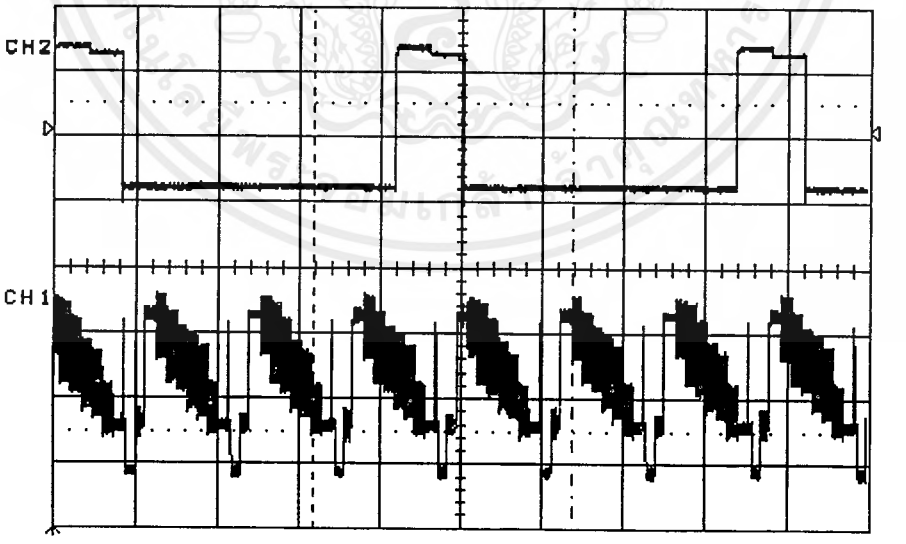
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP29. และ TP30.



รูปที่ 4.4.9. แสดงสัญญาณที่ปรากฏที่ขา 6 และขา 7 ของ IC3

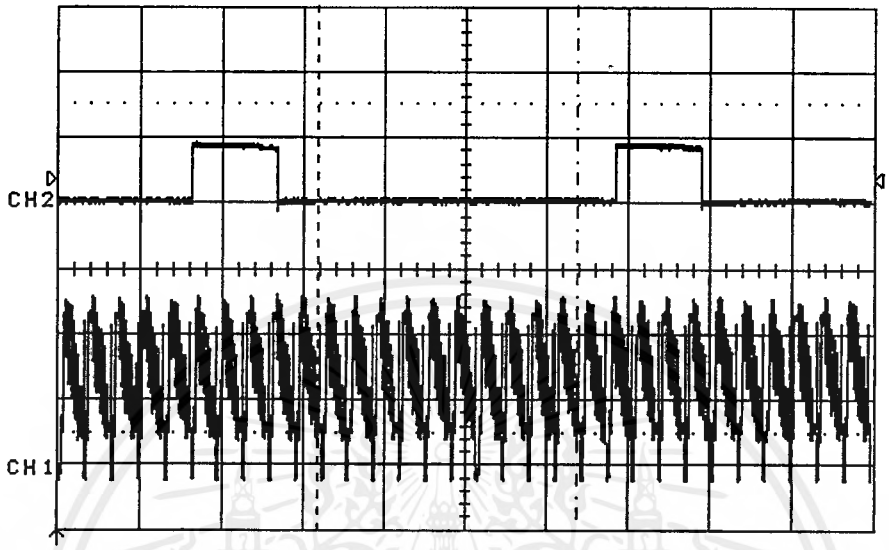
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP31.



รูปที่ 4.4.10. แสดงสัญญาณที่ปรากฏที่ขา 1 ของ IC3

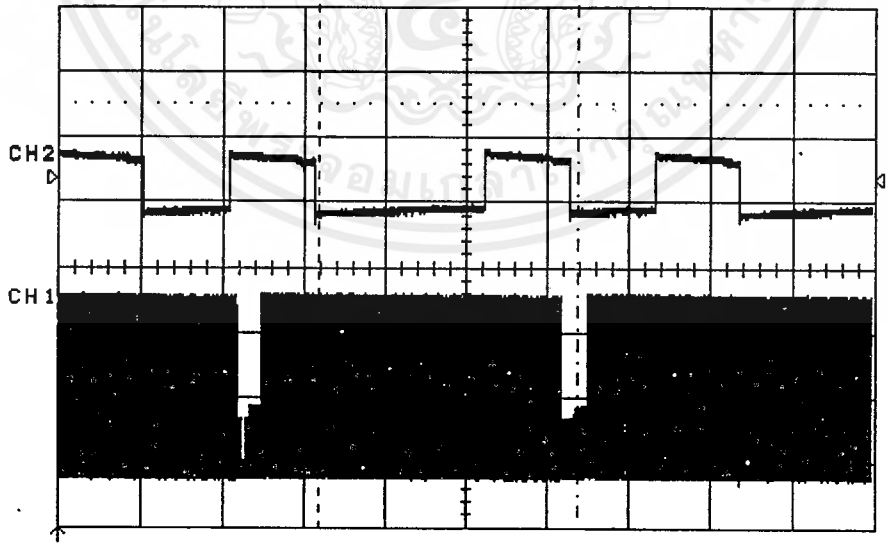
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP32.



รูปที่ 4.4.11. แสดงสัญญาณที่ปรากฏที่ขา 11 ของ IC2

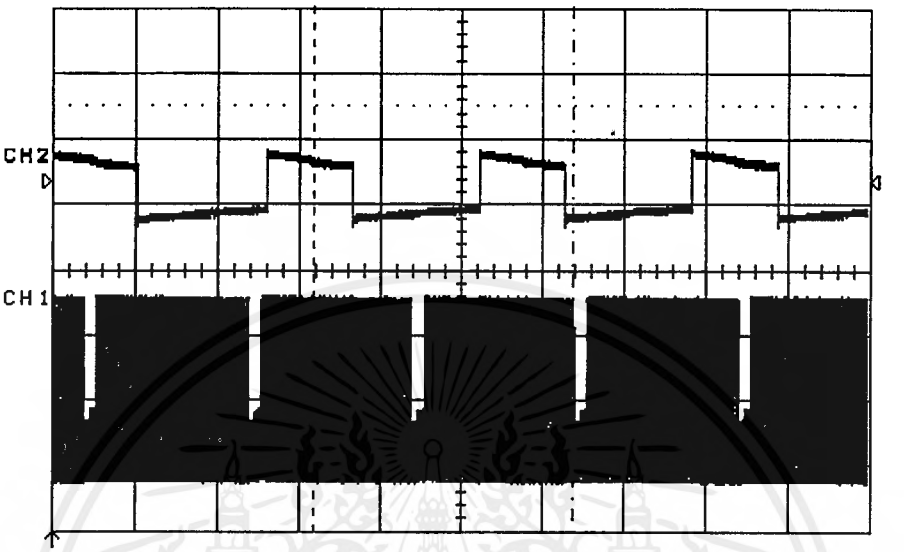
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP33.



รูปที่ 4.4.12. แสดงสัญญาณที่ปรากฏที่ขา 9 ของ IC7

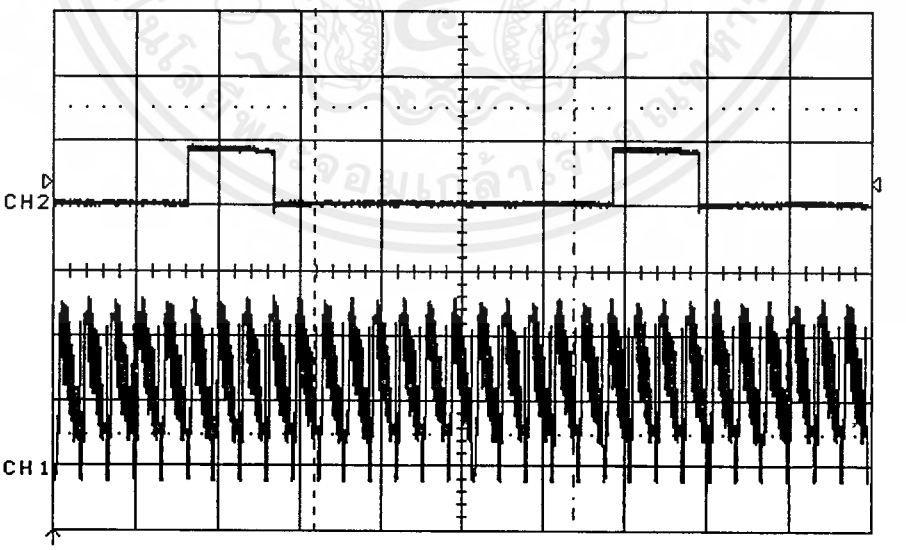
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP34.



รูปที่ 4.4.13. แสดงสัญญาณที่ปรากฏที่ขา 10 ของ IC7

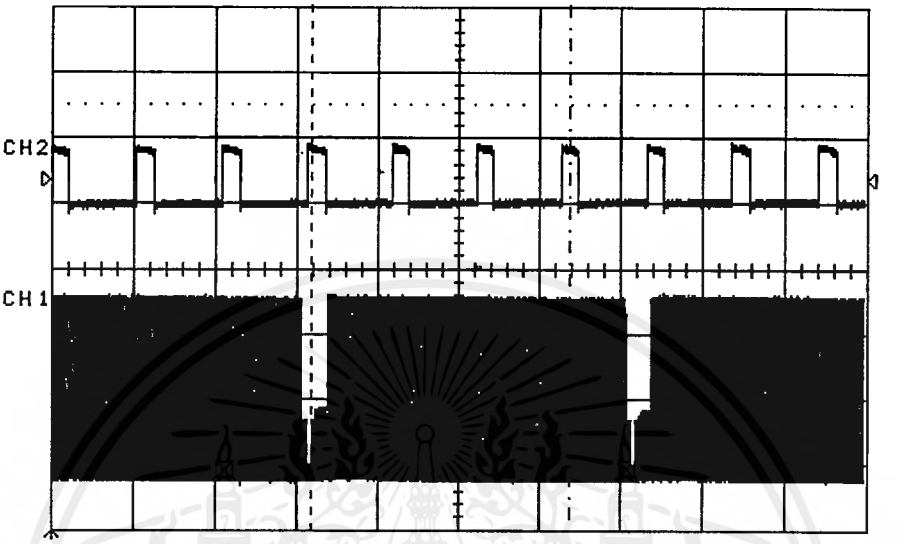
- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP35.



รูปที่ 4.4.14. แสดงสัญญาณที่ปรากฏที่ขา 12 ของ IC7

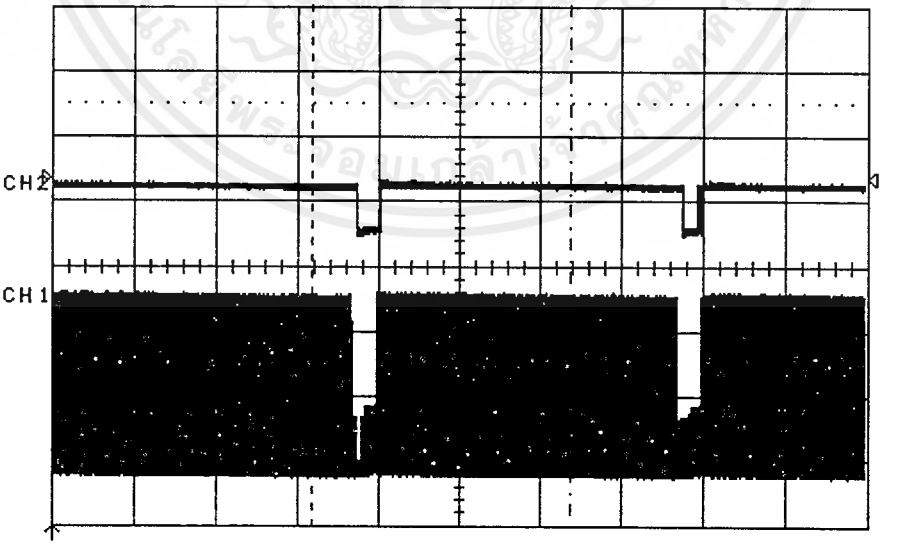
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP36.



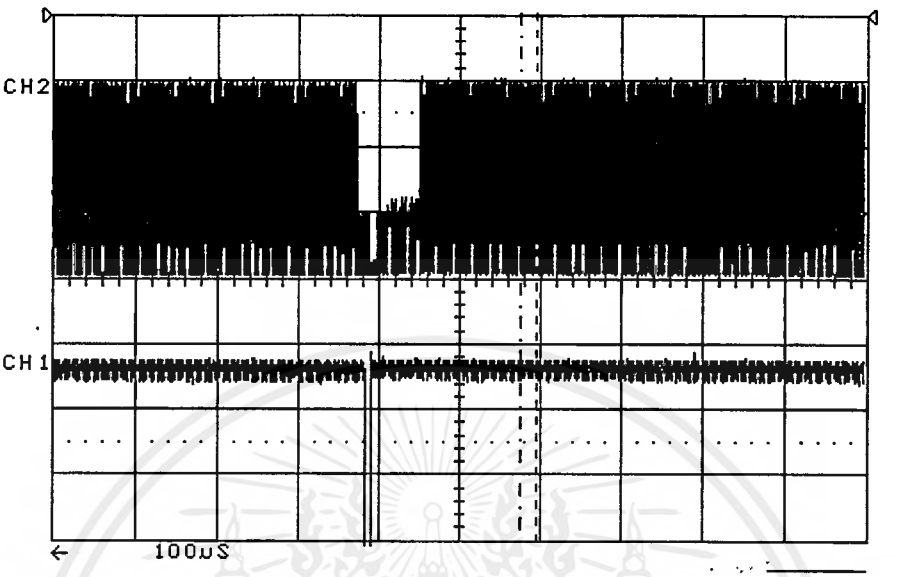
รูปที่ 4.4.15. แสดงสัญญาณที่ปรากฏที่ขา 13 ของ IC7

- ผลการทดลองเมื่อทำการวัดสัญญาณที่จุดทดสอบ TP37.



รูปที่ 4.4.16. แสดงสัญญาณที่ปรากฏที่ขา 8 ของ IC7, ขา 2 และขา 3 ของ IC8 และขา 5 ของ IC8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.20. แสดงสัญญาณซิงค์ทางแนวตั้งเมื่อเปรียบเทียบกับสัญญาณจาก Pattern Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการดำเนินงานและข้อเสนอแนะ

เครื่องถอดรหัสสัญญาณภาพ ที่ได้ทำขึ้นมานี้เพื่อศึกษาถึงการเข้ารหัสและการถอดรหัสของสัญญาณภาพที่ใช้กันอยู่ในเชิงธุรกิจซึ่งเครื่องถอดรหัสสัญญาณภาพนี้จะสามารถใช้ได้ในเฉพาะระบบ AV เท่านั้น และผลการดำเนินงานปรากฏว่าเครื่องถอดรหัสสัญญาณภาพได้จัดทำขึ้นมานี้สามารถที่จะถอดรหัสสัญญาณได้พอสมควร

ปัญหาที่เกิดขึ้น

1. เกิดจากเราไม่สามารถรู้ได้ว่าทางระบบการแพร่กระจายส่งสัญญาณของสถานีส่งสัญญาณที่เข้ารหัสมา จะมีการเข้ารหัสในแบบใดบ้าง เพราะว่าเป็นความลับของทางบริษัท

2. เกิดจากการการเลือกซื้ออุปกรณ์ที่ใช้ในวงจรจะต้องมีคุณภาพดีและตรงสเปคที่กำหนดโดยเฉพาะจำพวกไอซี TTL

แนวทางในการพัฒนา

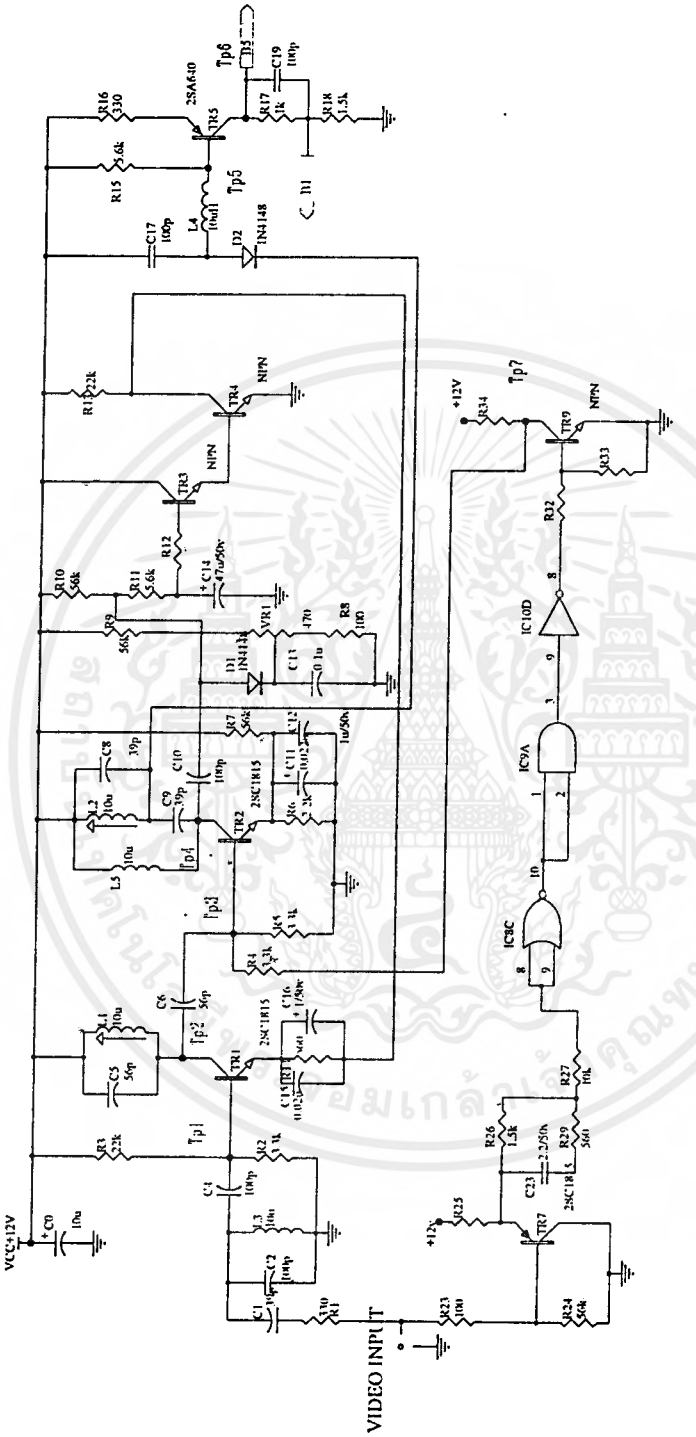
1. ในการพัฒนาและปรับปรุงให้เครื่องถอดรหัสสัญญาณภาพนี้สามารถทำการถอดรหัสสัญญาณภาพได้หลาย ๆ ระบบโดยไม่เจาะจงให้ทำการถอดรหัสสัญญาณได้เฉพาะระบบ AV เพียงอย่างเดียว เช่นสามารถทำการถอดรหัสสัญญาณภาพในระบบ RF ได้ด้วย

2. ควรปรับปรุงให้เครื่องถอดรหัสสัญญาณภาพนี้มีเสถียรภาพและคุณภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

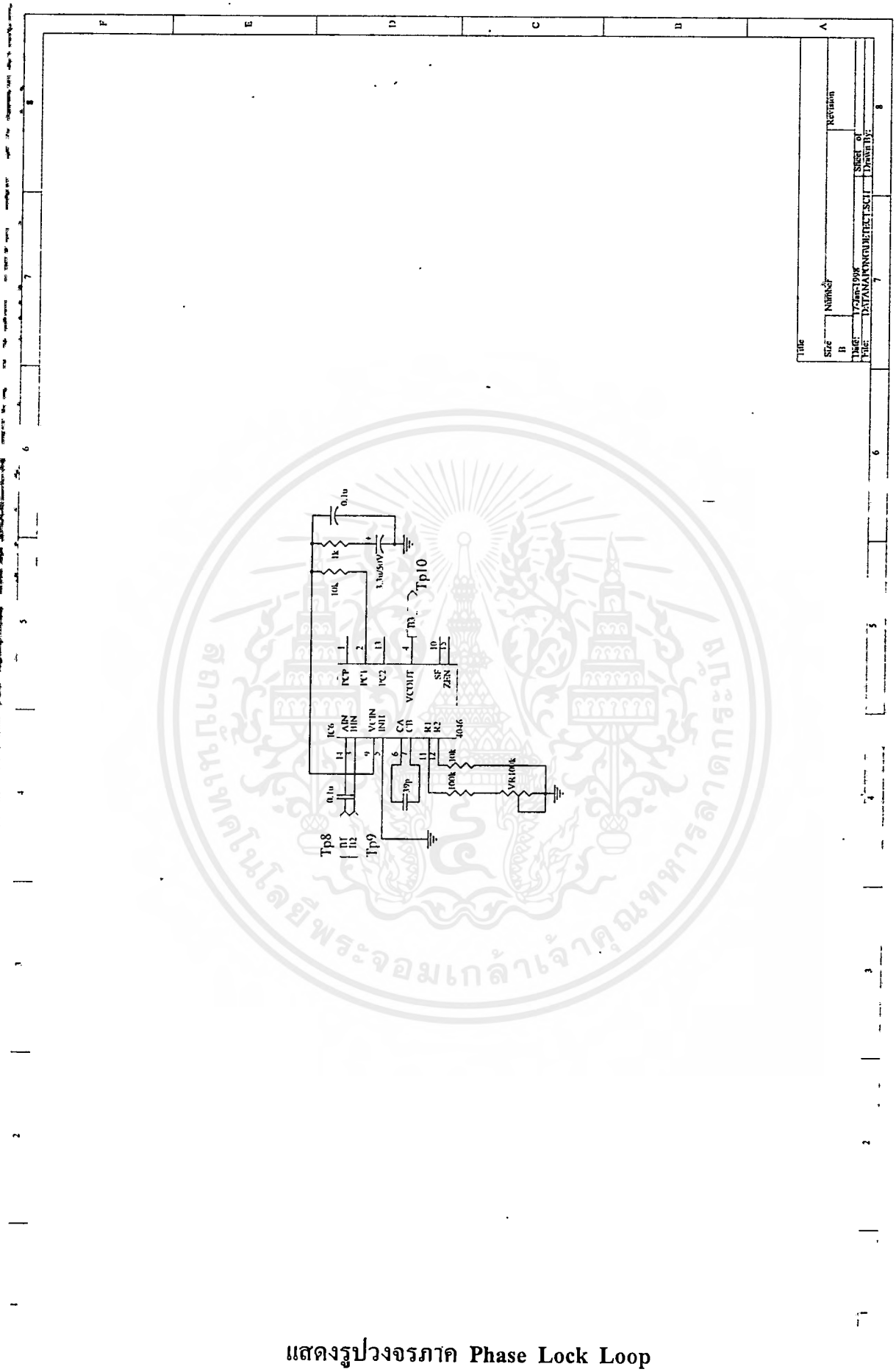
ภาคผนวก ก.
วงจรและลายปริ้นท์ที่ใช้ในปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



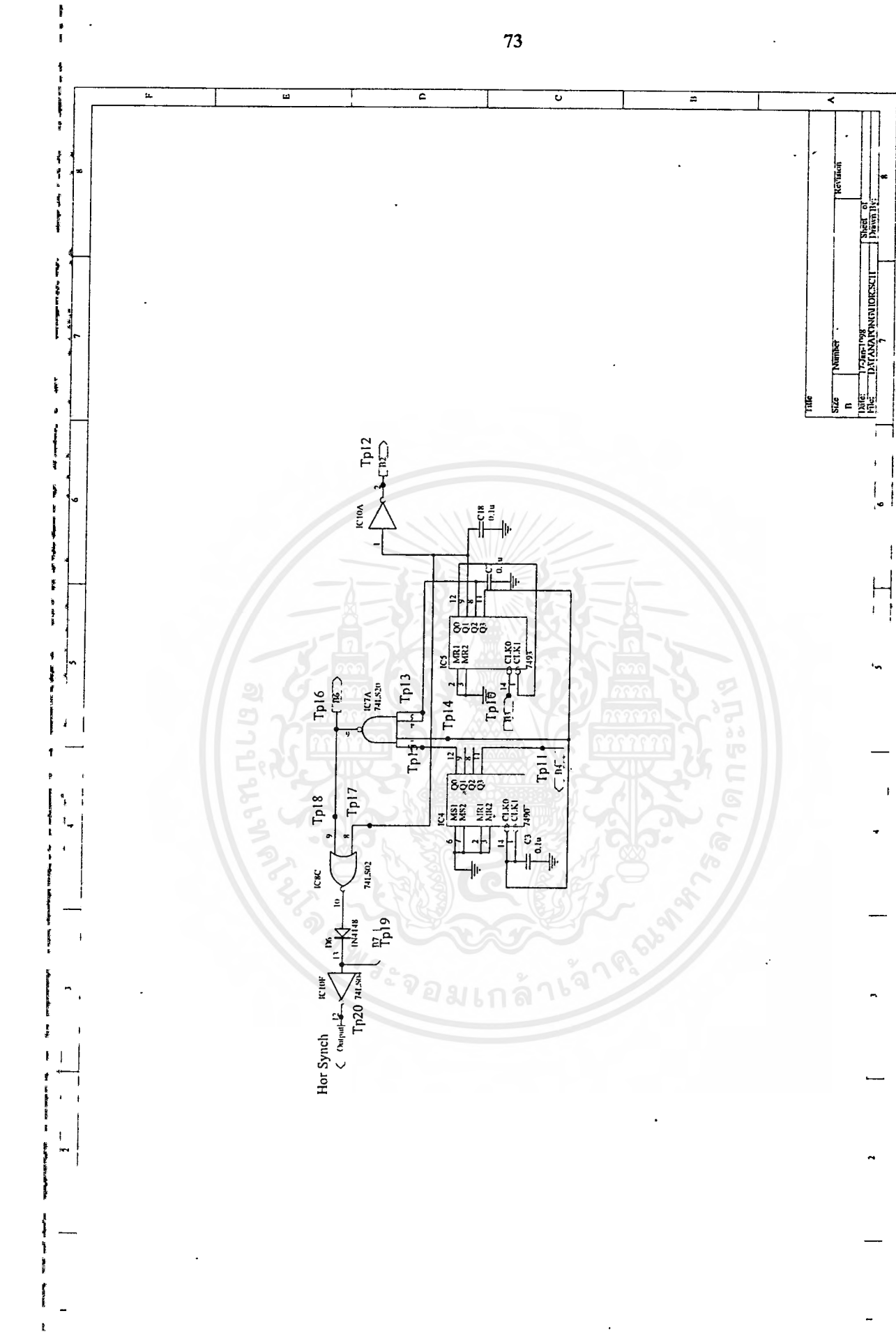
แสดงรูปวงจรภาคแยกสัญญาณเบริสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



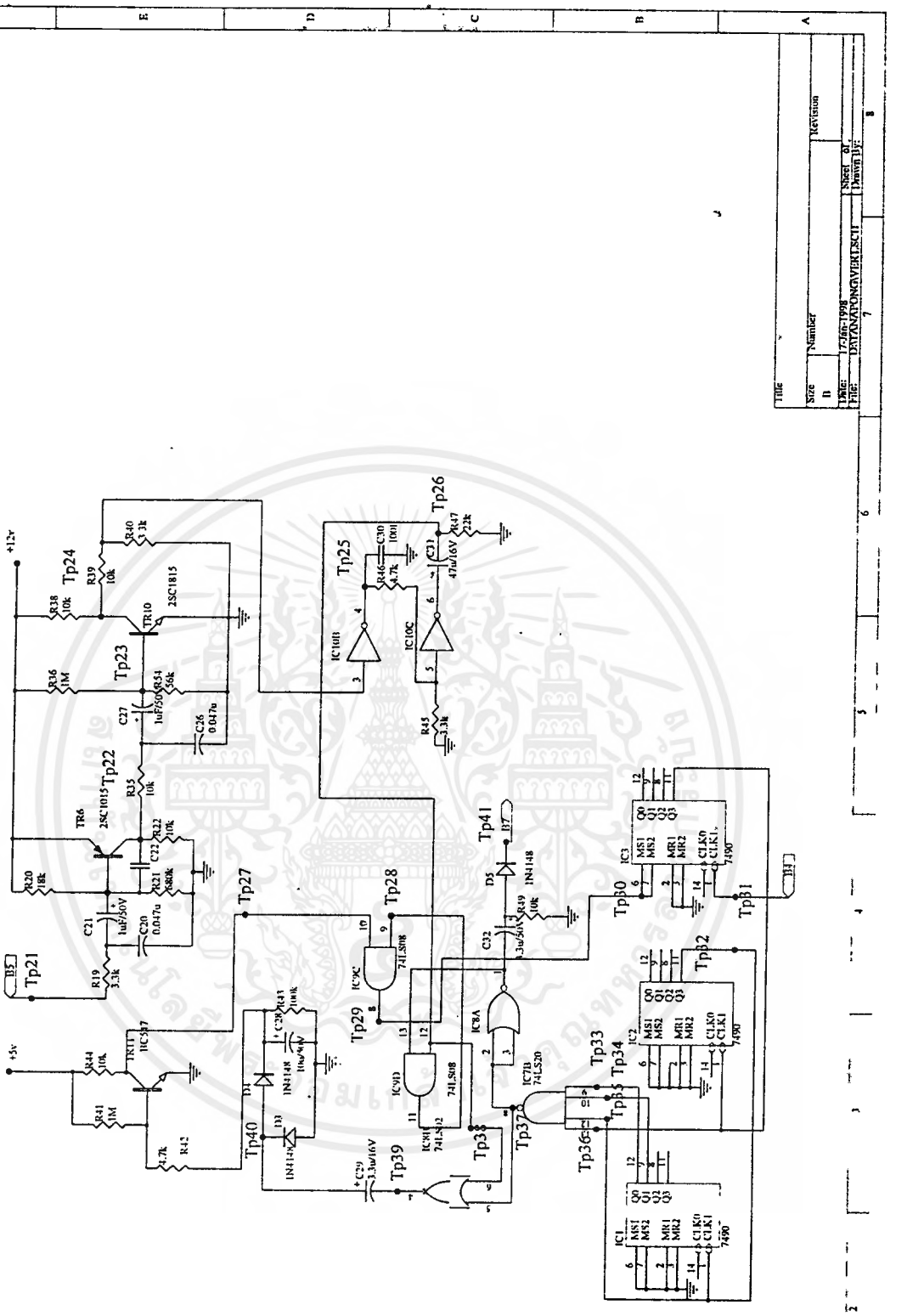
แสดงรูปวงจรภาค Phase Lock Loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



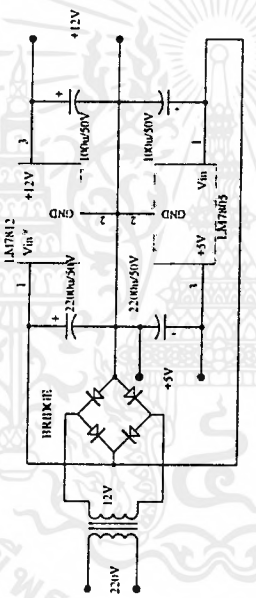
แสดงรูปวงจรภาคสร้างสัญญาณซิงค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



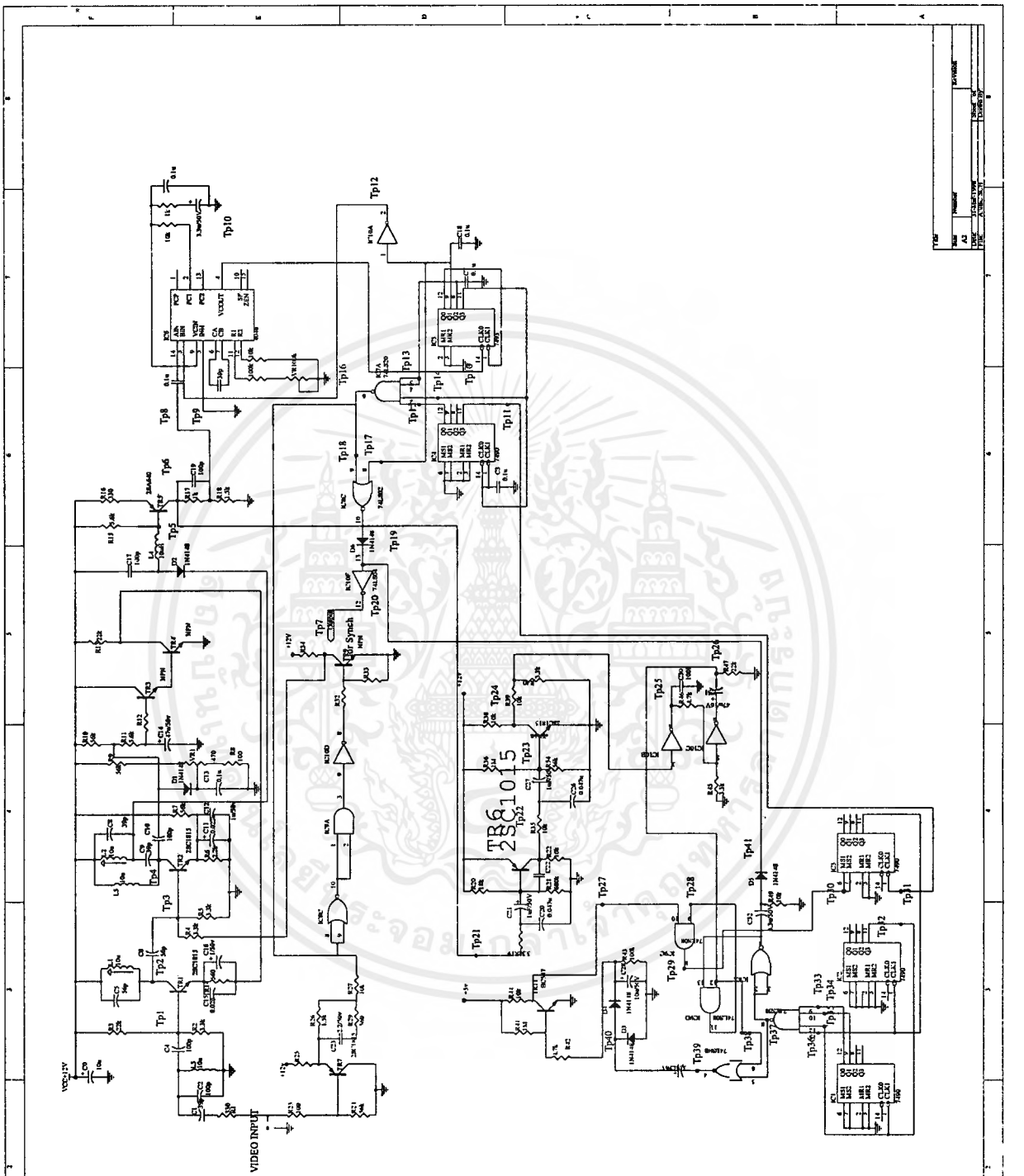
แสดงรูปวงจรภาคสร้างสัญญาณซิงค์ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



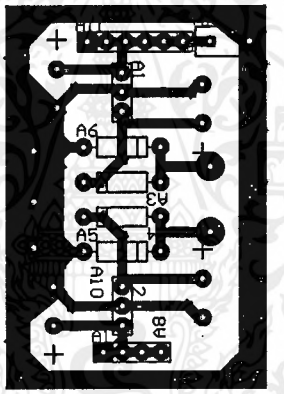
แสดงรูปวงจรภาค Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



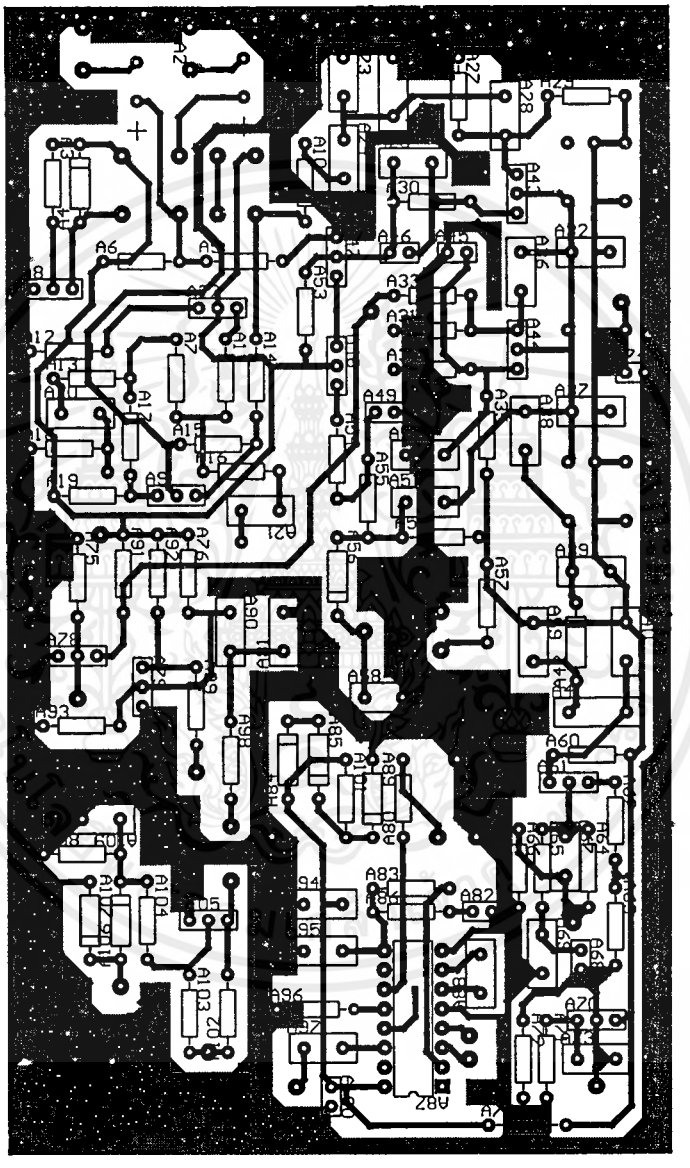
วงจรรวมทั้งหมดที่ใช้ในปริญญาณนิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



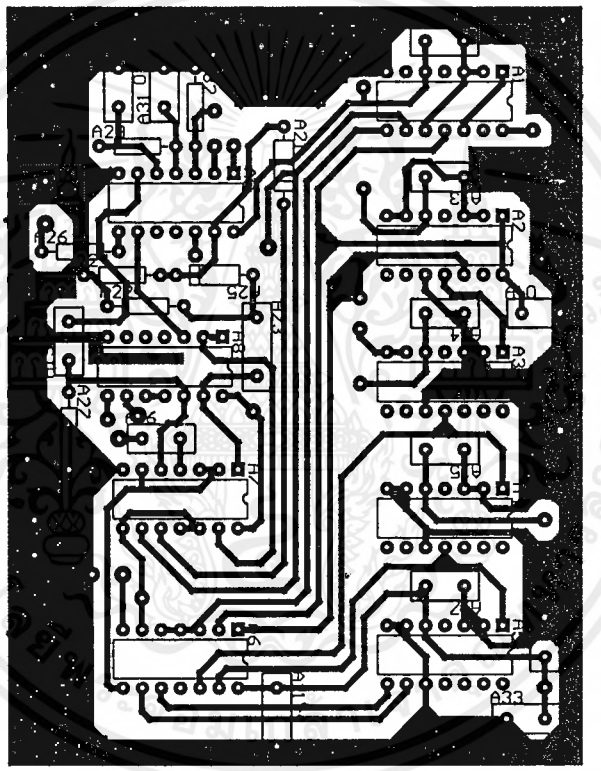
ลายปริ้นภาค Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายปริ้นภาค แยกสัญญาณเบิรสต์ และ เฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

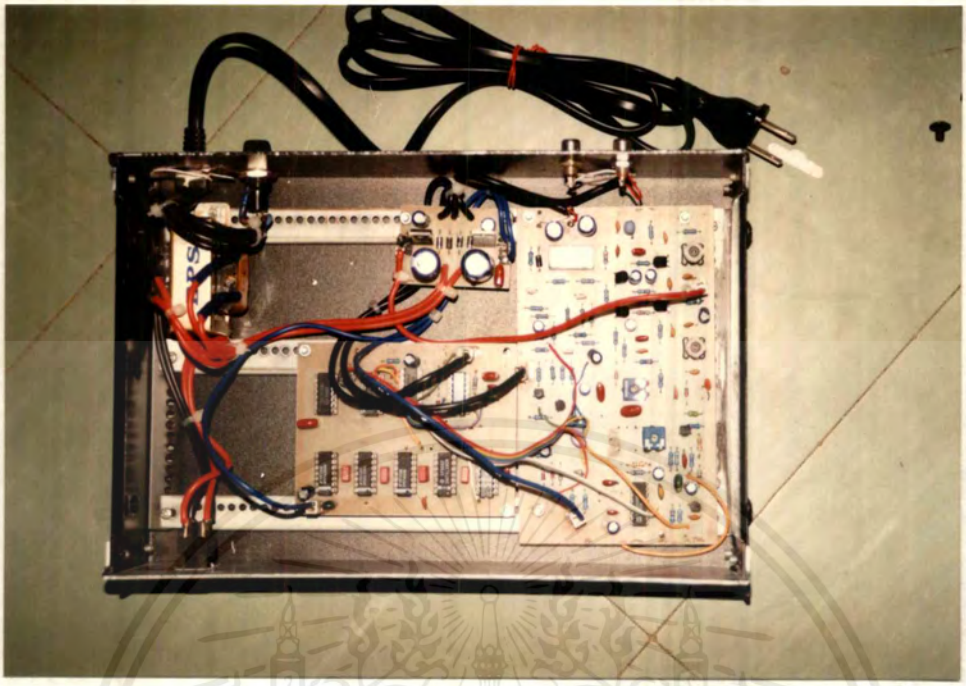


ลายปริ้นภาคกำเนิดสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
รูปเครื่องต้นแบบในปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปเครื่องต้นแบบของ VIDEO DESCRAMBLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ปรากฏที่จอหน้าเครื่องรับโทรทัศน์เมื่อทำการเข้ารหัสสัญญาณภาพ

รูปที่ปรากฏที่จอหน้าเครื่องรับโทรทัศน์เมื่อผ่านการถอดรหัสสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.
รายละเอียดข้อมูล และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

General Description

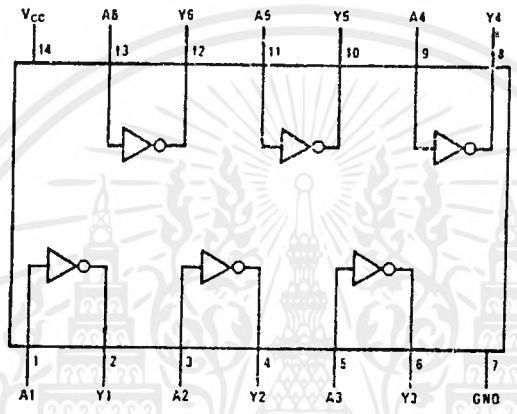
This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6345–1

Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{A}$

Input	Output
A	Y
L	H
H	L

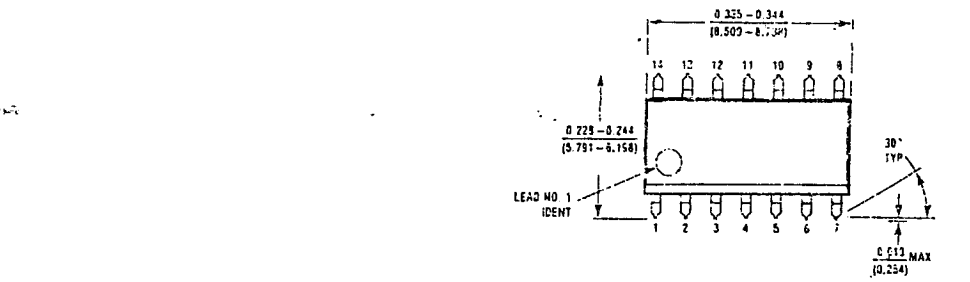
H = High Logic Level
L = Low Logic Level

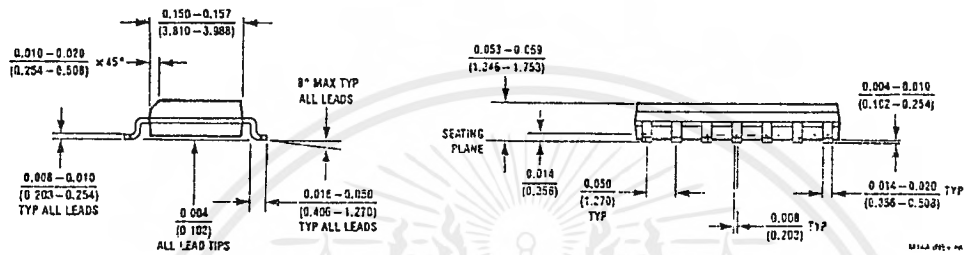
©1995 National Semiconductor Corporation TL/F/6345

RRD-B30M105/Printed in U.S.A.

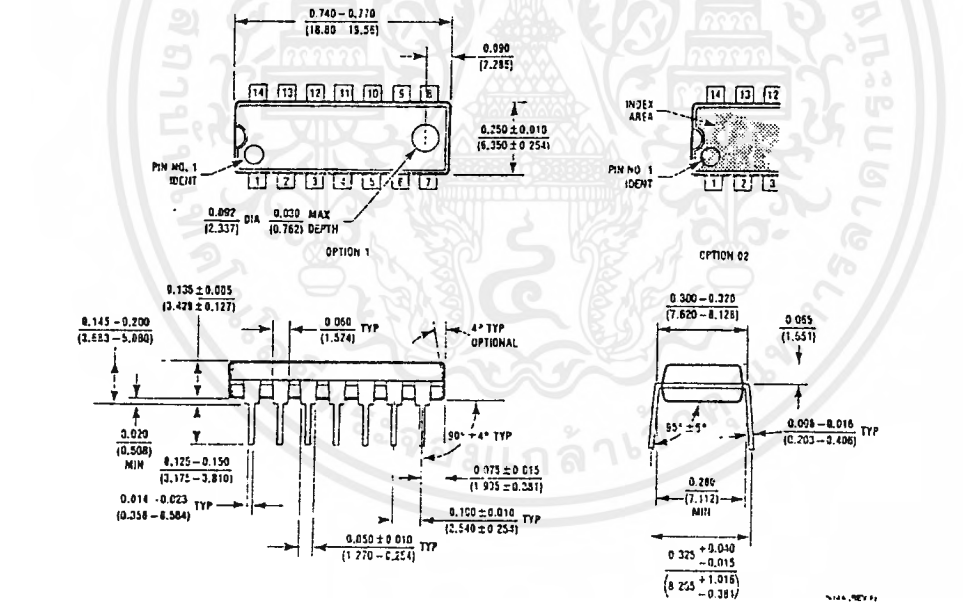
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)





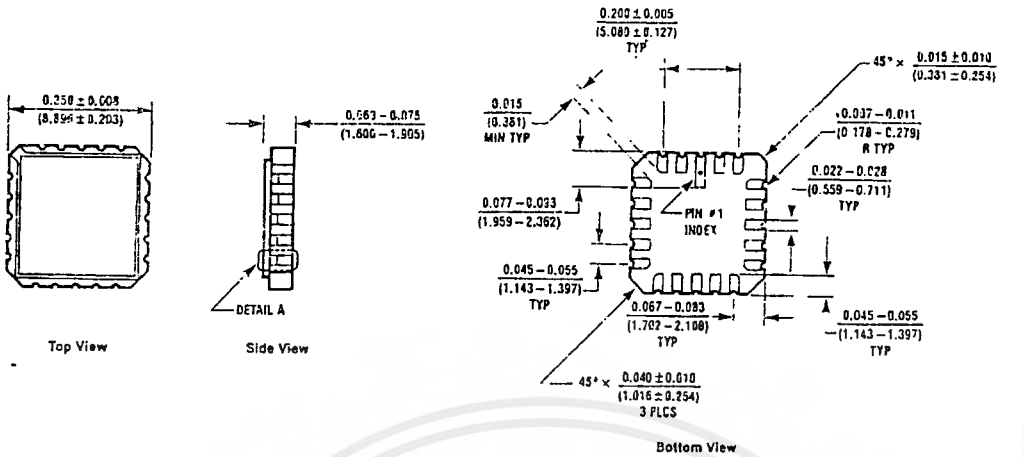
14-Lead Small Outline Molded Package (M)
Order Number DM74LS04M
NS Package Number M14A

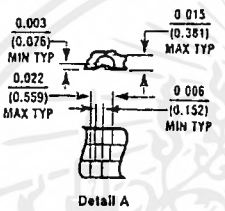


14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS04N
NS Package Numoer N14A

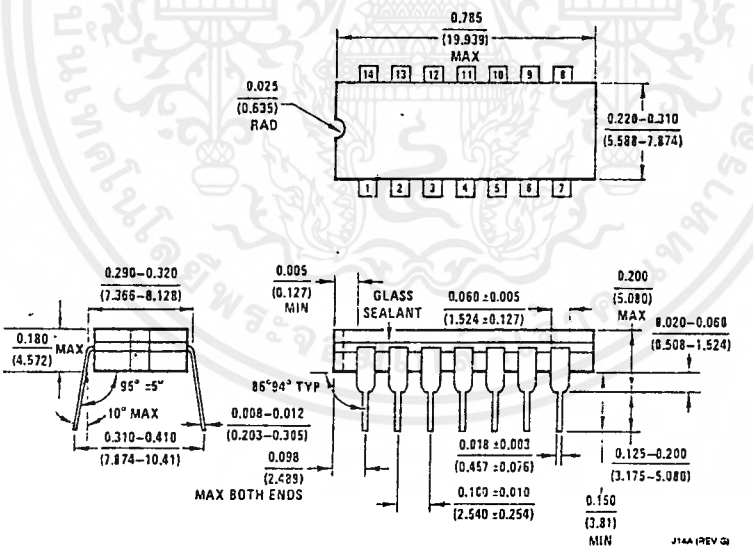
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)





Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS04LMQB
NS Package Number E20A



14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS04DMQB or DM54LS04J
NS Package Number J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			1.2	2.4	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			3.6	6.6	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

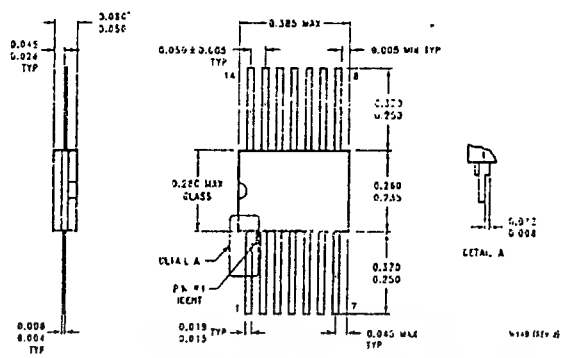
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS04FMQB or DM54LS04W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

General Description

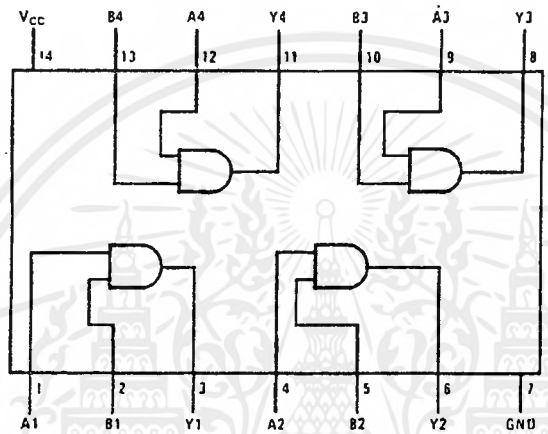
This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6347–1

Order Number 54LS08DMQB, 54LS08FMQB, 54LS08LMQB, DM54LS08J, DM54LS08W, DM74LS08M or DM74LS08N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level

© 1995 National Semiconductor Corporation RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS08			DM74LS08			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			2.4	4.8	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			4.4	8.8	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

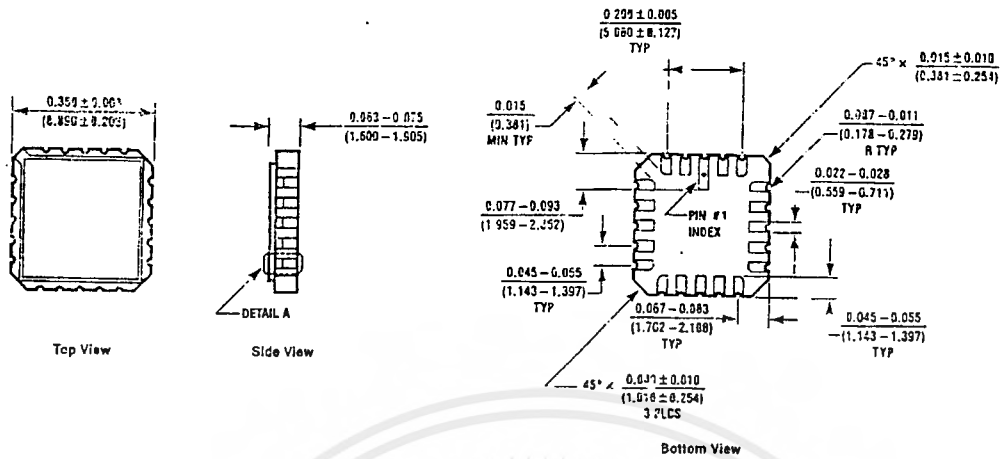
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	4	13	6	18	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	11	5	18	ns

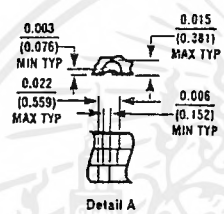
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

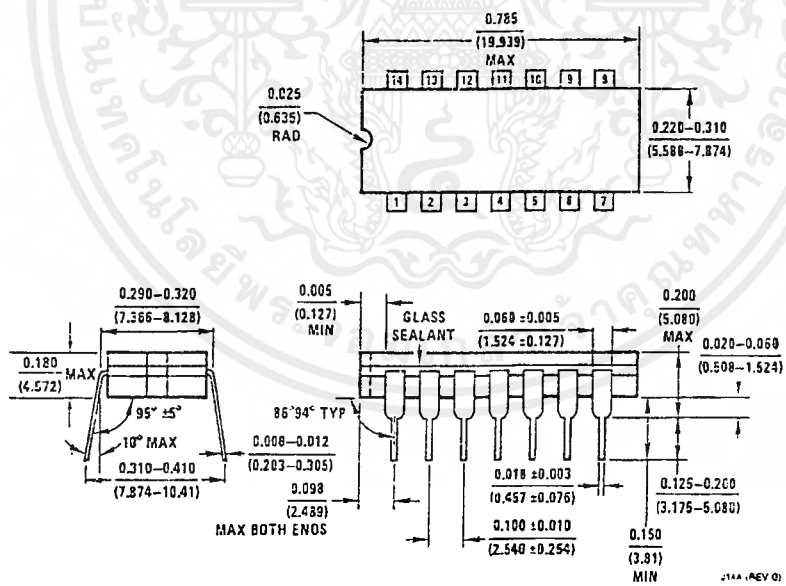
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)





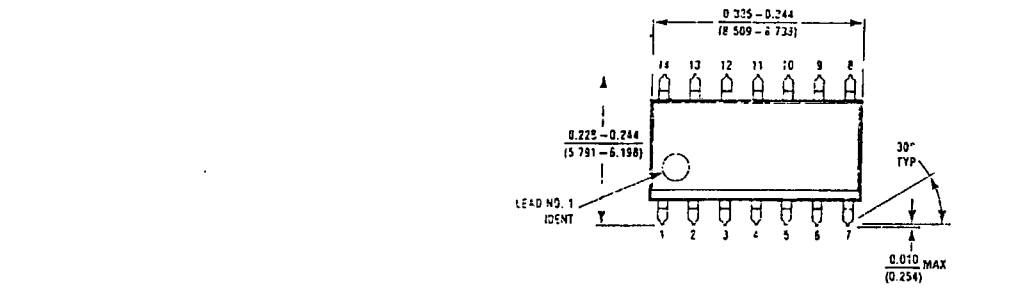
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS08LMQB
NS Package Number E20A

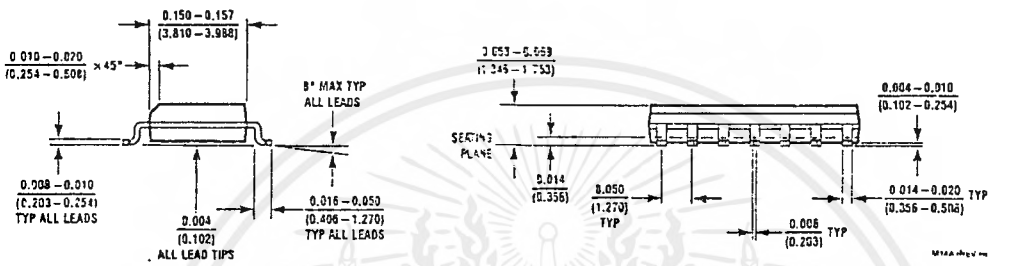


14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS08DMQB or DM54LS08J
NS Package Number J14A

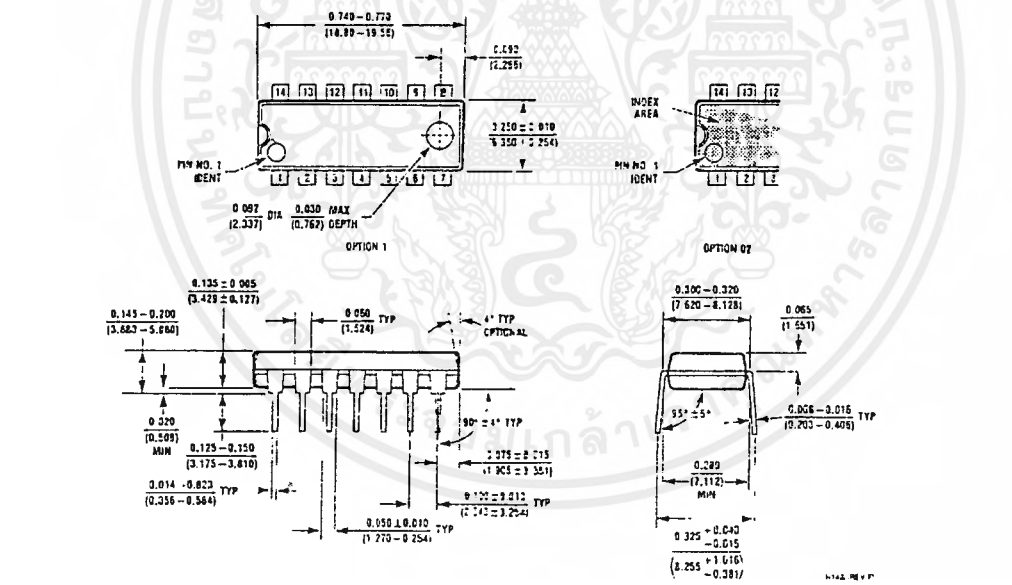
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)





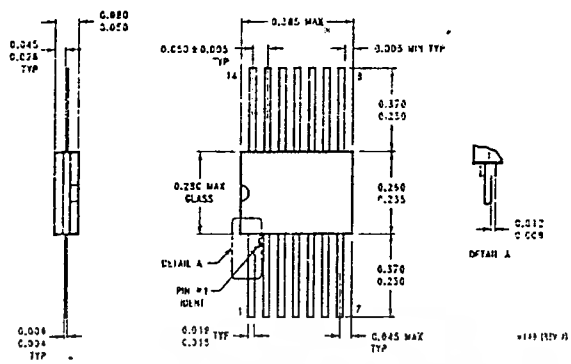
14-Lead Small Outline Molded Package (M)
Order Number DM74LS08M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS08N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS08FMQB or DM54LS08W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: onjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS02/DM54LS02/DM74LS02 Quad 2-Input NOR Gates

General Description

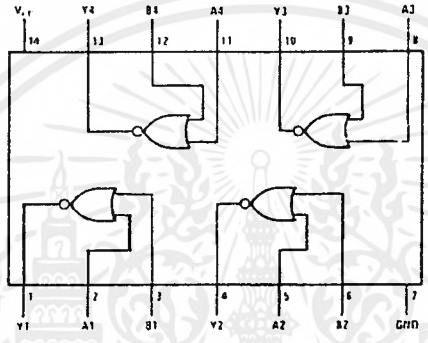
This device contains four independent gates each of which performs the logic NOR function.

Features

- Alternate Military/Aerospace device (54LS02) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications

Connection Diagram

Dual-In-Line Package



TL/F/6441–1

Order Number 54LS02DMQB, 54LS02FMQB, 54LS02LMQB, DM54LS02J, DM54LS02W, DM74LS02M or DM74LS02N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS02			DM74LS02			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.40	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			1.6	3.2	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			2.8	5.4	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

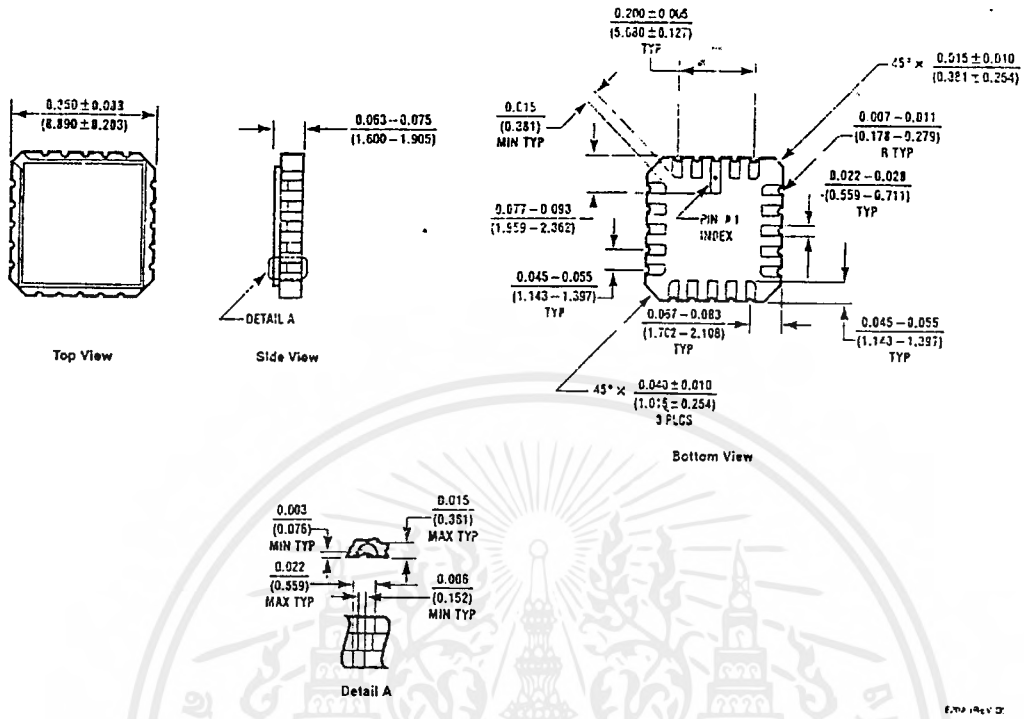
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output		13		18	ns
t_{PHL}	Propagation Delay Time High to Low Level Output		10		15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

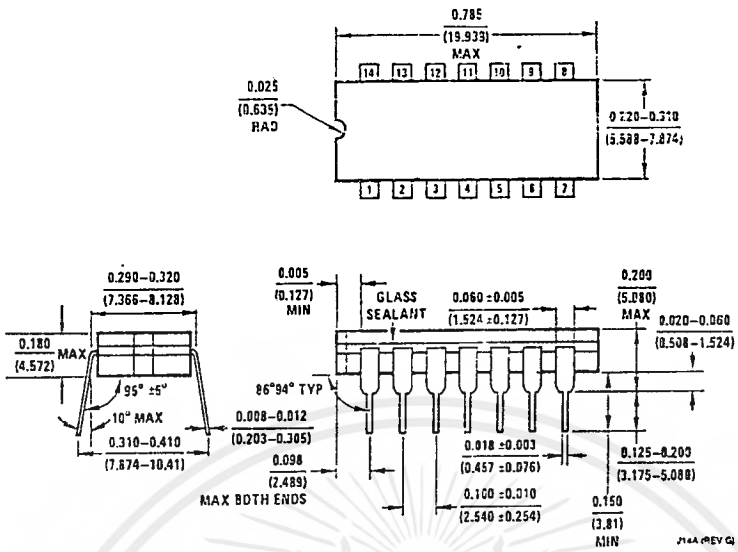
Physical Dimensions inches (millimeters)



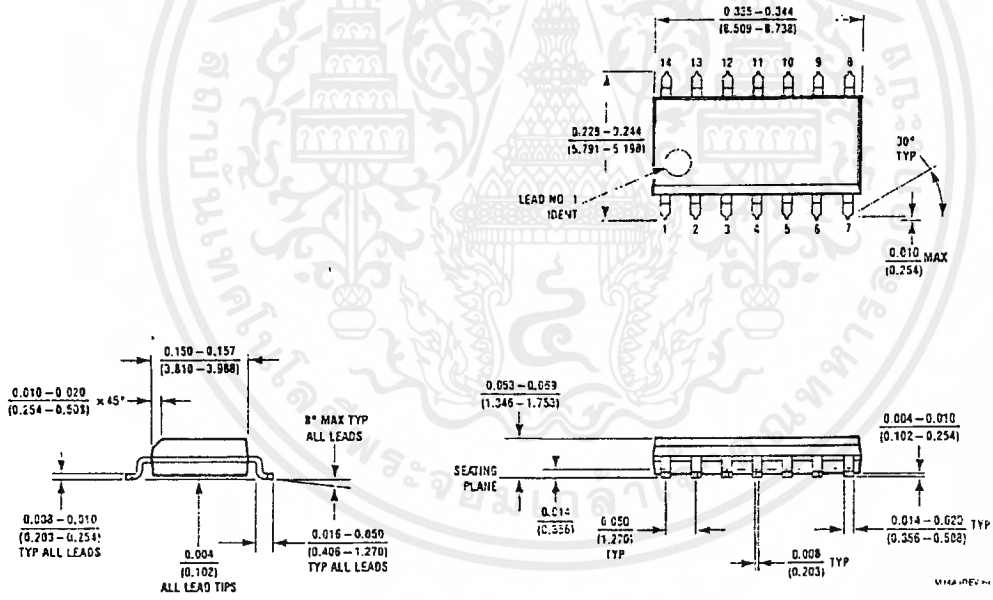
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS02LMQB
NS Package Number E20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



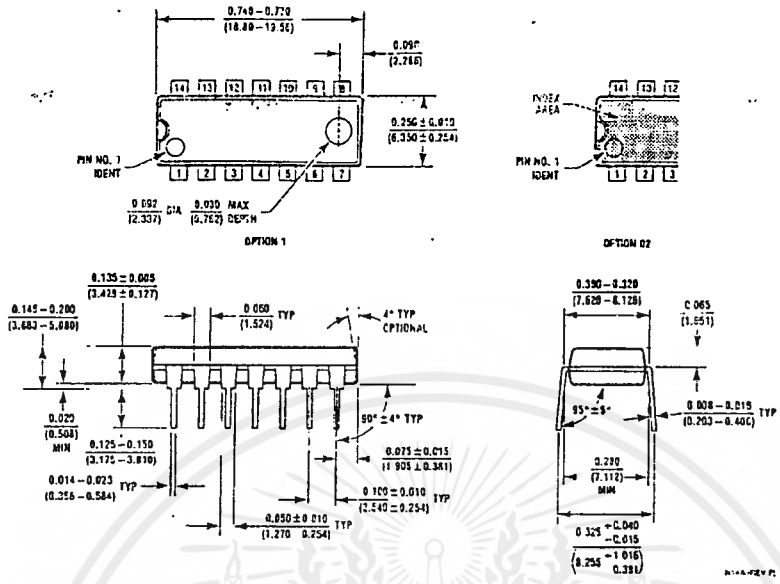
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS02DMQB or DM54LS02J
NS Package Number J14A



14-Lead Small Outline Molded Package (M)
Order Number DM74LS02M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

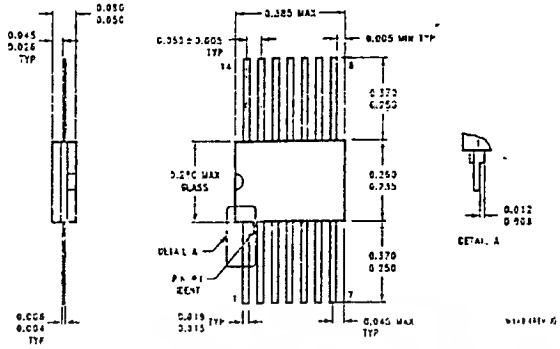
Physical Dimensions inches (millimeters) (Continued)



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS02N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS02FMQB or DM54LS02W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cstgeuro@nsc.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National Semiconductor does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS20/DM54LS20/DM74LS20 Dual 4-Input NAND Gates

General Description

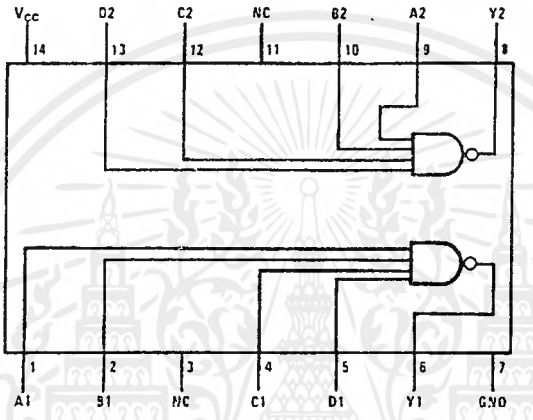
This device contains two independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (54LS20) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications

Connection Diagram

Dual-In-Line Package



TL/F/6355–1

Order Number 54LS20DMQB, 54LS20FMQB, 54LS20LMQB, DM54LS20J, DM54LS20W, DM74LS20M or DM74LS20N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{ABCD}$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = High Logic Level
L = Low Logic Level
X = Either Low or High Logic Level

©1995 National Semiconductor Corporation RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS20			DM74LS20			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{CL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			0.4	0.8	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			1.2	2.2	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

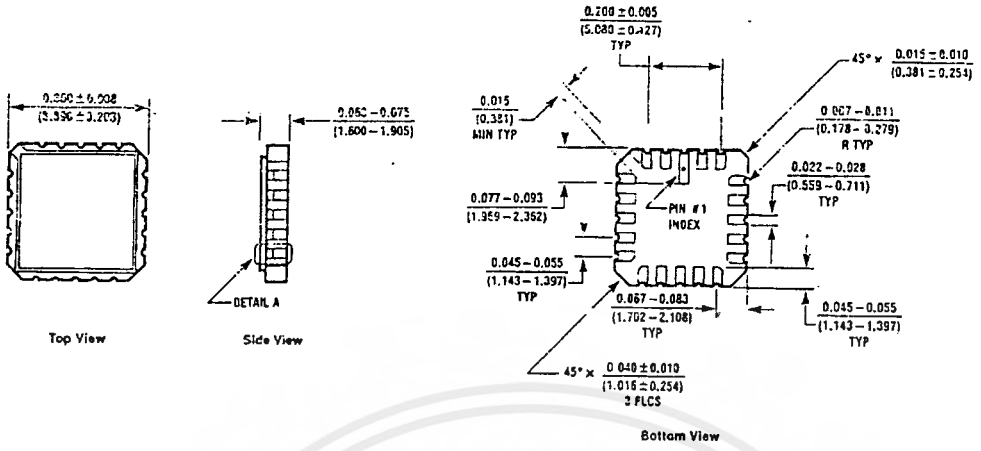
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

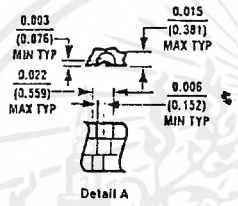
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

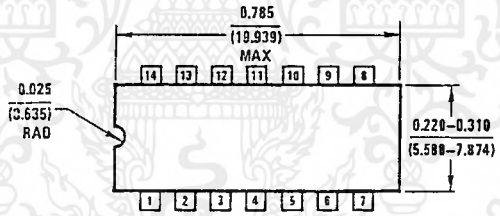
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

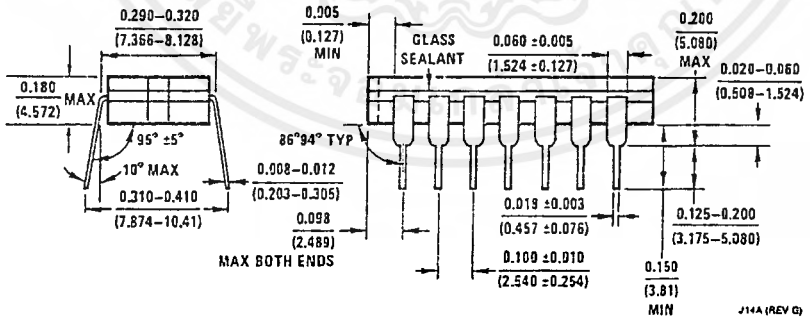
Physical Dimensions inches (millimeters)





Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS20LMQB
NS Package Number E20A

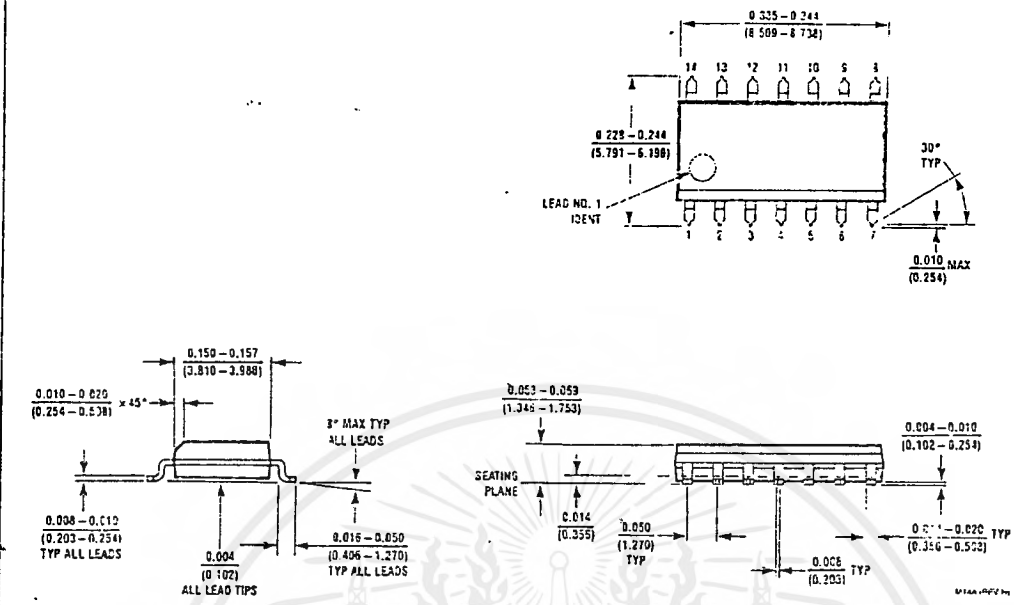




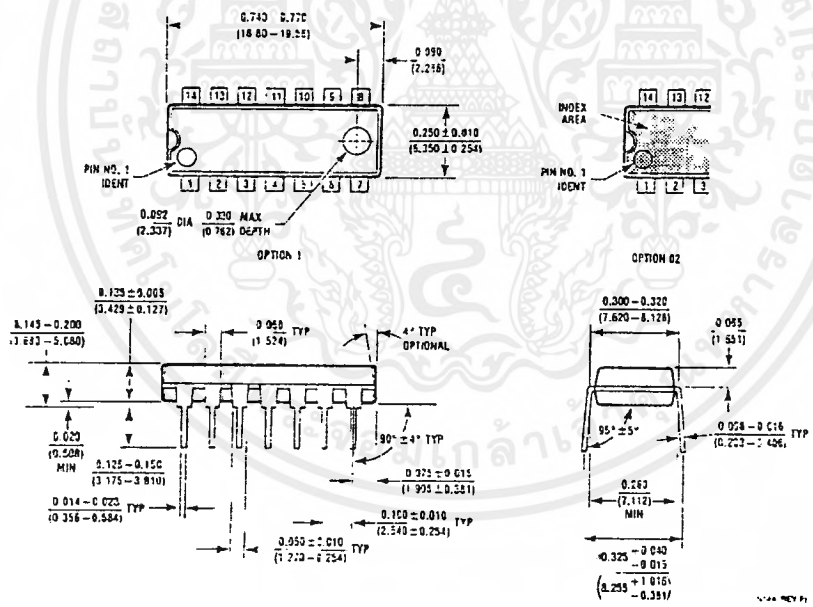
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS20DMQB or DM54LS20J
NS Package Number J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



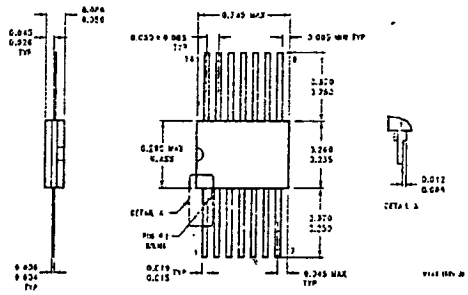
14-Lead Small Outline Molded Package (M)
Order Number DM74LS20M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS20N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS20FMQB or DM54LS20W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

For the most recent revision of this datasheet, contact National Semiconductor Corporation. National Semiconductor Corporation assumes no responsibility for the use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

DM74LS90/DM74LS93 Decade and Binary Counters

General Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the 'LS90 and divide-by-eight for the 'LS93.

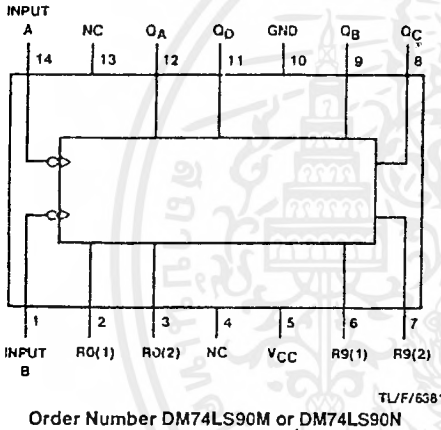
All of these counters have a gated zero reset and the LS90 also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade or four bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate truth table. A symmetrical divide-by-ten count can be obtained from the 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

Features

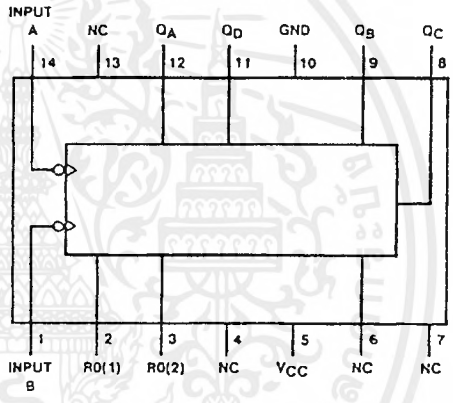
- Typical power dissipation 45 mW
- Count frequency 42 MHz

Connection Diagrams (Dual-In-Line Packages)



TL/F/6381–1

Order Number DM74LS90M or DM74LS90N
See NS Package Number M14A or N14A



TL/F/6381–2

Order Number DM74LS93M or DM74LS93N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/F/6381

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage (Reset)	7V
Input Voltage (A or B)	5.5V
Operating Free Air Temperature Range	
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		DM74LS90 Min	DM74LS90 Nom	DM74LS90 Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			V
V_{IL}	Low Level Input Voltage				0.8	V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	MHz
		B to Q_B	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	MHz
		B to Q_B	0		10	
t_W	Pulse Width (Note 1)	A	15			ns
		B	30			
		Reset	15			
t_W	Pulse Width (Note 2)	A	25			ns
		B	50			
		Reset	25			
t_{REL}	Reset Release Time (Note 1)		25			ns
t_{REL}	Reset Release Time (Note 2)		35			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min (Note 4)			0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max, V_I = 5.5V	A			0.2	
			B			0.4	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Reset			20	μA
			A			40	
			B			80	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	mA
			A			−2.4	
			B			−3.2	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both R0 inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = Max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

'LS90 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MHz
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		48		52	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		50		60	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		32		36	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	SET-9 to Q_A, Q_D		30		35	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-9 to Q_B, Q_C		40		48	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

Symbol	Parameter		DM74LS93 Min	DM74LS93 Nom	DM74LS93 Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			V
V_{IL}	Low Level Input Voltage				0.8	V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	MHz
		B to Q_B	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	MHz
		B to Q_B	0		10	
t_W	Pulse Width (Note 1)	A	15			ns
		B	30			
		Reset	15			
t_W	Pulse Width (Note 2)	A	25			ns
		B	50			
		Reset	25			
t_{REL}	Reset Release Time (Note 1)		25			ns
t_{REL}	Reset Release Time (Note 2)		35			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min (Note 4)			0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max, V_I = 5.5V	A			0.2	
			B			0.4	
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Reset			20	μA
			A			40	
			B			80	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	mA
			A			−2.4	
			B			−1.6	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both RO inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

'LS93 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MHz
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		70		85	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		70		90	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		51		60	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		51		70	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Tables

LS90
BCD Count Sequence
(See Note A)

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

LS90
Bi-Quinary (5-2)
(See Note B)

Count	Output			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

LS93
Count Sequence
(See Note C)

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

LS90
Reset/Count Truth Table

Reset Inputs				Output			
R0(1)	R0(2)	R9(1)	R9(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

LS93
Reset/Count Truth Table

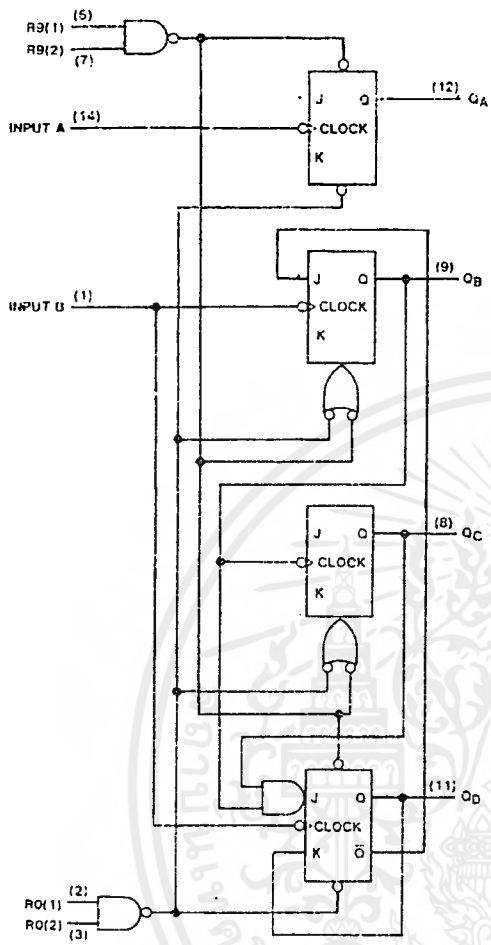
Reset Inputs		Output			
R0(1)	R0(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Note A: Output Q_A is connected to input B for BCD count.
Note B: Output Q_D is connected to input A for bi-quinary count.
Note C: Output Q_A is connected to input B.
Note D: H = High Level, L = Low Level, X = Don't Care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

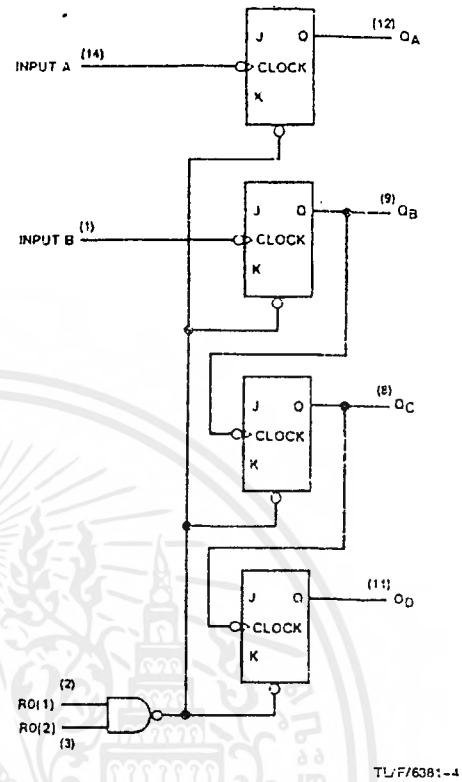
Logic Diagrams

LS90



TL/F/6381–3

LS93

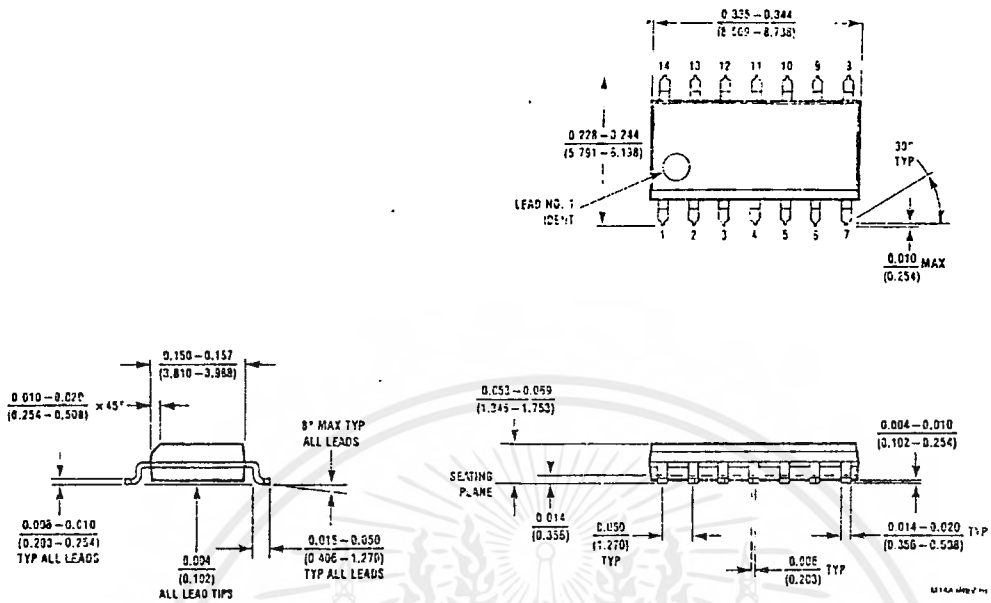


TL/F/6381–4

The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

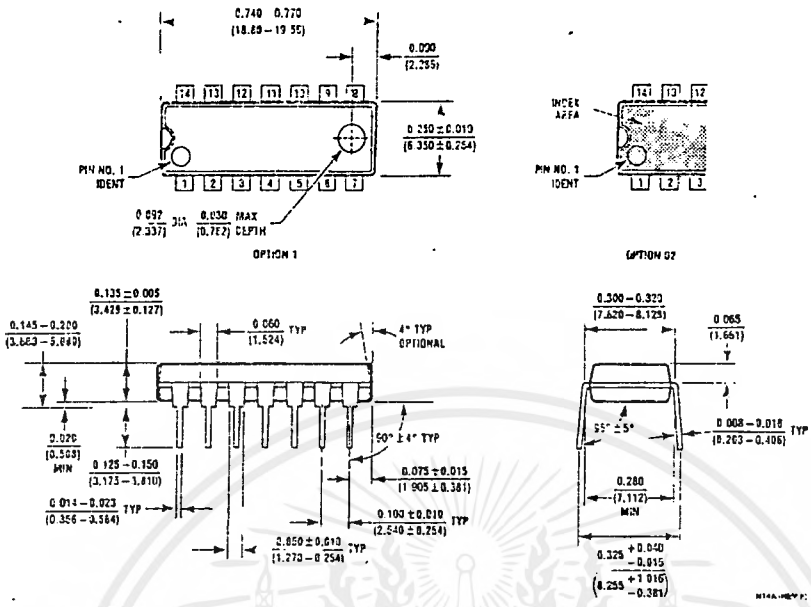
Physical Dimensions inches (millimeters)



14-Lead Small Outline Molded Package (M)
Order Number DM74LS90M or DM74LS93M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS90N or DM74LS93N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- ชูเกียรติ จันทรานี "ทฤษฎีตรวจซ่อมโทรทัศน์สี". ฝ่ายวิชาการ โรงเรียนช่างเทคนิคกรุงเทพนิมิต,พ.ศ. 2528
- เจน สมสงพันธุ์ "ปฏิบัติการโทรทัศน์สี". สถาบันอิเล็กทรอนิกส์กรุงเทพ, กรุงเทพมหานคร.,พ.ศ. 2536
- "โทรคมนาคมยุคดาวเทียม". สถาบันอิเล็กทรอนิกส์กรุงเทพ,ฉบับที่ 18,. หน้า 104-139. กรุงเทพมหานคร.,พ.ศ. 2538
- "คู่มือไอซี CMOS 4000 SERIES". สำนักพิมพ์ ซีเอ็ดยูเคชั่น,พ.ศ. 2521
- "COLOUR TELEVISION CIRCUIT 1992". วี.พี. เซลล์ แอนด์ เซอร์วิส จำกัด, กรุงเทพมหานคร.,พ.ศ. 2535
- NATIONAL SEMICONDUCTOR "TTL DATA BOOK". 1983
- NATIONAL SEMICONDUCTOR "CMOS DATA BOOK". 1992
- Rudoulf F. Graf and Willian Sheet "Video Scrambling & Descrambling for Satellite & Cable TV". W. SAME & COMPANY,USA., 1989
- Frank Baylin, Richard Maddos and Jonh McCormac "World Satellite TV and Scrambling Methods". BYLIN PUBLICATIONS,USA., 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้