เครื่องถอดรหัสสัญญาณภาพ

VIDEO DESCRAMBLE

นาย วรชัย	อุทัยวัณณ์	39012024
นาย วรุตม์	ตากดำรงค์กุล	39012026
นาย สุชาติ	กลิ่นเขียว	39012031

วัน เดือน ปี 11 ต.ค. 2541
เลขทะเบียน 038913
เลขเรียกหนังสือ T 10150 ก 181ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาเทคโนโลยีอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038913

หัวข้อปริญญานิพนธ์ **เครื่องถอดรหัสสัญญาณภาพ**
VIDEO DESCRAMBLE

ชื่อนักศึกษา นาย วรชัย อุทัยวัณณ์
นาย วรุตม์ ตากดำรงค์กุล
นาย สุชาติ กลิ่นเขียว

อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ประดิษฐ์ วัชรพิบูลย์
ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2540

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของ การศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

.....

คณะกรรมการสอบปริญญานิพนธ์

..... อาจารย์ที่ปรึกษา
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องถอดรหัสสัญญาณภาพ

VIDEO DESCRAMBLE

นาย วรชัย อุทัยวัณณ์ รหัส 39012024

นาย วรุตม์ ตากดำรงค์กุล รหัส 39012026

นาย สุชาติ กลิ่นเขียว รหัส 39012031

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์ประดิษฐ์ วัชรพิบูลย์

ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอระบบการถอดรหัสสัญญาณภาพ จากการกระจายสัญญาณภาพของเคเบิ้ลทีวี เช่น ไอบีซีเคเบิ้ลทีวีและไทยสกายเคเบิ้ลทีวี ที่มีการเข้ารหัสไว้โดยการตัดซิงค์ทางแนวนอนและทางแนวตั้งออกไป เพื่อจะทำให้ภาพล้มรับชมไม่ได้ โดยทั่วไปวิธีการถอดรหัสมี 2 ลักษณะ คือ ลักษณะการถอดรหัสสัญญาณทางด้านอาร์เอฟและการถอดรหัสสัญญาณทางด้านวีดีโอ ซึ่งปริญญานิพนธ์นี้เป็นการนำเสนอวิธีการถอดรหัสสัญญาณภาพทางด้านวีดีโอ โดยอาศัยการแยกสัญญาณเบิรสต์ที่ส่งมาจากเครื่องส่งเป็นสัญญาณอ้างอิงเพื่อสร้างสัญญาณซิงค์ทางแนวตั้งและสัญญาณซิงค์ทางแนวนอนและเติมสัญญาณซิงค์ลงในสัญญาณอินพุทที่ไม่มีสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DESCRAMBLE

MR. WORACHAI	UTHAIWAN	39012024
MR. WARUT	TAKDAMRONGKUL	39012026
MR. SUCHART	KLINKHEARW	39012031

ADVISOR

MR. PRADIT VATCHRAPIBOOL

ABTRACT

This thesis presents the Video Descramble System. Generally, The broadcasting signal of Cable T.V. For examples I.B.C. cable T.V. and Thai Sky cable T.V. were scrambled by cuting out the Vertical Sync. and Horizontal Sync.. How to Descramble? there are two types of descramble. First, Descramble at RF signal and Descramble at V.D.O. signal. This thesis presents the Descramble at V.D.O. By seperating the burst signal transmitted from transmitting station to be referencing signal. From this reference signal the Vertical Sync. and Horizontal Sync. were regenerated and then remixed to the scrambled signal which has no Synchronize signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้มิอาจสำเร็จลุล่วงไปได้หากขาดความช่วยเหลือจากบุคคลต่าง ๆ ในหลาย ๆ ฝ่าย ดังต่อไปนี้

1. ผู้ช่วยศาสตราจารย์ประดิษฐ์ วัชรพิบูลย์
2. เพื่อน ๆ และพี่ ๆ ทุกท่านในภาควิชาเทคนิคอุตสาหกรรม

ทางกลุ่มผู้จัดทำขอกราบขอบพระคุณมา ณ ที่นี้ด้วย อนึ่งกลุ่มผู้จัดทำขอมอบคุณความดีทั้งหลายจากปริญญานิพนธ์ฉบับนี้ ขอมอบให้แด่คุณพ่อ คุณแม่ และคุณครูบาอาจารย์ที่ได้ประสิทธิ์ประสาทวิชามาตั้งแต่ต้นจนถึงวันนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

โดยปกติแล้วเครื่องรับส่งโทรทัศน์จะทำการส่งสัญญาณมาในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) ซึ่งเครื่องรับโทรทัศน์ที่ใช้ตามบ้านทั่วไปสามารถรับสัญญาณได้ แต่ทว่าในปัจจุบันในระบบการส่งสัญญาณโทรทัศน์ถูกนำมาใช้ในเชิงธุรกิจ ดังนั้น บริษัทผู้ผลิตจึงทำการเข้ารหัสสัญญาณภาพ (Scramble) เพื่อที่จะมิให้เครื่องรับโทรทัศน์ทั่วไปสามารถรับสัญญาณภาพได้ และเครื่องรับจะสามารถรับสัญญาณภาพได้ก็ต่อเมื่อเป็นสมาชิกของบริษัทเพื่อที่จะทำการถอดรหัสสัญญาณภาพ (Descramble) ซึ่งจะทำให้เครื่องรับโทรทัศน์สามารถรับสัญญาณเหล่านั้นได้ ซึ่งจะทำให้ต้องเสียค่าใช้จ่ายสูง

ดังนั้นคณะผู้จัดทำจึงมีแนวความคิดว่าน่าจะสร้างเครื่องถอดรหัสสัญญาณภาพที่มีราคาถูกแต่คุณภาพดีไว้ใช้เอง และเพื่อเป็นการนำความรู้ที่ได้ศึกษาเล่าเรียนมาใช้ให้เกิดประโยชน์

ขอแสดงความนับถือ

นาย วรชัย อุทัยวัณณ์

นาย วรุตม์ ตากดำรงค์กุล

นาย สุชาติ กลิ่นเขียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อไทย	
Abstract	
กิตติกรรมประกาศ	
สารบัญ	
สารบัญรูปภาพ	
สารบัญตาราง	
บทที่ 1 บทนำ	1
บทที่ 2 หลักการสแกนของโทรทัศน์และสัญญาณภาพรวม	2
2.1 หลักการการสแกนของโทรทัศน์	2
บทที่ 3 เทคนิคการเข้ารหัส (Scrambling)	12
3.1 การกลับสัญญาณ Video (Video Inversion)	12
3.2 การแทน Synch (Synch Replacement)	13
3.3 Active Inversion	14
3.4 ตัดและกลับขั้ว (Cut and invert)	15
3.5 ตัดและหมุน (Cut and Rotate)	16
3.6 Line Shuffle	17
3.7 การเลื่อน Sinewave Synch (Sinewave Synch Shifting)	18
3.8 การเลื่อน Pulse Synch (Pulse Synch Shifting)	19
ตัวอย่างการนำไปใช้งาน	20
บทที่ 4 ทฤษฎีวงจรกรองความถี่ (Filter)	25
4.1 วงจรกรองความถี่ต่ำ (Low Pass Filter, LPF)	25
4.2 วงจรกรองความถี่สูง (High Pass Filter, HPF)	28
4.3 วงจรกรองความถี่เป็นช่วง (Band Pass Filter, BPF)	30
4.4 วงจรนอท์ฟิลเตอร์ (Notch Filter)	33
บทที่ 5 ทฤษฎีเฟสล็อคลูป (Phase Locked Loop) พื้นฐาน	36
5.1 ทฤษฎีของวงจรเฟสล็อคลูป	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
5.2 Loop Gian	45
5.3 คุณสมบัติเรื่องสัญญาณรบกวน	47
5.4 Lock Range	48
5.5 Capture Range	50
บทที่ 6 การออกแบบและการสร้าง	51
6.1 โครงสร้างของโครงงาน	51
6.2 หลักการทำงานของบล็อกไดอะแกรม	52
6.3 การทำงานของวงจรแต่ละภาค	52
บทที่ 7 ผลการทดลอง	58
7.1 แสดงสัญญาณของอินพุทและเอาท์พุท	58
7.2 แสดงสัญญาณของจุดต่าง ๆ ภาคแยกสัญญาณเบิรสต์	59
7.3 แสดงสัญญาณของจุดต่าง ๆ ภาคเฟสล็อคลูป	63
7.4 แสดงสัญญาณของจุดต่าง ๆ ภาคกำเนิดสัญญาณซิงค์ทางแนวนอน	65
7.5 แสดงสัญญาณของจุดต่าง ๆ ภาคกำเนิดสัญญาณซิงค์ทางแนวตั้ง	69
บทที่ 8 สรุปและวิเคราะห์ผล	78
8.1 สรุป	78
8.2 วิเคราะห์ปัญหา	78
บรรณานุกรม	
ภาคผนวก ก วงจรที่ใช้ในปริญญานิพนธ์	
ภาคผนวก ข รายละเอียดข้อมูล และคุณสมบัติอุปกรณ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 ทฤษฎีการหักเหทางแม่เหล็กและทางไฟฟ้าสถิตย์	2
รูปที่ 2.2 รูปร่างของกระแสรูปฟันเลื่อย	3
รูปที่ 2.3 การสแกนจากซ้ายไปขวาและจากบนลงล่าง	4
รูปที่ 2.4 การสแกนไขว้กัน (Interlace scanning)	5
รูปที่ 2.5 รูปร่างของสัญญาณซิงค์	6
รูปที่ 2.6 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์	6
รูปที่ 2.7 แสดงระดับสัญญาณขาว-ดำ Gray Scale	7
รูปที่ 2.8 แสดงลักษณะของสัญญาณรวมเบื้องต้น	10
รูปที่ 2.9 พัลส์ที่เกิดขึ้นในระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้งในฟิลด์ที่หนึ่ง	11
รูปที่ 2.10 สัญญาณภาพรวมของระบบโทรทัศน์สี	11
รูปที่ 3.1 แสดงผลของ Video Inversion	13
รูปที่ 3.2 แสดงผลของ Synch Replacement	14
รูปที่ 3.3 แสดงผลของ Active Inversion ในระบบ OAK Orion	15
รูปที่ 3.4 แสดงผลของ Cut and Invert	16
รูปที่ 3.5 แสดงผลของ Cut and Rotate	17
รูปที่ 3.6 แสดงผลของ Line Shuffle	18
รูปที่ 3.7 แสดงผลของ Sinewave Synch Shifting	19
รูปที่ 3.8 แสดงผลของ Pulse Synch Shifting	20
รูปที่ 3.9 แสดงหลักการทำงานของ Sine Wave Scrambling	21
รูปที่ 3.10 แสดงหลักการทำงาน Gate Pulse Scrambling	21
รูปที่ 3.11 แสดง Block Diagram ของ Telease Scrambling	22
รูปที่ 3.12 แสดง Block Diagram ของ Sine Wave Descrambling	22
รูปที่ 3.13 แสดง Block Diagram ของ Gate Pulse Descrambling	23
รูปที่ 3.14 Block Diagram ของ Telease Descrambling	24
รูปที่ 4.1 กราฟแสดงการตอบสนองต่อความถี่ของ LPF	26
รูปที่ 4.2 วงจร Low Pass Filter ขั้นพื้นฐาน	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 4.3 แสดงวงจร Low Pass Filter ที่มีความชันถึง –40 dB/decade	28
รูปที่ 4.4 แสดงคุณสมบัติการตอบสนองความถี่ของวงจร High Pass Filter	29
รูปที่ 4.5 แสดงวงจร High Pass Filter ที่มีความชัน –20 dB/decade	29
รูปที่ 4.6 แสดงวงจร High Pass Filter ที่มีความชัน –40 dB/decade	30
รูปที่ 4.7 แสดงคุณสมบัติการตอบสนองต่อความถี่ของ Band Pass Filter	31
รูปที่ 4.8 แสดงวงจร Band Pass Filter แบบรวม HPF กับ LPF	32
รูปที่ 4.9 แสดงกราฟคุณสมบัติตอบสนองความถี่ของ BPF ที่ใช้ LPF กับ HPF ต่อร่วมกัน	32
รูปที่ 4.10 แสดงการตอบสนองความถี่ของวงจร Notch Filter	33
รูปที่ 4.11 แสดงวงจร Notch Filter แบบพื้นฐาน	33
รูปที่ 4.12 แสดงวงจร Notch Filter ชนิด "T" คู่	35
รูปที่ 5.1 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป	37
รูปที่ 5.2 โครงสร้างของระบบเฟสล็อคลูป	38
รูปที่ 5.3 แสดงฟิลเตอร์ลูป	40
รูปที่ 5.4 แสดงผลการตอบสนองความถี่ของลูป (อันดับ 2 High Gain)	42
รูปที่ 5.5 แสดงผลตอบสนองความผิดพลาดเชิงเฟสของ High Gain Loop ζ=0.707	43
รูปที่ 5.6 แสดงแบนด์วิดธ์ของ Loop อันดับ 2	44
รูปที่ 6.1 บล็อคไดอะแกรมการถอดรหัสสัญญาณภาพ	51
รูปที่ 6.2 แสดงภาควงจรแยกสัญญาณเบิรสต์	53
รูปที่ 6.3 แสดงภาควงจรเฟสล็อคลูป	54
รูปที่ 6.4 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวนอน	55
รูปที่ 6.5 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวตั้ง	56
รูปที่ 6.6 แสดงวงจรภาค Power Supply	57
รูปที่ 7.1 สัญญาณอินพุทที่ถูกเข้ารหัสสัญญาณภาพ (โดยตั้ง T/D=20μsec , V/D=1 V)	58
รูปที่ 7.2 สัญญาณเอาท์พุทที่ถอดรหัสสัญญาณภาพ (โดยตั้ง T/D=20μsec , V/D=5 V)	58
รูปที่ 7.3 สัญญาณที่ขา B ของ TR 6 (โดยตั้ง T/D=20 μsec , V/D= 0.1 V)	59
รูปที่ 7.4 สัญญาณที่ขา C ของ TR 6 (โดยตั้ง T/D=20 μsec , V/D= 5 V)	59
รูปที่ 7.5 สัญญาณที่ขา B ของ TR 7 (โดยตั้ง T/D=20 μsec , V/D= 5 V)	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 7.6 สัญญาณที่ขา C ของ TR 7 (โดยตั้ง T/D=20 μsec , V/D= 5 V) 60

รูปที่ 7.7 สัญญาณที่ขา B ของ TR 8 (โดยตั้ง T/D=20 μsec , V/D= 1 V) 61

รูปที่ 7.8 สัญญาณที่ขา C ของ TR 8 (โดยตั้ง T/D=20 μsec , V/D= 5 V) 61

รูปที่ 7.9 สัญญาณที่ขา B ของ TR 11 (โดยตั้ง T/D=20 μsec , V/D= 0.5 V) 62

รูปที่ 7.10 สัญญาณที่ขา C ของ TR 11 (โดยตั้ง T/D=20 μsec , V/D= 5 V) 62

รูปที่ 7.11 สัญญาณที่ขา 14 ของ IC 6 (โดยตั้ง T/D=20 μsec , V/D= 5 V) 63

รูปที่ 7.12 สัญญาณที่ขา 3 ของ IC 6 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 63

รูปที่ 7.13 สัญญาณที่ขา 4 ของ IC 6 (โดยตั้ง T/D=1 μsec , V/D= 2 V) 64

รูปที่ 7.14 สัญญาณที่ขา 11 ของ IC 4 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 65

รูปที่ 7.15 สัญญาณที่ขา 4,5 ของ IC 6 (โดยตั้ง T/D=5 μsec , V/D= 2 V) 65

รูปที่ 7.16 สัญญาณที่ขา 2 ของ IC 7 (โดยตั้ง T/D=10 μsec , V/D= 2 V) 66

รูปที่ 7.17 สัญญาณที่ขา 1 ของ IC 7 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 66

รูปที่ 7.18 สัญญาณที่ขา 6 ของ IC 7 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 67

รูปที่ 7.19 สัญญาณที่ขา 9 ของ IC 8 (โดยตั้ง T/D=2 μsec , V/D= 2 V) 67

รูปที่ 7.20 สัญญาณที่ขา 10 ของ IC 8 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 68

รูปที่ 7.21 สัญญาณที่ขา 12 ของ IC 10 (โดยตั้ง T/D=20 μsec , V/D= 2 V) 68

รูปที่ 7.22 สัญญาณที่ขา C ของ TR 9 (โดยตั้ง T/D=5 msec , V/D= 5 V) 69

รูปที่ 7.23 สัญญาณที่ขา B ของ TR 12 (โดยตั้ง T/D=5 msec , V/D= 0.5 V) 69

รูปที่ 7.24 สัญญาณที่ขา C ของ TR 12 (โดยตั้ง T/D=5 msec , V/D= 5 V) 70

รูปที่ 7.25 สัญญาณที่ขา 4 ของ IC 10 (โดยตั้ง T/D=5 msec , V/D= 5 V) 70

รูปที่ 7.26 สัญญาณที่ขา 6 ของ IC 10 (โดยตั้ง T/D=5 msec , V/D= 5 V) 71

รูปที่ 7.27 สัญญาณที่ขา 9 ของ IC 9 (โดยตั้ง T/D=5 msec , V/D= 50 mV) 71

รูปที่ 7.28 สัญญาณที่ขา 10 ของ IC 9 (โดยตั้ง T/D=5 msec , V/D= 50 mV) 72

รูปที่ 7.29 สัญญาณที่ขา 6,7 ของ IC 3 (โดยตั้ง T/D=5 msec , V/D= 5 mV) 72

รูปที่ 7.30 สัญญาณที่ขา 11 ของ IC 2 (โดยตั้ง T/D=1 msec , V/D= 5 V) 73

รูปที่ 7.31 สัญญาณที่ขา 9 ของ IC 7 (โดยตั้ง T/D=5 msec , V/D= 5 V) 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 7.32 สัญญาณที่ขา 9 ของ IC 7 (โดยตั้ง T/D=5 msec , V/D= 5 V) 74
รูปที่ 7.33 สัญญาณที่ขา 10 ของ IC 7 (โดยตั้ง T/D=5 msec , V/D= 5 V) 74
รูปที่ 7.34 สัญญาณที่ขา 12 ของ IC 7 (โดยตั้ง T/D=0.2 msec , V/D= 5 V) 75
รูปที่ 7.35 สัญญาณที่ขา 8 ของ IC 7 (โดยตั้ง T/D=5 msec , V/D= 5 V) 75
รูปที่ 7.36 สัญญาณที่ขา 4 ของ IC 8 (โดยตั้ง T/D=5 msec , V/D= 5 V) 76
รูปที่ 7.37 สัญญาณที่ขา B ของ TR 10 (โดยตั้ง T/D=5 msec , V/D= 20 mV) 76
รูปที่ 7.38 สัญญาณที่ขา 1 ของ IC 8 (โดยตั้ง T/D=5 msec , V/D= 20 mV) 77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 5.1 แสดงสมการ Passive และ Active	42
ตารางที่ 5.2 แสดง Noise Bandwidth ของ Loop ชนิดต่าง ๆ	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เนื่องจากในปัจจุบันได้เริ่มเข้าสู่ยุคของสารสนเทศ ซึ่งมีการติดต่อสื่อสารและส่งข่าวสารข้อมูลต่าง ๆ อย่างมากมาย ทั้งที่อยู่ในแบบของสัญญาณภาพ เสียง และที่อยู่ในรูปแบบของข้อมูล โดยในทางธุรกิจอาจจะเป็นการติดต่อกันระหว่างบริษัทในเครือ หรือติดต่อกับบริษัทของคู่ค้า หรือแม้แต่จะเป็นการให้บริการข่าวสาร ความบันเทิงต่าง ๆ ต่อบุคคล หรือกลุ่มบุคคลที่ต้องการเท่านั้น เพราะข่าวสารที่จะส่งนั้นเป็นความลับ จึงต้องมีการป้องกันข้อมูลข่าวสารนั้นจากบุคคลภายนอกที่ไม่เกี่ยวข้อง ซึ่งการป้องกันนี้จะใช้ระบบการสื่อสารที่มีลักษณะพิเศษเฉพาะตัวที่แตกต่างจากระบบทั่วไปนั้น จะทำให้เสียค่าใช้จ่ายสูงมาก เพราะจะต้องมีการออกแบบมาเฉพาะ และอุปกรณ์ก็หาได้ลำบาก ดังนั้นจึงได้มีการพัฒนาวิธีการในการป้องกันข้อมูลข่าวสาร เพื่อให้สามารถใช้กับระบบสื่อสารทั่ว ๆ ไปได้ โดยจะเน้นไปที่การเปลี่ยนแปลงข้อมูล หรือสัญญาณที่เกี่ยวข้องแทนนั่นก็คือการเปลี่ยนแปลงข้อมูลให้อยู่ในอีกรูปแบบหนึ่งซึ่งไม่สามารถจะรับรู้ข้อมูลด้วยระบบปกติหรือกล่าวได้ว่าข้อมูลได้มีการเข้ารหัส (Encode) แล้ว การที่จะรับรู้ข้อมูลนั้นจะต้องมีการถอดรหัส (Decode) ก่อน ซึ่งวิธีการนี้จะเสียค่าใช้จ่ายน้อยมาก เพราะเพียงเพิ่มส่วนเข้ารหัสที่ภาคส่งและเพิ่มส่วนถอดรหัสที่ภาครับเท่านั้น

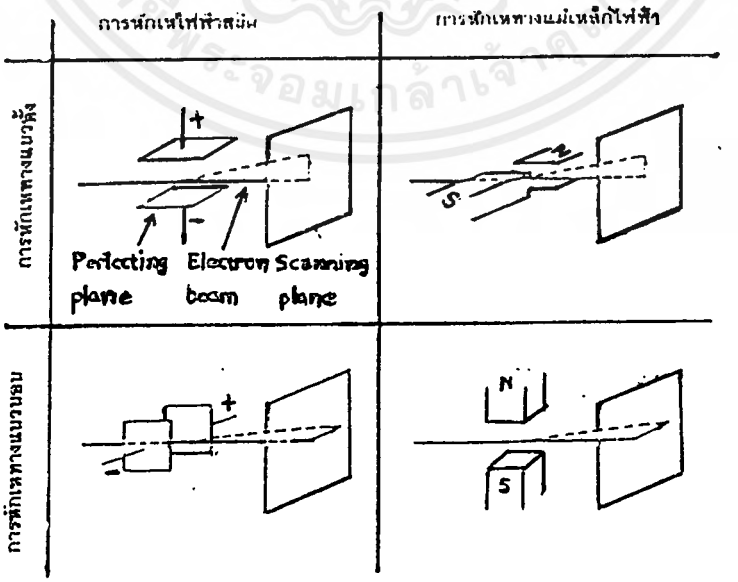
การเปลี่ยนแปลงข้อมูลเพื่อให้อยู่ในรูปแบบหนึ่ง ซึ่งไม่สามารถรับรู้ข้อมูลได้และยังสามารถเปลี่ยนกลับมาให้อยู่ในรูปแบบที่รับรู้ได้ ซึ่งได้เรียกการเปลี่ยนแปลงข้อมูลไป (เข้ารหัส) ว่าการ "Scrambling" และเรียกการเปลี่ยนแปลงข้อมูลกลับ (ถอดรหัส) ว่าการ "Descrambling"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการสแกนของโทรทัศน์และสัญญาณภาพรวม

2.1 หลักการการสแกนของโทรทัศน์

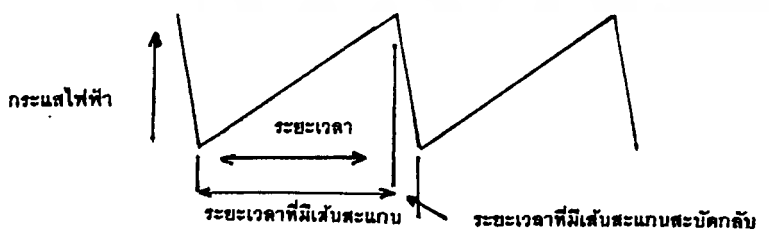
ภาพบนจอของหลอดภาพของเครื่องรับโทรทัศน์โดยทั่วไป จะประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นเหล่านี้ มีทั้งส่วนดำสนิทหรือมีสีเข้ม ส่วนที่ดำจางและส่วนที่สว่างมากปะปนกันอยู่ เส้นขวางเล็ก ๆ ในแนวนอนเหล่านี้มีชื่อเรียกว่า เส้นสแกน เส้นเหล่านี้ประกอบด้วย จุดเล็ก ๆ ซึ่งมีทั้งมืดและสว่างปะปนกันอยู่ ภาพที่ปรากฏบนจอหลอดภาพจึงประกอบด้วยจุดเล็ก ๆ ที่มีระดับความสว่างแตกต่างกันเป็นจำนวนมาก จุดเล็ก ๆ เหล่านี้ เรียกว่าส่วนประกอบของภาพ (Picture element) ซึ่งมีส่วนสัมพันธ์กับความละเอียดของภาพเช่นเดียวกับจุดดำหรือจุดสีเล็ก ๆ ในรูปภาพของสิ่งตีพิมพ์ ภาพที่เห็นบนจอหลอดภาพ จะมองดูละเอียดน่าดูหากมีจำนวนจุดเล็ก ๆ หรือจำนวนเส้นสแกนในแนวนอนมากเพียงพอ ด้วยเหตุนี้ โทรทัศน์ระบบยุโรปซึ่งมีจำนวนเส้นสแกน 625 เส้น ต่อภาพ จึงให้ภาพที่มองดูละเอียดกว่าโทรทัศน์ระบบอเมริกันซึ่งมีจำนวนเส้นสแกนเพียง 525 เส้น ต่อภาพเท่านั้น อย่างไรก็ตามภาพที่ปรากฏบนจอหลอดภาพจะมองดูละเอียดหรือหยาบ ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่นความสว่างของภาพและระยะทางที่มองดูภาพ เป็นต้น



รูปที่ 2.1 ทฤษฎีการหักเหทางแม่เหล็กและทางไฟฟ้าสถิตย์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

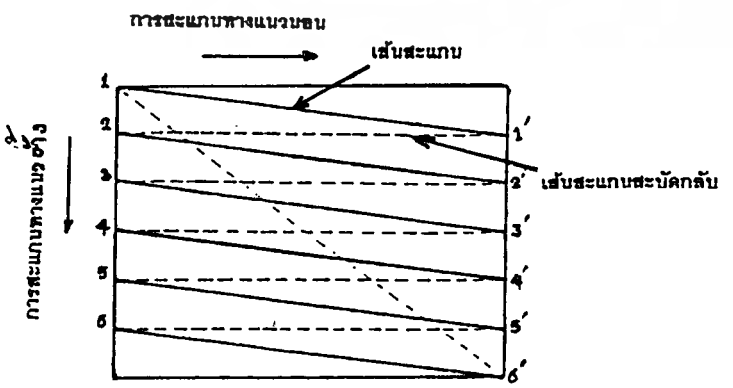
จุดที่เห็นสว่างในจอหลอดภาพของเครื่องรับโทรทัศน์ ซึ่งเกิดขึ้นเพราะอิเล็กตรอนที่หลุดออกไปจากแคโถด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนดหรือจอหลอดภาพ ซึ่งฉายด้วยวัสดุเรืองแสงบางชนิดเอาไว้ จุดที่มีการกระทบกันก็จะมองเห็นเป็นจุดสว่างขึ้นที่จอ การสแกนก็คือ การทำให้จุดสว่างนี้เคลื่อนที่ไปในจังหวะที่ต้องการ ซึ่งในเรื่องของโทรทัศน์ก็ต้องการให้จุดสว่างนี้เคลื่อนที่ไปในแนวนอนและแนวตั้ง โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ ทำให้เกิดการดึงดูดหรือการผลักกันกับอิเล็กตรอน ในหลักการการทำให้เกิดการดึงดูดหรือการผลักกับอิเล็กตรอนนี้ อาจทำโดยวิธีการหักเหของไฟฟ้าสถิต (electrostatio deflection) หรือวิธีการหักเหของแม่เหล็กไฟฟ้า (electromagnetic deflection) ตามที่แสดงไว้ในรูปที่ 2.1 ซึ่งวิธีการนี้นิยมกันมากในทางปฏิบัติ สนามแม่เหล็กนี้เกิดขึ้นโดยการปล่อยกระแสไฟฟ้ารูปฟันเลื่อยตามที่แสดงไว้ในรูปที่ 2.2 ให้ไหลผ่านขดลวดของการหักเห (deflction coil) ที่พันอยู่รอบ ๆ คอหลอดภาพ ซึ่งมีอยู่สองชุดด้วยกันคือ ขดลวดที่พันอยู่รอบคอหลอดภาพในแนวนอนชุดหนึ่ง สำหรับโทรทัศน์ระบบยุโรป ความถี่กระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวนอนจะมีค่า 15,625 เฮิรตซ์ ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวตั้ง จะมีค่าเพียง 50 เฮิรตซ์ เท่านั้น โดยปกติ การสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างบนจอหลอดภาพเคลื่อนที่ จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อถึงตำแหน่งขวามือสุดก็จะถูกเบนต่ำลงเล็กน้อย อันเป็นผลจากการที่มีกระแสรูปฟันเลื่อยไหลผ่านขดลวดของการหักเหในแนวตั้ง แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นอยู่เช่นนี้เรื่อย ๆ จนกระทั่งจุดสว่างนั้นไปถึงตำแหน่งขวามือข้างล่างสุดของจอหลอดภาพจึงเป็นอันเสร็จสิ้นการสแกนภาพนิ่งภาพหนึ่ง หรือเรียกกันว่า เฟรมหนึ่ง ตามที่แสดงไว้ในรูปที่ 2.3



รูปที่ 2.2 รูปร่างของกระแสรูปฟันเลื่อย

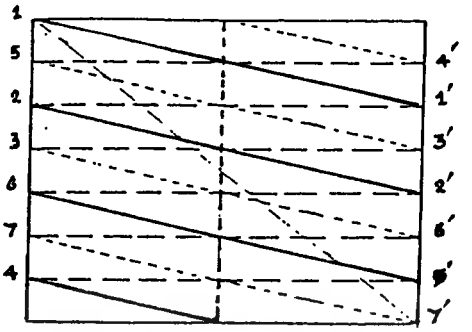
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้น ลำอิเล็กตรอนก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือด้านบนสุดของจอหลอดภาพอีก เพื่อลดอาการกระพริบของภาพสแกนภาพนิ่งแต่ละภาพ มักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน ซึ่งเรียกว่า interlace scanning ตามที่แสดงไว้ในรูปที่ 2.4 โดยกำหนดให้ภาพนิ่งหนึ่งเฟรม (frame) ประกอบด้วยภาพนิ่งสองฟิลด์ (field) และเริ่มต้นด้วยการสแกนภาพนิ่งฟิลด์เส้นคี่ก่อน เมื่อสิ้นสุดถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพแล้ว จึงกลับไปเริ่มตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอ แล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไป จนถึงตำแหน่งขวามือล่างสุด หลังจากนั้นจึงจะเริ่มต้นสแกนภาพนิ่งอันดับอื่นต่อไปใหม่ ฉะนั้น ภาพนิ่งหนึ่งภาพหรือภาพนิ่งหนึ่งเฟรม จึงประกอบด้วยฟิลด์เส้นสแกนเส้นคี่และฟิลด์เส้นสแกนเส้นคู่สำหรับโทรทัศน์ระบบยุโรป ซึ่งใช้เส้นสแกน 625 เส้นต่อภาพ และ 50 ภาพต่อวินาที ภาพนิ่งแต่ละภาพหรือแต่ละเฟรมจะประกอบด้วยเส้นสแกนแนวนอน 625 เส้นภาพนิ่งแต่ละฟิลด์จะมีเส้นสแกนแนวนอนครึ่งหนึ่งของ 625 เส้นหรือ 312.5 เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดภายในระยะเวลา 1/25 วินาทีความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในการหักเหทางแนวนอน ซึ่งในระยะเวลา 1/25 วินาทีจะเกิดเส้นสแกน 625 เส้น จะมีค่า (625) (25) หรือ 15,625 เฮิรตซ์ ส่วนความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในการหักเหทางแนวตั้ง ซึ่งใช้เวลาในการสแกนจากบนสุดมาล่างสำหรับฟิลด์หนึ่ง ๆ เพียง 1/50 วินาที จะมีค่า 50 เฮิรตซ์ การสแกนภาพนิ่งจะกระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนภาพนิ่งหรือจำนวนเส้นสแกนต่อภาพ กับจำนวนภาพต่อวินาทีแตกต่างกันไปตามแต่ชนิดของระบบโทรทัศน์ที่ภาพที่มาปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์ จึงมีผลคล้ายกับการฉายภาพนิ่ง ซึ่งแต่ละภาพมีความแตกต่างกันบ้างเพียงเล็กน้อยเป็นจำนวนหลาย ๆ ภาพต่อหนึ่งวินาที ด้วยเหตุที่สายตาของคนเรามีคุณลักษณะพิเศษในเรื่องของ persistance of vision จึงทำให้ผู้ชมโทรทัศน์สามารถมองเห็นภาพบนจอหลอดภาพของเครื่องรับโทรทัศน์เป็นภาพเคลื่อนไหวติดต่อกันไปตลอดเวลา



รูปที่ 2.3 การสแกนจากซ้ายไปขวาและจากบนลงล่าง

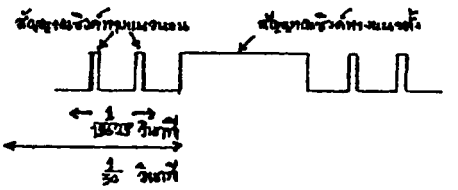
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



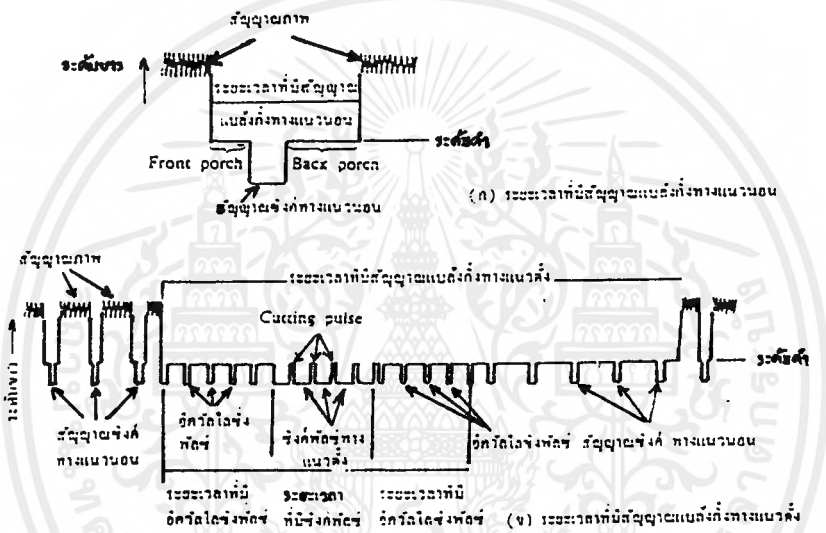
รูปที่ 2.4 การสแกนไขว้กัน (interlace scanning)

เรื่องที่สำคัญอีกอย่างหนึ่งของการส่งและการรับโทรทัศน์คือ จะต้องสามารถหาวิธีการซึ่งทำให้การสแกนของภาพที่เกิดขึ้นในกล้องโทรทัศน์นั้น เกิดขึ้นพร้อมกันกับการสแกนของภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ หรือทำให้เกิดความถี่ของกระแสรูปฟันเลื่อยของวงจรหักเหทางแนวนอน และแนวตั้งทางกล้องโทรทัศน์เท่ากันตลอดเวลา กับความถี่ของวงจรหักเหทางแนวนอนและแนวตั้งทางจอหลอดภาพของเครื่องรับโทรทัศน์ หากความถี่ของกระแสรูปฟันเลื่อยในวงจรทางเครื่องส่งโทรทัศน์ไม่เท่ากันตลอดเวลา กับความถี่ของกระแสรูปฟันเลื่อยในวงจรทางเครื่องรับโทรทัศน์ ก็จะพบว่า ภาพจะล้มหรือไม่มีภาพทางเครื่องรับโทรทัศน์การทำให้ความถี่ของกระแสรูปฟันเลื่อย ทางด้านเครื่องส่งโทรทัศน์เท่ากันตลอดเวลา กับความถี่ของกระแสรูปฟันเลื่อยทางด้านเครื่องรับโทรทัศน์ เรียกว่าเกิดการเข้าจังหวะ (synchronization) ขึ้น ในทางปฏิบัติสถานีโทรทัศน์จะต้องส่งสัญญาณชนิดหนึ่งเรียกว่าสัญญาณซิงค์ (synchronizing signal หรือ sync pulse signal) ไปพร้อมกับสัญญาณภาพ ตามที่แสดงไว้ในรูปที่ 2.5 และรูปที่ 2.6 สัญญาณซิงค์นี้จะประกอบด้วยสัญญาณซิงค์ทางแนวนอน (horizontal synchonizing signal) ซึ่งมีความถี่ 15.625 เฮิรตซ์ หรือจะมี sync pulse ครึ่งหนึ่งในทุก ๆ ครั้งที่มีการสแกนในแนวนอนกับสัญญาณซิงค์ทางแนวตั้ง (vertical synchonizing signal) ซึ่งมีความถี่ 50 เฮิรตซ์ หรือจะมี sync pulse ครั้งหนึ่งในขณะที่มีการสแกนฟิลด์เส้นคี่หรือฟิลด์เส้นคู่เสร็จสิ้นลงสัญญาณซิงค์เหล่านี้จะส่งไปพร้อม ๆ กับสัญญาณภาพในช่วงระยะเวลาของเส้นสแกนสะบัดกลับ หรือช่วงระยะเวลาที่เส้นสแกนกำลังหันกลับไปเริ่มต้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 รูปร่างของสัญญาณซิงค์



รูปที่ 2.6 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์

ในทางปฏิบัติ สถานีโทรทัศน์ขาวดำจะต้องส่งสัญญาณต่าง ๆ หลายอย่างออกอากาศไปให้เครื่องรับโทรทัศน์ เพื่อทำให้เกิดภาพขาวดำที่จอหลอดภาพของเครื่องรับโทรทัศน์ในลักษณะเดียวกัน และพร้อมกันกับสแกนภาพของกล้องโทรทัศน์ สัญญาณต่าง ๆ สำหรับทำให้เกิดภาพขาวดำเหล่านี้ แสดงไว้ในรูปที่ 2.6 ซึ่งประกอบด้วย

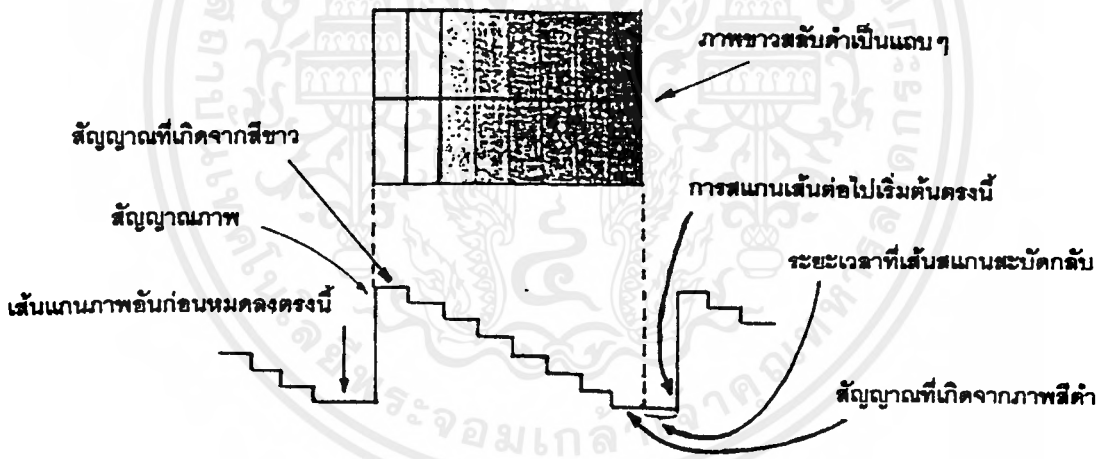
- สัญญาณภาพ (video signal)
- สัญญาณแบล้งกิ้ง (blanking signal)
- สัญญาณซิงค์ (synchronizing signal)
- สัญญาณอีควอไลซิ่ง (equalizing signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่าง ๆ ตามรูปนี้ จะรวมอยู่เป็นรูปร่างเดียวกัน ซึ่งเรียกว่าสัญญาณภาพรวม (Composite video signal) แล้วใช้คลื่นพาห์ของภาพเป็นตัวพาออกอากาศ รวมกับคลื่นพาห์ของสัญญาณเสียง เหตุผลและความจำเป็นในการใช้สัญญาณต่าง ๆ มีดังต่อไปนี้

1. **สัญญาณภาพ** (video signal) และสัญญาณเสียง (sound signal) เป็นสัญญาณที่ใช้ทำให้เกิดภาพขาวดำที่จอหลอดภาพ และมีเสียงที่ลำโพงเครื่องรับโทรทัศน์ตามต้องการ สัญญาณภาพ (video signal) บางครั้งเรียกว่าสัญญาณส่องสว่าง (brightness signal หรือ luminance signal)

สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ เราจะกล่าวได้ว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีความสว่างเลยภาพจำลองที่ใช้อธิบายลักษณะของภาพได้ดีที่สุด คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่าระดับ Gray Scale ดังรูปที่ 2.7



รูปที่ 2.7 แสดงระดับสัญญาณขาว-ดำ Gray Scale

รูปที่ 2.7 จะแสดงให้เห็นถึงระดับของ Gray Scale ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา ซึ่งเป็นระดับที่มีความแรงของสัญญาณภาพมากที่สุด จึงให้ความสว่างมากที่สุด และระดับสัญญาณค่อย ๆ ลดลงจากสีขาว เป็นสีมัว เทา และดำ นั้น

อันที่จริงแล้ว สัญญาณภาพเป็นสัญญาณความถี่ทางไฟฟ้า ซึ่งมีระดับความถี่สูงต่ำไม่เท่ากัน โดยจะมีความถี่สูงสุดไม่เกิน 4 Mhz ในระบบ FCC และไม่เกิน 5 Mhz ในระบบ CCIR ภาพที่เกิดจากความถี่สูง ย่อมมีความละเอียดมากกว่าภาพที่เกิดจากความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. **สัญญาณแบล้งกิ้ง** (blanking signal) เป็นสัญญาณที่ใช้ลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง เพื่อมิให้เป็นที่สังเกตเห็นได้ชัดทางจอหลอดภาพ รูปที่ 2.6 (ก) เป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวนอน (horizontal blinking period) และในช่วงระยะเวลาที่มีสัญญาณ แบล้งกิ้งทางแนวนอนนี้ก็จะส่งสัญญาณซิงค์ทางแนวนอน (horizontal synchronizing signal) ไปด้วยแต่จะอยู่ในระดับดำสนิทกว่าสัญญาณแบล้งกิ้งส่วนที่เหลื่อมล้ำกัน ระหว่างแบล้งกิ้งพัลซ์ กับซิงค์พัลส์นี้ จะมีอยู่สองส่วนตามรูปที่แสดงไว้ ส่วนหน้าเรียกว่า front porch และส่วนหลังเรียกว่า back porch สำหรับโทรทัศน์ระบบอเมริกัน ความถี่ของกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวนอนมีค่า 17,750 เฮิรตซ์ ฉะนั้น ในระยะเวลา 1/15,750 วินาที หรือ 63.5 ไมโครวินาที จะต้องเกิดเส้นสแกนสะบัดกลับอีกครั้ง จึงจำเป็นต้องใช้แบล้งกิ้งพัลซ์ทางแนวนอนครั้งหนึ่ง โดยมีขนาดประมาณ 10 ไมโครวินาที ส่วนรูปที่ 2.6 (ข) นั้นเป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้ง (vertical blanking signal) สำหรับโทรทัศน์ระบบอเมริกัน ทุก ๆ ระยะเวลา 1/60 วินาที หรือ 16,667 ไมโครวินาที จำเป็นต้องให้มีแบล้งกิ้งพัลซ์ทางแนวตั้งครั้งหนึ่งโดยมีขนาดประมาณ 1,250 ไมโครวินาที ในระยะที่มีทางแนวตั้งนี้ ก็จะส่งสัญญาณซิงค์ทางแนวตั้งออกไปด้วย และเพื่อประโยชน์ในการช่วยทำให้สัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนทางเครื่องรับโทรทัศน์แล้วจะนิยมใส่อีควอไลซิ่ง (equalizing pulses) กับคัตติ้งพัลซ์ (outting pulses) ไปด้วย ตามรูปที่ 2.6 (ข) ความถี่ของอีควอไลซิ่งพัลซ์และคัตติ้งพัลซ์นี้ จะมีค่าเป็นสองเท่าของความถี่สัญญาณซิงค์ทางแนวนอน เพื่อช่วยให้การสแกนแบบหนึ่งเฟรม แบ่งออกเป็นสองฟิลด์ทางด้านเครื่องรับโทรทัศน์เป็นไปอย่างถูกต้องและเหมาะสม จุดตั้งต้นของสัญญาณซิงค์ทางแนวนอนและสัญญาณซิงค์ทางแนวนอนหนึ่ง ๆ แล้ว จะต้องเกิดขึ้นพร้อมกันเพื่อทำการสแกนฟิลด์ต่อ ๆ ไปตามที่แสดงไว้ในรูปที่ 2.9 มิฉะนั้น การสแกนไขว้กันทางเครื่องรับโทรทัศน์อาจไม่เป็นไปในจังหวะที่ถูกต้องได้

สัญญาณ Synchronize เป็นสัญญาณที่ทำให้การ Scan เป็นไปอย่างถูกต้อง ทั้งการ Scan ในแนวตั้งและแนวนอน มีอยู่ 2 แบบด้วยกันคือ

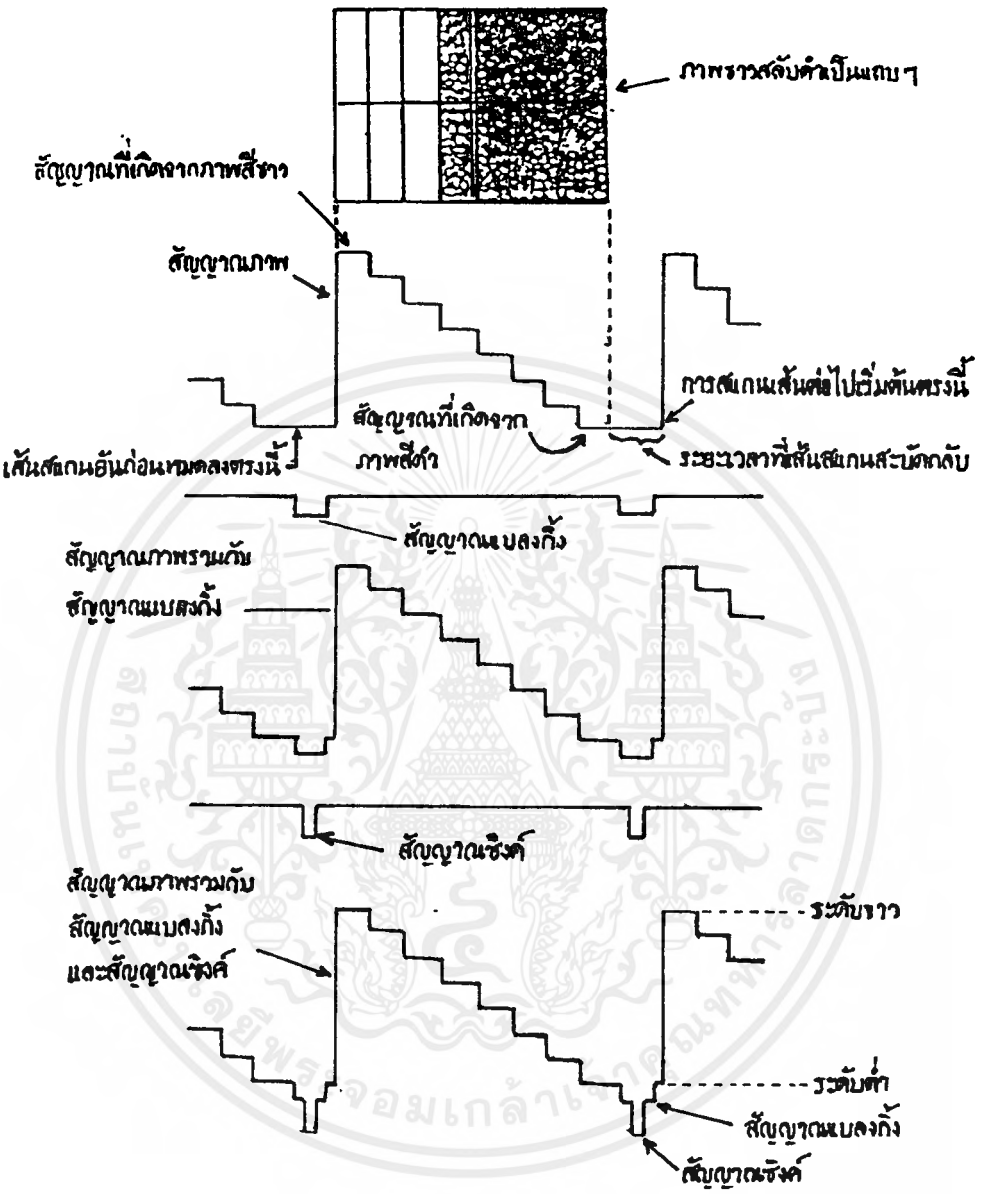
1. Horizontal synchronize เป็น Synchronize ทางแนวนอนมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ Fcc) ถ้าไม่มีสัญญาณนี้ส่งมาด้วย ภาพจะเกิดการล้ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Verticall synchronize เป็น Synchronize ทางแนวตั้งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ Fcc) ถ้าไม่มีสัญญาณนี้จะทำให้ภาพเลื่อน

3. **สัญญาณซิงค์** (synchronizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้ความถี่ของกระแสรูปฟันเลื่อยที่ใช้ ในวงจรของการหักเหทางแนวนอนกับวงจรหักเหทางแนวตั้งของเครื่องส่งโทรทัศน์ มีค่าตรงกันกับที่ใช้ในเครื่องรับโทรทัศน์อันจะมีผลทำให้การสแกนของภาพทางด้านเครื่องส่งโทรทัศน์ ตรงกันกับทางด้านเครื่องรับโทรทัศน์ตลอดเวลาสัญญาณซิงค์ทางแนวนอน จะมีความถี่เท่ากันกับความถี่ ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหักเหทางแนวตั้ง เนื่องจากความถี่ของสัญญาณซิงค์นี้เท่ากันกับความถี่ของสัญญาณแบล้งกิ้งพัลส์ กล่าวคือทำให้ซิงค์พัลส์ทางแนวนอนมีขนาดเพียง 5 ไมโครวินาที และซิงค์พัลส์ทางแนวตั้งมีขนาดเพียง 190 ไมโครวินาทีเท่านั้น นอกจากนี้ยังใช้วิธีส่งซิงค์พัลส์เหล่านี้ปะปนกับแบล้งกิ้งพัลส์ โดยทำให้ฐานของซิงค์พัลส์อยู่ทับขอบบนของแบล้งกิ้งพัลส์อีกชั้นหนึ่ง เมื่อได้กำหนดให้ระดับสูงสุดของแบล้งกิ้งพัลส์จะเป็นระดับดำมืดจนมองไม่เห็นทางจอหลอดภาพแล้ว ระดับของซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบลิ้งกิ้งพัลส์ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่ประการใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

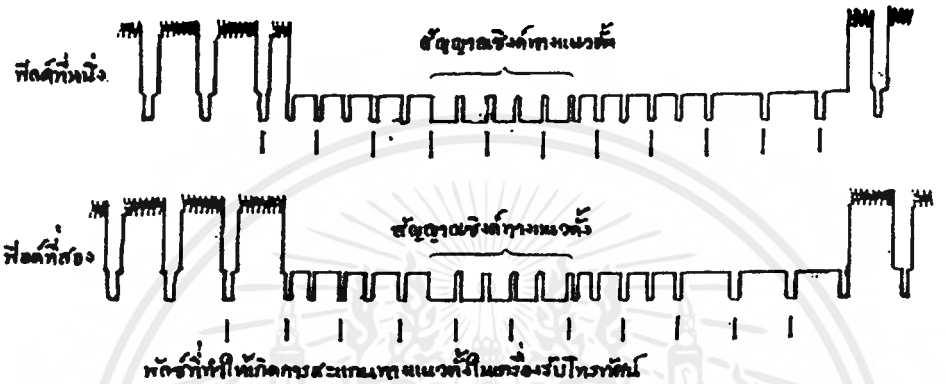


รูปที่ 2.8 แสดงลักษณะของสัญญาณรวมเบื้องต้น

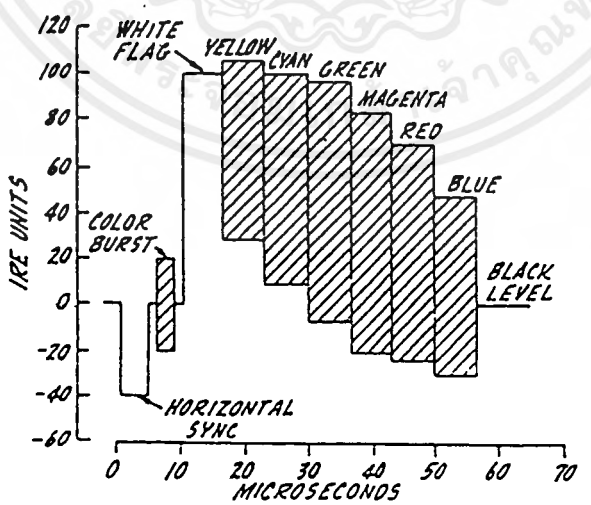
4. **สัญญาณอีควอไลซิ่ง** (equalizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้สัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนในเครื่องรับโทรทัศน์แล้ว สัญญาณนี้มีความถี่เป็นสองเท่าของสัญญาณซิงค์ทางแนวนอน ซึ่งจะช่วยทำให้การสแกนไขว้ทางเครื่องรับโทรทัศน์เป็นไปโดยเรียบร้อย รวมทั้งสัญญาณซิงค์ทางแนวนอนก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะไม่ขาดหายไปในช่วงเวลาที่มีสัญญาณซิงค์ทางแนวตั้งอีกด้วยขนาดของอีควัลไลซิ่งพัลซ์ ก็มีขนาดของซิงค์พัลซ์ทางแนวตั้ง คือประมาณ 190 ไมโครวินาที หรือประมาณสามเท่าของซิงค์พัลซ์ทางแนวนอน นอกจากนี้ยังนิยมแบ่งพัลซ์ออกเป็นพัลซ์เล็ก ๆ ตามรูปที่ 2.6 เพื่อทำให้เกิดซิงค์พัลซ์ทางแนวนอนครั้งหนึ่ง ในทุก ๆ สองครั้งที่มีพัลซ์เล็ก ๆ เหล่านี้



รูปที่ 2.9 พัลส์ที่เกิดขึ้นในระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้งในฟิลด์ที่หนึ่ง



รูปที่ 2.10 สัญญาณภาพรวมของระบบโทรทัศน์สี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
เทคนิคการเข้ารหัส (Scrambling)

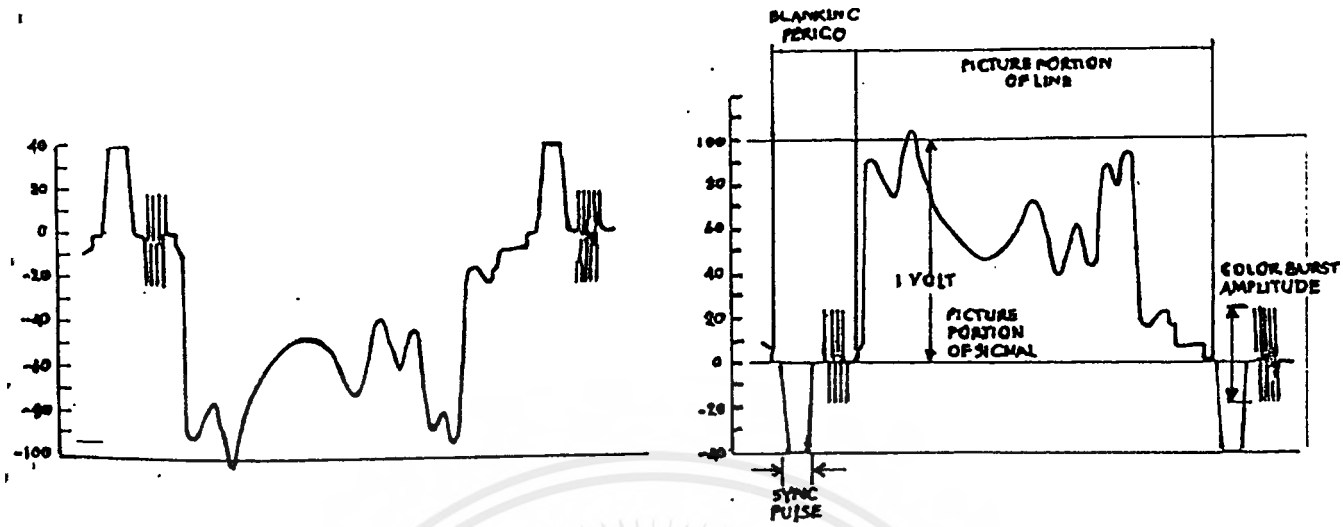
การ Scrambling มีคำจำกัดความที่กว้างมาก หมายถึง การเปลี่ยนแปลงข้อมูลจากแบบปกติให้อยู่ในรูปแบบพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบและสามารถเปลี่ยนแปลงข้อมูลจากรูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้ซึ่งจะเห็นได้ว่าแม้แต่การเกิด Noise ในการส่งก็อาจจะจัดว่าเป็นการ Scrambling ได้ถ้า Noise นั้นจะทำให้เราไม่สามารถรับรู้ภาพจากสัญญาณ Video นั้นได้และเราก็สามารถที่จะกำจัดสัญญาณ Noise นั้นออกไปได้หมด จนสามารถดูภาพได้ชัดเจนเหมือนปกติ ในการ Scrambling สัญญาณ Video นั้นทำได้หลายแบบ ดังนี้

3.1 การกลับสัญญาณ Video (Video Inversion)

หลักการ วิธีการนี้จำทำการกลับสัญญาณ Video, Synch Pulse, Burst รวมทั้ง Blinking หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบ และจากลบเป็นบวก

เทคนิคการ Scrambling แบบนี้ได้เริ่มต้นใช้ในระบบ Gable TV และจัดได้ว่าเป็นการ Scrambling แบบที่เป็นธรรมชาติมากที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณ Composite Video เลย เพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถ Descrambling สัญญาณกลับมาสู่รูปแบบเดิมได้ง่าย เพียงใส่วงจรสลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถ Decrambling ได้ง่ายนี้ ทำให้เทคนิคนี้มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณ Video นี้ รู้ว่าใช้เทคนิค Scrambling แบบนี้ก็สามารถ Descrambling ได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้ จะมีผลดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงผลของ Video Inversion

จากรูปที่ 3.1 จะเห็นว่า Complete Video Line จะถูกกลับจากบวกเป็นลบและลบเป็นบวกทำให้ที่เครื่องรับไม่สามารถเซ็ค Synch ได้ และข้อมูลของภาพจะอยู่ในรูป Negative นอกจากนี้ Color Burst จะถูกเลื่อนเฟสไป 180 องศาด้วย

สำหรับระบบโทรทัศน์ผ่านดาวเทียม ไม่สามารถใช้เทคนิคการ Scrambling แบบนี้ได้ เพราะแรงดันไฟของระบบจะถูกแปลงทั้งข้าง High และ Low ซึ่งหมายความว่า ในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูก Scrambling แบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

3.2 การแทน Synch (Synch Replacement)

หลักการจะมีการแทนสัญญาณ Synch Pulse ทางแนวนอน (Horizontal Synch) และทางแนวตั้ง (Vertical Synch) ด้วยสัญญาณรูปแบบอื่น

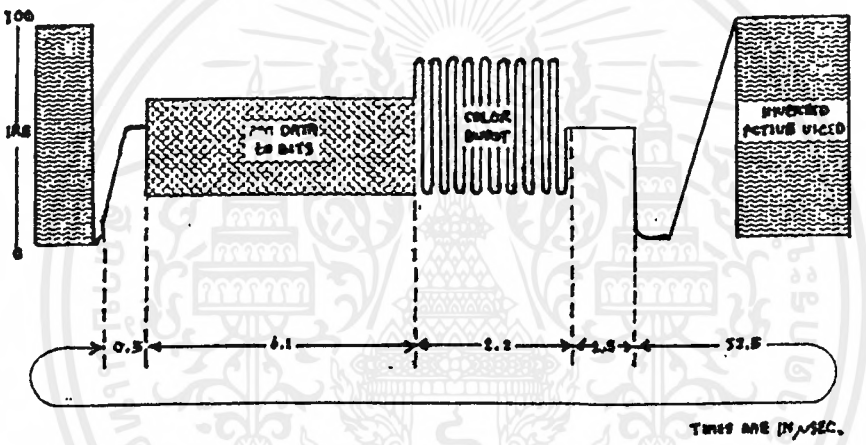
เทคนิคการ Scrambling แบบนี้มีการใช้ในอเมริกาเหนือ และยุโรป และเป็นส่วนหนึ่งในหลาย ๆ เทคนิคที่มีการใช้ระบบ OAK Orion และ Video Cipher II ทั้งสองระบบ ในระบบ Orion ช่วงของ Horizontal Synch จะรวมถึงสัญญาณ Synch Burst ความถี่ 25 Mhz ซึ่งตามด้วยสัญญาณ Data Burst ส่วนระบบ Video Cipher II นั้น จะมีการนำสัญญาณ Data burst มาแทนสัญญาณ Synch และนำข้อมูลของสัญญาณ Synch นั้นเข้าไปรวมอยู่ในส่วนของสัญญาณ Data Burst

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคจะไม่มีการรักษาความปลอดภัยของข้อมูลเลย เช่นเดียวกับเทคนิคการ Scrambling แบบ Video Inversion (แบบที่ 1) ทำให้สามารถทำการ Desrambling ได้ง่าย ซึ่งทำได้ 2 แบบคือ

1. แบบที่เสียค่าใช้จ่ายต่ำ จะใช้วิธีการ Detect สัญญาณเพื่อให้ได้สัญญาณ Synch โดยใช้วงจร Monostable

2. แบบที่เสียค่าใช้จ่ายสูง จะใช้วงจร Synch Regeneration โดยใช้สัญญาณ Color Burst หรือสัญญาณส่วนอื่น ๆ ในการ Lock เพื่อสร้างสัญญาณ Synch ขึ้นมาใหม่



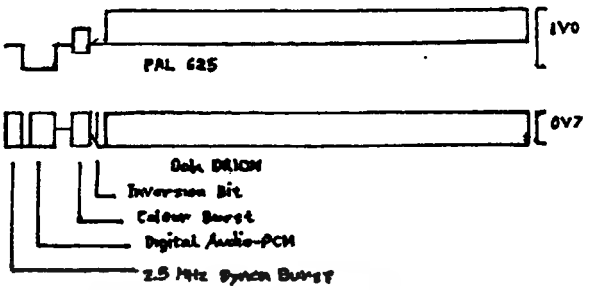
รูปที่ 3.2 แสดงผลของ Synch Replacement

3.3 Active Inversion

หลักการจะทำการกลับขั้วของสัญญาณ Video แบบ Active

การ Scrambling แบบ Active Inversion นี้ เป็นการกลับขั้วของข้อมูลภาพของ Video ทีละ Line ซึ่งให้ผลในด้านการรักษาความปลอดภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตาม ในสภาพทั่ว ๆ ไปแล้ว สัญญาณ Video จะกับขั้วโดยใช้พื้นฐานของ Alternat line ซึ่งมีการรักษาความปลอดภัยที่ต่ำอยู่ดี และในบางระบบที่จะใช้ในลักษณะ Field ต่อ Field

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงผลของ Active Inversion ในระบบ OAK Orion

จากรูปที่ 3.3 จะพบว่า การเปลี่ยนแปลง Key ของ Descrambling แบบ Active Video Inversion คือวิธีการที่ง่ายที่สุดที่จะทำให้เหมือนกับว่ามันมี Key ที่แสดงขั้วของสัญญาณ Video สำหรับแต่ละ Line

นอกจากนี้ เทคนิคนี้ยังแบ่งได้เป็น 2 แบบคือ

1. แบบที่มี Key
2. แบบที่ไม่มี Key (no Key)

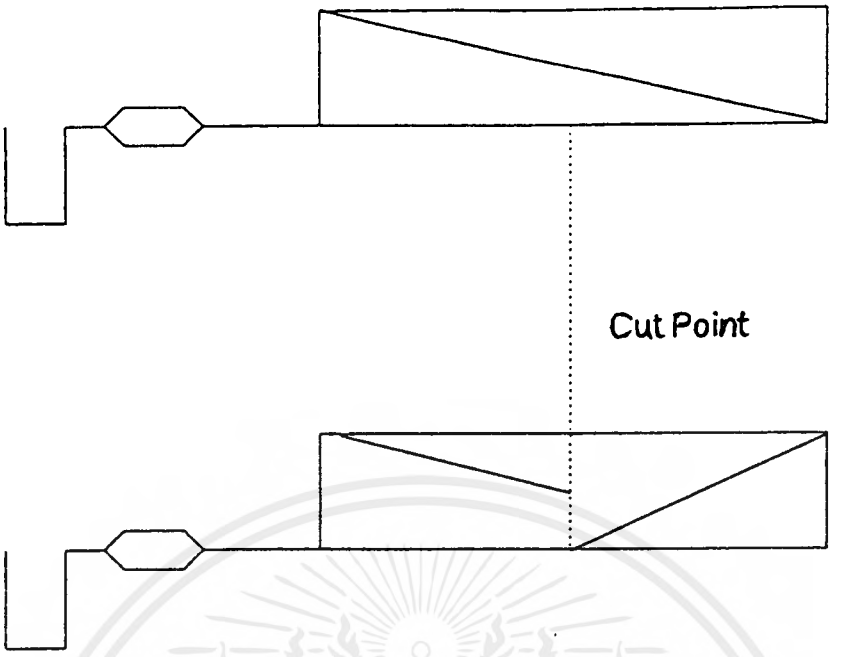
แบบมี Key จะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (Key คือ Pulse ในช่วงของสัญญาณ ซึ่งใช้แสดงขั้วของสัญญาณ Video) Key Pulse นี้จะสามารถ Detect ได้อย่างง่าย

แบบไม่มี Key จะมีลักษณะที่แตกต่างกันออกไป เพราะไม่มีสิ่งที่ใช้แสดงขั้วของสัญญาณ Video ในส่วนประกอบของ Line เลย

3.4 ตัดและกลับขั้ว (Cut and invert)

หลักการ สัญญาณ Line Video จะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "Segment" จำนวนหลาย ๆ Segment ตามที่ต้องการ และทำการสลับขั้วของสัญญาณ Line Video ในส่วนของ Segment ใด Segment หนึ่ง หรือจะทำพร้อมกันทีเดียวทีละหลาย ๆ Segment เลยก็ได้ จำนวนของ Segment ที่ได้แบ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงผลของ Cut and Invert

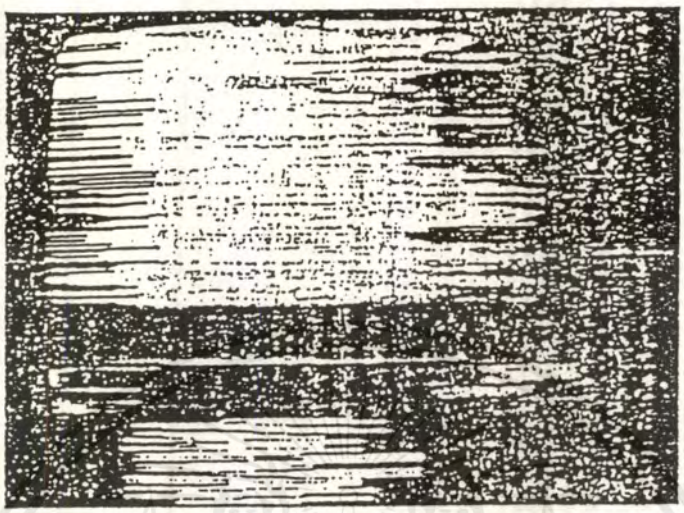
จากรูปที่ 3.4 จะพบว่ามีการแบ่งสัญญาณ Line Video ออกเป็น 2 Segment และทำการกลับขั้วของสัญญาณ Line Video ในช่วง Segment หลัง

เทคนิคการ Scrambling แบบนี้ จะไม่เหมาะกับวงจรทางด้าน Analog เพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทาง Digital ซึ่งจะทำได้ง่าย และมีประสิทธิภาพที่ดีกว่าซึ่งมีระบบที่ใช้ในยุโรปหลายระบบ ที่ใช้หลักการนี้ไปประยุกต์ใช้งาน ซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัยที่ได้ของแต่ละระบบนั้น จะขึ้นอยู่กับจำนวนของ Segment ต่อ Line Video และจำนวนของ Segment ที่ถูกกลับขั้วที่ระบบนั้นใช้

3.5 ตัดและหมุน (Cut and Rotate)

หลักการจะคล้ายกันกับการ Scrambling แบบ Cut and invert ในส่วนที่มีการแบ่งสัญญาณออกเป็น segment หลาย ๆ Segment แต่เทคนิคนี้จะทำการเลื่อน Segment มาไว้ที่ Segment และเลื่อน Segment แรกไปที่ Segment ที่สองไปเรื่อย ๆ ตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุน Segment เป็นวงกลมโดย Segment สุดท้ายจะต่ออยู่กับ Segment แรกในขณะที่แบบ Cut and Invert จะกลับขั้ว Segment ของ Line Video

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงผลของ Cut and Rotate

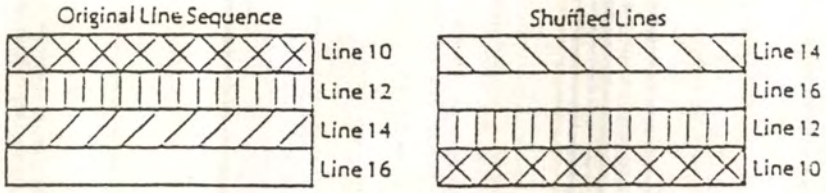
จากรูปที่ 3.5 จะเป็นการ Scrambling แบบ Cut and Rotate โดยจะแบ่งออกเป็น 5 Segment ด้วยกัน แล้วทำการหมุน Segment 1 ครั้ง

การ Scrambling แบบนี้ ที่มีใช้ในยุโรป จะมีประสิทธิภาพดีมาก จำนวนของจุดตัวอย่าง หรือ Segment ต่อ Line ที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดที่ค่านี้ เราสามารถที่จะกำหนดให้อยู่ในรูปของข้อมูลขนาด 8 บิต ได้ โดยจะอยู่ในรูปแบบของ Word หรือ Byte ก็ได้

3.6 Line Shuffle

หลักการ จะทำการสับเปลี่ยนอันดับของ Line ใน Field หรือ Frame เพื่อให้ส่ง Line ในคำสั่งที่ผิดจากปกติ เช่น Line ที่ 10 อาจจะถูกส่งไปในอันดับของ Line ที่ 99 และ Line ที่ 99 ก็จะถูกส่งไปอันดับที่ 10 แทน เป็นต้น ทำให้การแสดงภาพพบหน้าจอเครื่องรับแสดงภาพที่ผิดพลาด เพราะ Line Video ที่รับเข้ามา สลับอันดับกันอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงผลของ Line Shuffle

จากรูปที่ 3.6 จะพบว่ามีการจัดลำดับของ Line ใหม่จากลำดับที่ต่อเนื่องคือ Line 10, Line 12, Line 14 และ Line 16 ตามลำดับมาเป็น Line 14 ขึ้นก่อนและตามด้วย Line 16, Line 12 และ Line 10 แทน

3.7 การเลื่อน Sinewave Synch (Sinewave Synch Shifting)

หลักการเพิ่ม Sinewave เข้าไปในสัญญาณ Line Video โดยมีความถี่เท่ากับความถี่ Line หรือเป็นจำนวนเท่าของความถี่ Line

การ Scrambling เทคนี้มี 2 รูปแบบคือ

1. ใช้ความถี่ Sinewave เท่ากับความถี่ Line
2. ใช้ความถี่ Sinewave เป็นจำนวนเท่าของความถี่ Line

ซึ่งทั้งสองแบบ จะมีการทำงานที่เรียบง่าย กล่าวคือแรงแรงดัน sinewave จะไปดันให้ส่วนของ Synch Pulse เลื่อนเข้าไปอยู่ในย่านของสัญญาณ Video ผลก็คือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถ Lock หรือ Synchronize ได้ ทำให้ภาพที่ได้จะม้วนหรือขาด ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 แสดงผลของ Sinewave Synch Shifting

การเพิ่ม Sinewave เข้าไป จะมีผลทำให้ไปเพิ่ม Amplitude ของสัญญาณ Video ถ้าสัญญาณ Video ไม่ถูกลดทอนก่อนที่จะทำการ Scrambling โดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่ม Sinewave เข้าไป จะทำให้เกิดการ Overdeviation ดังนั้นจะทำให้ภาพเพี้ยนไป

การเลื่อน Sinewave Synch นี้จะทำให้ Horizontal และ Vertcl Synch Pulse ถูกเลื่อนเข้าไปในย่านของ Active Video ซึ่ง Sinewave จะ Modulate กับ Active Video ด้วย หมายความว่า Amplitude ของ Video จะต้องถูกลดทอนก่อนที่จะทำการ Scrambling เพื่อให้สัญญาณที่ Scramble ตกลงมาอยู่ภายในการจำกัดแรงดันในการส่ง Synch Seperator ของเครื่องรับโทรทัศน์จะไม่สามารถที่จะแยก Active Video ออกจากข้อมูลของ Synch ได้

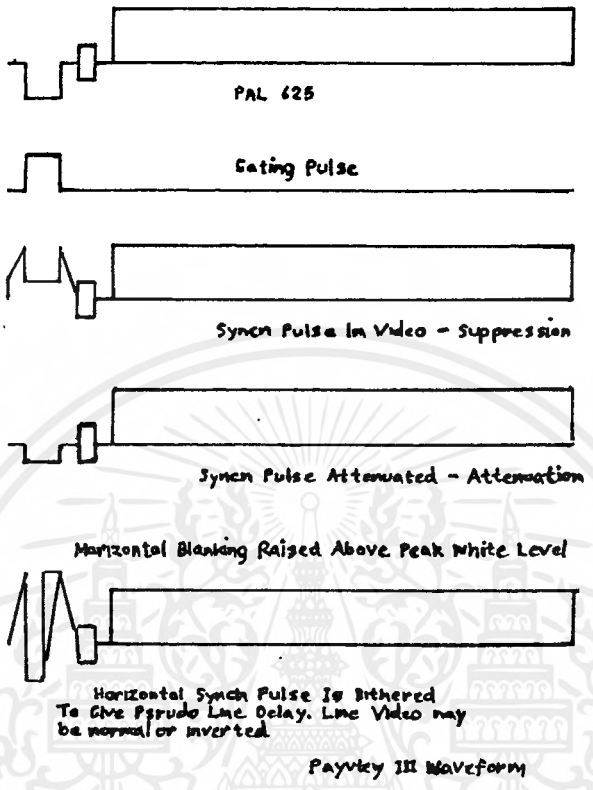
3.8 การเลื่อน Pulse Synch (Pulse Synch Shifting)

หลักการ ใส่ Pulse synch เข้าไปในย่านของสัญญาณ Video ซึ่งใช้ได้ทั้งทาง Horizontal และ Vertical Synch

การเลื่อน Pulse Synch สามารถป้องกันเครื่องรับโทรทัศน์จากการ Lock ภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับ Sinewave synch Shifting เพราะวิธีนี้จะมีผลต่อช่วงของสัญญาณ Synch เท่านั้น Waveform ของ Scrambling และ Descrambling ที่ถูกเพิ่มเข้าไปในสัญญาณ Video คือขบวนของ Pulse (Pulse Train)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

038913



รูปที่ 3.8 แสดงผลของ Pulse Synch Shifting

เมื่อ Pulse Train ซึ่งจำเป็นสำหรับการ Descrambling สัญญาณที่ถูกส่งไปตามคู่สายที่แยกจากกันจะใช้การเลื่อน Gate Pulse

ตัวอย่างการนำไปใช้งาน

1. **การสแกรมคลื่นไซน์** (Sinewave Scrambling)

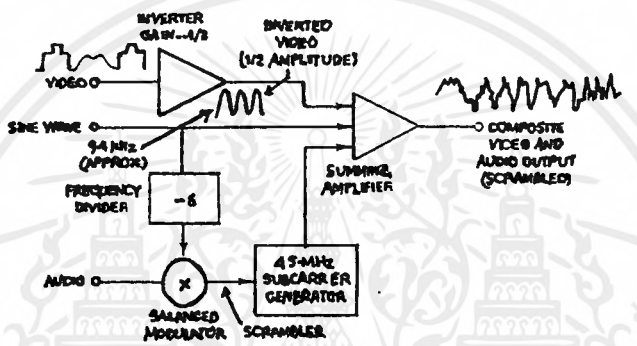
การสแกรมคลื่นไซน์ใช้เทคนิคการเลื่อนคลื่นไซน์ ซึ่งเป็นที่นิยมใช้กันมา เพราะสามารถทำได้ง่าย เพียงแต่นำสัญญาณคลื่นไซน์ความถี่ต่าง ๆ นำมาทำการรวม (Summing) กับสัญญาณเส้นภาพ ถ้าเป็นระบบ PAL จะใช้ความถี่ 15,625 Khz ส่วนระบบ NTSC จะใช้ความถี่ 15.75 Khz ทั้งนี้เพื่อให้เข้าใจง่ายเพราะความถี่นี้จะเท่ากับความถี่ของเส้นภาพของระบบนั้น ๆ ในการรวมสัญญาณคลื่นไซน์เข้าไปนั้น เราจะต้องยกระดับสัญญาณคลื่นไซน์ก่อน โดยให้ค่าสูงสุดทางลบมีค่าเท่ากับ 0 จากนั้นก็จะจัดเฟสให้ส่วนที่มีค่าเท่ากับ 0 นั้นไปตรงกับส่วนที่เป็นสัญญาณซิงค์พัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. **การสแกรมแบบเทลิส** (Telease Scrambling)

การสแกรมแบบเทลีสใช้เทคนิคการเลื่อนคลื่นไซน์ โดยระบบนี้จะทำการสแกรมทั้งสัญญาณภาพและเสียงลักษณะการทำงานแสดงในรูปที่ 3.11

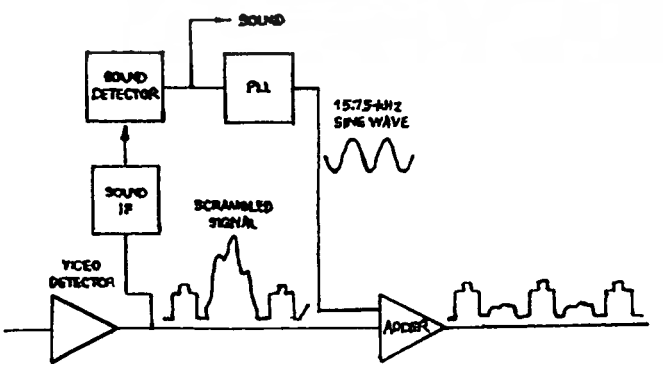
จากหลักการทำงานของการสแกรมทั้ง 3 แบบที่กล่าวมาแล้ว ในที่นี้เราจะกล่าวถึงหลักการทำงานของการดีสแกรมของทั้ง 3 แบบดังนี้



รูปที่ 3.11 แสดง Block Diagram ของ Telease Scrambling

4. **การดีสแกรมคลื่นไซด์** (Sinewave Descrambling)

การดีสแกรมคลื่นไซด์ เป็นการหักล้างคลื่นไซน์ที่เพิ่มเข้ามาตอนการสแกรมเพื่อให้ได้สัญญาณภาพดังเดิมหลักการทำงานดังรูปที่ 3.12

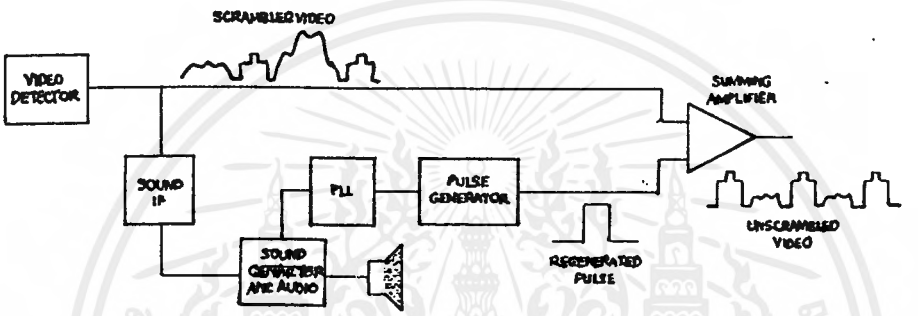


รูปที่ 3.12 แสดง Block Diagram ของ Sine Wave Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. **การดีสแกรมแบบเกทพัลส์** (Gated Pulse Descrambling)

การดีสแกรมแบบเกทพัลส์ จะคล้ายกับการดีสแกรมแบบคลื่นไซน์แต่จะหักล้างเกทพัลส์ออกไปแทนคลื่นไซน์หลักการทำงานดังรูปที่ 3.13

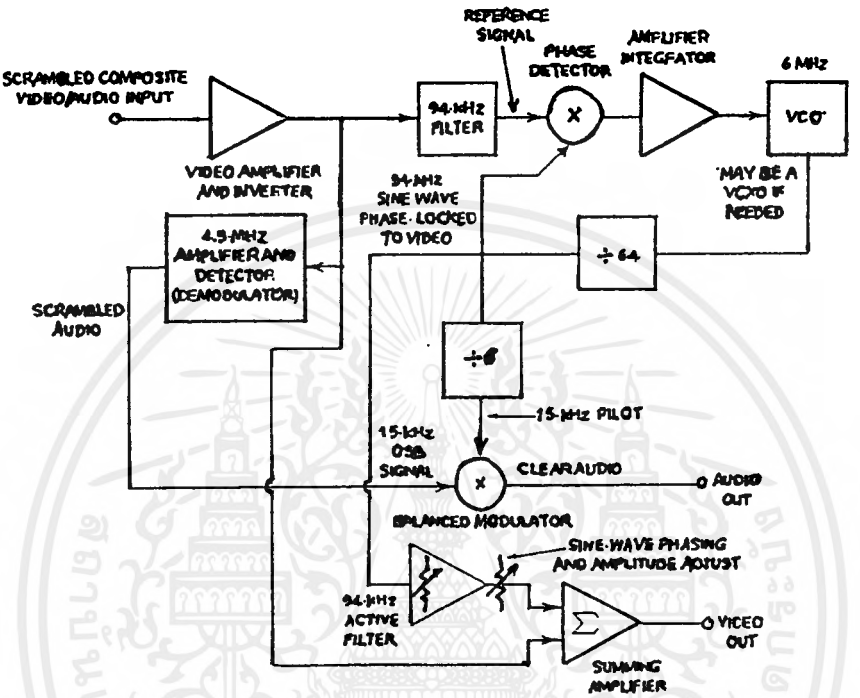


รูปที่ 3.13 แสดง Block Diagram ของ Gate Pulse Descrambling

6. **การดีสแกรมแบบเทลีส** (Telease Descrambling)

การดีสแกรมแบบเทลีส เป็นการหักล้างคลื่นไซน์จากส่วนภาพและเสียงโดยในส่วนของเสียงจะต้องมีการดีมอดูเลท (Demodulate) ก่อน เพราะตอนการสแกรมจะมีการมอดูเลทกับคลื่นพาห์เสียง (Sound Carrier) หลักการทำงานดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 Block Diagram ของ Telease Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีวงจรกรองความถี่ (Filter)

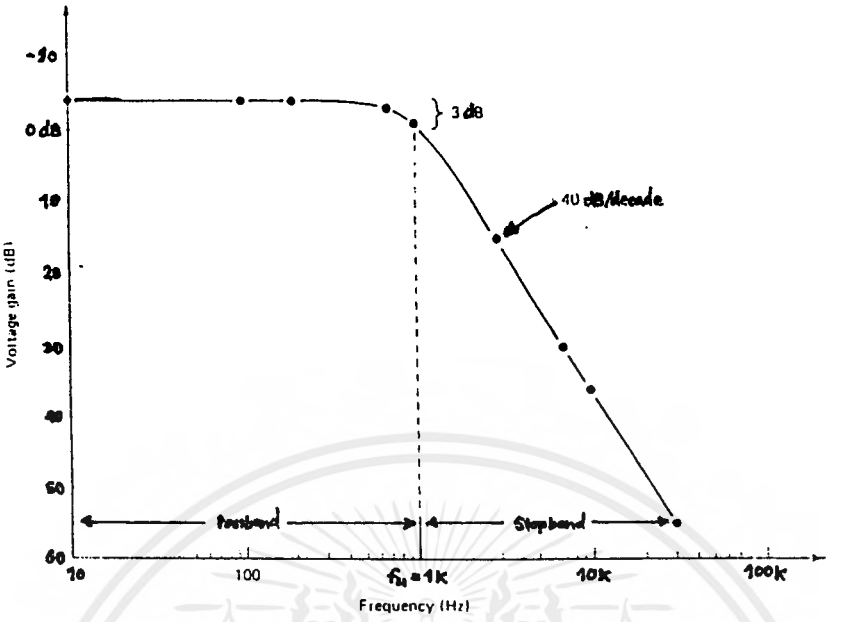
ในการใช้งานวงจรอิเล็กทรอนิกส์ บางครั้งเราอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้น โดยที่สัญญาณที่มีความถี่อื่นนอกเหนือจากนั้นจะถูกกำจัดออกไป ซึ่งนี่คือประโยชน์ของวงจรกรองความถี่ชนิดต่าง ๆ ซึ่งมีด้วยกันหลายแบบดังนี้

1. วงจรกรองความถี่ต่ำ (Low Pass Filter)
2. วงจรกรองความถี่เป็นช่วง (Band Pass Filter)
3. วงจรกรองความถี่สูง (High Pass Filter)
4. วงจรนอท์ชฟิลเตอร์ (Notch Filter)

4.1 วงจรกรองความถี่ต่ำ (Low Pass Filter, LPF)

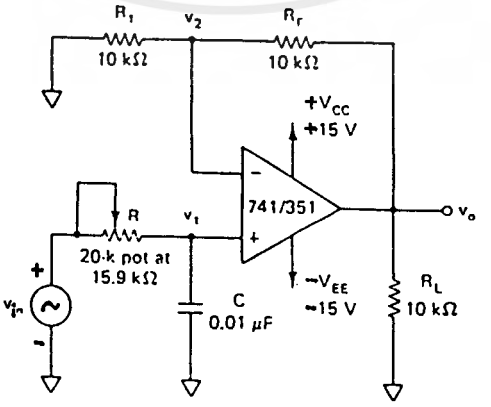
ในทางอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่ f_c (cut off Frequency) ผ่านเข้าไปในวงจรเลย แม้จะมีความถี่สูงกว่า f_c เพียงเล็กน้อยก็ตาม แต่ในความเป็นจริงแล้วลักษณะของความถี่สูงที่ถูกกันออกไปจะไม่เป็นเช่นนั้น แต่จะค่อย ๆ ถูกลดอัตราขยายลงเรื่อย ๆ โดยจุดที่มีความถี่เท่ากับ f_c นี้อาจเรียกได้หลายอย่าง เช่น ความถี่ 0.707 (ขนาด V_{out} จะลดลงเหลือเพียง 70.7 % เมื่อเทียบกับ V_{in} สูงสุด) ความถี่ – 3 dB (อัตราขยายของ V_{out} ลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดยสรุปแล้วงจรนี้จะลดทอนขนาดของสัญญาณที่มีความสูงกว่า f_c ซึ่งเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่า "ช่วงให้ผ่านได้" (Pass Band) และที่มีความถี่สูงกว่าว่า "ช่วงที่ถูกกั้น" (Stop Band)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 กราฟแสดงการตอบสนองต่อความถี่ของ LPF

จากกราฟรูปที่ 4.1 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่ f_C แล้วจะมีสัญญาณบางเส้น ที่ถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่น ๆ เช่น สัญญาณที่มีความชัน – 20 dB/decade (อัตราขยายจะลดลง 20 dB ต่อความถี่ที่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีค่า – 60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรกรองความถี่ และเป็นที่แน่นอนว่า ยิ่งค่าความชันมีค่าเป็นลบมากขึ้นเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้นเท่านั้น



รูปที่ 4.2 วงจร Low Pass Filter ขั้นพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2 แสดงตัวอย่างของวงจร Low Pass Filter แบบพื้นฐาน ซึ่งใช้ออปแอมป์ที่ถูกต่อในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้ว Input บวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณ Input จะมีผลต่อค่า Impedance ของตัวเก็บประจุ ดังสมการ

$$X_c = 1/\omega \qquad (\omega = 2\pi f)$$
$$= 1 / 2\pi fC$$

โดยที่ f คือความถี่ของสัญญาณ Input ดังนั้นเมื่อสัญญาณมีความถี่ต่ำ X_c จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากตกคร่อมตัวเก็บประจุ C และเป็นผลให้แรงดัน Output V_c มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณมีความถี่สูง จะทำให้ X_c มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จะมีค่าต่ำด้วย จะสรุปได้ว่า ช่วงของสัญญาณที่มีความถี่ต่ำจะผ่านไปปรากฏที่ Output ได้โดยที่สัญญาณซึ่งมีความถี่สูงจะถูกกั้นเอาไว้ และเราสามารถหาความถี่ f_c ที่แบ่งช่วงสัญญาณออกเป็นสองส่วนได้ดังสมการ

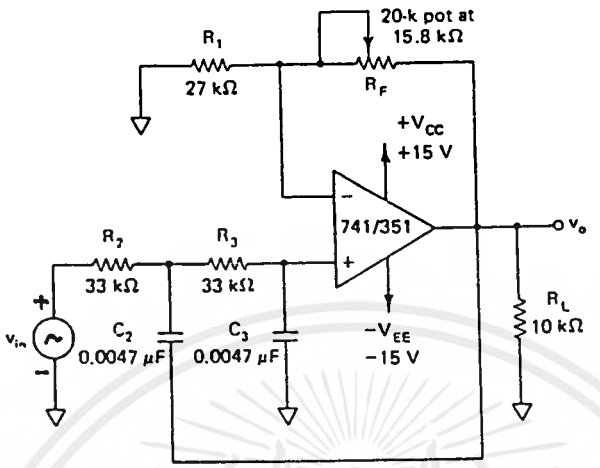
$$f_c = 1 / 2\pi RC$$

วงจร Low Pass Filter ในรูปที่ 4.2 จะมีความชันประมาณ –20 dB/decade และจากการใช้อุปกรณ์ เช่น ตัวเก็บประจุในวงจร สัญญาณที่วัดได้จาก Output จะมีเฟสไม่ตรงกับ Input เลยทีเดียว แต่จะมีการเลื่อนเฟสออกไปเท่ากับ –45 (ถึงแม้จะป้อน ณ ขั้ว Input บวกเลยก็ตาม) ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อย ๆ โดยทั่วไปแล้ว เฟสของสัญญาณ Output จะเลื่อนไป –45 ทุก ๆ ความชันที่ลดลง –20 dB/decade ตัวอย่าง เช่น สำหรับสัญญาณที่มีความชัน –40 dB/decade เฟสของ Output จะถูกเลื่อนออกไป –90 เมื่อที่มีความชัน –40 dB/decade เฟสของ Output จะถูกเลื่อนออกไป –90 เมื่อเทียบกับสัญญาณ Input

รูปที่ 4.3 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง –40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 เข้ามา ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณ Input ที่ความถี่สูง (เนื่องจาก X_{c1} จะมีค่าลดลง) และเราสามารถหาความถี่ f_c จากสมการได้ดังนี้

$$f_c = 1/[2\pi R_1R_2C_1C_2]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงวงจร Low Pass Filter ที่มีความชันถึง –40 dB/decade

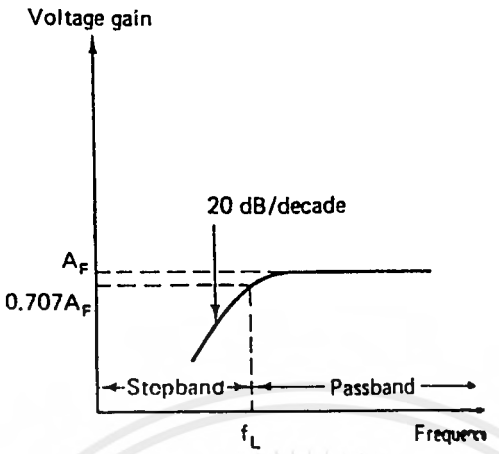
สมการนี้จะให้ผลแม่นยำมาก ถ้าความต้านทาน R_1 และ R_2 ที่ใช้มีขนาดเท่ากัน และตัวเก็บประจุ C_1 มีค่า Capacitance สูงกว่า C_2 R_3 ควรมีค่าเท่ากับ $R_1 + R_2$ เพื่อให้สัญญาณ Output มีลักษณะใกล้เคียงกับสัญญาณ Input มากที่สุด และยังช่วยในการปรับ Offset ให้เกิดสมดุลย์อีกด้วย

4.2 วงจรกรองความถี่สูง (High Pass Filter, HPF)

หลังจากที่ได้ศึกษาวงจร Low Pass Filter มาแล้ว เราจะสามารถเข้าใจหลักการทำงานของวงจร High Pass Filter ได้ง่ายขึ้น นอกจากนี้ยังพบว่าสามารถนำสมการต่าง ๆ ของวงจร Low Pass Filter มาใช้ในการคำนวณวงจร High Pass Filter ได้อีกด้วย

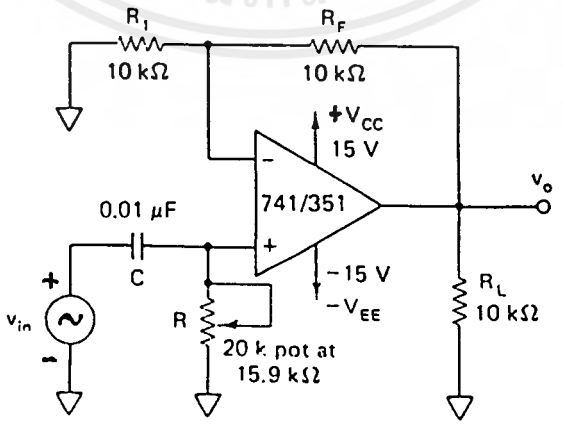
จากชื่อของวงจรชนิดนี้ เราสามารถบอกได้ทันทีว่า วงจรนี้จะยอมให้สัญญาณความถี่สูงผ่านไปสู่ Output ได้เท่านั้น แต่จะกันไม่ให้สัญญาณความถี่ต่ำผ่านไปได้ แต่ในความเป็นจริง วงจรนี้ก็จะมีลักษณะเช่นเดียวกับวงจร Low Pass Filter คือจะเกิดความถี่ f_c ขึ้น และอัตราขยายจะค่อย ๆ ลดลง คือจะไม่ตกลงในแนวดิ่งเลยทันทีทันใด ดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงคุณสมบัติการตอบสนองความถี่ของวงจร High Pass Filter

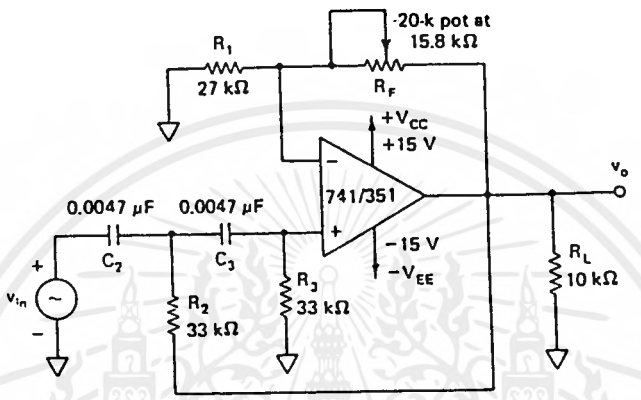
เราสามารถสร้างวงจรนี้ได้ โดยการสลับตำแหน่งของ R กับ C ของวงจร Low Pass Filter ได้ดังรูปที่ 4.5 และสามารถอธิบายหลักการทำงานได้ โดยอาศัยคุณสมบัติที่ว่า ที่ความถี่สูง ค่า Impedance ของ C จะมีค่าต่ำ ดังนั้นสัญญาณ Input เกือบทั้งหมดจึงตกคร่อม R และมีศักดาเท่ากับ V_{out} แต่ที่ความถี่ต่ำกว่า f_c ของ Impedance จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดตกคร่อม C และเป็นผลให้แรงดันที่ตกคร่อม R และแรงดันที่ Output มีค่าต่ำมาก โดยที่วงจรในรูปที่ 5 นี้มีความชันประมาณ –20 dB/decade และมีค่าความถี่ f_c ที่หาได้จากสมการเดียวกับวงจร Low Pass Filter



รูปที่ 4.5 แสดงวงจร High Pass Filter **ที่มีความชัน** –20 dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 4.5 เราสามารถปรับปรุงให้มีความชันถึง –40 dB/decade ได้โดยเพิ่ม R และ C เข้าไปดังรูปที่ 4.6 โดยวงจรนี้จะมีการทำงานที่มีประสิทธิภาพมากที่สุด ก็ต่อเมื่อเรากำหนดให้ C_1 มีค่าเท่ากับ C_2 และ C_3 มีค่าเท่ากับ R_2 โดยมี R_2 เป็นตัวป้อนสัญญาณกลับเพื่อการกรองสัญญาณอีกครั้งหนึ่ง



รูปที่ 4.6 แสดงวงจร High Pass Filter ที่มีความชัน –40 dB/decade

4.3 วงจรกรองความถี่เป็นช่วง (Band Pass Filter, BPF)

วงจร Band Pass Filter คือวงจรที่ยอมให้สัญญาณบางความถี่ผ่านไปได้เท่านั้น ดูคุณสมบัติการตอบสนองความถี่ของวงจรได้ในรูปที่ 4.7

จากรูปที่ 4.7 จะพบว่า ณ ความถี่ที่ Output มีขนาดสูงสุด เราเรียกว่าความถี่รีโซแนนท์ (Resonant Frequency, f_r) และที่ความถี่ซึ่งแรงดัน Output ลดลงเหลือเท่ากับ 70.7 % ทั้งด้านที่ความถี่สูงขึ้น และความถี่ลดลง เรียกว่าความถี่ f_H และ f_L ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ (f_H - f_L) จะแสดงค่า Bandwidth (BW) มีขนาดต่ำกว่า 10 % ของความถี่ f_r จะเรียกวงจรนี้ว่า วงจร Filter ช่วงแคบ แต่จะเรียกว่าเป็นวงจร Filter ช่วงกว้าง ถ้า BW มีค่าสูงกว่า 10% ของ f_r นอกจากนี้แล้วยังให้นิยามสำหรับค่า Q (Quality Factor) ว่าเป็นอัตราส่วนระหว่างความถี่ f_r กับ BW ดังสมการ

$$Q = f_r / BW$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่มีค่า Q สูงมากเท่าใด BW ก็จะยิ่งแคบเท่านั้น (เข้าใกล้วงจรในอุดมคติ ซึ่งต้องการเลือกความถี่ที่ผ่านวงจรได้เพียงค่าเดียว) และ Output ที่ได้จะมีขนาดสูงขึ้นด้วย เส้นประในรูปที่ 4.7 แสดงวงจร Band Pass Filter ที่มีค่า Q ค่อนข้างต่ำ

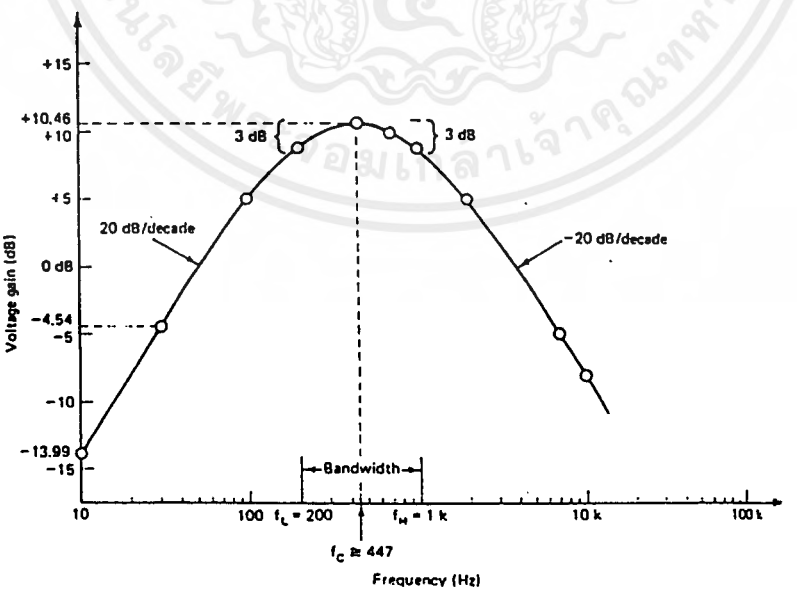
วงจรในรูปที่ 4.8 แสดงวงจร Band Pass Filter ซึ่งได้จากการรวมวงจร Low Pass Filter และ High Pass Filter เข้าด้วยกัน (โดยที่วงจรใดจะมาก่อนกันก็ได้) R_1 และ C_2 คืออุปกรณ์ที่ในการกรองความถี่ต่ำ ส่วน R_2 และ C_1 จะใช้กรองความถี่สูง โดยสามารถหาค่าความถี่ f_r ได้จากสมการ

$$f_r = 1/[2\pi R_p R_3 C_1 C_2]$$

โดยที่ $R_p = R_1 // R_2 = R_1 R_2 / [R_1 + R_2]$

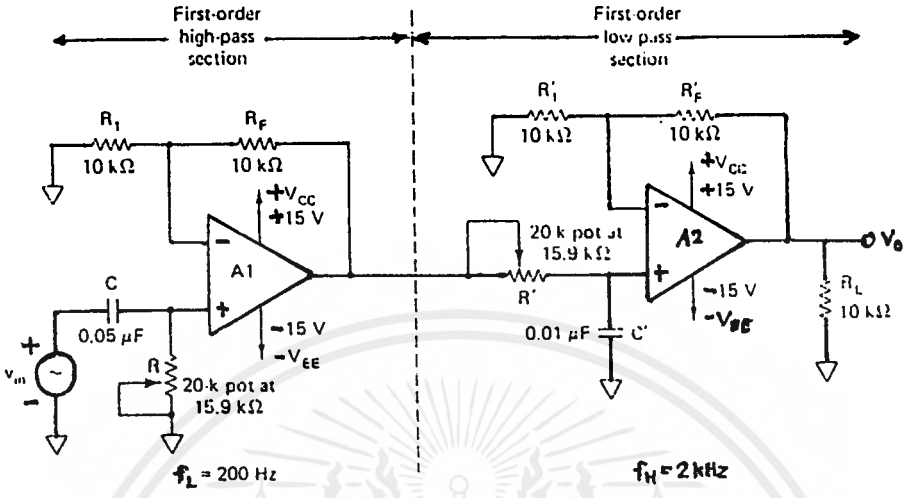
และหาค่า Q จากสมการ

$$Q = 0.5 \quad R_3 / R_3 \qquad \text{เมื่อ} \quad C_1 = C_2$$



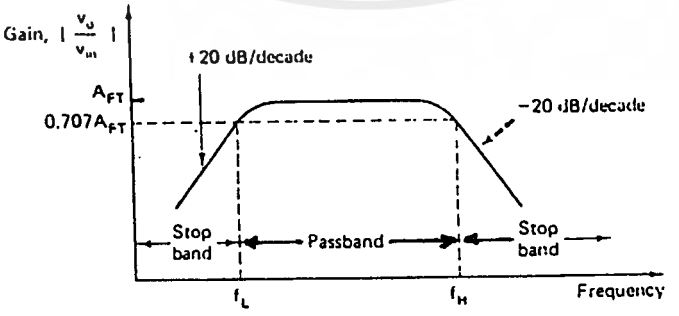
รูปที่ 4.7 แสดงคุณสมบัติการตอบสนองต่อความถี่ของ Band Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงวงจร Band Pass Filter แบบรวม HPF กับ LPF

ในกรณีต้องการวงจร Band Pass Filter ซึ่งมีช่วงกว้างมาก ๆ เราสามารถนำวงจร Low Pass Filter และ High Pass Filter มาต่อร่วมกันได้เลย โดยใช้ f_c ของวงจร Low Pass Filter เป็น f_H และใช้ f_c ของวงจร High Pass Filter เป็น f_L ซึ่งจะได้กราฟแสดงการตอบสนองต่อความถี่ ดังรูปที่ 4.9

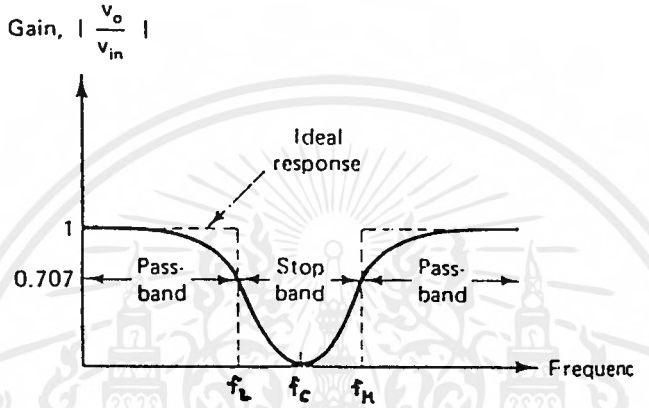


รูปที่ 4.9 แสดงกราฟคุณสมบัติตอบสนองความถี่ของ BPF ที่ใช้ LPF กับ HPF ต่อร่วมกัน

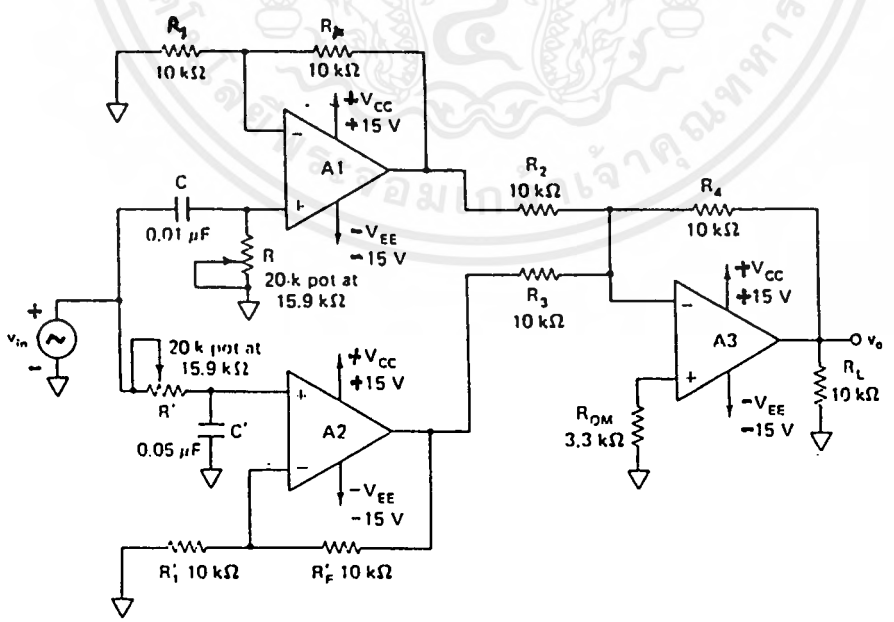
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรนอท์ฟิลเตอร์ (Notch Filter)

วงจรชนิดนี้จะทำงานตรงกันข้ามกับวงจรกรองความถี่เป็นช่วง โดยวงจรนี้จะยอมให้ความถี่ทุก ๆ ค่าผ่านไปได้ ยกเว้นความถี่ช่วงหนึ่งที่ได้กำหนดไว้ โดยทั่วไปวงจรชนิดนี้ มักถูกใช้เพื่อกันสัญญาณรบกวน ที่เราทราบค่าความถี่แล้ว รูปที่ 4.10 แสดงการตอบสนองต่อความถี่ของวงจร Notch Filter



รูปที่ 4.10 แสดงการตอบสนองความถี่ของวงจร Notch Filter



รูปที่ 4.11 แสดงวงจร Notch Filter แบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.11 เราสามารถคำนวณหาค่า f_r ได้จากสมการ

$$f_r = 1/[2\pi R_1 R_4 C_1 C_2]$$

และหาค่า Q ของวงจรเมื่อ $C_1 = C_2$ ได้จากสมการ

$$Q = 0.5 [R_4 / R_1]$$

นอกจากนี้ ยังสามารถนำค่า Q นี้มาคำนวณหาความชันได้อีกด้วย โดยที่

$$\text{(ความชัน)} \quad N = \{[1/Q] - [2Q(1 - Rp)/Rp]\}/[1/Q] \quad ; R_p = R_3/[R_2 + R_3]$$

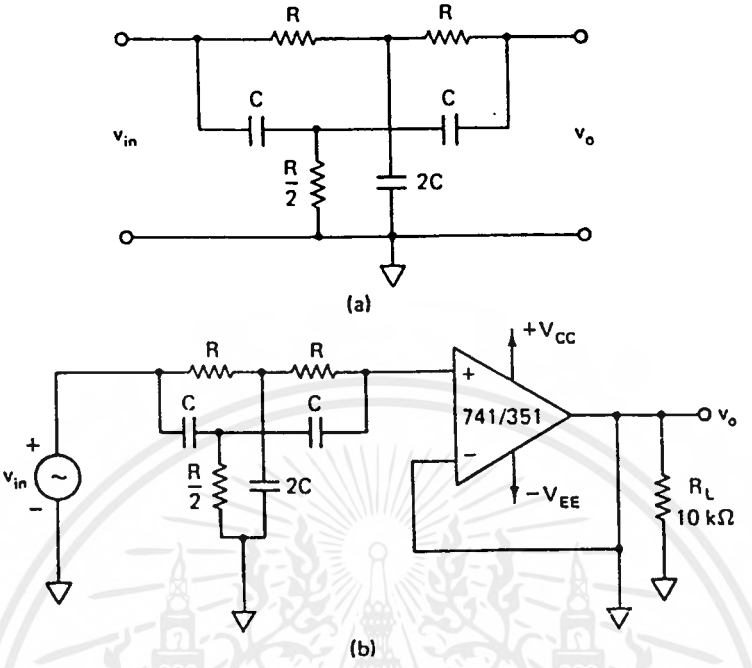
ซึ่งโดยปกติแล้ว R_3 ที่ใช้งานจะมีค่าสูงกว่า R_2 ประมาณ 50 เท่า

การทำงานของวงจรในรูปที่ 4.11 สามารถอธิบายได้ดังนี้ แรงดัน Input จะถูกแบ่งตามอัตราส่วนระหว่าง R_2 และ R ซึ่งแรงดันนี้จะถูกป้อนให้แก่ขั้ว Input ทั้งสองของออปแอมป์ ที่ความถี่ต่ำกว่า f_r ค่า Impedance X_c ของตัวเก็บประจุจะสูงมาก ดังนั้นจึงไม่มีการป้อนสัญญาณกลับ เป็นผลให้

$$V_{out} = \{R_3/[R_2 + R_3]\} * V_{in}$$
$$= V_{in} \text{ เมื่อ } R_3 = 50\ R_{in}$$

แต่เมื่อความถี่ของ Input เข้าใกล้ f_r Reactance ของตัวเก็บประจุจะทำงานร่วมกับตัวต้านทานในการป้อนสัญญาณ Output กลับสู่ Input เป็นผลให้แรงดัน Output ลดลง และเกิดการเลื่อนเฟสด้วย เมื่อความถี่ของ Input มีค่าสูงกว่า f_r Impedance ของตัวเก็บประจุจะลดลง และเป็นผลให้ขั้วของ Output เสมือนถูกลัดวงจรกับขั้ว Input ลบ นั่นคือ อัตราขยายมีค่าเป็น 1 กลายเป็นวงจรตามแรงดัน (Voltage Follower) ในการพิจารณาวงจรนี้ เมื่อกล่าวถึงกรณีที่ Impedance ของ C มีค่าสูง ๆ ให้คิดว่า C ถูกเปิดวงจร และเมื่อ Impedance ของ C มีค่าลดลงให้คิดเสมือน C ถูกลัดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงวงจร Notch Filter ชนิด "T" คู่

จากรูปที่ 4.12 แสดงวงจร Notch Filter ชนิด "T" คู่ ที่มีการนำเอาอุปกรณ์ Passive มาต่อในลักษณะของตัวกลับหัวกัน โดยมีออปแอมป์ทำหน้าที่เป็นบัฟเฟอร์ วงจรนี้มักให้ค่า Q ค่อนข้างต่ำ (ต่ำกว่า 1) ส่วนวงจรในรูปที่ 4.12 b แสดงการนำวงจร 12 a มาดัดแปลงเล็กน้อย โดยนำจุดต่อระหว่าง R_3 และ C_3 ไปป้อนที่ Output ของออปแอมป์ เป็นผลให้ค่า Q มีค่าสูงถึง 50 ซึ่งทำให้เกิดความชันมีค่าสูงมาก (ดังนั้น Output ที่ได้จึงมีลักษณะแหลมมาก) โดยสมการในการคำนวณ f_r ยังคงเหมือนกับในวงจรรูปที่ 4.12 a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรเฟสล็อคลูป (Phase Lock Loop) พื้นฐาน

เนื่องจากมีการใช้ระบบ FM Stereo กันอย่างแพร่หลาย ทำให้มีการรวมวงจรส่วนประกอบของระบบ FM Stereo ทั้งหลายเข้าด้วยกัน ทำเป็นไอซีสำเร็จรูปเพียงตัวเดียวทำให้สามารถประกอบวงจรเกี่ยวกับ FM Stereo ง่ายขึ้นและประหยัดเวลา ซึ่งโดยทั่ว ๆ ไปแล้วไอซีสำเร็จรูปนี้ จะประกอบไปด้วยส่วนของอินพุทแอมปลิไฟเออร์ (Input Amplifier), วงจรเฟสล็อคลูป, VCO (Voltage Control Oscillator), Decoder Matrix, วงจรเฟสล็อคลูปบางระบบที่ใช้สำหรับ Audio Muting หรือ Stereo Lamp Switching และ Power Supply Regulator ที่สร้างอยู่ภายใน การเลือกวัสดุที่ใช้ทำไอซีชนิดนี้ จะเลือกตัวอุปกรณ์ที่สามารถทำงานในช่วงของแรงดันซัพพลายที่เปลี่ยนแปลงในช่วงกว้างปกติแล้วไอซีจำพวกนี้จะมีตัวถังเป็นแบบขนาด 14 หรือ 16 ขา และเมื่อมีการผลิตเป็นจำนวนมาก จะทำให้มีราคาถูกและพร้อมที่จะนำไปใช้งานได้เลยโดยหาได้ตามร้านค้าที่จำหน่ายอุปกรณ์อิเล็กทรอนิกส์ หรือขายเป็นส่วน ๆ โดยผู้จำหน่ายชิ้นส่วนของวิทยุ หรือ โทรทัศน์ วงจรส่วนใหญ่ที่ใช้งาน จะไม่มีส่วนประกอบจำพวก คอล์ย (Coil) และอุปกรณ์อื่น ๆ ที่หาซื้อได้ยาก อุปกรณ์เหล่านี้ จะเป็นส่วนจำเป็นที่จะต้องใช้เป็นอุปกรณ์ในการถอดรหัส (Descrambler) เพราะมีการกำเนิดความถี่ซับแคร์เรียร์ (Subcarrier) 15, 31, 40 หรือ 62 กิโลเฮิรตซ์ เพื่อใช้ในระบบเกตชิงค์ (Gated Synch), ไซน์เวฟ (Sine Wave) และ SSAVI ในการนำไปใช้งานที่มีการดีมอดูเลท (Demodulate) สัญญาณซับแคร์เรียร์ ของ Hidden Audio ดังนั้นจึงเป็นการทำงานทั้งสองอย่างพร้อมกัน

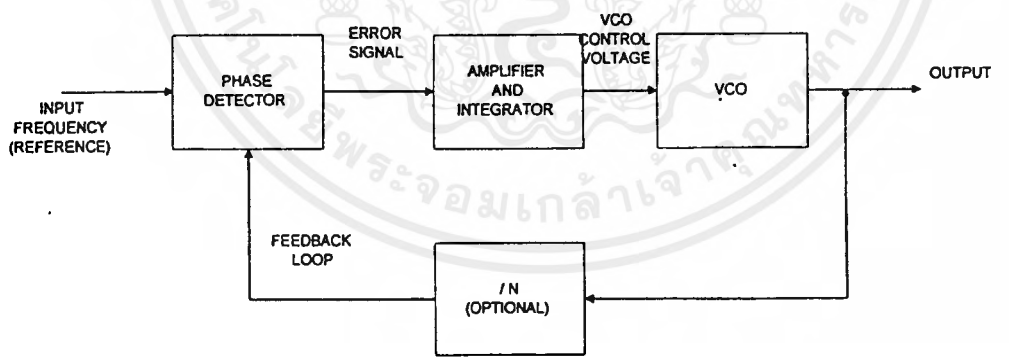
5.1 ทฤษฎีของวงจรเฟสล็อคลูป

หลักการของวงจรเฟสล็อคลูปจะทำงานโดยการเปรียบเทียบสัญญาณที่มีความถี่ที่ต้องการ ซึ่งปกติแล้วจะได้จาก VCO ที่มีย่านการปรับแต่ง (Tune) ตามที่กำหนดกับสัญญาณอ้างอิง (Reference) โดยปกติแล้วสัญญาณอ้างอิง ก็คือสัญญาณอินพุทนั่นเอง ทั้งสัญญาณอินพุทและ VCO จะถูกป้อนให้กับวงจรเฟสดีเทคเตอร์ (Phase Detector) ดูรูปที่ 1 ซึ่งวงจรเฟสดีเทคเตอร์จะให้สัญญาณเอาท์พุทที่เป็นผลต่างของเฟส (Phase) ระหว่างสัญญาณอินพุททั้งสอง จากนั้นสัญญาณเอาท์พุทที่ได้จากวงจรเฟสดีเทคเตอร์นี้จะถูกขยาย และจ่ายให้กับวงจร VCO VCO จะทำหน้าที่เลื่อนความถี่ไปในทิศทางที่จะทำให้ความแตกต่างระหว่างสัญญาณที่อินพุทกับสัญญาณที่เกิดจากตัวมันเองลดลง บางครั้งอาจจะต้องทำงานกับความถี่อินพุทที่มีค่าเป็นหลาย ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

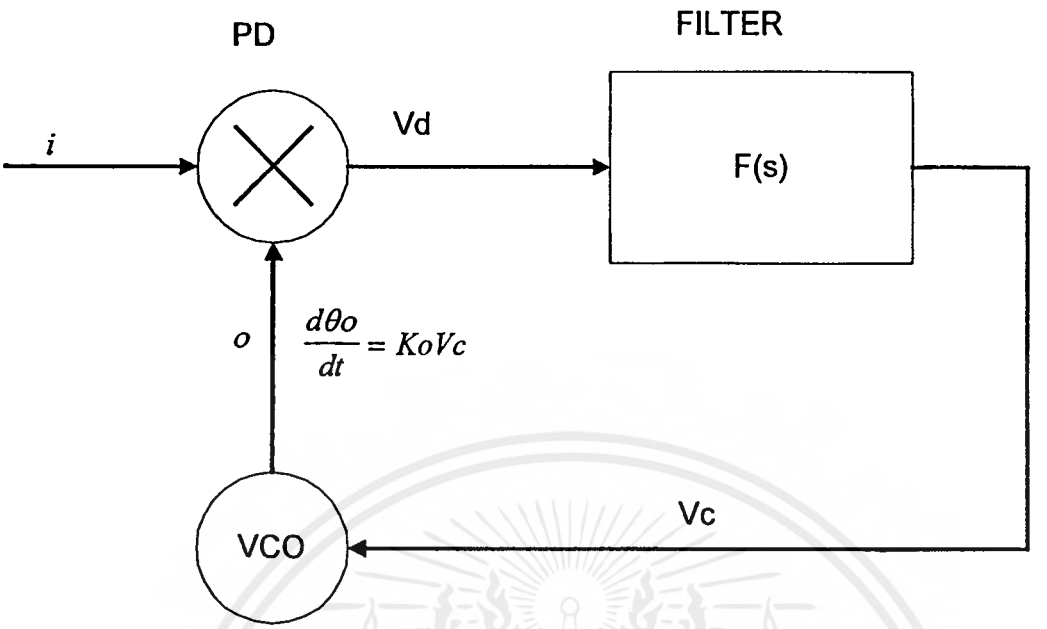
เท่าในแบบนี้จะมีการใส่วงจรหารความถี่ (Frequency Divider) ด้วย N เข้าไปในส่วนที่เป็นการป้อนกลับ

วงจรเฟสดีเทคเตอร์จะผลิตสัญญาณเอาท์พุทที่เป็นสัญญาณกระแสสลับถ้าสัญญาณอินพุทที่ป้อนเข้ามาที่ความถี่เท่ากัน ก็จะให้แรงดันเอาท์พุทกระแสตรงที่แสดงถึงความต่างเฟสของสัญญาณแทน ดังนั้นลูป (Loop) จะถูกล็อคเฟสที่ผิดพลาด (Lock Phase Error) ที่เกิดขึ้นจะมีค่าอยู่ระหว่างอินพุททั้งสองซึ่งในที่นี้มีค่าคงที่ ดังนั้นความถี่ที่ผิดพลาด (Frequency Error) เท่ากับศูนย์ในทางกลับกัน ระบบ Automatic Frequency Control (AFC) จะเกิดความถี่ที่ผิดพลาดเสมอ ดังนั้นเอาท์พุทของ Discriminator จะเป็นแรงดัน DC นั่นคือ การขึ้นอยู่กับความถี่ (Frequency Dependent) ซึ่งคุณจะพบว่าในรูปที่ 5.1 นั้นวงจรแอมปลิไฟเออร์จะมีวงจรอินติเกรเตอร์ (Integrator) อยู่ภายในตัวมันด้วย ซึ่งมีความจำเป็นเมื่อมีการเปลี่ยนแปลงเหตุผลในการนำไปใช้งาน เช่น สัญญาณรบกวน (Noise Rejection) รักษาเสถียรภาพของระบบและคุณสมบัติในการล็อคและ Capture ซึ่งเป็นข้อจำกัดทางธรรมชาติ และเป็นเหตุผลที่ว่าทำไมเมื่อมีการใช้งานจึงต้องมีคู่มือของไอซี (Data Sheet)



รูปที่ 5.1 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 โครงสร้างของระบบเฟสล็อคลูป

จากรูปที่ 5.2 สัญญาณอินพุทเฟส $e_1(t)$ และเอาท์พุทของ VCO มีเฟส $e_0(t)$ สมมติว่าระบบกำลังทำงานอยู่ในสภาวะดีเทคล็อคเฟสจะมีการทำงานเป็นแบบเชิงเส้น (Linear) และเฟสดีเทคเตอร์จะให้สัญญาณเอาท์พุทที่เป็นค่าแสดงความต่างเฟสของสัญญาณอินพุททั้งสองดังนั้น

$$V_d = K_d (e_1 - e_0)$$

เมื่อ K_d คือ เฟคเตอร์ (Factor) หรือ คอนเวอร์ชันเกน (Conversion Gain) มีหน่วยเป็น V/rad

แรงดัน V_D จะถูกกรองสัญญาณโดยฟิลเตอร์ลูป (Filter Loop) เพื่อกำจัดสัญญาณรบกวนและส่วนประกอบของสัญญาณที่เป็นความถี่สูงออกไปโดยฟิลเตอร์จะเป็นตัวกำหนด Dynamic Performance Function ของลูปซึ่งกำหนดโดย F(s)

ความถี่ของ VCO จะกำหนดากแรงดันควบคุมที่อินพุท (V_c) ซึ่งทำให้ความถี่เบี่ยงเบน (Deviate) ไปจากความถี่กลาง (f_c) ด้วยขนาด $\Delta\omega = K_o V_c$

เมื่อเทียบ K_c คือเกนเฟคเตอร์ของ VCO มีหน่วยเป็น rad/sec/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟส ดังนั้นการทำงานของ VCO อาจพิจารณาจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$de_0 / dt = K_o V_c$$

โดยการใช้ Laplace Transform จะได้

$$L\left[\frac{de_0(t)}{dt}\right] = se_0(s) = K_o V_c(s)$$

ดังนั้น

$$e_0(s) = \frac{K_o V_c(s)}{s}$$

ในทำนองเดียวกันเฟสของสัญญาณ Output ของ VCO จะมีความสัมพันธ์แบบเชิงเส้นกับการอินทิกรัลของแรงดันควบคุม (V_c) จึงใช้วิธี Laplace Transform เช่นกัน จะได้

$$V_d(s) = K_d[e_1(s) - e_0(s)]$$
$$V_c(s) = F(s)V_d(s)$$
$$e_o(s) = \frac{K_o V_c(s)}{s}$$

จากสมการที่ 1 ถึง 5 จะได้สมการพื้นฐานของลูปคือ

$$\frac{e_o(s)}{e_1(s)} = B(s) = \frac{K_o K_d F(s)}{S + K_o K_d F(s)}$$

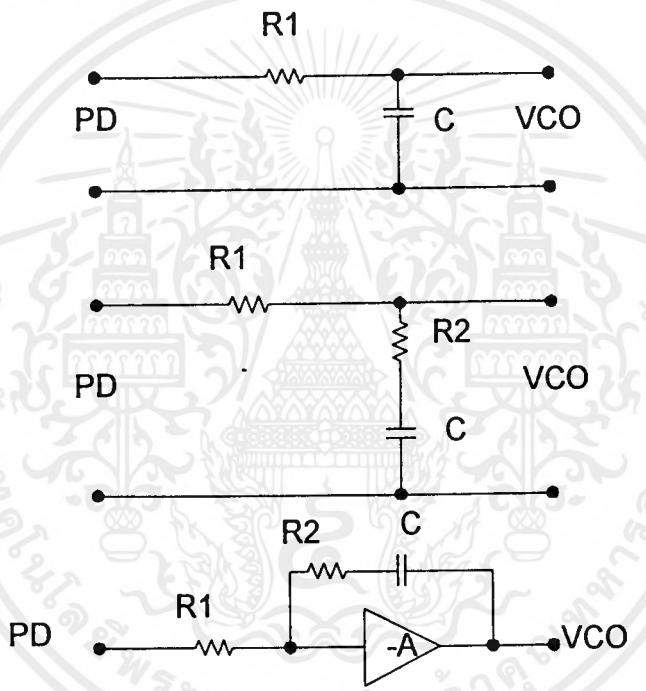
ซึ่ง B(s) คือ Transfrom Function ของ Closed Loop

$$\frac{e_1(s) - e_o(s)}{e_1(s)} \frac{e_o(s)}{e_1(s)} \frac{s}{s + K_o K_d F(s)} = 1 - B(s)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_c(s) = \frac{sK_dF(s)e_1(s)}{s + K_oK_dF(s)} = \frac{se_1(s)B(s)}{K_o}$$

$$F(s) = \frac{1}{sCR_1 + 1} = \frac{sCR_1 + 1}{sC(R_1 + R_2) + 1} = \frac{sT_2 + 1}{sT_1 + 1}$$



รูปที่ 5.3 แสดงฟิลเตอร์ลูป

จะกล่าวถึงฟิลเตอร์ลูปซึ่งจะเป็นตัวกำหนดคุณสมบัติทาง Dynamic ของระบบก่อนที่จะพิจารณาการทำงานของลูปต่อไป ฟิลเตอร์ที่ใช้จะอยู่ในรูปแบบพื้นฐาน 3 รูป ดังรูปที่ 5.3

$$T_1 = (R_1 + R_2)C = T_2 = R_2C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(s) = \frac{-A(sCR_2 + 1)}{sCR_2 + 1 + (1 + A)(sCR_1)}$$

ถ้าให้ A มีขนาดใหญ่มาก ๆ เราจะได้สมการดังนี้

$$F(s) = \frac{-sCR + 1}{sCR_1} = \frac{-sT_2 + 1}{sT_1}$$

$$T_1 = R_1C \quad , \quad T_2 = R_2C$$

สำหรับ Passive Filter ชนิดที่ 2 จะให้ Transfer Function ของ Closed Loop ดังนี้

$$B_1(s) = \frac{K_oK_d(sT_2 + 1)/T_1}{s^2 + s(1 + K_oK_dT_2)/T_1 + (K_oK_d/T_1)}$$

เมื่อแก้ไขการกลับเฟสแล้ว จะได้ Transfer Function ของ Closed Loop ดังนี้

$$B_2(s) = \frac{K_oK_d(sT_1 + 1)/T_1}{s^2 + s(1 + K_oK_dT_2/T_1) + (K_oK_d/T_2)}$$

Transfer Function ทั้งสองชุด สามารถเขียนอีกแบบได้ดังนี้

$$B_1(s) = \frac{s(2\omega n - \omega n^2 / K_oK_d) + \omega n^2}{s^2 + 2s\omega n + \omega n^2}$$

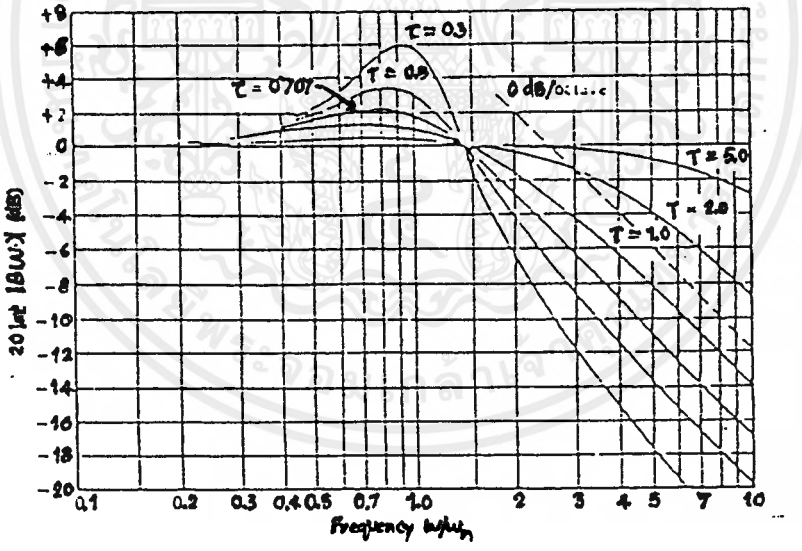
$$B_2(s) = \frac{2s\omega n - \omega n^2 / K_oK_d) + \omega n^2}{s^2 + 2s\omega n + \omega n^2}$$

สมการที่ 11 และ 12 ซึ่งเขียนอยู่ในรูปของ Feedback Control โดยให้ ω_n แทนความถี่ธรรมชาติ (Natural Frequency) ของลูปและให้แทน Damping Factor ของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงสมการ Passive และ Active

Passive	Active
$\omega n = \left[\frac{K_o K_d}{T_1}\right]^{1/2}$ $= \frac{1}{2}\left[\frac{K_o K_d}{T_1}\right]^{1/2}\left[\frac{T_2+1}{K_o K_d}\right]$ $T_1 = (R_1+R_2)C$ $T_2 = R_2 C$	$\omega n = \left[\frac{K_o K_d}{T_1}\right]^{1/2}$ $= \frac{T_2}{2}\left[\frac{K_o K_d}{T_2}\right]^{1/2} = \frac{T_2 \omega_n}{2}$ $T_1 = R_1 C$ $T_2 = R_2 C$

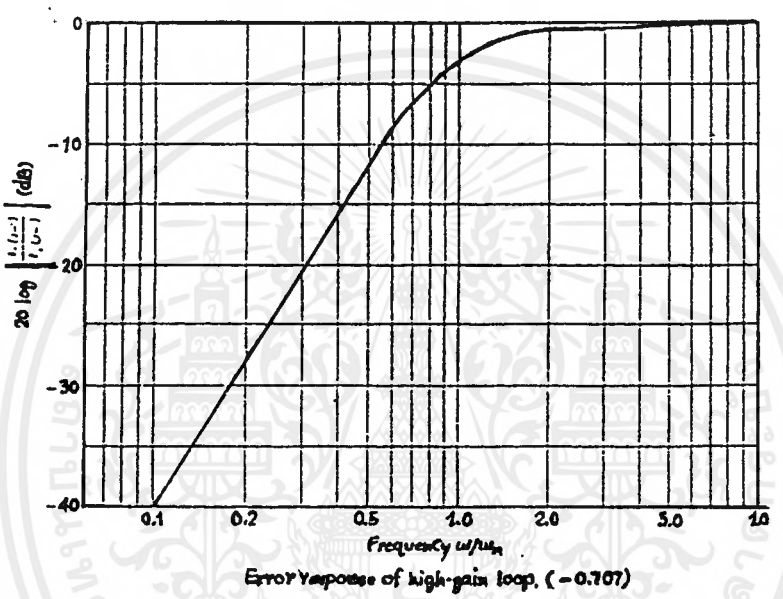


รูปที่ 5.4 แสดงผลการตอบสนองความถี่ของลูป (อันดับ 2 High Gain)

จะเห็นว่า Transfer function ของทั้งสองแบบคล้ายกันมาก ถ้าเป็นในกรณีของ Passive แล้ว $1/K_d K_o << T_2$ และจากสมการกำลังสูงสุดคือ 2 ลูป จึงเรียกว่า ลูปอันดับ 2 (Second Order) จากทฤษฎีของระบบควบคุมแบบ Type จำนวนลูป จะเท่ากับจำนวนเพอร์เฟคอินติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกรเดอร์ (Perfect Integrator) ที่อยู่ภายในลูป ดังนั้นระบบเฟสล็อคลูปใด ๆ ก็ตามอย่างน้อยจะเป็นลูปที่ 1 เนื่องจากว่า VCO นั้นเป็นเพอร์เฟคอินติเกรเตอร์ และถ้าฟิลเตอร์ประกอบด้วยเพอร์เฟคอินติเกรเตอร์อีก 1 ตัวลูปก็จะเป็นอันดับที่ 2 ดังนั้นเฟสล็อคลูปอันดับ 2 ที่มี Active Filter ก็คือได้ว่าเป็นลูปแบบที่ 2 เพราะฟิลเตอร์ที่เพิ่มเข้ามาจะเป็นอินติเกรเตอร์ในขณะที่เฟสล็อคลูปที่มี Passive Filter เป็นลูปแบบที่ 1



รูปที่ 5.5 แสดงผลตอบสนองความผิดพลาดเชิงเฟสของ High Gain Loop $\zeta = 0.707$

การตอบสนองความถี่ของ Loop Gain สูง (High Gain Loop) หมายถึง Loop ที่ $K_dK_oT_2 >> 1$ สำหรับ Passive Filter และ $|A|T_1 >> T_2$ สำหรับ Active Filter เมื่อค่า Damping Factor เปลี่ยนแปลงไป ดังแสดงในรูปที่ 5 จะเห็นว่ามีลักษณะเป็น Low Pass Filter ซึ่งทำงานโดยอาศัยเฟส Input ของ Loop ผลตอบสนองต่อความผิดพลาด (Error Response) ของ Loop อันดับ 2 High Gain คือ

$$\frac{e_o(s)}{e_1(s)} = \frac{s^2}{s^2 + 2s\omega n + \omega n^2}$$

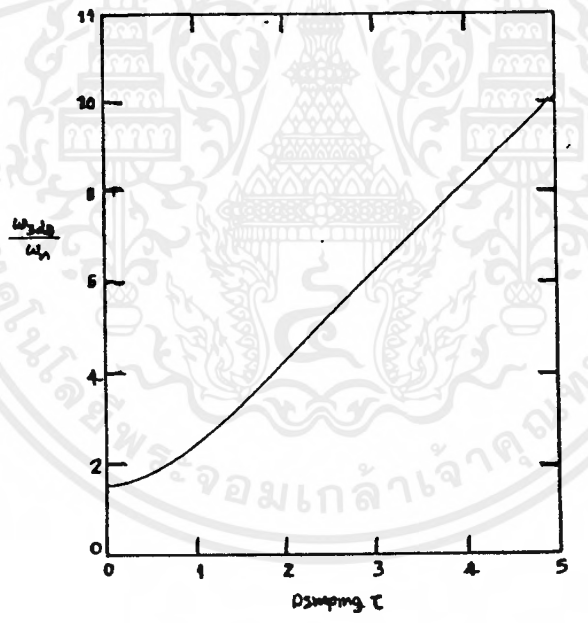
ขณะที่ของ Loop Low Gain คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{e_o(s)}{e_1(s)} = \frac{s(s+\omega n^2 / K_0K_d) + s(s+1/T_1)}{s^2+2s\omega n+\omega n^2 s^2+2s\omega n+\omega n^2}$$

ผลตอบสนองต่อความผิดพลาดเชิงเฟส แสดงในรูปที่ 5.5 สำหรับ Loop Gain สูงที่ S = 0.707 จะเห็นว่ามีคุณสมบัติเป็น High Passing คือ Loop สามารถติดตามการเปลี่ยนแปลงของความถี่ต่ำ แต่ไม่สามารถที่จะติดตามการเปลี่ยนแปลงของความถี่สูงได้ แบนด์วิดธ์ ของ Loop กำหนดได้โดยให้

$$\left|B(j\omega\right|^{1/2} = 0.5$$



รูปที่ 5.6 แสดงแบนด์วิดธ์ของ Loop อันดับ 2

และค่า ω ออกมาจะได้ว่า

$$\omega 3dB = \omega n\left[2^2+1\sqrt{(2^2+1^2)}+1\right]^{1/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 Loop Gian

Transfer function ของ Closed Loop ของเฟสล็อคลูปกำหนดจาก

$$G(s) = \frac{K_o K_d F(s)}{s}$$

Transfer Function ของ Closed Loop กำหนดจาก

$$B(s) = \frac{G(s)}{1 + G(s)}$$

และ DC Loop Gian กำหนดจาก

$$K_v = K_o K_d F(o)$$

มีขนาดเป็นความถี่ rad/s คุณสมบัติของ Loop ที่ดีต้องมีค่า K_v สูง และ F(s) ของ Filter เป็น Rational Function

$$F(s) = \frac{g(s - Z_1)(s - Z_2)...(s - Z_m)}{(s - P_1)(s - P_2)(s - P_3)...(s - P_n)}$$

สำหรับวงจรเฟสล็อคลูป อันดับที่ n Filter จะมีจำนวน m ได้ไม่เกินจำนวน n – 1 ถ้า m = n – 1 แล้ว

$$g = F(\alpha)$$

เมื่อกระจาย F(s) ให้เป็นเศษส่วนย่อย Gain ของ Loop จะเขียนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(s) = \frac{K}{s}\left[a_1 + \frac{\sum_{i=1}^{n-1} a_1 + 1}{s - P_1} \right]$$

สมมติว่า Pole ทุก ๆ Pole เป็น simple Pole และมีค่าเรซิดิว (Residue) $a_1 + 1$ กำหนดให้ K เป็น Loop Gain แล้ว a_1 จะเป็นศูนย์ ถ้า m น้อยกว่า $n - 1$ และ a_1 เป็น 1 ถ้า $m = n - 1$ ในการออกแบบระบบเฟสล็อคลูปมักจะกำหนดให้ $a_1 = 1$ นั่นคือจำนวน Pole จะเท่ากับ Zero ใน Filter ส่วนเฟสล็อคลูประบบอันดับ 2 ที่ใช้ Passive lag-lead Filter จะได้

$$F(s) = \frac{sT_2 + 1}{sT_1 + 1}$$

$$G(s) = \frac{K_o K_d T_2}{sT_1}\left[\frac{1 + (1/T_2) - (1/T_1)}{s + 1/T_1} \right]$$

$$= \frac{K}{s}\left[1 + \frac{a_2}{s + 1/T_1} \right]$$

$$K = \frac{K_o K_d T_2}{T_1} \quad ; a_1 = 1 \quad , \; a_2 = \frac{1}{T_2} - \frac{1}{T_1}$$

สำหรับ Active Filter

$$F(s) = \frac{sT_2 + 1}{sT_1}$$

$$G(s) = \frac{K_o K_d T_2}{sT_1} \cdot (1 + 1/sT_2) = \frac{K}{s} \cdot \frac{(a + a_2)}{s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K = \frac{K_o K_d T_2}{T_1} \quad ; a_1 = 1 \quad , a_2 = 1/T_2$$

$$\omega n = \sqrt{K a_2}$$

Loop Gain จะมีผลต่อตำแหน่งของโพล (Ploe) บน Complex Plan โดยโพลจะเปลี่ยนตำแหน่งไป เมื่อ Loop Gain เปลี่ยนไป และสามารถวิเคราะห์ได้ด้วยวิธี Root Locus plot และยังสามารถวิเคราะห์ด้วยวิธี Bode plot ได้อีกด้วย

5.3 คุณสมบัติเรื่องสัญญาณรบกวน

วงจรเฟสล็อคลูป สามารถจัดการกับสัญญาณรบกวนจำนวนมากได้อย่างดี ทั้งสัญญาณรบกวนจากภายนอก Loop และภายใน Loop

ตารางที่ 5.2 แสดง Noise Bandwidth ของ Loop ชนิดต่าง ๆ

Loop Description	Noise Bandwidth , B/L (Hz)
First Order	$1/4K$
Second Order :	
Simple Lag Filter	$1/4K$
Passive Lag-Lead Filter	$\frac{1/4K + a_2 + 1/T_1}{K + 1/T_1}$
Additive Lag-Lead Filter	$= 1/4K(1 + a_2/K)$ เมื่อ $K >> 1/T_1 a_2 >> 1/T_1$
Third Order :	$\frac{1}{4}\frac{K(1+a_2)}{K}$
Two Zero ; All Open-Loop Pole at Origin	$\frac{1}{4}\frac{a_2K + a_2 - a_3}{a_2K - a_3}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ N_o คือ ความหนาแน่น Spectrum ข้างเดียวของ White Noise หน่วย (V^2/Hz)

V_s คือ ค่าสูงสุดของสัญญาณ Input e_1 หน่วย (V)

P_s คือ กำลังของสัญญาณ หน่วย (W)

ω_1 คือ ความหนาแน่น Spectrum ของกำลัง Noise หน่วย (W/Hz)

$$B_L = \int_0^x [H(j_2\pi f]^2 dt$$

ถ้า Input ของสัญญาณรบกวนเป็น White Noise เฟสของ VCO จะถูกรบกวนให้แกว่งด้วยขนาด

$$e_{2n0} = \frac{2N_o}{Vs^2}\frac{W_1 B_L}{P_s} \quad rad^2$$

5.4 Lock Range

คือย่านความถี่ที่ Loop สามารถติดตามการเปลี่ยนแปลงความถี่ของ Input บางครั้งอาจเรียกว่า Tracking Range หรือ Hold-in Range กรณีนี้สภาวะเริ่มต้นของ Loop จะอยู่ในสภาวะ Lock กำหนดได้จาก DC Loop Gain โดย

$$\omega_L = K_v = K_o K_d f(0) \quad (rad/s)$$

จะเห็นว่าไม่ขึ้นอยู่กับพารามิเตอร์ของฟิลเตอร์อย่างไรก็ตาม F(s) ของ Passive Filter คือ 1 และของ Active Filter คือ A โดยที่ Filter (Integrator) แบบ Active จะให้ ω_L ที่กว้างกว่าและค่าความผิดพลาดเชิงเฟส (Phase Error) ในสภาวะ Steady State น้อยกว่า ถ้าความผิดพลาดเชิงเฟส คือ

$$e_s(s) = \frac{se_1(s)}{s + K_o K_d F(s)}$$

จากทฤษฎีค่าสุดท้าย (Final Value Theorem of Laplace Transforms)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t\to\alpha} Y(t) = \lim_{s\to 0} SY(s)$$

$$\lim_{t\to\alpha} e_s(t) = \lim_{s\to 0} \frac{s^2 e_1(s)}{s + K_o K_d F(s)}$$

ถ้าพิจารณาในสภาวะ Stead State ของระบบเมื่อมีการเปลี่ยนแปลง Input เป็นชนิดขั้น (Step) ทำให้ e_1 เปลี่ยนแปลงไปด้วยขนาด Δe และของ Input จะเป็น $e_1(s) = \Delta/s$ แทนค่าในสมการ (24) จะได้ว่า

$$\lim_{t\to\alpha} e_n(t) = \lim_{s\to 0} \frac{s\Delta e}{s + K_o K_d F(s)} = 0$$

(กำหนดให้ $F(0) > 0$) กรณีนี้จะพบว่าในทางทฤษฎีแล้วระบบอันดับ 2 แบบ 2 จะไม่มีความผิดพลาดในสภาวะ Stead State (Stead State Error) เนื่องจากเฟสเปลี่ยนไปในลักษณะเป็นขั้น

ถ้าพิจารณาความผิดพลาดในสภาวะ Stead State เนื่องจากการเปลี่ยนแปลงความถี่ Input ด้วย ขนาด $\Delta\omega$ เฟสของสัญญาณ Input จะเปลี่ยนแปลงแบบเชิงลาด (Ramp)

$$e_1(t) = \Delta\omega t$$

$$e_1(s) = \Delta\omega / s^2$$

แทนค่า e_1 ในสมการ (24) จะได้ว่า

$$e_v = \lim_{t\to\alpha} e_o(t) = \lim_{s\to 0} \frac{\Delta\omega}{s + K_o K_d F(s)}$$

$$= \frac{\Delta\omega}{K_o K_d F(s)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย K_oK_d F(0) เรียกว่าเป็นค่าคงที่ความเร็ว (Velocity Constant) และ K_v คือ DC Loop Gain

$$e_v = \Delta\omega / K_v$$

จากสมการที่ (26) จะพบว่าที่ $\Delta\omega$ ขนาดเดียวกัน Active Filter จะให้ขนาดความผิดพลาดเชิงเฟสในสภาวะ Stead State น้อยกว่าแบบ Passive ด้วยค่าของ A เท่า ดังนั้นตัว Passive Detector จะมีการสิ้นเปลืองกำลังน้อยกว่าถ้า F(s) เป็นแบบ Active

5.5 Capture Range (ซึ่งอาจจะเรียกว่า Lock inrange)

เป็นสภาวะของระบบเมื่ออยู่ในสภาวะ Lock หมายถึง ความถี่ Input มีค่าใกล้เคียงความถี่ VCO มากกว่าเท่าใด Loop จึงจะ Lock ได้ Capture Range ω_c จะเกี่ยวข้องกับพารามิเตอร์ของ Filter ด้วย โดย

$$\omega_c = \omega_L (R_2 / R_1 + R_2)$$

และ Active Filter

$$\omega_c = \omega_L (R_2 / R_1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบและการสร้าง

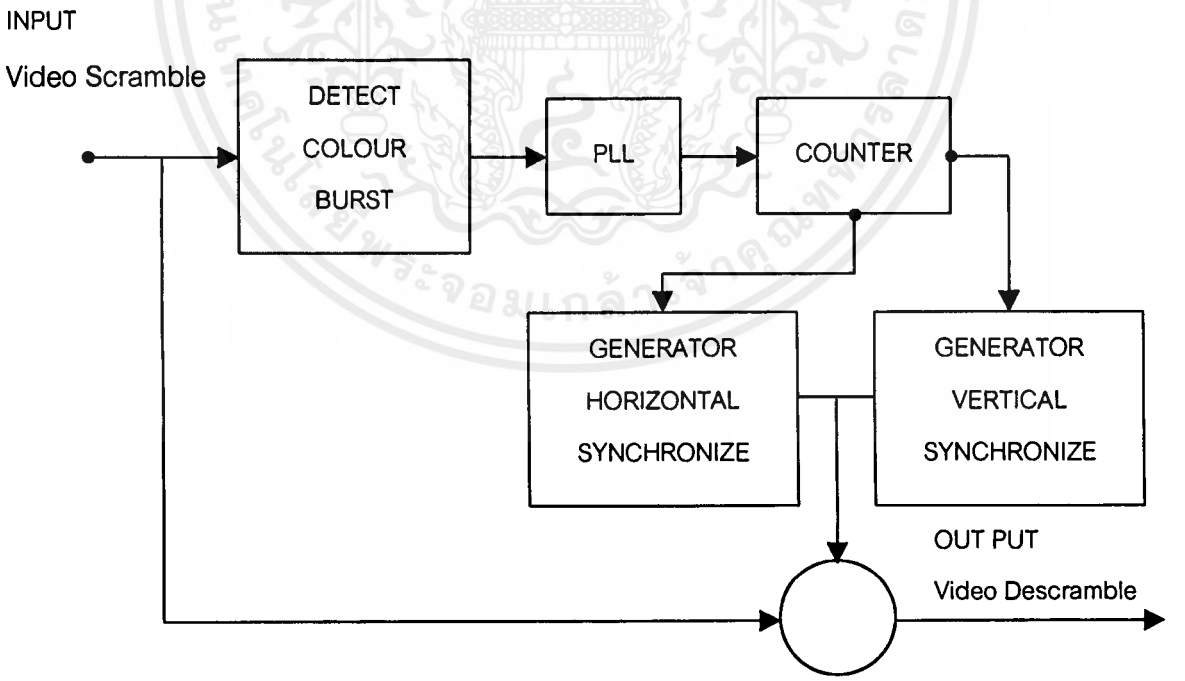
6.1 โครงสร้างของโครงงาน

โดยทั่วไปการถอดรหัสสัญญาณภาพ จะมี 2 ลักษณะคือ การถอดรหัสทางด้านอาร์เอฟ และทางด้านวีดีโอ ในบทนี้จะเป็นการสร้างเครื่องถอดรหัสสัญญาณภาพทางด้านวีดีโอ ซึ่งจะเป็นการสร้างสัญญาณซิงค์เพื่อเติมลงในสัญญาณที่ถูกเข้ารหัสมา ซึ่งไม่มีสัญญาณซิงค์

ในส่วนของชิ้นงานนี้ จะประกอบด้วยส่วนที่สำคัญคือ

1. ภาคการแยกสัญญาณเบิรสต์
2. ภาควงจรเฟสล็อคลูป
3. ภาคกำเนิดสัญญาณซิงค์ทางแนวนอน
4. ภาคกำเนิดสัญญาณซิงค์ทางแนวตั้ง
5. ภาค Power Supply

บล็อคไดอะแกรมการถอดรหัสสัญญาณภาพ



รูปที่ 6.1 บล็อคไดอะแกรมการถอดรหัสสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 หลักการทำงานของบล็อคไดอะแกรม

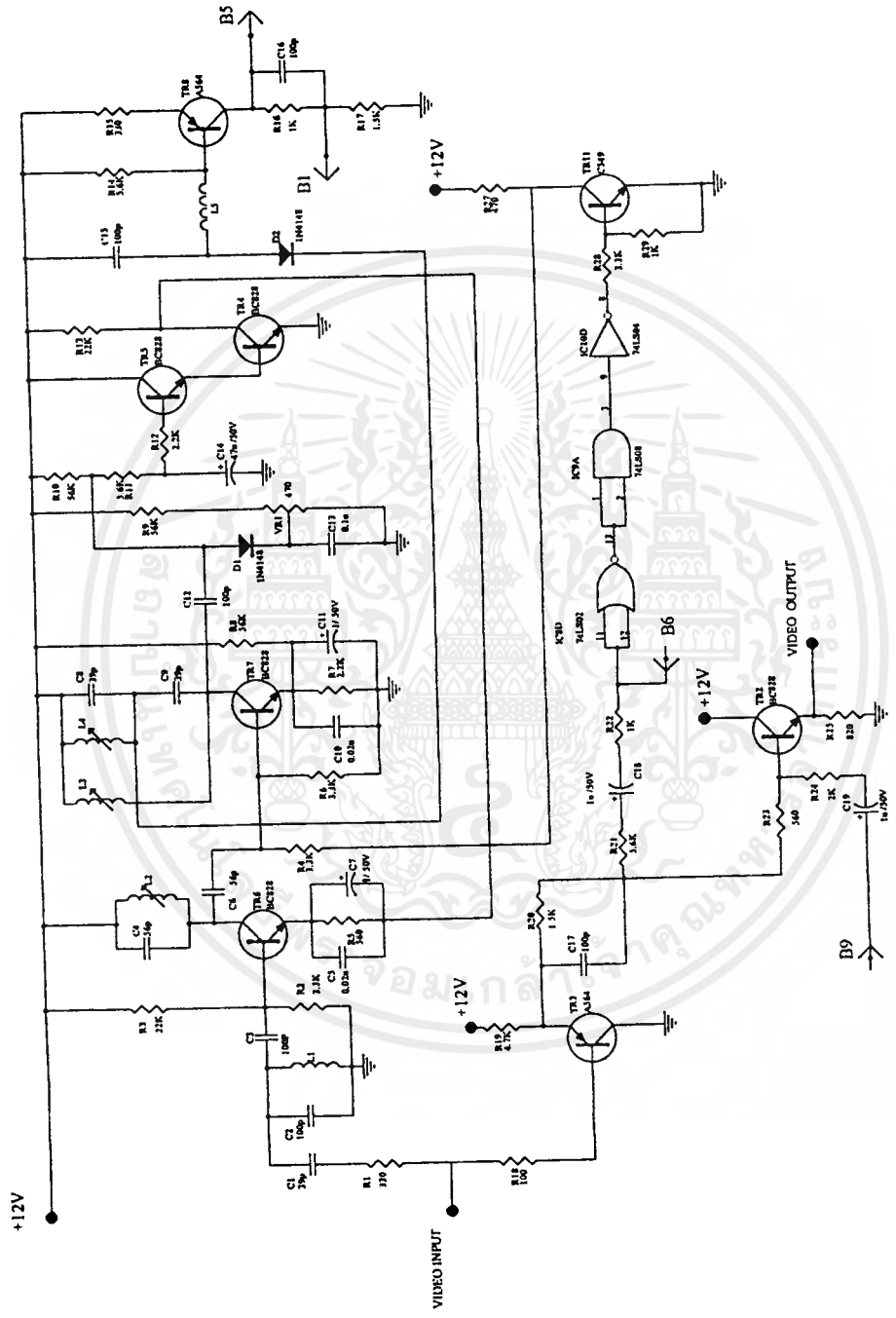
เมื่อสัญญาณ INPUT ที่ถูกเข้ารหัสมาซึ่งจะถูกตัดซิงค์ออกเขามาที่ ภาค DETECT COLOUR BURST จะทำการ DETECT สัญญาณเบิรสต์ออกมาจากสัญญาณภาพรวม เพื่อเป็นสัญญาณอ้างอิงแล้วผ่านไปยังภาค PHASE LOCKED LOOP เพื่อทำการล็อคเฟสของสัญญาณให้ตรงกับสัญญาณอ้างอิง และนำสัญญาณนั้นมาเข้าภาค COUNTER และหารความถี่ออกมาเพื่อนำมาสร้างเป็นสัญญาณฮอร์ซิงค์ที่ภาค GENERATOR HORIZONTAL SYNCHRONIZE และนำมาสร้างเป็นสัญญาณเวอร์ซิงค์ที่ภาค GENERATOR VERTICAL SYNCHRONIZE สุดท้ายก็นำสัญญาณฮอร์ซิงค์และสัญญาณเวอร์ซิงค์มาเติมเข้าในสัญญาณ INPUT ที่ถูกรหัสมาซึ่งเป็นสัญญาณไม่มีซิงค์ จึงได้เป็นสัญญาณ OUTPUT ที่มีสัญญาณซิงค์ครบถ้วนทั้งทางด้านฮอร์ซิงค์และเวอร์ซิงค์ ซึ่งเป็นสัญญาณภาพปกติ

6.3 การทำงานของวงจรแต่ละภาค

6.3.1 วงจรแยกสัญญาณเบิรสต์

วงจรแยกสัญญาณเบิรสต์นี้ จะทำหน้าที่แยกสัญญาณเบิรสต์ออกจากสัญญาณภาพรวม เพื่อที่จะนำสัญญาณเบิรสต์ไปเป็นสัญญาณอ้างอิงในการกำเนิดสัญญาณซิงค์ทั้งทางด้านแนวนอนและทางด้านแนวตั้ง โดยที่ขา B ของทรานซิสเตอร์ชนิด (Tr6) มี L1 C2 ซึ่งจะทำหน้าที่เป็นตัวตัดสัญญาณภาพทิ้ง ปล่อยให้สัญญาณเบิรสต์และสัญญาณสีผ่านไปได้โดยการปรับ L2 เพื่อให้ได้สัญญาณออกมาแรงสุด เพราะถ้าสัญญาณอ่อนเกินไปเราจะไม่สามารถที่จะทำการแยกสัญญาณเบิรสต์ออกมาได้ โดยมี VR1 เป็นตัวปรับเกน (AGC) และที่ทรานซิสเตอร์ชนิด PNP (Tr3) จะทำหน้าที่การแยกสัญญาณเบิรสต์ในกรณีที่สัญญาณภาพรวมถูกเข้ารหัสมาโดยถูกตัดเฉพาะสัญญาณซิงค์เพียงอย่างเดียวเพื่อที่จะส่งไปทำการจัดไบอัสให้กับขา B ของทรานซิสเตอร์ Tr7 หรือกล่าวได้อีกนัยหนึ่งว่าเป็นสัญญาณพัลซ์ที่ส่งเข้าไปหนุนสัญญาณเบิรสต์ เพื่อที่จะให้สามารถแยกสัญญาณเบิรสต์ได้ โดยมี VR1 เป็นตัวปรับเกน (AGC) เพื่อที่จะกำหนดให้ทรานซิสเตอร์ Tr7 ทำการขยายเฉพาะสัญญาณเบิรสต์พัลซ์แล้วส่งไปยังส่วนของภาคเฟสล็อคลูปเพื่อที่จะทำการเปรียบเทียบเฟสของสัญญาณต่อไป และสัญญาณอีกส่วนหนึ่งจะถูกส่งไปยังทรานซิสเตอร์ Tr9 เพื่อนำไปเป็นสัญญาณอ้างอิงเพื่อที่จะกำเนิดสัญญาณซิงค์ทางแนวตั้งอีกด้วยวงจรแยกสัญญาณเบิรสต์ดังแสดงในรูปที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

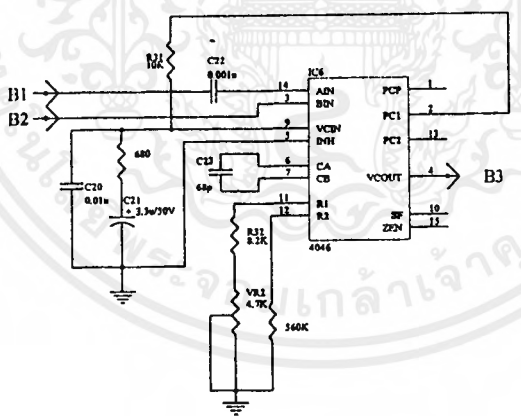


รูปที่ 6.2 แสดงภาควงจรแยกสัญญาณเบิรสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.2 ภาควงจรเฟสล็อคลูป

ภาควงจรเฟสล็อคลูปนี้สามารถได้โดยใช้ไอซี CMOS เบอร์ 4046 ภาคนี้จะกำเนิดสัญญาณที่มีความถี่ 500 kHz ปรากฏออกที่ขา 4 แล้วส่งต่อไปยัง ไอซี TTL เบอร์ 7493 ซึ่งมีคุณสมบัติเป็นวงจรหารความถี่ ทำการหาร 4 ซึ่งจะได้ความถี่ 125 kHz ปรากฏออกที่ขา 9 ของไอซีเบอร์นี้ และสัญญาณที่มีความถี่ 125 kHz นี้จะถูกสลับเฟสของสัญญาณไป 90^{o} แล้วส่งกลับมาทำการเปรียบเทียบเฟสของสัญญาณระหว่างสัญญาณที่ส่งมาจากทรานซิสเตอร์ (Tr8) กับสัญญาณ 125 kHz ที่ถูกสลับเฟสเพื่อที่จะทำการล็อคเฟสของสัญญาณ เพื่อที่จะนำสัญญาณนี้ไปทำการสร้างสัญญาณซิงค์ต่อไป วงจรเฟสล็อคลูปแสดงดังรูปที่ 6.3

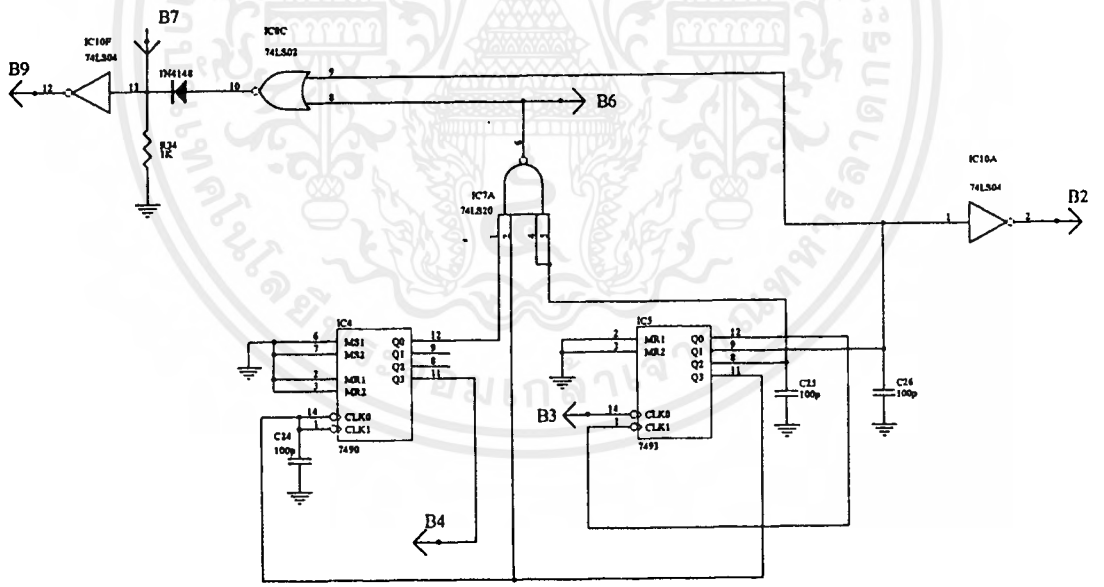


รูปที่ 6.3 แสดงภาควงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3 ภาควงจรสร้างสัญญาณซิงค์ทางแนวนอน

ภาคนี้จะอาศัยความถี่ 500 kHz ที่ออกมาจากเอาท์พุทของวงจรเฟสล็อคลูป จะถูกทำการหารความถี่ด้วยไอซี TTL เบอร์ 7493 และไอซี TTL เบอร์ 7490 ซึ่งมีคุณสมบัติเป็นวงจรหารความถี่ จะทำการหารความถี่เพื่อให้ได้ความถี่ 125 kHz , 62.5 kHz , 31.25 kHz และ 15.625 kHz ตามลำดับ จากนั้นก็จะนำสัญญาณพัลซ์ของความถี่เหล่านี้ไปสร้างเป็นสัญญาณซิงค์ทางแนวนอนโดยผ่านไอซี เบอร์ 7420 ซึ่งมีคุณสมบัติของโครงสร้างภายในเป็น NAND GATE 4 อินพุทและไอซี เบอร์ 7402 ที่มีคุณสมบัติของโครงสร้างเป็น NOR GATE โดยใช้สัญญาณพัลซ์ที่ได้จากไอซี เบอร์ 7420 และสัญญาณพัลซ์ที่มีความถี่ 125 kHz ก็จะได้สัญญาณซิงค์ทางแนวนอนที่ถูกต้อง วงจรสร้างสัญญาณซิงค์ทางแนวนอนดังแสดงดังรูปที่ 6.4

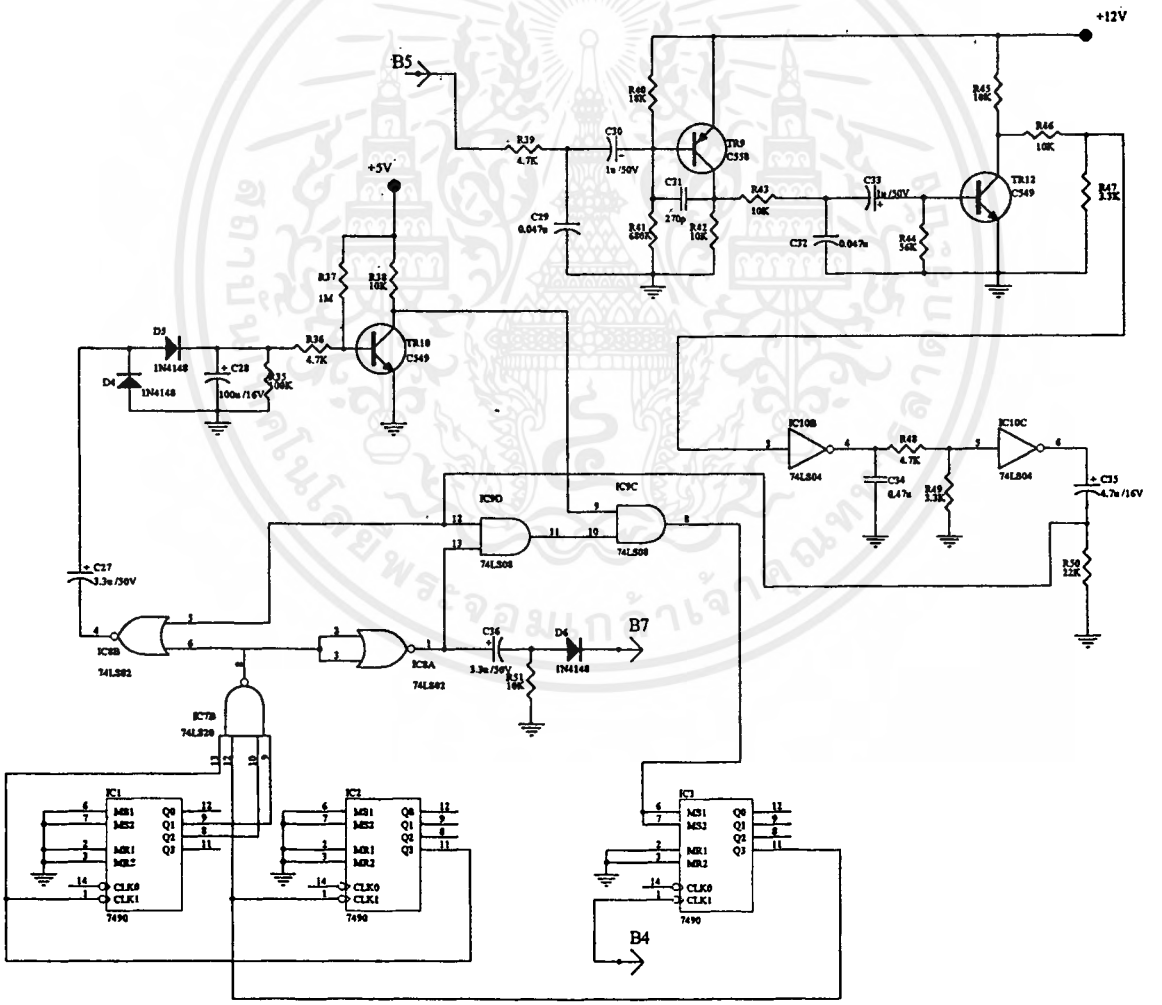


รูปที่ 6.4 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.4 ภาควงจรสร้างสัญญาณซิงค์ทางแนวตั้ง

ภาคนี้จะอาศัยสัญญาณเบิรสต์มาเป็นตัวกำหนดการหารความถี่โดยใช้ไอซี เบอร์ 7490 ต่อเข้าด้วยกัน 3 ตัว การหารความถี่เพื่อที่จะนำสัญญาณพัลซ์ที่ได้จากการหารความถี่ไปสร้างเป็นสัญญาณซิงค์ทางแนวตั้ง โดยที่ขา 6 และ ขา 7 ของไอซี 3 จะเป็นตัวกำหนดการหารความถี่ให้ตรงกันกับการสแกนของสัญญาณภาพทางแนวตั้ง โดยจะนำสัญญาณพัลซ์ของความถี่เหล่านี้ไปสร้างเป็นสัญญาณซิงค์ทางแนวตั้ง โดยผ่านไอซี เบอร์ 7420 ที่มีคุณสมบัติโครงสร้างภายในเป็น NAND GATE 4 อินพุท และไอซีเบอร์ 7402 ที่มีคุณสมบัติโครงสร้างภายในเป็น NOR GATE ซึ่งจะได้สัญญาณซิงค์ทางแนวตั้ง ตามรูปที่ 6.5

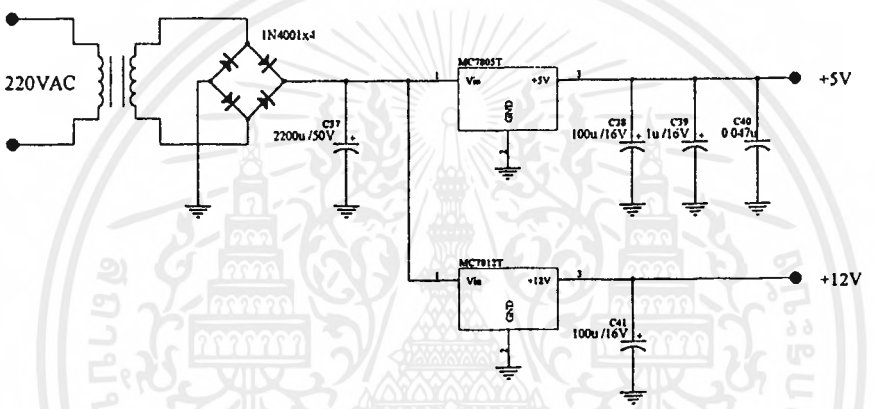


รูปที่ 6.5 แสดงภาควงจรการสร้างสัญญาณซิงค์ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.5 ภาค Power Supply

เนื่องจากว่า IC ตระกูล TTL นั้นโดยทั่วไปแล้วจะใช้แรงดันไฟเลี้ยงประมาณ +5V และไอซีจำพวก CMOS และทรานซิสเตอร์จะใช้แรงดันไฟเลี้ยงประมาณ +12V ดังนั้นในการออกแบบภาค Power Supply จึงใช้ไอซีเบอร์ LM7812 ซึ่งมีคุณสมบัติเป็นไอซี Regulate จะให้แรงดันที่เอาท์พุทออกมาเท่ากับ +12V พอดี และไอซีเบอร์ LM7805 ซึ่งมีคุณสมบัติเป็นไอซี Regulate จะให้แรงดันที่เอาท์พุทออกมาเท่ากับ +5V ซึ่งวงจรของภาค Power Supply แสดงดังรูปที่ 6.6



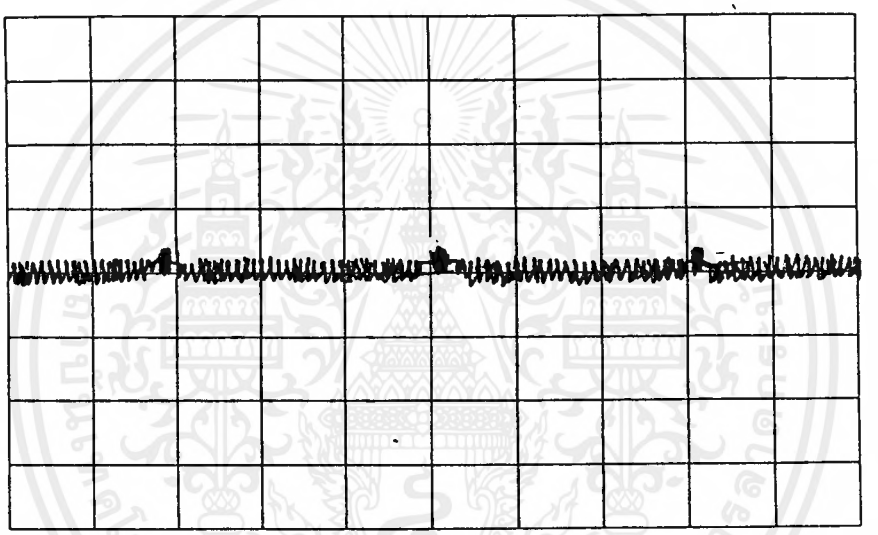
รูปที่ 6.6 แสดงวงจรภาค Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

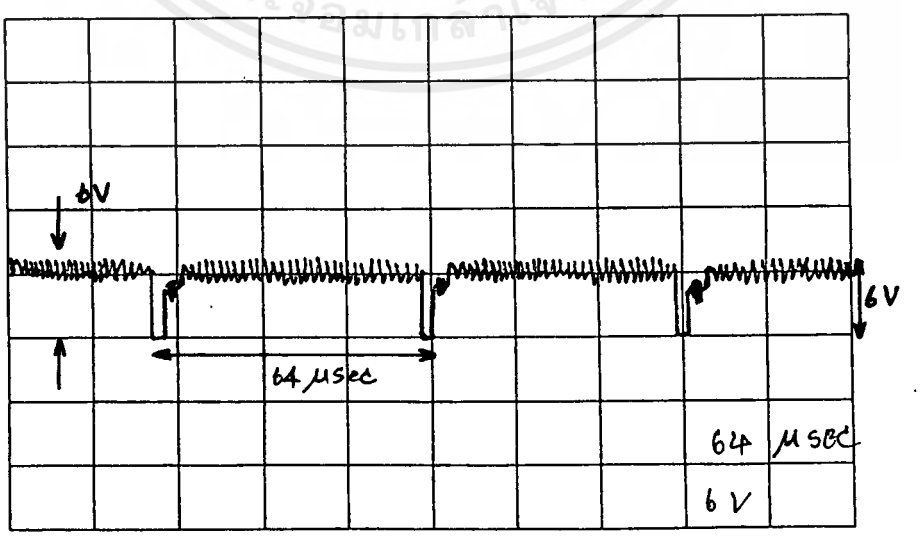
บทที่ 7
ผลการทดลอง

จากการทดลองเครื่องถอดรหัสสัญญาณภาพวัดสัญญาณตามจุดต่าง ๆ ของเครื่องถอดรหัสสัญญาณภาพได้ดังนี้

7.1 แสดงสัญญาณของอินพุทและเอาท์พุท



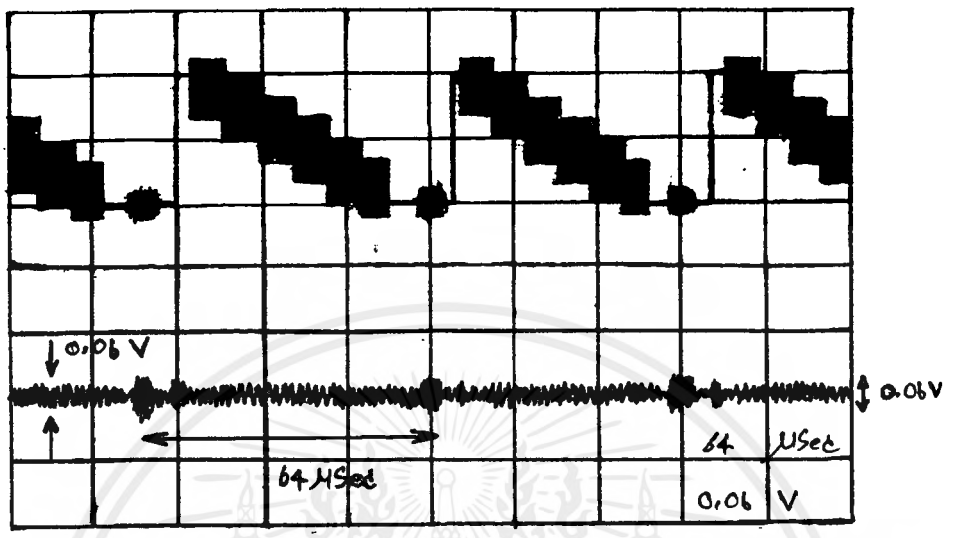
รูปที่ 7.1 สัญญาณอินพุทที่ถูกเข้ารหัสสัญญาณภาพ (โดยตั้ง T/D = 20μsec , V/D = 1 V)



รูปที่ 7.2 สัญญาณเอาท์พุทที่ถอดรหัสสัญญาณภาพ (โดยตั้ง T/D = 20μsec , V/D = 5 V)

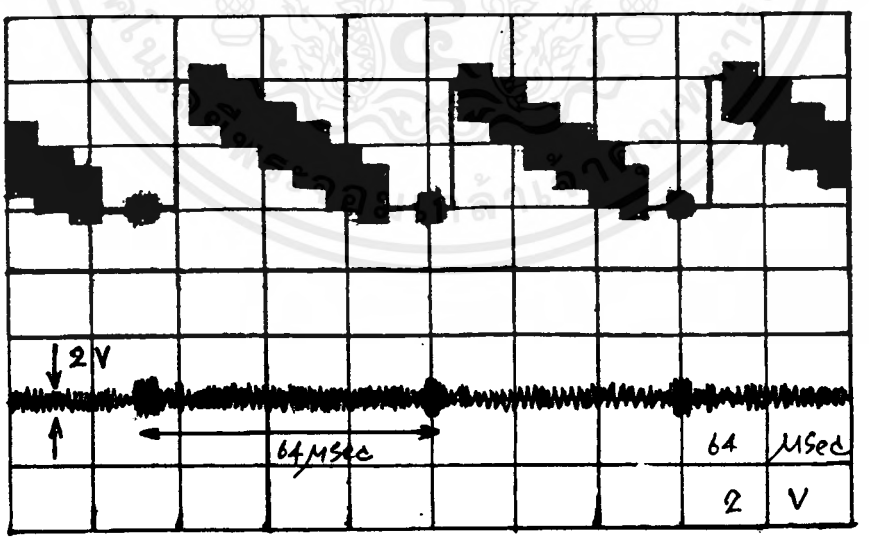
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 แสดงสัญญาณของจุดต่าง ๆ ภาคแยกสัญญาณเบิรสต์



รูปที่ 7.3 สัญญาณที่ขา B ของ TR 6

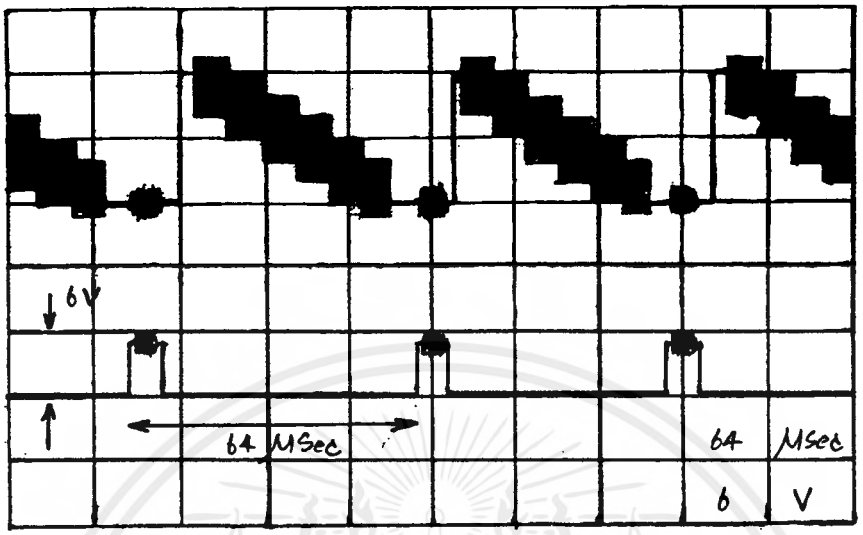
(โดยตั้ง T/D = 20μsec , V/D = 0.1 V)



รูปที่ 7.4 สัญญาณที่ขา C ของ TR 6

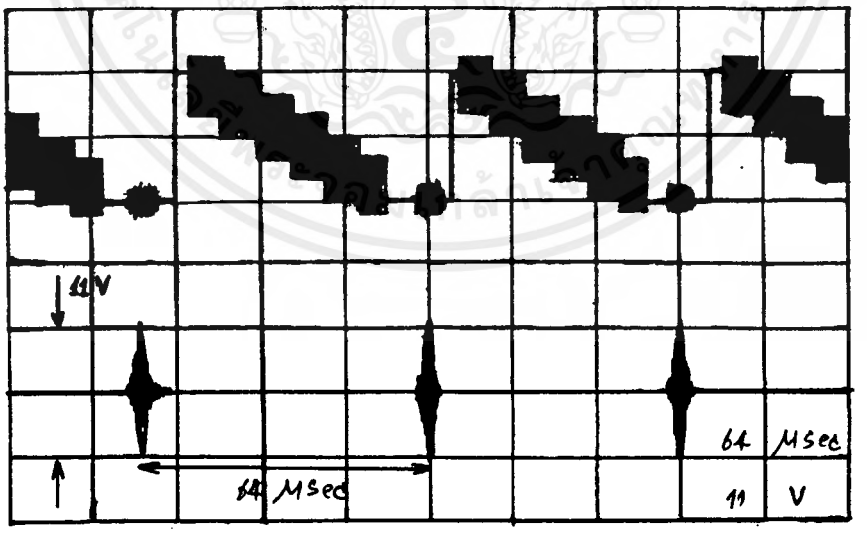
(โดยตั้ง T/D = 20μsec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 สัญญาณที่ขา B ของ TR 7

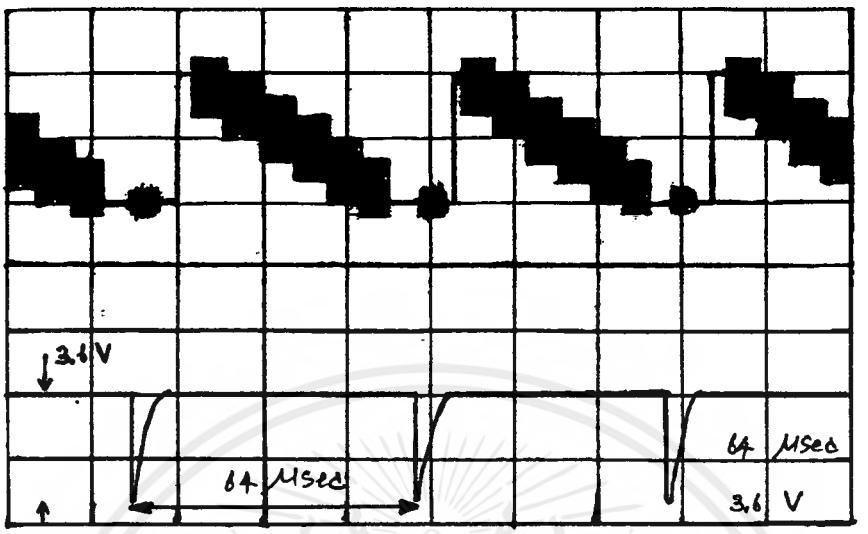
(โดยตั้ง T/D = 20μsec , V/D = 5 V)



รูปที่ 7.6 สัญญาณที่ขา C ของ TR 7

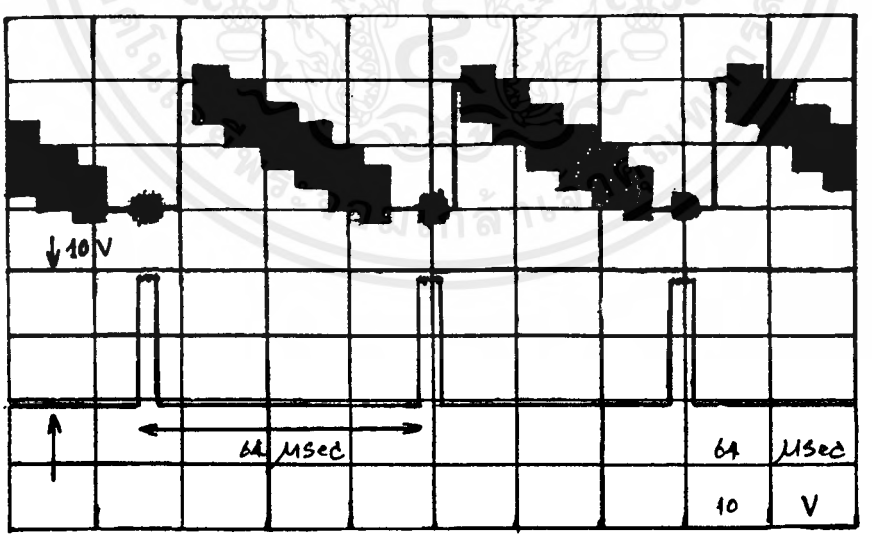
(โดยตั้ง T/D = 20μsec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.7 สัญญาณที่ขา B ของ TR 8

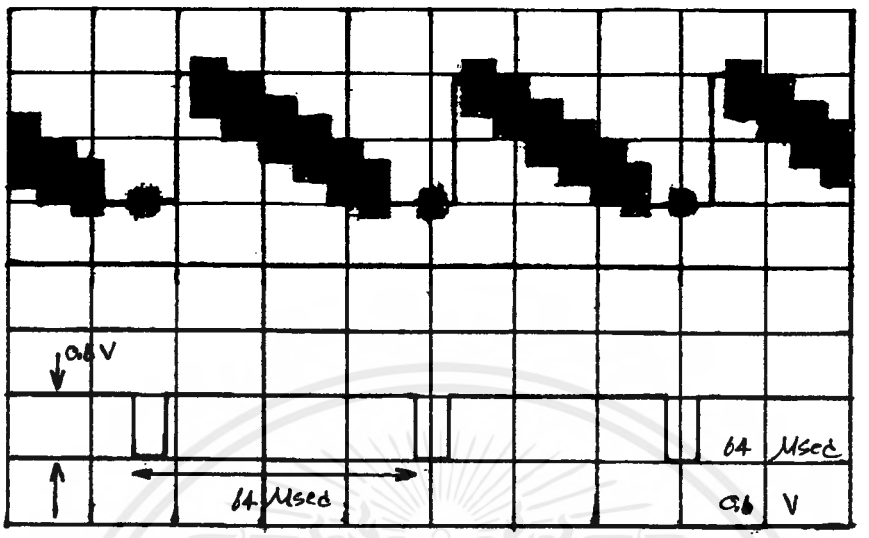
(โดยตั้ง T/D = 20μsec , V/D = **2** V)



รูปที่ 7.8 สัญญาณที่ขา C ของ TR 8

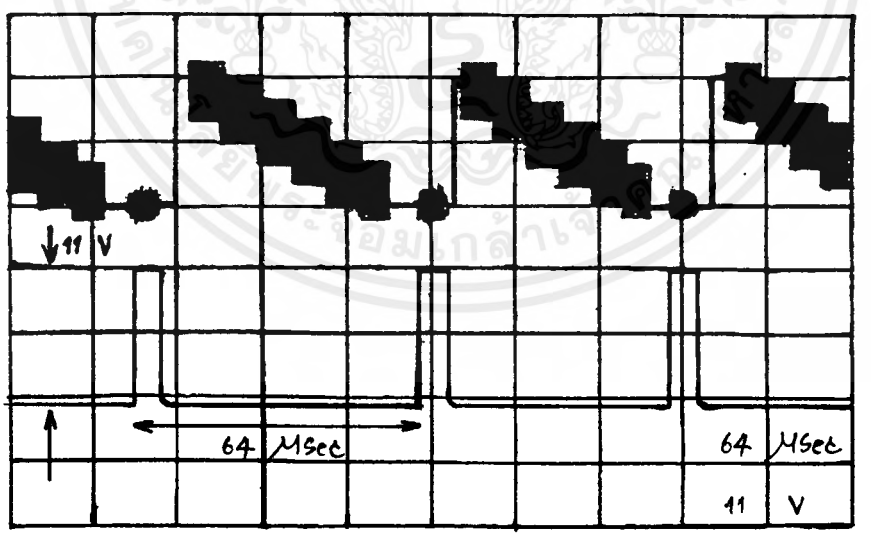
(โดยตั้ง T/D = 20μsec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.9 สัญญาณที่ขา B ของ TR 11

(โดยตั้ง T/D = 20μsec , V/D = 0.5 V)

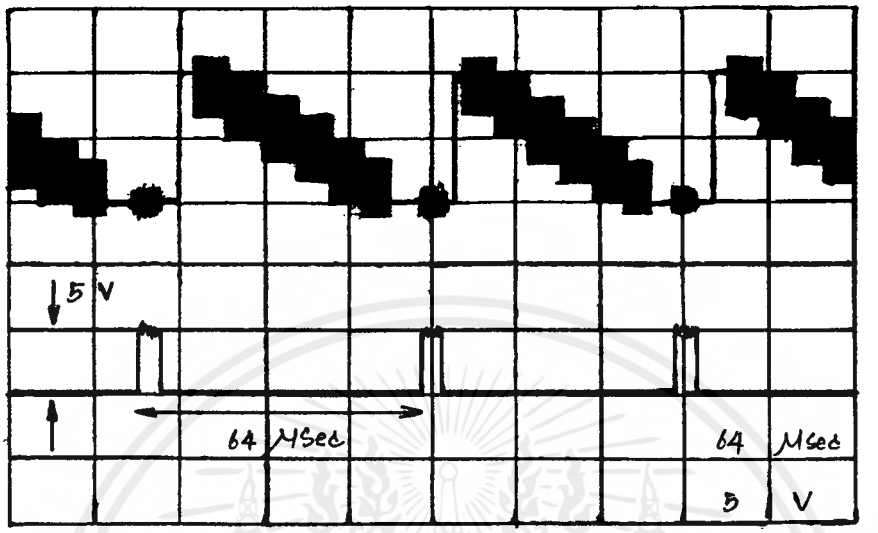


รูปที่ 7.10 สัญญาณที่ขา C ของ TR 11

(โดยตั้ง T/D = 20μsec , V/D = 5 V)

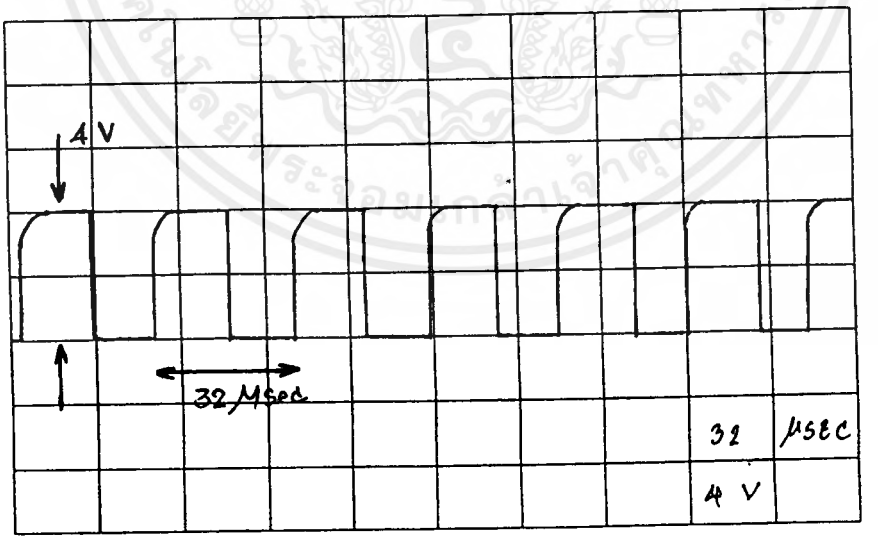
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.3 แสดงสัญญาณของจุดต่าง ๆ ภาคเฟสล็อคลูป



รูปที่ 7.11 สัญญาณที่ขา 14 ของ IC 6

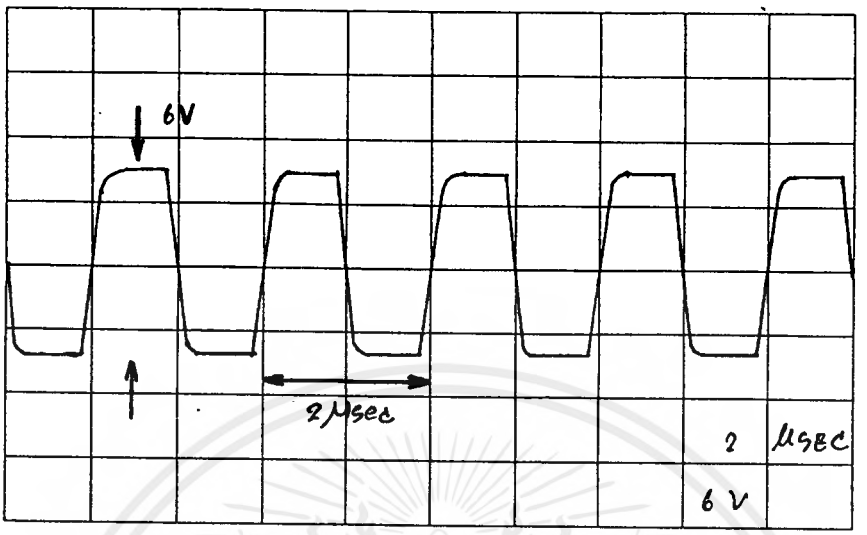
(โดยตั้ง T/D = 20μsec , V/D = 5 V)



รูปที่ 7.12 สัญญาณที่ขา 3 ของ IC 6

(โดยตั้ง T/D = 20μsec , V/D = 2 V)

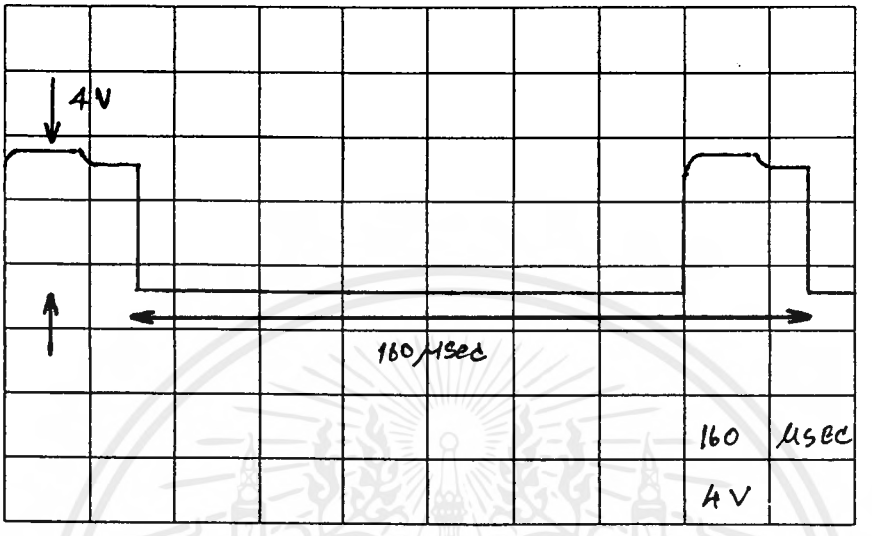
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.13 สัญญาณที่ขา 4 ของ IC 6
(โดยตั้ง T/D = 1μsec , V/D = 2 V)

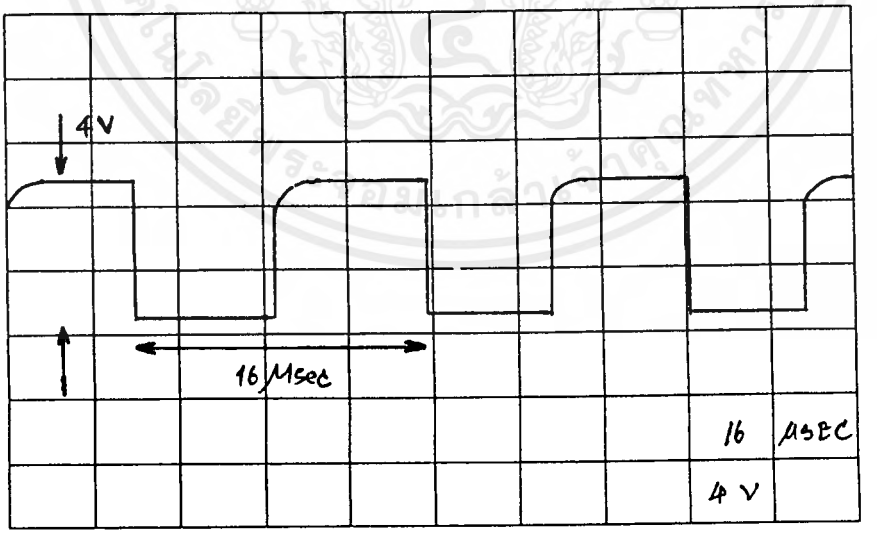
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4 แสดงสัญญาณของจุดต่าง ๆ ภาคกำเนิดสัญญาณซิงค์ทางแนวนอน



รูปที่ 7.14 สัญญาณที่ขา 11 ของ IC 4

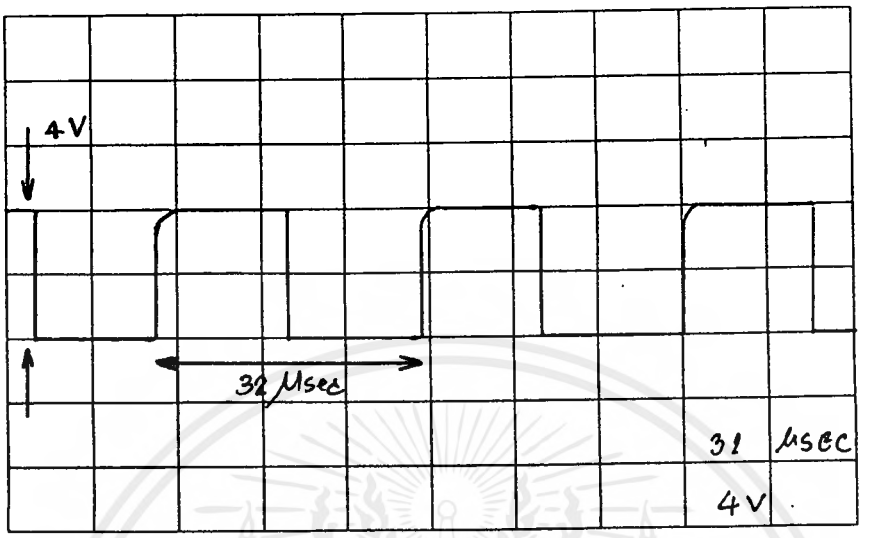
(โดยตั้ง T/D = 20μsec , V/D = 2 V)



รูปที่ 7.15 สัญญาณที่ขา 4,5 ของ IC 7

(โดยตั้ง T/D = 5μsec , V/D = 2 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



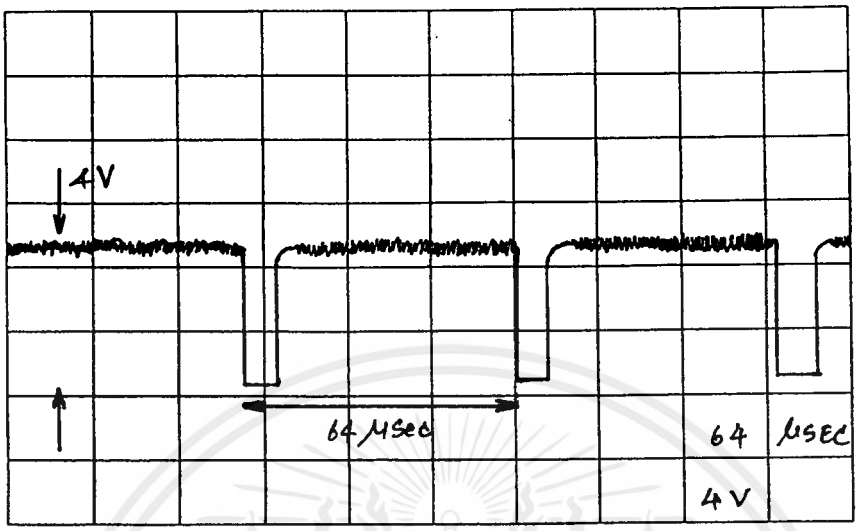
รูปที่ 7.16 สัญญาณที่ขา 2 ของ IC 7

(โดยตั้ง T/D = 10μsec , V/D = 2 V)

รูปที่ 7.17 สัญญาณที่ขา 1 ของ IC 7

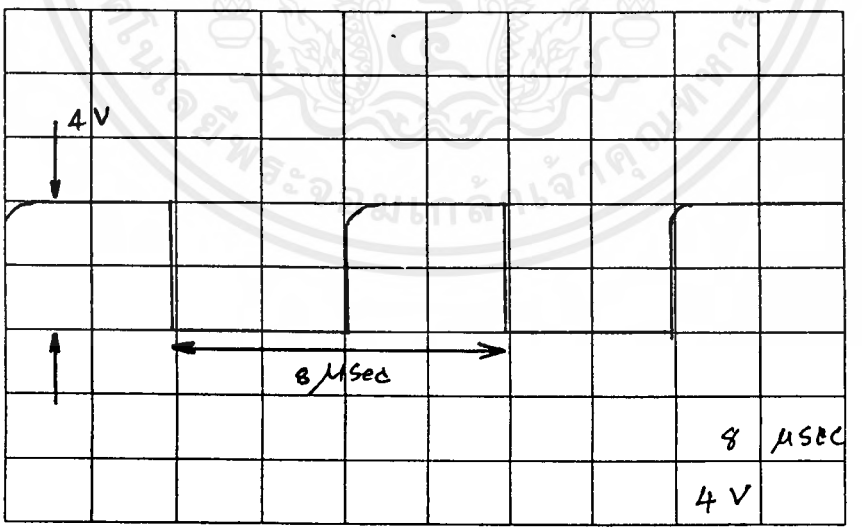
(โดยตั้ง T/D = 20μsec , V/D = 2 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.18 สัญญาณที่ขา 6 ของ IC 7

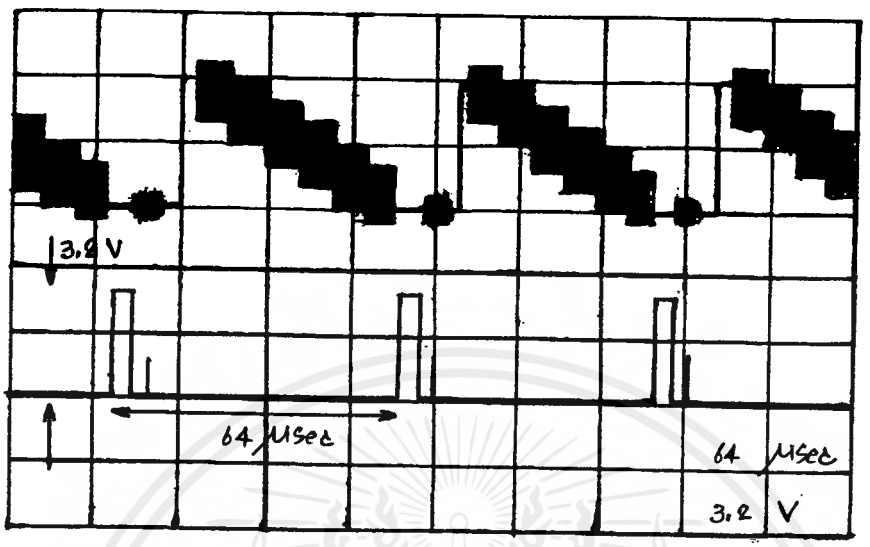
(โดยตั้ง T/D = 20μsec , V/D = 2 V)



รูปที่ 7.19 สัญญาณที่ขา 9 ของ IC 8

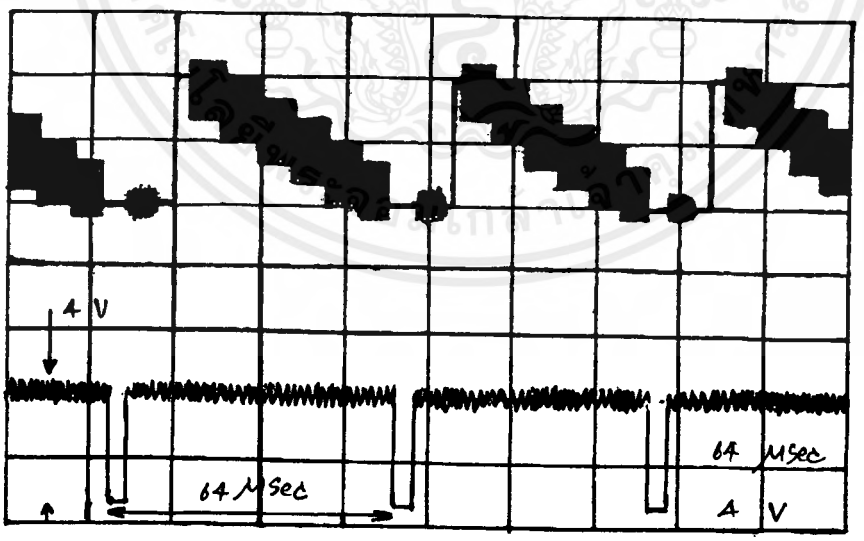
(โดยตั้ง T/D = 2μsec , V/D = 2 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.20 สัญญาณที่ขา 10 ของ IC 8

(โดยตั้ง T/D = 20μsec , V/D = 2 V)

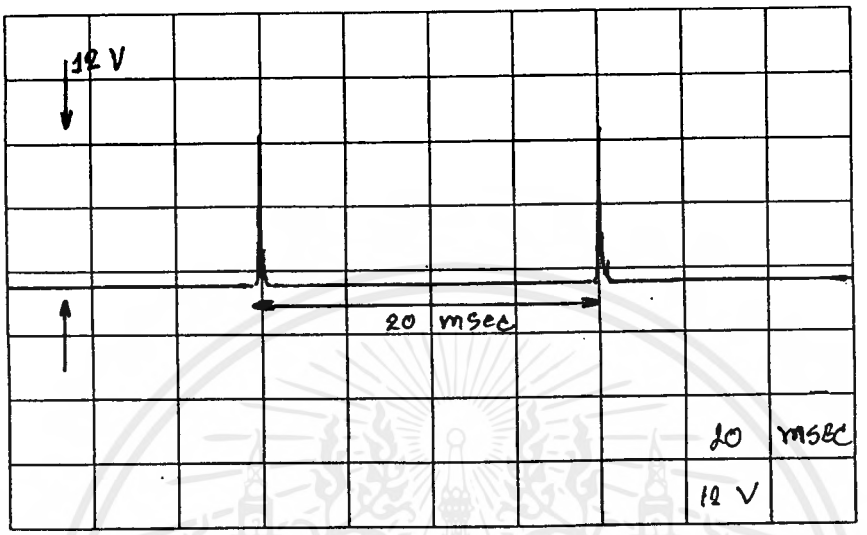


รูปที่ 7.21 สัญญาณที่ขา 12 ของ IC 10

(โดยตั้ง T/D = 20μsec , V/D = 2 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

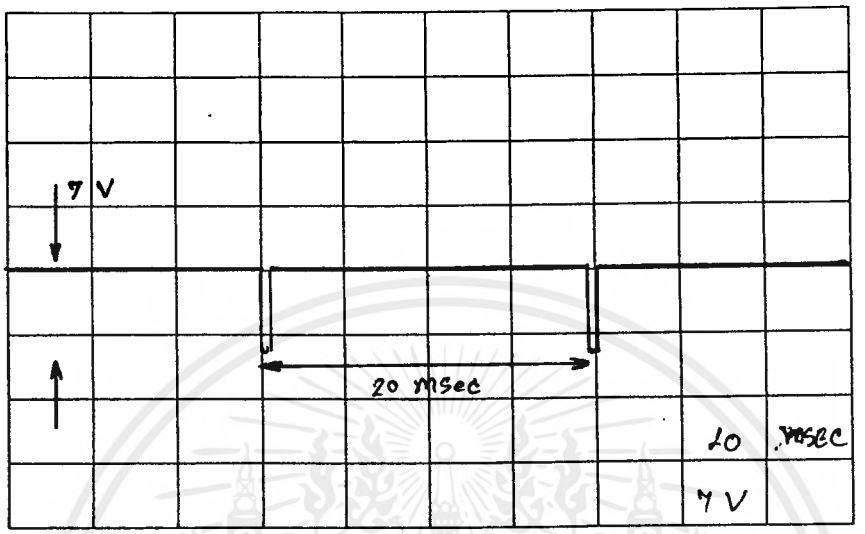
7.5 แสดงสัญญาณของจุดต่าง ๆ ภาคกำเนิดสัญญาณซิงค์ทางแนวตั้ง



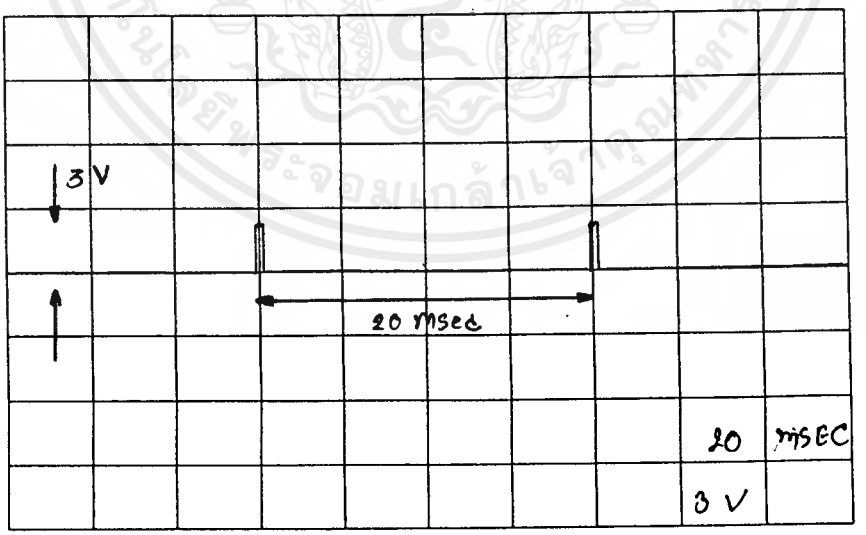
รูปที่ 7.22 สัญญาณที่ขา C ของ TR 9
(โดยตั้ง T/D = 5msec , V/D = 5 V)

รูปที่ 7.23 สัญญาณที่ขา B ของ TR 12
(โดยตั้ง T/D = 5msec , V/D = 0.5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

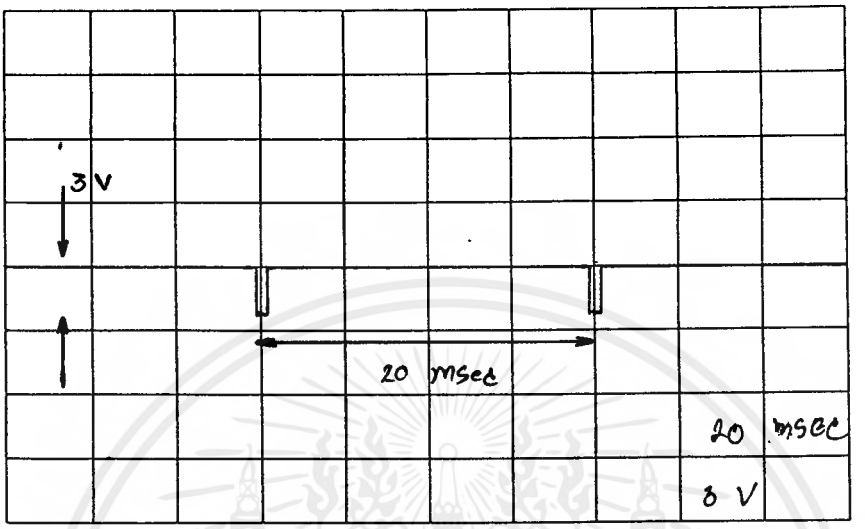


รูปที่ 7.24 สัญญาณที่ขา C ของ TR 12
(โดยตั้ง T/D = 5msec , V/D = 5 V)

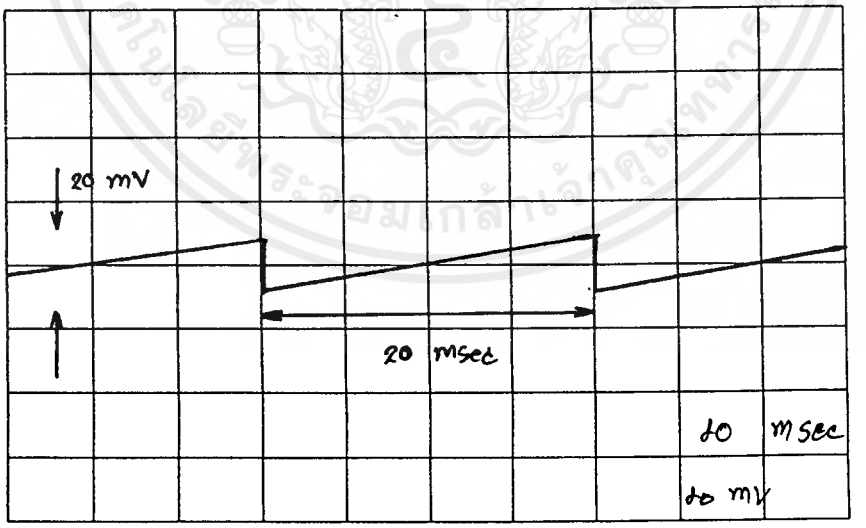


รูปที่ 7.25 สัญญาณที่ขา 4 ของ IC 10
(โดยตั้ง T/D = 5msec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

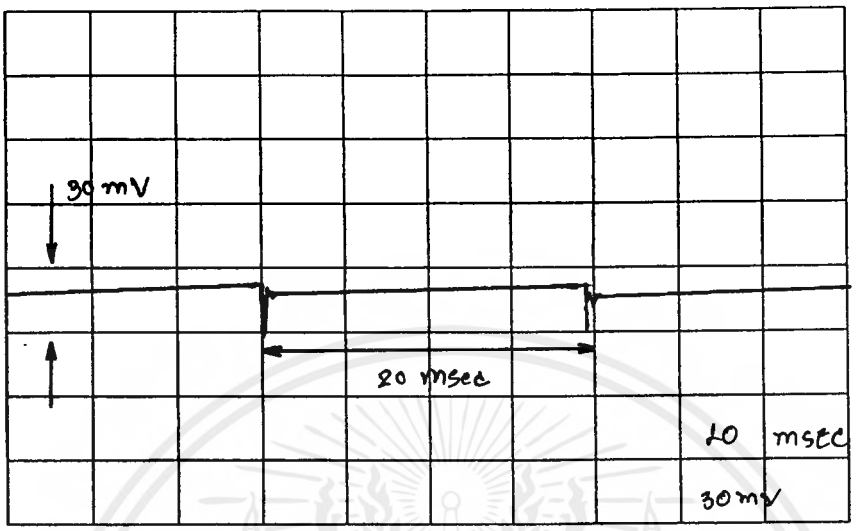


รูปที่ 7.26 สัญญาณที่ขา 6 ของ IC 10
(โดยตั้ง T/D = 5msec , V/D = 5 V)

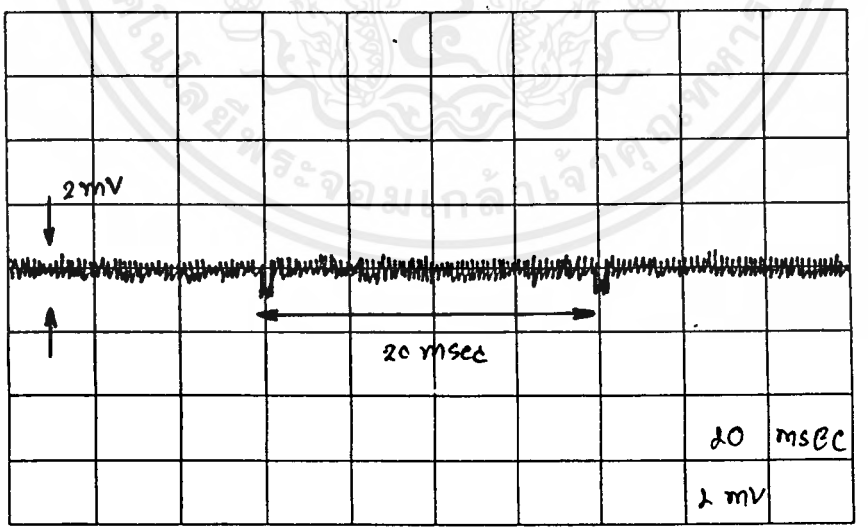


รูปที่ 7.27 สัญญาณที่ขา 9 ของ IC 9
(โดยตั้ง T/D = 5msec , V/D = 50 mV)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

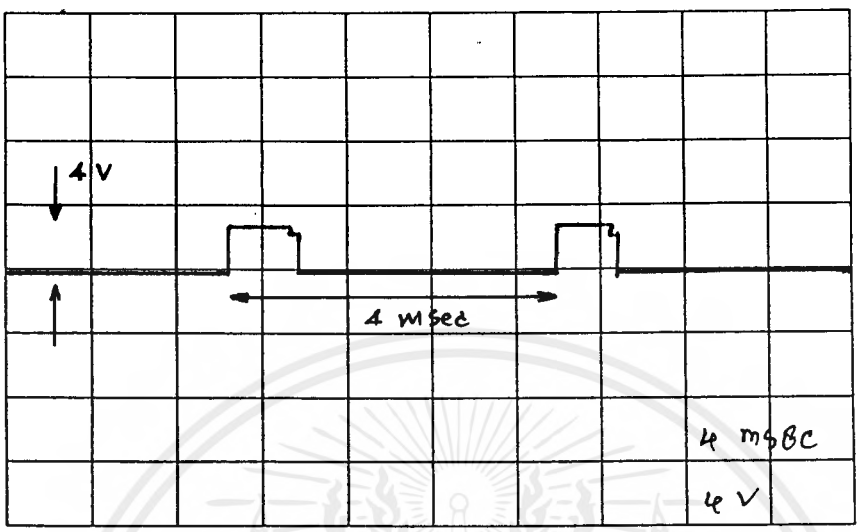


รูปที่ 7.28 สัญญาณที่ขา 10 ของ IC 9
(โดยตั้ง T/D = 5msec , V/D = 50 mV)

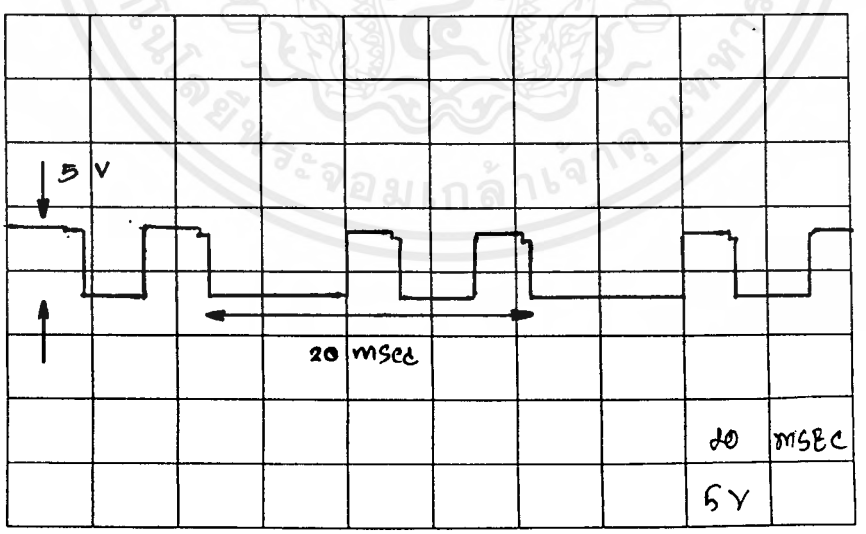


รูปที่ 7.29 สัญญาณที่ขา 6,7 ของ IC 3
(โดยตั้ง T/D = 5msec , V/D = 5 mV)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

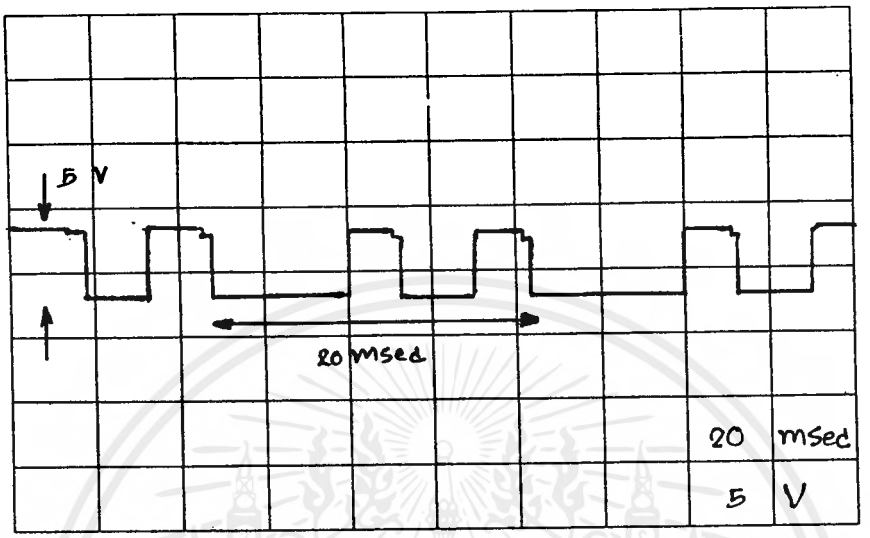


รูปที่ 7.30 สัญญาณที่ขา 11 ของ IC 2
(โดยตั้ง T/D = 1msec , V/D = 5 V)

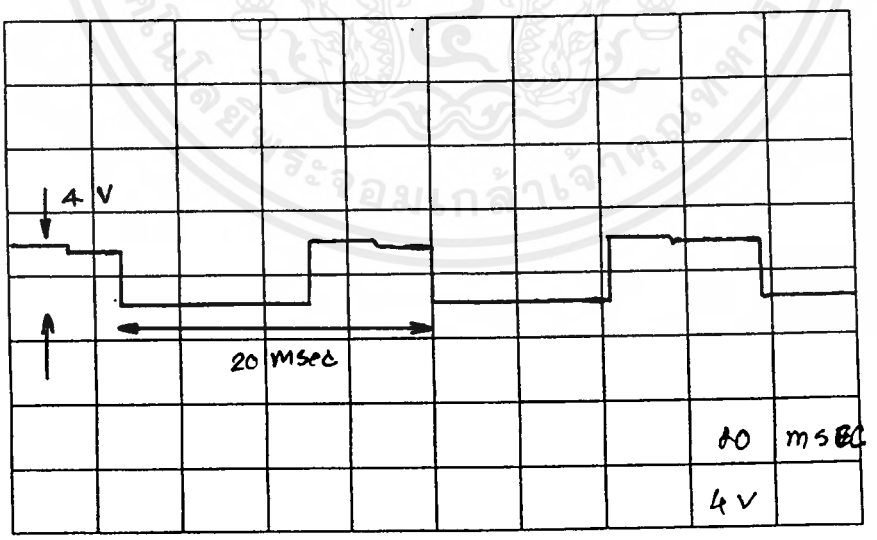


รูปที่ 7.31 สัญญาณที่ขา 9 ของ IC 7
(โดยตั้ง T/D = 5msec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

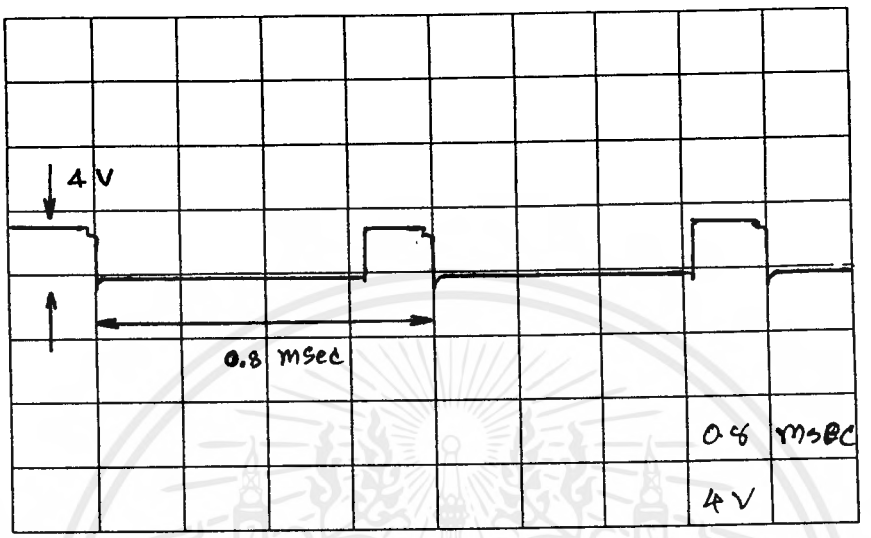


รูปที่ 7.32 สัญญาณที่ขา 9 ของ IC 7
(โดยตั้ง T/D = 5msec , V/D = 5 V)

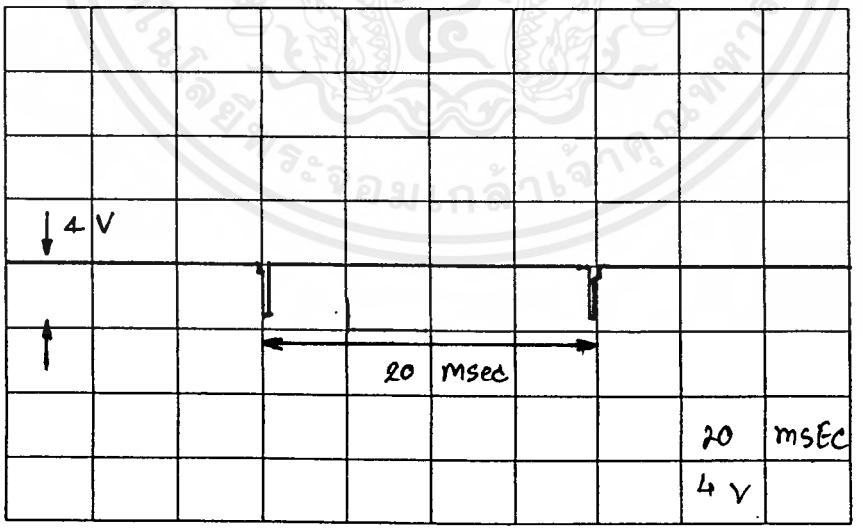


รูปที่ 7.33 สัญญาณที่ขา 10 ของ IC 7
(โดยตั้ง T/D = 5msec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

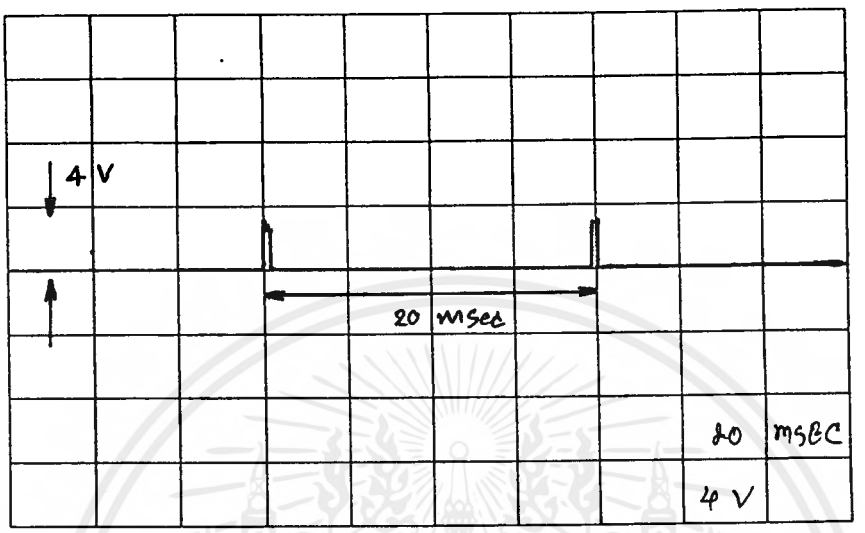


รูปที่ 7.34 สัญญาณที่ขา 12 ของ IC 7
(โดยตั้ง T/D = 0.2msec , V/D = 5 V)

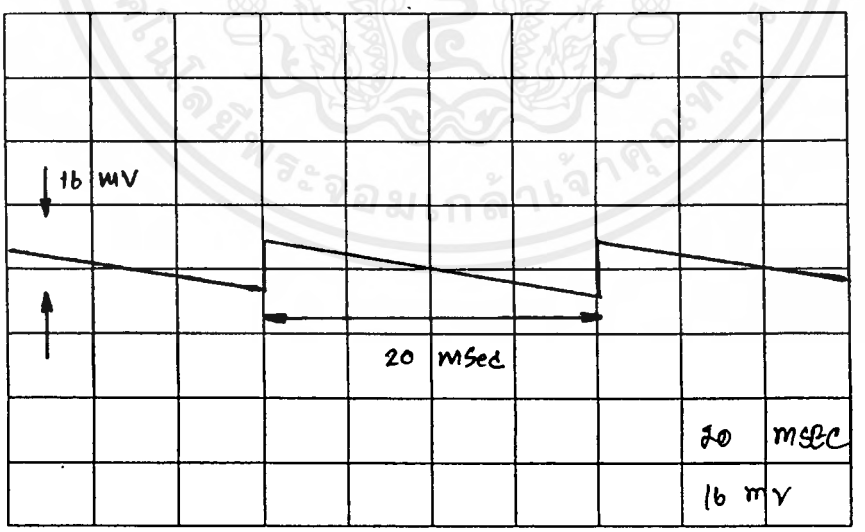


รูปที่ 7.35 สัญญาณที่ขา 8 ของ IC 7
(โดยตั้ง T/D = 5msec , V/D = 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

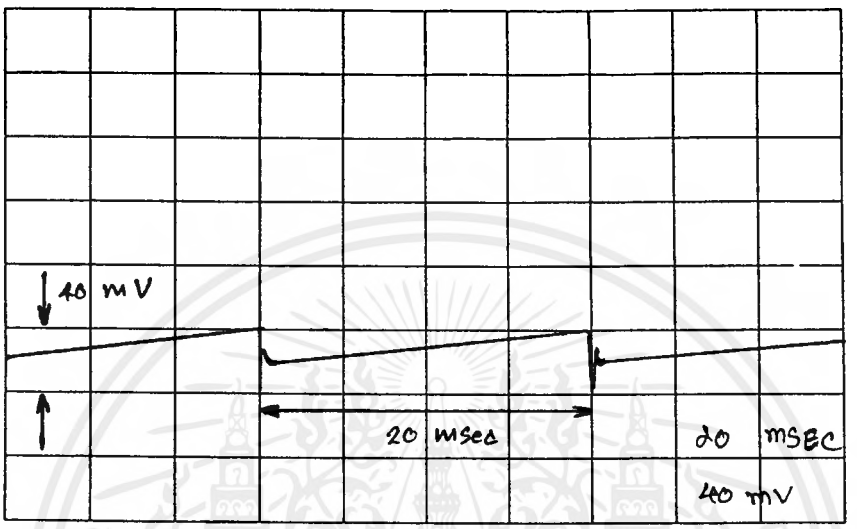


รูปที่ 7.36 สัญญาณที่ขา 4 ของ IC 8
(โดยตั้ง T/D = 5msec , V/D = 5 V)



รูปที่ 7.37 สัญญาณที่ขา B ของ TR 10
(โดยตั้ง T/D = 5msec , V/D = 20 mV)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.38 สัญญาณที่ขา 1 ของ IC 8
(โดยตั้ง T/D = 5msec , V/D = 20 mV)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปและวิเคราะห์ผล

8.1 สรุป

เครื่องถอดรหัสสัญญาณภาพ ที่ทำขึ้นมานี้เพื่อศึกษาถึงการเข้ารหัสและการถอดรหัสของสัญญาณภาพ ซึ่งเครื่องถอดรหัสสัญญาณภาพนี้จะสามารถถอดรหัสสัญญาณในลักษณะสัญญาณวีดีโอ ซึ่งต่อใช้งานได้ 2 ลักษณะคือ ต่อหลังภาควีดีโอดีเทคเตอร์ของเครื่องรับโทรทัศน์ และอาจจะต่อภายนอกเครื่องรับโทรทัศน์โดยผ่านจูนเน่อร์ และผลการดำเนินงานปรากฏว่าเครื่องถอดรหัสสัญญาณภาพได้จัดทำขึ้นมานี้สามารถที่จะถอดรหัสสัญญาณได้ดี

8.2 วิเคราะห์ปัญหา

1. เนื่องจากเราไม่สามารถรู้ว่าทางระบบการแพร่กระจายส่งสัญญาณของสถานีส่งสัญญาณที่เข้ารหัสมา มีการเข้ารหัสแบบใดบ้าง เพราะว่าเป็นความลับของบริษัท
2. เกิดจากอุปกรณ์ต่าง ๆ ที่ใช้ในวงจรต้องมีคุณภาพดีและตรงสเปคที่กำหนดโดยเฉพาะพวกไอซี TTL , ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

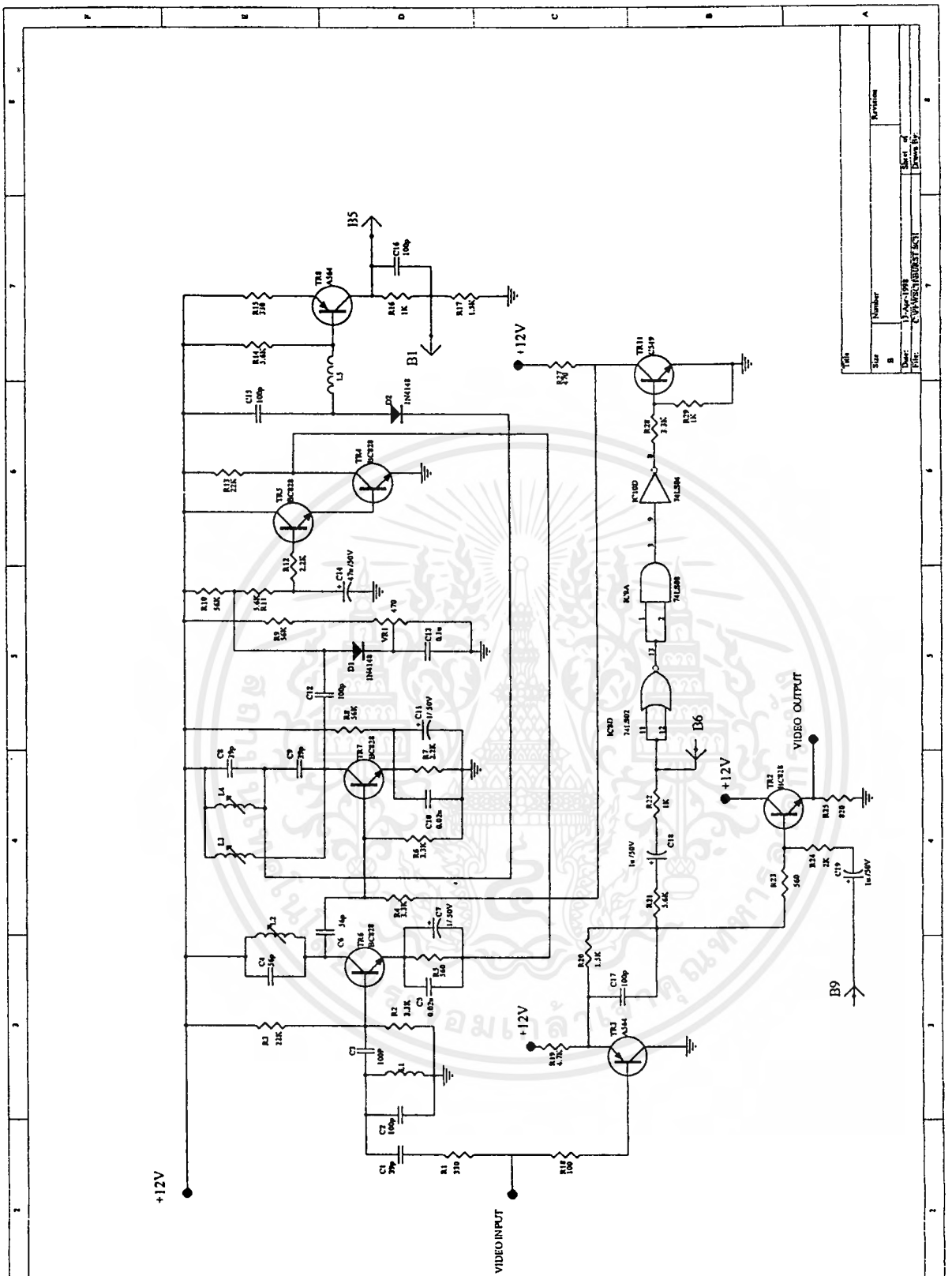
บรรณานุกรม

- ชูเกียรติ จันทรานี "**ทฤษฎีตรวจซ่อมโทรทัศน์ขาว-ดำ**". ฝ่ายวิชาการ โรงเรียนช่างเทคนิคกรุงเทพนิมิต, พ.ศ. 2531
- สมศักดิ์ เตชะเศรษฐ์ธนะ และ ร.ต.อ.สุชาติ กังวารจิตต์. "**ทฤษฎีและปฏิบัติโทรทัศน์สีระบบ PAL**". สำนักพิมพ์ซีเอ็ดยูเคชั่น
- เจน สมสงพันธุ์ "**ปฏิบัติการโทรทัศน์สี**". สถาบันอิเล็กทรอนิกส์กรุงเทพ, กรุงเทพมหานคร., พ.ศ. 2536
- "**โทรคมนาคมยุคดาวเทียม**". สถาบันอิเล็กทรอนิกส์กรุงเทพ, ฉบับที่ 18,. หน้า 104-139. กรุงเทพมหานคร., พ.ศ. 2538
- "**อิเล็กทรอนิกส์แฮนด์บุ๊ค**". สถาบันอิเล็กทรอนิกส์กรุงเทพ, ฉบับที่ 21,. หน้า 13-19 กรุงเทพมหานคร., พ.ศ. 2540
- "**คู่มือไอซี CMOS 4000 SERIES**". สำนักพิมพ์ซีเอ็ดยูเคชั่น, พ.ศ. 2521
- NATIONAL SEMICONDUCTOR "TTL DATA BOOK". 1983
- NATIONAL SEMICONDUCTOR "CMOS DATA BOOK". 1992
- Rudoulf F. Graf and Willian Sheet "Video Scrambling & Descrambling for Satellite & Cable TV". W. SAME & COMPANY, USA., 1989
- Frank baylin, Richard Maddos and Jonh McCormac "World Satellite TV and Scrambling Methods". BYLIN PUBLICATIONS, USA., 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

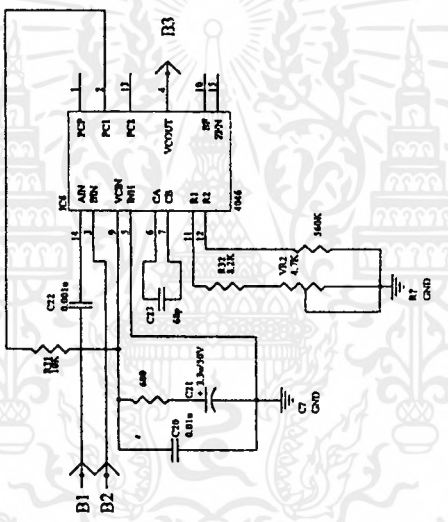
ภาคผนวก ก.
วงจรที่ใช้ในปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



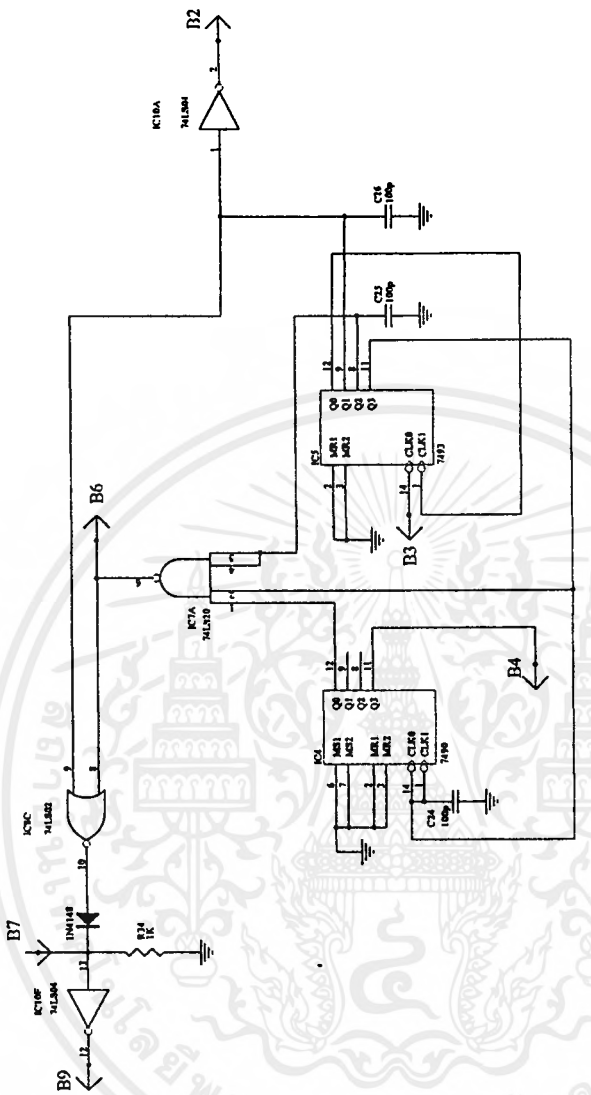
แสดงรูปวงจรภาคแยกสัญญาณเบริสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



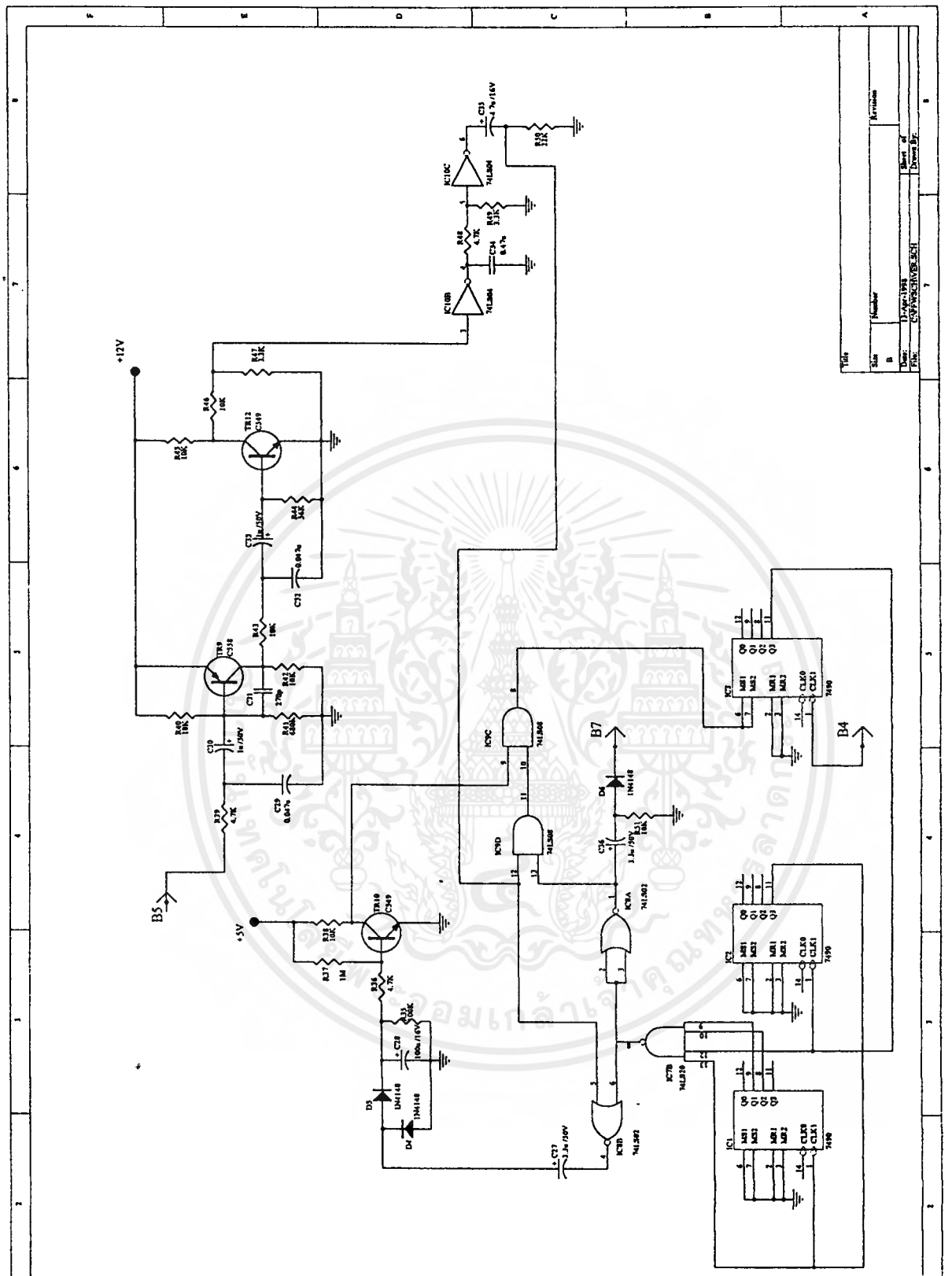
แสดงรูปวงจรภาค Phase Lock Loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



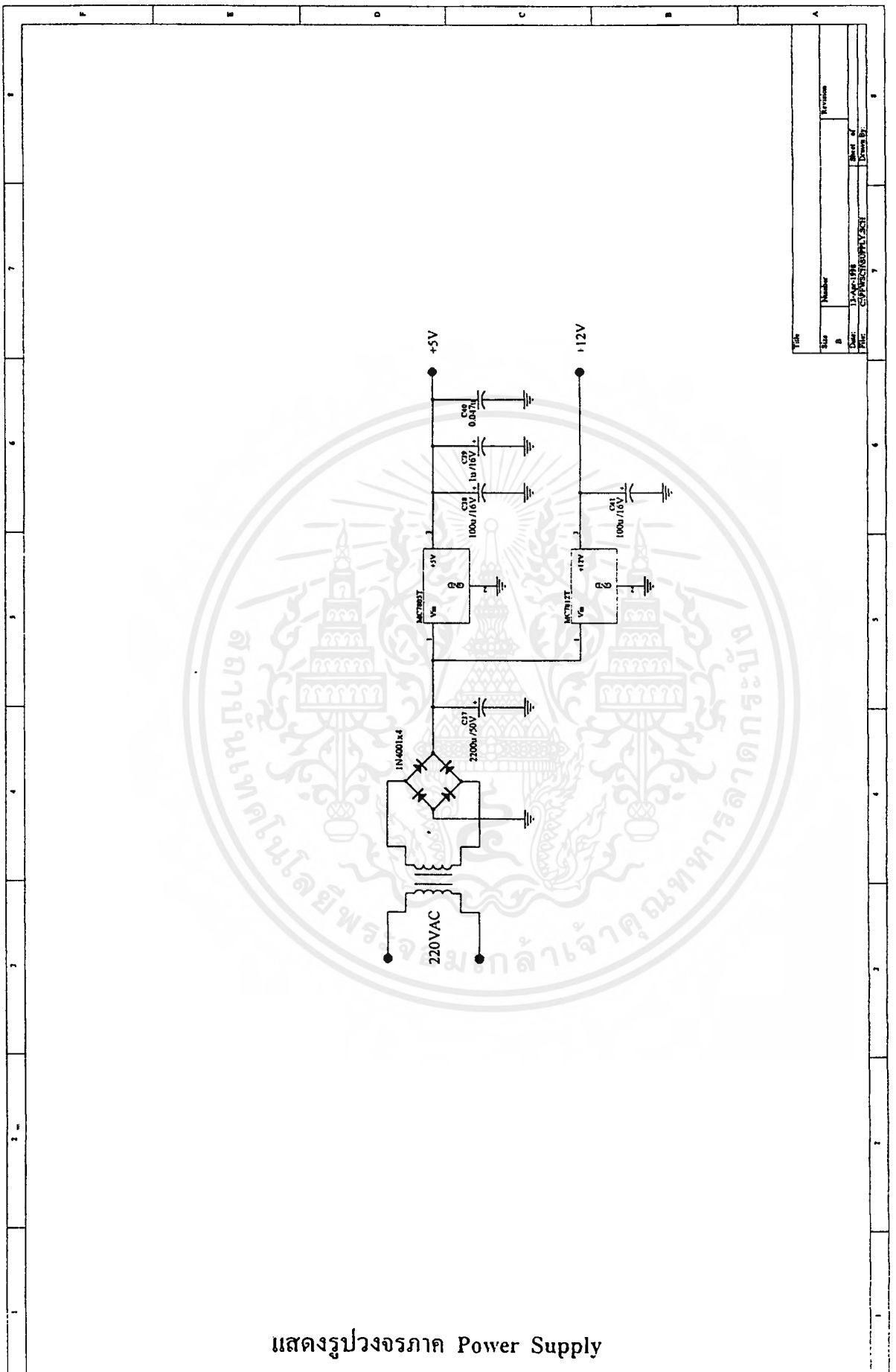
แสดงรูปวงจรภาคสร้างสัญญาณซิงค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



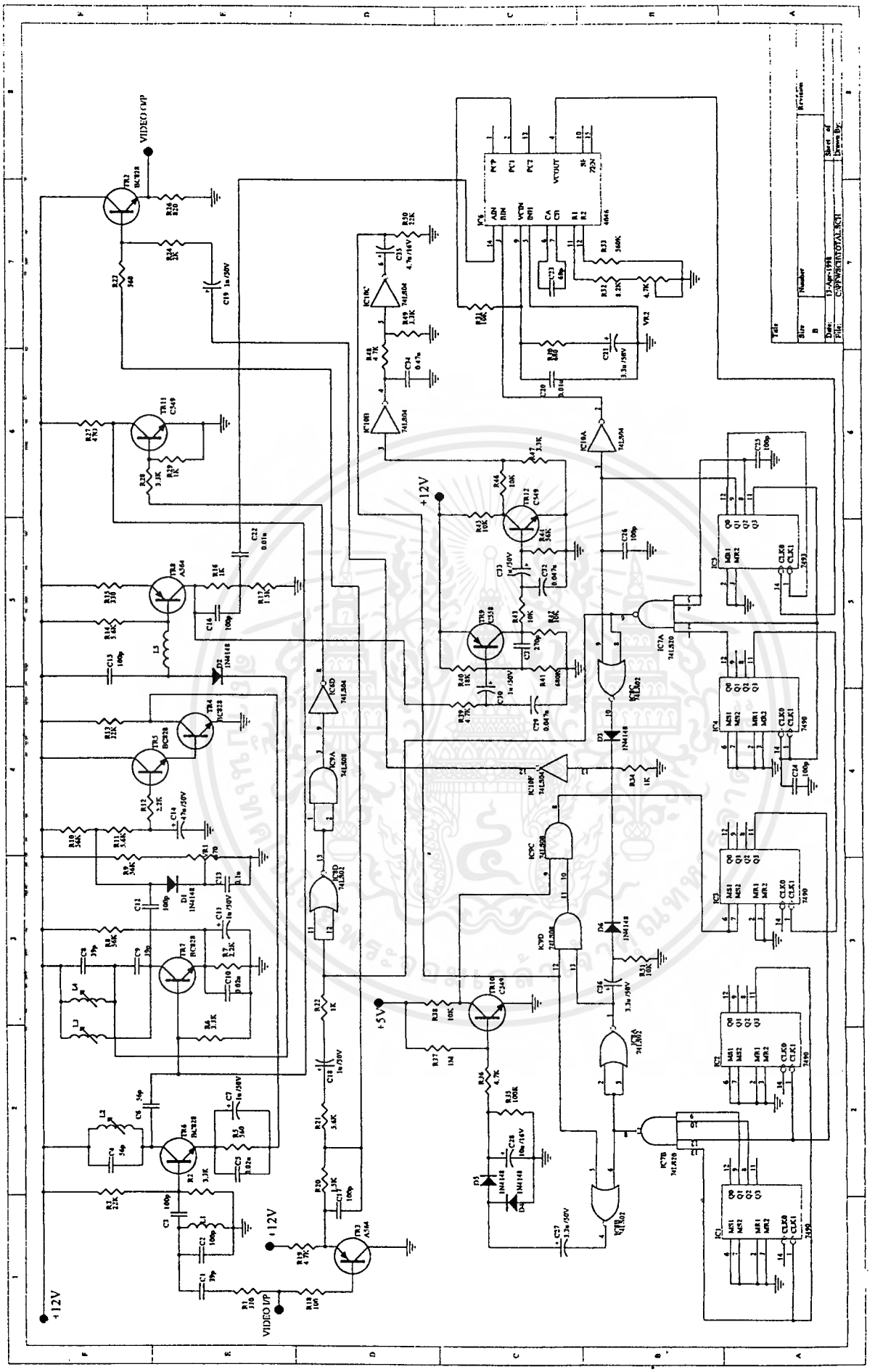
แสดงรูปวงจรภาคสร้างสัญญาณซิงค์ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงรูปวงจรภาค Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงรูปวงจรรวมของเครื่องถอดรหัสสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

รายละเอียดข้อมูล และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS02/DM54LS02/DM74LS02 Quad 2-Input NOR Gates

General Description

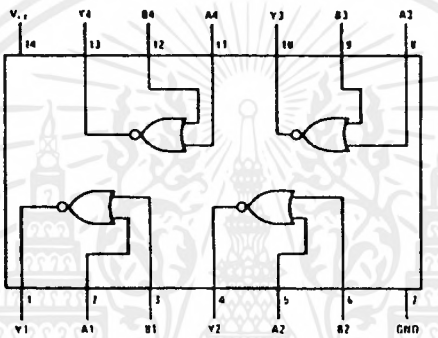
This device contains four independent gates each of which performs the logic NOR function.

Features

- Alternate Military/Aerospace device (54LS02) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications

Connection Diagram

Dual-In-Line Package



TL/F/6441–1

Order Number 54LS02DMQB, 54LS02FMQB, 54LS02LMQB, DM54LS02J, DM54LS02W, DM74LS02M or DM74LS02N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation RRD-B30M105/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS02			DM74LS02			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.40	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			1.6	3.2	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			2.8	5.4	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

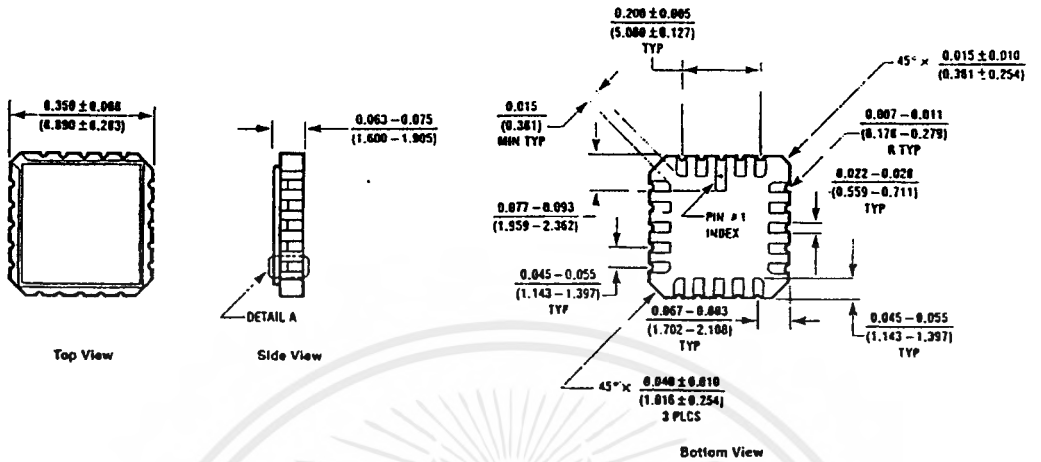
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output		13		18	ns
t_{PHL}	Propagation Delay Time High to Low Level Output		10		15	ns

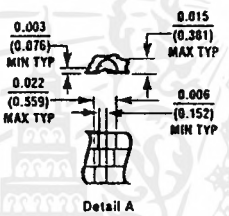
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

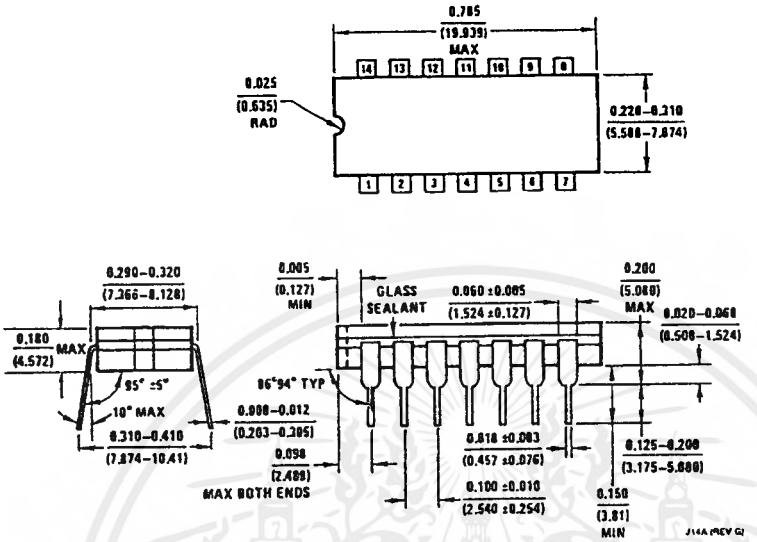




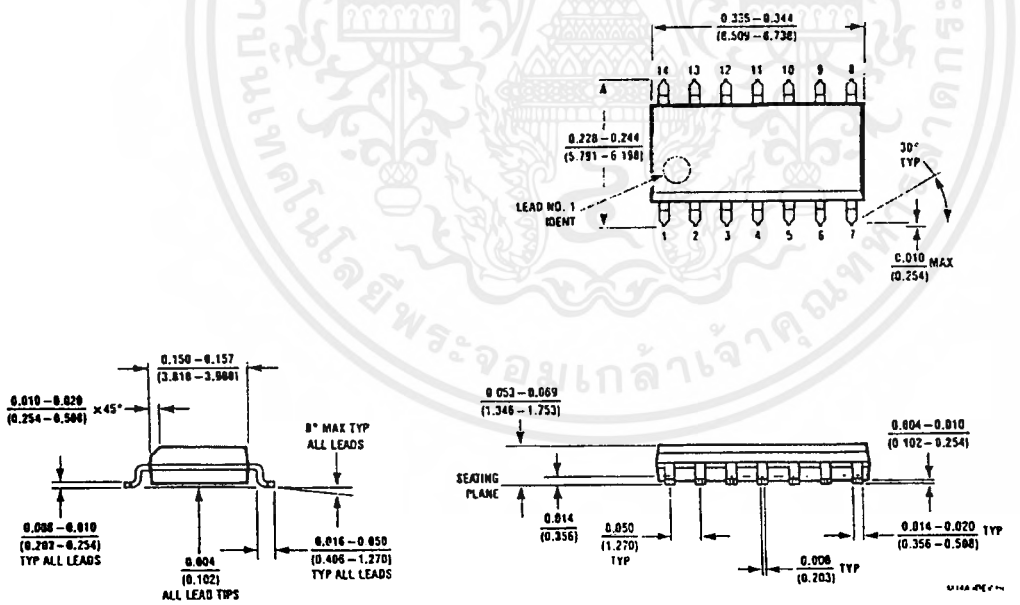
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS02LMQB
NS Package Number E20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



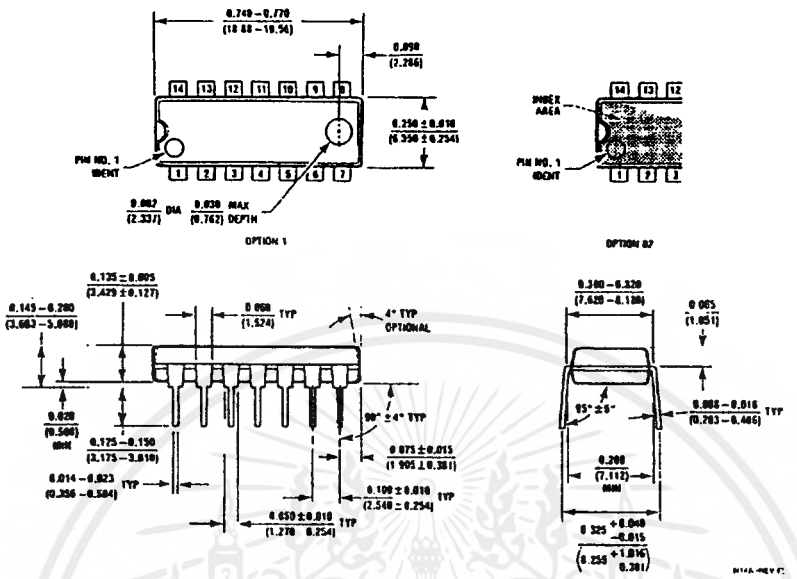
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS02DMQB or DM54LS02J
NS Package Number J14A



14-Lead Small Outline Molded Package (M)
Order Number DM74LS02M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

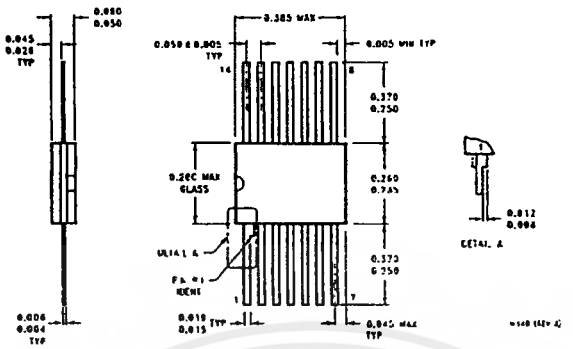
Physical Dimensions inches (millimeters) (Continued)



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS02N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS02FMQB or DM54LS02W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd,
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

General Description

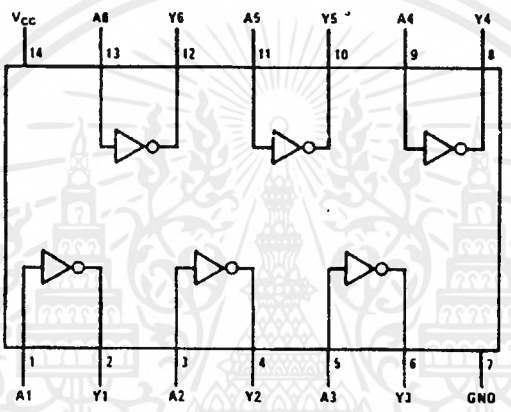
This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6345–1

Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{A}$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation TL/F/6345

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			1.2	2.4	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			3.6	6.6	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

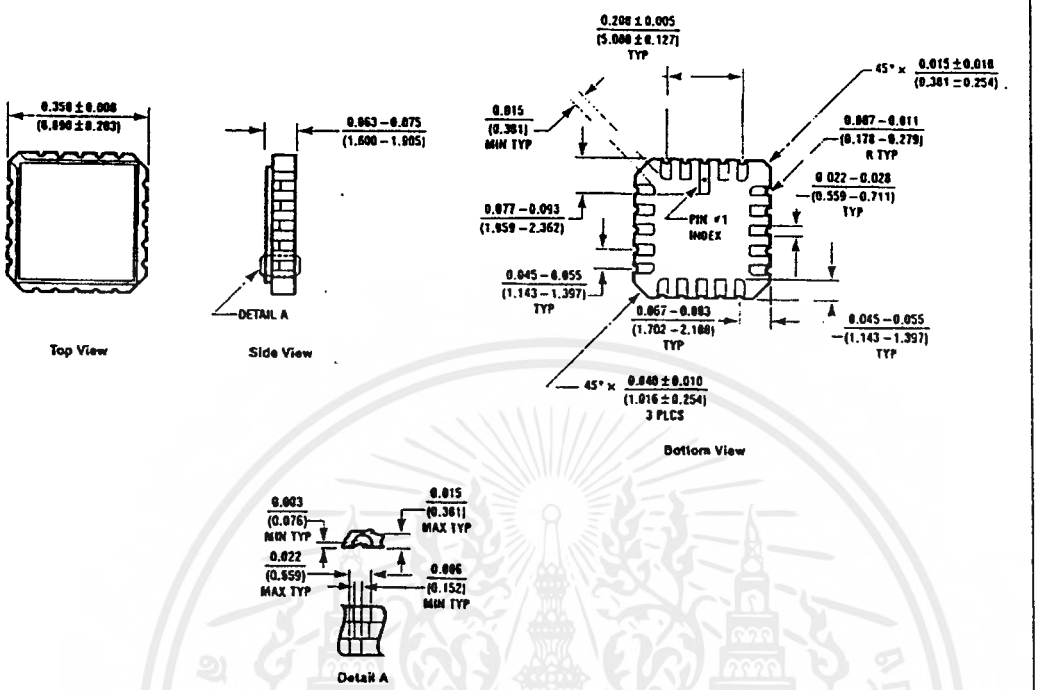
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

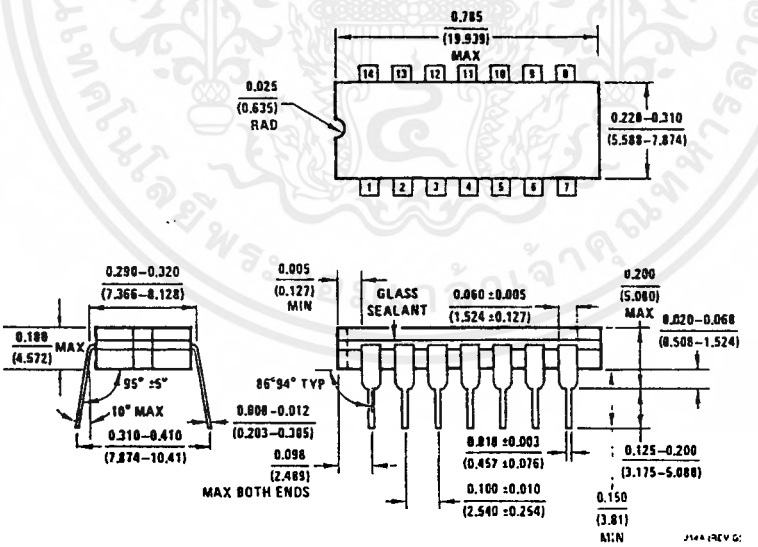
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



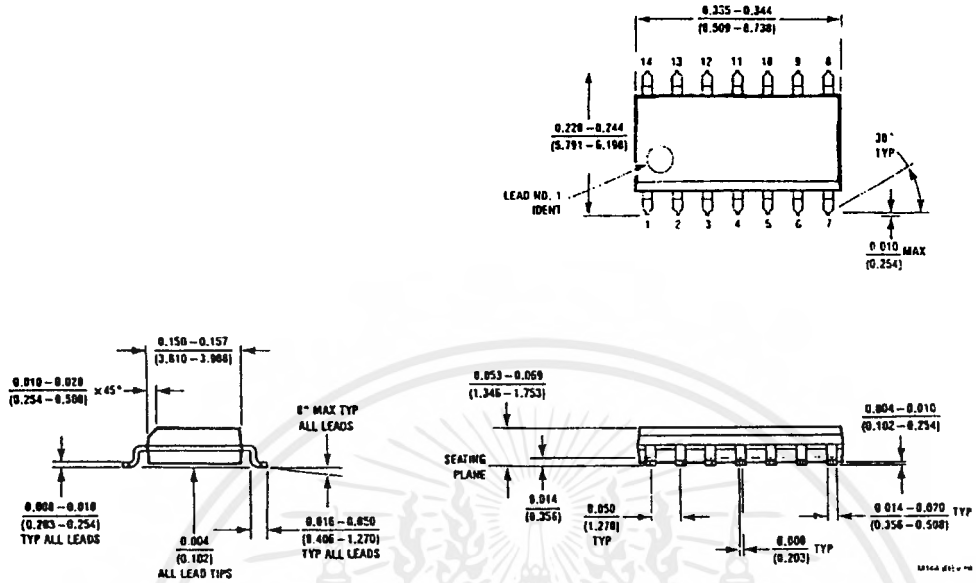
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS04LMQB
NS Package Number E20A



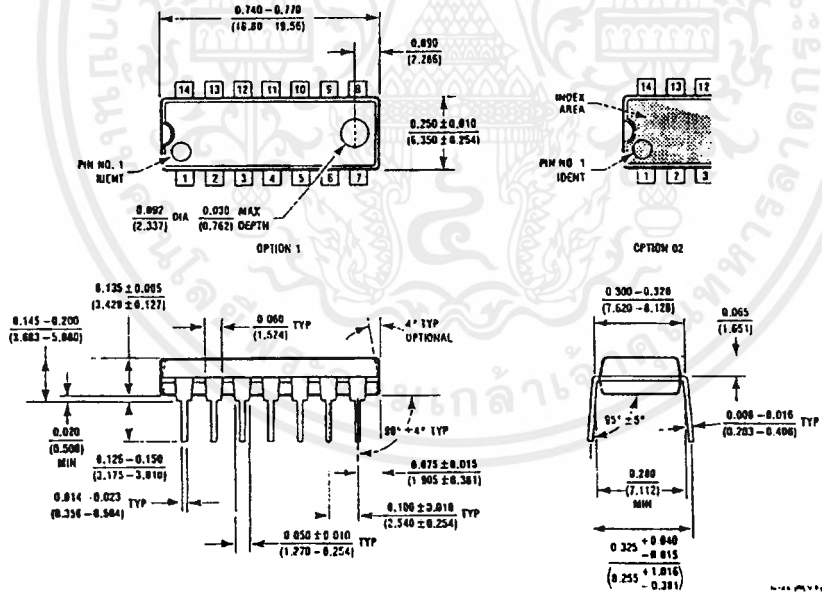
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS04DMQB or DM54LS04J
NS Package Number J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



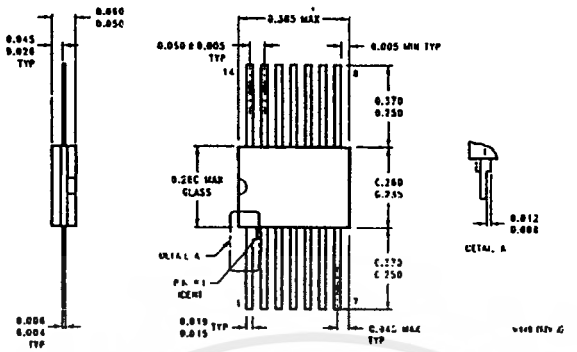
14-Lead Small Outline Molded Package (M)
Order Number DM74LS04M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS04N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS04FMQB or DM54LS04W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

General Description

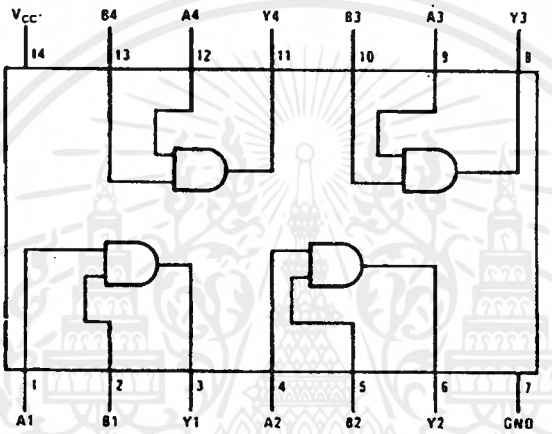
This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6347–1

Order Number 54LS08DMQB, 54LS08FMQB, 54LS08LMQB, DM54LS08J, DM54LS08W, DM74LS08M or DM74LS08N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation TL/F/6347

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS08			DM74LS08			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			2.4	4.8	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			4.4	8.8	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

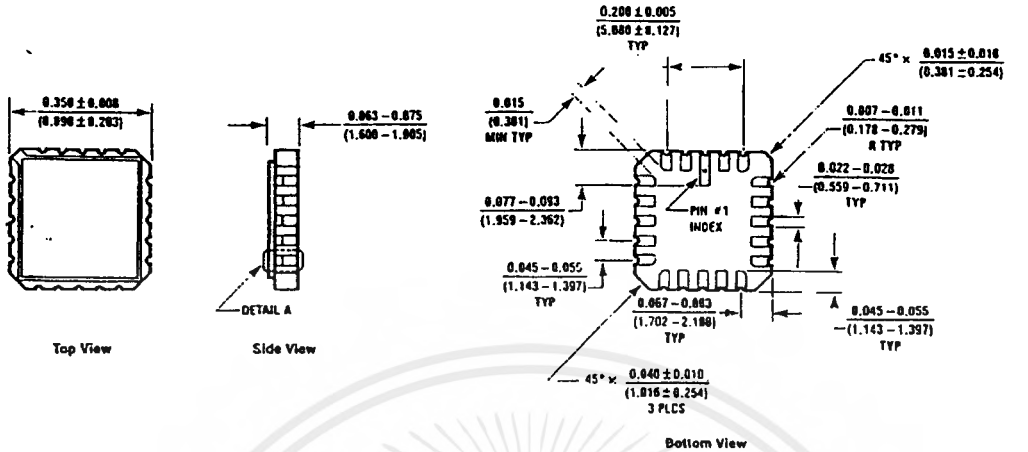
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	4	13	6	18	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	11	5	18	ns

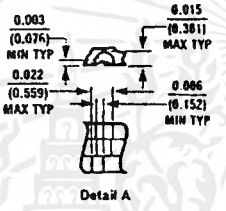
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second

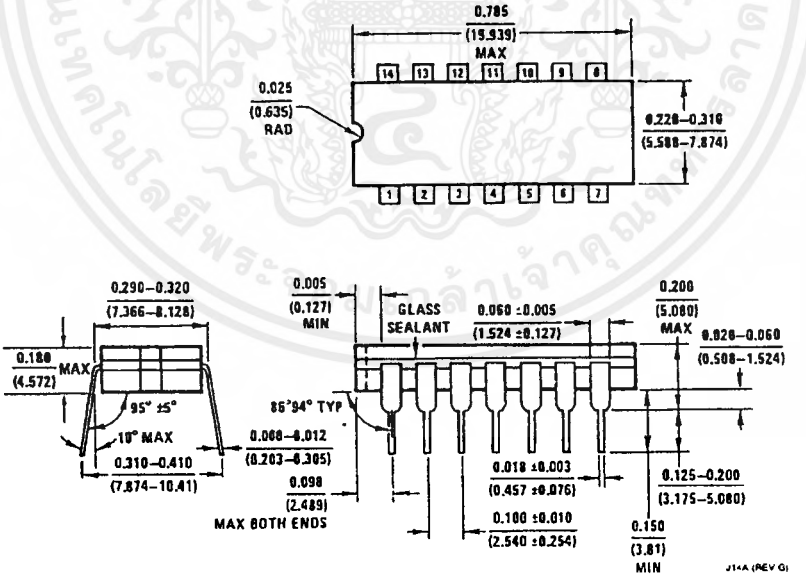
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)





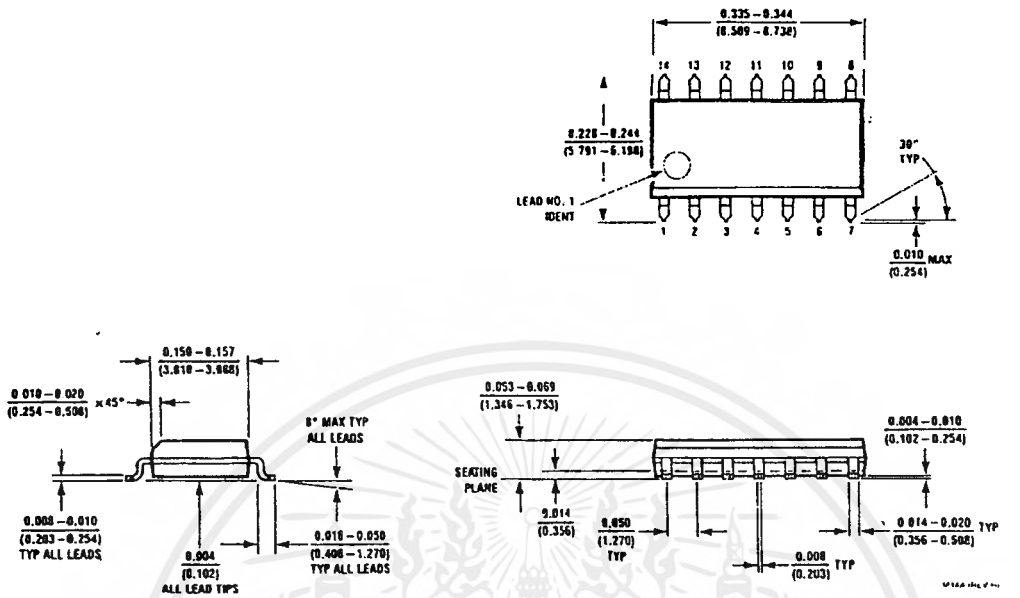
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS08LMQB
NS Package Number E20A



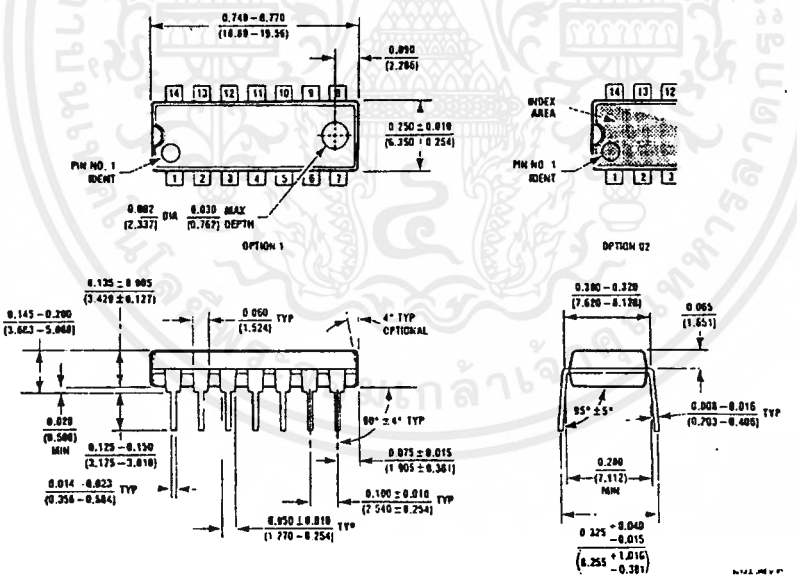
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS08DMQB or DM54LS08J
NS Package Number J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



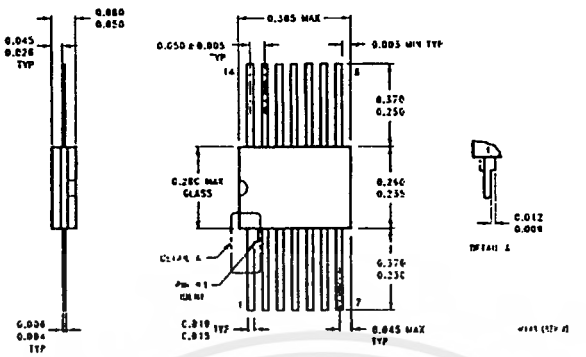
14-Lead Small Outline Molded Package (M)
Order Number DM74LS08M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS08N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS08FMQB or DM54LS08W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life. and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component ot a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS20/DM54LS20/DM74LS20 Dual 4-Input NAND Gates

General Description

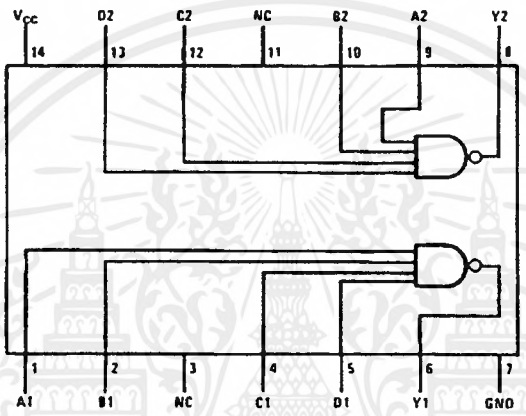
This device contains two independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (54LS20) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications

Connection Diagram

Dual-In-Line Package



TL/F/6355–1

Order Number 54LS20DMQB, 54LS20FMQB, 54LS20LMQB, DM54LS20J, DM54LS20W, DM74LS20M or DM74LS20N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \overline{ABCD}$$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = High Logic Level
L = Low Logic Level
X = Either Low or High Logic Level

©1995 National Semiconductor Corporation TL/F/6355

RRD-B30M105/Printed in U. S. A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS20			DM74LS20			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			0.4	0.8	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			1.2	2.2	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

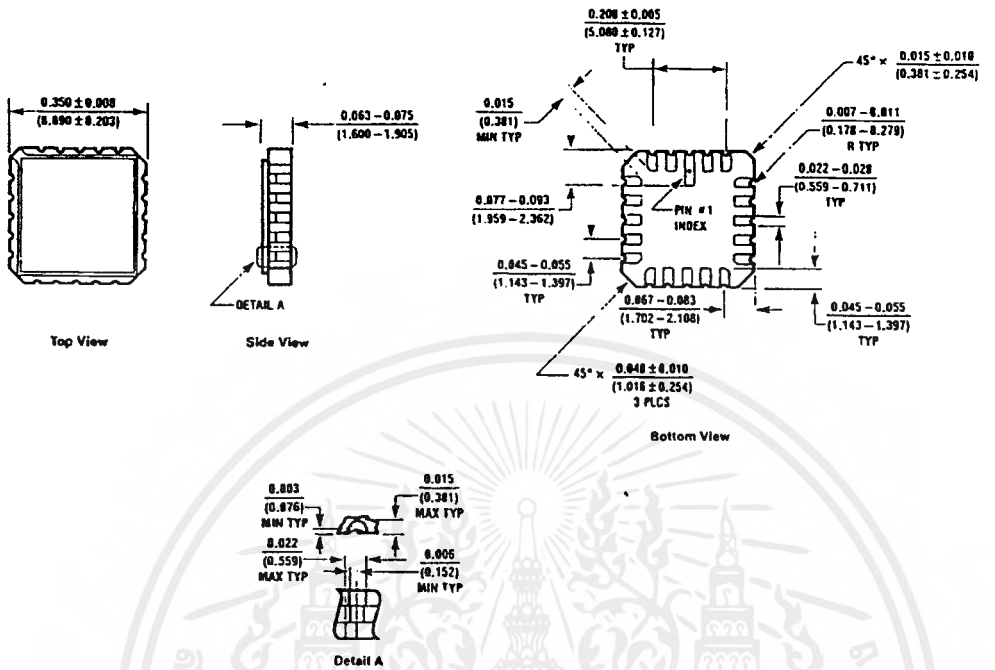
Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C

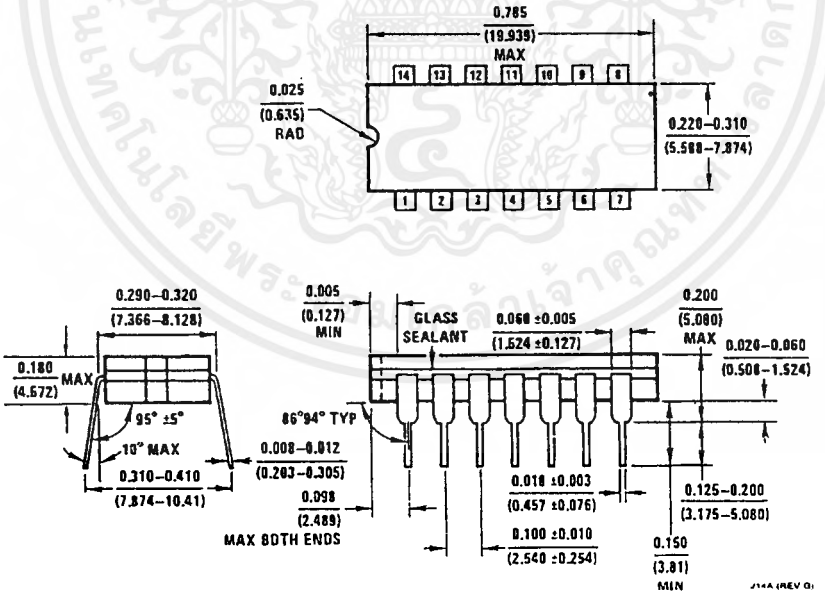
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



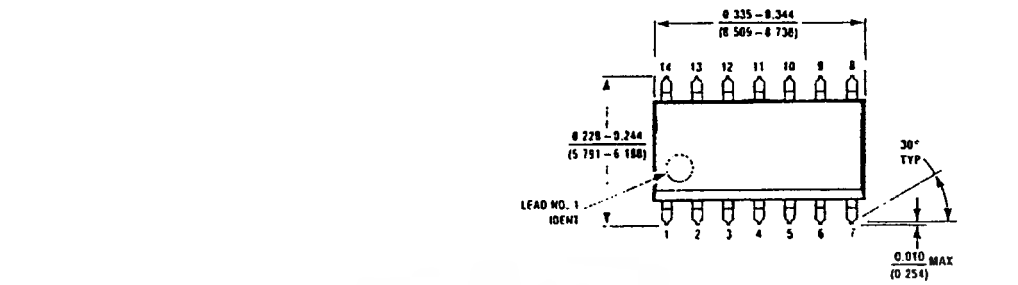
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS20LMQB
NS Package Number E20A

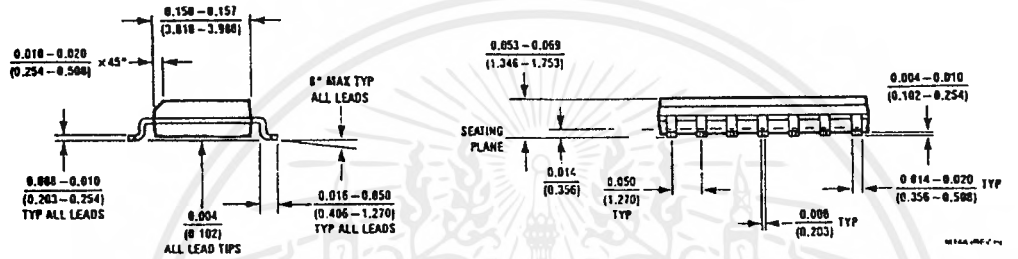


14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS20DMQB or DM54LS20J
NS Package Number J14A

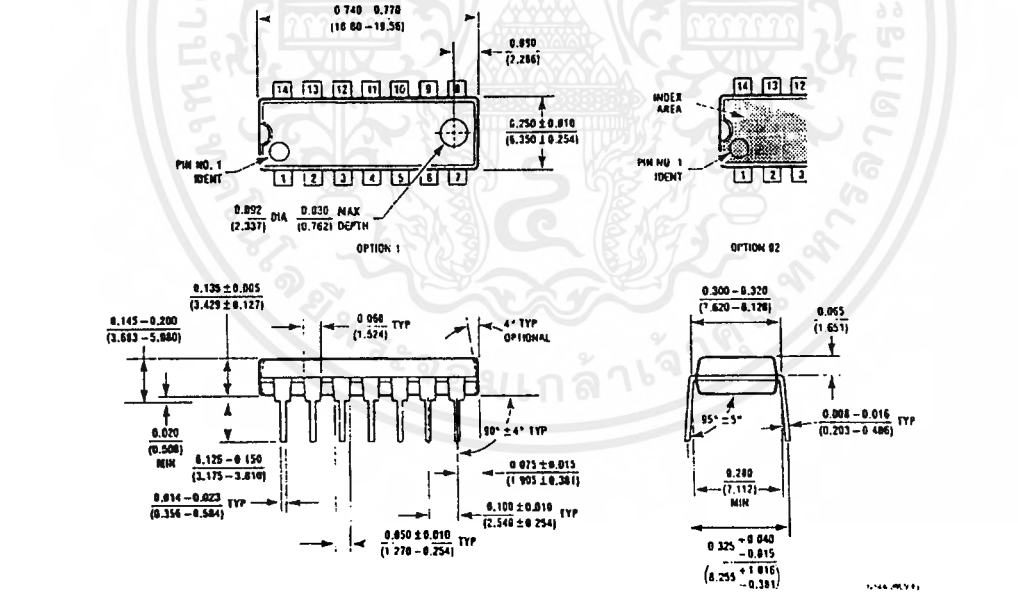
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)





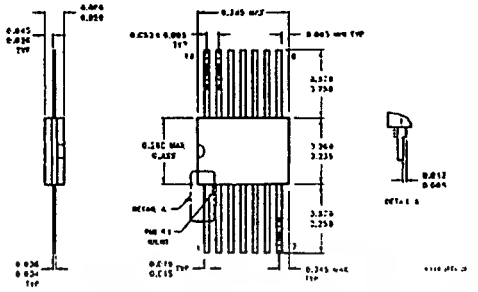
14-Lead Small Outline Molded Package (M)
Order Number DM74LS20M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS20N
NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS20FMQB or DM54LS20W
NS Package Number W14B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

DM74LS90/DM74LS93
Decade and Binary Counters

General Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the 'LS90 and divide-by-eight for the 'LS93.

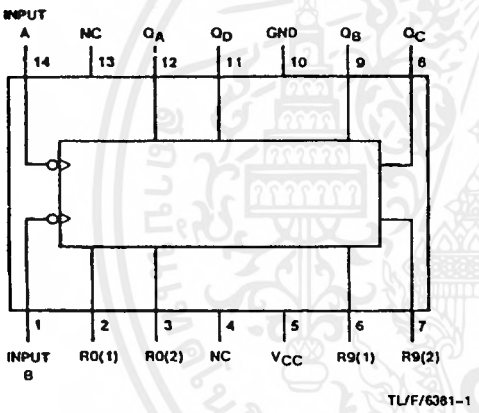
All of these counters have a gated zero reset and the LS90 also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade or four bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate truth table. A symmetrical divide-by-ten count can be obtained from the 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

Features

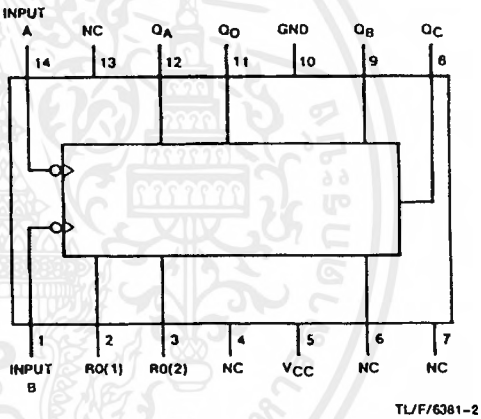
- Typical power dissipation 45 mW
- Count frequency 42 MHz

Connection Diagrams (Dual-In-Line Packages)



TL/F/6381–1

Order Number DM74LS90M or DM74LS90N
See NS Package Number M14A or N14A



TL/F/6381–2

Order Number DM74LS93M or DM74LS93N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/F/6381

RRD-B30M105/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage (Reset)	7V
Input Voltage (A or B)	5.5V
Operating Free Air Temperature Range	
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		DM74LS90			Units
			Min	Nom	Max	
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			V
V_{IL}	Low Level Input Voltage				0.8	V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	MHz
		B to Q_B	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	MHz
		B to Q_B	0		10	
t_W	Pulse Width (Note 1)	A	15			ns
		B	30			
		Reset	15			
t_W	Pulse Width (Note 2)	A	25			ns
		B	50			
		Reset	25			
t_{REL}	Reset Release Time (Note 1)		25			ns
t_{REL}	Reset Release Time (Note 2)		35			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max V_{IL} = Max, V_{IH} = Min (Note 4)			0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max V_I = 5.5V	A			0.2	
			B			0.4	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Reset			20	μA
			A			40	
			B			80	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	mA
			A			−2.4	
			B			−3.2	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both RO inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = Max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

'LS90 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MHz
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		48		52	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		50		60	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		32		36	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	SET-9 to Q_A, Q_D		30		35	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-9 to Q_B, Q_C		40		48	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

Symbol	Parameter		DM74LS93			Units
			Min	Nom	Max	
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			V
V_{IL}	Low Level Input Voltage				0.8	V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	MHz
		B to Q_B	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	
		B to Q_B	0		10	
t_W	Pulse Width (Note 1)	A	15			ns
		B	30			
		Reset	15			
t_W	Pulse Width (Note 2)	A	25			ns
		B	50			
		Reset	25			
t_{REL}	Reset Release Time (Note 1)		25			ns
t_{REL}	Reset Release Time (Note 2)		35			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max V_{IL} = Max, V_{IH} = Min (Note 4)			0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max V_I = 5.5V	A			0.2	
			B			0.4	
I_{IH}	High Level Input Current	V_{CC} = Max V_I = 2.7V	Reset			20	μA
			A			40	
			B			80	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	mA
			A			−2.4	
			B			−1.6	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both RO inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

'LS93 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MHz
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		70		85	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		70		90	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		51		60	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		51		70	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Tables

LS90
BCD Count Sequence
(See Note A)

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

LS90
Bi-Quinary (5-2)
(See Note B)

Count	Output			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

LS93
Count Sequence
(See Note C)

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

LS90
Reset/Count Truth Table

Reset Inputs				Output			
R0(1)	R0(2)	R9(1)	R9(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

LS93
Reset/Count Truth Table

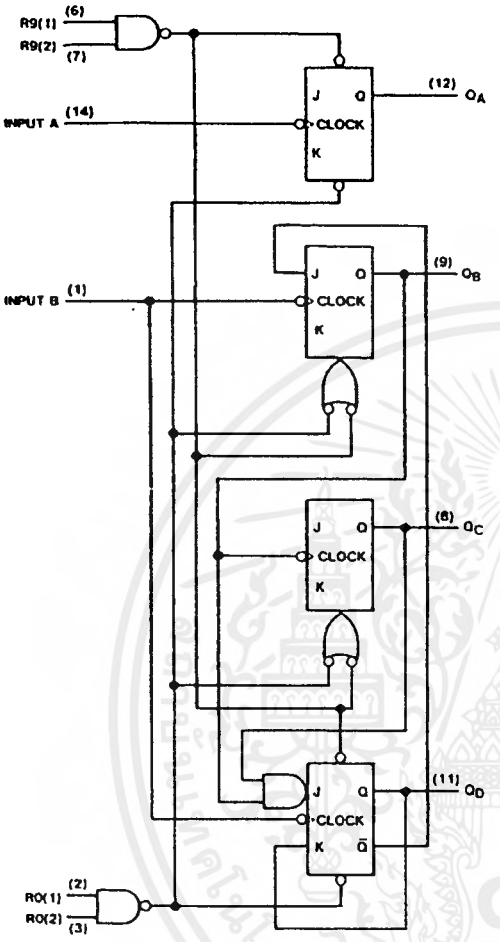
Reset Inputs		Output			
R0(1)	R0(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Note A: Output Q_A is connected to input B for BCD count.
Note B: Output Q_D is connected to input A for bi-quinary count.
Note C: Output Q_A is connected to input B.
Note D: H = High Level, L = Low Level, X = Don't Care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

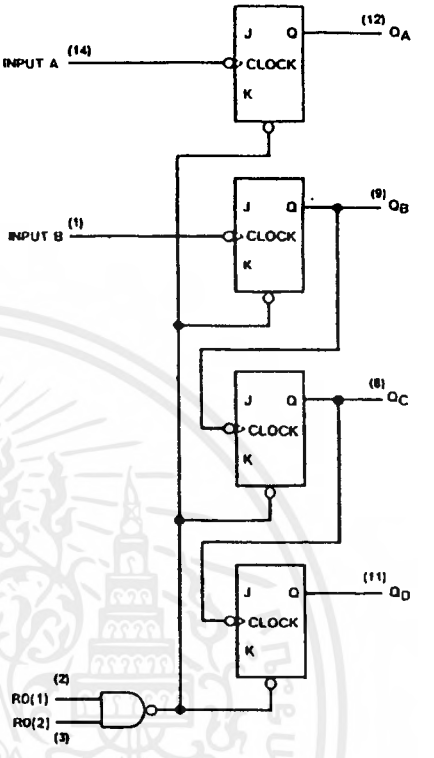
Logic Diagrams

LS90



TL/F/6381–3

LS93

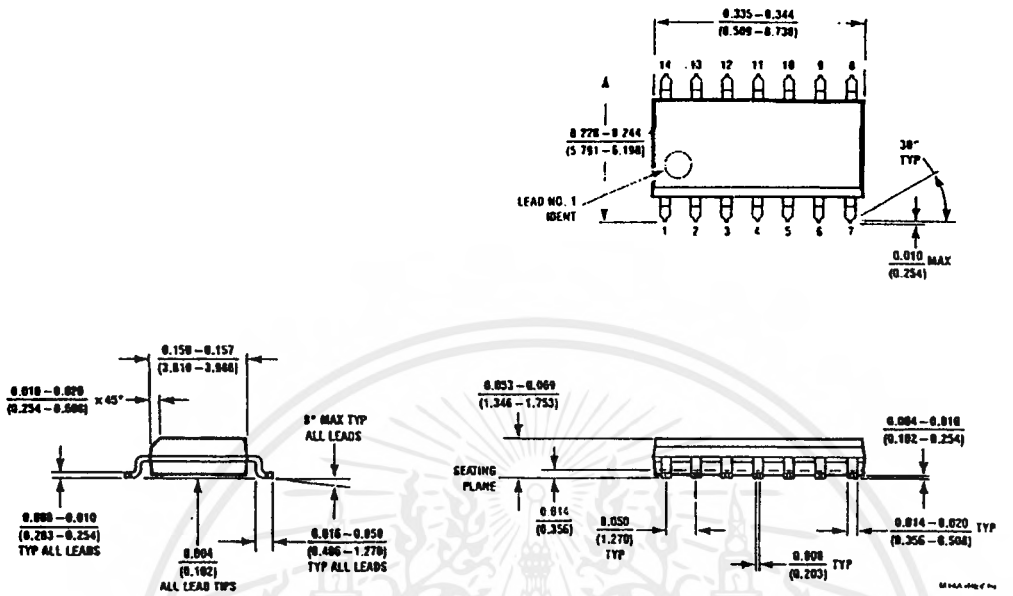


TL/F/6381–4

The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

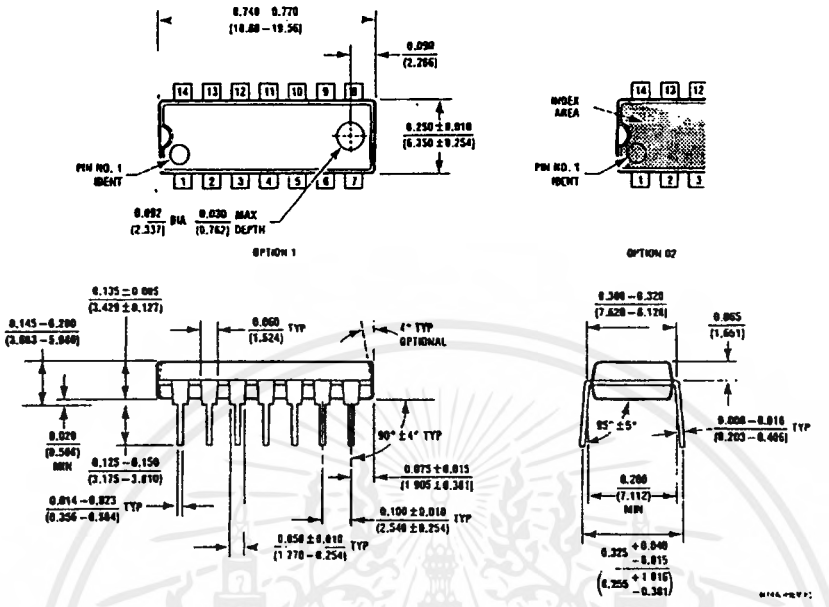
Physical Dimensions inches (millimeters)



14-Lead Small Outline Molded Package (M)
Order Number DM74LS90M or DM74LS93M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS90N or DM74LS93N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

PRELIMINARY

microCMOS

M54HC4046/MM74HC4046
MOS Phase Lock Loop

General Description

The MM54HC4046/MM74HC4046 is a low power phase lock loop utilizing 3.5μ silicon-gate P-well microCMOS technology to obtain high frequency operation both in the phase comparator and VCO sections. This device contains a low power linear voltage controlled oscillator (VCO), a source follower, and three phase comparators. The three phase comparators have a common signal input and a common comparator input. The signal input has a self biasing amplifier allowing signals to be either capacitively coupled to the phase comparators with a small signal or directly coupled with standard input logic levels. This device is similar to the CD4046 except that the Zener diode in the metal gate CMOS device has been replaced with a third phase comparator.

The comparator I is an exclusive OR (XOR) gate. It provides a digital error signal that maintains a 90 phase shift between the VCO's center frequency and the input signal (50% duty cycle input) waveforms. This phase detector is also susceptible to locking onto harmonics of the input frequency than phase comparator I, but provides better noise rejection.

The comparator III is an SR flip-flop gate. It can be used to provide the phase comparator functions and is similar to the first comparator in performance.

The comparator II is an edge sensitive digital sequential network. Two signal outputs are provided, a comparator output and a phase pulse output. The comparator output is a TRI-STATE® output that provides a signal that locks the VCO output signal to the input signal with 0 phase shift between them. This comparator is more susceptible to noise throwing the loop out of lock, but is less likely to lock onto harmonics than the other two comparators.

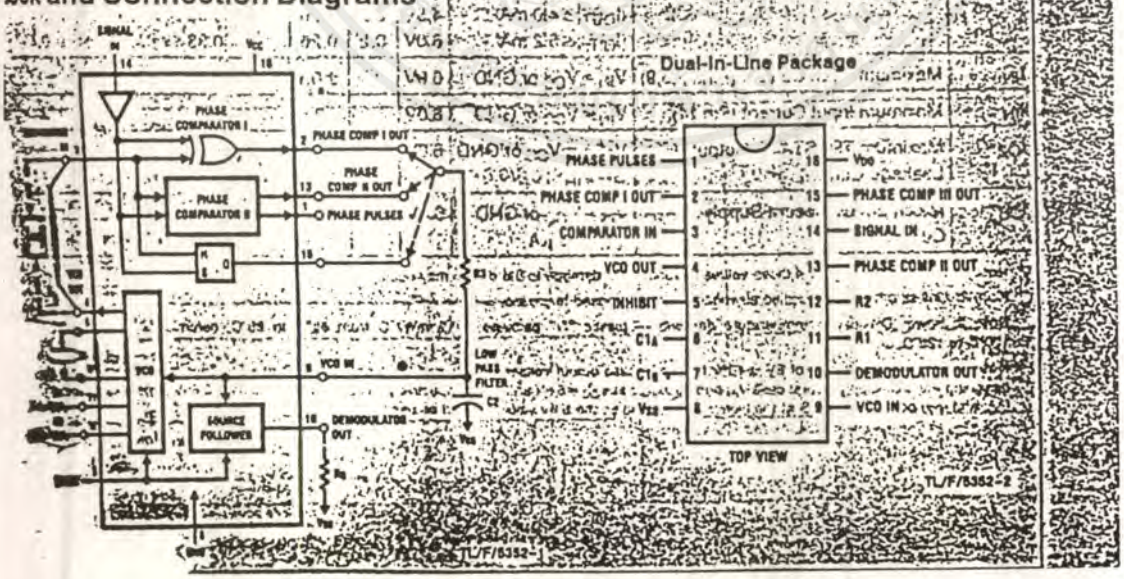
In a typical application all three comparators feed an external filter network which in turn feeds the VCO input. This input is a very high impedance CMOS input which also drives the source follower. The VCO's operating frequency is set by three external components connected to the C1A, C1B, R1 and R2 pins. An inhibit pin is provided to disable the VCO and the source follower, providing a method of putting the IC in a low power state.

The source follower is a MOS transistor whose gate is connected to the VCO input and whose drain connects the Demodulator output. This output normally is used by tying a resistor from pin 10 to ground, and provides a means of looking at the VCO input without loading down modifying the characteristics of the PLL filter.

Features

- Low dynamic power consumption: 80 μW (V_{CC} = 4.5V)
- Maximum VCO operating frequency: 20 MHz (V_{CC} = 4.5V)
- Fast comparator response time (V_{CC} = 4.5V)
  - Comparator I: 20 ns
  - Comparator II: 25 ns
  - Comparator III: 20 ns
- VCO has high linearity and high temperature stability

Block and Connection Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maxmum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} +1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} + 0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D) (Note 3)	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min
Supply Voltage (V_{CC})	2
DC Input or Output Voltage (V_{IN}, V_{OUT})	0
Operating Temperature Range (T_A)	
MM74HC	−40
MM54HC	−55
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V	
V_{CC} = 4.5V	
V_{CC} = 6.0V	

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C
				Typ	Guaranteed Limits	
V_{IH}	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5
			4.5V	3.15	3.15	3.15
			6.0V	4.2	4.2	4.2
V_{IL}	Maximum Low Level Input Voltage		2.0V	0.3	0.3	0.3
			4.5V	0.9	0.9	0.9
			6.0V	1.2	1.2	1.2
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} | I_{OUT} | ≤ 20 μA	2.0V	2.0	1.9	1.9
			4.5V	4.5	4.4	4.4
			6.0V	6.0	5.9	5.9
		V_{IN} = V_{IH} or V_{IL} | I_{OUT} | ≤ 4.0 mA	4.5V	4.2	3.98	3.7
		| I_{OUT} | ≤ 8.2 mA	6.0V	5.7	5.48	5.2
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} | I_{OUT} | ≤ 20 μA	2.0V	0	0.1	0.1
			4.5V	0	0.1	0.1
			6.0V	0	0.1	0.1
		V_{IN} = V_{IH} or V_{IL} | I_{OUT} | ≤ 4.0 mA	4.5V	0.2	0.26	0.33	0.4
		| I_{OUT} | ≤ 5.2 mA	6.0V	0.2	0.26	0.33	0.4
I_{IN}	Maximum Input Current (Pins 3,5,9)	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0
I_{IN}	Maximum Input Current (Pin 14)	V_{IN} = V_{CC} or GND	6.0V		2	3	4
I_{OZ}	Maximum TRI-STATE Output Leakage Current	V_{OUT} = V_{CC} or GND $\overline{G}$ = V_{IH}	6.0V		±0.5	±5.0	±10
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage currents (I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

trical Characteristics

V_{CC} = 5V, C_L = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Parameters	Conditions	V_{CC}	T = 25°C	74HC	54HC	Units
			Typ	Guaranteed Limits		
AC Coupled Input Sensitivity, Signal In	C (series) = 100 pF f_{IN} = 500 kHz	2.0V 4.5V 6.0V	100 200 300	200 400 600	225 450 650	250 500 700	mV mV mV
Maximum Output Rise and Fall Time		2.0V 4.5V 6.0V	30 9 8	75 15 12	95 19 15	110 22 19	ns ns ns
Maximum Input Capacitance			5	10	10	10	pF
Operator I							
Maximum Propagation Delay		2.0V 4.5V 6.0V	58 20 18	165 35 30	206 44 38	250 52 45	ns ns ns
Maximum Power Dissipation Capacitance							pF
Operator II							
Maximum Propagation Delay Comp. Output		2.0V 4.5V 6.0V	60 20 18	150 30 25	190 38 32	225 45 38	ns ns ns
Maximum TRI-STATE Enable Time		2.0V 4.5V 6.0V	60 20 18	150 30 25	190 38 32	225 45 38	ns ns ns
Maximum TRI-STATE Enable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum TRI-STATE Disable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum TRI-STATE Disable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Propagation Delay High to Low to Phase Pulses		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Propagation Delay Low to High to Phase Pulses		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Power Dissipation Capacitance							pF
Operator III							
Maximum Propagation Delay		2.0V 4.5V 6.0V					ns ns ns
Maximum Power Dissipation Capacitance							pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

V_{CC} = 2.0 to 6.0V, CL = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

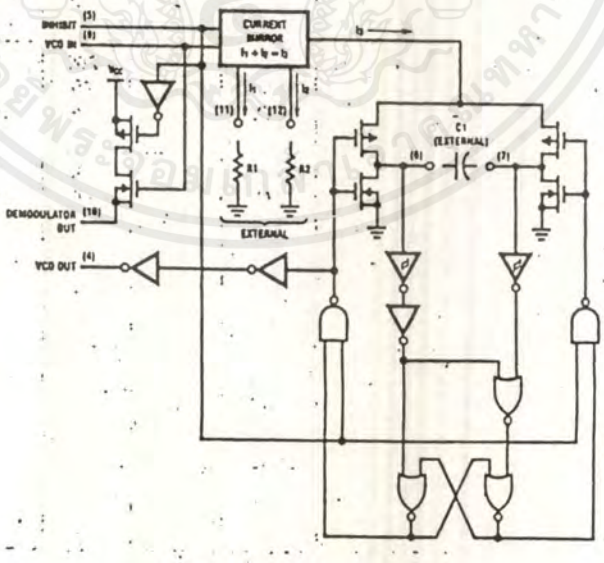
Symbol	Parameters	Conditions	V_{CC}	T = 25°C	74HC	54HC
				Typ	Guaranteed Limits	
Voltage Controlled Oscillator (Specified to operate from V_{CC} = 3.0V to 6.0V						
f_{MAX}	Maximum Operating Frequency	C1 = 10 pF, R1 = 100, R2 = 00 $VCO_{in} = V_{CC}$	4.5V 6.0V		20 25	18 23	15 20
	Linearity	$VCO_{in} = 2.25 \pm 1V$ $VCO_{in} = 3 \pm 1.5V$	4.5V 6.0V	1.0 1.0			
	Temperature-Frequency Stability	No Frequency Offset	4.5V 6.0V				
	Temperature-Frequency Stability	Frequency Offset	4.5V 6.0V				
	Duty Cycle			50			
Demodulator Output							
	Offset Voltage VCO_{in}-V_{dem}	R_s = 1 kΩ		1.5	2.2	2.7	3.2
	Linearity	R_s = 5 kΩ	2.0V		0.1	0.2	0.3

Detailed Circuit Description

VOLTAGE CONTROLLED OSCILLATOR/SOURCE FOLLOWER

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor 1 and capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves). R2 can be used to set the offset frequency with 0V at VCO input. If R2 is omitted the VCO range is from 0 Hz; as R2 is decreased, the offset frequency is increased. The effect of R2 is shown in the design information table and typical performance curves. By increasing the value of R2 the lock range of the PLL is decreased and the gain (volts/Hz) is increased. Thus, for a narrow lock range, large swings on the input will cause less frequency variation.

Internally, the resistors set a current in a current mirror shown in *Figure 1*. The mirrored current drives one side



TL/F/5351-6

FIGURE 1. Logic Diagram for VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...lled Circuit Description (Continued)

...pacitor; once the capacitor charges up to the thresh-...f the Schmitt Trigger the oscillator logic flips the ...tor over and causes the mirror to charge the oppo-...te of the capacitor. The output from the internal logic ...s taken to pin 4.

...nput to the VCO is a very high impedance CMOS ...and thus will not load down the loop filter, easing the ...n design. In order to make signals at the VCO input ...sible without degrading the loop performance, a ...e follower transistor is provided. This transistor can ...ed by connecting a resistor to ground and its drain ...t will follow the VCO input signal.

...hibit signal is provided to allow disabling of the VCO ...e source follower. This is useful if the internal VCO is ...ng used, but an external one is. A logic high on inhibit ...bles the VCO and source follower.

...utput of the VCO is a standard high speed CMOS ...t with an equivalent LS-TTL fanout of 10. The VCO output is approximately a square wave. This output can either directly feed the comparator input of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

PHASE COMPARATORS

All three phase comparators have two inputs, Signal In and Comparator In. The Signal In has a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled then this input requires logic levels the same as standard 54HC/74HC. The comparator input is a standard digital input. Both input structures are shown in *Figure 3*.

The outputs of these comparators are essentially standard 54HC/74HC voltage outputs (comparator II is TRI-STATE).

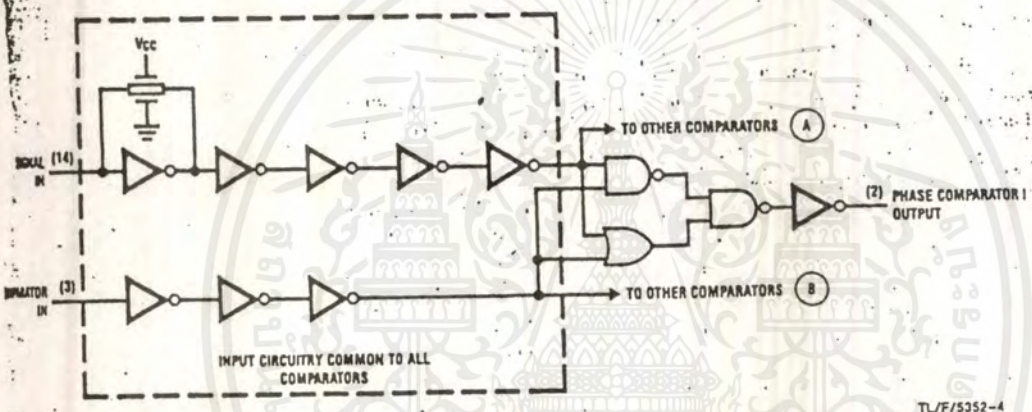


FIGURE 3. Logic Diagram for Phase Comparator I and the Common Input Circuit for All Three Comparators

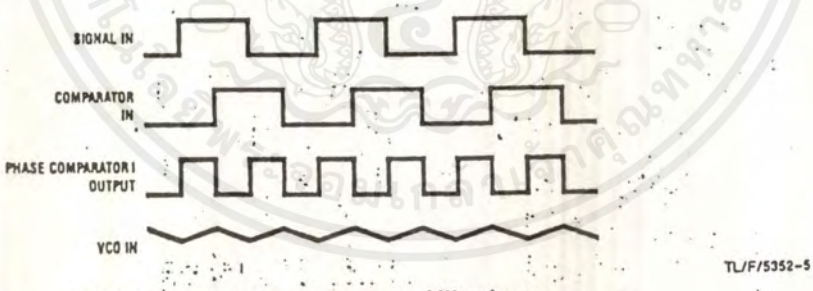
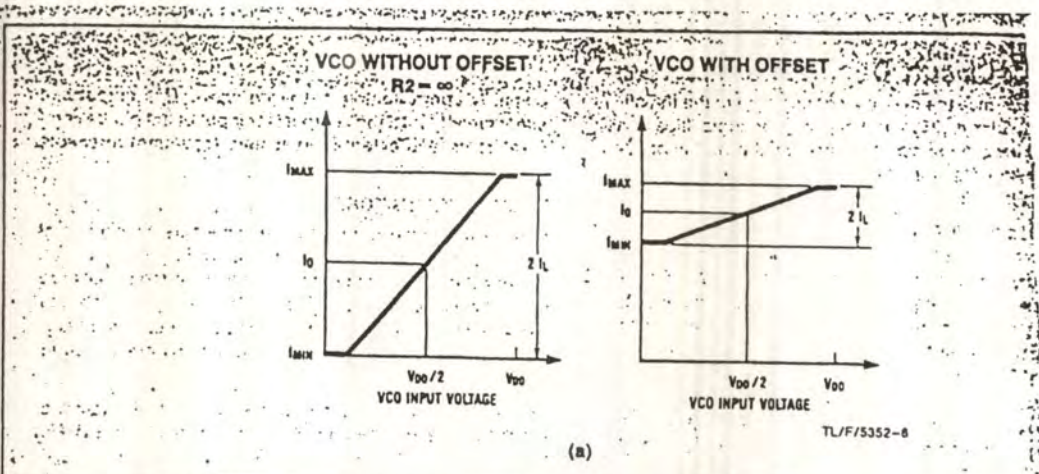


FIGURE 4. Typical Phase Comparator I Waveforms

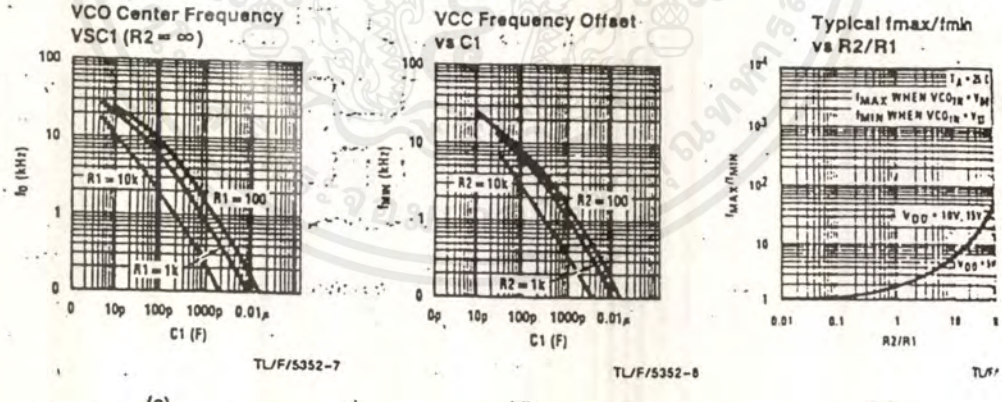
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

Comparator I		Comparator II		Comparator III	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
–Given: f_0 –Use f_0 with *Figure 5a* to determine R1 and C1	–Given: f_0 and f_L –Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate f_{max}/f_{min} from the equation $f_{max}/f_{min} = f_0 + f_L/f_0 - f_L$ –Use f_{max}/f_{min} with *Figure 5c* to determine ratio R2/R1 to obtain R1	–Given: f_{max} –Calculate f_0 from the equation $f_0 = f_{max}/2$ –Use f_0 with *Figure 5a* to determine R1 and C1	–Given: f_{min} and f_{max} –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate f_{max}/f_{min} –Use f_{max}/f_{min} with *Figure 5c* to determine ratio R2/R1 to obtain R1		

(b)



(c) (d) (e)

FIGURE 2. VCO Characteristics: a) Idealized Transfer Function
b) Determining External Components
c), d), e) Typical Frequency Characteristics versus Component Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuit Description (Continued)

operation V_{CC} and ground voltage levels loop filter. This differs from some phase ch supply a current output to the loop filter st be considered in the design. (The CD4046 s a voltage.)

ws the state tables for all three comparators.

PARATOR I

tor is a simple XOR gate similar to the 54/ its operation is similar to an overdriven bal- tor. To maximize lock range the input must have a 50% duty cycle. Typical input waveforms are shown in *Figure 4*. The output of tector feeds the loop filter which averages the ge. The frequency range upon which the PLL initially out of lock is defined as the capture e capture range for phase detector I is depen- loop filter employed. The capture range can be the lock range, which is equal to the VCO fre- ge.

the detector operates, refer to *Figure 4*. When ave inputs are applied to this comparator, an form whose duty cycle is dependent on the rence between the two signals results. As the rence increases, the output duty cycle and the voltage after the loop filter increases. der to achieve lock when the PLL input fre- eases the VCO input, voltage must increase and the phase difference between comparator In and signal In will increase. At an input frequency equal to f_{min}, the VCO input is at 0V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max}, the VCO input must be V_{CC} and the phase detector inputs must be 180° out of phase.

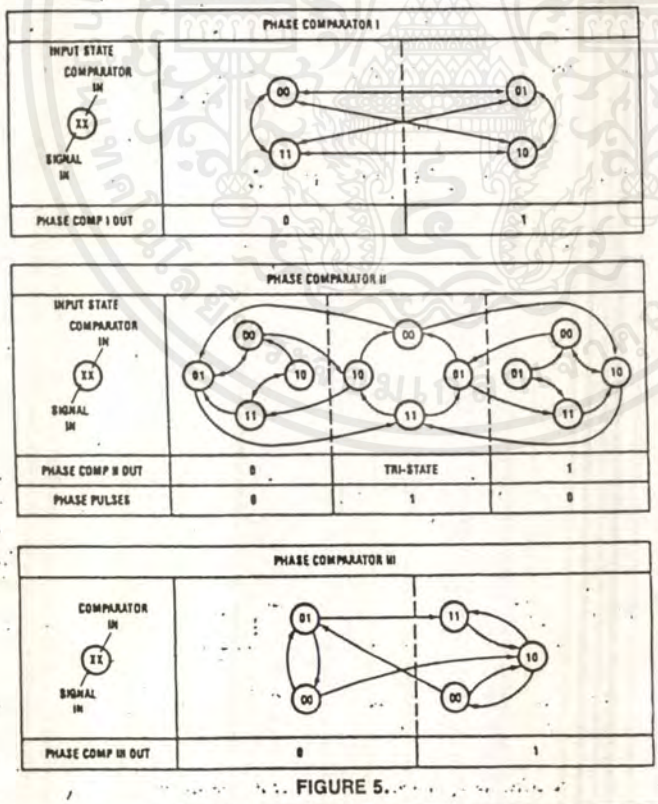
The XOR is more susceptible to locking onto harmonics of the signal input than the digital phase detector II. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and the VCO range should be designed to prevent locking on to harmonics.

PHASE COMPARATOR II

This detector is a digital memory network. It consists of four flip-flops and some gating logic, a three state output and a phase pulse output as shown in *Figure 6*. This comparator acts only on the positive edges of the input signals and is thus independent of signal duty cycle.

Phase comparator II operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. *Figure 7* shows some typical loop waveforms. First assume that the signal input phase is leading the comparator input. This

Comparator State Diagrams



TL/F/5352–10

FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Circuit Description (Continued)

means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector II output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the comparator input is detected, the output goes TRI-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the signal then the phase detector will again charge up to VCO input for the time between the leading edges of both waveforms.

If the VCO leads the signal then when the leading edge of the VCO is seen, the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the signal is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveforms coincidental.

When the PLL is out of lock, the VCO will be running either slower or faster than the signal input. If it is running slower the phase detector will see more signal rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the signal, the output of the detector will be low most of the time and the VCO's output frequency will be decreased.

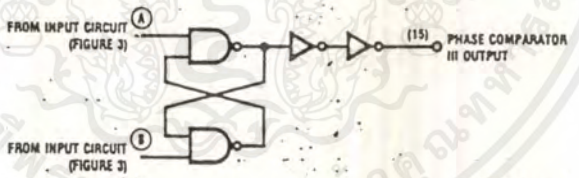
As one can see, when the PLL is locked the output of phase comparator II will be almost always disabled except for minor corrections at the leading edge of the waveforms. When the detector is TRI-STATE the phase pulse output is high. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the comparator input and the signal input. The lock range of the PLL is the same as the capture range. Minimal power is consumed in the loc In lock the detector output is a high impe when no signal is present, the detector will r leading edges, so the comparator output will s ing the VCO to f_{min} operating frequency.

Phase comparator II is more susceptible to no the phase lock loop to unlock. If a noise puls the signal input, the comparator treats it as a tive edge of the signal and will cause the outp until the VCO leading edge is seen, potentiall signal input period. This would cause the VCO during that time. When using the phase comp output of that phase detector would be distur the short duration of the noise spike and would upset.

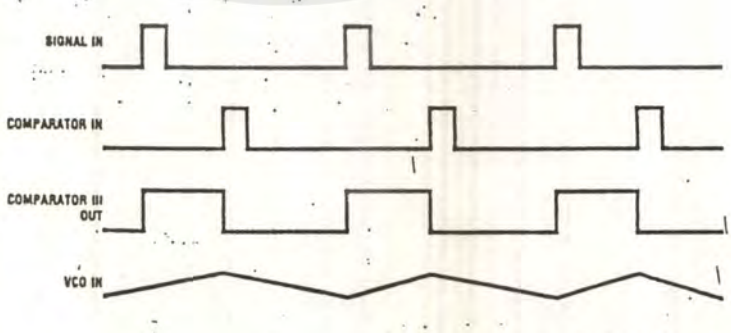
PHASE COMPARATOR III

This comparator is a simple SR flip-flop which a as a phase comparator as shown in *Figure 8*. It similar characteristics to the edge sensitive com see how this detector works, assume input applied to the signal and comparator inputs a *Figure 9*. When the signal input leads the c input, the flop is set. This will charge up the loo cause the VCO to speed up, bringing the comp phase with the signal input. When using short input, this comparator behaves very similarly to t comparator. But one can see that if the signal long pulse, the output of the comparator will be one no matter how many comparator input p received. Also, if the VCO input is a square wa and the signal input is pulse, then the VCO will comparator output low much of the time. Ther ideal to condition the signal and comparator inp pulses. This is most easily done by using capacitor.



TL/F/5352–11

FIGURE 8. Phase Comparator III Logic Diagram



TL/F/5352–12

FIGURE 9. Typical Waveforms for Phase Comparator III

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

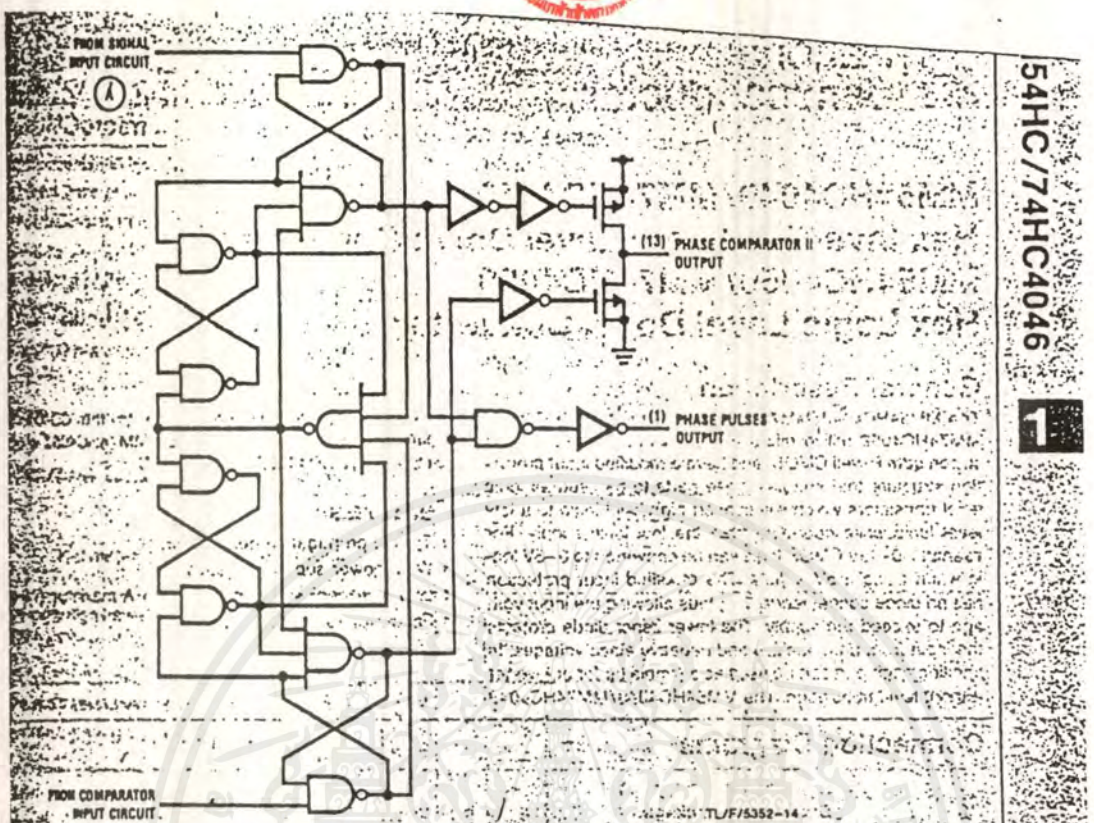


FIGURE 6. Logic Diagram for Phase Comparator II

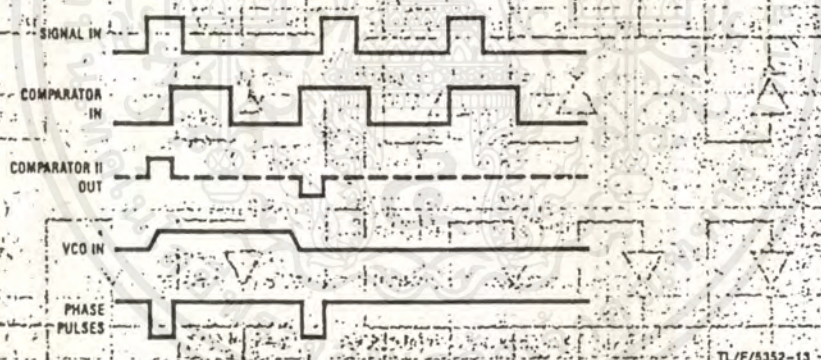


FIGURE 7. Typical Phase Comparator II Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้