การออกแบบและการสร้างอนาล็อกไอซี

ANALOG NMOS INTEGRATED CIRCUIT DESIGN

โดย

นาย สงวน โพธิ์ศรี

วัน เดือน ปี 24 ตค 2541
เลขทะเบียน 039170
เลขเรียกหนังสือ T ๒๐๗๐๘ ส๖๘ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039170

การออกแบบและการสร้างอนาล็อกไอซี

ANALOG NMOS INTEGRATED CIRCUIT DESIGN

โดย

นาย สงวน โพธิ์ศรี

อาจารย์ที่ปรึกษา

รศ.ดร. สมเกียรติ ศุภเดช

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบและการสร้างอนาล็อกไอซี

ผู้จัดทำ

นาย สงวน โพธิ์ศรี 37014449

..... อาจารย์ที่ปรึกษา

(รศ.ดร. สมเกียรติ ศุภเดช)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

เทคโนโลยีสารกึ่งตัวนำมีบทบาทในงานอุตสาหกรรมและชีวิตประจำวันในปัจจุบันมาก เช่น ระบบการผลิตแบบอัตโนมัติเพื่อลดต้นทุนการผลิต เพิ่มปริมาณและคุณภาพของผลผลิตให้สูงขึ้น เทคโนโลยีสารกึ่งตัวนำช่วยทำให้สามารถขนาดของวงจรลงซึ่งมีผลให้อุปกรณ์มีขนาดเล็กลงแต่มีประสิทธิภาพในการทำงานมากยิ่งขึ้นเป็นผลให้ช่วยเพิ่มปริมาณและคุณภาพของผลผลิตให้สูงขึ้น ในชีวิตประจำวันเราได้รับความสะดวกสบายมากกว่าแต่ก่อนมากก็เพราะเทคโนโลยีสารกึ่งตัวนำ

ในขั้นต้นนี้เราจะทำการศึกษาการออกแบบและการสร้างวงจรรวมเป็นในลักษณะพื้นฐานเท่านั้น แต่เป็นการพัฒนาความเข้าใจพื้นฐานเพื่อพัฒนาเข้าสู่ภาคอุตสาหกรรมได้ต่อไป ดังนั้นจึงได้เสนอถึงการนำเทคโนโลยีพื้นฐานที่สามารถผลิตวงจรรวมได้จริง มาศึกษาถึงวงจรย่อยแต่มีความสำคัญในวงจรรวม ซึ่งก็คือวงจรสะท้อนกระแส

วงจรสะท้อนกระแสซึ่งเป็นวงจรที่จำเป็นและมีความสำคัญสำหรับเป็น Load(ตัวรับพลังงาน) ให้กับวงจรทางอิเล็คทรอนิกส์ต่างๆ รายงานนี้จะแบ่งการศึกษาออกเป็น 2 ส่วน สำหรับ 1 ปีการศึกษา

เทอมที่ 1
- ศึกษาทฤษฎีและการทำงานของวงจรมอสธรรมดากับวงจรสะท้อนกระแสแบบต่างๆ คือ แบบธรรมดา แบบวิลสัน และ แบบโคาสโคด
- ออกแบบวงจรสะท้อนกระแสแบบต่างๆดังกล่าวข้างต้น
- ศึกษาและวัดค่า พารามิเตอร์(parameter) ทีาคัญของวงจรมอสธรรมดา เพื่อจำลองแบบ ของวงจรสะท้อนกระแสแบบต่างๆที่ได้ออกแบบไว้ ได้แก่ I-V curve,V_{th} เป็นต้น

เทอมที่ 2
- ทำการสร้างพารามิเตอร์ต่างๆที่ได้ออกแบบไว้
- วัดค่า พารามิเตอร์(parameter) ที่สำคัญต่างๆที่ได้จากการสร้าง แล้วเปรียบเทียบกับผลการทดลองของเทอมที่ 1 เพื่อนำประโยชน์ในการศึกษา หรือการใช้งานอื่นๆที่จำเป็นในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและสร้างอนาล็อกไอซี

นาย สงวน โพธิ์ศรี
อ. สมเกียรติ ศุภเดช (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2540

บทคัดย่อ

โครงงานฉบับนี้เป็นการศึกษาต่อเนื่องที่เกี่ยวกับการออกแบบและการสร้างอนาล็อกไอซีที่เกี่ยวข้องกับวงจรสะท้อนกระแสแบบต่างๆ ทั้งแบบธรรมดา,แบบวิลสันและแบบคาสโคด โดยมีจุดมุ่งหมายคือ ต้องสามารถออกแบบและสร้างวงจรให้ได้ลักษณะของกระแสและแรงดัน (I-V CHARACTERISSTICS)เป็นไปตามทฤษฎีของวงจรสะท้อนกระแสแต่ละแบบ เพื่อนำความรู้ที่ได้ทั้งทางด้านการออกแบบและการสร้างให้เป็นแนวทางในการพัฒนาวงจรรวมแบบอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG NMOS INTEGRATED CIRCUIT DESIGN

Mr. Sanguan Posri

Mr. Somkeat Supadet(Advisor)

2nd Semestor, Educational Year 1997

Abstract

This thesis is the continous study from the MOS Transistor design. Knowledge of the NMOS Transistor design to be used to develop three types of current Mirror such as simple current mirror,wilson current mirror and cascode current mirror. The objective is to design and implement the integrated circuit with I-V characteristics following to the theory of each current mirror and bring it to be the way to develop other types of integrated circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
คำนำ	ก
บทคัดย่อ	ข
Abstract	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญรูปภาพ	ช
บทที่ 1 มอสทรานซิสเตอร์	1
1.1 ความรู้เบื้องต้นเกี่ยวกับมอสทรานซิสเตอร์	1
1.2 หลักการให้ไบอัส	6
1.3 คุณสมบัติI-V characteristics ของมอสทรานซิสเตอร์	9
บทที่ 2 วงจรดึงและดันกระแส	13
บทที่ 3 วงจรสะท้อนกระแส	19
บทที่ 4 การออกแบบและการสร้าง	30
4.1 I-V characteristics ทางเอ้าท์พุทของ nMOS ที่ได้จาก model	30
4.2 I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแส	31
4.2.1 วงจรสะท้อนกระแสแบบธรรมดา	31
4.2.2 วงจรสะท้อนกระแสแบบวิลสัน	33
4.2.3 วงจรสะท้อนกระแสแบบคาสโคด	34
4.3 การออกแบบ	36
4.3.1 การออกแบบลวดลายของ NMOS Transistor	36
4.3.2 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบธรรมดา	39
4.3.3 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบวิลสัน	44
4.3.4 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบคาสโคด	49
4.4 ขบวนการสร้าง	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 การทดลองและผลการทดลอง 66
5.1 การทดลองเพื่อศึกษา I-V characteristics ทางเข้าท์พุทของวงจรสะท้อนกระแส 67
5.1.1 ผลการทดลองวัดคุณสมบัติกระแสและแรงดัน 69
5.1.2 วิเคราะห์ผลการทดลอง 70
5.2 การทดลองเพื่อศึกษาคุณสมบัติพื้นฐานของวงจรสะท้อนกระแส 71
5.2.1 คุณสมบัติของความถูกต้องของการขยายกระแส 71
5.2.2 การทดลองศึกษาคุณสมบัติของความต้านทานขาออกของ-
วงจรสะท้อนกระแส 73
5.2.3 การทดลองศึกษาคุณสมบัติแรงดันเข้าท์พุทต่ำที่สุด 75
5.3 สรุปและวิจารณ์ผลการทดลอง 76
บทที่ 6 สรุปและวิจารณ์ 77
กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 1.1 โครงสร้างของ MOS transistor 1

รูปที่ 1.2 ประเภทของมอส 5

รูปที่ 1.3 การไบอัส N-channel mosfet 7

รูปที่ 1.4 การทำงานของ n-channel enhancement-mode 8

รูปที่ 2.1 current sink 13

รูปที่ 2.2 วงจรดันกระแสและคุณสมบัติ 13

รูปที่ 2.3 การเพิ่มค่า output 14

รูปที่ 2.4 วงจรการลดค่า V_{out}(SAT) 18

รูปที่ 3.1 วงจรสะท้อนกระแสแบบ N-channel 19

รูปที่ 3.2 แสดง plot เปอร์เซ็นต์ ratio error เทียบกับความแตกต่างระหว่างเดรน ของวงจรสะท้อนกระแสรูปที่3.1 20

รูปที่ 3.3 แสดง plot เปอร์เซ็นต์ ratio error เทียบกับค่าออฟเซตของแรงดัน สำหรับวงจรสะท้อนกระแสรูปที่ 3.1 21

รูปที่ 3.4 วงจรสะท้อนกระแสแบบคาสโคด 23

รูปที่ 3.5 แบบจำลองเสมือนสำหรับสัญญาณขนาดเล็ก 24

รูปที่ 3.6 วงจรสะท้อนกระแสแบบวิลสัน(N-channel) 25

รูปที่ 3.7 simple current mirror 27

รูปที่ 3.8 improved current mirror 28

รูปที่ 3.9 wilson current mirror 29

รูปที่ 4.1ก การจำลองแบบวงจรเพื่อใช้วัด I-V characteristicsของ nMOS 30

รูปที่ 4.1ข กราฟ I-V characteristics ของ nMOS ที่ได้จากการจำลองแบบ 31

รูปที่4.2.1ก การจำลองแบบวงจรเพื่อใช้วัดI-V characteristic ของ simple current 31

รูปที่4.2.1ข กราฟ I-V characteristic ของsimple mirror จากการจำลองแบบ 32

รูปที่4.2.2ก การจำลองแบบวงจรเพื่อใช้วัดI-V characteristic ของ wilson current 33

รูปที่4.2.2ข กราฟ I-V characteristic ของ wilson mirror จากการจำลองแบบ 33

รูปที่4.2.3ก การจำลองแบบวงจรเพื่อใช้วัดI-V characteristic ของ cascode current 34

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2.3ข กราฟ I-V characteristic ของ cascode mirror จากการจำลองแบบ 35
รูปที่ 4.3 โครงสร้างภาพตัดขวางของอัตราส่วน W/L 36
รูปที่4.3.1ก ถึง รูปที่4.3.1จ ลวดลายลวดลายที่ได้จากการออกแบบของมอสทรานซิสเตอร์ 36
รูปที่4.3.2ก ถึง รูปที่4.3.2จ ลวดลายที่ได้จากการออกแบบของ simple mirror current 39
รูปที่4.3.3ก ถึง รูปที่4.3.3จ ลวดลายที่ได้จากการออกแบบของ wilson mirror current 44
รูปที่4.3.4ก ถึง รูปที่4.3.4จ ลวดลายที่ได้จากการออกแบบของ cascode mirror current 49
รูปที่4.4 แสดงหลักการทำงานของเครื่อง Vacuum Evaporation 57
รูปที่5.1ก แสดงการต่อเพื่อวัด I-V characteristic ของ simple current mirror 67
รูปที่5.1ข แสดงการต่อเพื่อวัด I-V characterisyic ของ wilson current mirror 68
รูปที่5.1ค แสดงการต่อเพื่อวัด I-V characteristics ของ cascode current mirror 68
รูปที่5.1ง กราฟ I-V characteristic ของวงจรสะท้อนกระแสแบบธรรมดา 69
รูปที่5.1จ กราฟ I-V characteristic ของวงจรสะท้อนกระแสแบบวิลสัน 69
รูปที่5.1ฉ กราฟ I-V characteristics ของวงจรสะท้อนกระแสแบบคาสโคด 70
รูปที่5.2 กราฟ I_{out} / I_{in} ของวงจรสะท้อนกระแสแบบต่างๆ 72
รูปที่ 5.3 แสดงกราฟความสัมพันธ์ระหว่างกระแสและแรงดันเอ้าท์พุท ของวงจรสะท้อนกระแสแบบต่างๆ 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 1	แสดงค่าตัวแปรที่ใช้ในการจำลองแบบในโปรแกรม PSPICE	30
ตารางที่ 5.1	แสดงค่าแรงดันเอ้าท์พุทที่ควรจะได้จากการจำลองแบบวงจรสะท้อนกระแสแบบต่างๆ	66
ตารางที่ 5.3	แสดงค่าความต้านทานขาออกของวงจรสะท้อนกระแสแบบต่างๆ	74
ตารางที่ 5.4	แสดงค่าแรงดันเอ้าท์พุทค่าต่ำสุดของวงจรสะท้อนกระแสแบบต่างๆ	75

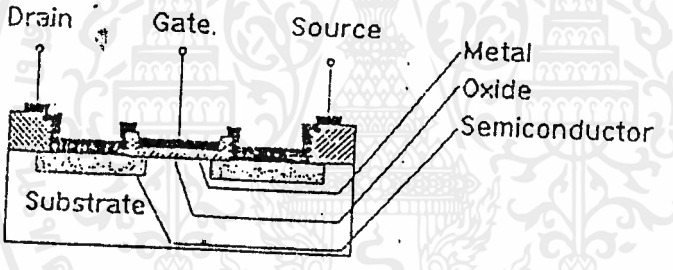
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

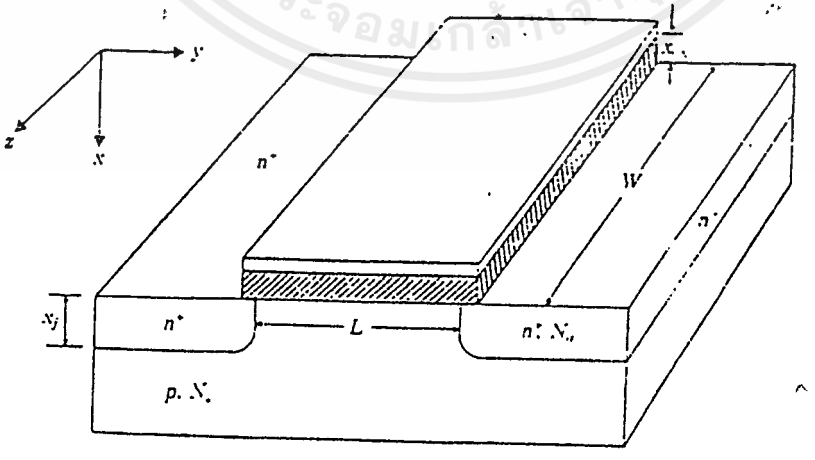
มอสทรานซิสเตอร์ (MOS Transistor)

1.1 ความรู้เบื้องต้นเกี่ยวกับมอสทรานซิสเตอร์

มอสทรานซิสเตอร์(MOS Transistor) เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect devices) ซึ่งมีลักษณะเด่นคือ มีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆที่มีลักษณะการใช้งานเช่นเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป โดยเฉพาะในวงจรที่ต้องการพลังงานต่ำๆหรือในโครงสร้างของวงจรรวม(Integrated Circuit) ที่มีจำนวนตัวประกอบ(component)มากๆ เช่น ไอซีระดับ LSIและ VLSI ทั่วๆไป เป็นต้น



(1.1(a))



(1.1(b))

รูปที่ 1.1(a) และ (1.1b) แสดงโครงสร้างของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสาร[illegible]ให้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพตัดขวางแสดงโครงสร้างของมอสทรานซิสเตอร์ทั่วๆไป แสดงในรูปที่1.1 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนเดรน(Drain region) ส่วนเกท(Gate region) และส่วนซอส(Source region) โดยแต่ละส่วนมีหน้าทีการทำงานและมีคุณสมบัติแตกต่างกัน ดังนี้

- ส่วนซอส(Source region) เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิด(Difference type)กับฐานรอง(substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุที่ทำให้เกิดกระแสไฟฟ้าของมอส(I_{DS})

- ส่วนเดรน(Drain region) เป็นอีกบริเวณของสารสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง แต่เป็นสารกึ่งตัวนำชนิดเดียวกัน(Same type) กับส่วนซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอส

- ส่วนเกท(gate region) เป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนซอส มีโครงสร้างทั่วๆไปประกอบด้วย ชั้นบนสุดเป็น โลหะ(Metal)ตัวนำ ชั้นรองลงมาจะเป็นพวกฉนวนได้แก่ ออกไซด์(oxide)ของสารกึ่งตัวนำที่ใช้ และชั้นล่างสุดเป็นสารกึ่งตัวนำ(Semiconductor)ซึ่งใช้เป็นฐานรองด้วย ส่วนเกทนี้จะทำหน้าที่เป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอสไปยังส่วนเดรนที่ต้องการ

จากลักษณะโครงสร้างดังกล่าว ซึ่งบริเวณส่วนเกทประกอบด้วย Metal-Oxide-Semiconductor นี้จึงเรียกทรานซิสเตอร์ชนิดนี้ว่า MOS Transistor และจะเป็นได้ว่ากระแสไหลผ่านส่วนเกทนี้ไปได้น้อยมากๆเนื่องจากมีชั้นของฉนวนป้องกันอยู่นั่นเอง ดังนั้นขณะใช้งานส่วนเกท(Gate region)จึงต้องการเพียงแหล่งจ่ายความต่างศักดาเท่านั้น ไม่ต้องการแหล่งจ่ายกระแสเลยจึงทำให้ มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งานต่ำ(Power Consumption)นั่นเอง สำหรับส่วนเดรน(Drain region)และส่วนซอส(Source region)นั้นโดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการซึ่งสามารถใช้แทนกันได้ อันเป็นคุณสมบัติพิเศษประการหนึ่งของมอสทรานซิสเตอร์ซึ่งเรียกว่า มีความสมมาตร(Bilaterally Symmetric) แต่สำหรับในโครงสร้างของมอสทรานซิสเตอร์ตัวเดี่ยวๆนั้นเพื่อความสะดวกในการใช้งานจึงสร้างให้ส่วนซอสต่อเชื่อมกับส่วนของฐานรองเลย อันเป็นการกำหนดส่วนต่างๆของมอสทรานซิสเตอร์ตัวเดี่ยวๆโดยทั่วไป จึงเขียนขาของฐานรอง(Sub) เชื่อมต่อกับขาซอส(S) หรือละเว้นไม่เขียนขาของฐานรองเลยโดยให้เข้าใจเองว่าส่วนของฐานรองต่อเชื่อมกับส่วนของซอสดังกล่าว เมื่อให้ไบอัสที่เหมาะสมกับส่วนต่างๆของมอสทรานซิสเตอร์ แล้วประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแส(Channel).ในส่วนเกท(gate region) (ซึ่งเป็นส่วนของฐานรองที่อยู่ใกล้ๆกับผิวสัมผัสระหว่าง ออกไซด์, ส่วนเกทกับฐานรองที่เกิดการเปลี่ยนแปลงชนิด(type)ของสารกึ่งตัวนำไปเป็นชนิดเดียวกับฐานกึ่งตัวนำส่วนเดรนและส่วนซอสแล้ว) ไปยังส่วนเดรน การเคลื่อนที่ของประจุพาหะดังกล่าวเกิดจากสนามไฟฟ้าที่ตกคร่อมตลอดจากส่วนเดรน(Drain region)ถึงส่วนซอส(Source region) อันเนื่องมาจากความต่างศักย์ระหว่างส่วนทั้งสองนั้น ดังนั้นกระแสดังกล่าวจึงเป็นกระแสดริฟท์(drift current)

เอกสารนี้ใช้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งขึ้นอยู่กับขนาดสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดสนามไฟฟ้าดังกล่าวจะขึ้นอยู่กับขนาดของความต่างศักดาและระยะห่างระหว่างส่วนเดรนกับส่วนซอสนั่นเอง กระแสดริฟท์(drift current)ที่เกิดขึ้นนี้จะถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่าเป็น

ยูนิโพล่าร์ทรานซิสเตอร์(Unipolar Transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำมีเพียง 2 ชนิด คือ อิเลคตรอน(electron)หรือประจุลบในสารกึ่งตัวนำชนิดเอ็น(N-type) และ

โฮล(Hole)หรือประจุบวกในสารกึ่งตัวนำชนิดพี(P-type) ดังนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ตามชนิดของประจุพาหะที่ทำให้เกิดกระแสโดยพิจารณาที่ชนิดของประจุพาหะที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสดริฟท์(drift current) ได้เป็น 2 ชนิด คือ

- เอ็น แชลแนล มอสทรานซิสเตอร์ (n-channel MOS Transistor :NMOS) หมายถึง มอสทรานซิสเตอร์ที่มีประจุลบหรืออิเลคตรอน(Electron)เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์(Drift current)ดังนั้น มอสทรานซิสเตอร์ชนิดนี้ส่วนเดรน(Drain region)และส่วนซอส(Source region)จึงเป็นสารกึ่งตัวนำชนิดเอ็น(N-type Semiconductor)

- พี แชแนล มอสทรานซิสเตอร์(P-channel MOS Transistor : PMOS) หมายถึง มอสทรานซิสเตอร์ที่มีประจุบวกหรือโฮล(Hole)เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์(Drift current) ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ส่วนเดรน(Drain region)และส่วนซอส(Source region)จึงเป็นสารกึ่งตัวนำชนิดพี(P-type Semiconductor)

อย่างไรก็ตาม ในสภาวะปกติก่อนให้ไบอัสของมอสทรานซิสเตอร์ทั่วๆไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแส(channel)กับสารกึ่งตัวนำส่วนเดรนและซอสอาจเป็นชนิดเดียวกันหรือต่างชนิดกันก็ได้ ซึ่งแต่ละแบบจะมีผลต่อคุณสมบัติทางไฟฟ้าในขณะใช้งานแตกต่างกัน ดังนั้นจึงมีนิยามคำศัพท์เพื่อบอกประเภทของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสไว้ดังนี้

- ดีพลีชั่น(depletion) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกับสารกึ่งตัวนำส่วนซอส(Source region)และส่วนเดรน(Drain region)

-เอ็นฮานซ์เมนท์(enhancement) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกับสารกึ่งตัวนำส่วนซอสและส่วนเดรน(Source and Drain region)

ฉะนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ตามลักษณะการควบคุมปริมาณประจุพาหะในช่องทางเดินกระแสได้เป็น 4 แบบ คือ

1.N-channel enhancement mode MOS transistor หมายถึง มอสทรานซิสเตอร์(MOS transistor) ที่ในสภาวะปกติก่อนให้ไบอัสที่เกท(gate)มีสารกึ่งตัวนำบริเวณช่องทางเดินกระแส(channel)เป็นชนิดพี(P-type) ดังนั้น ในขณะใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริเวณช่องทางเดินกระแส(channel)เปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็น(N-type)ก่อนโดยการให้ศักดาที่เกท(gate)เป็นบวกเมื่อเทียบกับฐานรอง(substrate)

2. N-channel depletion mode MOS transistor หมายถึง มอสทรานซิสเตอร์(MOS transistor) ที่ในสภาวะปกติก่อนให้ไบอัส(bias)ที่เกท(gate)มีสารกึ่งตัวนำบริเวณช่องทางเดินกระแส(channel)เป็นชนิดเอ็น(N-type)ทำให้เกิดเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอส(Source region)กับส่วนเดรน(Drain region) อันเป็นผลให้เกิดกระแสดริฟท์(drift current)ขึ้นทันทีที่มีความต่างศักดาระหว่างส่วนซอสกับส่วนเดรน(Drain and Source region) ในการควบคุมปริมาณกระแสดริฟท์(drift current)นี้สามารถทำได้ทั้งในทางที่ทำให้ปริมาณกระแสดริฟท์(drift current)เพิ่มขึ้น โดยการให้ศักดาไฟฟ้าที่เกท(gate)เป็นบวกเมื่อเทียบกับฐานรอง(Substrate) และในทางที่ทำให้ปริมาณกระแสดริฟท์(drift current)ลดลงโดยการให้ศักดาไฟฟ้าที่เกท(gate)เป็นลบเมื่อเทียบกับฐานรอง (substrate)

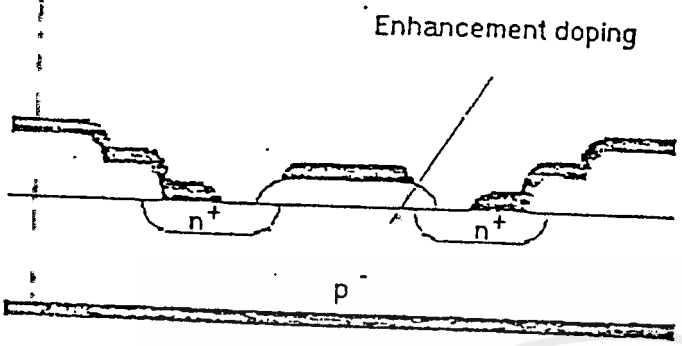
3.P-channel enhancement mode MOS transistor หมายถึง มอสทรานซิสเตอร์(MOS transistor) ที่ในสภาวะปกติก่อนให้ไบอัส(bias)ที่เกท(gate)มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแส(channel)เป็นชนิดเอ็น(N-type) ดังนั้น ในขณะใช้งานจึงควบคุมปริมาณกระแสให้ไหลมากขึ้นได้โดยการให้ศักดาที่เกท(gate)เป็นลบเมื่อเทียบกับฐานรอง(substrate)เท่านั้น

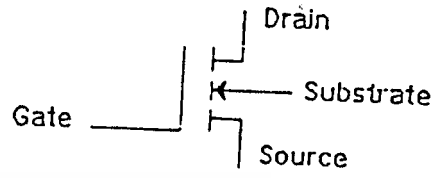
4. P-channel depletion mode MOS transistor หมายถึง มอสทรานซิสเตอร์(MOS transistor) ที่ในสภาวะปกติก่อนให้ไบอัส(bias)ที่เกท(gate)มีสารกึ่งตัวนำบริเวณช่องทางเดินกระแส(channel)เป็นชนิดพี(P-type) ดังนั้น ปริมาณกระแสดริฟท์(drift current)จะถูกควบคุมให้ไหลมากขึ้นได้โดยการให้ศักดาไฟฟ้าที่เกท(gate)เป็นลบเมื่อเทียบกับฐานรอง(substrate) หรือควบคุมให้ปริมาณ
กระแสดริฟท์(drift current)ไหลน้อยลงโดยการให้ศักดาไฟฟ้าที่เกท(gate)เป็นบวกเมื่อเทียบกับฐานรอง (substrate)

ลักษณะโครงสร้างทั่วๆไปและสัญญลักษณ์ของมอสทรานซิสเตอร์ทั้ง 4 แบบ แสดงได้ดังรูปที่1.2 ซึ่งจะเห็นได้ว่าสัญญลักษณ์แต่ละแบบจะบอกให้ทราบถึงลักษณะโครงสร้างของมอสทรานซิสเตอร์แบบนั้นๆได้ด้วย เช่น ในลักษณะของดีพลีชั่นโหมด(depletion mode) จะเห็นว่า ส่วนของเดรน ฐานรอง และซอส จะต้องขีดเส้นเต็มต่อถึงกันซึ่งหมายถึง สารกึ่งตัวนำในส่วนทั้ง 3 ส่วนนั้นเป็นชนิดเดียวกันหมด หรือในลักษณะของเอ็นฮานซ์เมนท์โหมด(enhancement mode) จะเห็นว่าส่วนของเดรน ฐานรองและซอสขีดเป็นเส้นประไม่ต่อถึงกัน ซึ่งหมายถึงว่า ส่วนทั้ง 3นั้นแยกขาดจากกันทางไฟฟ้า นั่นคือ ส่วนของฐานรอง(substrate)จะเป็นสารกึ่งตัวนำต่างชนิดกับส่วนซอสและส่วนเดรน อย่างไรก็ตาม ดังที่กล่าวมาแล้วข้างต้นว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

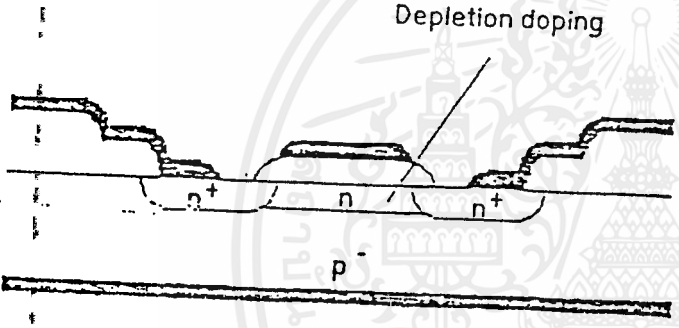
มอสทรานซิสเตอร์เดี่ยวๆโดยทั่วไปส่วนของซอสจะต่ออยู่กับฐานรอง ดังนั้นสัญญลักษณ์ของมอสทรานซิสเตอร์ตัวเดี่ยวๆจึงมีเส้นทึบลากเชื่อมต่อขาจากฐานรองมายังขาซอสเสมอ เป็นต้น

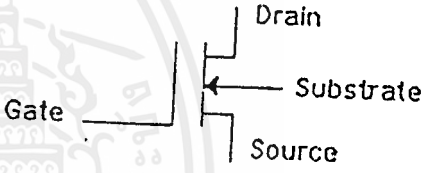




n - Channel enhancement

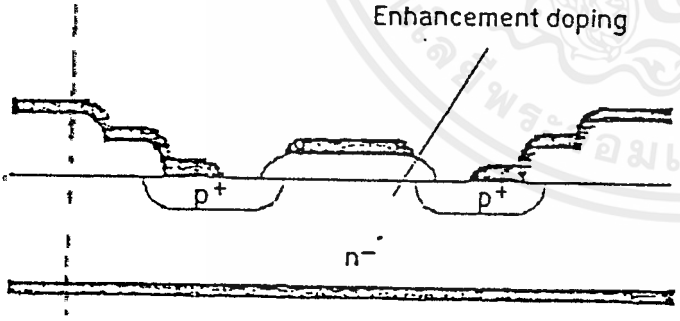
(a)

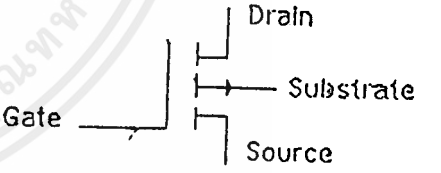




n - Channel depletion

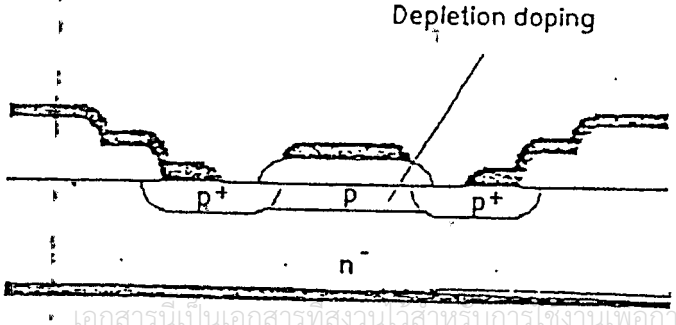
(b)

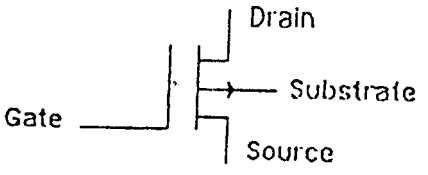




p - Channel enhancement

(c)





p - Channel depletion

(d)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.2 แสดงลักษณะโครงสร้างและสัญญลักษณ์ของมอสทรานซิสเตอร์ทั้ง 4 แบบ

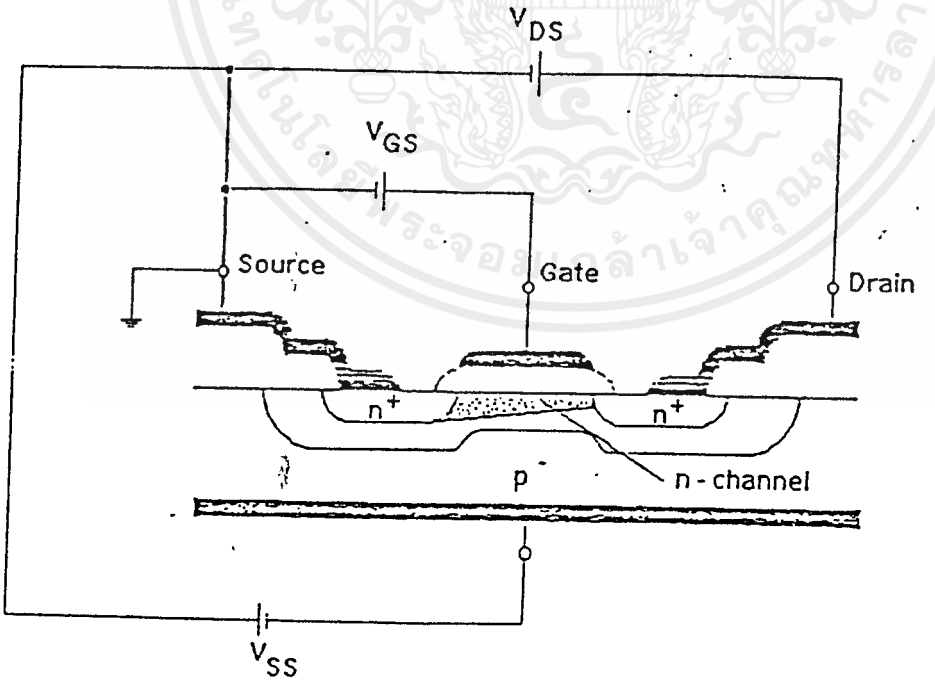
1.2 หลักการให้ไบอัส

ในการที่จะทำให้มอสทรานซิสเตอร์ทำงานอย่างมีประสิทธิภาพตามต้องการนั้นจำเป็นอย่างยิ่งที่จะต้องให้ไบอัสกับส่วนต่างๆของมันอย่างเหมาะสมโดยคำนึงถึงหน้าที่หลักของแต่ละส่วนดังกล่าวมาแล้วข้างต้นเช่นส่วนซอสซึ่งถูกกำหนดให้เป็นแหล่งจ่ายประจุพาหะส่วนมากที่ทำให้เกิดกระแสเดรน ซอส; I_{DS} ดังนั้นในการให้แรงดันไบอัสที่เหมาะสมระหว่างส่วนเดรนกับส่วนซอส จึงหมายถึงการให้ศักดาไฟฟ้าแก่ส่วนซอสเมื่อเทียบกับส่วนเดรนแล้วส่วนซอสจะต้องเป็นแหล่งจ่ายประจุพาหะส่วนมากเสมอเช่น ในกรณีของเอ็น แชนแนลมอสทรานซิสเตอร์ซึ่งมีอิเลคตรอนหรือประจุลบเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้นจะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอสเมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเลคตรอนนั่นเอง ดังแสดงในรูปที่1.3หรือในกรณีของพี แชนแนล มอสทรานซิสเตอร์ซึ่งมีโฮลปรือประจุบวกเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ก็จะต้องให้ศักดาไฟฟ้าเป็นบวกที่ส่วนซอสเมื่อเทียบกับส่วนเดรน สำหรับส่วนเกทจะต้องให้ศักดาไฟฟ้า(เมื่อเทียบกับฐานรอง) ในลักษณะที่สามารถควบคุมการเปิดหรือปิดช่องทางเดินกระแสได้โดยใช้การพิจารณาหลักเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า (Capacitor) ทั่วๆไป เช่น ตัวอย่างที่แสดงในรูปที่1.3 เป็นเอ็นแชนแนล เอ็นฮานซ์โหมด มอสทรานซิสเตอร์ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าให้ที่ส่วนเก็ทช่องทางเดินกระแสจะเปิดอยู่ ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกัน ดังนั้นถึงจะมีความต่างศักดาไฟฟ้าที่ส่วนเกทเป็นบวก เมื่อเทียบกับฐานรองเพื่อทำให้เกิดการสะสมประจุลบในช่องทางเดินกระแส อันจะเป็นการควบคุมช่องทางเดินกระแสให้มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเอ็นมากหรือน้อยได้ตามต้องการ นั่นก็คือการควบคุมการเปิด-ปิดช่องทางเดินกระแสให้มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเอ็นมากหรือน้อยได้ตามต้องการ นั่นก็คือการควบคุมการเปิด-ปิดช่องทางเดินกระแสนั่นเอง หรือในกรณีของเอ็น แชนแนลดีพลีทชั่นโหมดมอสทรานซิสเตอร์ ซึ่งโดยปกติขณะที่ไม่มีแรงดันไบอัสที่ส่วนเกท สารกึ่งตัวนำบริเวณช่องทางเดินกระแสจะมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็นอยู่แล้ว ทำให้เกิดการเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้นเมื่อมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้นจะทำให้กระแส I_{DS} ไหลได้ทันที ฉะนั้นในการควบคุมการเปลี่ยนแปลงแารสะสมประจุลบ หรืออิเลคตรอนเช่น ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นบวกเมื่อเทียบกับฐานรองจะทำให้เกิดการสะสมประจะบวกที่ปริมาณกระแส I_{DS} ก็ทำได้โดยการควบคุมความนำไฟฟ้าของช่องทางเดินกระแสนั้น โดยการให้แรงดันไบอัสส่วนเกทในลักษณะที่ทำให้เกิดช่องทางเดินกระแสมากขึ้น เป็นผลให้ความนำไฟฟ้ามีค่าเพิ่มขึ้น กระแส I_{DS} ก็ไหลได้มากขึ้น แต่ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นลบเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุบวกที่ช่องทางเดินกระแสลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

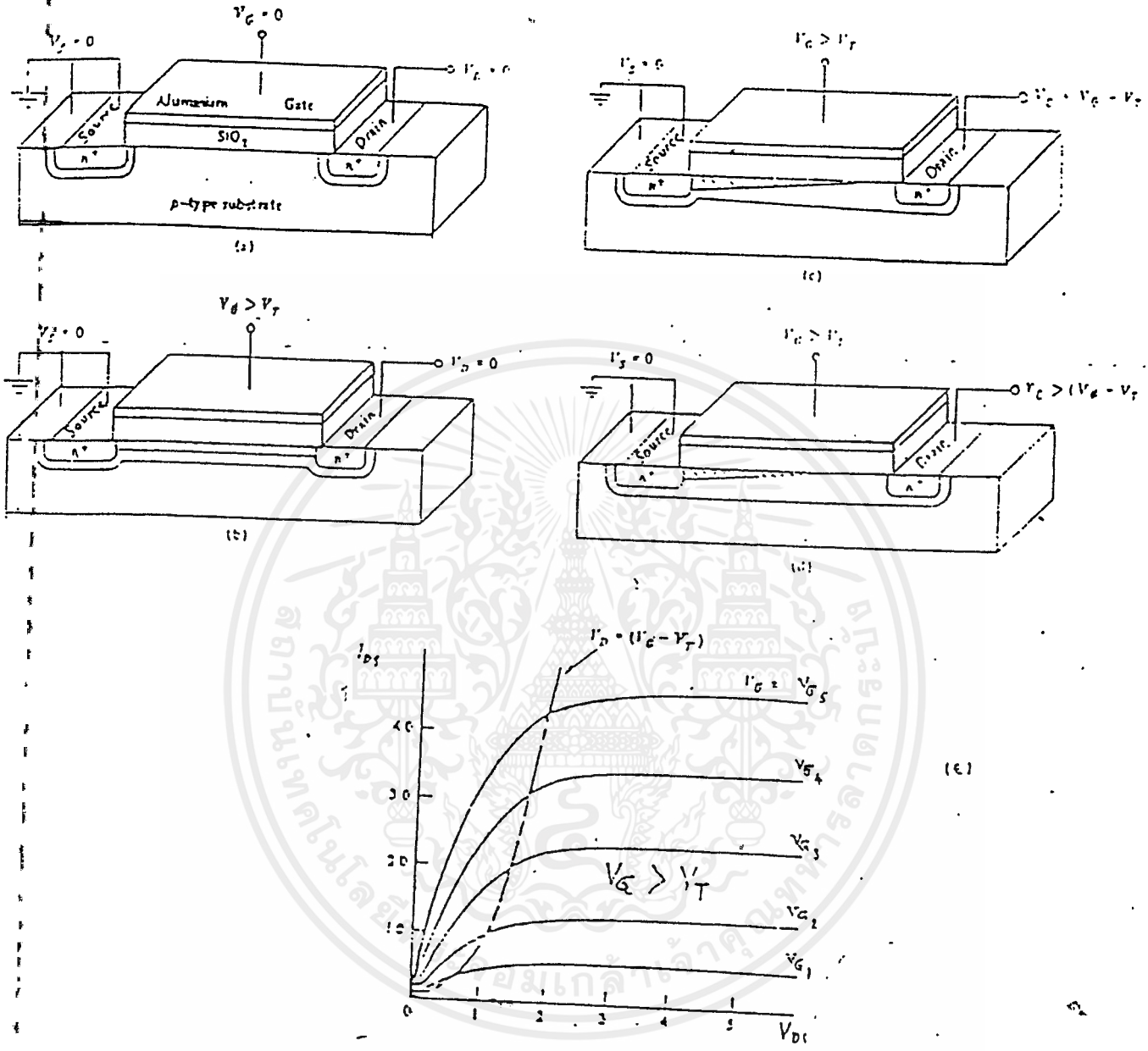
ลง ดังนั้นกระแส I_{DS} ก็จะไหลได้น้อยลงด้วย ส่วนในกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

โดยหลักการที่กล่าวมาข้างต้น เป็นการเตรียมพร้อมที่จะให้มอสทรานซิสเตอร์ทำงานตามที่ต้องการ ซึ่งกลไกการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าภายในของมันพอจะอธิบายได้ดังนี้ ตัวอย่างเช่น ในกรณีของเอ็น แชนแนล เอ็นฮานเมนท์โหมด มอสทรานซิสเตอร์เมื่อได้รับแรงดันไบอัสที่เหมาะสมจะมีการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าดังแสดงในรูปที่ 1.4 (a)-(d) ซึ่งจะเห็นว่าในรูปที่ 1.4(a) จะแสดงสภาพปกติของมอสทรานซิสเตอร์ที่กำลังพิจารณาในขณะนี้สารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดพี ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกันทางไฟฟ้าดังนั้นถึงแม้ว่าจะมีความต่างศักดาไฟฟ้าเกิดขึ้นระหว่าง เดรนกับซอส ประจุพาหะส่วนมากก็จะเคลื่อนจากซอสไปเดรนไม่ได้ นั่นก็คือกระแส I_{DS} เป็นศูนย์ในรูปที่ 1.4(b) เมื่อให้ศักดาไฟฟ้าที่เกทมีค่ามากกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage ; Vt) ของมันแล้ว จะเกิดการเหนี่ยวนำประจุลบขึ้นที่ส่วนของฐานรองบริเวณผิวสัมผัสกับออกไซด์ส่วนเกท ทำให้สารกึ่งตัวนำบริเวณนั้นมีคุณสมบัติเหมือนสารกึ่งตัวนำชนิด เอ็น เชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ซึ่งเรียกส่วนนี้ว่า ช่องทางเดินกระแส ให้สังเกตว่าตรงรอยต่อระหว่างสารกึ่งตัวนำชนิดเอ็นกับชนิดพี



รูปที่ 1.3 n-channel MOSFET with correct polarity for all applied biases when connecting it as a four-terminal device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปที่ 1.4</u> (a)- (d) show n-channel enhancement-mode MOSFET under various bias conditions

(e) shows Typical I-V characteristics for an n-channel enhancement mode MOSFET.

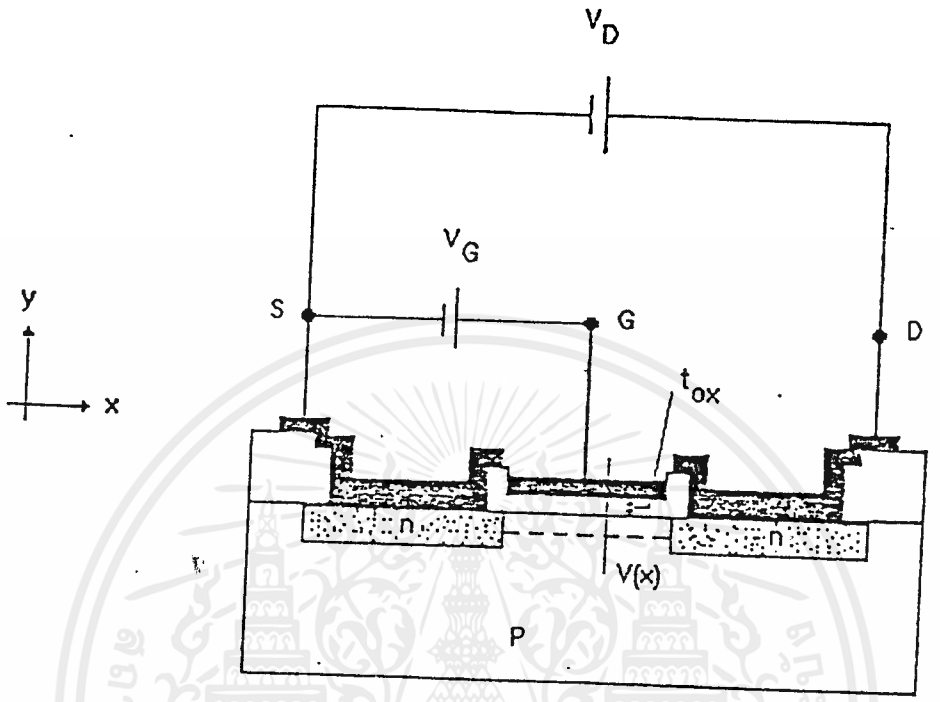
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีบริเวณปลอดประจุพาหะอยู่เสมอ (จากทฤษฎีของรอยต่อ พีเอ็น) ในรูปที่ 1.4(c) เมื่อให้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสมีค่าเป็น V_G-V_T แล้ว แต่เนื่องจากส่วนซอสต่อเชื่อมสัมผัสทางไฟฟ้า (Short) อยู่กับฐานรอง ดังนั้นจึงเกิดการไบอัสย้อนกลับขึ้นระหว่างรอยต่อพีเอ็น ที่ส่วนฐานรองรอบๆส่วนเดรน เป็นผลให้เกิดการเปลี่ยนแปลงจำนวนประจุพาหะที่ช่องทางเดินกระแสบริเวณใกล้ๆกับส่วนเดรน แต่เนื่องจากแรงดันไบอัส V_D พอดีเท่ากับแรงดันV_G-V_T ที่ทำให้เกิดช่องทางเดินกระแส ดังนั้น ช่องทางเดินกระแสจึงยังคงเชื่อมต่ออยู่พอดีกับส่วนเดรนเสมือนเป็นความต้านทานตัวหนึ่ง ฉะนั้นกระแส I_{DS} จึงเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าแรงดัน V_D ที่เพิ่มขึ้นจาก 0 ถึง V_G-V_T รูปที่ 1.4(d) เป็นการให้ศักดาไฟฟ้าที่ส่วนเดรนมีค่ามากกว่าแรงดัน V_G-V_T ซึ่งจะทำให้ช่องทางเดินกระแสถูกแยกออกจากส่วนเดรน โดยสนามไฟฟ้าของรอยต่อพีเอ็น ที่เกิดจากการไบอัสย้อนกลับด้วยแรงดันไบอัส V_D นั้นเอง ในกรณีนี้ ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสส่วนใหญ่จะปรากฏอยู่ที่รอยต่อพีเอ็น ดังนั้นถึงแม้จะเพิ่มแรงดัน V_Dให้มากขึ้นอีก แต่ความต่างศักดาไฟฟ้าระหว่างปลายทั้งสองของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสก็ยังคงมีค่าประมาณเท่าเดิม ดังนั้นกระแส I_{DS} จึงมีค่าประมาณคงที่ กราฟความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ในขั้นตอนต่างๆแสดงได้ดังรูปที่ 1.4(e)

1.3 คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดันของมอสทรานซิสเตอร์

การวิเคราะห์คุณสมบัติความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_{DS} ของมอสทรานซิสเตอร์ ในที่นี้จะพิจารณาในกรณีของ N-channel enhancement Mos transistor เป็นแนวทางเท่านั้นซึ่งจะสามารถใช้หลักการเดียวกันนี้ในการพิจารณามอสทรานซิสเตอร์(MOS transistor) แบบอื่นๆได้ด้วยดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5

จากรูปที่ 1.5 สมมติให้แรงดันไบอัสระหว่าง เดรน-ซอส(Drain-Source) เป็น V_D และแรงดันไบอัสที่ส่วนเกทเป็น V_G ถ้าให้แรงดันไบอัสที่จุด x บนแนวของแชนแนล(channel)มีค่าเป็น V(x) ซึ่งก็คือแรงดันที่เปลี่ยนแปลงในแนวแกน x จากส่วนซอสคือ V_s ถึงส่วนเดรนคือ V_D มีค่าแรงดันเป็น I_DR เมื่อ R คือ ความต้านทานของช่องทางเดินกระแส ดังนั้นแรงดันที่ตกคร่อมชั้นออกไซด์ที่จุด x นี้ก็คือ V_G-V(X) และถ้าชั้นของออกไซด์นี้หนา t_{ox} ซึ่งหนามากกว่าความลึกของช่องทางเดินกระแสมากๆ จะได้ว่าสนามไฟฟ้าในชั้นออกไซด์ที่จุด x ก็คือ

$$\xi(x) = \left(V_G - V(x) \right) / t_{ox} \qquad V/m \qquad (1.1)$$

จากกฎของเกาส์ จะหาความหนาแน่นของประจุที่ผิวซึ่งถูกเหนี่ยวนำในช่องทางเดินกระแสที่จุด X ได้เป็น

$$\rho_i(x) = \varepsilon\xi(x) \qquad c/m^2$$
$$= \varepsilon_o\varepsilon_{ox}\,\xi(x) \qquad c/m^2$$
$$= \varepsilon_o\varepsilon_{ox}\left(\left[V_G - V(x) \right] / t_{ox} \right) \qquad c/m^2 \qquad (1.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ ε_{ox} คือ Relative Permittivity ของชั้นออกไซด์ มีค่าคงที่เป็น 4

อย่างไรก็ตามประจุที่เกิดขึ้นนี้ จะยังไม่สามารถนำกระแสในแชนแนล(channel)ได้ ทั้งนี้เนื่องจากประจุที่แรงดัน V_G มีค่าน้อยๆบริเวณผิวสัมผัสระหว่างออกไซด์กับสารกึ่งตัวนำ ฐานร่องจะเกิดเฉพาะบริเวณปลอดประจุพาหะขึ้น ยังไม่เกิดชั้นกลับแต่ค่าแรงดัน V_G มีค่ามากกว่าแรงดันขีดเริ่มV_T (ซึ่งนิยามว่าเป็นแรงดันที่ให้ส่วนเกทตกคร่อมชั้นออกไซด์ พอดีทำให้เกิดความหนาแน่นของประจุในช่องทางเดินกระแสมีค่าเป็นศูนย์) แล้วจะเกิดการเหนี่ยวนำให้เกิดชั้นกลับขึ้นได้ ซึ่งจะนำไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสได้ทันที สมมติว่าความหนาแน่นของประจุพาหะที่เพิ่มขึ้นในช่องทางเดินกระแสซึ่งเป็นชั้นกลับมีค่าเป็น Δn แล้ว ดังนั้นจะได้ว่า

$$\rho_I = q\Delta n \quad c/m^2 \qquad (1.3)$$

จากนิยามของ V_T จะได้ว่า

$$q\Delta n = \varepsilon_o\varepsilon_{ox}\{[V_G - V(x)] - V_T\}/t_{ox} \qquad (1.4)$$

เมื่อ $[V_G - V(x)] > V_T$

และ

$$q\Delta n = 0 \qquad (1.5)$$

เมื่อ $[V_G - V(x)] < V_T$

ถ้าให้ G(x) แทนค่าความนำไฟฟ้า ดังนั้น ค่าความนำไฟฟ้าของส่วนเล็กๆของช่องทางเดินกระแสซึ่งบางมากๆในช่วงความยาว dx และกว้าง w จะมีค่าเป็น

$$G(x) = \sigma(x)((w/dx)X_j) \qquad (1.6)$$

โดยที่ $\sigma(x)$ คือ ความนำที่ผิวต่อหนึ่งหน่วยตารางพื้นที่ของแชนแนล(channel)ดังนั้นจะได้ว่า

$$G(x) = q\Delta n\,\mu_e\,(w/dx)$$

$$= (\varepsilon_{ox}\varepsilon_o/t_{ox})\mu_e(w/dx)\{[V_G - V(x)] - V_T\} \qquad (1.7)$$

โดยที่ μ_e คือ ความคล่องตัวของอิเล็คตรอนในแชนแนล

$$I_{ds} = G(x).\,dv \qquad (1.8)$$

โดยที่ dV คือ แรงดันที่ตกคร่อมส่วนเล็กๆที่แชนแนลซึ่งยาว dx

ดังนั้น $I_{ds} = (\varepsilon_o\varepsilon_{ox}/t_{ox})\mu_e\,(w/dx)\{[V_G - V(x)] - V_T\}dv \qquad (1.9)$

เมื่อทำการอินทิเกรต(integrate)ตลอดแนวเส้นผลึกซึ่งยาว L และมีแรงดันตกคร่อมรวมทั้งหมดเป็น V_D และสมมติว่า ค่าความต้านทานที่ไม่ต้องการที่เกิดขึ้นที่ขั้วเดรนและซอสมีค่าน้อยมากๆ ดังนั้นจะได้ว่า

$$\int_0^L (I_{DS}\,ds) = (\varepsilon_{ox}\varepsilon_o/t_{ox})\mu_e w \int_0^V \{[V_G - V(x)] - V_T\}$$

$$I_{DS}\cdot L = (\varepsilon_{ox}\varepsilon_o/t_{ox})\mu_e w\{[V_G - V_T]V_D - (V_D)^2/2\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$I_{DS} = (\varepsilon_{ox}\varepsilon_o / t_{ox})\mu_e (w/L)\{[V_G - V_T]V_D - (V_D)^2/2\} \qquad (1.10)$$

สมการที่ (1.10) นี้เป็นสมการแสดงความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ที่ค่าแรงดัน $V_D \leq (V_G - V_T)$ อย่างไรก็ตาม จากสมการที่ (1.10)นี้ สามารถนำมาพิจารณาหาความสัมพันธ์ระหว่างกระแสและแรงดันในแต่ละกรณีของการทำงานของมอสทรานซิสเตอร์ ได้ดังนี้

- ในกรณีของมอสทรานซิสเตอร์ ทำงานในช่วงเชิงเส้น(Linear or Triode region) โดยพิจารณาว่าแรงดัน V_D มีค่าน้อยๆหรือ $(V_G - V_T) > V_D$ เพื่อให้เกิดช่องทางเดินกระแสเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้น

$$(V_G - V_T)V_D >> (V_D^2)/2 \qquad (1.11)$$

ซึ่งจากสมการที่ (1.10) จะลดรูปลงได้เป็น

$$I_{DS} = (\varepsilon_{ox}\varepsilon_o / t_{ox})\mu_e (W/L)\{[V_G - V_T]V_D\} \qquad (1.12)$$

จากสมการที่ (1.12) นี้จะเห็นว่ากระแส I_{DS} แปรเป็นสัดส่วนโดยตรงกับแรงดัน V_D ที่ V_G คงที่ค่าหนึ่งๆ

- ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation or Pentrode region) โดยพิจารณาว่าแรงดัน $V_D \geq (V_G - V_T)$ เพื่อให้แน่ใจว่าเกิดบริเวณปลอดประจุพาหะที่ช่องทางเดินกระแสตรงส่วนที่อยู่ติดกับส่วนเดรน ดังนั้นกระแส I_{DS} จะมีปริมาณคงที่ตลอดแม้ว่าแรงดัน V_D จะเพิ่มขึ้นอีกก็ตาม ซึ่งกระแส I_{DS} ที่คงที่นี้จะเริ่มคงที่ตั้งแต่ $V_D = (V_G - V_T)$ ดังนั้นกระแส I_{DS} ที่คงที่ในช่วงอิ่มตัวนี้ จึงมีค่าเป็น

$$I_{DS}(sat) = (\varepsilon_{ox}\varepsilon_o / t_{ox})\mu_e (W/L)\{(V_G - V_T)^2 - (V_G - V_T)^2/2\}$$

$$I_{DS}(sat) = (\varepsilon_{ox}\varepsilon_o / t_{ox})\mu_e (w/L)\{(V_G - V_T)^2/2\} \qquad (1.3)$$

จากสมการที่ (1.13) นี้จะเห็นว่ากระแส $I_{DS}(sat)$ จะมีค่าคงที่ไม่ขึ้นกับค่าแรงดัน V_D โดยจะมีค่าคงที่ที่ V_G ค่าหนึ่งๆ เป็นที่น่าสังเกตจากสมการที่(1.10)ว่ากระแส I_{DS} สามารถควบคุมได้โดยโครงสร้างทางเรขาคณิต อันได้แก่ ความกว้างของช่องทางเดินกระแส(W) ความยาวของช่องทางเดินกระแส(L)และความหนาของเกทออกไซด์ (t_{ox}) นอกจากนั้นยังสามารถควบคุมได้ในขณะทำการสร้างอีกด้วย โดยการควบคุมค่าแรงดันV_T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

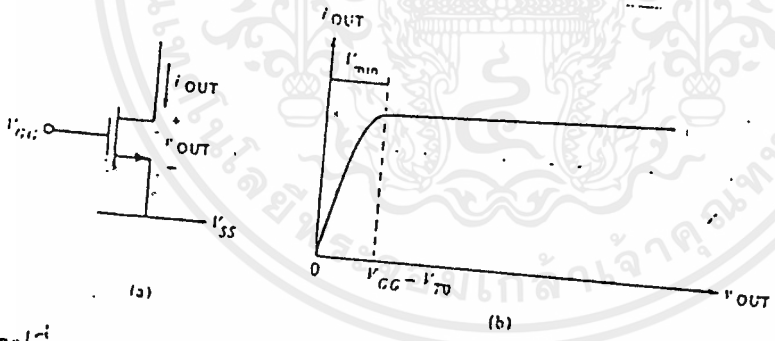
วงจรดึงและดันกระแส

วงจรดึงและดันกระแสเป็นอุปกรณ์สองขั้วซึ่งกระแสที่เวลาใดๆคงที่ไม่ขึ้นกับแรงดันที่ตกคร่อม ขั้วมันกระแสของวงจรดึงและดันกระแสจากโหนดที่มีศักย์เป็นบวกผ่านตัวดึงและดันกระแสไปยังโหนดที่มีศักย์เป็นลบ วงจรดึงกระแสโดยทั่วไปมีโหนดที่ศักย์เป็นลบอยู่ที่ Vss และวงจรดันกระแสมีโหนดที่มีศักย์เป็นบวกอยู่ที่ Vdd รูปที่ 2.1(a) แสดงการต่อวงจรดึงกระแส โดยที่ขั้วเกทจะป้อนค่าแรงดันเท่าไหร่ก็ได้ที่จะทำให้เกิดค่ากระแสตามต้องการ เราจะเห็นว่าในช่วงที่ยังไม่อิ่มตัว MOS จะไม่เป็นวงจรดึงกระแสที่ดี และโดยแท้จริงแล้วค่าแรงดันที่ตกคร่อมวงจรดึงกระแสต้องมากกว่าแรงดัน Vmin เพื่อที่วงจรดึงกระแสจะทำงานได้อย่างเหมาะสม ตามรูปที่ 2.1(a) หมายความว่า

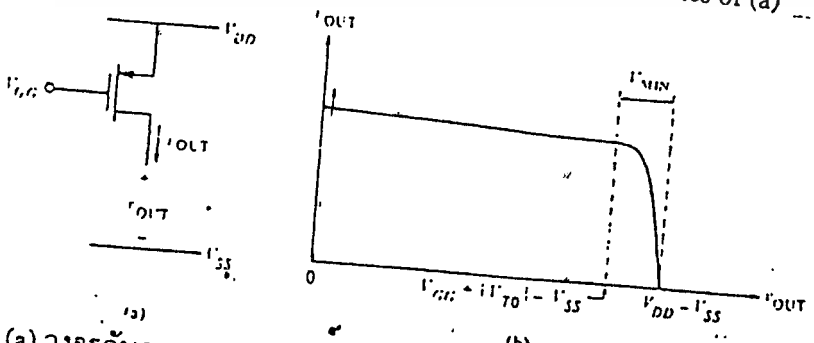
$$V_{out} \geq V_{GG} - V_{TO} - V_{SS} \qquad (2.1)$$

ถ้าแรงดัน GATE - SOURCE ถูกรักษาให้คงที่ จะได้ลักษณะคุณสมบัติรับสัญญาณขนาดใหญ่ของ MOS ทางเอ๊าท์พุท ดังรูปที่ 2.1(b) ถ้า SOURCE และ BULB ถูกต่อกับ VSS ทั้งคู่แล้ว ความต้านทานเอ๊าท์พุทสำหรับสัญญาณขนาดเล็กจะได้

$$r_{out} = (1 + \lambda V_{DS})/(\lambda I_D) \cong 1/(\lambda I_D) \qquad (2.2)$$



รูปที่2.1 (a) current sink (b) current-voltage characteristics of (a)



รูปที่ 2.2 (a) วงจรดันกระแส (b) ลักษณะคุณสมบัติทางกระแสและแรงดันของรูป (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรดึงกระแสตามรูปที่ 2.1(a) จะถูกเพิ่มโดยค่าประมาณอัตราการขยายแรงดันเกทร่วมของ M_2 และเพื่อพิสูจน์หลักการนี้ ค่าความต้านทานเอ้าท์พุทสำหรับสัญญาณเล็กของวงจรดึงกระแสแบบคาสโคด ตามรูปที่ 2.4(a) สามารถคำนวณได้คดยใช้แบบจำลองตามรูปที่ 2.4(b) เนื่องจาก

$V_{gs2} = - V_1$ และ $V_{gs1} = 0$ โดยการบวกกันของกระแสที่โหนดเอ้าท์พุท ทำให้ได้

$$I_{out} + g_{m2} V_1 + g_{nbs2} V_1 = g_{ds2} (V_{out} - V_1) \qquad (2.5)$$

เนื่องจาก $V_1 = I_{out} r_{ds1}$ เราสามารถหา r_{out} ได้โดย

$$r_{out} = (V_{out} / i_{out}) = r_{ds2} (1 + g_{m2} r_{ds1} + g_{nbs2} r_{ds1} + g_{ds2} r_{ds1})$$

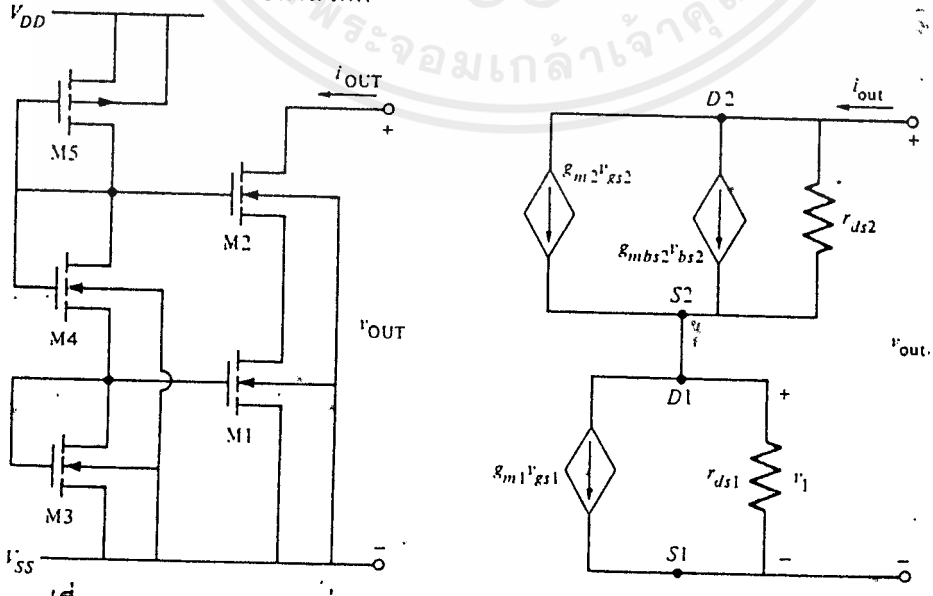
$$= r_{ds1} + r_{ds2} + g_{m2} r_{ds1} r_{ds2} (1 + \eta_2) \qquad (2.6)$$

โดยทั่วไปแล้ว $g_{m2} r_{ds2}$ มากกว่าหนึ่ง ดังนั้นทำให้อยู่ในรูปแบบที่ง่ายได้ว่า

$$r_{out} \cong (g_{m2} r_{ds2}) r_{ds1} \qquad (2.7)$$

เราจะเห็นว่าค่าความต้านทานเอ้าท์สำหรับสัญญาณขนาดเล็กของวงจรดึงกระแสตามรูปที่ 2.1 a จะถูกเพิ่มขึ้นโดยค่าของ $g_{m2} r_{ds2}$

ข้ อจำกัดการทำงานอื่นของวงจรดึงและดันกระแสอย่างง่ายก็คือ ค่ากระแสเอ้าท์พุทคงที่ไม่ได้ตลอดช่วง V_{out} ข้อเท็จจริงนี้ได้แสดงไว้ในรูปที่ 2.1(b) และ 2.2(b) คดยค่าแรงดัน V_{MIN} โดยที่ปัญหานี้ไม่เป็นปัญหาที่สำคัญนักสำหรับในวงจรดึงและดันกระแสอย่ างง่าย แต่มันกลับเป็นปัญหาที่สำคัญในการต่อวงจรแบบคาสโคดที่ต่อเพื่อเพิ่มค่าความต้านทานเอ้าท์พุทสำหรับสัญญาณขนาดเล็ก ดังนั้น ต้องหาวิธีลดค่า V_{MIN} นี้ลง ซึ่งสามารถทำได้โดยเพิ่มค่าอัตราส่วน W/ L และปรับแรงดันเกท - ซอส ให้ได้ค่ากระแสเอ้าท์พุทเดียวกัน แต่อย่างไรก็ตามมีอีกวิธีหนึ่งซึ่งจะถูกนำเสนอในที่นี้ ซึ่งจะใช้ได้ผลดีกับการต่อแบบคาสโคด



รูปที่ 2.4 (a) วงจรสำหรับเพิ่มค่า r_{out} ของวงจรดึงกระแส

(b) แบบจำลองสำหรับสัญญาณขนาดเล็กของรูป (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเราจะแนะนำหลักการสำคัญที่ใช้ในการไบอัส MOS ก่อนที่จะแสดงวิธีการลด V_{MIN} ในวงจรดึงและดันกระแสแบบคาสโคด หลักการนี้จะถูกแสดงได้ดีที่สุดโดยการอาศัยการพิจารณา MOS สองตัว M1 และ M2 สมมติว่า V_{GS} สามารถแบ่งได้เป็นสองส่วนคือ

$$V_{GS} = \Delta V + V_T \qquad (2.8)$$

โดยที่ ΔV เป็นส่วนของ V_{GS} ที่เกินมาของค่า Threshold Voltage : V_T จากข้อกำหนดนี้ทำให้เราแสดงค่าต่ำสุดของ V_{DS} ซึ่งทำให้ MOS ยังอิ่มตัวอยู่ได้ นั่นคือ

$$V_{DS}(sat) = V_{GS} - V_T = \Delta V \qquad (2.9)$$

ดังนั้น ΔV สามารถถูกมองได้ว่าเป็นค่าแรงดัน Drain - Source ต่ำสุด ซึ่ง MOS ยังสามารถอิ่มตัวอยู่ได้ ในช่วงอิ่มตัวกระแส Drain สามารถถูกเขียนได้ว่า

$$I_D = (K'w/2L)(\Delta V)^2 \qquad (2.10)$$

หลักการที่จะแสดงนี้ตั้งอยู่บนพื้นฐานของสมการ (1.10) ถ้ากระแสของ MOS สองตัวเท่ากัน(เนื่องจากมันต่ออนุกรมกัน)แล้ว จะได้ความสัมพันธ์ว่า

$$K'_1 W_1 (\Delta V_1)^2 / L_1 = K_2' W_2 (\Delta V_2)^2 / L_2 \qquad (2.11)$$

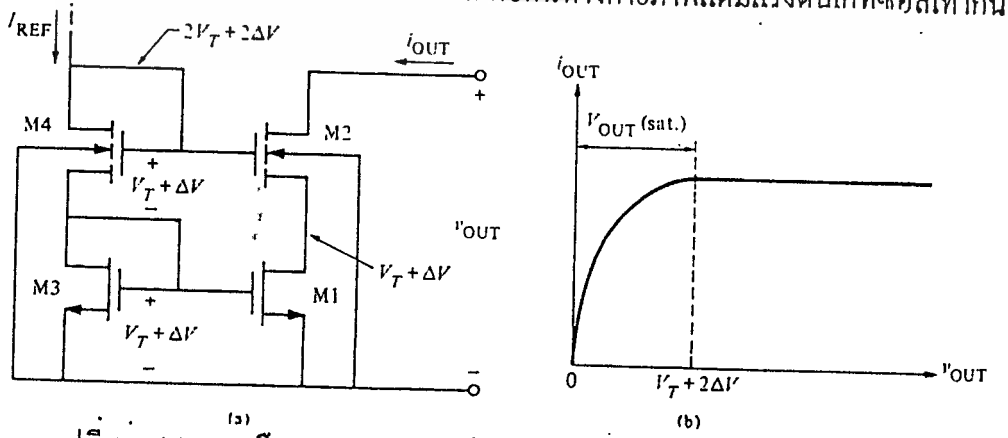
และถ้า MOS ทั้งสองตัวเป็นชนิดเดียวกัน สมการ (2.11) สามารถลดลงได้เป็น

$$(W_1/L_1)(\Delta V_1)^2 = (W_2/L_2)(\Delta V_2)^2 \qquad (2.12)$$

จะเห็นได้ชัดว่าอัตราส่วน W/L สามารถถูกใช้เพื่อควบคุมค่าของ ΔV หรือค่า ΔV ที่ต้องการจะเป็นตัวกำหนดอัตราส่วน W/L หลักการข้างบนนี้ยังสามารถใช้เพื่อกำหนดความสัมพันธ์ระหว่างกระแสกับอัตราส่วน W/L ด้วย ถ้าแรงดัน Gate - Source ของ MOS สองตัวที่เหมือนกันเท่ากัน(เนื่องจากถูกต่อกันทางกายภาพ)แล้ว ΔV_1 จะเท่ากับ ΔV_2 จากสมการที่ (2.10) เราเขียนได้ว่า

$$i_{D1}(W_2/L_2) = i_{D2}(W_1/L_1) \qquad (2.13)$$

โดยสมการที่(2.13)นี้ยังใช้ได้กับMOSที่ไม่ได้ต่อกันทางกายภาพแต่มีแรงดันเกทซอสเท่ากันอีกด้วย



รูปที่ 2.5 (a) วงจรดึงกระแสแบบคาสโคดมาตรฐาน

(b) ลักษณะคุณสมบัติทางเอ้าท์พุทของรูป (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรดึงกระแสแบบคาสโคดตามรูปที่ 2.5(a) โดยที่ I_{REF} แทนกระแสที่จ่ายโดย M_5 ในรูปที่ 2.4(a) เป้าหมายของเราคือใช้หลักการที่กล่าวข้างต้นเพื่อลดค่าของ V_{MIN} ซึ่งเท่ากับ V_{out} (sat) ถ้าเราละทิ้งผลของ bulb ในตัว M_2 และ M_4 และสมมติว่า M_1, M_2, M_3 และ M_4 ทั้งหมด match กันด้วยค่า W/L เดียวกันแล้ว แรงดัน Gate-Source ของมอสแต่ละตัวจะเท่ากับ $V_T + \Delta V$ ดังแสดงในรูปที่ 2.5(a) ที่ขั้ว Gate ของ M_2 แรงดันเมื่อเทียบกับขั้วลบของ power supply เป็น $2V_T + 2\Delta V$ เพื่อที่จะรักษาการทำงานของวงจรดึงและดันกระแส ทำให้ M_1 และ M_2 ต้องมีแรงดันตกคร่อมอย่างน้อย ΔV ดังแสดงในสมการที่ (2.9) เพื่อที่จะหา V_{MIN} ซึ่งเท่ากับ Vout (sat) ของรูปที่ 2.5(a) เราจะเริ่มจากเงื่อนไข

$$v_D \geq v_G - V_T \qquad (2.14)$$

เนื่องจาก $V_{G2} = 2V_T + 2\Delta V$ แทนค่าในสมการ (2.14) จะได้

$$V_{D2}(\min) = V_{MIN} = V_T + 2\Delta V \qquad (2.15)$$

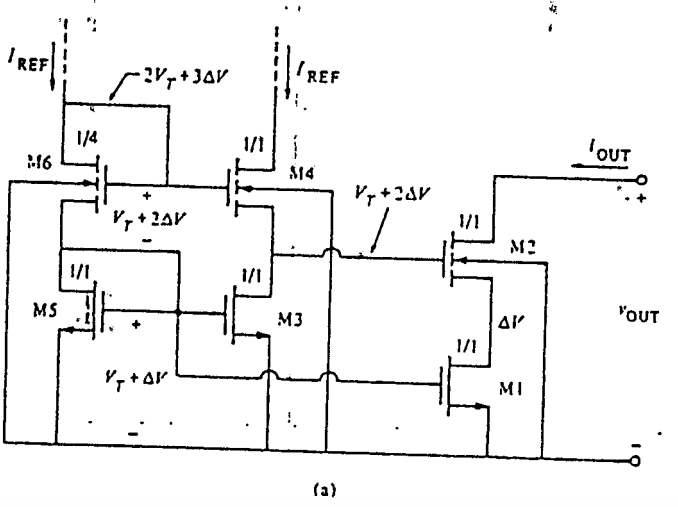
ลักษณะคุณสมบัติทางกระแสและแรงดันของวงจรรูปที่2.5(a) ได้ถูกแสดงในรูปที่ 2.5(b) โดยที่ค่า V_{MIN} ตามสมการที่ (2.15) ได้ถูกแสดงไว้ด้วย

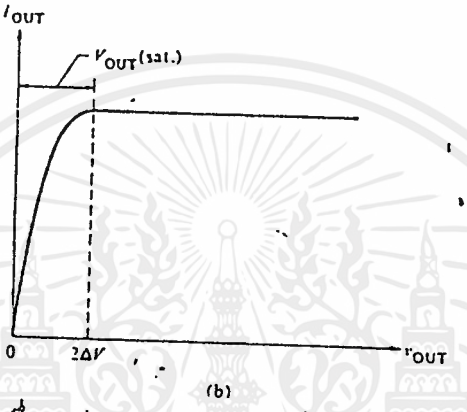
V_{MIN} ตามสมการที่ (2.15) ตกคร่อมทั้ง M_1 และ M_2 โดยตกคร่อม M_2 เท่ากับ ΔV ขณะที่ตกคร่อม M_1 เท่ากับ $V_T + \Delta V$ จากผลของสมการที่ (2.9) หมายความว่า ยังสามารถลด V_{out} ลงได้อีก V_T โดยยังทำให้ M_1 และ M_2 อยู่ในช่วงอิ่มตัว รูปที่ 2.6(a) แสดงให้เราเห็นว่าสามารถทำงานได้อย่างไร ให้ MOS ทุกตัว match กันและละทิ้งผลของ bulbต่อ M_2,M_4และM_6 อัตราส่วนของ W/L ของ M_6 เป็น 1/4ของตัวอื่นๆทำให้แรงดัน Gate-Source ของM_6เป็นV_T+2ΔV แทนที่จะเป็น $V_T + \Delta V$ ดังนั้น แทนที่ gateของ M_2ขณะนี้เป็น $V_T + 2\Delta V$ แทนค่าในสมการที่ (2.14) จะได้

$$V_{D2}(\min) = V_{MIN} = 2\Delta V \qquad (2.16)$$

ความสัมพันธ์ระหว่างแรงดันและกระแสที่ได้ถูกแสดงไว้ในรูปที่ 2.5(b) จะเห็นว่าแรงดันคร่อม M_1 และ M_2 เป็น $2\Delta V$ทำให้เกิดค่าต่ำสุดของ V_{MIN} และยังคงทำให้ M_1 และM_2 อิ่มตัวอยู่ โดยใช้วิธีนี้และการเพิ่มอัตราส่วน W/L จะทำให้ได้ค่าต่ำสุดของ V_{MIN}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





<u>รูปที่ 2.6</u>(a)แสดงวงจรซึ่งลดค่า $V_{out}(sat)$ ของรูปที่2.5 สังเกตว่าการออกแบบ $W_4/L_4=1/4$
(b) ลักษณะคุณสมบัติทางกระแสและแรงดันของรูป (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรสะท้อนกระแส

วงจรสะท้อนกระแสเป็นวงจรที่มีประโยชน์มากในการออกแบบวงจรรวม Analog, CMOS วงจรนี้ใช้หลักการที่ว่าถ้าแรงดัน Gate-Source ของ MOS สองตัวที่มีลักษณะเหมือนกันเท่ากัน กระแสของช่องทางเดินกระแสควรจะเท่ากัน รูปที่ 3.1(a) แสดงการสร้างวงจรสะท้อนกระแสชนิดเอ็นมอสแบบธรรมดา กระแส i_i ถูกสมมติให้กำหนดโดย วงจรดันกระแสหรือโดยทางอื่นและ i_o เป็นกระแสเอ๊าท์พุทหรือกระแสที่ถูกสะท้อน M_1อยู่ในช่วงอิ่มตัวเนื่องจาก $V_{DS1} = V_{GS1}$ สมมติให้ $V_{DS2} \geq V_{GS} - V_{T2}$ มากกว่า V_{T2} ทำให้เราสามารถใช้สมการการทำงานในช่วงอิ่มตัวของ MOS ได้ ส่วนมากแล้วในกรณีทั่วไปอัตราส่วน i_o ต่อ i_i จะเป็น

$$\frac{i_o}{i_i} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}}\right)^2 \left(\frac{1+\lambda v_{DS2}}{1+\lambda v_{DS1}}\right)\left(\frac{\mu_{02} C_{0x2}}{\mu_{01} C_{0x1}}\right) \qquad (3.1)$$

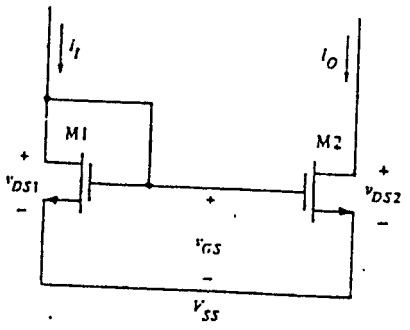
โดยทั่วไปแล้วส่วนประกอบของวงจรสะท้อนกระแสถูกสร้างบนวงจรรวมเดียวกัน ดังนั้นพารามิเตอร์ทางฟิสิกส์ เช่น V_T , μ_o , C_{ox} เป็นต้น เท่ากันสำหรับส่วนประกอบทุกตัว ดังนั้นสมการที่ (3.1) ทำให้อยู่ในรูปอย่างง่ายว่า

$$i_o/i_i = (L_1 W_2 / L_2 W_1)((1+\lambda V_{DS2})/(1+\lambda V_{DS1})) \qquad (3.2)$$

ถ้า $V_{DS2} = V_{DS1}$ (ไม่เป็นสมมติฐานที่ดีเสมอไป)แล้ว อัตราส่วน i_o / I_1 จะกลายเป็น

$$(i_o / I_1) = \{ (L_1 w_2)/(L_2 W_1) \} \qquad (3.3)$$

ดังนั้น i_o/i_i เป็นฟังก์ชั่นของ aspect ratios ซึ่งอยู่ในการควบคุมของผู้ออกแบบ



รูปที่ 3.1 วงจรสะท้อนกระแสแบบ N Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039170

มีผลกระทบอยู่ 3 ประการ ซึ่งทำให้วงจรสะท้อนกระแสแตกต่างไปจากอุดมคติตามสมการที่ (3.3) ผลเหล่านี้คือ (1) channel- length modulation

(2) ค่า threshold offset ของ MOS ทั้งสองตัว

(3) การไม่ matching กันอย่างสมบูรณ์ทางเรขาคณิต

โดยที่ผลกระทบแต่ละอย่างจะนำมาพิจารณาแยกกัน

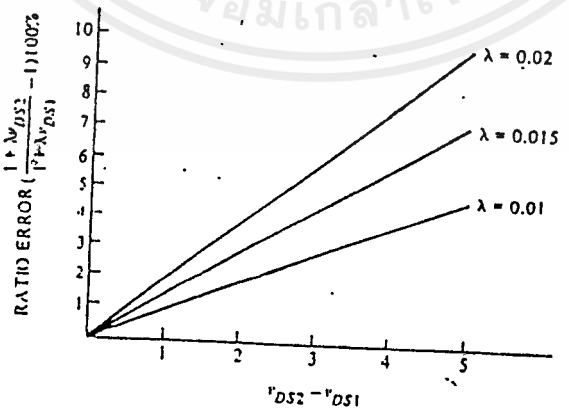
พิจารณาผลของ channel-length modulation สมมติว่าในแง่อื่นของ MOS เป็นอุดมคติ และ aspect ratios ของ MOS ทั้งสองตัวเท่ากับหนึ่งแล้วสมการที่ (3.2) จะอยู่ในรูปอย่างง่าย คือ

$$(i_o / i_i) = (1+\lambda v_{DS2})/(1+\lambda v_{DS1}) \qquad (3.4)$$

ด้วยสมมติฐานที่ว่า λ เท่ากันสำหรับ MOS ทั้งสองตัว สมการนี้จะแสดงว่าความแตกต่างของแรงดัน Drain-Source ของ MOS ทั้งสองตัวสามารถก่อให้เกิดการเบี่ยงเบนไปจากการมีอัตราการขยายเท่ากับ 1 ซึ่งเป็นอุดมคติ รูปที่ 3.2 แสดง plot ของค่าความผิดพลาดของอัตราส่วนกระแสกับ $v_{DS2} - v_{DS1}$ ในค่าต่างๆกันของ λ ของมอสทั้งสองตัวที่ทำงานในช่วงอิ่มตัว ข้อเท็จจริงสองประการที่สำคัญควรจะถูกนำมาพิจารณาด้วยจาก plot นี้

ประการแรก คือค่าผิดพลาดของอัตราส่วนที่มากสามารถเกิดขึ้นได้เมื่อ MOS ทั้งสองตัวไม่ได้มีแรงดัน Drain-Source ค่าเดียวกัน

ประการที่สอง สำหรับความแตกต่างใดๆในแรงดัน Drain-Source อัตราส่วนของกระแสสะท้อนเทียบกับกระแสอ้างอิงจะดีขึ้นเมื่อ λน้อยลง(ความต้านทานเอ๊าท์พุทมากขึ้น)ดังนั้นวงจรสะท้อนกระแสที่ดีควรจะมีแรงดันDrain-Sourceเท่ากันและมีความต้านทานเอ๊าท์พุทที่สูง



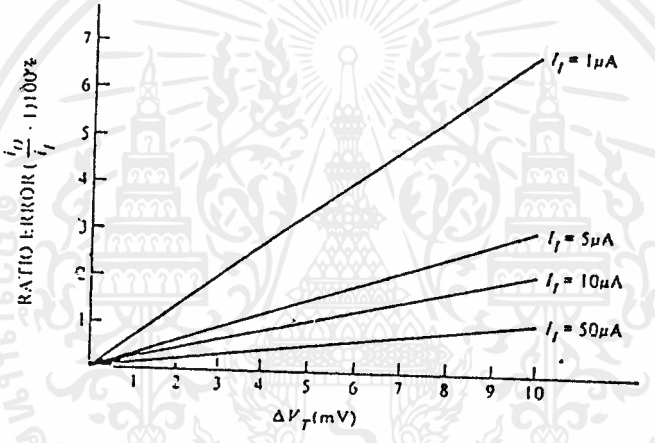
<u>รูปที่ 3.2</u> แสดงplotเปอร์เซ็นต์ ratio error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.1 ที่ v_{DS1} = 2.0 volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ไม่เป็นอุดมคติประการที่สอง คือ ค่า offset ระหว่าง threshold voltage ของมอสทั้งสองตัว พิจารณาว่ามอสทั้งสองตัวในวงจรสะท้อนกระแสมีแรงดันDrain- Source เท่ากันและในแง่อื่นๆ เท่ากันยกเว้น V_T ในกรณีนี้สมการที่ (3.1) ทำให้อยู่ในรูปอย่างง่ายได้ว่า

$$(i_o / i_i) = \left((V_{GS} - V_{T2})/(V_{GS} - V_{T1}) \right)^2 \qquad (3.5)$$

รูปที่ 3.3 แสดง plot ของค่าผิดพลาดอัตราส่วนเทียบกับ ΔV_T โดยที่ $\Delta V_T = V_{T1} - V_{T2}$ เห็นได้ชัดจากกราฟว่าการทำงานของวงจรสะท้อนกระแสที่ดีกว่าได้มาจากค่ากระแสที่สูงกว่า เนื่องจาก V_{GS} ยิ่งสูงสำหรับกระแสยิ่งสูง ดังนั้น ΔV_T จะยิ่งเป็นเปอร์เซ็นต์ที่เล็กของ V_{GS}



รูปที่ 3.3 แสดง plot เปอร์เซ็นต์ ratio error เทียบกับค่าออฟเซตของแรงดันสำหรับวงจรสะท้อนกระแสของรูปที่ 3.1 $V_{T1} = 1.0$ v, $K'(W/L) = 24\ \mu A / V^2$

เป็นไปได้ที่อัตราการขยายทรานคอนดัคแตนซ์ K' ของวงจรสะท้อนกระแสอาจจะไม่ match กัน(เนื่องจากขบวนการสร้าง oxide) วิธีการวิเคราะห์ทางตัวเลขต่อการเปลี่ยนแปลงของทั้ง K' และ V_T จะถูกนำมาใช้โดยให้เราสมมติว่าอัตราส่วน W/Lของ MOSทั้งสองตัวเท่ากันแต่ K' และ V_T ไม่เท่ากัน สมการที่(3.5)สามารถถูกเขียนใหม่ได้เป็น

$$i_o/i_i = \left\{ \left(K_2'(V_{GS}-V_{T2})^2 \right) / \left(K_1'(V_{GS}-V_{T1})^2 \right) \right\} \qquad (3.6)$$

ที่ซึ่ง $V_{GS1} = V_{GS2} = V_{GS}$ กำหนดให้ $\Delta K' = K_2' - K_1'$ และ $K' = 0.5 \left(K_2' + K_1' \right)$ และ $\Delta V_T = V_{T2} - V_{T1}$ และ $V_T = 0.5 \left(V_{T2} + V_{T1} \right)$ ทำให้ได้ว่า

$$K_1' = K' - 0.5\Delta K' \qquad (3.7)$$

$$K_2' = K' + 0.5\Delta K' \qquad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{T1} = V_T - 0.5\Delta V_T \qquad (3.9)$$

$$V_{T2} = V_T + 0.5\Delta V_T \qquad (3.10)$$

แทนค่าสมการที่ (3.7) ถึง (3.10) ลงในสมการที่ (3.6) จะได้

$$i_o/i_i = \left\{ \left((K'+0.5\Delta K')(V_{GS}-V_T-0.5\Delta V_T)^2 \right) / \left((K'-0.5\Delta K')(V_{GS}-V_T+0.5\Delta V_T)^2 \right) \right\} \qquad (3.11)$$

แยกแฟกเตอร์ K' และ $(V_{GS}-V_T)$ ออกมาจะได้

$$i_o/i_i = \left\{ \left[1+(\Delta K'/2K') \right] \left[1-\left(\Delta V_T / 2(V_{GS}-V_T) \right) \right]^2 / \left[1-\Delta K'/2K' \right] \left[1+\left(\Delta V_T / 2(V_{GS}-V_T) \right) \right]^2 \right\}$$

.....(3.12)

สมมติว่าปริมาณในสมการที่ (3.12) ที่ตามหลัง 1 มีค่าน้อยมาก สมการที่ (3.12)สามารถถูกประมาณได้ว่า

$$(i_o/i_i) \cong \left[1+(\Delta K'/2K') \right] \left[1+(\Delta K'/2K') \right] \left[1-(\Delta V_T/2(V_{GS}-V_T)) \right]^2 \left[1-(\Delta V_T/2(V_{GS}-V_T)) \right]^2 \qquad (3.13)$$

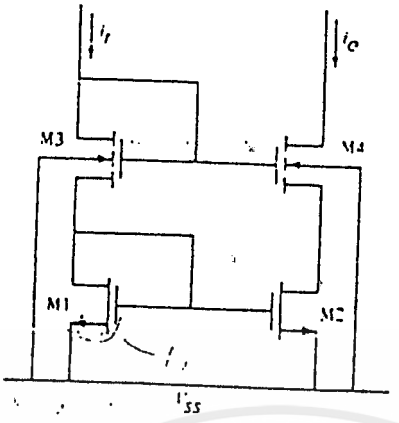
คงไว้เฉพาะผลคูณอันดับแรก จะได้

$$(i_o/i_i) \cong 1+(\Delta K'/K') - \left(2\Delta V_T / (V_{GS}-V_T) \right) \qquad (3.14)$$

ถ้ารู้การเปลี่ยนแปลงเปอร์เซ็นต์ของ K' และ V_T สมการที่ (3.14) สามารถถูกใช้เป็นพื้นฐานในกรณีเลวร้ายที่สุดสำหรับทำนายค่าค่าผิดพลาดในอัตราขยายกระแสของวงจรสะท้อนกระแส ตัวอย่างเช่น สมมติว่า $\Delta K'/K' = 5\%$ และ $\Delta V_T/(V_{GS}-V_T) = \pm 10\ \%$ แล้วอัตราขยายของวงจรสะท้อนกระแสจะได้ว่า $i_o/i_i \cong 1 \pm 0.05(\pm 0.20) = 1 \pm 0.15$ ซึ่งมีค่าความผิดพลาด15% ในอัตราการขยาย ผลที่ไม่เป็นอุดมคติประการที่ 3ของวงจรสะท้อนกระแสก็คือ ค่าความผิดพลาดใน aspect ratios ของ MOS ทั้งสองตัวซึ่งเกิดเนื่องจากขั้นตอนการทำมาสก์, โพลิโทรกราฟฟี่, เอชชิ่ง และ ดิฟฟิวชั่น ความคลาดเคลื่อนเหล่านี้เกิดขึ้นได้แม้ว่า MOS ทั้งสองตัวเป็นตัวที่อยู่ข้างๆกันก็ตาม วิธีหนึ่งที่จะหลีกเลี่ยงผลกระทบเหล่านี้คือการทำให้ขนาดของ MOS ใหญ่ขึ้นเพื่อลดผลที่เกิดขึ้น สำหรับ MOS ที่ขนาด W และL ที่มากกว่า10 μm จะทำให้ค่าความผิดพลาด

ที่เกิดขึ้นเนื่องจากการไม่ match กันทางเรขาคณิตจะน้อยมากเมื่อเทียบกับค่าผิดพลาดที่เกิดขึ้นเนื่องจากแรงดัน off set และ V_{DS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



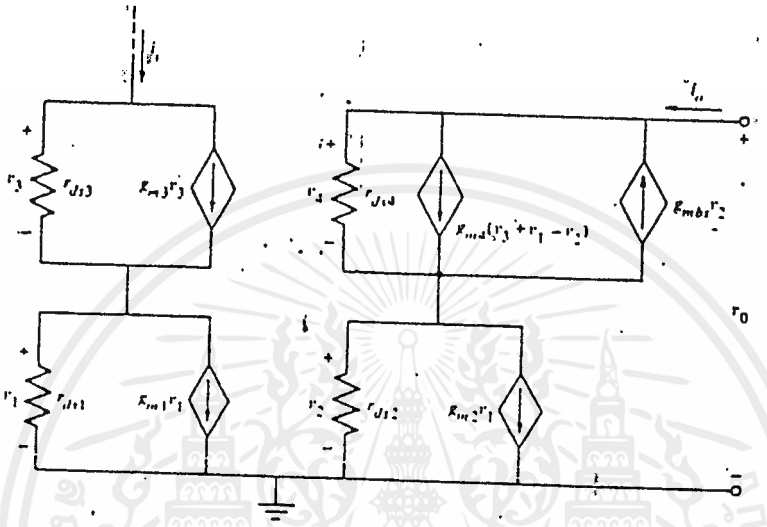
รูปที่ 3.4 แสดงวงจรสะท้อนกระแสแบบคาสโคด

เราจะเห็นได้ว่าค่าความต้านทานเอ๊าท์พุทของสัญญาณขนาดเล็กเป็นตัววัดความสมบูรณ์ของวงจรสะท้อนกระแสได้ดี ค่าความต้านทานเอ๊าท์พุทของวงจรสะท้อนกระแสแบบธรรมดา ตามรูปที่3.1 สามารถหาได้ว่า

$$r_{out} = 1/g_{ds} \approx 1/\lambda I_D \qquad (3.15)$$

ดังนั้น วงจรสะท้อนกระแสที่มีประสิทธิภาพสูงกว่าจะได้มาจากการเพิ่มค่าของ r_{out} โดยใช้สมการที่ (3.15) นี้เป็นจุดเปรียบเทียบ ถึงจุดนี้เราได้แสดงการปรับปรุงวงจรสะท้อนกระแสในแง่ต่างๆ ของวงจรในรูปที่3.1 แต่ก็ยังมีอีกหลายวิธีที่สามารถปรับปรุงประสิทธิภาพของวงจรสะท้อนกระแสได้ โดยอาศัยการปรับเปลี่ยนรูปแบบการต่อวงจร มีการต่อรูปแบบหนึ่งที่ใช้ลดผลของความต้านทานเอ๊าท์พุท คือ การต่อวงจรตามรูปที่ 3.4 ถ้า MOS ทุกตัวเหมือนกันแล้ว แรงดันdrainของ M1 จะเท่ากับแรงดัน drain ของM2 ถ้าแรงดันdrain ของM4เพิ่มขึ้นแล้วกระแสของM4 พยายามที่จะเพิ่มขึ้น จะทำให้กระแสของM2 เพิ่มขึ้น(เป็นการลด V_{GS4}) MOS M4 จะเริ่ม turn off เพื่อที่จะชดเชยการเพิ่มขึ้นของกระแส ผลก็คือการลดลงเล็กน้อยใน V_{GS4} ทำให้เกิดการเพิ่มขึ้นเล็กน้อยใน V_{DS2} การเปลี่ยนแปลงที่ได้นี้ใน V_{DS2} น้อยกว่าการเปลี่ยนแปลงแรงดันของ M4 มาก ดังนั้นการสะท้อนกระแสจะเกิดขึ้นดดยมีความผิดพลาดเพียงเล็กน้อยเนื่องมาจากผลของความต้านทานเอ๊าท์พุท โดยการวิเคราะห์วงจรเสมือนสำหรับสัญญาณขนาดเล็กจะเห็นได้ชัดถึงการปรับปรุงค่าความต้านทานเอ๊าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



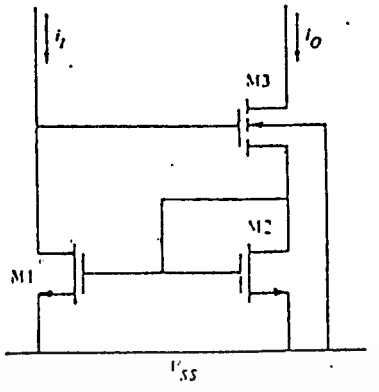
รูปที่ 3.5 แสดงแบบจำลองเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่3.4

เนื่องจาก I_i=0 แรงดันสัญญาณขนาดเล็ก V_1 และ V_3 เป็นศูนย์ทั้งคู่ เราสามารถใช้ผลของสมการที่ (2.6) เขียนใหม่ได้ว่า

$$r_{out} = r_{ds2} + r_{ds4} + g_{m4} r_{ds4} \left(1 + \eta_4 \right) \qquad .(3.16)$$

ซึ่งเราจะเห็นได้ว่าค่าความต้านทานเอ๊าท์พุทสำหรับสัญญาณขนาดเล็กของการต่อแบบนี้สูงกว่าการต่อวงจรสะท้อนกระแสแบบธรรมดาตามสมการที่ (3.15)มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรสะท้อนกระแสแบบวิลสัน N-Channel

วงจรสะท้อนกระแสอีกแบบหนึ่งถูกแสดงไว้ในรูปที่ 3.6 วงจรนี้เป็นวงจรสะท้อนกระแสแบบ N-Channel แบบวิลสัน ความต้านทานเอ้าท์พุทของวงจรสะท้อนกระแสแบบวิลสันถูกทำให้เพิ่มขึ้นโดยผ่านทางการป้อนกลับกระแสแบบลบ ถ้า i_o เพิ่มขึ้นแล้วกระแสที่ไหลผ่าน M2 จะเพิ่มขึ้นด้วย อย่างไรก็ตามการสะท้อนกระแสของ M1 และM2ทำให้กระแสM1เพิ่มขึ้นด้วย ถ้า I_i คงที่ และถ้าสมมติว่ามีค่าความต้านทานเกิดขึ้นจากgateของ M3(drainของM1) ต่อลงกราวนด์แล้วแรงดันgateของM3จะลดลง ถ้ากระแส i_oเพิ่มขึ้น ค่าอัตราขยายวงจรปิดที่ได้จะเป็นผลคูณของ g_{m1} กับค่าความต้านทานของสัญญาณขนาดเล็กที่ถูกมองจาก drain ของM1ไปยังกราวด์สามารถแสดงได้ว่าค่าความต้านทานเอ้าท์พุทสำหรับสัญญาณขนาดเล็กของวงจรดึงกระแสแบบวิลสันตามรูปที่3:6เป็น

$$r_{out} = r_{ds3} + r_{ds2}\left\{\left(1+r_{ds}g_{m3}(1+\eta_3)+g_{m1}r_{ds}g_{m3}r_{ds3}\right)/\left(1+g_{m2}r_{ds2}\right)\right\} \quad (3.17)$$

ค่าความต้านทานเอ้าท์พุทรูปที่3.6 ดูเหมือนว่าจะใกล้เคียงกับค่าความต้านทานเอ้าท์พุทของวงจรรูปที่3.4 แต่ค่าความต้านทานที่สูงของวงจรนี้ต้องการค่าแรงดันที่ไม่เป็นศูนย์ที่อินพุทและเอ้าท์พุทของมันถึงจะทำงานได้ พิจารณาวงจรสะท้อนกระแสแบบคาสโคดตามรูปที่3.4 จากมุมมองของสัญญาณขนาดใหญ่ ค่าแรงดันที่อินพุทถูกกำหนดให้เป็นV_i(min) ซึ่งสามารถถูกแสดงได้ว่าขึ้นกับค่ากระแสของ i_i เนื่องจาก V_{DG} =0 สำหรับทั้ง M1 และ M3 มันจึงทำงานในช่วงอิ่มตัวเสมอ ดังนั้นอาจแสดงได้ว่า

$$V_i(\min) = \left(2i_i/K'\right)^{1/2}\left[\left(L_1/W_1\right)^{1/2}+\left(L_3/W_3\right)^{1/2}\right]+\left(V_{T1}+V_{T3}\right) \quad (3.18)$$

เราจะเห็นได้ว่าสำหรับค่า i_i ใดๆ วิธีเดียวที่จะลดค่า V_i(min) ก็คือต้องเพิ่มอัตราส่วน W/L ของทั้งM1 และ M3 เราสนใจค่าแรงดัน V_{out}(sat) ด้วยซึ่งเป็นแรงดันที่M4 ใช้เพื่อเปลี่ยนสถานะจากช่วงที่ไม่อิ่มตัวไปยังช่วงอิ่มตัว ค่าแรงดันนี้หาได้จากความสัมพันธ์

$$V_{DS4} \geq \left(V_{GS4} - V_{T4}\right) \quad (3.19)$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{D4} \geq v_{G4} - V_{T4} \qquad (3.20)$$

โดยที่สมการที่ (3.20) สามารถใช้เพื่อหาค่า $V_{out}(sat)$ ได้ว่า

$$V_{out}(sat) = V_T - V_{T4}$$

$$= \left(2I_o/K'\right)^{1/2}\left\{\left(L_1/W_1\right)^{1/2} + \left(L_3/W_3\right)^{1/2}\right\} + \left(V_{T2} + V_{T3} - V_{T4}\right) \qquad (3.21)$$

สำหรับแรงดันที่มากกว่า $V_{out}(sat)$ MOS M4 อยู่ในช่วงอิ่มตัวและค่าความต้านทานเอ๊าท์พุทสามารถคำนวณได้จากสมการที่(3.16) เนื่องจากค่าแรงดันที่ตกคร่อมM2 มากกว่าที่จำเป็นในการอยู่ในช่วงอิ่มตัว เทคนิคที่ใช้ในการลดV_{min} ในหัวข้อที่แล้วสามารถถูกนำมาใช้ได้เพื่อลด$V_{out}(sat)$ แต่เป็นการไม่ดีเลยที่จะทำให้ค่า $V_T(min)$ เพิ่มขึ้น ความสัมพันธ์เดียวกันนี้ได้ถูกนำไปใช้กับวงจรสะท้อนกระแสแบบวิลสัน ถ้า M3อิ่มตัวแล้ว $V_1(min)$ ถูกแสดงได้ว่า

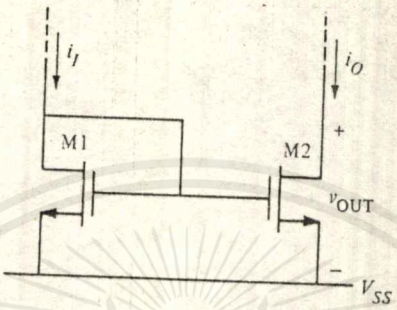
$$V_1(min) = \left(2I_o/K'\right)^{1/2}\left[\left(L_2/W_2\right)^{1/2} + \left(L_3/W_3\right)^{1/2}\right] + \left(V_{T2} + V_{T3}\right) \qquad (3.22)$$

สำหรับที่ M3 อิ่มตัว V_{out} ต้องมากกว่าค่า $V_{out}(sat)$ ได้ว่า

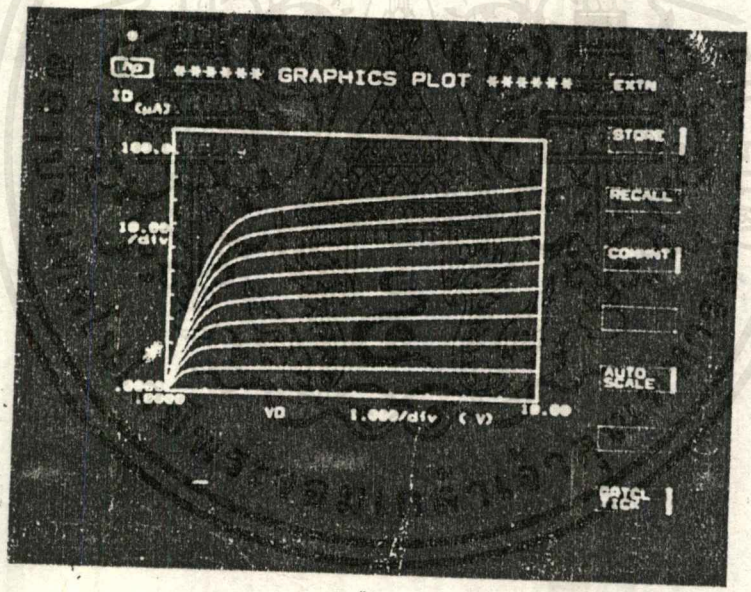
$$V_{out}(sat) = V_T - V_{T3} = \left(2I_o/K'\right)^{1/2}\left[\left(L_2/W_2\right)^{1/2} + \left(L_3/W_3\right)^{1/2}\right] + V_{T2} \qquad (3.23)$$

จะเห็นว่าทั้งสองสมการต้องการอย่างน้อย $2V_T$ ตกคร่อมอินพุท(input)ของมันก่อนถึงจะได้ค่า $V_{out}(sat)$ข้างต้นออกมาได้และอัตราส่วน W/L ที่ใหญ่กว่าจะช่วยลดค่า $V_T(min)$ และ $V_{out}(sat)$ ได้ ผลการทดลองของวงจรสะท้อนกระแสแต่ละแบบได้ถูกแสดงไว้ในรูปที่3.7 ถึง รูปที่3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

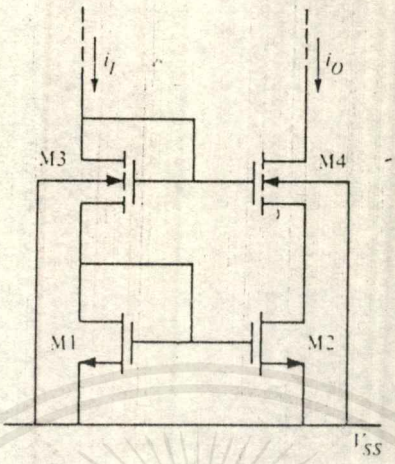


(b)

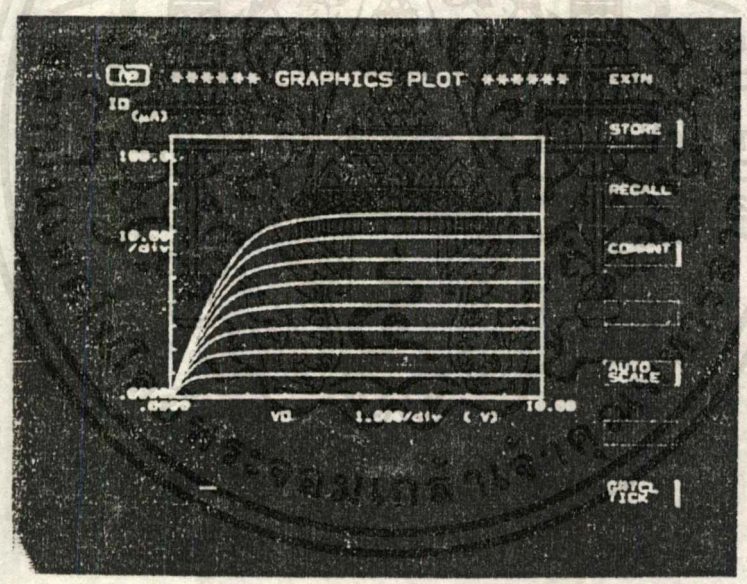
<u>รูปที่ 3.7</u> (a) simple current mirror.

(b) Experimental results of (a) with $W_2/L_2 = W_1/L_1 = 7.5\mu m / 7.5\mu m$. vertical scale is 10 μA/div. and horizontal scale is 1 volt/div. $V_{BS} = 0$ and step size is 10 μA / step

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

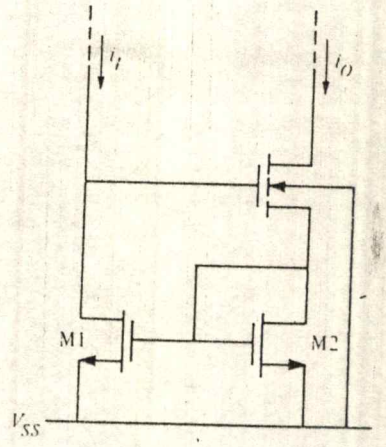


(b)

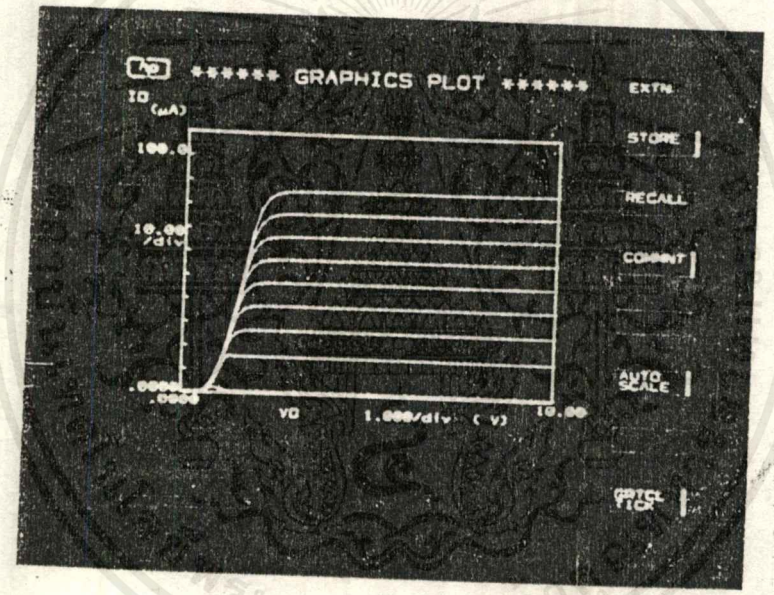
รูปที่ 3.8 (a) An improved current mirror using n-channel MOS transistors.

(b) input-output characteristics of (a) with V_{BS} =0 volts and $W_1/L_1 = W_2/L_2$ = 12.5μm/ 12.5μm and $W_3/L_3 = W_4/L_4$ =7.5 μm/12.5μm. vertical scale is 20 μA/div. and the horizontal scale is 1 volt/div. step size is 10 μA/step.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

รูปที่ 3.9 a) Wilson current mirror using n-channel MOS transistor

b) Experimental characteristic of a) with V_{as} = 0 volts,

$\frac{w_1}{L_1} = \frac{w_2}{L_2} = \frac{25\mu m}{7.5\mu m}$ and $\frac{w_3}{L_3} = \frac{125\mu m}{12.5\mu m}$ .Vertical scale is $\frac{10\mu A}{div}$. Horizental scale is $1\frac{volt}{div}$.Step size is $10\ \frac{\mu A}{step}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและการสร้าง

ก่อนการออกแบบวงจรรวมจะต้องศึกษาถึงตัวแปรทางกายภาพพื้นฐานของมอส-ทรานซิสเตอร์(MOS TRANSISTOR) โดยการศึกษาเองคุณสมบัติทางกายภาพของโครงสร้างซีมอส (CMOS) ในกระบวนการแพร่สารเจือด้วยความร้อน จะได้ตัวแปรกายภาพพื้นฐานที่จำเป็นในการจำลองแบบ(simulation) ของโปรแกรม PSPICE

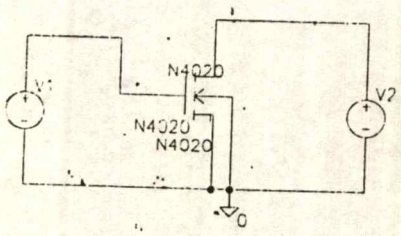
ตารางที่ 1 แสดงค่าตัวแปรที่ใช้ในการจำลองแบบ(SIMULATION)ในโปรแกรมPSPICE

Symbol	Name	Units	NMOS
V_t	VTO	V	0.5
K	KP	$\mu A/V^2$	1.2e-6
W	width	m	40
L	Lenght	m	20

ค่าตัวแปรกายภาพพื้นฐานจากกระบวนการสร้างของศูนย์วิจัยอิเล็กทรอนิคส์ (ERC)จะนำมาทำการจำลองแบบคุณสมบัติกระแสและแรงดันของ NMOSเดี่ยวๆ และวงจรสะท้อนกระแสNMOS

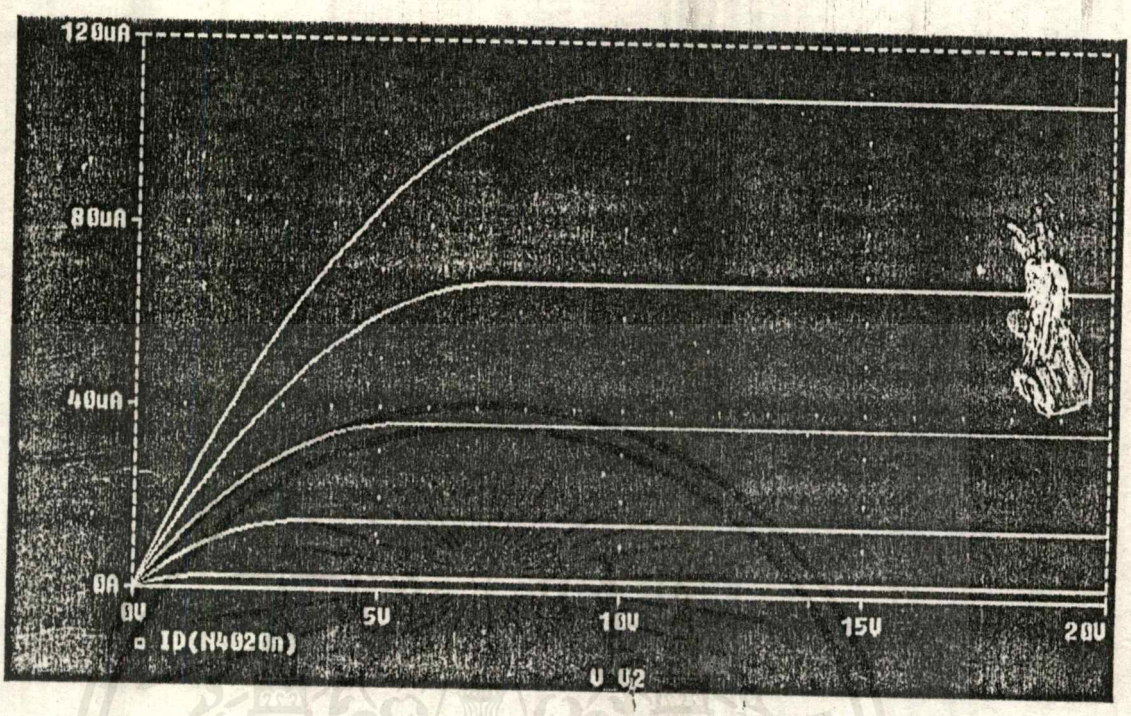
4.1การศึกษา I-Vcharacteristicทางเอ๊าท์พุทของnMOS TRANSISTOR ที่ได้จากการจำลองแบบ

เราจะทำการศึกษา I-V characteristics ทางเอ๊าท์พุทของ nMOS Transistor ว่ามีความใกล้เคียงกับทางทฤษฎีมากน้อยแค่ไหน เพื่อที่จะได้รู้ว่า nMOS Transistor ที่เราทำการสร้างขึ้นว่ามีความน่าเชื่อถือเพียงใด



รูปที่ 4.1ก แสดงการต่อเพื่อวัด I-V characteristic ทางเอ๊าท์พุทของวงจร nMOS Transistor

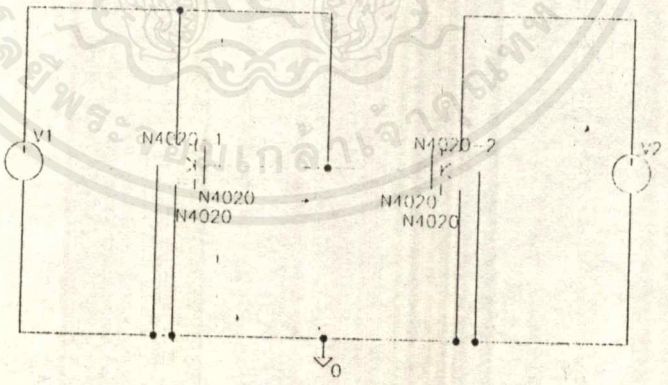
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1ข แสดงกราฟ I-V characteristic ทางเอ๊าท์พุทของวงจร nMOS Transistor

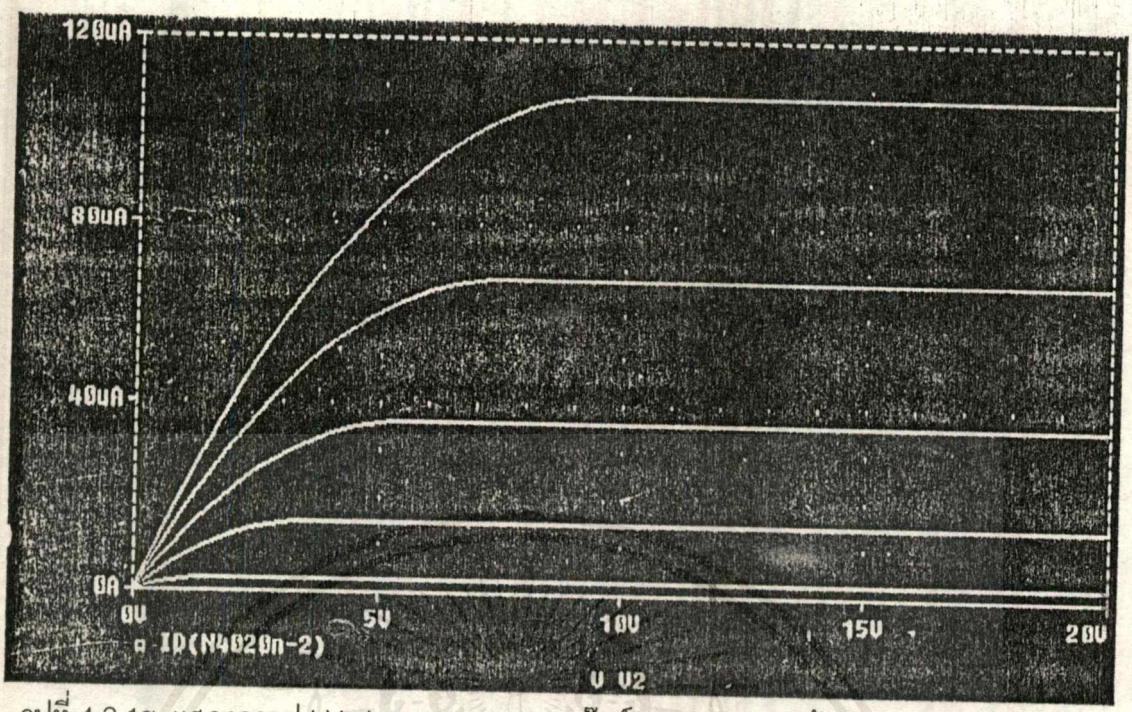
4.2 การศึกษา I-V characteristics ทางเอ๊าท์พุทของวงจรสะท้อนกระแส

4.2.1 วงจรสะท้อนกระแสแบบธรรมดา (simple current mirror)

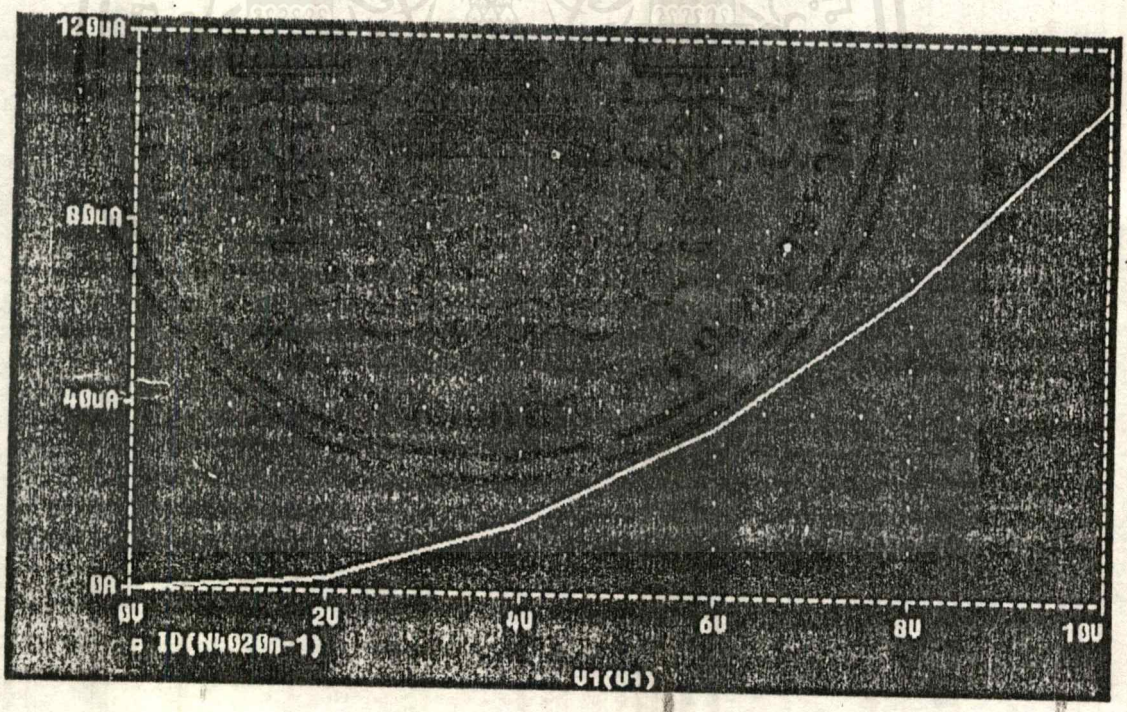


รูปที่ 4.2.1ก แสดงการต่อเชื่อมเพื่อวัด I-V characteristic ทางเอ๊าท์พุทของวงจรสะท้อนกระแส -แบบธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



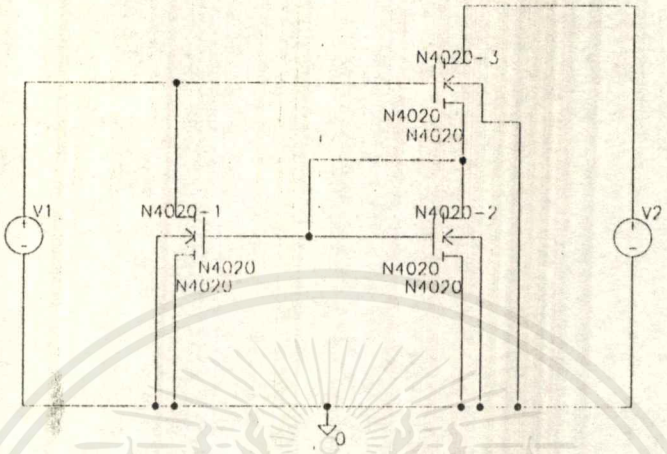
รูปที่ 4.2.1ข แสดงกราฟ I-V characteristic ทางเอ๊าท์พุทของวงจรสะท้อนกระแสแบบธรรมดา



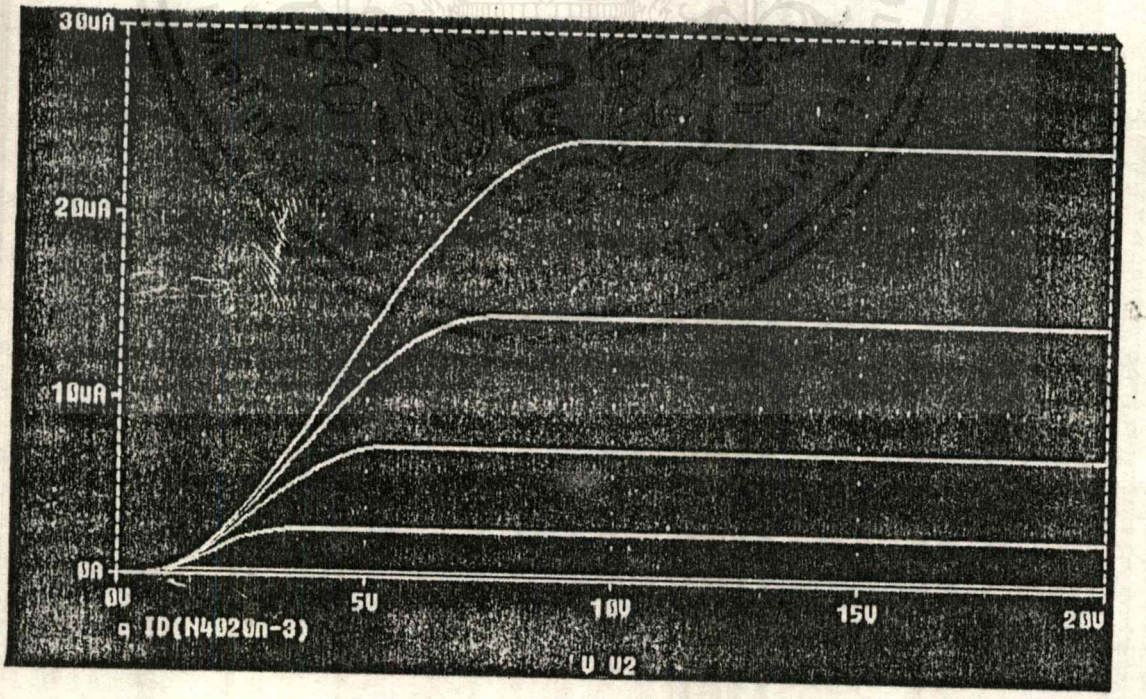
รูปที่ 4.2.1ค แสดงกราฟ I-V characteristicห ทางอินพุทของวงจรสะท้อนกระแสแบบธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรสะท้อนกระแสแบบวิลสัน(wilson mirror current)

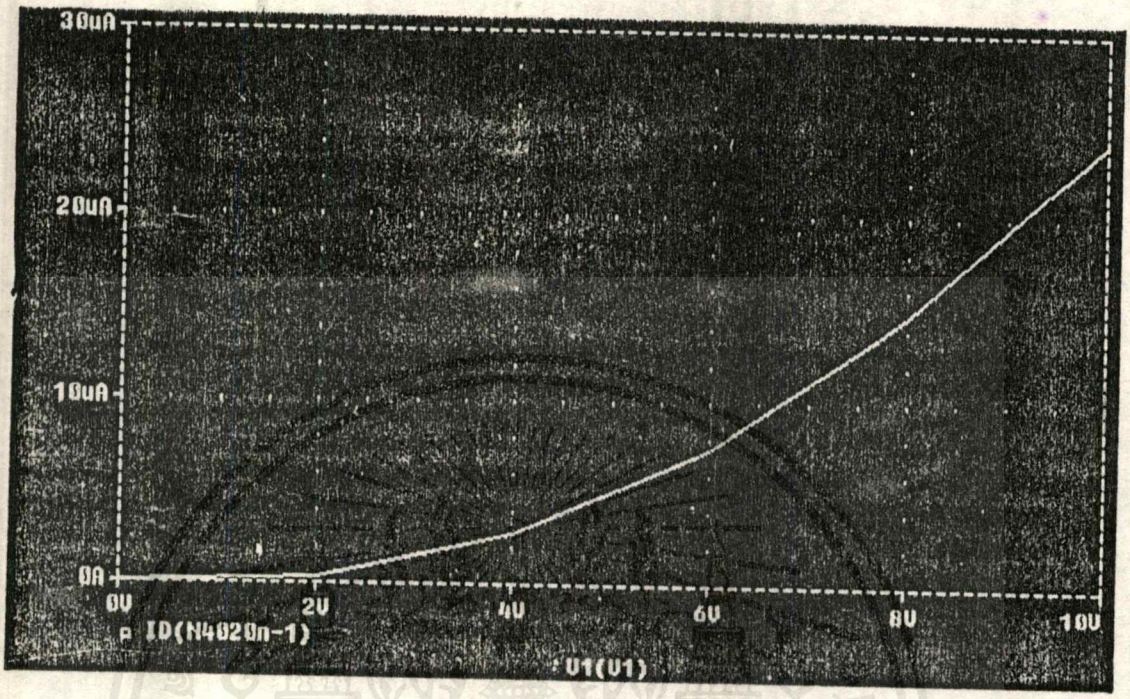


รูปที่ 4.2.2ก แสดงการต่อเชื่อมเพื่อวัด I-V characteristics ทางเอ๊าท์พุทของวงจรสะท้อน -กระแสแบบวิลสัน



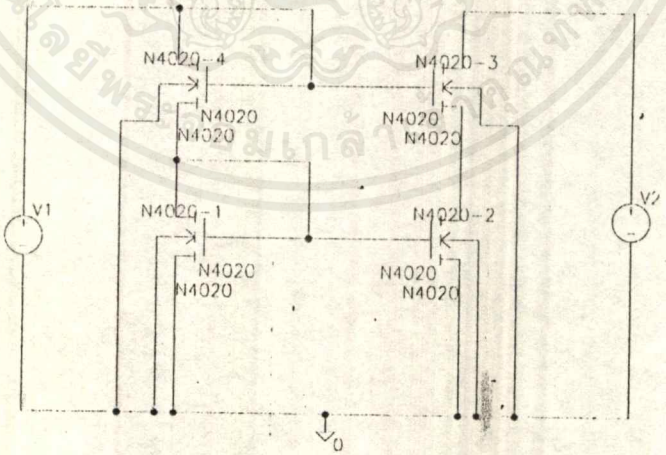
รูปที่ 4.2.2ข แสดงกราฟ I-V characteristics ทางเอ๊าท์พุทของวงจรสะท้อนกระแสแบบวิลสัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



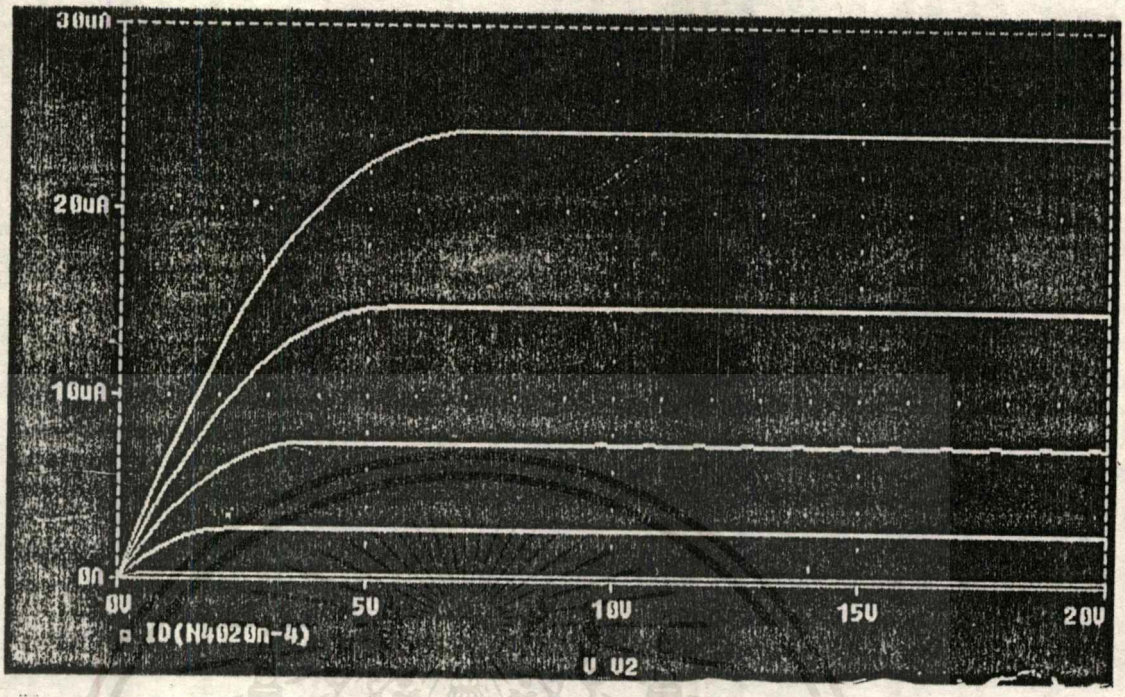
รูปที่ 4.2.2ค แสดงกราฟ I-V characteristics ทางอินพุทของวงจรสะท้อนกระแสแบบวิลสัน

4.2.3 วงจรสะท้อนกระแสแบบคาสโคด(Cascode current mirror)

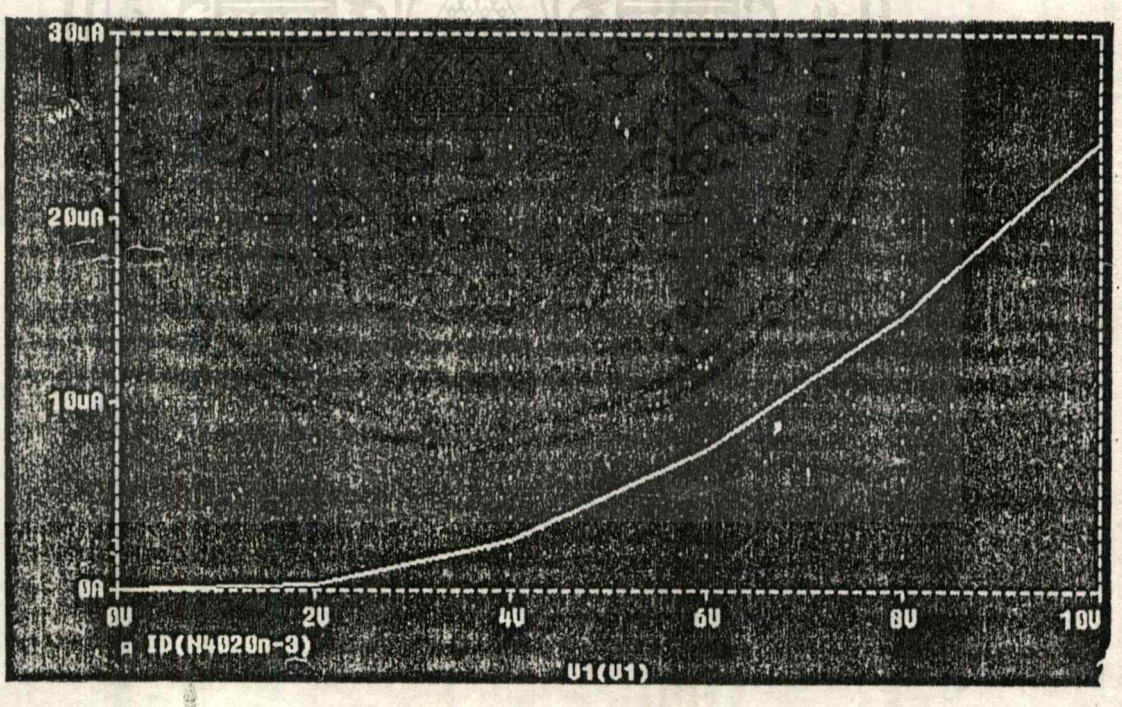


รูปที่ 4.2.3ก แสดงการต่อเชื่อมเพื่อวัด I-V characteristics ของวงจรสะท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.3ข แสดงกราฟ I-V characteristics ทางเอ๊าท์พุทของวงจรสะท้อนกระแสแบบคาสโคด

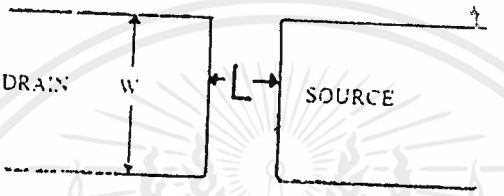


รูปที่ 4.2.3ค แสดงกราฟ I-V characteristics ทางอินพุทของวงจรสะท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

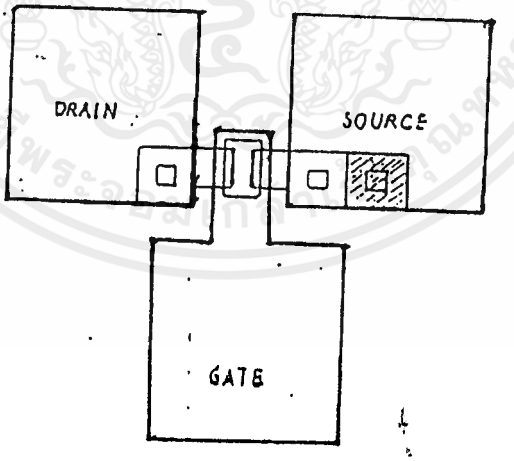
4.3 การออกแบบ

เมื่อเราจำลองแบบของมอสทรานซิสเตอร์(MOS Transistor) และวงจรสะท้อนกระแสแบบต่างๆได้แล้ว ต่อมาเราจะทำการพิจารณาในส่วนโครงสร้างภาพตัดขวาง หลังจากนั้นจะทำการออกแบบลวดลายของวงจรตามแบบโครงสร้างของวงจร และพารามิเตอร์หนึ่งที่มีความสำคัญที่จะนำมาพิจารณา คือ อัตราส่วน W/L



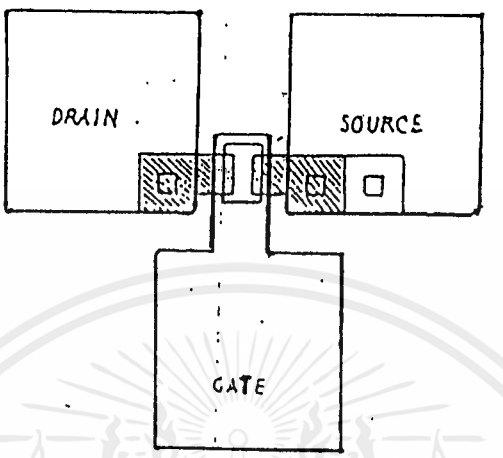
รูปที่ 4.3ก โครงสร้างแสดงภาพตัดขวางของอัตรส่วน W/L ระหว่างซอสและเดรน

4.3.1 การออกแบบลวดลายของ NMOS Transistor

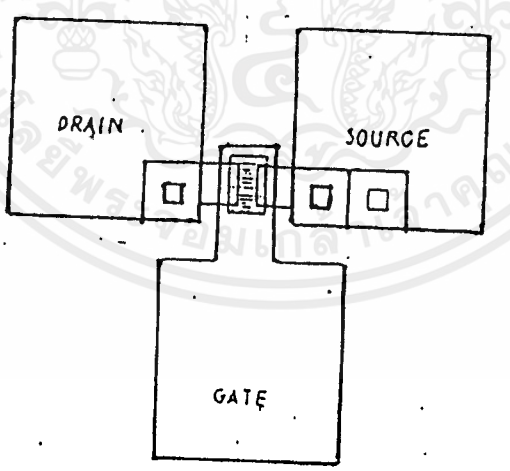


รูปที่4.3.1ก ในส่วนที่แรเงาแสดงส่วนของ P^+ ของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

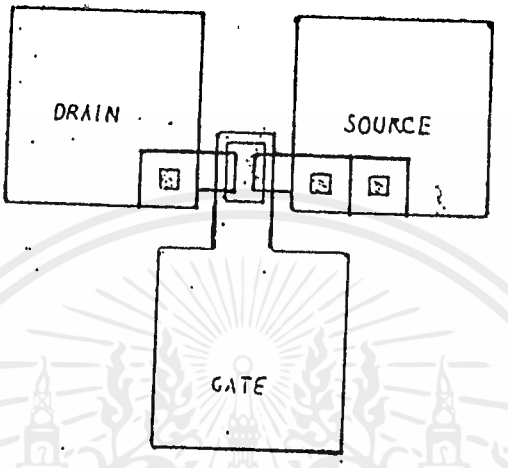


รูปที่ 4.3.1ข ในส่วนที่แรเงาแสดงส่วนของ N^+ ของมอสทรานซิสเตอร์

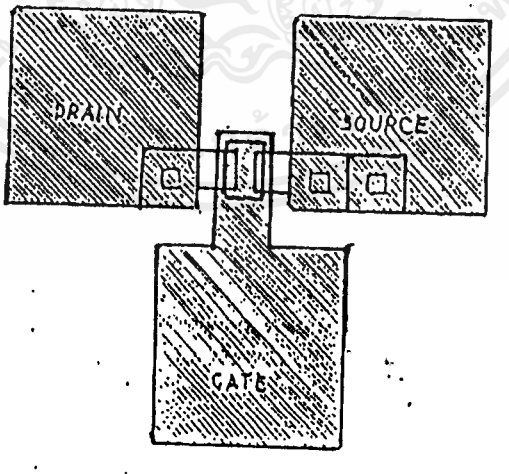


รูปที่4.3.1ค ในส่วนที่แรเงาแสดงส่วนของ Gate ของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



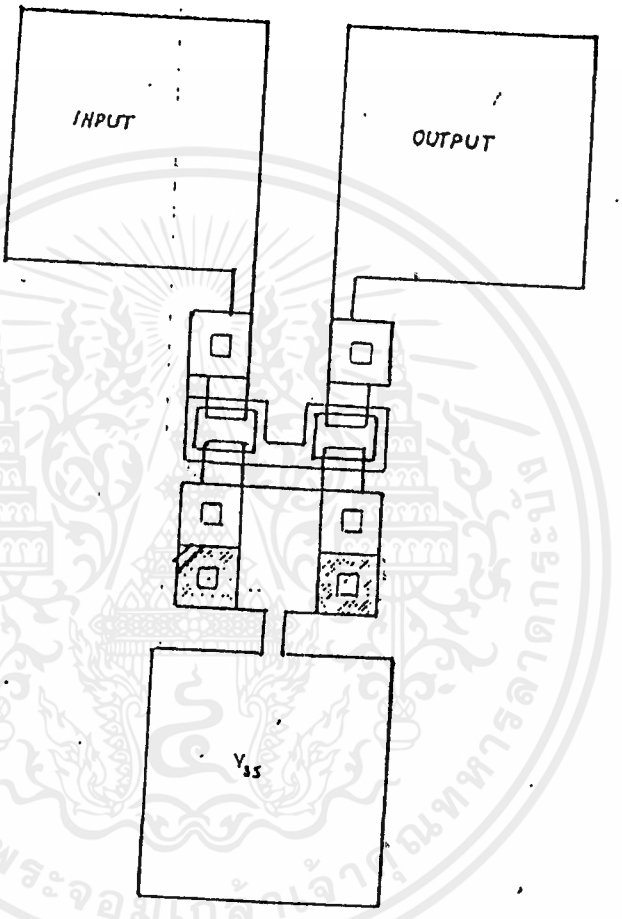
รูปที่ 4.3.1ง ในส่วนที่แรเงาแสดงส่วนของ Contact ของมอสทรานซิสเตอร์



รูปที่4.3.1จ ในส่วนที่แรเงาแสดงส่วนของลวดลาย Aluminium ของมอสทรานซิสเตอร์

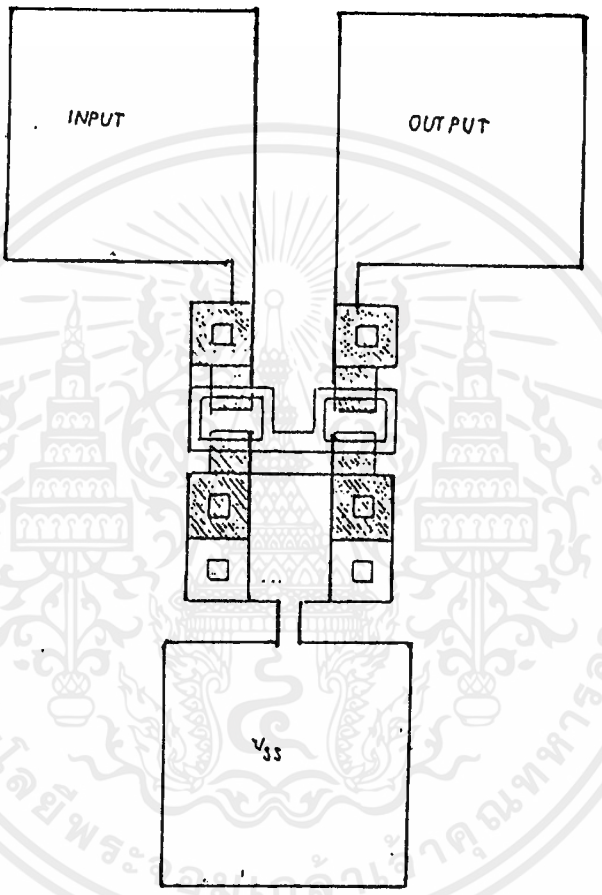
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบธรรมดา



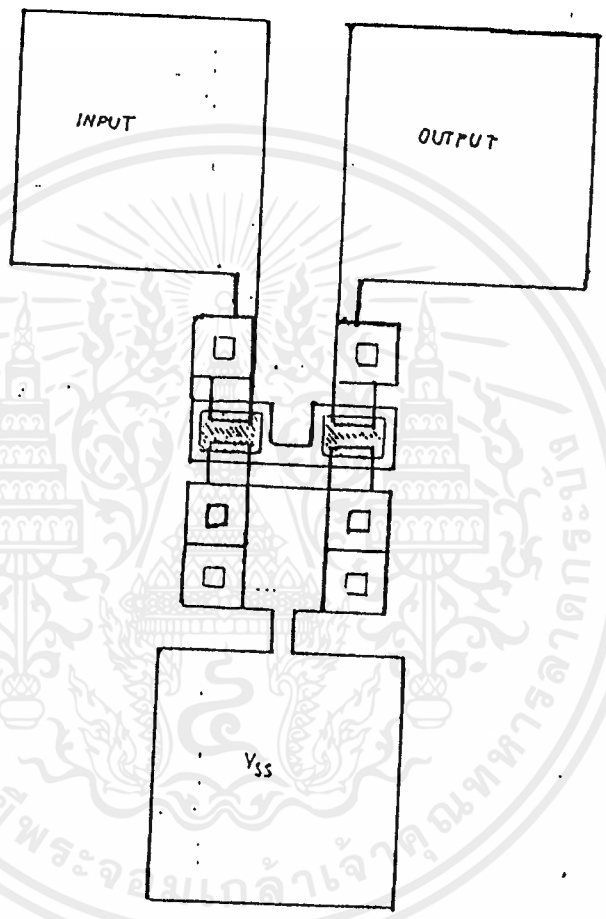
รูปที่4.3.2ก ในส่วนที่แรเงาแสดงส่วนของ P^+ ของวงจรสะท้อนกระแสแบบปธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



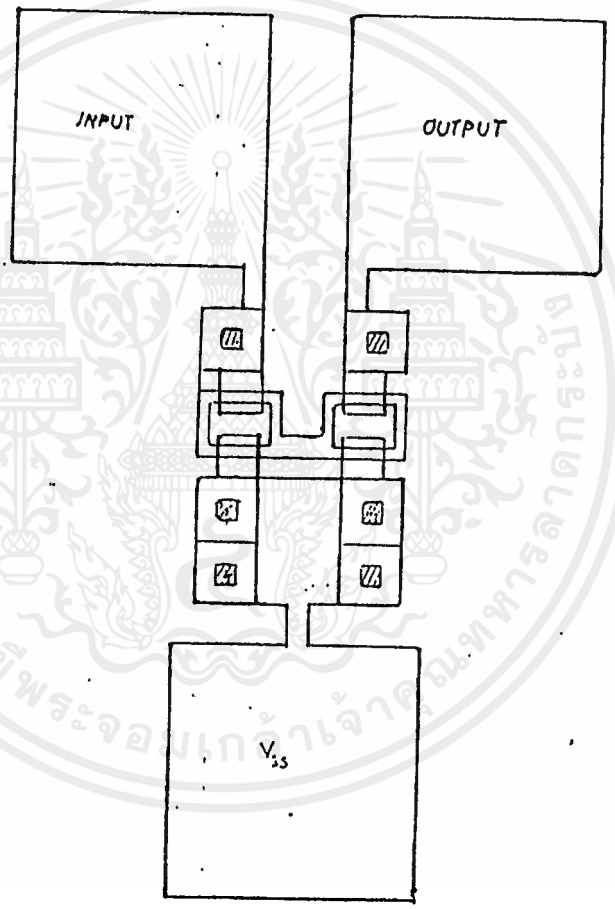
รูปที่4.3.2ข ในส่วนที่แรเงาแสดงส่วนของ N^+ ของวงจรสะท้อนกระแสแบบธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



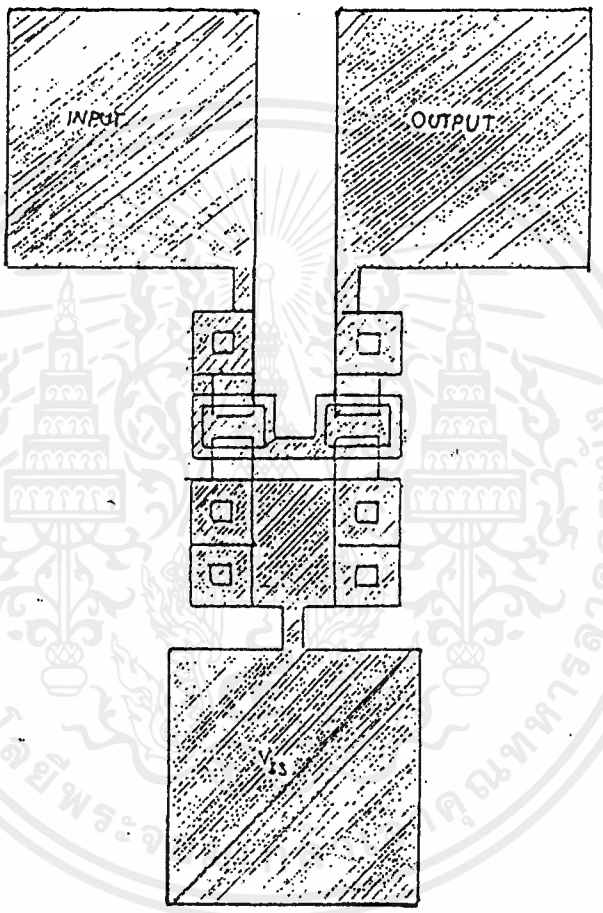
รูปที่ 4.3.2ค ในส่วนที่แรเงาแสดงส่วนของ Gate ของวงจรสะท้อนกระแสแบบธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3.2 ง ในส่วนที่แรเงาแสดงส่วนของ Contact ของวงจรสะท้อนกระแสแบบธรรมดา

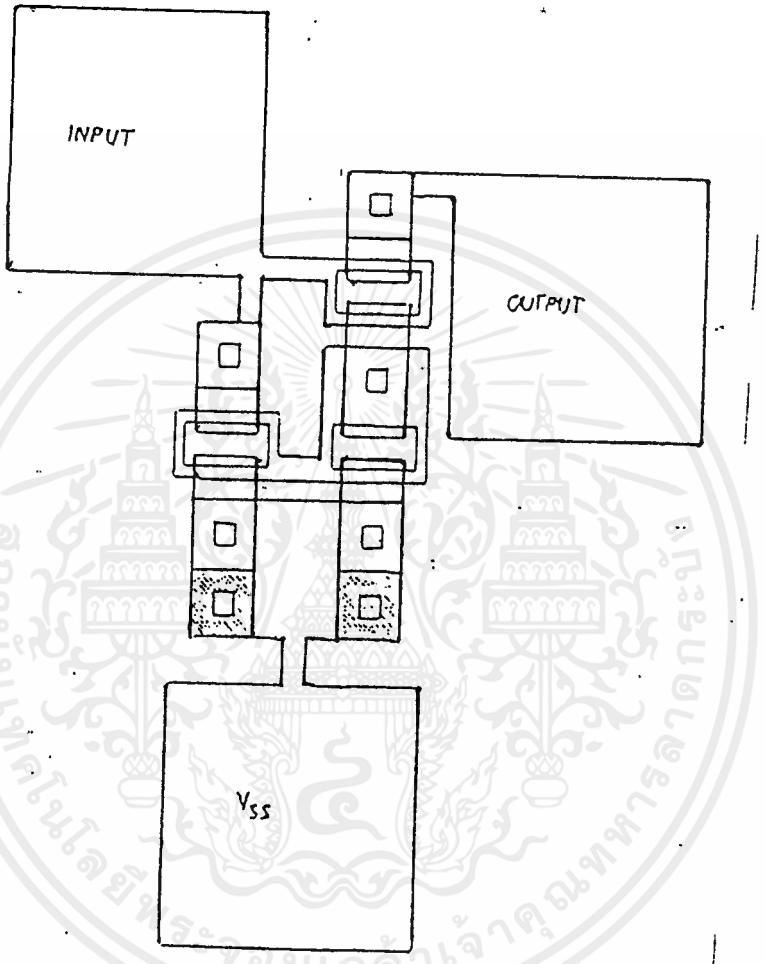
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.2จ ในส่วนที่แรเงาแสดงส่วนของลวดลาย Aluminium ของวงจรสะท้อนกระแส
-แบบธรรมดา

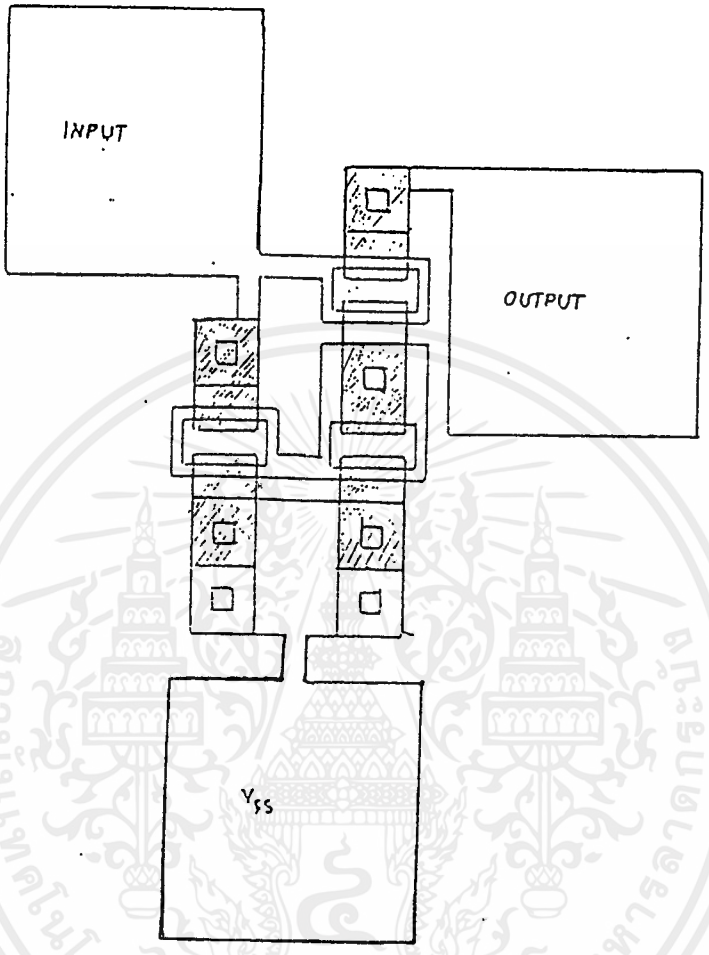
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบวิลสัน



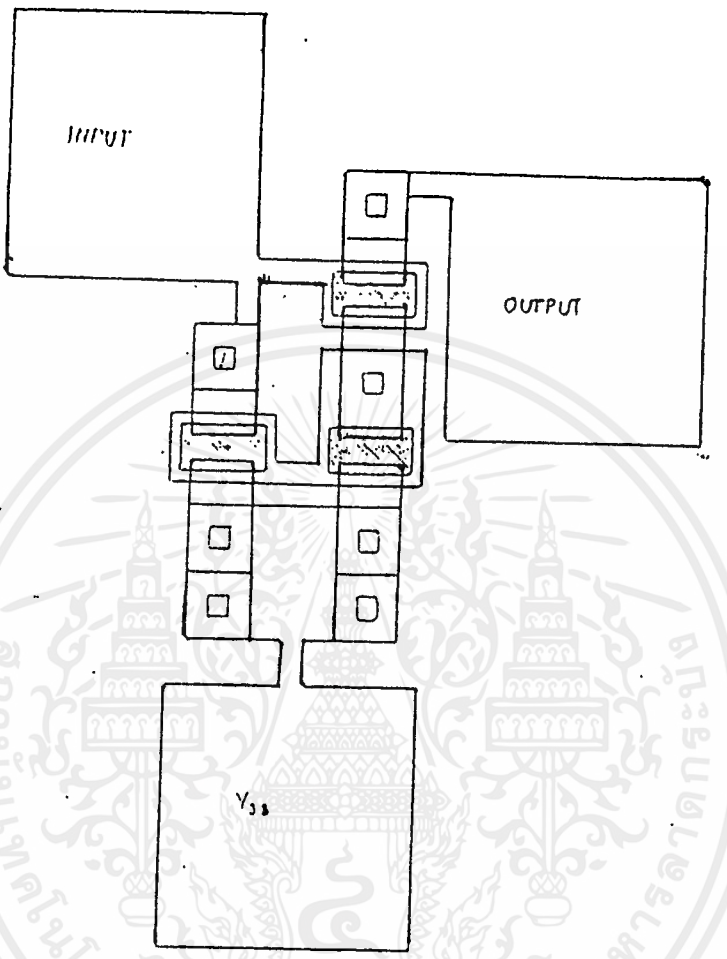
รูปที่4.3.3ก ในส่วนที่แรเงาแสดงส่วนของ P^+ ของวงจรสะท้อนกระแสแบบวิลสัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



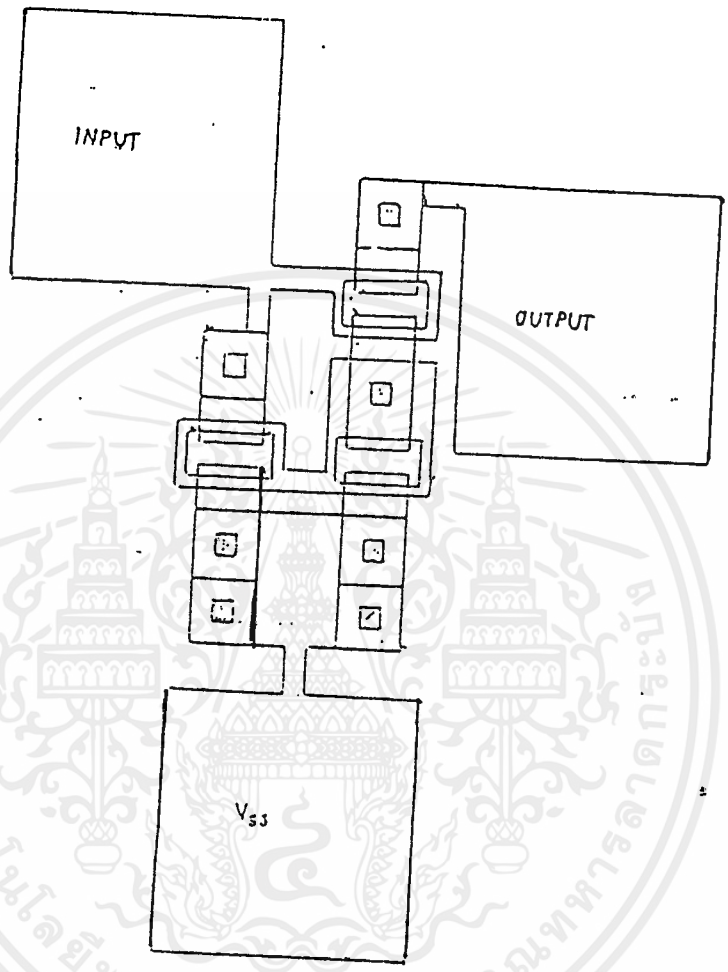
รูปที่4.3.3ข ในส่วนที่แรเงาแสดงส่วนของ N^+ ของวงจรสะท้อนกระแสแบบวิลสัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



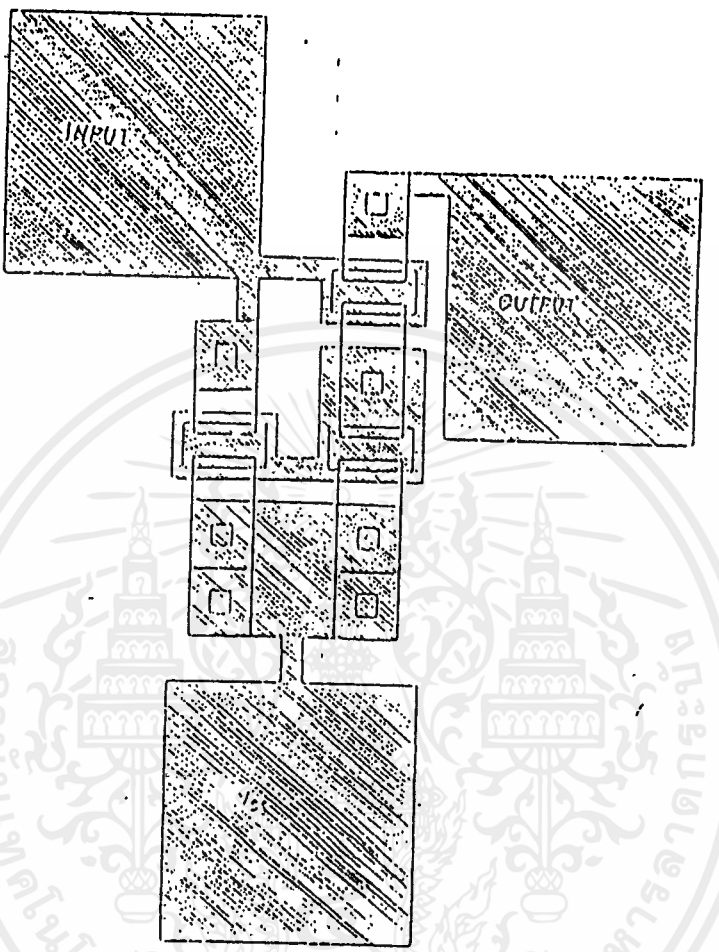
รูปที่4.3.3ค ในส่วนที่แรเงาแสดงส่วนของ Gate ของวงจรสะท้อนกระแสแบบวิลสัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3.3ง ในส่วนที่แรเงาแสดงส่วนของ Contact ของวงจรสะท้อนกระแสแบบวิลสัน

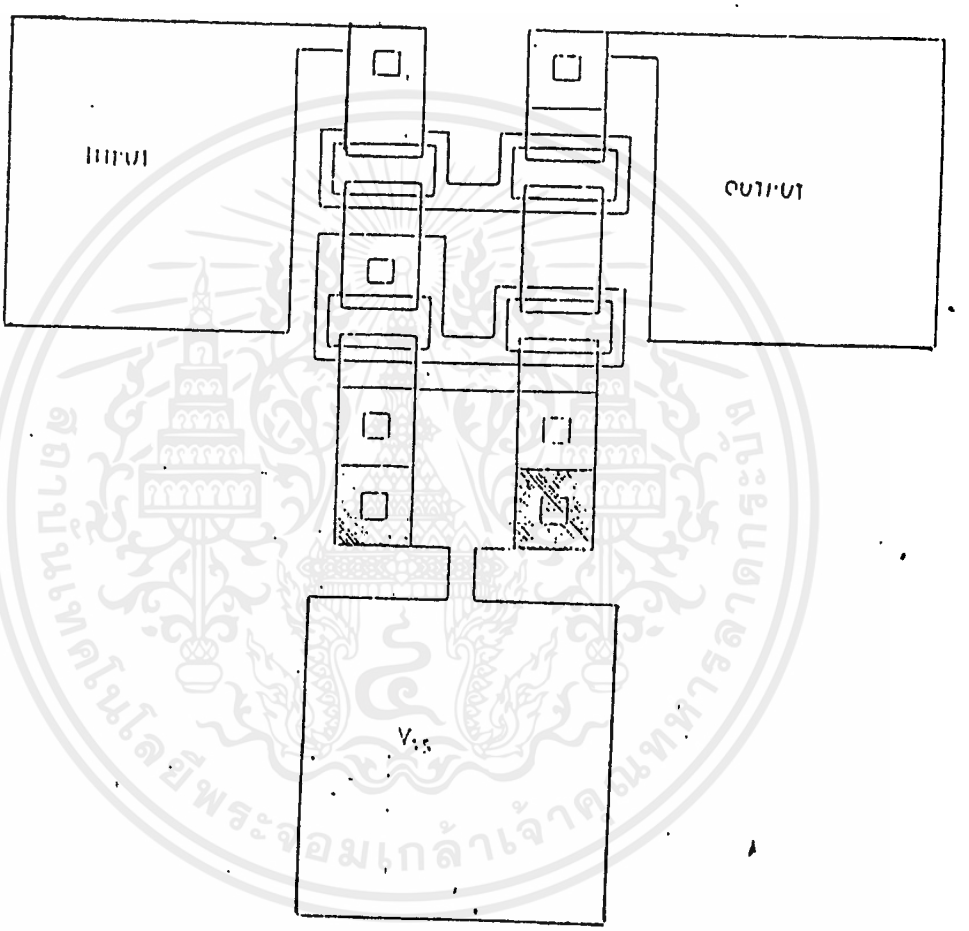
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3.3จ ในส่วนที่แรเงาแสดงส่วนของลวดลาย Aluminium ของวงจรสะท้อนกระแสแบบ -วิลสัน

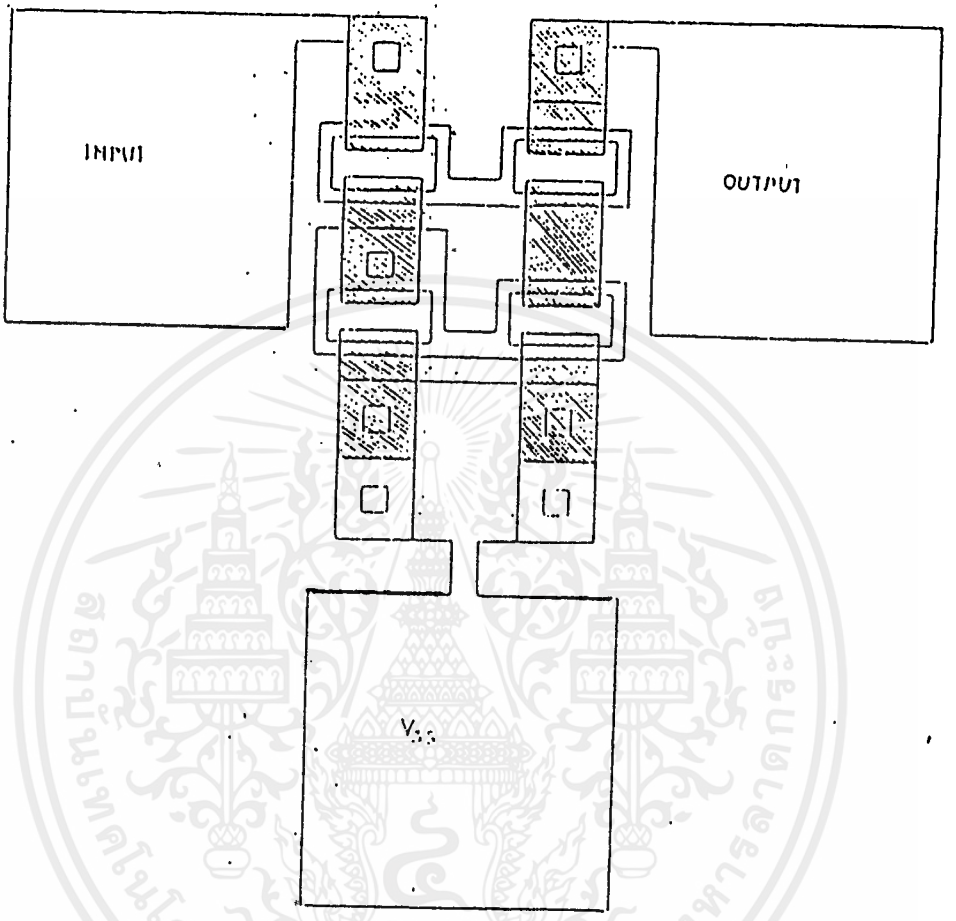
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 การออกแบบลวดลายของวงจรสะท้อนกระแสแบบคาสโคด



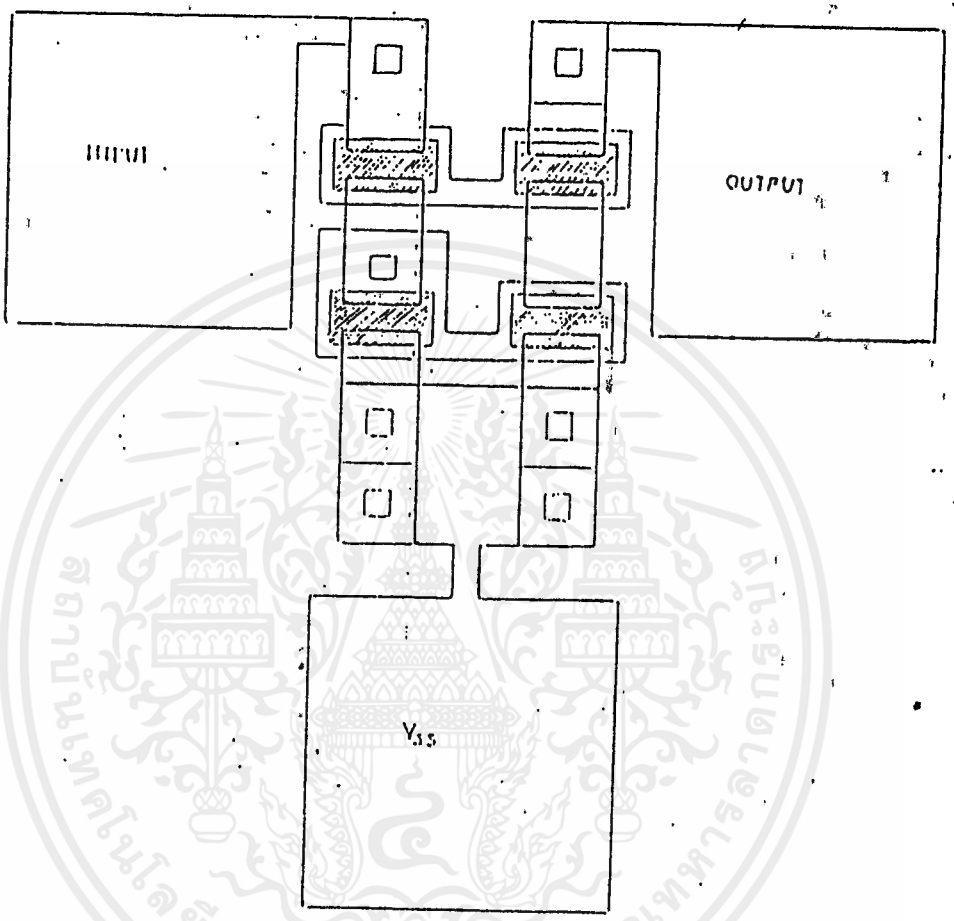
รูปที่4.3.4 ในส่วนที่แรเงาแสดงส่วนของ P^+ ของวงจรสะท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



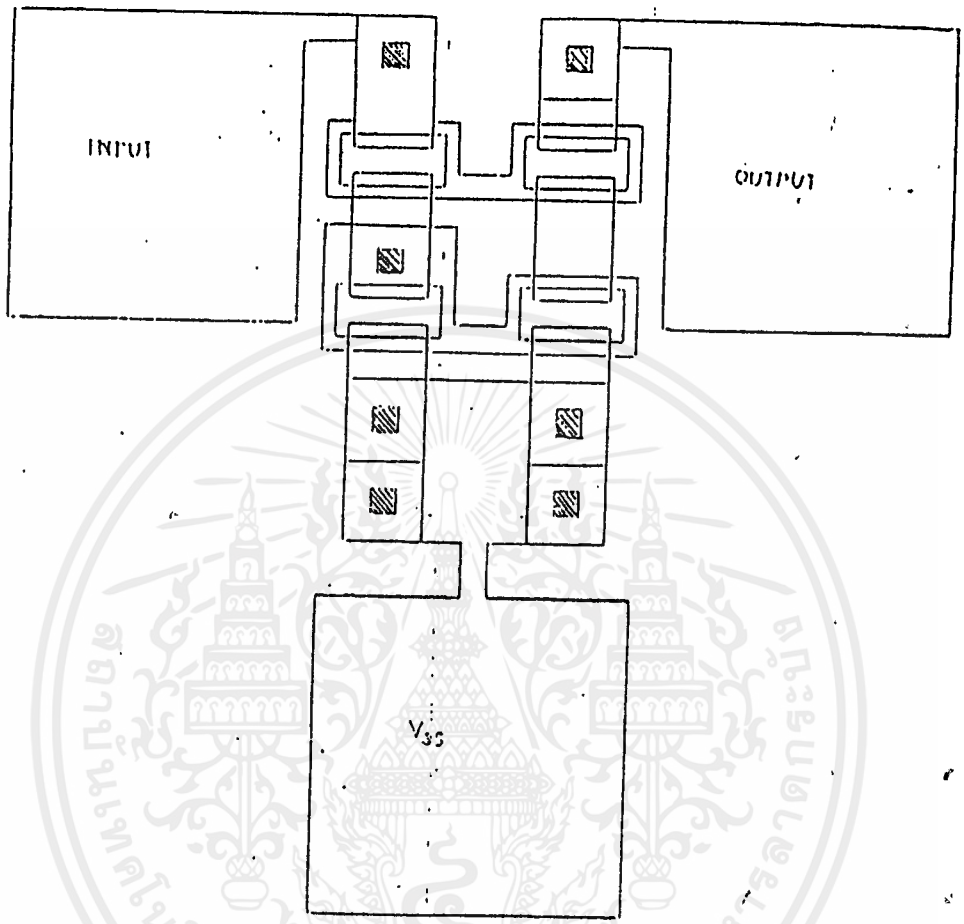
รูปที่4.3.4ข ในส่วนที่แรเงาแสดงส่วนของ N^+ของวงจรสะท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



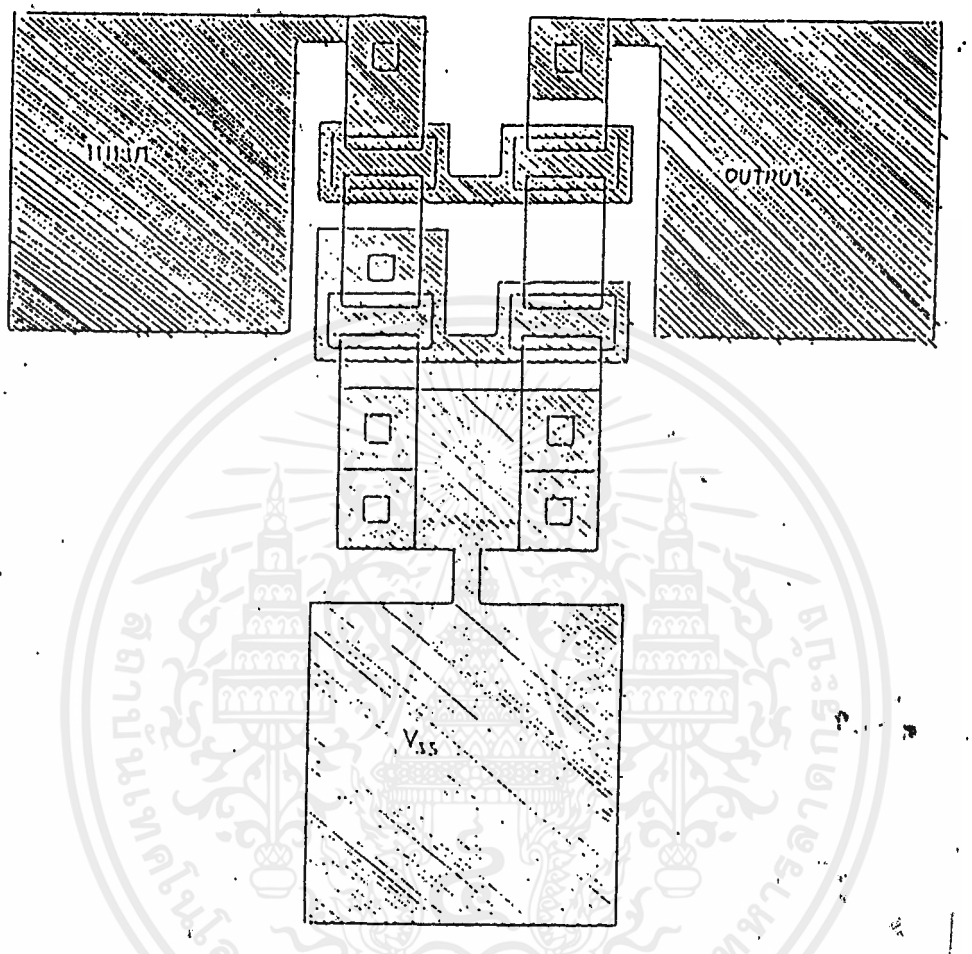
รูปที่4.3.4ค ในส่วนที่แรเงาแสดงส่วน Gate ของวงจรละท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3.4ง ในส่วนที่แรเงาแสดงส่วนของ Contact ของวงจรสะท้อนกระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3.4จ ในส่วนที่แรเงาแสดงส่วนของลวดลาย Aluminium ของวงจรสะท้อน -กระแสแบบคาสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ขบวนการสร้าง

ในกระบวนการสร้าง ANALOG หลังจากที่เราได้ศึกษาและรวบรวมข้อมูลต่างๆได้แล้วเราก็เริ่มปฏิบัติตามกระบวนการตามลำดับ ดังต่อไปนี้

- การสร้างมาร์คต้นแบบ

จากส่วนของการออกแบบ เราจะได้ต้นแบบที่จะสร้างแล้วเราต้องทำการตัดมาร์คต้นแบบ โดยแบ่งเป็นมาร์คต่างๆตามชั้นของโครงสร้างที่เราจะทำการสร้างได้ 5 มาร์ค คือ

1. มาร์ค P^+

คือ มาร์คที่เราจะเปิดช่องเพื่อแพร่สารเจือโบรอนให้มีความหนาแน่นอะตอมสารเจือสูง

2. มาร์ค N^+

คือ มาร์คที่เราเปิดช่องเพื่อแพร่สารเจือฟอสฟอรัสให้มีความหนาแน่นอะตอมสารเจือสูง เพื่อแพร่สารเจือในส่วนเดรนและซอส

3. มาร์ค Gate oxide

คือ ส่วนที่เราจะทำการสร้างชั้นออกไซด์บางๆ เพื่อทำให้เป็นส่วน Gate ของมอส

4. มาร์ค Window

คือ มาร์คที่เราจะทำการเปิดช่องไว้เป็นจุดต่อกับอลูมิเนียม

5. มาร์ค Aluminium

คือ มาร์คที่เราจะเปิดช่องเพื่อใช้กรดกัดอลูมิเนียมในส่วนที่เราไม่ต้องการออก

ในกระบวนการสร้างมาร์คต้นแบบนี้เราจะใช้มาร์คชนิดอ่อน คือใช้ Milar Sheet ตัดเป็นลวดลายตามที่เราได้ออกแบบไว้ โดยมาร์คที่เราตัดนี้มีขนาดใหญ่กว่าของจริง 50 เท่า เมื่อตัดลวดลายเสร็จแล้ว เราก็สามารถทำการถ่ายย่อส่วน 50 เท่า ลงบนฟิล์มกระจก ซึ่งฟิล์มกระจกนี้เราจะใช้ในกระบวนการโฟโต้ลิโทกราฟฟีต่อไป

- การสร้างชั้นออกไซด์

ในการสร้างสารเจือนั้น บริเวณที่เราไม่ต้องการแพร่สารเจือ เราจะสร้างชั้นออกไซด์กันการแพร่ของสารเจือในบริเวณที่เราไม่ต้องการ ซึ่งเราจะใช้กระบวนการออกซิเดชั่น โดยการนำแผ่นผลึกซิลิกอนทิ้งไว้ในบรรยากาศของก๊าซออกซิเจนที่ประมาณ 1100 องศาเซลเซียส และเวลาในการทำออกซิเดชั่นนั้นจะต้องนานพอที่จะทำให้ได้ชั้นออกไซด์หนาพอที่จะป้องกันการแพร่ของสารเจือได้

- กระบวนการออกซิเดชั่น

กระบวนการออกซิเดชั่นนั้น สามารถแบ่งได้เป็น 2 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การทำออกซิเดชั่นแบบแห้ง(Dry oxidation)

คือ เราให้ออกซิเจนเข้าไปในเตา ซึ่งอัตราการเกิดชั้นออกไซด์จะช้า สมการแสดงอัตราการเกิดชั้นออกไซด์ ดังนี้

$$Si + O_2 \text{ ----- } > SiO_2$$

2. การทำออกซิเดชั่นแบบชื้น(Wet oxidation)

คือ เราจะผ่านไอน้ำเข้าไปในเตาพร้อมกับออกซิเจน ซึ่งจะทำให้เกิดชั้นออกไซด์ที่หนา แต่ชั้นออกไซด์ที่เกิดขึ้นจะมีลักษณะหยาบ ซึ่งแสดงสมการและอัตราการเกิดดังสมการ

$$Si + 2H_2O \text{ ------- } > SiO_2 + 2H_2$$

ซึ่งการสร้างออกไซด์ทั้งแบบแห้งและแบบชื้น เรานิยมสร้างสลับกัน คือสร้างออกซิเดชั่นแบบแห้งในชั้นแรกแล้วสร้างออกซิเดชั่นแบบชื้นเพื่อเพิ่มอัตราการเกิดชั้นออกไซด์ แล้วก็สร้างออกซิเดชั่นแบบแห้งในชั้นสุดท้าย ในการสร้างเราจะสร้างต่อเนื่องกันโดยใช้เตาออกซิเดชั่น

- กระบวนการโฟโต้ลิโทกราฟฟี

คือ การถ่ายแบบจากฟิล์มกระจกลงบนชิ้นงานของเรา โดยการใช้แสงซึ่งเริ่มจากเรานำเอาแผ่นซิลิกอนที่สร้างออกไซด์แล้วทำการอบไล่ความชื้นที่ 90-100 องศาเซลเซียส ประมาณ30 นาที ทำการเคลือบน้ำยาไวแสงด้วยเครื่อง Spinner โดยทำการ Spin ที่ 5000 รอบต่อนาที ใช้เวลา 30 วินาที อบฟิล์มที่เคลือบแล้วอีก 30 นาทีจึงนำมาฉายแสงโดยให้แสงผ่านกระจกมาร์คแล้วมาตกกระทบที่ฟิล์มที่เราเคลือบไว้ ซึ่งเราจะใช้เครื่องฉายแสงที่เรียกว่า mask aligner โดยใช้แสงที่มีความยาวคลื่นประมาณ 4000 อังสตรอม ใช้เวลาฉาย 5-10 วินาที

เมื่อเรานำเอาแผ่นซิลิกอนที่ฉายแสงแล้วไปทำการล้างฟิล์ม(Developer)ก็จะเกิดลวดลายขึ้น ซึ่งขึ้นอยู่กับชนิดของน้ำยาไวแสงที่ใช้ ถ้าเราเคลือบน้ำยาไวแสงชนิดลบบริเวณที่ถูกแสงก็จะติดแน่น บริเวณที่ไม่ถูกแสงจะหลุดออก ถ้าใช้น้ำยาไวแสงชนิดบวกบริเวณที่ถูกแสงก็จะหลุดออก บริเวณที่ไม่ถูกแสงจะติดแน่น

ในการทำ Developer นั้นจะจุ่มชิ้นงานในน้ำยาล้างภาพ(Xylene) 2 ครั้ง ครั้งละ 1 นาทีครึ่ง จุ่มในน้ำยาทำความสะอาด(Isoprophyl) 3 ครั้ง ครั้งละ 30 วินาที ล้างในน้ำบริสุทธิ์แล้วเป่าให้แห้งทันทีด้วยกาซไนโตรเจน เราจะนำเอาแผ่นซิลิกอนที่ทำการ Developer แล้วไปทำการอบแห้งอีก 30 นาที แล้วจะทำการกัดชั้นออกไซด์โดยใช้ Buffer ซึ่งมีส่วนผสมของกรดกัด แล้วใช้กัดชั้นออกไซด์แต่จะไม่ฟิล์มที่เราเคลือบไว้ พอเรากัดออกไซด์ออกหมดแล้วก็จะทำการล้างฟิล์มโดยการใช้กรดซัลฟุริกร้อน นำมาทำความสะอาดจะได้แผ่นซิลิกอนที่พร้อมที่จะแพร่สารเจือต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-กระบวนการแพร่สารเจือ

คือ การแพร่อะตอมสารเจือเข้าไปในแผ่นซิลิกอน แบ่งเป็น 2 ขั้นตอน คือ

1. การทำ Deposition คือ การแพร่สารเจือตรงบริเวณผิวหน้าของแผ่นผลึกซิลิกอน

2. การขับลึก Drive in คือ การขับอะตอมสารเจือให้แพร่ลึกเข้าไปในแผ่นผลึกซิลิกอน

1. การทำ Deposition

เราจะให้อะตอมสารเจือแพร่จากแผ่น Source เข้าไปยังแผ่นผลึกซิลิกอนใน บรรยากาศของกาซไนโตรเจน ที่อุณหภูมิประมาณ 900 องศาเซลเซียส

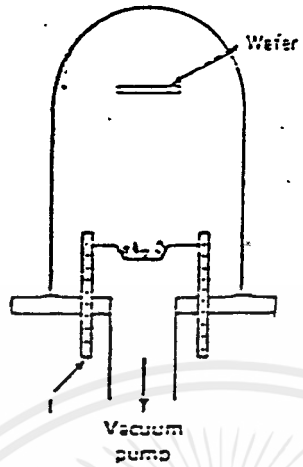
2. การขับลึก(Drive in)

คือ การขับลึกอะตอมสารเจือที่เราทำการแพร่ในกระบวนการ Deposition โดยการทิ้งแผ่นผลึกซิลิกอนไว้ที่อุณหภูมิประมาณ 1100 องศาเซลเซียส ในบรรยากาศของกาซไนโตรเจน โดยผ่านไนโตรเจนเข้าไปในเตา แต่ถ้าหากเราต้องการสร้างชั้นออกไซด์ไปพร้อมกับการขับลึกเลย เราจะผ่านกาซออกซิเจนเข้าไปแทนในอัตราการไหลประมาณ 1 ลิตรต่อนาที เมื่อเราทิ้งแผ่นผลึกซิลิกอนไว้ที่อุณหภูมิสูง จะทำให้อะตอมสารเจือที่อยู่บริเวณผิวแพร่ลงไปในผลึก ทำให้ความหนาแน่นอะตอมสารเจือมีค่าลดลงเมื่อเกิดการแพร่ จนกระทั่งความหนาแน่นอะตอมสารเจือมีค่าเท่ากันทั้งแผ่น

- กระบวนการเมตัลไลเซชั่น

เป็นการสร้างรอยสัมผัสโลหะกับตัวชิ้นงานของเรา ซึ่งเราจะใช้อลูมิเนียมเผาให้ร้อนจนกลายเป็นไอ ไปเคลือบติดที่ชิ้นงานของเรา ซึ่งเราจะใช้เครื่อง Vacuum Evaporation แสดงดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงหลักการทำงานของเครื่อง Vacuum Evaporation

จากรูปที่4.4 เราจะลดความดันในครอบแก้วให้มีค่าความดันประมาณ 10^{-5} torr เพื่อให้อลูมิเนียมสามารถฟุ้งกระจายได้ดี เมื่อให้ความร้อนเข้าไปที่ลวดความร้อนก็จะทำให้อลูมิเนียมหลอมจนกลายเป็นไอ กระจายเต็มครอบแก้วแล้วติดที่ผิวชิ้นงานของเรา เสร็จแล้วก็จะนำชิ้นงานที่เคลือบอลูมิเนียมเสร็จแล้วไปทำการกัดอลูมิเนียม นิยมส่วนที่ไม่ต้องการออก แล้วนำไปผ่านกระบวนการ Sintering เพื่อทำให้รอยสัมผัสระหว่างโลหะและสารกึ่งตัวนำเป็นรอยสัมผัสโอห์มมิค โดยทิ้งไว้ในบรรยากาศของไนโตรเจนที่อุณหภูมิประมาณ 500 องศาเซลเซียส จะได้รอยสัมผัสโลหะไว้สำหรับต่อขาของตัวอุปกรณ์

- <u>การทดสอบและการเก็บบรรจุ</u>

ก่อนที่จะนำแผ่นผลึกซิลิกอนที่สร้างเสร็จแล้วนำออกมาตัดเป็นชิพ จะมีการตรวจสอบคุณสมบัติทางไฟฟ้าก่อน โดยใช้เครื่องมือที่เรียกว่า Probestation ซึ่งใช้เข็มจิ้มลงไปที่จุดต่อสาย (bonding pad) ที่ขั้วทั้งสาม คือ เดรน เกทและซอส แล้วต่อสายโลหะเข้ากับเครื่องวัดคุณสมบัติทางทรานซิสเตอร์(transistor curve tracer) โดยให้ขั้วเกทต่อเข้ากับขั้วเบสของเครื่องวัด ขั้วเดรนต่อเข้ากับคอลเลคเตอร์ และ ขั้วซอสต่อเข้ากับอีมิตเตอร์ แล้วทำการวัดดูว่ามีชิพใดทำงานได้บ้าง เพื่อนำไปบรรจุลงตัวถังโดยนำไปตัดแยกออกเป็นชิพเล็กๆที่เรียกว่า dice นำไปติดบนตัวถัง ต่อสายปิดฝาและทดสอบขั้นสุดท้าย วัดคุณสมบัติทางไ

ขบวนการที่กล่าวมาทั้งหมดนี้เป็นขบวนการหลักๆในการสร้าง CMOS และนำมากล่าวโดยคร่าวๆ แต่ในการสร้างจริงนั้นจะมีขั้นตอนการสร้างที่ละเอียดมากที่จะอธิบาย เฉพาะขบวนการสร้างที่กระทำในห้องแล็บ คือ เริ่มจากการทำออกซิเดชั่นจนถึงการเคลือบอลูมิเนียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กระบวนการสร้าง

1. ขั้นตอนการเตรียมแผ่นซิลิกอนและการเช็คคุณสมบัติ

   - แผ่นผลึกซิลิกอนชนิดพีระนาบ(100)
   - พิกัดความต้านทาน 10-14 Ω-cm
   - ความหนา 200 μm

2. การทำความสะอาดผิวแผ่นซิลิกอนครั้งแรก

   - Super Sonic ในน้ำ DI 1.5 นาที
   - DI แล้วต้มในกรด HNO_3 10 นาที
   - DI แล้วต้มในน้ำ DI(1) 5 นาที
   - ต้มในน้ำ DI(2) 5 นาที
   - DI แล้วเป่าแห้งด้วย N_2

3. การทำความสะอาดผิวหน้าแผ่นแบบมาตรฐาน

   - ต้มใน Tricholoethylene 5 นาที
   - Super Sonic ใน Acetone 1.5 นาที
   - DI(1)
   - DI(2)
   - เป่าแห้งด้วย N_2

4. การ Slice Etching

   - เขย่าในสารละลาย HF 5% 10 นาที
   - DI(1)
   - DI(2)
   - เป่าแห้งด้วย H_2

5. กระบวนการออกซิเดชั่น

   - Dry Oxidation ด้วย O_2 1200 cc/min 3 ชั่วโมง
   - Wet Oxidation ด้วย O_2 1000 cc/min 1 ชั่วโมง
   - Dry Oxidation ด้วย O_2 1200 cc/min 1 ชั่วโมง

   ใช้อุณหภูมิเตา 1150 องศาเซลเซียส

   อุณหภูมิน้ำ 80-90 องศาเซลเซียส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. กระบวนการโฟลิโทกราฟฟี มาส์กที่1(บ่อแยกชนิดพี)

- อบไล่ความชื้นที่ 95 °C 30 นาที
- เคลือบน้ำยาไวแสงชนิดลบ(way coat)spin 5000 rpm
- อบฟิล์มที่ 95°C 30 นาที (prebake)
- Alignment,Expose
- Develop ฟิล์มโดย
  - Xylene(1) 1.5 นาที
  - Xylene(2) 1.5 นาที
  - Isopropyl Alchohol(1) 30 วินาที
  - Isopropyl Alchohol (2) 30 วินาที
  - Isopropyl Alchohol (3) 30 วินาที
  - DI(1)
  - DI(2)
  - เป่าแห้งด้วย N_2
- อบฟิล์มที่ 95°C 30 นาที(post bake)
- เคลือบฟิล์มด้านหลัง
- อบฟิล์มที่ 95°C 30 นาที

7. การใช้สารละลายสกัดชั้นออกไซด์(Oxide Etching)

- สารละลาย buffer 5 นาที
- DI(1)
- DI(2)
- เป่าแห้งด้วย N_2

8. กระบวนการลอกฟิล์ม

- ต้มใน H_2SO_4(1) 5 นาที
- ต้มใน H_2SO_4 (2) 5 นาที
- DI
- ต้มใน DI(1) 5 นาที
- ต้มใน DI(2) 5 นาที
- DI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เป่าแห้งด้วย N_2

9. การทำความสะอาดผิวหน้า

- ต้มใน Tricholoethylene 5 นาที
- Super Sonic ใน Acetone 1.5 นาที
- DI(1)
- DI(2)
- เป่าแห้งด้วย N_2

10. การ Slice Etching

11. กระบวนการ Boron deposition Temp. 1025°C

-deposition ด้วย N_2 700 cc/min 30 นาที

O_2 1000 cc/min 5 นาที

12. ลอกชั้น Boron glass

- Slice HF 5% 10 วินาที
- DI(1)
- DI(2) แล้วเป่าแห้งด้วย N_2

13. การทำความสะอาดผิวหน้า

- ต้มใน Tricholoethylene 5 นาที
- Super Sonic ใน Acetone 1.5 นาที
- DI(1)
- DI(2)
- เป่าแห้งด้วย N_2

14. กระบวนการ Boron drive in Temp. 1000°C

- Dry O_2 1000 cc/min 30 นาที
- Wet O_2 1000 cc/min 30 นาที
- Dry O_2 1000 cc/min 30 นาที

15. กระบวนการโฟโต้ลิโทกราฟฟี่ มาร์คที่2(ขั้วสารซนิดเอ็น)

- อบแผ่นไล่ความชื้นที่ 95°C 30 นาที
- เคลือบน้ำยาไวแสงชนิดลบ(way coat) spin 5000 rpm
- อบฟิล์มที่ 95°C 30 นาที (prebake)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Alignment, Expose
  - Develop ฟิล์มโดย
    - จุ่มลงใน Xylene แก้วที่หนึ่ง 1.5 นาที
    - จุ่มลงใน Xylene แก้วที่สอง 1.5 นาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่หนึ่ง 30 วินาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่สอง 30 วินาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่สาม 30 วินาที
    - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
    - จุ่มในน้ำบริสุทธิ์แก้วที่สอง
  - เป่าแห้งด้วย N_2
  - อบฟิล์มที่ 95°C 30 นาที
  - เคลือบฟิล์มด้านหลัง
  - อบฟิล์มที่ 95°C 30 นาที

16. Oxide Etching
    - สารละลาย Buffer 5 นาที
    - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
    - จุ่มในน้ำบริสุทธิ์แก้วที่สอง
    - เป่าแห้งด้วย N_2

17. กระบวนการลอกฟิล์ม
    - ต้มใน H_2SO_4 แก้วที่หนึ่ง 5 นาที
    - ต้มใน H_2SO_4 แก้วที่สอง 5 นาที
    - จุ่มในน้ำบริสุทธิ์
    - ต้มในน้ำบริสุทธิ์แก้วที่หนึ่ง 5 นาที
    - ต้มในน้ำบริสุทธิ์แก้วที่สอง 5 นาที
    - จุ่มในน้ำบริสุทธิ์
    - เป่าแห้งด้วย N_2

18. การทำความสะอาดผิวหน้า
    - ต้มใน Tricholoethylene 5 นาที
    - Super Sonic ใน Acetone 1.5 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

19. การ Slice etching

20. กระบวนการ Phosphorous deposition Temp. 1050°C

- Deposition N_2 700 cc/min 30 นาที

21. ลอกชั้น Phosphorous glass

- Slice HF 5% 10 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

22. การทำความสะอาดผิวหน้า

- ต้มใน Tricholoethylene 5 นาที
- Super Sonic ใน Acetone 1.5 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

23. กระบวนการ Phophorous drive-in Temp. 1000°C

- Dry O_2 1200 cc/min 15 นาที
- Wet O_2 1200 cc/min 20 นาที
- Dry O_2 1200 cc/min 15 นาที

24. กระบวนการโฟโต้ลิโทรกราฟฟี่ มาส์คที่ 3 (Gate)

- อบแผ่นไล่ความชื้นที่ 95°C 30 นาที
- เคลือบน้ำยาไวแสงชนิดลบ(way coat) spin 5000 rpm
- อบฟิล์มที่ 95°C 30 นาที (prebake)
- Alignment, Expose
- Develope ฟิล์มโดย
- จุ่มลงใน Xylene แก้วที่หนึ่ง 1.5 นาที
- จุ่มลงใน Xylene แก้วที่สอง 1.5 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จุ่มลงใน Isopropyl Alchohol แก้วที่หนึ่ง 30 วินาที
- จุ่มลงใน Isopropyl Alchohol แก้วที่สอง 30 วินาที
- จุ่มลงใน Isopropyl Alchohol แก้วที่สาม 30 วินาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

25. Oxide Etching

- สารละลาย Buffer 5 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

26. กระบวนการลอกฟิล์ม

- ต้มใน H_2SO_4 แก้วที่หนึ่ง 5 นาที
- ต้มใน H_2SO_4 แก้วที่สอง 5 นาที
- จุ่มในน้ำบริสุทธิ์
- ต้มในน้ำบริสุทธิ์แก้วที่หนึ่ง 5 นาที
- ต้มในน้ำบริสุทธิ์แก้วที่สอง 5 นาที
- จุ่มในน้ำบริสุทธิ์
- เป่าแห้งด้วย N_2

27. การทำความสะอาดผิวหน้า

- ต้มใน Tricholoethylene 5 นาที
- Super Sonic ใน Acetone 1.5 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง

28. Gate Oxidation Temp. 1000°C

- Dry O_2 1200 cc/min 2 ชั่วโมง
- Dry N_2 1000 cc/min 10 นาที

29. กระบวนการโฟโต้ลิโทกราฟฟี มาส์คที่ 4 (ช่อง contact)

- อบแผ่นไล่ความชื้นที่ 95°C 30 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เคลือบน้ำยาไวแสงชนิดลบ(way coat) spin 5000 rpm
- อบฟิล์มที่ 95°C 30 นาที (prebake)
- Alignment, Expose
- Develope ฟิล์ม โดย
    - จุ่มลงใน Xylene แก้วที่หนึ่ง 1.5 นาที
    - จุ่มลงใน Xylene แก้วที่สอง 1.5 นาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่หนึ่ง 30 วินาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่สอง 30 วินาที
    - จุ่มลงใน Isopropyl Alchohol แก้วที่สาม 30 วินาที
    - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
    - จุ่มในน้ำบริสุทธิ์แก้วที่สอง
    - เป่าแห้งด้วย N_2

30. Oxide Etching
    - สารละลาย Buffer 5 นาที
    - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
    - จุ่มในน้ำบริสุทธิ์แก้วที่สอง
    - เป่าแห้งด้วย N_2

31. กระบวนการลอกฟิล์ม
    - ต้มใน H_2SO_4 แก้วที่หนึ่ง 5 นาที
    - ต้มใน H_2SO_4 แก้วที่สอง 5 นาที
    - จุ่มในน้ำบริสุทธิ์
    - ต้มในน้ำบริสุทธิ์แก้วที่หนึ่ง 5 นาที
    - ต้มในน้ำบริสุธิ์แก้วที่สอง 5 นาที
    - จุ่มในน้ำบริสุทธิ์
    - เป่าแห้งด้วย N_2

32. การทำความสะอาดผิวหน้า
    - ต้มใน Tricholoethylene 5 นาที
    - Super Sonic ใน Acetone 1.5 นาที
    - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

33. การเคลือบชั้นอลูมิเนียมในสูญญากาศ

34. กระบวนการโฟโต้ลิโทกราฟฟี่ มาส์คที่ 5 (ลวดลายอลูมิเนียม)

- เคลือบน้ำยาไวแสงชนิดบวก(Az.film) spin 5000 rpm
- อบฟิล์มที่ 80°C 15 นาที (prebake)
- Alignment.Expose
- Develope ฟิล์มโดย
  - Az Developer แก้วที่หนึ่ง 30 วินาที
  - Az Developer แก้วที่สอง 30 วินาที
  - จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
  - จุ่มในน้ำบริสุทธิ์แก้วที่สอง
  - เป่าแห้งด้วย N_2
- อบฟิล์มที่ 80°C 15 นาที

35. การสกัดชั้นอลูมิเนียม(Al-Etching)

- สารละลาย Al-Etching ที่ 50°C 1-2 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

36. กระบวนการลอกฟิล์ม

- จุ่มลงใน Acetone แก้วที่หนึ่ง 1 นาที
- จุ่มลงใน Acetone แก้วที่สอง 1 นาที
- จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
- จุ่มในน้ำบริสุทธิ์แก้วที่สอง
- เป่าแห้งด้วย N_2

37. กระบวนการ Sintering Temp. 500°C

- Dry N_2 1000 cc/min 12 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

จากการศึกษาคุณสมบัติพื้นฐานของมอสทรานซิสเตอร์ในบทที่ผ่านมา ทำให้เราสามารถวิเคราะห์ค่าตัวแปรทางฟิสิกส์และทางไฟฟ้าของมอสทรานซิสเตอร์เพื่อใช้เป็นตัวแปรในโปรแกรม Pspice ช่วยในการจำลองแบบสัญญาณไฟฟ้าซึ่งกล่าวถึงแล้วในบทที่4 จะช่วยให้สามารถทราบลักษณะของสัญญาณไฟฟ้าได้ล่วงหน้า ซึ่งเป็นผลดีต่อการออกแบบและสร้างวงจรรวมที่มีขนาดใหญ่และมีความซับซ้อนของวงจรสูง อีกทั้งยังช่วยให้ประหยัดเวลาและค่าใช้จ่ายอื่นๆด้วย

จากการจำลองแบบสัญญาณกระแสและแรงดันของวงจรสะท้อนกระแสแบบต่างๆ ด้วยค่าตัวแปรดังตารางที่1ของบทที่4 ทำให้สามารถทราบลักษณะของสัญญาณกระแสและแรงดันที่ควรจะได้จากวงจรสะท้อนกระแสจากกระบวนการสร้างจริง ซึ่งสามารถสรุปค่ากระแสเอ้าท์พุทของวงจรได้ดังตารางที่ 5.1

ตารางที่5.1 แสดงค่าแรงดันเอ้าท์พุทที่ควรจะได้จากการจำลองแบบวงจรสะท้อนกระแสแบบต่างๆ

มอสทรานซิสเตอร์ชนิด	วงจรสะท้อนกระแสแบบ	กระแสเอ้าท์พุท (mA)
เอ็น	ธรรมดา	2.53
	คาสโคด	0.28
	วิลสัน	0.28

*แรงดันอินพุท 20 โวลต์ และ แรงดันของเอ้าท์พุท 20 โวลต์

นำวงจรสะท้อนกระแสที่ได้จากกระบวนการสร้างมาวัดคุณสมบัติพื้นฐานและทำการเปรียบเทียบผลที่ได้จากการทดลองกับผลที่ได้จากการจำลองแบบด้วยโปรแกรม Pspice ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

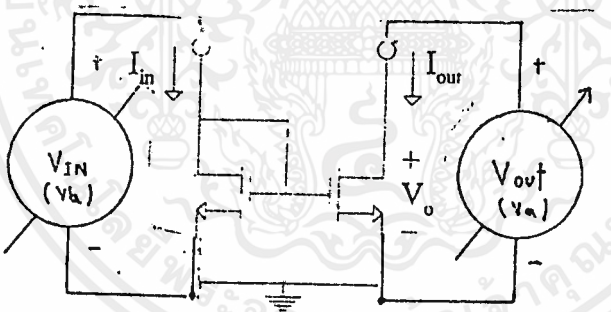
5.1 การทดลองเพื่อศึกษา I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแส

จะทำการศึกษา I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแบบแต่ละแบบว่ามีความใกล้เคียงกับทางทฤษฎีมากน้อยแค่ไหน เพื่อที่จะได้รู้ว่าวงจรสะท้อนกระแสแต่ละแบบที่เราทำการสร้างขึ้นมีความน่าเชื่อถือเพียงใด ในการทดลองนี้จะนำวงจรรวมสะท้อนกระแสแต่ละชนิด ได้แก่ แบบธรรมดา แบบคาสโคดและแบบวิลสัน ที่ได้จากกระบวนการสร้างมาทำการวัดคุณสมบัติกระแสและแรงดัน โดยจะต่อวงจรเข้ากับเครื่องวัดคุณสมบัติที่เรียกว่า เครื่อง HP 4061A Semiconductor/component test system ดังวงจรตามรูปที่5.1ก-5.1ค แล้วทำการวัด I-V - characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแต่ละแบบออกมาโดยป้อนค่า

$V_{IN}(V_b)$ จาก 0-20 volt stepทีละ 2 volt

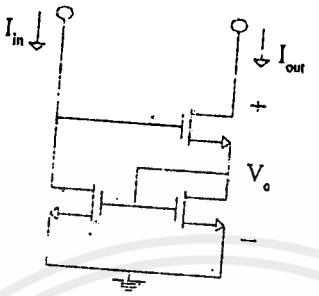
และ $V_{out}(V_a)$ จาก 0-20 volt step ทีละ 5 volt

แล้วจะได้ค่ากระแสเอ้าท์พุทที่สอดคล้องกับค่าแรงดันดังกล่าวออกมาดังกราฟรูปที่5.1ง-5.1ฉ

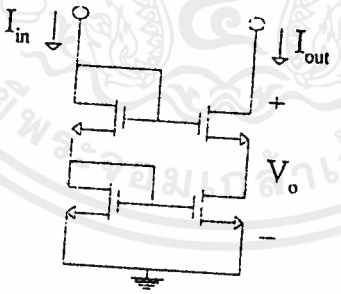


รูปที่5.1ก แสดงการต่อเพื่อวัด I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแส แบบธรรมดา โดยใช้เอ็นมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



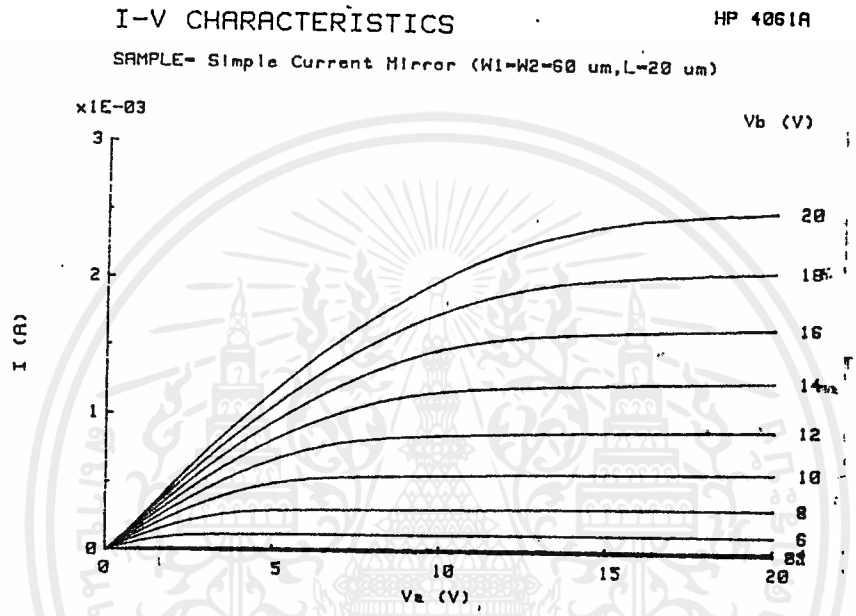
รูปที่5.1ข แสดงการต่อเพื่อวัด I-V characteristics ทางเข้าทุทของวงจรสะท้อนกระแสแบบ
- วิลสัน โดยใช้เอ็นมอสทรานซิสเตอร์



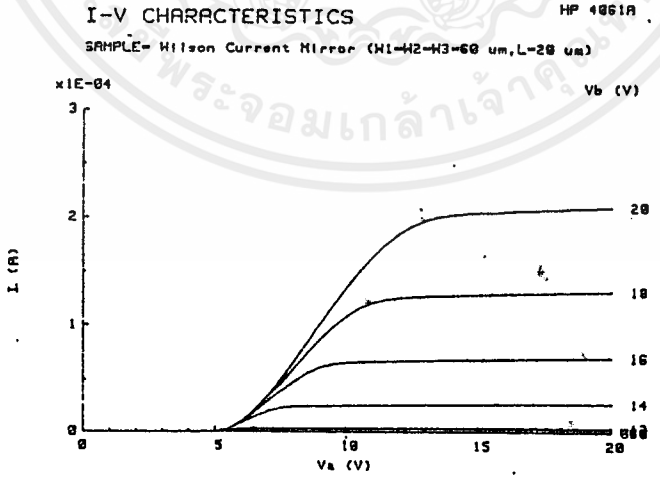
รูปที่5.1ค แสดงการต่อเพื่อวัด I-V characteristics ทางเข้าทุทของวงจรสะท้อนกระแสแบบ
- คาสโคด โดยใช้เอ็นมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1 ผลการทดลองวัดคุณสมบัติกระแสและแรงดัน

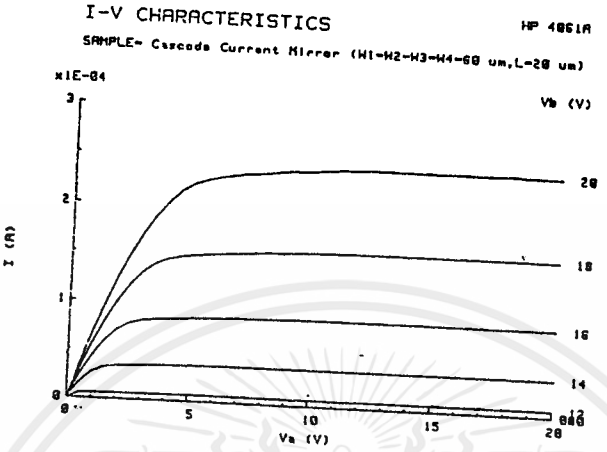


รูปที่5.1ง แสดงกราฟ I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแบบธรรมดา



รูปที่5.1จ แสดงกราฟ I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแบบวิลสัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.1ฉ แสดงกราฟ I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแบบคาสโคด

จากผลการทดลอง จะเห็นว่ากราฟที่ได้มีความคล้ายคลึงกันกับกราฟตามทฤษฎีของวงจรสะท้อนกระแสและผลการทดลองตามรูปที่ 4.2.1ข,4.2.2ข,4.2.3ข ในบทที่4 แสดงว่าวงจรสะท้อนกระแสที่เราออกแบบมีความน่าเชื่อถือได้พอสมควร

5.1.2 วิเคราะห์ผลการทดลอง

- วงจรสะท้อนกระแสแบบธรรมดา

จากผลการทดลองดังรูปที่5.1ง และตาราง5.1 จะเห็นได้ว่าค่าของกระแสเอ้าท์พุทมีแนวโน้มที่เหมือนกันและมีค่าความแตกต่างกันเล็กน้อย ซึ่งเมื่อพิจารณาค่าของกระแสเอ้าท์พุท ที่ค่าไบอัส V_{GS} = 20 โวล์ต โดยการเปรียบเทียบผลจากการวัดและผลจากการจำลองแบบของวงจรสะท้อนกระแสแบบธรรมดาชนิดเอ็นมอสทรานซิสเตอร์ จะได้ค่าความแตกต่างเป็น 1.2%

-วงจรสะท้อนกระแสแบบวิลสัน

จากผลการทดลองดังรูปที่5.1จ และตาราง5.1 เมื่อพิจารณาค่าของกระแสเอ้าท์พุทที่ค่าไบอัส V_{GS} = 20 โวล์ต โดยการเปรียบเทียบผลจากการวัดและผลจากการจำลองแบบของวงจรสะท้อนกระแสแบบวิลสันชนิดเอ็นมอสทรานซิสเตอร์จะได้ค่าความแตกต่างเป็น 25%

- วงจรสะท้อนกระแสแบบคาสโคด

จากผลการทดลองดังรูปที่5.1ฉ และตาราง5.1 เมื่อพิจารณาค่าของกระแสเอ้าท์พุทที่ค่าไบอัส V_{GS} = 20 โวล์ต โดยการเปรียบเทียบผลจากการวัดและผลจากการจำลองแบบของวงจรสะท้อนกระแสแบบคาสโคดชนิดเอ็นมอสทรานซิสเตอร์ จะได้ค่าความแตกต่างเป็น 14%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองที่ได้ จะเห็นว่ากราฟคุณสมบัติกระแสและแรงดันของวงจรสะท้อนกระแสทั้ง 3 แบบ จากรูปที่5.1ง-5.1ฉ จะมีแกนตั้งเป็นกระแสเอ้าท์พุท(I_{out}) ของวงจรสะท้อนกระแส ส่วนแกนนอนจะเป็นแรงดันเอ้าท์พุท(V_o) และเส้นกราฟแต่ละเส้นจะเป็นค่าของกระแสอินพุท(I_{in})

สำหับวงจรสะท้อนกระแสทางอุดมคติควรควรจะมีค่ากระแสเอ้าท์พุทที่มีค่าคงที่ตลอดช่วงการทำงานและกระแสเอ้าท์พุทเท่ากับกระแสอินพุท ซึ่งคุณสมบัติที่สำคัญของวงจรสะท้อนกระแสจะได้กล่าวถึงในหัวข้อต่อๆไป นอกจากนี้วงจรสะท้อนกระแสแบบต่างๆที่กล่าวมาแสดงให้เห็นว่า วงจรสะท้อนกระแสสามารถใช้ได้ทั้งในรูปของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ ซึ่งจะสามารถนำไปประยุกต์ใช้ในการไบอัสไฟตรงของวงจรรวมซีมอส

5.2 การทดลองเพื่อศึกษาคุณสมบัติพื้นฐานของวงจรสะท้อนกระแส

วงจรสะท้อนกระแสเป็นวงจรที่มีความสำคัญในการเป็นส่วนแหล่งจ่ายกระแสคงที่ในวงงจรรวม วงจรสะท้อนกระแสจะมีหลายแบบด้วยกัน ในหัวข้อนี้จะศึกษาถึงคุณสมบัติพื้นฐานของวงจรสะท้อนกระแสซึ่งได้แก่ คุณสมบัติของความถูกต้องของการขยายกระแส,คุณสมบัติของความต้านทานขาออกของวงจรและคุณสมบัติของแรงดันเอ้าท์พุทค่าต่ำที่สุด ดังมีรายละเอียดต่อไปนี้

5.2.1 คุณสมบัติของความถูกต้องของการขยายกระแส(Current Gain Accuracy)

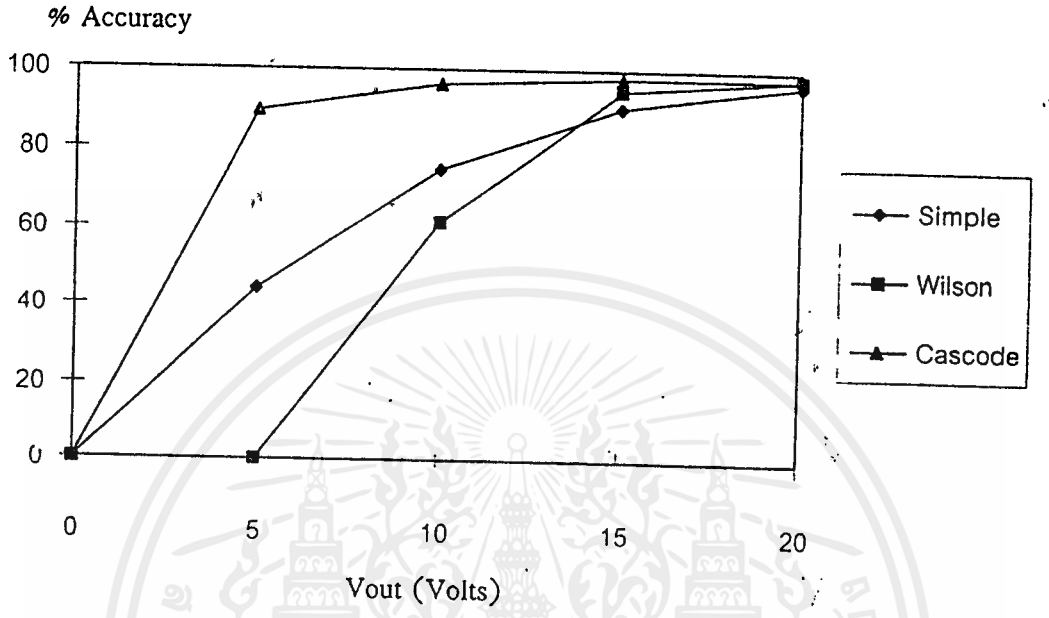
ความถูกต้องของการขยายกระแสจะเป็นสิ่งแสดงให้เห็นว่ากระแสในทรานซิสเตอร์มีผลต่อวงจรสะท้อนกระแสอย่างไร ซึ่งการขยายคือ อัตราส่วนของกระแสเอ้าท์พุทต่อกระแสอินพุท(I_{out}/I_{in}) โดยทางอุดมคติแล้วค่าอัตราขยายกระแสจะเท่ากับหนึ่ง นั่นคือ กระแสเอ้าท์พุทกับกระแสอินพุทจะต้องมีค่าเท่ากัน ดังนั้นในหัวข้อนี้จะเป็นการทดลองเพื่อศึกษาถึงคุณสมบัติของความถูกต้องของการขยายกระแสของวงจรสะท้อนกระแสแบบธรรมดา,แบบวิลสันและแบบคาสโคดที่ได้จากการออกแบบและสร้างด้วยเทคโนโลยีการแพร่สารเจือด้วยความร้อนและมีเกทเป็นโลหะ

- การทดลองและผลการทดลอง

โดยการใช้วงจรการวัดดังรูป5.1ก-5.1ค เพื่อทำการวัดวงจรสะท้อนกระแสแบบธรรมดา,แบบวิลสันและแบบคาสโคด ตามลำดับ

ผลที่ได้จากการวัดแสดงได้ดังรูป5.1ง-5.1ฉ และจากผลที่ได้นำไปเขียนกราฟความสัมพันธ์ระหว่าง I_{out}/I_{in} กับ V_{out} ดังรูป5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.2 กราฟความสัมพันธ์ระหว่าง I_{out}/I_{in} ของวงจรสะท้อนกระแสแบบต่างๆจากการวัดโดยใช้เอ็นมอสทรานซิสเตอร์

- วิเคราะห์ผลการทดลอง

รูปที่5.2 เป็นกราฟแสดงถึงความสัมพันธ์ระหว่างอัตราขยายกระแส(I_{out}/I_{in}) กับแรงดันเอ้าท์พุท(V_{out}) ของวงจรขยายกระแสแบบต่างๆ โดยกราฟนี้จะแสดงให้เห็นถึงความถูกต้องในการสะท้อนกระแสของวงจรสะท้อนกระแสทั้ง 3 แบบที่ได้จากการวัดเปรียบเทียบกัน ซึ่งจะเห็นว่าวงจรสะท้อนกระแสแบบคาสโคดจะให้ความถูกต้องของการสะท้อนกระแสมากที่สุด วงจรสะท้อนกระแสแบบวิลสันและวงจรแบบธรรมดา จะให้ความถูกต้องลดลงลำดับดังแสดงในตารางที่5.2

ตารางที่5.2 แสดงอัตราขยายกระแสของวงจรสะท้อนกระท้อนกระแสแบบต่างๆ

(V_{out} = 20 volt)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การทดลองศึกษาคุณสมบัติของความต้านทานขาออก(output resistance)ของวงจรสะท้อนกระแส

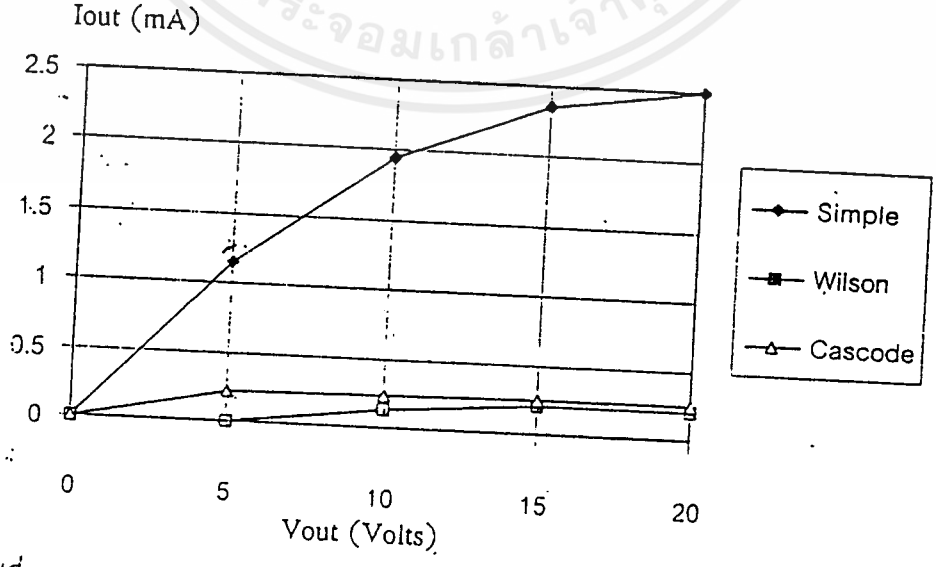
เราจะทำการศึกษา output resistance ของวงจรสะท้อนกระแสแต่ละแบบเพื่อที่จะเปรียบเทียบความคงที่ของกระแสในช่วงแรงดัน V_{out} (V_3) ว่าวงจรสะท้อนกระแสแบบใดมีความคงที่มากกว่ากันซึ่งจะแสดงถึงประสิทธิภาพการทำงานที่ดีกว่า เราจะทำการทดลองโดยการนำกราฟ I-V characteristics ทางเอ้าท์พุทของวงจรสะท้อนกระแสแต่ละแบบมาทำการวัดเพื่อหาค่าเอ้าท์พุทรีซิสแตนท์จากสมการ

$$r_{out} = \Delta V_{out} / \Delta I_{in} \quad \text{.....(5.1)}$$

ทำให้เราสามารถหาค่าความต้านทานขาออกของวงจรรวม(r_{out}) จากกราฟความสัมพันธ์ระหว่างกระแสเอ้าท์พุท(I_{out}) กับแรงดันเอ้าท์พุท(V_{out}) โดยการหาค่าของความชันของกราฟในช่วงเชิงเส้น ในหัวข้อนี้จะแสดงวิธีหาค่าความต้านทานขาออกของวงจรสะท้อนกระแสแบบต่างๆ

- การทดลองและผลการทดลอง

โดยการใช้วงจรการวัดดังรูป 5.1ก-5.1ค เพื่อทำการวัดวงจรสะทท้อนกระแสแบบธรรมดา,แบบวิลสันและแบบคาสโคด ตามลำดับ ผลที่ได้จากการวัดจะแสดงได้ดัง รูปที่5.1ง-5.1ฉ นำค่ามาเขียนกราฟความสัมพันธ์ของกระแสและแรงดันเอ้าท์พุทดังรปที่5.4



รูปที่5.4 แสดงกราฟความสัมพันธ์ระหว่างกระแสและแรงดันเอ้าท์พุทของวงจร-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่5.4 . ; สามารถหาค่าความต้านทานขาออกของวงจรได้ดังตารางที่5.3

ตารางที่5.3 แสดงค่าความต้านทานขาออกของวงจรสะท้อนกระแสแบบต่างๆ(NMOS)

ชนิด	แบบ	ค่าความต้านทานขาออก(KΩ)
NMOS	Simple	4
NMOS	Wilson	∝
NMOS	Cascode	∝

- วิเคราะห์ผลการทดลอง

จะเห็นได้ว่า ค่าความต้านทานขาออกจากการวัดและจากการจำลองแบบให้ผลแนวโน้มเหมือนกัน คือ วงจรสะท้อนกระแสแบบธรรมดาและแบบคาสโคดจะมีความต้านทานขาออกใกล้เคียงกันคือประมาณ 4 KΩ ส่วนค่าความต้านทานขาออกของวงจรสะท้อนกระแสแบบวิลสันจะมีค่าสูงกว่าคือ ประมาณ 37 KΩ ซึ่งจะทำให้วงจรสะท้อนกระแสแบบวิลสันมีกราฟความสัมพันธ์ของกระแสและแรงดันที่เป็นอิสระจากแรงดันเอ้าท์พุท ส่วนวงจรสะท้อนกระแสแบบธรรมดาและแบบคาสโคดมีความสัมพันธ์กระแสและแรงดันที่ขึ้นอยู่กับแรงดันเอ้าท์พุท นั่นคือ วงจรสะท้อนกระแสแบบวิลสันมีความคงที่ของกระแสตลอดช่วง V_{out} มากกว่าแบบธรรมดาและแบบคาสโคด เนื่องจากมีค่าเอ้าท์พุทรีซิสแต้นซ์ที่สูงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 การศึกษาคุณสมบัติแรงดันเอ้าท์พุทค่าต่ำที่สุด(Minimum output voltage)

แรงดันเอ้าท์พุทค่าต่ำสุด(V_{min}) เป็นแรงดันที่บอกถึงช่วงของการทำงานในสภาวะอิ่มตัวของวงจรว่ามีสภาวะการทำงานเช่นใด โดยปกติแรงดันเอ้าท์พุทค่าต่ำสุดของวงจรจะถูกพยายามทำให้ลดลงเพื่อให้ช่วงสภาวะกระแสอิ่มตัวมีช่วงกว้างมากขึ้น ในหัวข้อนี้จะเป็นการศึกษาถึงค่าแรงดันเอ้าท์พุทค่าต่ำที่สุดของวงจรสะท้อนกระแสแบบต่างๆ โดยการหาได้จากกราฟกระแสและแรงดันเอ้าท์พุทของวงจร

- การทดลองและผลการทดลอง

โดยการใช้วงจรการวัดดังรูป5.1ก-5.1ค เพื่อทำการวัดวงจรสะท้อนกระแสแบบธรรมดา,แบบวิลสันและแบบคาสโคด ตามลำดับ ผลที่ได้จากการวัดจะแสดงได้ดังรูป5.1ง-5.1ฉ และจากผลที่ได้นำไปหาค่าแรงดันเอ้าท์พุทค่าต่ำที่สุดของวงจรสะท้อนกระแสแบบต่างๆ โดยได้จากค่าแรงดันเอ้าท์พุทในช่วงเชิงเส้น สรุปได้ดังตารางที่5.4

ตารางที่5.4 แสดงค่าแรงดันเอ้าท์พุทค่าต่ำสุดของวงจรสะท้อนกระแสแบบต่างๆ(NMOS)

ชนิด	แบบ	ค่าแรงดันเอ้าท์พุทค่าต่ำที่สุด (Volts)
NMOS	Simple	7
	Wilson	7.5
	Cascode	1.5

- วิเคราะห์ผลการทดลอง

จากตารางที่5.4 จะเห็นได้ว่าค่าแรงดันเอ้าท์พุทค่าต่ำที่สุดของวงจรสะท้อนกระแสแบบคาสโคดจะมีค่าน้อยที่สุด และแบบวิลสันจะมีค่ามากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 สรุปและวิจารณ์ผลการทดลอง

วงจรสะท้อนกระแสที่ดีควรจะมีคุณสมบัติพื้นฐานที่ดี คือ มีอัตราขยายกระแสที่ถูกต้องหรือมีค่าเท่ากับหนึ่ง ค่าความต้านทานขาออกของวงจรควรมีค่าสูงและมีค่าแรงดันเอ้าท์พุทค่าต่ำที่สุด จากการทดลองจะเห็นได้ว่า วงจรสะท้อนกระแสแบบคาสโคดจะให้ความถูกต้องของอัตราขยายกระแสถูกต้องที่สุดและมีค่าแรงดันเอ้าท์พุทต่ำที่สุดด้วย ส่วนวงจรสะท้อนกระแสแบบวิลสันจะมีค่าความต้านทานขาออกสูงที่สุด ดังนั้นจะเห็นได้ว่าวงจรสะท้อนกระแสแบบคาสโคดมีคุณสมบัติพื้นฐานที่ดีที่สุดในวงจรตัวอย่างทั้งสามแบบ แต่ในการใช้งานจริงนั้นอาจต้องพิจารณาความเหมาะสมอื่นประกอบด้วย ซึ่งวงจรสะท้อนกระแสแบบธรรมดาก็เป็นที่นิยมในการใช้งาน เนื่องจากโครงสร้างไม่ซับซ้อน ใช้พื้นที่น้อยและมีคุณสมบัติที่ยอมรับได้ในระดับหนึ่งเช่นกัน

เมื่อเปรียบเทียบผลการทดลองจากการวัดและจากการจำลองแบบ จะเห็นได้ว่าจะมีเปอร์เซ็นความแตกต่างของคุณสมบัติด้านต่าง ๆ อยู่บ้าง ทั้งนี้เนื่องจากค่าตัวแปรทางกายภาพในกระบวนการสร้างจะมีค่าความคลาดเคลื่อนจากค่าตัวแปรทางกายภาพในการจำลองแบบ ซึ่งผลที่ได้นี้สามารถนำไปปรับแก้ค่าตัวแปรเหล่านี้ให้มีความถูกต้องได้ ดังนั้นการนำโปรแกรม PSPICE มาช่วยในการออกแบบขั้นตอนจึงทำให้การออกแบบและการสร้างวงจรสะท้อนกระแสเป็นไปอย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและวิจารณ์

เราสามารถออกแบบและทำการสร้างวงจรรวมชนิดเอ็นมอสทรานซิสเตอร์ได้จริง โดยผลการทดลองที่ได้มีความสอดคล้องกับทฤษฎีเป็นอย่างดี แต่ก็ทำให้เห็นถึงข้อด้อยของการออกแบบและขบวนการสร้างหลายประการ เริ่มตั้งแต่การออกแบบ Lay out ของวงจรที่ต้องการ แล้วนำ Layer out ที่ได้ไปทำโฟโต้มาสก์ ทำการคัดเลือกแผ่นผลึกที่ต้องการ นำไปทำความสะอาด สร้างออกไซด์เพื่อป้องกันการแพร่ของสารเจือตามขบวนการโฟโต้ลิโทรกราฟฟี่ของแต่ละมาสก์ นำแผ่นซิลิกอนที่ได้ไปแพร่ส่รเจือตามเวลาและอุณหภูมิที่เหมาะสมเพื่อให้ได้ความลึกของรอยต่อตามต้องการ นำแผ่นซิลิกอนที่แพร่สารเจือเรียบร้อยแล้วไปสร้างเกทออกไซด์ที่มีความหน่าเหมาะสม เพื่อให้ได้มอสทรานซิสเตอร์ที่มีคุณสมบัติเป็นไปตามต้องการ เสร็จแล้วนำไปผ่านขบวนการ vacuum evaporation เพื่อเคลือบอลูมิเนียมลงในแผ่นซิลิกอน แล้วทำอลูมิเนียมเอชชิ่งกัดอลูมิเนียมออกเพื่อให้ได้ขั้วโลหะที่เหมาะสม จะเห็นว่ากว่าจะสร้างมอสทรานซิสเตอร์ออกมาต้องผ่านกระบวนการมากมาย โอกาสผิดพลาดมีตั้งแต่ขั้นตอนแรกจนถึงขั้นตอนสุดท้ายแม้แต่ในเวลาที่เราวัดผลการทดลองถ้าไม่ระวังมอสทรานซิสเตอร์ก็อาจเสียหายได้ ดังนั้นการออกแบบและการสร้างมอสทรานซิสเตอร์โดยเทคโนโลยีการแพร่สารเจือด้วยความร้อนและใช้เกทเป็นโลหะจึงไม่เป็นที่นิยมในปัจจุบัน เนื่องจากมีข้อจำกัดในการย่อส่วนวงจรรวมซึ่งเป็นผลมาจากเทคนิคการออกแบบและการสร้าง รวมทั้งยังไม่สามารถควบคุมกระบวนการสร้างโดยรวมได้ ทำให้มอสที่สร้างได้มีคุณสมบัติไม่ดีเท่าที่ควร แนวโน้มในอนาคตในการสร้างวงจรรวมที่มีการย่อส่วนมากๆจึงหันมาใช้เทคโนโลยี Ion Implanation เนื่องจากทำให้มอสที่ได้มีประสิทธิภาพดีกว่าและเล็กกว่า

คุณสมบัติทางไฟฟ้าของวงจรสะท้อนกระแสแบบต่างๆจะเป็นตัวกำหนดประสิทธิภาพของวงจรว่าดีเพียงใด ซึ่งก็ได้ผลเป็นไปตามทฤษฎีว่าวงจรสะท้อนกระแสแบบคาสโคดและแบบวิลสันจะมีคุณสมบัติทางไฟฟ้าที่ดีกว่าวงจรสะท้อนกระแสแบบธรรมดา คือจะให้กระแสคงที่มากกว่า แต่อย่างไรก็ตามความคงที่ของกระแสก็ไม่ต่างกันมากนักเนื่องจากมอสทรานซิสเตอร์ที่สร้างมีขนาด 20 ไมครอน ทำให้ channel-length modulation มีค่าน้อย กราฟ I-V characteristics ของวงจรแต่ละแบบจึงมีจึงมีความลาดชันใกล้เคียงกัน แต่ถ้าเปรียบเทียบโดยรวมแล้วจะเห็นว่าวงจรสะท้อนกระแสแบบคาสโคดและแบบวิลสันที่ aspect ratios เดียวกันกับแบบอื่นจะให้คุณสมบัติที่ดีกว่าทั้งในด้านความคงที่ของกระแสเมื่อ output voltage เปลี่ยนไป ลักษณะการนำไปใช้เป็นสวิตช์เมื่อเปรียบเทียบกับแบบธรรมดาก็จะดีกว่าด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี เพราะได้รับความช่วยเหลือและคำแนะนำจากผู้มีพระคุณต่างๆ ผู้จัดทำจึงขอแสดงความขอบคุณทุกท่านอันได้แก่

รศ.ดร. สมเกียรติ ศุภเดช

คุณ วีระ เพ็งจันทร์

และขอบพระคุณ คุณแม่ที่ให้กำลังใจและสนับสนุนตลอดการศึกษา

นาย สงวน โพธิ์ศรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1.วีระ เพ็งจันทร์,อัมพร โพธิโย,เติมพงษ์ เพ็ชรกุล, วิสุทธิ์ ฐิติรุ่งเรืองและสมเกียรติ ศุภเดช,"คุณสมบัติทางกายภาพของโครงสร้างซีมอสในกระบวนการแพร่สารเจือด้วยความร้อน",การประชุมใหญ่ทางวิชาการประจำปี2535,พฤศจิกายน,2535

2.Phillip E.Allen and Douglas R. Holberg,"CMOS Analog Circuit Design",HRW,Inc.1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้