ซินธิไซเซอร์เจเนอเรเตอร์

Synthesize Generator

โดย

นาย บวรเกียรติ ทองเสมอ

นาย อดิชาติ ชนิตราภิรักษ์

อาจารย์ที่ปรึกษา

อ.ประภากร สุวรรณะ

วัน เดือน ปี 24 ก.ค. 2541

เลขทะเบียน 039166

เลขเรียกหนังสือ T 10404 บ 235ซ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

039166

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

เรื่อง ซินธิไซเซอร์เจเนอเรเตอร์
(Synthesize Generator)

ผู้จัดทำ นาย บวรเกียรติ ทองเสมอ 38013192
นาย อติชาติ ชนิตราภิรักษ์ 38013217

(อ. ประภากร สุวรรณะ)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ชิ้นนี้สามารถที่จะมาถึงณ.จุดนี้ได้ ด้วยความช่วยเหลือของผู้มีอุปการะคุณหลายฝ่าย โดยเฉพาะอย่างยิ่งท่านอาจารย์ที่ปรึกษา อาจารย์ประภากร สุวรรณะ ที่คอยให้คำปรึกษา คำแนะนำ และ เครื่องมือ.เครื่องใช้ที่ใช้ในการดำเนินการทดลอง ตลอดจนพระคุณของบิดามารดา ผู้ซึ่งให้โอกาส และทุกสิ่งทุกอย่างแก่พวกเราคณะผู้จัดทำ และสุดท้ายก็คงจะเป็นกลุ่มเพื่อนๆที่คอยให้กำลังใจ และแนวความคิดบางสิ่งบางอย่างแก่เรา ทางคณะผู้จัดทำจึงขอขอบพระคุณเป็นอย่างสูงไว้ ณ. โอกาสนี้ด้วย

คณะผู้จัดทำ
บวรเกียรติ ทองเสมอ
อติชาติ ชนิตราภิรักษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซินธิไซเซอร์เจเนอเรเตอร์

นาย บวรเกียรติ ทองเสมอ
นาย อติชาติ ชนิตราภิรักษ์
อ. ประภากร สุวรรณะ(อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2540

บทคัดย่อ

ซินธิไซเซอร์เจเนอเรเตอร์ คือ ฟังค์ชั่นเจเนอเรเตอร์ ซึ่งสามารถที่จะกำหนดความถี่ที่จะผลิตออกมาได้โดย ข้อมูลที่เป็นดิจิตอล จากคุณสมบัติดังกล่าวทำให้มีความสะดวกสบาย และมีความแม่นยำมากกว่า ฟังค์ชั่นเจเนอเรเตอร์แบบ R-C โครงงานนี้ได้ทำการออกแบบ และทำการสร้าง เฟสล็อคลูปซินธิไซเซอร์ โดย VCO ของวงจร คือ ไอซี MAX038 ซึ่งเป็นไอซีแบบ ชิปเดี่ยวที่ทำงานเป็นฟังค์ชั่นเจเนอเรเตอร์ ย่านความถี่ที่ผลิตอยู่ในช่วง 10 Hz ถึง 10 MHz และแรงดันสูงสุด 20 Vpp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYNTHESIZER GENERATOR

Mr. Bovornkiat tongsamer
Mr. Atichart chanitrapirux
Mr. Prapakorn suwanna (Adviser)
2ST Semestor,Education Year 1997

Abstract

A synthesizer generator is a function generator which the generated frequency can be programmed by digital data, result in more convenience and more accuracy than those of a R-C function generator. The project is a design and construction of a phase lock loop synthesizer. The vco is MAX038, a single chip function generator. The frequencies range from 10 Hz to 10MHz is obtain with a maximum output of 20 Vpp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
สารบัญรูป	V
สารบัญตาราง	
VIบทที่ 1 ซินธิไซเซอร์เจเนอเรเตอร์	1
1.1 บทนำ	1
1.2 ซินธิไซเซอร์เจเนอเรเตอร์	2
บทที่ 2 ทฤษฎีการกำเนิดรูปคลื่นสัญญาณโดยใช้ไอซี MAX038	4
2.1 รายละเอียดและคุณสมบัติของ MAX038	4
2.2 ลักษณะรูปร่างของ MAX038 และหน้าที่การทำงานในแต่ขา	5
2.3 การทำงานของ MAX038	6
2.3.1 การเลือกรูปแบบของรูปคลื่น	7
2.3.2 การกำหนดความถี่	7
2.3.3 อินพุท FADJ	9
2.3.4 โปรแกรมมิ่ง FADJ	10
2.3.5 การยกเลิก FADJ	10
2.3.6 การทำงานของ Swept frequency	11
2.3.7 ดิ๊วตี้ไซเกิ้ล	11
2.3.8 ภาคเอาท์พุท	13
2.3.9 ค่าแรงดันอ้างอิง	13
2.3.10 การเลือกตัวเก็บประจุและตัวต้านทาน	13
2.3.11 สัญญาณซิงค์	14
2.3.12 เฟสดีเทคเตอร์	14
บทที่ 3 ระบบสังเคราะห์ความถี่	19
3.1 สังเคราะห์ความถี่	19
3.2 เฟสล็อคลูป	21
3.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่	22
3.4 คุณสมบัติของวงจรสังเคราะห์ความถี่	23
3.5 วงจรต่างๆในเฟสล็อคลูป	24
3.6 เรื่องเกี่ยวกับการสังเคราะห์ความถี่	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 4 รายละเอียดและการสร้างโครงงาน	35
4.1 การทำงานของวงจรผลิตความถี่	35
4.2 การคำนวณเพื่อหาค่าชัฐ ล12 บิ ต ในการกำหนดความถี่ของ AD 7541 AJN	38
บทที่ 5 การทดลองและผลการทดลอง	40
5.1 ทดลองวัดค่าแรงดันที่ความถี่ต่างๆ	40
5.1.1 ที่ C_F = 220nF	40
5.1.2 ที่ C_F = 22nF	40
5.1.3 ที่ C_F = 2.2nF	40
5.1.4 ที่ C_F = 220pF	40
5.2 ผลการทดลองจากการวัดรูปสัญญาณที่ความถี่ต่างๆ	50
บทที่ 6 บทวิจารณ์และบทสรุป	
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูป 1	บล็อกไดอะแกรม	3
รูป 2.1	ลักษณะรูปร่างของ MAX038	5
รูป 2.2	แสดงบล็อกไดอะแกรมและการทำงานพื้นฐานของวงจร	6
รูป 2.3	กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุท,กระแสและ C_F กำหนดความถี่	8
รูป 2.4	กราฟแสดงความสัมพันธ์ระหว่างค่านอมอลไลซ์ความถี่เอาท์พุทกับแรงดันที่ขา FADJ	9
รูป 2.5	แสดงการทำงานของวงจรผลิตรูปคลื่นซายน์ที่ค่าดิวตี้ไซเกิ้ล 50%	11
รูป 2.6	กราฟแสดงความสัมพันธ์ระหว่างเปอร์เซนต์ดิวตี้ไซเกิ้ลกับแรงดันที่ขา DADJ	12
รูป 2.7	กราฟแสดงความสัมพันธ์ระหว่างค่านอมอลไลซ์ความถี่เอาท์พุทกับแรงดันที่ขา DADJ	13
รูป 2.8	การใช้ Phase-Locked Loop เป็น Internal Phase Detector	15
รูป 2.9	การใช้ Phase-Locked Loop เป็น External Phase Detector	17
รูป 2.10	การใช้ Phase-Locked Loop เป็น External Frequency Phase Detector	17
รูป 3.1	ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง	20
รูป 3.2	แผนผังของเฟสล็อคลูป	21
รูป 3.3	แผนผังของหน่วยสังเคราะห์ความถี่	22
รูป 3.4	เฟสนอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆกับความถี่เอาท์พุท	23
รูป 3.5	วงจร VCO แบบใช้ FET	24
รูป 3.6	วงจร VCO ชนิดเป็นไอซีของโมโตโรล่าเบอร์ MC 1648	25
รูป 3.7	วงจรออสซิลเลเตอร์อ้างอิง	26
รูป 3.8	ภาคเฟสดีเทคเตอร์แบบไอซีของ Plessey เบอร์ NT 8811	27
รูป 3.9	ภาคเฟสดีเทคเตอร์แบบไอซี อีกแบบหนึ่งของ Toshiba เบอร์ 5081	28
รูป 3.10	ตัวอย่างวงจรลูปฟิลเตอร์	28
รูป 3.11	คุณลักษณะ ในการเปลี่ยนความถี่ของเฟสล็อคลูป(dynamic characteristics)	29
รูป 3.12	ตัวอย่าง Programmable divider โดยใช้ไอซี ตระกูล TTL	30
รูป 3.13	ตัวอย่างวงจรหาร N ชนิดความเร็วสูงเป็นไอซีตัวเดียวเบอร์ Toshiba TC9122	30
รูป 3.14	PLL แบบโดยตรง	31
รูป 3.15	PLL แบบคูณความถี่	31
รูป 3.16	PLL แบบพรีสเกลเลอร์	32
รูป 3.17	PLL แบบพรีสเกลเลอร์สองโมดูลัส	32
รูป 3.18	PLL แบบมิกซิ่งนอกลูป	33
รูป 3.19	PLL แบบมิกซิ่งในลูป	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูป 4.1 แสดงวงจรที่ใช้ในการคำนวณ 36
รูป 5.1 แสดงวงจรที่ใช้ในการทดลองวัดค่าแรงดันที่ความถี่ต่างๆ 40
รูป 5.2 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.1 43
รูป 5.3 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.2 45
รูป 5.4 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.3 47
รูป 5.5 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.4 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ตารางคุณสมบัติของ MAX038	4
ตารางที่ 2.2 แสดงหน้าที่การทำงานของแต่ละขา	5
ตารางที่ 2.3 แสดงระดับลอจิกเพื่อเลือกรูปแบบของสัญญาณ	7
ตารางที่ 4.1 แสดงการกำหนดค่าในการคำนวณ	37
ตารางที่ 5.1 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F = 220nF	42
ตารางที่ 5.2 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F = 22nF	44
ตารางที่ 5.3 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F = 2.2nF	46
ตารางที่ 5.4 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F = 220pF	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ซินธิไซเซอร์เจเนอเรเตอร์

1.1 บทนำ

ในโลกของวิศวกรรม การทดลอง การสร้างและการทดสอบ มีความจำเป็นอย่างมาก ก่อนที่จะนำไปใช้งานจริงเพื่อให้มีความปลอดภัยสูง การทดลอง จึงต้องเกิดขึ้นก่อน ทางด้านวิศวกรรมอิเล็คทรอนิกส์ การทดสอบวงจรต่าง ๆ อุปกรณ์หรือเครื่องมือทางอิเล็คทรอนิกส์ ที่จำเป็นต้องมีไว้ใช้ ในการปฏิบัติการเพื่อทำให้เรารู้ และเข้าใจหลักการและความสามารถของวงจร คือ เครื่องกำเนิดสัญญาณรูปแบบต่าง ๆ ซินธิไซเซอร์เจเนอเรเตอร์ เป็นอุปกรณ์หนึ่งที่มีความสำคัญ และใช้ทดสอบการทำงานของวงจรต่าง ๆ

วิธีการในการสร้างสัญญาณความถี่ออกมาใช้งาน มีวิธีการสร้างและวิธีการออกแบบวงจรอยู่หลายวิธีด้วยกัน อาทิ เช่น ใช้ CRYSTAL ใช้วงจร LC CIRCUIT และ RC CIRCUIT แต่ถ้าหากต้องการเปลี่ยนแปลงความถี่ของทั้งสองวิธีนี้ อาจทำได้ค่อนข้างยุ่งยาก ซึ่งสามารถทำได้โดยการเปลี่ยนแปลงค่าของอุปกรณ์ แต่การผลิตสัญญาณความถี่โดยใช้ระบบสังเคราะห์ความถี่ (FREQUENCY SYNTHESIZER) สามารถทำการเปลี่ยนแปลงความถี่ได้ง่าย โดยไม่ต้องเปลี่ยนโครงสร้างของวงจรเลย ระบบสังเคราะห์ความถี่ผลิตสัญญาณโดยอาศัยหลักการของระบบ เฟสล็อคลูป (PHASE LOCK LOOP) ซึ่งความถี่ที่ได้ออกมาค่อนข้างที่จะมีความเที่ยงตรงมากกว่าแบบอื่น เพราะระบบเฟสล็อคลูป ผลิตสัญญาณความถี่ออกมา โดยมีสัญญาณความถี่ค่าหนึ่งเป็นสัญญาณความถี่อ้างอิง (FREQUENCY REFERENCE) โดยส่วนใหญ่จะได้มาจากการผลิตความถี่ของคริสตอล ในการเปลี่ยนแปลงความถี่ของระบบสังเคราะห์ความถี่จะถูกควบคุมจากส่วนของวงจรหารความถี่ที่สามารถเปลี่ยนแปลงค่าในการหารได้ (VARIABLE DIVIDER) ซึ่งคั่นอยู่ระหว่างลูปของเฟสล็อคลูป ข้อได้เปรียบของการผลิตความถี่ของระบบสังเคราะห์ความถี่ที่มีต่อวงจรผลิตความถี่แบบอื่นๆ นอกจากความสามารถในการเปลี่ยนแปลงความถี่ที่ง่ายแล้ว ยังได้เปรียบทางด้านโครงสร้างอีก ซึ่งวงจรสังเคราะห์ความถี่จะมีโครงสร้างที่เล็กกว่าแบบอื่น

จากข้อได้เปรียบของวงจรสังเคราะห์ความถี่ในด้านต่างๆ มันจึงถูกนำมาใช้ในการผลิตความถี่ใช้งานในด้านต่างๆ ซึ่งส่วนใหญ่มักจะมีเรื่องของความถี่เกี่ยวข้องอยู่เสมอ โดยเฉพาะอย่างยิ่งในงานติดต่อสื่อสารจำเป็นอย่างยิ่ง ที่จะต้องมีส่วนของตัวผลิตสัญญาณความถี่ นอกจากนี้แล้ววงจรสังเคราะห์ความถี่ยังถูกนำมาประยุกต์ใช้งานด้านดนตรี งานด้านเสียงสเปเชียลเอฟเฟคแบบต่างๆ ซึ่งจะเห็นว่าวงจรสังเคราะห์ความถี่สามารถประยุกต์ใช้งานได้อีกมากมาย วงจรสังเคราะห์ความถี่จึงเป็นพื้นฐานที่จะนำไปสู่การประยุกต์ใช้งาน

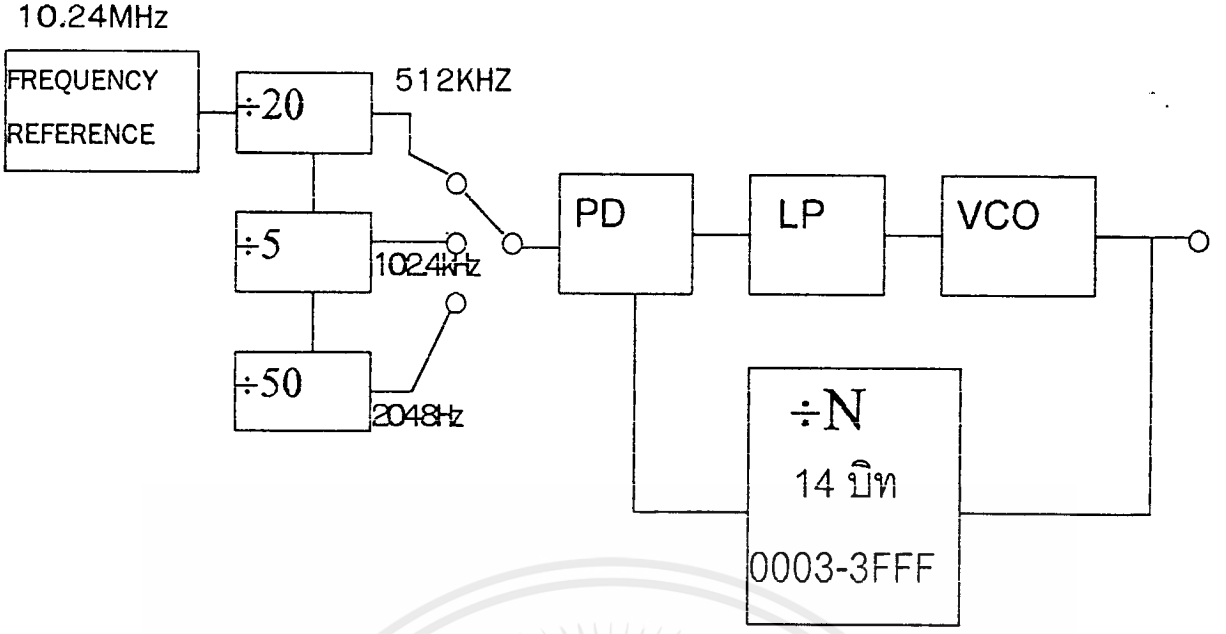
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในอดีตจนถึงปัจจุบันอุปกรณ์ไอซีที่ถูกผลิตขึ้นมาเพื่อ เป็นตัวกำเนิดสัญญาณรูปคลื่นเพื่อการทดสอบที่พบเห็นและมีใช้งานกันอยู่บ้างก็คือ XR2206 และ ICL8038 ไอซีทั้งสองนับว่ามีความสามารถในการกำเนิดรูปคลื่นสัญญาณได้ดีพอสมควร หากแต่มีจุดด้อยตรงที่สามารถผลิตรูปคลื่นสัญญาณได้ ที่ระดับความถี่ต่ำ ๆ เท่านั้นนั่นคือประมาณ 1 เฮิรตซ์ ถึง 1 เมกะเฮิรตซ์ ในโครงงานนี้ใช้ MAX038 ซึ่งจะสามารถผลิตความถี่ที่ได้ในย่านที่กว้างกว่า

1.2 ซินธิไซเซอร์เจเนอเรเตอร์

ซินธิไซเซอร์เจเนอเรเตอร์ หรือ เครื่องกำเนิดสัญญาณโดยการสังเคราะห์ความถี่ ที่ได้ทำการสร้างและทดลอง อาศัยหลักการทำงานของเฟสล็อคลูป ทำการผลิตความถี่ออกมาจากผลของการเปรียบเทียบสัญญาณความถี่เอาท์พุทที่นำกลับมาเปรียบเทียบกับสัญญาณความถี่หนึ่งทางอินพุท อันเป็นความถี่อ้างอิงคงที่ค่าหนึ่งความถี่ที่สังเคราะห์ได้ขึ้นอยู่กับความแตกต่างทางเฟสของสัญญาณทั้งสอง โดยปกติเมื่อเฟสล็อคลูปสามารถ ล็อคความถี่ของอินพุทกับเอาท์พุทแล้ว ความแตกต่างของเฟสสัญญาณทั้งสองจะมีค่าคงที่อยู่ค่าหนึ่ง ซึ่งในขณะนั้นความถี่ของสัญญาณทั้งสองจะมีค่าเท่ากัน แต่ความแตกต่างทางเฟสจะคงที่อยู่ค่าหนึ่ง จึงมีการประยุกต์เฟสล็อคลูปให้มีสัญญาณความถี่อินพุทคงที่อยู่ค่าหนึ่ง แล้วเพิ่มส่วนหารความถี่คั่นระหว่างการป้อนสัญญาณกลับมาเทียบเฟส เพื่อให้สัญญาณที่ถูกนำกลับมาจากเอาท์พุทเปลี่ยนแปลงใช้ได้หลายๆค่า เพราะฉะนั้น ผลจากการเปรียบเทียบเฟสระหว่างสัญญาณทางอินพุทกับสัญญาณทางเอาท์พุทที่ถูกหารความถี่ด้วยค่าที่แตกต่าง จึงมีความแตกต่างทางเฟสของสัญญาณทั้งสองมีค่าแตกต่างกันไปด้วยและทำให้ค่าของสัญญาณที่นำไปควบคุมส่วนของวงจรผลิตความถี่มีได้หลายค่าเช่นกัน ด้วยเหตุนี้จึงทำให้วงจรในส่วนผลิตความถี่สามารถผลิตความถี่ค่าต่างๆ ออกมาได้ซึ่งขึ้นอยู่กับขนาดของสัญญาณที่ถูกส่งมาควบคุม โดยทั้งนี้ขึ้นอยู่กับขีดความสามารถของส่วนผลิตความถี่ ว่าจะสามารถผลิตความถี่ได้มากน้อยเพียงใด ในส่วนของวงจรหารความถี่เราต้องการให้มีค่าเปลี่ยนแปลงไปได้หลายๆค่า ดังนั้นในส่วนของวงจรเราสามารถใช้ดิพสวิทช์ในการป้อนข้อมูลที่ต้องการจะหารเข้ามา เพื่อเลือกค่าที่ต้องการจะหารได้ โครงสร้างของโครงงานต่อไปนี้จะเป็นดังบล็อคไดอะแกรม จะเห็นว่าส่วนของความถี่อ้างอิง (FREQUENCY REFERENCE) ซึ่งได้มาจากการผลิตความถี่ของคริสตอล จะถูกทำการหารด้วยวงจรหารความถี่ ที่มีค่าแตกต่างกัน 3 ค่า ซึ่งจะได้ความถี่ทีแตกต่างกัน 10 เท่า ก่อนที่จะนำไปเข้าในส่วนของเฟสดีเทคเตอร์ เพื่อเปรียบเทียบเฟสต่อไป การหารความถี่อ้างอิงก่อนนำเข้าวงจรเฟสล็อคลูป ทำให้วงจรสามารถผลิตความถี่ได้ในย่านกว้าง ในที่นี้ ความถี่ที่จะทำการผลิตคือ ตั้งแต่ประมาณ 10 Hz ถึง 10 MHz ซึ่งถือว่าเป็นความถี่ที่เพียงพอต่อการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 บล็อคไดอะแกรม

ส่วนประกอบหลักๆ ของวงจรประกอบไปด้วย เฟสดีเทคเตอร์ (PD: PHASE DETECTER), ลูปฟิลเตอร์ (LP: LOOP FILTER) , โวลท์เตจคอนโทรลออสซิลเลเตอร์ (VCO: VOLTAGE CONTROL OSCILLATOR), ซึ่งรวมเรียกว่าเฟสล็อคลูป และส่วนที่เพิ่มเข้ามาคือ ส่วนหารสัญญาณความถี่ (VARIABLE DIVIDER) มีหน้าที่หารความถี่ก่อนที่จะส่งมาเปรียบเทียบกับสัญญาณความถี่อ้างอิง

การทำงานของแต่ละภาคสามารถอธิบายได้ดังต่อไปนี้

ภาคเฟสดีเทคเตอร์ ส่วนของเฟสดีเทคเตอร์ จะมีอินพุทอยู่ 2 ขา ขาหนึ่งมาจากส่วนสร้างความถี่อ้างอิง อีกขาหนึ่งมาจากเอาท์พุทของวีซีโอ เฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณอินพุททั้งสอง ได้เอาท์พุทเป็นสัญญาณความแตกต่างทางเฟส

ภาคลูปฟิลเตอร์ ทำหน้าที่กรองสัญญาณที่มาจากภาคเฟสดีเทคเตอร์ ให้เป็นสัญญาณดีซีควบคุมการผลิตความถี่ของวีซีโอ

ภาคโวลท์เตจคอนโทรลออสซิลเลเตอร์ ประกอบด้วยไอซีชิปเดี่ยว MAX038 ซึ่งจะทำการผลิตรูปคลื่นออกมา 3 แบบคือ ซายน์ สี่เหลี่ยม และสามเหลี่ยม

ภาคหารสัญญาณความถี่ ใช้ไอซีเบอร์ MC 145151 หารความถี่ได้ 14 บิทหรือ 2^{14} ขั้นอยู่ระหว่างลูป โดยนำสัญญาณจาก VCO มาหารและนำเข้าอินพุทของเฟสดีเทคเตอร์

ภาคขยายสัญญาณ ทำหน้าที่ในการขยายแรงดันที่ออกจากเอาทพุทของ วีซีโอ ซึ่งมีขนาดประมาณ $2V_{P-P}$ ให้มีขนาดสูงขึ้นประมาณ $20 V_{P-P}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การกำเนิดรูปคลื่นสัญญาณโดยใช้ไอซี MAX 038

2.1 รายละเอียดและคุณสมบัติของ MAX 038

MAX 038 เป็นไอซีชิปเดี่ยวซึ่งภายในเป็นวงจรฟังก์ชันเจนเนอเรเตอร์ สามารถผลิตความถี่ที่มีความแม่นยำสูง รูปคลื่นที่ผลิต เช่น รูปคลื่นสามเหลี่ยม, ฟันเลื่อย, สี่เหลี่ยม, พัลซ์ และรูปคลื่นซายน์ โดยใช้อุปกรณ์ประกอบจากภายนอกน้อยมาก สัญญาณความถี่ที่ผลิตได้จะมีช่วงย่านความถี่ตั้งแต่ 0.1 เฮิร์ท ถึง 20 เมกะเฮิร์ท ใช้แรงดันอ้างอิง 2.5 โวลท์ ใช้อุปกรณ์ RC ต่อภายนอก ค่าดิวตี้ไซเกิ้ลสามารถเปลี่ยนแปลงได้โดยค่าจะแปรตามแรงดันควบคุม ± 2.3โวลท์ ทำให้สะดวกอย่างยิ่งในการสร้างวงจรมอดดูเลชั่นและใช้กำเนิดรูปคลื่นสัญญาณสามารถทำการ มอดดูเลท(Modulation) และการกวาด (sweep) ได้ในเวลาเดียวกันนอกจากนั้นยังสามารถเปลี่ยนค่าดิวตี้ไซเกิ้ลและค่าความถี่ได้

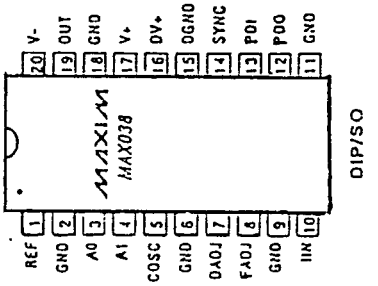
ขนาดของรูปคลื่นสัญญาณเอาท์พุทที่ได้จะมีขนาด 2 โวลท์ พีคทูพีคเทียบกราวด์มีค่าเอาท์พุทอิมพีแดนซ์ต่ำ สามารถขับกระแสได้ในช่วง ±20 มิลลิแอมป์ และสามารถเลือกรูปแบบของสัญญาณทางเอาท์พุทได้โดยการกำหนดลอจิก(logic)ที่ขา A0 และ A1

ตารางที่ 2.1 ตารางคุณสมบัติของ MAX 038

ตารางคุณสมบัติ
• ย่านความถี่ : 0.1 Hz – 20 MHz
• รูปคลื่น : สามเหลี่ยม, ฟันเลื่อย, สี่เหลี่ยม,พัลซ์, ซายน์
• ย่านความถี่กวาด : 350–1
• สามารถปรับแต่งค่าดิวตี้ไซเกิ้ล และความถี่
• เปอร์เซ็นต์ดิวตี้ไซเกิ้ล : 15% – 85%
• เอาท์พุทอิมพีแดนซ์ : 0.1 โอห์ม
• ความเพี้ยนของซายน์ : 0.75%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ลักษณะรูปร่างของ MAX 038 และหน้าที่การทำงานของแต่ละขา



รูปที่2.1 ลักษณะรูปร่างของ MAX 038

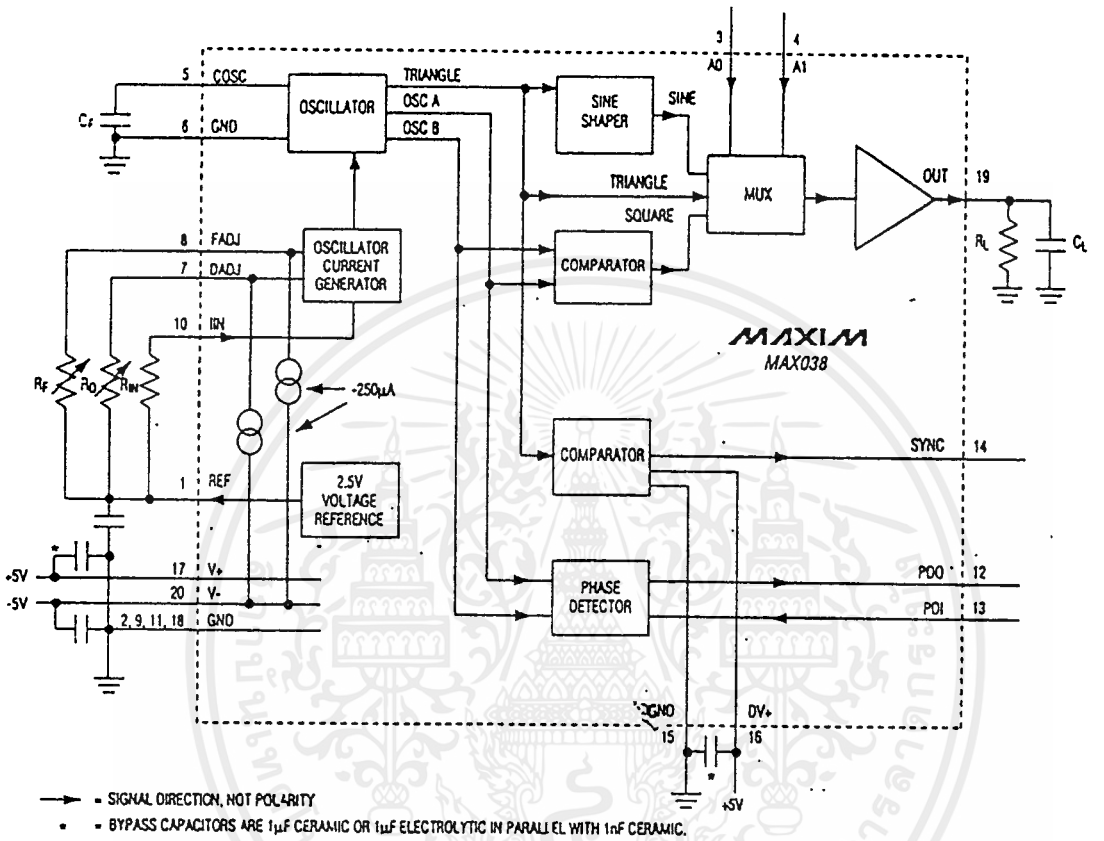
ตารางที่ 2.2 แสดงหน้าที่การทำงานของแต่ละขา

ขา	ชื่อ	หน้าที่
1	REF	แรงดันอ้างอิง 2.5 โวลท์ เทียบกราวด์
2	GND	ขากราวด์
3	A0	กำหนดรูปแบบของคลื่น
4	A1	กำหนดรูปแบบของคลื่น
5	COSC	เลือกย่านความถี่โดยการต่อ C จากภายนอก
6	GND	ขากราวด์
7	DADJ	ปรับ Duty Cycle
8	FADJ	ปรับความถี่
9	GND	ขากราวด์
10	IIN	กระแสอินพุทควบคุมความถี่
11	GND	ขากราวด์
12	PDO	เอาท์พุทเฟสดีเทคเตอร์
13	PDI	ป้อนสัญญาณอินพุทอ้างอิงสำหรับเฟสดีเทคเตอร์
14	SYNC	เอาท์พุทสัญญาณ Sync
15	DGND	ขากราวด์สำหรับวงจรดิจิตอล
16	DV+	ไฟเลี้ยงภาคดิจิตอล +5 V
17	V+	ไฟเลี้ยง +5 V
18	GND	ขากราวด์
19	OUT	เอาท์พุทสัญญาณรูปคลื่น
20	V-	ไฟเลี้ยง -5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การทำงานของ MAX038

พิจารณาจากบล็อกไดอะแกรม ซึ่งแสดงส่วนประกอบภายใน MAX038



รูปที่ 2.2 แสดงบล็อกไดอะแกรม และการทำงานพื้นฐานวงจร

MAX038 เป็นไอซีชิปเดี่ยว ภายในบรรจุวงจรฟังก์ชันเจเนอเรเตอร์ สามารถสร้างสัญญาณความถี่ได้หลายรูปแบบ มีย่านความถี่ในช่วง $0.1H_Z$-$20MH_Z$ หรือมากกว่านั้น ใช้อุปกรณ์ประกอบภายนอกน้อย สามารถปรับค่าความถี่และค่าดิวตี้ไซเกิ้ลได้โดยการควบคุมกระแส, แรงดัน หรือความต้านทาน รูปคลื่นที่ได้สามารถเลือกรูปแบบโดยการกำหนดลอจิกที่ขา A0-A1 และสามารถต่อแหล่งจ่ายสัญญาณภายนอกเพื่อออกแบบสัญญาณซิงค์ และเฟสดีเทคเตอร์ได้

MAX038 ทำงานโดยใช้ไฟเลี้ยง ±5 โวลท์ (ผิดพลาด±5%) การสร้างสัญญาณความถี่พื้นฐานกำหนดโดย C_F และค่ากระแส I_{IN} ซึ่งเป็นตัวควบคุมการประจุ และคายของประจุของ C_F ค่ากระแสดังกล่าวมีค่าระหว่าง 2 ไมโครแอมป์ ถึง 750 ไมโครแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าดิวตี้ไซเกิ้ลของสัญญาณสามารถควบคุมได้ตั้งแต่ 10%-90% โดยป้อนแรงดันควบคุม ±2.3 โวลท์ ที่ขา DADJ แรงดันจะเปลี่ยนอัตราส่วนการประจุ และคายประจุของ CF โดยใช้ความถี่ทางเอาท์พุทคงที่

2.3.1 การเลือกรูปแบบของรูปคลื่น

MAX038 สามารถกำเนิดสัญญาณได้หลายรูปแบบได้แก่ รูปคลื่นสามเหลี่ยม, ฟันเลื่อย, สี่เหลี่ยม, พัลซ์ และรูปคลื่นซายน์ กำหนดรูปแบบของ รูปคลื่นเอาท์พุท สามารถทำได้โดยการกำหนดลอจิกพิจารณาได้จากตาราง

ตารางที่ 2.3 แสดงระดับลอจิกเพื่อเลือกรูปแบบของสัญญาณ

A0	A1	รูปคลื่นที่ได้
X	1	ซายน์
0	0	สี่เหลี่ยม
1	0	สามเหลี่ยม

X= don't care

2.3.2 การกำหนดค่าความถี่

ค่าของความถี่เอาท์พุทสามารถกำหนดได้จากกระแสที่ป้อนขา IIN ค่าความจุของตัวเก็บประจุ (C_F) ที่ต่อขา COSC และค่าแรงดันที่ขา FADJ

ที่ค่า V_{FADJ} = 0 โวลท์ ค่าความถี่เอาท์พุท (Fo) คำนวณจากสูตร

$$F_{O(MHz)} = I_{IN(\mu A)} / C_{F(PF)} \qquad (2.1)$$

หรือคาบเวลาเอาท์พุท

$$t_{O(\mu S)} = C_{F(PF)} / I_{IN(\mu A)} \qquad (2.2)$$

โดย

$I_{IN(\mu A)}$: กระแสที่ไหลเข้าขา I_{IN} (มีค่าระหว่าง 2 μA-750μA)

$C_{F(PF)}$: ค่าความจุของตัวเก็บประจุที่ต่อกับขา COSC (มีค่าระหว่าง 20 pf-100μF)

การปฏิบัติให้ได้ผลดีที่สุดกระแส I_{IN} จะอยู่ระหว่าง 10uA ถึง 400uA แม้ว่ากระแสจะใช้งานได้ดีในช่วง I_{IN} ระหว่าง 2uA ถึง 750uA ค่าของกระแสที่นอกเหนือจากช่วงที่กำหนดจะไม่แนะนำให้ใช้ การทำงานที่ความถี่คงที่จะตั้งกระแส I_{IN} ประมาณ 100uA และเลือกค่าคาปาซิเตอร์ที่เหมาะสม ที่กระแสค่านี้จะทำให้ค่าสัมประสิทธิ์ทางอุณหภูมิ(temperature coefficient) ต่ำที่สุด และมีการเปลี่ยนเฟสต่ำที่สุดเมื่อเปลี่ยนค่าดิวตี้ไซเกิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความจุของตัวเก็บประจุ C_F อยู่ในช่วง 20 พิโกฟารัด จนถึง 100 ไมโครฟารัด ซึ่งการออกแบบลายวงจรควรให้มีขนาดสั้นที่สุดด้วย และรอบ ๆ ขา COSC ควรทำกราวด์เพลนเพื่อป้องกันสัญญาณรบกวน การกำเนิดความถี่สามารถทำได้มากกว่า 20เมกะเฮิร์ท แต่รูปคลื่นที่ได้จะเกิดความเพี้ยนขึ้น และค่าความถี่เอาท์พุทที่ต้องการสามารถกำหนดได้จากค่าความจุของ C_F ที่ต่อกับ COSC และที่ความถี่ต่ำสุดที่ต้องการนั้นควรใช้ค่าความจุขนาด 10ไมโครฟารัด ชนิดไม่มีขั้ว ค่าของกระแส I_{IN} จะได้จากกระแสที่ไหลผ่านความต้านทานซึ่งต่ออนุกรมอยู่ (โดยทั่วไปกระแส $I_{IN} = V_{REF} / R_{IN}$) ดังนั้นจะได้สูตรคำนวณใหม่ดังนี้

$$F_{O(MHz)} = V_{IN} / (R_{IN} * C_{F(PF)}) \qquad (2.3)$$

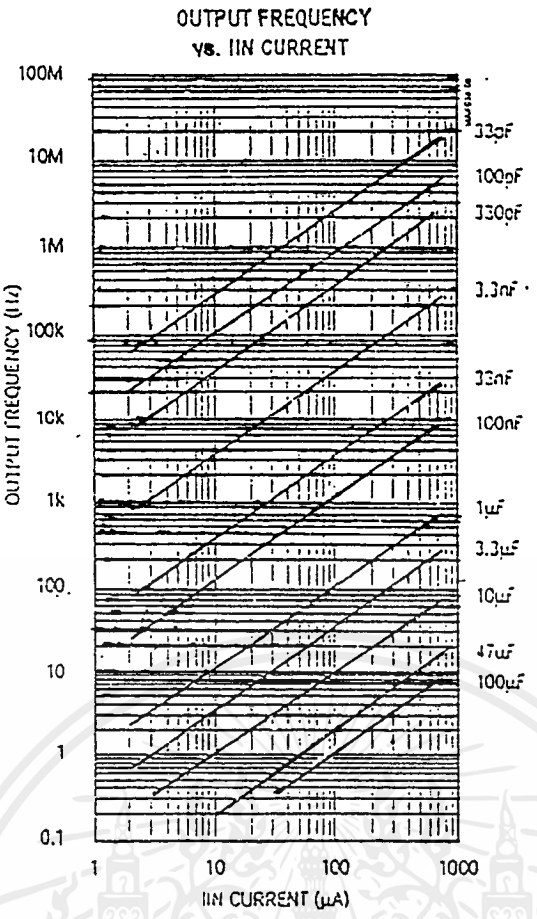
หรือคาบเวลาเอาท์พุท

$$t_{O(\mu s)} = (R_{IN} * C_{F(PF)}) / V_{IN} \qquad (2.4)$$

เมื่อความถี่ที่ MAX038 ผลิตออกมา ถูกควบคุมโดยแหล่งจ่ายแรงดัน (V_{IN}) ซึ่งมีค่าความต้านทานอนุกรมอยู่ (R_{IN}) ความถี่ที่เอาท์พุทจะควบคุมได้จาก V_{IN} โดยตรงดังแสดงในสมการ

การเปลี่ยนแปลง V_{IN} ทำให้เกิดการมอดูเลทในภาคผลิตความถี่ ตัวอย่างเช่น ใช้ความต้านทาน 10 กิโลโอห์ม เพื่อเป็น R_{IN} และการกวาดของ V_{IN} จาก 20 มิลลิโวลท์ ถึง 7.5 โวลท์ ทำให้เกิดอัตราการเปลี่ยนแปลงความถี่มีค่ามาก(375:1)การเลือกค่าR_{IN} จะมีผลต่อการทำงานคือจะทำให้กระแส I_{IN} เปลี่ยนแปลงในช่วง 2 ไมโครแอมป์ ถึง 750 ไมโครแอมป์แบนด์วิดธ์ของ I_{IN} ใช้ควบคุมภาคขยายซึ่งจะจำกัดการมอดดูเลทสัญญาณที่มีความถี่ 2 เมกะเฮิร์ท ค่าของ I_{IN} สามารถที่จะการเพิ่มหรือลดกระแสจากแหล่งจ่ายหลาย ๆ ตัว ซึ่งในกรณีนี้ ความถี่เอาท์พุทจะเป็นฟังก์ชั่นของผลบวกของการเปลี่ยนแปลงจำนวนมากเช่นสมมุติว่า V_{IN} มีค่าใกล้เคียง 0 โวลท์ ค่าของ I_{IN} จะผิดพลาดเพิ่มขึ้นตามแรงดันออฟเซ็ตของ I_{IN} ความถี่เอาท์พุทจะถูกชดเชย 1% จากค่าสุดท้ายในเวลา 10 วินาที หลังจากกำลังงานเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุท,กระแสและ C_F กำหนดความถี่

2.3.3 อินพุท FADJ

ความถี่เอาท์พุทสามารถที่จะถูกมอดดูเลทด้วย FADJ ซึ่งมีความสำคัญสำหรับการปรับหรือการควบคุมความถี่ ซึ่งมักจะใช้วงจรเฟสล็อคลูป

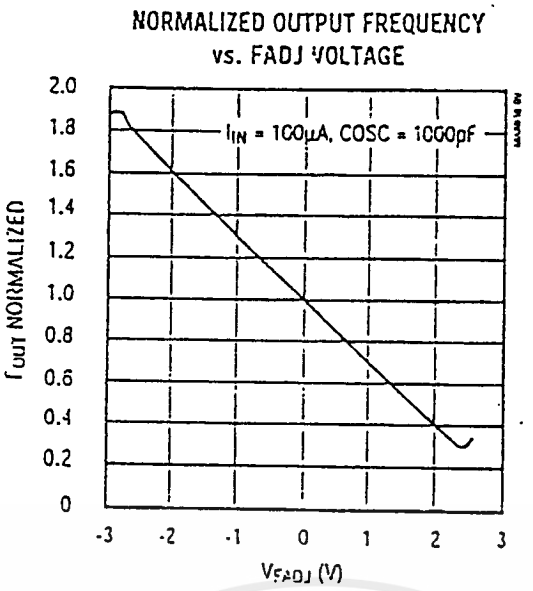
ความถี่พื้นฐานหรือความถี่ศูนย์กลาง (Center Frequency: Fo) จะถูกควบคุมโดย I_{IN} และอาจจะถูกเปลี่ยนโดยการปรับให้ขา FADJ มีค่าแรงดันมากกว่า 0 โวลท์ ค่าแรงดันนี้สามารถเปลี่ยนแปลงได้ระหว่าง -2.4โวลท์ ถึง +2.4โวลท์ ความถี่เอาท์พุทสามารถเปลี่ยนจาก0.3เท่า จนถึง 1.7เท่า เมื่อขา FADJ เป็น 0 โวลท์ (Fo ±70%) ค่าแรงดันจะเกิน ±2.4 โวลท์ ทำให้ไม่เกิดการเสถียรภาพ หรือเป็นเหตุให้ความถี่เปลี่ยนเป็น reverse slope ค่าแรงดันที่ขา FADJ ที่ทำให้เอาท์พุทเปลี่ยนจาก Fo โดย Dx (กำหนดให้เป็นเปอร์เซ็นต์)สามารถหาได้จากสูตร

$$V_{FADJ} = -0.0343 * Dx \qquad (2.5)$$

โดย : V_{FADJ} คือค่าแรงดันที่ขา FADJ ซึ่งมีค่าระหว่าง -2.4 ถึง +2.4

ขณะที่ I_{IN} เป็นสัดส่วนกับค่าความถี่ศูนย์กลาง (Fo) ค่า FADJ จะมีความสัมพันธ์อย่างเชิงเส้นกับเปอร์เซ็นต์การเปลี่ยนแปลงจาก Fo ค่า V_{FADJ} จะเข้าใกล้ค่า 0 โวลท์ ตามสัดส่วนการบวกหรือลบของค่าเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟแสดงความสัมพันธ์ระหว่างค่านอมอลไลซ์ความถี่เอาท์พุทกับแรงดันที่ขา FADJ

ค่าแรงดันที่ขา FADJ สำหรับค่าความถี่ใด ๆ กำหนดโดย

$$V_{FADJ} = (Fo - Fx) / (0.2915 * Fo) \qquad (2.6)$$

เมื่อ

Fx = ความถี่เอาท์พุท

Fo = ความถี่ขณะ V_{FADJ} = 0 โวลท์

ในกรณีคาบเวลา

$$V_{FADJ} = 3.34 * (tx - t0) / tx \qquad (2.7)$$

เมื่อ

tx = คาบเวลาเอาท์พุท

to = คาบเวลาขณะ V_{FADJ} = 0 โวลท์

ถ้ารู้ค่า VFADJ ค่าความถี่สามารถหาได้จาก

$$F = Fo * [1 - (0.2915 * VFADJ)] \qquad (2.8)$$

ในกรณีคาบเวลา tx

$$tx = to / [1 - (0.2915 * VFADJ)] \qquad (2.9)$$

2.3.4 PROGRAMMING FADJ

ที่ขา FADJ จะมีกระแส 250 ไมโครแอมป์ คงที่ไหลไปยัง V- ดังนั้นที่ขานี้ จะต้องควบคุมโดยใช้ แหล่งจ่ายแรงดัน ซึ่งในการใช้งานจะต่อตัวต้านปรับค่าได้(R_F) ระหว่างขา REF (+2.5 V) กับขา FADJ เมื่อเราตั้งความถี่ เบี่ยงเบน เราสามารถหาค่าตัวต้านทาน (R_F) ได้โดย

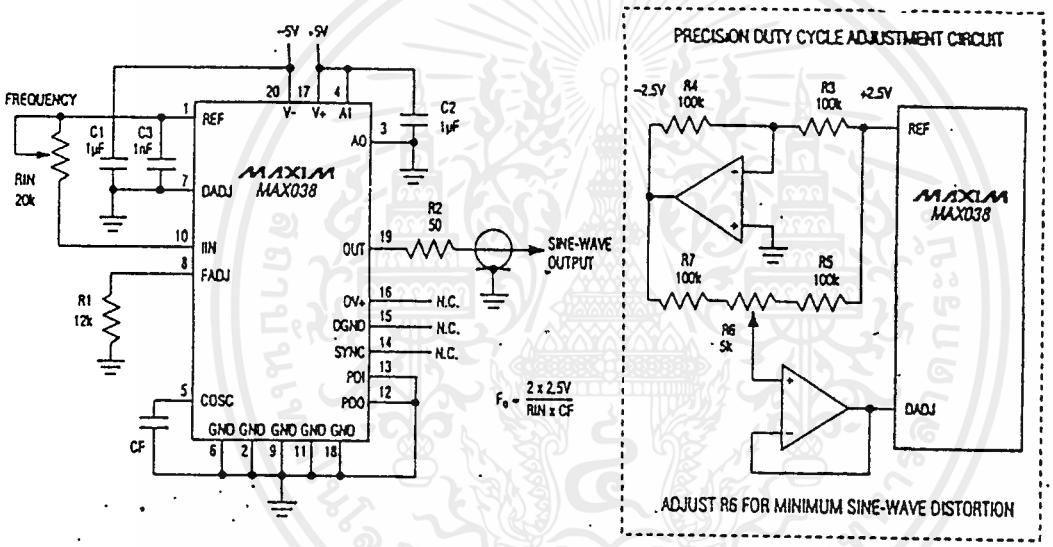
$$R_F = (V_{REF} - V_{FADJ}) / 250 \text{ uA} \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5 การยกเลิก FADJ

วงจรของ FADJ จะเพิ่มสัมประสิทธิ์ของอุณหภูมิ การใช้งานขานี้จะมีผลต่อความถี่เอาท์พุทดังนั้นถ้าเราไม่ต้องการใช้งานควรจะต่อตัวต้านทาน 12kΩ ที่ขานี้ลงกราวด์ จะทำให้เกิดผล 2 ประการ คือ

- มีความเสถียรภาพทางอุณหภูมิจะดีขึ้น
- ความถี่ออสซิลเลเตอร์จะเพิ่มขึ้นเป็น 2 เท่า ถ้า FADJ ไม่ทำงาน (turn Off) กรณีแบบนี้จะเป็นวงจรตามสมการ (2.1) – (2.4) และ (2.6) – (2.9) ข้างต้นและสมการที่ (2.12) , (2.14) ข้างล่างนี้คือ Fo เพิ่ม 2 เท่า หรือ to ลดลงครึ่งหนึ่ง ถึงแม้ว่าวิธีการนี้จะทำให้ได้ความถี่เอาท์พุทเป็น2เท่าแต่ความถี่สูงๆจะไม่ สามารถทำได้เพราะ FADJจะไม่ทำงานเมื่อทำการเปิดวงจรหรือมีแรงดันเป็นลบ มากว่า –3.5 โวลท์ การทำให้ทรานซิสเตอร์ภายในไอซีเกิดการอิ่มตัว จะทำให้การเปลี่ยนแปลงความถี่และความดิวตี้ไซเกิ้ล



รูปที่ 2.5 แสดงการทำงานของวงจรผลิตรูปคลื่นซายน์ ที่ค่าดิวตี้ไซเกิ้ล 50%

2.3.6 การทำงานของ Swept Frequency

ความถี่เอาท์พุทสามารถทำการกวาด (Swept) ได้โดยการทำงานของกระแส I_{IN} และ FADJ สัญญาณ I_{IN} จะมีช่วงตอบสนองความถี่และกวาดได้กว้างกว่า สัมประสิทธิ์ทางอุณหภูมิต่ำและแหล่งจ่ายกระแสที่ต่อจะต้องถูกชั่ว FADJ จะใช้สำหรับการกวาดที่น้อยกว่า ±70% จากความถี่กลางและเหมาะสำหรับวงจรเฟสล็อคลูป มีค่าการเบี่ยงเบนต่ำและมีความถูกต้องแม่นยำสูงในการ ควบคุมระบบปิด (close loop controls) ส่วนใหญ่มักใช้สำหรับการกวาดแรงดันที่สมมาตรกับกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.7 ดิวตี้ไซเกิ้ล (Duty Cycle)

แรงดันที่ขา DADJ จะใช้สำหรับควบคุมค่าดิวตี้ไซเกิ้ลของรูปคลื่น (ค่าเปอร์เซ็นต์ของเวลาที่เอาท์พุทเป็นบวก) โดยปกติที่ V_{DADJ}= 0 โวลท์ ค่าดิวตี้ไซเกิ้ลจะเท่ากับ 50 % เปลี่ยนแปลงค่าแรงดันในช่วง +2.3 โวลท์ถึง −2.3 โวลท์ จะสามารถทำการปับค่าดิวตี้ไซเกิ้ลได้ตั้งแต่ 15 % ถึง 85 % ประมาณ −15 % ต่อโวลท์ ค่าแรงดันนอกเหนือจาก± 2.3 โวลท์ จะทำให้เฟสของเอาท์พุทเปลี่ยนไปจากเดิม

DADJ สามารถใช้ในการลดทอนความเพี้ยนของรูปคลื่นซายน์ ที่ค่าดิวตี้ไซเกิ้ล 50 % (V_{DADJ}= 0) นั้นค่าจะเบี่ยงเบนไปจากเดิม 50 % เนื่องจากผลของคลื่นฮาร์โมนิก

ค่าแรงดันที่ DADJ ที่นำไปใช้ในการปรับค่าดิวตี้ไซเกิ้ล หาได้จาก

$$V_{DADJ} = (50\ \%-dc)(0.0575) \qquad (2.11)$$

หรือ

$$V_{DADJ} = (0.5 - [ton / t0] (5.75) \qquad (2.12)$$

โดย V_{DADJ} = ค่าแรงดันที่ขา DADJ

dc = ค่าเปอร์เซ็นต์ดิวตี้ไซเกิ้ล

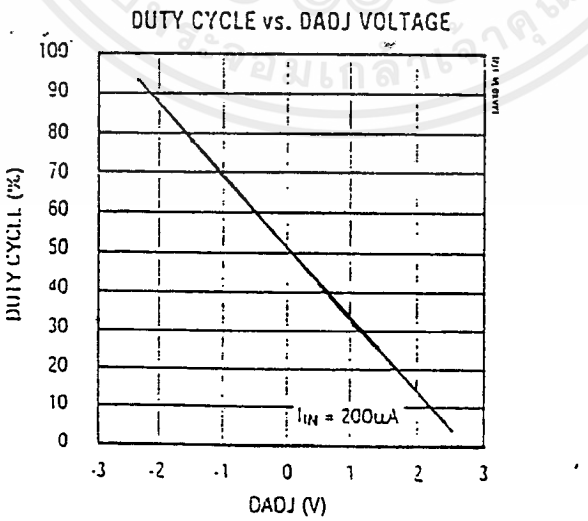
ton = ช่วงเวลาที่เป็นบวก

to = คาบเวลา

เมื่อรู้ค่า V_{DADJ} แล้วสามารถหาค่าดิวตี้ไซเกิ้ลและช่วงเวลา ton ได้จาก

$$dc = 50\ \% \ (V_{DADJ})(17.4) \qquad (2.13)$$

$$ton = to [0.5- (V_{DADJ})* 0.174)] \qquad (2.14)$$



รูปที่ 2.6 กราฟแสดงความสัมพันธ์ระหว่างเปอร์เซนต์ดิวตี้ไซเกิ้ลกับแรงดันที่ขาDADJ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมค่าดิวตี้ไซเกิ้ล

ใช้หลักการเช่นเดียวกับการควบคุมค่าความถี่ โดยการใช้กระแส 250 ไมโครแอมป์ ซึ่งได้จากแหล่งจ่ายกระแส ส่วนใหญ่ใช้ออปแอมป์ อุณหภูมิจะไม่มีผลต่อการลดลงของกระแส สิ่งที่จำเป็นในการพิจารณาได้แก่การปรับค่าดิวตี้ไซเกิ้ลด้วยมือโดยปรับค่าความต้านทานซึ่งเป็นการปรับค่ากระแสให้ลดลงนั่นเอง หากเลือกใช้ความต้านทานเพื่อปรับค่าดิวตี้ไซเกิ้ลต้องทำอย่างถูกต้อง การต่อตัวต้านทานปรับค่าได้(R_D) เข้าไประหว่างขา REF และ DADJ จะทำให้สามารถปรับค่าดิวตี้ไซเกิ้ลได้ ค่าความต้านทาน R_D หาได้โดย

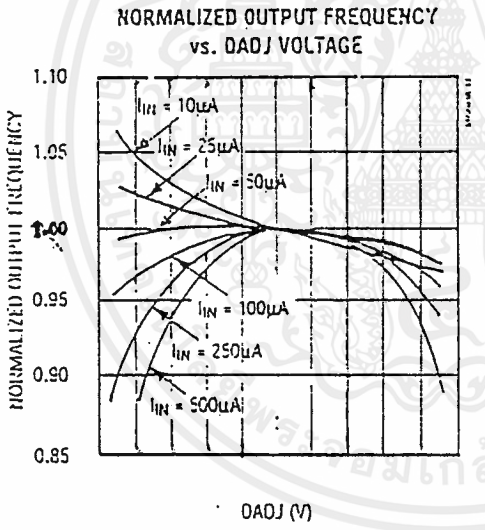
$$R_D = (V_{REF} - V_{DADJ}) / 250\ \mu A \qquad (2.15)$$

ตัวอย่าง ถ้า V_{DADJ} มีค่าเป็น -1.5 V (ดิวตี้ไซเกิ้ลคือ 23 %)

$R_D = (2.5\ V - (-1.5)) / 250\ \mu A$

$= 4\ V / 250\ \mu A$

$= 16\ K\Omega$



รูปที่ 2.7 กราฟแสดงความสัมพันธ์ระหว่างค่านอมอลไลท์ความถี่เอาท์พุทกับแรงดันที่ขาDADJ

2.3.8 ภาคเอาท์พุท

ขนาดของสัญญาณเอาท์พุทที่ได้จะมีขนาดคงที่ 2 โวลท์พีคทูเทียบกราวด์ สำหรับทุก ๆ รูปแบบของรูปคลื่น

2.3.9 ค่าแรงดันอ้างอิง

แรงดันอ้างอิงที่ใช้มีค่าเท่ากับ 2.5 โวลท์ เทียบกราวด์ จ่ายกระแสได้ 4 มิลลิแอมป์ ซึ่งมีความสำคัญในการจัดกระแสให้กับ ขา I_{IN} ป้อนไบอัสแก่ขา FADJ และ DADJ นอกจากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังสามารถประยุกต์ใช้งานอย่างอื่นกับวงจรภายนอก ในส่วนอื่นๆ ได้ด้วย ที่ขานี้ควรจะต่อตัวเก็บประจุค่า 100 nF ลงกราวด์ด้วยเพื่อลดสัญญาณรบกวนให้น้อยที่สุด

2.3.10การเลือกตัวเก็บประจุและตัวต้านทาน

MAX038 มีคุณสมบัติในการสร้างความถี่ที่ค่อนข้างคงที่ทุกย่านอุณหภูมิ แต่ถ้าเลือกใช้ค่าตัวเก็บประจุและตัวต้านทานไม่เหมาะสมจะทำให้การสร้างความถี่ทำได้เลวลง ตัวต้านทานที่ใช้ควรเป็นชนิด Metal Film ค่าผิดพลาด 1 % หรือดีกว่านี้ ส่วนตัวเก็บประจุควรเลือกใช้ชนิดที่มีผลต่ออุณหภูมิต่ำและอุณหภูมิได้ในย่านกว้าง ๆ

แรงดันที่ขา COSC จะอยู่ในช่วง 0 ถึง −1 โวลท์ และตัวเก็บประจุที่นำมาต่อเพื่อกำหนดย่านความถี่ที่ขานี้ ไม่แนะนำให้ใช้ชนิดมีขั้ว เพราะมีผลต่ออุณหภูมิและคาปาซิเตอร์ที่มีค่ามากกระแสรั่วไหลก็จะมากตาม ควรเลือกใช้อย่างระวังเพราะอาจทำให้เกิดกระแสรั่วมากขึ้นได้ ถ้าเป็นไปได้ในการออกแบบ เมื่อต้องการความถี่ที่คงที่ค่าหนึ่ง ควรกำหนดกระแส I_{IN} ต่ำ ๆ แล้วจึงทำการคำนวณหาค่าความจุที่เหมาะสม

2.3.11 สัญญาณซิงค์

สัญญาณซิงค์เอาท์พุท สามารถจะใช้ซิงโครไนซ์กับวงจรภายนอก เอาท์พุทที่ขา SYNC จะเป็นสัญญาณรูปสี่เหลี่ยมที่มีขอบขาขึ้นพร้อมกับเอาท์พุท ที่เป็นสัญญาณไซน์หรือสามเหลี่ยม เมื่อเราเลือกสัญญาณรูปสี่เหลี่ยม ขอบขาขึ้นของ SYNC จะเกิดขึ้นที่กึ่งกลางของคลื่นบวกของสัญญาณรูปสี่เหลี่ยม ซึ่งทำให้สัญญาณ SYNC ล้าหลังสัญญาณสี่เหลี่ยม 90°

เนื่องจากสัญญาณซิงค์เป็นเอาท์พุท TTL ที่มีความเร็วสูงมาก กระแสทรานเซี้ยนความเร็วสูงใน DGND และ DV+ จะสามารถแผ่กำลังงานเข้าไปในวงจรเอาท์พุทเกิดเป็นกระแสกระชากในรูปคลื่น ค่าความเหนี่ยวนำและค่าความจุของไอซีซ็อกเก็ตก็มีผลต่อการขยายสัญญาณดังนั้นจึงไม่ควรต่อไอซีโดยใช้ซ็อกเก็ต สัญญาณซิงค์เป็นส่วนประกอบที่เกิดจาก DGND และ DV+ และ มันสามารถป้องกันการเกิดได้โดยการปลดขา DV+ ออก เพื่อกำจัดผลของการกระชาก (spike)

2.3.12 เฟสดีเทคเตอร์

เฟสดีเทคเตอร์สามารถแบ่งตามลักษณะการต่อของวงจรออกได้เป็น 2 แบบ คือ เฟสเทคเตอร์ภายในและเฟสดีเทคเตอร์ภายนอก

เฟสดีเทคเตอร์ภายใน

เฟสดีเทคเตอร์ภายในของ MAX038 สามารถต่อใช้งานร่วมกับ TTL หรือ CMOS ก็ได้ เฟสดีเทคเตอร์นี้จะถูกต่อใช้งานในวงจร เฟสล็อคลูป(PLL) เพื่อควบคุมสัญญาณเอาท์พุทด้วยสัญญาณจากภายนอก

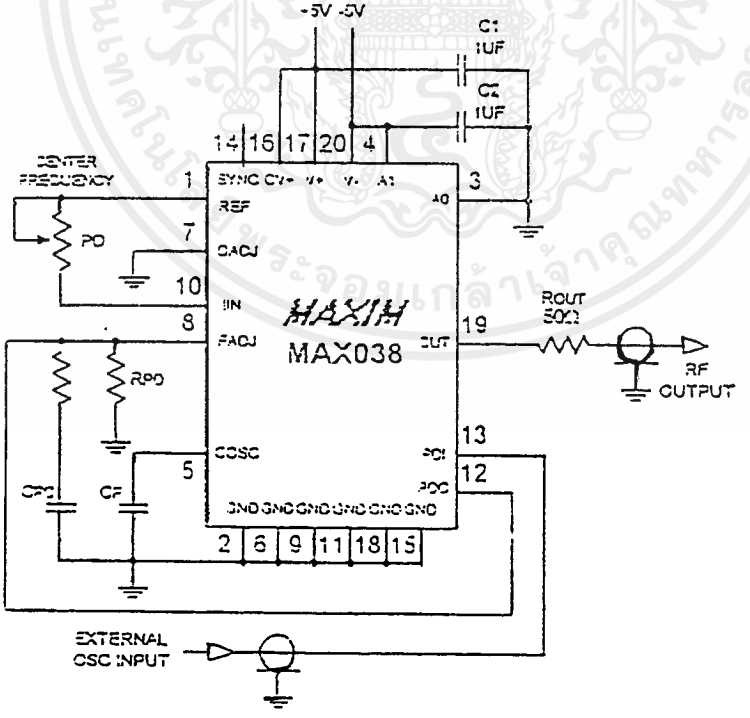
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจากภายนอกนี้จะถูกต่ออยู่กับขา PDI(Phase Detector Input) และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์จะต่อออกทางขา PDO(Phase Detector Output) PDOนี้เป็นเอาท์พุทของเกท EX-OR ถ้าขา PDI ถูกต่อลงกราวด์ ที่ขา PDO จะมีสัญญาณรูปสี่เหลี่ยมออกมา โดยปกติแล้วขา PDO จะถูกต่ออยู่กับขา FADJ ผ่านทางตัวต้านทาน RPD และต่อตัวเก็บประจุ CPD ลงกราวด์ RPD จะเป็นตัวกำหนดค่าอัตราการขยายของเฟสดีเทคเตอร์ ในขณะที่ตัวเก็บประจุ CPD จะเป็นตัวลดทอนความถี่สูง และเป็นส่วนหนึ่งในการกำหนด pole ของลูปฟิลเตอร์

เมื่อสัญญาณเอาท์พุทของ MAX038 (fo) กับสัญญาณที่ขา PDI ต่างเฟสกัน 90° ทำให้สัญญาณเอาท์พุทที่ขา PDO เป็นกระแสพัลซ์สี่เหลี่ยมที่มีการเปลี่ยนแปลงค่าอยู่ระหว่าง 0 กับ 500 ไมโครแอมป์ และมีค่าดิวตี้ไซเกิ้ล 50 % ค่าดิวตี้ไซเกิ้ลจะเข้าใกล้ 100% เมื่อสัญญาณต่างเฟสกัน 180° หรือมีเฟสตรงกันข้ามกัน และค่าดิวตี้ไซเกิ้ลจะเข้าใกล้ 0% เมื่อสัญญาณต่างเฟสกันเข้าใกล้ 0° หรืออินเฟสกัน ค่าอัตราการขยายของเฟสดีเทคเตอร์(KD) สามารถหาได้จาก

$$K_D = 0.318 * R_{PD} (v/radian) \qquad (2.16)$$

เมื่อ R_{PD} = ความต้านทานที่ใช้ในการปรับอัตราขยายของเฟสดีเทคเตอร์



รูปที่ 2.8 การใช้ Phase-Locked Loop เป็น Internal Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อลูปอยู่ในสภาวะล็อค สัญญาณอินพุทที่เข้ามายังเฟสดีเทคเตอร์จะมีเฟสประมาณ 90° มีดิวตีไซเกิ้ล 50 % และกระแสเฉลี่ยที่ p_{DO} เป็น 250 ไมโครแอมป์ (กระแส Sink ของ FADJ) กระแสนี้ถูกแบ่งระหว่างขา FADJ และ R_{PD} กระแส 250 ไมโครแอมป์ส่วนใหญ่จะผ่านไปยัง FADJ และมีจำนวนเล็กน้อยที่ผ่านมายัง R_{PD} เป็นผลทำให้ V_{FADJ} เพิ่มขึ้น

ตัวอย่างเช่น เมื่อมีความต่างเฟสของสัญญาณเพิ่มขึ้น ค่าดิวตี้ไซเกิ้ล p_{DO} ก็จะเพิ่มขึ้น ค่ากระเฉลี่ยก็จะเพิ่มขึ้น และทำให้แรงดันตกคร่อม RPD(และ VFADJ) มีค่าเป็นบวกเพิ่มขึ้น ในทางกลับกันก็จะลดความถี่ที่ OSC. ลง ลดความต่างเฟสลงเพื่อรักษาเฟสล็อคไว้

ค่า RPD สูงๆ จะทำให้มีค่า VFADJ มากสำหรับแสดงความต่างเฟส ในทางกลับกันค่า loop gain ก็จะมีค่าสูงจึงทำให้ค่า Capture Range มีค่าน้อย กระแสจาก PDO จะต้องชาร์จประจุให้กับ CPD ดังนั้นอัตราการเปลี่ยนแปลงของ VFADJ (loop bandwidth) จะเป็นปฏิภาคกลับกับค่า CPD

phase error (ช่วงที่เบี่ยงเบนไปจากช่วงที่ ล็อค)ขึ้นอยู่กับค่า Open loop gain ของ PLL และการเบี่ยงเบนความถี่เริ่มต้นของออสซิลเลเตอร์จากสัญญาณภายนอก ค่าอัตราขยายของออสซิลเลเตอร์หาได้จาก

$$Ko = \Delta\omega o - \Delta V_{FADJ} \qquad (2.17)$$

จากสมการ (6)

$$Ko = 3.43 * \omega o \text{ (radians/sec)} \qquad (2.18)$$

อัตราขยายของระบบ PLL (KV) คือ

$$Kv = K_D \, x \, K_o \qquad (2.19)$$

เมื่อ

Kv = อัตราการขยายของการออสซิลเลท

K_D = อัตราการขยายดีเทคเตอร์

เมื่อลูปฟิลเตอร์มีการตอบสนองเป็น F (s) ดังนั้น transfer function ขณะ open loop t (s) คือ

$$T(s) = K_D \, x \, K_o \, x \, F(s) \qquad (2.20)$$

เมื่อ H (s) เป็นคุณสมบัติการ transfer ขณะ close loop สามารถเขียนความสัมพันธ์ได้เป็น

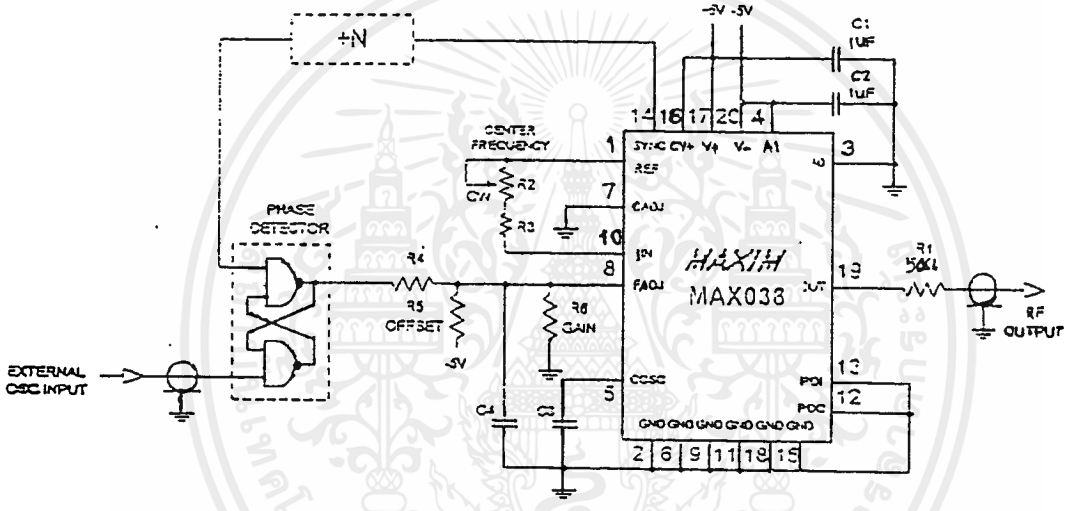
$$H(s) = T(s)/[1+T(s)] \qquad (2.21)$$

การเกิด Transfer และการตอบสนองความถี่ของ PLL จะขึ้นอยู่กับคุณสมบัติของการฟิลเตอร์ F(s) และเมื่อไม่ใช้ Phase Detector ภายในของ MAX038 แล้วควรต่อขา P_{DI} และ P_{DO} ลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีเทคเตอร์ภายนอก

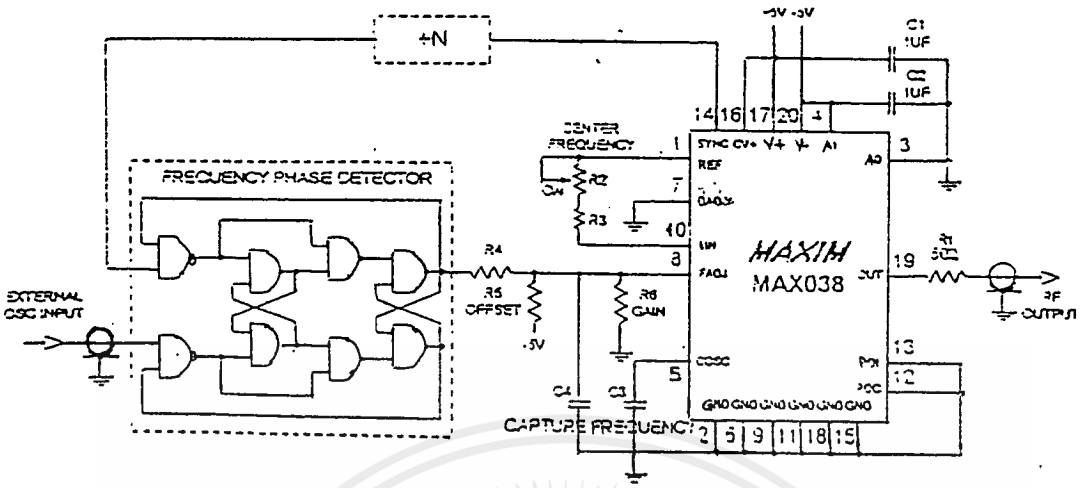
ในบางครั้งอาจใช้เฟสดีเทคเตอร์ภายนอก แทนการใช้เฟสดีเทคเตอร์ภายใน ซึ่งเฟสดีเทคเตอร์ภายนอกแสดงดังรูป 2.9



รูปที่ 2.9 การใช้ Phase- Locked Loop เป็น External Phase Detector

จากรูปเป็นการทำงานของเฟสดีเทคเตอร์ภายนอก เทียบกับการทำงานของเฟสดีเทคเตอร์ภายในของ MAX038 โดยวงจร หาร N จะถูกวางระหว่าง Sync Output และ Phase Detector ในการใช้งานต้องมีการ Synchronizing เพื่อความถูกต้องในการออสซิลเลทสัญญาณ ค่าความต้านทาน R4, R5, R6 ใช้ในการปรับออฟเซ็ทและขนาดของสัญญาณ Sync และตัวเก็บประจุ C4 ใช้เป็นตัวกำหนด Capture range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การใช้ Phase-Locked Loop เป็น External Frequency Phase Detector

ในรูปที่ 2.10 แสดงการต่อวงจร Frequency Phase Detector ที่ทำการล็อคเฉพาะความถี่สัญญาณจากออสซิลเลเตอร์ภายนอก ถ้าไม่มีการป้อนสัญญาณการ ออสซิลเลทให้กับมัน จะทำให้เอาท์พุทของวงจรเป็นค่าแรงดันไฟบวก และการ ออสซิลเลทจะเกิดที่ความถี่ต่ำ ๆ ซึ่งสามารถทำการปรับได้โดย R4,R5 และ R6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ระบบสังเคราะห์ความถี่

วงจรที่ทำหน้าทีสังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) ความจริงหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ปี พ.ศ. 2475 แล้วและได้พัฒนาโดยลำดับ แต่เริ่มแพร่หลายกันจริง ๆ ก็เมื่อประมาณปี พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้ก็คือ วงการทหาร (military) และกิจการเดินอากาศ (aviation) แล้วจึงค่อย นำมาใช้ในวงการเครื่องวิทยุสื่อสารทั่วไปตามลำดับ วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range) ช่วงห่างระหว่างขั้น (step size หรือ resolution)

3.1 สังเคราะห์ความถี่

ความจริงวงจรสังเคราะห์ความถีก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือกดปุ่มแต่ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่าเรโซลูชั่น (resolution)

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

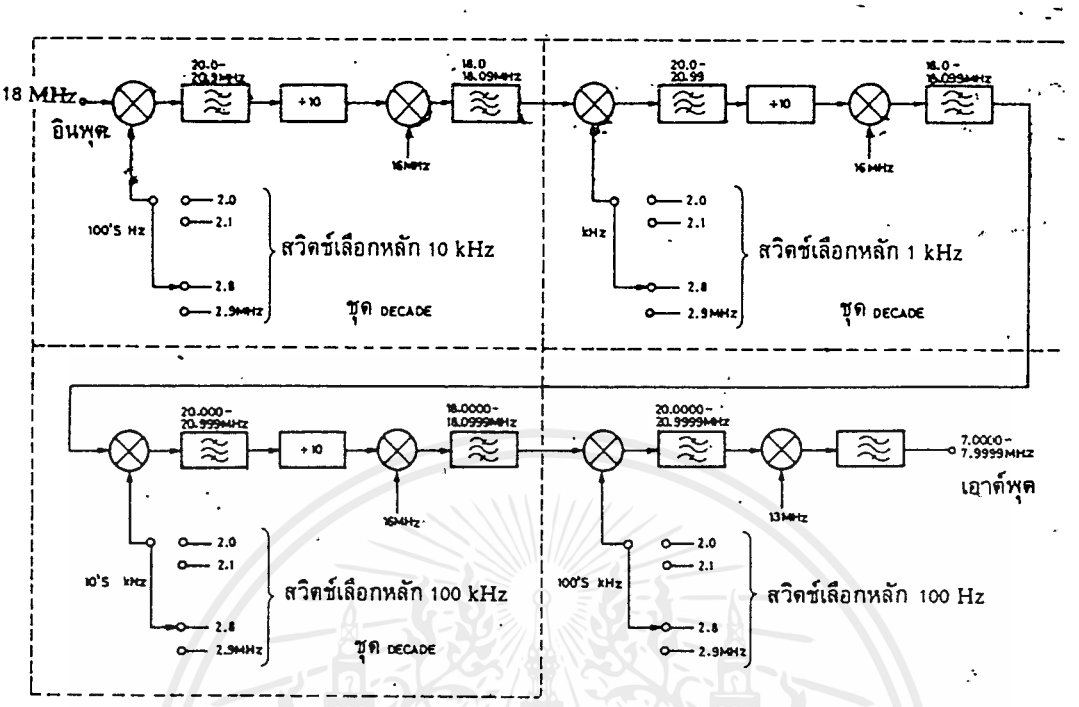
1. วิธีสังเคราะห์โดยตรง (direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกันเพื่อให้ได้ความถี่ ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

2. วิธีสังเคราะห์โดยอ้อม (indirect synthesis) วิธีนี้อาศัยเฟสล็อคลูป (phase locked loop เรียกย่อว่า PLL)

รูปที่ 3.1 แสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาท์พุทมีความถี่อยู่ระหว่าง 7 ถึง 8 เมกะเฮิรตซ์ และเรโซลูชั่น 100 เฮิรตซ์ นั่นคือเราต้องสามารถตั้งความถี่ได้ดังนี้ คือ 7.0000, 7.0001, 7.0002, ... ขึ้นไปจนถึง 7.9999 เมกะเฮิรตซ์ สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่ คือ 2.0, 2.1,.... ถึง 2.9 เมกะเฮิรตซ์ เป็นตัวกำเนิดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตมาจากการผสมสัญญาณ 100 เฮิรตซ์ และพาหะ 2 เมกะเฮิรตซ์ จะเห็นว่าสวิตช์เลือกความถี่ทั้งสิบความถี่นี้ ก็คือสวิตช์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปจะเห็นว่ามี 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ 039166 รค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวหนึ่งเลือกความถี่ขั้นละ 100 เฮิรตซ์ ตัวถัดไปเลือกขั้นละ 1 กิโลเฮิรตซ์ ต่อไป 10 กิโลเฮิรตซ์ และ 100 กิโลเฮิรตซ์ ตามลำดับ



รูปที่ 3.1 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้ว เราต้องอาศัยการผสมกับความถี่อื่นอีกด้วย จากรูปเราใช้ความถี่ 18 เมกะเฮิรตซ์ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ ผลรวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 เมกะเฮิรตซ์ แล้วผ่านการหารด้วยสิบที่วงจรเคาน์เตอร์ เพื่อผสมกับความถี่ 16 เมกะเฮิรตซ์ แล้วกรองเอาเฉพาะที่เป็นความถี่ในย่าน 18 เมกะเฮิรตซ์ตามเดิม สังเกตว่าเอาท์พุทจากชุดนี้เราสามารถสังคราะห์ความถี่ได้ระหว่าง 18.00,18.01,...ถึง 18.09 เมกะเฮิรตซ์

เอาท์พุทจากชุดแรกนี้ เมื่อป้อนเข้าชุดต่อไปก็จะเอาสัญญาณความถี่ระหว่าง 18.00 ถึง 18.09 เมกะเฮิรตซ์ไปผสมกับความถี่หลัก 2.0 ถึง 2.9 เมกะเฮิรตซ์อีก ซึ่งเราเลือกหรือโปรแกรมได้โดยการปิดสวิตช์ จากนั้นก็ผ่านการกรองและหารสิบแล้วผสมกับสัญญาณ 16เมกะเฮิรตซ์เอาท์พุทของชุดที่สอง(จุดAก็จะตั้งความถี่ได้ระหว่าง 18.000,18.001,...,18.099 เมกะเฮิรตซ์) เมื่อเราทำการผสมคลื่นเช่นนี้อีกครั้ง เราก็จะสังเคราะห์ความถี่ได้ระหว่าง 18.000,18.001, ...ถึง 18.0999 เมกะเฮิรตซ์ ในชุดสุดท้ายเราทำแตกต่างจากเดิมโดยเมื่อผสมกับสัญญาณ 2.0 ถึง 2.9 เมกะเฮิรตซ์แล้ว เราก็นำไปผ่านการกรองเอาแต่เฉพาะสัญญาณระหว่าง 20 ถึง 20.9999 เมกะเฮิรตซ์ และผสมกับสัญญาณ 13 เมกะเฮิรตซ์ ก็จะได้ เอาท์พุทเป็น 7.0000 ถึง 7.9999 เมกะเฮิรตซ์ตามต้องการ

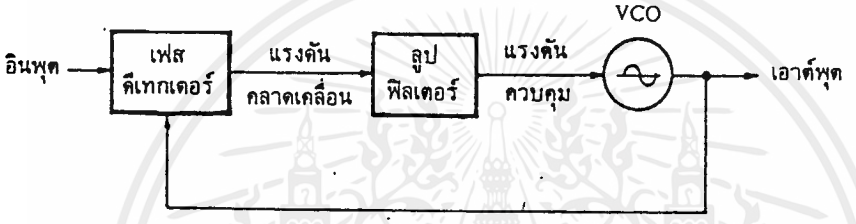
สังเกตว่าชุดผสมและหารความถี่ส่วนใหญ่ (ที่เขียนว่า DECADE) จะซ้ำ ๆ กัน อย่างไรก็ดีวิธีสังเคราะห์ความถี่โดยตรงไม่ค่อยเป็นที่นิยมนัก เพราะความสิ้นเปลืองแร่ และต้องใช้การผสมคลื่นหลาย ๆ ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อคลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควมคุมการออสซิลเลทของ VCO อีกครั้งหนึ่ง

3.2 เฟสล็อคลูป

เฟสล็อคลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) ภาคลูปฟิลเตอร์ (loop filter) และภาค VCO ดูรูปที่ 3.2 ในที่นี้สมมติว่าเราต่อเอาท์พุทจากวงจร VCO



รูปที่ 3.2 แผนผังของเฟสล็อคลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จาก ภาคเฟสดีเทคเตอร์จะเป็นแรงดันที่มีขนาดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาส กรองเอาแต่เฉพาะความถี่ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO ต่อไป

เมื่อลูปอยู่ในสภาวะล็อค (lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปใช้สังเคราะห์หรือผลิต ความถี่ที่ความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์ สัญญาณเอาท์พุท (จาก VCO) ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

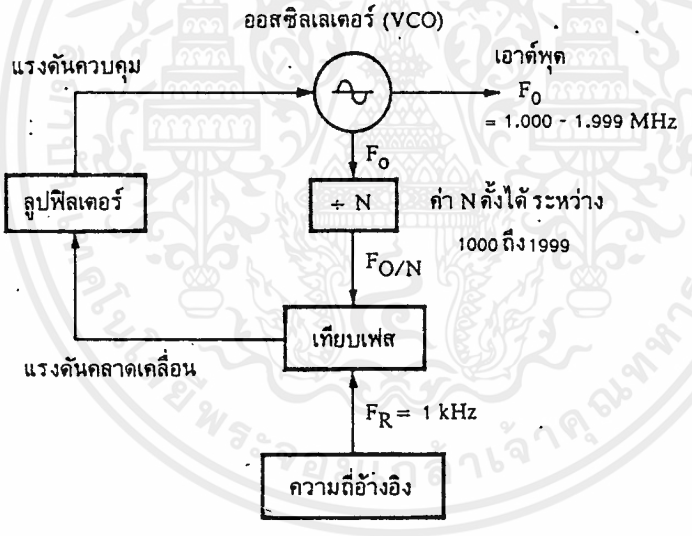
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจริงเฟสล็อคลูปยังมีประโยชน์อื่น ๆ อีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์มีค่าสัมพันธ์กับการเปลี่ยนเฟสของคลื่นพาหะ

3.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อคลูปเป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 3.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาท์พุทของระบบสังเคราะห์ความถี่ ภาคหารN ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิงคริสตอลออสซิลเลเตอร์หรือสัญญาณอื่น ๆ (reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

แผนผังในรูปที่ 3.3 จะเห็นว่า สัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่งคือ จาก VCO มีความถี่เท่ากับ F_o/N และสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบก็คือ



รูปที่ 3.3 แผนผังของหน่วยสังเคราะห์ความถี่

ผลต่างระหว่างสัญญาณ F_o/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค (lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_o = N F_R$$

(คำนวณ จาก $F_o/N = F_R$ ที่วงจรเทียบเฟส)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวอีกนับหนึ่งว่า เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่า F_R=1กิโลเฮิรตซ์N=1000จะได้ F_o=1เมกะเฮิรตซ์ ถ้า N เพิ่มที่ละ 1เป็น 1001,1002,1003,.... ค่า F_o จะเพิ่มทีละ 1กิโลเฮิรตซ์ไปเรื่อย ๆ เป็น 1.001,1.002,1.003,.....เมกะเฮิรตซ์ตามลำดับ

ขอให้สังเกตว่า เฟสล็อคลูปดังกล่าวสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ N) ย่อมเป็นเลขจำนวนเต็มเสมอ

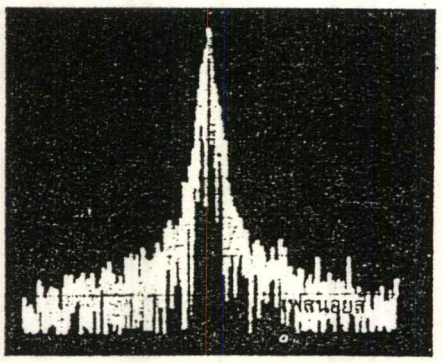
3.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องกำเนิดความถี่อีกด้วย ดังจะได้อธิบายต่อไปนี้

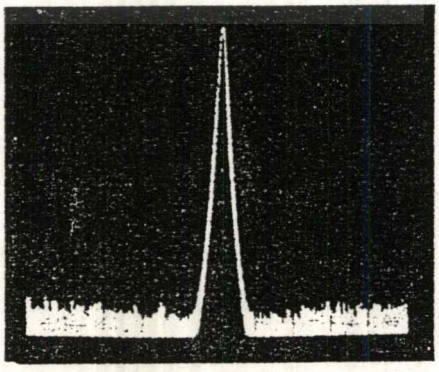
โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณได้หลายสัญญาณ และเลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือ ล็อคความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อค (lock – up time) สั้น

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) นั่นคือความถี่ ฮาร์มอนิกและสปิวเรียสต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว (ดูรูปที่ 3.4) ในช่วงใกล้เคียงกับความถี่ที่ต้องการ น้อยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์ (phase noise)

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์



(ก) เอาท์พุทมีเฟสนอยส์



(ข) เอาท์พุทที่บริสุทธิ์

รูปที่ 3.4 เฟสนอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ ๆ กับความถี่เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

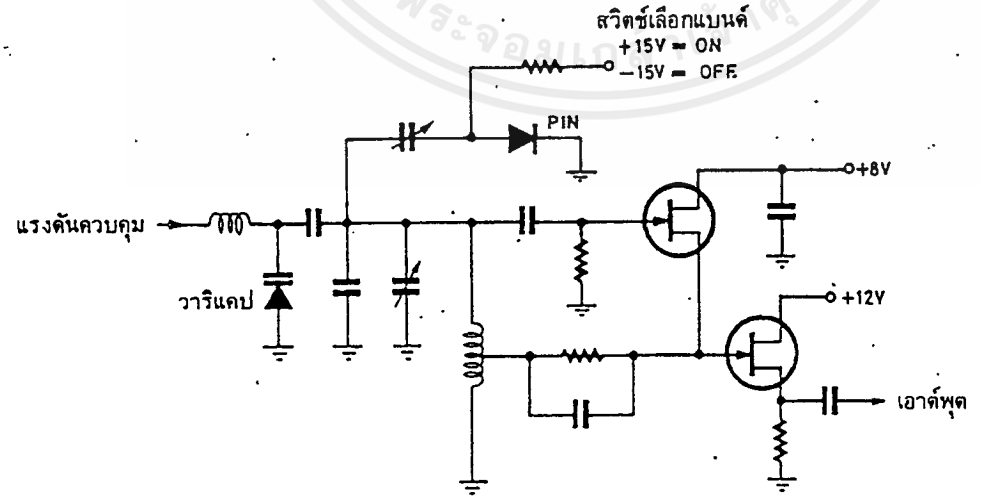
วงจรสังเคราะห์ความถี่ที่ใช้กับเครื่องกำเนิดสัญญาณเราต้องการเรโซลูชั่นละเอียดถึง 100 เฮิรตซ์เป็นอย่างน้อยและละเอียดสุดถึง 1 เฮิรตซ์ วงจรสังเคราะห์ความถี่ที่ควบคุมช่วงความถี่กว้าง ๆ และมี เรโซลูชั่นละเอียดเช่นนี้จะต้องออกแบบเป็นพิเศษเพื่อให้มีคุณสมบัตินอยส์ที่ดี และ และช่วงเวลาล็อคสั้นรวดเร็ว โดยทั่วไปอัตราส่วนความถี่สูงสุดและต่ำสุดระหว่างช่วงความถี่ใช้งาน จะมีค่าไม่เกิน 2 เท่า ในกรณีที่อัตราส่วนเกิน 2 เท่า เราต้องให้วงจร VCO หลายชุดแล้วมีสวิตซ์เลือกเพื่อป้องกันการล็อคความถี่ฮาร์มอนิก และเพื่อให้ได้คุณสมบัตินอยส์ที่ดี สำหรับช่วงเวลาล็อครวดเร็วนั้นเราทำได้โดย ใช้ลูปซ้อนกันหลายลูป (multiple loop)

3.5 วงจรต่าง ๆ ในเฟสล็อคลูป

วงจรสำคัญที่กำเนิดความถี่เอาท์พุทก็คือ วงจร VCO โดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ใช้วาแรกเตอร์หรือวาริแคปเป็นส่วนหนึ่งในวงจรจูน ดูรูปที่ 3.5 คุณสมบัติที่สำคัญของ VCO ที่ต้องคำนึงถึงก็คือเฟสนอยส์ซึ่งเกิดจากนอยส์ในตัววาแรกเตอร์ ค่า Q เลื่อนไหลของวงจรจูน (drift) และคุณสมบัติในตัวอุปกรณ์แอกตีฟไม่คงที่

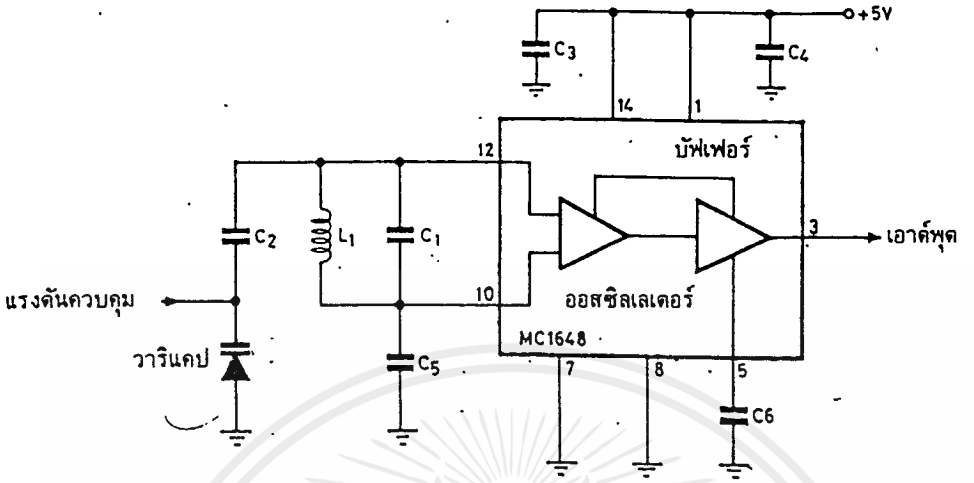
วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและอินพุทอิมพีแดนซ์มีค่าสูง แต่บางครั้งอาจใช้ไอซี เช่น เบอร์ MC 1648 ดังรูปที่ 3.6 ซึ่งเป็นวงจรออสซิลเลเตอร์แบบ ECL โดยจะให้เอาท์พุทประมาณ 900 มิลลิโวลท์พีคทูพีค ซึ่งเพียงพอสำหรับเป็นโลคอลออสซิลเลเตอร์ แต่อย่างไรก็ดีคุณสมบัตินอยส์ย่อมสู้วงจรออสซิลเลเตอร์ที่ใช้ FET ไม่ได้

สังเกตว่าความถี่ของวงจร VCO ถูกควบคุมด้วยแรงดันควบคุมที่ป้อนมาไบแอสแก่วาริแคปในวงจรจูน ถ้าแรงดันที่ไบแอสแก่วาริแคปเพิ่มขึ้นส่วนใหญ่ VCO จะมีความถี่สูงขึ้น แต่ก็มีบางวงจรที่ทำให้ความถี่ VCO ลดลง แต่เป็นส่วนน้อย (เช่นในกรณีที่ใช้วงจรขยายอินเวอร์เตอร์มาขยายแรงดันควบคุมก่อน)



รูปที่ 3.5 วงจร VCO แบบใช้FET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจร VCO ชนิดเป็น ไอซีของ โมโตโรล่าเบอร์ MC 1648

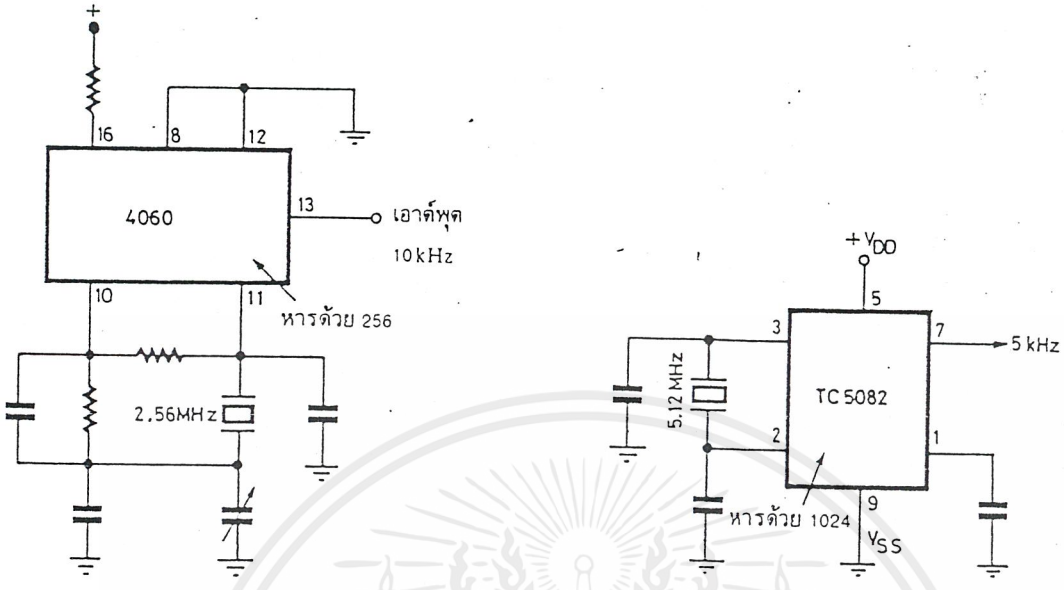
ในวงจรรูปที่ 3.5 จะเห็นว่าเราใช้ไดโอด PIN ในการสวิตช์เลือกแบนด์เพื่อเพิ่มความจุไฟฟ้าให้วงจร VCO สามารถทำงานในด้านความถี่กว้างขึ้นได้

VCO ที่ดีต้องมีคุณสมบัติดังต่อไปนี้

1. ลักษณะของการแปลงแรงดันไปเป็นความถี่ที่เป็นเชิงเส้น
2. เสถียรภาพของความถี่ดี
3. สามารถใช้กับความถี่สูงได้
4. อัตราขยายสูง
5. พิสัยการติดตามกว้าง
6. การเลือกความถี่ทำได้สะดวก

ภาคความถี่อ้างอิงนิยมใช้คริสตอลออสซิลเลเตอร์ และมีวงจรหารความถี่ค่าตายตัวส่วนใหญ่เป็น ไอซี ดูตัวอย่างในรูปที่ 3.7 (ก) แสดงตัวอย่างวงจรออสซิลเลเตอร์ ซึ่งให้แร่ความถี่ 2.56 เมกะเฮิรตซ์ แล้วหารออกมาเป็น 10 กิโลเฮิรตซ์ ทั้งวงจรออสซิลเลเตอร์และวงจรหารความถี่จะอยู่ภายใน ไอซีทั้งหมด มีแต่เฉพาะ R และ C เท่านั้นที่ต่อสายนอก ส่วนรูปที่ 3. 7 (ข) เป็น ไอซีที่ใช้งานแบบเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) วงจรออสซิลเลเตอร์อ้างอิงใช้ CMOS เบอร์ 4060 (ข) ตัวอย่างไอซีที่ใช้กำเนิดความถี่ เบอร์ TC 5082 P

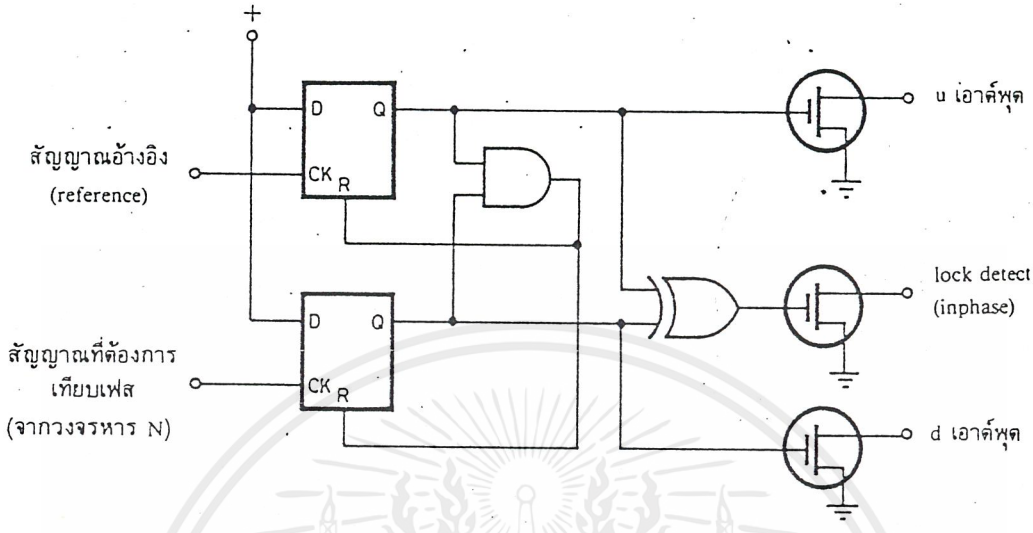
รูปที่ 3.7

ความถี่ออสซิลเลเตอร์อ้างอิงนี้เป็นตัวกำหนดเรโซลูชั่นและเสถียรภาพของความถี่อ้างอิงที่ดี จึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพดีด้วย

ภาคเทียบเฟสส่วนใหญ่จะเป็นแบบดิจิตอล ซึ่งเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณที่ได้จาก VCO (หลังจากหาร N) เอาท์พุทที่ได้จากการเปรียบเทียบจะเป็นพัลส์ที่มีดิวตี้ไซเกิ้ล (duty cycle) เปลี่ยนแปลง ดูรูปที่ 3.8 ซึ่งแสดงไอซีที่ทำหน้าที่เป็นวงจรดีเทคเตอร์เฟส วงจรนี้ประกอบด้วยเกท exclusive OR ,D-filpflop ฯลฯ ปกติจะมีเอาท์พุทพิเศษแสดงสภาวะล็อคด้วย สภาวะล็อคในที่นี้หมายถึงสภาวะที่ความถี่หรือเฟสของสัญญาณจาก VCO (หารN) กับสัญญาณอ้างอิงจะตรงกันพอดี

วงจรเทียบเฟสนี้ความจริงแล้วจะเรียกว่าเทียบความถี่ก็ได้ เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์ขึ้นอยู่กับผลต่างเฟสหรือความถี่ของสัญญาณอินพุท 2 สัญญาณ ผลลัพธ์ที่ได้จากเฟสดีเทคเตอร์จะเป็นพัลส์ ซึ่งมีส่วนผสมของไฟ DC ปนอยู่ ส่วนที่เป็นไฟ DC นี้จะนำไปใช้ควบคุมความถี่ของ VCO ไม่ว่าความถี่ของ VCO จะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรเฟสล็อคลูปสามารถแก้ไขได้เรียกว่า capture range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



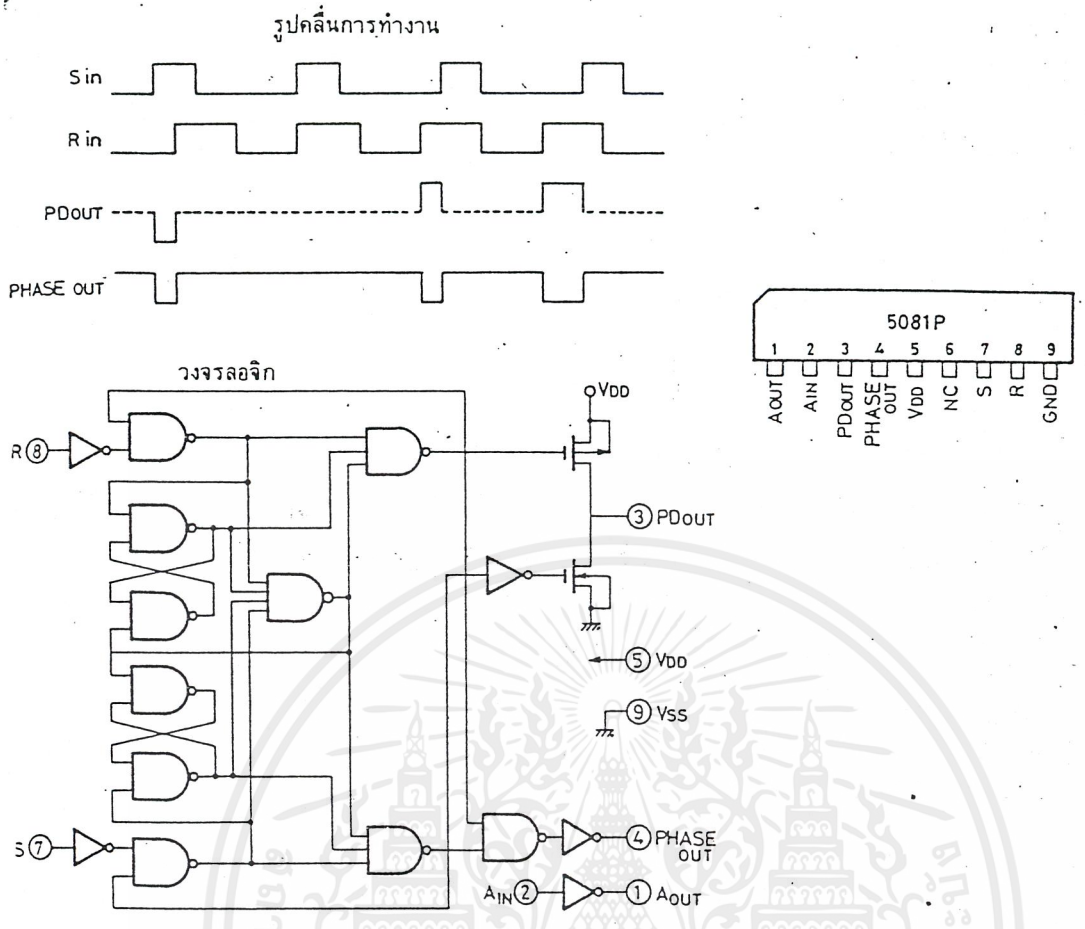
รูปที่ 3.8 ภาคเฟสดีเทคเตอร์แบบ IC ของ Plessey เบอร์ NT 8811

ตัวอย่างวงจรเฟสดีเทคเตอร์อีกแบบหนึ่งดังรูปที่3.9 ซึ่ง มีหลักการคล้ายกับรูปที่ 3.8 แต่ ซับซ้อนกว่า สังเกตว่า มีวงจรขยายอินเวอร์เตอร์อยู่ 1 ตัวซึ่งเป็นวงจรขยายอเนกประสงค์ เพื่อประโยชน์ในการสลับชั้วแรงดันควบคุมของ VCO ให้อัตราขยายมีความแรงขึ้น หรือใช้ในการควบคุมอื่น ๆ LOW PASS FILTER

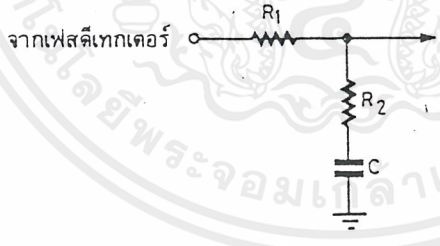
ลูปฟิลเตอร์ มีหน้าที่กรองเอาสัญญาณที่เป็นสัญญาณ AC ที่ได้มาจากเฟสดีเทคเตอร์ให้มาเป็นสัญญาณ DC ในการเปลี่ยนไปเป็นสัญญาณความถี่ค่าต่าง ๆ ช่วง LOW PASS FILTER จะเป็นตัวกำหนดช่วงของความถี่ที่ระบบจะสามารถ CAPTUER ได้ LOW PASS FILTER มีหลายชนิดด้วยกัน ที่ใช้ในเฟสล็อคลูปเป็นแบบ FIRST ORDER LOW PASS FILTER

ลูปฟิลเตอร์เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักใช้ลูปฟิสเตอร์ประเภทพาสซีฟ (มีแต่ R กับ C หรือ อาจใช้ฟิลเตอร์ชนิดแอกตีฟก็ได้) ดูรูปที 3.10 ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 เฟสดีเทคเตอร์แบบ IC อีกแบบหนึ่งของ Toshiba เบอร์ 5081



รูปที่ 7.11 ตัวอย่างวงจรลูปฟิลเตอร์

รูปที่ 3.10 ตัวอย่างวงจรลูปฟิลเตอร์

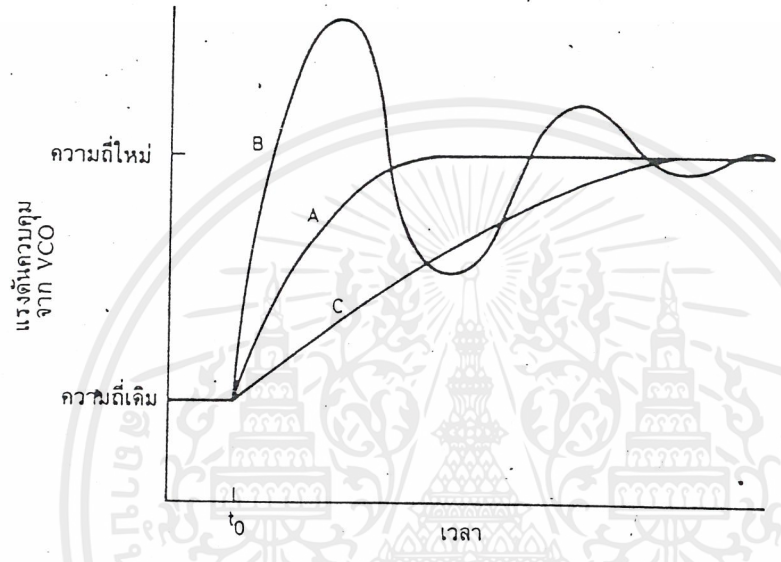
เข้าสู่สภาวะล็อคที่เรียกว่าคุณสมบัติชั่วครู่ (transient) ถ้าเลือกอัตราขยายลูป (loop gain) และค่าเวลาคงที่ลูป (loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อค และจะเปลี่ยนไปเปลี่ยนมา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อคลูปจะล็อคได้เร็ว โดยไม่มีการสะบัด (overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าเวลาคงที่ก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (jitter) ดูรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทาง critically damped ใช้เวลาในการเปลี่ยนสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทาง under damped มีการสะบัด (หรือออสซิลเลท) เนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทาง over damped ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าเวลาคงที่ของวงจรลูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



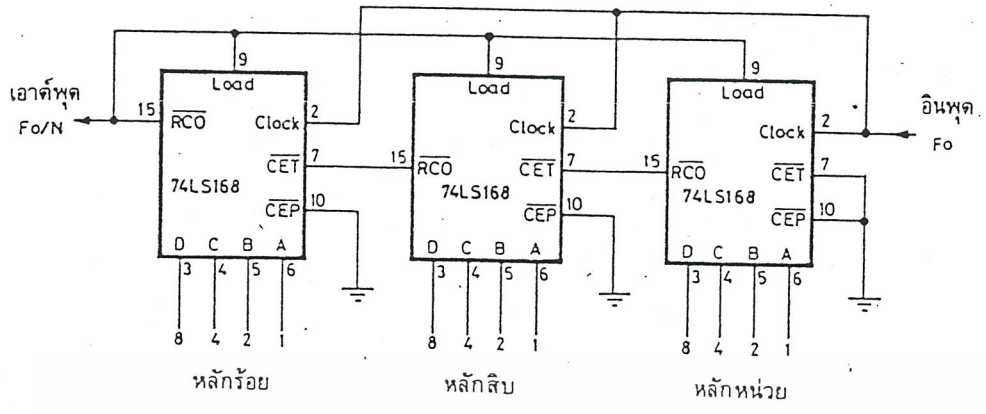
รูปที่ 3.11 คุณลักษณะ ในการเปลี่ยนความถี่ของเฟสล็อคลูป(dynamic characteristics)

ยังมีอีกภาคหนึ่งที่มีผลต่อ ช่วงเวลาที่ใช้ในการ ล็อคความถี่นั่นคือ ภาคหาร N (หรือ programmable divider) เวลาที่ใช้ในการล็อคความถี่เมื่อ N มีค่ามากสุด วงจรหาร N เกิดจากวงจรนับ (binary counter หรือ decade counter) หลาย ๆ ชุดมาต่อร่วมกับเกตต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

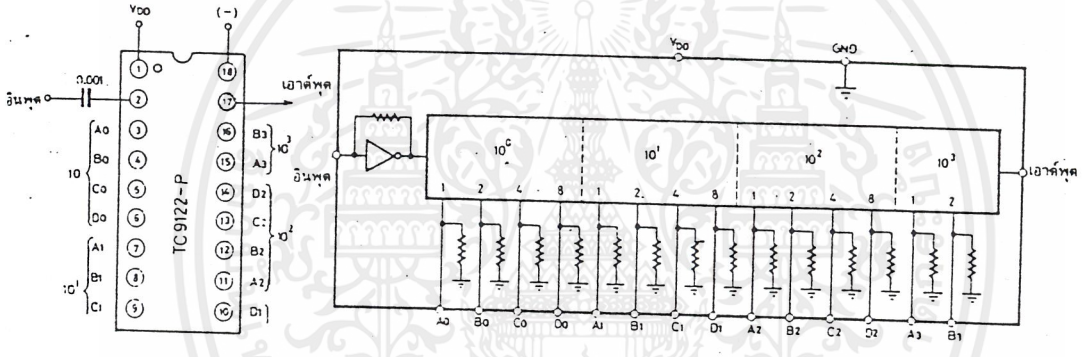
วงจรหาร N นี้เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องความถี่ ในวงจร รูปที่ 3.12 แสดงวงจรหารชนิดที่ใช้ไอซีตระกูล TTL ส่วนในรูปที่ 3.13 เป็นวงจรหาร N สำเร็จรูปในไอซีตัวเดียว สังเกตว่าลักษณะการป้อนข้อมูล N ให้กับวงจรหาร N เป็นแบบขนาน (parallel) กล่าวคือข้อมูลแต่ละบิตจะป้อนเข้าพร้อม ๆ กัน

วงจรหาร N บางชนิดใช้วิธีป้อนข้อมูล N เป็นแบบอนุกรม (seiral) วงจรหารประเภทนี้มีความซับซ้อน เพราะต้องมีสัญญาณนาฬิกา (clock) มีวงจรแลตช์ (latch) ฯลฯ ในการป้อนข้อมูล วงจรหาร N ประเภทนี้จะควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ตัวอย่าง programmable divider โดยใช้ IC ตระกูล TTL



รูปที่ 3.13 ตัวอย่างวงจรหาร N ชนิดความเร็วสูงเป็น IC ตัวเดียวเบอร์ Toshiba TC 9122

ปัญหาสำคัญของซินธิไซเซอร์อีกอย่างหนึ่งก็คือวงจรหาร N(หรือวงจรหารที่ตั้งโปรแกรมได้)ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรหาร N ทำงานได้ วิธีต่าง ๆ ที่นิยมใช้ได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งก็คือใช้วิธีพรีสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

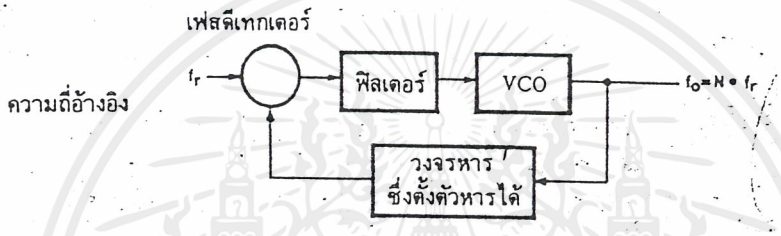
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 เรื่องเกี่ยวกับการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นหน่วยสังเคราะห์ความถี่ ซึ่งมีขั้นการตั้งความถี่ขั้นละ f_r เท่ากับความถี่อ้างอิง

PLL แบบโดยตรง

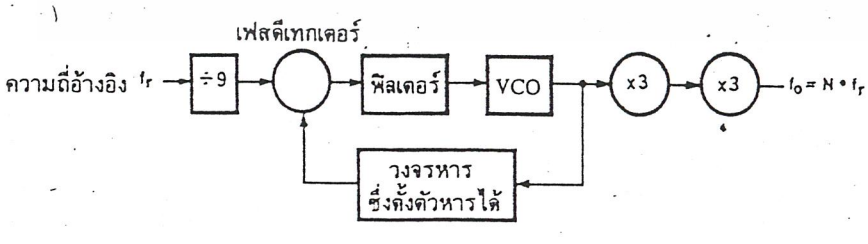
วิธีการสังเคราะห์ความถี่วิธีนี้ใช้ PLL แบบโดยตรง นับว่าเป็นวิธีที่ง่าย ความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง (รูปที่ 3.14) ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท ความถี่อาจจะขึ้นไปได้ถึง 200 เมกะเฮิรตซ์ อย่างไรก็ดี วงจรนับที่โปรแกรมตัวหาร N นั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีสังเคราะห์ความถี่เป็นแบบอื่น



รูปที่ 3.14 PLL แบบโดยตรง

PLL แบบคูณความถี่

สังเกตว่าในรูปที่ 3.15 เราหารความถี่อ้างอิง f_r ลง 9 เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลง แต่ก็ทำให้ผลตอบสนองต่อการเปลี่ยนความถี่ของ PLL ช้าลง เนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง



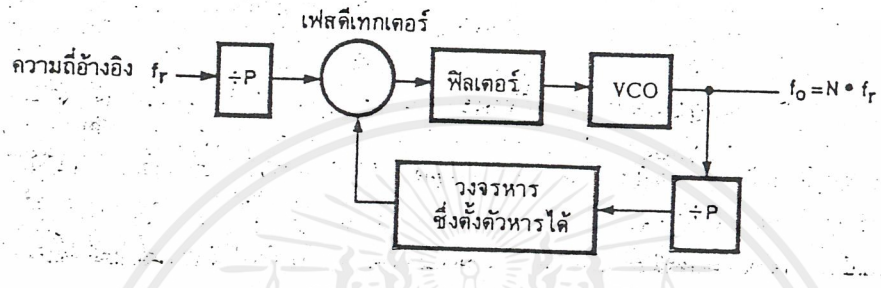
รูปที่ 3.15 แบบคูณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL แบบพรีสเกลเลอร์

PLL ในรูปที่ 3.16 ใช้วิธีหารความถี่อ้างอิง f_r ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูป แทนที่จะคูณความถี่ภายนอกลูปดังเช่น PLL แบบคูณความถี่ วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ใช้งาน โดยไม่ต้องมีวงจรคูณความถี่

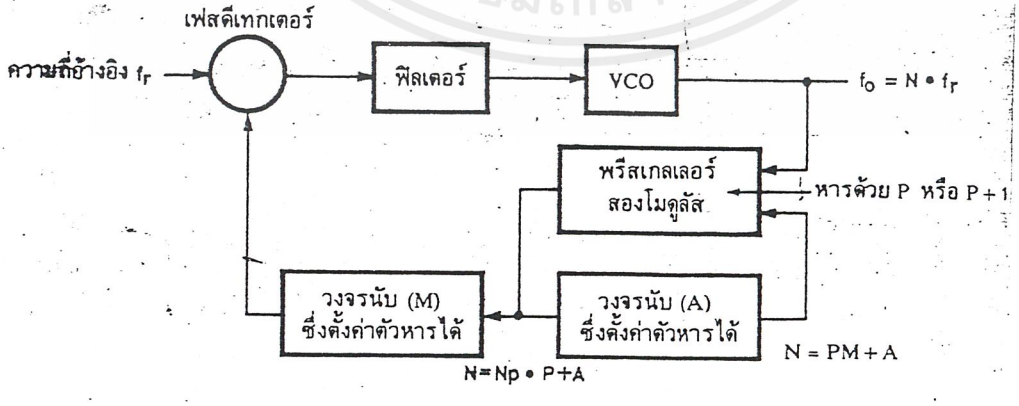
วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอปธรรมดา ซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N โปรแกรมตัวหารได้นั้น ทำงานที่ความถี่ต่ำลงเช่นเดียวกับ PLL ในรูปที่ 3.15



รูปที่ 3.16 PLL แบบพรีสเกลเลอร์

PLL แบบพรีสเกลเลอร์ สองโมดูลัส

PLL ในรูปที่ 3.17 ใช้พรีสเกลเลอร์ เช่นเดียวกับ PLL ในรูปที่ 3.16 เว้นแต่วงจรพีสเกลเลอร์นี้มิใช่เป็นวงจรนับซึ่งหารค่าตายตัว P แต่เป็นวงจรนับซึ่งตัวหารเปลี่ยนค่าได้ระหว่าง P กับ P + 1 เราเรียกพรีสเกลเลอร์สองโมดูลัส (เลือกตัวหาร P ก็ได้ หรือจะเลือก P + 1 ก็ได้) วงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง



รูปที่ 3.17 PLL แบบพรีสเกลเลอร์สองโมดูลัส

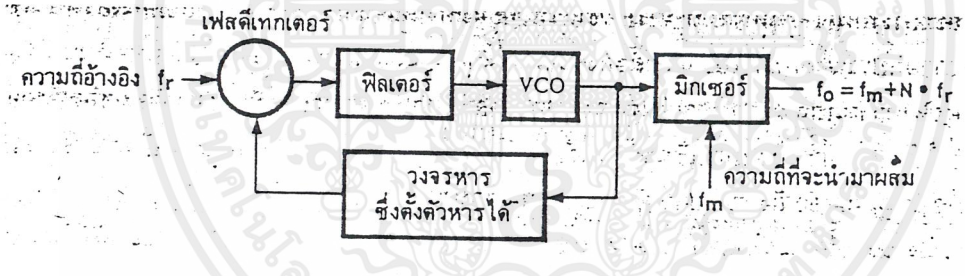
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าโมดูลัส (ตัวหาร) ของพรีสเกลเลอร์มีค่ามาก ตัวหารต่ำสุดก็จะมากยิ่งขึ้นไปอีก ซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูง ๆ และช่วงห่างระหว่างช่องแคบ

เหตุผลสำคัญในการใช้พรีสเกลเลอร์ชนิดสองโมดูลัสก็เพื่อลดทอนความถี่ลง และให้ใช้กับวงจรหาร N ตระกูล TLL หรือ CMOS ได้ ถ้าใช้พรีสเกลเลอร์แบบ 256/ 257 ก็สามารถสังเคราะห์ความถี่ไปถึงย่าน UHFได้ ข้อดีอีกอย่างหนึ่งของพรีสเกลเลอร์ชนิดสองโมดูลัสก็คือทำให้การกำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดงเช่นในสภาวะรับ โลคอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่ง เช่น ในกรณีของการเลื่อนความถี่ภาคส่งสำหรับรีพีตเตอร์ (repeater offset) เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้ก็คือสามารถทำงานที่ความถี่สูง (high speed operation) ได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย

PLL แบบมิกซิ่งนอกลูป

PLL ในรูปที่ 3.18 อาศัยความถี่อีกความถี่หนึ่งเพื่อผสม (มิกซ์) กับความถี่ VCO ให้เอาท์พุทของ PLL มีความถี่สูงขึ้น ในที่นี้เราปรับขั้นความถี่ได้ขั้นละ f_r เท่ากับความถี่อ้างอิง และความถี่เอาท์พุท เท่ากับผลรวมความถี่ที่นำมามิกซ์กับความถี่จาก VCO

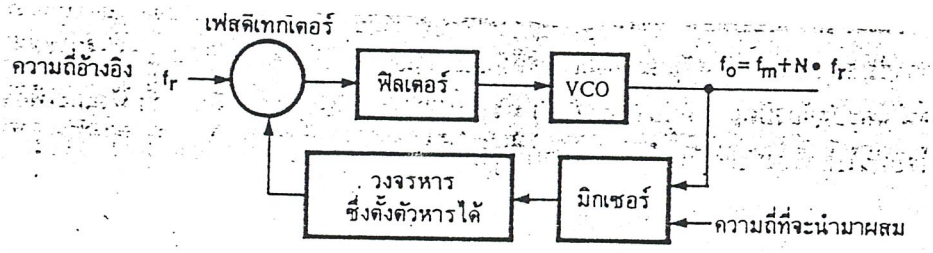


รูปที่ 3.18 PLL แบบมิกซิ่งนอกลูป

PLL แบบมิกซิ่งในลูป

PLL ในรูปที่ 3.19 เป็นการมิกซ์อีกแบบหนึ่ง ซึ่งนำการมิกซ์มาไว้ในลูป สัญญาณจาก VCO และความถี่มิกซ์ f_m บิตกันได้ความถี่ต่ำลง แล้วจึงป้อนสู่วงจรนับหาร N ความถี่เอาท์พุทเท่ากาบผลรวมของความถี่ที่นำมามิกซ์ f_m กับความถี่ VCO เช่นเดียวกับรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 PLL แบบมิกซิ่งในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
รายละเอียดและการสร้างโครงงาน

4.1การทำงานของวงจรผลิตความถี่

ภาคการผลิตความถี่ที่การใช้ไอซีชิปเดี่ยวเบอร์ MAX038 ภายในตัวไอซีประกอบด้วยชุดผลิตความถี่ที่สามารถควบคุมความถี่ได้ด้วยปริมาณกระแสไฟฟ้า ชุดสร้างแรงดันอ้างอิง ชุดกำหนดรูปแบบสัญญาณเอาท์พุท ชุดผลิตสัญญาณซิงค์ รวมทั้งภาคขยายสัญญาณความถี่ที่ผลิตได้ให้มีขนาดพอเหมาะแก่การใช้งาน

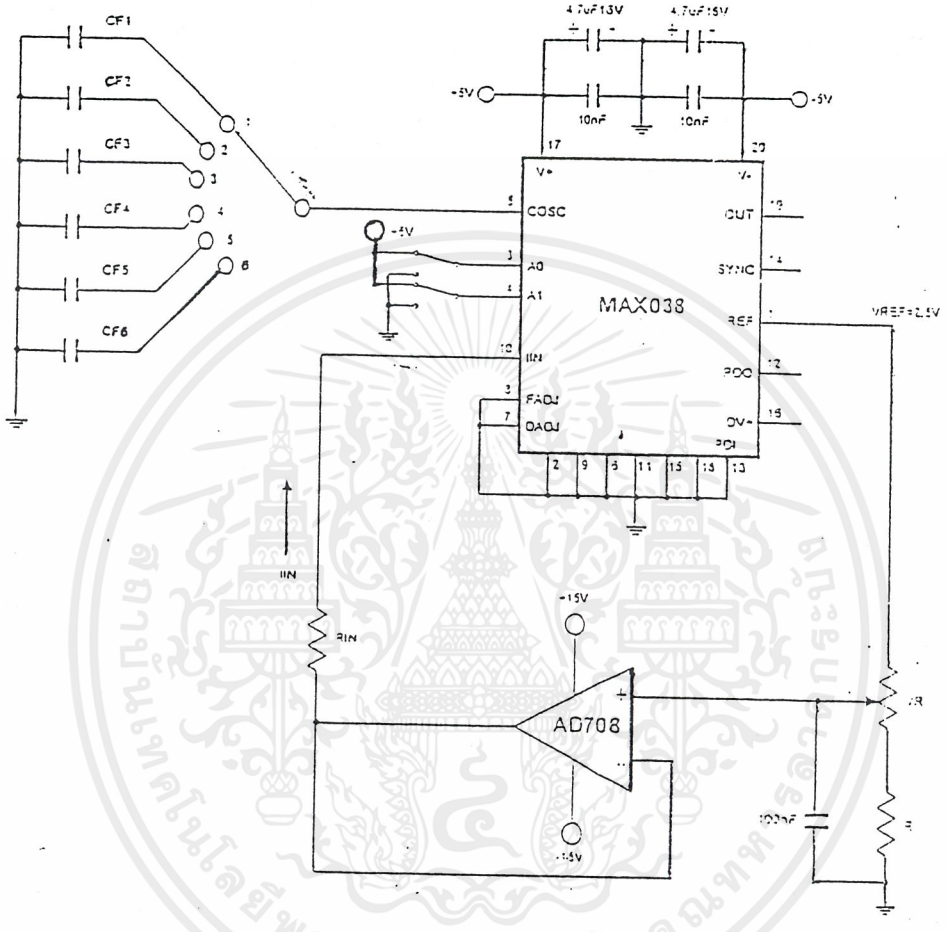
ไอซีเบอร์ MAX038 ซึ่งเป็นหัวใจในการทำงานของเครื่องกำเนิดสัญญาณความถี่นี้ใช้แหล่งจ่ายไฟขนาด (5 V ในการทำงานที่จ่ายเข้ามายังขา 17 และขา 20 เป็นหลัก ที่ขา 16 ก็ใช้แรงดัน 5 V เช่นกัน) ทำการทดลองผลิตความถี่ให้ได้ตามที่ต้องการคือ 1 HZ ถึง 10 MHz ซึ่งในส่วนของการเลือกลักษณะสัญญาณเอาท์พุทสามารถเลือกได้โดยใช้สวิทช์ S1-S3 ซึ่งมีหลักการทำงานโดยเข้ารหัสส่งไปให้ IC MAX038 รับทราบในรูปสัญญาณที่ต้องการและทำการผลิตความถี่ในรูปแบบนั้น ๆ

การกำหนดย่านความถี่แต่ละย่านจะถูกกำหนดโดยตัวเก็บประจุที่เหมาะสมที่ต่ออยู่ที่ขา 5 หรือ ขา COSC เนื่องจากคาปาซิสเตอร์ 1 ค่า ไม่สามารถจะใช้เป็น คาปาซิสเตอร์ออสซิลเลทเตอร์เพื่อผลิตความถี่ให้ครอบคุมช่วงความถี่กว้าง ๆ ได้ ตัวเก็บประจุ 1 ค่า จะทำให้วงจรผลิตความถี่ได้แค่ช่วงความถี่หนึ่งประมาณ 10 เท่า การที่จะทำให้วงจรสามารถผลิตความถี่ได้ตั้งแต่ 1 เฮิร์ท ถึง 10 เมกกะเฮิร์ท ได้นั้นจึงต้องใช้ตัวเก็บประจุหลาย ๆ ค่า แล้วทำการเลือกใช้ทีละค่าให้เหมาะสมกับความถี่ที่ผลิต โดยในการเลือกตัวเก็บประจุนั้นจะใช้มอสทรานซิสเตอร์ต่อเป็นวงจร เลือกค่าตัวเก็บประจุ หรือใช้ซีเล็กเตอร์สวิทช์ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่า R และ C

การคำนวณค่า R และ C เพื่อให้ MAX038 ผลิตความถี่ในช่วง 10Hz- 10MHz โดยอ้างอิงจากวงจรดังแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงวงจรที่ใช้ในการคำนวณ

จากรูปที่ 4.1 วงจรเราจะแบ่งย่านความถี่ออกเป็น 6 ย่านดังนี้คือ

- 10 Hz – 99.9 Hz
- 100 Hz – 999 Hz
- 1 kHz – 9.99 kHz
- 10 kHz – 99.9 kHz
- 100 kHz – 999 kHz
- 1 MHz – 9.99 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูตรที่ใช้ในการคำนวณมี 2 สูตรคือ

$F_o(MHz) = I_{IN}(\mu A) \div C_F(pF)$

$I_{IN} = V_{IN} \div R_{IN}$

ข้อกำหนดทางเทคนิคของ MAX038 มีดังนี้คือ

I_{IN} มีค่าระหว่าง 2μA- 750μA

C_F มีค่าระหว่าง 20 pF - 100μF

จากสูตรจะพบความถี่ F_o จะขึ้นอยู่กับ I_{In} และ C_F เมื่อเราให้ C_F คงที่และปรับ I_{IN} จะทำให้ F_o เกิดการเปลี่ยนแปลงในย่านความถี่ช่วงหนึ่ง ดังนั้นถ้าเราต้องการให้มีย่านความถี่ 6 ย่านสามารถทำได้โดยเปลี่ยน C_F จำนวน 6 ค่า ซึ่งค่า C_F ที่ใช้ในแต่ละย่านความถี่จะมีค่าแตกต่างกันย่านละ 10 เท่า เพื่อให้ความถี่ในแต่ละย่านแตกต่างกัน10 เท่าจากรูปที่ 4. เราจะได้ค่า C_F เป็น 6 ค่าและย่านกระแส 6 ย่านตามตารางที่ 4.1

ย่านความถี่	C_F	$I_{IN} = F_O \times C_F$
10Hz-99.9Hz	2.2μF	22μA-220μA
100Hz-999Hz	220nF	22μA-220μA
1KHz-9.99KHz	22nF	22μA-220μA
10KHz-99.9KHz	2.2nF	22μA-220μA
100KHz-999KHz	220pF	22μA-220μA
1MHz-9.99MHz	22pF	22μA-220μA

ตารางที่ 4.1 แสดงการกำหนดค่าในการคำนวณ

จากสูตร $I_{IN} = \frac{Vin}{Rin}$ เราให้ค่า R_{IN} คงที่แล้วเปลี่ยนค่า V_{IN} เพื่อให้ I_{IN} เปลี่ยนแปลง จากรูปจะเห็นว่าเราได้ V_{IN} มาจากการแบ่งแรงดันของ V_{REF} และค่า V_{IN} ที่สูงสุดจะเท่ากับ V_{REF}(2.5V) ส่วนค่า V_{IN} ที่ต่ำสุดจะเท่ากับ V_R ที่ค่า V_{IN} สูงสุดจะมีกระแสไหล 220μA นำค่า V_{IN} และ I_{IN} แทนในสูตรเพื่อหาค่า R_{IN}

$$R_{IN} = \frac{Vin}{Iin}$$

$$= \frac{2.5V}{220\mu A}$$

$$= 11.36\ k\Omega$$

ดังนั้นเราจะเลือกค่าที่ใกล้เคียง 11.36 kΩ คือ 10 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก R_{IN} = 10kΩ เราจะได้ค่า V_{IN} ต่ำที่สุดคือ

$$V_{IN} = R_{IN} \times I_{IN}$$
$$= 10k\Omega \times 22\mu A$$
$$= 0.22\ V$$

ถ้าเราใช้ตัวต้านทานปรับค่าได้มีค่าเท่ากับ 1kΩ เราจะคำนวณค่า R ได้ดังนี้

$$\frac{2.5R}{1K+R} = 0.22\ V$$
$$2.5\ R = 0.22R + 220$$
$$R = 96.49\Omega$$

แต่เราจะใช้ R = 68Ω เพื่อให้กระแส I_{IN} ต่ำกว่าที่คำนวณเล็กน้อย

จากการคำนวณเราจะได้ค่า R_{IN} = 10kΩ, R = 68Ω และตัวต้านทานปรับค่าได้ 1kΩ ซึ่งค่าต่าง ๆ ที่เราใช้นี้จะทำให้ได้กระแสอยู่ในช่วงต่ำกว่า 22μA ถึงสูงกว่า 220μA การใช้ I_{IN} ไม่ตรงกับที่คำนวณเนื่องจาก C_F ที่ใช้ย่อมมีความคลาดเคลื่อนในตัวมันเอง ทำให้ความถี่คลาดเคลื่อนไปจากที่คำนวณได้ ซึ่งอาจทำให้ไม่ได้ความถี่ในช่วงที่ต้องการ จึงจำเป็นต้องเผื่อค่ากระแสให้สูงและต่ำกว่าที่คำนวณได้เล็กน้อย

4.2 การคำนวณเพื่อหาค่าข้อมูล 12 บิต ในการกำหนดความถี่ของ AD 7541 AJN

ไอซี AD 7541 AJN เป็นไอซีที่ทำหน้าที่เปลี่ยนข้อมูลดิจิตอลขนาด 12 บิตให้เป็นสัญญาณอนาลอกใช้ควบคุมการเปลี่ยนค่าความถี่ที่ไอซี MAX038 ผลิตขึ้น โดยแรงดันที่ใช้ควบคุมการเปลี่ยนแปลงความถี่จะมีค่าตั้งแต่ 0 V ถึง 2.5 V การกำหนดค่าความถี่ที่ใช้ในการสร้างรูปสัญญาณของไอซี MAX038 ขึ้นอยู่กับตัวแปร 2 ตัวคือ กระแสไฟที่ป้อนเข้าที่ขา IIN และค่าตัวเก็บประจุ C_F ที่ต่อเข้าที่ขา COSC ดังสมการต่อไปนี้

$$Fo = \frac{Iin(\mu A)}{Cf(pF)}$$

เมื่อ F_O คือความถี่เอาท์พุท

I_{IN} คือกระแสไฟที่ขา IIN มีค่าอยู่ระหว่าง 2-750 ไมโครแอมป์

C_F คือตัวเก็บประจุที่ต่อที่ขา COSC และกราวด์

แต่จากวงจรกระแส I_{IN} ถูกกำหนดค่าจากแรงดันไฟตรงจาก DAC ขนาด12 บิต เบอร์ AD7541AJN โดยต่อผ่านตัวต้านทานค่า 10 กิโลโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{IN}\ (\mu A) = \frac{V_{DAC}}{R_{IN}}$$

$$I_{IN}\ (A) = \frac{V_{DAC} \times 10^{6}}{R_{IN}}$$

แทนค่า I_{IN} เพื่อหาค่า F_o

$$F_O(MHz) = \frac{V_{DAC} \times 10^{6}}{R_{IN} \times C_F(pF)}$$

$$V_{DAC} = F_O(MHz) \times R_{IN} \times C_F(pF) \times 10^{6} \qquad 4.1$$

เนื่องจากการกำหนดค่าแรงดัน V_{DAC} ขึ้นอยู่กับค่าข้อมูลขนาด 12 บิต ดังนั้นจึงสามารถแบ่งแรงดันออกได้เป็น 2^{12} = 4096 สเต็ป โดยปรับแรงดันให้ V_{DAC} มีค่าสูงสุดที่ สเต็ปสูงสุดคือ 2.5 โวลต์ เพื่อให้กระแส I_{IN} มีค่าสูงสุดคือ 250 ไมโครแอมป์ ดังนั้นแรงดันของ V_{DAC} แต่ละสเต็ปสามารถคำนวณได้ดังนี้

$$\frac{2.5V}{4095} = 610.5\ \mu V/step$$

ดังนั้น $$step = \frac{V_{DAC}}{610.5 \times 10^{6}}$$

$$V_{DAC} = step \times 610.5 \times 10^{-6} \qquad 4.2$$

เมื่อนำสมการที่ (1) เท่ากับ (2) จะได้ว่า

$$step = \frac{F_o(MHz) \times R_{IN} \times C_F(pF) \times 10^{-6}}{610.5 \times 10^{-6}}$$

เมื่อแทนค่า R_{IN} ใช้ในวงจรซึ่งเท่ากับ 10กิโลโอห์มจะได้ว่า

$$step = \frac{F_O(MHz) \times 10^{3} \times C_F(pF)}{610.5}$$

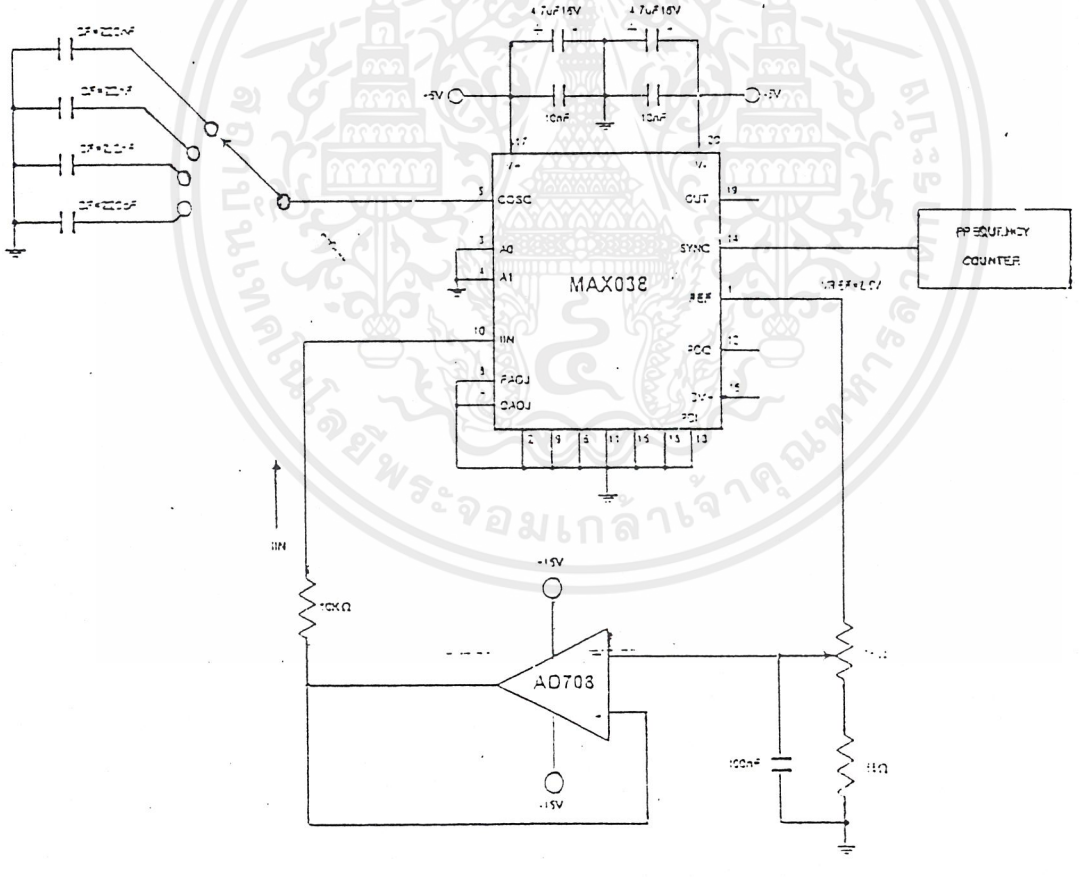
$$step = 1.638 \times F_O(MHz) \times C_F(pF) \qquad 4.3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดลองและผลการทดลอง

5.1 ทดลองวัดค่าแรงดันที่ความถี่ต่าง ๆ

ย่านความถี่ของ MAX038 จะถูกกำหนดโดย C_F และการเปลี่ยนแปลงของความถี่ภายในย่าน จะขึ้นอยู่กับกระแส I_{IN} ที่ไหลเข้าไปในขา IIN แต่การควบคุมโดยใช้แหล่งจ่ายกระแสจะยุ่งยากกว่าการใช้แหล่งจ่ายแรงดันควบคุม ดังนั้นเราจึงหาผลของความถี่ที่เปลี่ยนแปลงเนื่องจากแรงดัน



รูปที่ 5.1 แสดงวงจรที่ใช้ในการทดลองวัดค่าแรงดันที่ความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1 ที่ C_F= 220nF ปรับความถี่เปลี่ยนแปลงตั้งแต่ 100 Hz เพิ่มขึ้นทีละ 10 Hz ไปจนถึงความถี่ 990 Hz วัดแรงดันที่ความถี่ต่าง ๆ บันทึกผลลงในตารางที่ 5.1

5.1.2 ที่ C_F = 22nF ปรับความถี่เปลี่ยนแปลงตั้งแต่ 1kHz เพิ่มขึ้นทีละ 100 Hz ไปจนถึงความถี่ 9.9 kHz วัดแรงดันที่ความถี่ต่าง ๆ บันทึกผลลงในตารางที่ 5.2

5.1.3 ที่ C_F = 2.2nF ปรับความถี่เปลี่ยนแปลงตั้งแต่ 10 kHz เพิ่มขึ้นทีละ 1kHz ไปจนถึงความถี่ 99 kHz วัดแรงดันที่ความถี่ต่าง ๆ บันทึกผลลงในตารางที่ 5.3

5.1.4 ที่ C_F = 220pF ปรับความถี่เปลี่ยนแปลงตั้งแต่ 100 kHz เพิ่มขึ้นทีละ 10 kHz ไปจนถึงความถี่ 990 kHz วัดแรงดันที่ความถี่ต่าง ๆ บันทึกผลลงในตารางที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

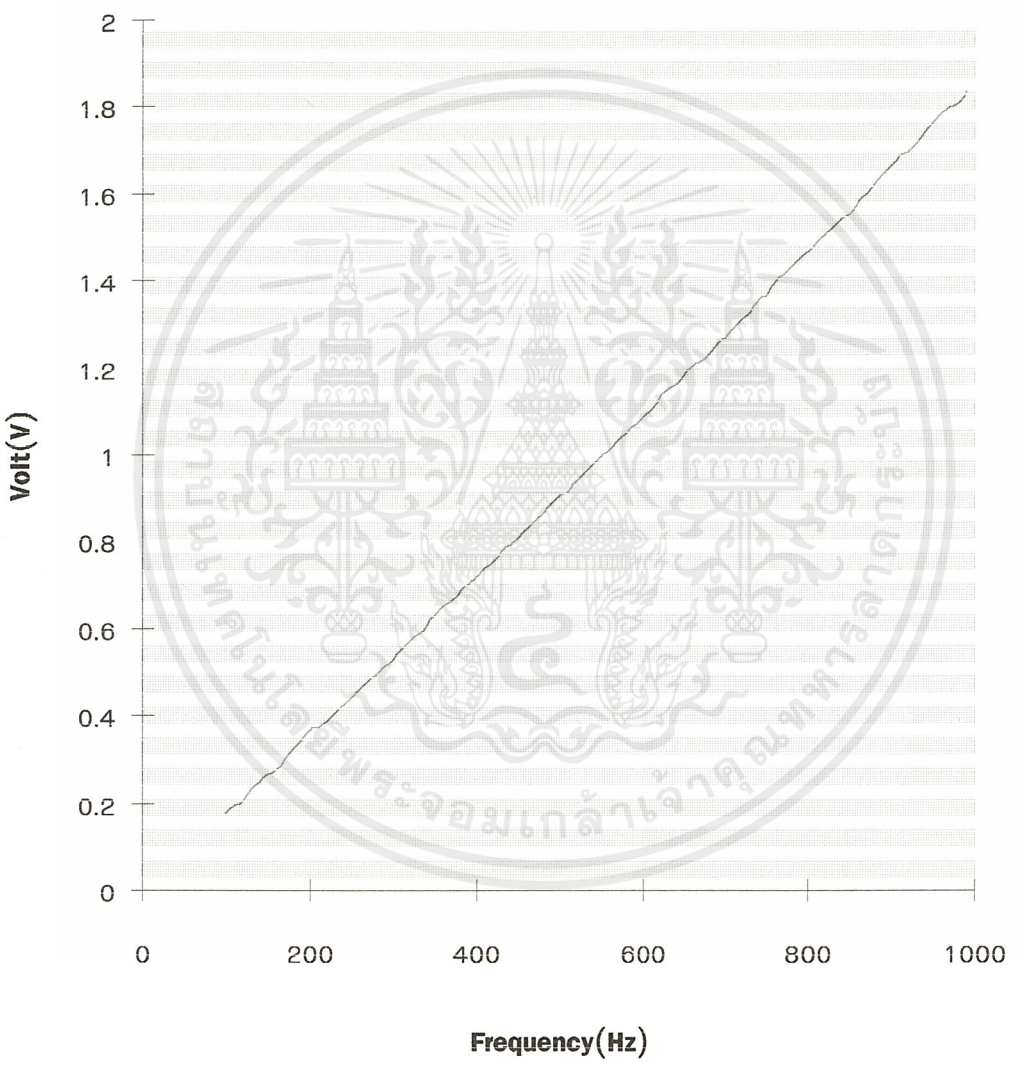
ตารางที่ 5.1 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F =220 nF

Frequency (Hz)	Voltage (v)
100	0.176
110	0.196
120	0.206
130	0.232
140	0.248
150	0.263
160	0.274
170	0.300
180	0.322
190	0.342
200	0.366
210	0.371
220	0.387
230	0.404
240	0.423
250	0.440
260	0.459
270	0.478
280	0.493
290	0.514
300	0.531
310	0.552
320	0.570
330	0.589
340	0.606
350	0.631
360	0.651
370	0.666
380	0.686
390	0.704

Frequency (Hz)	Voltage (v)
400	0.720
410	0.740
420	0.759
430	0.778
440	0.792
450	0.807
460	0.831
470	0.851
480	0.869
490	0.891
500	0.907
510	0.920
520	0.941
530	0.961
540	0.977
550	0.999
560	1.015
570	1.034
580	1.052
590	1.069
600	1.088
610	1.103
620	1.122
630	1.148
640	1.163
650	1.183
660	1.201
670	1.215
680	1.233
690	1.257

Frequency (Hz)	Voltage (v)
700	1.270
710	1.292
720	1.312
730	1.328
740	1.355
750	1.368
760	1.396
770	1.415
780	1.433
790	1.451
800	1.468
810	1.489
820	1.508
830	1.521
840	1.541
850	1.556
860	1.586
870	1.600
880	1.620
890	1.644
900	1.664
910	1.687
920	1.695
930	1.715
940	1.741
950	1.766
960	1.783
970	1.796
980	1.808
990	1.836

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

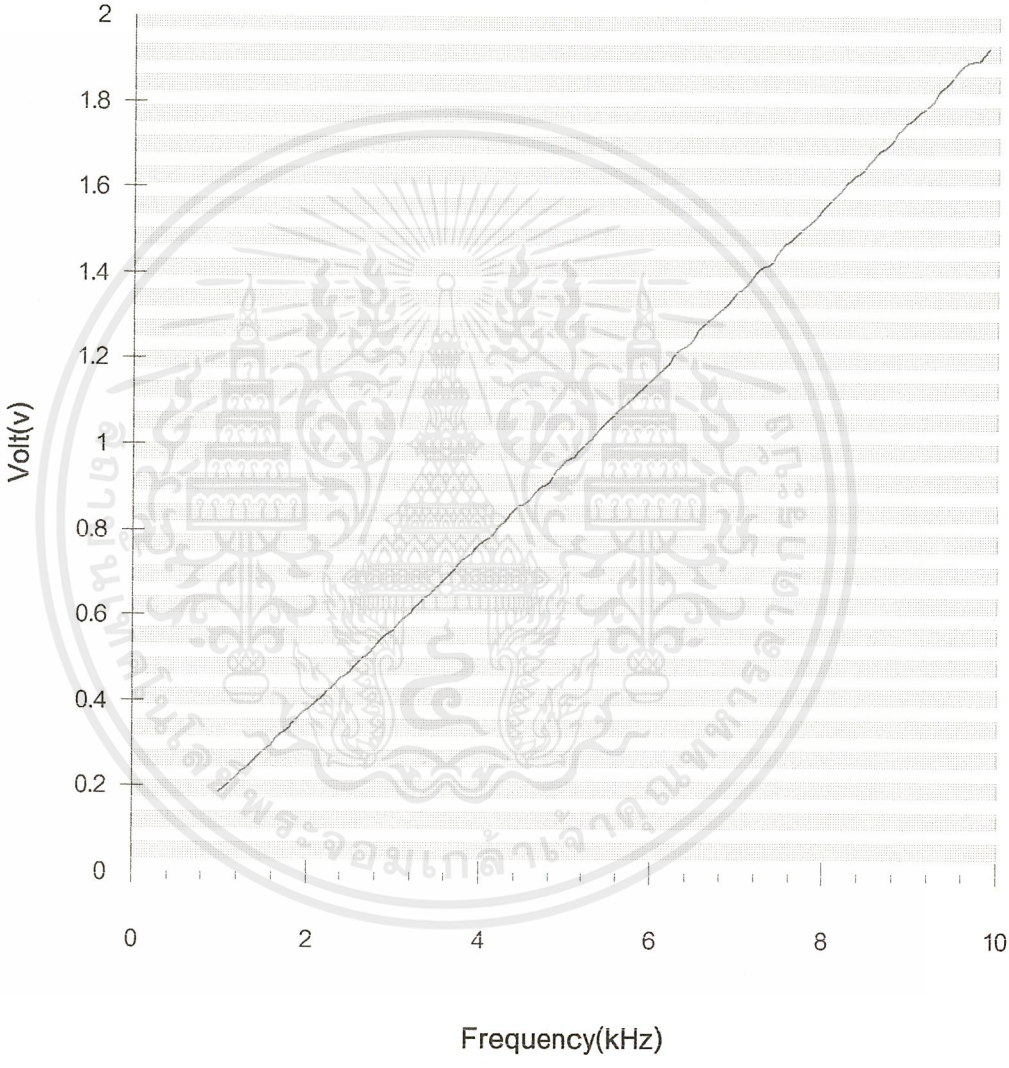
ตารางที่ 5.2 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F = 22nF

Frequency (KHz)	Voltage (v)
1.0	0.185
1.1	0.204
1.2	0.223
1.3	0.242
1.4	0.261
1.5	0.278
1.6	0.299
1.7	0.320
1.8	0.336
1.9	0.357
2.0	0.377
2.1	0.393
2.2	0.412
2.3	0.431
2.4	0.450
2.5	0.468
2.6	0.490
2.7	0.508
2.8	0.527
2.9	0.548
3.0	0.565
3.1	0.586
3.2	0.605
3.3	0.627
3.4	0.645
3.5	0.665
3.6	0.683
3.7	0.705
3.8	0.726
3.9	0.742

Frequency (KHz)	Voltage (v)
4.0	0.765
4.1	0.778
4.2	0.801
4.3	0.821
4.4	0.847
4.5	0.858
4.6	0.877
4.7	0.899
4.8	0.910
4.9	0.938
5.0	0.958
5.1	0.972
5.2	0.994
5.3	1.011
5.4	1.033
5.5	1.055
5.6	1.074
5.7	1.094
5.8	1.113
5.9	1.127
6.0	1.151
6.1	1.167
6.2	1.191
6.3	1.215
6.4	1.229
6.5	1.251
6.6	1.275
6.7	1.296
6.8	1.313
6.9	1.333

Frequency (KHz)	Voltage (v)
7.0	1.356
7.1	1.372
7.2	1.399
7.3	1.413
7.4	1.425
7.5	1.456
7.6	1.474
7.7	1.491
7.8	1.510
7.9	1.529
8.0	1.553
8.1	1.574
8.2	1.594
8.3	1.618
8.4	1.629
8.5	1.658
8.6	1.678
8.7	1.692
8.8	1.713
8.9	1.739
9.0	1.757
9.1	1.776
9.2	1.792
9.3	1.816
9.4	1.836
9.5	1.861
9.6	1.884
9.7	1.894
9.8	1.900
9.9	1.928

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

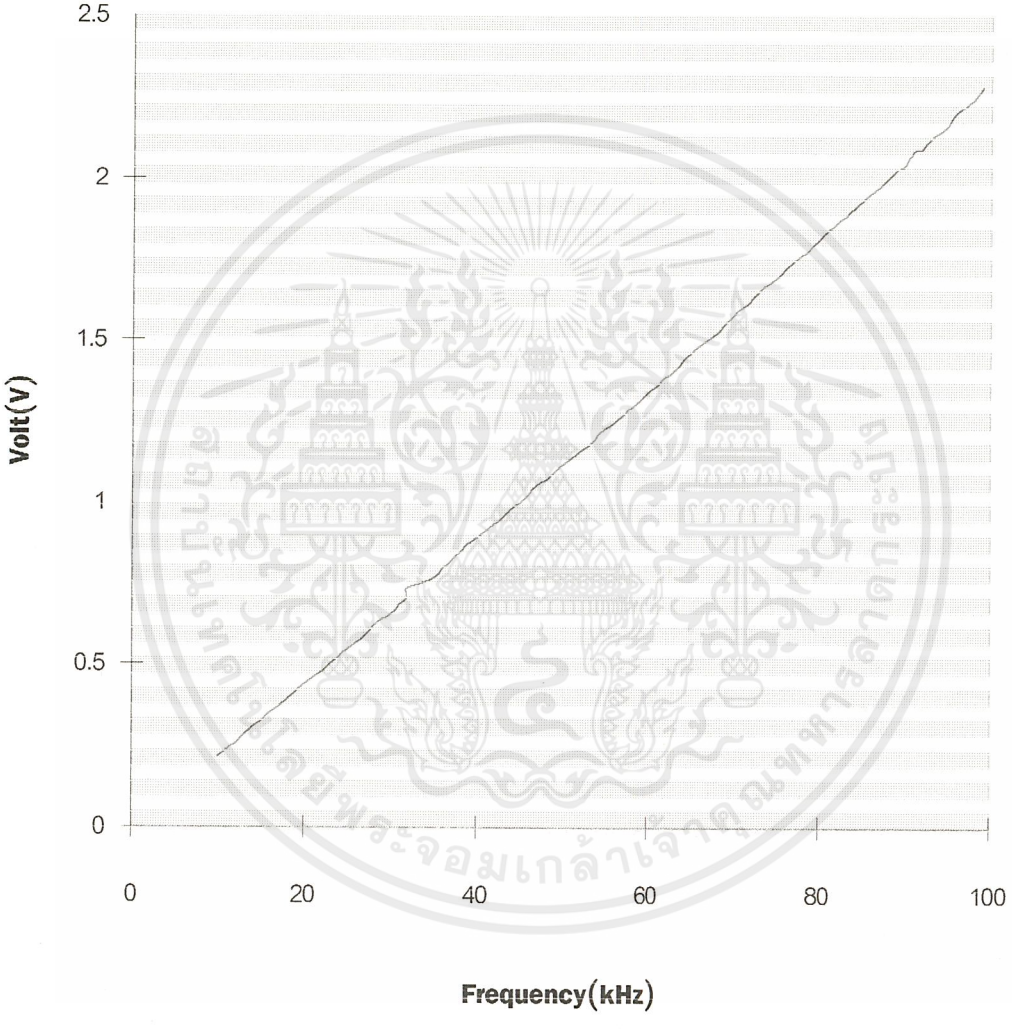
ตารางที่ 5.3 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F =2.2nF

Frequency (KHz)	Voltage (v)
10	0.216
11	0.237
12	0.258
13	0.280
14	0.305
15	0.327
16	0.348
17	0.370
18	0.392
19	0.411
20	0.437
21	0.458
22	0.479
23	0.502
24	0.524
25	0.546
26	0.568
27	0.591
28	0.620
29	0.639
30	0.656
31	0.685
32	0.703
32	0.731
34	0.751
35	0.770
36	0.793
37	0.817
38	0.847
39	0.870

Frequency (KHz)	Voltage (v)
40	0.889
41	0.909
42	0.930
43	0.956
44	0.978
45	1.000
46	1.022
47	1.051
48	1.066
49	1.093
50	1.119
51	1.135
52	1.156
53	1.177
54	1.204
55	1.225
56	1.245
57	1.269
58	1.292
59	1.312
60	1.338
61	1.359
62	1.383
63	1.408
64	1.435
65	1.459
66	1.480
67	1.502
68	1.525
69	1.550

Frequency (KHz)	Voltage (v)
70	1.574
71	1.601
72	1.618
73	1.648
74	1.671
75	1.686
76	1.716
77	1.742
78	1.762
79	1.788
80	1.812
81	1.843
82	1.860
83	1.881
84	1.907
85	1.929
86	1.955
87	1.971
88	2.000
89	2.030
90	2.040
91	2.080
92	2.090
93	2.120
94	2.140
95	2.160
96	2.200
97	2.220
98	2.240
99	2.280

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

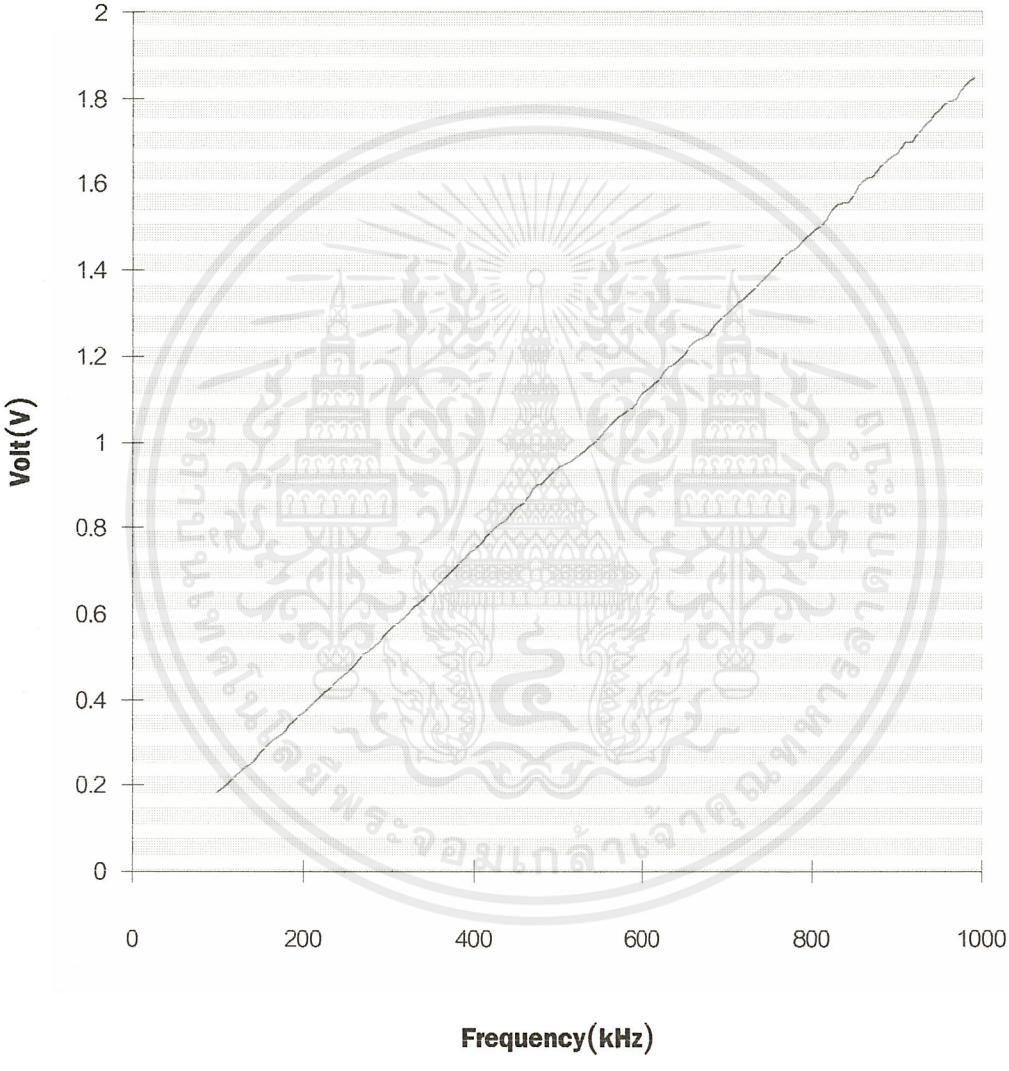
ตารางที่ 5.4 แสดงค่าความถี่และแรงดันเมื่อใช้ C_F =220pF

Frequency (KHz)	Voltage (v)
100	0.182
110	0.200
120	0.219
130	0.238
140	0.255
150	0.274
160	0.293
170	0.311
180	0.329
190	0.349
200	0.367
210	0.386
220	0.406
230	0.425
240	0.444
250	0.460
260	0.480
270	0.501
280	0.518
290	0.538
300	0.557
310	0.576
320	0.595
330	0.615
340	0.632
350	0.651
360	0.672
370	0.691
380	0.710
390	0.731

Frequency(KHz)	Voltage (v)
400	0.747
410	0.767
420	0.789
430	0.808
440	0.823
450	0.847
460	0.862
470	0.889
480	0.900
490	0.923
500	0.944
510	0.951
520	0.965
530	0.981
540	0.996
550	1.018
560	1.038
570	1.058
580	1.074
590	1.089
600	1.112
610	1.130
620	1.148
630	1.173
640	1.188
650	1.208
660	1.228
670	1.240
680	1.259
690	1.281

Frequency (KHz)	Voltage (v)
700	1.301
710	1.319
720	1.334
730	1.355
740	1.373
750	1.396
760	1.416
770	1.436
780	1.453
790	1.471
800	1.489
810	1.505
820	1.529
830	1.554
840	1.558
850	1.580
860	1.606
870	1.618
880	1.637
890	1.657
900	1.673
910	1.698
920	1.702
930	1.731
940	1.751
950	1.774
960	1.791
970	1.800
980	1.827
990	1.847

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 กราฟแสดงความสัมพันธ์ของความถี่และแรงดันจากตาราง 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

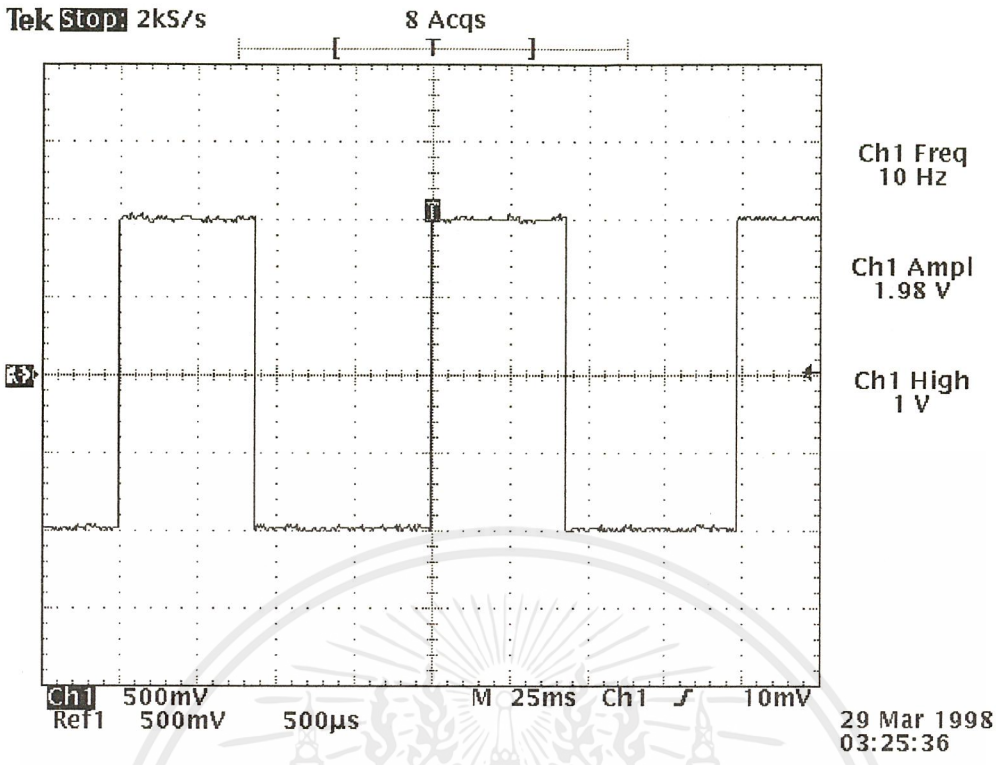
5.2 ผลการทดลองจากการวัดรูปสัญญาณที่ความถี่ต่าง ๆ

จากผลการทดลองวัดสัญญาณเอาท์พุทที่ได้จากเครื่องของรูปสัญญาณพื้นฐาน 3 รูปสัญญาณคือ สัญญาณไซน์ สัญญาณรูปสี่เหลี่ยม และสัญญาณรูปสามเหลี่ยมที่ความถี่ต่าง ๆ จะเห็นได้ว่ารูปสัญญาณมีความผิดเพี้ยนแตกต่างกันไปโดยเฉพาะที่ย่านความถี่สูง

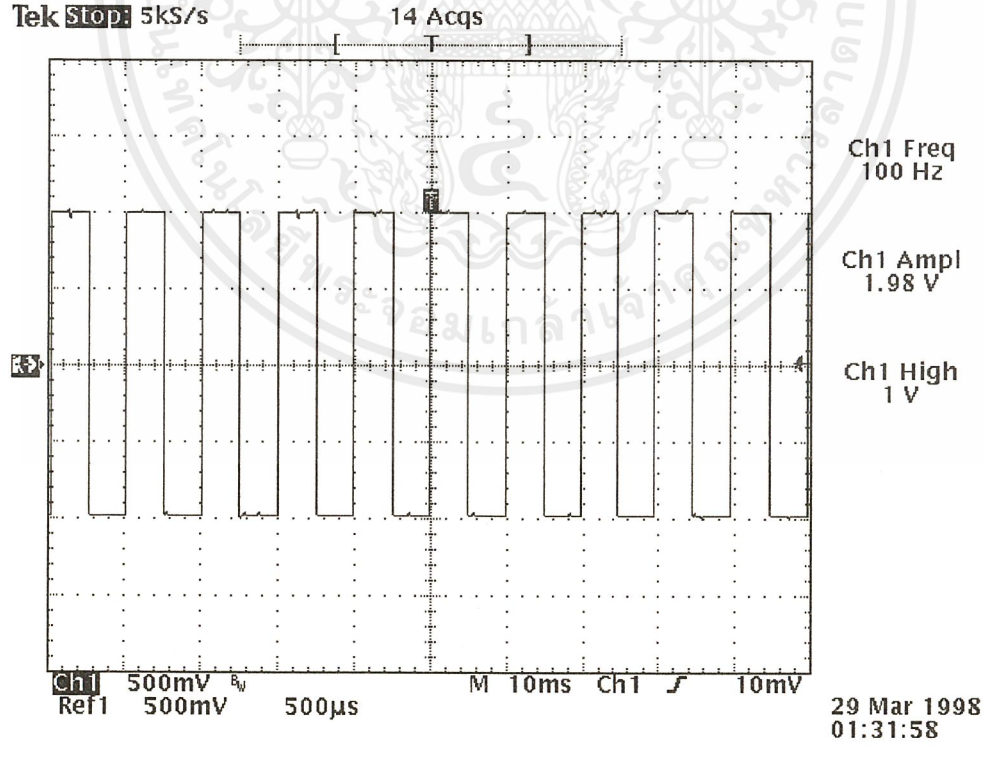
รูปที่จะแสดงต่อไปนี้เป็นรูปสัญญาณที่วัดจากจุดต่อสัญญาณเอาท์พุทของเครื่อง โดยกำหนดค่าความถี่, แรงดันเอาท์พุท และองค์ประกอบของสัญญาณต่าง ๆ และทำการบันทึกภาพจากหน้าจอของออสซิลโลสโคป

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

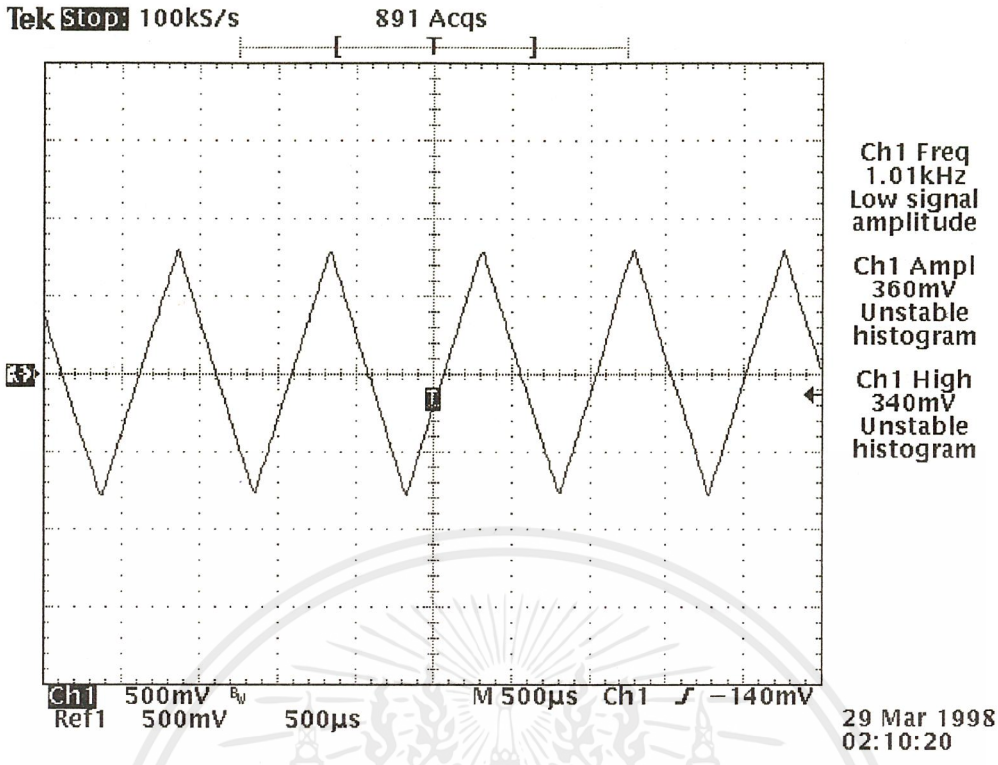


รูปที่ 5.6 แสดงสัญญาณ RECTANGULAR ที่ 10Hz

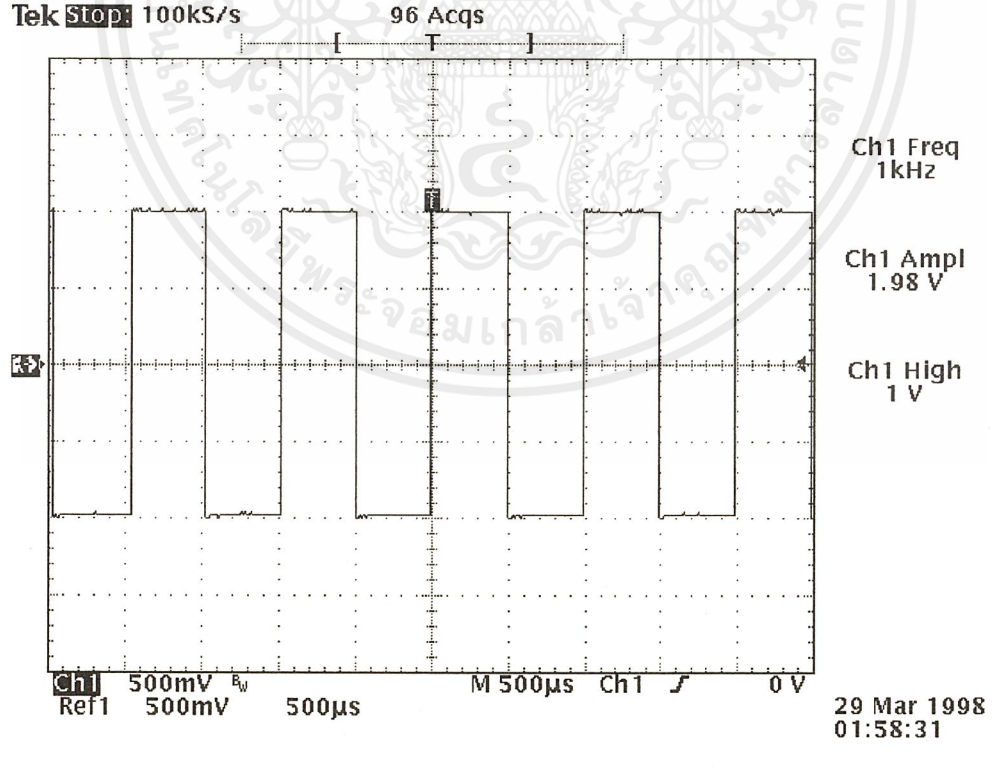


รูปที่ 5.7 แสดงสัญญาณ RECTANGULAR ที่100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

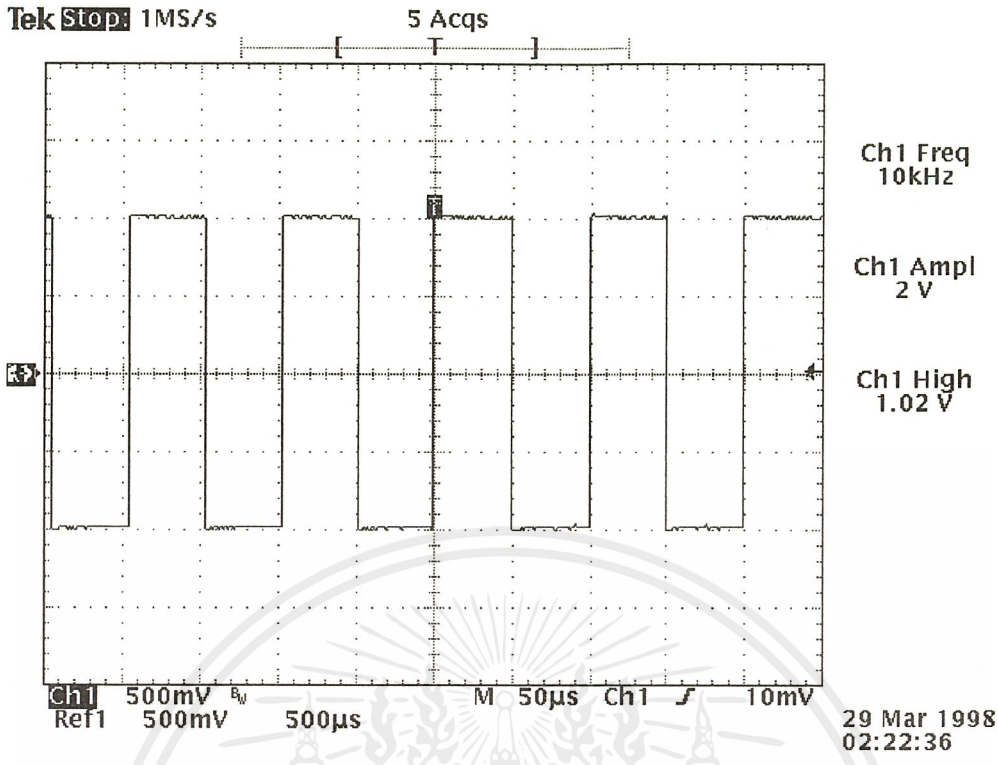


รูปที่ 5.8 แสดงสัญญาณ TRIANGLE ที่ 1KHz

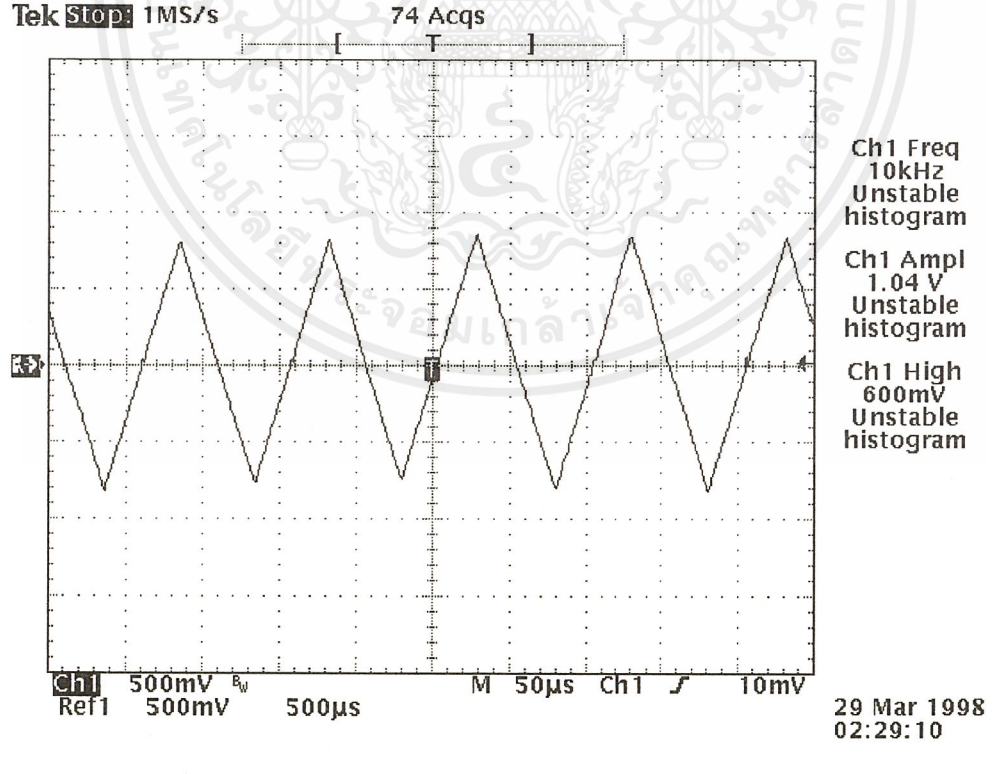


รูปที่ 5.9 แสดงสัญญาณ RECTANGULAR ที่ 1KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

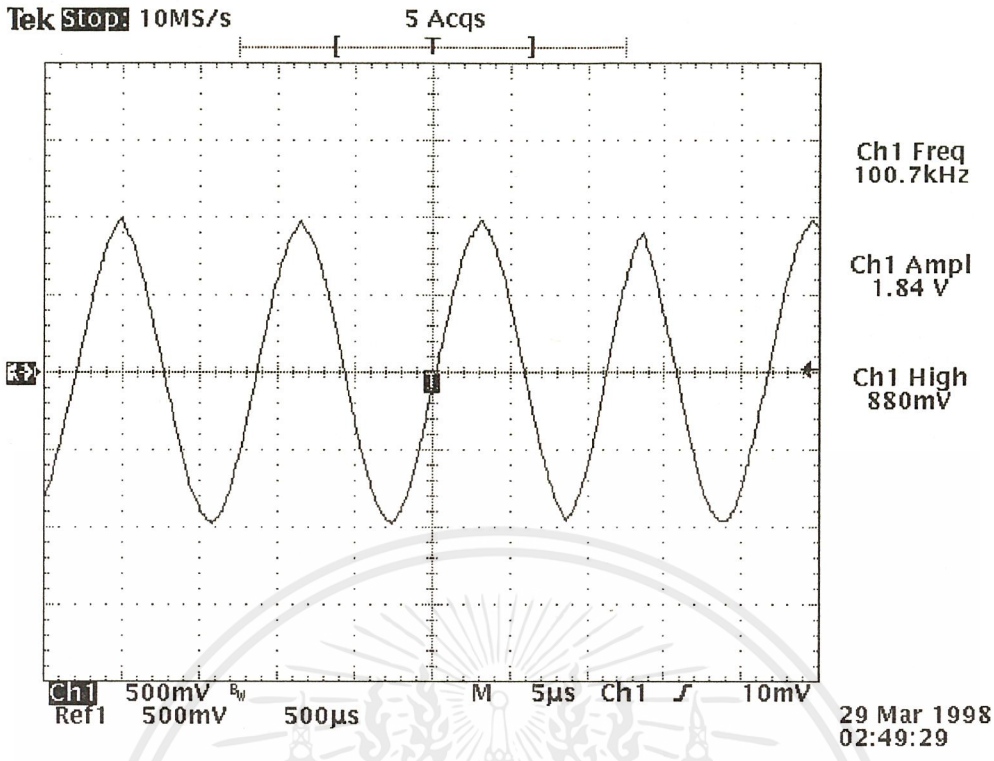


รูปที่ 5.10 แสดงสัญญาณ RECTANGULAR ที่ 10 KHz

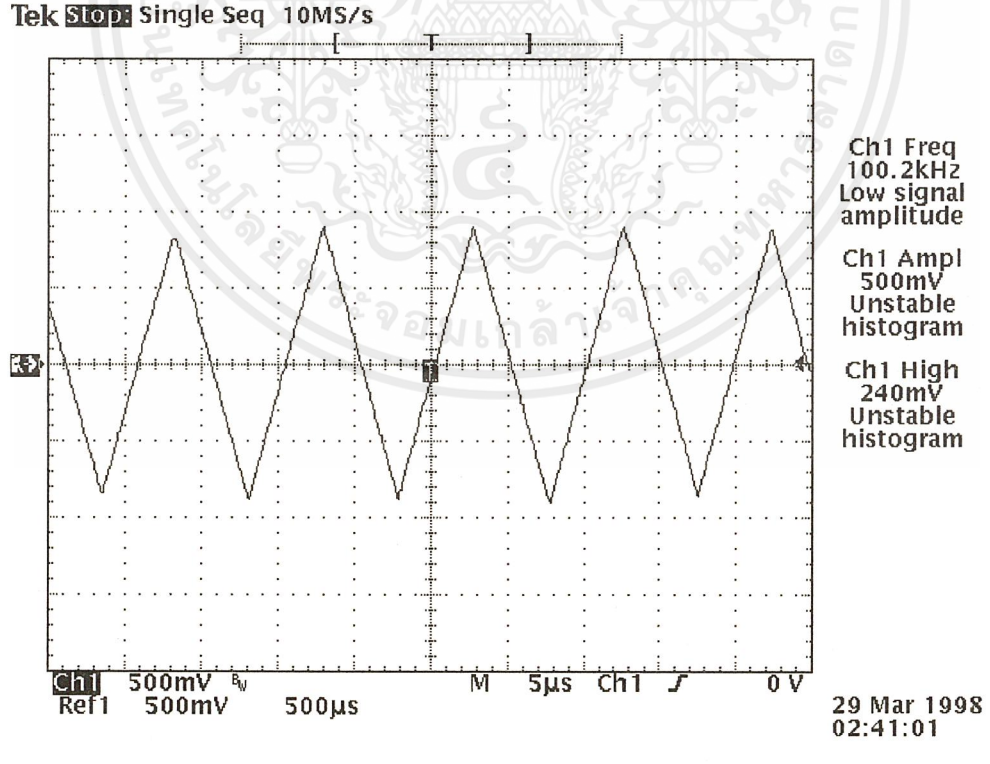


รูปที่ 5.11 แสดงสัญญาณ TRIANGLE ที่ 10KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

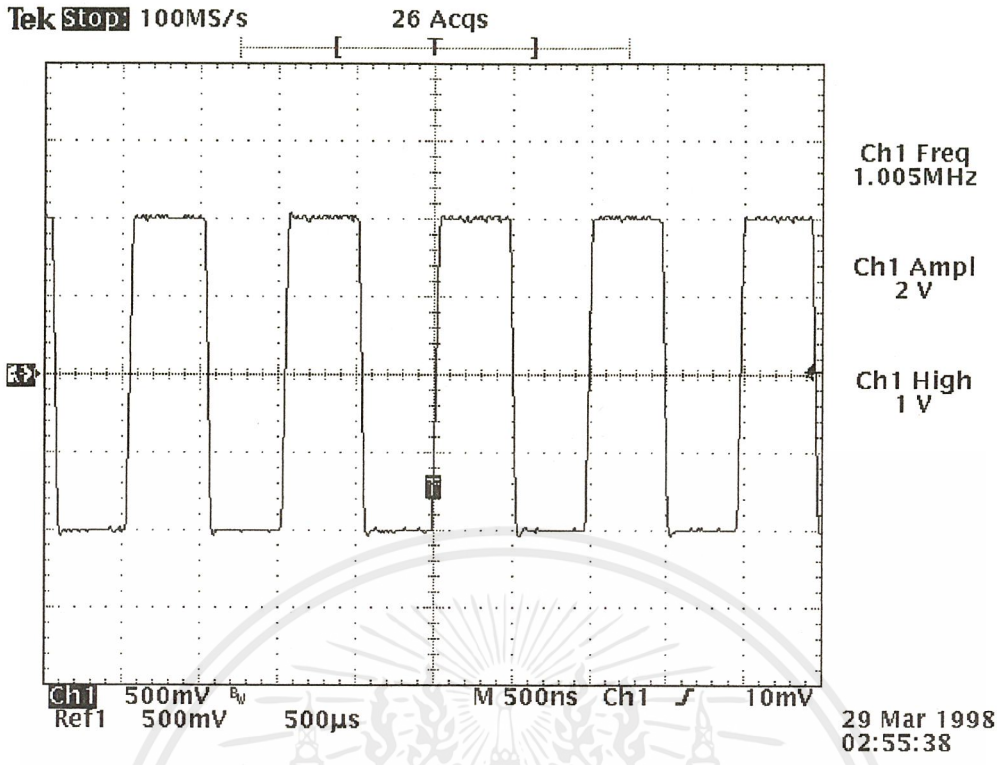


รูปที่ 5.12 แสดงสัญญาณ SINE ที่ 100 KHz

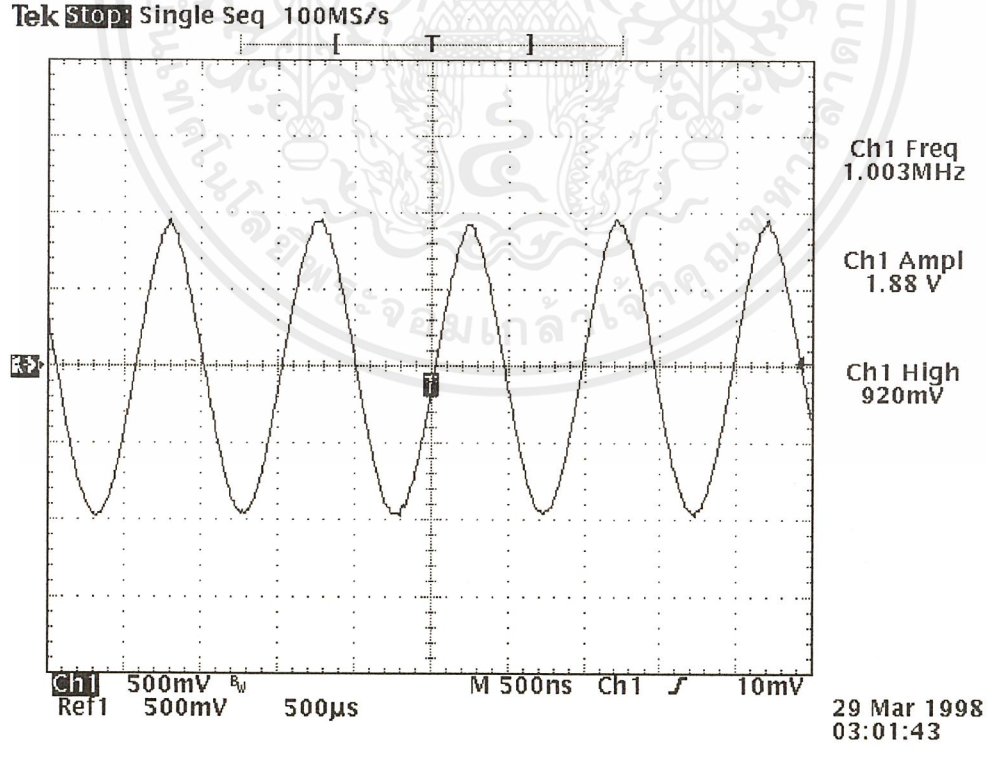


รูปที่ 5.13 แสดงสัญญาณ TRIANGLE ที่ 100 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

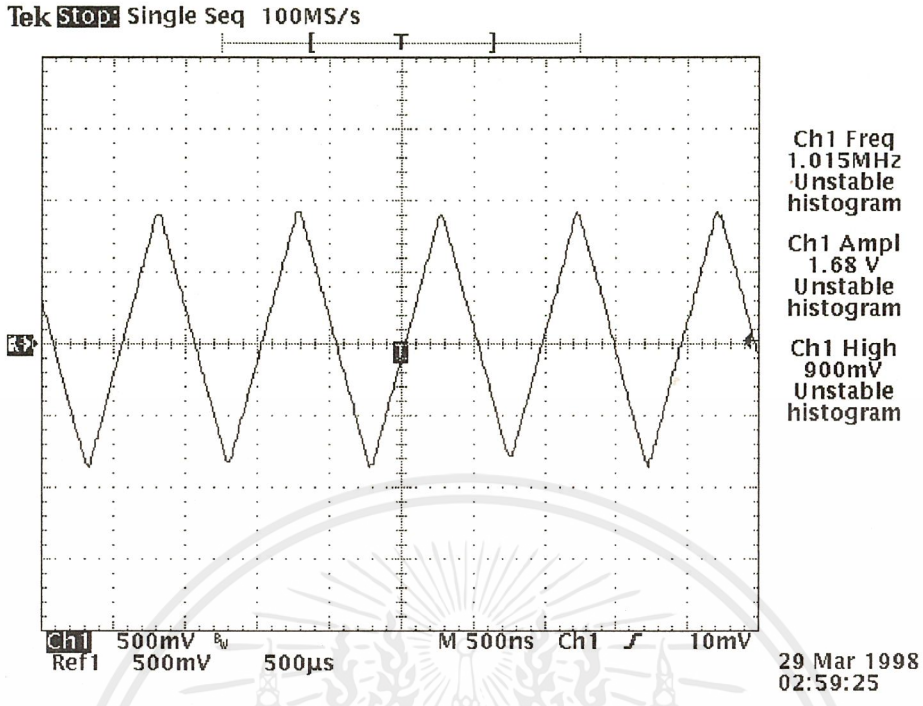


รูปที่ 5.14 แสดงสัญญาณ RECTANGULAR ที่ 1 MHz

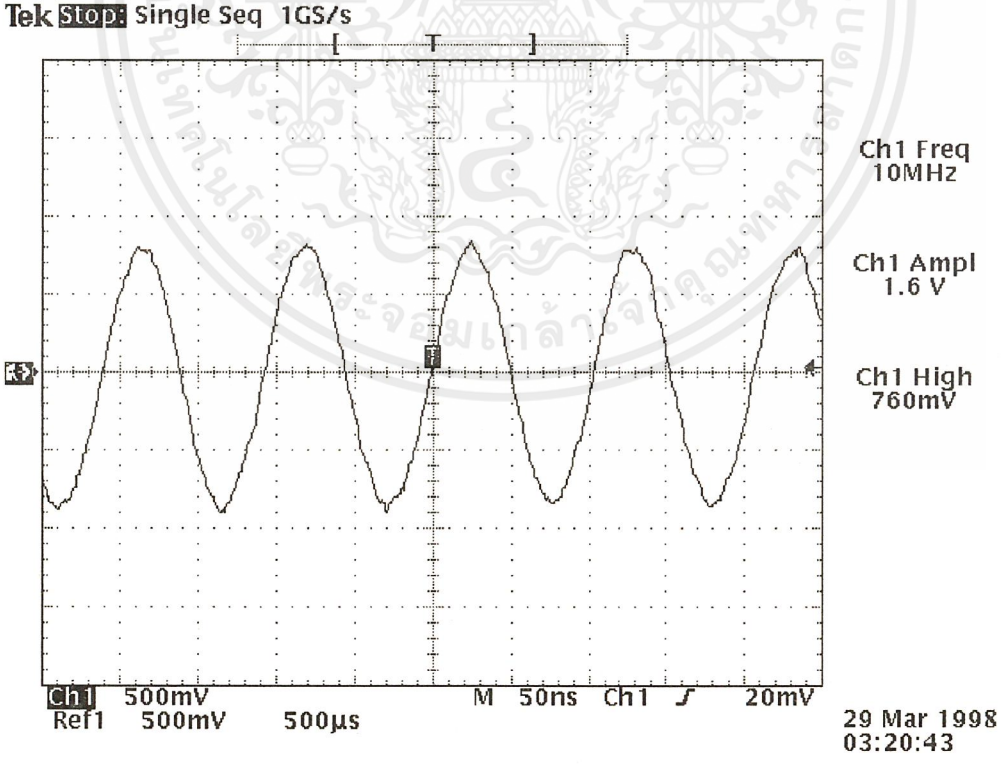


รูปที่ 5.15 แสดงสัญญาณ SINE ที่ 1MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 แสดงสัญญาณ TRIANGLE ที่ 1 MHz



รูปที่ 5.17 แสดงสัญญาณ SINE ที่ 10MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทวิจารณ์และบทสรุป

จากแนวคิดที่จะออกแบบซินธิไซเซอร์เจเนอเรเตอร์ โดยใช้ไอซีเบอร์ MAX038 เป็นภาคกำเนิดสัญญาณซึ่งไอซี MAX038 เป็นไอซีที่มีประสิทธิภาพในการทำงานสูง สามารถเปลี่ยนย่านความถี่ที่ผลิตด้วยคาปาซิเตอร์ที่ต่อกับขา COSC มีทั้งหมด 6 ย่านความถี่ที่มีค่าแตกต่างกันย่านละ 10เท่า ครอบคลุมความถี่ตั้งแต่ 10Hz-10MHz ใช้อุปกรณ์สารกึ่งตัวนำมาใช้แทนซีเล็กเตอร์สวิทช์ จะพบว่ามีปัญหาเกิดขึ้นเนื่องจากอุปกรณ์สารกึ่งตัวนำที่จะนำมาใช้แทนซีเล็กเตอร์นั้น มีค่าคาปาซิแตนซ์ภายใน ทำให้มีผลกับการผลิตความถี่คือ ทำให้ความถี่ที่ผลิตได้ไม่ถึง 10MHz ตามต้องการ แต่สามารถแก้ไขได้โดยการออกแบบลายทองแดงบนแผ่นวงจรพิมพ์ให้ถูกหลักปัญหาที่สำคัญประการหนึ่ง ก็คือความเที่ยงตรงของวงจรแปลงแรงดันให้เป็นกระแส เพราะ MAX038 ใช้แรงดันและกระแสเพียงเล็กน้อยในการควบคุม ถ้าแรงดันและกระแสที่ควบคุมการทำงานของ MAX038เปลี่ยนแปลงเพียงเล็กน้อยสัญญาณทางเอาท์พุท จะเกิดการเปลี่ยนแปลงค่อนข้างมาก ทำให้ความถี่ที่ผลิตได้ไม่ตรงกับความถี่ที่ต้องการจริงและพบว่าในส่วนของแรงดันที่ออกมาจากไอซีเบอร์ 7541 นั้นให้แรงดันได้ไม่ถึง 2.5 V ตามกำหนด ปัญหาอีกอย่างคือ รูปสัญญาณไม่คมชัดเท่าที่ควร จะเกิดจากสัญญาณรบกวนที่เกิดขึ้นภายในวงจร ซึ่งตัวเครื่องที่สร้างขึ้นมานั้นยังมีสัญญาณรบกวนอยู่ ทำให้ที่ความถี่สูงๆได้รูปสัญญาณที่ที่ไม่คมชัดนัก

แนวทางที่จะพัฒนาประสิทธิภาพของเครื่อง ให้มากกว่านี้ทำได้โดย การนำไมโครคอนโทรเลอร์มาใช้ควบคุม โดยมีโปรแกรมที่สามารถควบคุมการทำงานของวงจรทั้งหมด มีการป้อนข้อมูลจากคีย์ได้ และการพัฒนาประสิทธิภาพของวงจรแปลงแรงดันเป็นกระแสให้มีความเที่ยงตรงมากขึ้น การออกแบบลายทองแดงที่ดีเพื่อลดค่า L และ C ที่เกิดขึ้นบนแผ่นวงจรพิมพ์ และควรออกแบบแผ่นวงจรพิมพ์ทั้งหมดให้อยู่บนแผ่นวงจรพิมพ์เดียวกัน เพื่อลดสัญญาณรบกวนที่เกิดขึ้นอันเนื่องจากการเดินสายระหว่างแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0266; Rev 0; 6/94

MAXIM

High-Frequency Waveform Generator

General Description

The MAX038 is a high-frequency, precision function generator producing accurate, high-frequency triangle, sawtooth, sine, square, and pulse waveforms with a minimum of external components. The output frequency can be controlled over a frequency range of 0.1Hz to 20MHz by an internal 2.5V bandgap voltage reference and an external resistor and capacitor. The duty cycle can be varied over a wide range by applying a ±2.3V control signal, facilitating pulse-width modulation and the generation of sawtooth waveforms. Frequency modulation and frequency sweeping are achieved in the same way. The duty cycle and frequency controls are independent.

Sine, square, or triangle waveforms can be selected at the output by setting the appropriate code at two TTL-compatible select pins. The output signal for all waveforms is a $2V_{P-P}$ signal that is symmetrical around ground. The low-impedance output can drive up to ±20mA.

The TTL-compatible SYNC output from the internal oscillator maintains a 50% duty cycle—regardless of the duty cycle of the other waveforms—to synchronize other devices in the system. The internal oscillator can be synchronized to an external TTL clock connected to PDI.

Features

- ♦ 0.1Hz to 20MHz Operating Frequency Range
- ♦ Triangle, Sawtooth, Sine, Square, and Pulse Waveforms
- ♦ Independent Frequency and Duty-Cycle Adjustments
- ♦ 350 to 1 Frequency Sweep Range
- ♦ 15% to 85% Variable Duty Cycle
- ♦ Low-Impedance Output Buffer: 0.1Ω
- ♦ Low-Distortion Sine Wave: 0.75%
- ♦ Low 200ppm/°C Temperature Drift

Ordering Information

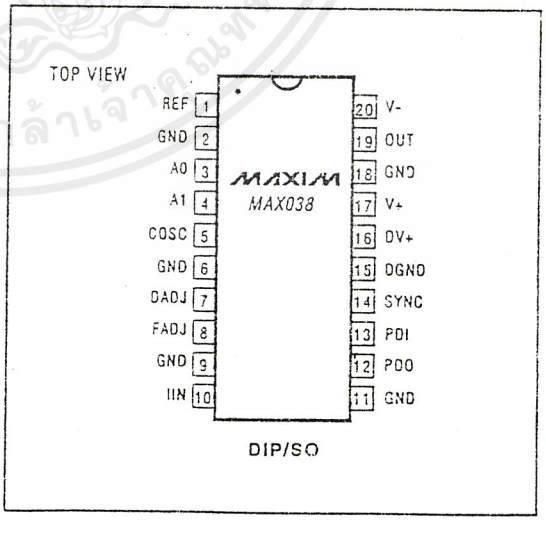
PART	TEMP. RANGE	PIN-PACKAGE
MAX038CPP	0°C to +70°C	20 Plastic DIP
MAX038CWP	0°C to +70°C	20 Wide SO
MAX038C/D	0°C to +70°C	Dice*
MAX038EPP	-40°C to +85°C	20 Plastic DIP
MAX038EWP	-40°C to +85°C	20 Wide SO

* *Contact factory for dice specifications.*

Applications

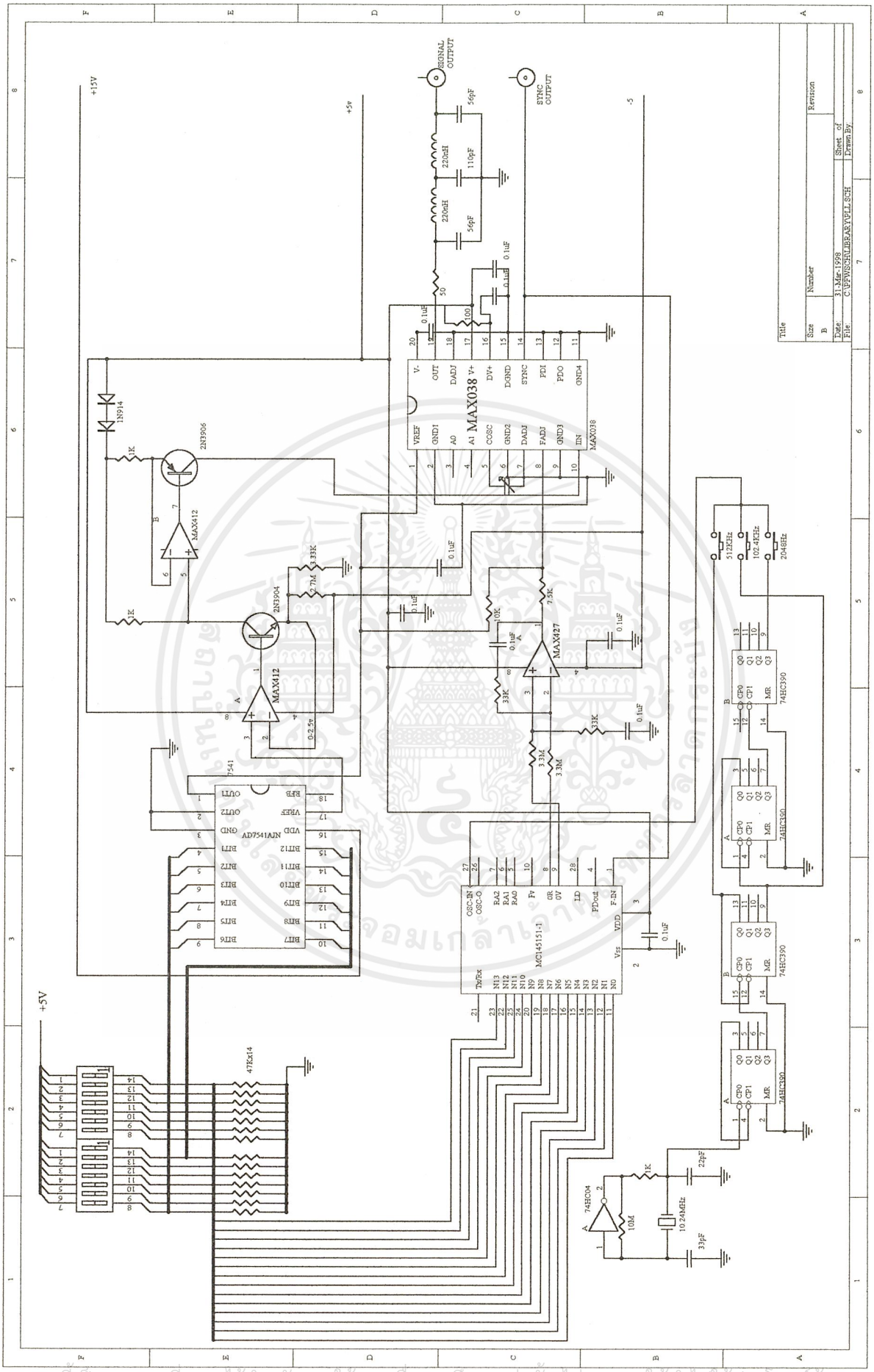
Precision Function Generators
Voltage-Controlled Oscillators
Frequency Modulators
Pulse-Width Modulators
Phase-Locked Loops
Frequency Synthesizer
FSK Generator—Sine and Square Waves

Pin Configuration

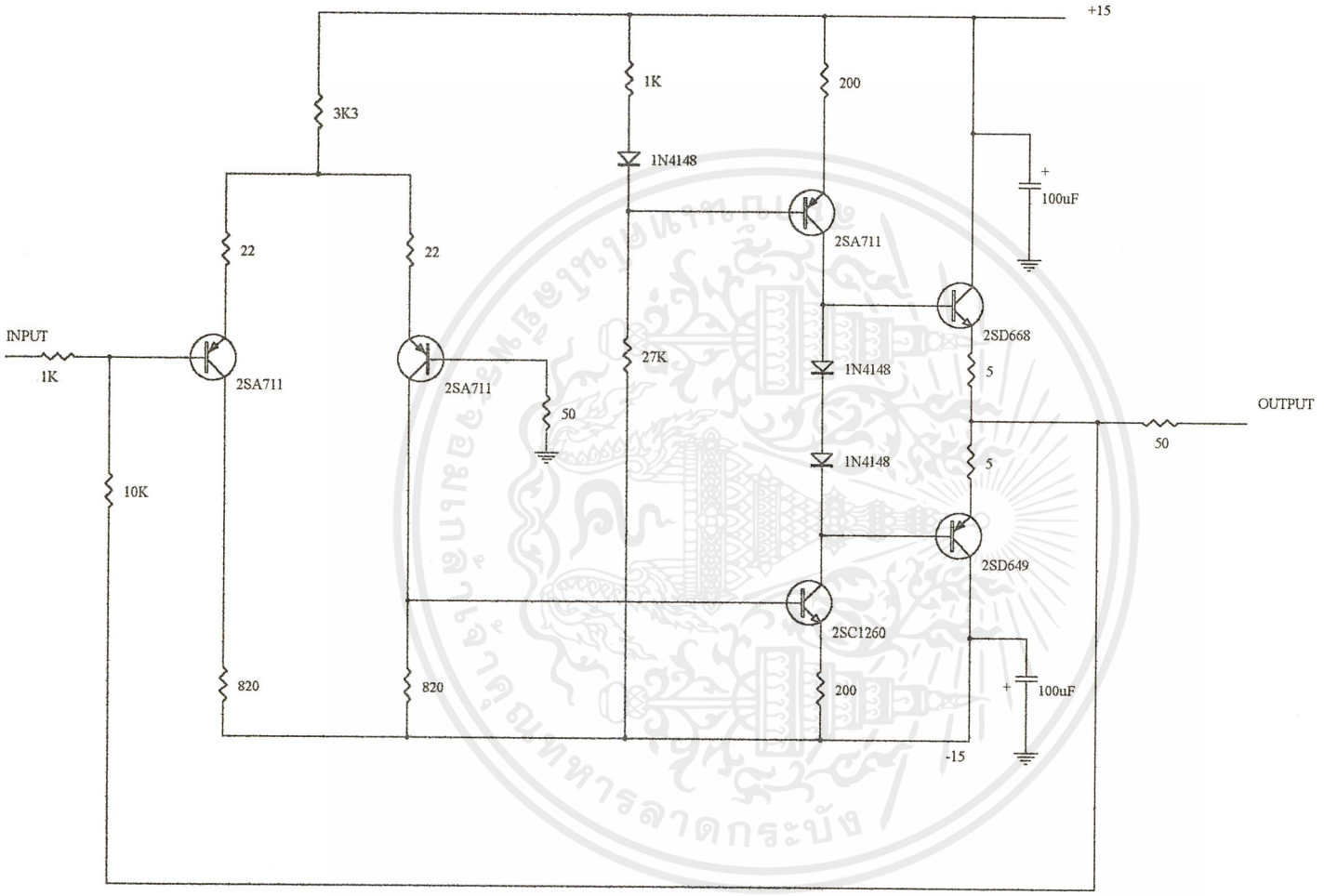


Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		
Size: B	Number	Revision
Date: 31-Mar-1998		Sheet of
File: C:\PFW\SCH\SCHAMP.SCH		Drawn By:

High-Frequency Waveform Generator

ABSOLUTE MAXIMUM RATINGS

V+ to GND .....-0.3V to +6V
DV+ to DGND .....-0.3V to +6V
V- to GND .....+0.3V to -6V
Pin Voltages
  IIN, FADJ, DADJ, PDO .....(V- - 0.3V) to (V+ + 0.3V)
  COSC .....+0.3V to V-
  A0, A1, PDI, SYNC, REF .....-0.3V to V+
  GND to DGND .....±0.3V
Maximum Current into Any Pin .....±50mA
OUT, REF Short-Circuit Duration to GND, V+, V- 30sec

Continuous Power Dissipation (T_A = +70°C)
  Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
  SO (derate 10.00mW/°C above +70°C) 800mW
  CERDIP (derate 11.11mW/°C above +70°C) 889mW
Operating Temperature Ranges:
  MAX038C_ _ .....0°C to +70°C
  MAX038E_ _ .....-40°C to +85°C
Maximum Junction Temperature .....+150°C
Storage Temperature Range .....-65°C to +150°C
Lead Temperature (soldering, 10sec) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, GND = DGND = 0V, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, C_F = 100pF, R_{IN} = 25kΩ, R_L = 1kΩ, C_L = 20pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FREQUENCY CHARACTERISTICS						
Maximum Operating Frequency	F_O	15pCF ≤ 15pF, I_{IN} = 500µA	20.0	40.0		MHz
Frequency Programming Current	I_{IN}	V_{FADJ} = 0V	2.50		750	µA
		V_{FADJ} = -3V	1.25		375	
IIN Offset Voltage	V_{IN}			±1.0	±2.0	mV
Frequency Temperature Coefficient	$\Delta F_O/°C$	V_{FADJ} = 0V		600		ppm/°C
	$F_O/°C$	V_{FADJ} = -3V		200		
Frequency Power-Supply Rejection	$\frac{(\Delta F_O/F_O)}{\Delta V+}$	V- = -5V, V+ = 4.75V to 5.25V		±0.4	±2.00	%/V
	$\frac{(\Delta F_O/F_O)}{\Delta V-}$	V+ = 5V, V- = -4.75V to -5.25V		±0.2	±1.00	
OUTPUT AMPLIFIER (applies to all waveforms)						
Output Peak-to-Peak Symmetry	V_{OUT}			±4		mV
Output Resistance	R_{OUT}			0.1	0.2	Ω
Output Short-Circuit Current	I_{OUT}	Short circuit to GND		40		mA
SQUARE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Rise Time	t_R	10% to 90%		12		ns
Fall Time	t_F	90% to 10%		12		ns
Duty Cycle	dc	V_{DADJ} = 0V, dc = t_{ON}/t x 100%	47	50	53	%
TRIANGLE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Nonlinearity		F_O = 100kHz, 5% to 95%		0.5		%
Duty Cycle	dc	V_{DADJ} = 0V (Note 1)	47	50	53	%
SINE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Total Harmonic Distortion	THD	Duty cycle adjusted to 50%		0.75		%
		Duty cycle unadjusted		1.50		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, GND = DGND = 0V, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, C_F = 100pF, R_{IN} = 25kΩ, R_L = 1kΩ, C_L = 20pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYNC OUTPUT						
Output Low Voltage	V_{OL}	I_{SINK} = 3.2mA		0.3	0.4	V
Output High Voltage	V_{OH}	I_{SOURCE} = 400µA	2.8	3.5		V
Rise Time	t_R	10% to 90%, R_L = 3kΩ, C_L = 15pF		10		ns
Fall Time	t_F	90% to 10%, R_L = 3kΩ, C_L = 15pF		10		ns
Duty-Cycle	dc_{SYNC}			50		%
DUTY-CYCLE ADJUSTMENT (DADJ)						
DADJ Input Current	I_{DADJ}		190	250	320	µA
DADJ Voltage Range	V_{DADJ}			±2.3		V
Duty-Cycle Adjustment Range	dc	-2.3V ≤ V_{DADJ} ≤ 2.3V	15		85	%
DADJ Nonlinearity	dc/V_{FADJ}	-2V ≤ V_{DADJ} ≤ 2V		2	4	%
Change in Output Frequency with DADJ	F_O/V_{DADJ}	-2V ≤ V_{DADJ} ≤ 2V		±2.5	±8	%
Maximum DADJ Modulating Frequency	F_{DC}			2		MHz
FREQUENCY ADJUSTMENT (FADJ)						
FADJ Input Current	I_{FADJ}		190	250	320	µA
FADJ Voltage Range	V_{FADJ}			±2.4		V
Frequency Sweep Range	F_O	-2.4V ≤ V_{FADJ} ≤ 2.4V		±70		%
FM Nonlinearity with FADJ	F_O/V_{FADJ}	-2V ≤ V_{FADJ} ≤ 2V		±0.2		%
Change in Duty Cycle with FADJ	dc/V_{FADJ}	-2V ≤ V_{FADJ} ≤ 2V		±2		%
Maximum FADJ Modulating Frequency	F_F			2		MHz
VOLTAGE REFERENCE						
Output Voltage	V_{REF}	I_{REF} = 0	2.48	2.50	2.52	V
Temperature Coefficient	$V_{REF}/°C$			20		ppm/°C
Load Regulation	V_{REF}/I_{REF}	0mA ≤ I_{REF} ≤ 4mA (source)		1	2	mV/mA
		-100µA ≤ I_{REF} ≤ 0µA (sink)		1	4	
Line Regulation	$V_{REF}/V+$	4.75V ≤ V+ ≤ 5.25V (Note 1)		1	2	mV/V
LOGIC INPUTS (A0, A1, PDI)						
Input Low Voltage	V_{IL}				0.8	V
Input High Voltage	V_{IH}		2.4			V
Input Current (A0, A1)	I_{IL}, I_{IH}	V_{A0}, V_{A1} = V_{IL}, V_{IH}			±5	µA
Input Current (PDI)	I_{IL}, I_{IH}	V_{PDI} = V_{IL}, V_{IH}			±25	µA
POWER SUPPLY						
Positive Supply Voltage	V+		4.75		5.25	V
SYNC Supply Voltage	DV+		4.75		5.25	V
Negative Supply Voltage	V-		-4.75		-5.25	V
Positive Supply Current	I+			35	45	mA
SYNC Supply Current	I_{DV+}			1	2	mA
Negative Supply Current	I-			45	55	mA

Note 1: Guaranteed by duty cycle test on square wave.
Note 2: V_{REF} is independent of V-.

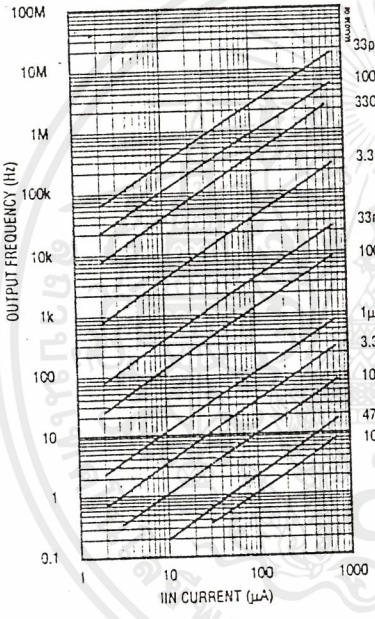
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

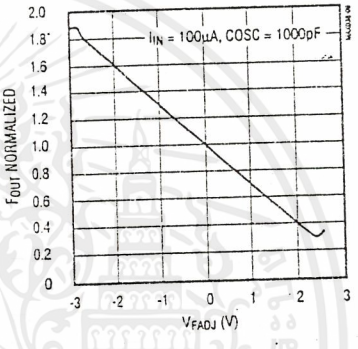
Typical Operating Characteristics

(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

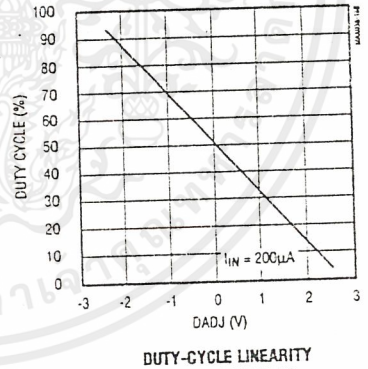
OUTPUT FREQUENCY vs. IIN CURRENT



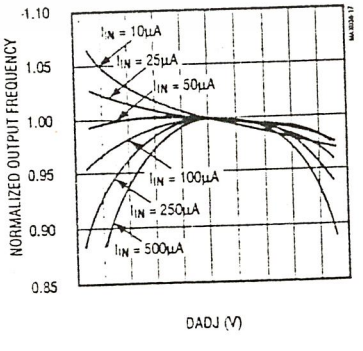
NORMALIZED OUTPUT FREQUENCY vs. FADJ VOLTAGE



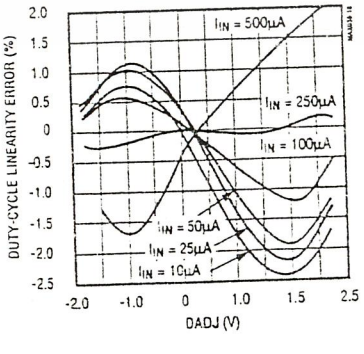
DUTY CYCLE vs. DADJ VOLTAGE



NORMALIZED OUTPUT FREQUENCY vs. DADJ VOLTAGE



DUTY-CYCLE LINEARITY vs. DADJ VOLTAGE



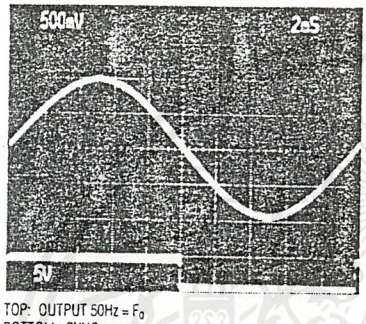
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

Typical Operating Characteristics (continued)

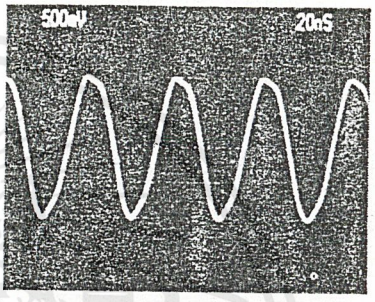
(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

SINE-WAVE OUTPUT (50Hz)



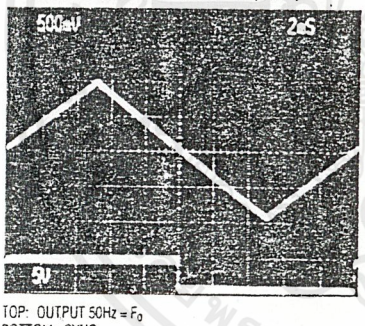
TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

SINE-WAVE OUTPUT (20MHz)



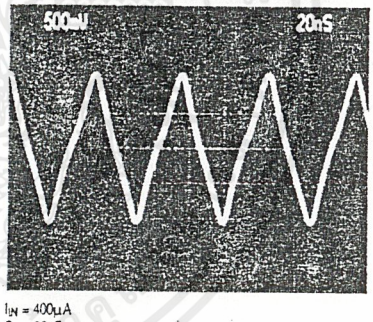
I_{IN} = 400µA
C_F = 20pF

TRIANGLE-WAVE OUTPUT (50Hz)



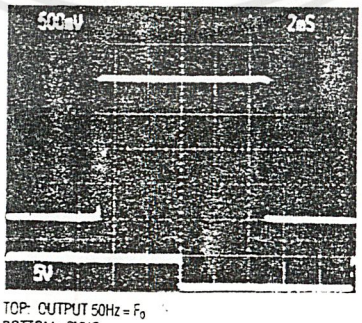
TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

TRIANGLE-WAVE OUTPUT (20MHz)



I_{IN} = 400µA
C_F = 20pF

SQUARE-WAVE OUTPUT (50Hz)



TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

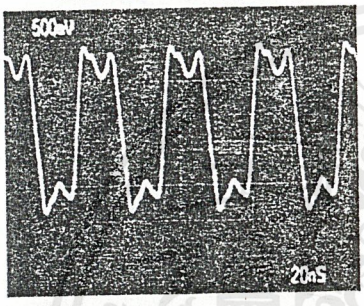
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

Typical Operating Characteristics (continued)

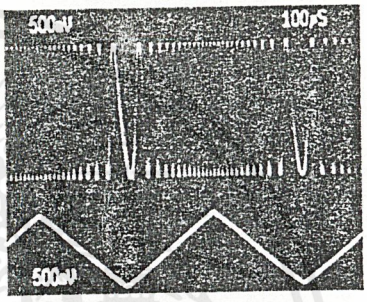
(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

SQUARE-WAVE OUTPUT (20MHz)



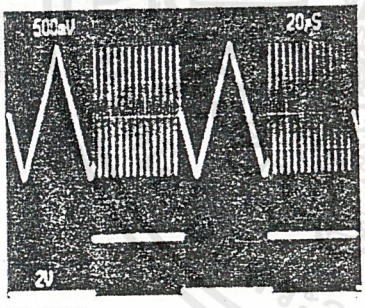
I_{IN} = 400µA
C_F = 20pF

FREQUENCY MODULATION USING FADJ



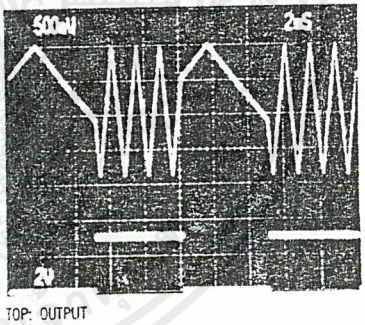
TOP: OUTPUT
BOTTOM: FADJ

FREQUENCY MODULATION USING I_{IN}



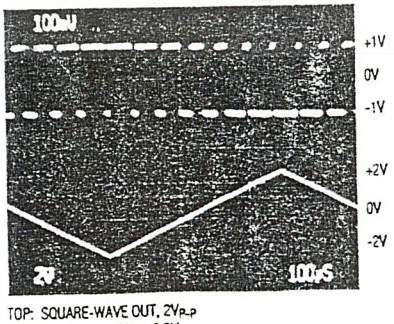
TOP: OUTPUT
BOTTOM: I_{IN}

FREQUENCY MODULATION USING I_{IN}



TOP: OUTPUT
BOTTOM: I_{IN}

PULSE-WIDTH MODULATION USING DADJ



TOP: SQUARE-WAVE OUT, $2V_{P-P}$
BOTTOM: V_{DADJ}, -2V to +2.3V

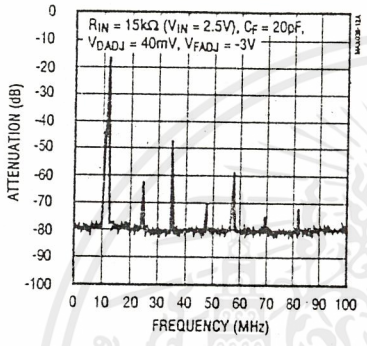
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

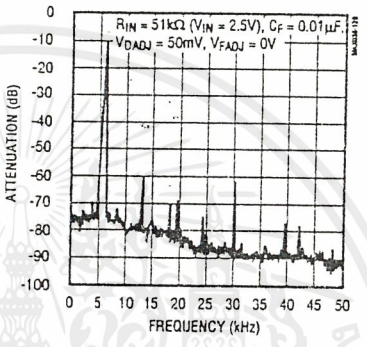
Typical Operating Characteristics (continued)

(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

OUTPUT SPECTRUM, SINE WAVE
F_o = 11.5MHz



OUTPUT SPECTRUM, SINE WAVE
F_o = 5.9kHz



Pin Description

PIN	NAME	FUNCTION
1	REF	2.50V bandgap voltage reference output
2	GND	Ground*
3	A0	Waveform selection input; TTL/CMOS compatible
4	A1	Waveform selection input; TTL/CMOS compatible
5	COSC	External capacitor connection
6	GND	Ground*
7	DADJ	Duty-cycle adjust input
8	FADJ	Frequency adjust input
9	GND	Ground*
10	IIN	Current input for frequency control
11	GND	Ground*
12	PDO	Phase detector output. Connect to GND if phase detector is not used
13	PDI	Phase detector reference clock input. Connect to GND if phase detector is not used
14	SYNC	TTL-/CMOS-compatible output, referenced between DGND and DV+. Permits the internal oscillator to be synchronized with an external signal. Leave open if unused
15	DGND	Digital ground. Leave open to disable SYNC, or if SYNC is not used
16	DV+	Digital +5V supply input. Can be left open if SYNC is not used
17	V+	+5V supply input
18	GND	Ground*
19	OUT	Sine, square, or triangle output
20	V-	-5V supply input

* The five GND pins are not internally connected. Connect all five GND pins to a quiet ground close to the device. A ground plane is recommended (see *Layout Considerations*).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

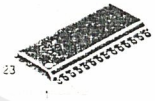
Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- – N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable – R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- – N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

P SUFFIX
PLASTIC DIP
CASE 710

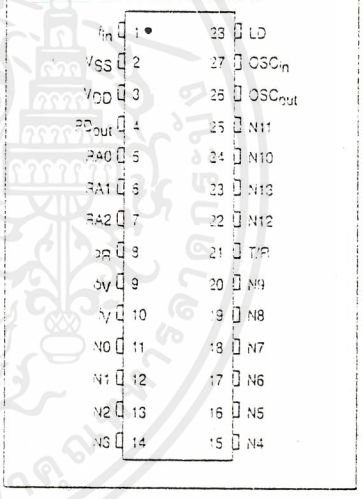


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

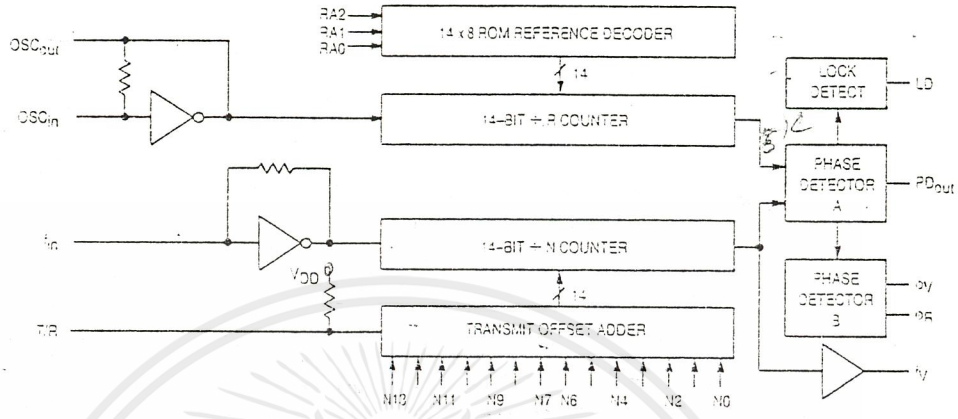
PIN ASSIGNMENT



REV 1
3/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require on an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided the N inputs. This is normally used for offsetting the VC frequency by an amount equal to the IF frequency of th transceiver. This offset is fixed at 856 when T/R is low an gives no offset when T/R is high. A pull–up resistor ensure that no connection will appear as a logic 1 causing no offs addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when con nected to terminals of an external parallel resonant crysta Frequency setting capacitors of appropriate value must b connected from OSC_{in} to ground and OSC_{out} to groun OSC_{in} may also serve as the input for an externally–gene ated reference signal. This signal is typically ac coupled OSC_{in}, but for larger amplitude signals (standard CMO logic levels) dc coupling may also be used. In the extern reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–erro signal. Double–ended outputs are also available for this pu pose (see φV and φR).

Frequency fV > f_R or fV Leading: Negative Pulses
Frequency fV < f_R or fV Lagging: Positive Pulses
Frequency fV = f_R and Phase Coincidence: High–Impe ance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

o_R, o_V
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop—error signal. A single—ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by o_V pulsing low. o_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by o_R pulsing low. o_V remains essentially high.

If the frequency of f_V = f_R and both are in phase, then both o_V and o_R remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

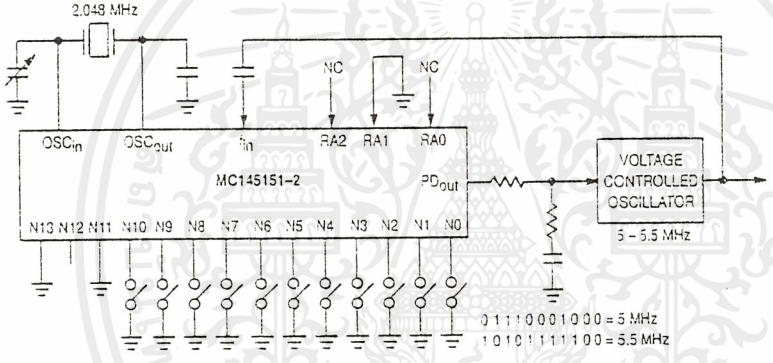
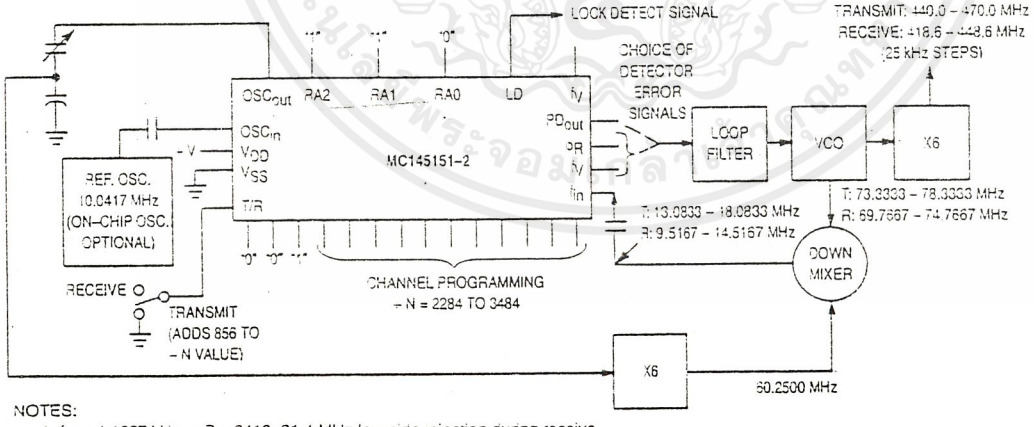


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151-2 Data Sheet Continued on Page 2-650

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C Min	– 40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	$V_{in} = V_{DD}$ or V_{SS} I_{out} = 0 µA	3 5 9	— — —	300 1200 1600	— — —	300 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge$ 2.1 V Input dc $V_{out} \ge$ 3.5 V coupled $V_{out} \ge$ 6.3 V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le$ 0.9 V Input dc $V_{out} \le$ 1.5 V coupled $V_{out} \le$ 2.7 V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	$V_{in} = V_{SS}$	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	− 20	− 400	− 20	− 200	− 20	− 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} = 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} = 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} = 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} = 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull-up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.60 − 0.90 − 1.50	— — —	− 0.50 − 0.75 − 1.25	— — —	− 0.30 − 0.50 − 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.25 − 0.64 − 1.30	— — —	− 0.20 − 0.51 − 1.00	— — —	− 0.15 − 0.36 − 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.44 − 0.64 − 1.30	— — —	− 0.35 − 0.51 − 1.00	— — —	− 0.22 − 0.36 − 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Inout $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_w	Output Pulse Width, oR, oV, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

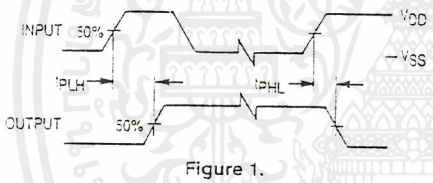
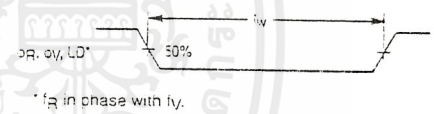


Figure 1.



* f_R in phase with f_V.

Figure 2.

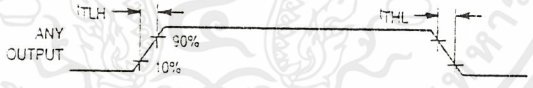
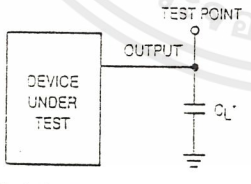
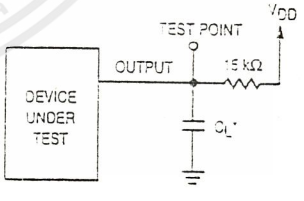


Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

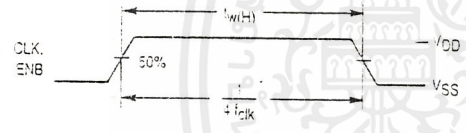
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

Figure 8.

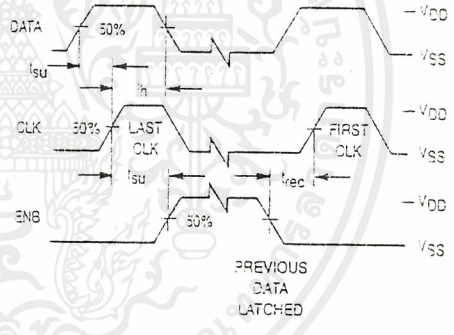


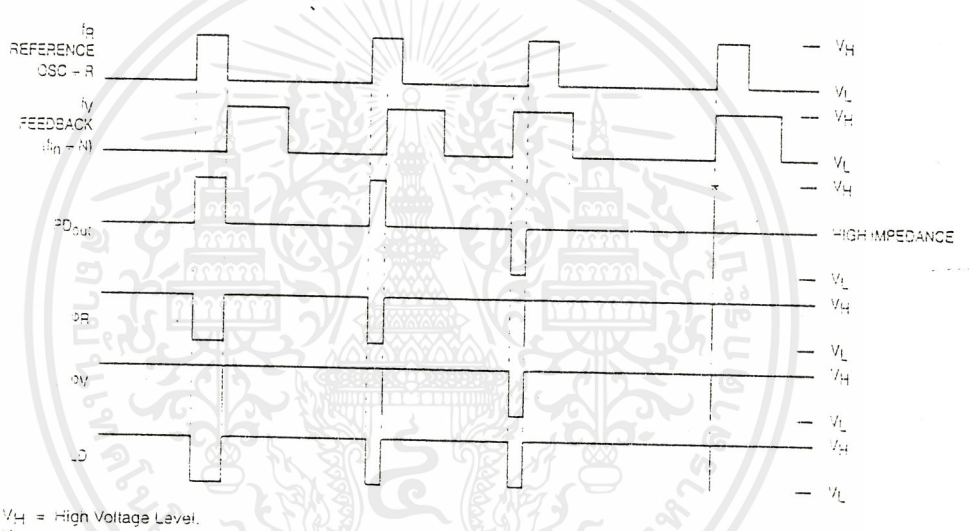
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 $V_{in} = V_{DD}$ to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_p + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_p is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_p + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

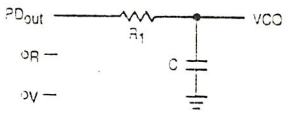
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

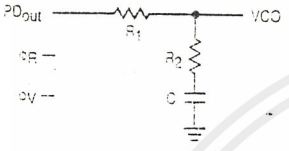


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

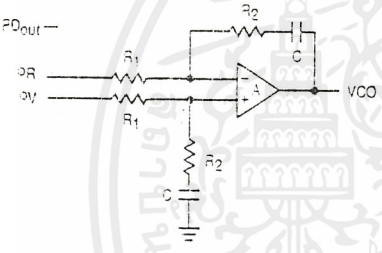


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n\left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design ω_n (Natural Frequency) = $\frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \equiv 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*, New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*, New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*, New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*, New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*, Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*, Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*, Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

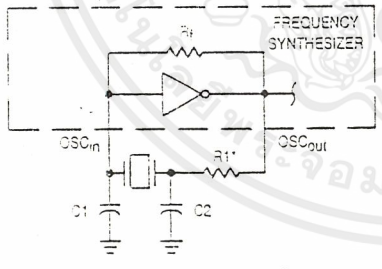
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

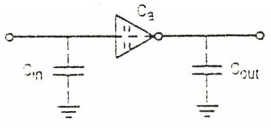
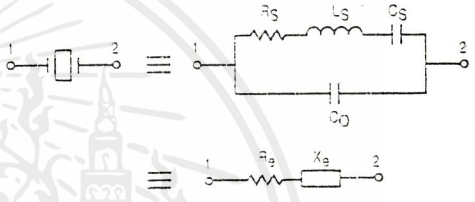


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Name	Address	Phone
United States Crystal Corp.	3605 McCart Ave., Ft. Worth, TX 76110	(817) 921–3013
Crystek Crystal	2351 Crystal Dr., Ft. Myers, FL 33907	(813) 936–2109
Statek Corp.	512 N. Main St., Orange, CA 92668	(714) 639–7810

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12022A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12032A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \cdot P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P + A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \cdot P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

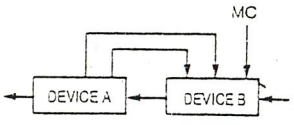
1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.
3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101
MC10154	÷ 40/÷ 41 OR ÷ 80/÷ 81	÷ 64/÷ 65 OR ÷ 128/÷ 129	÷ 80/÷ 81

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0940; Rev 1; 7/95

MAXIM

CMOS 12 Bit Multiplying D/A Converter

MX7541

General Description

The MX7541 is a high performance CMOS multiplying 12 bit digital-to-analog converter (DAC). Low power operation and 12-bit linearity (0.012%) make it suitable for a wide range of precision data acquisition and control applications.

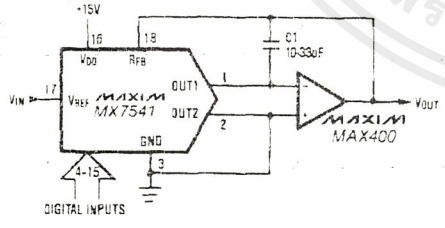
Wafer level laser trimmed thin-film resistors and temperature compensated NMOS switches assure true 12-bit performance over the full operating temperature range. In addition, all digital inputs are compatible with both CMOS and TTL logic levels.

Maxim's MX7541 is electrically and pin compatible with the Analog Devices AD7541. It is available in standard width 18-lead DIP and Small Outline (SO) packages.

Applications

Machine and Motion Control Systems
Automatic Test Equipment
µP Controlled Calibration Circuitry
Programmable Gain Amplifiers
Digitally Controlled Filters
Programmable Power Supplies

Typical Operating Circuit



Unipolar Operation

Features

- 12 Bit Linearity (1/2 LSB)
- 1 LSB Gain Accuracy
- Guaranteed Monotonic
- Low Power Consumption
- Four-Quadrant Multiplication
- TTL and CMOS Compatible
- Pin-For-Pin Second Source

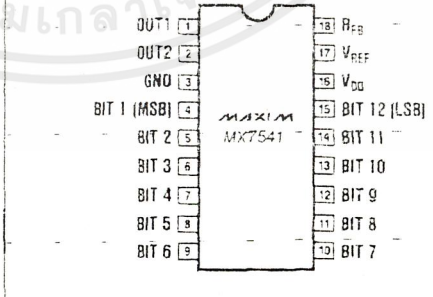
Ordering Information

PART	TEMP. RANGE	PACKAGE*	ERROR
MX7541JN	0°C to +70°C	Plastic DIP	1 LSB
MX7541KN	0°C to +70°C	Plastic DIP	½ LSB
MX7541JCWN	0°C to +70°C	Small Outline	1 LSB
MX7541KCWN	0°C to +70°C	Small Outline	½ LSB
MX7541J/D	0°C to +70°C	Dice	1 LSB
MX7541AQ	-25°C to +85°C	CERDIP**	1 LSB
MX7541BQ	-25°C to +85°C	CERDIP**	½ LSB
MX7541AD	-25°C to +85°C	Ceramic	1 LSB
MX7541BD	-25°C to +85°C	Ceramic	½ LSB
MX7541SQ	-55°C to +125°C	CERDIP**	1 LSB
MX7541TQ	-55°C to +125°C	CERDIP**	½ LSB
MX7541SD	-55°C to +125°C	Ceramic	1 LSB
MX7541TD	-55°C to +125°C	Ceramic	½ LSB

* All devices — 18 lead package.
** Maxim reserves the right to ship Ceramic packages in lieu of CERDIP packages.

Pin Configuration

Top View



Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS 12 Bit Multiplying D/A Converter

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND ..... -0.3V, +17V
V_{REF} to GND ..... ±25V
R_{FB} to GND ..... ±25V
Digital Input Voltage to GND ..... -0.3V, V_{DD}
Output Voltage (OUT1, OUT2) (Note 1) ..... -0.3V, V_{DD}
Power Dissipation (Derate 6mW/°C above +75°C) 450mW

Operating Temperature Range
Commercial MX7541J/K ..... 0°C to +70°C
Industrial MX7541A/B ..... -25°C to +85°C
Military MX7541S/T ..... -55°C to +125°C
Storage Temperature ..... -65°C to +150°C
Lead Temperature (Soldering 10 seconds) ..... +300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

(T_A = T_{MIN} to T_{MAX}, V_{DD} = +15V, V_{REF} = +10V, V_{OUT1} = V_{OUT2} = GND, unless otherwise specified)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
DC ACCURACY						
Resolution			12			Bits
Nonlinearity		MX7541J/A/S (Note 2) MX7541K/B/T (Note 3)			±1 ±0.5	LSB
Gain Error (Note 4)		Using R_{FB}; T_A = +25°C T_{MIN} to T_{MAX}			±12.5 ±16.7	LSB
Power Supply Rejection	PSRR	V_{DD} = +14.5V to +15.5V; T_A = 25°C T_{MIN} to T_{MAX}			0.01 0.02	%/%V_{DD}
Output Leakage Current		V_{REF} = ±10V; T_A = +25°C T_{MIN} to T_{MAX}			±50 ±200	nA
Reference Input Resistance	R_{REF}	T_A = 25°C	5		20	kΩ
DYNAMIC PERFORMANCE (Note 5)						
Output Current Settling Time		To 1/2LSB			1	µs
Feedthrough Error		V_{REF} = 20V_{P-P} at 10kHz			1	mV_{P-P}
DIGITAL INPUTS						
Logic HIGH Threshold	V_{INH}		+2.4			V
Logic LOW Threshold	V_{INL}				+0.8	V
Input Leakage Current		Digital Inputs = 0V or V_{DD}			±1	µA
Input Capacitance	C_{IN}	(Note 5)			8	pF
Input Coding		Binary, Offset Binary				
ANALOG OUTPUTS						
Output Capacitance (Note 5)	C_{OUT}	Digital Inputs = V_{INH} OUT1 OUT2 Digital Inputs = V_{INL} OUT1 OUT2			200 60 60 200	pF
POWER REQUIREMENTS						
Operating Supply Range	V_{DD}	Accuracy Not Guaranteed	+5		+16	V
Power Supply Current	I_{DD}	Digital Inputs = V_{INH} or V_{INL}			2	mA

Note 1: $V_{OUT1,2}$ may exceed the Absolute Maximum Voltage rating if the current is limited to 30mA or less.
Note 2: MX7541J/A/S are monotonic to 11 bits.
Note 3: MX7541K/B/T are monotonic to 12 bits.
Note 4: Maximum gain change from +25°C to T_{MIN} or T_{MAX} is ±4.2 LSBs using internal feedback resistor.
Note 5: Guaranteed by design but not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS 12 Bit Multiplying D/A Converter

Detailed Description

The basic MX7541 DAC circuit consists of a laser-trimmed, thin-film R-2R resistor array with NMOS current switches as shown in Figure 1. Binarily weighted currents are switched to either OUT1 or OUT2 depending on the status of each input bit. Most applications require only an output op-amp and reference source. The V_{REF} input accepts a wide range of signals including fixed and time varying voltage or current inputs.

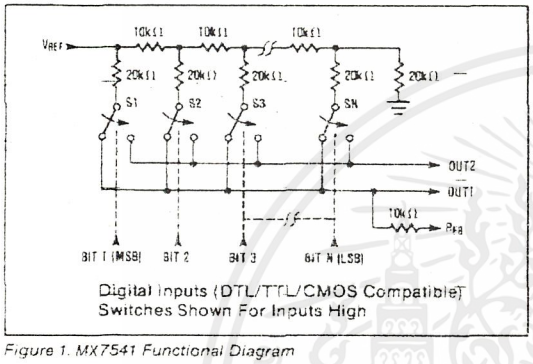


Figure 1. MX7541 Functional Diagram

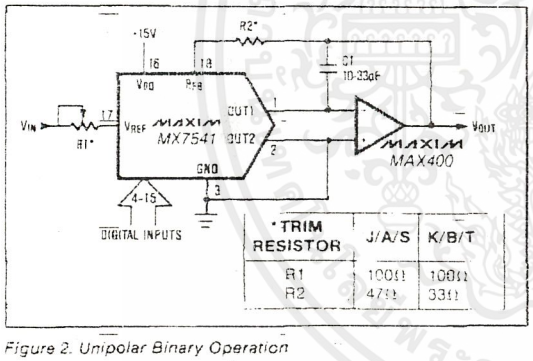


Figure 2. Unipolar Binary Operation

Table 1. Code Table — Unipolar Binary

DIGITAL INPUT MSB	LSB	ANALOG OUTPUT
1 1 1 1	1 1 1 1 1 1 1 1	$-V_{REF}\left(\frac{4095}{4096}\right)$
1 0 0 0	0 0 0 0 0 0 0 0	$-V_{REF}\left(\frac{2048}{4096}\right) = -1/2V_{REF}$
0 0 0 0	0 0 0 0 0 0 0 1	$-V_{REF}\left(\frac{1}{4096}\right)$
0 0 0 0	0 0 0 0 0 0 0 0	0V

Application Information

Unipolar Operation

The most common configuration for the MX7541 is shown in Figure 2. The circuit is used for unipolar binary operation and/or 2-quadrant multiplication. The code table is given in Table 1. Note that the polarity of the output is the inverse of the reference input.

In many applications, gain adjustment of the MX7541 will not be necessary. In those cases, and also when gain is trimmed but only at the reference source, resistors R1 and R2 in Figure 2 can be omitted. However, if the trims are required and the DAC is to operate over a wide temperature range, then low tempco (<300ppm/°C) resistors should be used at R1 and R2.

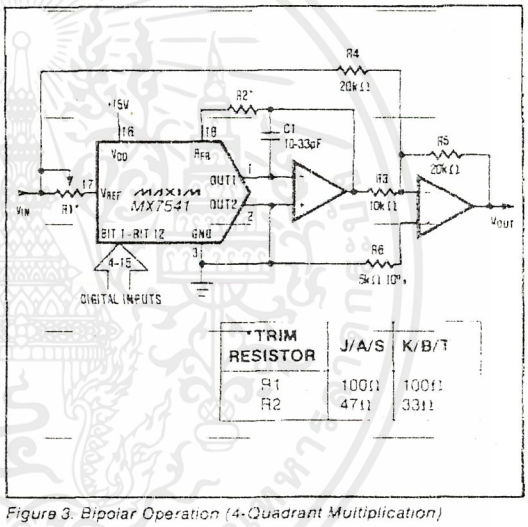


Figure 3. Bipolar Operation (4-Quadrant Multiplication)

Table 2. Code Table — Bipolar (Offset Binary) Operation

DIGITAL INPUT MSB	LSB	ANALOG OUTPUT
1 1 1 1	1 1 1 1 1 1 1 1	$+V_{REF}\left(\frac{2047}{2048}\right)$
1 0 0 0	0 0 0 0 0 0 0 1	$+V_{REF}\left(\frac{1}{2048}\right)$
1 0 0 0	0 0 0 0 0 0 0 0	0V
0 1 1 1	1 1 1 1 1 1 1 1	$-V_{REF}\left(\frac{1}{2048}\right)$
0 0 0 0	0 0 0 0 0 0 0 0	$-V_{REF}\left(\frac{2048}{2048}\right)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS 12 Bit Multiplying D/A Converter

Bipolar Operation

Bipolar, or four-quadrant, operation is shown in Figure 3. A second amplifier and three matched resistors are required. Matching to 0.01% is recommended for 12 bit performance. The code table for the output, which is "offset binary", is listed in Table 2. In multiplying applications, the MSB determines output polarity while the other 11 bits control amplitude.

Output Amplifier Offset

For best linearity, OUT1 and OUT2 should be terminated at exactly 0V. In most applications, OUT1 is connected to the summing junction of an inverting op-amp. The amplifier's offset voltage can degrade the linearity of the DAC by causing OUT1 to be terminated to a non-zero voltage. The resulting error is typically $4/3V_{OS}$ to $2V_{OS}$, a change of $2/3V_{OS}$. An amplifier with 3mV of offset will therefore degrade the linearity by 2mV, almost a full LSB with a 10V reference voltage. For best linearity, a low-offset amplifier such as the MAX400 should be used, or the amplifier offset must be trimmed to zero. A good rule of thumb is that V_{OS} should be no more than 1/10 of an LSB's value.

An output amplifier's input bias current (I_B) can also limit the DAC's performance since $I_B \times R_{FB}$ generates an offset error. I_B should therefore be much less than the DAC output current for 1 LSB, typically 250nA with V_{REF} = 10V. One tenth of this value, 25nA, is recommended. Offset and linearity can also be impaired if the output amplifier's noninverting input is grounded through a "bias current compensation resistor." This resistor adds to the offset at this pin and should not be used.

Dynamic Considerations

In static or DC applications, the AC characteristics of the output amplifier are not critical. In higher speed applications, where either the reference input is an AC signal or the DAC output must quickly settle to a new programmed value, the AC parameters of the output op-amp must be considered.

Another error source in dynamic applications is parasitic coupling of signal from the V_{REF} terminal to OUT1 or OUT2. This is normally a function of board layout and package lead-to-lead capacitance. Signals can also be injected into the DAC outputs when the digital inputs are switched. This digital feedthrough is mostly dependent on circuit board layout and on-chip capacitive coupling. Layout induced feedthrough can be minimized with guard traces between digital inputs, V_{REF}, and the DAC outputs.

Compensation

A compensation capacitor, C1, may be needed when the DAC is used with a high speed output amplifier. The purpose of the capacitor is to cancel the pole formed by the DAC's output capacitance and internal feedback resistance. Its value depends on the type of op-amp used but typical values range from 10 to 33pF. Too small a value causes output ringing while excess capacitance overdamps the output. The size of C1 can be minimized, and output settling performance improved, by keeping the PC board trace and stray capacitance at OUT1 as small as possible.

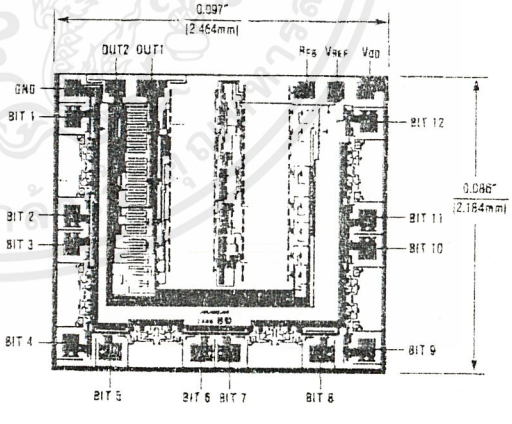
Grounding and Bypassing

Since OUT1, OUT2 and the output amp's noninverting input are sensitive to offset voltages, nodes that are to be grounded should be connected directly to "single-point" ground through a separate, very low resistance (less than 0.2Ω) path. The current at OUT1 and OUT2 varies with input code creating a code dependent error if these terminals are connected to ground (or a virtual ground) through a resistive path.

A 1μF bypass capacitor, in parallel with a 0.01μF ceramic cap, should be connected as close to the DAC's V_{DD} and GND pins as possible.

The MX7541 has high-impedance digital inputs. To minimize noise pick-up, they should be tied to either VDD or GND when not used. It is also good practice to connect active inputs to VDD or GND through high valued resistors (1MΩ) to prevent static charge accumulation if these pins are left floating, such as when a circuit card is left unconnected.

Chip Topography



Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1995 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. สุชาติ กังวารจิตต์,หลักการทำงานเครื่องรับเครื่องส่งวิทยุและระบบวิทยุสื่อสาร, บริษัทซีเอ็ดยูเคชั่น จำกัด,พิมพ์ครั้งที่ 1,กรุงเทพ,พ.ศ 2538
2. วารสารเซมิคอนดักเตอร์,ฉบับ 167 มกราคม,2540
3. วารสารเซมิคอนดักเตอร์,ฉบับ 180 กุมภาพันธ์,2541
4. MAXIM NEW RELEASES DATA BOOK VOLUM VI 1997
   High-speed CMOS logic Data Book,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้