



ชุดต้นแบบขากล

ANTROPOID WALKING MACHINE

โดย

นาย อภิวัฒน์ ทองประเสริฐ 37014561 4C

นาย อัครเมธี ทองขวัญ 37014574 4C

อาจารย์ที่ปรึกษา

อาจารย์ โกศล ขวนขยัน

วัน เดือน ปี..... 24.คค.2541
เลขทะเบียน..... 039165
เลขเรียกหนังสือ..... 1.201103.01665

ปริญญานิพนธ์นี้สำหรับปริญญาวិทยกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเจ้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

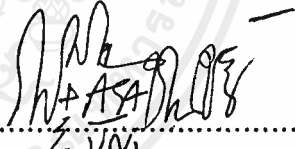
ชุดต้นแบบขากล

ANTHROPOID WALKING MACHINE

ผู้จัดทำ

1. นาย อภิวัฒน์ ทองประเสริฐ 37014561
2. นาย อัครเมธี ทองขวัญ 37014574

โครงการนี้ได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการทดสอบได้



.....
(อาจารย์ โกศล ชวนขันธ์)
อาจารย์ที่ปรึกษา

ปริญญาบัตรปีการศึกษา 2540

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ชุดค้นแบบขากกล

ผู้จัดทำ

1. นาย อภิวัฒน์ ทองประเสริฐ 37014561
2. นาย อัครเมธี ทองขวัญ 37014574



(Handwritten signature)

(อาจารย์ โกศล ชวนขยัน)

อาจารย์ที่ปรึกษา

กิตติกรรมประกาศ

ในการทำโครงการนี้ทางคณะผู้จัดทำต้องขอขอบคุณผู้มีส่วนช่วยเหลือในการทำงานทุกท่าน อาจารย์โกศล ชวนขยัน ได้กรุณาให้การความรู้ แนวคิด และการดูแลอย่างใกล้ชิด คุณมณฑา เจ้าหน้าที่ประจำ Shop Mechanics ที่คอยให้คำปรึกษาและช่วยเหลือการออกแบบและสร้างชิ้นงาน คุณรัฐพล ให้คำแนะนำและอุปกรณ์ในการทำโมเดล คุณนันทนาทที่แบก printer มาไกลและเพื่อน ๆ ทุกคนที่ให้การช่วยเหลือที่ไม่ได้เอ่ยชื่อ โครงการนี้จะสำเร็จลุล่วงไม่ได้เลยหากขาดการช่วยเหลือจากทุกท่าน หายที่สุดนี้ทางผู้จัดทำต้องขอขอบคุณทุกท่านไว้ ณ ที่นี้ด้วย



.....
(นาย อภิวัฒน์ ทองประเสริฐ)

.....
(นาย อัครเมธี ทองขวัญ)

II

ชุดต้นแบบขากล

นาย อภิวัฒน์ ทองประเสริฐ
นาย อัครเมธี ทองขวัญ
อ. โกศล ชวนขยัน (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2540

บทคัดย่อ

เนื้อหาโครงการนี้เป็นการศึกษา ออกแบบและจัดสร้างชุดต้นแบบของหุ่นยนต์ซึ่งมีรูปแบบการเคลื่อนที่เลียนแบบการเดินของมนุษย์ ซึ่งในโครงการนี้จะพิจารณาการเคลื่อนที่ในแบบ 2 มิติ โดยไม่คิดการทรงตัว ซึ่งจะเป็นแนวทางในการศึกษาออกแบบการเคลื่อนที่ในแบบ 3 มิติต่อไป การเคลื่อนที่นี้จะสามารถนำไปประยุกต์ใช้งานได้หลายรูปแบบ เช่น เป็นโครงสร้างรับแรงภายนอกสำหรับผู้ป่วยกายภาพบำบัดหรือพิการในช่วงท่อนขา และเป็นหุ่นยนต์สำรวจกู้ภัยในบริเวณที่มีอันตรายแทนมนุษย์ ฯลฯ

ANTHROPOID WALKING MACHINE

Mr. APIWAT THONGPRASERT

Mr. AKKARAMETEE THONGKWAN

Mr. KOSOL CHUANKAYAN (Advisor)

2nd Semester, Educational Year 1997

Abstract

This project is study and design the anthropoid walking. In this project, we consider movement on two dimensions but don't consider the balance control. It will be trended to design movement on three dimensions. This project can be applied to many way such as to external force structure for cripple or to robot explorer in dangerous zone.

IV

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1 บทนำ	1 - 1
บทที่ 2 ทฤษฎีการทำงาน	2 - 1
2.1 การศึกษารูปแบบการเคลื่อนที่ของมนุษย์	2 - 1
2.1.1 การทำงาน ความสามารถ ข้อจำกัดทางกายภาพของมนุษย์ และสัดส่วนต่าง ๆ ของร่างกายที่สัมพันธ์กับการเคลื่อนที่	2 - 1
2.1.2 ลักษณะโครงสร้างของข้อต่อและกระดูกขา	2 - 4
2.1.3 ลักษณะพฤติกรรมในการเคลื่อนที่	2 - 6
2.1.4 ลักษณะท่าทางในการเดิน	2 - 8
2.2 ไมโครคอนโทรลเลอร์ตระกูล 8051	
2.2.1 คุณสมบัติพื้นฐานของ 8051	2 - 11
2.2.2 ฐานเวลาในการทำงานของซีพียูภายใน 8051	2 - 11
2.2.3 การเชื่อมต่อหน่วยความจำโปรแกรมภายนอกกับ 8051	2 - 12
2.2.4 การแลกเปลี่ยนข้อมูลระหว่าง 8051 หลายตัว	2 - 13
2.2.5 ขั้นตอนการสื่อสารระหว่าง 8051 หลายตัว	2 - 15
บทที่ 3 หลักการออกแบบโครงสร้าง	3 - 1
3.1 การออกแบบโครงสร้างโดยรวม	
3.2 รายละเอียดอุปกรณ์	3 - 2
3.3 การออกแบบโครงสร้างในแต่ละส่วน	3 - 9
3.3.1 ข้อต่อบริเวณต้นขา	3 - 9
3.3.2 ข้อต่อบริเวณหัวเข่า	3 - 12
3.3.3 ข้อต่อบริเวณข้อเท้า	3 - 14
บทที่ 4 หลักการออกแบบทางด้านวงจร	4 - 1
4.1 วงจรไมโครคอนโทรลเลอร์	4 - 1
4.1.1 ไมโครคอนโทรลเลอร์หมายเลข 1 - 4 (Slave controller)	4 - 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.1.2 ไมโครคอนโทรลเลอร์หมายเลข 5 (Master Controller)	4 - 7
4.2 วงจรไคร์ฟมอเตอร์	4 - 10
4.3 วงจรเข้ารหัสสัญญาณทางแสง (ตัวรับ - ตัวส่ง)	4 - 15
4.4 วงจร Buffer	4 - 20
4.5 วงจร Comparator	4 - 20
บทที่ 5 โปรแกรมการทำงาน	5 - 1
5.1 โปรแกรมการทำงานของ Slave controller	5 - 1
5.2 โปรแกรมการทำงานของ Master controller	5 - 4
5.3 Protocol ในการรับ - ส่งข้อมูล	5 - 11
บทที่ 6 ผลการทดลองและวิจารณ์	6 - 1
ภาคผนวก ก โปรแกรมการทำงาน	ผ - 1
ภาคผนวก ข Data Sheet	
เอกสารอ้างอิง	

สารบัญรูป

	หน้า
รูปที่ 1.1 แสดงโครงสร้างของกระดูกส่วนสะโพก	1 - 2
รูปที่ 1.2 แสดงโครงร่างของขาที่อ่อนบนและหัวเข่า	1 - 3
รูปที่ 1.3 แสดงโครงร่างของกระดูกขาที่อ่อนล่าง	1 - 4
รูปที่ 1.4 แสดงโครงร่างของกระดูกเท้า	1 - 5
รูปที่ 2.1 แสดงการเคลื่อนที่ของสะโพกและขาที่อ่อนบน	2 - 2
รูปที่ 2.2 แสดงการเคลื่อนที่ของหัวเข่าและที่อ่อนขาที่อ่อนล่าง	2 - 3
รูปที่ 2.3 แสดงการเคลื่อนที่ของข้อเท้าและฝ่าเท้า	2 - 4
รูปที่ 2.4 แสดงลักษณะข้อต่อแบบบอล	2 - 5
รูปที่ 2.5 แสดงข้อต่อหัวเข่า (บานพับ)	2 - 5
รูปที่ 2.6 แสดงลักษณะข้อต่อข้อเท้า (บานพับ)	2 - 6
รูปที่ 2.7 แสดงการเคลื่อนที่ในช่วงต่าง ๆ	2 - 10
รูปที่ 2.8 แสดงการใช้คริสตอลภายนอกต่อเข้ากับวงจรรอสซิลเลเตอร์ภายใน 8051	2 - 12
รูปที่ 2.9 แสดงการเชื่อมต่อระหว่างไมโครโปรเซสเซอร์หลายตัวในแบบ พูลดูเพล็กซ์และฮาล์ฟดูเพล็กซ์	2 - 14
รูปที่ 2.10 การส่งข้อมูลแอดเดรสสำหรับการติดต่อกับสลาฟหมายเลข 02H	2 - 16
รูปที่ 2.11 การรับส่งข้อมูลระหว่างสลาฟหมายเลข 02H กับมาสเตอร์ โดยไม่มีผลให้เกิดการอินเตอร์รัปต์กับสลาฟหมายเลขอื่น ๆ ภายในระบบ	2 - 17
รูปที่ 3.1 แสดงโครงสร้างคร่าว ๆ ของชุดขากล	3 - 2
รูปที่ 3.2 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (1)	3 - 3
รูปที่ 3.3 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (2)	3 - 4
รูปที่ 3.4 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (3)	3 - 5
รูปที่ 3.5 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (4)	3 - 6
รูปที่ 3.6 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (5)	3 - 7
รูปที่ 3.7 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้ในโครงงาน (6)	3 - 8
รูปที่ 3.8 แสดงข้อต่อบริเวณคันทันขา (ด้านหน้า)	3 - 10
รูปที่ 3.9 แสดงข้อต่อบริเวณคันทันขา (ด้านข้าง)	3 - 11
รูปที่ 3.10 แสดงข้อต่อบริเวณหัวเข่า (ด้านหน้า)	3 - 12
รูปที่ 3.11 แสดงข้อต่อบริเวณหัวเข่า (ด้านข้าง)	3 - 13

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 3.12 แสดงภาพข้อต่อบริเวณข้อเท้า (ด้านหน้า)	3 - 14
รูปที่ 3.13 แสดงภาพข้อต่อบริเวณข้อเท้า (ด้านข้าง)	3 - 15
รูปที่ 3.14 แสดงอุปกรณ์ควบคุมความตึงโซ่ (ด้านหน้า)	3 - 16
รูปที่ 3.15 แสดงอุปกรณ์ควบคุมความตึงโซ่ (ด้านข้าง)	3 - 17
รูปที่ 3.16 แสดงโครงสร้างชุดขากลทั้งหมด (ขาซ้ายด้านหน้า)	3 - 18
รูปที่ 3.17 แสดงโครงสร้างชุดขากลทั้งหมด (ขาซ้ายด้านข้าง)	3 - 19
รูปที่ 4.1 บล็อกไดอะแกรมแสดงการทำงานร่วมกันใน Multiprocessor mode ของมาสเตอร์และสลาฟคอนโทรลเลอร์	4 - 2
รูปที่ 4.2 แสดงการทำงานแบบ Closed Loop ของ Slave Controller	4 - 4
รูปที่ 4.3 แสดงกราฟลักษณะการรับภาระทางกลของท่อนขา	4 - 4
รูปที่ 4.4 แสดงวงจรของ Slave Controller	4 - 6
รูปที่ 4.5 แสดงวงจรของ Master Controller	4 - 9
รูปที่ 4.6 วงจรลอจิกแปลงสัญญาณดิจิทัลเป็นสัญญาณดีซี 3 ระดับ	4 - 11
รูปที่ 4.7 แสดงรูปวงจรการต่อแบบ Non - inverting amp.	4 - 12
รูปที่ 4.8 แสดงวงจรไครฟ์มอเตอร์ในส่วนของ Non - inverting amp. และวงจรไครฟ์	4 - 14
รูปที่ 4.9 บล็อกไดอะแกรมแสดงการทำงานของวงจร Opto Encoder	4 - 15
รูปที่ 4.10 แสดงภาพการติดตั้งอุปกรณ์ Opto Encoder	4 - 17
รูปที่ 4.11 แสดงการต่อวงจรตัวรับ - ส่งสัญญาณทางแสงในแต่ละบิต	4 - 18
รูปที่ 4.12 แสดงวงจรของชุดรับส่งสัญญาณทางแสง	4 - 19
รูปที่ 4.13 แสดงการต่อ Op. Amp. เป็นวงจร Voltage Follower	4 - 20
รูปที่ 4.14 แสดงการต่อเป็นวงจร Comparator with Hysteresis Loop	4 - 21
รูปที่ 4.15 แสดงวงจร Opto Encoder ในส่วนของวงจร Buffer และ Comparator	4 - 22
รูปที่ 4.16 แสดงวงจร Opto Encoder	4 - 23
รูปที่ 5.1 แสดง Flowchart แสดงการทำงานของสลาฟคอนโทรลเลอร์ (1)	5 - 2
รูปที่ 5.2 แสดง Flowchart แสดงการทำงานของสลาฟคอนโทรลเลอร์ (2)	5 - 3
รูปที่ 5.3 แสดง Flowchart แสดงการทำงานของมาสเตอร์คอนโทรลเลอร์ (1)	5 - 5
รูปที่ 5.4 แสดง Flowchart แสดงการทำงานของมาสเตอร์คอนโทรลเลอร์ (2)	5 - 6

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 5.5 แสดง Flowchart แสดงการทำงานของมาสเตอร์คอนโทรลเลอร์ (3)	5 - 7
รูปที่ 5.6 แสดง Flowchart แสดงการทำงานของมาสเตอร์คอนโทรลเลอร์ ใน Manual Mode (1)	5 - 9
รูปที่ 5.7 แสดง Flowchart แสดงการทำงานของมาสเตอร์คอนโทรลเลอร์ ใน Manual Mode (2)	5 - 10
รูปที่ 5.8 แสดง Protocol สำหรับใช้ในการติดต่อกันระหว่างมาสเตอร์กับสลาฟ	5 - 11
รูปที่ 6.1 แสดงคุณสมบัติในการยึดหยุ่นของหน้าแปลนแบบอลูมิเนียม	6 - 3



สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงให้เห็นถึงสัญญาต่าง ๆ ของ 8051 ซึ่งนำมาใช้ในการติดต่อ กับหน่วยความจำภายนอก	2 - 13
ตารางที่ 2.2 แสดงถึงวิธีระบุการส่งแอดเดรส	2 - 15
ตารางที่ 4.1 แสดง Truth Table การทำงานของวงจรไคร์พมอเตอร์ในส่วนของ วงจรถอจิกซึ่งทำการแปลงสัญญาคิิจิตอลเป็นสัญญาคิีชี 3 ระดับ	4 - 11

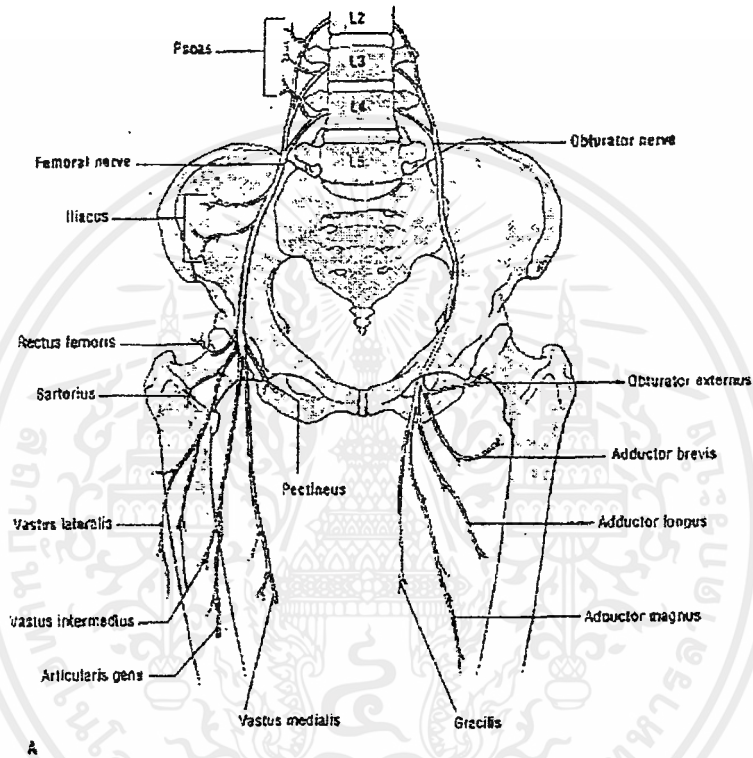


บทที่ 1

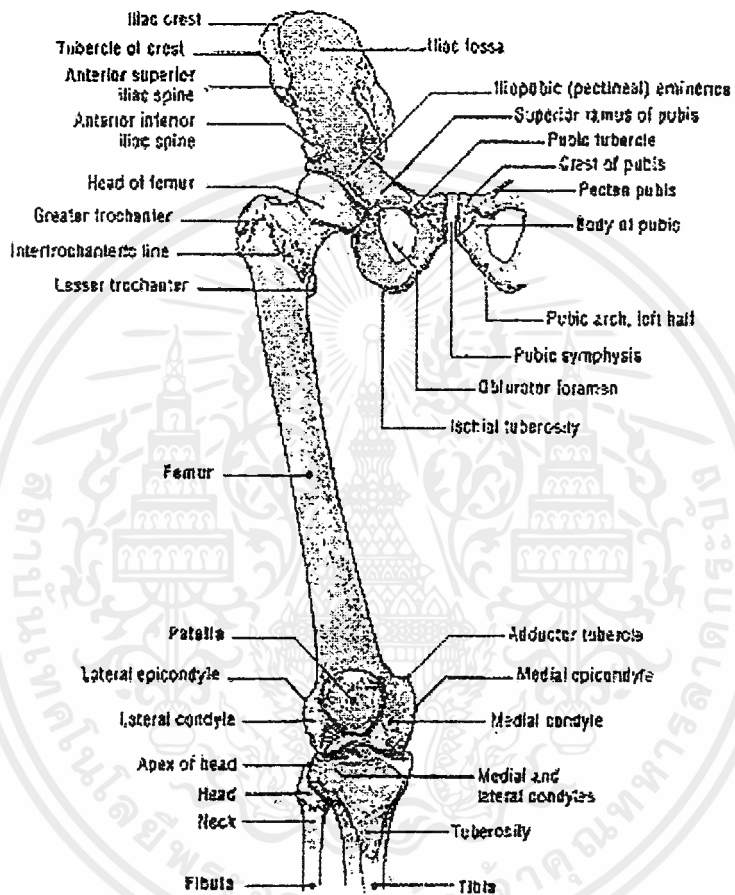
บทนำ

การพัฒนาหุ่นยนต์ในปัจจุบันมีความก้าวหน้าไปอย่างมาก หุ่นยนต์ที่ได้มีการสร้างขึ้นมามีการนำไปใช้งานในหลาย ๆ ด้าน ซึ่งล้วนแต่จะมีจุดมุ่งหมายที่จะให้สามารถทำงานแทนมนุษย์หรือทำงานในงานที่มนุษย์ไม่สามารถจะทำได้ อย่างไรก็ตามรูปแบบการเคลื่อนที่ของหุ่นยนต์ส่วนใหญ่ยังคงใช้หลักการของการเคลื่อนที่แบบล้อเลื่อนเป็นหลัก ซึ่งต้องอาศัยเส้นทางที่สร้างขึ้น อย่างไรก็ตามก็ดีเราพบว่าในการใช้งานเพื่อตอบสนองความต้องการใช้งานของมนุษย์นั้นในบางครั้งต้องทำงานในบริเวณที่อยู่อาศัย ที่ทำงาน หรือแม้กระทั่งจะต้องมีการใช้เครื่องมือซึ่งสร้างไว้สำหรับมนุษย์ จึงมีความจำเป็นที่หุ่นยนต์นั้น ๆ จะต้องมียุทธศาสตร์การเคลื่อนที่หรือการทำงานที่คล้ายมนุษย์เพื่อสามารถทำงานแทนมนุษย์ได้

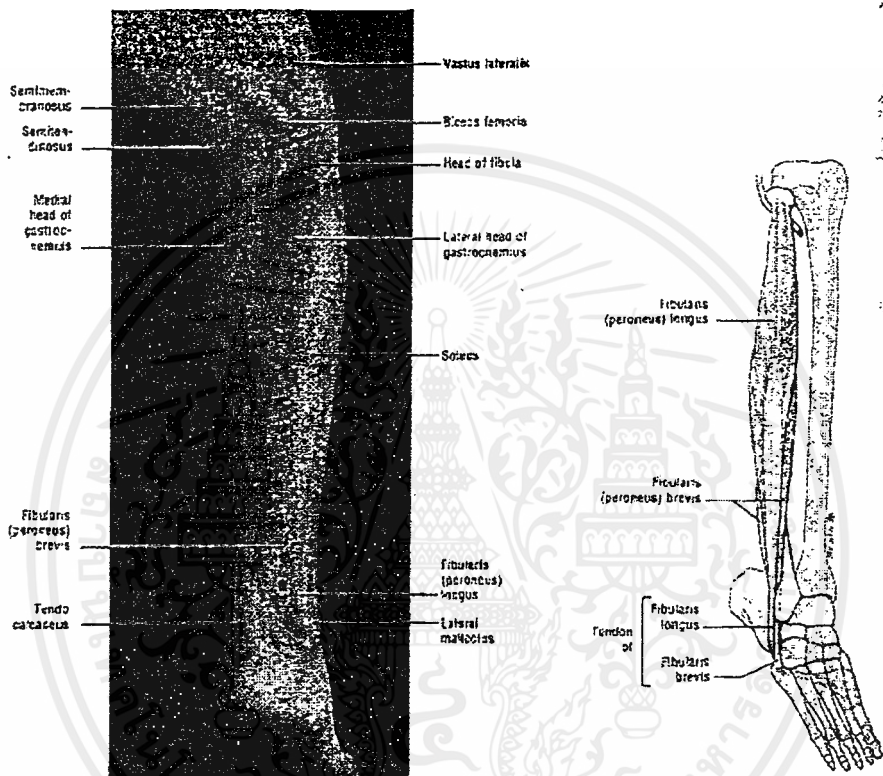
ในการสร้างขากลให้เคลื่อนที่ในรูปแบบการเดินของมนุษย์จำเป็นที่จะต้องมีการศึกษารูปแบบการเคลื่อนที่ของมนุษย์เสียก่อนจึงจะสามารถออกแบบขูดขากลได้ โดยต้องเริ่มจากการศึกษาโครงสร้างต่าง ๆ ของร่างกายมนุษย์เสียก่อน โดยในบทนำนี้จะกล่าวถึงลักษณะโครงสร้างของมนุษย์อย่างคร่าว ๆ ซึ่งโครงสร้างของมนุษย์ประกอบไปด้วยส่วนหลัก คือ กล้ามเนื้อ , กระดูก และระบบประสาทสั่งงาน การเคลื่อนไหวและควบคุมร่างกายของมนุษย์ทำโดยการสั่งการของสมองผ่านระบบประสาท และใช้เส้นเอ็นและกล้ามเนื้อเป็นต้นกำลังในการเคลื่อนไหว โดยมีกระดูกเป็นส่วนโครงสร้าง ในการศึกษาการทำงานของมนุษย์มักจะเริ่มจากการศึกษาโครงร่างของร่างกายซึ่งก็คือกระดูกนั่นเอง รูปที่ 1.1 - 1.3 แสดงถึงโครงร่างของกระดูกสะโพก ขา และ เท้า



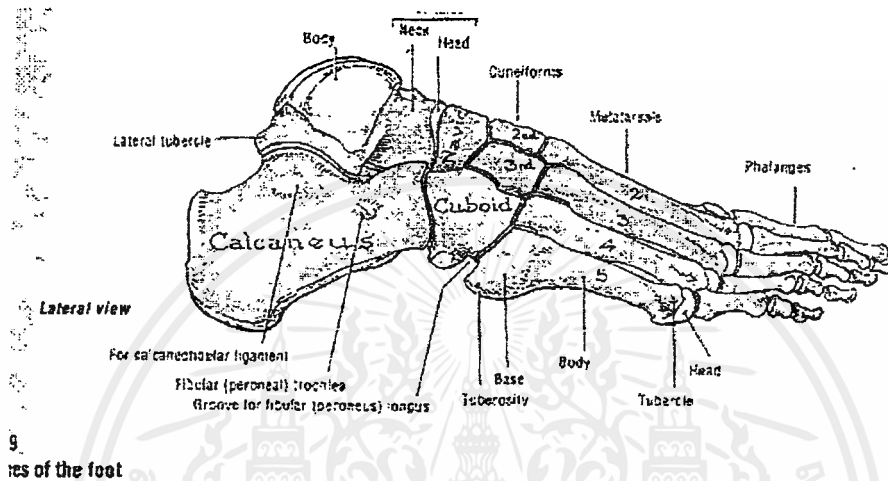
รูปที่ 1.1 แสดงโครงสร้างของกระดูกส่วนสะโพก



รูปที่ 1.2 แสดงโครงร่างของขาที่อนบนและหัวเข่า



รูปที่ 1.3 แสดงโครงร่างของกระดูกขาท่อนล่าง



รูปที่ 1.4 แสดงโครงร่างของกระดูกเท้า

จากการศึกษาเราพบว่ามนุษย์มีการพัฒนาทางด้านร่างกายมาเป็นเวลานานมาก จนทำให้มนุษย์มีลักษณะโครงร่าง ตลอดจนพฤติกรรมต่าง ๆ ซึ่งมีส่วนมาจากโครงร่างเป็นรูปแบบเฉพาะตัว โดยข้อมูลชี้ให้เห็นว่าสาเหตุของการวิวัฒนาการของมนุษย์ที่เป็นไปอย่างรวดเร็วนั้น นอกจากการพัฒนาทางความคิด สติปัญญา และทางด้านสมองแล้ว การพัฒนาทางด้านร่างกายก็มีส่วนสำคัญมาก จุดเด่นทางด้านร่างกายที่เป็นจุดเด่นในการพัฒนาของมนุษย์ คือ

- การมีนิ้วหัวแม่มือที่สามารถกางได้ตั้งฉากกับมือ ทำให้สามารถหยิบจับสิ่งของต่าง ๆ ได้สะดวก
- การมีตาสองข้างตั้งอยู่ใกล้กัน ทำให้สามารถมองวัตถุในลักษณะสามมิติได้
- การมีร่างกายตั้งตรง ในเคลื่อนที่จะมีลักษณะที่กระดูกสันหลังตั้งตรงตั้งฉากกับพื้นโลก
- ฯลฯ

จะเห็นได้ว่ารูปแบบการเคลื่อนที่ที่มีกระดูกสันหลังตั้งฉากกับพื้นโลกเป็นลักษณะของการวิวัฒนาการที่เป็นจุดเด่นและเป็นรูปแบบเฉพาะของมนุษย์เลขที่เดียว หากพิจารณาการเคลื่อนที่ดังกล่าวของมนุษย์ที่เกี่ยวกับการเคลื่อนที่ในรูปแบบของล้อหมุน พบว่าถึงแม้ลักษณะการเคลื่อนที่

แบบลือมนจะใช้แรงน้อยกว่า แต่ก็มีข้อจำกัดหลายด้าน เช่น ต้องเคลื่อนที่บนพื้นเรียบ ไม่เหมือนกับเคลื่อนที่แบบมนุษย์ ที่สามารถเคลื่อนที่ไปยังบริเวณที่ขรุขระ ได้ ดังนั้นการศึกษาเรื่องการเคลื่อนที่ของมนุษย์ หรือแม้แต่การพัฒนาเครื่องจักร หรือ หุ่นยนต์ให้มีการเคลื่อนที่ในรูปแบบของมนุษย์ ยังคงเป็นสิ่งที่ท้าทายและน่าจะมีค่าความสำคัญมากขึ้น



บทที่ 2

ทฤษฎีการทำงาน

2.1 การศึกษารูปแบบการเคลื่อนที่ของมนุษย์

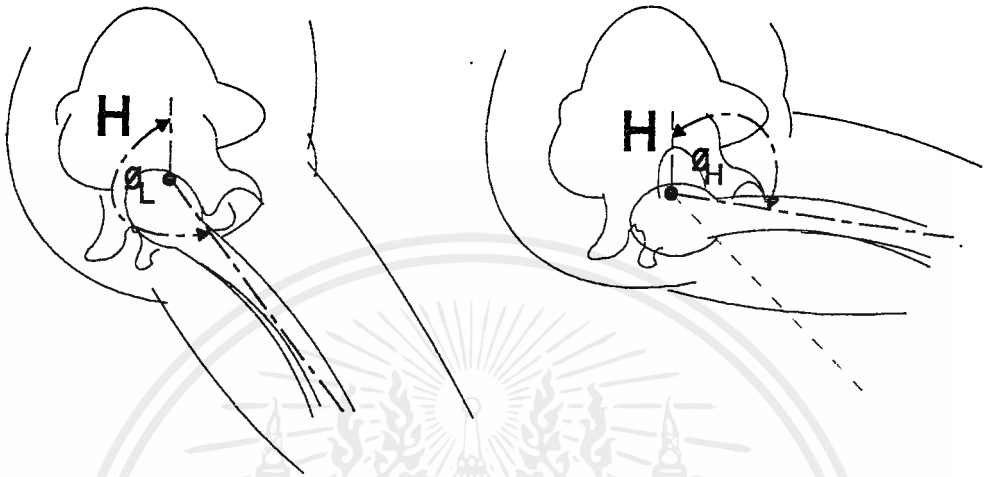
ในการศึกษารูปแบบการเคลื่อนที่ของมนุษย์ สามารถแบ่งหัวข้อในการศึกษาออกเป็น ส่วน ๆ ได้ดังต่อไปนี้

2.1.1 การทำงาน ความสามารถ จิตจำกัคทางกายภาพของมนุษย์ และส่วนสัคของร่างกาย
ท่อนล่าง ระบบการรับรู้ของประสาทและการตอบสนองของร่างกาย ที่มีความสัมพันธ์กับการเคลื่อนที่

จุดประสงค์ในการศึกษาในหัวข้อนี้เพื่อต้องการทราบถึงการทำงาน ความสามารถและสัคส่วนต่าง ๆ ซึ่งมีความสัมพันธ์ต่อการเคลื่อนที่ของมนุษย์ เพื่อสามารถนำไปออกแบบการทำงานและโครงสร้างโดยรวมของซากกล

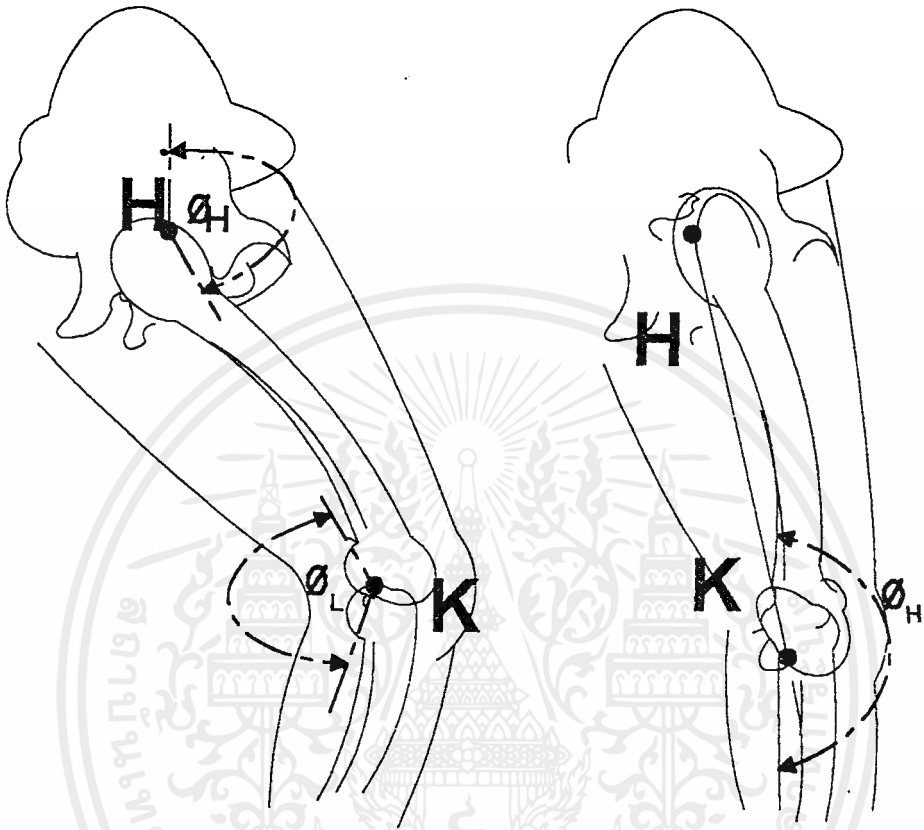
การเคลื่อนไหวของร่างกายส่วนล่าง (Lower Torso) แบ่งออกได้ดังนี้

1) การเคลื่อนของสะโพกและขาท่อนบน จากการศึกษาทางสรีระพบว่ากระดูกสะโพกมีความสามารถในการเคลื่อนไหวหน้า - หลัง ได้ดี แต่ความเคลื่อนไหวแบบด้านข้างไม่คล่องตัว โดยสำหรับมนุษย์ปกติทั่ว ๆ ไป สามารถเคลื่อนท่อนขาท่อนบนไปข้างหน้า (OH) ได้ประมาณ 135 องศา จากแนวการวางขาปกติซึ่งท่อนขาอยู่ในแนวเดียวกับลำตัว และเคลื่อนที่ไปข้างหลังได้ (OL) ประมาณ 45 องศา จากแนวการวางขาปกติ ภาพการเคลื่อนที่อย่างคร่าว ๆ แสดงดังรูปที่ 2.1



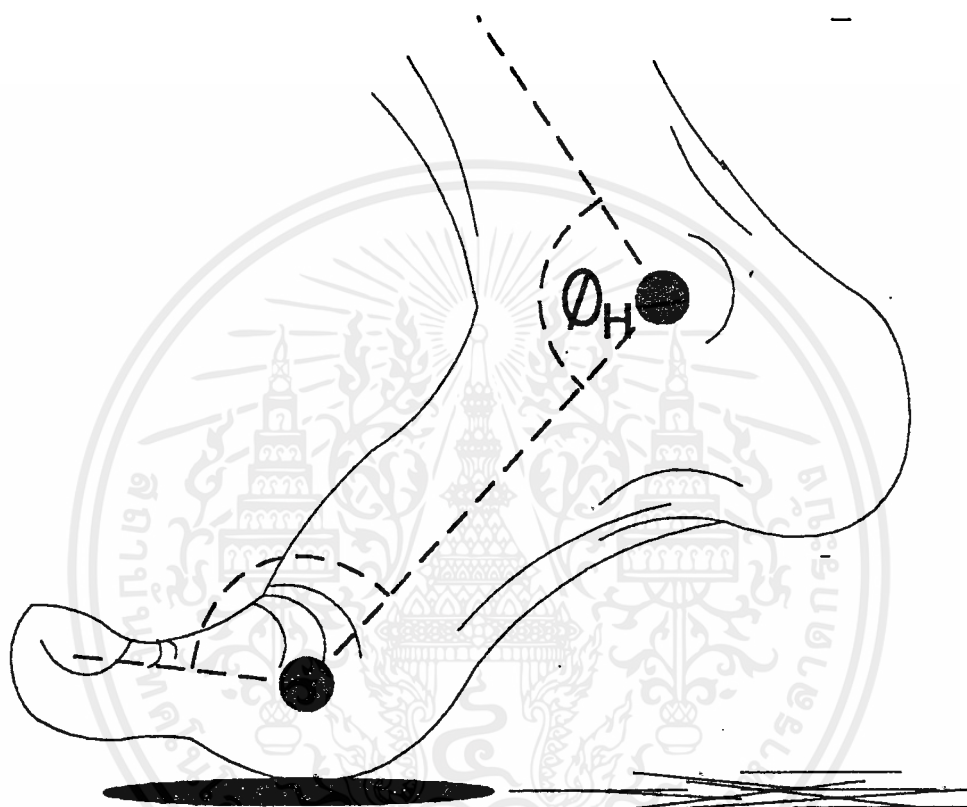
รูปที่ 2.1 แสดงการเคลื่อนที่ของสะโพกและขาที่นอนบน

2) การเคลื่อนไหวของหัวเข่าและขาที่นอนล่าง การเคลื่อนไหวของหัวเข่าและขาที่นอนล่าง โดยสำหรับมนุษย์ปกติทั่ว ๆ ไป สามารถเคลื่อนที่นอนขาที่นอนล่างไปข้างหน้า (θ_H) ได้ประมาณ 0 องศา หรือก็คือเนื่องจากลักษณะของข้อต่อหัวเข่าทำให้มนุษย์ไม่สามารถพับหัวเข่าไปข้างหน้าได้ ท่อนขาอยู่ในแนวเดียวแต่จะสามารถเคลื่อนที่ไปข้างหลังได้ (θ_L) ประมาณ 135 องศา จากแนวการวางขาปกติ ภาพการเคลื่อนที่อย่างคร่าว ๆ แสดงดังรูปที่ 2.2



รูปที่ 2.2 แสดงการเคลื่อนไหวของหัวเข่าและทอนขาที่อนล่าง

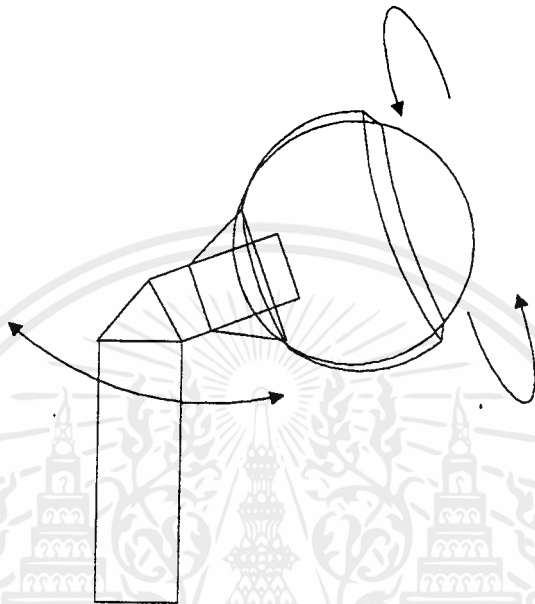
3) การเคลื่อนไหวของข้อเท้าและฝ่าเท้า สามารถเคลื่อนไหวฝ่าเท้าไปข้างหน้า (θ_H) ได้ประมาณ 20 องศา และสามารถเคลื่อนไหวที่ไปข้างหลังได้ (θ_L) ประมาณ 35 องศา จากแนวการวางเท้าปกติ ภาพการเคลื่อนไหวที่อย่างคร่าว ๆ แสดงดังรูปที่ 2.3



รูปที่ 2.3 แสดงการเคลื่อนที่ของข้อเท้าและฝ่าเท้า

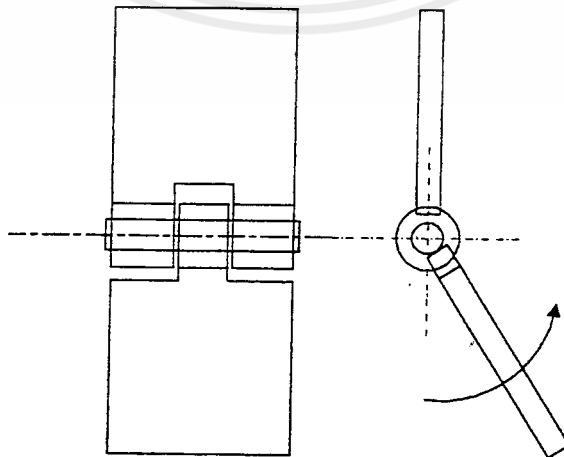
2.1.2 ลักษณะโครงสร้างของกระดูกและข้อต่อที่สำคัญ โดยเปรียบเทียบกับลักษณะของข้อต่อของอุปกรณ์ทางกล

1) สะโพก มีลักษณะการทำงานเป็นแบบข้อต่อในเบ้าหรือข้อต่อค้ำลูกปืน ซึ่งเป็นข้อต่อที่ปลายกระดูกด้านหนึ่งมีหัวกลม สวมลงไปในเบ้าของกระดูกอีกชิ้นหนึ่งทำให้เคลื่อนไหวไปมาได้ทุกทิศทาง แสดงลักษณะข้อต่อแบบบอดี้ดังรูปที่ 2.4



รูปที่ 2.4 แสดงลักษณะข้อต่อแบบบอล

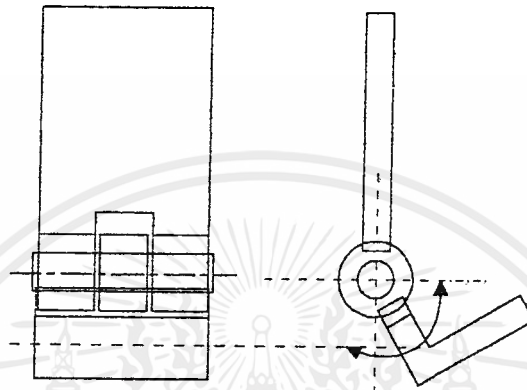
- 2) ข้อต่อหัวเข้า เป็นข้อต่อที่มีลักษณะการเคลื่อนไหวคล้ายบานพับ จะเคลื่อนที่ได้เพียงแกนเดียว แต่ข้อต่อหัวเข้าจะเคลื่อนที่ไปด้านหลังได้เพียงด้านเดียว



รูปที่ 2.5 แสดงข้อต่อหัวเข้า (บานพับ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ข้อต่อข้อเท้า มีลักษณะการเคลื่อนไหวเป็นแบบบานพับเช่นกันแต่จะเคลื่อนที่ได้ทั้งด้านหน้าและด้านหลัง



รูปที่ 2.6 แสดงลักษณะข้อต่อข้อเท้า (บานพับ)

2.1.3 ลักษณะพฤติกรรมในการเคลื่อนที่

การเคลื่อนไหวของร่างกายส่วนต่าง ๆ สามารถศึกษาได้จากวิชา Kinesiology ซึ่งเป็นการศึกษาเรื่องการเคลื่อนไหวของมนุษย์ ซึ่งถือเป็นหน้าที่ของโครงสร้างของระบบกระดูกและกล้ามเนื้อ โดยคิดเทียบให้ชิ้นส่วนต่าง ๆ ของร่างกายทำงานในลักษณะของคาน เช่น แขนท่อนล่างมีจุดหมุนอยู่ที่ข้อศอก เป็นต้น

1) ประเภทของการเคลื่อนที่และความสมดุล

ในการศึกษาการเคลื่อนที่ของมนุษย์ในลักษณะการเดินแบบสองเท้า จำเป็นต้องทราบหลักการต่าง ๆ ดังต่อไปนี้

- การจำแนกประเภทของการเคลื่อนที่

การจำแนกประเภทของการเคลื่อนที่ ที่เกี่ยวข้องกับการเดิน มีดังนี้

- Position Movement เป็นลักษณะการเคลื่อนไหวจากที่หนึ่งไปยังอีกที่หนึ่ง เช่น การเอื้อมมือไปหยิบสิ่งของ

- Continuous Movement เป็นการเคลื่อนไหวที่ต้องการการปรับ หรือ บังคับกล้ามเนื้อบางประการ ขณะเคลื่อนไหว เช่น การหมุนบังคับทิศทางพวงมาลัยของรถยนต์

- Sequential Movement เป็นการเคลื่อนไหวแบบต่อเนื่องกัน โดยแต่ละช่วงมีรูปแบบการเคลื่อนไหวเฉพาะตัว เช่น การสคร่ารถขณะที่ฝนตก

- Static Adjustment เป็นการหยุดการเคลื่อนไหว และให้ร่างกายทรงตัวอยู่ในตำแหน่งคงที่ในระยะเวลาหนึ่ง โดยการพยายามควบคุม ให้ร่างกายเกิดการสมดุล (Static Reaction)

- ความสมดุล (Equilibrium)

ความสมดุล (Equilibrium) จะเกิดขึ้นได้ต้องเกิดจากแรง (Force) หรือ (Torque) ที่กระทำต่อวัตถุ มีขนาดคงที่ หรือถ้ามีหลายแรง และทิศทางไม่เหมือนกันมากระทำต่อวัตถุนั้น แรงสุทธิ (Net Force) จะต้องเท่ากับศูนย์ (0)

สภาพการสมดุลมี 2 ลักษณะ คือ

1. สมดุลขณะพัก (At Rest) คือการสมดุลของร่างกายในขณะที่ร่างกายไม่มีการเคลื่อนที่ ร่างกายจะเป็นลักษณะการทรงตัวอยู่ในท่าทางใด ท่าทางหนึ่ง

2. สมดุลขณะเคลื่อนที่ (In Motion) คือ การสร้างความสมดุลของร่างกายในขณะที่เคลื่อนที่จากจุดหยุดนิ่งจากหนึ่งไปยังจุดหยุดนิ่งอีกจุดหนึ่ง

2.1.4 ลักษณะและท่าทางในการเดิน

ในขณะที่มนุษย์มีการเคลื่อนที่โดยการเดิน ร่างกายมีการทำงานของกล้ามเนื้อและข้อต่อต่าง ๆ คือ สะโพก, เข่า, ข้อเท้า และขา โดยร่างกายจะเกิดสมดุลในลักษณะของทั้งสมดุลขณะพักและสมดุลขณะเคลื่อนที่อยู่ตลอดเวลา โดยหากพิจารณาการเคลื่อนที่ในช่วงเวลาใด ๆ จะพบว่า การเคลื่อนที่อย่างต่อเนื่องนั้น สามารถแบ่งเป็นช่วง ๆ ได้ ดังนี้

แบ่งตามลักษณะการเคลื่อนที่ได้เป็น 2 ช่วง

- ช่วงการขึ้นทรงตัว (Stance Phase)

ช่วงนี้เป็นช่วงที่ทั้งสองเท้าติดพื้นอยู่ และอยู่ในช่วงของสมดุลในขณะพัก โดยร่างกายจะทิ้งน้ำหนักลงบนเท้าทั้งสอง โดยจะค่อย ๆ มีการถ่ายน้ำหนักจากเท้าหลัง ไปสู่เท้าหน้าเพื่อเป็นการเตรียมพร้อมในการเคลื่อนที่ไปข้างหน้าในช่วงของการก้าวต่อไป โดยในช่วงการขึ้นทรงตัวนี้ สามารถแบ่งเป็นช่วงย่อย ๆ ตามลักษณะท่าทาง ได้อีกสองช่วง คือ

Foot Flat Phase เป็นช่วงที่เท้าทั้งสองข้างสัมผัสกับพื้นอย่างสมบูรณ์ Center of Gravity (CG) ของร่างกายจะอยู่ระหว่างเท้าทั้งสอง ร่างกายจะทรงตัวอยู่อย่างสมบูรณ์บนเท้าทั้งสอง

Toe Off Phase เป็นช่วงที่ร่างกายมีการเคลื่อนไหวนั้นเป็นผลให้ CG ค่อย ๆ เคลื่อนจากกึ่งกลางของเท้าทั้งสอง ไปอยู่ยังบนเท้าหน้า ลักษณะของท่าทางจะคล้าย เป็นการขึ้นอยู่บนเท้าหน้าโดยมีเท้าหลังเป็นเพียง ตัวช่วยพยุง ช่วงนี้จะเป็นช่วงซึ่ง ร่างกายพร้อมที่จะเข้าสู่ช่วงในการก้าวไปข้างหน้า

- ช่วงการก้าวเท้า (Swing Phase)

เป็นช่วงที่ร่างกายขึ้นทรงตัวอยู่บนเท้าที่เป็นเท้าหลักเพียงข้างเดียว โดยอีกเท้าจะอยู่ในลักษณะก้าวไปข้างหน้า CG ของร่างกายจะเคลื่อนที่อยู่บนเท้าที่เป็นเท้าหลัก เพื่อรักษาสภาพ

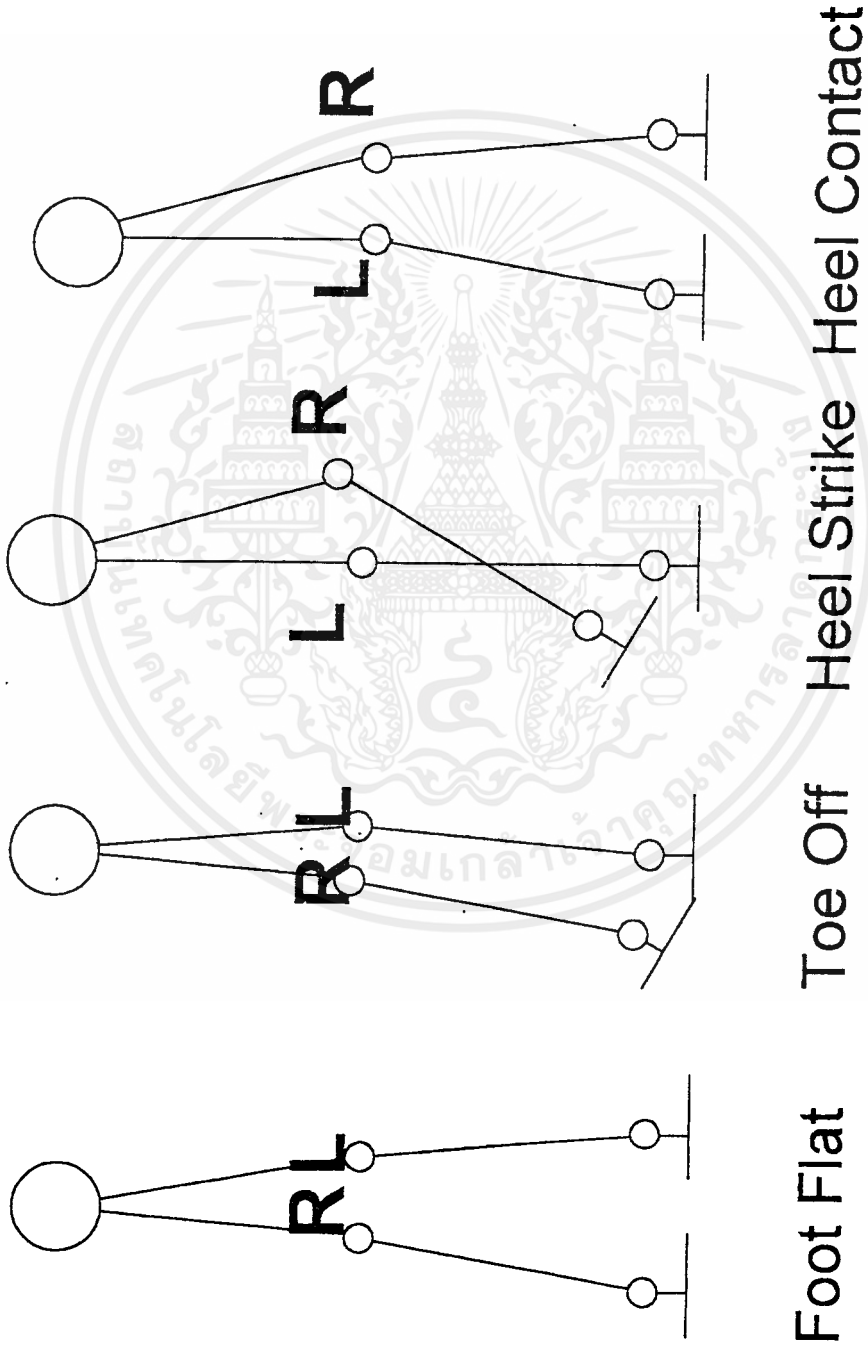
สมดุลของร่างกายไว้ ซึ่งการสมดุลในช่วงนี้อยู่ในลักษณะของสมดุลขณะเคลื่อนที่ โดยสามารถแบ่งขั้นตอนในช่วงนี้ได้ 2 วิธี

1. แบ่งตามลักษณะท่าทางของร่างกายได้ 3 ช่วง คือ

Heel Strike Phase เป็นช่วงเริ่มต้นในการก้าวออกจากการขึ้นทรงตัว (Toe Off) โดยการเตะขาหลังไปทางด้านหน้า ร่างกายทรงตัวอยู่บนขาหลักเพียงข้างเดียว โดยในช่วงนี้ขาที่ใช้ก้าวยังอยู่ด้านของขาหลัก ดังนั้น ร่างกายจะมีการเอนตัวไปยังด้านหน้าเล็กน้อย เพื่อเป็นการชดเชยน้ำหนักของร่างกาย

Mid Stance Phase เป็นช่วงอยู่ในระหว่างการก้าวเท้า โดยเท้าที่ก้าวอยู่ในตำแหน่งเดียวกันกับ เท้าหลักช่วงนี้ ร่างกายจะเอนกลับมาอยู่ในตำแหน่งตั้งตรงเนื่องจากน้ำหนักส่วนใหญ่ได้ย้ายมาอยู่บนเท้าหลัก

Heel Contact Phase เป็นช่วงที่เท้าที่ก้าวอยู่เลยเท้าหลักและเคลื่อนที่ไปจนสัมผัสกับพื้น เป็นช่วงต่อที่จะเข้าสู่ช่วงของการขึ้นทรงตัว (Foot Flat) ในช่วงนี้ร่างกายจะมีการเอนตัวมาข้างหลังเล็กน้อย เพื่อชดเชยกับน้ำหนักส่วนใหญ่ที่เคลื่อนที่เลยเท้าหลักไปยังด้านหน้าเล็กน้อย ท่าทางในการเดินในช่วงต่างๆ แสดงได้ดังรูปที่ 2.7



รูปที่ 2.7 แสดงการเคลื่อนที่ในช่วงต่าง ๆ

2.2 ไมโครคอนโทรลเลอร์ตระกูล 8051

ไมโครคอนโทรลเลอร์เป็นลักษณะของหน่วยประมวลผลแบบชิปเดี่ยว ซึ่งมีส่วนของอุปกรณ์ที่จำเป็นอยู่ภายในไอซีเพียงตัวเดียว ลักษณะการทำงานที่เหมาะสมก็นำไมโครคอนโทรลเลอร์ไปใช้งานมักจะเป็นงานประยุกต์ที่เกี่ยวข้องกับงานควบคุม โดยไม่ต้องการการทำงานที่ซับซ้อนมากนัก และต้องการพื้นที่ของแผงวงจรควบคุมที่จำกัด

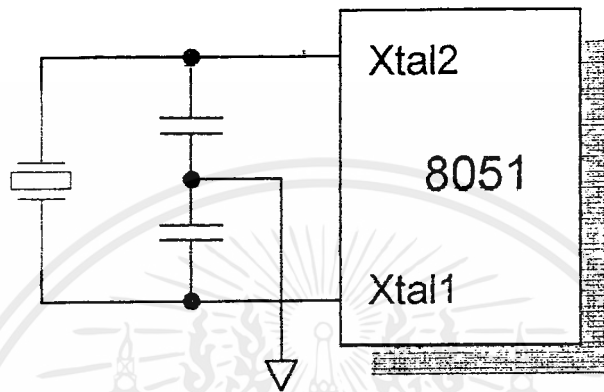
2.2.1 คุณลักษณะพื้นฐานของ 8051

ประกอบไปด้วย

- หน่วยประมวลผลกลางขนาด 8 บิต
- หน่วยประมวลผลกลางสำหรับข้อมูลแบบบิต (Boolean Processor)
- ความสามารถในการอ้างตำแหน่งของหน่วยความจำโปรแกรม 64 กิโลไบต์
- ความสามารถในการอ้างตำแหน่งของหน่วยความจำข้อมูล 64 กิโลไบต์
- หน่วยความจำโปรแกรมภายในขนาด 4 กิโลไบต์
- หน่วยความจำแบบ RAM ภายในจำนวน 128 ไบต์
- พอร์ตอินพุต / เอาต์พุตแบบขนานจำนวน 32 เส้น ซึ่งสามารถแยกทำงานได้อย่างอิสระ
- วงจรนับ / จับเวลาขนาด 16 บิต จำนวน 2 วงจร
- วงจรสื่อสารแบบอนุกรมแบบฟูลดักเพล็กซ์ (Full Dullplex)
- วงจรควบคุมอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณ 6 ประเภท พร้อมกำหนดระดับความสำคัญได้ 2 ระดับ
- วงจรออสซิลเลเตอร์ภายใน

2.2.2 ฐานเวลาในการทำงานของซีพียูภายใน 8051

8051 มีวงจรออสซิลเลเตอร์อยู่ภายใน สำหรับการสร้างของสัญญาณนาฬิกาซึ่งจะนำไปเป็นฐานเวลา หรือการกำหนดจังหวะการทำงานของหน่วยการทำงานทั้งหมดให้สอดคล้องกัน (Synchronozation) โดยปรกติแล้วก็มักจะทำโดยการใช้คริสตอลเชื่อมต่อเข้ากับขาสัญญาณ XTAL1 และ XTAL2 พร้อมตัวเก็บประจุ ดังลักษณะในรูปที่ 2 - 6 หรืออาจเป็นสัญญาณนาฬิกาจากภายนอกได้



รูปที่ 2.8 แสดงการใช้คริสตอลภายนอกต่อเข้ากับวงจรรอสซิงเทเตอร์ภายใน 8051

การคำนวณหาว่าเวลาที่ใช้ในการทำคำสั่งใด ๆ จนเสร็จสิ้น จะต้องดูว่าคำสั่งนั้น ใช้จำนวนเมกซ์ซีไนซ์เกิดเป็นเท่าไรในการประมวลผล เวลาที่ใช้จะคำนวณตามสูตร

$$T = [C \times 12] / \text{Crystal Frequency}$$

โดย

C = จำนวนเมกซ์ซีไนซ์เกิดของคำสั่ง

Crystal Frequency = เป็นค่าความถี่ของคริสตอลที่ใช้กับ 8051

2.2.3 การเชื่อมต่อหน่วยความจำโปรแกรมภายนอกกับ 8051

เนื่องจากระบบบัสแอดแควสและระบบบัสข้อมูลของ 8051 เป็นลักษณะการใช้ มัลติเพล็กซ์จากพอร์ทเดียวกัน กล่าวคือ ในระยะเวลาเริ่มต้น เส้นสัญญาณเหล่านี้ของพอร์ทจะใช้ ในการส่งแอดแควสของตำแหน่งที่ต้องติดต่อด้วย ในช่วงเวลาต่อมาจะเปลี่ยนไปเป็นสภาวะ อิมพีแดนซ์สูงเพื่อใช้งานในฐานะของบัสข้อมูล แต่เนื่องจากว่า EPROM ที่ใช้งานอยู่ทั่วไปนั้น ไม่ใช้การมัลติเพล็กซ์ และมีขาสัญญาณบัสแอดแควสและบัสข้อมูลแยกออกจากกันโดยชัดเจน ดัง

นั้นการเชื่อมต่อ EPROM เพื่อทำหน้าที่เป็นหน่วยความจำโปรแกรม จึงจำเป็นต้องมีวงจรประเภท (latch) ประกอบเพิ่มขึ้นเพื่อทำการค้างค่าแอดเดรสที่ส่งออกมาจาก 8051 ในช่วงเวลาแรกให้เข้ากับขาสัญญาณแอดเดรสของ EPROM ค่ะ

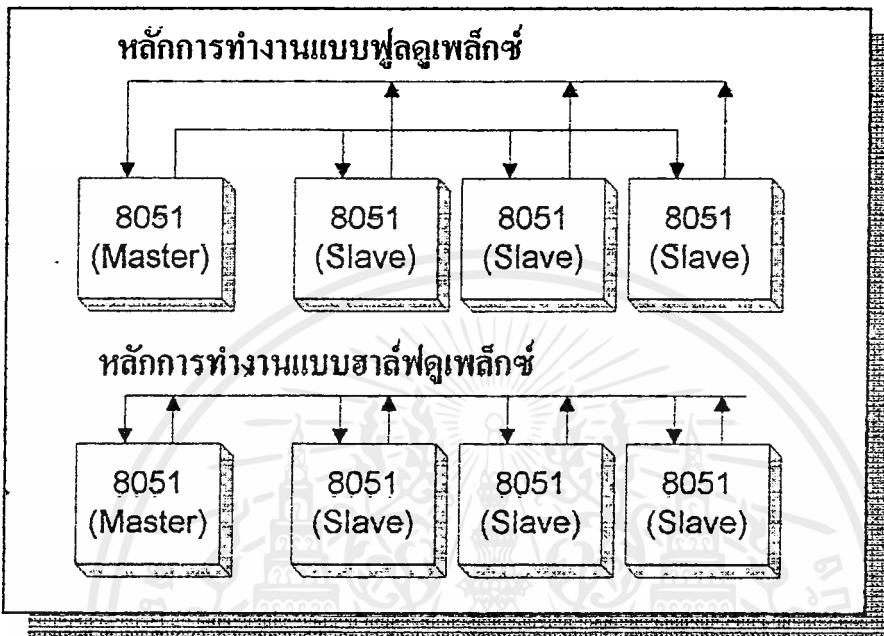
สัญญาณ	ความกิดความ	ขาสัญญาณ	หน้าที่
EA	External Access	31	เลือกประเภทหน่วยความจำภายในหรือภายนอก
ALE	Address Enable	30	สัญญาณเอาต์พุตสำหรับแลตช์ข้อมูลแอดเดรสบัส
P2.0 - P2.7	Port 2	21 - 28	เป็นข้อมูลแอดเดรสไบต์สูงของหน่วยความจำ
P0.0 - P0.7	Port 0	39 - 32	มัลติเพล็กซ์สัญญาณของบัสแอดเดรสและบัสข้อมูล
PSEN	Program Store Enable	29	สัญญาณระบุนการ Read ให้กับหน่วยความจำ EPROM

ตารางที่ 2.1 แสดงให้เห็นถึงสัญญาณต่าง ๆ ของ 8051 ซึ่งนำมาใช้ในการติดต่อกับหน่วยความจำภายนอก

2.2.4 การแลกเปลี่ยนข้อมูลระหว่าง 8051 หลายตัว

การทำงานลักษณะหนึ่งที่ออกแบบเพื่อการสื่อสารอนุกรมในโหมด 2 และ 3 ของ 8051 โดยเฉพาะ คือการสื่อสารในระบบ มัลติโพรเซสเซอร์ (MultiProcessorsystem) ซึ่งเป็นการสื่อสารข้อมูลอนุกรมระหว่าง 8051 จำนวนหลายตัว ทั้งในแบบฮาล์พดูเพล็กซ์ (Half Duplex) และแบบฟูลดูเพล็กซ์ (Full Duplex) ซึ่งสามารถรับและส่งข้อมูลได้ในเวลาเดียวกัน ดังแสดงในรูปที่ 2-9 ซึ่งการนำไปใช้งานจริง อาจจะต้องมีการใช้วงจรับสัญญาณเพื่อให้สามารถสื่อสารได้ในระยะทางไกลขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงการเชื่อมต่อระหว่าง ไมโครโปรเซสเซอร์หลายตัว
ในแบบฟูลดูเพล็กซ์และฮาล์ฟดูเพล็กซ์

การติดต่อจะเริ่มจากการส่งข้อมูลเพื่อระบุถึงตำแหน่งของ (แอดเดรส) ของ 8051 ปลายทาง ที่ต้องการจะติดต่อก่อนที่จะได้มีการส่งข้อมูลสื่อสารจริง การสื่อสารในลักษณะดังกล่าวนี้ สามารถทำได้โดยใช้ความสามารถของบิต SM2 (Serial Mode 2) ซึ่งภายในรีจิสเตอร์ SCON เพื่อระบุให้ทราบถึงประเภทของข้อมูลภายในระบบว่าเป็นข้อมูลหรือหมายเลขแอดเดรสของ 8051 ซึ่งเชื่อมต่อเข้ากันภายในระบบดังนี้

กรณีที่เป็นเลขแอดแตรส

ด้านส่ง	ต้องทำการกำหนดค่าของบิต TB8 ให้มีค่าเป็น 1
ด้านรับ	ค่าบิต RBS ของข้อมูลที่รับเข้ามาจะมีค่าเป็น 1 แสดงว่าข้อมูลภายใน รีจิสเตอร์ SBUF จะเป็น หมายเลขแอดแตรสของ 8051 ที่ถูกเรียกติดต่อ

กรณีที่เป็นข้อมูลปกติ

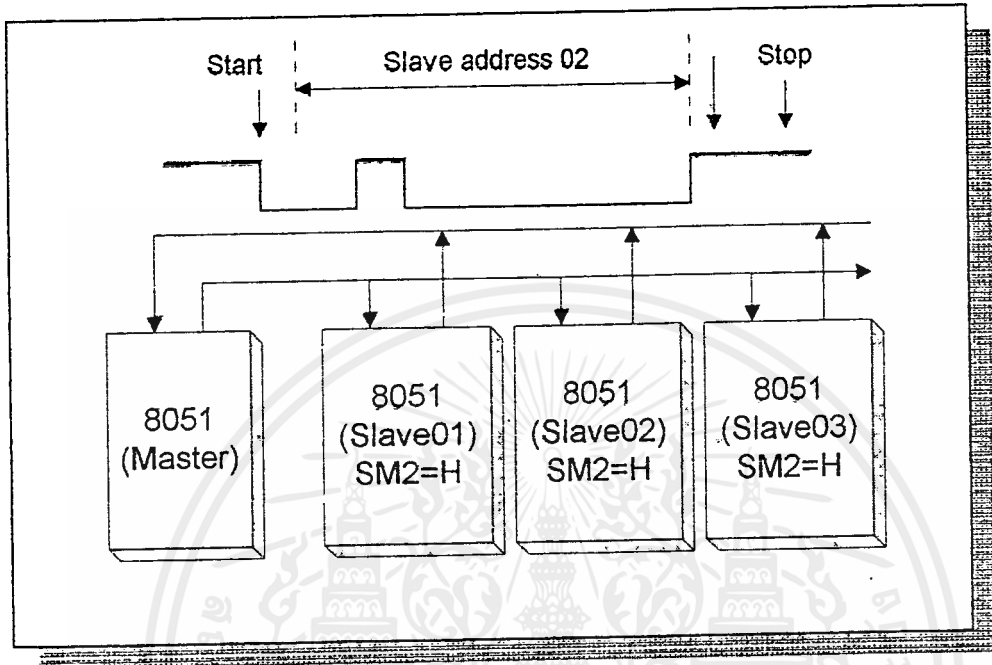
ด้านส่ง	ต้องทำการกำหนดบิต TB8 ให้มีค่าเป็น 0
ด้านรับ	ค่าบิต RB8 ของข้อมูลที่รับเข้ามาจะมีค่าเป็น 0 แสดงว่าข้อมูลภายใน รีจิสเตอร์ SBUF เป็นค่าของ ข้อมูล

ตารางที่ 2.2 แสดงถึงการวิีระบวนการส่งแอดแตรส

2.2.5 ขั้นตอนการสื่อสารระหว่าง 8051 หลายตัว

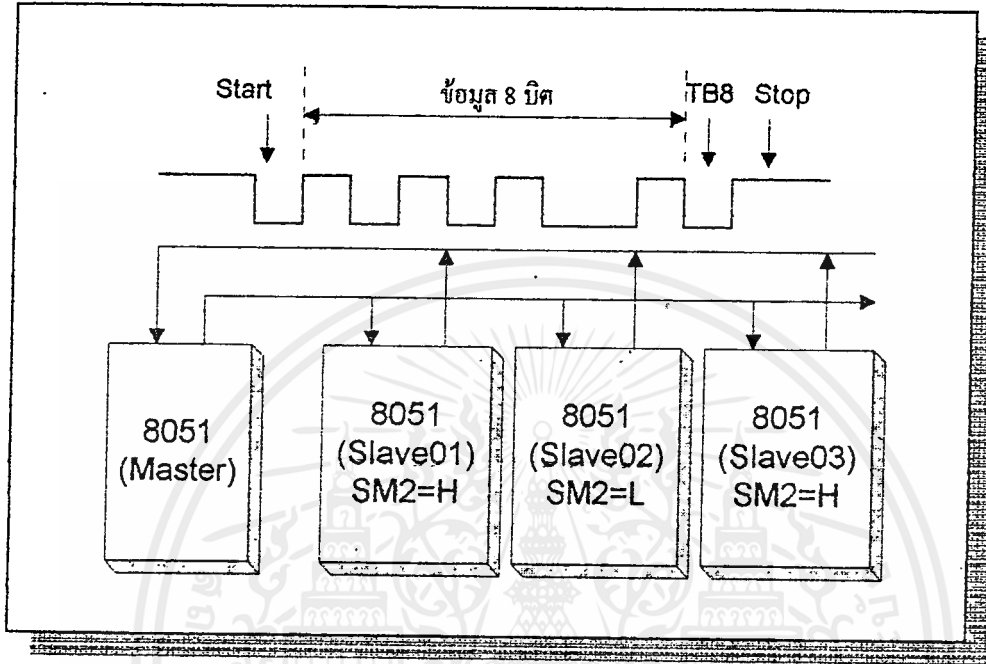
เราจะพิจารณาการเชื่อมต่อในลักษณะฟูลดูเพล็กซ์ โดยมี 8051 ตัวหนึ่งซึ่งทำหน้าที่เป็นไมโครคอนโทรลเลอร์หลักของระบบ ซึ่งเรียกว่า มาสเตอร์ (Master) และตัวอื่น ๆ ที่เหลือในระบบเป็นตัวที่ถูกติดต่อจากมาสเตอร์ เรียกว่า สเลฟ (Slave) โดยมีจุดประสงค์ของการสื่อสารเพื่อเก็บข้อมูลจากสเลฟแต่ละตัว เป็นตามลำดับไป ในช่วงเริ่ม 8051 ทุกตัวจะถูกกำหนดให้ทำงานอยู่ในโหมดเดียวกัน (โหมด 2 หรือ โหมด 3) โปรแกรมส่วนของสเลฟจะต้องทำการกำหนดค่า 1 ให้กับบิต SM2 เพื่อที่ว่าโปรแกรมจะถูกอินเตอร์รัปต์ก็ต่อเมื่อมีข้อมูลที่เป็นแอดแตรสเข้ามาเท่านั้น ดังนั้นในการรับ / ส่งข้อมูลปกติจะไม่ทำให้เกิดการอินเตอร์รัปต์ 8051 ที่ทำหน้าที่เป็นสเลฟเลย

การถ่ายโอนข้อมูลระหว่างมาสเตอร์และสเลฟ เริ่มต้นโดยการส่งข้อมูลค่าของแอดแตรสที่ต้องการติดต่อออกไปเป็นลำดับแรก (ต้องกำหนดค่าบิต TB8 เป็น 1) ดังแสดงในรูปที่ 2 - 10



รูปที่ 2.10 การส่งข้อมูลแอดเดรสสำหรับการติดต่อกับสเลฟหมายเลข 02H

สเลฟทุกตัวที่ทำหน้าที่เป็นผู้รับจะถูกทำการอินเทอร์รัปต์ เนื่องจากได้มีการกำหนดบิต SM2 ให้มีค่าเป็น 1 การดำเนินการภายในโปรแกรมจะต้องนำค่าภายใน รีจิสเตอร์ SBUF มาเปรียบเทียบกับหมายเลขแอดเดรสของตนเอง ซึ่งได้กำหนดไว้ก่อนล่วงหน้าแล้ว ปากสเลฟตัวใดมีค่าแอดเดรสตรงกันก็จะต้องทำการกำหนดบิต SM2 ให้มีค่าเป็น 0 กระบวนการภายหลังจากนี้ต่อไปจะเป็นการส่งข้อมูลปกติ ซึ่งจะมีผลให้เกิดการอินเทอร์รัปต์เฉพาะกับสเลฟที่มีค่าบิต SM2 เป็น 0 เท่านั้น ดังแสดงในรูปที่ 2.11



รูปที่ 2.11 การรับส่งข้อมูลระหว่างสเลฟหมายเลข 02H กับ มาสเตอร์โดยไม่มีผลให้เกิดการอินเตอร์รัปต์กับสเลฟหมายเลขอื่น ๆ ภายในระบบ

โดยปกติการสิ้นสุดของข้อมูลสามารถทำได้หลายลักษณะตามที่ได้ตกลงกันไว้ล่วงหน้า เช่น อาจเป็นการส่งรหัส ETX (End to Text) หรือเครื่องหมาย S เป็นต้น ซึ่งเมื่อสเลฟพบค่าของข้อมูลดังกล่าวแล้วจึงจะทำการกำหนดคิพของ SM2 ให้กลับค่าเป็นค่า 1 ตามปกติเพื่อรอการติดต่อในรอบใหม่ต่อไป



บทที่ 3

หลักการออกแบบโครงสร้าง

หลักการออกแบบเริ่มจากการศึกษา โครงสร้าง การทำงานในส่วนขาของมนุษย์ โดยศึกษากายวิภาค ตั้งแต่โครงสร้างของกระดูกการเคลื่อนที่ในมิติต่าง ๆ จนถึงการทำงานของกล้ามเนื้อซึ่งเป็นส่วนของต้นกำเนิดในการเคลื่อนที่ โดยเน้นในส่วนของการเคลื่อนที่แบบ 2 มิติ ในแนวการเคลื่อนที่ในระนาบ XY ซึ่งครอบคลุมการเคลื่อนที่ของขาในโครงงานนี้ โดยสามารถแบ่งเป็นหัวข้อในการศึกษาได้ดังนี้

3.1 การออกแบบโครงสร้างโดยรวม

การออกแบบโครงสร้างในโครงงานนี้มีขอบเขตการทำงานในลักษณะ 2 มิติ คือ ไม่มีระบบการทรงตัวในแนวตั้งฉากกับการเคลื่อนที่ โครงสร้างของขามีตั้งแต่ส่วนเท้าไปจนถึงเอว โดยมีหลักการที่ว่าจุดรวมของน้ำหนักต้องอยู่บนกึ่งกลางของเท้าหลักเสมอเพื่อง่ายต่อการควบคุมและการทรงตัว โดยการออกแบบพยายามรวมน้ำหนักไว้ ณ กึ่งกลางของชุดขา กล มอเตอร์และวงจรส่วนใหญ่จะอยู่บนแผ่นโลหะเหนื่อส่วนเอว การส่งกำลังไปยังข้อต่อต่างๆ ใช้การส่งกำลังด้วยระบบโซ่เป็นหลัก น้ำหนักส่วนใหญ่จึงอยู่ ณ กึ่งกลางของชุดขา กล การควบคุมข้อต่อจะใช้มอเตอร์หนึ่งตัวต่อข้อต่อหนึ่งชุด โดยจะไม่มี การควบคุมที่ข้อเท้าทั้งสองเนื่องจากการควบคุมที่ข้อเท้าต้องใช้มอเตอร์ที่มีกำลังสูง การออกแบบจึงออกแบบให้ใช้การถ่ายน้ำหนักช่วยในการทรงตัว แทนการบังคับที่ข้อเท้า ลักษณะโครงสร้างโดยรวมคร่าว ๆ แสดง ได้ดังรูปที่ 3.1

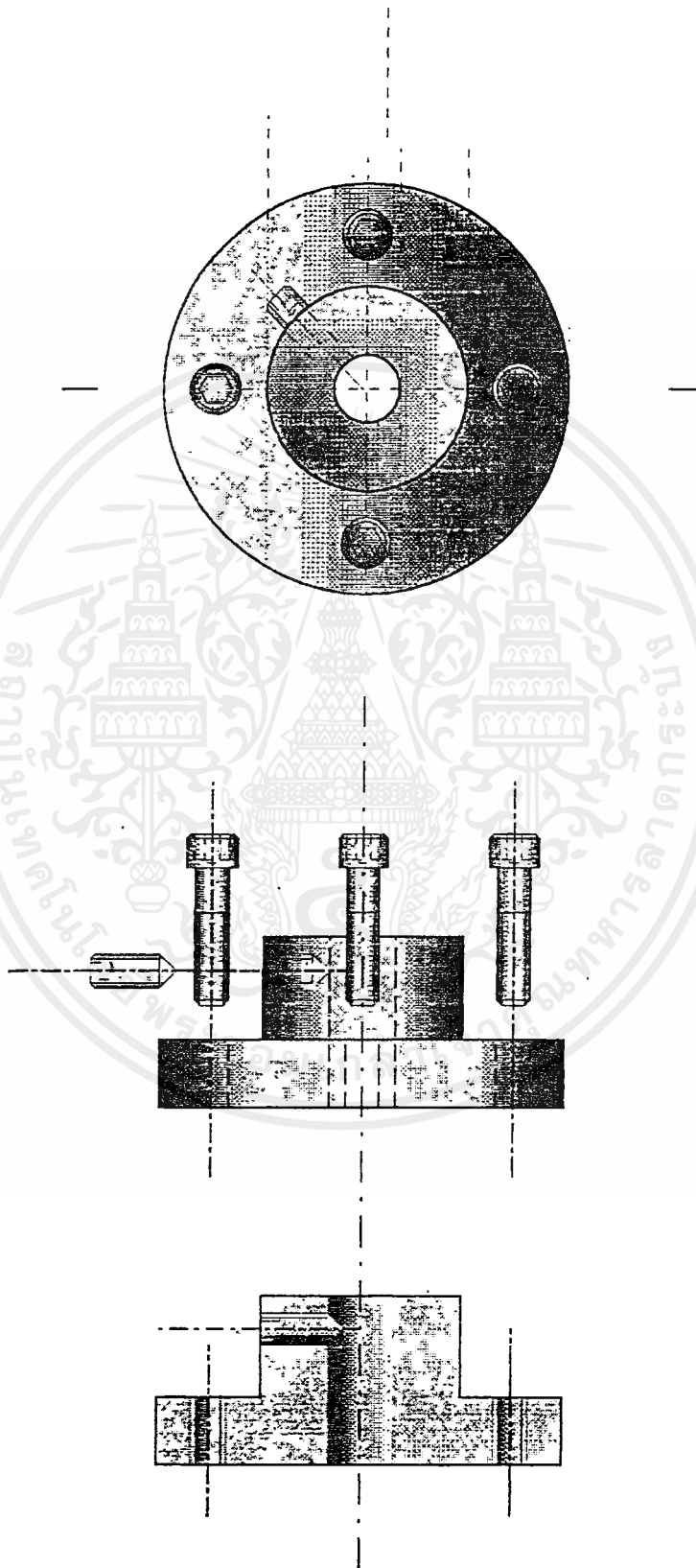


รูปที่ 3.1 แสดงโครงสร้างคร่าว ๆ ของชุดขาถล

3.2 รายละเอียดอุปกรณ์

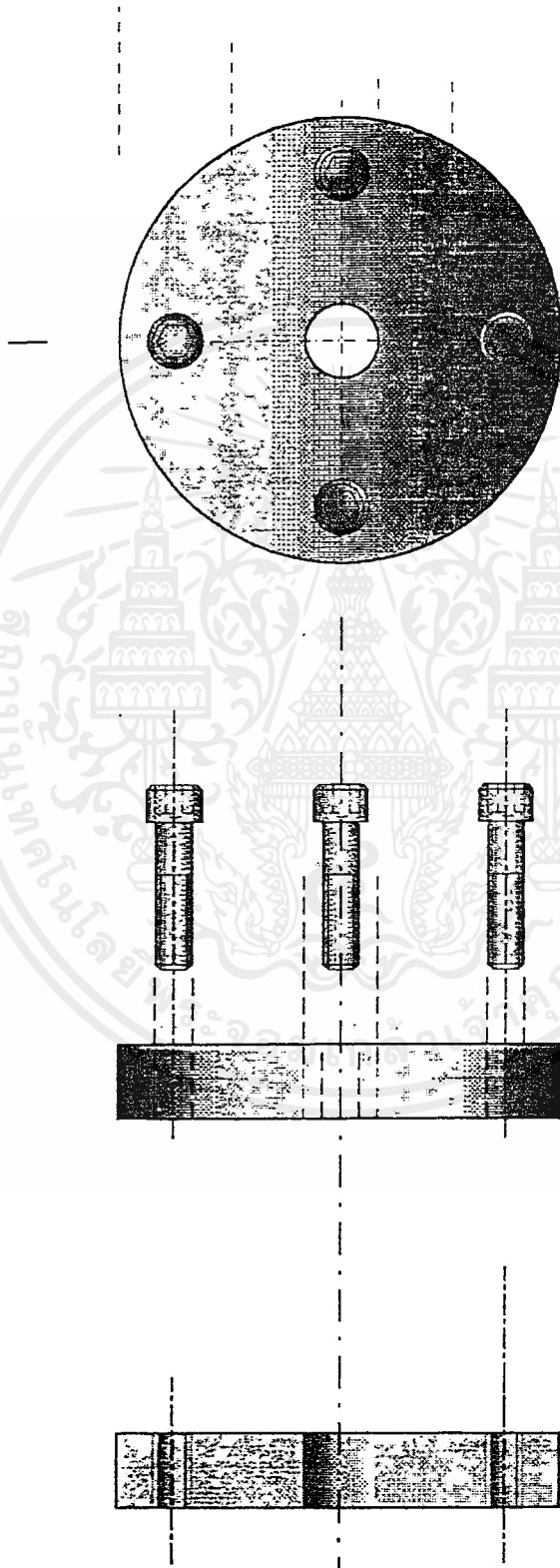
รายละเอียดอุปกรณ์ การออกแบบอุปกรณ์ชิ้นส่วนต่าง ๆ ที่ใช้ในโครงงานนี้ส่วนใหญ่จะประกอบไปด้วยอุปกรณ์ซึ่งสร้างจากวัสดุประเภทโลหะ เช่น เหล็กและอลูมิเนียม เนื่องจากมีความแข็งแรง สามารถรับแรงได้เป็นอย่างดี เนื่องจากในโครงงานนี้เป็นชุดต้นแบบซึ่งสร้างเพื่อศึกษาโครงสร้างและการทำงาน จึงมีความจำเป็นที่จะต้องออกแบบให้มีความคงทนสูง อย่างไรก็ตาม อุปกรณ์ซึ่งสร้างจากวัสดุประเภทโลหะจะมีน้ำหนักมาก อาจจะแก้ไขอุปกรณ์เพื่อลดน้ำหนักได้ในอนาคต รายละเอียดอุปกรณ์ที่สำคัญแสดงดังรูปที่ 3.2 - 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



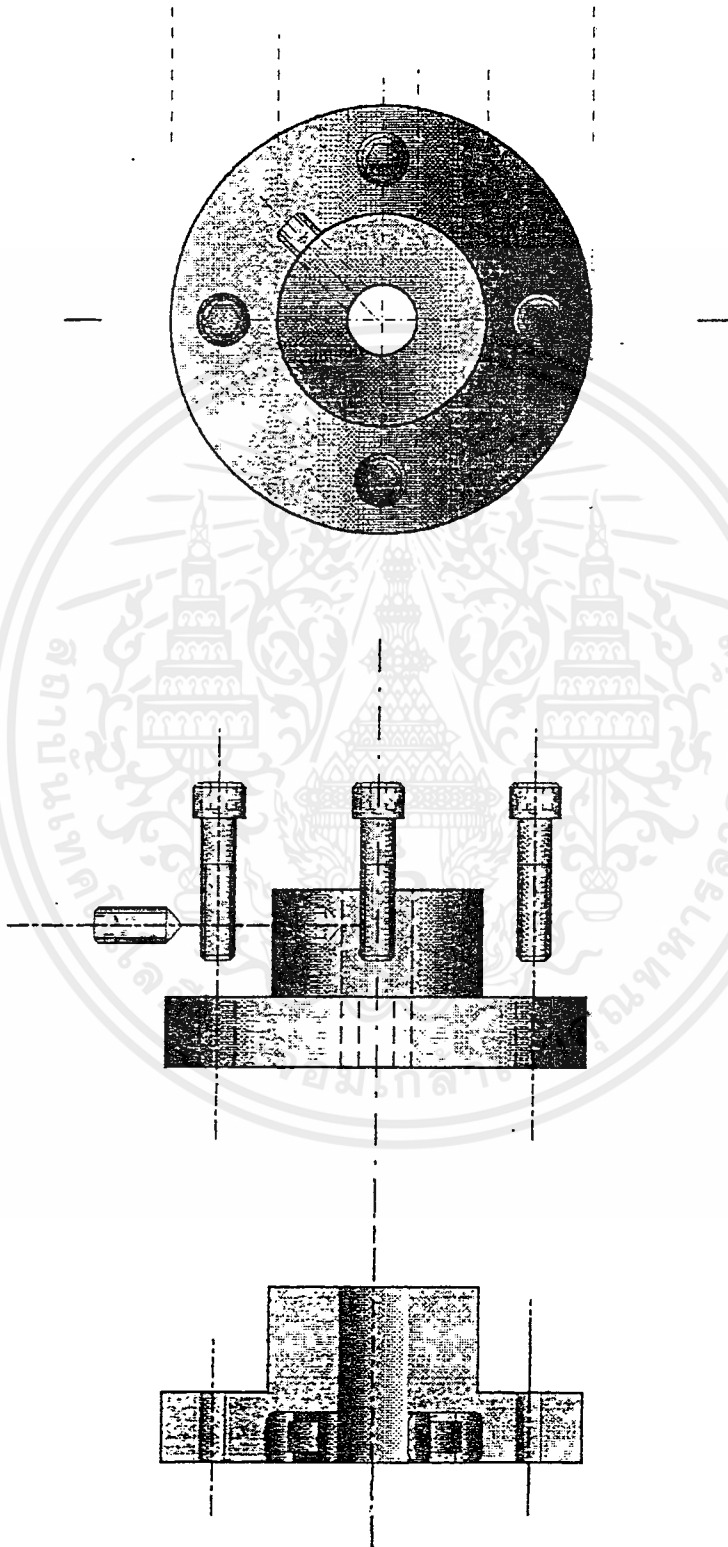
รูปที่ 3.2 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้งานในโรงงาน (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



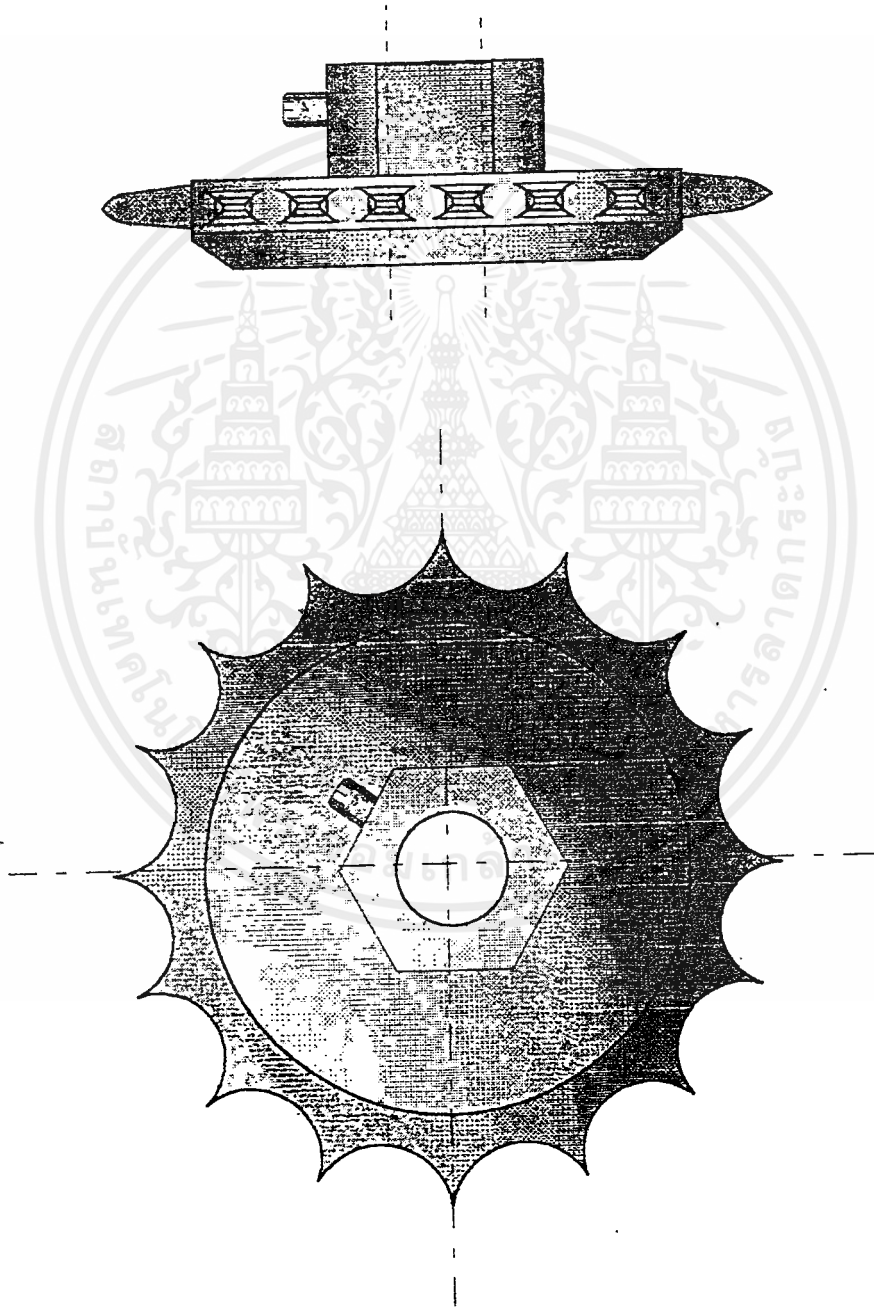
รูปที่ 3.3 แสดงรายละเอียดของอุปกรณ์ที่ใช้ในงานโครงการ (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



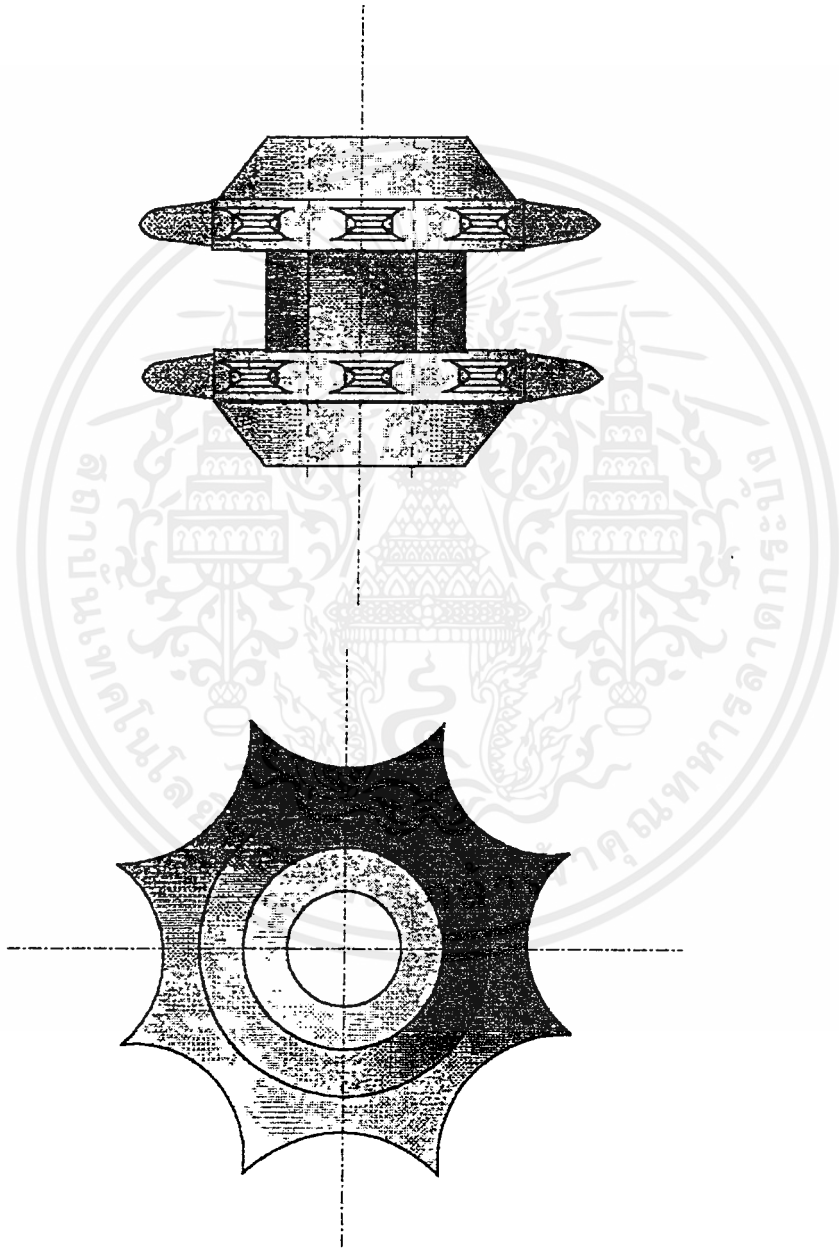
รูปที่ 3.4 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้งานในโรงงาน (3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



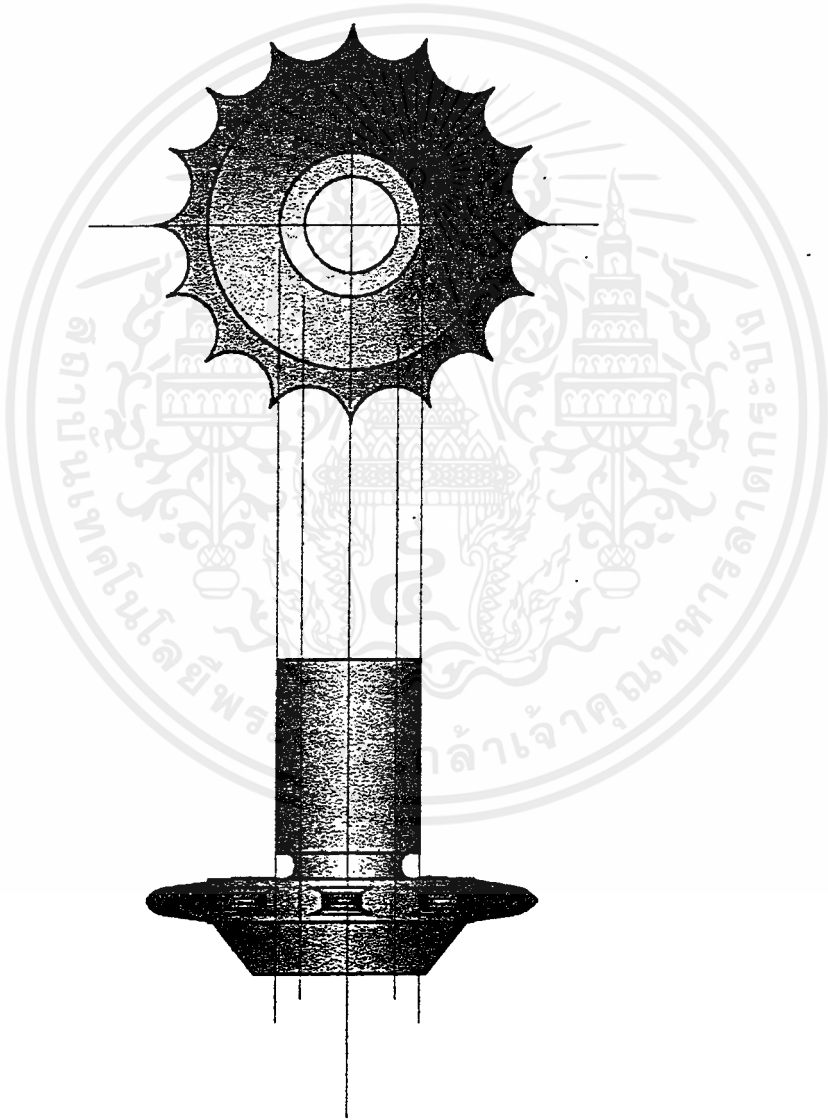
รูปที่ 3.5 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้งานในโรงงาน (4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงรายละเอียดอุปกรณ์ทางกลที่ใช้งานในโครงการงาน (5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงรายละเอียดของรูปร่างของหัวนอตที่ใช้ในงานในโครงการงาน (6)

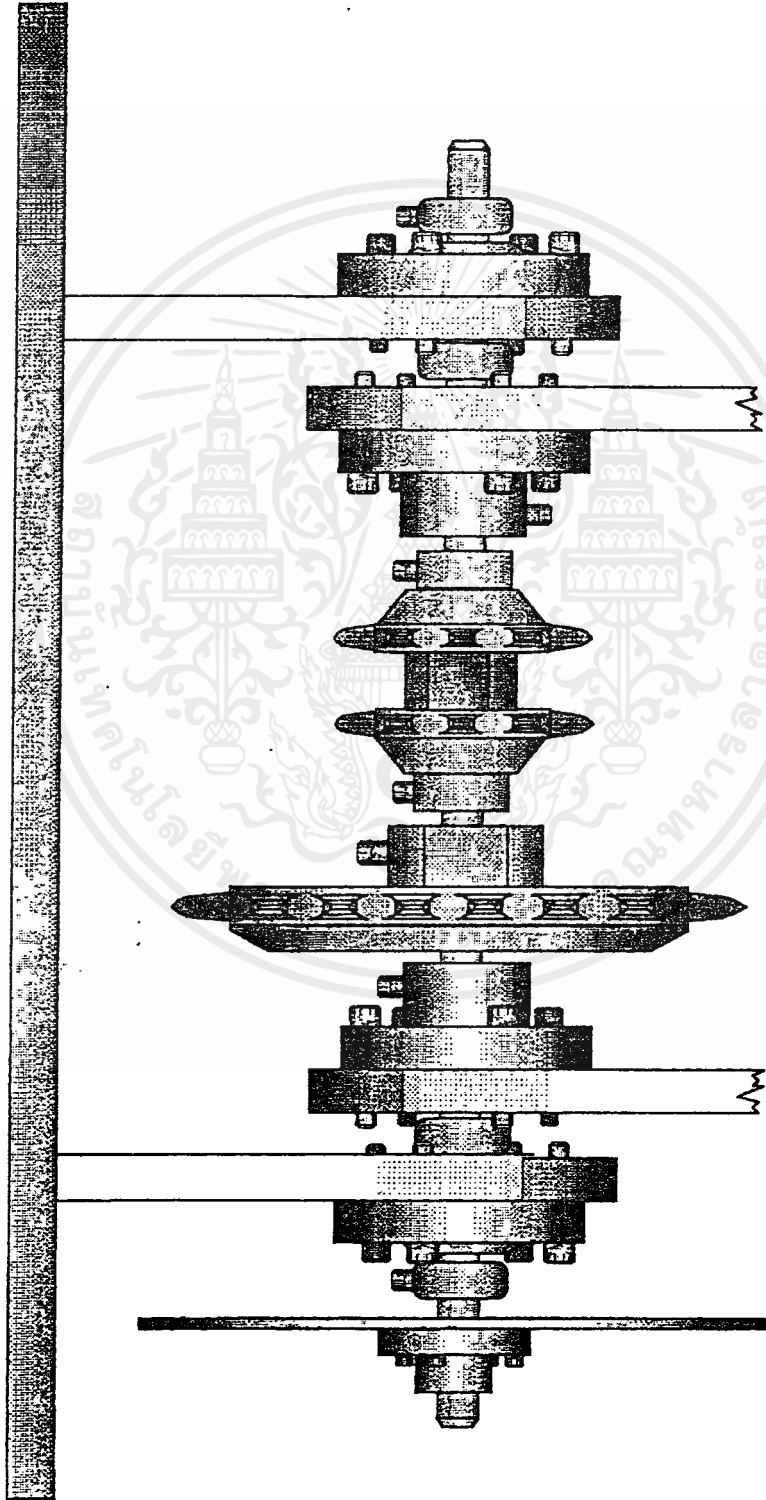
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบโครงสร้างในแต่ละส่วน

การออกแบบโครงสร้างในแต่ละส่วนออกแบบขึ้นมาจากลักษณะของข้อต่อในร่างกายมนุษย์ ซึ่งได้มาจากการศึกษาการทำงานและลักษณะข้อต่อคั่งที่ได้กล่าวมาแล้วในบทที่ 2 เราสามารถออกแบบข้อต่อต่าง ๆ โดยแยกตามชนิดของข้อต่อดังนี้ คือ

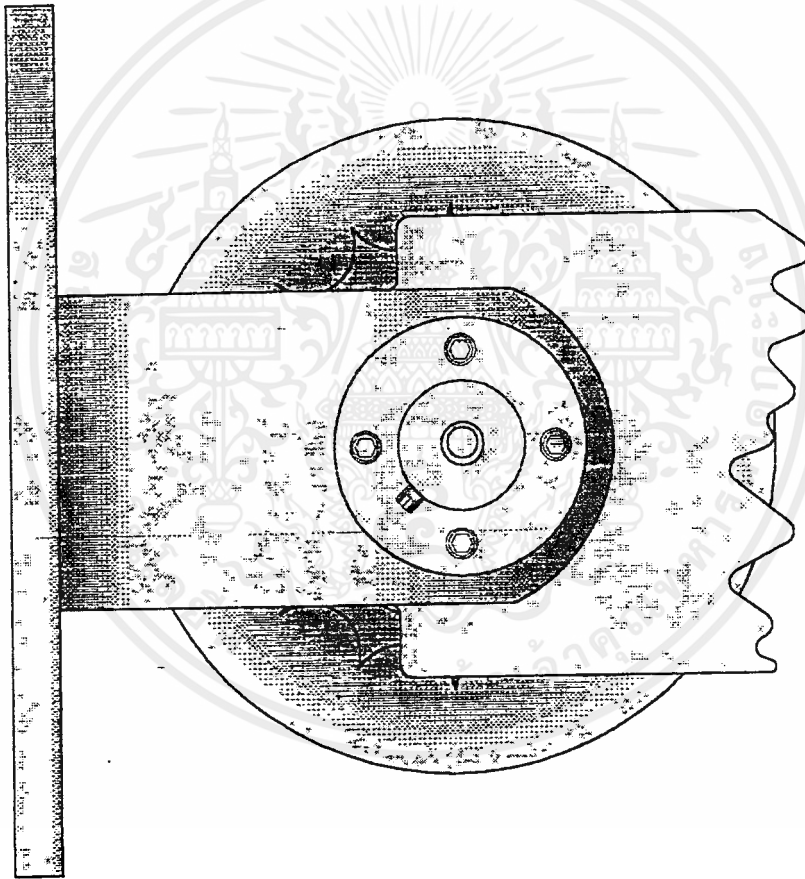
3.3.1 ข้อต่อบริเวณต้นขา แสดงดังรูปที่ 3.8 - 3.9





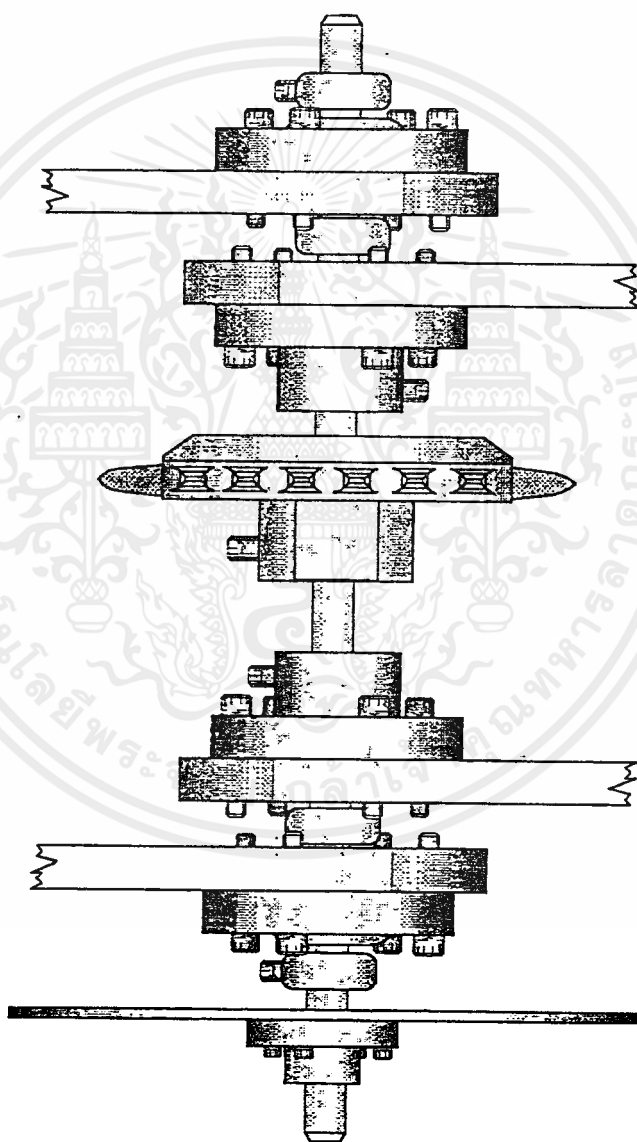
รูปที่ 3.8 แสดงข้อต่อบริเวณต้นขา (ด้านหน้า)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

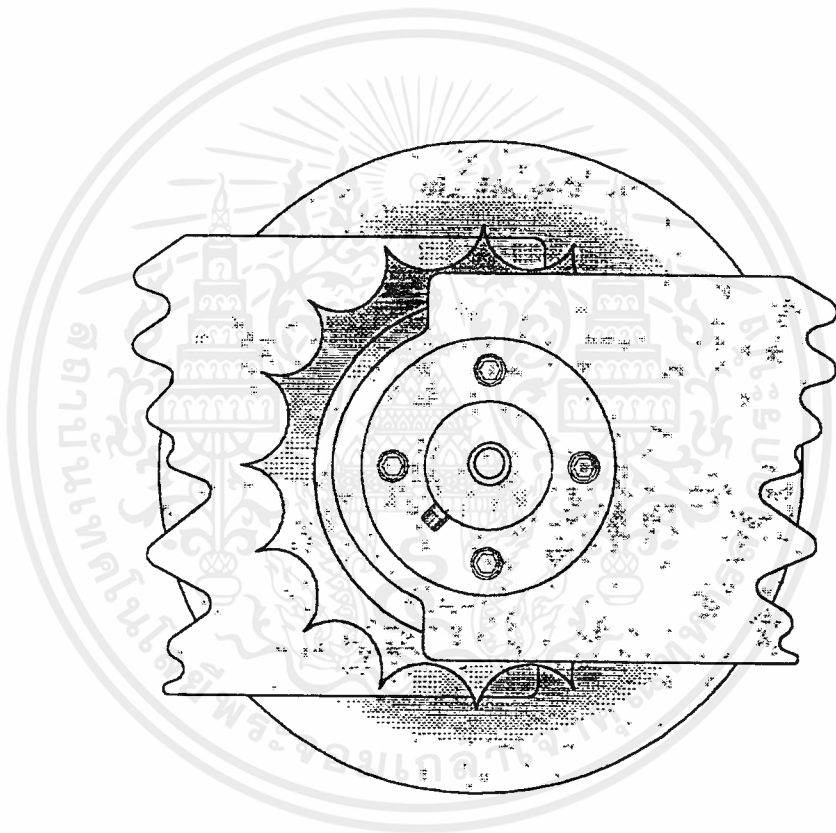


รูปที่ 3.9 แสดงข้อต่อบริเวณคันทง (ด้านข้าง)

3.3.2 ข้อต่อบริเวณหัวเข้าแสดงดังรูปที่ 3.10 - 3.11

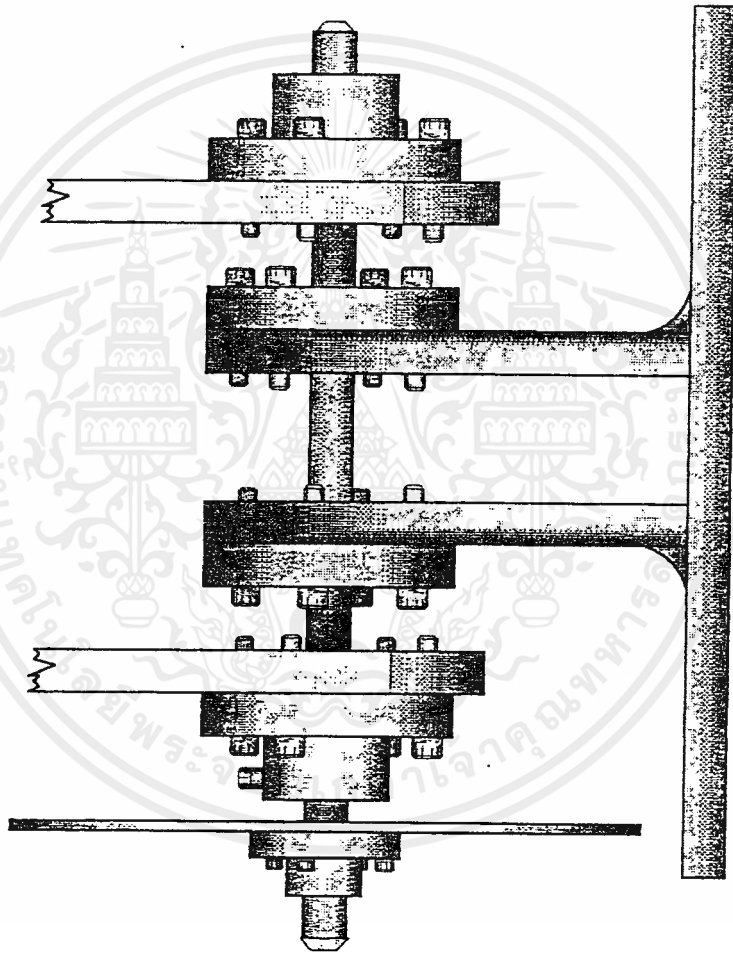


รูปที่ 3.10 แสดงข้อต่อบริเวณหัวเข้า (ด้านหน้า)

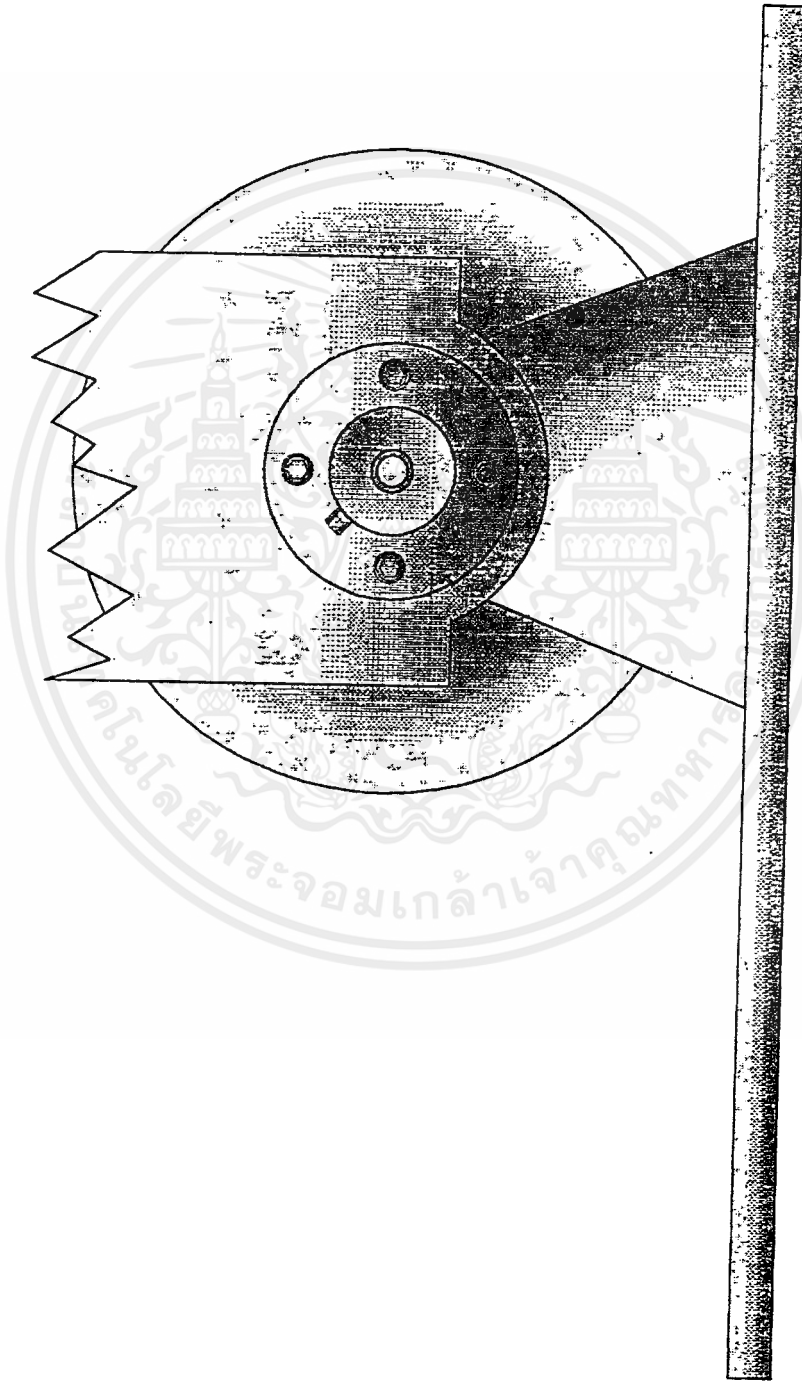


3.11 แสดงข้อต่อบริเวณหัวเกา (ด้านข้าง)

3.3.3 ข้อต่อบริเวณข้อเท้าแสดงคังรูปที่ 3.12 - 3.13

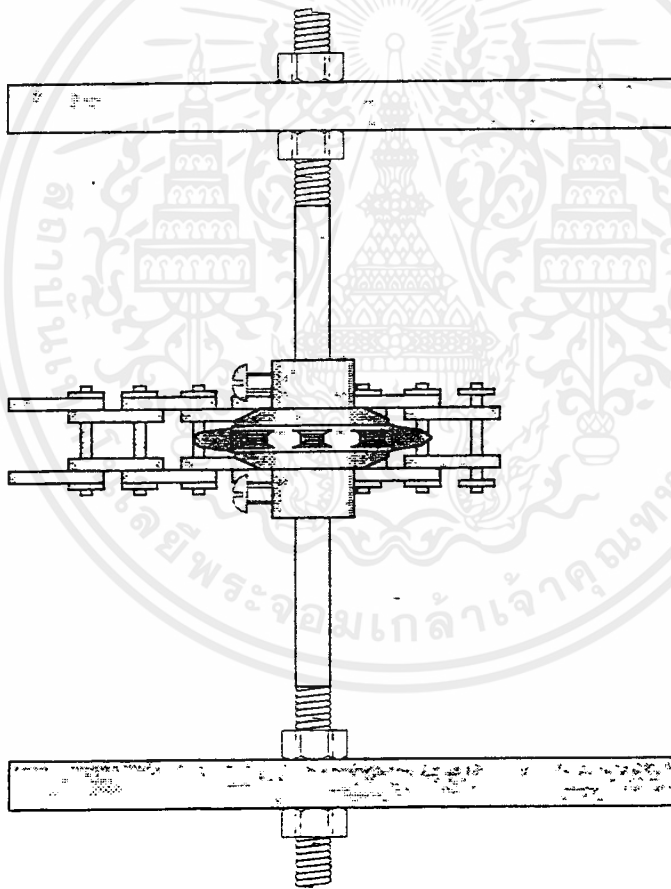


รูปที่ 3.12 แสดงภาพข้อต่อบริเวณข้อเท้า(ด้านหน้า)

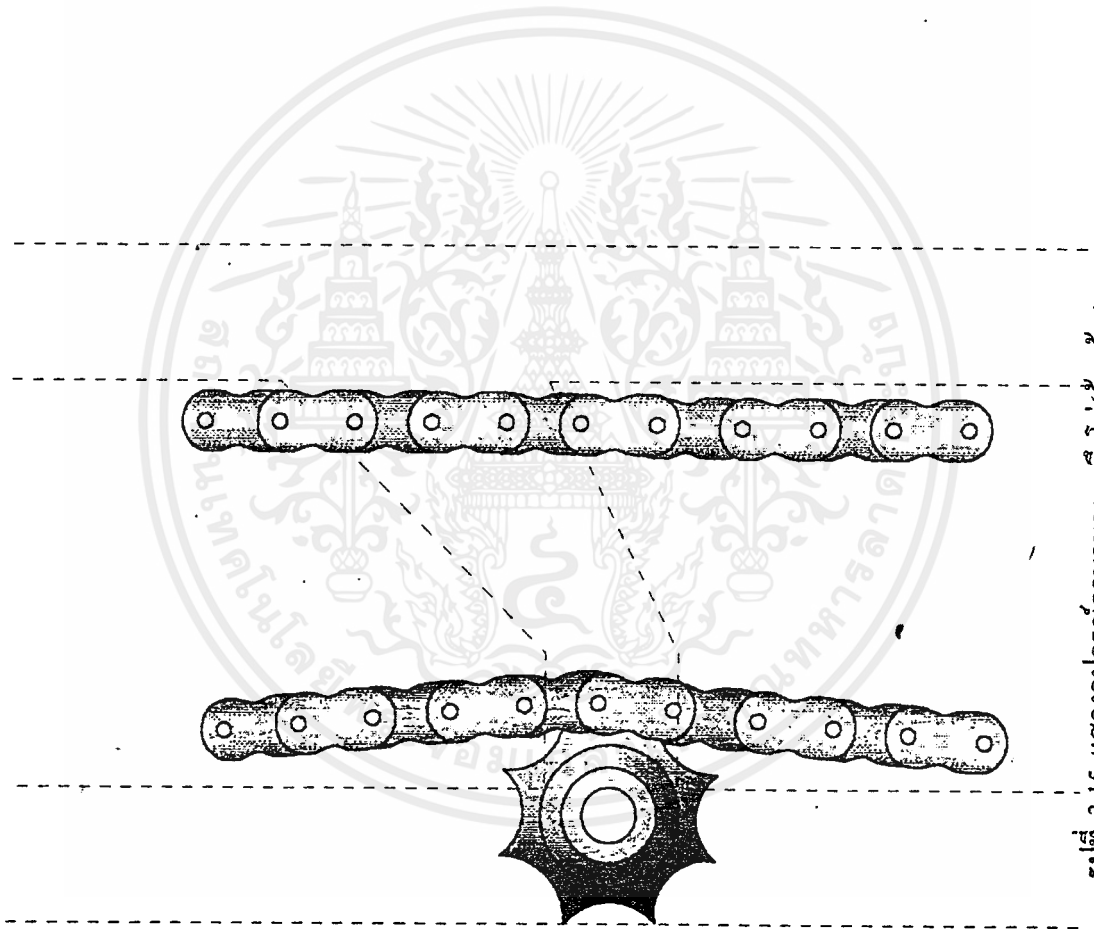


รูปที่ 3.13 แสดงภาพข้อต่อบริเวณข้อเท้า (ด้านข้าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

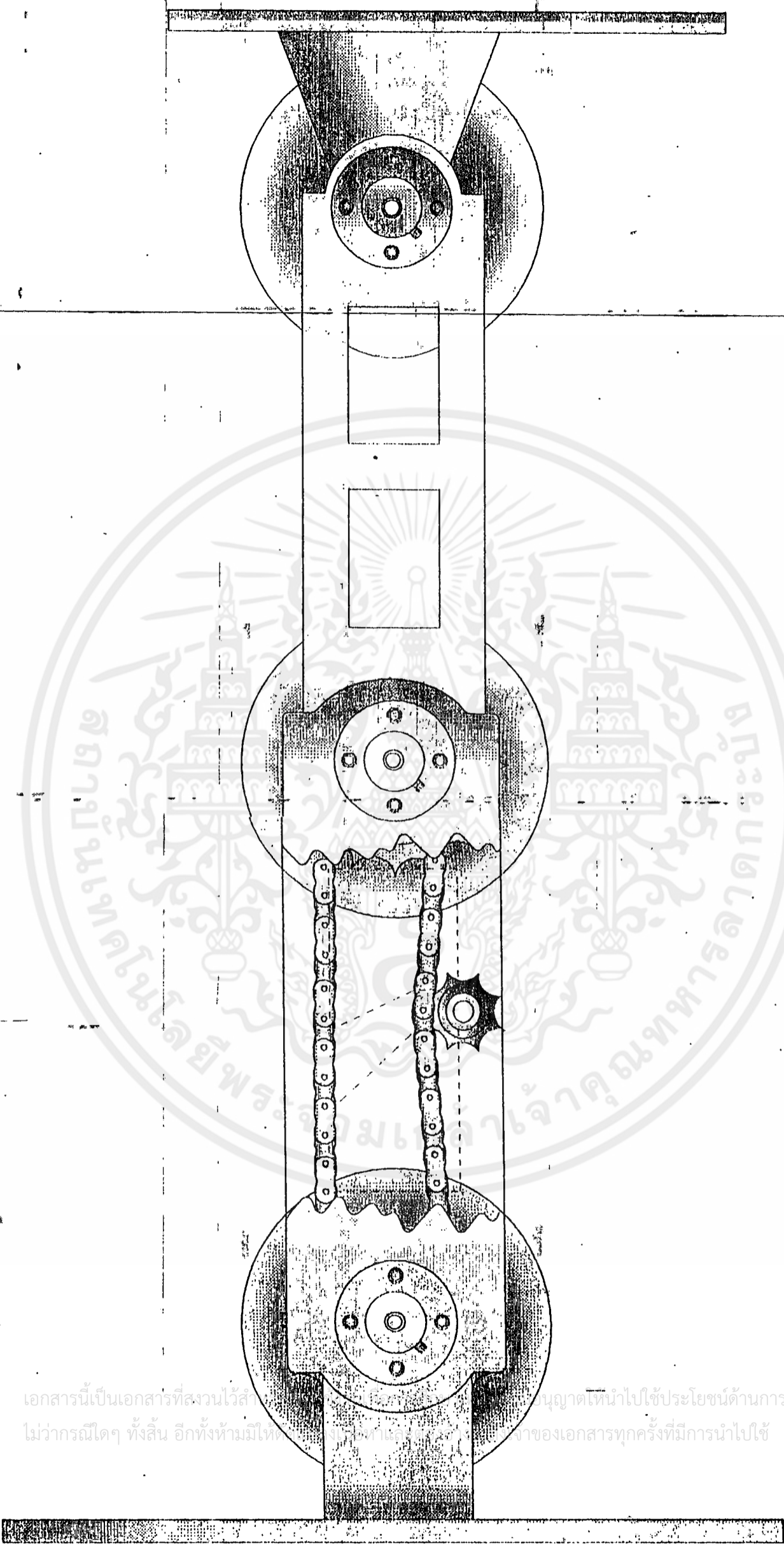


รูปที่ 3.14 แสดงอุปกรณ์ควบคุมความตึงโซ่ (ด้านหน้า)



รูปที่ 3.15 แสดงอุปกรณ์ควบคุมความตึง โซ่(ด้านข้าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้... ของเอกสารทุกครั้งที่มีการนำไปใช้

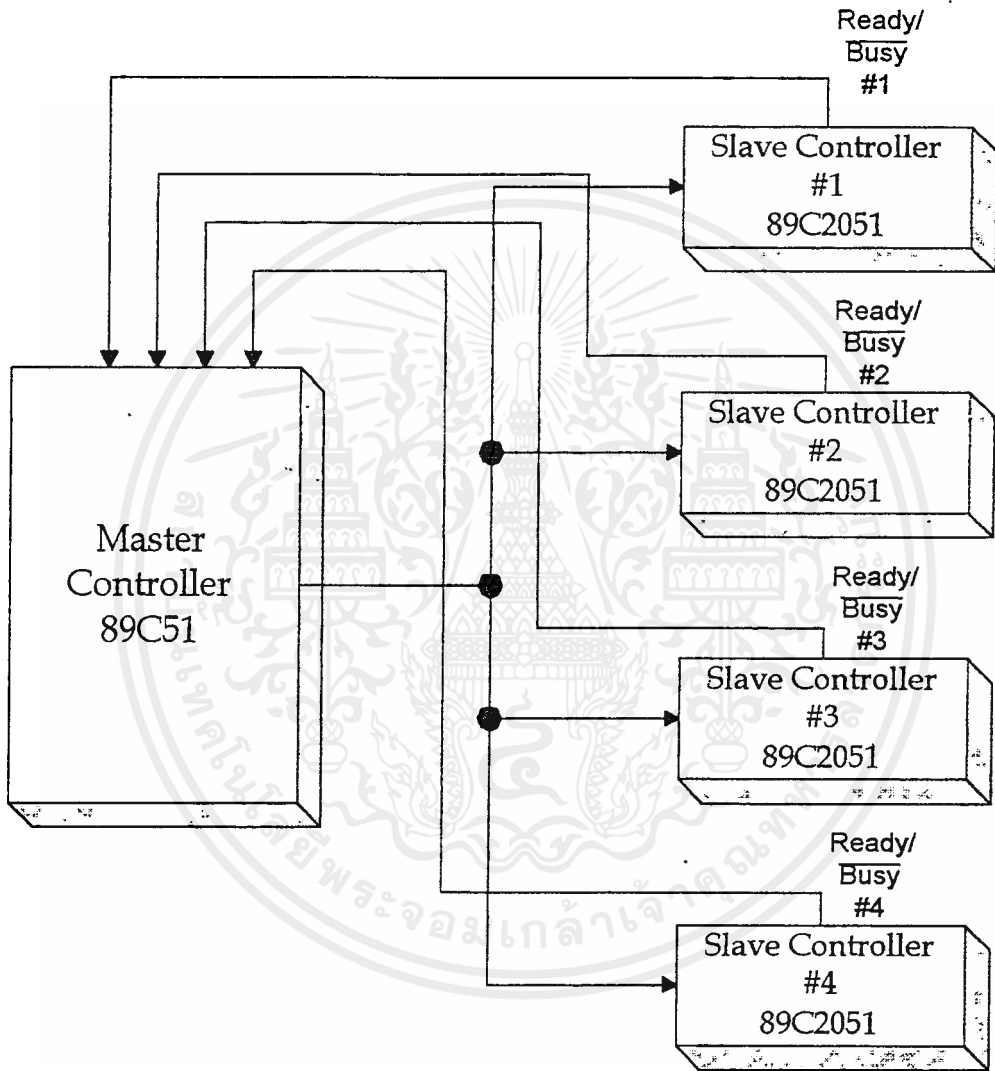
บทที่ 4

หลักการออกแบบทางด้านวงจร

4.1 วงจรไมโครคอนโทรลเลอร์

ในโครงการชุดนี้ ต้องมีการนำไมโครคอนโทรลเลอร์มาใช้ในการควบคุมส่วนการทำงานต่าง ๆ โดยไมโครคอนโทรลเลอร์ทั้งหมดต้องมีการทำงานที่สัมพันธ์กัน เพื่อให้การควบคุมเป็นไปได้อย่างมีประสิทธิภาพ โดยมีการแบ่งหน้าที่การทำงาน ดังนี้

- ไมโครคอนโทรลเลอร์หมายเลข 1 (Slave 1) ทำหน้าที่ในการควบคุม Motor ซึ่งทำหน้าที่ควบคุมการเคลื่อนที่ของท่อนขาท่อนบนด้านซ้าย
- ไมโครคอนโทรลเลอร์หมายเลข 2 (Slave 2) ทำหน้าที่ในการควบคุม Motor ซึ่งทำหน้าที่ควบคุมการเคลื่อนที่ของท่อนขาท่อนบนด้านขวา
- ไมโครคอนโทรลเลอร์หมายเลข 3 (Slave 3) ทำหน้าที่ในการควบคุม Motor ซึ่งทำหน้าที่ควบคุมการเคลื่อนที่ของท่อนขาท่อนล่างด้านซ้าย
- ไมโครคอนโทรลเลอร์หมายเลข 4 (Slave 4) ทำหน้าที่ในการควบคุม Motor ซึ่งทำหน้าที่ควบคุมการเคลื่อนที่ของท่อนขาท่อนล่างด้านขวา
- ไมโครคอนโทรลเลอร์หมายเลข 5 (Master) ทำหน้าที่ในการควบคุมและตรวจสอบ สถานะการทำงานของ ไมโครคอนโทรลเลอร์ หมายเลข 1 - 4 ให้สัมพันธ์กัน นอกจากนี้ยังทำหน้าที่ในการตรวจสอบสถานะการเคลื่อนที่ของชุดขากลโดยผ่าน Sensor 1 ที่เท้าซ้าย และ Sensor 2 ที่เท้าขวา (เป็น Opto encoder) ซึ่งจะทำให้ Master ทราบถึงตำแหน่งมุมของข้อเท้าทั้งสองข้าง และ SW1 กับ SW2 ซึ่งติดอยู่ที่เท้าทั้งสองข้างเพื่อให้ทราบสถานะของฝ่าเท้าว่าสัมผัสพื้นอยู่หรือไม่ จากนั้น จะทำการประมวลผลเพื่อ ควบคุมให้ Motor 1 - 4 บังคับข้อต่อส่วนต่าง ๆ ตามที่ต้องการ โดยผ่าน Slave 1 - 4

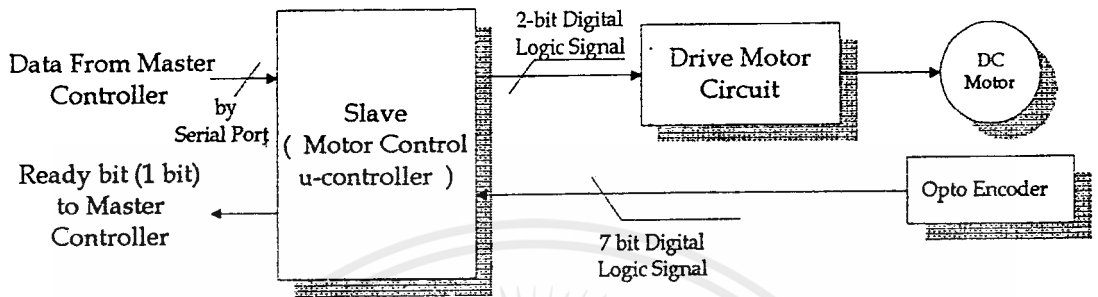


รูปที่ 4.1 บล็อกไดอะแกรมแสดงการทำงานร่วมกันใน Mode Multiprocessor ของ Master และ Slave Controller

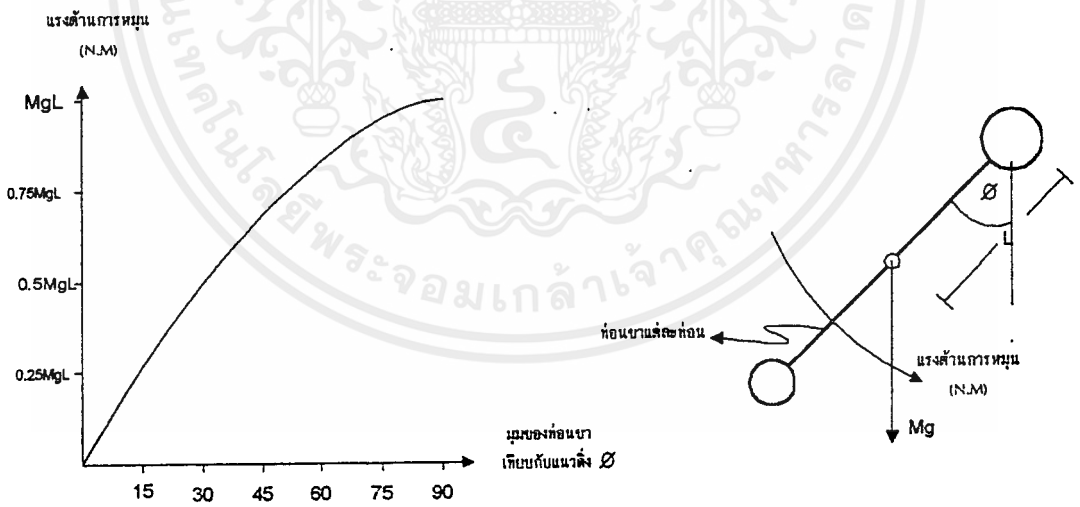
โดยมีรายละเอียดในการออกแบบไมโครคอนโทรลเลอร์ทั้ง 5 ตัว ดังต่อไปนี้

4.1.1 ไมโครคอนโทรลเลอร์หมายเลข 1 - 4 (Slave Controller)

ลักษณะการทำงาน : ทำหน้าที่ควบคุมมอเตอร์ 1 - 4 ตามหมายเลข โดยไมโครคอนโทรลเลอร์ 1 ตัว ควบคุมมอเตอร์ 1 ตัว ในรูปแบบการควบคุมแบบปิด (Closed Loop Control) ตามบล็อกไดอะแกรม ดังรูปที่ 4.2 โดยมี Feed Back บวกตำแหน่งของมอเตอร์ ด้วยวงจร Opto Encoder ซึ่งจะแปลงรหัสสัญญาณทางแสงที่ได้จาก เกรตติง เป็นสัญญาณ Digital Logic เข้าสู่ไมโครคอนโทรลเลอร์ เพื่อทำการตรวจสอบตำแหน่งที่ต้องการให้มอเตอร์เคลื่อนที่ไป กับค่าที่มอเตอร์เคลื่อนที่ไปจริง แล้วส่งสัญญาณชดเชยออกมาเพื่อบังคับให้ มอเตอร์เคลื่อนไปยังตำแหน่งที่ต้องการอย่างถูกต้อง เนื่องจากการเคลื่อนที่ของท่อนขาในแต่ละช่วงจะเกิดแรงต้านต่างกันมาก โดยในตำแหน่งที่ท่อนขาตั้งฉากกับพื้นโลกจะไม่มีแรงต้านเลย และแรงต้านจะค่อย ๆ เพิ่มขึ้นตามในลักษณะของกราฟรูป Sine จนถึงตำแหน่งที่ท่อนขานานกับแนวพื้นโลก จะมีแรงต้านสูงสุด ดังรูปที่ 4.3 การทำงานจะรับคำสั่งจาก Master Controller ผ่านทาง Serial Port ใน MultiProcessor Mode โดย Slave Controller ทั้ง 4 ตัว จะต่ออยู่บนสายสัญญาณจาก Master Controller ร่วมกัน ซึ่งแต่ละตัวจะสามารถทราบค่าของมูลติไคเป็นของตัวเอง ได้จากหมายเลขประจำตัว ซึ่งจะถูกส่งออกมาก่อนข้อมูลของตัวนั้น ๆ



รูปที่ 4.2 แสดงการทำงานแบบ Closed Loop ของ Slave Controller



รูปที่ 4.3 แสดงกราฟลักษณะการรับภาระทางกลของท่อนขา

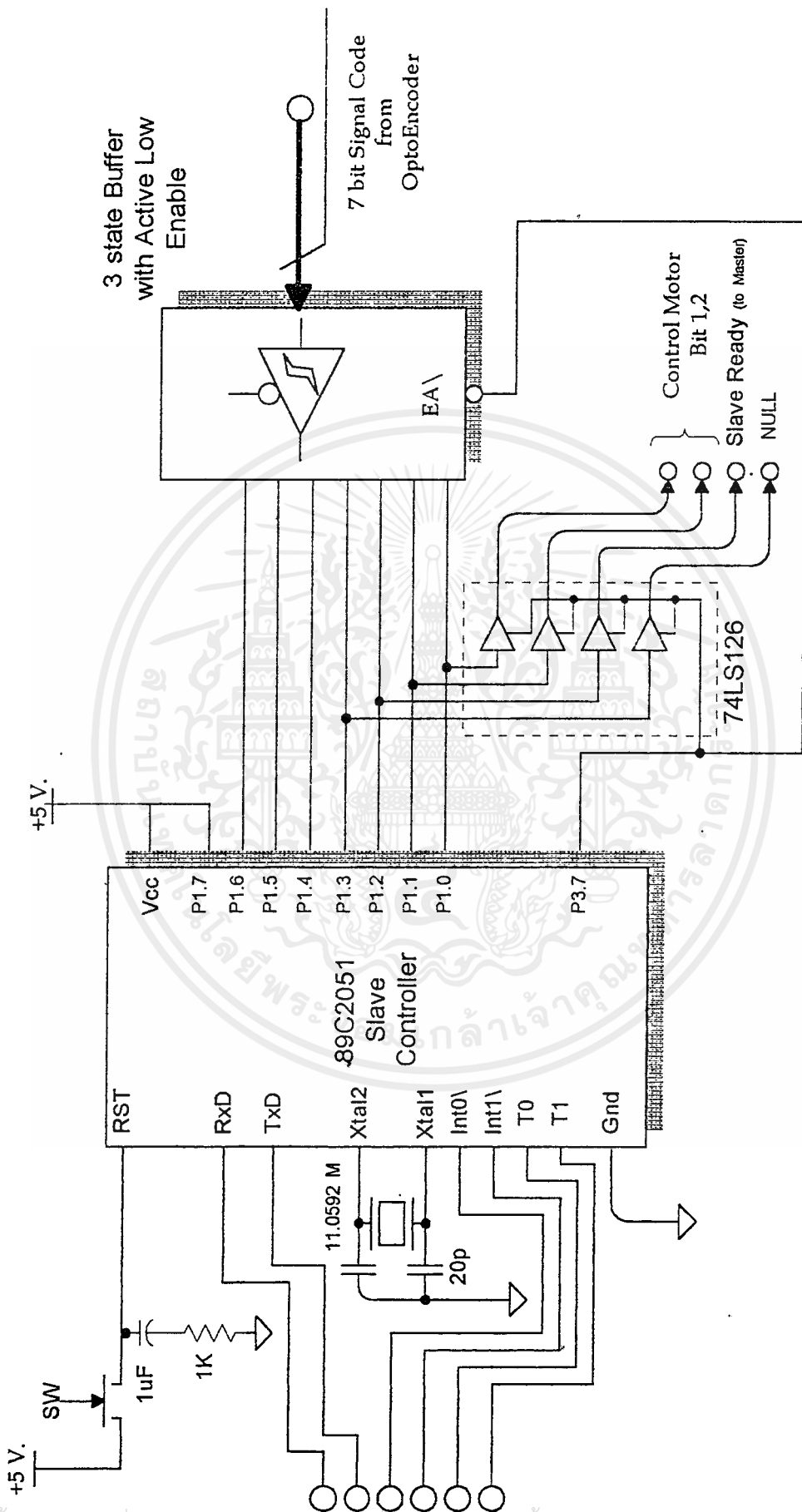
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของController : AT 89C2051 8 - Bit Microcontroller with 2 Kbytes Flash เป็นไมโครคอนโทรลเลอร์ในตระกูล 8051 ซึ่งมี Flash Ram ภายในจำนวน 2 Kbytes ซึ่งเป็น Ics ขนาด 20 ขา มี สัญญาณ Input - output จำนวน 15 เส้น (port 1 จำนวน 8 เส้น และ port 3 จำนวน 7 เส้น)

สัญญาณอินพุท : สัญญาณข้อมูลทางพอร์ทอนุกรมจำนวน 1 เส้น จาก Master Controller (Simplex) และสัญญาณดิจิทัลจำนวน 7 bit จาก วงจร opto encoder ซึ่งเป็นสัญญาณ Feedback เพื่อใช้ในการควบคุมมอเตอร์

สัญญาณเอาต์พุท : สัญญาณดิจิทัล 2 - Bit ไปยัง วงจร Drive Motor โดยประกอบไปด้วยสายสัญญาณเลือกทิศทางการหมุน ของ Motor และ สายสัญญาณ หมุนและหยุด Motor และสายสัญญาณดิจิทัล 1-Bit สำหรับแจ้งให้ทราบว่า Slave Controller พร้อมที่จะรับคำสั่งอยู่หรือไม่ ?

การออกแบบวงจร : Slave Microcontroller จะอยู่บนบอร์ดที่เรียกว่า Slave Board 1 -4 จำนวน 4 บอร์ด ๆ ละ 1 ชุด ใช้ Crystal ความถี่ 11.059 MHz ในส่วนของวงจรเนื่องจากว่า 89C2051 มีพอร์ท I/p และ O/p น้อยกว่าที่ต้องการ จึงต้องมีการขยายพอร์ท โดยใช้ ICs 74LS126 Quad 3 state Buffer และ ICs Octal 3 state Bus Driver เพื่อใช้เป็น Input Buffer และ Output Buffer โดยใช้ขา สัญญาณ P3.7 ของ 89C2051 เป็นขาสัญญาณที่ใช้ในการเลือกการทำงาน วงจรแสดงดังรูปที่ 4.4



รูปที่ 4.4 แสดงวงจรของ Slave Controller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมภาษา Assembly : โปรแกรมจะประกอบไปด้วยส่วนการสร้างสัญญาณ Pulse เพื่อส่งไปควบคุมมอเตอร์ ส่วนการตรวจสอบความผิดพลาด ของตำแหน่งมอเตอร์ และส่วนการติดต่อกับ Master Controller ผ่านทาง Serial Port โดยใช้อัตราการส่ง ที่ 2400 Baud Rate ซึ่งจะตั้งให้ตรงกับ Master Controller โดยส่วนการทำงานของโปรแกรมจะได้อธิบายต่อไปในส่วนของการเขียนโปรแกรม

4.1.2 ไมโครคอนโทรลเลอร์หมายเลข 5 (Master Controller)

ลักษณะการทำงาน : ทำหน้าที่ควบคุมการทำงานของ Slave controller 1 - 4 เพื่อให้ทำงานได้สัมพันธ์กัน โดยจะมีการส่งข้อมูลการทำงานของ Slave Controller แต่ละตัวผ่านทาง SerialPort ใน Multiprocessor Mode นอกจากนี้ยังต่ออยู่โดยตรงกับ Sensor ที่ข้อเท้า และ Limit Switch ที่ฝ่าเท้าทั้งสองข้าง เพื่อประมวลผลและบังคับให้ขาเคลื่อนที่ไปยังตำแหน่งที่ต้องการ

ชนิดของ Controller : AT 89C51 8 - Bit Microcontroller with 4 Kbytes Flash เป็นไมโครคอนโทรลเลอร์ในตระกูล 8051 ซึ่ง มี Flash Ram ภายในจำนวน 4 Kbytes โดยเป็น Ics ขนาด 40 ขา มีสายสัญญาณ Input - output จำนวน 32 เส้น อย่างไรก็ดี ยังคงต้องมีการขยาย พอร์ตอินพุท - เอาท์พุท โดยการใช้ Buffer หมายเลข 74LS241

สัญญาณอินพุท : สัญญาณข้อมูลจาก Opto Encoder Sensor หมายเลข 1 และ 2 (ข้อเท้าซ้ายและขวาตามลำดับ) จำนวนชุดละ 7 Bit เข้าทาง พอร์ต 0 และ พอร์ต 2 , ขาสัญญาณ Ready/Busy จาก Slave Controller ทั้ง 4 ชุด เข้าทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท P1.0 - 1.3 และสัญญาณ จาก Limit Switch 1,2 (ฝ่าเท้าซ้ายและขวา) เข้าทางพอร์ท P1.5 และ P1.6 นอกจากนี้ยังมีสัญญาณจาก Manual Controller Board ซึ่งจำเป็นต้องควบคุมการเคลื่อนที่ของชุดขากล โดยรับคำสั่งจากมนุษย์ใน Manual Mode เข้าทางPort 2 โดยผ่านชุด Buffer ซึ่งจะสามารถเลือกได้ว่าจะเลือกรับข้อมูลจาก Opto Encoder Sensor หรือ Manual Control Board โดย ใช้การเลือก Buffer Enable ด้วยขาสัญญาณ P1.7

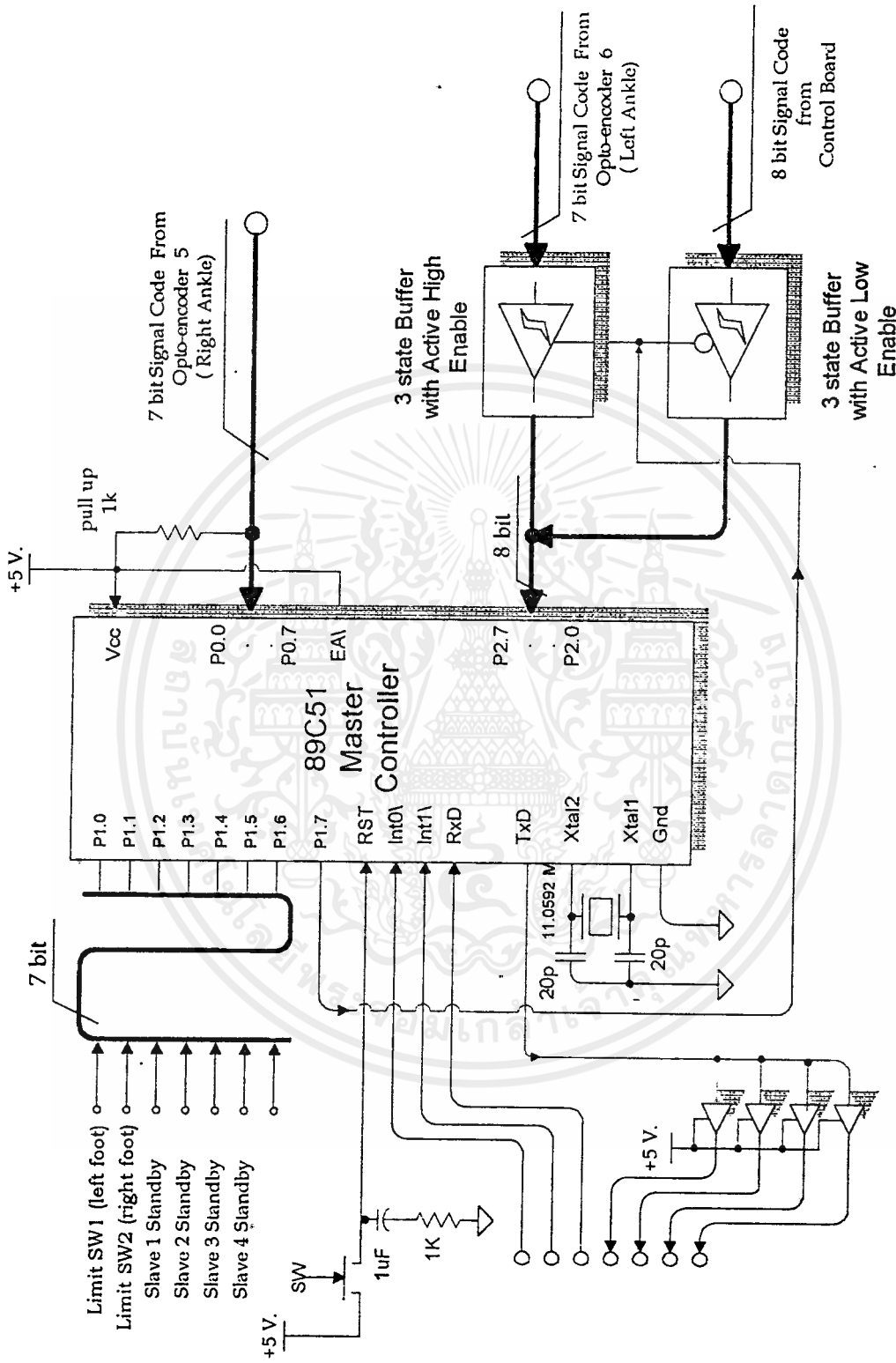
สัญญาณเอาต์พุต : สัญญาณ Output จาก Master Controller จะมีเพียงสายสัญญาณ TxD ซึ่งเป็นสายสัญญาณด้านส่งของ Serial Port ซึ่งส่งไปยัง Slave Controller ทั้ง 4 ชุด โดยจะเป็นสายสัญญาณร่วม โดยSlave Controller จะทำการตรวจสัญญาณ Address ว่าตรงกับของตัวเองหรือไม่ เพื่อรับข้อมูลของตัวเอง แต่เนื่องจากว่าสายสัญญาณดังกล่าว ต้องส่งไปยัง Slave Controller ถึง 4 ชุด และมีระยะทางพอสมควร จึงมีการส่งสัญญาณผ่าน Buffer หมายเลข 74LS126 Quad 3 state buffer เพื่อช่วยขับสัญญาณก่อนส่งออกไป

การออกแบบวงจร : วงจร Master Controller อยู่บน Master Board ซึ่งจะประกอบไปด้วยอุปกรณ์ต่าง ๆ ที่จำเป็น Master Controller ใช้ Crystal ขนาด 11.059 MHz Buffer สำหรับใช้เลือกสัญญาณอินพุตที่ Port 2 เลือกใช้ Ics เบอร์ 74LS241 Octal 3 State Bus Driver โดยการต่อวงจรเป็นไปดังรูปวงจรที่ 4.5

โปรแกรมภาษาAssembly : โปรแกรมจะประกอบไปด้วยส่วนการทำงานหลัก 3 ส่วน คือ

1. ส่วนการรับข้อมูลจาก Sensor ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเฉพาะเท่านั้น ไม่ควรนำออกตีพิมพ์ไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงวงจรของ Master Controller

2. ส่วนการประมวลผลข้อมูลต่าง ๆ เพื่อทำการสั่งงานให้กับ Slave Controller ทั้ง 4 ชุด
3. ส่วนการแยกข้อมูลและส่งข้อมูลผ่าน Serial Port ไปยัง Slave Controller โดยการส่งข้อมูลทาง Serial Port ใช้อัตราการส่งที่ 2400 Baud Rate เพื่อให้มีความเร็วในการส่งเท่ากับ Slave controller

4.2 วงจรไคร์ฟมอเตอร์

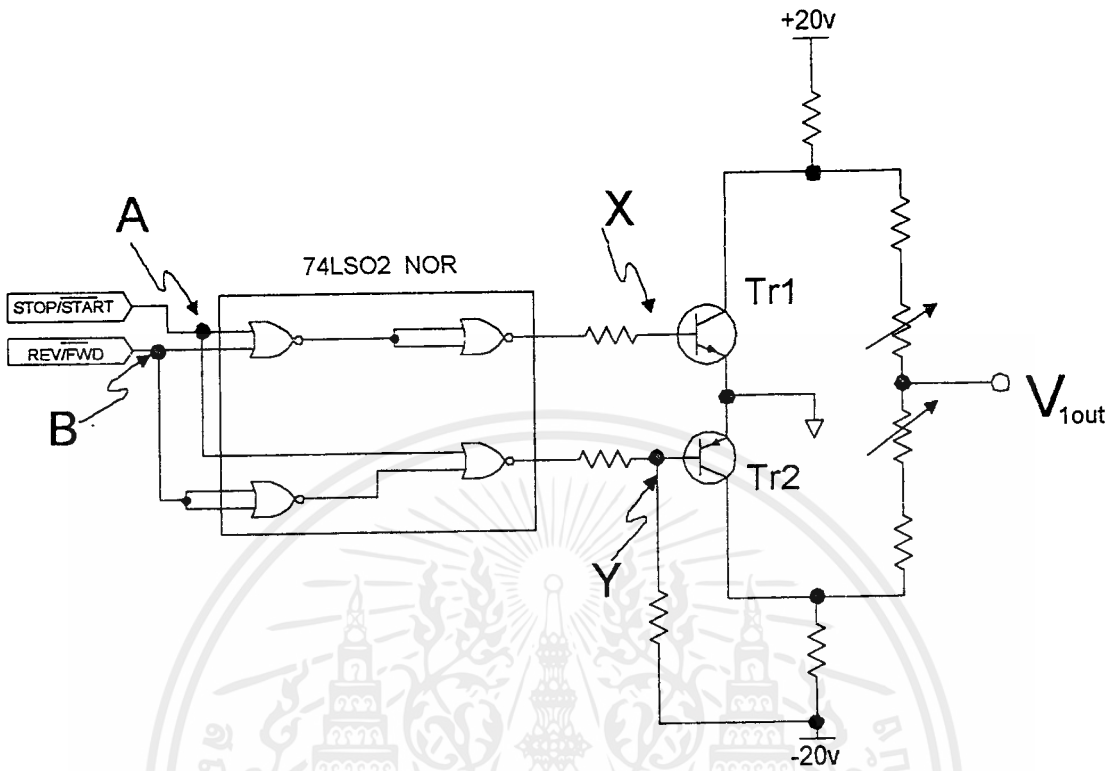
ประกอบไปด้วยวงจรส่วนย่อย ๆ ดังนี้

- 1) วงจรลอจิก แปลงสัญญาณ Digital เป็น สัญญาณ DC สามระดับ
- 2) วงจร Non - Inverting Amp. และวงจร Drive

โดยมีรายละเอียดดังต่อไปนี้

- 1) วงจรลอจิก แปลงสัญญาณ Digital เป็นสัญญาณ DC สามระดับ

เป็นวงจรที่ทำหน้าที่แปลงสัญญาณ Digital Logic ซึ่งเป็นสัญญาณจาก Slave Controller ซึ่งเป็นสัญญาณ Digital จำนวน 2 bit ได้แก่ สัญญาณ Stop/Start bit ซึ่งจะเป็นสัญญาณในการ บังคับให้มอเตอร์หมุน หรือ หยุดหมุน และสัญญาณ Reverse/Forward bit ซึ่งจะทำหน้าที่ในการควบคุมทิศทางการหมุนของมอเตอร์ โดยจะมีการทำงานดังนี้ เริ่มจากรับข้อมูลซึ่งเป็นสัญญาณ Digital 2 bits จาก Slave Controller ผ่านวงจร NOR gate ซึ่งเป็น Ics เบอร์ 74LS02 แล้วแปลงสัญญาณดังกล่าว เป็นการควบคุมจาก On/Off ของ Transistor 1,2 ซึ่ง Tr1 จะต่ออยู่กับ ไฟ +20 V. และ Tr2 จะต่ออยู่กับ ไฟ -20 V. ดังรูปที่ 4.6



รูปที่ 4.6 วงจรลอจิก แปลงสัญญาณ Digital เป็นสัญญาณ DC สามระดับ

ซึ่งถ้าให้สัญญาณ Stop/Start bit เท่ากับ A และ Reverse/Forward bit เท่ากับ B จะมี Truth Table การทำงาน ดังนี้

A	B	X	Y	Tr1	Tr2	V_{out} (v)
0	0	0	0	Off	On	$\approx -4 V.$
0	1	1	1	On	Off	$\approx +4 V.$
1	0	1	0	On	On	$= 0 V.$
1	1	1	0	On	On	$= 0 V.$

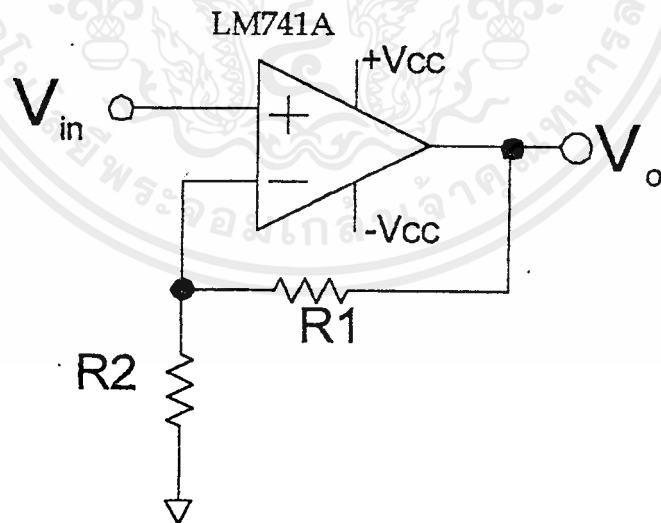
ตารางที่ 4.1 แสดง Truth Table การทำงานของวงจร Drive Motor ในส่วนของ วงจร Logic ซึ่งทำการแปลงสัญญาณ Digital เป็น DC สามระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Stop/Start bit หากมีค่าเท่ากับ "0" จะเป็นการสั่งให้มอเตอร์หยุดทำงาน และหากมีค่าเท่ากับ "1" จะเป็นการสั่งให้มอเตอร์ทำงาน
- Reverse/Forward bit หากมีค่าเท่ากับ "0" จะเป็นการหมุนมอเตอร์ในทิศทางตามเข็มนาฬิกา และ "1" จะเป็นการหมุนทวนเข็มนาฬิกา

2) วงจร Non - Inverting Amp. และวงจร Drive

หลังจากที่วงจรแรกได้ทำงานแปลงค่าสัญญาณ Digital มาเป็นระดับสัญญาณไฟกระแสตรง สามระดับ คือ "+4v." , "0v." และ "-4v." แล้ว จะต้องมีการขยายขนาดของสัญญาณ ให้อยู่ที่ระดับในการทำงานมอเตอร์ ซึ่งก็คือ + 12v. ในทิศทางตามเข็มนาฬิกาและ - 12v. ในทิศทางทวนเข็มนาฬิกา ดังนั้น จึงมีการนำระดับสัญญาณที่ได้จากวงจรส่วนแรกมาเข้า Non - Inverting Amp. ซึ่งต่อจาก Ics LM741A โดยกำหนดให้มีอัตราขยายประมาณ 3 เท่า โดยคำนวณได้จากรูปที่ 4.7 เป็นภาพแสดงรูปวงจรแบบ Non - Inverting Amp.



รูปที่ 4.7 แสดงรูปวงจรถ่ายแบบ Non - Inverting Amp.

โดยสามารถคำนวณหาค่า R1 และ R2 ได้จากสมการ

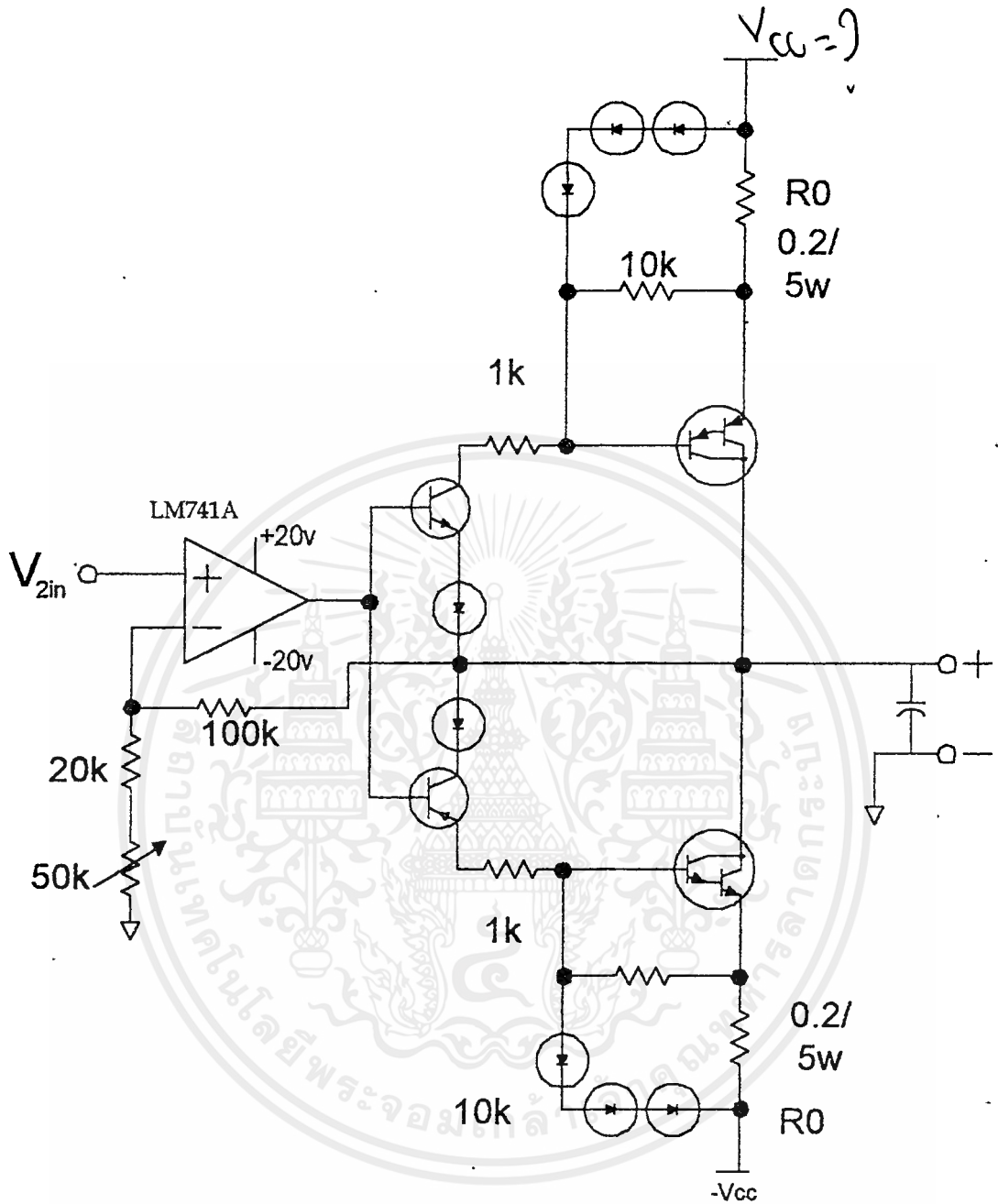
$$V_o/V_{in} = 1 + (R_1/R_2)$$

หากว่าสัญญาณเข้าเท่ากับ 4 v. และต้องการสัญญาณออกเท่ากับ 12 v.

$$\therefore V_o / V_{in} = 3$$

และ อัตราส่วนระหว่าง R1 : R2 จะเป็น 2 : 1 และในการออกแบบกำหนดให้ R1 = 100k และ R2 \approx 50k

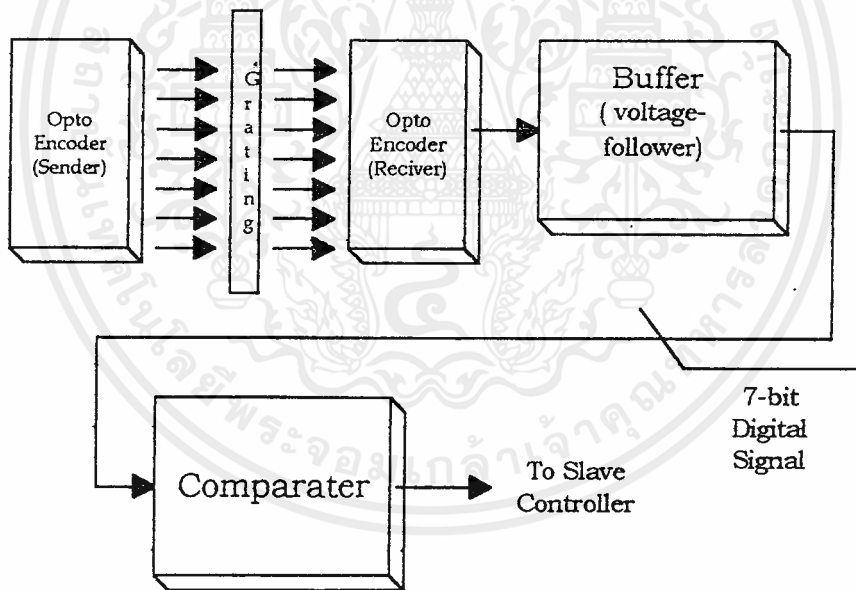
หลังจากผ่านวงจร Non - Inverting Amp. แล้ว สัญญาณที่ได้จะนำไปขับ Power Transistor เพื่อช่วยดึงกระแสให้กับมอเตอร์ โดยส่วนดึงกระแสจะลิมิตกระแสไว้ที่ 3 A. ด้วยการกำหนดค่า R0 ให้เท่ากับ 0.2 Ω วงจรในส่วนที่ 2 แสดงดังรูปที่ 4.8



รูปที่ 4.8 แสดงวงจร Drive motor ในส่วนของ Non - Inverting Amp.
และ วงจร Drive

4.3 วงจรเข้ารหัสสัญญาณทางแสง (ตัวรับ - ตัวส่ง)

วงจรเข้ารหัสทางแสงเป็นวงจที่ใช้ในการบอกตำแหน่งของมอเตอร์ โดยหลังจากที่มีการสั่งให้มอเตอร์หมุนไปแล้ว จะต้องมีการตรวจสอบตำแหน่งว่าถูกต้องหรือไม่ ด้วยวงจรเข้ารหัสทางแสงซึ่งจะสร้าง Code ที่เป็นสัญญาณ Digital ขนาด 7 Bit ส่งสัญญาณกลับไปยังส่วนทำงานในวงจร Slave Controller เพื่อเป็นส่วนของสัญญาณ Feedback สำหรับการควบคุมแบบ Closed Loop โดยบล็อกไดอะแกรมแสดงการทำงานในส่วนของ Optoencoder แสดงดังรูปที่ 4.9

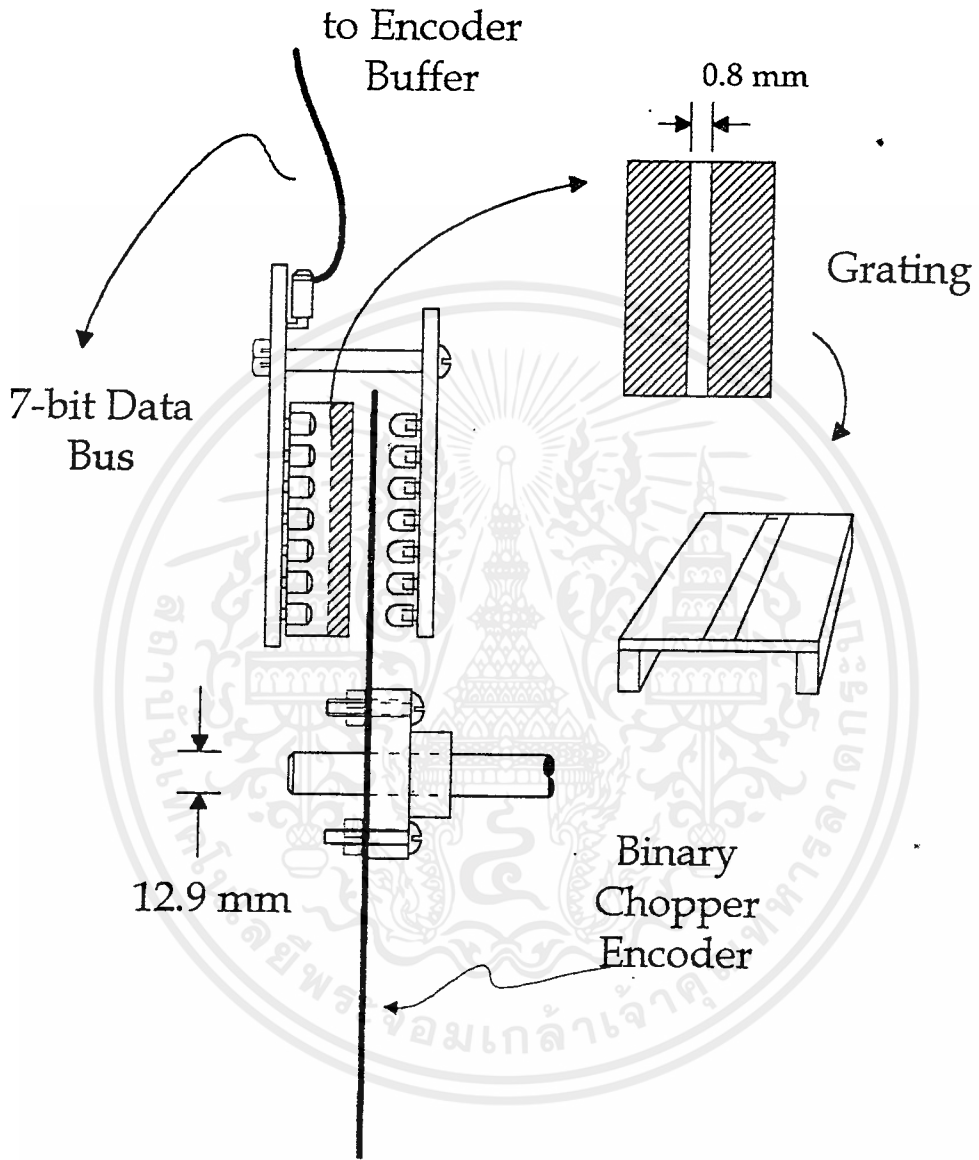


รูปที่ 4.9 บล็อกไดอะแกรมแสดงการทำงานของวงจร
Opto Encoder

โดยส่วนของวงจร Opto Encoder ในภาคส่งและภาครับจะติดอยู่กับแกนเหล็ก ซึ่งเป็นแกนยึดข้อต่อ Opto Encoder ภาครับและภาคส่งจะถูกติดให้ตรงกัน โดยเว้นระยะห่าง

ให้เล็กน้อย ซึ่งจะมีแผ่น Chopper Encoder ที่มีรหัส Binary ติดอยู่ โดยตำแหน่งของ “0” จะถูกแทนด้วยฟิล์มสีดำและตำแหน่งของ “1” จะถูกแทนด้วยฟิล์มใส ณ ตำแหน่งที่อุปกรณ์ชุดตัวรับ - ส่ง ที่ตรงกับฟิล์มสีดำ แสงจากตัวส่งซึ่งเป็น LED จะไม่สามารถผ่านไปยังตัวรับซึ่งเป็น Photo TR ได้ ส่วนในตำแหน่ง ที่อุปกรณ์ชุดตัวรับตัวส่งตรงกันกับ Code ที่เป็นฟิล์มใส แสงจากตัวส่งจะสามารถผ่านไปยัง Photo Tr. ได้ Photo TR. ก็จะสามารถนำกระแสทำให้เกิดสัญญาณ Digital ในระดับสัญญาณที่เป็นระดับ “1” ได้ ทางฝั่ง ตัวรับแสงจะมีกล่องพลาสติกใสซึ่งติดแถบสีดำสองแถบโดยเว้นช่องว่างตรงไว้ประมาณ 0.8 มม. เป็นช่องยาว เพื่อให้แสงที่ผ่านเข้ามามีขนาดเล็กกว่า Binary Chopper Encoder อันจะทำให้การรับ - ส่ง แสงผ่าน Binary Chopper Encoder ไม่เกิดความผิดพลาด

หลังจากได้สัญญาณ Digital 7 - bit จาก Opto Encoder ตัวรับ สัญญาณที่ได้จะมีการปรับปรุงคุณภาพของสัญญาณ ซึ่งอาจมีผลจากทั้ง Noise , Voltage ที่เกิด จากแสงที่รบกวนเข้ามา และการตอบสนองของ Power Tr ต่อสัญญาณแสงที่ได้รับ ให้มีคุณภาพดีขึ้นจนสามารถที่จะนำไปใช้เป็น สัญญาณ Feedback จากมอเตอร์ไปยัง Slave Controller ได้ โดยได้แสดงการทำงานไว้ดังที่ผ่านมาแล้ว



รูปที่ 4.10 แสดงภาพการติดตั้งอุปกรณ์ตัวรับ - ส่ง ที่แกนเพลลา
ของข้อต่อซากด

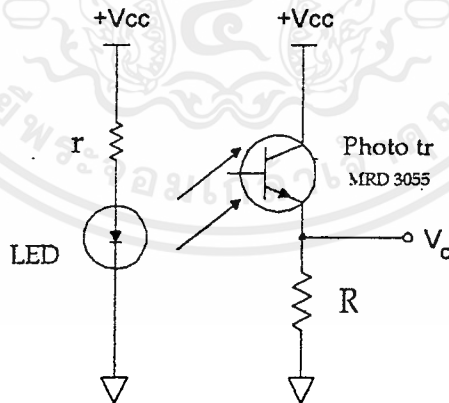
ซึ่งในแต่ละวงจรต่าง ๆ จะมีรายละเอียดการออกแบบวงจร ดังนี้

1. วงจรตัวส่งสัญญาณแสง

เป็นวงจรที่มีตัวส่งสัญญาณทางแสง คือ Light Emitting Diode (LED) จำนวน 7 bit โดยมีระยะห่างของ LED แต่ละตัวเท่ากับ 6 มม. ซึ่งจะเท่ากับระยะห่างระหว่าง Photo TR. ในวงจรรับสัญญาณทางแสง และเท่ากับระยะห่างระหว่าง Binary Chopper Encoder ในแต่ละบิต (ความห่างระหว่างรัศมีของ Binary Chopper Encoder ในแต่ละชั้น) โดยวงจรของตัวรับ - ส่งสัญญาณทางแสงจำนวน 7 - Bit

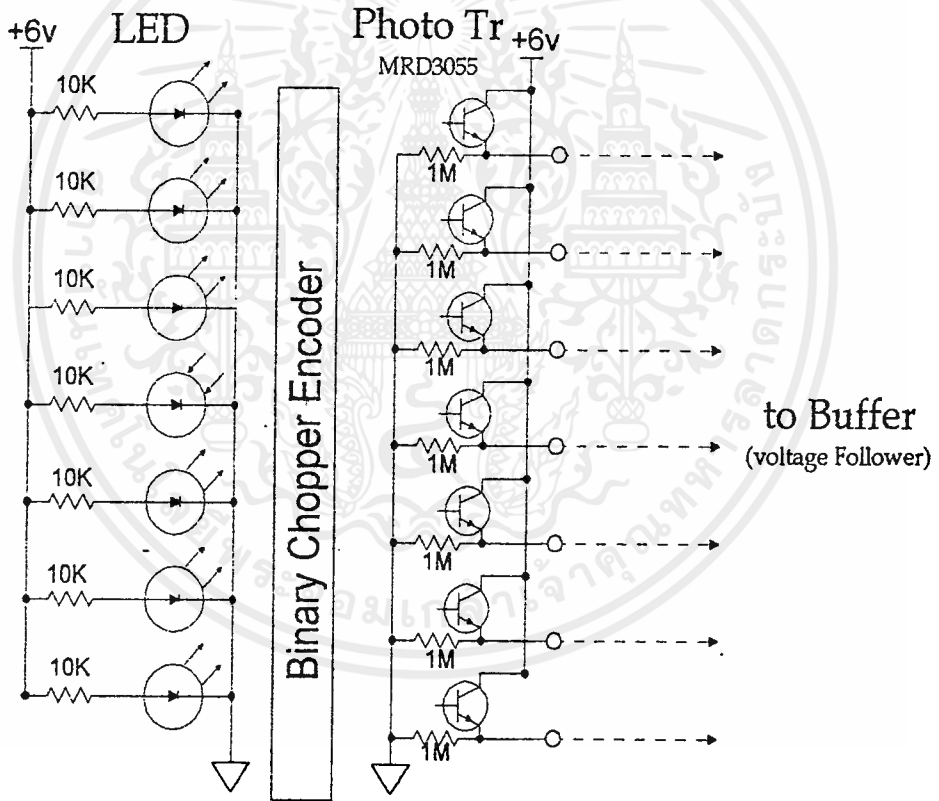
2. วงจรตัวรับสัญญาณทางแสง

อุปกรณ์ที่ใช้ ได้แก่ Photo TR. เบอร์ MRD3055 คอเป็นตัวรับสัญญาณทางแสงจำนวน 7 - bit โดยมีวงจรแสดงดังรูปที่ 4.11



รูปที่ 4.11 แสดงการต่อวงจรตัวรับ - ส่ง สัญญาณทางแสงในแต่ละบิต

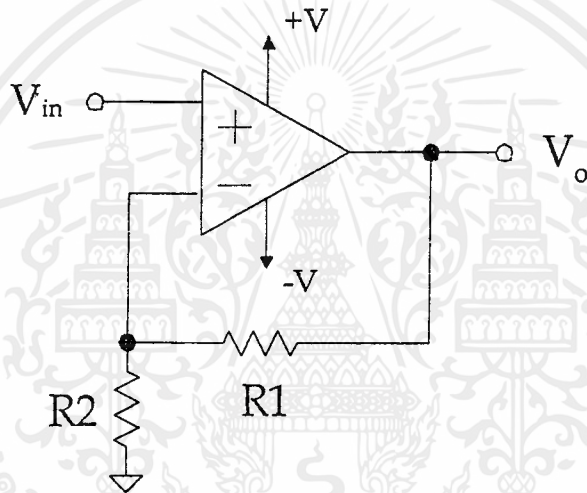
สำหรับค่า R_E กำหนดให้มีค่าเท่ากับ $1\text{M}\Omega$ สัญญาณที่ได้จะผ่านเข้าสู่วงจร Buffer เพื่อปรับขนาดของสัญญาณ เนื่องจากปัญหาเนื่องจากการติดตั้งต่าง ๆ ที่อาจจะทำให้ได้รับขนาดของสัญญาณที่เกิดจากการรับแสง - ไม่ได้รับแสงไม่เท่ากัน จึงต้องมีการผ่านวงจร Buffer ซึ่งสามารถคิดแปลงให้เป็นวงจรขยายแบบ Non - Inverting เฉพาะแต่ละ bit ที่เป็นปัญหาได้ และนอกจากนี้ยังใช้วงจร Buffer ในการขับกระแสสำหรับการส่งซึ่งมีระยะทางค่อนข้างมากต่อไป วงจรตัวรับ - ตัว ส่งสัญญาณแสงแสดงดังรูปที่ 4.12



รูปที่ 4.12 แสดงวงจรของชุดรับ - ส่งสัญญาณทางแสง

4.4 วงจร Buffer

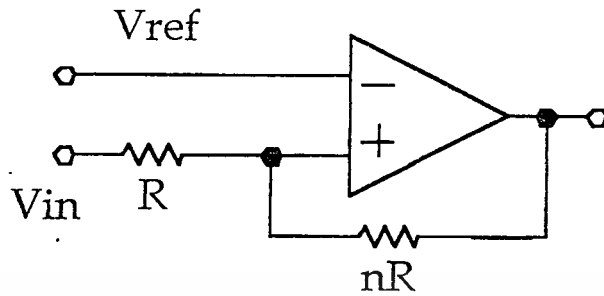
วงจร Buffer ใช้ ICS เบอร์ LM 326 Quad Op. Amp. ซึ่งการใช้งานโดยทั่วไปต่อวงจรเป็น Voltage Follower แต่สามารถดัดแปลงให้เป็นวงจร Non - Inverting Amp. ได้สำหรับกรณีที่มีสัญญาณจากตัวรับสัญญาณทางแสงใน Bit นั้น มีขนาดของสัญญาณต่ำเกินไป แสดงการต่อดังรูปที่ 4.13



รูปที่ 4.13 แสดงการต่อ Op.Amp. เป็นวงจร Voltage Follower

4.5 วงจร Comparator

วงจร Comparator สร้างขึ้นจาก Ics เบอร์ LM326 ซึ่งเป็น Op.Amp. โดยต่อให้เป็นวงจร Comparator With Hysteresis loop ซึ่งเป็นวงจร Comparator ที่ทำงานเป็นแบบ Schmidt Trigger โดยมีลักษณะการต่อวงจร ดังรูปที่ 4.14



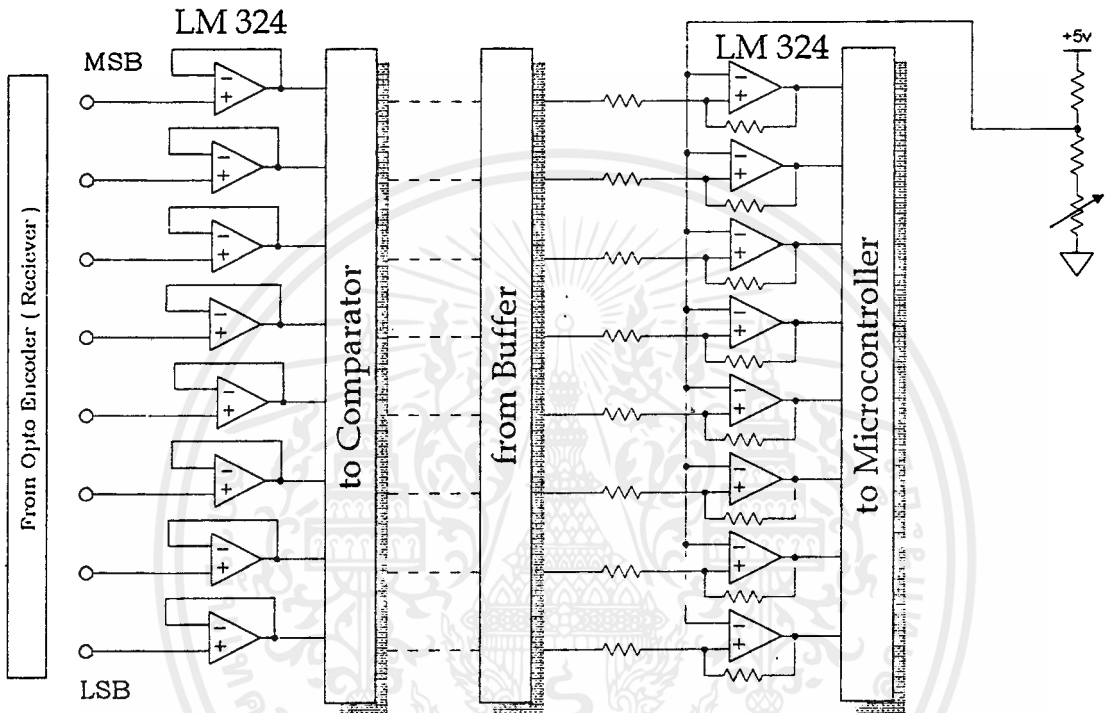
รูปที่ 4.14 แสดงการต่อเป็นวงจร Comparater with Hysteresis

Loop

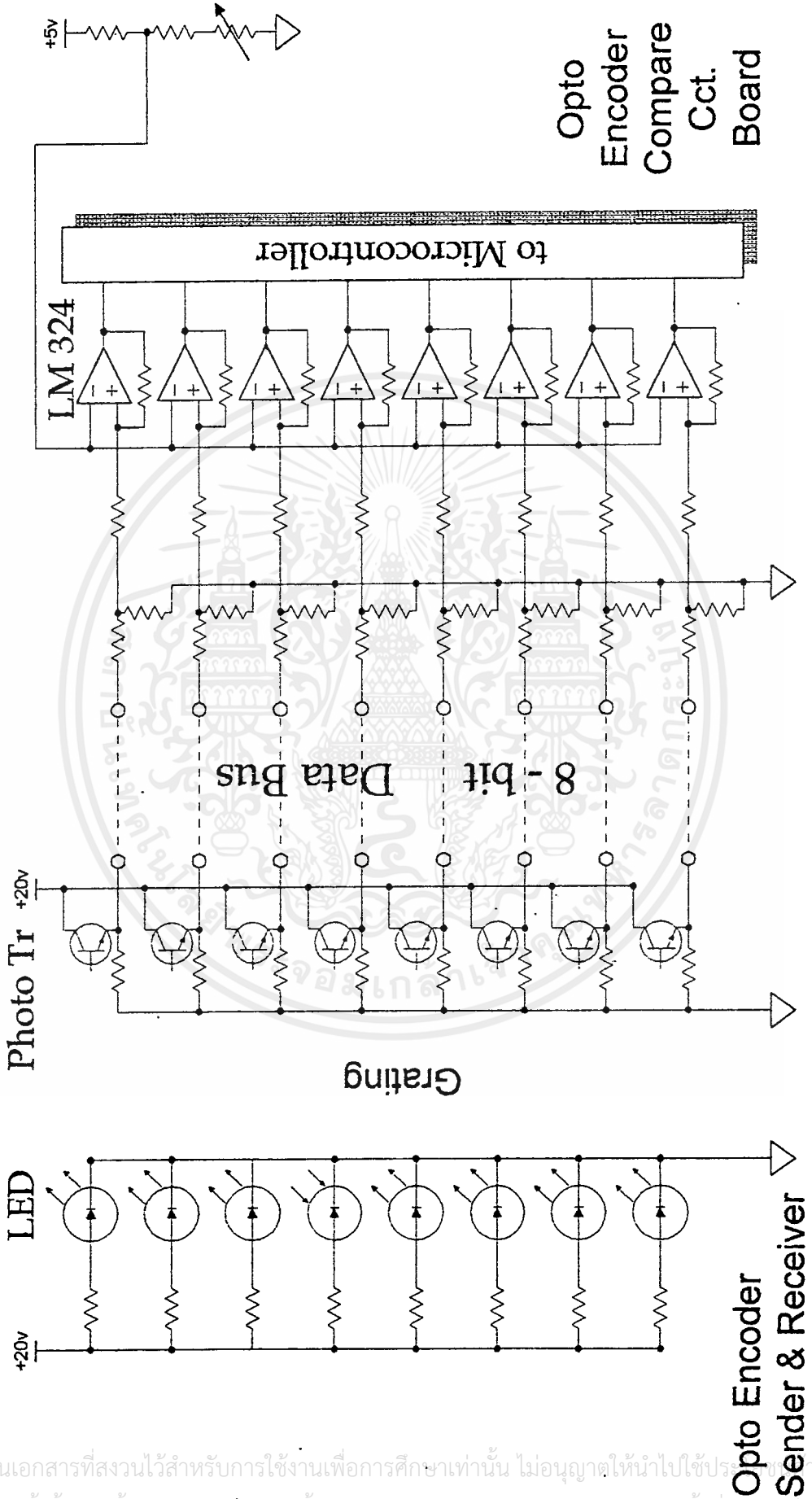
การทำงานเป็นไป ดังสมการ

$$V_{LT} = V_{ref} (1 + 1/n) - V_{cc(-)}/n$$

$$V_{HT} = V_{ref} (1 + 1/n) - V_{cc(+)} / n$$



รูปที่ 4.15 แสดงวงจร OptoEncoder ในส่วนของวงจร Buffer และ Comparator



รูปที่ 4.15 แสดงวงจร OptoEncoder

บทที่ 5

โปรแกรมการทำงาน

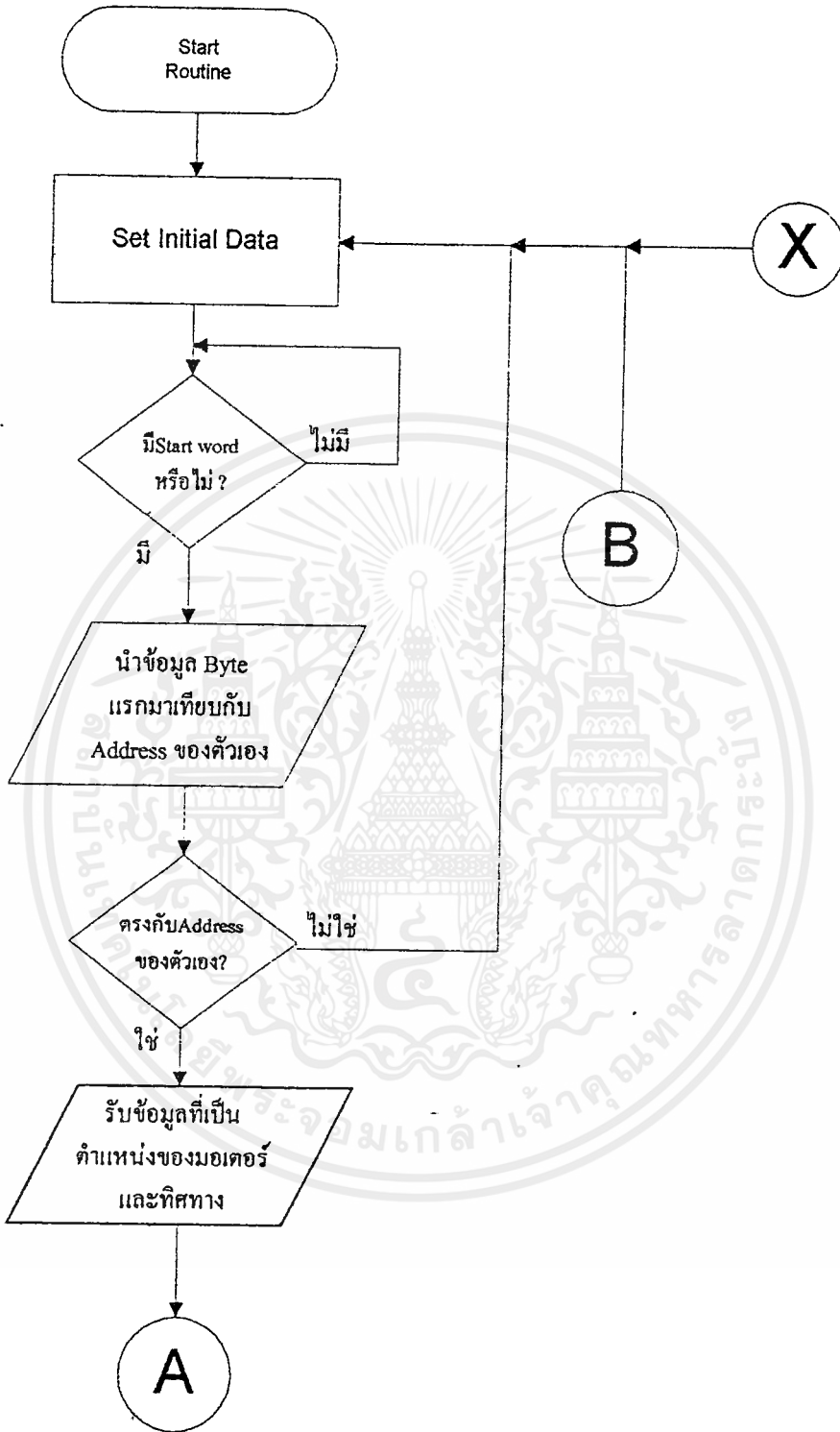
การทำงานของ Microcontroller ในโครงงานนี้สามารถ เปรียบเทียบการทำงานได้ดังนี้

- Master Controller เปรียบเทียบได้กับส่วนสมองของขาคกล โดยจะทำหน้าที่สั่งงาน และควบคุมการทำงานทั้งหมดของชุดโครงงานนี้
- Slave Controller ทำหน้าที่ร่วมกับวงจร Drive Motor และ Optoencoder เพื่อทำหน้าที่ในการควบคุมการทำงานของ มอเตอร์ทั้ง 4 ชุด อาจเปรียบเทียบกับได้กับระบบประสาทที่ใช้ในการควบคุมอวัยวะ โดยจะทำงานในลักษณะการควบคุมแบบ Closed Loop

5.1 โปรแกรมการทำงานของ Slave Controller

การทำงานในส่วนนี้มีหน้าที่หลักคือการนำเอาข้อมูลที่ได้รับจาก Master Controller ซึ่งก็คือ ข้อมูลแสดงตำแหน่งที่ต้องการให้มอเตอร์เคลื่อนที่ไป มาทำการเก็บค่าและทำการควบคุม มอเตอร์ให้เคลื่อนที่ไปยังจุดที่ต้องการ การทำงานได้แก่การสร้างสัญญาณ Digital 2 bits เพื่อใช้ในการควบคุมมอเตอร์ โดยใน Bit แรกจะเป็น bit ที่ใช้ในการควบคุม Motor ให้เคลื่อนที่ หรือรอรับการทำงาน ซึ่งในขณะที่รอรับการทำงานสัญญาณจะเป็น High และในขณะที่สั่งให้ Motor เคลื่อนที่สัญญาณจะเป็นลักษณะสัญญาณ Pulse ซึ่งจะมีความถี่ตามที่ได้โปรแกรมในส่วน โปรแกรมการหน่วงเวลาไว้ จากนั้นจะทำการตรวจสอบตำแหน่งของมอเตอร์จริงในขณะนั้น เทียบกับค่าที่ต้องการ โดยใช้การตรวจค่าสัญญาณ Digital 7 bit จากวงจร Optoencoder หากว่าค่าที่ได้ยังไม่ถูกต้องจะมีการส่งสัญญาณควบคุมชดเชยให้กับมอเตอร์ เพื่อให้มอเตอร์ได้เคลื่อนที่ไปยังตำแหน่งที่ต้องการได้ในที่สุด นอกจากนี้ ในโปรแกรมของ Slave controller ยังมีการเก็บค่าขอบเขตการเคลื่อนที่ของมอเตอร์เพื่อไม่ให้มอเตอร์บังคับให้ชิ้นส่วนของขาคกลให้เคลื่อนที่ เกินไปยังตำแหน่งที่อาจก่อให้เกิดความเสียหายได้ โดยเมื่อได้รับคำสั่งแสดงตำแหน่งที่ต้องการ ให้มอเตอร์เคลื่อนที่ไปแล้วจะทำการเปรียบเทียบกับค่าขอบเขตที่เก็บไว้ หากมีค่ามากกว่าค่าขอบเขตก็จะสั่งให้มอเตอร์เคลื่อนที่ไปได้สูงสุดเพียงที่ค่าขอบเขตเท่านั้น Flowchart การทำงานของ ส่วนนี้แสดงผังรูปที่ 5.1

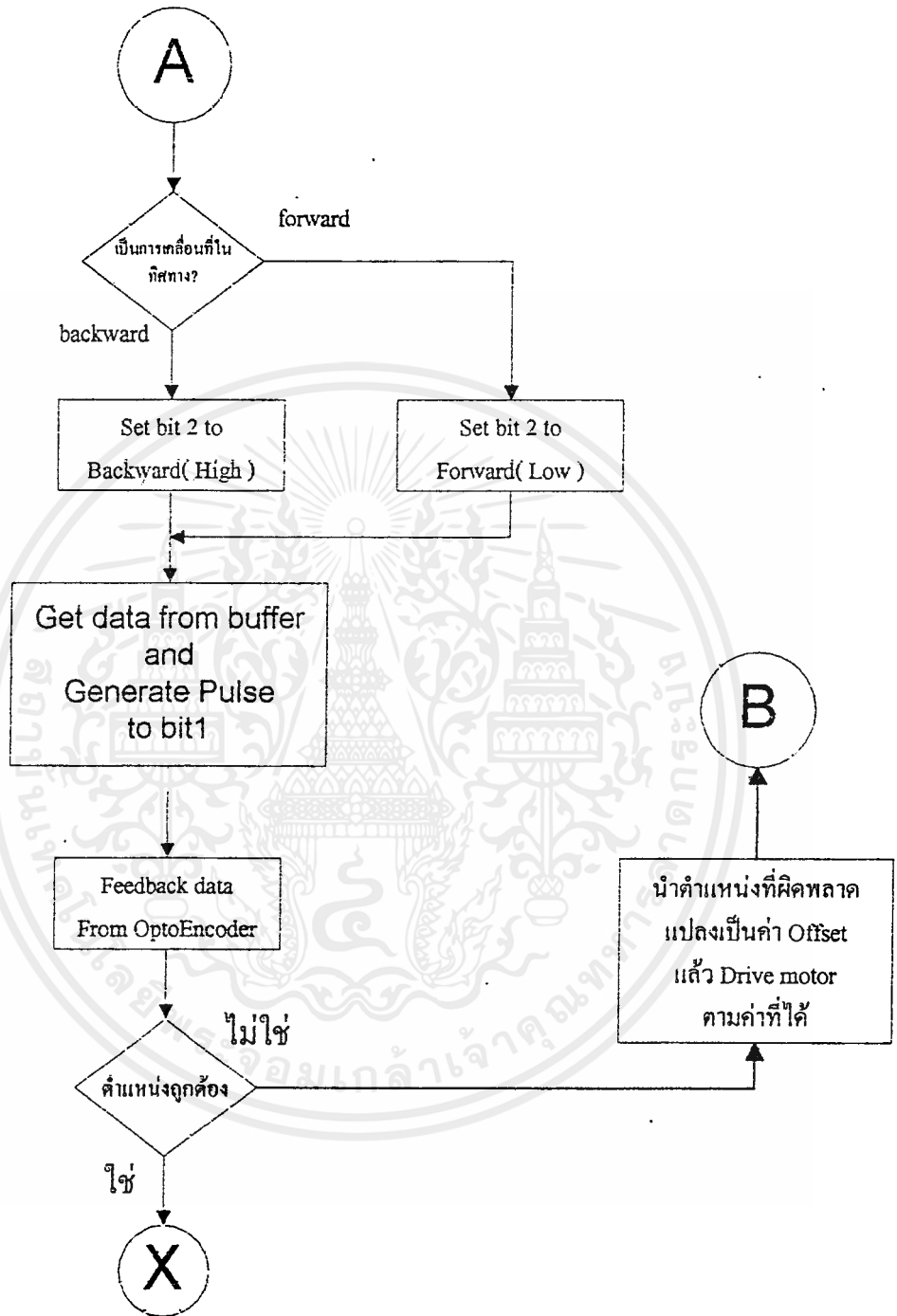
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดง Flowchart แสดงการทำงานของ

Slave Controller (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดง Flowchart แสดงการทำงานของ
Slave Controller (2)

5.2 โปรแกรมการทำงานของ Master Controller

หน้าที่หลักของ Master Controller เปรียบได้กับสมอง อย่างไรก็ตาม ใดก็ดีเนื่องจาก Micro-Processor ที่ใช้เป็น Master Controller อันได้แก่ Microcontroller 89C51 ก็มีขีดความสามารถจำกัดอยู่เพียงในระดับหนึ่ง ดังนั้นการทำงานและควบคุมต่าง ๆ จึงเป็นได้แค่เพียงนำค่าการควบคุมที่ได้โปรแกรมไว้มาใช้เท่านั้น การทำงานของ Master Controller อาจแบ่งได้เป็น Mode การทำงาน 2 Mode ดังนี้

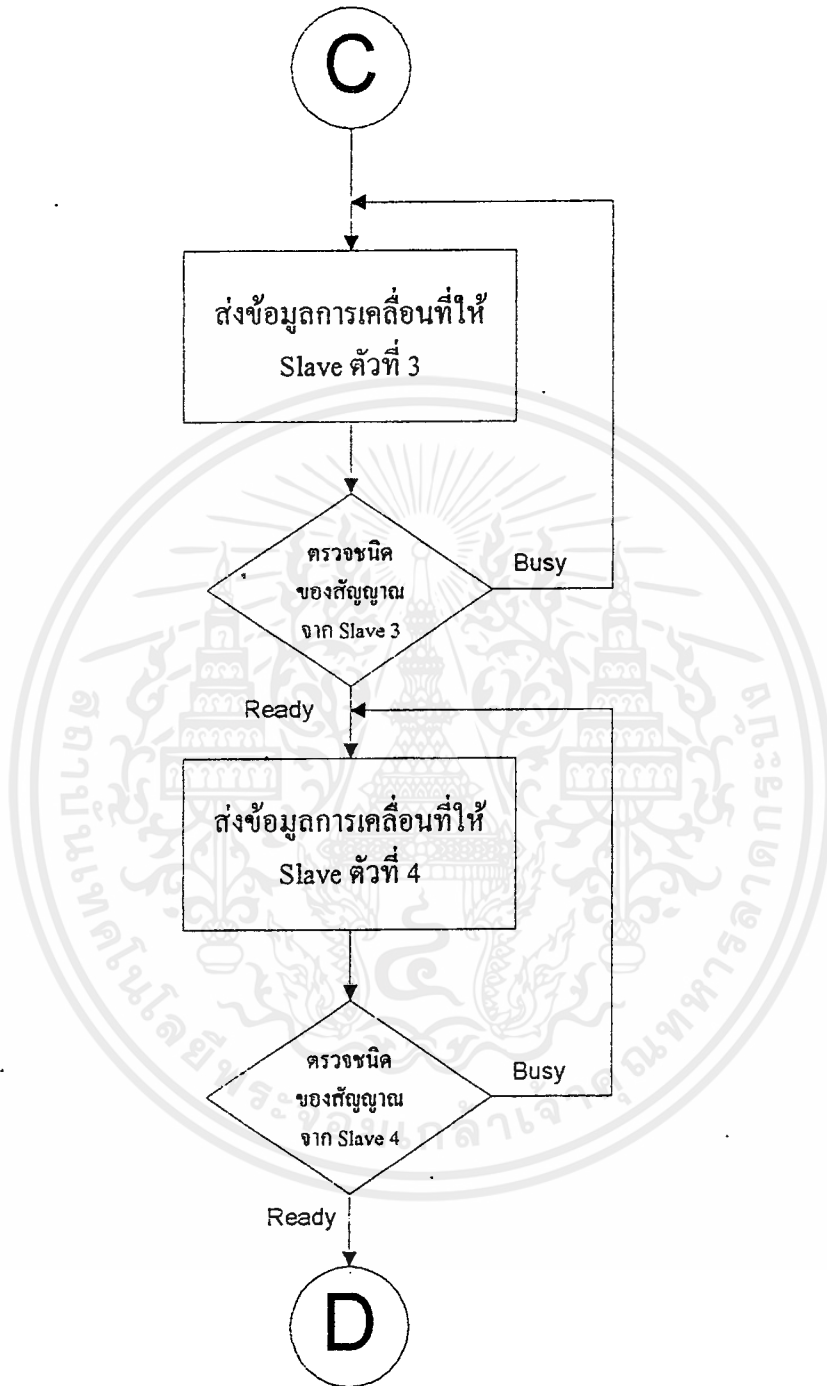
1. Automatics Control

จะเป็นการนำค่าของโปรแกรมการเคลื่อนที่ที่ได้มีการโปรแกรมไว้ล่วงหน้าแล้วจากหน่วยความจำมาใช้ โดยจากทำงานจะเป็นไปอย่างอัตโนมัติ ค่าโปรแกรมการเคลื่อนที่เหล่านี้ได้มาจากการออกแบบและทดสอบไว้แล้วดังจะได้กล่าวถึงในหัวข้อต่อไป นอกจากการนำค่าโปรแกรมการเคลื่อนที่จากหน่วยความจำมาใช้แล้ว การควบคุมยังอาศัยข้อมูลอีกส่วนหนึ่งจาก Sensor ต่าง ๆ ได้แก่ Optoencoder 5,6 ที่ข้อเท้าซ้ายขวา และ Limit Switch 1,2 ที่ฝ่าเท้าซ้ายและขวา นำมาใช้เป็นข้อมูลเบื้องต้นในการควบคุมการทรงตัว และนำไปเปรียบเทียบกับตารางค่าเพื่อหาข้อมูลที่จะต้องบังคับมอเตอร์ทั้ง 4 ชุด และทำการบังคับมอเตอร์เพื่อให้สามารถทรงตัวอยู่ในจุดสมดุลได้ การควบคุมการทรงตัวนี้จะทำเฉพาะในช่วงที่ขาดสมดุลการเคลื่อนที่เป็นการทรงตัวแบบสมดุลขณะพักเท่านั้น เนื่องจากว่าการทรงตัวในขณะที่เคลื่อนที่ให้เป็นสมดุลขณะเคลื่อนที่นั้น ด้วยข้อจำกัดหลายประการของโครงการนี้ทำให้ไม่สามารถจะทำได้ ดังนั้น ในขณะที่เคลื่อนที่จึงเป็นเพียงการนำค่าที่ทดสอบว่าใกล้จุดสมดุลมากที่สุดมาใช้

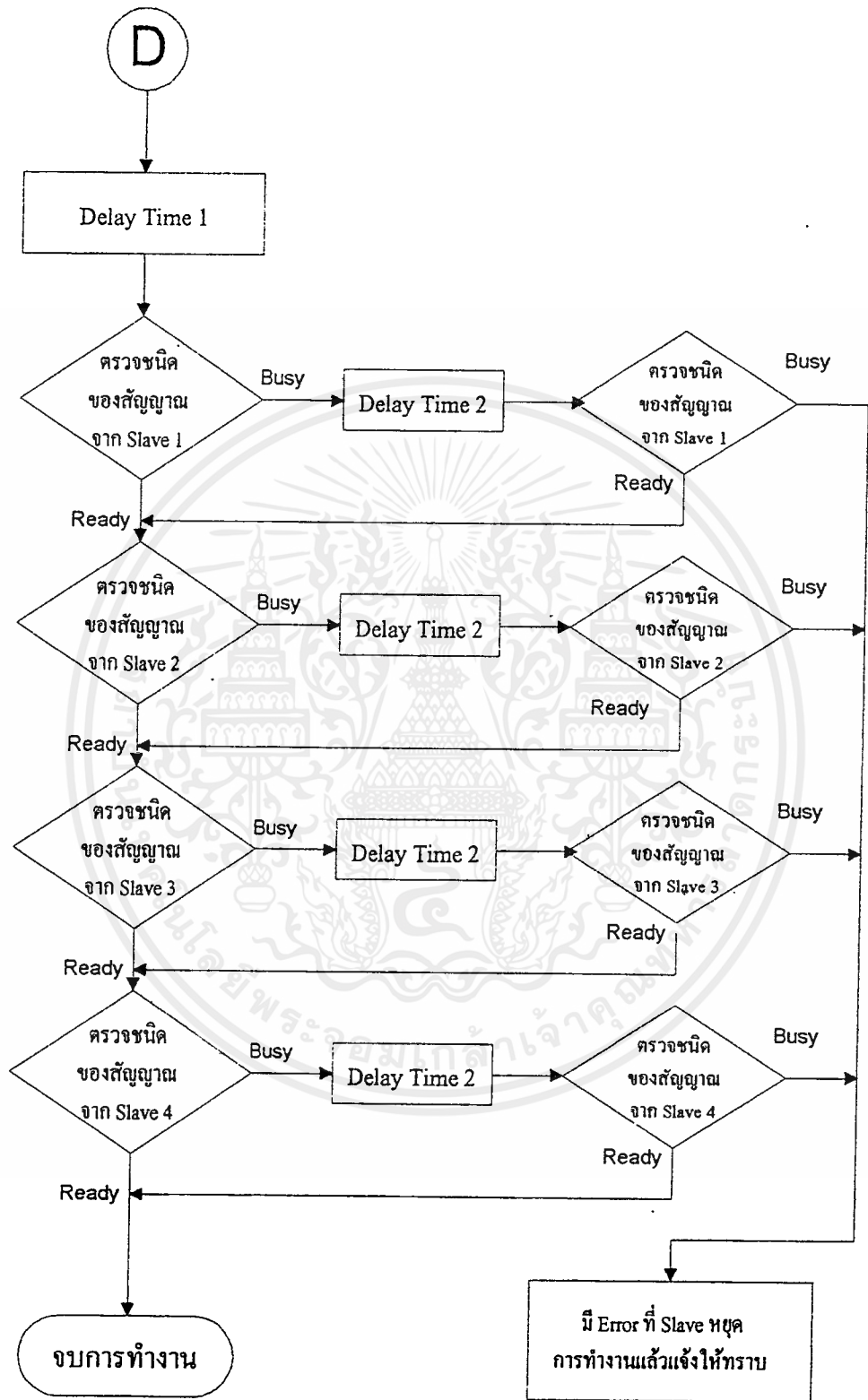


รูปที่ 5.3 แสดง Flowchart แสดงการทำงานของ
Master Controller in auto mode(1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 แสดง Flowchart แสดงการทำงานของ
Master Controller in auto mode(2)



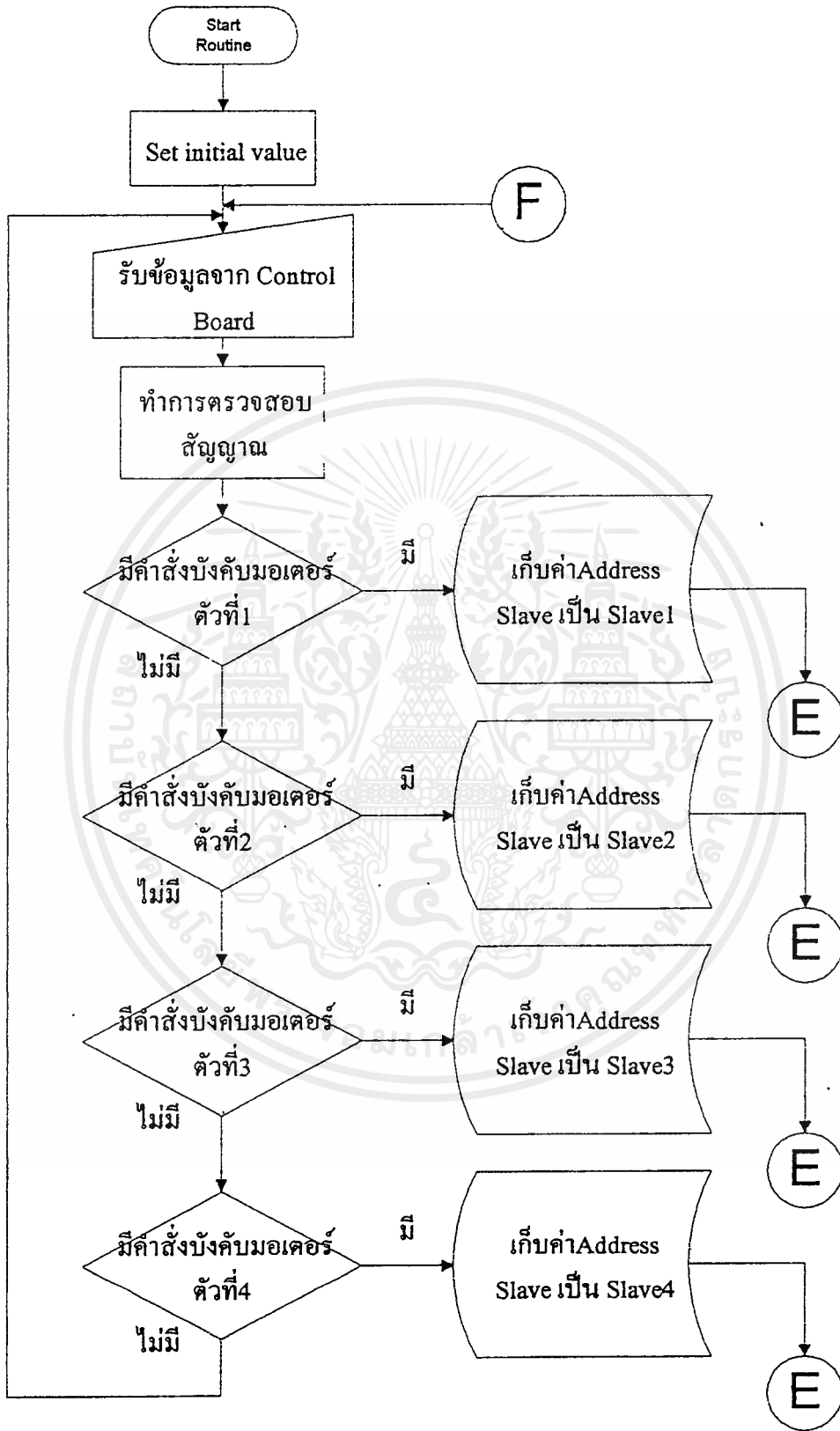
รูปที่ 5.5 แสดง Flowchart แสดงการทำงานของ Master Controller in auto mode(3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Manual Control

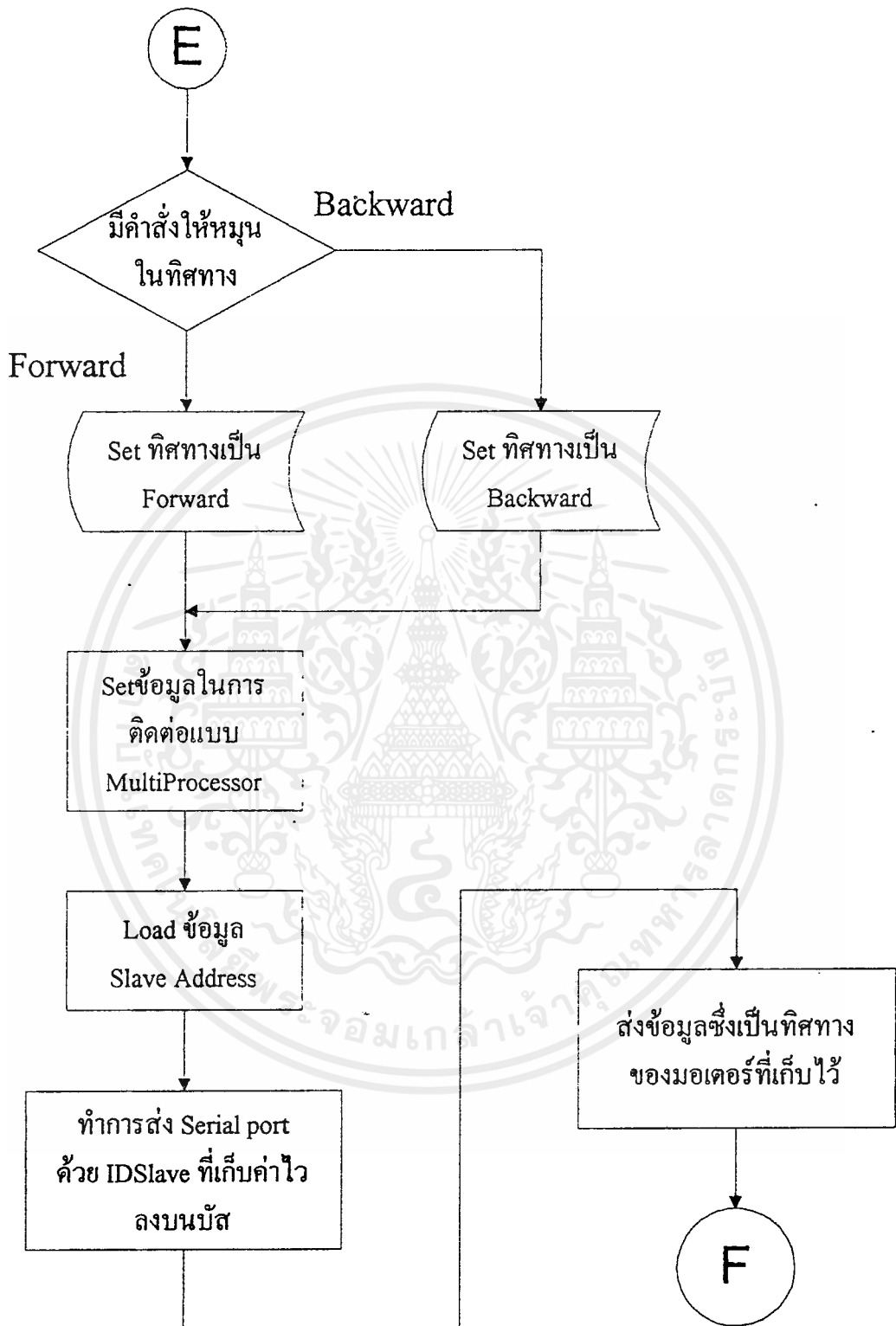
การทำงานในลักษณะ Manual Control เป็นการทำงาน โดยอาศัยการควบคุมของมนุษย์ผ่าน Control Board ซึ่งต่ออยู่โดยตรงกับ Master Controller โดยการสั่งการทำงานจะเป็นการตั้งการเคลื่อนที่ทั้งตำแหน่งและทิศทางของมอเตอร์ทั้ง 4 โดยตรง ผ่าน SW. กดติดปล่อยดับ และ Dip SW. เพื่อสร้างสัญญาณควบคุมให้แก่ Master Controller การทำงานในลักษณะนี้ Master Controller จะทำหน้าที่เป็นเพียงตัวรับคำสั่งจาก Control Board และแจกจ่ายข้อมูลให้แก่ Slave Controller ทั้ง 4 ชุด เท่านั้น จะไม่มีการตรวจสอบข้อมูลจาก Sensor และไม่มีการควบคุมการทรงตัว Flowchart การทำงานแสดงดังรูปที่ 5.6 - 5.7





รูปที่ 5.6 แสดง Flowchart แสดงการทำงานของ Master Controller in Manual mode(1)

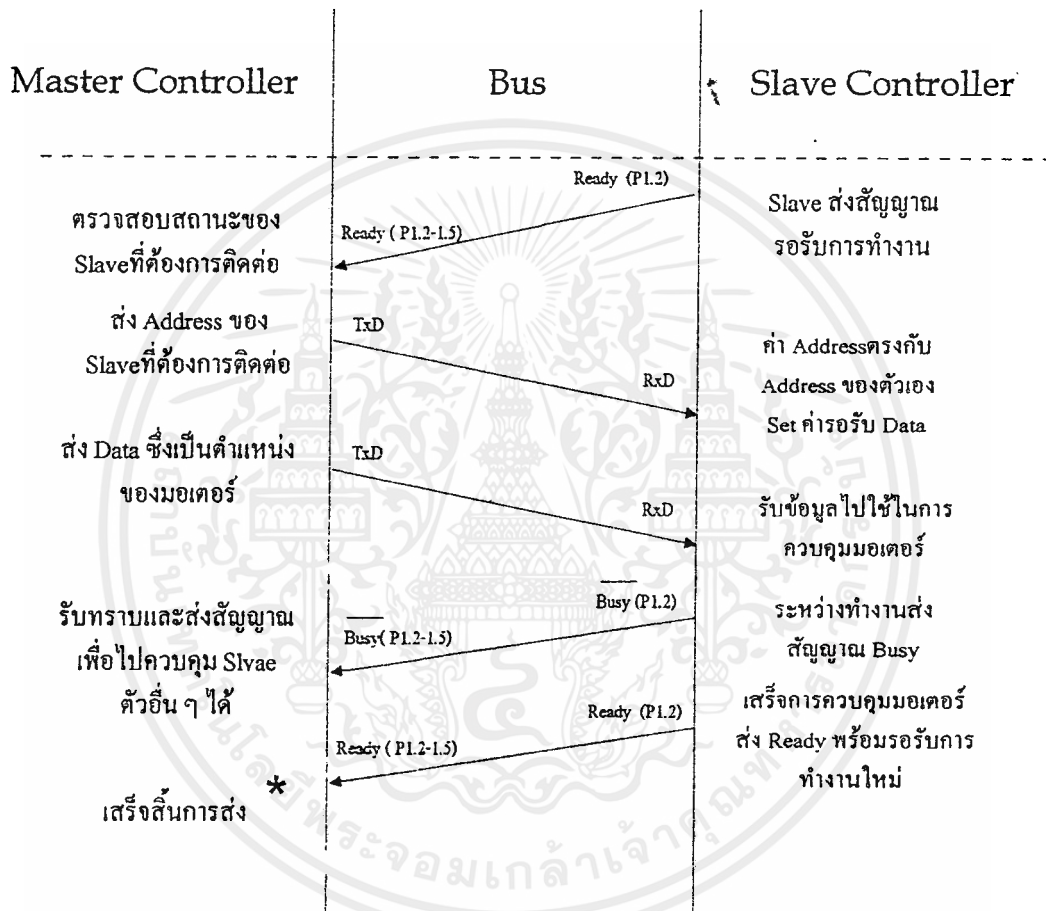
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 แสดง Flowchart แสดงการทำงานของ
Master Controller in Manual mode(2)

5.3 Protocol ในการรับ - ส่งข้อมูล

โดยในรูปแบบการส่งสัญญาณของ Microcontroller แบบ MultiProcessor ได้มีการออกแบบ Protocol ในการรับ - ส่ง สัญญาณแบบง่าย ๆ ดังต่อแสดงได้ดังรูปที่ 5.8



* หากเกินกำหนดเวลาแล้วสัญญาณจาก Slave ยังคงเป็น Busy แสดงว่ามีความผิดพลาด Master จะหยุดการทำงาน แล้วแจ้งให้ทราบ

รูปที่ 5.8 แสดง Protocol สำหรับใช้ในการติดต่อระหว่าง Master กับ Slave

บทที่ 6

ผลการทดลองและวิจารณ์

ผลการทดลอง

ในการทดลองและทดสอบความสามารถของขากลที่ได้อำนาจขึ้นมานั้น ได้มีการแบ่งการทดลองเป็น 2 ส่วนด้วยกันคือ การทดลองทางกล และ การทดลองทางไฟฟ้า

การทดลองทางกล มีขั้นตอนดังนี้

1. ทดสอบความสามารถในการรับน้ำหนักของขา โดยการจัดให้ขาขึ้นในลักษณะที่ตั้งขึ้น เพื่อดูความสามารถในการรับน้ำหนักของตัวมันเอง
2. ประสิทธิภาพในการเคลื่อนที่และการหมุนของส่วนต่าง ๆ ของขากลเช่น ข้อต่อ, เฟือง, โซ่, แคนเพลลา เป็นต้น โดยการทดลองให้ส่วนต่าง ๆ ของขากลให้มีการขยับหมุน และสังเกตความคล่องตัวว่ามีมากน้อยเพียงใด
3. ทดสอบความสามารถในการขับเคลื่อนขากลของมอเตอร์ โดยการนำตัวขากลมาติดตั้งมอเตอร์ แล้วจึงทดลองป้อนกระแสเข้ามอเตอร์โดยตรง (ยังไม่ได้ผ่านวงจรขับมอเตอร์ (Drive Circuit)) และสังเกตปริมาณของกระแส ที่ป้อนให้กับมอเตอร์ ขณะที่มอเตอร์เริ่มหมุน และเมื่อมอเตอร์หมุนมาถึงตำแหน่งที่ต้องการนั้น ใช้กระแสเท่าใด

ผลการทดลองทางกล

1. เมื่อทำการทดสอบการรับน้ำหนักของตัวขากล ผลปรากฏว่าขากลสามารถรับน้ำหนักของตัวเองได้เป็นอย่างดี
2. ประสิทธิภาพในการเคลื่อนที่ และ การหมุนของส่วนต่าง ๆ ของขากลนั้นพบว่า ในส่วนของแกนเพลลา กับ หน้าแปลนที่ได้ติดลูกปืนไว้ นั้น มีความฝืดเล็กน้อยเท่านั้น แต่ในส่วนของเฟืองคู่ที่อยู่ข้อบนของขา มีความฝืดพอสมควรแต่ก็สามารถหมุนได้ ส่วนประสิทธิภาพในการยึดติดของเฟืองเดี่ยวที่ยึดติดกับแกน และ ระหว่างตัวโครงขา กับ แกน นั้นพบว่า มีปัญหา คือ การยึดติดยังไม่ดีเท่าที่ควร เนื่องจากมีการขยับเขยื้อนเล็กน้อย
3. การทดสอบความสามารถของมอเตอร์ในการขับเคลื่อนขากลพบว่า ขาจะเริ่มขยับ ที่กระแสประมาณ 1-2 แอมแปร์ (เป็นค่าโดยประมาณ เพราะมอเตอร์แต่ละตัวนั้น ใช้กระแสไม่เท่ากัน) และหากต้องการให้ขาขยับได้ถึงตำแหน่งที่ต้องการได้ (30 องศา จากแนวตั้ง) ต้องใช้กระแสประมาณ 3-4 แอมแปร์

การทดลองทางไฟฟ้า มีขั้นตอนดังนี้

1. ทดลองการทำงานของวงจรขับมอเตอร์ (Drive Circuit) โดยการทำการทดสอบการทำงานโดยว่าสามารถทำงานตามสัญญาณควบคุมได้หรือไม่ จากนั้นทดสอบการทำงานที่โหลดต่ำ และที่โหลดสูงต่อไป
2. ทดลองการทำงานของวงจรเข้ารหัสทางแสง (Encoder Circuit) โดยการทดสอบการสร้างสัญญาณเมื่อมีการหมุนแกนเพลลา
3. ทดลองการทำงานของวงจรเปรียบเทียบแรงดัน (Comparator Circuit) โดยการทดสอบการสร้างสัญญาณเอาต์พุต ณ. ระดับอินพุตต่าง ๆ

ผลการทดลอง

1. การทำงานของวงจรขับมอเตอร์พบว่าสามารถทำงานที่สภาวะโหลดต่ำ ๆ ได้เป็นอย่างดี โดยสามารถนำสัญญาณดิจิทัลที่ใช้ควบคุมมาแปลงเป็นสัญญาณและขับมอเตอร์ได้ตามที่ได้ออกแบบไว้ แต่จะมีปัญหาเมื่อมีโหลดสูงขึ้นโดยที่กระแสประมาณ 3-4 แอมป์ ซึ่งจะทำให้มีความกำลังงานตกคร่อมพาวเวอร์ทรานซิสเตอร์สูงจนพาวเวอร์ทรานซิสเตอร์เสียหายได้
2. การทำงานของวงจรเข้ารหัสทางแสงสามารถสร้างสัญญาณซึ่งจะนำมาใช้ในการควบคุมแบบปิด สามารถสร้างสัญญาณได้อย่างถูกต้อง แต่จะมีปัญหาเมื่อแกนเพลลาหมุนด้วยความเร็วสูงทำให้สัญญาณที่สร้างออกมาอาจเกิดการผิดพลาดได้
3. การทำงานของวงจรเปรียบเทียบระดับสัญญาณสามารถทำงานได้ตามที่ออกแบบไว้

สรุป

ในการออกแบบและสร้างชิ้นงานพบว่ามีปัญหาในการทำงานเกิดขึ้นโดยตลอด ทั้งนี้ส่วนหนึ่งเนื่องจากว่าโครงงานชิ้นนี้เป็นชุดต้นแบบ ซึ่งเริ่มทำการศึกษาการทำงานของขากลชิ้นมาใหม่โดยอาศัยข้อมูลอ้างอิงจากชุดขากลที่มีอยู่แล้วเป็นเพียงข้อมูลเบื้องต้นเท่านั้น การศึกษามีขอบเขตกว้าง โดยมีหลายหัวข้อที่ต้องทำการศึกษาเป็นความรู้ในต่างสาขาวิชาจึงทำให้ต้องใช้เวลาในการศึกษามาก ชิ้นงานทั้งหมดที่อยู่ในโครงงานต้องทำการสร้างขึ้นเองแต่เนื่องจากการขาดความชำนาญ จึงทำให้หลายครั้งที่ชิ้นงานมีคุณภาพไม่ดีเพียงพอ หรือไม่เหมาะสมกับที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

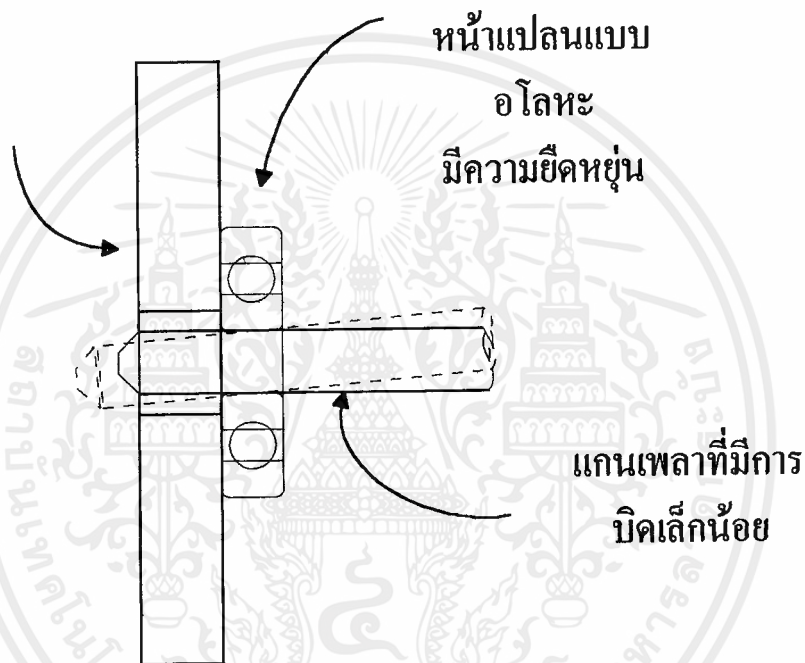
เป็นเหตุให้ต้องเสียเวลาในการสร้างใหม่ จากการสร้างชิ้นงานและทดสอบตามที่ได้ออกแบบไว้ พบว่ามีปัญหาในการทำงานของชุดขากลซึ่งเกิดจากหลายสาเหตุด้วยกัน

ปัญหาที่เกิดทางด้านวงจรและโปรแกรมที่สำคัญ ได้แก่ ปัญหาของวงจรตัวรับ - ส่ง สัญญาณทางแสง ซึ่งในการทดสอบช่วงแรกพบว่าการติดตั้งตัว Photo Tr. ทั้งหมด โดยเฉพาะในแต่ละแผ่นวงจรซึ่งต้องพยายามทำให้มีขนาดเล็กและเป็นมาตรฐานเดียวกัน ซึ่งในตัว Photo Tr บางตัวอาจมีปัญหาก่เกิดจากทั้งการติดตั้งและจากผลเนื่องจากความบกพร่องของแผ่นวงจรลายทองแดงทำให้มีสัญญาณเมื่อได้รับแสงและไม่ได้รับแสงไม่เป็นไปตามที่ได้ออกแบบไว้ เช่น ในบางตัวอาจมีกระแสขณะที่ได้รับแสงน้อย , บางตัวอาจมีกระแสในขณะที่ไม่ได้รับแสงมากเกินไป และปัญหาอันเนื่องจากการ Rise time และ Fall time มาก ทำให้ วงจรมี Sensibility ต่ำ การนำ

สัญญาณไปใช้จะไม่มีประสิทธิภาพเพียงพอ การแก้ไขจึงมีการนำเอาวงจร Buffer ซึ่งสามารถจะคิดแปลงเป็นวงจร Non - Inverting Amp. ได้ สำหรับเส้นสัญญาณที่ปัญหา ร่วมกับการ ดัดแปลงวงจร Comparator ที่มีอยู่เดิมให้เป็นวงจร Comparator แบบ Schmidt trigger ได้ ซึ่งจะทำ ให้วงจรที่มีปัญหาดังที่กล่าวมาสามารถทำงานได้อย่างมีประสิทธิภาพมากยิ่งขึ้น นอกจากนี้วงจร ตัวรับและตัวส่งยังมีปัญหาที่การติดตั้งตัววงจรกับแผ่นรหัสสัญญาณเนื่องจากช่องรหัสสัญญาณมี ขนาดเล็ก ทำให้การติดตั้งต้องอาศัยความประณีตสูง หลายชุดที่ไม่สามารถทำงานได้เต็ม ประสิทธิภาพ วงจรไครฟ์มีปัญหาเรื่องการลิมิตกระแสอยู่พอสมควร (บางตัว) นอกจากนี้การทำ งานติดต่อกันเป็นเวลานานถ้า Transistor มีความร้อนสูงเกินไปอาจทำให้เสียหายได้ ในการทำ งานของหน่วยควบคุมซึ่งใช้ Microcontroller หมายเลข 89C51 และ 89C2051 พบว่ามีข้อจำกัด ในประสิทธิภาพการทำงาน โดย Microcontroller ดังกล่าวไม่สามารถทำงานคำนวณในระดับสูง ซึ่งจะมีความจำเป็นมากในการควบคุมแบบระบบปิด และการทรงตัวโดยอัตโนมัติของชุดขากล การพัฒนาในขั้นต่อไปจะต้องมีการเลือกใช้ หน่วยประมวลผลที่มีความสามารถสูงมากขึ้น

เนื่องจากโครงสร้างของขากลที่ใช้ส่วนใหญ่สร้างขึ้นจากวัสดุประเภทโลหะ ทำให้มี น้ำหนักมากการแก้ไขส่วนหนึ่งทำได้โดยการลดน้ำหนักของอุปกรณ์ การส่งกำลังด้วยโซ่ มี ปัญหาอาจทำให้ข้อต่อที่ถูกล็อกด้วยโซ่ไม่สามารถล็อกได้ โดยด้วยความหย่อนของโซ่จะทำให้ข้อ ต่อนั้น ๆ ขยับได้เล็กน้อย แม้จะไม่มีการสั่งให้เคลื่อนที่เลย การพัฒนาต้องทำการลดน้ำหนักของ ชุดขากลลงอีก ซึ่งสามารถทำได้โดยการลดขนาดของแกน , ท่อนขา, เฟืองและอุปกรณ์อื่น ตลอดจนปรับเปลี่ยนวัสดุที่ใช้ให้เป็นวัสดุที่มีน้ำหนักเบา เช่น ในส่วนของหน้าแปลนอาจจะใช้หน้า

แผ่นแบบอ่อนตัวซึ่งทำจากวัสดุประเภทโลหะ ทำให้มีน้ำหนักเบาและมีความยืดหยุ่นสูงสามารถดูดซับกำลังอันอาจเกิดจากการรับแรงกระแทกในการวางเท้า ซึ่งแรงกระแทกดังกล่าวอาจทำให้ชิ้นส่วนเสียหายได้ นอกจากนี้หน้าแปลนประเภทโลหะได้ออกแบบไว้สำหรับใช้งานในกรณีที่แกนเพลามีการขยับเล็กน้อยอันจะทำให้ข้อต่อมีความยืดหยุ่นยิ่งขึ้น



รูปที่ 6.1 แสดงคุณสมบัติในการยืดหยุ่นของหน้าแปลนแบบโลหะ

การออกแบบท่าทางในการเดิน พบว่าการที่จะควบคุมการทรงตัวของชุดขากลไม่สามารถทำได้ตามที่ตั้งเป้าหมายไว้ เนื่องจากไม่สามารถทำงานเป็นระบบปิด (Closed Loop) ได้ การควบคุมตำแหน่งจึงไม่สามารถทำได้อย่างมีประสิทธิภาพเต็มที่ นอกจากนี้การควบคุมการทรงตัวแบบอัตโนมัติยังมีข้อจำกัดอีกหลายด้านทำให้การควบคุมการทรงตัวยังไม่สามารถทำงานได้ โดยในการควบคุมการทรงตัวจะต้องมีการนำสมการ State Space Variable มาใช้ซึ่งจะต้องทราบขนาดและน้ำหนักของอุปกรณ์ทุกชนิดอันจะต้องควบคุมคุณภาพในขั้นตอนการสร้างชิ้นงานอย่างละเอียด และการควบคุมต้องทำการทดลองการใช้งานเพื่อหาจุดที่ดีที่สุดในการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Moshe Shohan , “Robotics Structure” , Eshed (1982),1984
2. Schilling , Robert J. , “ fundamentals of Robotics Analysis and Control” ,Prentice- Hall,1990
3. BUXBAUM,a.,”Design of ConTrol System for DC Drives.” , Springer-verlag,1990
4. Fleeman Stephen , “Electronics Device : Discrete and Integreted” ,Prentice Hall , 1990
5. Gilmore ,Charles Minot , “Microprocessor principles and application” , Mc Graw - Hill , 1989
6. คร.วริทธิ์ อิงภากรณ์, ชาญ ถนัดงาน , “การออกแบบเครื่องจักรกล” , ซีเอ็ดดูเคชั่น ,2536
7. “คู่มือไอซีไมโครโปรเซสเซอร์ MCS - 51 ” , บริษัท อีทีที จำกัด
8. สุนทร วิฑูรพจน์ , “ การใช้งานไมโครคอนโทรลเลอร์ ตระกูล 8051 ” ,ซีเอ็ดดูเคชั่น ,2537

Features

- Compatible with MCS-51™ Products
- 4 Kbytes of In-System Reprogrammable Flash Memory
Endurance: 1,000 Write/Erase Cycles
Data Retention: 10 Years
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Five Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

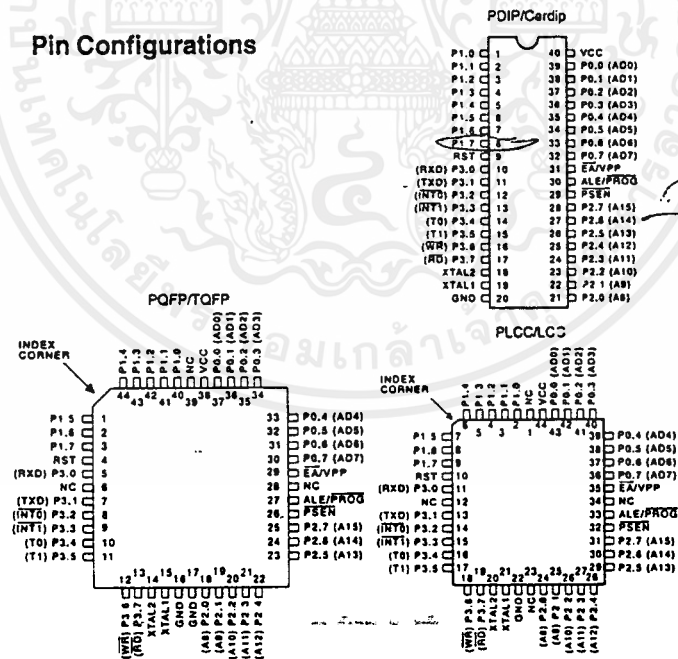
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4 Kbytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C51 provides the following standard features: 4 Kbytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five source two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is

continued

Pin Configurations



**8-Bit
Microcontroller
with 4 Kbytes
Flash**

AT89C51

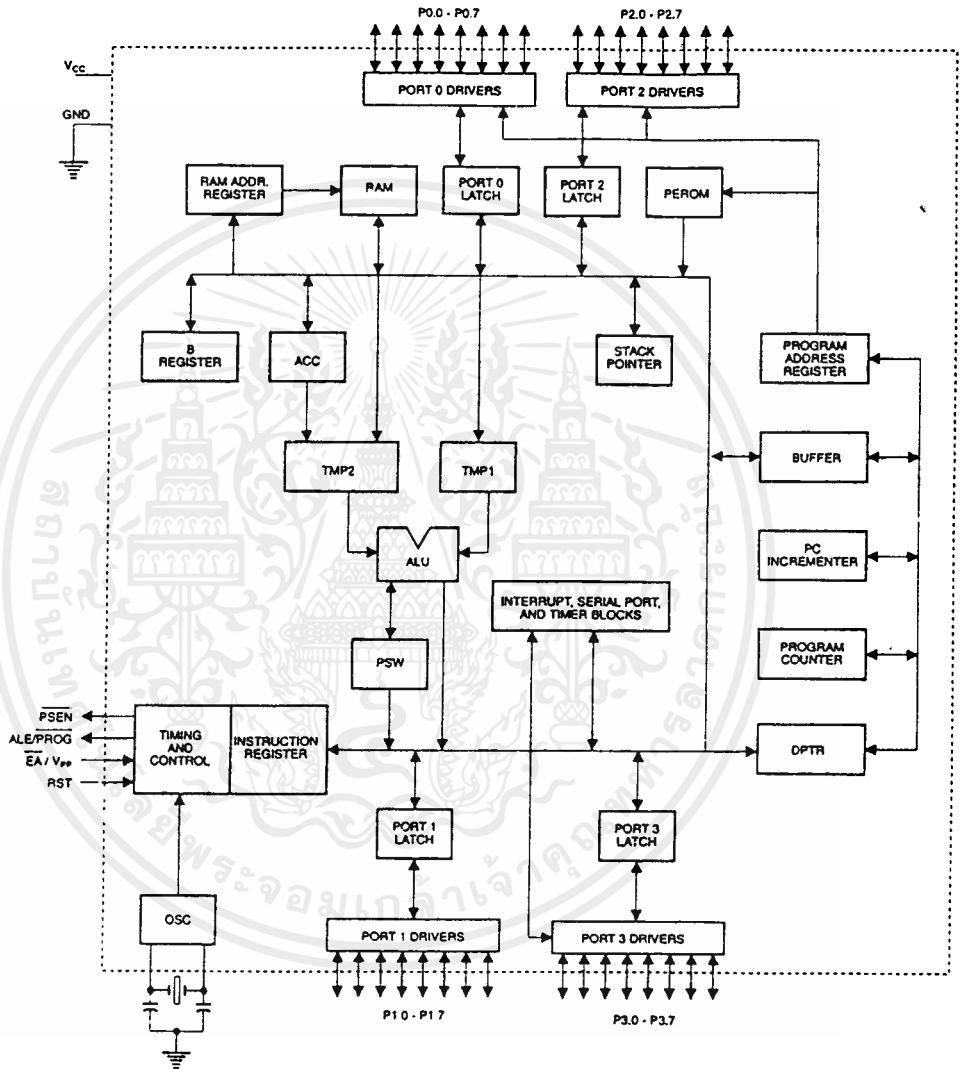
STP-1
DISEC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram



Description (Continued)

designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

Vcc
Supply voltage.
GND
Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RJ), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s

are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	WR (external data memory write strobe)
P3.7	RD (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/PROG

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

PSEN

Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external data memory.

EA/Vpp

External Access Enable. EA must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, EA will be internally latched on reset.

EA should be strapped to Vcc for internal program executions. This pin also receives the 12-volt programming enable voltage (Vpp) during Flash programming, for parts that require 12-volt Vpp.

continued



Pin Description (Continued)

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

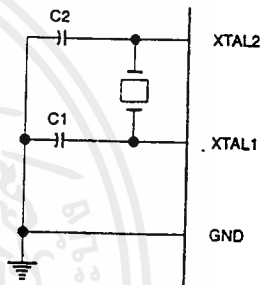
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

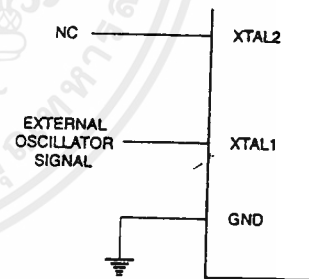
In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Figure 1. Oscillator Connections



Notes: C1, C2 = $30 \text{ pF} \pm 10 \text{ pF}$ for Crystals
 $= 40 \text{ pF} \pm 10 \text{ pF}$ for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the \overline{EA} pin is sampled and latched during reset. If the device is powered up

without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of \overline{EA} be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory, \overline{EA} is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (VCC) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	Vpp = 12 V	Vpp = 5 V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.

4. Raise \overline{EA}/V_{pp} to 12 V for the high-voltage programming mode.
5. Pulse $\overline{ALE}/\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on P0.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/BSY output signal. P3.4 is pulled low after \overline{ALE} goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding $\overline{ALE}/\overline{PROG}$ low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H.





031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

- (030H) = 1EH indicates manufactured by Atmel
- (031H) = 51H indicates 89C51
- (032H) = FFH indicates 12 V programming
- (032H) = 05H indicates 5 V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

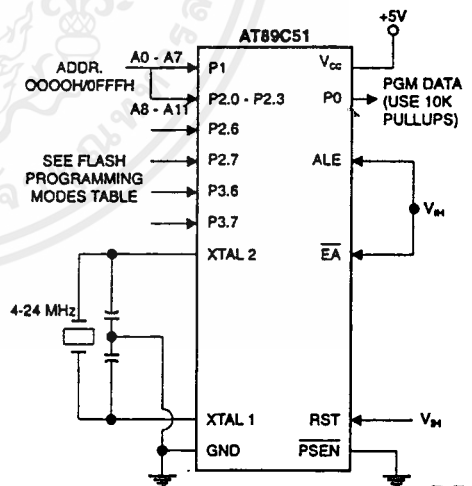
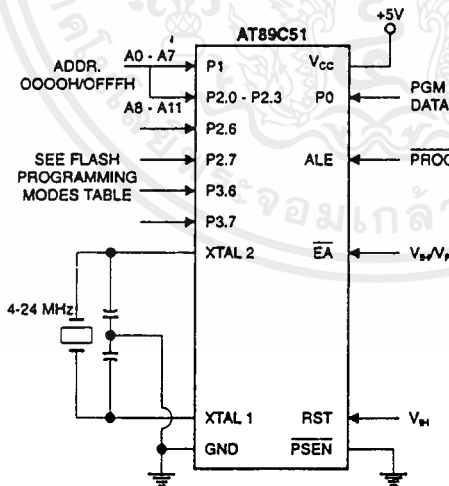
Mode	RST	PSEN	ALE/ PROG	EA/ V _{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L		H/12V ⁽¹⁾	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock Bit - 1	H	L		H/12V	H	H	H	H
Bit - 2	H	L		H/12V	H	H	L	L
Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase	H	L		H/12V ⁽²⁾	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Notes: 1. The signature byte at location 032H designates whether V_{PP} = 12 V or V_{PP} = 5 V should be used to enable programming.

2. Chip Erase requires a 10 ms $\overline{\text{PROG}}$ pulse.

Figure 3. Programming the Flash

Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

T_A = 21°C to 27°C, V_{CC} = 5.0 ± 10%

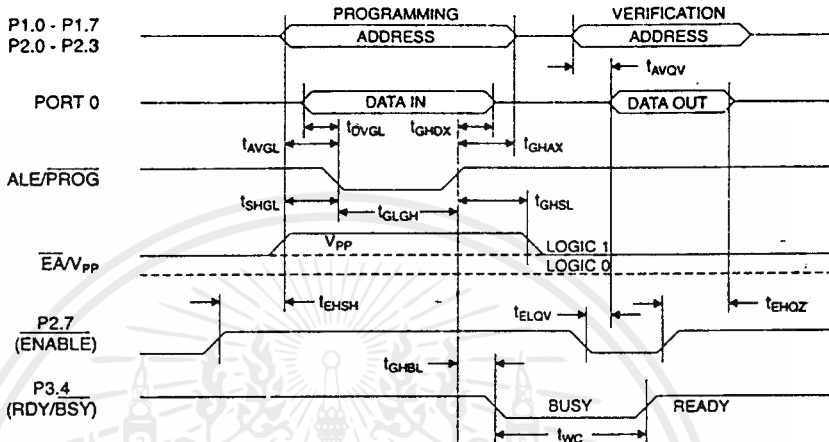
Symbol	Parameter	Min	Max	Units
V _{PP} ⁽¹⁾	Programming Enable Voltage	11.5	12.5	V
I _{PP} ⁽¹⁾	Programming Enable Current		1.0	mA
1/f _{CLCL}	Oscillator Frequency	4	24	MHz
t _{AVGL}	Address Setup to PROG Low	48t _{CLCL}		
t _{GHAX}	Address Hold After PROG	48t _{CLCL}		
t _{DVGL}	Data Setup to PROG Low	48t _{CLCL}		
t _{GHDX}	Data Hold After PROG	48t _{CLCL}		
t _{ESH}	P2.7 (ENABLE) High to V _{PP}	48t _{CLCL}		
t _{SHGL}	V _{PP} Setup to PROG Low	10		μs
t _{GHSL} ⁽¹⁾	V _{PP} Hold After PROG	10		μs
t _{GLGH}	PROG Width	1	110	μs
t _{AVQV}	Address to Data Valid		48t _{CLCL}	
t _{ELOV}	ENABLE Low to Data Valid		48t _{CLCL}	
t _{EHQV}	Data Float After ENABLE	0	48t _{CLCL}	
t _{GHBL}	PROG High to BUSY Low		1.0	μs
t _{WC}	Byte Write Cycle Time		2.0	ms

Note: 1. Only used in 12-volt programming mode.

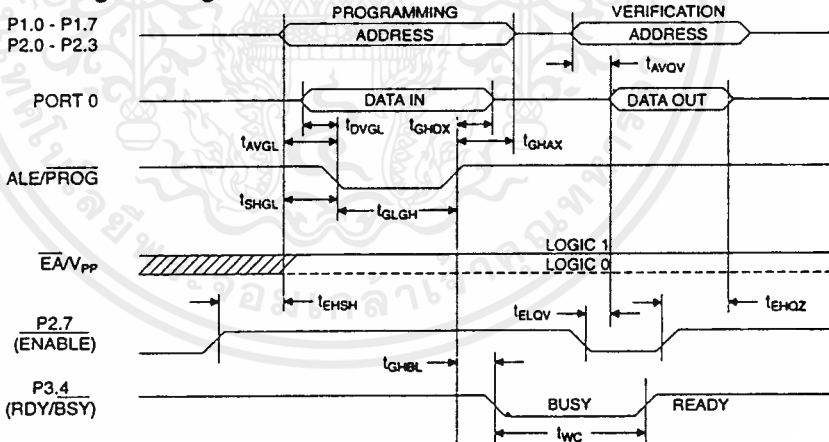




Flash Programming and Verification Waveforms - High Voltage Mode



Flash Programming and Verification Waveforms - Low Voltage Mode



Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0 V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V _{IL}	Input Low Voltage	(Except EA)	-0.5	0.2 V _{CC} -0.1	V
V _{IL1}	Input Low Voltage (EA)		-0.5	0.2 V _{CC} -0.3	V
V _{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V _{CC} +0.9	V _{CC} +0.5	V
V _{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V _{CC}	V _{CC} +0.5	V
V _{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	I _{OL} = 1.6 mA		0.45	V
V _{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, PSEN)	I _{OL} = 3.2 mA		0.45	V
V _{OH}	Output High Voltage (Ports 1,2,3, ALE, PSEN)	I _{OH} = -60 μA, V _{CC} = 5 V ± 10%	2.4		V
		I _{OH} = -25 μA	0.75 V _{CC}		V
		I _{OH} = -10 μA	0.9 V _{CC}		V
V _{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I _{OH} = -800 μA, V _{CC} = 5 V ± 10%	2.4		V
		I _{OH} = -300 μA	0.75 V _{CC}		V
		I _{OH} = -80 μA	0.9 V _{CC}		V
I _{IL}	Logical 0 Input Current (Ports 1,2,3)	V _{IN} = 0.45 V		-50	μA
I _{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V _{IN} = 2 V		-650	μA
I _{LI}	Input Leakage Current (Port 0, EA)	0.45 < V _{IN} < V _{CC}		±10	μA
RRST	Reset Pulldown Resistor		50	300	KΩ
C _{IO}	Pin Capacitance	Test Freq. = 1 MHz, T _A = 25°C		10	pF
I _{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode ⁽²⁾	V _{CC} = 6 V		100	μA
		V _{CC} = 3 V		40	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 10 mA
 Maximum I_{OL} per 8-bit port:
 Port 0: 26 mA
 Ports 1,2,3: 15 mA
 Maximum total I_{OL} for all output pins: 71 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
 2. Minimum V_{CC} for Power Down is 2 V.





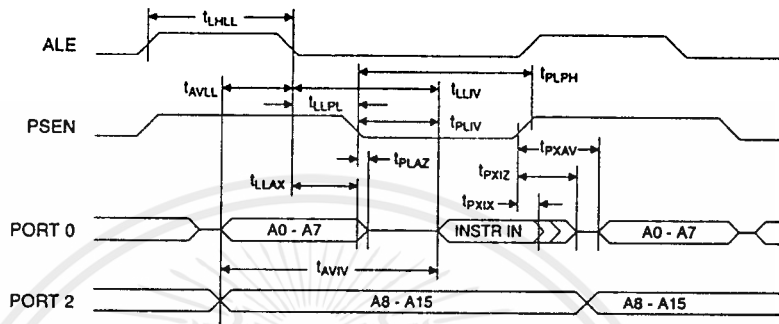
A.C. Characteristics

(Under Operating Conditions; Load Capacitance for Port 0, ALE/ $\overline{\text{PROG}}$, and $\overline{\text{PSEN}}$ = 100 pF, Load Capacitance for all other outputs = 80 pF)

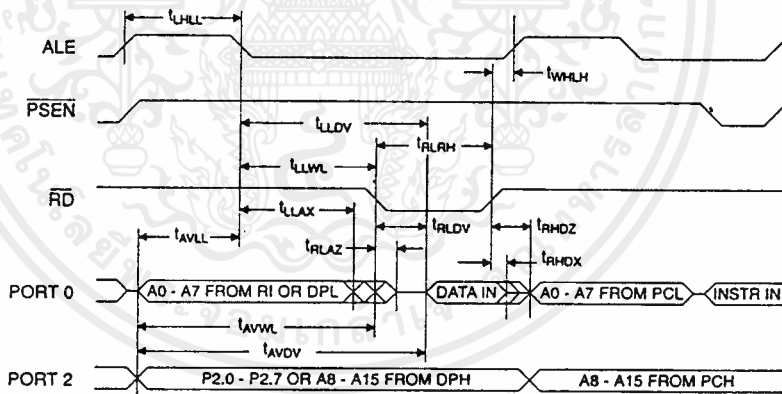
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{\text{CLCL}}$	Oscillator Frequency			0	24	MHz
t_{LHL}	ALE Pulse Width	127		$2t_{\text{CLCL}}-40$		ns
t_{AVLL}	Address Valid to ALE Low	28		$t_{\text{CLCL}}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{\text{CLCL}}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{\text{CLCL}}-65$	ns
t_{LLPL}	ALE Low to $\overline{\text{PSEN}}$ Low	43		$t_{\text{CLCL}}-13$		ns
t_{PLPH}	$\overline{\text{PSEN}}$ Pulse Width	205		$3t_{\text{CLCL}}-20$		ns
t_{PLIV}	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		$3t_{\text{CLCL}}-45$	ns
t_{PXIX}	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{\text{PSEN}}$		59		$t_{\text{CLCL}}-10$	ns
t_{PXAV}	$\overline{\text{PSEN}}$ to Address Valid	75		$t_{\text{CLCL}}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{\text{CLCL}}-55$	ns
t_{PLAZ}	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{\text{RD}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{WLWH}	$\overline{\text{WR}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{RLDV}	$\overline{\text{RD}}$ Low to Valid Data In		252		$5t_{\text{CLCL}}-90$	ns
t_{RHDX}	Data Hold After $\overline{\text{RD}}$	0		0		ns
t_{RHDX}	Data Float After $\overline{\text{RD}}$		97		$2t_{\text{CLCL}}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{\text{CLCL}}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{\text{CLCL}}-165$	ns
t_{LLWL}	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	ns
t_{AVWL}	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		$4t_{\text{CLCL}}-75$		ns
t_{QVWX}	Data Valid to $\overline{\text{WR}}$ Transition	23		$t_{\text{CLCL}}-20$		ns
t_{QVWH}	Data Valid to $\overline{\text{WR}}$ High	433		$7t_{\text{CLCL}}-120$		ns
t_{WHQX}	Data Hold After $\overline{\text{WR}}$	33		$t_{\text{CLCL}}-20$		ns
t_{RLAZ}	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	$t_{\text{CLCL}}-20$	$t_{\text{CLCL}}+25$	ns

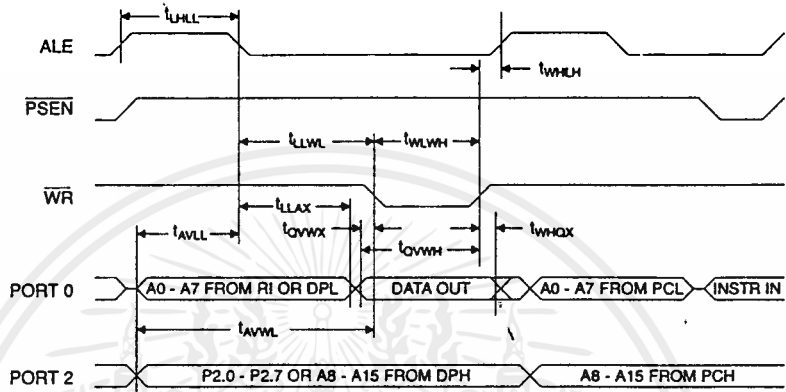
External Program Memory Read Cycle



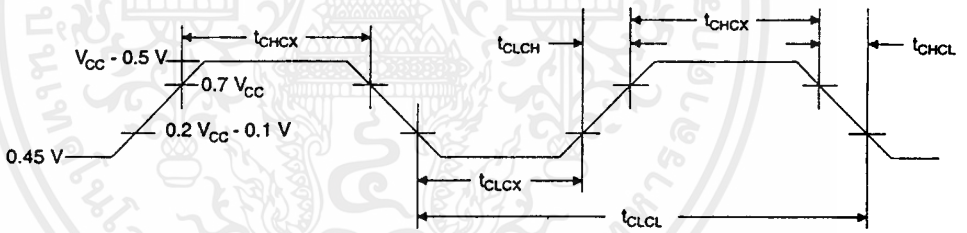
External Data Memory Read Cycle



External Data Memory Cycle



External Clock Drive Waveforms



External Clock Drive

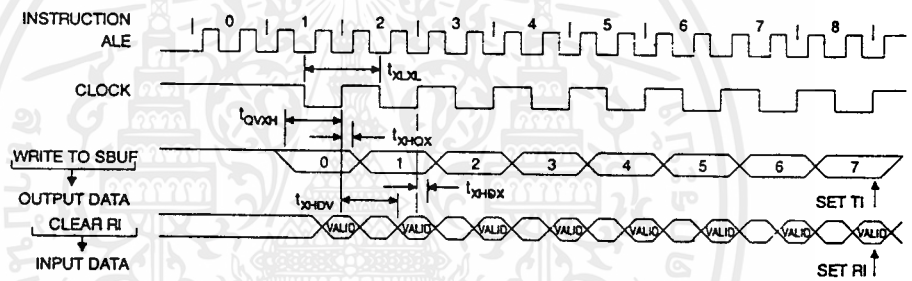
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

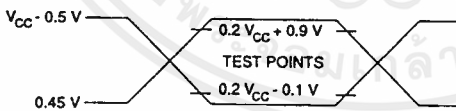
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t _{XLXL}	Serial Port Clock Cycle Time	1.0		12t _{CLCL}		μs
t _{OVXH}	Output Data Setup to Clock Rising Edge	700		10t _{CLCL} -133		ns
t _{XHQX}	Output Data Hold After Clock Rising Edge	50		2t _{CLCL} -33		ns
t _{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t _{XHDV}	Clock Rising Edge to Input Data Valid		700		10t _{CLCL} -133	ns

Shift Register Mode Timing Waveforms

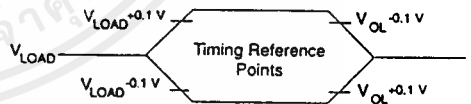


AC Testing Input/Output Waveforms ⁽¹⁾



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms ⁽¹⁾



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.





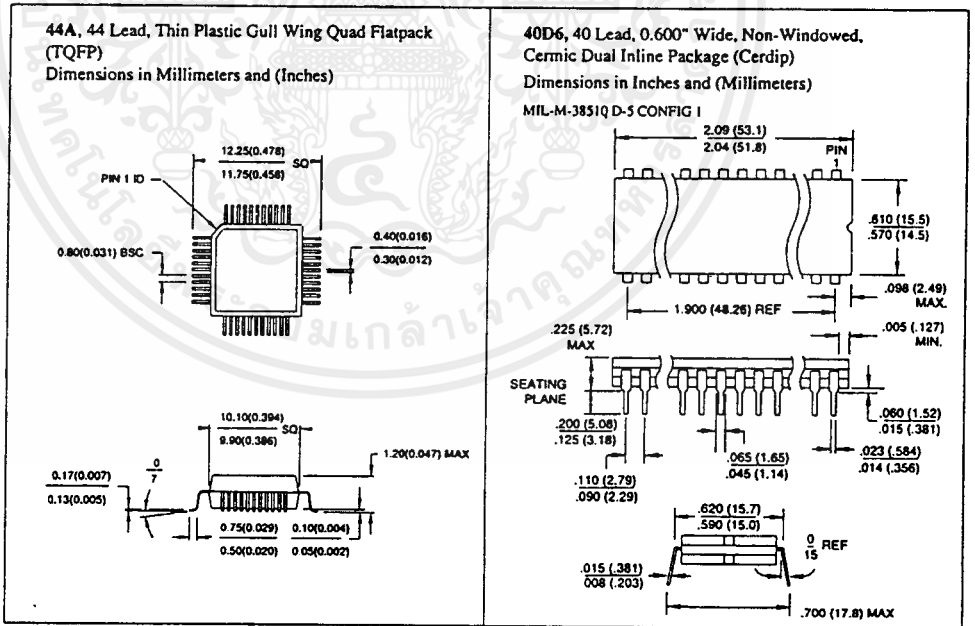
Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5 V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	Industrial (-40°C to 85°C)
		AT89C51-12AI	44A	
		AT89C51-12JI	44J	
	5 V ± 10%	AT89C51-12PI	40P6	Automotive (-40°C to 125°C)
		AT89C51-12QI	44Q	
		AT89C51-12AA	44A	
		AT89C51-12JA	44J	
		AT89C51-12PA	40P6	
		AT89C51-12QA	44Q	Military/883C Class B, Fully Compliant (-55°C to 125°C)
AT89C51-12DM	40D6			
AT89C51-12LM	44L			
AT89C51-12DM/883	40D6			
AT89C51-12LM/883	44L			
16	5 V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	Industrial (-40°C to 85°C)
		AT89C51-16AI	44A	
		AT89C51-16JI	44J	
	5 V ± 10%	AT89C51-16PI	40P6	Automotive (-40°C to 125°C)
		AT89C51-16QI	44Q	
		AT89C51-16AA	44A	
		AT89C51-16JA	44J	
		AT89C51-16PA	40P6	
		AT89C51-16QA	44Q	
20	5 V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	Industrial (-40°C to 85°C)
		AT89C51-20AI	44A	
		AT89C51-20JI	44J	
	5 V ± 10%	AT89C51-20PI	40P6	Automotive (-40°C to 125°C)
		AT89C51-20QI	44Q	
		AT89C51-20AA	44A	
		AT89C51-20JA	44J	
		AT89C51-20PA	40P6	
		AT89C51-20QA	44Q	
24	5 V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	Industrial (-40°C to 85°C)
		AT89C51-24AI	44A	
		AT89C51-24JI	44J	
	5 V ± 10%	AT89C51-24PI	44P6	Automotive (-40°C to 125°C)
		AT89C51-24QI	44Q	
		AT89C51-24AA	44A	
		AT89C51-24JA	44J	
		AT89C51-24PA	40P6	
		AT89C51-24QA	44Q	

Ordering Information

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
40D6	40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
44L	44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

Packaging Information

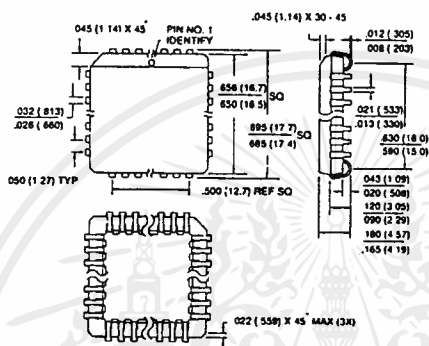


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

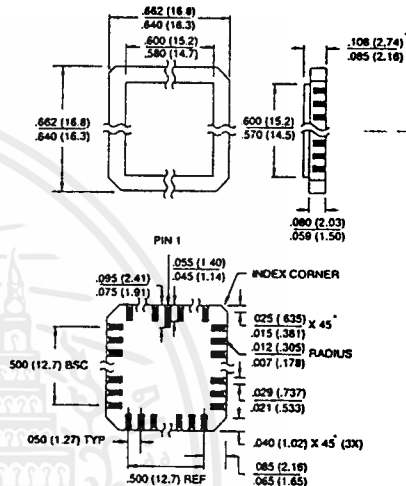


Packaging Information

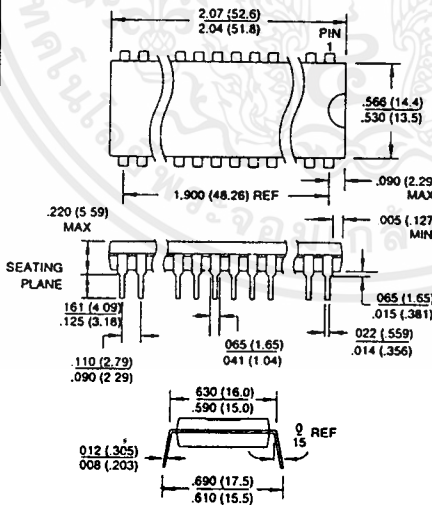
44J, 44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
 Dimensions in Inches and (Millimeters)
 JEDEC OUTLINE MO-047 AC



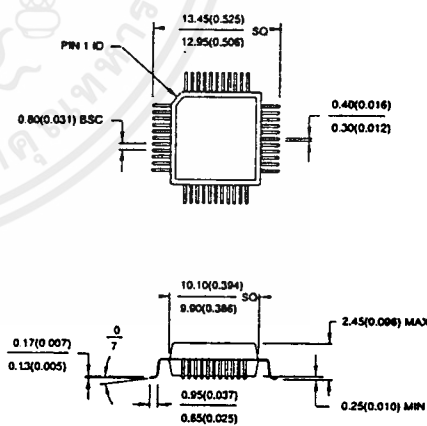
44L, 44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
 Dimensions in Inches and (Millimeters)



40P6, 40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
 Dimensions in Inches and (Millimeters)



44Q, 44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)
 Dimensions in Millimeters and (Inches)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

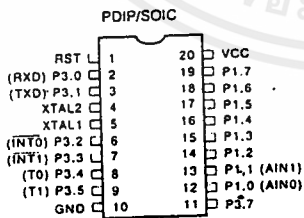
- Compatible with MCS-51™ Products
- 2 Kbytes of Reprogrammable Flash Memory
Endurance: 1,000 Write/Erase Cycles
- 2.7 V to 6 V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Five Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes

Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2 Kbytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C2051 provides the following standard features: 2 Kbytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five source two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration



**8-Bit
Microcontroller
with 2 Kbytes
Flash**

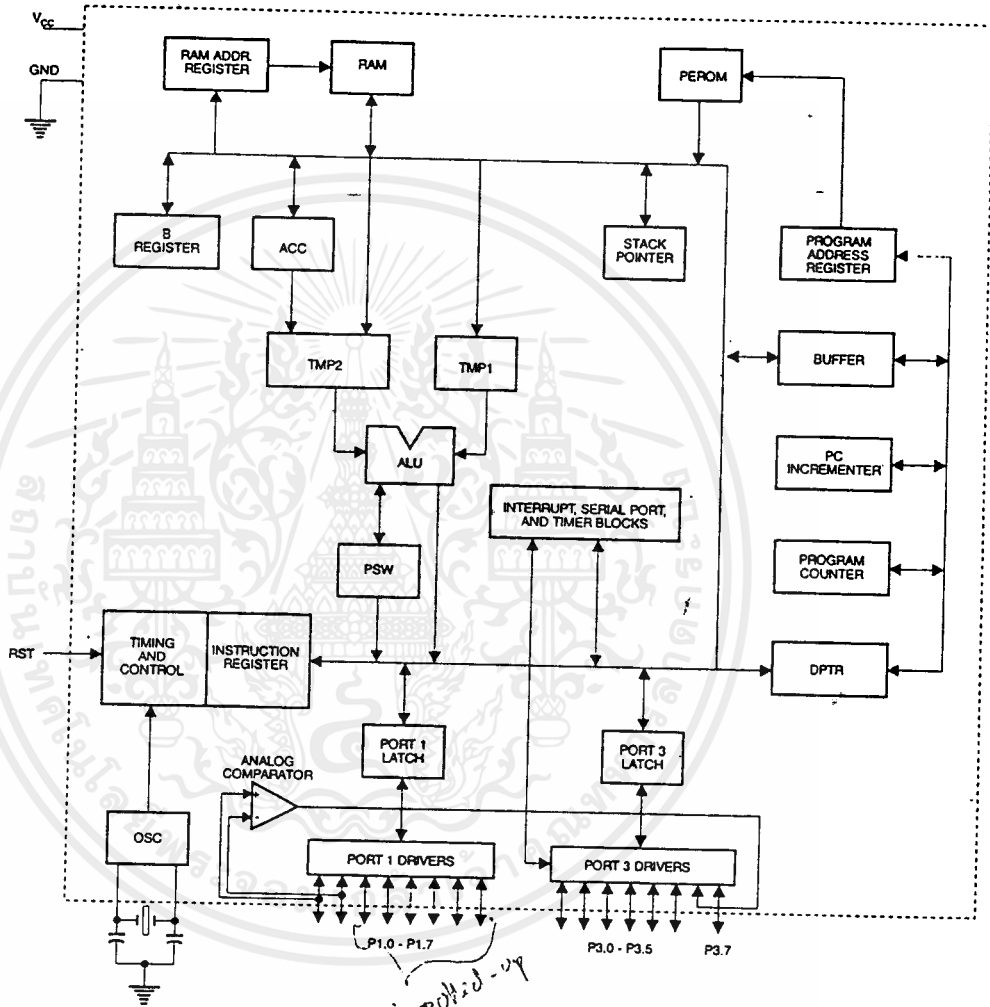
AT89C2051



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Vcc

Supply voltage.

GND

Ground.

Port 1
Port 1 is an 8-bit bidirectional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and program verification.

Port 3

Port 3 pins P3.0 to P3.5, P3.7 are seven bidirectional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C2051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

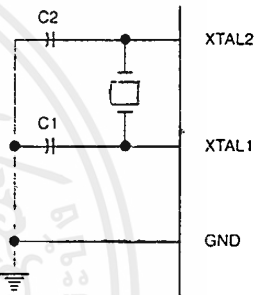
XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

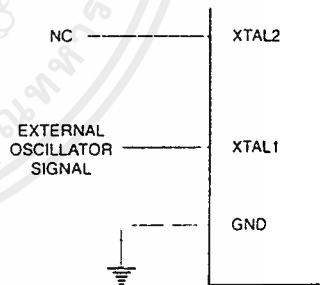
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration





Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C2051 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H									0CFH
0C0H									0C7H
0B8H	IP X0000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 00000000								0AFH
0A0H									0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H		SP 00001111	DPL 00000000	DPH 00000000				PCON 00000000	87H

Restrictions on Certain Instructions

The AT89C2051 and AT89C1051 are economical and cost-effective members of Atmel's growing family of microcontrollers. They contain 2 Kbytes and 1 Kbyte of flash program memory, respectively. Both are fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program these devices.

* All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 2K for the AT89C2051. This should be the responsibility of the software programmer. For example, LCALL 7E0H would be valid for the AT89C2051 (with 2K of memory), but LCALL 900H would not.

1. Branching instructions:

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to 7FFH for the 89C2051). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above ap-

plies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

2. MOVX-related instructions, Data Memory:

The AT89C2051 contains 128 bytes of internal data memory, while the AT89C1051 has 64 bytes. Thus, in the AT89C1051 the stack depth is limited to 64 bytes, the amount of available RAM. External DATA memory access is not supported in either device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.





Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes⁽¹⁾

Program Lock Bits	Lock Bits		Protection Type
	LB1	LB2	
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

Programming The Flash

The AT89C2051 is shipped with the 2 Kbytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C2051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C2051, the following sequence is recommended.

- Power-up sequence:
Apply power between V_{CC} and GND pins
Set RST and XTAL1 to GND
With all other pins floating, wait for greater than 10 milliseconds
 - Set pin RST to 'H'
Set pin P3.2 to 'H'
 - Apply the appropriate combination of 'H' or 'L' logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.
- To Program and Verify the Array:
- Apply data for Code byte at location 000H to P1.0 to P1.7.
 - Raise RST to 12V to enable programming.
 - Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
 - To verify the programmed data, lower RST from 12V to logic 'H' level and set pins P3.3 to P3.7 to the appropriate levels. Output data can be read at the port P1 pins.
 - To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
 - Repeat steps 5 through 8, changing data and advancing the address counter for the entire 2 Kbytes array or until the end of the object file is reached.
- Power-off sequence:
- set XTAL1 to 'L'
 - set RST to 'L'
 - Float all other I/O pins
 - Turn V_{CC} power off

Data Polling: The AT89C2051 features $\overline{\text{Data}}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, $\overline{\text{true}}$ data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The Progress of byte programming can also be monitored by the RDY/BSY output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from 'L' to 'H'.
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (2 Kbytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
(001H) = 21H indicates 89C2051

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	P3.2/ PROG	P3.3 ³	P3.4	P3.5	P3.7
Write Code Data ^(1,3)	12V		L	H	H	H
Read Code Data ⁽¹⁾	H	H	L	L	H	H
Write Lock Bit - 1	12V		H	H	H	H
Bit - 2	12V		H	H	L	L
Chip Erase	12V		H	L	L	L
Read Signature Byte	H	H	L	L	L	L

Notes: 1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL1 pin.

2. Chip Erase requires a 10 ms $\overline{\text{PROG}}$ pulse.

3. P3.1 is pulled Low during programming to indicate RDY/BSY.





Figure 3. Programming the Flash Memory

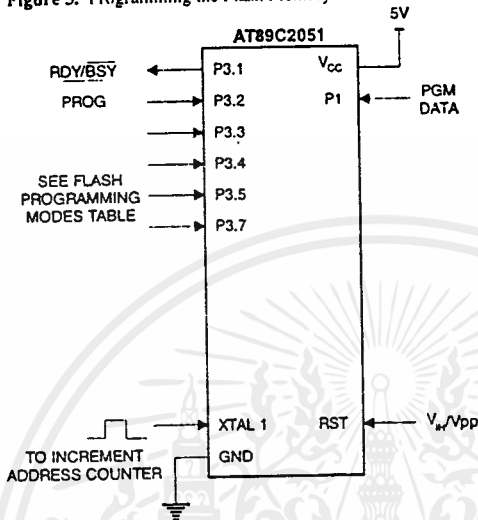
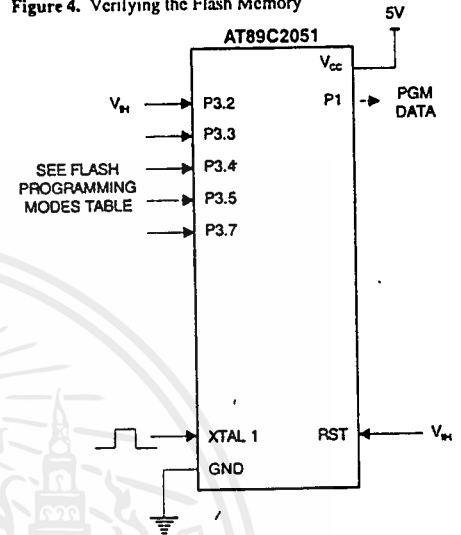


Figure 4. Verifying the Flash Memory

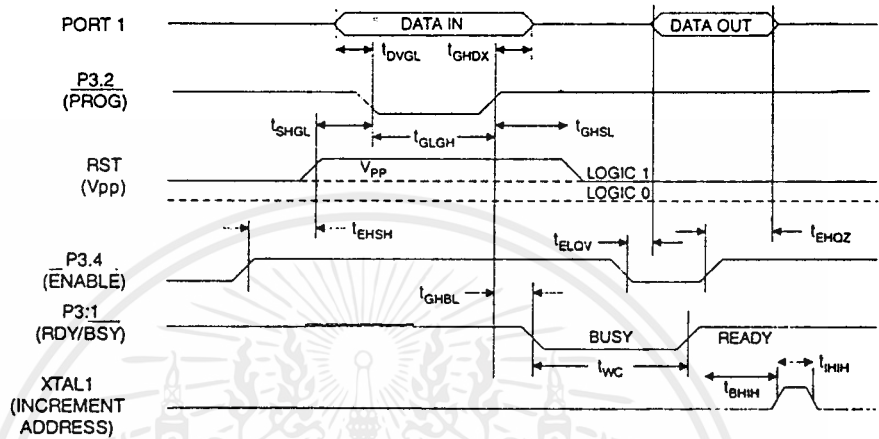


Flash Programming and Verification Characteristics

$T_A = 21^\circ\text{C}$ to 27°C , $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		250	μa
t_{DVGL}	Data Setup to PROG Low	1.0		μs
t_{GHDX}	Data Hold After PROG	1.0		μs
t_{EMSH}	P3.4 (ENABLE) High to V_{PP}	1.0		μs
t_{SHGL}	V_{PP} Setup to PROG Low	10		μs
t_{GHSL}	V_{PP} Hold After PROG	10		μs
t_{GLGH}	PROG Width	1	110	μs
t_{ELQV}	ENABLE Low to Data Valid		1.0	μs
t_{EHQZ}	Data Float After ENABLE	0	1.0	μs
t_{GHBL}	PROG High to BUSY Low		50	ns
t_{WC}	Byte Write Cycle Time		2.0	ms
t_{BHIH}	RDY/BSY to Increment Clock Delay	1.0		μs
t_{IHIL}	Increment Clock High	200		ns

Flash Programming and Verification Waveforms



Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.





D.C. Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7\text{ V}$ to 6.0 V (unless otherwise noted)

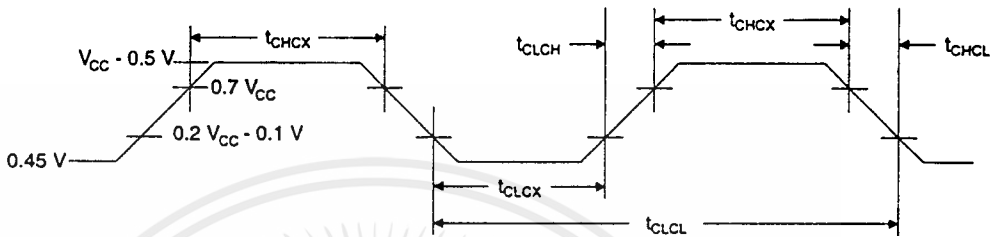
Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage		-0.5	$0.2 V_{CC} - 0.1$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1, 3)	$I_{OL} = 20\text{ mA}$, $V_{CC} = 5\text{ V}$ $I_{OL} = 10\text{ mA}$, $V_{CC} = 2.7\text{ V}$		0.5	V
V_{OH}	Output High Voltage (Ports 1, 3)	$I_{OH} = -80\ \mu\text{A}$, $V_{CC} = 5\text{ V} \pm 10\%$	2.4		V
		$I_{OH} = -30\ \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -12\ \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1, 2, 3)	$V_{IN} = 0.45\text{ V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 2, 3)	$V_{IN} = 2\text{ V}$		-750	μA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	$0 < V_{IN} < V_{CC}$		± 10	μA
V_{OS}	Comparator Input Offset Voltage	$V_{CC} = 5\text{ V}$		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pulldown Resistor		50	300	$\text{K}\Omega$
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, $V_{CC} = 6\text{ V}/3\text{ V}$		15/5.5	mA
		Idle Mode, 12 MHz, $V_{CC} = 6\text{ V}/3\text{ V}$ $P1.0 \& P1.1 = 0\text{V}$ or V_{CC}		5/1	mA
		Power Down Mode ⁽²⁾	$V_{CC} = 6\text{ V}$ $P1.0 \& P1.1 = 0\text{V}$ or V_{CC} $V_{CC} = 3\text{ V}$ $P1.0 \& P1.1 = 0\text{V}$ or V_{CC}		100 20

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 20 mA
Maximum total I_{OL} for all output pins: 80 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2 V.

External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLL}$	Oscillator Frequency	0	24	MHz
t_{CLL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns



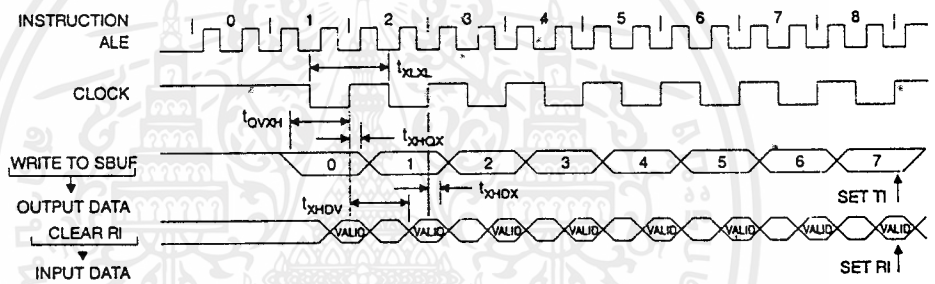


Serial Port Timing: Shift Register Mode Test Conditions

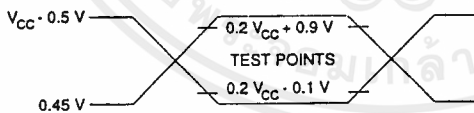
($V_{CC} = 5.0 \text{ V} \pm 20\%$; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
t_{OVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
t_{XHGX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}-33$		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms

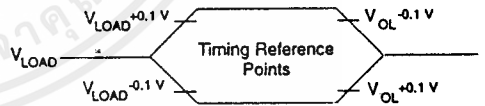


AC Testing Input/Output Waveforms ⁽¹⁾



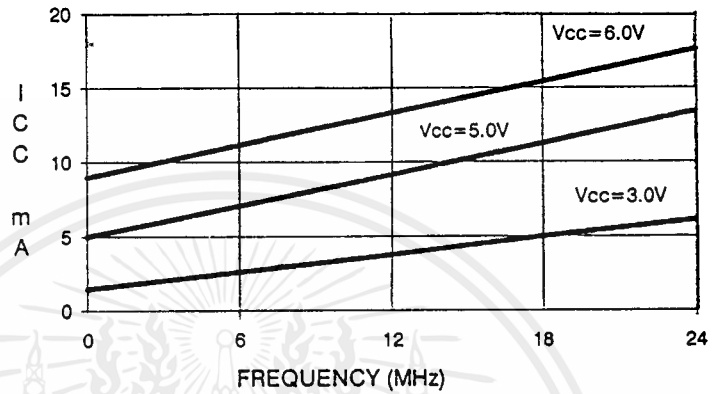
Note: 1. AC Inputs during testing are driven at $V_{CC} - 0.5 \text{ V}$ for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at $V_{IH \text{ min.}}$ for a logic 1 and $V_{IL \text{ max.}}$ for a logic 0.

Float Waveforms ⁽¹⁾

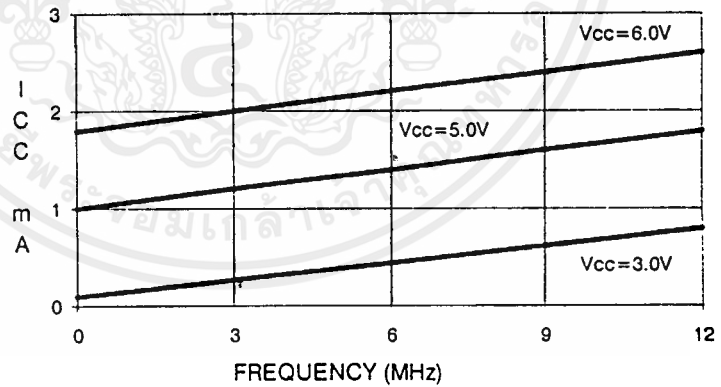


Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

AT89C2051
TYPICAL ICC - ACTIVE (85°C)



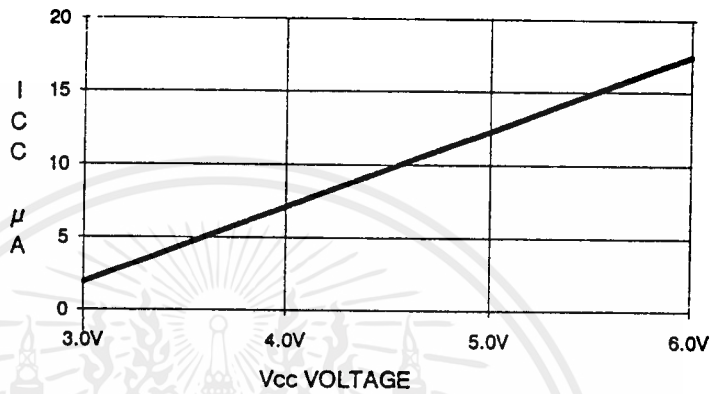
AT89C2051
TYPICAL ICC - IDLE (85°C)





AT89C2051

TYPICAL ICC vs. VOLTAGE - POWER DOWN (85°C)



- Note:
1. XTAL1 tied to GND for ICC (power down).
 2. P1.0 and P1.1 = Vcc or GND.
 3. Lock bits programmed.

LM124/LM224/LM324, LM124A/
LM224A/LM324A, LM2902



Operational Amplifiers/Buffers

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902 Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

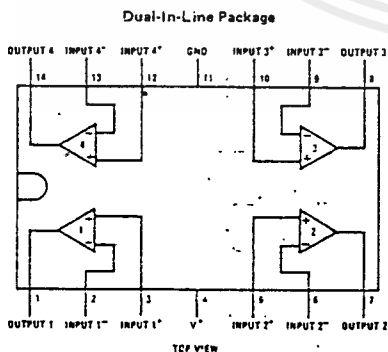
Advantages

- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
 - Single supply 3 V_{DC} to 30 V_{DC}
 - or dual supplies ±1.5 V_{DC} to ±15 V_{DC}
- Very low supply current drain (800µA) — essentially independent of supply voltage (1 mW/op amp at +5 V_{DC})
- Low input biasing current 45 nA_{DC} (temperature compensated)
- Low input offset voltage 2 mV_{DC} and offset current 5 nA_{DC}
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0 V_{DC} to V⁻ - 1.5 V_{DC}

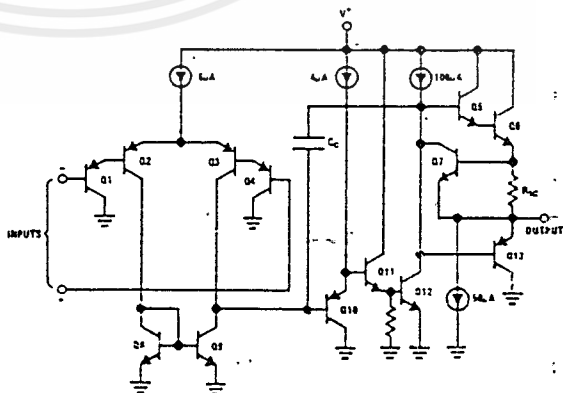
Connection Diagram



Order Number LM124J, LM124AJ,
LM224J, LM224AJ, LM324J,
LM324AJ or LM2902J
See NS Package J14A

Order Number LM324N, LM324AN
or LM2902N
See NS Package N14A

Schematic Diagram (Each Amplifier)



ไม่ทำการใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

PARAMETER	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Supply Voltage, V^+	32 VDC or ±16 VDC	26 VDC or ±13 VDC	60 mA	50 mA
Differential Input Voltage	±32 VDC	±26 VDC	0°C to +70°C	-40°C to +185°C
Input Voltage	-0.3 VDC to +26 VDC	-0.3 VDC to +26 VDC	-25°C to +185°C	-40°C to +185°C
Power Dissipation (Note 1)	570 mW	570 mW	-55°C to +125°C	-65°C to +160°C
Molded DIP	800 mW	800 mW	-65°C to +150°C	300°C
Flat Pack	800 mW	800 mW	300°C	300°C
Output Short-Circuit to GND (One Amplifier) (Note 2)	Continuous	Continuous	Storage Temperature Range	Storage Temperature Range
$V^+ \leq 15$ VDC and $T_A = 25^\circ\text{C}$			Lead Temperature (Soldering, 10 seconds)	Lead Temperature (Soldering, 10 seconds)

Electrical Characteristics ($V^+ = +5.0$ VDC, Note 4)

PARAMETER	CONDITIONS	LM124A	LM224A	LM324A	LM124/LM224	LM324	LM2902	UNITS
Input Offset Voltage	$T_A = 25^\circ\text{C}$, (Note 5)	MIN 1 2 TYP 50 MAX 20	MIN 1 3 TYP 40 MAX 80	MIN 2 3 TYP 45 MAX 100	MIN 12 15 TYP 45 MAX 150	MIN 12 17 TYP 45 MAX 250	MIN 12 17 TYP 45 MAX 250	mVDC
Input Bias Current (Note 6)	$I_{IN(+)} - I_{IN(-)}$, $T_A = 25^\circ\text{C}$	0	0	0	0	0	0	nADC
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $T_A = 25^\circ\text{C}$	0	0	0	0	0	0	nADC
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30$ VDC, $T_A = 25^\circ\text{C}$	0	0	0	0	0	0	VDC
Supply Current	$R_L = \infty$, $V_{CC} = 10$ V, (LM2902 $V_{CC} = 26$ V) $R_L = \infty$ On All Op Amps Over Full Temperature Range	1.5 3 0.7 1.2	1.5 3 0.7 1.2	1.5 3 0.7 1.2	1.5 3 0.7 1.2	1.5 3 0.7 1.2	1.5 3 0.7 1.2	mADC
Large Signal Voltage Gain	$V^+ = 15$ VDC (For Large V_O Swing) $R_L \geq 2$ k Ω , $T_A = 25^\circ\text{C}$	50 100	50 100	25 100	50 100	25 100	100	V/mV
Output Voltage Swing	$R_L = 2$ k Ω , $T_A = 25^\circ\text{C}$ (LM2902 $R_L \geq 10$ k Ω)	0	0	0	0	0	0	-VDC
Common Mode Rejection Ratio	DC, $T_A = 25^\circ\text{C}$	70 85	70 85	65 85	70 85	65 70	50 70	dB
Power Supply Rejection Ratio	DC, $T_A = 25^\circ\text{C}$	65 100	65 100	65 100	65 100	65 100	50 100	dB
Amplifier-to-Amplifier Coupling (Note 8)	$f = 1$ kHz to 20 kHz, $T_A = 25^\circ\text{C}$ (Input Referred)	-120	-120	-120	-120	-120	-120	dB
Output Current Source	$V_{IN}^+ = 1$ VDC, $V_{IN}^- = 0$ VDC; $V^+ = 15$ VDC, $T_A = 25^\circ\text{C}$	20 40	20 40	-20 40	20 40	20 40	20 40	mADC
Sink	$V_{IN}^- = 1$ VDC, $V_{IN}^+ = 0$ VDC; $V^+ = 15$ VDC, $T_A = 25^\circ\text{C}$;	10 20	10 20	10 20	-10 20	10 20	10 20	mADC
Short Circuit to Ground	$V_{IN}^- = 1$ VDC, $V_{IN}^+ = 0$ VDC; $T_A = 25^\circ\text{C}$, $V_O = 200$ mVDC (Note 2)	12 50	12 50	12 50	12 50	12 50	12 50	μ ADC

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902



LM124/LM224/LM324, LM124A/
LM224A/LM324A, LM2902

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM124A	LM224A	LM324A	LM124/LM224	LM324	LM2902	UNIT
Input Offset Voltage	(Note 5) $R_S = 0\Omega$	4	4	5	±7	±9	MIN TYP MAX	mVDC
Input Offset Voltage Drift		7	7	7	7	7	MIN TYP MAX	μV/°C
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$	30	30	75	±100	±150	MIN TYP MAX	nADC
Input Offset Current Drift		10	10	10	-10	10	MIN TYP MAX	pADC/°C
Input Bias Current	$I_{IN(+)} \text{ or } I_{IN(-)}$	40	40	40	40	40	MIN TYP MAX	nADC
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30 \text{ VDC}$	0	0	0	0	0	MIN TYP MAX	VDC
Large Signal Voltage Gain	$V^+ = +15 \text{ VDC}$ (For Large V_O Swing) $R_L \geq 2 \text{ k}\Omega$	25	25	15	25	15	MIN TYP MAX	V/mV
Output Voltage Swing								
V_{OH}	$V^+ = +30 \text{ VDC}$, $R_L = 2 \text{ k}\Omega$ $R_L \geq 10 \text{ k}\Omega$	26	26	26	26	26	MIN TYP MAX	VDC
V_{OL}	$V^+ = 5 \text{ VDC}$, $R_L \leq 10 \text{ k}\Omega$	27	27	27	27	27	MIN TYP MAX	VDC
Output Current		5	5	5	5	5	MIN TYP MAX	mVDC
Source	$V_{IN}^+ = +1 \text{ VDC}$, $V_{IN}^- = 0 \text{ VDC}$, $V^+ = 16 \text{ VDC}$	10	10	10	10	10	MIN TYP MAX	mADC
Sink	$V_{IN}^- = +1 \text{ VDC}$, $V_{IN}^+ = 0 \text{ VDC}$, $V^+ = 15 \text{ VDC}$	10	10	10	10	10	MIN TYP MAX	mADC
Differential Input Voltage	(Note 7)	32	32	32	32	32	MIN TYP MAX	VDC

Note 1: For operating at high temperatures, the LM324/LM324A, LM2902 must be derated based on a +125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM224/LM224A and LM124/LM124A can be derated based on a +160°C maximum junction temperature. The dissipation is the total of all four amplifiers—use external resistors, where possible, to allow the amplifier to saturate or to reduce the power which is dissipated in the integrated circuit.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 40 mA independent of V^+ . At values of supply voltage in excess of +15 VDC, continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

Note 3: This input current will exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the V^+ voltage level for a large overdrive for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3 VDC (at 25°C).

Note 4: These specifications apply for $V^+ = +5 \text{ VDC}$ and $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$, unless otherwise stated. With the LM224/LM224A, all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, the LM324/LM324A temperature specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, and the LM2902 specifications are limited to $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$.

Note 5: $V_O \approx 1.4 \text{ VDC}$, $R_S = 0\Omega$ with V^+ from 5 VDC to 30 VDC; and over the full input common-mode range (0 VDC to $V^+ - 1.5 \text{ VDC}$).

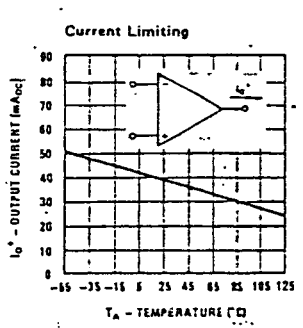
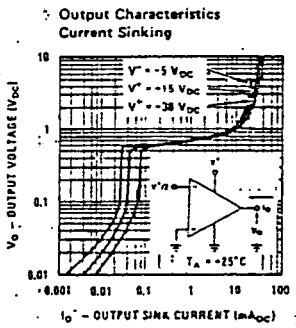
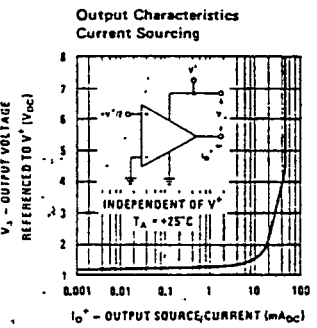
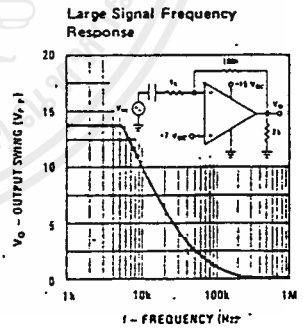
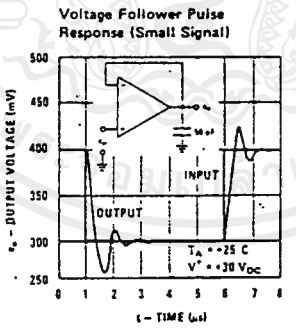
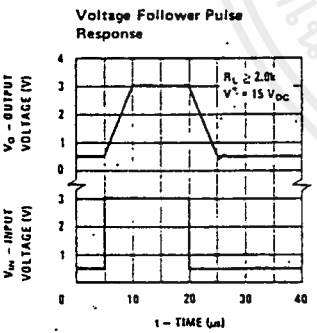
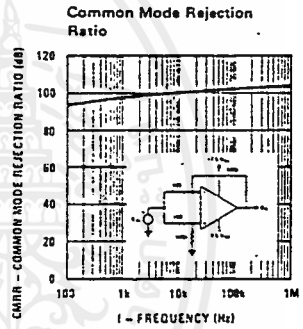
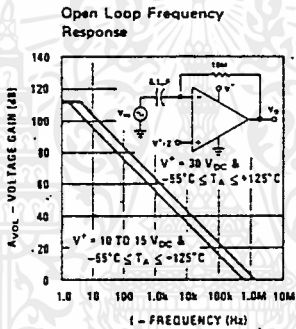
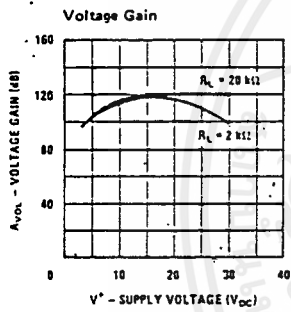
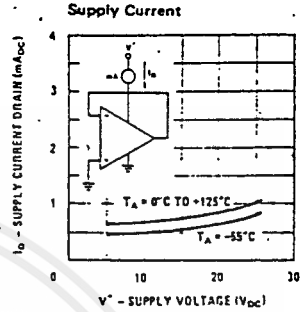
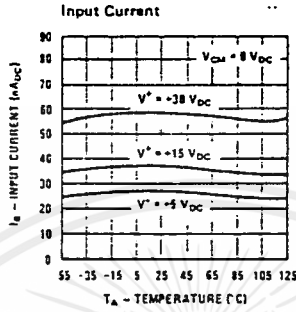
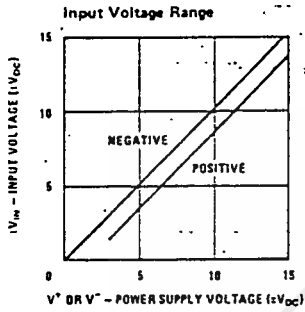
Note 6: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input line.

Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.3V (at 25°C). The upper end of the common-mode voltage range is $V^+ - 1.5\text{V}$, but either of both inputs can go to +32 VDC without damage (+26 VDC for LM2902).

Note 8: Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as this type of capacitive increases at higher frequencies.

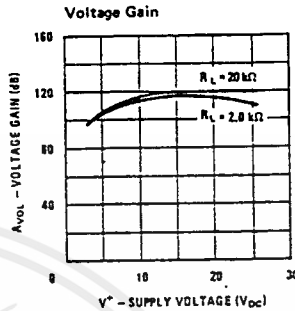
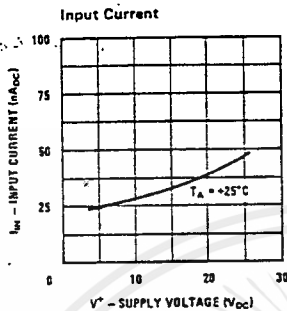


Typical Performance Characteristics



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษเท่านั้น ไม่นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (LM2902 only)



Application Hints

The LM124 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{DC}. These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{DC}.

The pinouts of the package have been designed to simplify PC board layouts. Inverting inputs are adjacent to outputs for all of the amplifiers and the outputs have also been placed at the corners of the package (pins 1, 7, 8, and 14).

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V⁺ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than -0.3 V_{DC} (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large butput currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should

be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

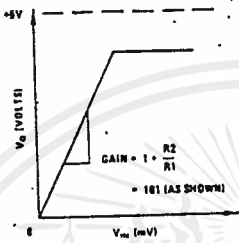
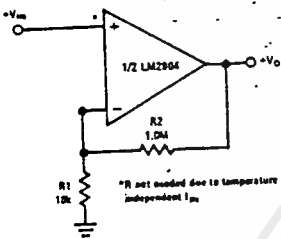
The bias network of the LM124 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 3 V_{DC} to 30 V_{DC}.

Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

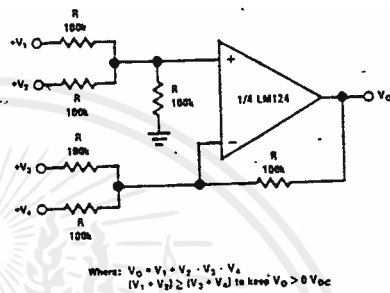
The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of V⁺/2) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

Typical Single-Supply Applications ($V^+ = 5.0 V_{DC}$)

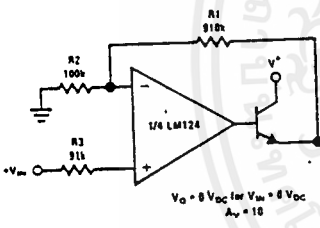
Non-Inverting DC Gain (0V Input = 0V Output)



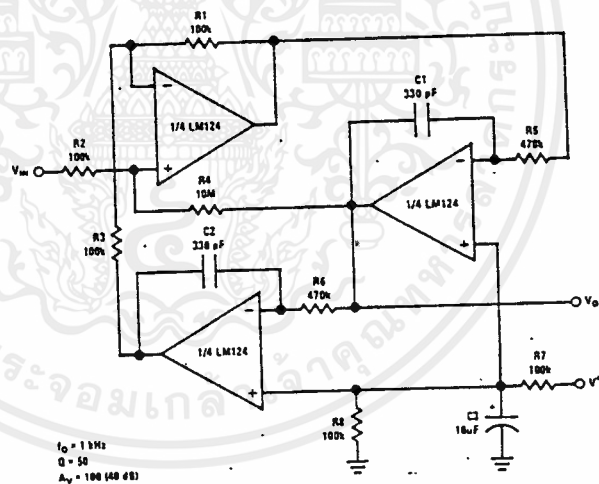
DC Summing Amplifier ($V_{IN's} \geq 0 V_{DC}$ AND $V_O \geq 0 V_{DC}$)



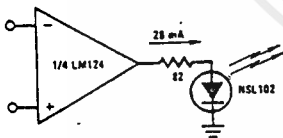
Power Amplifier



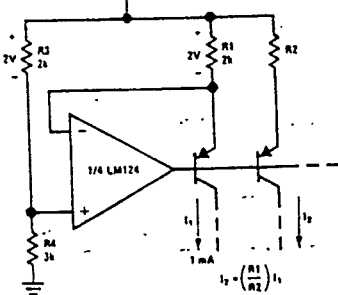
"BI-QUAD" RC Active Bandpass Filter



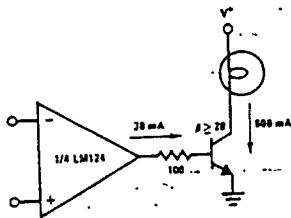
LED Driver



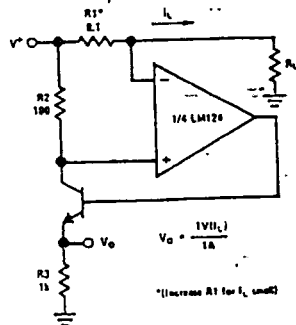
Fixed Current Sources



Lamp Driver



Current Monitor



Typical Single-Supply Applications (Continued) ($V^+ = 5.0 \text{ V}_{\text{DC}}$)

Voltage Controlled Oscillator Circuit

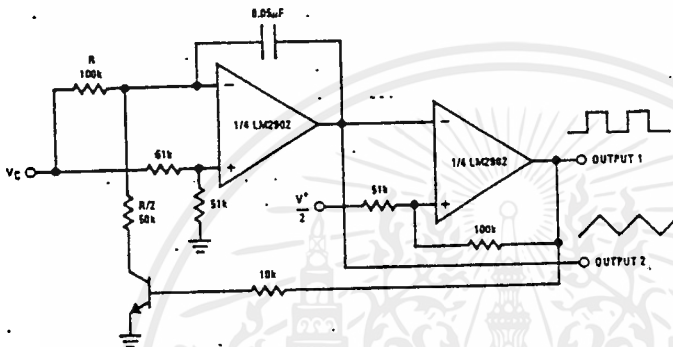
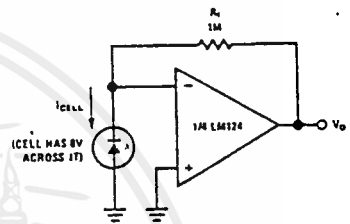
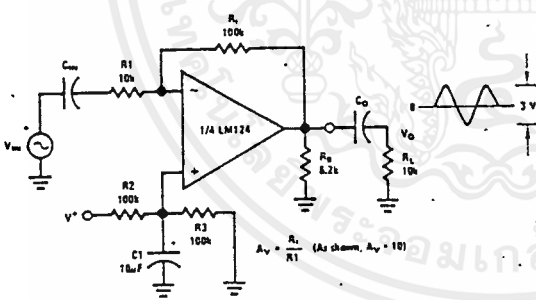


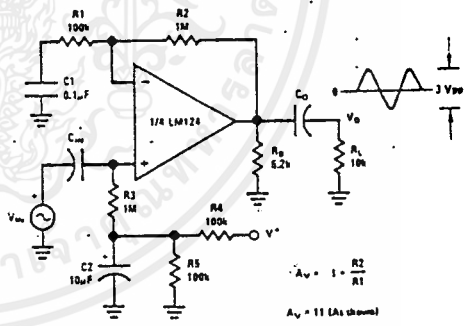
Photo Voltaic-Cell Amplifier



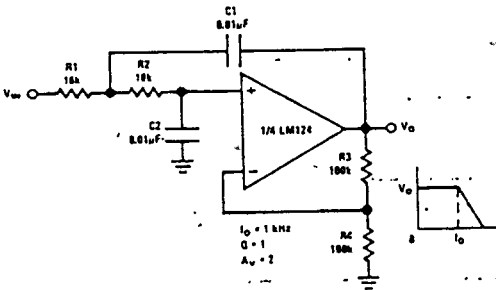
AC Coupled Inverting Amplifier



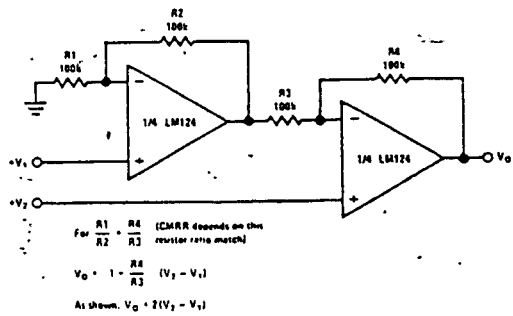
AC Coupled Non-Inverting Amplifier



DC Coupled Low-Pass RC Active Filter



High Input Z, DC Differential Amplifier

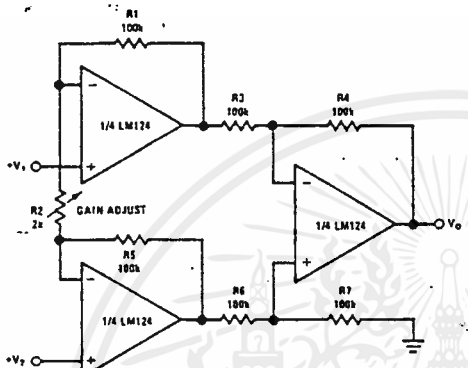


LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902



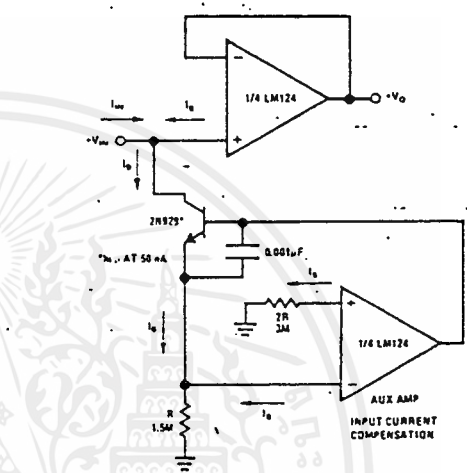
Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{OC}$)

High Input Z Adjustable-Gain
DC Instrumentation Amplifier

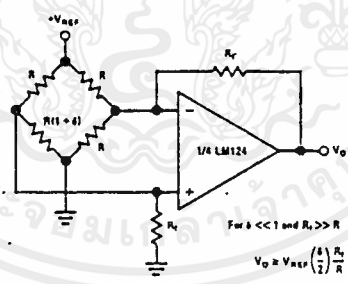


If $R1 = R5$ & $R3 = R4 = R6 = R7$ (CMRR depends on match)
 $V_o = 1 + \frac{2R1}{R2} (V_2 - V_1)$
 As shown $V_o = 101 (V_2 - V_1)$

Using Symmetrical Amplifiers to
Reduce Input Current (General Concept)



Bridge Current Amplifier



For $b \ll 1$ and $R_b \gg R$
 $V_o \approx V_{BRIDGE} \left(\frac{b}{2} \right) \frac{R_f}{R}$

Bandpass Active Filter

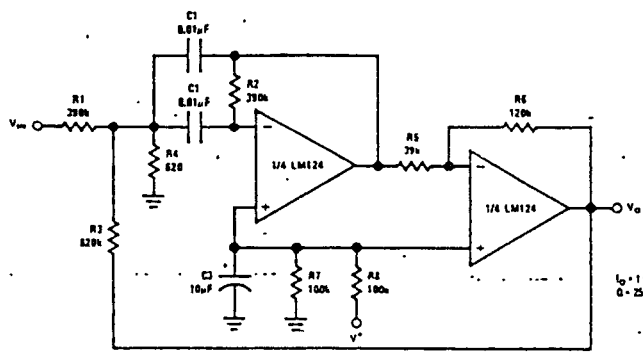


Photo Detectors Transistor Output

... designed for application in industrial inspection, processing and control, counters, sorters, switching and logic circuits or any design requiring radiation sensitivity, and stable characteristics.

- Hermetic Package at Economy Prices
- Popular TO-18 Type Package for Easy Handling and Mounting
- Sensitive Throughout Visible and Near Infrared Spectral Range for Wider Application
- Range of Radiation Sensitivities for Design Flexibility
- External Base for Added Control
- Annular Passivated Structure for Stability and Reliability

MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	30	Volts
Emitter-Collector Voltage	V_{ECO}	5	Volts
Collector-Base Voltage	V_{CBO}	40	Volts
Total Power Dissipation ($T_A = 25^\circ\text{C}$) Derate above 25°C	P_D	250 2.27	mW mW/°C
Operating Temperature Range	T_A	-55 to +125	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

STATIC ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Collector Dark Current ($V_{CC} = 20\text{ V}$, $R_L = 1\text{ Megohm}$, Note 2) $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	I_{CEO}	—	— 5	0.1	μA
Collector-Base Breakdown Voltage ($I_C = 100\ \mu\text{A}$)	V_{BRICBO}	40	—	—	Volts
Collector-Emitter Breakdown Voltage ($I_C = 100\ \mu\text{A}$)	V_{BRICEO}	30	—	—	Volts
Emitter-Collector Breakdown Voltage ($I_E = 100\ \mu\text{A}$)	V_{BRIECO}	5	—	—	Volts

OPTICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Fig. No.	Symbol	Min	Typ	Max	Unit
Collector-Light Current ($V_{CC} = 20\text{ V}$, $R_L = 100\ \text{Ohms}$, Note 1)	1	I_L	0.1 0.2 0.5 1.5 2	—	—	mA
Photo Current Saturated Rise Time (Note 3)	5	$t_r(\text{sat})$	—	1	—	μs
Photo Current Saturated Fall Time (Note 3)	5	$t_f(\text{sat})$	—	10	—	μs
Photo Current Rise Time (Note 4)	5	t_r	—	2	—	μs
Photo Current Fall Time (Note 4)	5	t_f	—	3.5	—	μs
Wavelength of Maximum Sensitivity	—	λ_s	—	0.8	—	μm

NOTES: 1. Radiation flux density (H) equal to 5 mW cm^{-2} emitted from a tungsten source at a color temperature of 2870 K.

2. Measured under dark conditions. ($I_H = 0$).

3. For saturated switching time measurements, radiation is provided by a pulsed xenon arc lamp with a pulse width of approximately 1 microsecond (see Figure 5).

4. For unsaturated switching time measurements, radiation is provided by a pulsed GaAs (gallium-arsenide) light-emitting diode ($\lambda = 940\text{ nm}$) with a pulse width equal to or greater than 10 microseconds (see Figure 5).

**MRD3050
MRD3051
MRD3054
MRD3055
MRD3056**

PHOTO DETECTORS
TRANSISTOR OUTPUT
NPN SILICON
30 VOLTS



CASE 82-05
METAL

MRD3050, MRD3051, MRD3054, MRD3055, MRD3056

TYPICAL CHARACTERISTICS

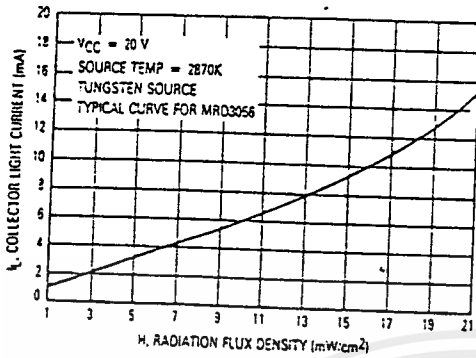


Figure 1. Collector Light Current

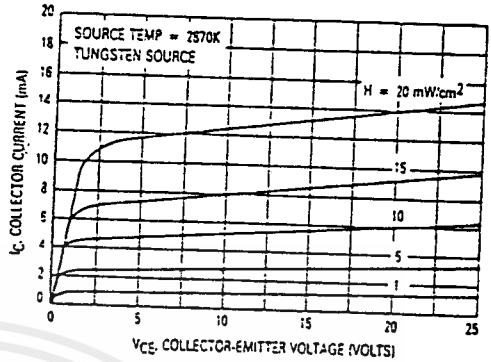


Figure 2. Collector Emitter Characteristics — MRD3056

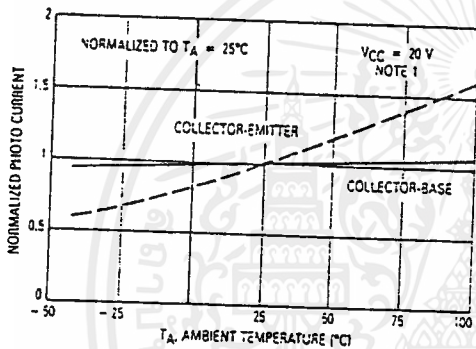


Figure 3. Photo Current versus Temperature

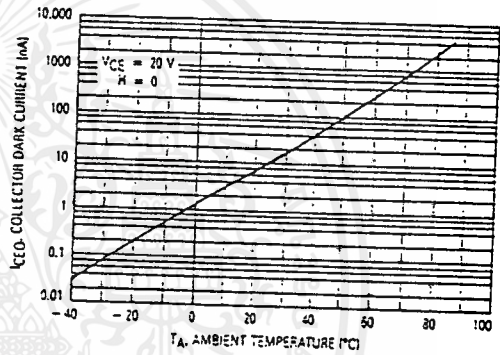


Figure 4. Dark Current versus Temperature

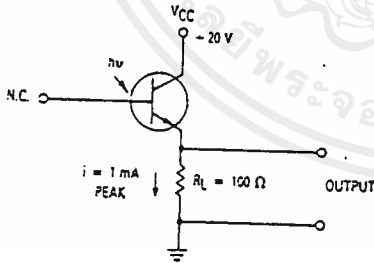


Figure 5. Pulse Response Test Circuit and Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MRD3050, MRD3051, MRD3054, MRD3055, MRD3056

TYPICAL CIRCUIT APPLICATIONS

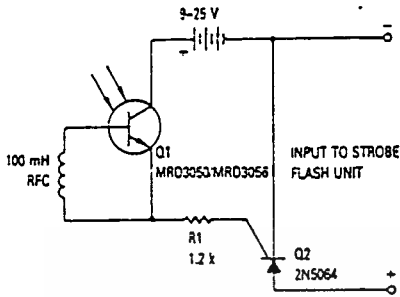


Figure 6. Strobeflash Slave Adapter

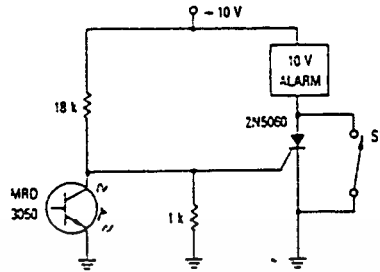


Figure 7. Light Operated SCR Alarm Using Sensitive-Gate SCR

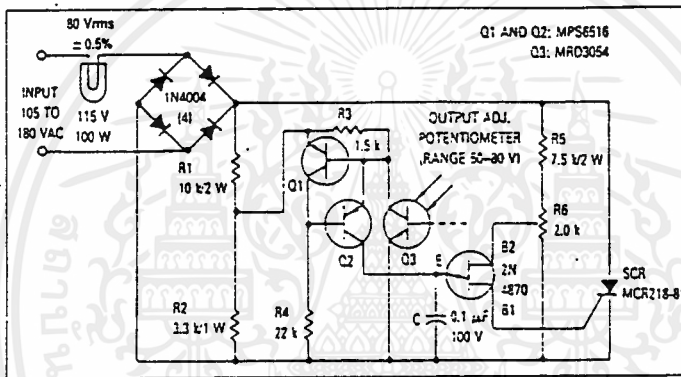
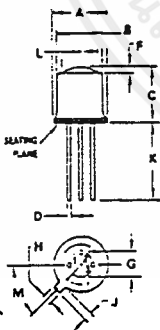


Figure 8. Circuit Diagram of Voltage Regulator for Projection Lamp

*MCR218-B to be used with a heat sink.

OUTLINE DIMENSIONS



- NOTES
 1. LEADS WITHIN 13 mm (0.5) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION
 2. PIN 1 INTERNALLY CONNECTED TO CASE

STYLE 1:
 PIN 1 EMITTER
 2 BASE
 3 COLLECTOR

CASE 82-05
 METAL

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.54	0.209	0.220
B	4.52	4.95	0.178	0.195
C	4.57	5.48	0.180	0.215
D	2.41	2.48	0.095	0.098
E	—	2.4	—	0.094
G	7.54 BSC	—	0.297 BSC	—
H	2.99	3.17	0.118	0.124
J	2.84	3.25	0.112	0.128
K	12.70	—	0.500	—
L	3.75	4.01	0.148	0.158
M	45° BSC	—	1.5° BSC	—



1N4001
thru
1N4007

Designers' Data Sheet

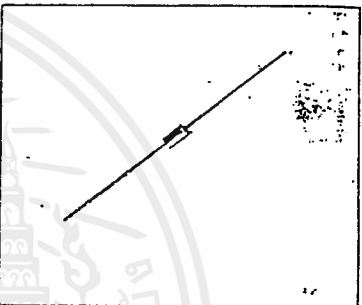
LEAD MOUNTED
SILICON RECTIFIERS
- 50-1000 VOLTS.
DIFFUSED JUNCTION

"SURMETIC"[™] RECTIFIERS

... subminiature size, axial lead mounted rectifiers for general-purpose low-power applications.

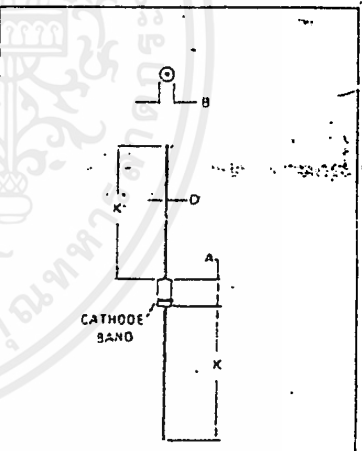
Designers Data for "Worst Case" Conditions

The Designers' Data Sheets permit the design of most circuits entirely from the information presented. Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.



MAXIMUM RATINGS

Rating	Symbol	1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	Unit
Peak Repetitive Reverse Voltage	VRRM	50	100	200	400	600	900	1000	Volts
Working Peak Reverse Voltage	VRRM	50	100	200	400	600	900	1000	Volts
DC Blocking Voltage	V _R	50	100	200	400	600	900	1000	Volts
Non-Repetitive Peak Reverse Voltage (half-wave, single phase, 50 Hz)	VRSM	60	120	240	480	720	1000	1200	Volts
RMS Reverse Voltage	VRRMS	35	70	140	280	420	560	700	Volts
Average Rectified Forward Current (single phase, resistive load, 50 Hz, see Figure 8, T _A = 75°C)	I _O	1.0							Amps
Non-Repetitive Peak Surge Current (surge applied at rated lead conditions, see Figure 7)	IFSM	30 (for 1 cycle)							Amps
Operating and Storage Junction Temperature Range	T _J , T _{stg}	-55 to +175							°C



ELECTRICAL CHARACTERISTICS

Characteristic and Conditions	Symbol	Typ	Max	Unit
Maximum Instantaneous Forward Voltage Drop (I _F = 1.0 Amp, T _J = 25°C) Figure 1	v _F	0.92	1.1	Volts
Maximum Full-Cycle Average Forward Voltage Drop (I _O = 1.0 Amp, T _L = 75°C, 1 inch leads)	V _{F(AV)}	-	0.8	Volts
Maximum Reverse Current (rated dc voltage) (T _J = 25°C)	I _R	0.05	10	μA
Maximum Full-Cycle Average Reverse Current (I _O = 1.0 Amp, T _L = 75°C, 1 inch leads)	I _{R(AV)}	-	20	μA

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.97	6.60	0.235	0.260
B	2.79	3.05	0.110	0.120
D	0.76	0.96	0.030	0.034
K	27.34	-	1.100	-

MECHANICAL CHARACTERISTICS

CASE: Transfer Moulded Plastic

MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 350°C, 3/8" from case for 10 seconds at 5 lbs. tension

FINISH: All external surfaces are corrosion-resistant, leads are readily solderable

POLARITY: Cathode indicated by color band

WEIGHT: 0.40 Grams (approximately)

CASE 59-04
Does Not Conform to QQ-41 Outline.
MOTOROLA INC 1967 DS 6015 RD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7402, LS02, S02 Gates

Quad Two-Input NOR Gate
Product Specification

Logic Products

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
7402	10ns	11mA
74LS02	10ns	2.2mA
74S02	3.5ns	22mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE $V_{CC} = 5V \pm 5\%$; $T_A = 0^\circ C$ to $+70^\circ C$
Plastic DIP	N7402N, N74LS02N, N74S02N
Plastic SO	N74LS02D, N74S02D

FUNCTION TABLE

INPUTS		OUTPUT
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = HIGH voltage level
L = LOW voltage level

NOTE:

For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

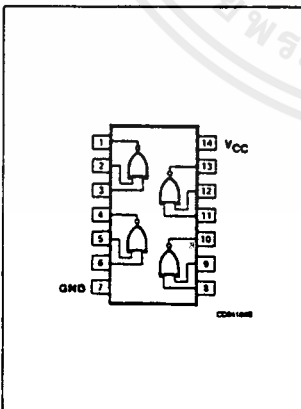
INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	74	74S	74LS
A, B	Inputs	1uI	1SuI	1LSuI
Y	Output	10uI	10SuI	10LSuI

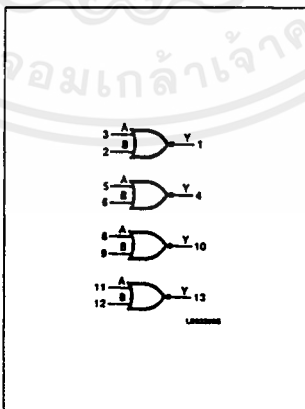
NOTE:

Where a 74 unit load (uI) is understood to be $40\mu A I_{IH}$ and $-1.6mA I_{IL}$, a 74S unit load (SuI) is $50\mu A I_{IH}$ and $-2.0mA I_{IL}$, and 74LS unit load (LSuI) is $20\mu A I_{IH}$ and $-0.4mA I_{IL}$.

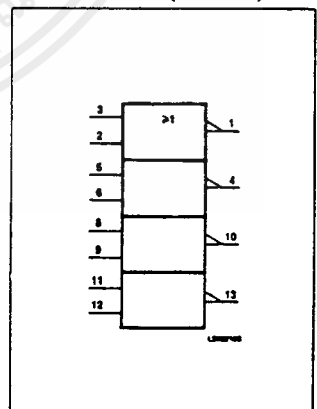
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



74125, 74126, LS125A, LS126A

Buffers

Quad 3-State Buffer
Product Specification

Logic Products

FUNCTION TABLE '125, 'LS125A

INPUTS		OUTPUT
C	A	Y
L	L	L
L	H	H
H	X	(Z)

FUNCTION TABLE '126, 'LS126A

INPUTS		OUTPUT
C	A	Y
H	L	L
H	H	H
L	X	(Z)

H = HIGH voltage level
L = LOW voltage level
X = Don't care
(Z) = HIGH impedance (off)

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74125	10ns	32mA
74LS125A	8ns	11mA
74126	10ns	36mA
74LS126A	9ns	12mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE $V_{CC} = 5V \pm 5\%$; $T_A = 0^\circ C$ to $+70^\circ C$
Plastic DIP	N74125N, N74LS125N N74126N, N74LS126N
Plastic SO	N74LS125AD

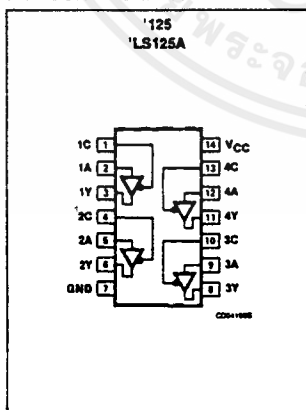
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

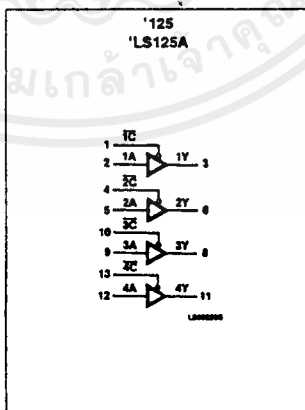
PINS	DESCRIPTION	74	74LS
All	Inputs	1uI	1LSuI
All	Outputs	10uI	30LSuI

NOTE:
Where a 74 unit load (uI) is understood to be $40\mu A I_{IH}$ and $-1.6mA I_{IL}$, and a 74LS unit load (LSuI) is $20\mu A I_{IH}$ and $-0.4mA I_{IL}$.

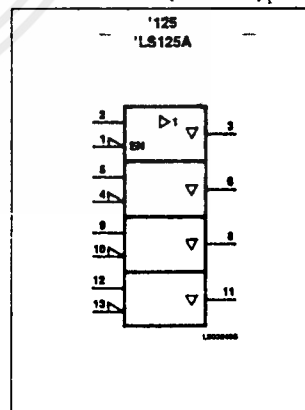
PIN CONFIGURATION



LOGIC SYMBOL

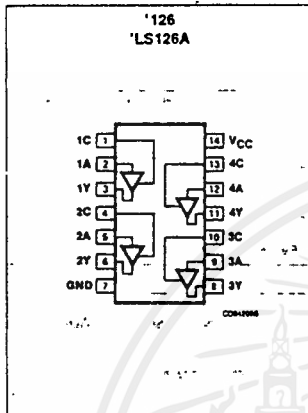


LOGIC SYMBOL (IEEE/IEC)

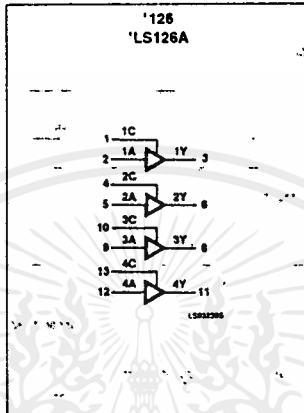


74125, 74126, LS125A, LS126A

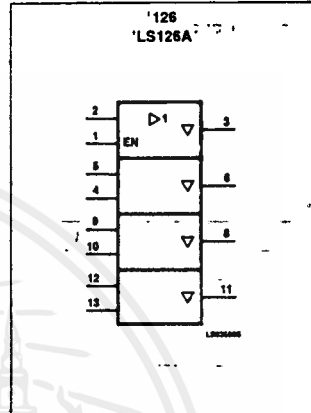
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER	74	74LS	UNIT
V _{CC} Supply voltage	7.0	7.0	V
V _{IN} Input voltage	-0.5 to +5.5	-0.5 to +7.0	V
I _{IN} Input current	-30 to +5	-30 to +1	mA
V _{OUT} Voltage applied to output in HIGH output state	-0.5 to +V _{CC}	-0.5 to +V _{CC}	V
T _A Operating free-air temperature range	0 to 70		°C

RECOMMENDED OPERATING CONDITIONS

PARAMETER	74			74LS			UNIT
	Min	Nom	Max	Min	Nom	Max	
V _{CC} Supply voltage	4.75	5.0	5.25	4.75	5.0	5.25	V
V _{IH} HIGH-level input voltage	2.0			2.0			V
V _{IL} LOW-level input voltage			+0.8			+0.8	V
I _{IK} Input clamp current			-12			-18	mA
I _{OH} HIGH-level output current			-5.2			-2.6	mA
-I _{OL} LOW-level output current			16			24	mA
T _A Operating free-air temperature	0		70	0		70	°C