เครื่องตรวจสอบไอซีทีทีแอล

IC TTL TESTER

โดย

นางสาว ชนัญทิพ วิรัชศิลป์

นางสาว ชนาธิป นิลแก้ว

อาจารย์ที่ปรึกษา

อาจารย์ประภากร สุวรรณะ

วัน เดือน ปี 24 ต.ค. 2541

เลขทะเบียน 039149

เลขเรียกหนังสือ T 10388 ท111 ค

รายงานนี้เป็นส่วนหนึ่งของวิชา 01044102 PROJECT II

ของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประจำภาคเรียนที่ 2 ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039149

รายงานเรื่อง เครื่องตรวจสอบไอซีทีทีแอล

IC TTL TESTER

จัดทำโดย นางสาวชนัญทิพ วิรัชศิลป์

นางสาวชนาธิป นิลแก้ว

อาจารย์ที่ปรึกษา อ.ประภากร สุวรรณะ

รายงานฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ ..... อาจารย์ที่ปรึกษา

(อ. ประภากร สุวรรณะ)

วันที่ 21/3/41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิติกรรมประกาศ

โครงงานเครื่องตรวจสอบไอซีทีทีแอลนี้เป็นโครงงานต่อเนื่อง ในการทำโครงงานชิ้นนี้ถ้าขาดบุคคลดังต่อไปนี้ อาจจะทำให้โครงงานไม่สามารถทำให้สำเร็จได้

1. พ่อ-แม่ ผู้ให้กำเนิดและเลี้ยงดูมาตลอดจนถึงทุกวันนี้
2. เพื่อนๆ พี่ๆ น้องๆ ที่คอยให้กำลังใจ และให้ยืมคอมพิวเตอร์พิมพ์งาน
3. สโมสรนักศึกษาคณะวิศวกรรมศาสตร์ และชุมนุมคอมพิวเตอร์ ที่เป็นแหล่งพักพิงทางกายและใจ ยามท้อแท้ หมดหวัง
4. สุดท้าย ต้องขอบคุณตัวเองที่สามารถพยายาม และอดทนจนงานสำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตรวจสอบไอซีทีทีแอล

นางสาวชนัญทิพ วิรัชศิลป์

นางสาวชนาธิป นิลแก้ว

อาจารย์ประภากร สุวรรณะ

ภาคเรียนที่ 2 ปีการศึกษา 2540

บทคัดย่อ

โครงงานเครื่องตรวจสอบฟังก์ชันการทำงานของไอซี TTL นี้ เป็นการนำไมโครคอนโทรลเลอร์ MCS-51 มาประยุกต์ใช้งาน โดยมีจุดประสงค์เพื่อใช้ในการตรวจสอบไอซี และสามารถตรวจสอบได้สะดวดและรวดเร็ว โดยจะทำการตรวจสอบฟังก์ชันการทำงานของไอซีขนาด 14-24 ขา แบ่งเป็น 4 ประเภท คือ ไอซีทีทีแอลแบบ COMMON LOGIC GATE , ไอซีทีทีแอล LOGIC GATE แบบ OPEN COLLECTOR ,ไอซีทีทีแอลแบบ TRI STATE ,ไอซีทีทีแอลแบบต้องการสัญญาณนาฬิกาควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC TESTER

MISS CHANANTIP VIRACHSILP

MISS CHANATIP NINKAEW

MR. PRAPAKORN SUWANNA

2nd SEMEATER , EDUCATION YEAR 1997

ABSTRACT

This IC TESTER Project is object to test function of 14-24 pin TTL IC which include IC TTL with commom logic gate ,IC TTL with open collector , IC TTL with tri state output and IC TTL with clock . THIS project is purpose to make IC TESTER portable,easy to use and more conveneient than IC TTL TESTER interfacing with PC. SO MCS-51 microcontroller is choosed to used for this project .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1 บทนำ	1
1.1 จุดประสงค์และแนวความคิด	1
1.2 ขอบเขตของเครื่องตรวจสอบไอซีทีทีแอล	1
1.3 หลักการทำงานเบื้องต้น	1
บทที่ 2 ไมโครคอนโทรลเลอร์ 8051	3
2.1 คุณสมบัติของ MCS—51	3
2.2 สถาปัตยกรรม 8051	4
2.2.1 ออสซิลเลเตอร์ และสัญญาณนาฬิกา	4
2.2.2 โปรแกรมเคาน์เตอร์และดาต้าพอยน์เตอร์	5
2.2.3 รีจิสเตอร์ Aและ B	5
2.2.4 แฟลก และโปรแกรมสเตตัสเวอร์ด	5
2.2.5 ความจำภายใน	5
2.2.6 แรมภายใน	6
2.2.7 สแตค และ สแตคพอยน์เตอร์	7
2.2.8 รอมภายใน	7
2.2.9 ขาอินพุท/เอาท์พุท พอร์ตและวงจร	7
บทที่ 3 ไอซีทีทีแอล	11
3.1 ตระกูลของวงจรไอซีทีทีแอล	11
3.1.1 วงจร Standard TTL	11
3.1.2 วงจร Low-Power TTL	11
3.1.3 วงจร High-Speed TTL	12
3.1.4 วงจร Schottky-Clamp TTL	12
3.2 คุณสมบัติและลักษณะของไอซีทีทีแอล	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 คุณสมบัติทั่วไป 13

3.2.2 ลักษณะแพ็กเกจของทีทีแอล 13

3.2.3 ระบบไฟจ่ายวงจรให้กับทีทีแอล 13

3.3 คุณสมบัติของไอซีทีทีแอลประเภทต่างๆ 14

3.3.1 ไอซีลอจิกเกทพื้นฐานทั่วไป 14

3.3.2 ไอซีลอจิกเกทแบบ open collector 17

3.3.3 ไอซีทีทีแอลประเภท TRI STATE OUTPUT 18

3.3.4 ไอซีลอจิกเกทประเภทต้องการ CLOCK 18

บทที่ 4 การทำงานของเครื่องตรวจสอบไอซีทีทีแอล 26

4.1 โหมดการทำงานเครื่องตรวจไอซีทีทีแอล 26

4.1.1 โหมดตรวจสอบเบอร์ไอซี 26

4.1.2 โหมดตรวจสอบฟังก์ชันการทำงานแบบกำกับเบอร์ 26

4.2 โครงสร้างหลักของเครื่องตรวจสอบไอซีทีทีแอล 27

4.2.1 ส่วน HARDWARE 27

4.2.2 ส่วน SOFTWARE 30

4.3 การทำงานของวงจรบัฟเฟอร์และการทำข้อมูล 40

4.4 การทำงานของโปรแกรมเพื่อตรวจเช็คไอซี 42

4.4.1 รูปแบบ LIBRARY 42

4.4.2 ความหมายของค่าที่ใช้ใน TABLE 43

4.4.3 การนำ LIBRARY มาใช้งานในโปรแกรม 47

4.4.4 การแปลงค่าข้อมูลใส่ใน LIBRARY 49

4.5 การใช้งานเครื่องตรวจสอบไอซีทีทีแอล 52

4.5.1 การแนะนำเครื่อง 52

4.6 ขีดความสามารถของเครื่องตรวจสอบไอซีทีทีแอล 53

บทที่ 5 การทดลองและผลการทดลอง 55

5.1 การทดลองวงจรบัฟเฟอร์ 55

5.2 การทดลองไอซีประเภทต่างๆ 55

5.3 การทดลองของวงจรจ่ายไฟเลี้ยง 59

บทที่ 6 สรุปและวิจารณ์ 60

ภาคผนวก ก 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 จุดประสงค์และแนวความคิด

เนื่องจากในปัจจุบันเครื่องตรวจสอบไอซีทีทีแอล ที่มีส่วนใหญ่ในการใช้งานแต่ละครั้งต้องติดต่อกับ PC ทำให้การทดสอบแต่ละครั้งเสียเวลานาน และต้องใช้งานเฉพาะเครื่องที่มี PC เท่านั้น แนวความคิดที่จะมีเครื่องตรวจสอบไอซีทีทีแอลที่สามารถตรวจสอบได้ง่าย ใช้งานสะดวก และรวดเร็วจึงเกิดขึ้น โดยใช้ไมโครคอนโทรลเลอร์ และอุปกรณ์ต่อพ่วงเพื่อให้การใช้งานมีประสิทธิภาพสูงสุด

1.2 ขอบเขตของเครื่องตรวจสอบไอซีทีทีแอล

เครื่องตรวจสอบไอซีทีทีแอลที่ออกแบบใช้ในโครงงานนี้ ใช้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ที่มีประสิทธิภาพสูง Compatible กับอุปกรณ์ต่อพ่วงได้มากมาย รวมทั้งสามารถขยายหน่วยความจำ และพอร์ทอินพุท/เอาท์พุท ได้มากพอกับความต้องการ โดยในโครงงานนี้จะสามารตรวจสอบไอซีที่มีขาตั้งแต่ 14-24 ขา และสามารถตรวจสอบไอซีได้ 4 ประเภท ดังนี้

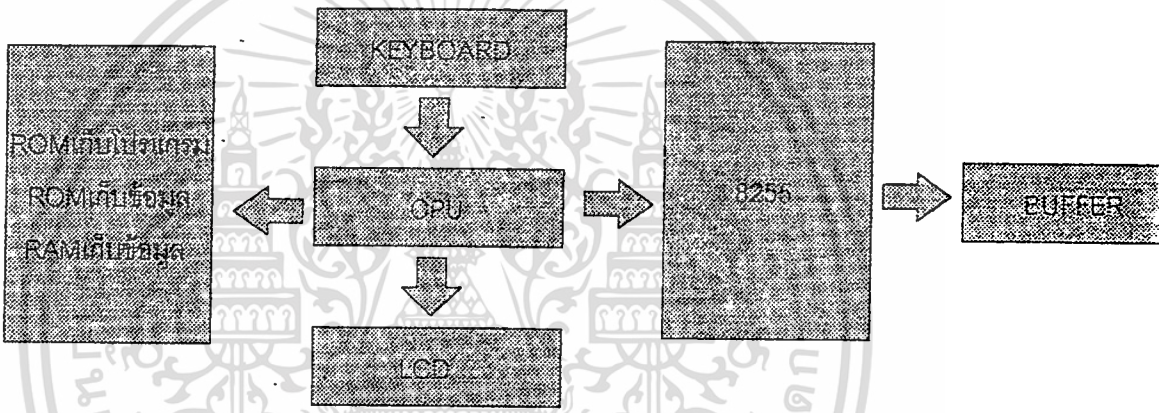
1. ไอซีทีทีแอลแบบลอจิกเกททั่วไป
2. ไอซีทีทีแอลลอจิกเกทแบบ open collector
3. ไอซีทีทีแอลแบบ tri state output
4. ไอซีทีทีแอลแบบต้องการสัญญาณนาฬิกา

1.3 หลักการทำงานเบื้องต้น

โครงสร้างการทำงานของเครื่องตรวจสอบไอซีทีทีแอลแบบง่ายแสดงได้ดังรูปที่ 1.1 โดยจะมีหลักการทำงานดังนี้ คือ จะรับค่าเบอร์ไอซีที่ต้องการนำมาทดสอบโดยผ่านทางคีย์บอร์ด เครื่องจะนำเบอร์ไปเช็คกับเบอร์ในหน่วยความจำ แล้วแสดงผลทางจอ LCD โดยจะแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"PASS"เมื่อการทดสอบปรากฏว่าทุกฟังก์ชันการทำงานของไอซีเบอร์นั้นใช้งานได้ แสดงผล "FAIL"เมื่อไอซีใช้งานไม่ได้ และแสดงผล "OUT OF NUMBER" เมื่อไม่มีเบอร์ในหน่วยความจำ โดยจะมีวงจร Buffer เป็นส่วนที่เชื่อมต่อระหว่าง I/O PORT ของส่วนคอนโทรลเลอร์กับส่วน ZIP SOCKET โดยวงจร Bufferจะสามารถตรวจสอบขาไอซีที่สามารถเป็นได้ทั้งขาอินพุทและขาเอาท์พุท และขาไอซีที่สามารถเป็นได้ทั้งขาVCCและขาGND โดยละเอียดทั้งหมดจะอยู่ในบทที่ 4



รูปที่ 1.1 แสดงโครงสร้างการทำงานของเครื่องตรวจสอบไอซีทีทีแอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ไมโครคอนโทรลเลอร์ 8051

ในปัจจุบันไมโครคอนโทรลเลอร์MCS- 51 ซึ่งเป็นไมโครคอมพิวเตอร์แบบชิพเดี่ยว มีความสะดวกในการทำงาน และเขียนโปรแกรมควบคุมด้วยภาษาเบสิกได้โดยไม่ต้องศึกษาการทำงานของวงจรเหมือนกับภาษาแอสเซมบลี้ MCS-51 เป็นอุปกรณ์ที่ออกแบบมาสนองความต้องการของผู้ใช้ คือมีสายอินพุทและเอาท์พุทภายในตัวเอง พอร์ทของอินพุทและเอาท์พุทบัฟเฟอร์อินเตอร์เฟส และสายควบคุมอื่นๆที่ใช้สำหรับแยกข้อมูลกับแอดเดรส และมีชุดคำสั่งเพิ่มขึ้นเป็นพิเศษเพื่อจัดการข้อมูล แถมด้วยวงจรตั้งเวลากับวงจรนับด้วย

2.1 คุณสมบัติของ MCS-51

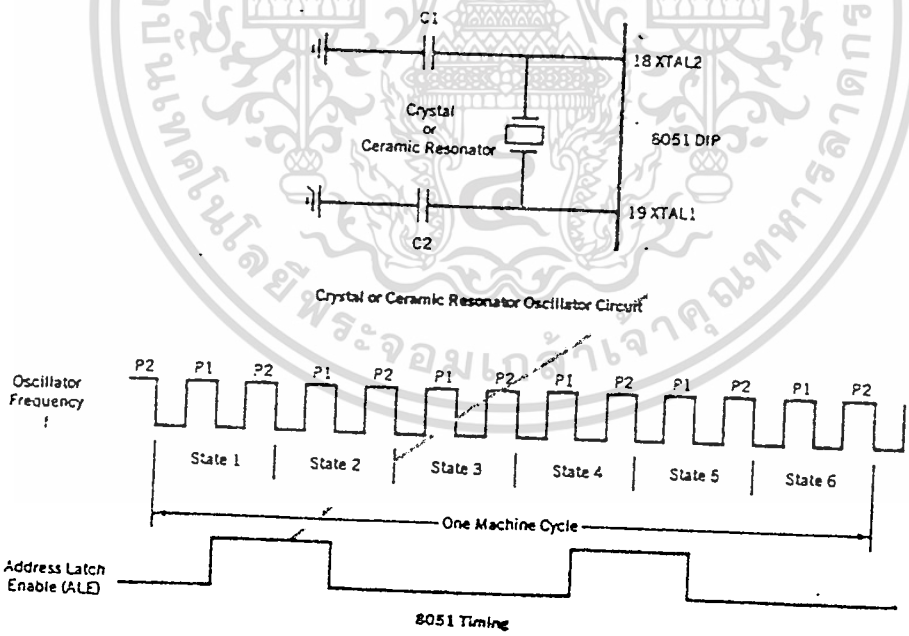
- ซีพียู 8 บิต ที่ควบคุมได้ง่าย
- เพิ่มการทำงานลอจิกครั้งละ 1 บิตได้
- สายอินพุทและเอาท์พุทมีจำนวน 32 เส้น ใช้เลือกแอดเดรสต่างหากจากกันได้
- มีแรมบรรจุไว้ภายในขนาด 128 ไบต์ หรือ 256 ไบต์
- วงจรตั้งเวลา/วงจรนับมีขนาด 2,3 หรือ 16 บิต
- กำหนดเป็น UART (Universal Synchronous Asynchronous Receiver Transmitter) ที่รับส่งข้อมูลอนุกรมได้ 2 ทิศทาง
- อินเตอร์รัพท์ แบ่งออกเป็น 2 ระดับ จาก 5 หรือ 6 แหล่ง
- มีสัญญาณนาฬิกาอยู่ภายในตัว
- มีหน่วยความจำสำหรับเก็บข้อมูลภายในขนาด 4 หรือ 8 กิโลไบต์
- มีแอดเดรสของหน่วยความจำสำหรับเก็บข้อมูล จำนวนทั้งหมด 64 กิโลไบต์
- คำสั่งทั้งหมดมี 111 คำสั่ง
- ทำงานด้วยเลขฐานสิบ และฐานสิบหก
- ตัวแปรภาษาเบสิกมีขนาด 8 กิโลไบต์
- ควบคุมอีพรอมภายในตัวด้วยภาษาเบสิก
- มีคำสั่งเฉพาะของภาษาเบสิกที่ใช้สำหรับอินพุท และเอาท์พุท วงจรนับ และอินเตอร์เฟสแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 สถาปัตยกรรม 8051

2.2.1 ออสซิลเลเตอร์ และสัญญาณนาฬิกา 8051

หัวใจของ 8051 คือวงจรกำเนิดพัลส์ซึ่งเกิดพร้อมกับการทำงานภายใน 8051 ขาXTAL1, XTAL2 ต่อกับวงจรรีโซแนนท์เป็นออสซิลเลเตอร์ เช่นใช้คริสทัล(Crystal) และตัวเก็บประจุดังรูป 2.1 ความถี่คริสทัลเป็นความถี่นาฬิกาภายในของไมโครคอนโทรลเลอร์ จะออกแบบให้ทำงานที่ความถี่สูงสุดและต่ำสุด เช่น 1 MHz-16 MHz ความถี่ต่ำสุดจะเป็นตัวบอกว่าความจำภายในอยู่ในภาวะไดนามิก และต้องทำงานเหนือความถี่สูงสุดเสมอ มิฉะนั้นข้อมูลจะข้อมูลจะสูญหายการสื่อสารจำเป็นต้องบอกความถี่ออสซิลเลเตอร์ เนื่องจากต้องการให้เคาน์เตอร์ภายในคำนวณอัตรานาฬิกาให้เป็น Baud rateมาตรฐาน ถ้าความถี่นาฬิกาหารแล้วเหลือเศษความถี่ การสื่อสารจะไม่มาตรฐาน ความถี่นาฬิกาต้องมีช่วงเวลาของไมโครคอนโทรลเลอร์น้อยสุด เรียกว่า ช่วงเวลาพัลส์ ช่วงเวลาน้อยที่สุดที่สามารถทำคำสั่งง่ายๆหรือซับซ้อน เรียกว่า Machine cycle ซึ่งประกอบด้วย 6 สภาวะ แต่ละสภาวะเป็นช่วงเวลาสำหรับการทำงานที่แยกจากกันของไมโครคอนโทรลเลอร์ เช่น เฟทช์คำสั่งทำคำสั่ง หรือเขียนข้อมูล แต่ละสภาวะมี 2 พัลส์



รูปที่ 2.1 แสดงวงจรออสซิลเลเตอร์ และเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 โปรแกรมเคาน์เตอร์และดาต้าพอยน์เตอร์

8051 ประกอบด้วยรีจิสเตอร์ขนาด 16 บิท 2 ตัว คือ PC และ DPTR แต่ละตัวเก็บค่าแอดเดรสขนาด 1 ไบต์ โปรแกรมคำสั่งจะถูกเฟทช์จากตำแหน่งแอดเดรสจะเลย 0FFFh โดย PC จะเพิ่มค่าโดยอัตโนมัติ หลังจากเฟทช์คำสั่ง และอาจเปลี่ยนโดยบางคำสั่ง PC เป็นรีจีสเตอร์ตัวเดียวที่ไม่มีแอดเดรสภายใน DPTR ประกอบด้วยรีจิสเตอร์ 8 บิท 2 ตัว เรียกว่า DPH และ DPL จะเก็บค่าแอดเดรส สุดท้ายหลังจากที่เข้าถึงโค้ดภายในและภายนอกชิพ ข้อมูลก็เช่นกัน DPTR อยู่ภายใต้การควบคุมของโปรแกรมคำสั่ง และอ้างโดยชื่อของมัน (DPTR) หรือข้อมูลไบต์ย่อย DPH และ DPL

2.2.3 รีจิสเตอร์ A และ B

8051 มีรีจิสเตอร์ใช้งานทั่วไป 34 ตัว และ 2 ตัวในที่นี้ คือ A และ B ใช้เป็นตัวหลักในทางคณิตศาสตร์ของ 8051 ที่เหลือ 32 ตัว ถูกจัดเป็นส่วนของแรมภายใน 4 แบงค์ คือ Bo – B3 แบงค์ละ 8 ตัว (Ro – R7) รีจิสเตอร์ A หรือแอคคูมูเลเตอร์เป็นตัวที่ใช้มากที่สุด เช่น การบวก , การลบ , การคูณและการหารจำนวนเต็ม,การทำบูลีน รีจิสเตอร์ A ใช้เคลื่อนย้ายข้อมูลระหว่าง 8051และความจำภายนอกรีจีสเตอร์ B ใช้กับ A สำหรับการคูณ และการหาร และไม่มีหน้าที่อื่นนอกเหนือจากการเก็บตำแหน่งข้อมูล

2.2.4 แฟลก และโปรแกรมสเตตัสเวอร์ด (PSW)

แฟลกเป็นรีจิสเตอร์ 1 บิท ที่เก็บผลลัพธ์ของบางคำสั่ง คำสั่งอื่นๆ สามารถทดสอบสภาวะของแฟลกและตัดสินใจ แฟลกสามารถทำเป็นแอดเดรสที่ต้องการได้ และรวมอยู่เป็นกลุ่มใน PSW และรีจิสเตอร์ PCON 8051 มีแฟลกทางคณิตศาสตร์ 4 แฟลก ซึ่งให้ผลลัพธ์โดยอัตโนมัติเมื่อมีการทำการทางคณิตศาสตร์ และมี 3 แฟลกใช้งานทั่วไปซึ่งสามารถเซต 1 หรือเคลียร์ 0 ได้ตามต้องการ แฟลกทางคณิตศาสตร์ประกอบด้วย Carry (C) , Auxiluary (AC) , Overflow (OV) , Parity (P) แฟลกที่ใช้งานทั่วไปมีชื่อว่า Fo,Gfo,GF1 ซึ่งโปรแกรมเมอร์สามารถใช้กำหนดโปรแกรมได้ ควรจำไว้ว่าแฟลกทั้งหมดสามารถเซตหรือรีเซต โดยโปรแกรมเมอร์ ส่วนแฟลกทางคณิตศาสตร์มีผลโดยคำสั่งทางคณิตศาสตร์

2.2.5 ความจำภายใน

คอมพิวเตอร์จะต้องมีหน่วยความจำสำหรับโปรแกรมโค้ด (ในรอม) และในแรมสำหรับข้อมูลที่เปลี่ยนแปลงที่สามารถเปลี่ยนได้ ด้วยการทำงานของโปรแกรม 8051 มีแรม และรอมภายในสำหรับหน้าที่เหล่านี้ ความจำเพิ่มเข้าสามารถเพิ่มโดยวงจรที่เหมาะสม การออกแบบของ Von neumann จะใช้แอดเดรสของความจำ 1 ตัว สำหรับโปรแกรมโค้ด หรือข้อมูล แต่ไม่ใช่ทั้ง 2 อย่าง การออกแบบของฮาร์ดแวร์จะใช้แอดเดรสตัวเดียวกันในความจำที่ต่างกัน หรือโค้ดกับข้อมูล วงจรภายในที่เข้าถึงความจำจะขึ้นอยู่กับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

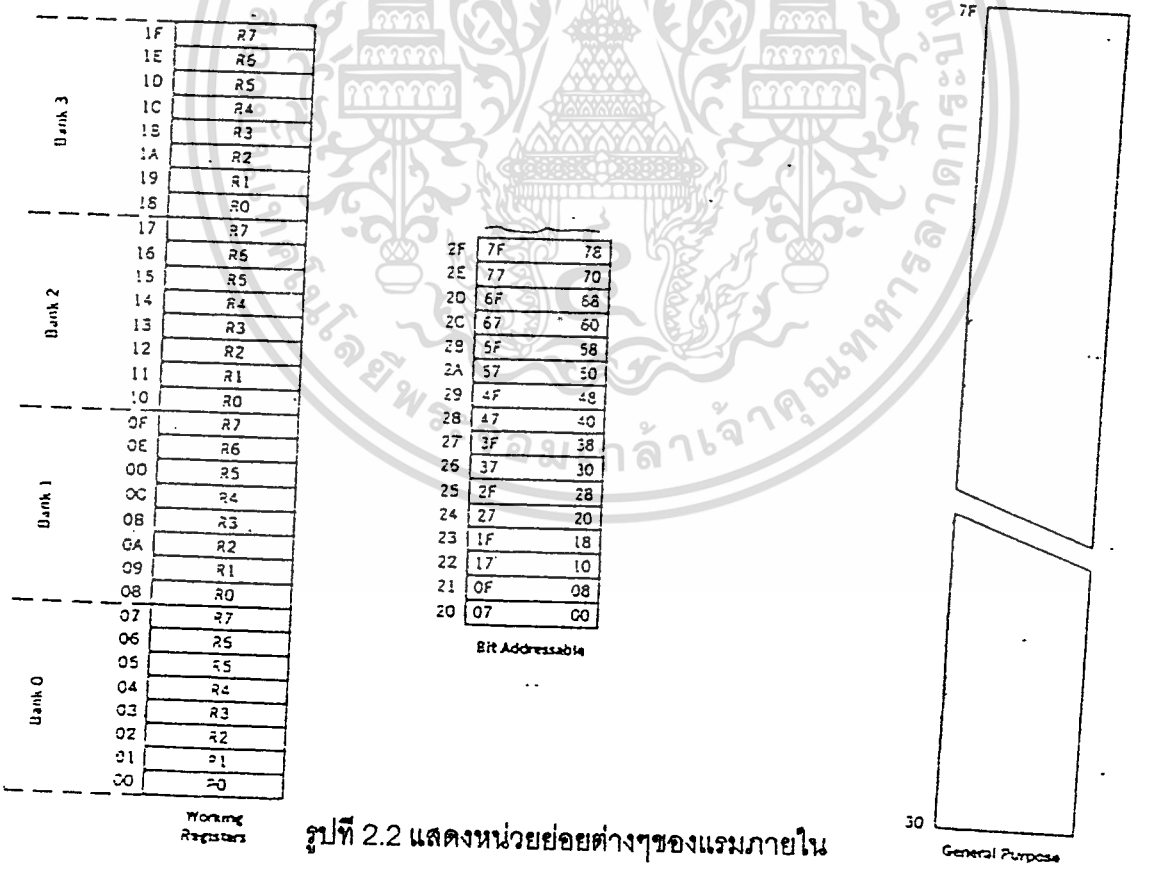
2.2.6 แรมภายใน

แรมภายในมี 128 ไบต์ ดังรูป 2.2 ซึ่งพื้นที่ต่างกันอยู่ 3 ส่วน

1. 32 ไบต์ จากแอดเดรส 00h ถึง 1Fh ซึ่งใช้รีจิเตอร์ 32 ตัว หรือ 4 แบงค์ แบงค์มีหมายเลข คือ 0 ถึง 3 แต่ละแบงค์ประกอบด้วยรีจิเตอร์ที่มีชื่อ R0 ถึง R7 แต่ละรีจิเตอร์สามารถแอดเดรสได้ด้วยชื่อ (เมื่อเป็นแบงค์ที่ถูกเลือก) หรือโดยแอดเดรสของแรม ดังนั้น R0 ของแบงค์ 3 คือ R0 (ถ้าแบงค์ 3 ถูกเลือก) หรือแอดเรส 18h (ไม่ว่าแบงค์ 3 จะถูกเลือกหรือไม่) บิท RS0 และ RS1 ใน PSW จะกำหนดว่าจะใช้แบงค์ไหน เมื่อโปรแกรมทำงานแบงค์ที่ถูกเลือก สามารถใช้เป็นแรมทั่วไป เมื่อมีการรีเซตจะเป็นการเลือกแบงค์ 0

2.พื้นที่ที่แอดเดรสบิทได้มีอยู่ 16 ไบต์ ในแรมที่แอดเดรส 20h ถึง 2Fh มีทั้งหมด 128 บิท บิทที่แอดเดรสได้อาจจะเจาะจงโดยวิธีแอดเดรสของบิทจาก 00h ถึง 7Fh หรือ 8 บิทอาจจะรวมเป็นแอดเดรสไบต์จาก 20h ถึง 2Fh ดังตัวอย่าง แอดเดรสของบิท 4Fh เป็นบิทที่ 7 ของแอดเดรสไบต์ 29h บิทที่แอดเดรสได้ประโยชน์ เมื่อโปรแกรมต้องการจำเพาะฐานสองเท่านั้น

3.พื้นที่แรมใช้งานทั่วไปอยู่เหนือพื้นที่ที่แอดเดรสบิท ได้จาก 30h ถึง 7Fh

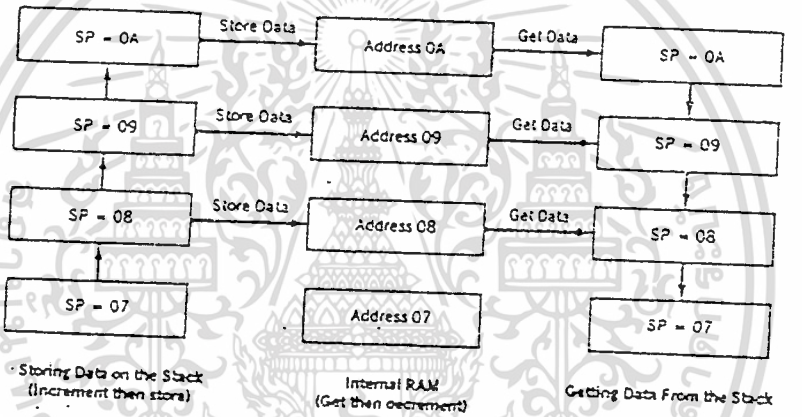


รูปที่ 2.2 แสดงหน่วยย่อยต่างๆของแรมภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.7 สแตค และ สแตคพอยต์เตอร์

สแตคเป็นพื้นที่ของแรมภายในที่เก็บข้อมูล และส่งออกอย่างรวดเร็ว SP 8 บิทของ 8051 ใช้เก็บแอดเดรสของแรมภายใน โดยเป็นแอดเดรสสุดท้ายของการทำงานบนสแตค เมื่อข้อมูลเก็บบนสแตค SP จะเพิ่มค่าก่อนเก็บข้อมูลออกจากสแตค ข้อมูลจะถูกอ่านก่อน และ SP จะลดค่าลงเพื่อให้ข้อมูลสามารถถูกจัดเก็บได้ การทำงานของสแตค และ SP แสดงในรูป 2.3 SP เซตที่ 07h เมื่อ 8051 รีเซต และสามารถเปลี่ยนแอดเดรสได้โดยโปรแกรมเมอร์ สแตคจะถูกจำกัดด้วยขนาดของแรมภายใน ถ้าโปรแกรมเมอร์ไม่ระวัง สแตคอาจเก็บข้อมูลเกินพื้นที่ พื้นที่แรมที่แอดเดรสบิทได้ และพื้นที่แรมใช้งานทั่วไป โปรแกรมเมอร์ต้องมั่นใจว่าสแตค จะไม่เพิ่มเกินขอบเขตที่กำหนดไว้ก่อน โดยปกติสแตคจะอยู่ส่วนบนของแรมภายใน โดยเลือกจำนวนที่อยู่บน SP เพื่อเลี่ยงการเกินขอบเขตของแรมภายใน



รูปที่ 2.3 แสดงการทำงานของสแตค

2.2.8 รอมภายใน

8051 ถูกสร้างให้ความจำข้อมูล และความจำโปรแกรมโค้ดสามารถมีลักษณะที่ต่างกันในช่วงแอดเดรสเดียวกันได้ โครงสร้างของแรมภายในได้กล่าวมาแล้ว บล็อคของโปรแกรมโค้ดภายในจะประกอบด้วยรอมภายใน แอดเดรสโค้ดในช่วง 0000h ถึง 0FFFh โดยทั่วไป PC ใช้ไบต์ของโปรแกรมโค้ด จากช่วง 0000h ถึง FFFFh แอดเดรสของโปรแกรมที่สูงกว่า FFFFh จะเกินความจุของรอมภายใน ทำให้ 8051 เฟทช์โค้ดจากโปรแกรมภายในโดยอัตโนมัติ ไบต์ของโค้ดอาจจะถูกเฟทช์จากความจำภายนอกแอเดรส 0000h ถึง FFFFh โดยต่อขา external access (EA ขา 31) ลงกราวนด์ ซึ่ง PC จะไม่สนใจว่าโค้ดจะเป็นของรอมภายใน หรือภายนอก

2.2.8 ขาอินพุท/เอาท์พุท , พอร์ต และวงจร

ลักษณะเด่นอันดับหนึ่งของไมโครคอนโทรลเลอร์ คือ สามารถทำงานได้หลายอย่างกับอุปกรณ์ I/O ที่ต่อกับขา 8051 การออกแบบไมโครโปรเซสเซอร์ต้องเพิ่มชิพ เพื่อต่อกับวงจรภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถนี้มีในไมโครคอนโทรลเลอร์ ด้วยสาเหตุนี้ 24 ขาอาจจะใช้ทั้งขา 1 หรือ 2 ฟังก์ชัน ทำให้โครงสร้างของขาเป็น 64ขา หน้าที่ของขาจะขึ้นอยู่กับสิ่งที่ต่ออยู่ และคำสั่งของซอฟแวร์ที่โปรแกรมที่ขา ปัจจัยทั้ง 2 นี้ อยู่ภายใต้การควบคุมของผู้โปรแกรม 8051 และผู้ออกแบบวงจร การที่จะทำให้ขาปรับเปลี่ยนได้ 8051 อาจใช้เป็นส่วนประกอบอันเดียวกับ I/O หรือ อาจขยายโดยเพิ่มความจำภายนอก , พอร์ตขนาน และการสื่อสารข้อมูลอนุกรม โดยกำหนดที่ขาหลักในการโปรแกรมหน้าที่ ที่ขาคือ วงจรพอร์ตพิน ดังรูป 2.4 แต่ละพอร์ตจะมีเอาร์พุทแลทช์ชนิด D ในแต่ละขา SFR ในแต่ละพอร์ตจะประกอบด้วยตัวแลทช์ 8 ตัว ของพอร์ต 0 ถูกแอดเดรสที่ตำแหน่ง 80h (พอร์ต 0 ขา 3 คือบิท 2) พอร์ตแลทช์ไม่ควรวุ่นวายกับพอร์ตพิน และข้อมูลบนตัวแลทช์ไม่ต้องเหมือนบนพิน เส้นทาง 2 ทางของข้อมูลดังรูป 2.4 โดยวงจรจะอ่านข้อมูลจากตัวแลทช์หรือพิน โดยใช้บัฟเฟอร์ที่แยกเป็น 2 ตัว บัฟเฟอร์ตัวบนใช้เมื่ออ่านข้อมูลจากตัวแลทช์ บัฟเฟอร์ตัวล่างใช้อ่านข้อมูลจากพิน สถานะของแลทช์แต่ละตัวอ่านจากบัฟเฟอร์แลทช์ ออฟโค้ดที่ต่างกันจะเข้าถึงสภาวะแลทช์ หรือพินได้อย่างเหมาะสมการทำงานของพอร์ตจะขึ้นอยู่กับการต่อ 8051 กับภายนอก ขาของพอร์ตที่โปรแกรมได้จะมีหน้าที่ที่ต่างกันอย่างสมบูรณ์ โครงสร้างของวงจรควบคุมระหว่างเอาท์พุทแลทช์ และพอร์ตพินตัดสินจากลักษณะหน้าที่ของพอร์ตพินเฉพาะ ในรูป 2.4 แสดงให้เห็นว่าเฉพาะพอร์ต 1 เท่านั้นที่ไม่สามารถเปลี่ยนหน้าที่ พอร์ต ∪ , 2 , 3 สามารถโปรแกรมได้

พอร์ต 0

ขาของพอร์ต 0 สามารถเป็นอินพุท เอาท์พุท หรือทั้ง 2 อย่าง ซึ่งเป็นแอดเดรสอันดับต่ำ 2 ทาง และบัสข้อมูลสำหรับความจำภายนอก ตัวอย่างเช่น เมื่อใช้ขาเป็นอินพุท "1" ต้องเขียนให้ถูกต้องกับพอร์ต 0 แลทช์โดยใช้โปรแกรม ดังนั้นการเปิดทรานซิสเตอร์ด้านเอาท์พุททั้ง 2 ตัวทำให้ ขาลอย (Float) อยู่ในสภาวะไฮอิมพิแดนซ์ และขาต่อกับอินพุทบัฟเฟอร์ เมื่อใช้เป็นเอาท์พุท ขาแลทช์ต้องโปรแกรมเป็น 0 ซึ่งจะเปิด FET ตัวล่างทำให้ขาต่อลงกราวด์ แลทช์ทุกขาที่โปรแกรมเป็น 1 จะยังคงลอยอยู่ ดังนั้นตัวต้านทานพูลอัพต้องจ่ายลอจิก 1 เมื่อใช้พอร์ต 0 เป็นเอาท์พุท เมื่อใช้เป็นแอดเดรสบัสกับความจำภายนอก สัญญาณควบคุมภายในจะสวิตช์เส้นแอดเดรสเข้ากับขาเกจของ FETs ลอจิก "1" บนบิทแอดเดรสจะปิด FETตัวบน และปิด FET ตัวล่าง ซึ่งจะให้ลอจิก"1"ที่พิน เมื่อบิทแอดเดรสเป็น"0"FET ตัวบนจะปิด FETตัวล่างจะเปิด ซึ่งให้ลอจิก"0"ที่พิน หลังจากแอดเดรสถูกฟอร์มแล้วจะแลทช์ไปยังวงจรภายนอก ด้วยสัญญาณพัลส์ Address latch enable (ALE) บัสก็จะเปลี่ยนเป็นบัสข้อมูล ตอนนั้นพอร์ต 0 จะอ่านข้อมูลจากความจำภายนอก และมีโครงสร้างเป็นอินพุท ดังนั้นลอจิก 1 จะเขียนโดยอัตโนมัติด้วยลอจิกควบคุมภายในเพื่อให้พอร์ต 0 ทั้งหมดแลทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ต 1

ขาของพอร์ต 1 ไม่มี 2 หน้าที่ ตัวเอาท์พุทแลช์จะต่อโดยตรงกับเกทของ FET ตัวล่าง ซึ่งมีวงจร FETที่ชื่อ " Internal FET Pullup " เป็นตัวพูลอัพโหลด เมื่อใช้เป็นอินพุท"1"จะเขียนไปยังแลทช์ ทำให้ FET ตัวล่างปิด ขาและอินพุทของบัฟเฟอร์จะถูกดึงเป็น"1" โดยโหลดของ FET วงจรภายนอก ทำให้เป็นไฮอิมพีแดนซ์ และขับขาอินพุทตัวล่างเป็น"0" ตัวบนเป็น"1" ถ้าใช้เป็นเอาท์พุทแลทช์ซึ่งประกอบด้วย1 สามารถขับอินพุทของวงจรภายนอกเป็น1 โดยการพูลอัพ ถ้า 0 ถูกเขียนแลทช์ FETตัวล่างจะปิด และขาสามารถขับอินพุทของวงจรภายนอกเป็น 0 ด้วยความช่วยเหลือของการที่มีสวิตชิ่งสูงขึ้น เมื่อใช้ใช้ขาเป็นเอาท์พุท ตัวพูลอัพFET ภายในจะไม่มีตัวที่ขนานกับมัน FETตัวที่ 2 จะเปิดในช่วงช่วง 2คาบของออสซิลเลเตอร์ระหว่างการเปลี่ยนสถานะจาก "0" เป็น "1"ที่ขา ดังรูป 2.4 เรื่องนี้จะทำให้โลอิมพีแดนซ์ มีโวลต์เตจบวกจ่ายเพื่อให้ลด Rise ในการชาร์จตัวเก็บประจุในวงจรภายนอก

พอร์ต 2

พอร์ต 2 อาจใช้เป็นพอร์ตอินพุท/เอาท์พุทคล้ายกับพอร์ต 1 ขาพอร์ต 2 อาจเปลี่ยนโดยสัญญาณควบคุมแอดเดรส เมื่อให้ไบต์สูงของแอดเดรสขนาด 16 บิท พอร์ต 2แลทช์จะคงเสถียรอยู่เมื่อความจำภายนอกถูกแอดเดรส แต่จะไม่เซตเป็น1 เมื่อเป็นข้อมูลดังกรณีพอร์ต 0

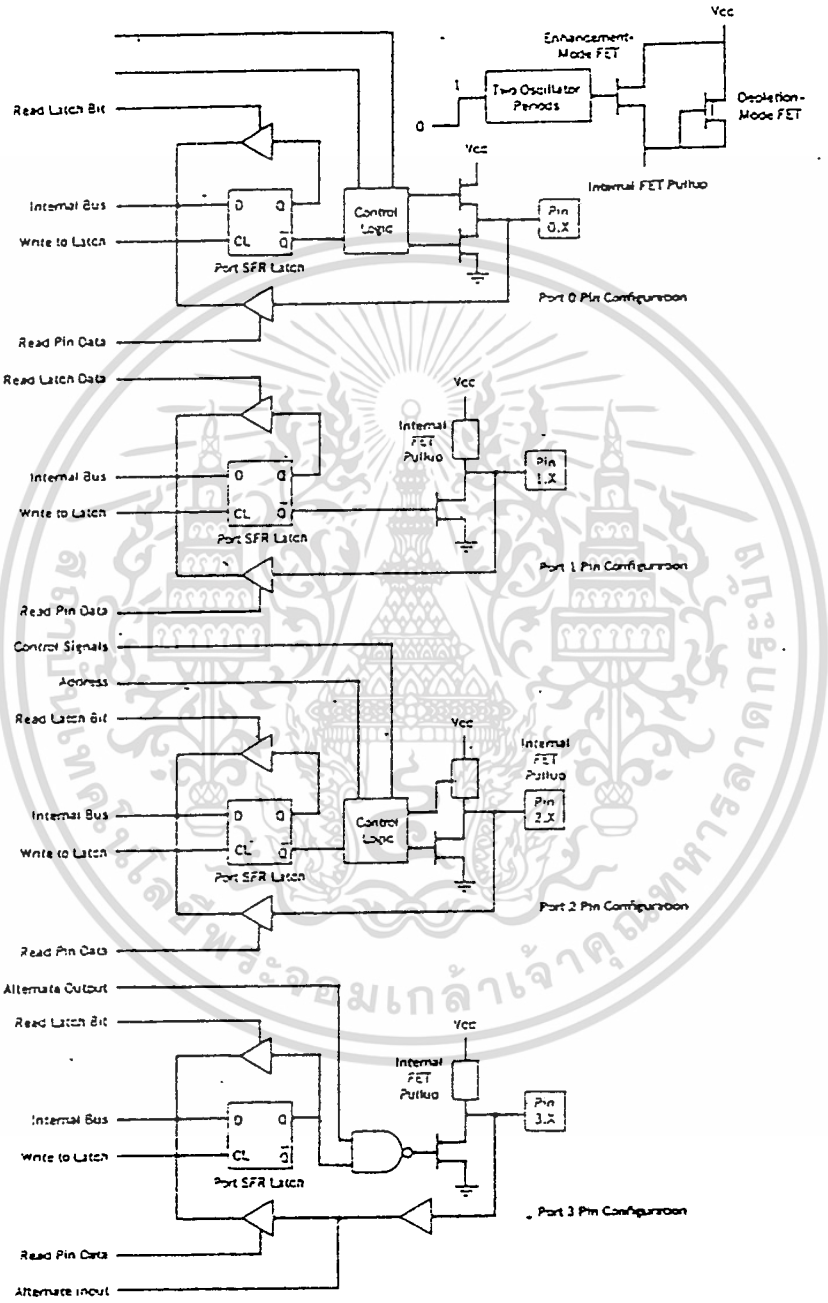
พอร์ต 3

พอร์ต 3 เป็นอินพุท/เอาท์พุท คล้ายกับพอร์ต 1 หน้าที่ของอินพุทและเอาท์พุทสามารถโปรแกรมภายใต้การควบคุมของพอร์ต 3 แลทช์ หรือโดย SFR ต่างๆ พอร์ต 3 ใช้ตามตารางที่ 2.1

PIN	ALTERNATE USE	SFR
P3.0-RXD	Serial data input	SBUF
P3.1-TXD	Serial data input	SBUF
P3.2-INT0	External interrupt 0	TCON.1
P3.3-INT1	External interrupt 1	TCON.3
P3.4-T0	External timer 0 input	TMOD
P3.5-T1	External timer 1 input	TMOD
P3.6-WR	External memory writer pulse	-
P3.7-RD	External memory read pulse	-

ตารางที่ 2.1 แสดงหน้าที่ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงวงจรพอร์ตพิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไอซีทีทีแอล

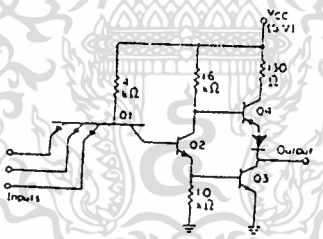
วงจรลอจิกในตระกูลทีทีแอล มีรูปแบบหลักๆอยู่ 4 แบบคือ

1. Standard
2. High-Speed
3. Low-Power
4. Schottky-Diode-Clamp

3.1 ตระกูลของวงจรไอซีทีทีแอล

3.1.1 วงจร Standard TTL

วงจรทีทีแอลในอนุกรม Standard เป็นวงจรที่ถูกออกแบบมาเพื่อให้ได้จุดที่เหมาะสมที่สุดระหว่างความเร็วและกำลังงานที่ใช้ ตัวอย่างของวงจรแสดงดังในรูป 3.1 ซึ่งประกอบด้วยทรานซิสเตอร์แบบ Multi-emitter(Q_1)ทางด้านที่มีขนาดเล็ก และทำให้มีความเร็วในการสวิตช์สูง สำหรับทางด้านเอาท์พุทเป็นวงจร Active Pull-UP (Q_3)ซึ่งมีความเร็วสูง และมีอิมพีแดนซ์ทางด้านเอาท์พุทต่ำ ทำให้สามารถขับโหลดได้สูงด้วย

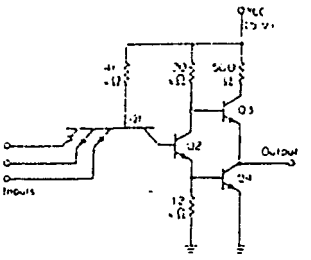


รูปที่3.1 วงจรไอซีทีทีแอลตระกูลมาตรฐาน

3.1.2 วงจร Low-Power TTL

วงจรทีทีแอลในอนุกรม Low-Power ถูกออกแบบมาให้ใช้กำลังงานต่ำดังตัวอย่างในรูปที่ 3.2 มีการจัดวงจรเหมือนับวงจร Standard เพียงแต่เพิ่มค่าความต้านทานในวงจร ทำให้ลดกำลังงานที่ใช้ลงได้ โดยจะต่ำกว่าวงจร Standard ประมาณ 10 เท่า ส่วนกำลังงานมีค่าประมาณ 1mW มีความเร็วประมาณ 2 เท่าของวงจรเกทแบบอื่นส่วนความเร็วประมาณ 33 nS ข้อดีของวงจรประเภทนี้คือ กินกำลังงานต่ำ

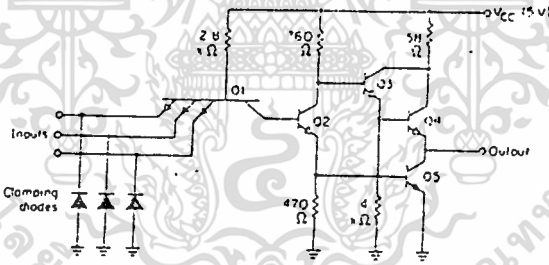
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.2 วงจรไอซีทีทีแอลตระกูลกินไฟน้อย

3.1.3 วงจร High-Speed TTL

วงจรทีทีแอลในอนุกรม High-Speed จะรูปแบบการจัดวงจรดังรูปที่ 3.3 ซึ่งพื้นฐานทั่วไปยังอาศัยรูปแบบของวงจร Standard แต่ลดค่าของตัวต้านทานที่ใช้ในวงจรลง และเพิ่มไดโอดแคลมป์เข้าไปที่อินพุท ซึ่งไดโอดแคลมป์จะช่วยลดผลของสายส่งที่มีต่อสัญญาณที่ส่งมาให้กับวงจร โดยเฉพาะในกรณีที่สัญญาณลอจิกที่ใช้นั้นมีช่วงเวลาของขอบขาขึ้นและขอบขาลงสั้นมาก ส่วนทางด้านเอาท์พุทมีทรานซิสเตอร์ 2 ตัว คือ Q_3 และ Q_4 ซึ่งเป็นวงจรแบบดาร์ลิงตัน ทำให้วงจรมีความเร็วในการทำงานสูงประมาณ 6 nS แต่มีข้อเสียคือกำลังงานที่ใช้ในวงจรเกทมีค่าสูงกว่าวงจรอื่นๆประมาณ 22 mW

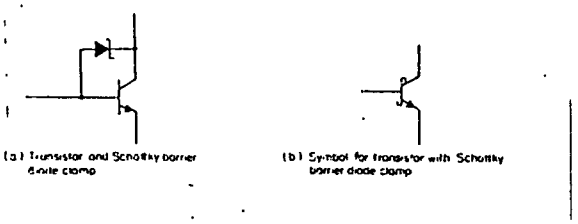


รูปที่ 3.3 วงจรไอซีทีทีแอลตระกูลกินไฟมาก

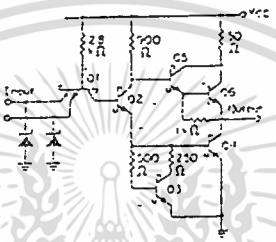
3.1.4 วงจร Schottky-Clamp TTL

วงจรทีทีแอลในอนุกรม Schottky-Clamp เป็นวงจรในตระกูลทีทีแอลที่มีความเร็วสูงที่สุด โดยรวมเอาข้อดีทางด้านความเร็วของวงจร ECL เข้ากับข้อดีทางด้านการกินกำลังต่ำของวงจรทีทีแอล ซึ่งสร้างขึ้นโดยใช้ไดโอดแบบ SBD(Schottky-Barrier Diode) แคลมป์ระหว่างขาBและCของทรานซิสเตอร์ ดังรูปที่ 3.4 โดยไดโอดแบบ SBD ไม่มีผลของตัวเก็บประจุภายในตัวไดโอด และมีค่าแรงดันตกคร่อมต่ำกว่าไดโอดทั่วไป ไดโอดแบบ SBD จะป้องกันทรานซิสเตอร์เข้าสู่สภาวะอิ่มตัว ในระหว่างที่ทรานซิสเตอร์ทำงาน และเนื่องจากผลของตัวเก็บประจุภายในตัวไดโอด SBD และทรานซิสเตอร์นั้นมีน้อยมาก จึงทำให้ความเร็วในการเปลี่ยนแปลงลอจิกของวงจรสูงขึ้นด้วย ตัวอย่างวงจรทีทีแอลในอนุกรม Schottky-Clamp แสดงดังในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 SBD ทรานซิสเตอร์



รูปที่ 3.5 วงจรไอซีทีทีแอลตระกูลสก็อตตี้

3.2 คุณสมบัติและลักษณะของไอซีทีทีแอล

3.2.1 คุณสมบัติทั่วไป

วงจรในตระกูลทีทีแอลถูกแบ่งออกเป็นรูปแบบต่างๆกันซึ่งมีคุณลักษณะเฉพาะบางประการที่ต่างกัน แต่จะมีคุณสมบัติหลักเหมือนกัน ดังนี้

แรงดันไฟเลี้ยง	5.0 V
ระดับแรงดันของลอจิก"0"	0.2 V
ระดับแรงดันของลอจิก"1"	3.0 V
Noise Immunity	1.0 V

3.2.2 ลักษณะแพ็กเก็จของทีทีแอล

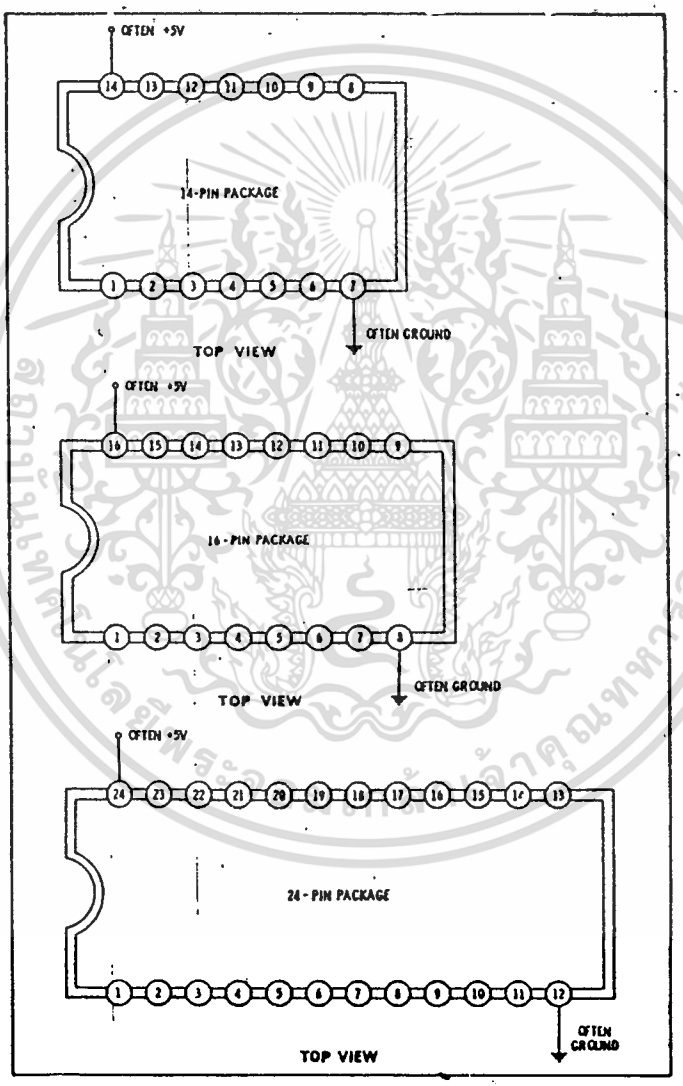
ทีทีแอลจะถูกแพ็กอย่างดีในแพ็กเก็จที่ทำด้วยพลาสติกหรือเซรามิค โดยทั่วไปเป็นสี่เหลี่ยมผืนผ้า ขา (pin) ของลอจิกจะถูกต่อยื่นออกมาอย่างมีระเบียบ โดยทั่วไปจะมี 14 หรือ 16 ขา หรืออาจมีถึง 24 ขา ดังรูปที่ 3.6

3.2.3 ระบบไฟจ่ายวงจรให้กับทีทีแอล

คุณสมบัติที่สำคัญซึ่งควรรู้จักของวงจรไอซีทีทีแอลลอจิก ทั้ง 4 ตระกูล คือ ไฟจ่ายวงจร = 5โวลท์ ลอจิก "0" ทางด้านเอาท์พุท = 0.2 โวลท์ ลอจิกทางด้านเอาท์พุท = 3.0 โวลท์ Noise immunity (ค่าความแตกต่างระหว่างอินพุทที่เป็นลอจิก "1" กับ "0" = 1.0 โวลท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกระบบจ่ายไฟให้วงจรควรพิจารณาถึงแรงดันไฟฟ้าที่ออกมาคงที่ โดยมี regulator ช่วย มีเอาท์พุทอิมพิแดนซ์ต่ำ มีระบบป้องกันไม่ให้เกิดกระแสไฟทรานเซี้ยนสูง โดยเฉพาะในช่วงการเปลี่ยนสเตทของเอาท์พุททีทีแอล คือ ต้องมีการ decoupling วงจรจ่ายไฟในที่ที่เหมาะสมโดยทั่วไปแล้วต้องการไฟจ่ายวงจรเพียง +5 โวลท์ และสามารถทำงานได้ตามปกติที่ไฟจ่ายวงจรต่ำถึง ± 250 มิลลิโวลท์ วิธีเช็คหาจำนวนกระแสไฟที่ต้องการ คือ หากระแสไฟฟ้าที่ไหลในวงจรลอจิกเกทแต่ละตัว แล้วบวกกันหรือจากหนังสือคู่มือการใช้ทีทีแอล ย่อมทราบว่าลอจิกเกทกินไฟฟ้ากี่มิลลิวัตต์ ต่อเกท แล้วนำมารวมกัน เมื่อเอาค่าไฟจ่ายวงจรไปหารจะได้จำนวนกระแสไฟฟ้าตามต้องการ



รูปที่ 3.6 แสดงแพ็คเก็จของทีทีแอลลอจิก

3.3 คุณสมบัติของไอซีทีทีแอลประเภทต่างๆ

3.3.1 ไอซี LOGIC GATE พื้นฐานทั่วไป

- ทีทีแอลเกทแบบ NAND GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 จะเห็นว่าถ้าแต่ละสัญญาณอินพุทเป็นลอจิก "1" หมด จะได้สัญญาณเอาท์พุทเป็นลอจิก "0" แต่ถ้าตัวใดหนึ่งหรือมากกว่าเป็นลอจิก "0" จะได้เอาท์พุทเป็น "1" จากรูป Q_1 เป็นอินพุท Q_2, Q_3 เป็น driver ส่วน Q_4 เป็น active pull up ซึ่งเป็นเอาท์พุทของวงจร และจากรูปที่ 3.8 เป็นกราฟแสดงสัญญาณอินพุทต่อเอาท์พุท สมมติ V_i เป็นสัญญาณอินพุท ถ้าอินพุทมีค่าน้อยกว่า V_a แล้ว Q_1 จะทำงานในช่วงไม่อิ่มตัว ทำให้ Q_2 ไม่ทำงาน หรือไม่นำกระแส ทำให้ Q_3 ไม่ทำงานด้วย ทำให้ Q_4 ทำงานเต็มที่ นำกระแสไฟฟ้าเต็มที่ ดังนั้นเอาท์พุทจะเท่ากับไฟจ่ายวงจร Vcc สมการของเอาท์พุทเขียนได้ดังนี้

$V_{OH} = V_{cc} - V_{CE(Q4)} - V_F$

V_{OH} = เอาท์พุทโวลท์เตจที่เป็นลอจิก "1"

V_F = forward voltage ที่ตกคร่อมไดโอด

ในช่วงที่อินพุท V_i น้อยกว่า V_a กระแสไฟฟ้าจำนวนหนึ่งจะไหลออกมาจาก emitter ของ Q_1 สมมติชื่อ $I_{E1}=V_{cc}/R1$ ขณะนี้ Q_4 เป็น emitter follower ทำให้เอาท์พุทอิมพิแดนซ์ต่ำ ถ้า V_i มากกว่า V_c จะทำให้Q_1 ไม่นำกระแสเลยส่วน Q_2 และ Q_3 นำกระแสด้วย ช่วงนี้เอาท์พุทโวลท์เตจเกือบเป็น 0 และเอาท์พุทขณะนี้เป็นลอจิก "0" จะเห็นว่าค่าสัญญาณเอาท์พุทโวลท์เตจ ก็คือ $V_{CE(sat)}$ ของ Q_3 นั่นเอง ถ้าวงจร 3.7 ต่อกับโหลดภายนอก จะมีกระแสไฟฟ้าไหลจากภายนอกเข้าสู่ Q_3 กระแสไฟฟ้าดังกล่าวนี้เรียกว่า "I_{sink}" ช่วงนี้สมการเอาท์พุทเป็นดังนี้

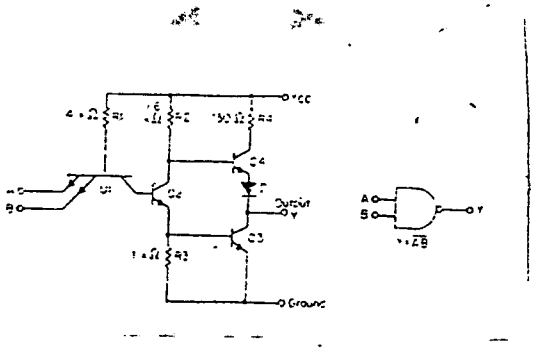
$V_{OL} = V_{CE(sat)} = R_{CE(sat)} I_{sink}$

V_{OL} = เอาท์พุทโวลท์เตจเป็นลอจิก "0

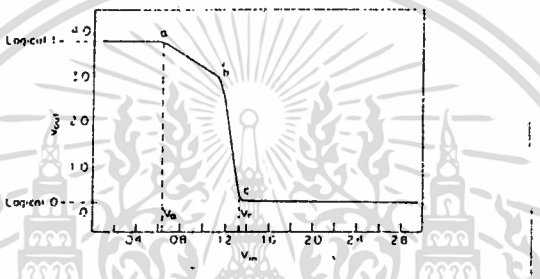
$R_{CE(sat)}$ = ความต้านทานระหว่างขา collector กับขา emitter ของทรานซิสเตอร์ Q_3 ค่า $R_{CE\ (sat)}$ จะต่ำ

จะเห็นได้ว่าในช่วง $V_a < V_i < V_c$ วงจรจะเปลี่ยนสเตทจากลอจิก "0" สมมติอินพุททั้งหมดเข้าด้วยกันแล้วป้อน V_i เข้าไปโดยเพิ่มค่าจาก 0 โวลท์ ขึ้นไปทางบวกเรื่อยๆขณะที่ค่าเพิ่มขึ้นนั้นกระแสไฟฟ้าที่ไหลจากขาเบสของทรานซิสเตอร์ Q_1 เข้าสู่ขา emitter และจะเปลี่ยนทิศทางจากเบสของ Q_1 ไปสู่ขา collectorของ Q_1 นั่นคือเข้าสู่ขาเบสของ Q_2 จนกระทั่ง $V_i = V_a = 07V$ ทำให้ Q_2 นำกระแสไฟฟ้า ขณะนี้ Q_2ทำงานอย่าง Linear ด้วยค่า Gain = R_2/R_3 ช่วงนี้ Q_4 ยังนำกระแสไฟฟ้าอยู่และ output ของ Q_2 จะมีค่าแปรตามค่า Gain ของQ_2 และoutputของQ_4 จะลดลงตาม Slope R_2/R_3= 1.6 นั่นคือ ลดจากจุด a สู่จุด b ณ ที่ตำแหน่ง b นี้ อินพุท V_i จะสูงพอที่สามารถทำให้ทรานซิสเตอร์ Q_3 นำกระแส ซึ่งเป็นเหตุให้ค่า the emitter impedance ของ impedance ของ Q_2 ลดลง gain ของ Q_2 จะเพิ่มขึ้นทันที จากรูปที่ 3.8 slope a-b คือ ค่า gain ของ Q_2 ($A_{Q2}=R_2/R_3//R_{BE(G3)}$) ในที่สุดทรานซิสเตอร์ Q_4 จะไม่นำกระแสไฟฟ้าที่อินพุท $V_i=V_c$ ขณะนี้เอาท์พุทของวงจรจะเป็นลอจิก "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงลักษณะวงจรและสัญลักษณ์ทางลอจิกของไอซีทีทีแอล NAND เกท



รูปที่ 3.8 แสดงลักษณะสัญญาณอินพุท/เอาท์พุทของวงจรไอซี

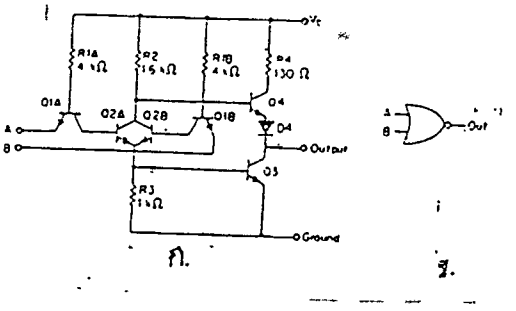
- AND เกท

วิธีที่ง่ายและประหยัดสำหรับการสร้างวงจรลอจิก AND เกท คือ ใช้ลอจิก NAND เกท ดัดแปลงเป็น INVERTER เกท โดยต่ออินพุททั้งหมดของ NAND เกทเข้าด้วยกัน ต่อจากนี้ INVERTER เกท ไปต่อเข้ากับเอาท์พุทของ NAND เกทอีกตัวหนึ่ง ในที่สุดจะได้ AND เกท 1 ตัว โดยใช้ NAND เกทเพียง 2 ตัวต่อกัน ค่า DELAY TIME ของ AND เกทจะมากขึ้นจะกินไฟมากขึ้น แต่ถ้าเลือก NAND เกทที่มีความเร็วสูงมาดัดแปลง จะทำให้ได้ AND เกทที่มี DELAY TIME สูงกว่า NAND เกท เพียง 1 ns และกินไฟฟ้ามากกว่าไม่เกิน 5 mw ต่อเกท

- NOR เกท

จากรูปที่ 3.9 เป็นวงจรลอจิก NOR เกท โดยถ้าอินพุทตัวใดตัวหนึ่งหรือทั้งคู่เป็นลอจิก"1" (V_{IH} = 0.2 V) Q_2นำกระแสไฟฟ้า ทำให้ Q_3นำด้วย ส่วน Q_4จะไม่นำกระแสไฟฟ้า ดังนั้นเอาท์พุทเป็นลอจิก"0" ($V_{OL} \leq 0.4V$) แต่ถ้าเป็น"0"ทั้งคู่($V_{IL} \leq 0.8V$) ทำให้ Q_2 และQ_3ไม่นำกระแส ส่วนQ_4 นำกระแสไฟฟ้า ได้เอาท์พุทเป็นลอจิก"1"($V_{OH} \geq 2.4V$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก. ข.

รูปที่ 3.9 วงจรลอจิก NOR เกท

- ทีทีแอล AND-OR-INVERTER (AOI) GATE และ EXPANDER GATE

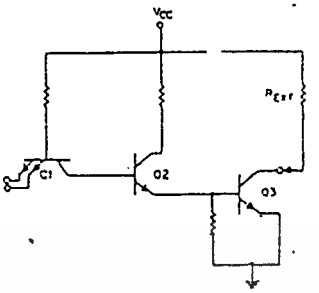
พิจารณาสมการบูลีน คือ $Y = \overline{AB}.\ \overline{CD} = AB+CD$ จะเห็นว่าสามารถจะสร้างวงจรลอจิกที่ให้ได้เอาท์พุท Y โดยใช้ทีทีแอล open collector NAND เกทที่เอาท์พุทต่อเป็น wire – AND คล้ายวงจรรูปที่3.10 ก ได้ อย่างไรก็ตามถ้าสมการ- Y เป็นสมการที่ยาว คือ ประกอบด้วยเทอมหลาย ๆ เทอม (ซึ่งหมายถึงว่ามีจำนวนอินพุทมากนั่นเอง) ถ้าใช้ทีทีแอล open collector NAND เกทนั้น จะให้ FAN OUT ต่ำ เมื่อ η มีค่ามาก ซึ่งค่า η ดังกล่าวก็คือ จำนวนอินพุทหรือจำนวนเทอมต่าง ๆ ของสมการ –Y นั่นเอง นอกจากนี้วงจรจะกินไฟฟ้าเพราะ R_L ให้สูงกว่าที่กำหนดก็จะประสบปัญหาเรื่องความเร็วที่ตกต่ำ ด้วยเหตุผลดังกล่าว จึงได้ออกแบบสร้างวงจรลอจิกทีทีแอล AOI เกท ที่มีจำนวน FAN OUT สูงถึง 10 และค่า delay time สูงสุดราว ๆ 15 nS เท่านั้น ที่จริงแล้ว AOI เกท เป็นวงจรไอ.ซีคอมบิเนชั่นลอจิกประกอบด้วย AND เกท (NAND เกท + INVERTER เกท) , OR เกท (NOR เกท + INVERTER เกท) เป็นต้น

3.3.2 ไอซี LOGIC GATE แบบ open collector

ประโยชน์ของทีทีแอลที่มีเอาท์พุทเป็นแบบ totem-pole(หรือ active pull up จะมีลักษณะของตัวจ่ายกระแสที่มีค่าอิมพีแดนซ์ต่ำสำหรับโหลดที่เป็นแบบคาปาซิทีฟ ทำให้เกิดการอัดประจุและคายประจุและคายประจุได้รวดเร็วกว่าวงจรที่เป็น RC ทั่วๆไป) คือ เกตเอาท์พุทอิมพิแดนซ์ต่ำ ทำให้สามารถรับ load ภายนอกได้สูง นอกจากนี้มี low noise และมีความเร็วสูง ส่วนทีทีแอลที่เอาท์พุทเป็นแบบ open collector มีโครงสร้างดังรูปที่ 3.10 ข้อดีของopen collector ทีทีแอลเกท คือ สามารถต่อเอาท์พุทเข้าด้วยกันได้โดยตรง ทำให้จำนวนเกทที่ใช้ลดลง จากรูปที่ 3.11(ก)เป็นการมัดเอาท์พุทของ open collector ทีทีแอลเกททั้งหลายเข้าด้วยกัน ทำให้ได้เอาท์พุท –Y ตามต้องการ และวงจรก็ทำหน้าที่เป็น AND เกท การมัดเอาท์พุทแบบนี้เรียกว่า " wire and " ส่วน 3.11(ข) จะมีหน้าที่เหมือน 3.11(ก) ที่ต่างกันคือ เกทแต่ละเกทใน 3.11(ข) ใช้ totem-pole ลอจิกเกท จาก 3.11(ก) จะเห็นว่าถึงแม้เอาท์พุทเกทตัวใดเป็นลอจิก"0" ก็ไม่เป็นอันตรายกับวงจร เพราะมีความต้านทาน R_{EXT}จะเปลี่ยนแปลงตามจำนวนเกทที่ เอาท์พุทของมันมัดติดกัน ข้อควรระวังของทีทีแอลแบบ totem-pole คือ ห้ามต่อเอาท์พุทเข้าด้วยกันโดยตรงอย่างเด็ดขาด เพราะถ้าเอาท์พุทของเกทตัวใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวหนึ่งเป็นลอจิก"0"จะมีกระแสไฟฟ้า I_{OL}สูงมากคือราวๆ 55 mA ซึ่งพอที่จะทำลายเอาท์พุท ทรานซิสเตอร์อีกตัวได้ ขณะวงจรตามปกติค่า I_{OL} สูงประมาณ 16 mA เท่านั้น



รูปที่ 3.10 โครงสร้างของ open collector ทีทีแอลเกท

(ก) ตอแบบ wire AND โดยใช้ลอจิกเกท แบบ open collector

(ข) ต่อแบบธรรมดาโดยใช้ลอจิก แบบtotem-pole

รูปที่ 3.11 เปรียบเทียบวงจรลอจิก ทีทีแอลเกทแบบ open collector กับ totem pole

3.3.3 ไอซีทีทีแอลประเภท TRI STATE OUTPUT

ไอซีทีทีแอลแบบนี้จะประกอบด้วย 3 ส่วน คือ ส่วนที่เป็นอินพุท ส่วนควบคุมหรือขา Enable โดยจะควบคุมให้เกิดเอาท์พุท และเอาท์พุท ซึ่งจะมีค่าได้ 3 สภาวะ คือ High,Low, Hi impedance

3.4 ไอซี LOGIC GATE ประเภทที่ต้องการ CLOCK

ไอซีทีทีแอลประเภทนี้เมื่อจะให้ทำงาน นอกจากจะต้องป้อนไฟ Vcc และGND ยังมีอินพุทที่ต้องการ clock อีกด้วย เมื่อจะให้ไอซีทำงานจะต้องป้อน clock ควบคู่ไปกับการป้อนลอจิกทางอินพุท ซึ่งได้แก่ ไอซี FLIP-FLOP , ไอซี SHIFT REGISTER ซึ่งจะแยกอธิบายการทำงานของไอซีได้ คือ

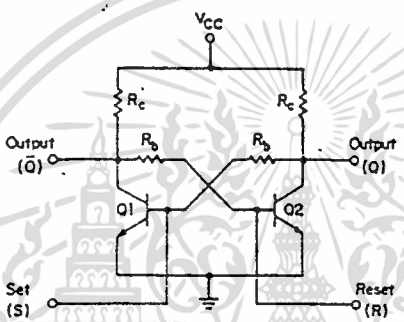
3.3.4.1 วงจรฟลิปฟลอป

วงจรฟลิปฟลอปพื้นฐานมี คือ วงจรฟลิปฟลอปแบบ D,T,R-S และ J-K ซึ่งจะอธิบายคุณสมบัติของฟลิปฟลอปแต่ละชนิดได้ดังนี้

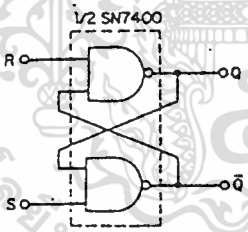
วงจรแลทช์แบบ R-S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรที่สร้างขึ้นโดยใช้ทรานซิสเตอร์และตัวต้านทานดังรูปที่3.12ซึ่งถ้าเปลี่ยนทรานซิสเตอร์ และตัวต้านทานเป็นวงจร NANDเกท ขนาด 2 อินพุท 2 วงจร จะได้วงจรแลทช์แบบ R-S ดังวงจรในรูปที่ 3.13 จากรูป 3.13 จะมี 2 อินพุท คือ R(Reset หรือ Clear) และ S(Set) ซึ่งเป็นอินพุทแบบอะซิงโครนัส(Asynchronous) โดยอินพุทจะเปลี่ยนแปลงตามข้อมูลอินพุททันทีที่ข้อมูลทางอินพุทเกิดการเปลี่ยนแปลง สำหรับค่าลอจิก"0" และ "1"นั้นในตารางความเป็นจริงจะแทนระดับแรงดันที่ประมาณ 0.2 และ 3.3 V ตามลำดับ จากตารางความจริง อินพุทมีได้ 4 ลักษณะ ซึ่งเอาท์พุท Qจะเป็นลอจิก "1" เมื่ออินพุท S ได้รับลอจิกเป็น"1" และเป็น "0"เมื่ออินพุท R ได้รับลอจิกเป็น "1" เอาท์พุท Q และ $\overline{Q}$ ของวงจรต้องมีระดับลอจิกที่กลับกัน ดังนั้นตารางค่าความจริง นอกจากนี้วงจรแลทช์แบบ R-S สร้างขึ้นได้จากวงจรเกท NOR ดังรูปที่ 3.14



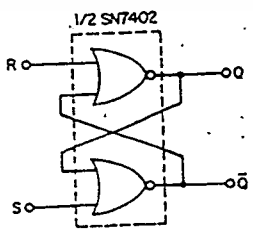
รูปที่ 3.12 วงจรฟลิปฟลอปที่ใช้งานจริง



ตารางความจริง

R	S	Q	$\overline{Q}$
0	0	not allowed	
0	1	1	0
1	0	0	1
1	1	no change	

รูปที่ 3.13 วงจรแลทช์ R-S ที่สร้างจากวงจรแนนด์เกท



ตารางความจริง

R	S	Q	$\overline{Q}$
0	0	no change	
0	1	1	0
1	0	0	1
1	1	not allowed	

รูปที่ 3.14 วงจรแลทช์ R-S ที่สร้างจากวงจรนอร์เกท

สัญญาณคล็อกแบบซิงโครนัส แบ่งได้เป็น 3 ลักษณะ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง 039149

1. d-c หรือ Edge trigged

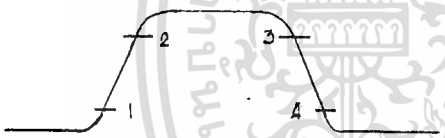
ขาอินพุทคล็อกแบบ d-c Edge หรือ Trigged จะแอคทีฟเมื่อสัญญาณอินพุทที่ขาคล็อกเปลี่ยนแปลงจากลอจิก "0" เป็น "1" (ขอบขาขึ้น) หรือจาก"1" เป็น"0"(ขอบขาลง) ซึ่งขาคล็อกจะทริกที่ขอบขาขึ้นหรือขาลงเพียงอย่างเดียวเท่านั้น

2. a-c couple

ขาอินพุทแบบ a-c couple จะขึ้นอยู่กับช่วงเวลาที่ขอบขาขึ้นหรือขอบขาลงของสัญญาณของสัญญาณคล็อก เนื่องจากอินพุทของคล็อกที่ถูกต่อคัปปลิ้งผ่านตัวเก็บประจุก่อนมี่จะส่งให้กับวงจรฟลิปฟลอป ดังนั้นสัญญาณคล็อกต้องมีความเร็วสูงพอที่จะทำให้วงจรสามารถตอบสนองได้

3. Master-Slave

เป็นวงจรที่สร้างขึ้นจากวงจรแลทช์ 2 วงจรที่ต่ออนุกรมกัน คือ วงจร MASTERและวงจร SLAVE ซึ่งอินพุทของ Slaveต่อกับเอาท์พุทของMaster และอินพุทของ Master ต่อกับสัญญาณอินพุทที่ป้อนให้กับวงจร สำหรับการทำงานจะแสดงดังรูปที่ 3.15



1 แยกวงจรที่เป็น slaveออกจากวงจรที่เป็น master

2 วงจร masterรับข้อมูลเข้าทางอินพุท

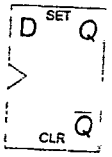
3 วงจรmasterยุติการรับข้อมูล

4 ข้อมูลถูกส่งจากวงจรmasterให้กับวงจร slave

รูปที่ 3.15 สัญญาณนาฬิกาในการทำงานของวงจรฟลิปฟลอปแบบ MASTER-SLAVE

วงจรฟลิปฟลอปแบบ D (D-Type Flip-Flop)

เป็นวงจรฟลิปฟลอปที่มีขาอินพุทคล็อก และขาอินพุทข้อมูลแบบซิงโครนัส 1 อินพุท คือขาD(DATA) ส่วนเอาท์พุทมีเฉพาะขา Q หรือ $\overline{Q}$ ขาใดขาหนึ่ง นอกจากนี้ยังมีขาอินพุทแบบอะซิงโครนัส คือ ขา Preset และ Clear แสดงดังรูปที่ 3.16 ซึ่งสัญญาณ"0" จะทำให้ขา Preset และ Clear แอคทีฟ จะทำให้เอาท์พุทที่ได้เปลี่ยนไปตามขาอินพุททันที โดยไม่ขึ้นกับขาควบคุม สำหรับขาอินพุทคล็อกของวงจรฟลิปฟลอปแบบ D อาจถูกออกแบบให้ทริกที่สัญญาณคล็อกแบบใดแบบหนึ่งใน 3 แบบที่กล่าวถึงแล้ว



ตารางความจริง

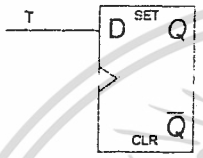
อินพุท D(ที่เวลา t_n)	เอาท์พุท Q (ที่เวลา t_{n+1})
0	0
1	1

รูปที่ 3.16 วงจรฟลิปฟลอปแบบ D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรฟลิปฟลอปแบบ T(T-Type Flip-Flop)

วงจรฟลิปฟลอบแบบ T จะมีโครงสร้างที่คล้ายกับ วงจรฟลิปฟลอปแบบ D คือมีขาอินพุตแบบซิงโครนัส คือ PRESENT และ CLEAR (อาจมีเพียงขาใดขาหนึ่ง หรือ ทั้งสองขาก็ได้)ขาอินพุตคล็อกซึ่งอาจจะถูกออกแบบให้ทริกด้วยสัญญาณคล็อกรูปแบบใดรูปแบบหนึ่งใน 3 แบบที่กล่าวถึงแล้วก็ได้ ขาข้อมูลอินพุทแบบซิงโครนัส 1 ขา เรียกว่าขา อินพุท T(Toggle) และเอาท์พุท Q กับ $\overline{Q}$ ซึ่งมีขาใดขาหนึ่ง หรือ 2 ขาก็ได้ สำหรับไดอะแกรมและตารางความจริงของวงจรฟลิปฟลอปแบบ T แสดงดังรูป 3.17



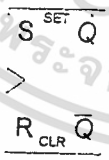
ตารางความจริง

อินพุท D(ที่เวลา t_n)	เอาท์พุท Q (ที่เวลา t_{m+1})
0	0
1	1

รูปที่ 3.17 วงจรฟลิปฟลอปแบบ T

วงจรฟลิปฟลอปแบบ R-S (R-S Flip-Flop)

วงจรฟลิปฟลอปแบบ R-S หรือ S-R(SET-RESET)นี้ เป็นวงจรฟลิปฟลอปที่มีขาอินพุทแบบอะซิงโครนัส คือ PRESET หรือ CLEAR(ขาใดขาหนึ่งหรือทั้งสองขา) ขาอินพุทคล็อก ขาเอาท์พุท Qและ $\overline{Q}$ และขาอินพุทแบบซิงโครนัสมีจำนวน 2 ขา คือ ขาS(SET) และ R(RESET) สำหรับไดอะแกรมและตารางความจริงของวงจรฟลิปฟลอปแบบ R-S แสดงดังรูป 3.18



ตารางความจริง

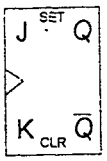
R	S	Q
0	0	Q_n
0	1	1
1	0	0
1	1	-

รูปที่ 3.18 วงจรฟลิปฟลอปแบบ R-S

วงจรฟลิปฟลอปแบบ J-K(J-K Flip-Flop)

วงจรฟลิปฟลอปแบบ J-K เป็นวงจรฟลิปฟลอปที่ประกอบด้วย ขาอินพุทคล็อก,ขาอินพุทแบบอะซิงโครนัส 2 ขา คือ PRESETและ CLEAR, ขาอินพุทแบบซิงโครนัส 2 ขา คือ J และ K โดยที่มีขาเอาท์พุท คือ Q และ $\overline{Q}$ สำหรับไดอะแกรมและตารางความจริงขอลวงจรฟลิปฟลอปแบบ J-K แสดงดังรูป 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



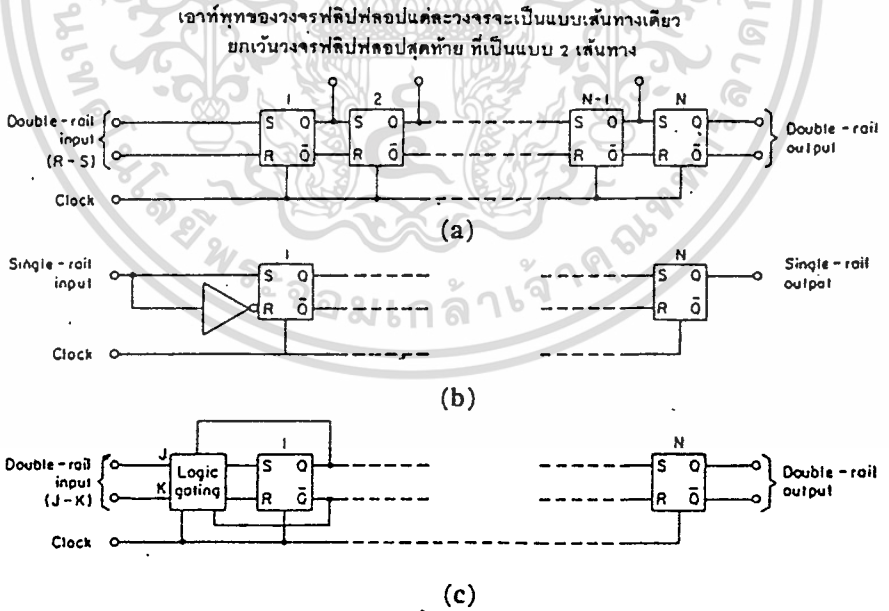
ตารางความจริง

ที่ t_n		ที่ t_{n+1}
R	S	Q
0	0	Q_n
0	1	1
1	0	0
1	1	$\overline{Q}_n$

รูปที่ 3.19 วงจรฟลิปฟลอปแบบ J-K

3.3.4.2 วงจรเลื่อนบิท

วงจรเลื่อนบิทประกอบด้วยวงจรฟลิปฟลอปที่นำมาเชื่อมต่อกันในแบบ casecade โดยเอาท์พุทของวงจรฟลิปฟลอปที่อยู่ก่อนหน้าจะถูกเชื่อมต่อเข้ากับอินพุทของวงจรฟลิปฟลอปต่อไป ดังรูปที่ 3.20 คือ เอาท์พุทของวงจรฟลิปฟลอปที่อยู่ด้านซ้ายจะต่อเข้ากับอินพุทของวงจรที่อยู่ทางด้านขวา ส่วนขาอินพุทคล็อกจะเชื่อมต่อเข้าด้วยกัน ทำให้วงจรฟลิปฟลอปทำงานร่วมกันในแบบซิงโครนัส

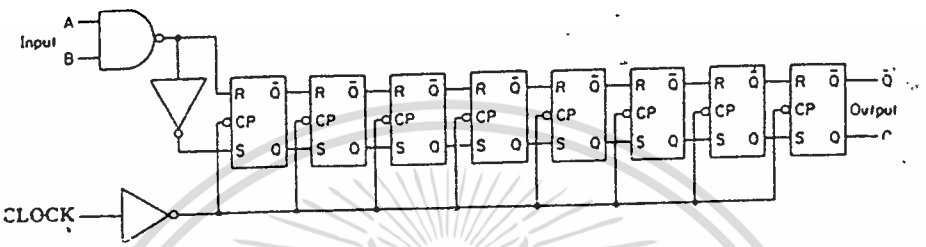


รูปที่ 3.20 โครงสร้างพื้นฐานของวงจรเลื่อนบิทต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนบิทขนาด 8 บิท (8 bit shift register)

วงจรเลื่อนบิทที่มีขนาด 8 บิท จะมีโครงสร้างทางอินพุท เป็นแบบเส้นทางเดียว และข้อมูลจะถูกส่งมาทางอินพุท A และ B ผ่านวงจรแนนเกทส่วน clock ป้อนเข้ามาทางอินพุท CP จะถูกส่งผ่านวงจรInvertet ก่อนที่จะส่งให้กับวงจรฟลิปฟลอป ดังนั้น วงจรจึงทำการเลื่อนบิทข้อมูลในช่วงขอบขาขึ้นของสัญญาณclock และทำให้ข้อมูลที่ป้อนเข้าทางอินพุท A และ B ถูกส่งออกทางoutput หลังจากที่สัญญาณ clock ผ่านไป 8 ลูก



อินพุทที่เวลา t_n		เอาท์พุทที่เวลา t_{n+8}	
A	B	Q_H	$\overline{Q_H}$
1	1	1	0
0	X	0	1
X	0	0	1

รูปที่ 3.21 ไดอะแกรมของวงจร และตารางแสดงการทำงาน

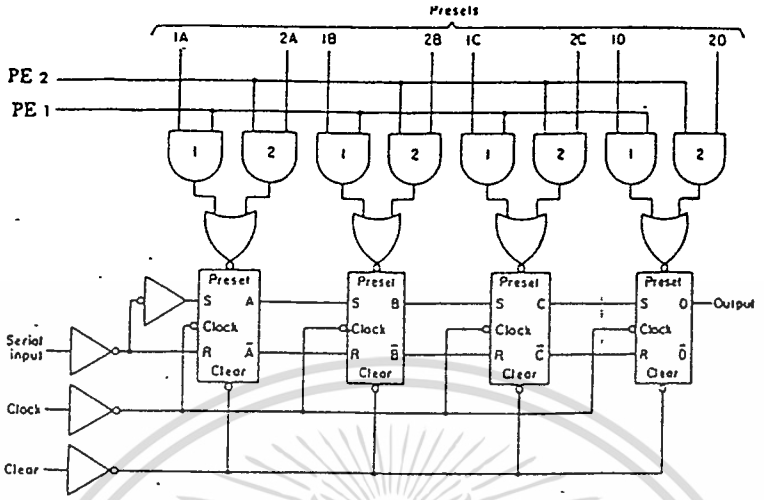
วงจรเลื่อนบิท ขนาด 4บิท ที่มีอินพุทแบบขนานและเอาท์พุทแบบอนุกรม(Parallel - in , Serial - out)

วงจรเลื่อนบิทขนาด 4 บิท สามารถรับข้อมูลได้ทั้งในแบบอนุกรมและขนานโดยอินพุทแบบขนานจะควบคุมผ่านทางขาอินพุท preset และ clear วงจรจะมีขาอินพุท preset 2 ชุด คือ 1A - 1D และ 2A-2D เป็นอินพุทแบบ อะซิงโคนัส ใช้สำหรับการเซท เอาท์พุทของวงจรฟลิปฟลอป ให้มีลอจิกเป็น 1 เมื่ออินพุท preset มีลอจิกเป็น 0 สำหรับไดอะแกรมและการควบคุมภายในวงจรฟลิปฟลอป จะทำได้ดังรูปที่ 3.22

ขาอินพุท PRESET				สถานะที่อินพุท preset
PE1	1A	PE2	2A	ภายในวงจรฟลิปฟลอป์ A
0	X	0	X	1(ไม่แอคทีฟ)
0	X	X	0	1(ไม่แอคทีฟ)
X	0	0	X	1(ไม่แอคทีฟ)
X	0	X	0	1(ไม่แอคทีฟ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

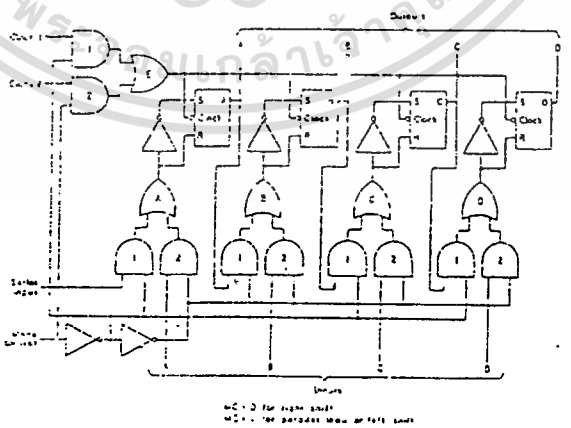
1	1	X	X	0(แอคทีฟ : $Q_A = 1$)
X	X	1	1	0(แอคทีฟ : $Q_A = 1$)



รูปที่ 3.22 การควบคุมระดับลอจิกที่ป้อนให้กับอินพุทPRESETและไดอะแกรมของวงจรฟลิปฟลอปA

วงจรเลื่อนบิทซ้าย - ขวา ขนาด 4 บิท (shift left , shift right)

เป็นวงจรเลื่อนบิทที่สามารถรับข้อมูลอินพุทได้ทั้งแบบขนานและอนุกรม สำหรับเอาท์พุทจะเป็นแบบขนานนอกจากนี้ยังมีอินพุทที่ใช้สำหรับควบคุมทิศทางการshift bit ของวงจร คือขาอินพุทMC ที่ใช้ควบคุมการเลื่อนบิทข้อมูลไปทางซ้ายหรือขวา และจะมีขาอินพุท clock ซึ่งแบ่งออกเป็นขาอินพุท CLOCK 1ใช้สำหรับการเลื่อนบิททางขวา และอินพุท CLOCK 2 ใช้สำหรับการเลื่อนบิทางซ้าย สำหรับการเลื่อนบิทของข้อมูลในวงจร เกิดขึ้นในช่วงขอบขาลงของสัญญาณ clock เนื่องจากสัญญาณนาฬิกาจะถูกป้อนให้กับวงจรฟลิปฟลอปโดยไม่ผ่านวงจร INVERTER ก่อน แสดงดังรูปที่ 3.23

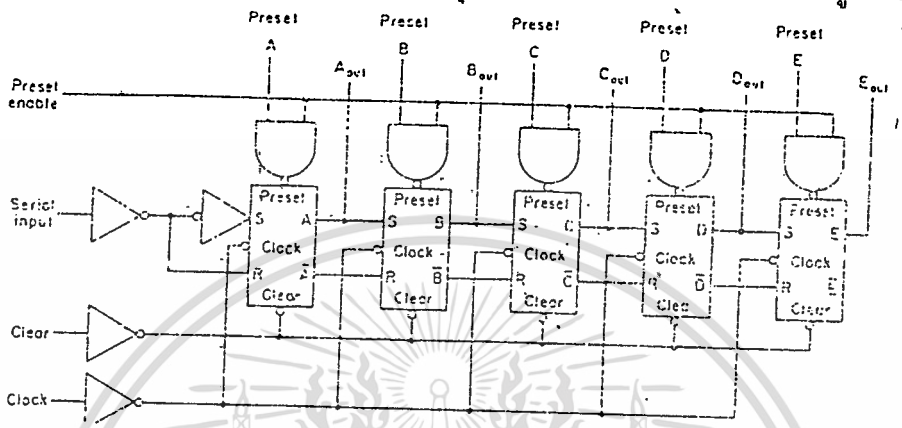


รูปที่ 3.23 แสดงไดอะแกรมของวงจรเลื่อนบิทซ้าย/ขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนบิทขนาด 5 บิท

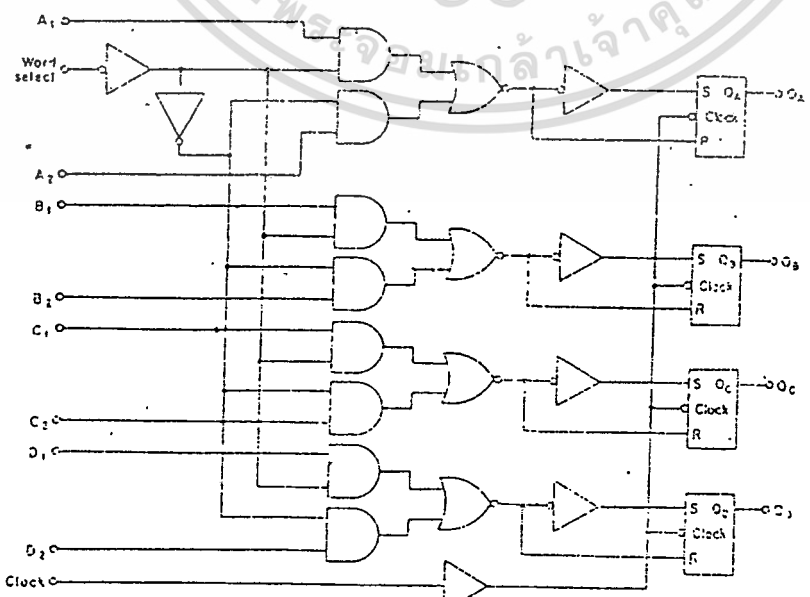
เป็นวงจรเลื่อนบิทที่มีอินพุท preset และ clear เพื่อใช้สำหรับการ โหลดข้อมูลแบบขนาน โดยมีอินพุท preset แยกสำหรับวงจรฟลิปฟลอปแต่ละวงจรส่วนอินพุท clear จะถูกต่อร่วมกันทุกวงจร ซึ่งทำให้การโหลดข้อมูลแบบขนานต้องทำโดยเริ่มต้นจากการ clear วงจรก่อน แล้วจึงทำการ preset เฉพาะวงจรฟลิปฟลอป ที่ต้องการให้มีเอาท์พุทเป็น 1 สำหรับไดอะแกรมแสดงรูปที่ 3.24



รูปที่ 3.24 ไดอะแกรมวงจรเลื่อนบิทขนาด 5 บิท

วงจรเลือก/เก็บข้อมูลขนาด 4 บิท (4 bit data selector / storage registor)

เป็นวงจรที่ทำให้การเลือกชุดของข้อมูลที่ต้องการส่งออกทางเอาท์พุทและทำหน้าที่เป็นวงจรเก็บข้อมูลด้วย อินพุทของวงจรสามารถรับข้อมูลขนาด 4 บิท ได้ 2 ชุด คือ A1 - D1 และ A2 -D2 โดยวงจรจะเลือกข้อมูลในชุดที่ 1 เพื่อส่งออกมายัง เอาท์พุท QA - QD ตามลำดับ เมื่อได้รับลอจิก 0 word select และจะเลือกข้อมูลในชุดที่ 2 เมื่อ word select ได้รับ ลอจิก 1 โดยทั้ง 2 กรณีนั้นวงจรจะส่งชุดของข้อมูลที่ถูกเลือกออกมายังเอาท์พุท เมื่อวงจรได้รับขอบขาลงของสัญญาณที่ขาอินพุท CLOCK สำหรับไดอะแกรมแสดงดังรูปที่ 3.25



รูปที่ 3.25 ไดอะแกรมวงจรเลือก/เก็บข้อมูลขนาด 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทำงานของเครื่องตรวจสอบไอซีทีทีแอล

4.1 โหมดการทำงานเครื่องตรวจสอบไอซีทีทีแอล

เครื่องตรวจสอบไอซีทีทีแอลนี้เป็นเครื่องตรวจสอบไอซีทีทีแอลตระกูล 74 XXX ขนาด 14 - 24 ขา โดยสามารถตรวจสอบการทำงานไอซีทีทีแอลได้ 4 ประเภทคือ

1. ไอซีทีทีแอล แบบ COMMON LOGIC GATE
2. ไอซีทีทีแอล แบบ OPEN COLLECTOR
3. ไอซีทีทีแอล แบบ Tri state output
4. ไอซีทีทีแอล แบบต้องการสัญญาณ CLOCK

โดยโหมดการทำงานของเครื่องตรวจสอบไอซีทีทีแอลนี้ สามารถแบ่งได้ 2 โหมดการทำงานคือ

4.1.1 โหมดตรวจสอบเบอร์ไอซี (UNKNOWN MODE)

โหมดนี้เป็นโหมดที่ผู้ใช้สามารถตรวจสอบเบอร์ไอซีตัวที่ผู้ใช้ต้องการทราบเบอร์ได้โดยทำการเสียบตัวไอซีบนเครื่องแล้วกดคีย์ใดๆได้ทันที โดยเครื่องจะทำการตรวจสอบไอซีตัวนั้นตามฟังก์ชันการตรวจสอบไอซีที่มีเบอร์อยู่ในหน่วยความจำ หากไอซีตัวนั้นไม่เสีย (สามารถตรวจสอบฟังก์ชันการทำงานได้ถูกต้องทุก STATES) และมีเบอร์อยู่ในหน่วยความจำ (เป็นไอซีในขอบเขต 4 ประเภทตามที่ได้กล่าวไว้ข้างต้น) เครื่องก็จะปรากฏเบอร์ไอซีเบอร์นั้นขึ้นมาทันทีที่ผู้ใช้ทำการตรวจสอบ โดยเครื่องสามารถแยกแยะไอซีทั้ง 4 ประเภทออกได้ชัดเจนด้วยชุด BUFFER (อธิบายในหัวข้อ โครงสร้างการทำงานอุปกรณ์หลัก)

4.1.2โหมดตรวจสอบฟังก์ชันการทำงานของไอซีแบบกำกับเบอร์ (KEY MODE NAME)

โหมดนี้เป็นโหมดที่ผู้ใช้สามารถตรวจสอบฟังก์ชันการทำงานของไอซีตัวที่ผู้ใช้ต้องการตรวจสอบ โดยผู้ใช้สามารถเสียบไอซีที่ผู้ใช้ต้องการตรวจสอบได้ทันที เนื่องจากเครื่องจะทำการกำหนดให้ค่าที่ขาเอาท์พุทของชุด BUFFER ที่ต่ออยู่กับขาของไอซีตัวที่นำมาทดสอบให้มีสภาวะเป็น HI - IMPEDANCE อยู่ตลอดเวลา เพื่อกันมิให้ไอซีเกิดความเสียหาย โดยผู้ใช้ต้องคีย์เบอร์ไอซีตัวนั้นลงไป เครื่องก็จะทำการตรวจสอบเบอร์ไอซีนั้นๆ ว่ามีอยู่ในหน่วยความจำหรือไม่ หากมีก็จะโหลดค่าการตรวจสอบออกมาเช็คกับไอซีตัวนั้น และรับค่าเข้าไปตรวจสอบ หากเครื่องประมวลผลแล้ว พบว่าไอซีตัวนั้นมีฟังก์ชันการทำงานที่ถูกต้อง เครื่องจะแสดงผล " PASSED " ปรากฏที่หน้าจอ แต่หากเครื่องประมวลผลแล้ว พบว่าไอซีตัวนั้นมีฟังก์ชันการทำงานที่ไม่ถูกต้อง เครื่องจะแสดงผล " FAILED " ปรากฏที่หน้าจอ หลังจากนั้นเครื่องจะทำการกำหนดให้ค่าที่ขา เอาท์พุทของชุด BUFFER ที่ต่ออยู่กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาของไอซีตัวที่นำมาทดสอบ มีสภาวะเป็น HI IMPEDANCE อีกครั้งเพื่อกันมิให้ไอซีเกิดความเสียหาย โดยรายละเอียดของโหมดการทำงานจะอธิบายอย่างละเอียดต่อไป

4.2 โครงสร้างหลักของเครื่องตรวจสอบไอซีทีทีแอล

โครงสร้างการทำงานของอุปกรณ์ต่างๆ ของเครื่อง IC TESTER สามารถแบ่งได้ตามหน้าที่สำคัญ 2ส่วนคือ

1. HARDWARE
2. SOFTWARE

4.2.1 ส่วน HARDWARE

จากไดอะแกรมรูปแสดง EMBEDED MICROCONTROLLER DIAGRAM (ในภาคผนวก ก)สามารถแบ่งอุปกรณ์ต่างๆตามหน้าที่ได้ 7หน้าที่ ตามรูป 4.1 แสดงบล็อกไดอะแกรมของ HARDWARE แบ่งตามหน้าที่ คือ

1. ภาคประมวลผล (MCS - 51)

ส่วนนี้ใช้ไอซี 89HC51 ไอซีตระกูล MCS - 51 เป็นตัวควบคุมและประมวลผลการทำงาน

2. ภาครับ (คีย์บอร์ด)

ใช้คีย์บอร์ด 12 คีย์ ต่อเข้าโดยตรงกับพอร์ตอินพุท-เอาท์พุทของตัวไมโครคอนโทรลเลอร์ เพื่อใช้รับค่าเบอร์ไอซีที่ต้องการทดสอบ ดังรูป 4.3 แสดงไดอะแกรมของ KEY BOARD

3. ภาคหน่วยความจำ (EPROM ,EXTERNAL RAM)

หน่วยความจำข้อมูล - ใช้ไอซี 62256A เป็นไอซีขยายหน่วยความจำของตัวไมโครคอนโทรลเลอร์ MCS - 51 ทำให้มีหน่วยความจำข้อมูลเพิ่มขึ้น 32K (8 bit)

หน่วยความจำโปรแกรม - ใช้ไอซี 27HC256 เป็น EPROM ใช้เป็นหน่วยความจำโปรแกรมสำหรับไมโครคอนโทรลเลอร์ ขนาด 32 K

4. ภาคขยายอินพุท - เอาท์พุท (I/O EXPANSION)

ใช้ไอซี 8255 PROGRAMMABLE PERIPHERAL INTERFACING CHIP 4 ตัว เป็นตัวขยายพอร์ตเพิ่มจำนวน 96 พอร์ต (สามารถรองรับการทดสอบไอซีที่มีจำนวนขา14-24 ขา)

5. ภาคแสดงผล

ใช้ DOT MATRIXED LCD MODULE เบอร์ D-DMC162 LCD แบบ 2 บรรทัด 16 ตัวอักษรที่มี DRIVERและ CONTROLLERในตัว ที่สามารถควบคุมได้ด้วยโปรแกรม รูปปแสดงการติดต่อใช้งานแสดงใน EMBEDED MOCROTROLER ในภาคผนวก ก

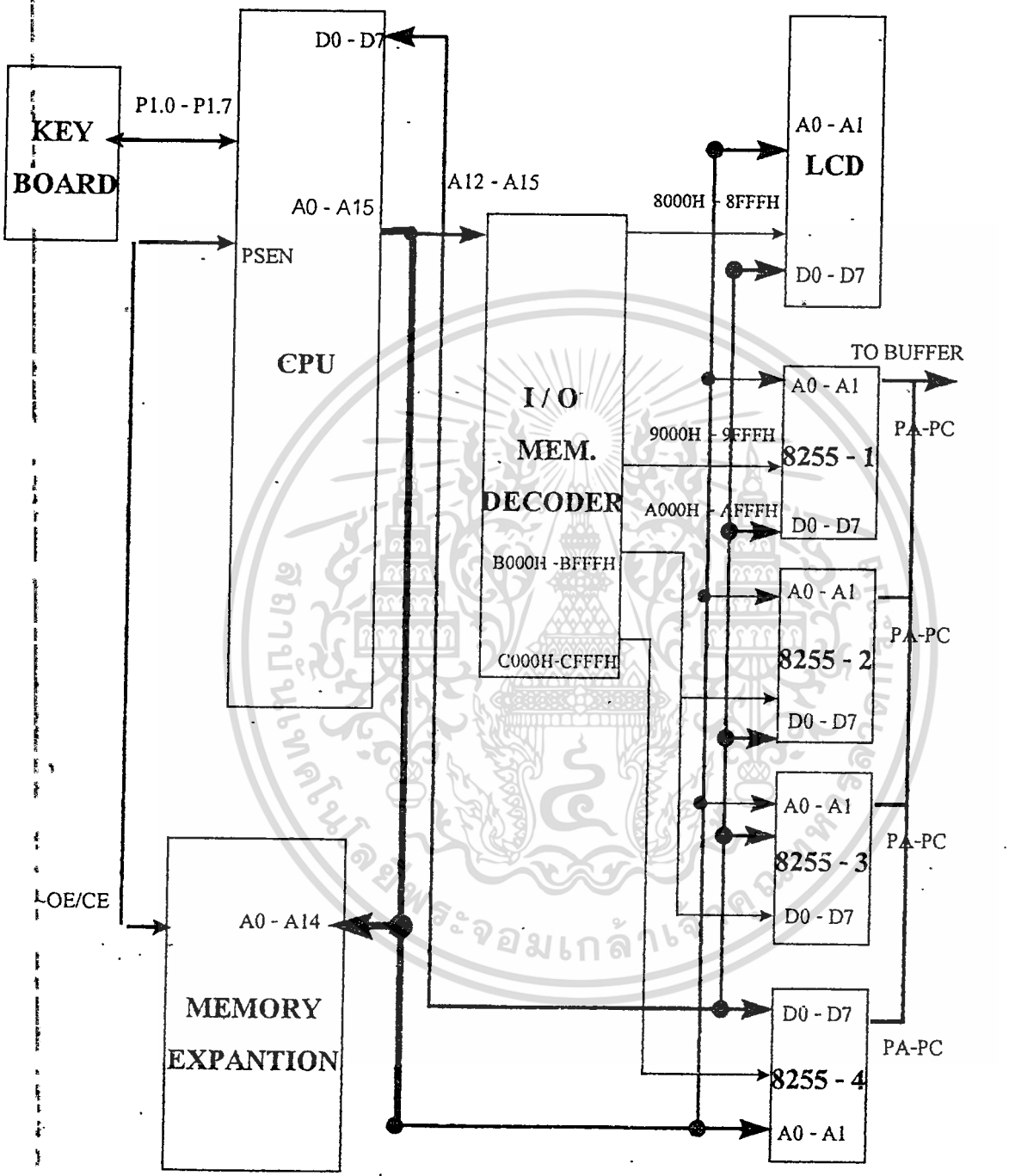
6. ภาค I/O MEMORY DECODER

ใช้ไอซี 74HC154 เป็นตัวเลือกการทำงานของอุปกรณ์ต่อพ่วงทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

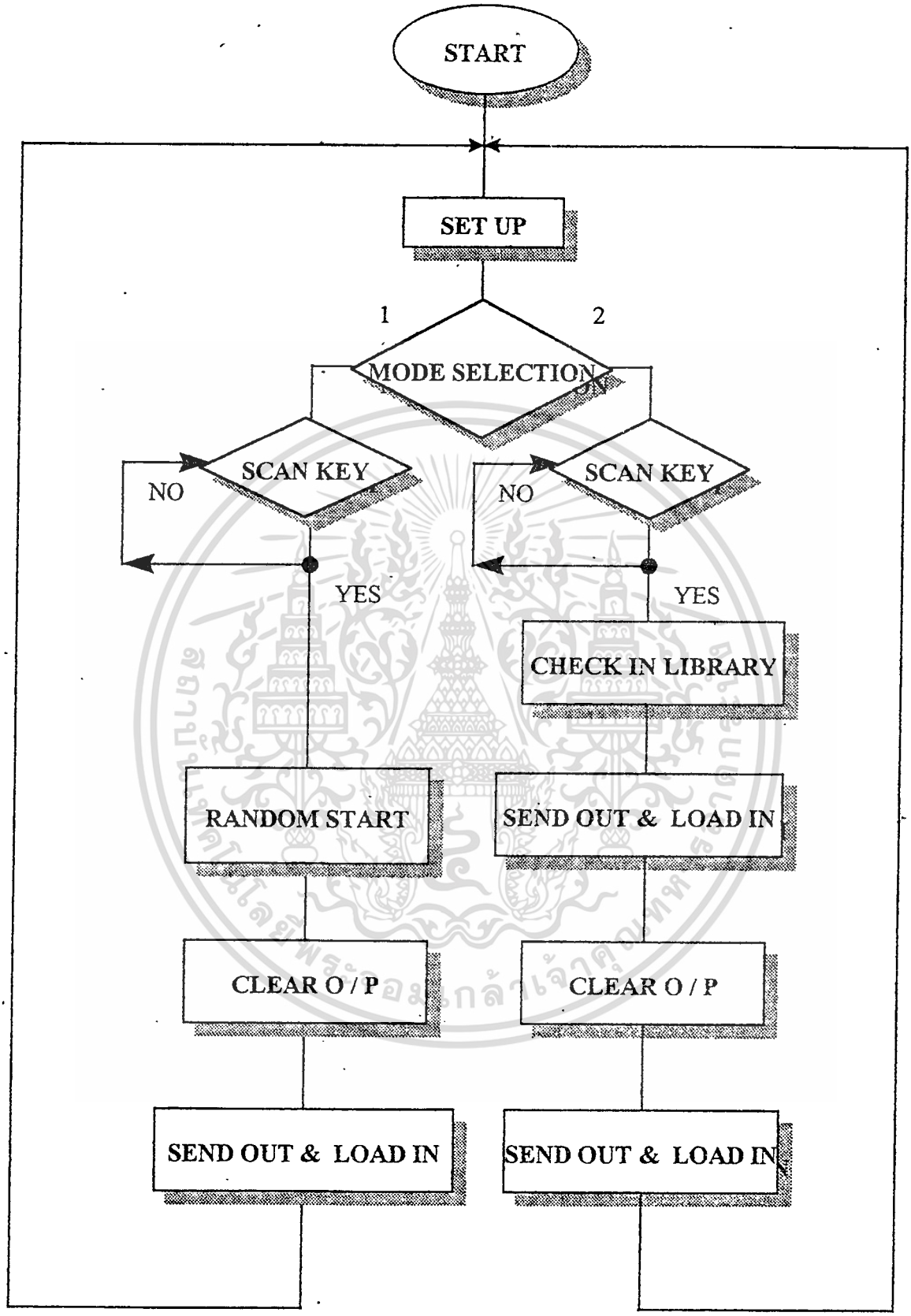
7. ส่วนวงจร BUFFER

เป็นวงจรควบคุมการรับส่งข้อมูลระหว่างขาของไอซีที่นำมาทดสอบ กับภาค I/O PORT ของ 8255 ซึ่งจะอธิบายรายละเอียดในส่วนต่อไป



รูปที่ 4.1แสดงบล็อกไดอะแกรมของ HARDWARE แบ่งตามหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงขั้นตอนการทำงานของโปรแกรมตรวจสอบไอซี TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ส่วน SOFTWARE

4.2.2.1 การทำงานของโปรแกรมควบคุมเครื่อง IC TESTER

SOFTWARE เป็นตัวควบคุมการทำงานของ HARDWARE โดยเป็นตัวควบคุมให้ CPU และอุปกรณ์ต่อพ่วง ทำงานตามขั้นตอนการตรวจสอบไอซี TTL โดยจากไดอะแกรมรูปที่4.2 แสดงขั้นตอนการทำงานของโปรแกรมตรวจสอบไอซี TTL โดยอธิบายการทำงานของโปรแกรมตามขั้นตอนได้ดังนี้

1. ลูป SET UP 8255

เมื่อเริ่ม START โปรแกรม เครื่องจะเข้าสู่ลูป SETUP 8255 เพื่อทำการ ควบคุมให้พอร์ทของไอซี 8255 ทำหน้าที่ดังนี้

1.1. กำหนดพอร์ท A และ B ของ ไอซี 8255 3 ตัวแรก (ติดต่อกับขาเบสของทรานซิสเตอร์ของชุดวงจร BUFFER ทุกตัว) ทำหน้าที่เป็นพอร์ทเอาท์พุท ส่วนพอร์ท C กำหนดให้ทำหน้าที่รับค่าจากภายนอก (ติดต่อกับขา P I/P จากทรานซิสเตอร์ของชุดวงจร BUFFER ทุกตัว) และพอร์ท A ,B และC ของ ไอซี8255 ตัวที่ 4 กำหนดให้ทำหน้าที่เป็นพอร์ทอินพุทรับค่าจากภายนอก (ติดต่อกับขา P 339 จากไอซี COMPARATOR เบอร์ 339 ของชุดวงจร BUFFER ทุกตัว)

1.2. กำหนดค่าออกพอร์ทเอาท์พุท A และ B ของ ไอซี 8255 3 ตัวแรก เพื่อควบคุมให้ทรานซิสเตอร์ของชุดวงจร BUFFER ทุกตัว ทำหน้าที่ในสภาวะ HI - IMPEDANCE เพื่อให้ผู้ใช้สามารถเสียบไอซีที่ต้องการทดสอบได้ตลอดเวลา

2. ลูป SET UP LCD

ทำหน้าที่ควบคุมให้หน้าจอ LCD อธิบายการใช้งานของเครื่องตรวจสอบไอซี

3. ลูป MODE INTRODUCTION

ทำหน้าที่ควบคุมให้หน้าจอ LCD แสดงโหมดการทำงานซึ่งมีอยู่ 2 โหมด โดยให้เครื่องสามารรับค่าการเลือกโหมดจากผู้ใช้ได้ โดยแบ่งอัลกอลิทึมตามโหมดที่ผู้ใช้เลือกดังนี้

3.1 MODE 1 (UNKNOWN MODE)

โหมด 1 คือโหมดการทำงานแบบเช็คเบอร์ไอซีที่ผู้ใช้ต้องการทราบ การทำงานของโปรแกรมแบ่งตามการทำงานดังนี้

3.1.1 . SCAN KEY START

เป็นลูปที่ทำหน้าที่รับคีย์ใดๆ จากผู้ใช้เพื่อเป็นการตอบรับจากผู้ใช้ว่าผู้ใช้ต้องการให้เครื่องทำการตรวจสอบเบอร์ไอซี โดยได้ทำการเสียบไอซีเรียบร้อยแล้ว

3.1.2 . RANDOM CHECKING

แบ่งการทำงานเป็นลูปย่อยดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ดึงค่าทดสอบจาก LIBRARY ไอซีตัวแรก แล้วทำการส่งค่าออกเช็คไอซีที่ผู้ใช้เสียบไว้ หากพบว่าผลการทดสอบจาก LIBRARY นั้นไม่ถูกต้อง ก็เพิ่มตัว COUNTER เพื่อดึงค่าทดสอบจาก LIBRARY ไอซีตัวถัดไป วนลูปทดสอบนี้จนกว่าผลการทดสอบจาก LIBRARY ของไอซีตัวที่ทำการทดสอบถูกหมดทุก STATES จึงทำการเก็บ COUNTER ของไอซีตัวนั้นเพื่อทำการแปลงเป็นเบอร์ไอซีในลูปการแปลงค่าต่อไป จากนั้นเพิ่มค่าตัว COUNTER เพื่อทำการทดสอบ LIBRARY ของไอซีตัวถัดไป จนกว่าจะทดสอบทุก LIBRARY ในหน่วยความจำ

- ทำการแปลงค่าตัว ที่เก็บไว้เป็นเบอร์ไอซีที่ทำการทดสอบแล้วถูกต้อง (อาจมีมากกว่า 1 เบอร์ขึ้นไปเนื่องจากไอซีบางตัวเป็นลอจิกเกทเหมือนกันแต่มีคุณสมบัติที่แตกต่างกันทางด้านระดับโวลท์เตทอินพุทของไอซี ซึ่งขีดความสามารถของเครื่องไม่สามารถทดสอบได้เนื่องจากสามารถบังคับให้ชุดบัฟเฟอร์สามารถป้อนค่าได้เพียง 0 , 1 เท่านั้น เช่น ไอซี HEX Inverter เบอร์ 7404 และไอซี HEX Inverter Schmitt Trigger เบอร์ 7419 และ เบอร์ 7414 ซึ่ง หากป้อนอินพุทให้ไอซีด้วยค่า 0 หรือ 1 จะทำให้ผลออกมาเหมือนกันทุกประการ)

- ควบคุมให้ทรานซิสเตอร์ของชุดวงจรBUFFERทุกตัว ทำหน้าที่ในสภาวะ HI - IMPEDANCE เพื่อให้ผู้ใช้สามารถเสียบไอซีที่ต้องการทดสอบได้ตลอดเวลา

3.1.3. SHOW OUT

- การแสดงผลการตรวจสอบ หากการตรวจสอบตรวจพบเบอร์ไอซีที่ตรงกับในหน่วยความจำ เครื่องจะทำการแสดงผลเบอร์ไอซีที่ตรวจพบทั้งหมด หากการตรวจสอบไม่พบ เครื่องจะแจ้งให้ผู้ใช้ทราบว่าไอซีตัวนั้นอาจจะไม่อยู่ใน LIST ของไอซีในหน่วยความจำ หรือ มีอยู่แต่ไอซีเบอร์นั้นเสียจึงไม่สามารถตรวจเช็คการทำงานที่ถูกต้องได้

- เครื่องทำการวนลูปกลับไปยังจุดเริ่มต้นใหม่ (START)

3.2. MODE 2 (KEY NAME MODE)

เป็นโหมดเพื่อตรวจเช็คการทำงานของไอซีตามเบอร์ที่ผู้ใช้ได้คีย์เข้าเครื่อง โดยแบ่งขั้นตอนการตรวจเช็คได้ดังนี้

3.2.1. SCAN KEY

เป็นลูปทำหน้าที่รับค่าเบอร์ไอซีจากผู้ใช้ 3 ตัว (เช่น ไอซีเบอร์ 74000 ก็ต้องคีย์ 000) แล้วนำไปแปลงรหัสข้อมูลจาก LCD ซึ่งเป็นรหัส ASCII ให้แปลงเป็นค่าในเลขฐาน 16 ในลูปนี้ผู้ใช้สามารถคีย์เบอร์ , ลบเบอร์ เพื่อทำการคีย์ใหม่ได้ตลอดเวลา และหากผู้ใช้ต้องการเปลี่ยนโหมดการทำงานเป็นโหมดอื่นก็สามารถทำได้โดยผู้ใช้ต้องกดปุ่ม DEL (DELETE) จนไม่ปรากฏตัวเลขบนหน้าจอเลย โปรแกรมก็จะทำการวนลูปกลับไปที่จุดเริ่มต้นของโปรแกรมใหม่ (START) ผู้ใช้ก็สามารถกรอกโหมดใหม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2. CHECK IN LIBRARY

เป็นลูปที่นำค่าเบอร์ไอซีที่ทำการแปลงรหัสให้เป็นค่าในเลขฐาน 16 แล้วมาเช็คกับเบอร์ไอซีที่เก็บในหน่วยความจำว่ามีหรือไม่ โดยหากไม่มีเบอร์นั้นๆ เครื่องจะแสดงผลออกหน้าจอว่า OUT OF NUMBER แล้ววนลูปกลับไปที่ จุดเริ่มต้นของโปรแกรมใหม่ (START) แต่หากว่ามีเบอร์นั้นๆอยู่ในหน่วยความจำเครื่องจะโหลด ค่าในLIBRARY ของไอซีตัวนั้นออกมาเพื่อทำการเช็คในลูปถัดไป

3.2.3. LOAD OUT & LOAD IN

เป็นลูปที่นำค่าใน LIBRARY ของไอซีตัวนั้นส่งออกเพื่อควบคุมให้ชุด BUFFER ทำการเช็คตัวไอซีตาม STATE ที่กำหนด โดยจะทำการโหลดอินค่าจากขาทุกขาของไอซีที่นำมาทดสอบ แล้วนำมาเช็คกับค่าใน LIBRARY ของไอซีตัวนั้น ในทุกๆ STATES ของตัวไอซี

3.2.4. CLEAR O/P

เครื่องจะทำการควบคุมให้ทรานซิสเตอร์ของชุดวงจร BUFFERทุกตัว ทำหน้าที่ในสภาวะ HI - IMPEDANCE เพื่อป้องกันมิให้เกิดความเสียหายใดๆต่อไอซีที่นำมาทดสอบ

3.2.5. SHOW OUT

- หากตรวจพบว่าค่าที่ได้จากตรวจสอบไม่ตรงกันกับใน LIBRARY เครื่องจะทำการแสดงผล FAILED ออกหน้าจอเพื่อแสดงว่าไอซีเสีย

- หากตรวจพบว่าค่าที่ได้จากตรวจสอบตรงกันกับใน LIBRARY เครื่องจะทำการแสดงผล PASSED ออกหน้าจอเพื่อแสดงว่าไอซีใช้งานได้ไม่เสีย

- เครื่องทำการวนลูปกลับไปยังจุดเริ่มต้นใหม่ (START)

โปรแกรมที่ใช้ในโครงงานนี้สามารถดูได้จากภาคผนวก

4.2.2.2 การทำงานของโปรแกรมควบคุมอุปกรณ์ต่างๆ

การควบคุมอุปกรณ์ต่างๆที่ใช้ในโครงงานนี้สามารถแบ่งออกได้ตามหน้าที่ของอุปกรณ์แต่ละตัวดังนี้

- การควบคุมภาครับ

ภาครับ ใช้คีย์บอร์ด 12 คีย์ ต่อเข้าโดยตรงกับพอร์ตอินพุท - เอาท์พุทของตัวไมโครคอนโทรลเลอร์เพื่อใช้รับค่าเบอร์ไอซีที่ต้องการทดสอบ จากรูปที่4.3แสดงไดอะแกรมของ KEY BOARD สามารถอธิบายหลักการควบคุมได้ดังนี้

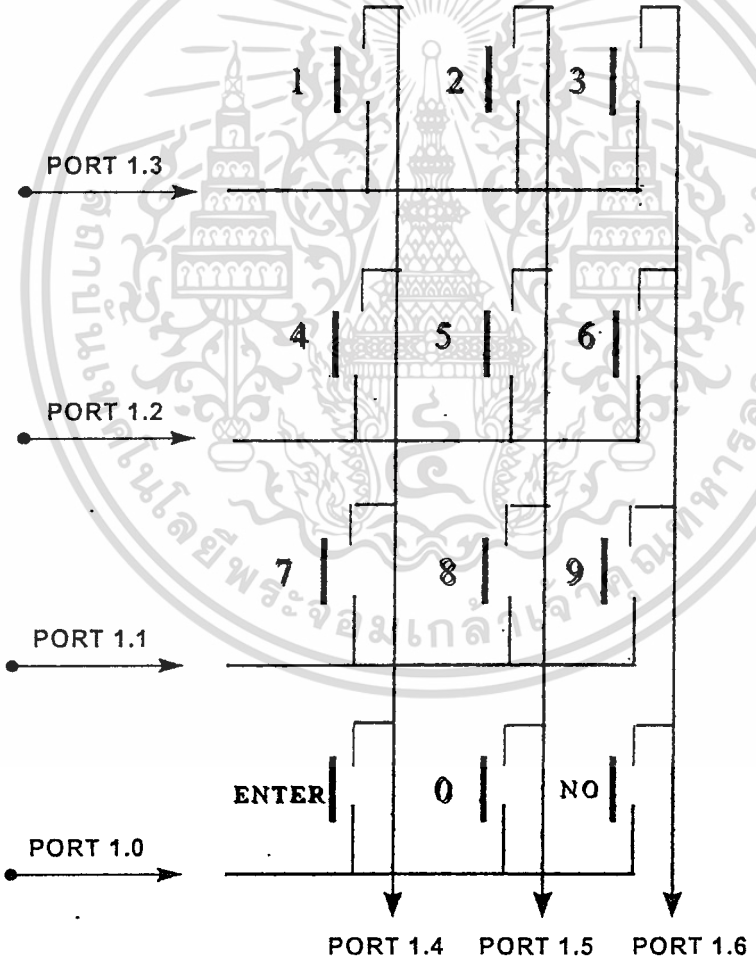
หลักการควบคุมคีย์บอร์ด จะกำหนดค่า 1 ให้แถวแต่แถวในเวลาต่างกัน และทำการตรวจเช็คค่าในแต่ละคอลัมน์ว่ามี PIN ไหนได้ค่าเป็น 1 บ้าง ถ้าตรวจพบก็แสดงว่าในตำแหน่งแถว และคอลัมน์ นั้นได้รับการกด โปรแกรมจะควบคุมให้ CPU ทำการแปลงค่าเป็นรหัส ASCII เพื่อส่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงผล ถ้ายังไม่สามารถตรวจพบ โปรแกรมจะควบคุมให้ CPU ทำการวนลูปป้อนค่าแถวถัดไป และตรวจเช็คคอลัมน์ไปเรื่อยๆ

ในการ สแกนคีย์บอร์ด ตามหลักการข้างต้น ต้องเพิ่มลูปหน่วงเวลาและทำการเช็คซ้ำอีกรอบ เพื่อให้แน่ใจว่าสวิทช์ได้รับการกดจริง ไม่ใช่เกิดจากความสกปรกของตัวสวิทช์หรือเป็นเพราะตัวสวิทช์ประพฤติตัวเสมือนเป็นตัวเก็บประจุหรือขดลวด

การติดต่อกับไมโครคอนโทรลเลอร์ ใช้พอร์ต 1 ของ 89HC51 ซึ่งเป็นพอร์ต QUASI - BIDIRECTION คือสามารถเป็นได้ทั้งพอร์ตอินพุท - เอาท์พุทในเวลาเดียวกัน



รูปที่ 4.3 แสดงไดอะแกรมของ KEY BOARD

- การควบคุมภาคขยายอินพุท - เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ไอซี 8255 PROGRAMMABLE PERIPHERAL INTERFACING CHIP4 ตัว เป็นตัวขยายพอร์ตเพิ่มจำนวน 96 พอร์ต (สามารถรองรับการทดสอบไอซีที่มีจำนวนขา14-24 ขา)โดยการทำงานของ ไอซี 8255 นี้สามารถแบ่งหน้าที่ ออกได้เป็น 3 ส่วนคือ

ส่วน 1 เป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมีพอร์ต PA0 - PA7 , พอร์ต PB0 - PB7 ,พอร์ต PC0 - PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 พอร์ตเหล่านี้สามารถเป็นได้ทั้งอินพุท และ เอาท์พุท

ส่วน 2 เป็นส่วนกำหนดลักษณะการทำงานของทั้ง 3 พอร์ท (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยการโปรแกรมส่ง CONTROL WORD ให้กับ 8255

ส่วน 3 คือ DATA BUS BUFFER และ READ / WRITE CONTROL LOGIC เป็นส่วนที่ติดต่อกับ CPU โดย DATA BUS BUFFER นี้เป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ / WRITE CONTROL LOGIC เป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากริจิสเตอร์ภายในตัวที่ถูกต้องและในเวลาที่เหมาะสม

การควบคุมการทำงานของ ไอซี 8255 เริ่มจากการส่งคำสั่งควบคุม CONTROL WORD ให้แก่ริจิสเตอร์ควบคุมก่อน โดยเป็นการกำหนดลักษณะการทำงานของพอร์ท A ,B และ C จากนั้นเมื่อต้องการใช้งานพอร์ทไหนก็กำหนดได้จากการเซ็ทค่าที่ขา A1 ,A0 (ADDRESS INPUT) ของ ไอซี 8255 โดยการควบคุมขา A1 ,A0 จะใช้หลักการจัดหน่วยความจำแบบ MEMORY MAP เป็นตัวกำหนดการทำงาน รูปแสดงหลักการจัดหน่วยความจำแบบ MEMORY MAP ดูได้จากรูปแสดงขาของไอซี 8255 สามารถดูได้จากรูปแสดงขาของไอซี 8255 ภาคผนวก ก

การติดต่อกับ ไมโครคอนโทรลเลอร์ สามารถดูได้จากรูปแสดง EMBEDED MICROCONTROLLER DIAGRAM ภาคผนวก ก

- การควบคุมภาคแสดงผล

ใช้ DOT MATRIX LCD MODULE เบอร์ D-DMC162 LCD แบบ 2บรรทัด16 ตัวอักษร ที่มีตัว DRIVER และ CONTROLLER ในตัว ที่สามารถควบคุมได้ด้วยโปรแกรม รูปแสดงการติดต่อใช้งานสามารถแสดงได้ดังรูป แสดง EMBEDED MICROCONTROLLER DIAGRAM ภาคผนวก ก

- การควบคุม DOT MATRIX LCD MODULE สามารถแบ่งออกได้เป็น 4 ส่วนคือ

1.ส่วนแหล่งจ่ายไฟ ใช้ไฟเลี้ยง +5V สำหรับตัวไอซี CONTROLLER HD44780 (ในตัว MODULE) และสำหรับจอมอนิเตอร์

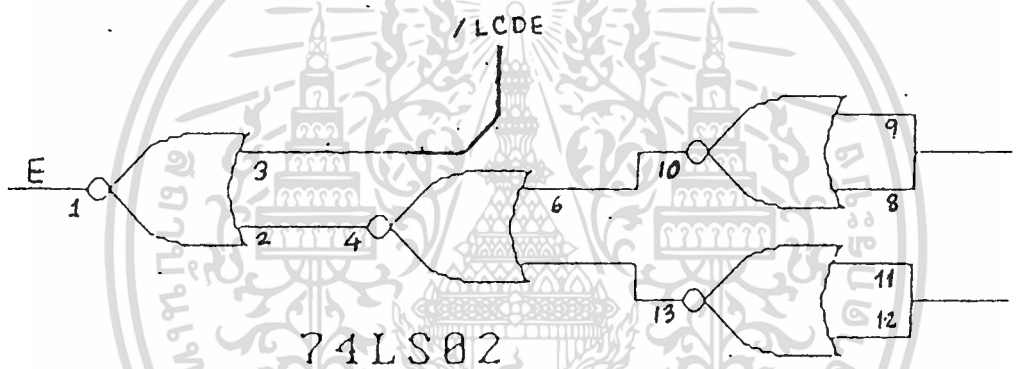
2.ส่วนควบคุม ในส่วนนี้ใช้ขา RS ของ ตัว MODULE ในการเลือกให้การติดต่อกับ MCS - 51 เป็นการส่งผ่านของ คำสั่ง หรือ การส่งผ่านของข้อมูล และใช้ขา R/W ในการเลือกให้การติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับ MCS - 51 เป็นการอ่าน หรือเขียนข้อมูลและคำสั่ง ในโครงงานนี้จะนำ 2 ขานี้ต่อเข้าโดยตรงกับขา A0 , A1 ตามลำดับเพื่อความสะดวกในการควบคุมการใช้งานร่วมกับการแบ่งหน่วยความจำแบบ MEMORY MAP

3.ส่วนบัสข้อมูล ขา DB0 - DB7 ใช้ในการรับ - ส่งข้อมูลและคำสั่งขนาด 8 บิท

4.ส่วนควบคุมสภาวะการทำงาน (ENABLE) เป็นขากำหนดสภาพการรับเขียนอ่านข้อมูล - คำสั่ง ,เป็นส่วนควบคุมของส่วนควบคุมในข้อ 2 โดยเมื่อกำหนดให้ป้อนพัลส์เข้าที่ขา E ตัว MODULE จะสามารถเขียนข้อมูลหรือคำสั่งได้ และเมื่อป้อนค่า 1 ที่ขา E ตัว MODULE จะสามารถอ่านคำสั่งหรือข้อมูลได้ จากข้อกำหนดนี้จึงมีความจำเป็นต้องนำขาสัญญาณ RD/ , WR / จาก MCS - 51 และ LCDE/ จาก MEMORY DECODER มาเข้าวงจร NOR GATE ตามรูปที่4.4 เพื่อกำเนิดพัลส์ป้อนขา ENABLE



รูปที่ 4.4 แสดงวงจรสำหรับต่อเข้าขา ENABLE ของ LCD MODULE

การติดต่อกับผู้ใช้ในส่วน LCD MODULE นี้จะขอยกตัวอย่างการติดต่อในโหมดการทำงาน 2 (โหมดเช็คการทำงานของไอซี) มีขั้นตอนดังนี้

1. หน้าจอขึ้นแสดงให้ คีย์เบอร์ไอซี (3 หลักสุดท้ายของเบอร์)

- เมื่อต้องการลบเบอร์ที่ต้องการพิมพ์อยู่ กด " NO " หน้าจอจะลบให้ทีละหนึ่งตัวอักษร และเมื่อต้องการลบหมด ให้กด " NO " จนหมด 3 ตำแหน่ง แล้วกดลบอีกทีหนึ่ง

- เมื่อป้อนครบ 3 ตัว ให้กด " ENTER " เครื่องจะนำเบอร์ที่ป้อนไปเช็คกับเบอร์ในหน่วยความจำ โดยหลังจากแสดงผลเครื่องจะกลับไปทำข้อ1 รูปประกอบแสดงดังรูปที่ 4.5 แสดงการติดต่อกับผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.การแสดงผล

- เมื่อไม่มีเบอร์ที่ผู้ใช้ต้องการปรากฏอยู่ในหน่วยความจำเครื่องจะแสดง" OUT OF NUMBER " ที่หน้าจอ และกลับไปแสดงหน้าจอตามข้อ 1

-เมื่อมีเบอร์ที่ผู้ใช้ต้องการปรากฏอยู่ในหน่วยความจำ เครื่องจะทำการตรวจเช็คตามโปรแกรมทันทีและจะแสดงผลดังนี้ โดยหลังจากแสดงผลเครื่องจะกลับไปทำข้อ 1

เครื่องจะแสดงผล " PASS " เมื่อการทดสอบตัวไอซีปรากฏผลว่าทุกฟังก์ชั่นการทำงานของไอซีเบอร์นั้นใช้งานได้

เครื่องจะแสดงผล " FAIL " เมื่อการทดสอบตัวไอซีปรากฏผลว่าฟังก์ชั่นการทำงานของไอซีเบอร์นั้นใช้งานไม่ได้

โดยสามารถดูรูปประกอบได้จากรูปที่ 4.6 แสดงการแสดงผล

การควบคุมภาคหน่วยความจำ

หน่วยความจำข้อมูล - ใช้ไอซี 62256A เป็นไอซีขยายหน่วยความจำของตัวไมโครคอนโทรลเลอร์ MCS - 51 ทำให้มีหน่วยความจำข้อมูลเพิ่มขึ้น 32K (8 bit) รูปแสดงขาของไอซี 62256A แสดงได้ดังรูปแสดงขาของไอซี 62256A ในภาคผนวก

การควบคุม RAM ภายนอก แบ่งตามหน้าที่ของขาได้ดังนี้

1. ขา CS/ เป็นขา อิเนเบิลของตัวไอซี โดยจะอิเนเบิลที่ LOW ในโครงงานนี้จะใช้ขา CS/ ต่อโดยตรงกับขา A15 ของ MCS - 51 เพื่อสะดวกในการใช้งานหน่วยความจำแบบ MEMORY MAP รูปที่ 4.7 โดยตำแหน่งของแอดเดรสจะซ้ำกับ RAM ภายนอก แต่เนื่องจากขาควบคุมการส่งข้อมูลต่างกันนั่นคือขาสัญญาณ PSEN/ สำหรับ EPROM และขา WE/ , RD/ สำหรับRAM ภายนอก ทำให้การทำงานใช้แอดเดรสเสมือนใช้ร่วมกัน

2. ขา แอดเดรส ใช้ต่อได้โดยตรงกับ ขา แอดเดรสของ MCS - 51

3.ขาข้อมูล ใช้ต่อได้โดยตรงกับ ขา แอดเดรสของ MCS - 51

4. ขา WE/ , RD/ ใช้ต่อได้โดยตรงกับ ขา WR/ ,RD/ ของ MCS - 51

5. ขาไฟเลี้ยง ใช้ไฟเลี้ยง +5 V

หน่วยความจำโปรแกรม - ใช้ไอซี 27HC256 เป็น EPROM ใช้เป็นหน่วยความจำโปรแกรมสำหรับไมโครคอนโทรลเลอร์ ขนาด 32 K

การควบคุม EPROM แบ่งตามหน้าที่ของขาได้ดังนี้

1.ขา OEE/ เป็นขา อิเนเบิลของตัวไอซี โดยจะ ต่อโดยตรงกับขาPSEN/ ของ MCS - 51

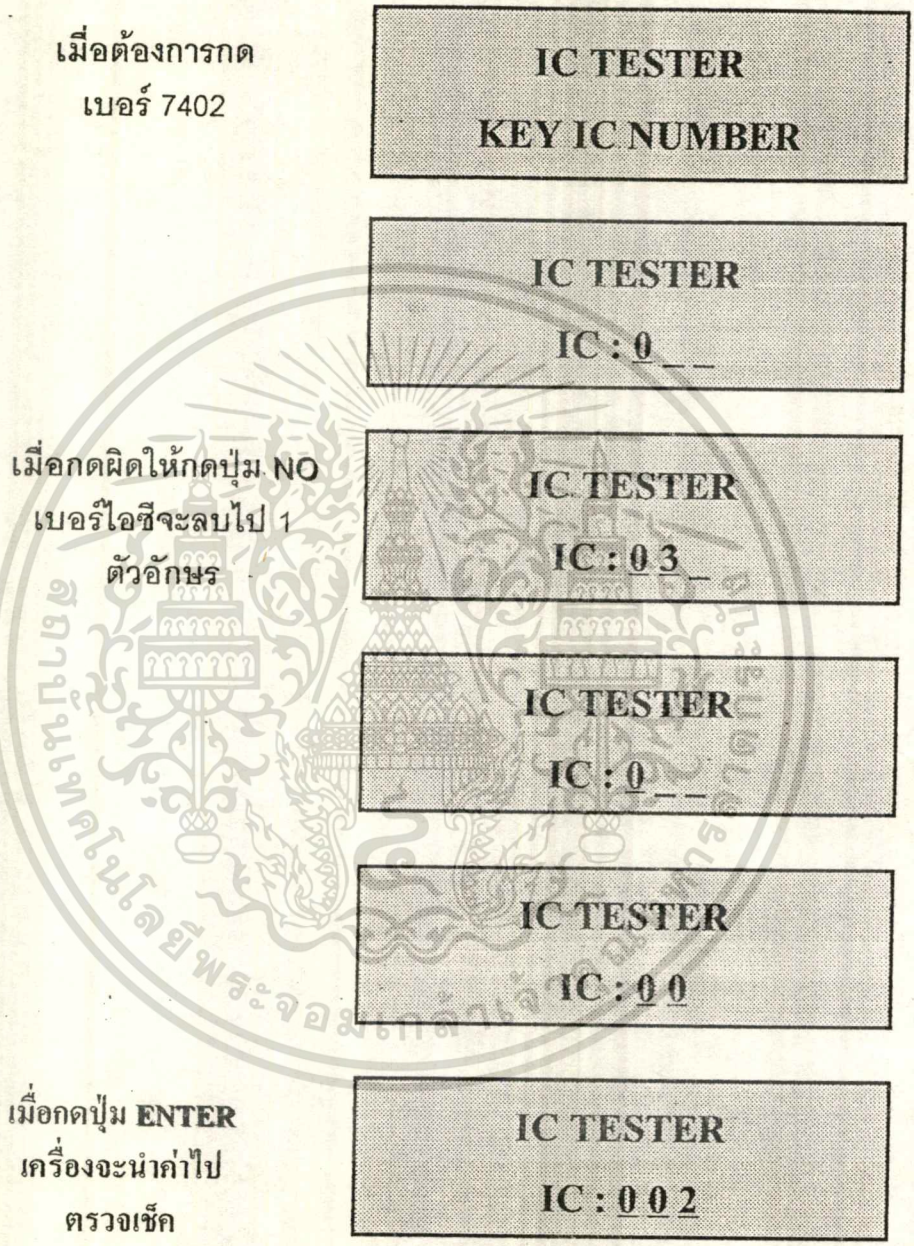
2.ขา แอดเดรส ใช้ต่อได้โดยตรงกับ ขา แอดเดรสของ MCS - 51

3. ขาข้อมูล ใช้ต่อได้โดยตรงกับ ขา แอดเดรสของ MCS - 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

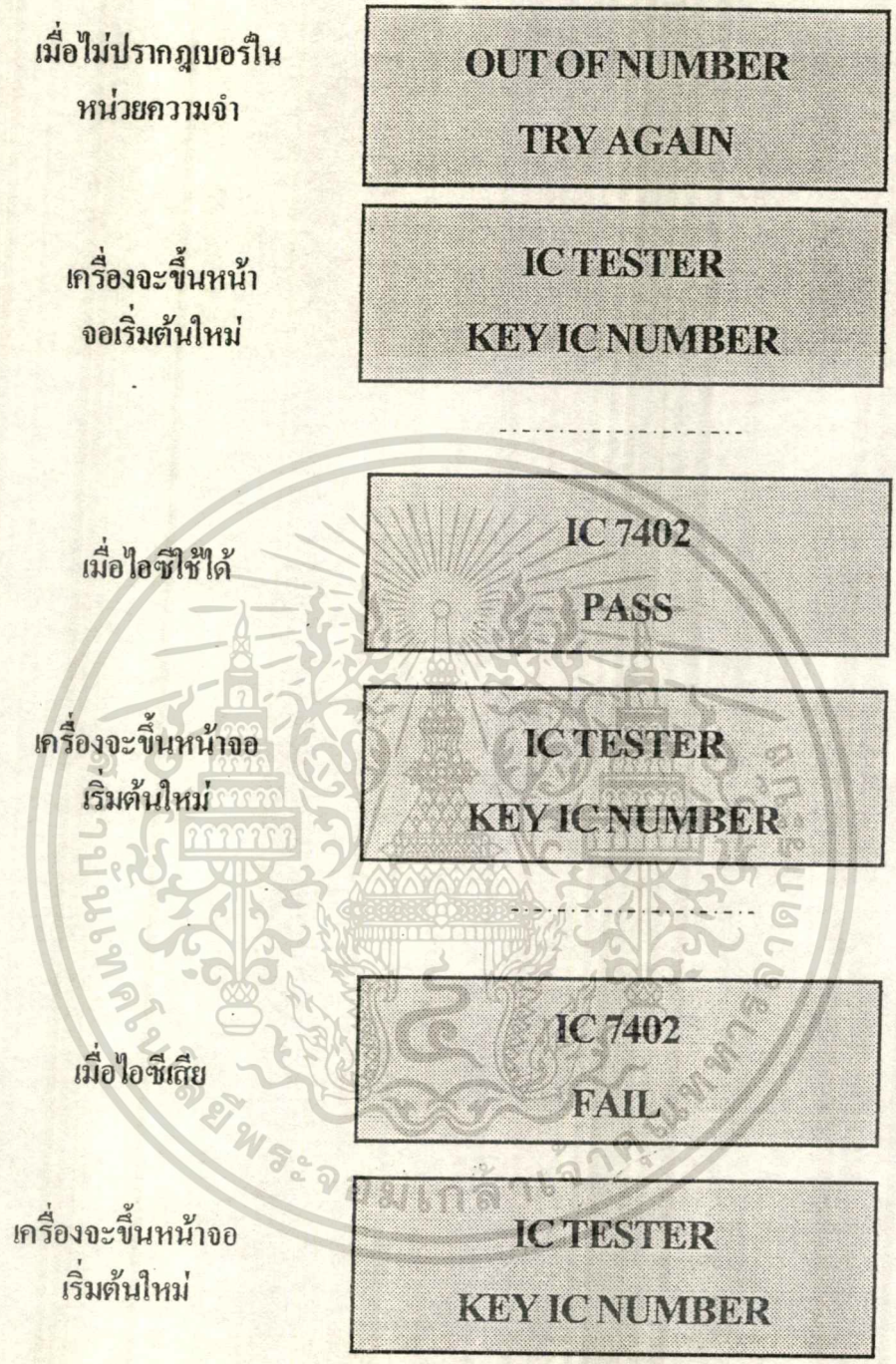
4. ขา CS/ ทำงานเมื่อใส่ค่า LOW ในที่นี้จึงสามารถต่อลงกราวนด์ได้เลยเนื่องจากใช้งาน EPROM ภายนอกเพียงตัวเดียว

5. ขาไฟเลี้ยง ใช้ไฟเลี้ยง +5 V



รูปที่ 4.5 แสดงการติดต่อกับผู้ใช้ของ LCD MODULE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงการแสดงผลของ LCD MODULE เมื่อมีการติดต่อกับผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH(5V) , LOW(0V) และ HI IMPEDANCE ซึ่งแต่ละสภาวะของเอาท์พุทจะมีความหมายแตกต่างกันไป กล่าวคือ ที่สภาวะ High ซึ่งมีค่าแรงดันตกคร่อมประมาณ 5 v เกิดจากขา P I/O และ ขา P STATUS มีสภาวะเป็น low ทั้งคู่ ทำให้ P I/P สามารถส่งค่า High ออกไปยังขาของไอซีที่นำมาทดสอบได้ ส่วนที่สภาวะ Low ซึ่งมีค่าแรงดันตกคร่อมประมาณ 0 v เกิดจากขา P I/O และ ขา P STATUS มีสภาวะเป็น high ทั้งคู่ ทำให้ P I/P สามารถส่งค่า Low ออกไปยังขาของไอซีที่นำมาทดสอบได้ และที่สภาวะ Hi impedance เกิดจากขา P I/Oมีค่าเป็น high และ ขา P STATUSมีค่าเป็น low ทำให้ P I/P ทำหน้าที่เป็นตัวรับค่าจากขาของไอซีที่นำมาทดสอบ

จากวงจรจะเห็นว่า มีตัวต้านทานมีค่า 1 KΩ ต่ออยู่ที่ ขาเบสของทรานซิสเตอร์ เพื่อป้องกันไม่ให้กระแสไหลเข้าทรานซิสเตอร์มากเกินไป ซึ่งจำทำให้ทรานซิสเตอร์เสียได้ และเหตุผลที่ต้องใช้ค่า 1 kΩ นั้น เนื่องจากถ้าใส่ค่าที่มากกว่านี้จะทำให้ค่ากระแสที่เอาท์พุทน้อยจนไม่สามารถนำไปเลี้ยงไอซีที่นำมาทดสอบได้ ทำให้ไอซีตัวนั้นไม่แสดงผลตามฟังก์ชันการทำงานของมัน ส่วนที่เอาท์พุทของวงจร buffer จะมีวงจรแบ่งแรงดัน และวงจรเปรียบเทียบแรงดันต่ออยู่ โดยวงจรแบ่งแรงดันนั้นจะมีตัวต้านทาน 2 ตัวต่ออนุกรมกัน จะมีขาข้างหนึ่งต่อกับไฟเลี้ยง และอีกข้างหนึ่งต่อลงกรานด์ ส่วนวงจรเปรียบเทียบแรงดันนั้นมีไว้สำหรับเปรียบเทียบแรงดันจากเอาท์พุทของวงจรบัฟเฟอร์ กับแรงดันที่กำหนดไว้ และเหตุผลที่เพิ่มวงจรทั้งสองเข้าไปที่ขาเอาท์พุทของวงจรบัฟเฟอร์ คือ วงจรแบ่งแรงดันมีไว้เพื่อตรวจสอบไอซีที่เป็น open collector ส่วนวงจรเปรียบเทียบแรงดันไว้ตรวจสอบไอซีที่มีเอาท์พุทแบบ 3 สถานะ และมีไว้แยกประเภทไอซีที่นำมาทดสอบในกรณีที่มีตารางค่าความจริงของการทำงานของไอซีเหมือนกัน แต่เป็นไอซีต่างชนิดกัน ซึ่งจะได้กล่าวถึงรายละเอียดในเรื่องการทำงานของเครื่องตรวจสอบไอซีแต่ละชนิด

4.3 การทำงานของวงจรบัฟเฟอร์และการทำข้อมูล

การตรวจสอบไอซีทีทีแอล แยกตามประเภทของไอซี ซึ่งในโครงงานนี้สามารถแบ่งไอซีที่จะนำมาตรวจสอบได้เป็น 4 ประเภท คือ

1. ไอซีทีทีแอลแบบลอจิกเกทธรรมดา
2. ไอซีทีทีแอลลอจิกเกทแบบ open collector
3. ไอซีทีทีแอลที่มีเอาท์พุทแบบ Tri State Output
4. ไอซีทีทีแอลที่ต้องการสัญญาณนาฬิกา

ในที่นี้จะอธิบายการทำงานของเครื่องตรวจสอบไอซีทีทีแอลในส่วนของวงจรบัฟเฟอร์ และการทำข้อมูลเพื่อใช้ในการตรวจสอบไอซีทีทีแอลแบบลอจิกเกทธรรมดา

ส่วนของวงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-- เอาท์พุทของวงจรบัฟเฟอร์จะมี 3 สถานะ คือ Low,HighและHI-IMPEDANCE จากวงจรเมื่อต้องการป้อนค่าอินพุทให้กับขาของไอซีที่นำมาทดสอบเป็น High (1) เอาท์พุทของวงจรบัฟเฟอร์(ในรูปที่4.8)ก็ต้องมีค่าเป็น 1 เช่นกัน ทำได้โดย ให้ค่าที่ขา P I/Oและที่ขา P STATUS มีค่าเป็น 0 ทั้งคู่ จากนี้ก็จะได้เอาท์พุทของวงจรบัฟเฟอร์เป็น 1 และค่าแรงดันที่ตกคร่อมทีขาบวกวงจรแบ่งแรงดันเป็น 1 ด้วย จากนั้นวงจรเปรียบเทียบแรงดันก็จะนำค่าที่ได้ไปเปรียบเทียบกับค่าแรงดันที่กำหนดไว้ที่ขาลบ คือค่า 3.5 v โดยวงจรเปรียบเทียบแรงดันทำงานได้ ดังนี้ คือ ถ้าแรงดันที่ขาบวกมากกว่าที่แรงดันขาลบ เอาท์พุทของวงจรแบ่งแรงดันจะมีค่าเป็น 1และถ้าแรงดันที่ขาบวกน้อยกว่าที่แรงดันขาลบ เอาท์พุทของวงจรแบ่งแรงดันจะมีค่าเป็น 0 ดังนั้นค่าเอาท์พุทของวงจรเปรียบเทียบแรงดันในกรณีนี้จะมีค่าเป็น 1

-เมื่อต้องการป้อนค่าอินพุทให้กับขาของไอซีที่นำมาทดสอบเป็น Low (0) เอาท์พุทของวงจรบัฟเฟอร์ก็ต้องมีค่าเป็น 0 เช่นกัน ทำได้โดย ให้ค่าที่ขา P I/Oและที่ขา P STATUS มีค่าเป็น 1 ทั้งคู่ จากนี้ก็จะได้เอาท์พุทของวงจรบัฟเฟอร์เป็น 0 และค่าแรงดันที่ตกคร่อมทีขาบวกวงจรแบ่งแรงดันเป็น 0 ด้วย จากนั้นวงจรเปรียบเทียบแรงดันก็จะนำค่าที่ได้ไปเปรียบเทียบกับค่าแรงดันทีกำหนดไว้ที่ขาลบ ดังนั้นค่าเอาท์พุทของวงจรเปรียบเทียบแรงดันในกรณีนี้จะมีค่าเป็น 0

- เมื่อต้องการให้ขาของไอซีที่นำมาทดสอบเป็นเอาท์พุท ซึ่งจะเป็นการแสดงค่าจากการทดสอบฟังก์ชันการทำงานตามตารางค่าความจริง โดยจะต้องทำให้ขาเอาท์พุทของวงจรบัฟเฟอร์มีสถานะเป็น Hi impeทำโดยการให้ขา P IP เป็น 1 และขา P STATUS เป็น 0 ค่าที่เอาท์พุทของวงจรบัฟเฟอร์เป็น Hi impedance และแรงดันที่เข้าขาบวกของวงจรเปรียบเทียบมีค่าประมาณ 2.5 v ซึ่งได้จากวงจรแบ่งแรงดัน จะทำให้ค่าที่เอาท์พุทเป็น 0

ส่วนของข้อมูล จะแบ่งออกเป็น 2 ส่วน คือ ส่วนที่ใช้บอกชนิดของไอซี และส่วนของข้อมูล โดยจะอธิบายได้คือ ส่วนที่จะใช้บอกชนิดของไอซีดูจากเอาท์พุทของวงจรเปรียบเทียบแรงดันกล่าวคือ ในกรณีที่ไอซี 2 ตัวที่มีตารางค่าความจริงเหมือนกันแต่มีเอาท์พุทเหมือนกัน แต่มีค่าแรงดันที่เอาท์พุทไม่เท่ากัน(เช่นแบบธรรมดา กับ open collector) ค่าที่ได้จากวงจรเปรียบเทียบแรงดันจะต่างกัน ทำให้สามารถแยกชนิดและเบอร์ของไอซีได้ และส่วนที่เป็นข้อมูล จะทำได้โดยพิจารณาจากวงจรบัฟเฟอร์กล่าวคือถ้าเป็นอินพุทของขาไอซีจะดูสภาวะที่ทำให้วงจรบัฟเฟอร์มีเอาท์พุทเป็น Highหรือ Low แต่ถ้าขาไอซีเป็นเอาท์พุทจะดูสภาวะที่ทำให้วงจรบัฟเฟอร์เป็น Hi impedance

ส่วนการทำงานและการทำข้อมูลของไอซีประเภทที่เหลือก็ทำในทำนองเดียวกัน แต่ในบางกรณีที่ไอซีมีฟังก์ชันการทำงานเหมือนแต่เป็นคนละเบอร์กันนั้นสามารถแยกได้โดยการกำหนดจากเอาท์พุทของวงจรเปรียบเทียบแรงดัน ส่วนวงจรที่ต้องใช้สัญญาณนาฬิกานั้นทำได้โดยการเขียนโปรแกรมเพื่อป้อนสัญญาณนาฬิกาเข้าไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งตัวอย่างของข้อมูลของไอซีแต่ละชนิดจะอธิบายได้ในหัวข้อถัดไป

4.4 การทำงานของโปรแกรมเพื่อตรวจเช็ค ไอซีทีทีแอลประเภทต่าง ๆ

การตรวจเช็คไอซีทีทีแอลประเภทต่างๆ สามารถทำได้โดยการส่งค่าเพื่อตรวจเช็คไปยังไอซี โดยโปรแกรมจะทำการควบคุมให้ ภาคขยายอินพุท - เอาท์พุท (ไอซี 8255 PROGRAMMABLE PERIPHERAL INTERFACING CHIP) ซึ่งติดต่อกับ ส่วนวงจร BUFFER ทำหน้าที่ส่งค่าเพื่อตรวจสอบไอซี และ รับค่าจากการตรวจสอบมาประมวลผล โดยส่วนโปรแกรมจะเก็บค่าที่ใช้ในการตรวจสอบไว้ใน LIBRARY (เก็บอยู่ในหน่วยความจำส่วน ROM) โดยขอบเขตของจำนวนไอซีที่สามารถตรวจสอบได้ทั้งหมดจะขึ้นอยู่กับจำนวน TABLE ของไอซีใน LIBRARY

4.4.1 รูปแบบ LIBRARY

ใน LIBRARY จะประกอบด้วยส่วนสำคัญ 2 ส่วนคือ

1. ส่วน TABLE ข้อมูล
2. ส่วน NAME LIST

โดยอธิบายได้ดังนี้

1. ส่วน TABLE ข้อมูล

จะใส่ TABLE ของไอซีแต่ละตัว โดยมีรูปแบบของ TABLE จะแบ่งได้ 2 แบบ คือ

1.1. TABLE ของไอซีประเภทไม่มีสัญญาณ CLOCK ควบคุม ครอบคลุมประเภทไอซีดังนี้

- ไอซีลอจิกเกทแบบธรรมดา
- ไอซีลอจิกเกทแบบ TRI STATE
- ไอซีลอจิกเกทแบบ OPEN COLLECTOR

1.2. TABLE ของไอซีประเภทมีสัญญาณ CLOCK ควบคุม

- ไอซีลอจิกเกทแบบ FLIP-FLOP
- ไอซีลอจิกเกทแบบSHIFT REGISTER

2. ส่วน NAME LIST

เป็นส่วนเก็บรายชื่อเบอร์ไอซีทุกตัวใน LIBRARY โดยไอซี 1 เบอร์ จะเก็บเป็นข้อมูลเลขฐาน 16 ใช้เนื้อที่ในการเก็บจำนวน 2 bytes โดยผู้ใช้จะป้อนเบอร์ไอซีในแบบ ASCII เช่น 373 โปรแกรมจะค้นหาเบอร์ไอซีจาก NAME LIST โดยจะแปลงตัวเลขแบบ ASCII เป็น ไบนารี่ ตามรูปที่4.9 เป็นตัวอย่างแสดงการเก็บ NAME LIST ในรูปเลขฐาน 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
name:
    db 00h,00h      ;7400 quad 2 i/p NAND
    db 00h,01h      ;7401 NAND gate oc
    db 00h,02h      ;7402 quad 2 I/p NOR gate
    db 00h,04h      ;7404 hex inverter
    db 00h,06h      ;7406hex inverter buffer/driver with oc
    db 00h,09h      ;7409 2 i/p positive AND gate
    db 00h,10h      ;7410 triple 3 i/p positive nand gate
    db 00h,21h      ;7421 4 i/p and gate
    db 00h,30h      ;7430 8 i/p positive nand gate
    db 00h,32h      ;7432 quad 2 i/p positive or gate
```

รูปที่4.9 เป็นตัวอย่างแสดงการเก็บ NAME LIST ในรูปเลขฐาน 16

4.4.2 ความหมายของค่าที่ใช้ใน TABLE

ความหมายของค่าที่ใช้ใน TABLE สามารถอธิบายได้ตามรูปที่ 4.10 แสดงตัวอย่างของ TABLE 2 แบบ โดยแต่ละ TABLE จะมีส่วนประกอบดังนี้

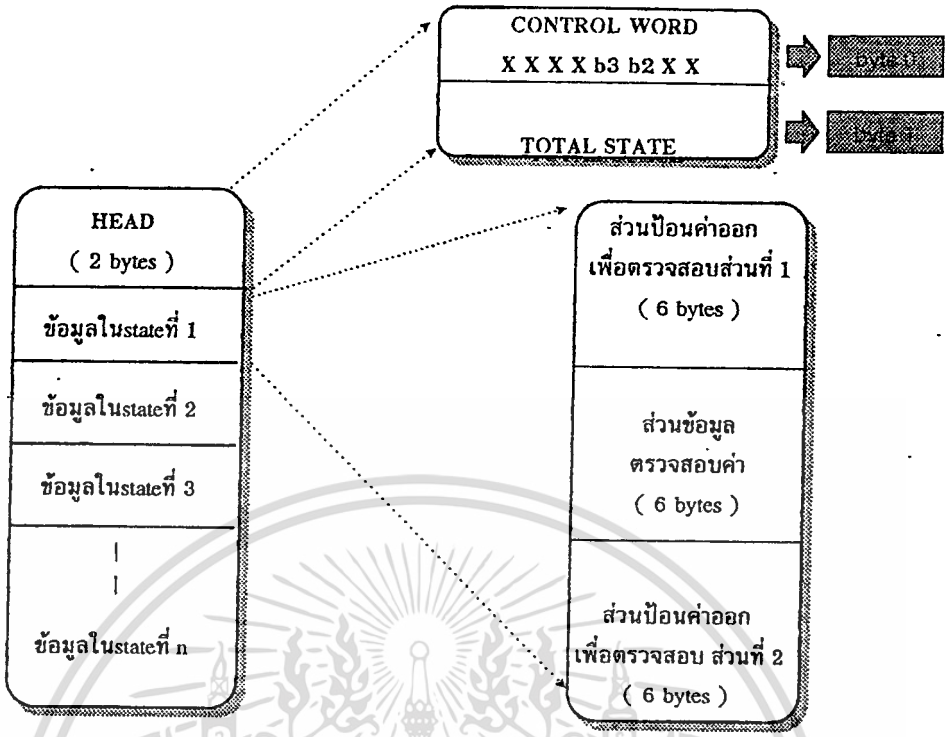
4.4.2.1 ส่วน HEAD

STATE คือการส่งค่าลอจิกไปตรวจสอบให้กับอินพุทของไอซี และรับค่าเอาท์พุทของไอซีกลับเข้ามา ถ้าเป็นการรับและส่ง 1 ครั้งถือเป็น 1 STATE ในส่วนนี้ จะใส่ CONTROL WORD 1 byte และ TOTAL STATE 1 byte โดยอธิบายได้ดังนี้

- ส่วน CONTROL WORD

เป็นส่วนควบคุมประเภทของ TABLE และการคำนวณจำนวน STATE โดยใช้บิทควบคุมดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.10 แสดงส่วนประกอบของ TABLE ข้อมูลของไอซี 1 ตัว

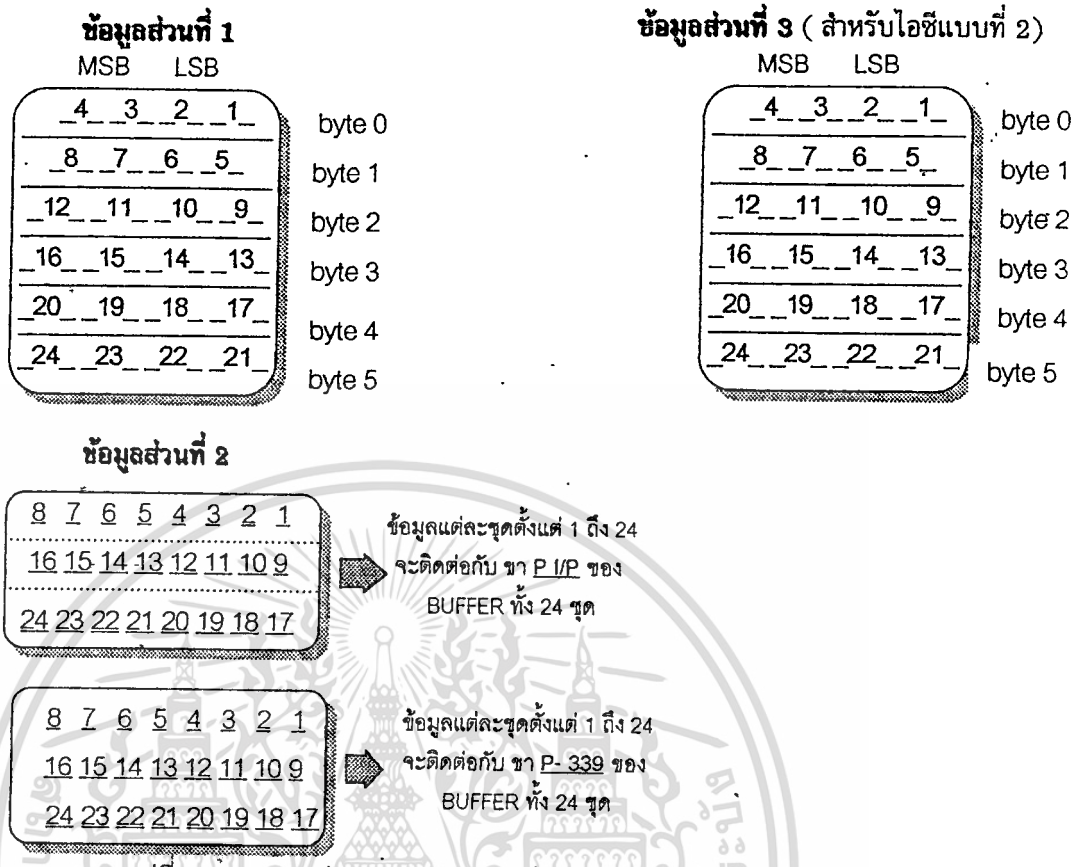
b2 ใช้ควบคุมการคำนวณจำนวน STATE โดยหากมีค่า " 1 " โปรแกรมนำค่าใน TOTAL STATE เป็นจำนวน STATE ทั้งหมดของไอซีตัวนั้น แต่หากมีค่า " 0 "โปรแกรมนำค่าใน TOTAL STATE มาคำนวณจำนวน STATE ทั้งหมด โดย จำนวน STATE ทั้งหมดจะเท่ากับค่า 2^n โดย n คือค่าใน TOTAL STATE 1 byte (เนื่องจากจำนวน STATE ของไอซีบางตัวมีอินพุทถึง 13 ขาทำให้ต้องใช้จำนวน STATE ในการตรวจสอบถึง 2^{13} STATES การใช้การคำนวณ 2^n จะช่วยให้ประหยัดเนื้อที่ในการเก็บข้อมูล)

b3 ใช้ควบคุมประเภทของ TABLE โดยหากเป็น " 1 " โปรแกรมจะ detect ให้ TABLEนั้นๆ เป็น TABLE แบบที่สอง คือเป็น TABLE ของไอซีประเภทมีสัญญาณ CLOCK ควบคุม แต่หากมีค่า " 0 " โปรแกรมจะ detect ให้ TABLE นั้นๆ เป็น TABLE แบบที่แรก คือเป็น TABLE ของไอซีประเภทไม่มีสัญญาณ CLOCK ควบคุม

X คือ b0,b1,b4,b5,b6,b7 เป็นบิทที่ไม่ได้นำมาพิจารณาในที่นี้

- ส่วน TOTAL STATE ใช้เก็บค่าจำนวนรูปแบบในการตรวจสอบของไอซีแต่ละตัว มีขนาด 1 byte ทำให้สามารถเก็บค่าได้ทั้งหมด 2^{16} STATES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.11 แสดงรูปแบบการแปลงค่าข้อมูลใน LIBRARY

4.2.2.2 **ส่วนข้อมูล**

มี 2 รูปแบบแตกต่างตามประเภทของ TABLE ตามรูปที่ 4.11คือแบบที่ 1 เป็น TABLE ของไอซีที่ไม่ต้องการสัญญาณนาฬิกา และแบบที่ 2 เป็น TABLE ของไอซีที่ต้องการสัญญาณนาฬิกา โดยจำนวนชุดของข้อมูลขึ้นอยู่กับจำนวน STATE ทั้งหมดของไอซีเบอร์นั้น

1) **แบบที่** 1 มีส่วนประกอบ 2 **ส่วน** คือ

1.1) ส่วนป้อนค่าออกเพื่อตรวจสอบ

ส่วนนี้จะเก็บค่าที่ใช้ในการกำหนดค่าระดับโวลท์เตจที่ขาของทรานซิสเตอร์แต่ละตัวในวงจร BUFFER เพื่อกำหนดระดับโวลท์เตจที่จะทำการทดสอบไปยังขาของไอซีที่ต้องการตรวจสอบ โดยจะเก็บข้อมูลเป็นไบนารี่ (" 0 " , " 1 " เมื่อส่งไปยังส่วน BUFFER จะเป็นค่า 0 โวลท์และ 5 โวลท์ ตามลำดับ) จำนวน 6 bytes

1.2) ส่วนตรวจสอบค่า

ส่วนนี้จะเก็บผลที่ถูกต้องจากการส่งค่าจากข้อ 1.1) ไปตรวจสอบไอซีแต่ละตัว โดยแบ่งเป็น 2 ส่วนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนค่า P I/P เป็นผลที่ถูกต้องจากการส่งค่าจากข้อ 1.1) ไปตรวจสอบไอซีแต่ละตัวที่ขา P I/P โดยจะเป็นค่าจริงที่ขาของไอซีทุกขาโดยการนับขาเป็นไปตามรูปที่4.11 แสดงการนับขาไอซีสำหรับไอซี 14 ขา , 16 ขา , 20 ขา และ 24 ขา ส่วนค่า P I/Pนี้ มีขนาด 3 bytes

- ส่วนค่าจากวงจรเปรียบเทียบแรงดัน(P - 339) เป็นผลที่ถูกต้องจากการส่งค่าจากข้อ 1.1) ไปตรวจสอบไอซีแต่ละตัวที่ขา P - 339 เป็นส่วนที่ใช้ในการตรวจสอบผลจากค่าจริงที่ขาของไอซีทุกขาเปรียบเทียบกับระดับโวลท์เตจอ้างอิงเพื่อแยกประเภทของไอซีแบบOPEN COLLECTOR ออกจากไอซีประเภทอื่น (เนื่องจากไอซีแบบ OPEN COLLECTOR มีระดับโวลท์เตจที่ขาเอาท์พุทไม่เท่ากับ ไอซีแบบอื่นๆ ทำให้เกินขีดความสามารถของ CPU ในการแยกแยะค่านอกเหนือจาก 0 และ 5 โวลท์) มีขนาด 3 bytes

2) แบบที่ 2 มีส่วนประกอบ 3 ส่วน คือ

2.1) ส่วนป้อนค่าออกเพื่อตรวจสอบ ส่วนที่ 1

ส่วนนี้จะเก็บค่าที่ใช้ในการกำหนดค่าระดับโวลท์เตจที่ขาของทรานซิสเตอร์แต่ละตัวในวงจร BUFFER เพื่อกำหนดระดับโวลท์เตจที่จะทำการทดสอบไปยังขาของไอซีที่ต้องการตรวจสอบ โดยกำหนดให้ระดับโวลท์เตจที่ขา CLOCK มีค่าเป็น " 0 "มีขนาด 6 bytes

2.2) ส่วนตรวจสอบค่า

ส่วนนี้จะเป็นส่วนที่เก็บผลที่ถูกต้องที่ได้จากการตรวจสอบ หลังจากมีการป้อนสัญญาณ CLOCK ให้กับไอซีที่ต้องการตรวจสอบแล้ว รูปแบบเหมือนแบบที่ 1

2.3)ส่วนป้อนค่าออกเพื่อตรวจสอบ ส่วนที่ 2

ส่วนนี้จะเป็นส่วนป้อนค่าออก เพื่อตรวจสอบ โดยกำหนดให้ระดับโวลท์เตจที่ขา CLOCK มีค่าเป็น " 1 " มีขนาด 6 bytes

การนับขาของไอซีเพื่อแปลงเป็นบิทข้อมูลนั้น ดูได้จากรูปที่ 4.12 แสดงการนับขาไอซีสำหรับไอซี 14 ขา , 16 ขา , 20 ขา และ 24 ขา โดยขาที่ไม่ได้ใช้จะป้อนค่าข้อมูลในส่วนที่ 1 (ส่วนป้อนค่าออกเพื่อตรวจสอบ) เป็น " 0 1 " เพื่อกำหนดให้ชุด BUFFER อยู่ในสภาวะ HI - IMPEDANCE ซึ่งมีผลให้ค่าข้อมูลที่ขา P I/P และ ขา P - 339 (ส่วนตรวจสอบค่า) มีค่า เป็น " 1 " และ " 0 " ตามลำดับ

จากรูปที่ 4.12 แสดงตัวอย่าง TABLE ข้อมูลของไอซีเบอร์ 7400 โดยเปรียบเทียบกับรูปแบบของ TABLE จากรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้