



การศึกษานำเสนอสัญญาณวิดีโอ  
DATA ACQUISITION IN VIDEO SIGNAL

โดย

นางสาวฝนทิพย์ วงศ์วรรณ

นายอมร จิรเสรีอมรกุล

อาจารย์ที่ปรึกษา

ผศ. พลผดุง ผดุงกุล

วัน เดือน ปี... 24 ค.ค. 2541  
เลขทะเบียน.....039147  
เลขเรียกหนังสือ...T. 4008b พ 119ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039147

รายงานเรื่อง ( ภาษาไทย ) การศึกษาผลของสัญญาณวิดีโอ  
( ภาษาอังกฤษ ) DATA ACQUISITION IN VIDEO SIGNAL  
จัดทำโดย นายอมร จิรเสรีอมรกุล  
นางสาวฝนทิพย์ วงศ์วรรณ  
อาจารย์ที่ปรึกษา ผศ. พดผดุง ผดุงกุล

รายงานฉบับนี้ ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ



( ผศ. พดผดุง ผดุงกุล )

อาจารย์ที่ปรึกษา

วันที่ 21 มีนาคม 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ผู้จัดทำขอขอบพระคุณ ผศ. พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา ที่ให้คำแนะนำ ตลอดจนแนวคิดและแนวทางการแก้ไขปัญหาที่เกิดขึ้นตลอดโครงการ รวมทั้งกำลังใจที่ได้รับจาก อาจารย์ตลอดการทำงาน

และขอขอบคณาภาควิชาวิศวกรรมควบคุมที่เชื้อเพื่ออุปกรณ์ฮาร์ดแวร์

นางสาวณทิพย์ วงศ์วรรณ  
(.....*ณทิพย์*.....)

นายอมร จิรเสรีอมรกุล  
(.....*อมร*.....)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การศึกษาผลของสัญญาณัติโอ

นางสาวณทิพย์ วงศ์วรรณ

นายอมร จิรเสรีอมรกุล

ผศ. พลผดุง ผดุงกุล ( อาจารย์ที่ปรึกษา )

ปีการศึกษา 2540

## บทคัดย่อ

ปริมาณทั่วไปในธรรมชาติโดยส่วนใหญ่จะเป็นสัญญาณเชิงอุปมาน ซึ่งการนำสัญญาณดังกล่าวมาประมวลต่อไปนั้นค่อนข้างยุ่งยาก ไม่ว่าจะเป็นการจัดเก็บหรือการปรับแต่งข้อมูล การแปลงสัญญาณอุปมานเป็นสัญญาณเชิงตัวเลขนั้นจะสามารถทำให้การประมวลผลสัญญาณง่ายและสะดวกขึ้น นอกจากนี้ยังทำให้การประมวลผลสัญญาณรวดเร็วและมีประสิทธิภาพมากขึ้นอีกด้วย สำหรับในปัจจุบันการแปลงสัญญาณอุปมานเป็นสัญญาณเชิงตัวเลขได้รับการพัฒนาให้มีประสิทธิภาพสูงขึ้นมาก โดยมีการทำงานในหลายรูปแบบให้เลือกใช้ตามความเหมาะสมของแต่ละงาน ซึ่งโครงการนี้ได้ประยุกต์การแปลงสัญญาณเชิงอุปมานเป็นเชิงตัวเลขมาใช้ในการประมวลสัญญาณวิดิโอ ซึ่งเข้ามามีบทบาทมากขึ้นในชีวิตประจำวัน ทั้งทางด้านการสื่อสาร การโฆษณาประชาสัมพันธ์ ทั้งที่เป็นแผงแสดงภาพ หรือภาพที่แสดงบนจอภาพยนต์ และโทรทัศน์ โครงการนี้ยังได้ศึกษารูปแบบการทำงานของสัญญาณวิดิโอความถี่สูงด้วย ซึ่งเป็นเรื่องที่น่าสนใจเป็นอย่างยิ่ง

## DATA ACQUISITION IN VIDEO SIGNAL

Miss Fontip Wongwan

Mr. Amorn Jiraseree-amornkul

Mr. Polphadung Padungkul ( Advisor )

1997

## Abstract

Being analog signal, the nature of almost quantities, is complicated to process , such as storing or modifying the data .Conversion of analog to digital signal can improve the data processing not only in speed but also accuracy .Now , ability to convert analog to digital signal is greatly developed and has many kinds of operations which can be used to suit any system . According to this project , analog to digital conversion is used for video signal processing which play an important role at present , such as communication and advertisement , on both displayed boards and the theaters or the televisions . This project also studied about the performance of video signal, the interesting field of study.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่1 บทนำ	1
บทที่2 ทฤษฎี	2
2.1 การสุ่มตัวอย่าง	2
2.2 การจัดรหัส	3
2.3 การวิเคราะห์สเปกตรัมของสัญญาณ	6
2.4 Interacing	9
บทที่3 การออกแบบระบบ	10
3.1 วงจรสุ่มตัวอย่างและคงค่าสัญญาณ	10
3.2 วงจรแปลงสัญญาณเชิงอุปมานเป็นเชิงตัวเลข	11
3.3 หน่วยความจำเข้าถึงแบบสุ่ม	18
3.4 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน	21
3.5 วงจรกรองผ่านความถี่ต่ำ	23
บทที่4 วงจรจัดเก็บข้อมูล	26
4.1 วงจรส่วนแปลงสัญญาณข้อมูล	26
4.2 วงจรหน่วยความจำ	28
4.3 วงจรควบคุม	29
บทที่5 ผลการทดลอง	34
บทที่6 สรุปผลการทดลอง	38
ภาคผนวก	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป

	หน้า
บทที่2 รูปที่2.1 แสดงสัญญาณที่ได้จากการสุ่มเปรียบเทียบกับสัญญาณเข้า	7
รูปที่2.2 แสดงสเปกตรัมของสัญญาณชายน์ความถี่ $W_1$ กับสัญญาณที่มีแถบความถี่จำกัดไม่เกิน $W_m$	7
รูปที่ 2.3 รูปชายน์ที่ถูกสุ่มซึ่งจะทำการวิเคราะห์สเปกตรัม	8
บทที่3 รูปที่3.1 การทำงานของวงจรสุ่มตัวอย่างและคงค่าสัญญาณ	10
รูปที่3.2 แสดงสัญญาณสัญญาณออกของการสุ่มตัวอย่างและค่าต่าง ๆ ที่สำคัญ	11
รูปที่3.3 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบขนาน	13
รูปที่3.4 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบเรียงต่อกัน	14
รูปที่3.5 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโโลปลู่	17
รูปที่3.6 หน่วยความจำแบบสถิตย์	19
รูปที่3.7 หน่วยความจำแบบพลวัต	20
รูปที่3.8 ตัวอย่างวงจร Weighted - resister DAC ขนาด n	22
รูปที่3.9 วงจร R -2R Ladder DAC ขนาด n บิต	22
รูปที่3.10 วงจร Current - driven R - 2R Ladder DAC	22
รูปที่3.11 วงจร Inverted - Ladder DAC	23
รูปที่3.12 วงจรกรองผ่านความถี่ต่ำ	24
รูปที่3.13 ขนาดของผลตอบสนองความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสอง	25
บทที่4 รูปที่4.1 แผนผังแสดงการทำงานของระบบ	26
รูปที่4.2 วงจรแปลงข้อมูลเชิงอุปมานเป็นข้อมูลเชิงเลข	30
รูปที่4.3 วงจรแปลงข้อมูลเชิงเลขเป็นข้อมูลเชิงอุปมาน	31

	หน้า
รูปที่4.4 วงจรหน่วยความจำ	32
รูปที่4.5 วงจรกำเนิดสัญญาณนาฬิกา สัญญาณกำหนดตำแหน่งและสัญญาณควบคุม	33
บทที่5 รูปที่5.1 เปรียบเทียบระหว่างสัญญาณอินพุทกับเอาต์พุท เทียบเส้นต่อเส้น	35
รูปที่5.2 เปรียบเทียบระหว่างสัญญาณอินพุทกับเอาต์พุท เทียบพีลด์ต่อพีลด์	35
รูปที่5.3 เปรียบเทียบระหว่างสัญญาณคอม โพลิตซิงค์ กับสัญญาณซิงค์ในแนวตั้ง	36
รูปที่5.4 เปรียบเทียบสัญญาณอินพุทกับเอาต์พุทในช่วง สัญญาณซิงค์แนวตั้ง	36
รูปที่5.5 เปรียบเทียบจากการแสดงผลออกทางโทรทัศน์ ระหว่างสัญญาณที่ผ่านระบบจัดเก็บข้อมูลกับ สัญญาณต้นกำเนิด	40

## สารบัญตาราง

	หน้า
บทที่2 ตาราง2.1 แสดงการแปลงระดับแรงดันเป็นเลขฐานสอง	3
ตาราง2.2 แสดงรหัสที่นิยมใช้กับสัญญาณเชิงอุปมานที่มี ค่าทั้งบวกและลบ	5
บทที่3 ตาราง3.1 แสดงการแบ่งค่าแรงดันเปรียบเทียบเป็นเลข ฐานสอง	13



# บทที่ 1

## บทนำ

### 1.1 กล่าวนำ

ในปัจจุบัน การบริโภคสินค้าของผู้บริโภค นอกจากจะดูความจำเป็นในการใช้งาน และคุณภาพของสินค้าแล้ว การโฆษณาถือว่ามีความสำคัญอย่างมาก ทำให้ผู้ขายสินค้ามุ่งเน้นการโฆษณาประชาสัมพันธ์ที่เข้าถึงผู้บริโภคได้มากที่สุด ซึ่งพบว่าสื่อทางโทรทัศน์ มีความได้เปรียบกว่าสื่ออื่นๆ มาก เนื่องจากสามารถแสดงภาพที่เหมือนจริง อันเป็นผลมาจาก การประยุกต์ใช้ความรู้ในการประมวลผลเชิงอนุमान และเชิงตัวเลข เพื่อประมวลผล จัดเก็บข้อมูล และทำการแสดงภาพ ซึ่งมีการพัฒนาขึ้นตลอดเวลา ทั้งทางด้านทฤษฎี ความรู้ และความสามารถในการทำงานของอุปกรณ์ ทำให้โทรทัศน์เข้ามามีบทบาทกับประชาชนโดยทั่วไป

### 1.2 วัตถุประสงค์

จากความสำคัญของสื่อทางโทรทัศน์ตามที่กล่าวข้างต้น โครงการนี้จึงได้ทำการศึกษา ทฤษฎีและหลักการทํางานที่เกิดขึ้น ในโทรทัศน์ เพื่อเพิ่มทักษะ และพื้นฐานความรู้ความเข้าใจ โดยใช้ความรู้ในการกรองความถี่ การสุ่มตัวอย่าง การแปลงผลจากสัญญาณเชิงอนุमानเป็นสัญญาณเชิงตัวเลข

## บทที่ 2

### ทฤษฎี

#### 2.1 การสุ่มตัวอย่าง ( Sampling )

การสุ่มตัวอย่าง เป็นขั้นตอนสำคัญ ในการแปลงสัญญาณเชิงอุปมาน ( Analog signal ) ไปเป็นสัญญาณเชิงตัวเลข ( Digital signal ) ซึ่งความถี่ในการสุ่มตัวอย่างโดยไม่ทำให้สัญญาณสูญเสียข้อมูลสำคัญไปนั้น ทฤษฎีการสุ่มตัวอย่าง ( Sampling theory ) ของแซนนอน ( Shannon ) กล่าวไว้ว่า

ถ้าหากเรามีสัญญาณเชิงอุปมาน  $X(t)$  ที่ค่าการแปลงฟูริเยร์ หรือสเปกตรัมกำลัง ( power spectrum ) ของมันมีแถบความถี่ปฏิบัติงานเท่ากับ  $f_0$  แล้วเราสามารถทำการสุ่มตัวอย่างโดยที่สัญญาณที่ได้ ไม่สูญเสียเนื้อหาสำคัญเมื่อแปลงกลับเป็นสัญญาณอุปมาน ก็ต่อเมื่อความถี่ในการสุ่มตัวอย่าง  $f_s$  มีค่าอย่างน้อยเท่ากับสองเท่าของความถี่  $f_0$  หรือ

$$f_s \geq 2 f_0$$

โดยทั่วไปเราอาจสุ่มตัวอย่างด้วยค่าความถี่  $f_{sn} = 2 f_0$  พอดี ค่าความถี่นี้มีชื่อเรียกว่าความถี่ไนควิสต์ ( Nyquist interval ) และคาบเวลา  $T_n = \frac{1}{2f}$  นี้เรียกว่า ช่วงเวลาสุ่มตัวอย่างไนควิสต์ ( Nyquist interval )

ในทางปฏิบัติเพื่อหลีกเลี่ยงผลของปรากฏการณ์ไม่เป็นเชิงเส้น ( Nonlinearity ) ที่อาจเกิดจากการสุ่มตัวอย่าง เรามักใช้ความถี่ในการสุ่มตัวอย่าง  $f_s$  มากกว่าค่าความถี่ไนควิสต์ขึ้นไป ส่วนจะมีค่ามากกว่าเท่าใดนั้นขึ้นกับลักษณะงาน ไม่ได้มีการกำหนดแน่นอน

จากทฤษฎีการสุ่มตัวอย่างของแซนนอนนั้นจะเห็นได้ว่าการสุ่มตัวอย่างสัญญาณให้ได้ถูกต้องก็ต่อเมื่อต้องรู้ค่าแถบความถี่ปฏิบัติงานของสัญญาณ หรืออีกนัยหนึ่งสัญญาณต้องมีแถบปฏิบัติงานจึงจะทำการสุ่มตัวอย่างได้ ดังนั้นในบางครั้งเพื่อให้มั่นใจได้ว่าสัญญาณที่ทำการประมวลผลถูกประมวลผลอย่างถูกต้อง ในภาคแรกของระบบประมวลผลเชิงเต็มหน่วยและเชิงตัวเลขจึงอาจมีวงจรกรองผ่านความถี่ต่ำ ( Low - pass filter ) ไว้เป็นตัวกำหนดความถี่ปฏิบัติงาน ซึ่งในทางปฏิบัติเราไม่สามารถสร้างวงจรกรองในอุดมคติได้ แต่ก็สามารถใช้วงจรกรองอันดับสูง ๆ โดยมีความผิดพลาดเล็กน้อยพอที่จะยอมรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากที่ทำการสุ่มตัวอย่างสัญญาณเชิงอุปมานแล้ว จะต้องทำการคงค่าสัญญาณที่ได้ไว้ก่อน ( Hold ) เพื่อให้วงจรแปลงเป็นสัญญาณเชิงตัวเลข การคงค่าสัญญาณที่ได้ไว้ก่อนก็เพื่อให้สัญญาณที่ขาออกยังเป็นค่าเดิมแม้ว่าสัญญาณขาเข้าจะเปลี่ยนไปแล้วก็ตาม

## 2.2 การจัดรหัส

การจัดรหัสเชิงตัวเลข สำหรับสัญญาณเชิงอุปมานมีได้หลายแบบ อาจจะเป็นเลขฐานสอง ( Binary ) , รหัสเกรย์ ( Gray code ) หรือ รหัสบีซีดี ( BCD ) แล้วแต่ว่าจะนำเอาข้อมูลไปใช้งานอะไร สำหรับระบบที่ออกแบบนี้จะเลือกใช้ระบบเลขฐานสอง เพราะเป็นแบบที่ง่ายที่สุด ซึ่งการจัดรหัสเป็นไปตามตาราง 2.1

ตาราง 2.1 แสดงการแปลงระดับแรงดันเป็นเลขฐานสอง

BINARY	ANALOG FRACTION ( FULL SCALE = 1 )	ANALOG VOLTAGE ( $V_{FS} = 10.24$ )
111	7/8	8.96
110	6/8	7.68
101	5/8	6.40
100	4/8	5.12
011	3/8	3.84
010	2/8	2.56
001	1/8	1.28
000	0	0

ตามตาราง 2.1 จะเห็นได้ว่าเมื่อเลขฐานสองมีค่าเป็น 1 ค่าของสัญญาณอุปมานจะมีค่าเท่ากับค่าแรงดันเต็มมาตราลดด้วยค่าของเลขฐานสองหลักที่มีนัยสำคัญต่ำสุด ( Analog value =  $V_{FS}$  ( Full scale voltage ) - LSB ( Least Significant Bit ) ) ซึ่งถ้าให้แรงดันเต็มมาตราเท่ากับ 10.24 โวลต์ จะได้แรงดันของเลขฐานสองหลักที่มีนัยสำคัญน้อยที่สุดเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศีกษาเท่านั้น ไม่อนุญาตให้ไปแจ้งประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{LSB} = \frac{10.24}{8} = 1.28 \text{ V}$$

ตามปกติสัญญาณเชิงอนุมาณมีได้ทั้งทางบวกและลบ ระบบเลขฐานสองแบบธรรมชาติ (Natural binary) จึงยังไม่อาจนำมาใช้ได้ทันที มีรหัสหลายแบบที่ดัดแปลงไปจากเลขฐานสองแบบธรรมชาติ ซึ่งที่ใช้กันบ่อย ๆ ได้แก่ Sign plus magnitude , Offset binary , Two 's complement และ One ' s complement สำหรับสองแบบหลังนี้จะ เป็น two ' s หรือ One ' s complement ในช่วงที่ค่าสัญญาณเชิงอนุมาณเป็นลบเท่านั้น ในตาราง 2.2 จะแสดงถึงระบบเหล่านี้สำหรับ 4 บิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.2 แสดงรหัสที่นิยมใช้กับสัญญาณเชิงอุปมานที่มีค่าทั้งบวกและลบ

ANALOG FRACTION ( $V_{FS} = 1$ )	ANALOG VOLTAGE ( $V_L = 10.24$ )	SIGN PLUS MAGNITUDE	OFFSET BINARY	TWO'S COMPLEMENT	ONE'S COMPLEMENT
+7/8	8.96	0111	1111	01 11	0111
+6/8	7.68	0110	1110	0110	0110
+5/8	6.40	0101	1101	0101	0101
+4/8	5.12	0100	1100	0100	0100
+3/8	3.84	0010	1011	0011	0011
+2/8	2.56	0001	1010	0010	0010
+1/8	1.28	0000	1001	0001	0001
0+			0000		
	0		1000	0000	
0-		1000			1111
-1/8	-1.28	1001	0111	1111	1110
-2/8	-2.56	1010	0110	1110	1101
-3/8	-3.84	1011	0101	1101	1100
-4/8	-5.12	1100	0100	1100	1011
-5/8	-6.40	1101	0011	1011	1010
-6/8	-7.68	1110	0010	1010	1001
-7/8	-8.96	1111	0001	1001	1000
-8/8	-10.24	-	0000	1000	-

ตามตาราง 2.2 จะเห็นได้ว่า ค่าออฟเซทของเลขฐานสอง(Offset binary)เหมาะสมที่สุดที่จะใช้เพราะเป็นรหัสแบบง่าย ๆ เรียงเหมือนเลขฐานสองแบบธรรมชาติ เพียงแต่ที่ค่าเชิงอุปมานเป็นศูนย์ เลื่อนมาอยู่ที่ 100...0 แทน ข้อสำคัญที่เลือกห้านี้มาใช้ก็คือ อุปกรณ์ที่ใช้ในการแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานที่เป็นวงจรรวม( IC :Intregated Circuit ) ที่มีขายมักเป็นแบบเลขฐานสองแบบธรรมชาติ ซึ่งสามารถดัดแปลงให้เป็น ออฟเซทเลขฐานสองได้โดยง่าย โดยเพียงแต่ใส่แรงดันไฟตรงเป็นออฟเซทให้แก่ ออปแอมป์ภายนอกของวงจรรแปลงสัญญาณเชิงเลขเป็นสัญญาณเชิงอุปมาน ให้แรงดันออกเป็น 0 เมื่อ ค่าเชิงตัวเลขเป็น 1000...0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับระบบที่ใช้จำนวนเชิงเลข N บิต ( bit ) เพื่อแทนค่าสัญญาณเชิงอุปมานในช่วง  $\pm V_{fs}$  ด้วยรหัสออฟเซตเลขฐานสอง ( Offset binary code ) ค่าเลขฐานสองหลักที่มีนัยสำคัญน้อยที่สุด ( LSB ) จะเท่ากับ

$$LSB = 2^{V_{fs} / N - 1}$$

และความสัมพันธ์ระหว่างค่าอนุลอก  $V_a$  และค่าเชิงตัวเลข  $Deq$  ซึ่งเป็นค่าเชิงตัวเลขที่แปลงเป็นเลขฐาน 10 เป็นไปตามสมการ

$$V_a = Deq \times LSB - V_{fs}$$

เราสามารถหาช่วงของค่า เชิงอุปมานที่แทนได้ด้วยค่าเชิงตัวเลขโดยอาศัยสองสมการ โดยที่ค่าเชิงตัวเลขต่ำสุด  $Deq = 0$  ดังนี้

$$V_{amin} = -V_{fs}$$

และค่าเชิงตัวเลขสูงสุด  $Deq = 2^N - 1$  โดยการแทนค่า  $Deq$  และค่า  $LSB$  ข้างต้น จะได้ว่า

$$\begin{aligned} V_{amax} &= \frac{(2^N - 1)V_{fs} - V_{fs}}{2^N - 1} \\ &= V_{fs} - \frac{V_{fs}}{2^N - 1} \end{aligned}$$

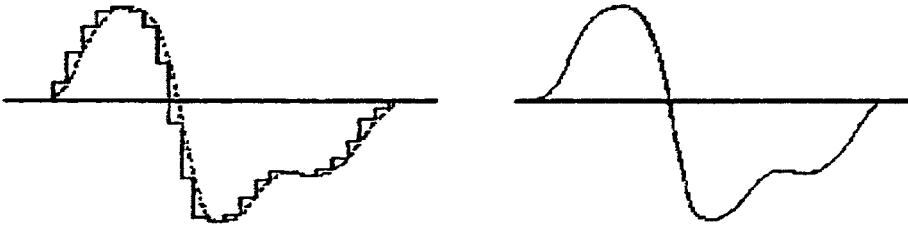
ซึ่งพจน์หลังก็คือ  $LSB$  นั่นเอง ดังนั้น

$$V_{amax} = V_{fs} - LSB$$

จะเห็นได้ว่าในระบบออฟเซตของเลขฐานสอง ช่วงค่าเชิงอุปมานที่แทนได้ด้วยค่าเชิงตัวเลขทางค่าบวกจะน้อยกว่าทางค่าลบอยู่ 1  $LSB$  เสมอ

### 2.3 การวิเคราะห์สเปกตรัมของสัญญาณที่ได้จากการสุ่ม

สัญญาณสม้าเสมอใด ๆ เมื่อผ่านการสุ่มแล้วผลที่ได้จะเป็นสัญญาณที่ไม่สม้าเสมอ คือเป็นรูปขั้นบันได ที่มีความกว้างเท่ากับคาบการสุ่ม ตามรูป 2.1



รูปที่ 2.1 แสดงสัญญาณที่ได้จากการสุ่ม (ข) เทียบกับ  
สัญญาณเข้า (ก)

จะเห็นได้ว่ารูปคลื่นที่ได้จากการสุ่มผิดเพี้ยนไปจากสัญญาณเข้า เราสามารถศึกษาว่ารูปคลื่นนี้เพี้ยนไปมากน้อยเพียงใดได้จากการวิเคราะห์สเปกตรัมของมัน เพราะความเพี้ยนเกิดขึ้นเนื่องจากมีฮาร์โมนิคสูง ๆ ของสัญญาณเดิมเกิดเพิ่มขึ้น

ในการวิเคราะห์สเปกตรัม สัญญาณไซน์ (Sine) ความถี่  $w_1$  จะแทนด้วยสเปกตรัมสองเส้นขนาดเท่ากัน และเท่ากับครึ่งหนึ่งของขนาดสัญญาณเดิมอยู่ที่  $+w_1$  และ  $-w_1$  บนแกนความถี่ ดังที่แสดงในรูปที่ 2.2 (ก) สัญญาณใด ๆ ซึ่งประกอบขึ้นด้วยหลายความถี่ แต่มีความถี่จำกัดไม่เกิน  $w_m$  สามารถแทนได้ด้วยแถบความถี่ในรูป 2.2 (ข) ซึ่งประกอบด้วยเส้นความถี่ย่อยเป็นคู่เหมือนในรูปที่ 2.2 (ก) เรียงติดกันไปหมด



รูป 2.2 แสดงสเปกตรัมของ (ก) สัญญาณไซน์ความถี่  $w_1$   
(ข) สัญญาณที่มีแถบความถี่จำกัดไม่เกิน  $w_m$

ในการวิเคราะห์ต่อจากนี้ไปเราจะศึกษาจากสัญญาณไซน์ความถี่เดียวซึ่งผลการวิเคราะห์จะใช้ได้กับสัญญาณใด ๆ ก็ได้ ทั้งนี้เพราะตามทฤษฎีบทของฟูริเยร์ ( Fourier ) สัญญาณต่อเนื่องใด ๆ ประกอบขึ้นด้วยสัญญาณไซน์จำนวนหนึ่งซึ่งมีความถี่เป็น 1 เท่า , ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 เท่า, 3 เท่า .. ฯลฯ ของความถี่ของสัญญาณต่อเนื่องนั้น ๆ สัญญาณชายนีที่มีความถี่เท่ากับ สัญญาณเดิม เรียกว่า ส่วนมูลฐาน ( Fundamental Component ) ส่วนสัญญาณชายนีที่ เหลือซึ่งล้วนแต่มีความถี่เป็นจำนวนเท่าลงตัวของความถี่สัญญาณเดิมรวมเรียกว่าฮาร์โมนิก ( Harmonic ) ของมัน ดังนั้นโดยการศึกษาสัญญาณชายนีความถี่เดียว สามารถนำมา ประยุกต์เข้ากับสัญญาณต่อเนื่องใด ๆ ก็ได้

สัญญาณใด ๆ  $f(t)$  สามารถแทนได้ด้วยอนุกรมฟูริเยอร์ ( Fourier series ) ได้ดังนี้

$$f(t) = \frac{A_0}{2} + \sum_{k=1}^{\infty} A_k \cos k\omega t + \sum_{k=1}^{\infty} B_k \sin k\omega t$$

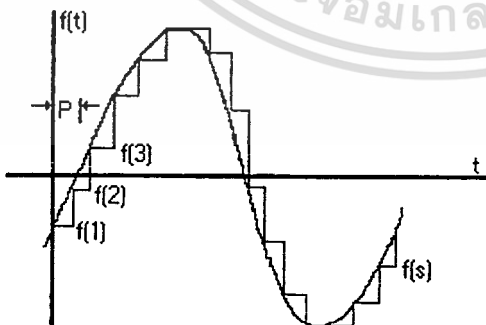
โดยที่

$$A_k = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \cos k\omega t \, dt ; k = 0, 1, 2, \dots$$

$$B_k = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \sin k\omega t \, dt ; k = 0, 1, 2, \dots$$

ดังนั้น  $k^{\text{th}}$  harmonic จะมีขนาด

$$C_k = \sqrt{A_k^2 + B_k^2}$$



รูปที่ 2.3 คลื่นชายนีที่ถูกสุ่มซึ่งจะทำการวิเคราะห์สเปกตรัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 Interlacing

สำหรับเทคนิคในการเก็บข้อมูลที่เป็นภาพนั้น ใน 1 ภาพ จะถูกแบ่งเป็น 625 เส้นในแนวขวาง ซึ่งถ้าหากว่าแต่ละภาพถูกแสดงในอัตราเร็ว 30 ภาพ / วินาที อาจทำให้เกิดฟริคเกอร์ ( fricker ) ได้ ซึ่งแก้ไขได้โดยการเพิ่มอัตราการแสดงภาพต่อวินาทีให้มากขึ้น ซึ่งแน่นอนว่าความกว้างแถบปฏิบัติการ ( Bandwidth ) ที่ใช้ในการส่งสัญญาณต้องมากขึ้นด้วย อัตราเร็วของภาพที่จะไม่ทำให้เกิดฟริคเกอร์ คือ 40 Hz ขึ้น ซึ่งในโรงภาพยนตร์ทั่วไปมีการแสดงภาพ 24 ภาพ / วินาที จึงอาจพบว่าเกิดฟริคเกอร์ขึ้นได้

ใน 1 กรอบภาพ ( frame ) นั้นจะถูกแบ่งออกเป็น 2 สนาม ( field ) คือ สนามที่เส้นในแนวขวางเป็นเลขคี่ ( Odd field ) กับสนามที่เส้นในแนวขวางเป็นเลขคู่ ( Even field ) สนามละ 312.5 เส้น ซึ่งอัตราเร็วของแต่ละสนามจะเป็น 2 เท่า ของอัตรากรอบภาพ ซึ่งถ้าหากว่าให้สนามแรกแสดงภาพที่อยู่ส่วนบนของสนามที่สองจะทำให้เกิด interlace ของภาพ 2 ส่วน ซึ่งสามารถแก้ไขได้โดยการออกแบบให้เส้นในแนวขวางเลขคี่อยู่ระหว่างเส้นในแนวขวางเลขคู่ เรียกว่า เทคนิคการ interlace and depicted

สำหรับสนามที่เส้นในแนวขวางเป็นเลขคี่จะทำการเริ่มกวาด ( Scan ) ที่มุมบนด้านซ้ายของภาพ ส่วนสนามที่เส้นในแนวขวางเป็นเลขคู่นั้นเส้นแรกจะเริ่มที่กึ่งกลางด้านบนสุดของภาพและจบด้วยเส้นล่างสุดที่มุมล่างขวาของภาพ ดังรูป 2.4

ช่วงเวลาที่ใช้ในการเริ่มจากด้านล่างของภาพไปเป็นสนามใหม่เรียกว่า "Vertical retrace or blanking interval" ซึ่งใช้เวลาเท่ากับการกวาดในแนวขวาง 21 เส้น ดังนั้นภาพที่แสดงออกมาจึงเริ่มที่ เส้นในแนวขวางเส้นที่ 22 ของแต่ละสนาม

### บทที่ 3

#### การออกแบบระบบ

การออกแบบระบบการบันทึกสัญญาณเชิงอนุพันธ์ให้อยู่ในรูปสัญญาณเชิงตัวเลขจะต้องประกอบด้วยส่วนประกอบพื้นฐานต่าง ๆ ดังนี้

3.1 วงจรสุ่มตัวอย่างและคงค่าสัญญาณ ( S / H : Sampling and hold circuit ) เป็นวงจรทำหน้าที่เก็บค่าสัญญาณเชิงอนุพันธ์เป็นช่วง ๆ แล้วคงค่าสัญญาณนั้นไว้เพื่อให้ วงจรแปลงค่าเป็นค่าเชิงตัวเลขในภาคถัดไป โดยหลักการแล้วจะมีสวิตช์ที่ยอมให้สัญญาณเชิงอนุพันธ์ผ่านไปยังตัวเก็บประจุในช่วงของการสุ่มตัวอย่าง แต่จะไม่ยอมให้สัญญาณผ่านในช่วงคงค่าสัญญาณ ตัวเก็บประจุจะทำหน้าที่คงค่าสัญญาณสุดท้ายที่สุ่มได้ ทำให้สัญญาณที่ออกคงที่ในช่วงคงค่าสัญญาณ การทำงานของวงจรแสดงดังรูป 3.1



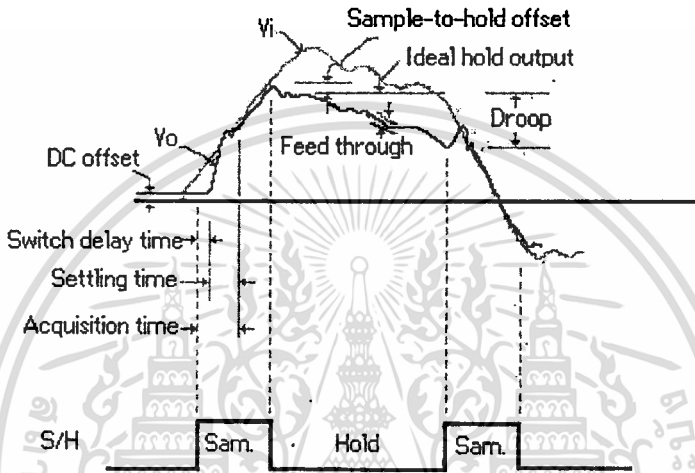
รูป 3.1 การทำงานของวงจรสุ่มตัวอย่างและคงค่าสัญญาณ

(ก) ช่วงสุ่มตัวอย่างสัญญาณ ( Sample )

(ข) ช่วงคงค่าสัญญาณ ( Hold )

สวิตช์ที่ใช้เป็นสวิตช์เชิงอนุพันธ์ ( Analog switch ) คือจะยอมให้สัญญาณผ่านไปได้ทั้งทางบวกและทางลบ ส่วนวงจรขยายนั้นจะต่อเป็นโหลดของตัวเก็บประจุ ทำหน้าที่เป็นบัฟเฟอร์ ( Buffer ) โดยที่ความต้านทานขาเข้าของมันสูงพอที่จะไม่ทำให้มีการคายประจุจากตัวเก็บประจุจากตัวเก็บประจุมากเกินไปในช่วงคงค่าและความต้านทานขาออกต่ำพอที่จะจ่ายสัญญาณต่อให้วงจรภาคถัดไปได้

Acquisition time คือช่วงเวลานับตั้งแต่เริ่มมีสัญญาณสั่งให้สุ่มตัวอย่าง ( Sample ) เวลาที่สัญญาณออกเท่ากับสัญญาณเข้าภายในช่วงของความผิดพลาดที่ระบุไว้ ค่านี้เป็นค่ารวมของ switch delay time , slew interval และ settling time ตามรูป 3.1



รูปที่ 3.2 แสดงสัญญาณออกของการสุ่มตัวอย่าง และค่าต่าง ๆ ที่สำคัญ

Aperture ( Delay ) time คือช่วงเวลานับตั้งแต่หมดสัญญาณ S / H ( Sample and Hold ) จนถึงเวลาที่สวิตช์เปิดเต็มที่ ในช่วงนี้วงจรจะบังคับทำหน้าที่สุ่มตัวอย่างอยู่ แม้จะสั่งให้คงค่าสัญญาณแล้ว

Sample - to - Hold offset ( offset step ) เป็นการเปลี่ยนแปลงประจุในตัวเก็บประจุเนื่องจากการถ่ายเทประจุเข้าหรือออกจากตัวเก็บประจุโดยผ่านทาง stray capacitance. ในช่วงที่เปลี่ยนจาก sample ไปเป็น hold

3.2 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข ( ADC : Analog to Digital Converter ) เป็นวงจรที่รับสัญญาณเชิงอุปมานทางภาคเข้าแล้วแปลงเป็นสัญญาณเชิงเลขทางภาคออก เนื่องจากในการแปลงสัญญาณต้องใช้เวลาช่วงหนึ่งในการแปลงค่าสัญญาณ จึงจำเป็นต้องคงค่าสัญญาณทางภาคเข้าไว้ซึ่งทำได้โดยใช้วงจรในรูป 3.1 & 3.2  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณเชิงตัวเลขไปเป็นสัญญาณเชิงอุปมาน จะใช้การสร้างสัญญาณเชิงอุปมานให้มีค่าเท่ากับจุดกึ่งกลางช่วงย่อยที่แทนด้วยค่าเชิงตัวเลข แต่อยู่ในช่วงย่อยเดียวกัน ข้อผิดพลาดจากการแปลงรหัสเช่นนี้เกิดขึ้นในธรรมชาติ มีชื่อเรียกว่าค่าผิดพลาดควอนไทซ์ ( Quantizing error ) และมีค่าเป็นครึ่งหนึ่งของเลขฐานสองหลักที่มีนัยสำคัญน้อยที่สุด ( $\pm 1/2$  LSB ) นอกเหนือจากข้อผิดพลาดแล้ว ยังอาจมีข้อผิดพลาดในการแปลงรหัสเนื่องจากวงจรมันซึ่งอาจบอกเป็นเศษส่วนของเลขฐานสองหลักที่มีนัยสำคัญน้อยที่สุด ( LSB )

ค่าที่สำคัญของวงจรมันคือช่วงเวลาการแปลง ( Conversion time ) ซึ่งเป็นเวลาที่ใช้ในการแปลงค่าจากสัญญาณเชิงอุปมานจนได้ค่าเชิงตัวเลข

วงจรมันแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข แบ่งออกเป็น 2 ชนิด คือ ชนิดที่ต้องใช้วงจรมันแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน กับพวกที่ไม่ต้องใช้วงจรมันแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานอีก ( Digital to analog converter )

วงจรมันแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขที่ต้องใช้วงจรมันแปลงสัญญาณตัวเลขเป็นสัญญาณเชิงอุปมาน ได้แก่

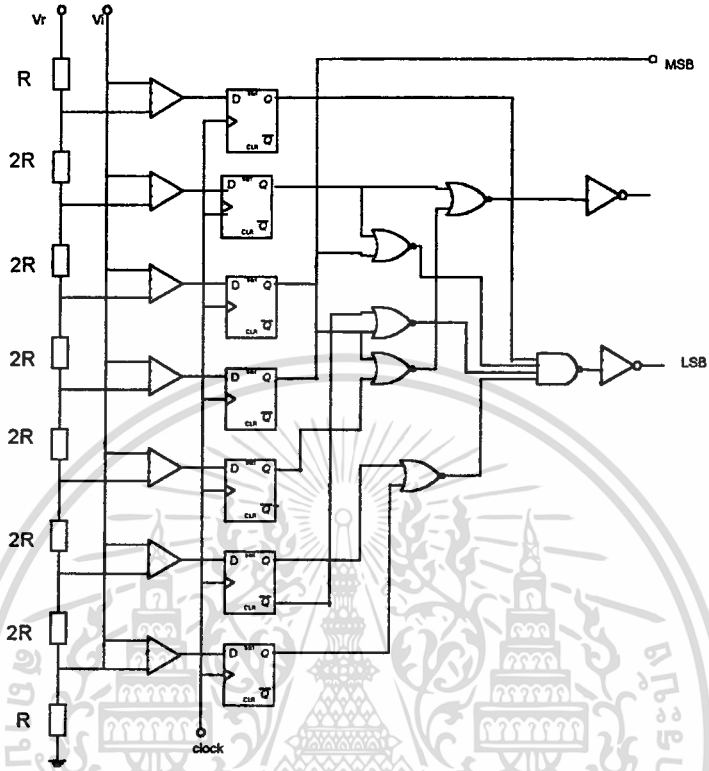
- แบบขนาน ( Parallel type )
- Voltage - to - time type
- Voltage - to - frequency type
- Dual slope converter

วงจรมันแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขที่ไม่ต้องใช้วงจรมันแปลงสัญญาณตัวเลขเป็นสัญญาณเชิงอุปมาน ได้แก่

- Successive approximation conversion
- Counter and Servo type

3.2.1 วงจรมันแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบขนาน เป็นแบบที่ใช้ในโครงการนี้ ซึ่งจากรูปที่ 3.4 แสดงวงจรมันแบบขนาน 3 บิต ซึ่งใช้วงจรมันเปรียบเทียบ 7 ตัว ซึ่งโดยทั่วไปถ้าเป็นวงจรมันขนาด n บิต จะทำการเปรียบเทียบได้  $2^n - 1$  ระดับ ซึ่งจะห่างกันอย่างสม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.3 แสดงวงจรแปลงสัญญาณเชิงอนุภาคเป็นสัญญาณเชิงเลขแบบขนาน

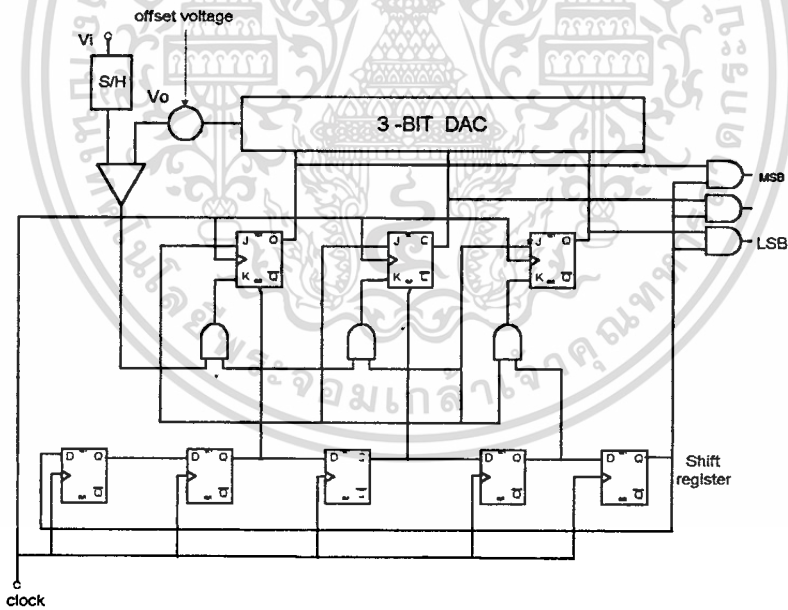
ตาราง 3.1 แสดงการแบ่งค่าแรงดันเปรียบเทียบเป็นเลขฐานสอง

BINARY	ANALOG
111	$V_R$
110	$6/7 V_R$
100	$5/7 V_R$
011	$4/7 V_R$
010	$3/7 V_R$
001	$2/7 V_R$
000	$1/7 V_R$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรแบบแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบนี้ก็คือทุกบิตถูกแปลงขนานกันไป ทำให้มีความเร็วมากกว่าแบบอื่นที่ทำการแปลงทีละบิต โดยความเร็วในการแปลงขึ้นอยู่กับความเร็วของวงจรเปรียบเทียบ

ข้อเสียของวงจรนี้ก็คือจำนวนวงจรเปรียบเทียบที่ใช้จะเพิ่มขึ้นเป็นอนุกรมเรขาคณิตเมื่อเกิดการเรโซแนนซ์ (Resonance) เพิ่มขึ้นสำหรับขนาด  $n$  บิตต้องใช้วงจรเปรียบเทียบ  $2^n - 1$  ตัว จำนวนอุปกรณ์ทางตรรกะเพิ่มตามไปด้วยหากว่าเราขอมลลดความเร็วของการแปลงลง เราอาจนำวงจรแปลงแบบขนานนี้มาต่อเรียงกัน (Cascade) เพื่อให้ลดอุปกรณ์ต่าง ๆ ลงเมื่อจำนวนบิตเพิ่มขึ้น ตามรูป 3.3 ซึ่งเป็นการต่อเรียงกันขนาด 6 บิต และใช้วงจรเปรียบเทียบเท่ากับ  $2(2^3 - 1) = 14$  ตัว แทนที่จะใช้ถึง  $2^6 - 1 = 63$  ตัว



รูปที่ 3.4 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบเรียงต่อกัน

### 3.2.2 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวแบบการประมาณค่า ( Successive approximation converter )

วงจรมีลักษณะพิเศษเฉพาะตัว คือ เวลาที่ใช้ในการเปลี่ยนแปลงข้อมูล (conversion time) มีค่าคงที่ไม่ขึ้นกับขนาดของสัญญาณเชิงอุปมาน เป็นวงจรชนิดที่  $Q_A$ ,  $Q_B$ ,  $Q_C$ ,  $Q_D$  และ  $Q_E$  ต่อเป็น Modulo - ring counter หรืออาจถือว่าเป็นตัวเลื่อน (shift register) ซึ่งมีสัญญาณออกเป็น 1 เพียงตัวเดียว และค่า 1 นี้จะเลื่อนไปเรื่อย ๆ เป็นวงวนทุกครั้งที่สัญญาณนาฬิกา (clock) เปลี่ยนจากค่า 1 เป็น 0 ส่วน  $Q_1$ ,  $Q_2$ ,  $Q_3$  เป็นฟลิปฟลอปสำหรับเก็บค่าสัญญาณเชิงตัวเลขขาออก ในการทำงานเริ่มต้นจะมีวงจร ที่จะเซต (set) ให้  $Q_A = 1$  ส่วน  $Q_B$ ,  $Q_C$ ,  $Q_D$ ,  $Q_E$  เป็น 0 หมด  $Q_A$  จะรีเซต (reset) ฟลิปฟลอปตัวที่ 1 และ 2 ทำให้  $Q_2$ ,  $Q_1$  เป็น 0 เมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 ขา J ของฟลิปฟลอปตัวที่ 3 เป็น 1 ทำให้ถูกเซตเป็น 1 ในขณะที่สัญญาณเข้าของที่  $Q_3Q_2Q_1 = 100$  ซึ่งจะให้สัญญาณออก  $V_0$  เข้ามาเปรียบเทียบกับ  $V_a$  ซึ่งเป็นสัญญาณเข้าที่ได้จาก S/H ถ้า  $V_a$  น้อยกว่า  $V_0$  (หมายความว่า MSB ในขณะนี้มีค่าใหญ่เกินไป)  $C_0$  จะมีค่าเป็น 1 เมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 1 เป็น 0 ทำให้  $Q_B$  จะถูกเซต ขา J ของฟลิปฟลอปตัวที่ 3  $= C_0 * Q_B = 1$  เป็นผลให้  $Q_3$  ถูกรีเซตเมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 อีกครั้ง แต่ถ้าในรอบแรก  $V_a$  มากกว่า  $V_0$  จะทำให้  $C_0$  เป็น 0 ทำให้ขา J ของฟลิปฟลอปตัวที่ 3 เป็น 0 และไม่ถูกรีเซตเมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 ส่วนในสัญญาณนาฬิกาที่สองก็เช่นเดียวกัน  $C_0$  จะเป็นตัวบอกว่าขณะนี้  $V_a$  มากหรือน้อยกว่า  $V_0$  ซึ่งถ้ามากกว่าในสัญญาณนาฬิกาต่อไป  $Q_2$  จะถูกคงค่าไว้ แต่ถ้าน้อยกว่า  $Q_2$  จะถูกรีเซตในสัญญาณนาฬิกาต่อไป การทำงานจะเป็นเช่นนี้ไปเรื่อย ๆ จนครบทุกบิต ในกรณี 3 บิตนี้ บิตสุดท้ายจะถูกตัดสินว่ามีค่าอะไร ในสัญญาณนาฬิกาที่ 4 และ 5 ใช้สำหรับส่งค่าเชิงตัวเลขไปใช้งาน

การทำงานของวงจรมีเหมือนกับการชั่งน้ำหนัก โดยเริ่มต้นใส่ตุ้มน้ำหนักที่หนักที่สุดลงไปก่อน ถ้าน้ำหนักเกินไปก็หยิบตุ้มนี้ออกมาแล้วใส่ตุ้มน้ำหนักรองลงไปแทน แต่ถ้าเบาไปก็ปล่อยตุ้มน้ำหนักแรกไว้บนตาชั่ง และใส่ตุ้มน้ำหนักรองเพิ่มลงไป ทำเช่นนี้ไปเรื่อย ๆ จนลงถึงตุ้มน้ำหนักอันเล็กที่สุด ก็เป็นอันว่าชั่งเสร็จ

### 3.2.3 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโลปคู่ (Dual slope converter)

เป็นอีกแบบหนึ่งที่นิยมใช้ และเหมาะสำหรับใช้ในเครื่องวัดแรงดันไฟฟ้าเชิงตัวเลข (Digital voltmeter) หรือใช้ในวงจรที่ยอมให้ใช้เวลานานในการแปลง โดยมีข้อดีที่สามารถลดสัญญาณรบกวน (Noise) ได้เนื่องมาจากกรหาค่าเฉลี่ยของสัญญาณ การทำงานของวงจรดูจากรูป 4.2-9 (ก) ที่ เวลาเป็น 0 สวิตช์  $S_1$  อยู่ที่ A และ  $S_2$  เริ่มเปิดขณะนี้ C ไม่มีประจุ สัญญาณเชิงอุปมาน  $V_a$  จะต่อกับวงจรอินทิเกรเตอร์ (Integrator) จะมีค่าลดลงไปทางลบตามรูป 3.4

$$V_0 = \frac{-t}{T} V_a$$

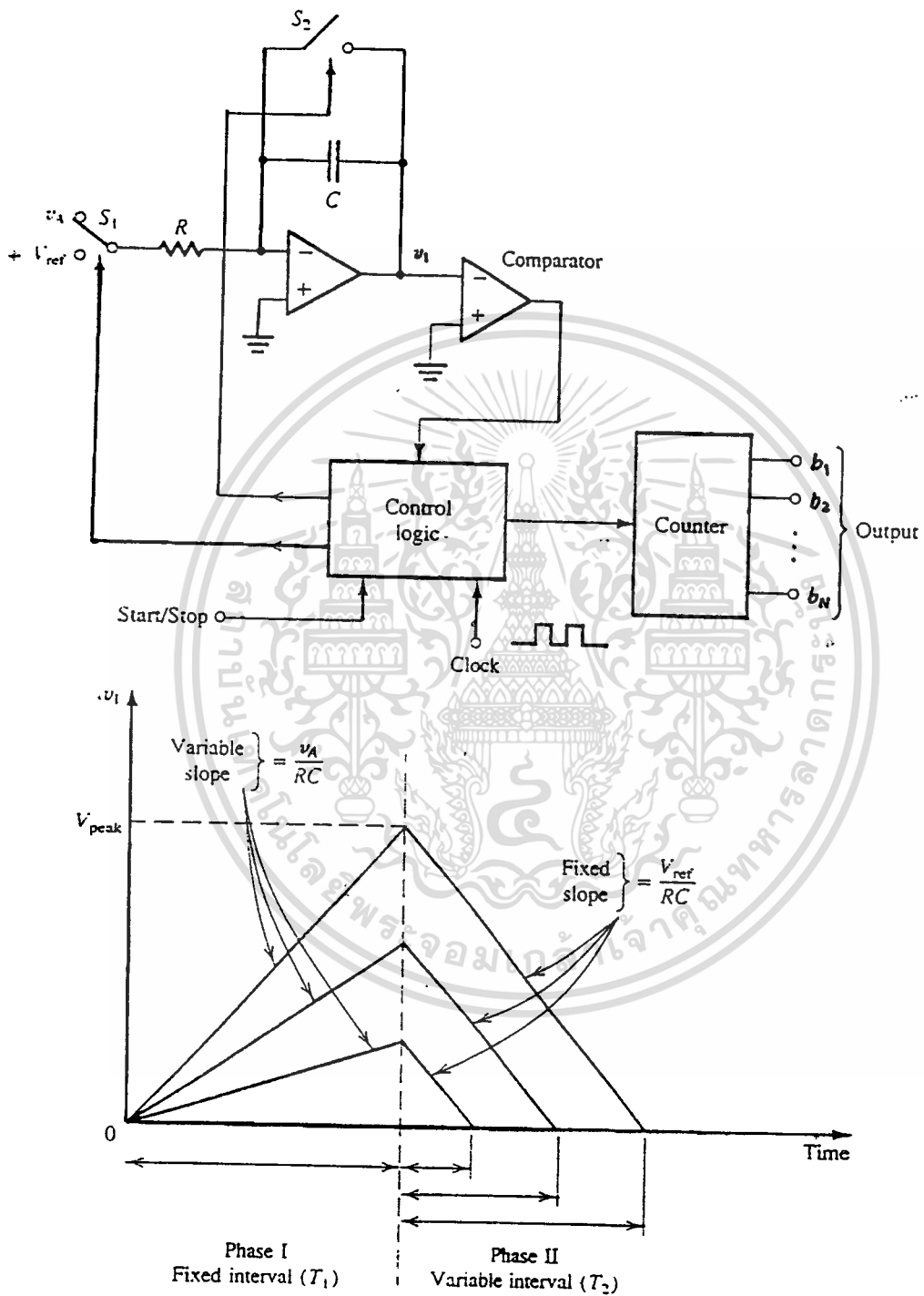
ในขณะเดียวกันที่เวลาเป็น 0 แรงดันออกของวงจรเปรียบเทียบ  $V_c$  เป็น 1 สัญญาณนาฬิกาจะผ่านเกต (gate) เข้าไปนับในวงจรมับ ซึ่งถูกเคลียร์ (clear) อยู่ก่อนแล้ว วงจรมับจะนับไปเรื่อย ๆ จนถึงเวลา  $T_1$  ซึ่งนับได้  $2^N$  ครั้ง ส่วน  $Q_N$  จะเปลี่ยนเป็น 1 ขณะนี้สัญญาณออก  $V_0$  มีค่า

$$\begin{aligned} V_0 &= \frac{-V_a}{T} T_1 \\ &= \frac{-V_a}{T} 2^N T_c \end{aligned}$$

โดยที่  $T_c$  คือคาบของสัญญาณนาฬิกา  $Q_N$  จะบังคับให้  $S_1$  เปลี่ยนมาอยู่ทาง B โดย  $V_0$  จะเริ่มเพิ่มค่าไปทางบวกจนกระทั่งที่เวลา  $T_2$  ค่าของ  $V_0$  จะเริ่มเป็นบวก  $V_c$  จะกลายเป็น 0 ซึ่งจะหยุดสัญญาณนาฬิกาที่จะเข้าไปวงจรมับ เราจะได้

$$\frac{V_r}{T} (T_2 - T_1) = \frac{V_a}{T} T_1$$

เอกสารนี้เป็นเอกสาร  $T_2$  ถึง  $T_1$  ไว้สำหรับใครที่ใช้  $\frac{V_a}{V_r} 2^N T_c$  ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ( ก ) วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบ

สไลป์คู่ ( ข ) สัญญาณออกของอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากที่เวลา  $T_1$  ฟลิปฟลอป  $N$  ตัวแรกต่างก็เป็น 0 ที่เวลา  $T_2$  สมมติว่าจำนวนนับเพิ่มขึ้น

$$T_2 - T_1 = T_c = \frac{V_a}{V}^a 2^N T_c$$

$$\text{จำนวนนับจะได้} = \frac{V_a}{V}^a 2^N$$

ในขณะที่  $V_a < V_r$  ค่าสัญญาณออกเชิงตัวเลขจะแปรตามค่า  $V_a$  แต่ถ้า  $V_a > V_r$  จะเกิน  $2^N$  จะเกิดโอเวอร์โฟลว์

เมื่อจะเริ่มการแปลงในรอบต่อไปจะต้องทำการเคลียร์ฟลิปฟลอปทุกตัวก่อน แล้วปิดสวิตช์  $S_2$  ช่วงหนึ่งเพื่อคายประจุใน  $C$  และสับ  $S_1$  กลับไปยัง  $A$  ใหม่อีกครั้งหนึ่ง

3.3 หน่วยความจำเข้าถึงแบบสุ่ม (RAM : Random Access Memory) เป็นหน่วยเก็บค่าเชิงตัวเลข มีชื่อเรียกอีกอย่างว่าหน่วยความจำแบบอ่านเขียนได้ (Read Write Memory) แต่ชื่อ RAM เป็นที่นิยมใช้โดยทั่วไป คุณสมบัติเป็นไปตามชื่อของมัน คือสามารถบันทึกค่าเชิงตัวเลขทางภาคเข้า และสามารถอ่านค่าที่บันทึกออกมาโดยมีสัญญาณที่ควบคุมคือ  $R/W$  และมีสัญญาณบังคับอีกชุดหนึ่งคือสายกำหนดตำแหน่ง (Address line) ซึ่งกำหนดตำแหน่งจากหน่วยความจำที่ใช้เก็บค่า ถ้าใช้สายกำหนดตำแหน่ง 8 เส้นจะสามารถเก็บค่าได้  $2^8 = 256$  ค่า

หน่วยความจำเข้าถึงแบบสุ่มอาจจะสร้างจากไบโพลาร์ทรานซิสเตอร์

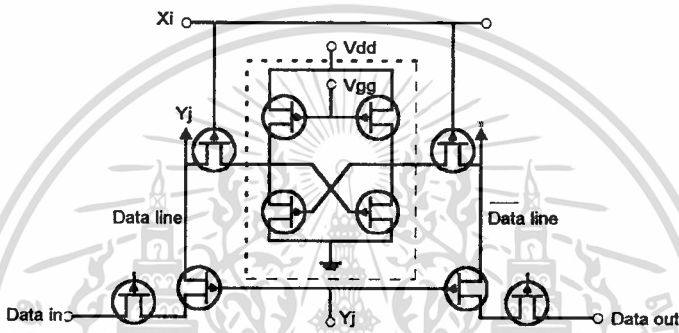
(BJT : Bipolar Junction Transistor) หรือ มอสเฟต (MOSFET : Metal Oxide Semiconductor field effect transistor) ซึ่งมักจะเรียกว่า “มอส” ซึ่งทรานซิสเตอร์แบบไบโพลาร์ มีข้อดีคือความเร็วสูง แต่มีข้อเสียที่ใช้ กำลังงาน สูงและกินเนื้อที่ของซิลิกอนในวงจรรวมมาก ส่วนแบบ มอส ความเร็วต่ำกว่า แต่ใช้กำลังงานต่ำและกินเนื้อที่ของซิลิกอนในวงจรรวมน้อยกว่าไบโพลาร์มาก

ในไบโพลาร์ทรานซิสเตอร์จะใช้วงจร ควบคุมแบบข้าม (Cross - coupled inverters) หรือ ฟลิปฟลอป ซึ่งมีได้สองสถานะคือ 1 และ 0 ส่วน มอสมี 2 แบบ คือ

3.3.1 หน่วยความจำแบบสถิตย์ (Static MOS RAM) หน่วยความจำใช้วงจรฟลิปฟลอป เช่นเดียวกับหน่วยความจำที่ใช้ไบโพลาร์ทรานซิสเตอร์ รูป 3.6 แสดงหน่วยความจำเพียงหนึ่งในจำนวนหน่วยความจำทั้งหมดซึ่งจัดเรียงให้อยู่ในรูปของ  $x-y$  matrix โดยมีวงจรถอดรหัส (Decoder) สำหรับแปลงจากเส้นกำหนดตำแหน่ง (Address lines) ให้



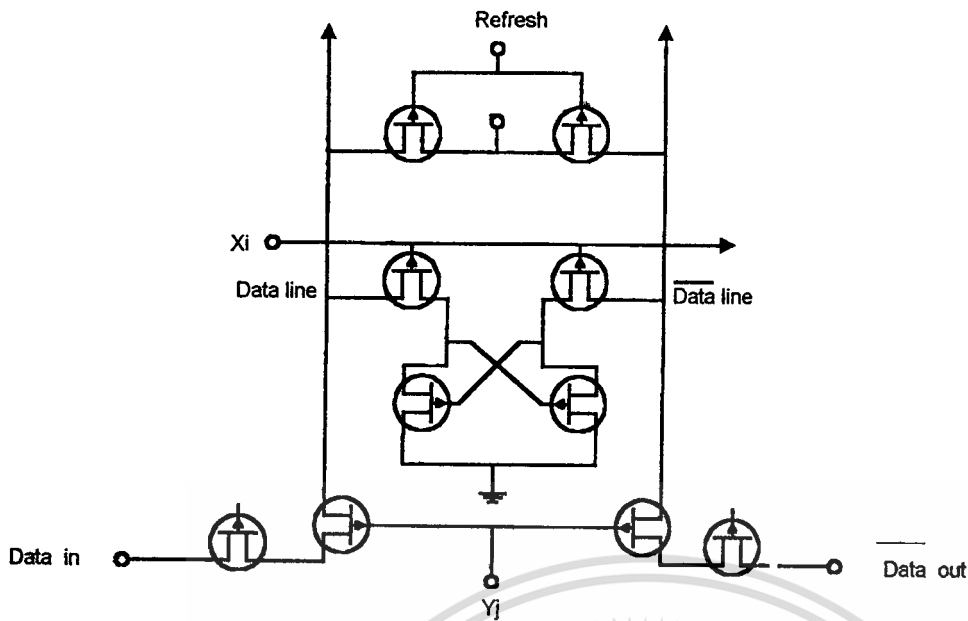
สัญญาณกลุ่ม  $x$  และกลุ่ม  $y$  เป็น 1 ได้กลุ่มละหนึ่งเส้นสำหรับที่หน่วยความจำที่ถูกเลือก  $T_5 - T_6$  จะนำกระแส ในการบันทึกค่าที่ตั้งให้  $w = 1$   $T_9$  จะนำกระแสผ่าน  $T_7$  และ  $T_5$  ไปเก็บในฟลิปฟลอป ส่วนในการอ่านค่าที่บันทึกไว้  $R = 1$   $T_{10}$  จะนำกระแส ค่าที่เก็บในฟลิปฟลอป จะส่งผ่าน  $T_6, T_8, T_{10}$  ออกมาเป็นค่าที่เป็นค่าจำนวนเต็มเต็ม (Complement) กับสัญญาณที่ได้บันทึกไว้



รูปที่ 3.6 หน่วยความจำของหน่วยความจำแบบสถิตย์ ซึ่งแสดงอยู่ภายในกรอบเส้นประ และอุปกรณ์ต่าง ๆ สำหรับเลือกการทำงาน

3.3.2 หน่วยความจำแบบพลวัต (Dynamic MOS RAM) อาศัยตัวเก็บประจุที่เกทของมอสเฟตเพื่อคงค่าแรงดันไว้ได้ชั่วขณะ เหตุที่สามารถคงค่าแรงดันไว้ได้ก็เนื่องจากความต้านทานขาเข้าของ มอสเฟตทำให้การคายประจุที่เก็บไว้เป็นไปอย่างช้า ๆ แต่เนื่องจากประจุจะคายออกไปเรื่อย ๆ จึงจำเป็นต้องมีวงจร รีเฟรช (Refresh) สำหรับคอยเพิ่มประจุจำนวนนี้เป็นระยะ ๆ รูปที่ 3.7 แสดงตัวอย่างของหน่วยความจำแบบนี้ ตัวเก็บประจุ  $C$  ที่แสดงด้วยเส้นประเพื่อแสดงว่ามีขึ้นเองโดยธรรมชาติ ไม่ได้จงใจสร้างขึ้น การบันทึกกระทำโดยผ่าน  $T_9, T_7, T_5$  เหมือนหน่วยความจำสถิตย์ ถ้าสัญญาณเข้าเป็น 1 มันจะเก็บประจุไว้ใน  $C_2$  และ  $T_2$  จะนำกระแสทำให้  $C_1$  ถูกต่อลงดิน และ  $T_1$  ไม่นำกระแส เนื่องจาก  $T_1, T_2$  ต่อเป็นฟลิปฟลอปเมื่อหมดช่วงบันทึกค่าแล้ว ค่าประจุใน  $C_2$  จะยังคงมีอยู่ต่อไปอีกระยะหนึ่ง ถ้าสัญญาณเข้าเป็น 0 ผลจะได้กลับกันคือ  $C_1$  มีประจุ แต่  $C_2$  ไม่มีประจุ การอ่านกระทำโดยผ่าน  $T_6, T_8, T_{10}$  ในทำนองเดียวกันกับ หน่วยความจำสถิตย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 หน่วยความจำแบบพลวัต (แสดงอยู่ภายในกรอบเส้นประ)

ส่วนที่ต่างจาก หน่วยความจำสถิตยก็คือมันต้องมีช่วงเวลาสำหรับทำรีเฟรชอยู่ตลอดเวลา เพื่อชดเชยประจุที่รั่วไหลจาก  $C_1$  หรือ  $C_2$  แล้วแต่ว่าข้อมูลที่เก็บมีค่าเป็น 0 หรือ 1 ในช่วงรีเฟรช ขารี่เฟรช และ  $x$  เป็น 1 ทำให้  $T_5, T_6, T_{11}, T_{12}$  นำกระแส สมมติว่าเก็บค่า 0 ไว้ ในขณะนี้ประจุอยู่ที่  $C_1$  ทำให้  $T_1$  นำกระแส และ  $T_2$  ไม่นำกระแส การที่  $T_{11}, T_5, T_1$  นำกระแสทำให้  $C_2$  ถูกประจุให้เต็มที่ได้  $\frac{1}{3} V_{DD}$  นอกจากนี้ใน  $C_1$  เดิมจะมีประจุเหลืออยู่บ้าง ดังนั้นเมื่อหมดช่วงรีเฟรช ซึ่งเป็นช่วงเวลาสั้น ๆ  $C_1$  จะมีประจุอยู่มากกว่า  $C_2$  เป็นผลให้  $T_1$  นำกระแส และ  $T_2$  ไม่นำกระแส ประจุใน  $C_2$  จะคายออกโดยผ่าน  $T_1$  ซึ่งโดยสรุปแล้ว  $C_1$  จะได้ประจุเพิ่มขึ้นหลังช่วงเวลารี่เฟรช

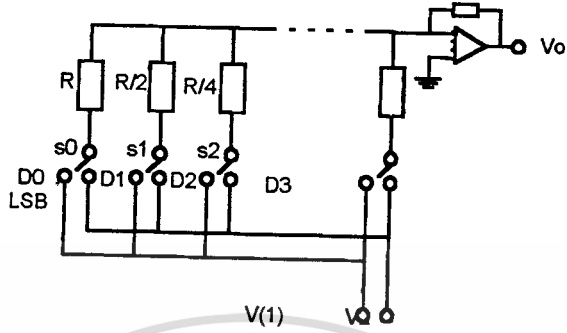
### 3.4 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน ( DAC : Digital to Analog Converter )

เป็นวงจรที่รับสัญญาณเชิงตัวเลขแล้วแปลงกลับเป็นค่าเชิงอุปมาน ซึ่งโดยหลักการแล้วจะสร้างได้ง่ายกว่าเมื่อเทียบกับวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานมีหลายแบบ ซึ่งในที่นี้จะกล่าวถึงแบบที่สำคัญ ๆ อย่างย่อ ดังนี้

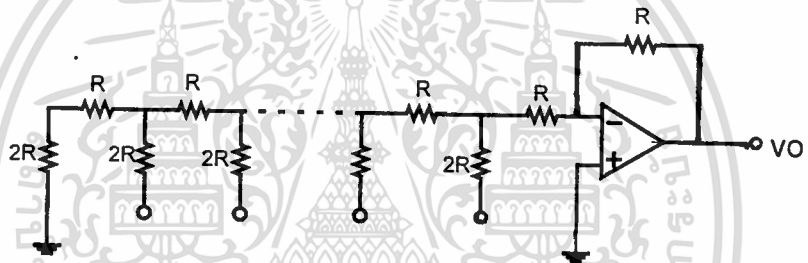
The weighted - register DAC ใช้หลักการของวงจรรวมสัญญาณโดยมีอัตราขยายต่างกันสำหรับสัญญาณเข้าต่างกัน ตัวอย่างของวงจรมีแสดงในรูป 3.8 สัญญาณเชิงตัวเลขที่เป็น 1 จะบังคับสวิทช์ให้ส่งแรงดันอ้างอิงเข้าไปในวงจรบวกสัญญาณซึ่งสร้างจากออฟแอมป์ อัตราขยายของวงจรวกสัญญาณจะจัดโดยค่าตัวต้านทานเข้าสำหรับแต่ละสัญญาณให้อัตราขยายของบิตที่ 1 เป็นสองเท่าของบิตที่ 0 อัตราการขยายของบิตที่ 2 เป็นสองเท่าของบิตที่ 1 เช่นนี้ไม่เรื่อย ๆ ตามน้ำหนักของบิตในระบบ เลขฐานสอง

The R - 2R Ladder DAC เป็น weighted - register DAC แบบหนึ่งซึ่งใช้ค่าความต้านทานอยู่สองค่า คือ R และ 2R ตามรูปที่ 3.8 ซึ่งสามารถตรวจสอบได้ว่าอัตราขยายจะเพิ่มเป็นสองสำหรับสัญญาณเชิงตัวเลขที่มีนัยสำคัญเพิ่มขึ้น 1 บิต

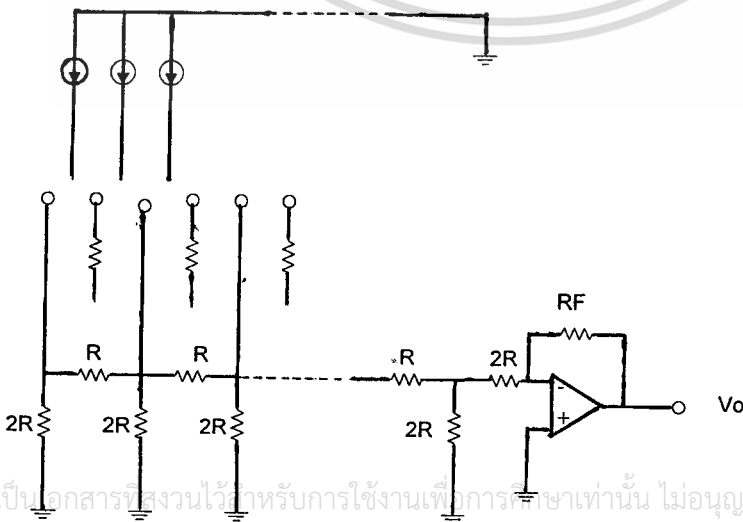
The current - driven DAC จะเป็นแบบใดในสองแบบข้างต้นก็ได้ แต่ใช้กระแสอ้างอิงแทนแรงดันอ้างอิง ทำให้ความเร็วสูงซึ่งวงจรมีแสดงในรูป 3.9 ซึ่งมีการใช้ Inverted - ladder DAC เป็นการปรับปรุงเพื่อลดผลของการหน่วงเวลาในวงจร R - 2R วงจรมีแสดงในรูป 3.10



รูป 3.8 ตัวอย่างวงจร Weighted - resistor DAC ขนาด n

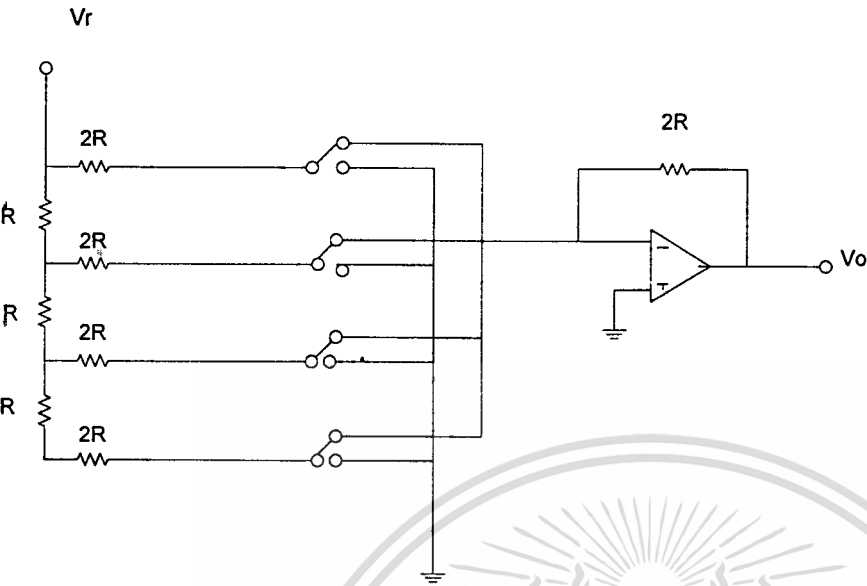


รูป 3.9 วงจร R - 2R Ladder DAC ขนาด n บิต (สัญญาณเชิงตัวเลขจะใช้บังคับสวิตช์เพื่อส่งแรงดันอ้างอิง)



เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.10 วงจร Current - driven R - 2R ladder DAC



รูป 3.11 วงจร Inverted - ladder DAC

3.5 วงจรกรองผ่านความถี่ต่ำ (LPF : Low Pass Filter) เป็นวงจรกรองสัญญาณความถี่สูงออกและยอมให้สัญญาณความถี่ต่ำผ่านไปได้ แบ่งเป็น 2 แบบใหญ่ ๆ คือ พาสซีฟ และ แบบแอกทีฟ

แบบพาสซีฟ หมายถึงวงจรที่ใช้เฉพาะอุปกรณ์ที่เป็น พาสซีฟ ได้แก่ตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำ

แบบแอกทีฟเป็นแบบที่ใช้วงจรขยายประกอบด้วยตัวต้านทานและตัวเก็บประจุสำหรับงานที่ความถี่ไม่สูงมากและต้องการวงจรกรองที่มีอันดับ (Order) สูง มักจะสร้างแบบแอกทีฟ ข้อดีอีกประการหนึ่งของวงจรกรองแบบแอกทีฟ ก็คือสามารถสร้างวงจรกรองให้มีอัตราขยายได้ และสามารถสร้างให้อิมพีแดนซ์ทางออกมีค่าต่ำทำให้เมื่อต่อโหลดแล้วไม่ทำให้ลักษณะสมบัติของวงจรกรองผิดไป สำหรับอันดับของตัวกรองนั้นจะของอธิบายเพียง 2 อันดับ ดังนี้

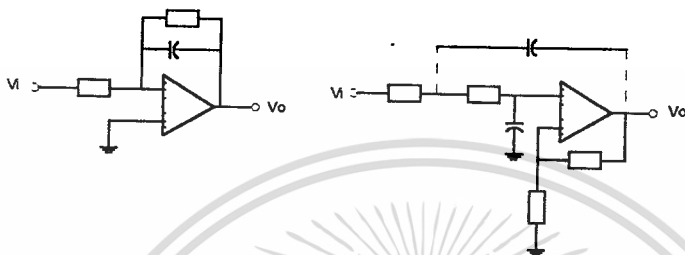
3.5.1 วงจรกรองอันดับหนึ่ง เป็นวงจรกรองที่ฟังก์ชันถ่ายโอน

(Transfer function) มีเพียง 1 โพล (pole) ตามสมการ

$$H(s) = \frac{H_0 W_0}{s + W_0}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรูป 3.1 แสดงตัวอย่างของวงจรรองอันดับหนึ่ง วงจรรองแบบนี้มักใช้ในกรณีอันดับรวมของวงจรรองเป็นเลขคี่ เช่น ถ้าต้องการวงจรรองอันดับ 3 จะสร้างโดยใช้วงจรรองอันดับหนึ่งต่อเรียงกันกับวงจรรองอันดับสอง เป็นต้น



รูปที่ 3.12 วงจรรองผ่านความถี่ต่ำ (ก) อันดับหนึ่ง (ข) อันดับสอง

3.5.2 วงจรรองอันดับสอง เป็นวงจรรองที่ฟังก์ชันถ่ายโอนมีสอง pole ตามสมการ

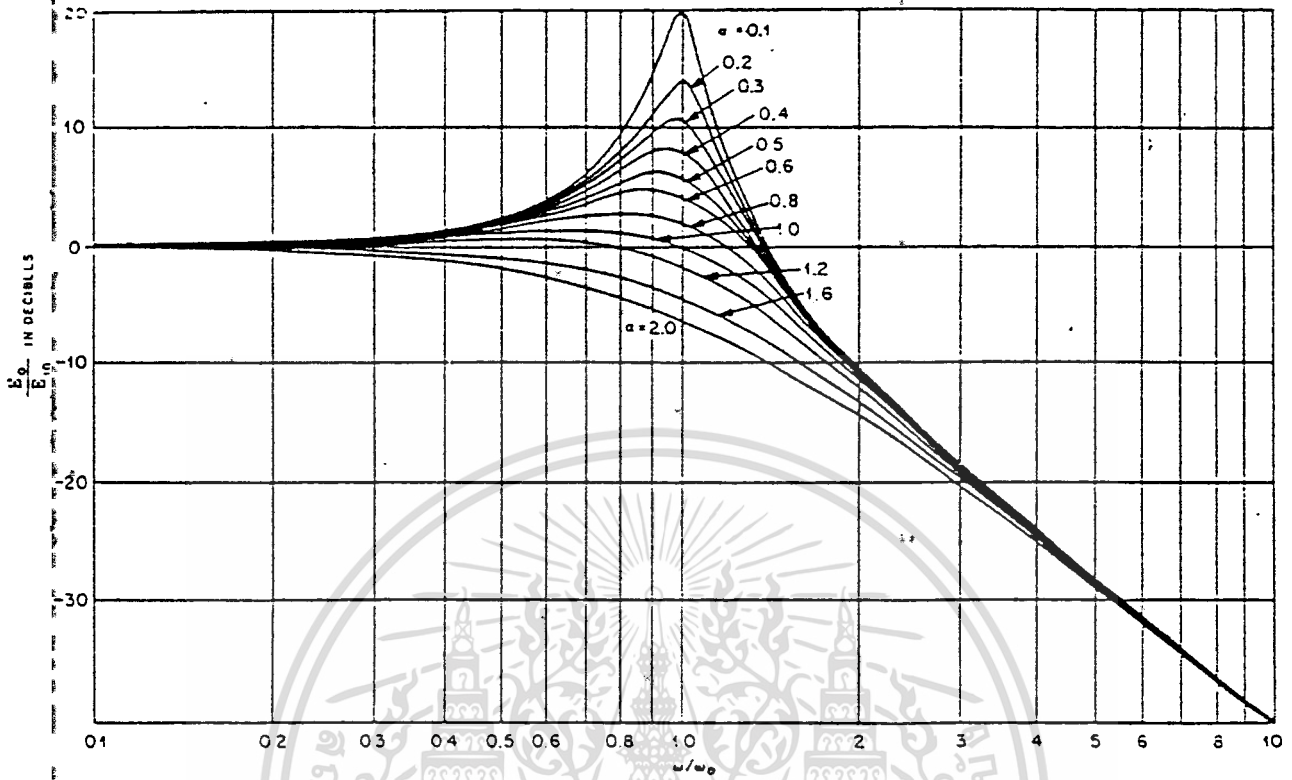
$$H(s) = \frac{H_0 W_0^2}{S^2 + W_0 S + W_0^2}$$

วงจรรูปหนึ่งที่นิยมใช้ตามที่แสดงในรูป 3.13 ค่า  $\alpha$  เป็นตัวกำหนดผลตอบสนองความถี่ของวงจรรอง โดยที่ ค่า  $\alpha = 1.414$  เป็นค่าที่ได้ผลตอบสนองแบบ Maximally flat ถ้าค่า  $\alpha$  เล็กกว่านี้จะมี Overshoot คือผลตอบสนองจะมีบางส่วนเกินเส้น 0 db

การนำเอาวงจรรองทั้งสองแบบมาต่อเรียงกัน เพื่อให้ได้ผลตอบสนองแบบต่าง ๆ มีได้หลายวิธี ที่นิยมกันมากคือการจัดแบบบัตเตอร์เวิร์ทอันดับที่  $n$  (  $n$  - th order Butter worth )

ซึ่งความราบเรียบสูงสุด ( Maximally flat ) สำหรับวงจรรองอันดับสอง ที่  $\alpha = 1.414$  เป็นเพียงกรณี  $n = 2$  และ วงจรรองความถี่ต่ำแบบบัตเตอร์เวิร์ทนี้จะมีขนาดของผลตอบสนองความถี่เท่ากับ

$$|H(j\omega)| = \frac{H_0}{\sqrt{1 + \left(\frac{\omega}{W_0}\right)^{2n}}}$$

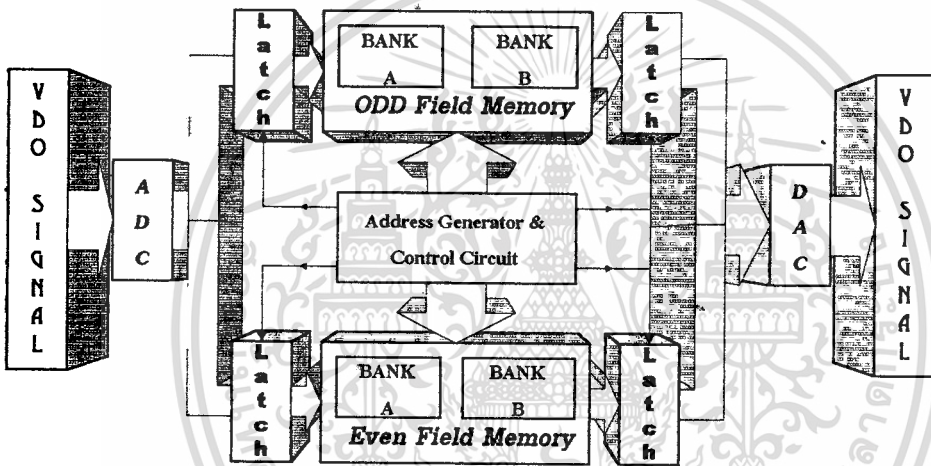


รูป 3.13 ขนาดของผลตอบสนองความถี่ของวงจรรองผ่านความถี่  
ต่ำอันดับสอง สำหรับ  $\alpha \leq 2$

## บทที่ 4

### วงจรจัดเก็บข้อมูล

สำหรับระบบที่ออกแบบและได้ทดลองสร้างนี้ สามารถแบ่งได้เป็น 3 ส่วนใหญ่ ๆ คือ ส่วนแปลงสัญญาณข้อมูลหน่วยความจำและส่วนสร้างสัญญาณควบคุมระบบ ซึ่งมีแผนผังการทำงานดังรูป 4.1 และมีรายละเอียดดังนี้



รูปที่ 4.1 แผนผังแสดงการทำงานของระบบ

#### 4.1 วงจรส่วนแปลงสัญญาณข้อมูล

เนื่องจากเป้าหมายหลักของระบบคือการจัดเก็บข้อมูลเชิงอุปมานในรูปแบบข้อมูลเชิงตัวเลข ระบบการแปลงสัญญาณข้อมูลจึงเข้ามามีบทบาทสำคัญ เพื่อแปลงสัญญาณเชิงอุปมานให้เป็นสัญญาณเชิงตัวเลข และเพื่อให้สามารถตรวจสอบความถูกต้องของการจัดเก็บได้ง่ายจึงต้องมีการแปลงสัญญาณเชิงตัวเลขกลับเป็นข้อมูลเชิงอุปมาน เพื่อตรวจสอบคุณภาพของข้อมูลที่จัดเก็บ ส่วนการแปลงสัญญาณนี้อาจแบ่งย่อยได้เป็น 2 ส่วน คือ

4.1.1 วงจรแปลงข้อมูลเชิงอุปมานเป็นสัญญาณเชิงเลข มีระเบียบวิธีการในการแปลงข้อมูลต่าง ๆ มากมาย ซึ่งมีข้อดี - ข้อเสียแตกต่างกันไป แล้วแต่งานที่นำไปใช้ ในที่นี้พิจารณาพบ

ว่า วิธีการเข้ารหัสแบบ พัลส์โคดมอดูเลชัน (PCM : Pulse Code Modulation) มีความเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่บนสื่อออนไลน์  
มากที่สุดในการใช้งาน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาต่อไปถึงเรื่องคุณสมบัติของสัญญาณ เพื่อเลือกวงจรที่เหมาะสม ซึ่งสำหรับสัญญาณวิดีโอจะมีความกว้างแถบในช่วง 0 - 5 เมกกะเฮิร์ตซ์ และตามทฤษฎีการสุ่มนั้นความถี่ที่ใช้ในการสุ่มข้อมูลต้องมากกว่าหรือเท่ากับสองเท่าของความถี่สูงสุดของสัญญาณ ซึ่งถ้าความถี่ในการสุ่มสูง การแปลงสัญญาณกลับก็จะยิ่งผิดพลาดน้อยลง ในที่นี้จึงเลือกความถี่ในการสุ่มตัวอย่างข้อมูลเป็น 3 เท่า นั่นคือ 15 เมกกะเฮิร์ตซ์ และทำการเก็บข้อมูลแบบ 8 บิต จึงเลือกใช้วงจรรวมเบอร์ CA3318 ของบริษัท Harris ซึ่งเป็นตัวแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข แบบแฟลช (Flash) ที่สามารถแปลงข้อมูลด้วยความเร็วสูงสุด จึงกำหนดให้ CA3318 ทำงานอยู่ในโหมด 1 โดยการต่อขาเฟส (phase) ลงดิน (ground) ซึ่ง CA3318 จะทำการแปลงข้อมูลให้แล้วเสร็จภายในครึ่งสัญญาณนาฬิกา โครงสร้างของวงจรแสดงดังรูป 4.2

ถึงลำดับอย่างหนึ่งในการแปลงข้อมูลให้ได้อย่างถูกต้อง คือการกำหนดระดับแรงดันอ้างอิงสำหรับการแปลงค่าข้อมูลให้คงที่มากที่สุด สำหรับวงจรสร้างระดับแรงดันอ้างอิงให้กับตัว CA3318 นี้ เลือกใช้วงจรสร้างระดับแรงดันอ้างอิงเบอร์ TL431 จัดเป็นวงจรสร้างระดับแรงดันอ้างอิงที่ปรับค่าได้ด้วยตัวต้านทานปรับค่าได้ที่มีความละเอียดสูง ค่า 20 กิโลโอห์ม ซึ่งจะหมุนได้ 25 รอบ เพื่อปรับระดับแรงดันอ้างอิงให้มีค่าเท่ากับ 2.56 โวลต์ แล้วทำการต่อเข้ากับออปแอมป์เบอร์ LF351 ซึ่งทำหน้าที่เป็นวงจรบัฟเฟอร์เพื่อป้องกันการดึงกระแสจาก CA3318 จากนั้นแรงดันอ้างอิงนี้จะถูกต่อผ่านวงจรโครงข่ายแบ่งระดับแรงดัน ซึ่งประกอบขึ้นจากตัวต้านทาน 100 โอห์ม ค่าผิดพลาด  $\pm 1\%$  เพื่อแบ่งแรงดันให้มีค่าเป็น 0.25, 0.5, 0.75 และ 1 เท่าของแรงดันอ้างอิง เพื่อจ่ายให้กับ CA3318 ต่อไป

สำหรับข้อมูลเชิงตัวเลขที่ได้จากการแปลงของ CA3318 จะส่งต่อไปยังวงจรค้ำค่าข้อมูล 2 ชุด เพื่อติดต่อกับหน่วยความจำ ต่อไป

4.1.2 วงจรแปลงข้อมูลเชิงเลขเป็นข้อมูลเชิงอุปมาน เพื่อที่จะตรวจสอบข้อมูลเชิงตัวเลขที่ถูกจัดเก็บไว้ วิธีที่ง่ายที่สุดคือทำการแปลงข้อมูลเชิงเลขนี้ให้กลับเป็นข้อมูลเชิงอุปมานซึ่งสามารถแสดงผลได้ง่าย ซึ่งถ้าข้อมูลที่จัดเก็บถูกต้องก็จะได้สัญญาณข้อมูลที่แปลงกลับมาใกล้เคียงกับสัญญาณข้อมูลเดิม ในที่นี้จึงดึงข้อมูลที่จัดเก็บออกจากหน่วยความจำและทำการต่อผ่านวงจรค้ำค่าข้อมูลก่อนที่จะนำสัญญาณเข้าวงจรรวมเบอร์ CA3338 ของบริษัท Harris เช่นกัน ซึ่งเป็นตัวแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานแบบ R - 2R ความถี่สูง และได้ถูกออกแบบมาให้ใช้งานคู่กับ CA3318 อยู่แล้ว ซึ่งใช้เวลาในการแปลงข้อมูล (Settling time) ในการแปลงสัญญาณข้อมูลเพียง 20 นาโนวินาที ซึ่งมีโครงสร้างวงจรแสดงดังรูป 4.3

สิ่งที่สำคัญในการแปลงสัญญาณข้อมูลก็คือระดับแรงดันอ้างอิงในการแปลงค่าข้อมูล เช่นเดียวกับวงจรแปลงสัญญาณเชิงอนุพันธ์เป็นสัญญาณเชิงตัวเลข ซึ่งใช้วงจรสร้างระดับแรงดันอ้างอิงเบอร์ TL431 เพื่อสร้างระดับแรงดันอ้างอิงเช่นเดียวกัน

#### 4.2 วงจรหน่วยความจำ

สำหรับส่วนนี้สิ่งที่สำคัญที่สุดที่ต้องพิจารณาคือ ขนาดหน่วยความจำที่เหมาะสมกับสัญญาณกับสัญญาณข้อมูลที่ต้องการจัดเก็บ นั่นก็คือข้อมูลที่ได้จากการแปลงสัญญาณวิดีโอเป็นข้อมูลเชิงเลขแล้วว่ามีจำนวนข้อมูลเท่าใด

สัญญาณวิดีโอมีหลายระบบด้วยกัน ในที่นี้จะอ้างอิงถึงระบบ PAL ( Phase Alternating Line ) เป็นหลัก เนื่องจากเป็นระบบที่ได้รับความนิยมในประเทศไทย ซึ่งในระบบ PAL นั้น ใน 1 ภาพจะมีการกวาดสัญญาณ 625 เส้นในแนวขวาง ซึ่งแบ่งเป็น 2 ส่วนคือ สนามคี่ ( Odd field ) และสนามคู่ ( Even field ) และแต่ละเส้นใช้เวลาในการกวาดประมาณ 63.5 ไมโครวินาที และความถี่ในการสแกนคือ 15 เมกกะเฮิร์ตซ ดังนั้นใน 1 ภาพจะมีการสแกนข้อมูลเป็น  $951 \times 625 = 594,375$  ไบต์ ดังนั้นจึงเลือกใช้หน่วยความจำความเร็วสูงเบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบต์ ดังนั้นจึงต้องใช้หน่วยความจำเท่ากับ  $594,375 / 128,000 = 4.64$  ดังนั้นต้องใช้ HM628128 จำนวน 5 ตัว

เนื่องจากเวลาในการเปลี่ยนค่าข้อมูลแต่ละครั้งมีค่าประมาณ 66.7 นาโนวินาที จะเห็นได้ว่าเป็นช่วงเวลาที่ยาวมาก จึงต้องใช้หน่วยความจำความเร็วสูง และจากการพิจารณาพบว่าหน่วยความจำแรมแบบพลวัต ( Dynamic Ram ) มีความยุ่งยากในการใช้งาน ถึงแม้ว่าจะมีราคาต่อขนาดความจุมากกว่าก็ตาม เนื่องจากต้องมีขั้นตอนในการรีเฟรช ( Refresh ) ข้อมูล ซึ่งต้องใช้เวลาเท่ากับการอ่านเขียนหนึ่งครั้ง แม้ว่าในหน่วยความจำแรมแบบพลวัตรุ่นใหม่จะมีการรีเฟรชแบบซ่อน ( Hidden ) ได้ก็ตาม แต่ก็ยังต้องเสียเวลาไปอีกประมาณครึ่งหนึ่งของเวลาในการอ่านเขียนปกติ ดังนั้นจึงเลือกใช้หน่วยความจำแรมแบบสถิตย์แทน

ในปัจจุบันแม้ว่าจะมีการผลิตหน่วยความจำแบบสถิตย์ความเร็วสูงมาก ๆ ออกมาแล้ว แต่ก็ไม่สามารถหาซื้อได้ในประเทศ อีกทั้งยังมีราคาสูงมากอีกด้วย หน่วยความจำแบบสถิตย์ความเร็วสูงที่พอจะหาได้และราคาไม่แพงนักคือ เบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบต์ เป็นหน่วยความจำหลักของระบบ แต่จากข้อมูลเฉพาะของหน่วยความจำ HM628128 นั้นจะต้องใช้เวลาในการบันทึกข้อมูลเป็น 70 นาโนวินาที ซึ่งจะช้ากว่าการเปลี่ยนแปลงข้อมูล

ของระบบ เพื่อแก้ไขข้อจำกัดนี้จึงได้ออกแบบส่วนของหน่วยความจำให้ทำงานแบบสลับพื้นที่ การจัดเก็บ ( Bank switching ) โดยจะต้องมีวงจรค่าสัญญาณสำคัญต่าง ๆ ที่จำเป็นในการ อ่านเขียนไว้อย่างน้อยก็จนกว่าจะครบเวลาทำงานของหน่วยความจำ แล้วจึงเปลี่ยนค่า และในขณะที่ค่าสัญญาณของชุดแรกอยู่นั้น ระบบจะย้ายไปติดต่อกับกลุ่มหน่วยความจำอีกชุดหนึ่ง ทำให้เพิ่มเวลาในการอ่านเขียนหน่วยความจำได้เป็น 2 เท่าของช่วงเวลาเดิม สัญญาณที่สำคัญได้แก่ สัญญาณตำแหน่งหน่วยความจำ และสัญญาณข้อมูลที่ต้องการอ่านเขียน ซึ่งสัญญาณเหล่านี้ จะต่อเข้ากับวงจรรวมเบอร์ 74F374 ซึ่งทำหน้าที่เป็นวงจรค่าตำแหน่ง 2 ชุด โดยชุดที่หนึ่งจะทำงานเมื่อเป็นตำแหน่งหน่วยความจำที่ 1 และอีกชุดก็จะถูกติดต่อกับเมื่อเป็นตำแหน่งหน่วยความจำที่ 2 โดยลักษณะของการจัดวงจรหน่วยความจำทั้ง 2 ชุดนี้จะเหมือนกันทั้งหมด แตกต่างเฉพาะ จังหวะของสัญญาณอ่าน - เขียน หน่วยความจำเท่านั้น

ลักษณะการจัดวงจรของแต่ละชุดประกอบด้วยขาคำหนดตำแหน่งหน่วยความจำที่ 0 ถึง 16 ถูกต่อเข้ากับ HM628128 ทุกตัว และขาคำหนดตำแหน่งหน่วยความจำที่ 17 ถึง 19 จะถูกต่อเข้ากับ 74F138 เพื่อเลือกว่าจะติดต่อกับ HM628128 ตัวใด ให้ทำงานรวมกันได้กลายเป็นหน่วย ความจำชุดเดียวขนาด  $5 \times 128 = 640$  กิโลไบต์ โครงสร้างของวงจรแสดงดังรูป 4.4

และเนื่องจากสัญญาณวิดีโอแบ่งได้เป็น 2 ส่วน คือ ส่วนที่บรรจุเฉพาะสัญญาณภาพเส้น คู่ ( Odd field ) และส่วนที่บรรจุสัญญาณภาพเส้นคู่ ( Even field ) จึงต้องมีหน่วยความจำดังกล่าว ข้างต้นจำนวน 2 ชุด เพื่อสลับกันเขียน - อ่าน ข้อมูล 2 ชุดนี้ด้วย ซึ่งวงจรกำเนิดสัญญาณนี้จะมี รีเซตตัวเองทุกครั้งที่มีการเปลี่ยนแปลงระหว่างสนามคู่กับสนามคี่ โดยใช้วงจรรวมเบอร์ LM1881 เพื่อสร้างสัญญาณซิงค์แนวตั้ง ( Vertical Sync ) แล้วต่อกับขา รีเซต 74F163 ก็จะทำให้ วงจรสร้างสัญญาณนาฬิกาและค่าสัญญาณตำแหน่งหน่วยความจำ เริ่มต้นวิ่งใหม่ทุกครั้งที่มีการ เปลี่ยนระหว่างสนามคู่และสนามคี่

### 4.3 วงจรสร้างสัญญาณควบคุม

วงจรส่วนนี้จะประกอบด้วยวงจรสร้างสัญญาณนาฬิกา , วงจรสร้างค่าตำแหน่งหน่วย ความจำและวงจรสร้างสัญญาณควบคุมการอ่าน - เขียนข้อมูล

4.3.1 วงจรกำเนิดสัญญาณนาฬิกาและสร้างค่าตำแหน่งหน่วยความจำ เพื่อสร้างสัญญาณ นาฬิกาของระบบและค่าตำแหน่งของหน่วยความจำที่รวดเร็วเพียงพอ จึงใช้ชุดกำเนิดสัญญาณ

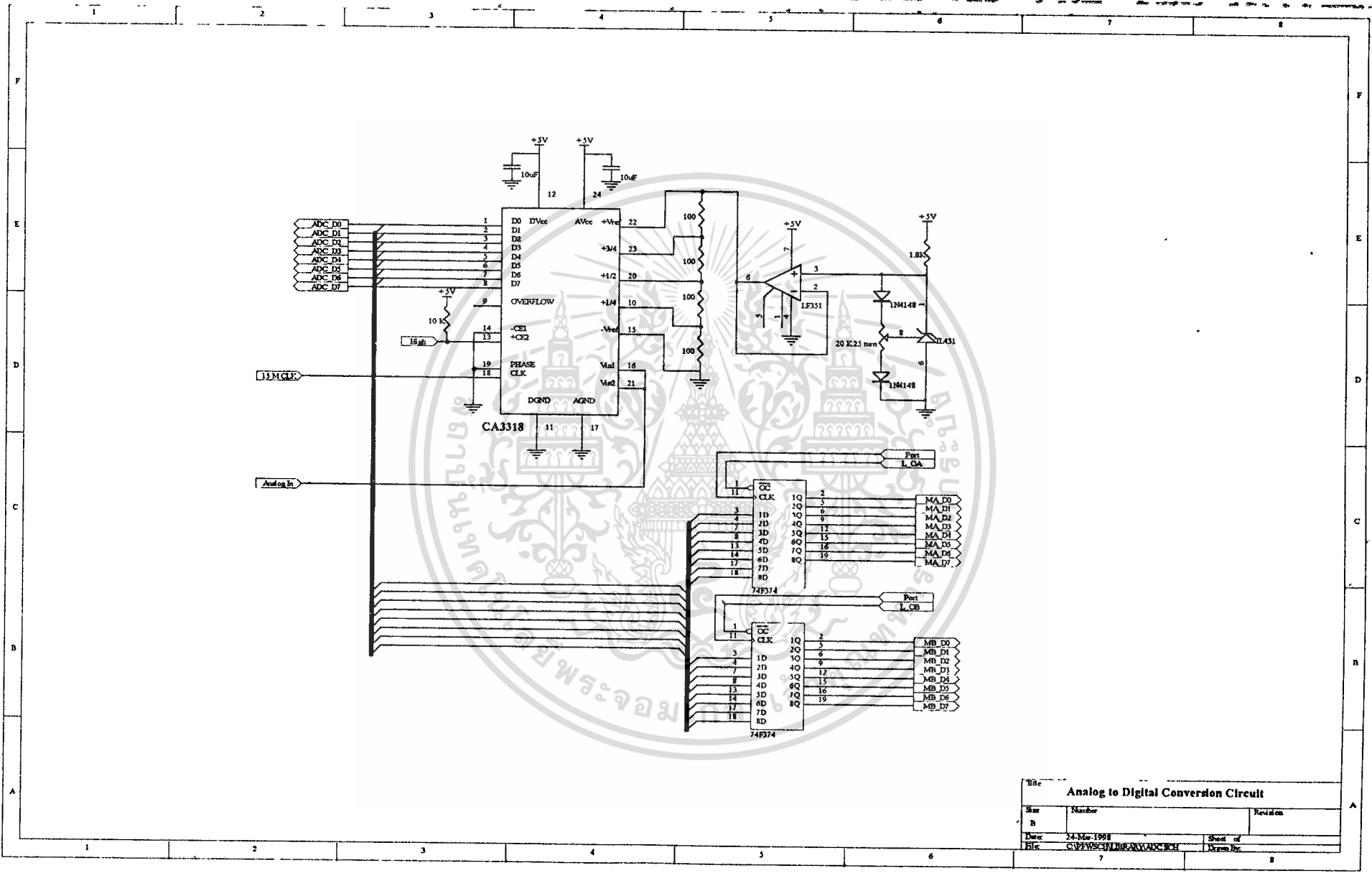
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นาฬิกาความถี่ 30 เมกะเฮิรซ์ ผ่านเข้า 74F04 เพื่อช่วยขยายกระแสแล้วผ่าน 74F163 เพื่อสร้างสัญญาณนาฬิกาของระบบและสัญญาณควบคุมบางส่วน จากนั้นสัญญาณนาฬิกาจะถูกต่อเข้า 74F163 จำนวน 5 ตัว เพื่อสร้างค่าตำแหน่งหน่วยความจำขนาด 20 บิต และต่อไปแปลงสัญญาณข้อมูลด้วย ซึ่งวงจรกำเนิดสัญญาณนี้จะรีเซ็ตตัวเองทุกครั้งที่มีการเปลี่ยนระหว่างสนามคี่ โดยใช้วงจรรวมเบอร์ LM1881 เพื่อสร้างสัญญาณซิงค์แนวตั้ง ( Vertical Syne ) แล้วต่อกับขารีเซ็ต 74F163 ก็จะทำให้วงจรสร้างสัญญาณนาฬิกาและค่าสัญญาณตำแหน่งหน่วยความจำ เริ่มต้นวงใหม่ทุกครั้งที่มีการเปลี่ยนระหว่างสนามคู่และสนามคี่

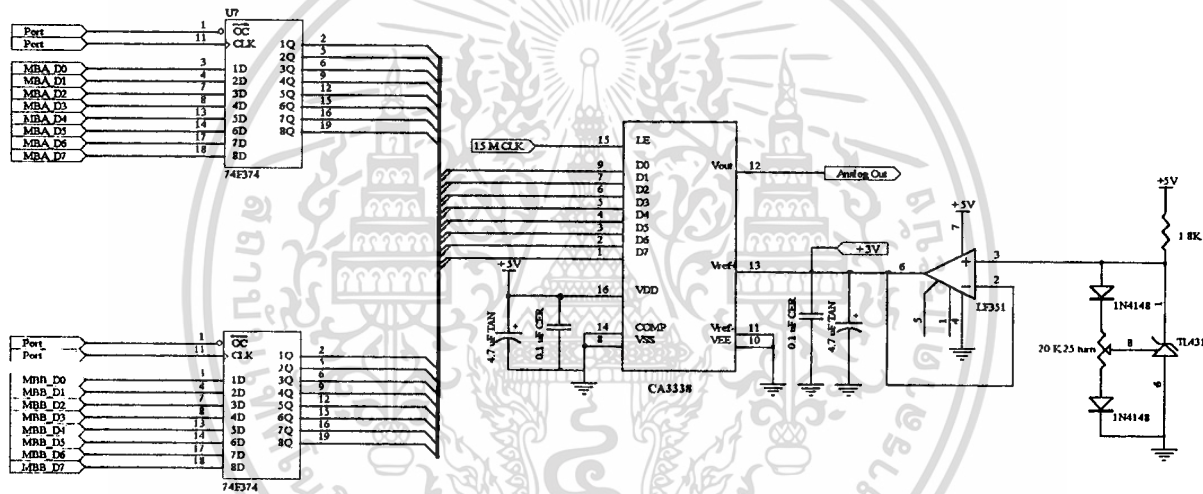
4.3.2 วงจรสร้างสัญญาณควบคุมการเขียน - อ่านข้อมูล เนื่องจากใช้หน่วยความจำหลายชุดต่อร่วมกัน จึงจำเป็นต้องมีสัญญาณควบคุมที่ถูกต้อง แม่นยำและรวดเร็วเพียงพอที่จะตอบสนองต่อระบบ ซึ่งจะควบคุมให้การเขียน - อ่านข้อมูลเป็นไปอย่างเรียบร้อย และถูกต้อง โครงสร้างของวงจรสร้างสัญญาณควบคุมนี้แสดงดังรูป 4.5





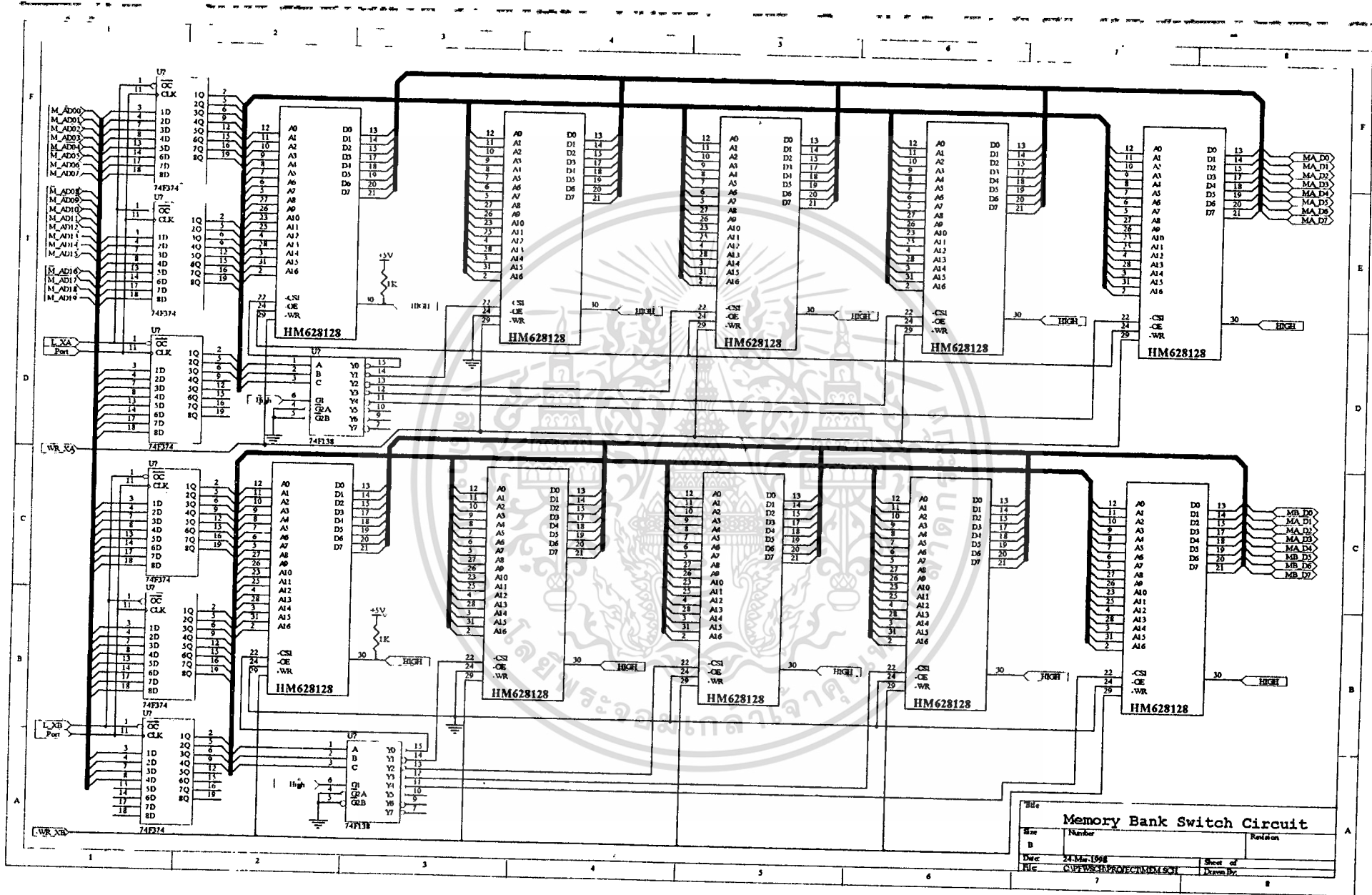
รูปที่ 4.2 วงจรแปลงข้อมูลเชิงอุปมานเป็นข้อมูลเชิงเลข

Title		
Analog to Digital Conversion Circuit		
Size	Number	Revision
B		
Date:	24-Mar-1998	Sheet of
File:	C:\PFW\3\1\BANK\AN\3318	Drawn By:



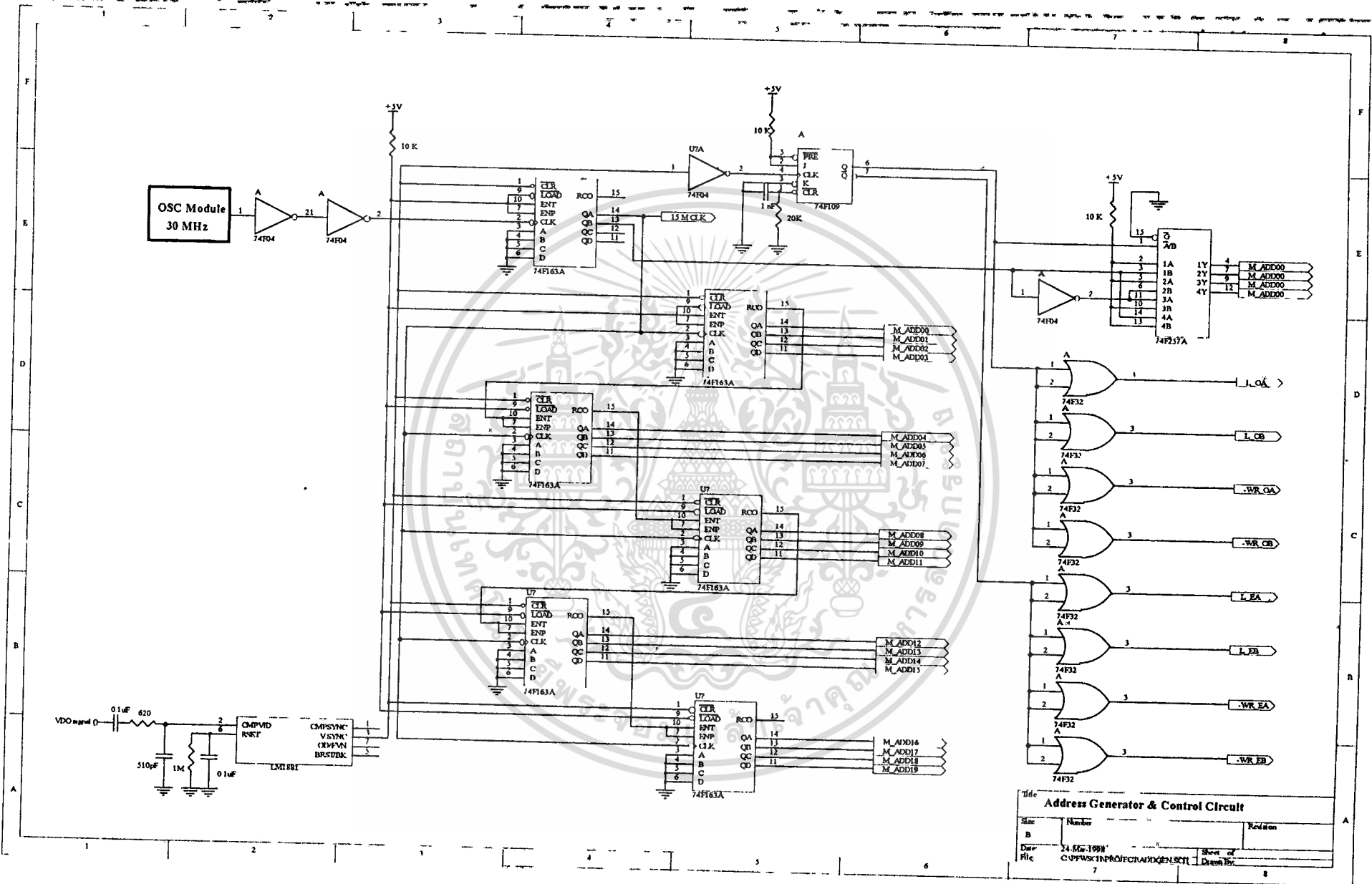
Title		
Digital to Analog Conversion Circuit		
Size	Number	Revision
D		
Date	24-Mar-1998	Sheet of
File	C:\VF\83\PROJ\CTD\WASCH	Drawn by

รูปที่ 4.3 วงจรแปลงข้อมูลเชิงตัวเลขเป็นข้อมูลเชิงอุปมาน



Title		
<b>Memory Bank Switch Circuit</b>		
Size	Number	Revision
B		
Date	24-Mar-1998	
File	C:\PFW\HW\PROJ\HW\DESIGN	Sheet of
	7	Drawn by

รูปที่ 4.4 วงจรชุดหน่วยความจำ



รูปที่ 4.5 วงจรกำเนิดสัญญาณนาฬิกา, สัญญาณกำหนดตำแหน่งข้อมูล และ สัญญาณควบคุมการอ่าน-เขียนหน่วยความจำ

## บทที่ 5

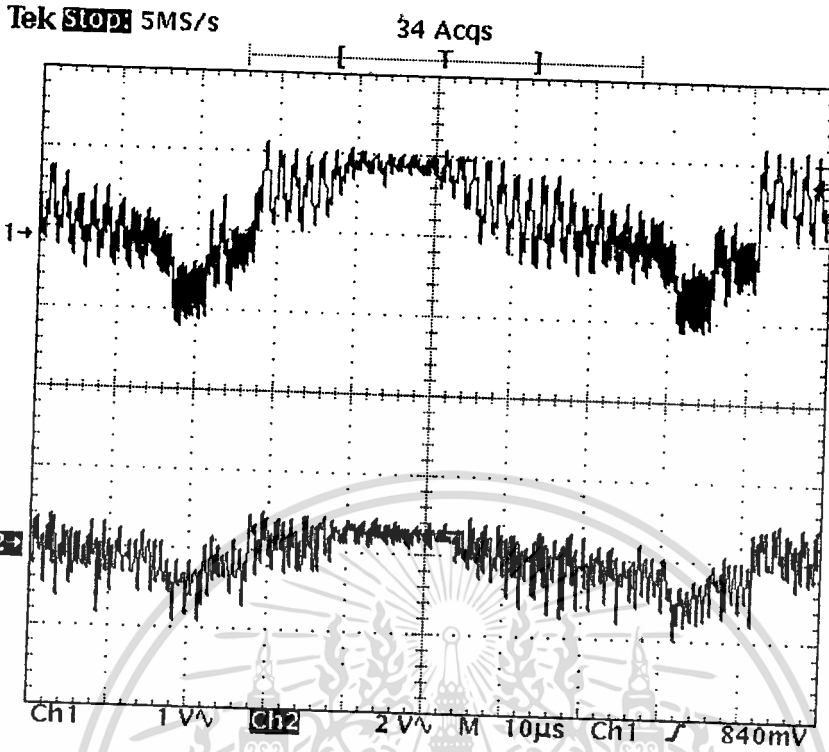
### ผลการทดลอง

สำหรับขั้นตอนการทดลองของโครงการนี้ประกอบด้วย 2 วิธีด้วยกันคือ

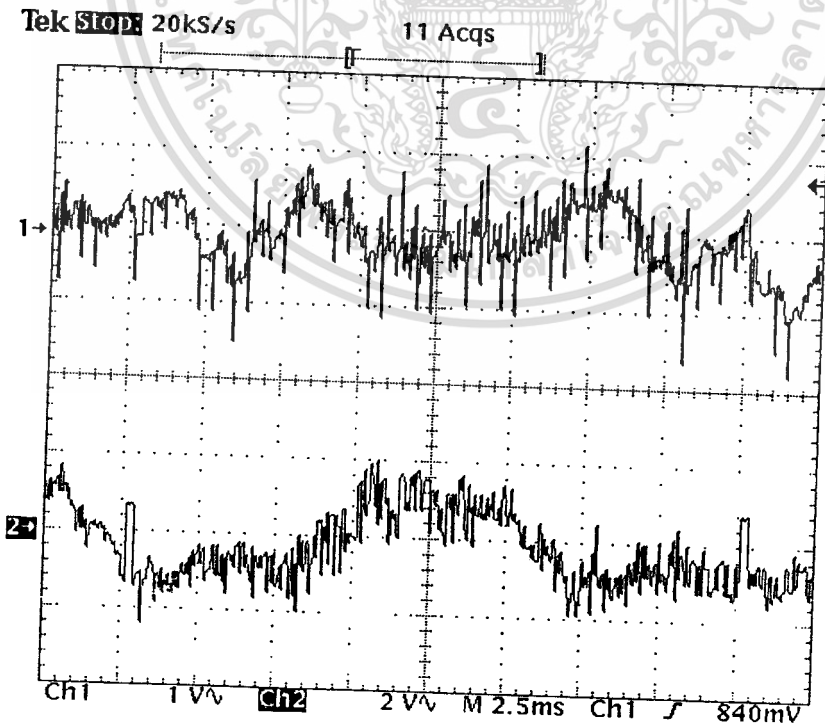
- ทำการทดสอบโดยการวัดลักษณะสัญญาณและเปรียบเทียบระหว่างสัญญาณเข้ากับสัญญาณออกโดยใช้สโคปเรจิสโคป บันทึกลักษณะสัญญาณภาพ
- การทดสอบโดยต่อสัญญาณเข้าสู่โทรทัศน์แล้วใช้กล้องดิจิตอลบันทึกภาพเปรียบเทียบ

### ผลการทดลอง

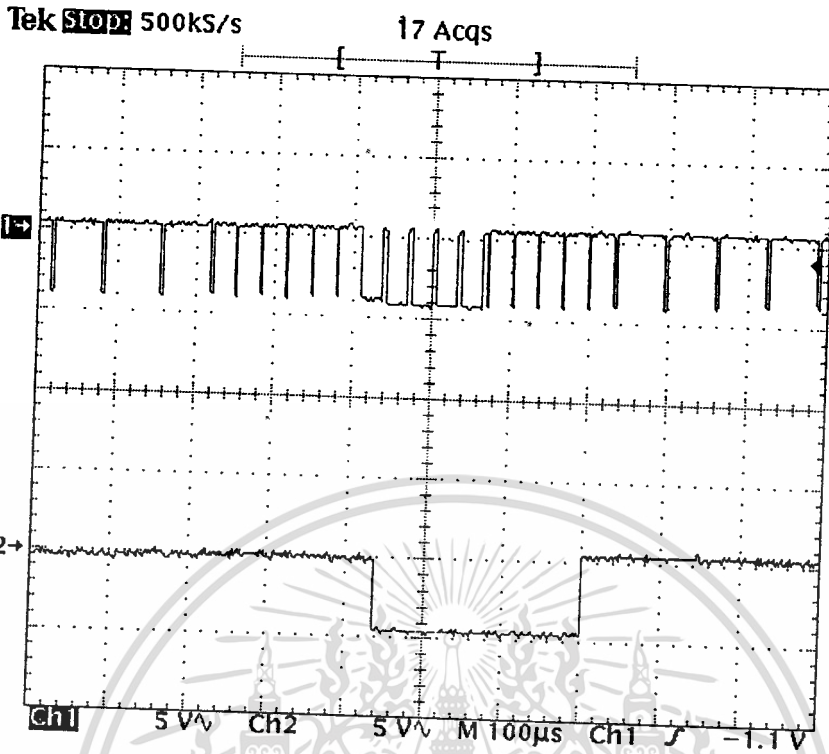
เมื่อทำการต่อสัญญาณจากวิดีโอเข้าสู่ระบบ แล้วใช้สโคปทำการวัดสัญญาณเพื่อคุณภาพของระบบต่อสัญญาณ พบว่าเป็นที่น่าพอใจ สัญญาณที่สำคัญได้แก่ สัญญาณซิงค์ต่าง ๆ มีความชัดเจนพอสมควร ทำให้คุณภาพในการกวาดสัญญาณเป็นไปด้วยดี คือไม่เกิดภาพลំหรือส่วนหัวสัญญาณข้อมูลจริง ๆ นั้นก็มีลักษณะใกล้เคียงกับสัญญาณเดิม แต่ก็ยังมีสัญญาณรบกวนปนมาทำให้สัญญาณบางจุดเกิดโอเวอร์ชูต (Over shoot) ขึ้นบ้างในบางครั้ง ซึ่งภาพสัญญาณที่สำคัญต่าง ๆ แสดงคังรูปในหน้าถัดไป



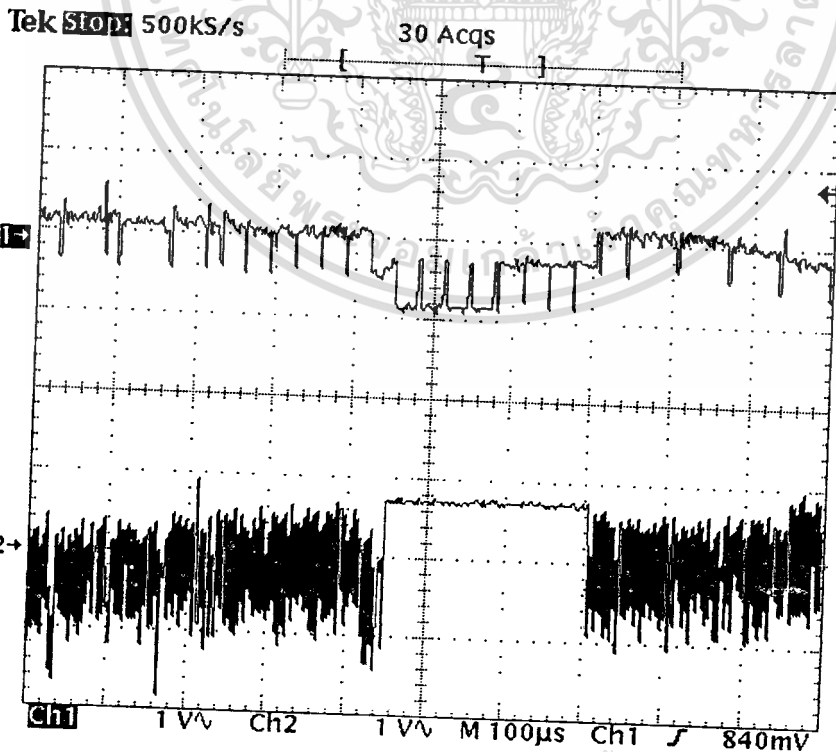
รูปที่ 5.1 เปรียบเทียบระหว่างสัญญาณอินพุตเส้นบนกับสัญญาณเอาต์พุตเส้นล่าง  
เทียบเส้นต่อเส้น( Horizontal line)



รูปที่ 5.2 เปรียบเทียบระหว่างสัญญาณอินพุตเส้นบนกับสัญญาณเอาต์พุตเส้นล่าง  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้เทียบฟิลต์ต่อฟิลต์ อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

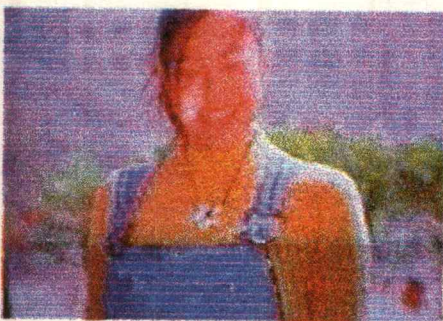
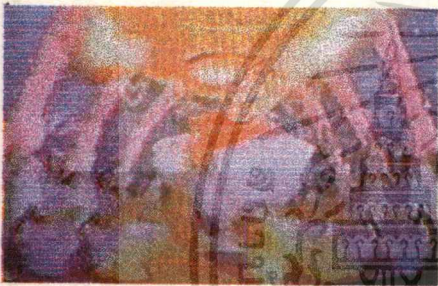
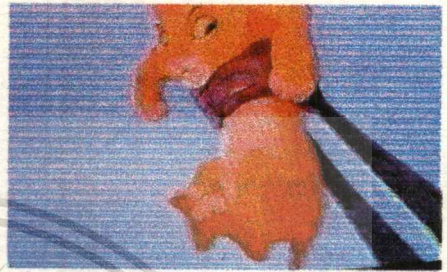
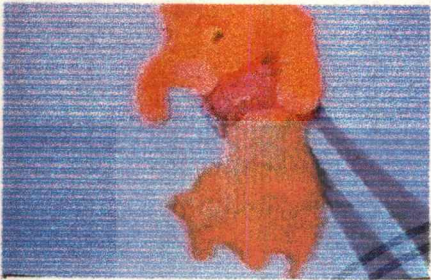


รูปที่ 5.3 แสดงเปรียบเทียบระหว่างสัญญาณคอมโพสิทซิงค์เส้นบนกับสัญญาณซิงค์ในแนวตั้งเส้นล่าง(Composite Sync vs. Vertical Sync)



รูปที่ 5.4 แสดงเปรียบเทียบระหว่างสัญญาณภาพอินพุตเส้นบนกับสัญญาณเอาต์พุตการนำโซ่  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุที่เบี่ยงสัญญาณนี้และโดย  
 เส้นล่าง ในช่วงสัญญาณซิงค์แนวตั้ง

สำหรับรูปที่เลือกมาแสดงจะมีทั้งที่เป็นภาพยนตร์และที่เป็นการ์ตูนเพื่อให้เห็นความแตกต่างโดยภาพด้านซ้ายมือทั้งหมดจะเป็นสัญญาณที่ผ่านระบบจัดเก็บข้อมูลก่อนแสดงผล ส่วนภาพทางขวามือเป็นสัญญาณภาพโดยตรงจากวิดีโอ ซึ่งจะเห็นได้ว่าภาพที่ผ่านระบบจัดเก็บข้อมูล ยังคงมีองค์ประกอบที่ครบถ้วน คล้ายกับสัญญาณต้นแบบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 5.5 ภาพเปรียบเทียบจากการแสดงผลออกทางโทรทัศน์ ระหว่างสัญญาณที่ผ่านระบบจัดเก็บข้อมูลทางซ้ายมือกับสัญญาณต้นกำเนิดทางขวามือ**

## บทที่ 6

### สรุปผลการทดลอง

ผลที่ได้จากการทดลองสร้างวงจรต่าง ๆ ดังที่ได้ออกแบบไว้ ประสบความสำเร็จด้วยดีเป็นไปตามวัตถุประสงค์ในการศึกษาสัญญาณวิดีโอ การสุ่มและการจัดเก็บข้อมูลความเร็วสูงผลลัพธ์ที่ได้คือภาพสัญญาณวิดีโอที่ถูกแปลงกลับหลังจากผ่านระบบจัดเก็บข้อมูลนั้นมีความถูกต้องและใกล้เคียงกับสัญญาณจริงมาก แสดงถึงความถูกต้องในการจัดเก็บข้อมูล อย่างไรก็ตามสัญญาณภาพที่แปลงกลับมาได้ยังคงมีสัญญาณรบกวน ซึ่งเป็นผลมาจากการสุ่มข้อมูลที่ไม่ได้แยกสัญญาณเชิงคี่ในแนวขวาง ( Horizontal Sync ) และภาพที่ได้จะมีดลด้วย เนื่องจากขนาดของสัญญาณภาพถูกลดทอนไปซึ่งก็รู้แก้ไขอาจทำได้โดยเพิ่มระดับแรงดันอ้างอิงในภาคการแปลงสัญญาณเชิงตัวเลขกลับเป็นสัญญาณเชิงอุปมาน เพื่อให้ขนาดของความสว่าง ( Amplitude of luminance ) เพิ่มขึ้นได้

ปัญหาอื่น ที่เกิดขึ้นตอนแรกที่ทำกรทดลองสร้างวงจรได้แก่ ความไม่ต่อเนื่องของสัญญาณภาพ คือภาพปรากฏไม่ครบ กล่าวคือมีบางเฟรมที่ขาดหายไป เมื่อวิเคราะห์แล้วพบว่าเกิดจากการใช้ J - K Flipflop หลายตัวในการสร้างสัญญาณควบคุม เมื่อมีสัญญาณรบกวนปนเข้าจึงทำให้สัญญาณควบคุมบางตัวไม่ซิงค์กันเกิดการเลื่อนกันของสัญญาณควบคุม ทำให้บางขณะไม่สามารถบันทึกข้อมูลได้ จึงทำการแก้ไขโดยการใช้ J - K Flipflop เพียงตัวเดียวเป็นตัวกำเนิดสัญญาณหลักแล้วใช้บัฟเฟอร์ช่วยจ่ายกระแสแทน ซึ่งผลที่ได้คือสัญญาณควบคุมสามารถซิงค์กันได้ทั้งหมด ทำให้สามารถเก็บภาพได้ ทุกเฟรม แต่ยังคงมีปัญหาตามมาคือภาพไม่อยู่นิ่ง มีการเลื่อนขึ้นลงตลอดเวลา ซึ่งแสดงให้เห็นว่าเกิดความผิดพลาดในการกำหนดตำแหน่งของการจัดเก็บ เมื่อทำการศึกษาถึงรายละเอียดของวงจรรวมที่ใช้แยกสัญญาณซิงค์ LM1881 พบว่าปัญหานี้ อาจเกิดขึ้นเนื่องจากสัญญาณซิงค์แนวตั้ง ( Vertical Sync ) ตามมาตรฐานที่วงจรรวมนี้สร้างขึ้นมีขนาดสั้นกว่าสัญญาณซิงค์แนวตั้งจริง ๆ ของสัญญาณวิดีโอ ก็จะทำให้เกิดการทริกซ้ำ เกิดเป็นการสร้างสัญญาณซิงค์แนวตั้งซ้ำใน LM1881 อีกครั้ง และเนื่องจากระบบที่ออกแบบไว้ใช้สัญญาณซิงค์แนวตั้งในการรีเซทวงจรกำเนิดสัญญาณ จึงทำให้ข้อมูลช่วงต้นบางส่วนถูกเขียนทับด้วยข้อมูลชุดถัดมา ภาพจึงดูเหมือนเลื่อนขึ้น ซึ่งการแก้ไขทำได้โดยทำการขยายขนาดของสัญญาณซิงค์แนวตั้งที่ LM1881 ซึ่งจากเดิมกำหนดไว้ 680 กิโลโหมเป็น 1 เมกกะโหม ผลที่ได้เป็นที่น่าพอใจมากได้ภาพที่นิ่งสนิทไม่มีการเลื่อนขึ้นอีกต่อไป ระบบจึงสามารถบันทึกข้อมูลได้อย่างถูกต้อง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## แนวทางในการพัฒนาและประยุกต์ใช้งาน

- เนื่องจากในโครงการนี้ได้ทำการสุ่มเก็บสัญญาณวิดีโอทั้งหมด โดยไม่ได้แยกสัญญาณซิงค์ออกจากสัญญาณภาพ ซึ่งทำให้การจะนำไปประมวลผลต่อไปยุ่งยาก ซึ่งการปรับปรุงแก้ไขได้ โดย ทำการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ ทำให้เหลือ เฉพาะสัญญาณภาพเท่านั้น เพื่อนำไปประมวลผลต่อไป และยังเป็นการประหยัดหน่วยความจำที่ต้องใช้ในการจัดเก็บด้วย ซึ่งจำเป็นต้องออกแบบให้ระบบควบคุมที่ซับซ้อนกว่าเดิม
- จากลักษณะของสัญญาณวิดีโอกับความถี่ในการสุ่มข้อมูลที่เลือกใช้ทำให้สามารถกำหนดตำแหน่งของภาพได้ว่าเส้นสัญญาณใดจะอยู่ที่ตำแหน่งใด ทำให้สามารถกำหนดตำแหน่งที่จะเพิ่มสัญญาณเพื่อให้ไปปรากฏบนหน้าจอได้ เช่น การสร้างภาพหน้าจอขนาดเล็กบนจอโทรทัศน์ โดยรับข้อมูลจากคอมพิวเตอร์หรือทำการเพิ่มตัวหนังสือวิ่งบนหน้าจอก็ได้
- เมื่อเราทำการบันทึกข้อมูลโดยใช้ความถี่ในการสุ่มค่าหนึ่ง แล้วส่งข้อมูลออกด้วยความถี่อีกค่าหนึ่ง เช่น เพิ่มเป็น 2 เท่าของความถี่ในการสุ่มข้อมูลก็จะทำให้ได้ภาพเพียง  $\frac{1}{4}$  ของจอ ถ้าเรามีจูนเนอร์หลายตัวและมีระบบแยกสัญญาณซิงค์ที่ดีก็จะทำให้สามารถแสดงหน้าจอขนาดเล็กของสัญญาณวิดีโอหลาย ๆ ช่อง ได้พร้อมกัน ซึ่งจะเป็นพื้นฐานทั่วไปของทีวีแบบมัลติซิงค์ที่สามารถแสดงสัญญาณได้หลาย ๆ ช่องบนหน้าจอเดียวได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

### Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- $\pm 1$  LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

### Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- $\mu$ P Data Acquisition Systems

### Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

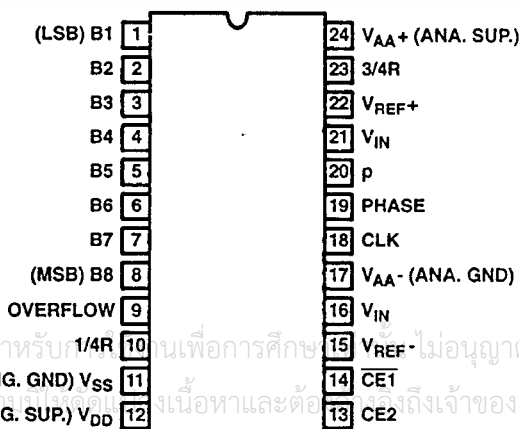
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

### Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	$\pm 1.5$ LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	$\pm 1.5$ LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	$\pm 1.5$ LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

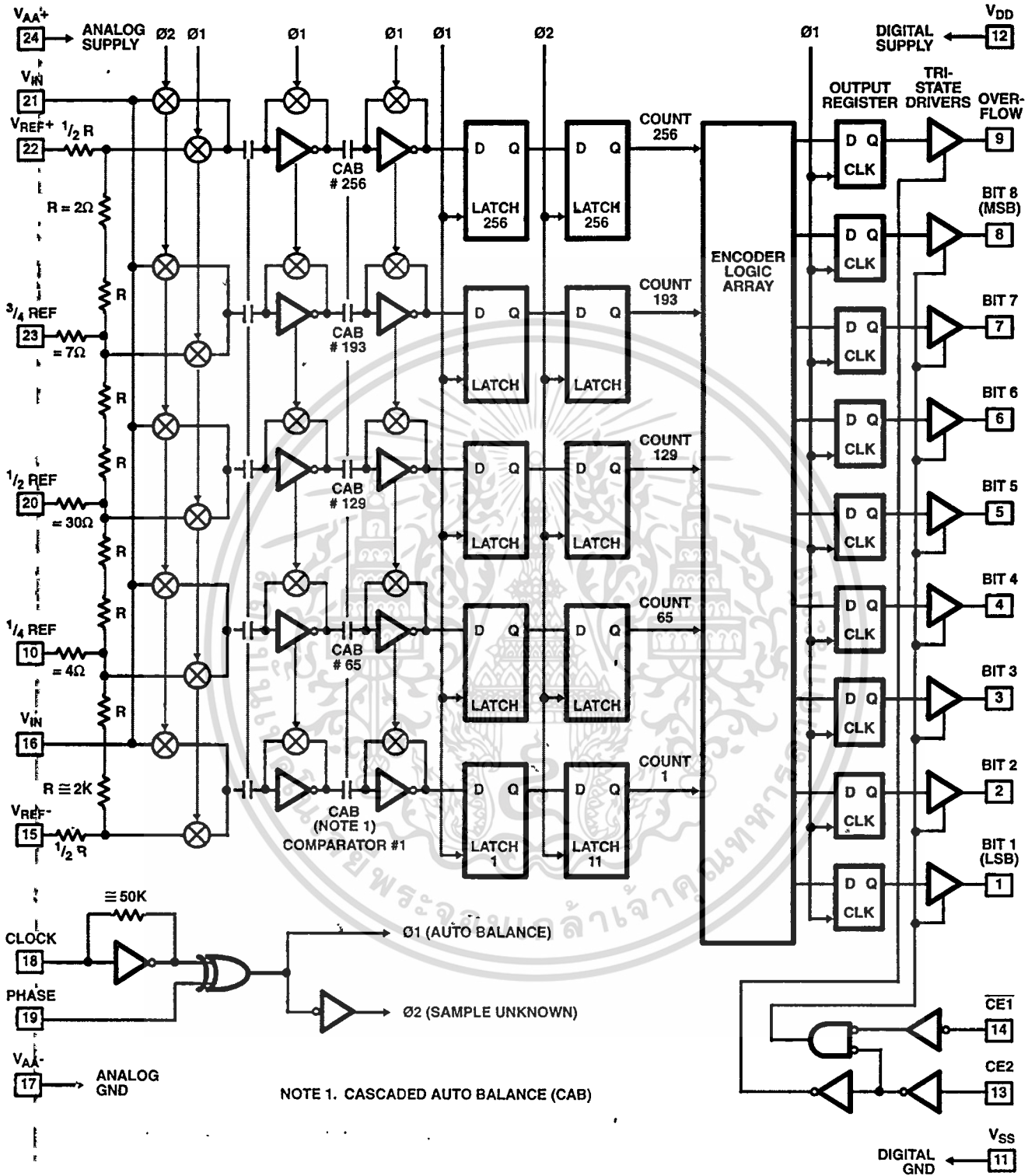
### Pinout

CA3318C (PDIP, CDIP, SOIC)  
TOP VIEW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับศึกษาเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังสงวนลิขสิทธิ์ในเนื้อหาและข้อมูลทั้งหมดของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Specifications CA3318C

## Absolute Maximum Ratings

DC Supply Voltage Range ( $V_{DD}$ or $V_{AA+}$ )	-0.5V to +8V
(Referenced to $V_{SS}$ or $V_{AA-}$ Terminal, Whichever is More Negative)	
Input Voltage Range	
CE2 and CE1	$V_{AA-} - 0.5V$ to $V_{DD} + 0.5V$
Clock, Phase, $V_{REF-}$ , $1/2$ Ref.	$V_{AA-} - 0.5V$ to $V_{AA+} + 0.5V$
Clock, Phase, $V_{REF-}$ , $1/4$ Ref.	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
$V_{IN}$ , $3/4$ REF, $V_{REF+}$	$V_{AA-} - 0.5V$ to $V_{AA-} + 7.5V$
Output Voltage Range, Bits 1-8, Overflow (Outputs Off)	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
DC Input Current	$\pm 20mA$
Clock, Phase, CE1, CE2, $V_{IN}$ , Bits 1-8, Overflow	
Operating Voltage Range ( $V_{DD}$ or $V_{AA+}$ )	.4V Min to 7.5V Max
Recommended $V_{AA+}$ Operating Range	$V_{DD} \pm 1V$
Recommended $V_{AA-}$ Operating Range	$V_{SS} \pm 1V$
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 10s)	+265°C

## Thermal Information

Thermal Resistance	$\theta_{JA}$	$\theta_{JC}$
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	60°C/W	-
Plastic SOIC Package	75°C/W	-
Maximum Power Dissipation	0.67W	
Operating Temperature Range ( $T_A$ )	-40°C to +85°C	
Junction Temperature		
Ceramic Package	+175°C	
Plastic Package	+150°C	

**CAUTION:** Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

**Electrical Specifications** At +25°C,  $V_{AA+} = V_{DD} = 5V$ ,  $V_{REF+} = 6.4V$ ,  $V_{REF-} = V_{AA-} = V_{SS}$ , CLK = 15MHz,  
All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>SYSTEM PERFORMANCE</b>					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	$\pm 1.5$	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	$V_{IN} = V_{REF-} + 1/2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	$V_{IN} = V_{REF+} - 1/2$ LSB	-1.5	0	1.5	LSB
<b>DYNAMIC CHARACTERISTICS</b>					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $= \frac{\text{RMS Signal}}{\text{RMS Noise}}$	$F_S = 15MHz, f_{IN} = 100kHz$	-	47	-	dB
	$F_S = 15MHz, f_{IN} = 4MHz$	-	43	-	dB
Signal to Noise Ratio (SINAD) $= \frac{\text{RMS Signal}}{\text{RMS Noise} + \text{Distortion}}$	$F_S = 15MHz, f_{IN} = 100kHz$	-	45	-	dB
	$F_S = 15MHz, f_{IN} = 4MHz$	-	35	-	dB
Total Harmonic Distortion, THD	$F_S = 15MHz, f_{IN} = 100kHz$	-	-46	-	dBc
	$F_S = 15MHz, f_{IN} = 4MHz$	-	-36	-	dBc
Effective Number of Bits (ENOB)	$F_S = 15MHz, f_{IN} = 100kHz$	-	7.2	-	Bits
	$F_S = 15MHz, f_{IN} = 4MHz$	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
<b>ANALOG INPUTS</b>					
Full Scale Range, $V_{IN}$ and $(V_{REF+}) - (V_{REF-})$	Notes 2, 4	4	-	7	V
Input Capacitance, $V_{IN}$		-	30	-	pF
Input Current, $V_{IN}$ , (See Text)	$V_{IN} = 5.0V, V_{REF+} = 5.0V$	-	-	3.5	mA
<b>REFERENCE INPUTS</b>					
Ladder Impedance		270	500	800	$\Omega$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Specifications CA3318C

**Electrical Specifications** At +25°C,  $V_{AA+} = V_{DD} = 5V$ ,  $V_{REF+} = 6.4V$ ,  $V_{REF-} = V_{AA-} = V_{SS}$ , CLK = 15MHz,  
All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUTS</b>					
Low Level Input Voltage, $V_{OL}$ CE1, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, $V_{IN}$ CE1, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, $I_I$ (Except CLK Input)	Note 3	-	$\pm 0.2$	$\pm 5$	$\mu A$
Input Capacitance, $C_I$		-	3	-	pF
<b>DIGITAL OUTPUTS</b>					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, $I_{OZ}$		-	$\pm 0.2$	$\pm 5$	$\mu A$
Output Capacitance, $C_O$		-	4	-	pF
<b>TIMING CHARACTERISTICS</b>					
Auto Balance Time ( $\phi 1$ )		33	-	$\infty$	ns
Sample Time ( $\phi 2$ )	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, $T_D$	Note 4	-	50	65	ns
Data Hold Time, $T_H$	Note 4	25	40	-	ns
Output Enable Time, $T_{EN}$		-	18	-	ns
Output Disable Time, $T_{DIS}$		-	18	-	ns
<b>POWER SUPPLY CHARACTERISTICS</b>					
Device Current ( $I_{DD} + I_A$ ) (Excludes $I_{REF}$ )	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance ( $\phi 1$ )	-	30	60	mA

**NOTES:**

1. A full scale sine wave input of greater than  $F_{CLOCK}/2$  or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2.  $V_{IN}$  (Full Scale) or  $V_{REF+}$  should not exceed  $V_{AA+} + 1.5V$  for accuracy.
3. The clock input is a CMOS inverter with a 50k $\Omega$  feedback resistor and may be AC coupled with 1V<sub>p,p</sub> minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

### Timing Waveforms

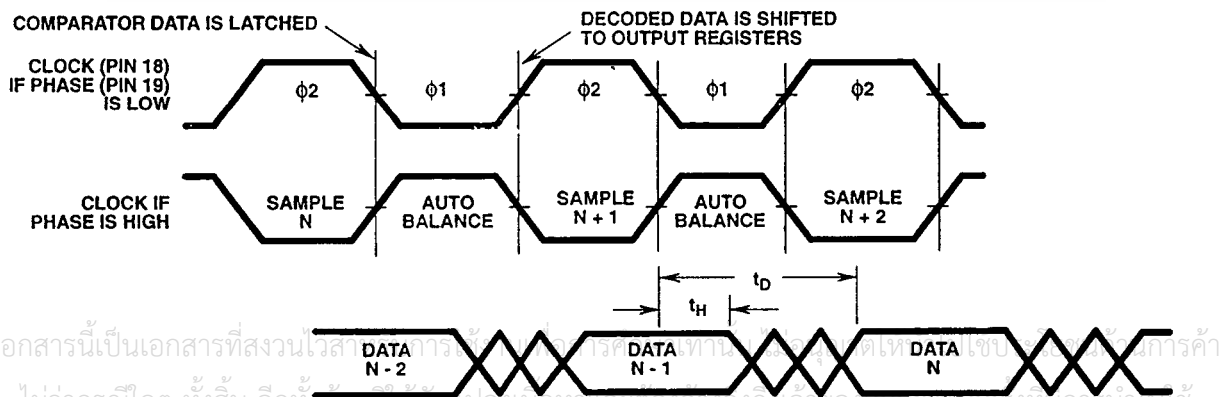


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

Timing Waveforms (Continued)

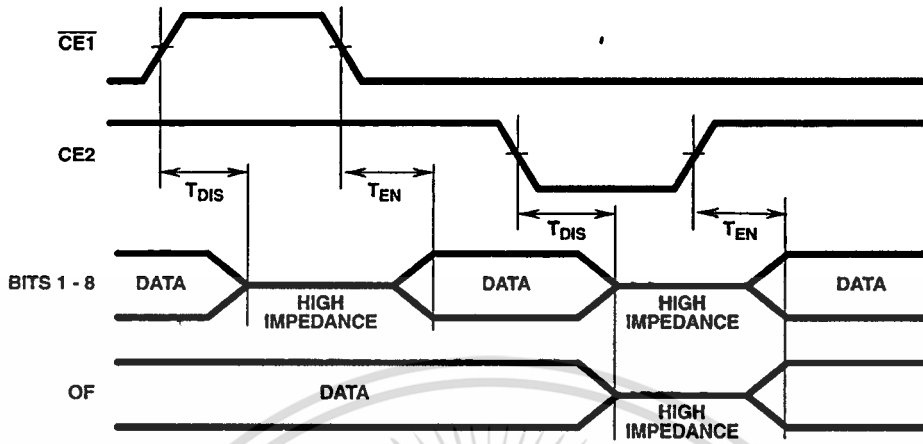


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

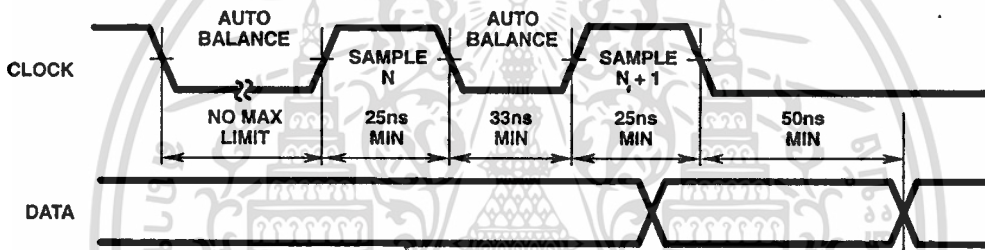


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

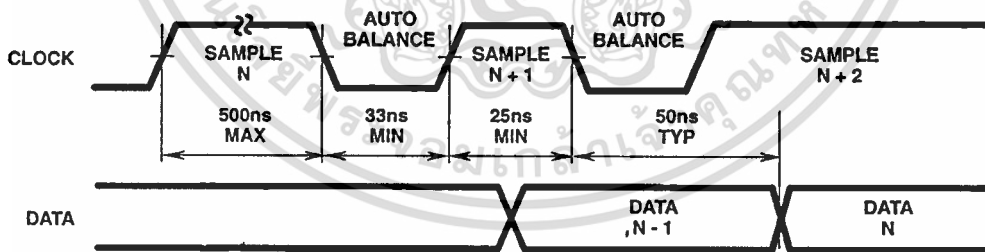


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

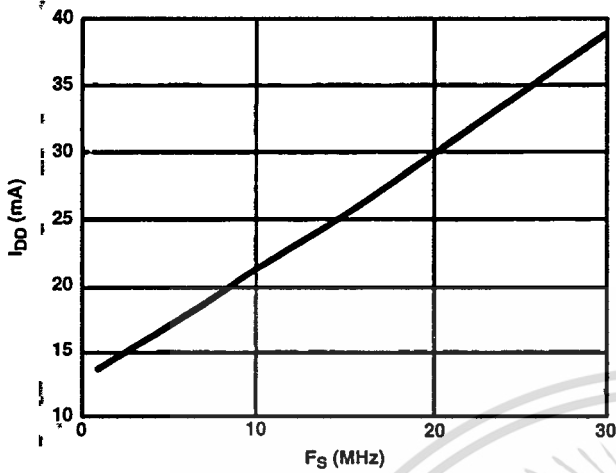


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

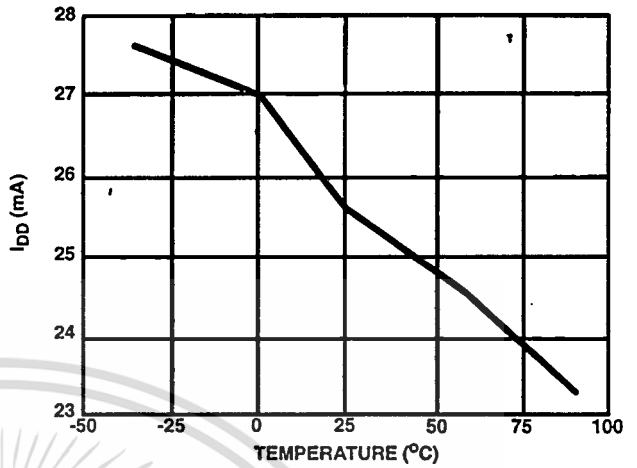


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

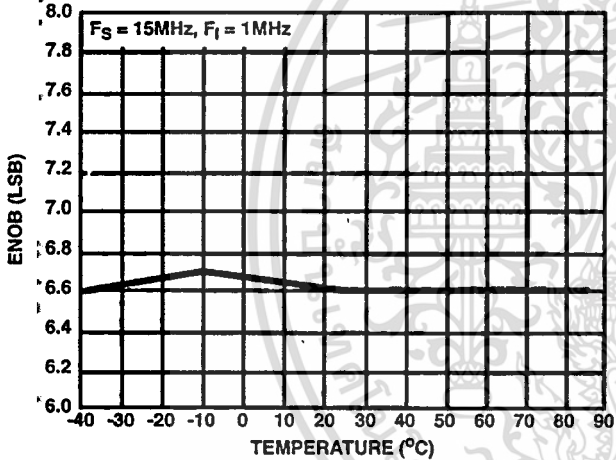


FIGURE 6. ENOB vs TEMPERATURE

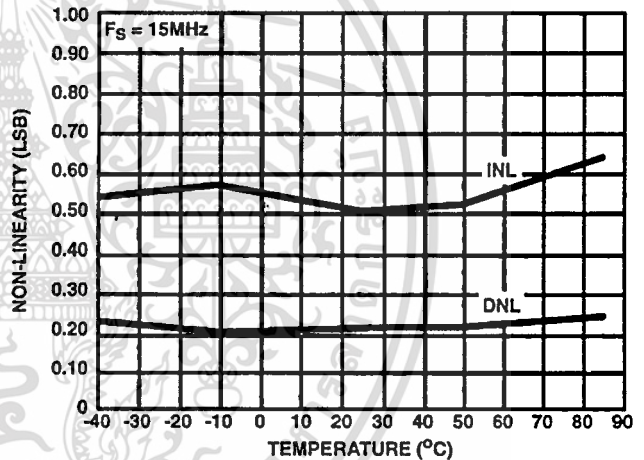


FIGURE 7. NON-LINEARITY vs TEMPERATURE

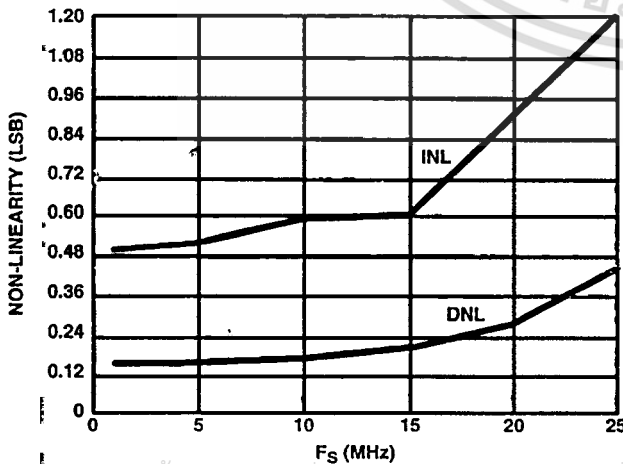


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

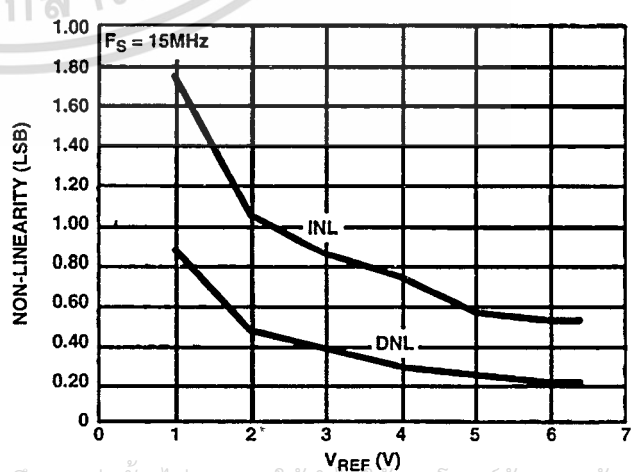


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves (Continued)

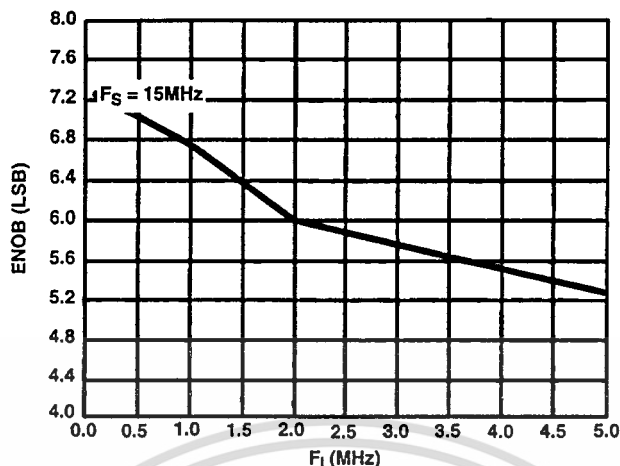


FIGURE 10. ENOB vs INPUT FREQUENCY

## Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	1/4 R	Reference Ladder 1/4 Point	
11	V <sub>SS</sub>	Digital Ground	
12	V <sub>DD</sub>	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low. See Truth Table.	
14	CE1	Tri-State Output Enable Input Active High. See Truth Table.	
15	V <sub>REF-</sub>	Reference Voltage Negative Input	
16	V <sub>IN</sub>	Analog Signal Input	
17	V <sub>AA-</sub>	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	1/2 R	Reference Ladder Midpoint	
21	V <sub>IN</sub>	Analog Signal Input	
22	V <sub>REF+</sub>	Reference Voltage Positive Input	
23	3/4 R	Reference Ladder 3/4 Point	
24	V <sub>AA+</sub>	Analog Power Supply, +5V	

## CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

## Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase,  $\phi_1$ , and the "Sample Unknown" phase,  $\phi_2$ . (Refer to the circuit diagram.) Each conversion takes one clock cycle\*. With the phase control (pin 19) high, the "Auto-Balance" ( $\phi_1$ ) occurs during the high period of the clock cycle, and the "Sample Unknown" ( $\phi_2$ ) occurs during the low period of the clock cycle.

\* The device requires only a single phase clock. The terminology of  $\phi_1$  and  $\phi_2$  refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256) V_{REF-} - (1/512) V_{REF-}] \\ = [(2N - 1)/512] V_{REF-}$$

Where:

$$V_{TAP}(n) = \text{reference ladder tap voltage at point } n. \\ V_{REF-} = \text{voltage across } V_{REF-} \text{ to } V_{REF+} \\ N = \text{tap number (1 through 256)}$$

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately  $(V_{AA+} - V_{AA-})/2$ . The first set of capacitors now charges to their associated tap voltages.

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time  $V_{IN}$  is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than  $V_{IN}$  will go to a "high" state at their outputs. All comparators that had tap voltages lower than  $V_{IN}$  will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ( $\phi_2$ ) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of  $\phi_1$ . This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next  $\phi_2$ .

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state; CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

### Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay  $t_D$  as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

### Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

### Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and  $1/4$ ,  $1/2$  and  $3/4$  point trim.

#### Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to  $V_{IN}$  or by the offset trim of the op amp. When this is not possible the  $V_{REF-}$  input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is  $1/2$  LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = \frac{1}{2} \text{ LSB} = \frac{1}{2} (V_{REF}/256) \\ = V_{REF}/512$$

If  $V_{IN}$  for the first transition is less than the theoretical, then a single-turn  $50\Omega$  pot connected between  $V_{REF-}$  and ground will accomplish the adjustment. Set  $V_{IN}$  to  $1/2$  LSB and trim the pot until the 0-to-1 transition occurs.

If  $V_{IN}$  for the first transition is greater than the theoretical, then the  $50\Omega$  pot should be connected between  $V_{REF-}$  and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

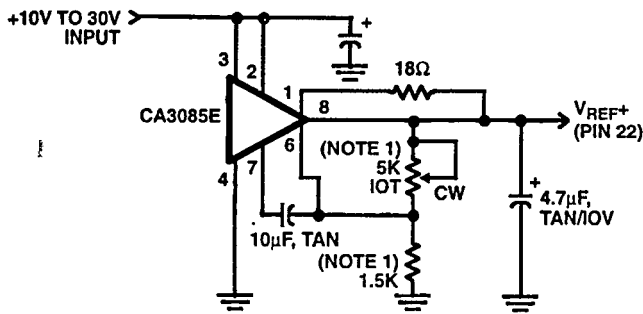
#### Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim,  $V_{IN}$  should be set to the 255 to overflow transition. That voltage is  $1/3$  LSB less than  $V_{REF+}$  and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512 \\ = V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required  $V_{IN}$  for the 255 to overflow transition. Now adjust  $V_{REF+}$  until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

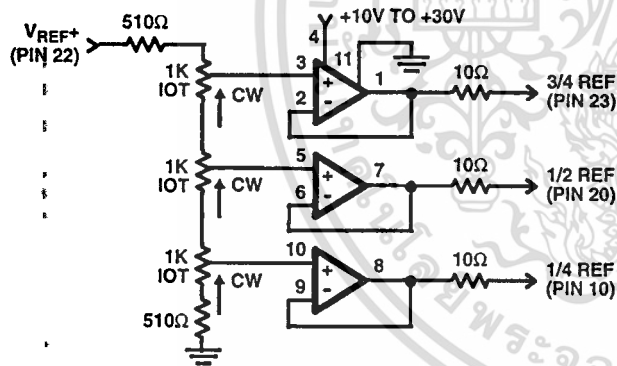


NOTE: Bypass  $V_{REF+}$  to analog GND near A/D with 0.1μF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING  $V_{REF+}$  INPUT

**1/4 Point Trims**

The 1/4, 1/2 and 3/4 points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The 1/4 points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between  $V_{REF+}$  and  $V_{REF-}$ . The 1/2 (mid-) point should be set first by applying an input of  $257/512 \times (V_{REF})$  and adjusting for an output changing from 128 to 129. Similarly the 1/4 and 3/4 points can be set with inputs of  $129/512$  and  $385/512 \times (V_{REF})$  and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually 1/4, 1/2 and 3/4 of full scale + 1 LSB.)



NOTES:

1. All Op Amps = 3/4 CA324E
2. Bypass all reference points to analog ground near A/D with 0.1μF ceramic caps.
3. Adjust  $V_{REF+}$  first, then 1/3, 3/4 and 1/4 points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

**9-Bit Resolution**

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the  $\overline{CE1}$  control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

**Grounding/Bypassing**

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the  $V_{AA}$  supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1μF ceramics and should be mounted as close to the A/D as possible. If  $V_{AA+}$  is derived from  $V_{DD}$ , a small (10Ω resistor or inductor and additional filtering (4.7μF tantalum) may be used to keep digital noise out of the analog system.

**Input Loading**

The CA3318 outputs a current pulse to the  $V_{IN}$  terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

**Output Loading**

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

**Definitions**

**Dynamic Performance Definitions**

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CA3318C

## Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

## Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

## Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where:  $V_{CORR} = 0.5dB$

## Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

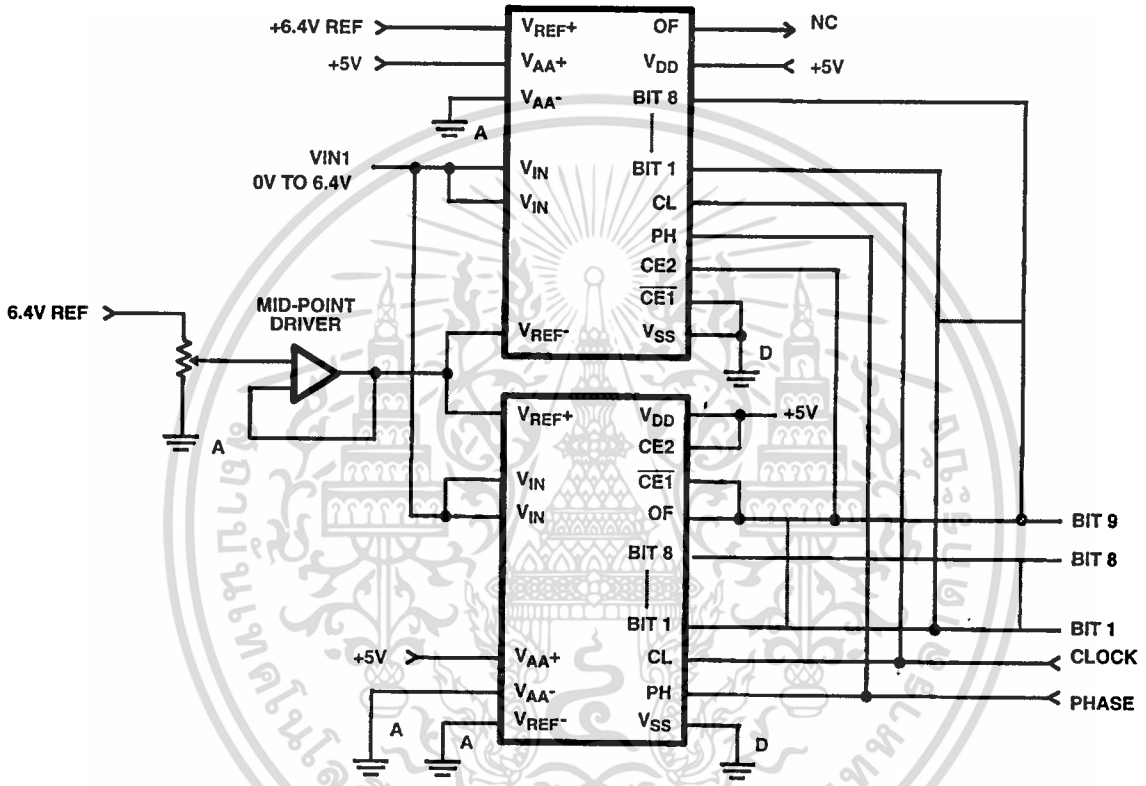


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CA3318C

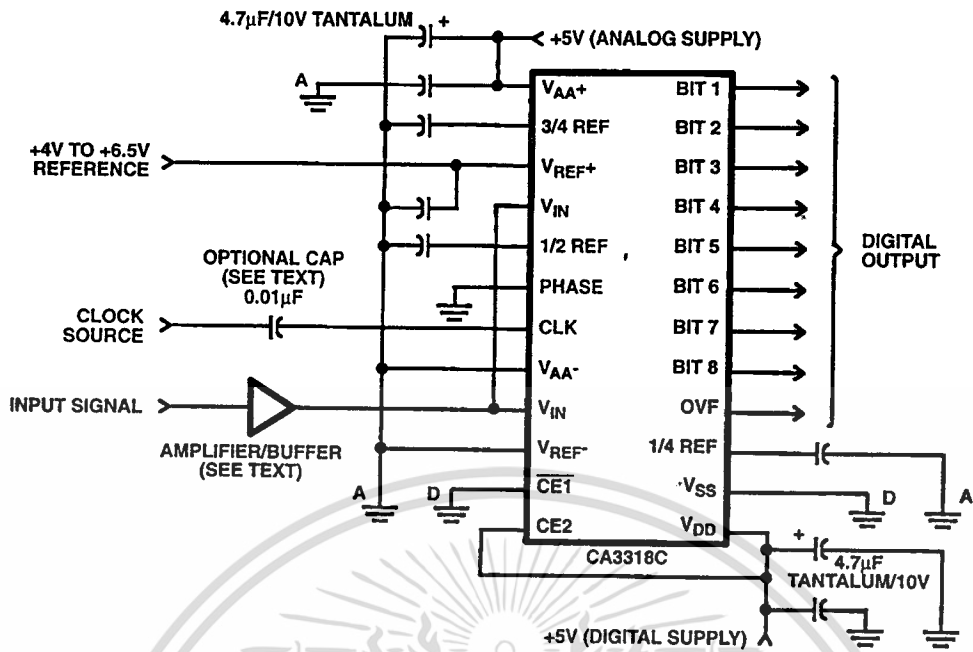


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

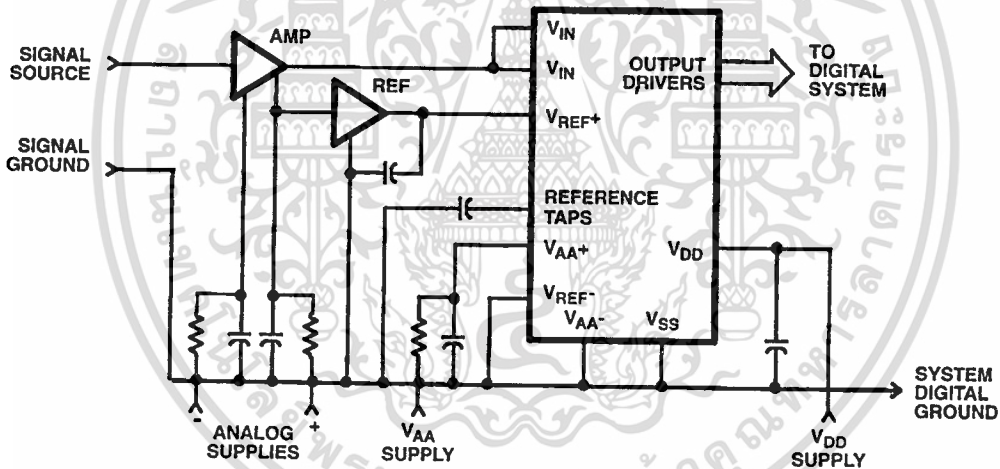
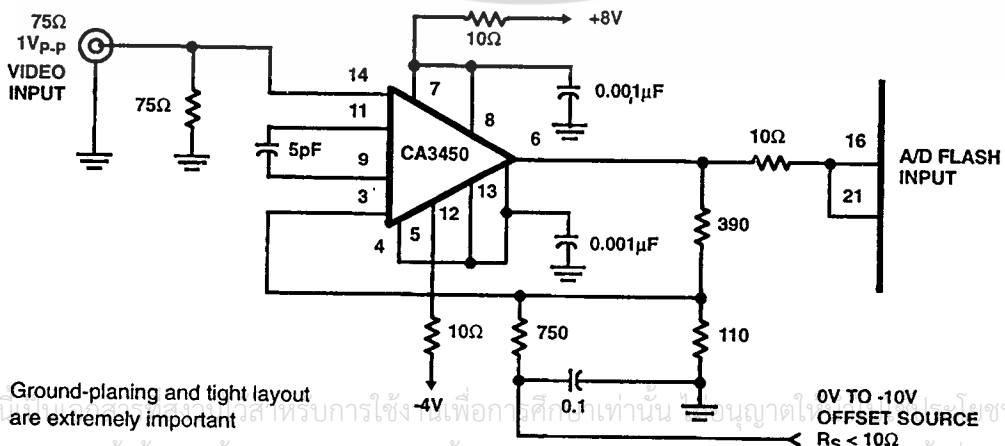


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

0V TO -10V OFFSET SOURCE  $R_S < 10\Omega$

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V <sub>REF</sub> 6.40V (V)	V <sub>REF</sub> 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	0	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	0	1	0
•	•	•										•
•	•	•										•
•	•	•										•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	0
•	•	•										•
•	•	•										•
•	•	•										•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	1
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	0
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	0	1
•	•	•										•
•	•	•										•
•	•	•										•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	0
•	•	•										•
•	•	•										•
•	•	•										•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	1	0
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	1
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	1

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

**Reducing Power**

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ( $\phi_2$ ) time. The constraints are a minimum balance time ( $\phi_1$ ) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

**Clock Input**

The Clock and Phase inputs feed buffers referenced to V<sub>AA+</sub> and V<sub>AA-</sub>. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x (V<sub>AA+</sub> - V<sub>AA-</sub>). The clock may also be AC coupled with at least a 1 V<sub>P-P</sub> swing. This allows TTL drive levels or 5V QMOS levels when V<sub>AA+</sub> is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

December 1993

### Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: 20ns (Typ) to 1/2 LSB
- Feedthrough Latch for Clocked or Unclocked Use
- ±0.5 LSB Accuracy (Typ)
- Data Complement Control
- High Update Rate 50MHz (Typ)
- Unipolar or Bipolar Operation

### Applications

- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

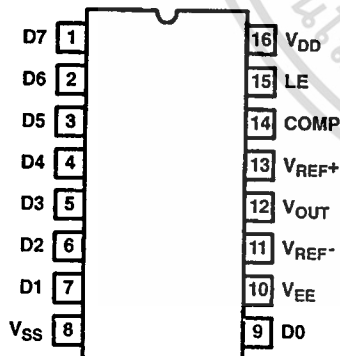
### Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

### Pinout

CA3338, CA3338A  
(PDIP, CDIP, SOIC)  
TOP VIEW

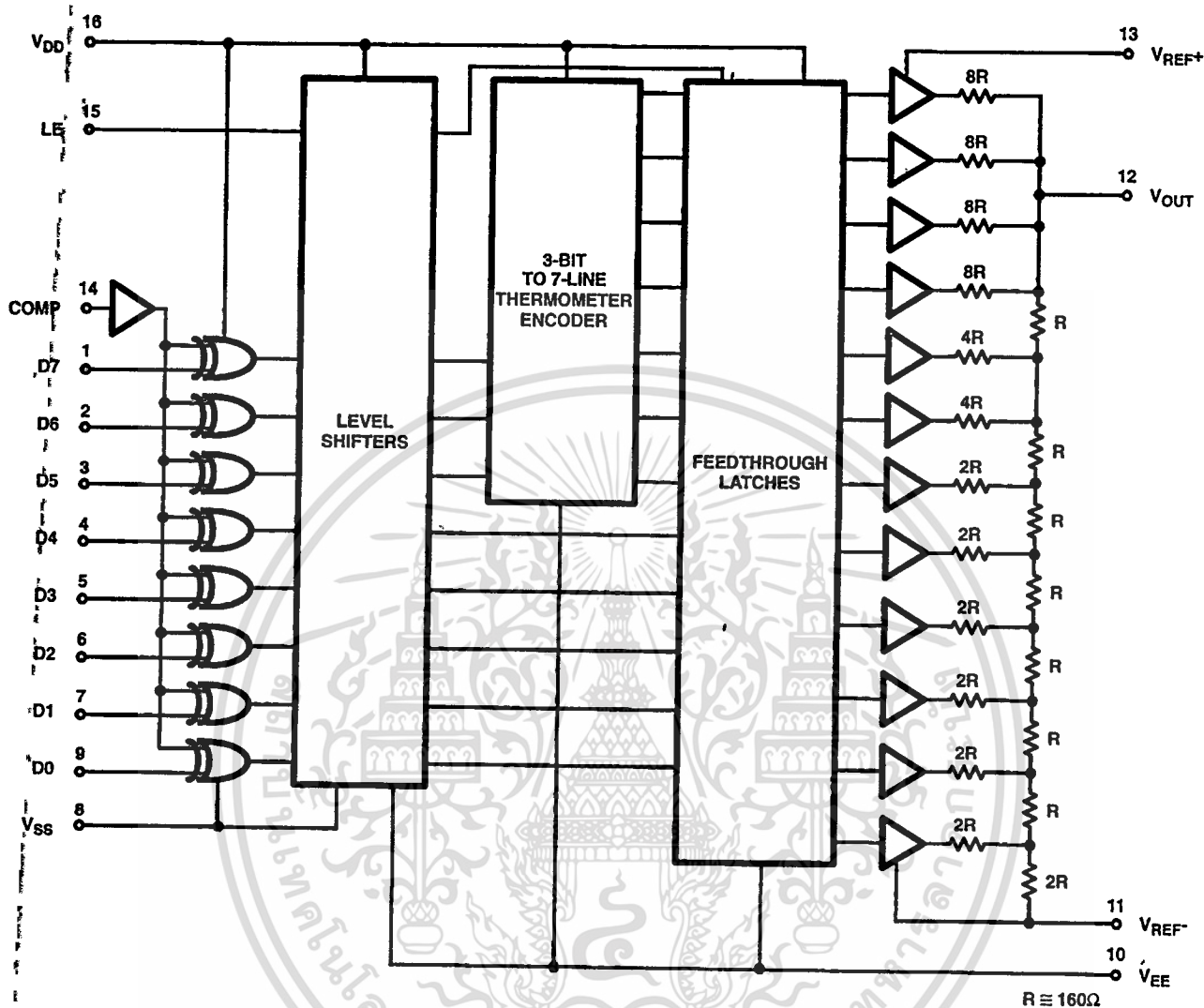


### Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	TEMPERATURE RANGE	PACKAGE
CA3338E	±1.0 LSB	-40°C to +85°C	16 Lead Plastic DIP
CA3338AE	±0.75 LSB	-40°C to +85°C	16 Lead Plastic DIP
CA3338D	±1.0 LSB	-55°C to +125°C	16 Lead Ceramic DIP
CA3338AD	±0.75 LSB	-55°C to +125°C	16 Lead Ceramic DIP
CA3338M	±1.0 LSB	-40°C to +85°C	16 Lead Plastic SOIC (W)
CA3338AM	±0.75 LSB	-40°C to +85°C	16 Lead Plastic SOIC (W)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Diagram



Die Characteristics

DIE DIMENSIONS:

2.050μm x 2.200μm x 530 ± 50μm

METALLIZATION:

Type: Al with 0.8% Si  
 Thickness: 11kÅ ± 1kÅ

GLASSIVATION:

Type: 3% PSG  
 Thickness: 13kÅ ± 2.6kÅ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Specifications CA3338, CA3338A

## Absolute Maximum Ratings

DC Supply-Voltage Range	-0.5V to +8V ( $V_{DD} - V_{SS}$ or $V_{DD} - V_{EE}$ , whichever is greater)
Input Voltage Range	
Digital Inputs (LE, COMP, D0 - D7)	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
Analog Pins ( $V_{REF+}$ , $V_{REF-}$ , $V_{OUT}$ )	$V_{DD} - 8V$ to $V_{DD} + 0.5V$
DC Input Current	
Digital Inputs (LE, COMP, D0 - D7)	$\pm 20mA$
Recommended Supply Voltage Range	4.5V to 7.5V
Storage Temperature Range, $T_{STG}$	-65°C to +150°C
Lead Temperature (Soldering 10s)	+300°C

## Thermal Information

Thermal Resistance	$\theta_{JA}$	$\theta_{JC}$
Ceramic DIP Package	77°C/W	12°C/W
Plastic DIP Package	100°C/W	-
SOIC Package	100°C/W	-
Maximum Power Dissipation, $P_D$		
$T_A = -55^\circ C$ to $+55^\circ C$	315mW	
Operating Temperature Range ( $T_A$ )		
Ceramic Package, D suffix	-55°C to +125°C	
Plastic Package, E suffix, M suffix	-40°C to +85°C	
Junction Temperature		
Ceramic Package	+175°C	
Plastic Package	+150°C	

**CAUTION:** Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

**Electrical Specifications**  $T_A = +25^\circ C$ ,  $V_{DD} = 5V$ ,  $V_{REF+} = 4.608V$ ,  $V_{SS} = V_{EE} = V_{REF-} = GND$ , LE clocked at 20MHz,  $R_L \geq 1 M\Omega$ , Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS					
<b>ACCURACY</b>										
Resolution		8	-	-	Bits					
Integral Linearity Error	See Figure 4									
						CA3338	-	-	$\pm 1$	LSB
CA3338A					$\pm 0.75$	LSB				
Differential Linearity Error	See Figure 4									
						CA3338	-	-	$\pm 0.75$	LSB
						CA3338A	-	-	$\pm 0.5$	LSB
Gain Error	Input Code = FF <sub>HEX</sub> , See Figure 3									
						CA3338	-	-	$\pm 0.75$	LSB
CA3338A					$\pm 0.5$	LSB				
Offset Error	Input Code = 00 <sub>HEX</sub> ; See Figure 3	-	-	$\pm 0.25$	LSB					
<b>DIGITAL INPUT TIMING</b>										
Update Rate	To Maintain 1/2 LSB Settling	DC	50	-	MHz					
Update Rate	$V_{REF-} = V_{EE} = -2.5V$ , $V_{REF+} = +2.5V$	DC	20	-	MHz					
Set Up Time $T_{SU1}$	For Low Glitch	-	-2	-	ns					
Set Up Time $T_{SU2}$	For Data Store	-	8	-	ns					
Hold Time $T_H$	For Data Store	-	5	-	ns					
Latch Pulse Width $T_W$	For Data Store	-	5	-	ns					
Latch Pulse Width $T_W$	$V_{REF-} = V_{EE} = -2.5V$ , $V_{REF+} = +2.5V$	-	25	-	ns					
<b>OUTPUT PARAMETERS</b> $R_L$ Adjusted for 1V <sub>P-P</sub> Output										
Output Delay $T_{D1}$	From LE Edge	-	25	-	ns					
Output Delay $T_{D2}$	From Data Changing	-	22	-	ns					
Rise Time $T_R$	10% to 90% of Output	-	4	-	ns					
Settling Time $T_S$	10% to Settling to 1/2 LSB	-	20	-	ns					
Output Impedance	$V_{REF+} = 6V$ , $V_{DD} = 6V$	120	160	200	$\Omega$					
Glitch Area		-	150	-	pV-s					
Glitch Area	$V_{REF-} = V_{EE} = -2.5V$ , $V_{REF+} = +2.5V$	-	250	-	pV-s					

## CA3338, CA3338A

**Electrical Specifications**  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5\text{V}$ ,  $V_{REF+} = 4.608\text{V}$ ,  $V_{SS} = V_{EE} = V_{REF-} = \text{GND}$ , LE clocked at 20MHz,  $R_L \geq 1\text{M}\Omega$ , Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>REFERENCE VOLTAGE</b>					
$V_{REF+}$ Range	(+) Full Scale, Note 1	$V_{REF-} + 3$	-	$V_{DD}$	V
$V_{REF-}$ Range	(-) Full Scale, Note 1	$V_{EE}$	-	$V_{REF+} - 3$	V
$V_{REF+}$ Input Current	$V_{REF+} = 6\text{V}$ , $V_{DD} = 6\text{V}$	-	40	50	mA
<b>SUPPLY VOLTAGE</b>					
Static $I_{DD}$ or $I_{EE}$	LE = Low, D0 - D7 = High	-	100	220	$\mu\text{A}$
	LE = Low, D0 - D7 = Low	-	-	100	$\mu\text{A}$
Dynamic $I_{DD}$ or $I_{EE}$	$V_{OUT} = 10\text{MHz}$ , 0V to 5V Square Wave	-	20	-	mA
Dynamic $I_{DD}$ or $I_{EE}$	$V_{OUT} = 10\text{MHz}$ , $\pm 2.5\text{V}$ Square Wave	-	25	-	mA
$V_{DD}$ Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
$V_{EE}$ Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
<b>DIGITAL INPUTS D0 - D7, LE, COMP</b>					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	$\pm 1$	$\pm 5$	$\mu\text{A}$
Capacitance		-	5	-	pF
<b>TEMPERATURE COEFFICIENTS</b>					
Output Impedance		-	200	-	ppm/ $^\circ\text{C}$

**NOTE:**

1. Parameter not tested, but guaranteed by design or characterization.

### Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit Input Data Bits (High = True)
2	D6	
3	D5	
4	D4	
5	D3	
6	D2	
7	D1	
8	$V_{SS}$	Digital Ground
9	D0	Least Significant Bit. Input Data Bit
10	$V_{EE}$	Analog Ground
11	$V_{REF-}$	Reference Voltage Negative Input
12	$V_{OUT}$	Analog Output
13	$V_{REF+}$	Reference Voltage Positive Input
14	COMP	Data Complement Control input. Active High
15	LE	Latch Enable Input. Active Low
16	$V_{DD}$	Digital Power Supply, +5V

### Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted  $2^0$ ) through D7 (weighted  $2^7$ ), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of  $V_{DD}$  and  $V_{SS}$ , are shifted to operate between  $V_{DD}$  and  $V_{EE}$ .  $V_{EE}$  optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the  $V_{DD}$  and  $V_{EE}$  supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

การที่ซื้อชิ้นนี้ มีอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

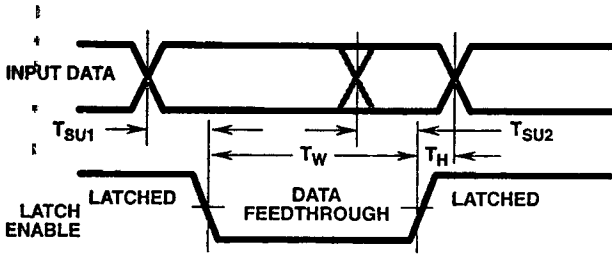


FIGURE 1. DATA TO LATCH ENABLE TIMING

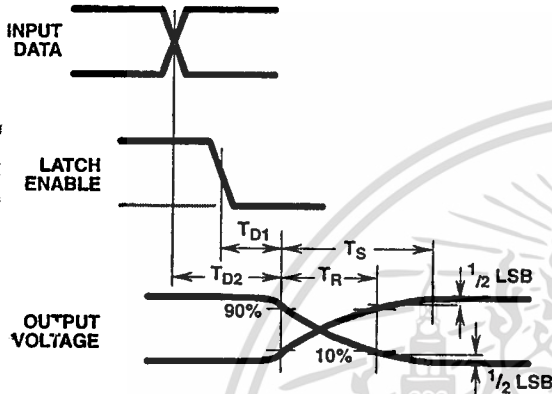


FIGURE 2. DATA AND LATCH ENABLE TO OUTPUT TIMING

**Latch Operation**

Data is fed from input to output while LE is low: LE should be tied low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy: there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of these modes:  $T_{D2}$  gives the delay from the input changing to the output changing (10%), while  $T_{SU2}$  and  $T_H$  give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 1 and 2.

Clocked operation is needed for low "glitch" energy use. Data must meet the given  $T_{SU1}$  set up time to the LE falling edge, and the  $T_H$  hold time from the LE rising edge. The delay to the output changing,  $T_{D1}$ , is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum  $T_W$  pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

**Output Structure**

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to  $V_{REF-}$  this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to  $V_{REF+}$ , the (+) full-scale reference.

In unipolar operation,  $V_{REF-}$  would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from  $V_{REF+}$  to  $V_{REF-}$  (see  $V_{REF+}$  input current in specifications), so  $V_{REF-}$  should have a low impedance path to ground.

In bipolar operation,  $V_{REF-}$  would be returned to a negative voltage (the maximum voltage rating to  $V_{DD}$  must be observed).  $V_{EE}$ , which supplies the gate potential for the output drivers, must be returned to a point at least as negative as  $V_{REF-}$ . Note that the maximum clocking speed decreases when the bipolar mode is used.

**Static Characteristics**

The ideal 8-bit D/A would have an output equal to  $V_{REF-}$  with an input code of 00<sub>HEX</sub> (zero scale output), and an output equal to 255/256 of  $V_{REF+}$  (referred to  $V_{REF-}$ ) with an input code of FF<sub>HEX</sub> (full-scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors, respectively; see Figure 3.

If the code into an 8-bit D/A is changed by 1 count, the output should change by 1/255 (full-scale output-zero scale output). A deviation from this step size is a differential linearity error, see Figure 4. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be N/255 of the full-scale output (referred to the zero-scale output). Any deviation from that output is an integral linearity error, usually expressed in LSBs. See Figure 4.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full-scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

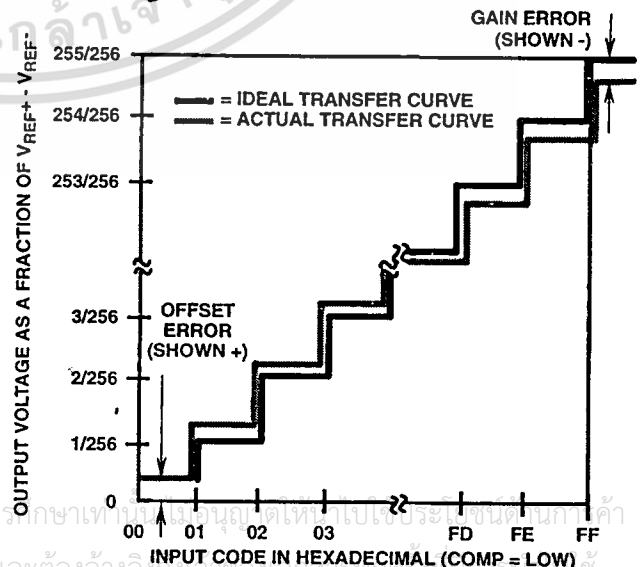


FIGURE 3. D/A OFFSET AND GAIN ERROR

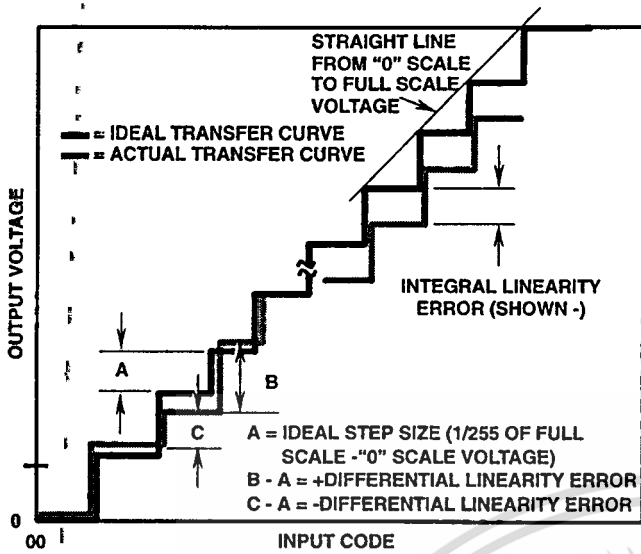


FIGURE 4. D/A INTEGRAL AND DIFFERENTIAL LINEARITY ERROR

**Dynamic Characteristics**

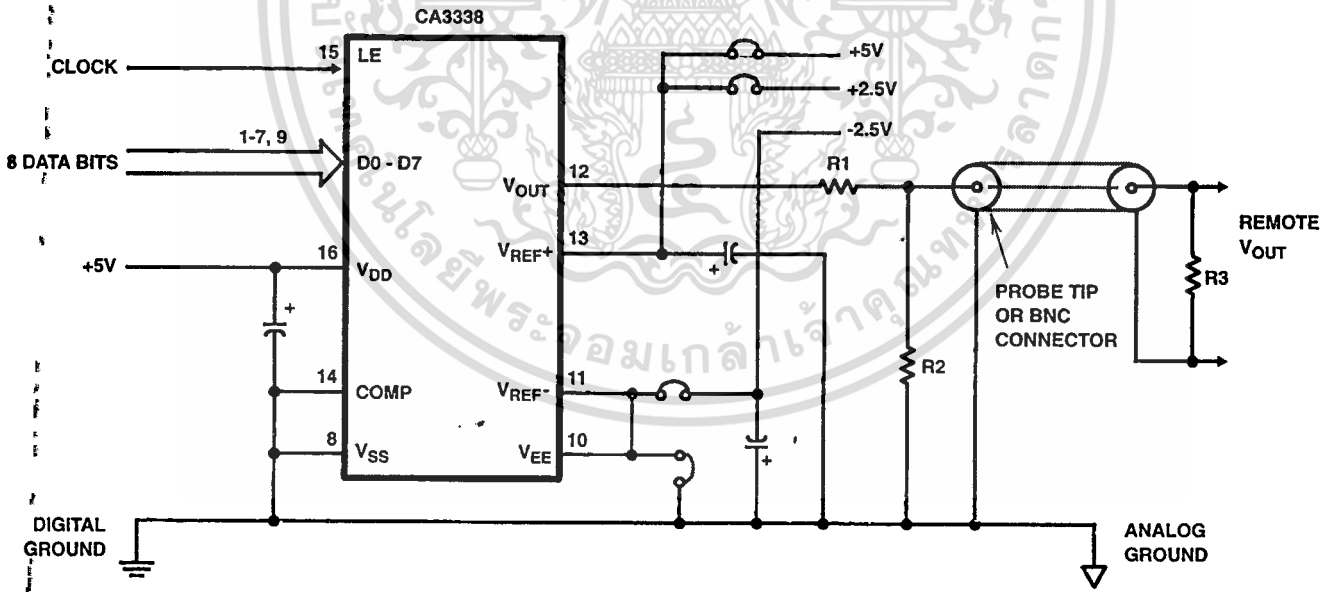
Keeping the full-scale range ( $V_{REF+} - V_{REF-}$ ) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation delays. The  $V_{REF+}$  (and  $V_{REF-}$  if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition ( $7F_{HEX}$  to  $80_{HEX}$  for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV-s.

The CA3338 uses a modified R2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each 1/8 scale transition ( $1F_{HEX}$  to  $20_{HEX}$ ,  $3F_{HEX}$  to  $40_{HEX}$ , etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full-scale. Figure 5 shows a typical hook-up for checking "glitch" energy or settling time.

The settling time of the A/D is mainly a function of the output resistance (approximately  $160\Omega$  in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding: a probe tip connector such as Tektronix part number 131-0258-00 is recommended.



FUNCTION	CONNECTOR	R1	R2	R3	V <sub>OUT</sub> (PK-PK)
Oscilloscope Display	Probe Tip	82Ω	62Ω	N/C	1V
Match 93Ω Cable	BNC	75	160	93	1V
Match 75Ω Cable	BNC	18	130	75	1V
Match 50Ω Cable	BNC	Short	75	50	0.79V

NOTES:

1. V<sub>OUT</sub>(PK) is approximate, and will vary as R<sub>OUT</sub> of D/A varies.
2. All drawn capacitors are 0.1μF multilayer ceramic/4.7μF tantalum.
3. Dashed connections are for unipolar operation. Solid connection are for bipolar operation.

FIGURE 5. CA3338 DYNAMIC TEST CIRCUIT

# CA3338, CA3338A

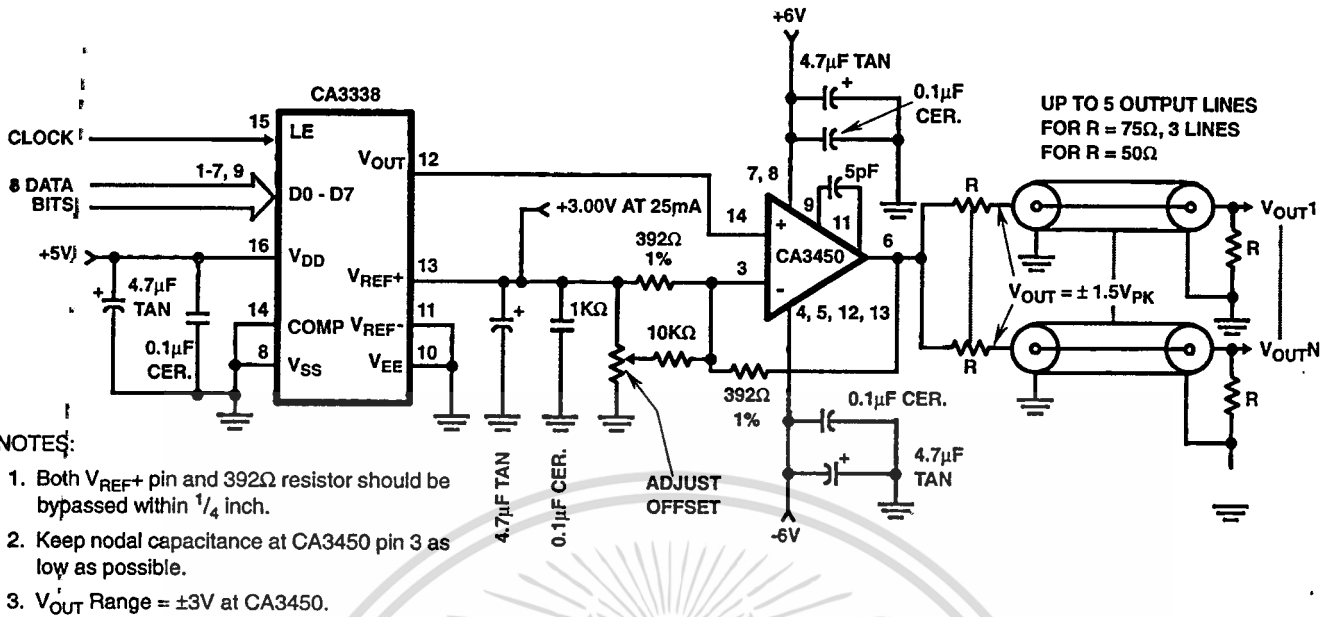


FIGURE 6. CA3338 AND CA3450 FOR DRIVING MULTIPLE COAXIAL LINES

- NOTES:
1. Both  $V_{REF+}$  pin and  $392\Omega$  resistor should be bypassed within  $1/4$  inch.
  2. Keep nodal capacitance at CA3450 pin 3 as low as possible.
  3.  $V_{OUT}$  Range =  $\pm 3V$  at CA3450.

TABLE 1. OUTPUT VOLTAGE vs INPUT CODE AND  $V_{REF}$

$V_{REF+}$ $V_{REF-}$ STEP SIZE	5.12V 0	5.00V 0	4.608V 0	2.56V -2.56V	2.50V -2.50V
Input Code					
11111111 <sub>2</sub> = FF <sub>HEX</sub>	5.1000V	4.9805V	4.5900V	2.5400V	2.4805V
11111102 <sub>2</sub> = FE <sub>HEX</sub>	5.0800	4.9610	4.5720	2.5200	2.4610
⋮					
10000001 <sub>2</sub> = 81 <sub>HEX</sub>	2.5800	2.5195	2.3220	0.0200	0.0195
10000000 <sub>2</sub> = 80 <sub>HEX</sub>	2.5600	2.5000	2.3040	0.0000	0.0000
01111111 <sub>2</sub> = 7F <sub>HEX</sub>	2.5400	2.4805	2.2860	-0.0200	-0.0195
⋮					
00000001 <sub>2</sub> = 01 <sub>HEX</sub>	0.0200	0.0195	0.0180	-2.5400	-2.4805
00000000 <sub>2</sub> = 00 <sub>HEX</sub>	0.0000	0.0000	0.0000	-2.5600	-2.5000

## Operating and Handling Considerations

1. **Handling**  
All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."
2. **Operating Voltage**  
During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

### Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than  $V_{DD}$  nor less than  $V_{SS}$ . Input currents must not exceed 20mA even when the power supply is off.

### Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either  $V_{CC}$  or GND, whichever is appropriate.

## Applications

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 5 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to +7.5V  $V_{DD}$  and  $V_{REF+}$  supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 6 shows a typical application, with the output capable of driving  $\pm 2V$  into multiple 50Ω terminated lines.

## LM1881 Video Sync Separator

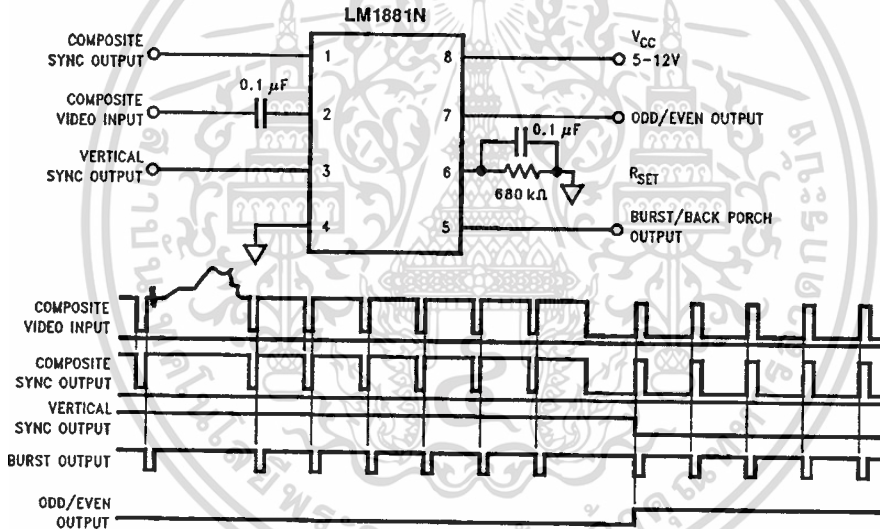
### General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL\*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

### Features

- AC coupled composite input signal
- >10 k $\Omega$  input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

### Connection Diagram



Order Number LM1881M or LM1881N  
See NS Package Number M08A or N08E

TL/H/9150-1

\*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V <sub>CC</sub> = 5V) 6 Vpp (V <sub>CC</sub> ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C

Storage Temperature Range	–65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.	

## Electrical Characteristics

V<sub>CC</sub> = 5V; R<sub>SET</sub> = 680 kΩ; T<sub>A</sub> = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V <sub>CC</sub> = 5V	5.2	10		mA <sub>max</sub>
		V <sub>CC</sub> = 12V	5.5	12		mA <sub>max</sub>
DC Input Voltage	Pin 2		1.5	1.3		V <sub>min</sub>
				1.8		V <sub>max</sub>
Input Threshold Voltage	Note 5		70	55		mV <sub>min</sub>
Input Discharge Current	Pin 2; V <sub>IN</sub> = 2V		11	6		μA <sub>min</sub>
				16		μA <sub>max</sub>
Input Clamp Charge Current	Pin 2; V <sub>IN</sub> = 1V		0.8	0.2		mA <sub>min</sub>
R <sub>SET</sub> Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		V <sub>min</sub>
				1.35		V <sub>max</sub>
Composite Sync. & Vertical Outputs	I <sub>OUT</sub> = 40 μA; Logic 1	V <sub>CC</sub> = 5V	4.5	4.0		V <sub>min</sub>
		V <sub>CC</sub> = 12V		11.0		V <sub>min</sub>
	I <sub>OUT</sub> = 1.6 mA Logic 1	V <sub>CC</sub> = 5V	3.6	2.4		V <sub>min</sub>
		V <sub>CC</sub> = 12V		10.0		V <sub>min</sub>
Burst Gate & Odd/Even Outputs	I <sub>OUT</sub> = 40 μA; Logic 1	V <sub>CC</sub> = 5V	4.5	4.0		V <sub>min</sub>
		V <sub>CC</sub> = 12V		11.0		V <sub>min</sub>
Composite Sync. Output	I <sub>OUT</sub> = –1.6 mA; Logic 0; Pin 1		0.2	0.8		V <sub>max</sub>
Vertical Sync. Output	I <sub>OUT</sub> = –1.6 mA; Logic 0; Pin 3		0.2	0.8		V <sub>max</sub>
Burst Gate Output	I <sub>OUT</sub> = –1.6 mA; Logic 0; Pin 5		0.2	0.8		V <sub>max</sub>
Odd/Even Output	I <sub>OUT</sub> = –1.6 mA; Logic 0; Pin 7		0.2	0.8		V <sub>max</sub>
Vertical Sync Width			230	190		μs <sub>min</sub>
				300		μs <sub>max</sub>
Burst Gate Width	2.7 kΩ from Pin 5 to V <sub>CC</sub>		4	2.5		μs <sub>min</sub>
				4.7		μs <sub>max</sub>
Vertical Default Time	Note 7		65	32		μs <sub>min</sub>
				90		μs <sub>max</sub>

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T<sub>J</sub> = 25°C and represent the most likely parametric norm.

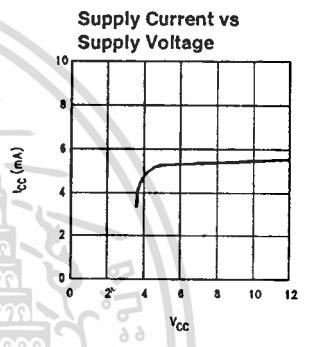
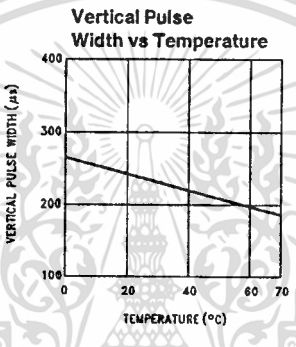
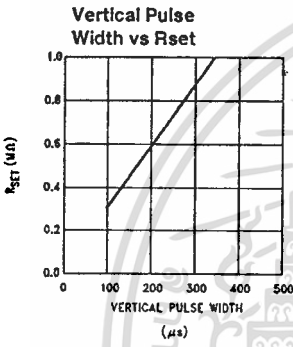
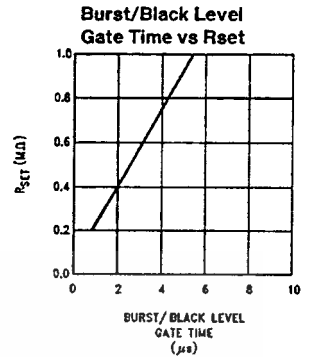
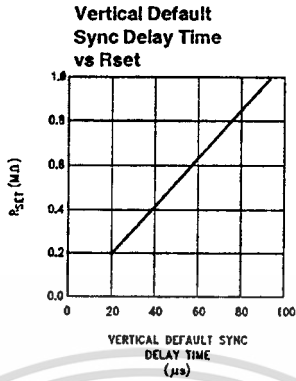
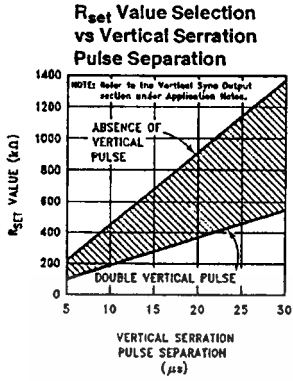
Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R<sub>SET</sub> pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

# Typical Performance Characteristics



TL/H/9150-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

### COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11  $\mu$ A, typically. This allows relatively small capacitor values to be used—0.1  $\mu$ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 $\Omega$ , a 620 $\Omega$  resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

### VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called  $V_1$  going to one of its inputs. The other comparator has an internally generated voltage reference called  $V_2$  going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor  $R_{set}$ . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the  $V_1$ . During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between  $V_1$  and  $V_2$ . This would give a high level at the output of the comparator with  $V_1$  as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external  $R_{set}$ . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How  $R_{set}$  affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

## Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above  $V_1$ .

With  $R_{set}$  too large the charging current of the integrator will be too small to charge the capacitor above  $V_1$ , thus there will be no vertical sync output pulse. As mentioned above,  $R_{set}$  also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum  $R_{set}$  necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs  $R_{set}$ " graph. Using NTSC as an example, let's see how these two graphs relate to each other. The horizontal line is 64  $\mu s$  long, or 32  $\mu s$  for a horizontal half line. Now round this off to 30  $\mu s$ . In the " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30  $\mu s$  serration pulse separation is about 550 k $\Omega$ . Going to the "Vertical Pulse Width vs  $R_{set}$ " graph one can see that 550 k $\Omega$  gives a vertical pulse width of about 180  $\mu s$ , the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k $\Omega$  will set the internal oscillator to a frequency such that eight cycles gives a time of 180  $\mu s$ , just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level  $V_2$ . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches  $V_2$ . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with  $V_1$  as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs  $R_{set}$ " graph shows the relationship between the  $R_{set}$  value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for  $R_{set}$  is 500 k $\Omega$ . The vertical default time delay is about 50  $\mu s$ , much longer than the 30  $\mu s$  serration pulse spacing.

A common question is how can one calculate the required  $R_{set}$  with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default

Sync Delay Time vs  $R_{set}$ " graph to select the necessary  $R_{set}$  to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs  $R_{set}$ " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32  $\mu s$  long. The vertical sync period is two horizontal lines long, or 64  $\mu s$ . The vertical default sync delay time must be longer than the vertical sync period of 64  $\mu s$ . In this case  $R_{set}$  must be larger than 680 k $\Omega$ .  $R_{set}$  must still be small enough for the output of the integrator to reach  $V_1$  before the end of the vertical period of the input pulse. The first graph can be used to confirm that  $R_{set}$  is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64  $\mu s$  in this example. This graph is linear, meaning that a value as large as 2.7 M $\Omega$  can be used for  $R_{set}$  (twice the value as the maximum at 30  $\mu s$ ). Due to leakage currents it is advisable to keep the value of  $R_{set}$  under 2.0 M $\Omega$ . In this example a value of 1.0 M $\Omega$  is selected, well above the minimum of 680 k $\Omega$ . With this value for  $R_{set}$  the pulse width of the vertical sync output pulse of the LM1881 is about 340  $\mu s$ .

### ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

## Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

### BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately  $4.8 \mu\text{s}$  long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out— $4 \mu\text{s}$  later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

### APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

### VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits  $b_0$ – $b_7$ . A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

### MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter ( $10 \text{ k}\Omega$ ,  $10 \mu\text{F}$ ) providing black level restoration at the video output when the output selected line(s) is not being gated through.

# Typical Applications

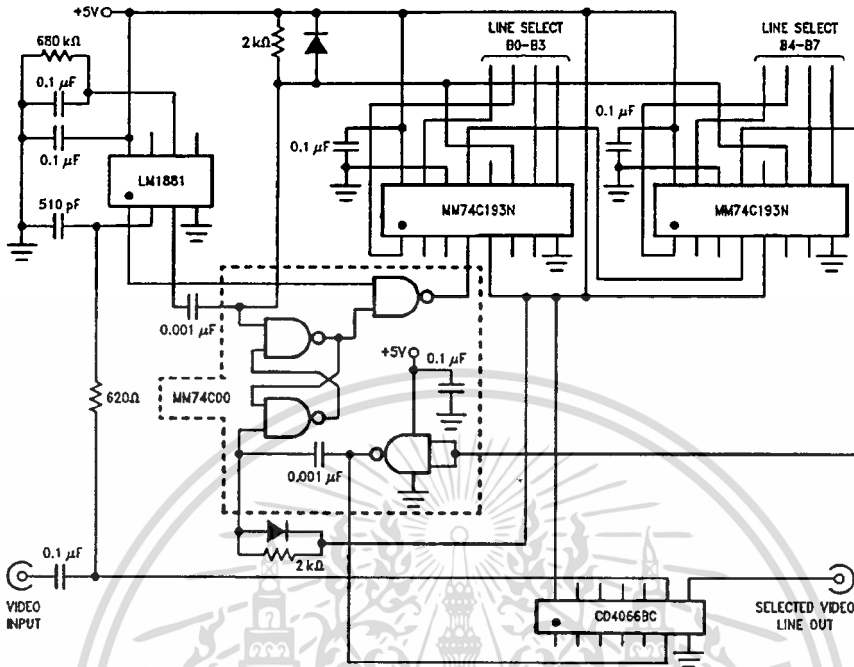


FIGURE 4. Video Line Selector

TL/H/9150-5

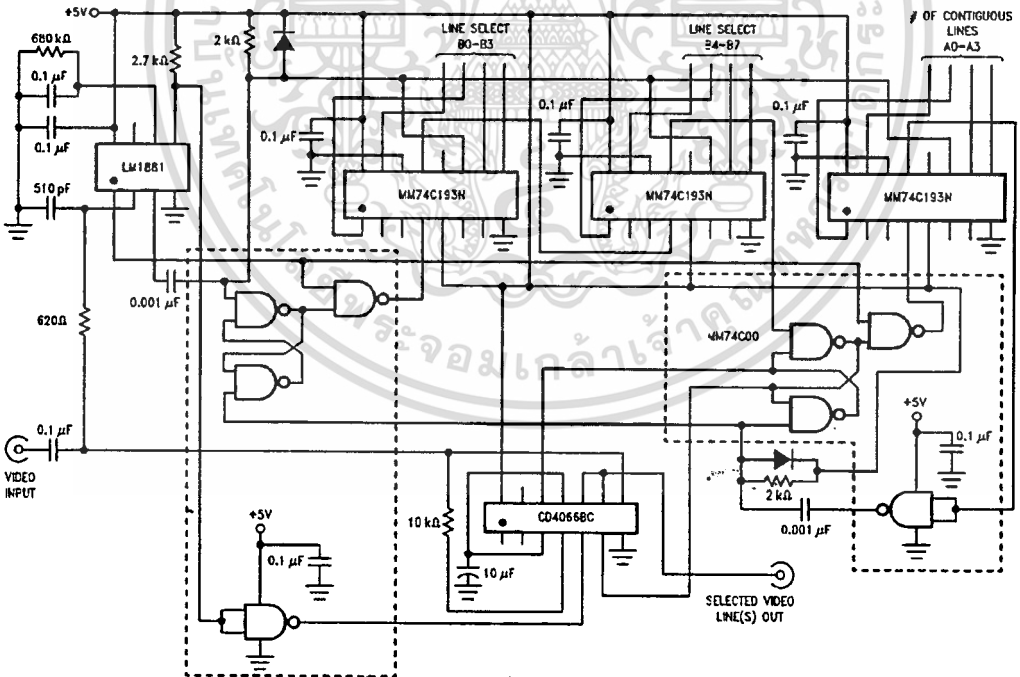


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL/H/9150-6

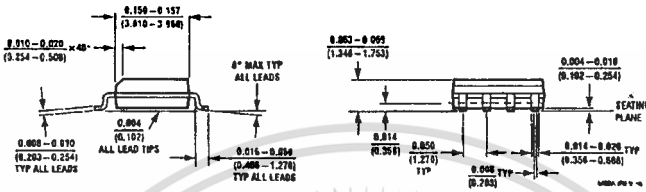
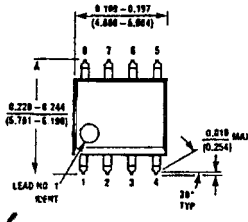
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



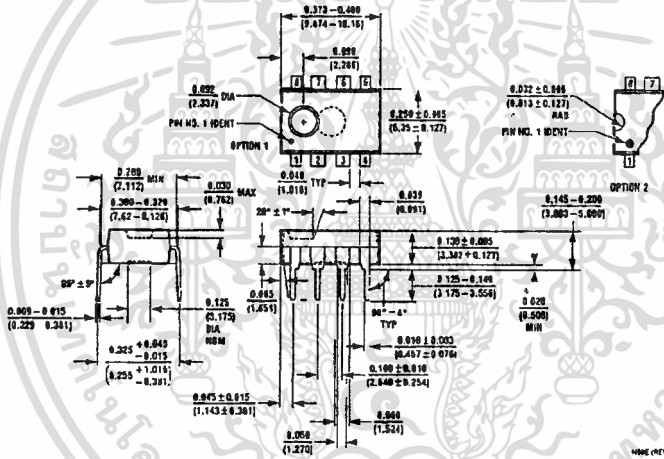
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Physical Dimensions** inches (millimeters)

Lit. # 107636



**Molded Small Outline Package (M)**  
 Order Number LM1881M  
 NS Package Number M08A



**Molded Dual-In-Line Package (N)**  
 Order Number LM1881N  
 NS Package Number N08E

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cnjwge@levm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
 13th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd,  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2738-9960

**National Semiconductor Japan Ltd.**  
 Tel: 81-42-299-2302  
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are included and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## HM628128Series

### 131072 - Word x 8 - Bit High Speed CMOS Static RAM

The Hitachi HM628128 is a CMOS static RAM organized 128 kwords x 8 - bit . It realize higher density , higher performance and low power consumption by employing 0.8  $\mu\text{m}$  HI - CMOS process technology .

It offers low power standby power dissipation : therefore , it is suitable for battery back - up systems . The device , packaged in a 525 mil SOP ( 460 - mil body SOP ) or a 600 - mil plastic DIP , is available for high density mounting .

### Features

- High speed : Fast access time 70/85/100/120 ns ( max . )
- Low power
  - Standard : 10  $\mu\text{W}$  ( typ ) ( L - / L - SL version )
  - Operation : 75  $\mu\text{W}$  ( typ )
- Single 5 V supply
- Completely static memory
  - No clock or timing strobe required
- Equal access and cycle times
- Common data input and output : Three - state output
- Directly TTL compatible : All inputs and outputs
- Capability of battery back up operation ( L - L - SL version )
  - 2 chip selection for battery back up

### Pin Description

Pin Name	Function
A0 - A16	Address
I/O0 - I/O7	Input/Output
CS1	Chip select 1
CS2	Chip select 2
WE	Write enable
OE	Output enable
NC	No connection
Vcc	Power supply
Vss	Ground



## หนังสืออ้างอิง

1. John Watkinson , " Television Fundamentals " , Focal Press , 1996
2. Andrew F.Inglis , " Viseo Engineering " , McGraw - Hill , Inc , 1993
3. Walt Kester , " High Speed Design Seminar " , Analog Devices , Inc. , 1989
4. Thomas M.Adams , " T.V. sync and Deflection circuits " , Foulsham Sams
5. Thomas M.Adams , " T.V. Video and sound circuit " , Foulsham Sams
6. สมาคมวิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์ , " ศัพท์วิศวกรรมอิเล็กทรอนิกส์ " , โรงพิมพ์จุฬาลงกรณ์มหาวิทยาลัย , กรุงเทพฯ ฯพ.ศ.2539
7. สุรเมธ สัจจอิสริยาวุฒิ , " ระบบเก็บและวิเคราะห์ข้อมูลความเร็วสูง " , วิทยานิพนธ์ระดับปริญญาโท , ภาควิชาอิเล็กทรอนิกส์ , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พ.ศ.2537

