ระบบเสียงสำหรับการประชุม

AUDIO SYSTEM FOR CONFERENCE

โดย

นาย วิสิฏฐ์ วงศ์สุทธิธรรม 38013205

นาย สุธีระ บุญเรืองรอด 38013215

อาจารย์ที่ปรึกษา

อ. ประภากร สุวรรณะ

วัน เดือน ปี 23 ตค 2541

เลขทะเบียน 039137

เลขเรียกหนังสือ T 10376 ว785ร

รายงานฉบับนี้เป็นส่วนหนึ่งของวิชา 01184102 PROJECT II

ของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประจำภาคเรียนที่ 2 ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039137

รายงานเรื่อง ระบบเสียงที่ใช้ สำหรับการประชุม

AUDIO SYSTEM FOR CONFERENCE

จัดทำโดย นาย วิสิฏฐ์ วงศ์สุทธิธรรม 38013205

นาย สุธีระ บุญเรืองรอด 38013215

อาจารย์ที่ปรึกษา อ. ประภากร สุวรรณะ

รายงานฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ ..... อาจารย์ที่ปรึกษา

(ประภากร สุวรรณะ)

วันที่ 12 / พ.ค. / 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงาน เรื่องระบบเสียงที่ใช้สำหรับการประชุมที่ได้จัดทำขึ้นนี้ จะประสบความสำเร็จถึงจุดนี้มิได้ ถ้าขาดบุคคลดังต่อไปนี้ ก่อนอื่นต้องขอขอบพระคุณ ท่านอาจารย์ ประภากร สุวรรณะ ซึ่งท่านเป็นอาจารย์ที่ปรึกษา ที่ได้ให้คำปรึกษาเกี่ยวกับปัญหาต่าง ๆ ที่เกิดขึ้นในขณะที่ทำการทดลองวงจร และพร้อมกันนี้ท่านยังได้ให้คำแนะนำและวิธีในการแก้ปัญหาต่าง ๆ ในส่วนต่าง ๆ เป็นอย่างดี และในบางครั้งท่านได้สอนสิ่งซึ่งเป็นความรู้จากประสบการณ์จากการทำงานของท่านแก่ผู้จัดทำอีกด้วย ซึ่งความรู้ในส่วนนี้จะเป็นประโยชน์อย่างมาก เมื่อได้นำไปใช้แก้ปัญหาต่าง ๆ ในการทำงานพร้อมกันนี้ก็ต้องขอขอบคุณบรรดาเพื่อน ๆ ที่ช่วยให้กำลังใจเป็นอย่างดี ขอขอบคุณอีกครั้ง

.....

(นายวิสิฎฐ์ วงศ์สุทธิธรรม)

.....

(นายสุธีระ บุญเรืองรอด)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเสียงที่ใช้สำหรับการประชุม

นาย วิสิฏฐ์ วงศ์สุทธิธรรม
นายสุธีระ บุญเรืองรอด
อ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ประจำภาคเรียนที่ 1 ปีการศึกษา 2540

บทคัดย่อ

โครงงานนี้เป็นการออกแบบ และสร้างระบบเสียงที่ใช้สำหรับการประชุม ซึ่งแต่ละเครื่องจะประกอบด้วยไมโครโฟนและลำโพงอยู่ในตัวเครื่องของแต่ละเครื่อง และสามารถปรับและควบคุมระบบเสียงได้ โดยที่เครื่องทุกเครื่องจะถูกควบคุมโดยเครื่องควบคุมหลัก ซึ่งอยู่ที่โต๊ะของประธานในการประชุม สัญญาณที่ใช้ในการควบคุมวงจรระบบจะใช้เป็นสัญญาณพัลส์ลบ ซึ่งสัญญาณที่ใช้ในการควบคุมนี้ จะถูกส่งออกไปใช้ในการควบคุมระบบและเป็นแหล่งจ่ายไฟให้แก่เครื่องของสมาชิกทุกเครื่องที่เข้าร่วมในการประชุม

สิ่งที่ได้ทำคือ ในส่วนของหน่วยควบคุมระบบ ซึ่งประกอบไปด้วย วงจรกำเนิดสัญญาณพัลส์,วงจรแยกสัญญาณซิงค์, วงจรกำเนิดสัญญาณพัลส์ลบ, วงจรดีเทคสัญญาณพัลส์ลบและระบบเสียงซึ่งวงจรเหล่านี้เมื่อนำมาประกอบร่วมกันเป็นหน่วยควบคุมระบบก็สามารถทำงานได้อย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUDIO SYSTEM FOR CONFERENNCE

Mr. Visit Wongsuttitum

Mr. Suteera Boonruangrod

Mr. Praphakorn Suwanna (ADVISORS)

1st Semestor , Educational Year 1997

ABSTRACT

The project is the design and construction of the Audio System for Conference. A unit consists of a micropphone and speaker with independent volume control. All of unit can be inhibited by the chairman. The control signals of the system use the negative pulse technique which deliver both signals and power supplies to participants units.

The control unit which consists of a clock generator, a sync separator, a negative pulses, a detect negative pulses, a audio system and associate circuits are built, giving a satisfactory result.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
ABSTRACT	III
สารบัญ	IV
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	4
2.1 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์	4
2.1.1 การทำงานของวงจร	4
2.2 วงจรนับ	6
2.2.1 หลักการทำงาน	6
2.2.2 วงจรโมดูโล 2″	9
2.2.3 วงจรนับโมดูโลใด ๆ	12
2.3 วงจรอาร์ซีอินดิเกรเตอร์	12
2.3.1 การประยุกต์วงจรอาร์ซีอินดิเกรเตอร์ กับวงจรขยายเพื่อทำการแยกสัญญาณซิงค์	13
2.4 การส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล	14
2.5 สวิทชิ่ง เร็กกูเรเตอร์	16
2.5.1 ชนิดสวิทชิ่ง เร็กกูเรเตอร์	16
2.5.2 Width-Modulated Step-Down Converter (Buck)	16
บทที่ 3 การออกแบบวงจร	21
3.1 หลักการออกแบบสัญญาณควบคุม	21
3.1.1 หลักการทำงานของวงจรสร้างสัญญาณควบคุม	22
3.2 วงจรขยายสัญญาณควบคุมและไฟเลี้ยง	23
3.2.1 หลักการทำงานและการออกแบบวงจร	23
3.3 หลักการทำงานและออกแบบวงจรรวมทั้งระบบ	25
3.4 การพัฒนาวงจรให้ง่ายต่อการใช้งานจริง	29
บทที่ 4 การทดลองและผลการทดลอง	35
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	46
เอกสารอ้างอิง	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปและตาราง

หน้า

รูปที่ 1.1 แสดง BLOCK DIAGRAM 2

รูปที่ 1.2 แสดงการจัดวางระบบ 3

รูปที่ 2.1 แสดงวงจรผลิตสัญญาณรูปสี่เหลี่ยมจากไอซี 555 4

รูปที่ 2.2 แสดงการเปรียบเทียบแรงดันที่เอาท์พุท
กับแรงดันที่ตกคร่อมตัวเก็บประจุ C 5

รูปที่ 2.3 แสดงโครงสร้างของวงจรนับ n บิต 7

รูปที่ 2.4 แสดงตัวอย่างการต่อฟลิปฟลอป T เป็นวงจรนับอสมวาร 8

รูปที่ 2.5 แสดงตัวอย่างการต่อฟลิปฟลอปแบบ T เป็นวงจรนับอสมวาร 8

รูปที่ 2.6.1 แสดงแผนภาพพล็อก 9

รูปที่ 2.6.2 แสดงแผนภาพสถานะ (มี 8 สถานะ หมายถึง โมดูโล 8) 9

รูปที่ 2.6.3 แสดงแผนภาพเวลา 10

ตารางที่ 2.1 แสดงตารางสถานะ 10

รูปที่ 2.7 แสดงวงจรนับอสมวาร หาร 8 $CNTL = 1$ วงจรจะนับขึ้น 11

รูปที่ 2.8 แสดงวงจรอาร์ซีอินดิเกรเตอร์ (R C INTEGRATOR) 12

รูปที่ 2.9 แสดงวงจรแยกสัญญาณซิงค์ 13

รูปที่ 2.9.1 แสดงสัญญาณ ควบคุมที่เข้ามาในวงจรแยกสัญญาณซิงค์ 13

รูปที่ 2.9.2 แสดงแรงดันของสัญญาณที่ตกคร่อมตัวเก็บประจุ (VC) 13

รูปที่ 2.10 แสดงวงจรที่ส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล 15

รูปที่ 2.11 แสดงวงจรพื้นฐานของ STEP DOWN SWITCHING REGULATOR 17

รูปที่ 2.12 แสดงรูปสัญญาณที่จุดต่าง ๆ 17

รูปที่ 3.1 แสดงสัญญาณซิงค์พัลส์ 21

ตารางที่ 3.1 แสดงสัญญาณที่ออกมาทางเอาท์พุทของไอซีเคาท์เตอร์ 21

รูปที่ 3.2 แสดงวงจรผลิตพัลส์ควบคุม 22

รูปที่ 3.3 แสดงวงจรผลิตพัลส์ควบคุมซึ่งได้ทำการออกแบบใหม่ 23

รูปที่ 3.4 แสดงวงจรขยายสัญญาณควบคุม 24

รูปที่ 3.5 แสดงการออกแบบวงจรขยายสัญญาณควบคุม 26

รูปที่ 3.6 แสดงการเกิดสัญญาณพัลส์ลบ 28

รูปที่ 3.7 แสดงวงจรรวมที่ได้ทำการออกแบบไว้ 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 แสดงวงจรรวมที่ได้ทำการออกแบบไว้ 31
รูปที่ 3.9 แสดงวงจรรวมที่ได้ทำการพัฒนาเพื่อให้ง่ายต่อการใช้งานจริง 32
รูปที่ 3.10 แสดงวงจรที่ใช้ในการส่งสัญญาณเสียงแบบดิฟเฟอร์เรนเชียล 33
รูปที่ 3.11 แสดงวงจรเพาาาเวอร์แอมป์ที่ได้ทำการออกแบบไว้ 33
รูปที่ 3.12 แสดงแหล่งจ่ายไฟของเครื่องสมาชิกที่ใช้แบบสวิทชิ่ง 34
รูปที่ 4.1 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของ
ทรานซิสเตอร์เบอร์ 1815 (Q5) กับสัญญาณควบคุม 36
รูปที่ 4.2 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของ
ทรานซิสเตอร์เบอร์ 1815 (Q5) กับสัญญาณควบคุม 37
รูปที่ 4.3 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของ
ทรานซิสเตอร์เบอร์ 1015 (Q4) กับสัญญาณควบคุม 38
รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อ
ทำการขอพูดของเครื่องที่ 3 กับสัญญาณที่ได้ทำการดีเทคพัลส์ลบ 39
รูปที่ 4.5 แสดงการเปรียบเทียบสัญญาณซิค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์
เบอร์ 1815 (Q5) กับสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณ
เพื่อทำการขอพูดของเครื่องที่ 3 40
รูปที่ 4.6 แสดงสัญญาณอินพุทที่ทำการป้อนให้แก่วงจรปรีไมค์ 41
รูปที่ 4.7 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรปรีไมค์ 41
รูปที่ 4.8 แสดงสัญญาณที่ทำการส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล 42
รูปที่ 4.9 แสดงสัญญาณที่รับได้จากส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล 42
ตารางที่ 4.1 แสดงผลการทดลองวัดเฟสของสัญญาณที่ทำการสงแบบ
ดิฟเฟอร์เรนเชี่ยลที่ความถี่ต่างๆ 43
รูปที่ 4.10 แสดงกราฟการวัดเฟสของสัญญาณที่ทำการสงแบบดิฟเฟอร์เรนเชี่ยล
ที่ความถี่ต่างๆ 44
ตารางที่ 4.2 แสดงผลการทดสอบแหล่งจ่ายไฟแบบสวิทชิ่งของเครื่องสมาชิก 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

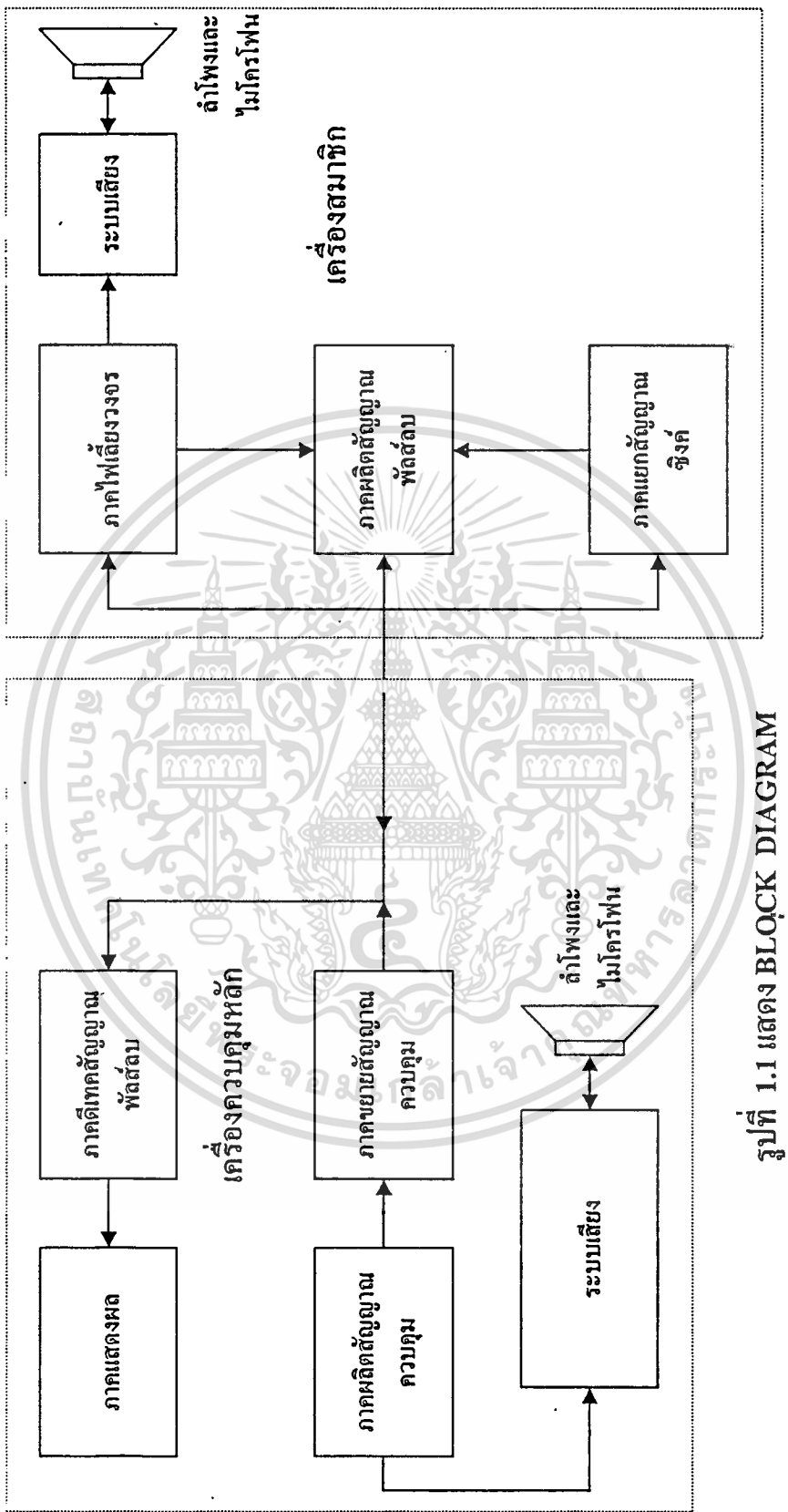
บทนำ

ระบบเสียงที่ใช้สำหรับการประชุม (AUDIO SYSTEM FOR CONFERENCE) จัดเป็นเครื่องอำนวยความสะดวกชิ้นหนึ่งที่ใช้สำหรับการสนทนาในการประชุมต่างๆ ซึ่งเครื่องมือชิ้นนี้จะมีทั้ง ไมโครโฟนและลำโพงภายในตัวเครื่องตัวเดียวกัน โดยจะมีเครื่องควบคุมใหญ่อยู่ที่โต๊ะของประธานในการประชุม สำหรับสมาชิกที่ร่วมในการประชุมท่านใดมีความต้องการที่จะทำการพูด ก็สามารถที่จะทำการกดปุ่มสัญญาณในการขอพูดที่เครื่องของตนได้เลย โดยที่สัญญาณในการขอพูดนั้นจะไปปรากฏในเครื่องที่โต๊ะของประธาน โดยจะไปปรากฏในลักษณะเรียงลำดับในการกดปุ่ม ว่าเครื่องใดทำการกดก่อนหรือทำการกดทีหลัง ประธานในการประชุมก็จะทำการกดปุ่มสัญญาณเพื่ออนุญาตให้สมาชิกพูด ตามลำดับการขอประธานก็จะทำการกดปุ่มสัญญาณ เพื่ออนุญาตให้สมาชิกที่ต้องการพูดได้ทำการพูดได้เลย หรือในกรณีที่มีสมาชิกที่เข้าร่วมในการประชุมกำลังพูดอยู่ ประธานก็สามารถที่จะทำการหยุดการทำงานของเครื่องนั้นได้ในทันที

โดยที่ระบบเสียงที่ใช้สำหรับการประชุม นี้จะถูกทำการเชื่อมต่อเข้าด้วยกันเป็นระบบ โดยใช้สายสัญญาณในการเชื่อมต่อ

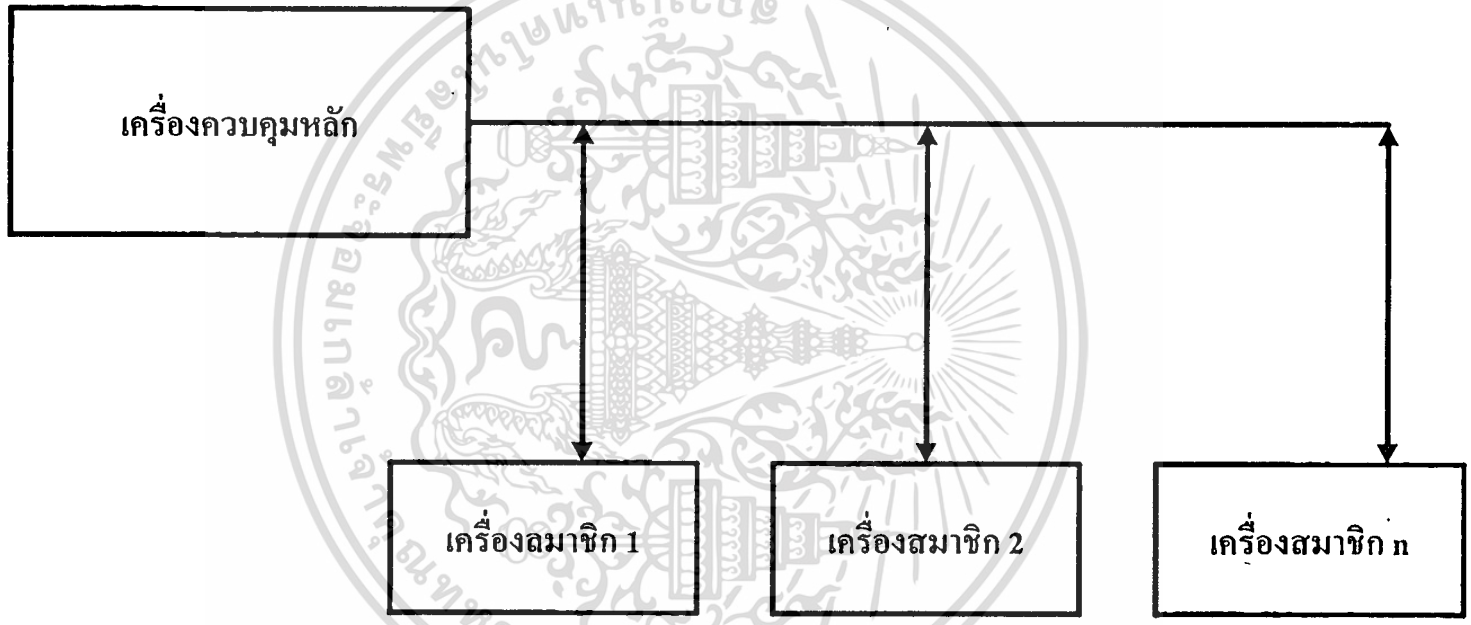
เพื่อให้ง่ายต่อการทำความเข้าใจ จึงขอแสดงเป็น BLOCK DIAGRAM ได้ดังรูปที่ 1.1 และการจัดวางระบบเสียงที่ใช้ในการประชุมก็เป็นดังรูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 แสดง BLOCK DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

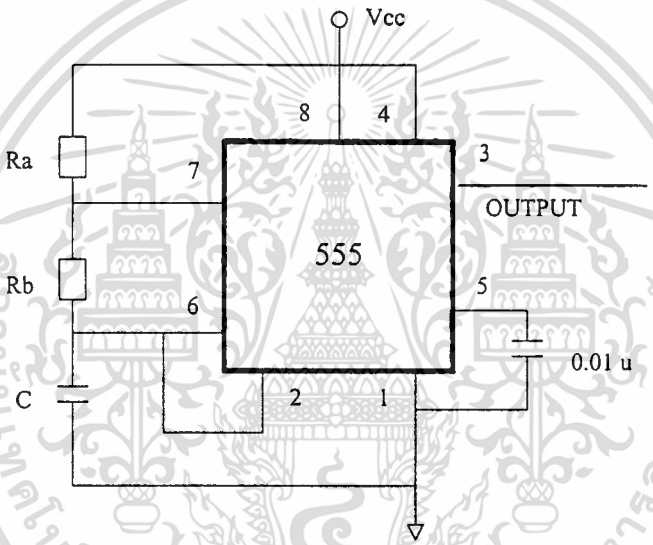


รูปที่ 1.2 แสดงการจัดวางระบบ

บทที่2
ทฤษฎีที่เกี่ยวข้อง

2.1 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์

วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ (ASTABLE MULTIVIBRATOR) หรือก็คือวงจรที่ใช้ในการผลิตสัญญาณรูปสี่เหลี่ยม นั่นเอง ซึ่งประกอบขึ้นมาจาก ไทม์เมอร์ (TIMMER) เบอร์ 555 ดังแสดงในรูป

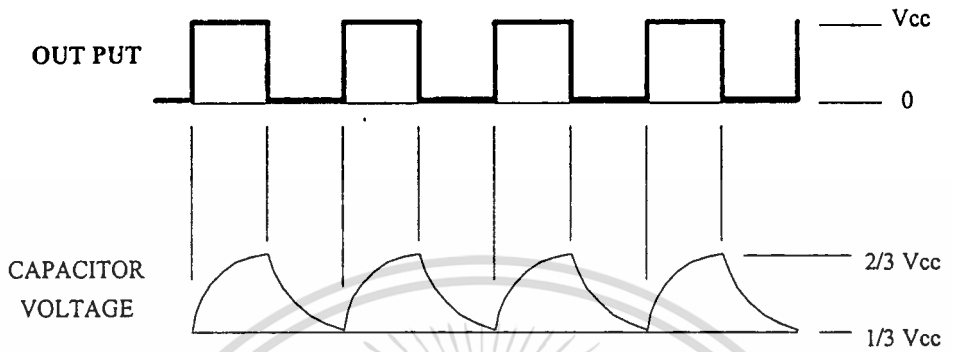


รูปที่ 2.1 แสดงวงจรผลิตสัญญาณรูปสี่เหลี่ยมจากไอซี 555

2.1.1 การทำงานของวงจร

. จากรูปตัวความต้านทาน R_a และ R_b ทำหน้าที่ เป็นตัวต้านทานที่ใช้กำหนดค่าของเวลา (TIMING RESISTANCE) เมื่อวงจรได้รับแรงดันไบอัส จากแหล่งจ่ายกำลัง ตัวเก็บประจุ C ซึ่งทำหน้าที่เป็นตัวเก็บประจุที่ใช้กำหนดค่าของเวลา (TIMING CAPACITOR)จะสะสมประจุผ่านตัวต้านทาน R_a และ R_b จนกระทั่งเมื่อแรงดันตกคร่อมมีค่า $\frac{2}{3}Vcc$ จะทำให้วงจรเปรียบเทียบทางด้านสูง (UPPER COMPARATOR) กระตุ้นฟลิปฟลอป (FLIP - FLOP)ที่มีอยู่ภายในตัวไอซี และมีผลทำให้ตัวเก็บประจุ C ก็จะลดลง และเมื่อมีค่าเหลือเป็น $\frac{1}{3}Vcc$ แล้ววงจรเปรียบเทียบทางด้านต่ำ (LOWER COMPARATOR) ในไอซีก็จะถูกกระตุ้นและเริ่มการทำงานของวงจรใหม่อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงการเปรียบเทียบแรงดันที่เอาท์พุทกับแรงดันที่ตกคร่อมตัวเก็บประจุ C

ตัวเก็บประจุ C จะทำการประจุและคายประจุสลับกันไปอย่างสม่ำเสมอทำให้แรงดันตกคร่อม C มีค่าระหว่าง $\frac{2}{3}Vcc$ และ $\frac{1}{3}Vcc$ ตามลำดับ ศักดาที่ เอาท์พุท ของวงจรจะมีค่าสูงในขณะที่ตัว C ทำการเก็บประจุ ซึ่งถ้าให้ t_1 คือช่วงเวลาที่ เอาท์พุท มีศักดาสูงดังนั้น

$$t_1 = \left(R_a + R_b\right) C \log_e \left\{ \frac{Vcc - \frac{2}{3}Vcc}{Vcc - \frac{1}{3}Vcc} \right\}$$

หรือ $$t_1 = 0.693\left(R_a + R_b\right) C$$ วินาที

และศักดาที่เอาท์พุท จะมีค่าต่ำในขณะที่ตัว C ทำการคายประจุ ซึ่งถ้าให้ t_2 เป็นช่วงเวลาที่เอาท์พุทมีศักดาต่ำ

ดังนั้น $$t_2 = 0.693\, R_a\, C$$ วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลารวมสำหรับการสะสมและการคายประจุก็คือ

$$T = t_1 + t_2$$
$$T = 0.693\left(R_a + 2R_b\right)C$$

ซึ่งค่า T ก็คือ ช่วงเวลาความกว้างของพัลซ์หนึ่งลูกคลื่น ดังนั้นความถี่ของพัลซ์ที่เอาท์พุทก็คือ

$$f = \frac{1}{T} = \frac{1.433}{\left(R_a + 2R_b\right)C} \qquad Hz$$

และถ้า ดิวตี้ไซเคิล (DUTY CYCLE) ถูกนิยามว่าคืออัตราส่วนของช่วงเวลาที่เอาท์พุท มีศักย์ดาสูงกับช่วงเวลาทั้งหมดของพัลซ์หนึ่งลูกคลื่น และเขียนแทนด้วย D

ดังนั้น $$duty\ cycle\ (D) = \frac{t_1}{T} = \frac{R_a + R_b}{R_a + 2R_b}$$

2.2 วงจรนับ (COUNTER)

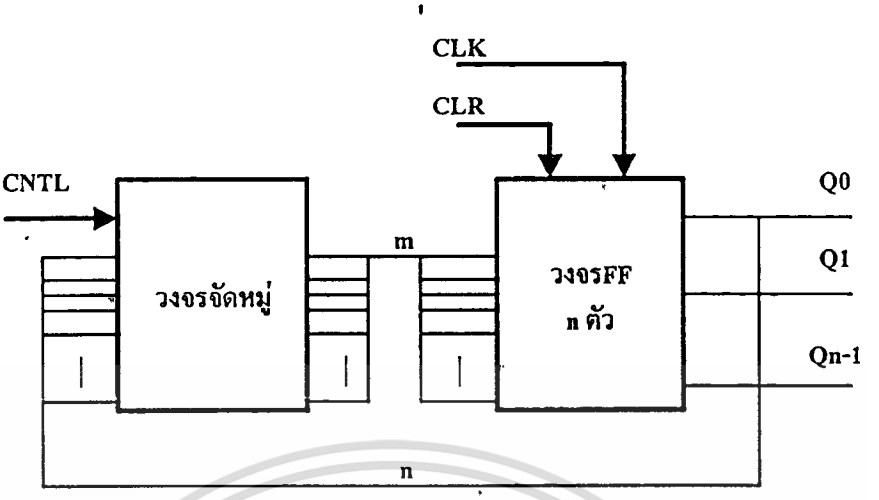
วงจรนับ เป็นวงจรลำดับที่ทำการนับพัลส์ขาเข้าและให้ผลลัพธ์เป็นรหัส

2.2.1 หลักการทำงาน

ชนิดของวงจรนับมักจะระบุเป็นลักษณะที่สำคัญ 5 ประการคือ

1. ภาคการทำงานมีภาคเดียวหรือหลายภาค (SINGLE OR MULTI MODE)
2. จำนวนบิตขาออก
3. จำนวนสถานะหรือที่เรียกกันว่า เลขโมดูโล (MODULO NUMBER) หรือเลขของตัวหาร
4. ลำดับของรหัสที่กำหนดขึ้นที่ขั้วออก
5. สมวารหรืออสมวาร (SYNCHRONOUS OR ASYNCHRONOUS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงโครงสร้างของวงจรนับ n บิต

โครงสร้างของวงจรนับ ก็เหมือนกับวงจรลำดับ ซึ่งสามารถเขียนได้ดังในรูปที่ 2.3 ในที่นี้ CLK, CLR และ $CNTL$ คือตัวแปรขาเข้า , $Q_{n-1} \ldots Q_1 Q_0$ คือตัวแปรสถานะปัจจุบัน(SV) (ในกรณีที่ใช้ฟลิปฟลอบ ตัวแปรขาเข้าของฟลิปฟลอบ คือตัวแปรสถานะถัดไป (NS))

จากรูปที่2.3 สังเกตได้ว่าสัญญาณเข้าที่ใช้ในการควบคุม($CNTL$) คือสัญญาณถ้าไม่มีขั้ว สำหรับสัญญาณเข้าที่ใช้ในการควบคุม แสดงว่าวงจรมีภาคการทำงานภาคเดียว ถ้ามีสาย สัญญาณเข้าที่ใช้ในการควบคุมจำนวน j สาย แสดงว่ามีภาคการทำงานได้ถึง 2^j ภาค โดยปกติภาคการทำงานอาจจะมีสองภาคคือ ภาคนับขึ้น กับภาคนับลง

วงจรนับมีขั้วออก n ขั้ว ซึ่งเท่ากับจำนวนของฟลิปฟลอบ เราเรียกว่า วงจรนับ n บิต จำนวนสถานะสูงสุดที่วงจรนับ n บิตพึงมีได้ก็คือ 2^n สถานะ ซึ่งก็คือจำนวนมินเทอมของตัวแปร n ตัว $Q_{n-1} \ldots Q_1 Q_0$ นั่นเอง วงจรนับวงจรหนึ่งไม่จำเป็นต้องมีสถานะครบถ้วนทั้ง 2^n สถานะ หากแต่จะให้รหัสขาออก $Q = Q_{n-1} \ldots Q_1 Q_0$ เวียนกันไปเป็นวัฏจักร โดยมีจำนวนสถานะทั้งหมดเท่ากับ N เราเรียกว่าเป็นวงจรนับโมดูโล N หรือวงจรนับหาร N

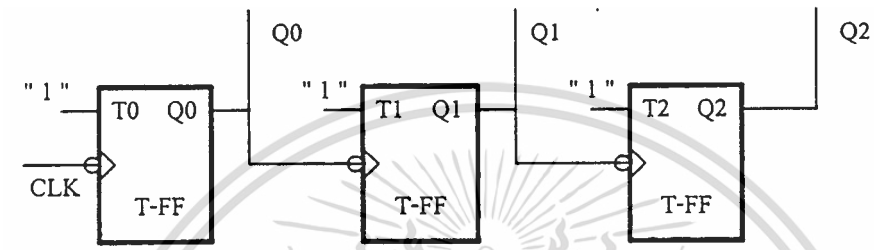
เรามักจะนึกเอาเองว่าวงจรนับหาร N น่าจะมีขั้วออกเพียง 1 ขั้ว ซึ่งความถี่ของสัญญาณที่ขั้วนี้เท่ากับความถี่ของสัญญาณนาฬิกา f_c หารด้วย N แต่อันที่จริงวงจรนับหาร N จะมีขั้วออกได้หลายขั้ว อย่างไรก็ดีจะมีขั้วออกขั้วหนึ่งเป็นอย่างน้อยที่จะให้ความถี่ $\frac{f_c}{N}$

รหัสขาออก $Q = Q_{n-1} \ldots Q_1 Q_0$ ซึ่งก็คือรหัสของสถานะนั้นจะเรียงลำดับกันอย่างไรก็ได้ ถ้ารหัส Q เรียงลำดับแบบเลขฐานสองจากเล็กไปใหญ่ เมื่อครบเลขโมดูโลแล้วก็เวียนกลับมา

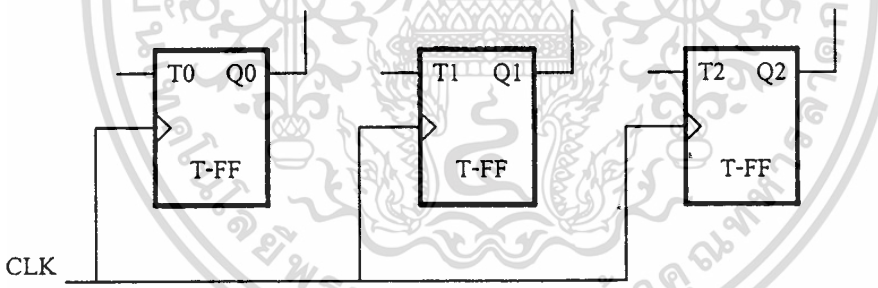
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตั้งต้นจะเรียกว่าวงจรนับลง อย่างไรก็ดีรหัส Q อาจเรียงลำดับเป็นรหัสอื่น เช่น รหัสเกรย์ (GRAY CODE), รหัส $X53$ หรือ รหัสใด ๆ ก็ได้

ถ้าฟลิปฟลอปทั้ง n ตัวต่อเรียงกันโดย เอาขั้วของตัวหนึ่ง ต่อเป็นสัญญาณนาฬิกาของฟลิปฟลอปตัวถัดไป ดังในรูปที่ 2.4 วงจรนี้จะเป็นวงจรนับแบบอสมวารคือ สัญญาณนาฬิกาของฟลิปฟลอปต่าง ๆ จะมีความถี่ไม่เท่ากัน แต่ถ้าฟลิปฟลอปทุกตัวใช้สัญญาณนาฬิกาเดียวกัน จะเรียกว่าวงจรนับแบบสมวาร (ดูรูปที่2.5)



รูปที่ 2.4 แสดงตัวอย่างการต่อฟลิปฟลอป T เป็นวงจรนับอสมวาร



รูปที่ 2.5 แสดง ตัวอย่างการต่อฟลิปฟลอปแบบ T เป็นวงจรนับสมวาร
(T_i เป็นฟังก์ชันตรรกของ Q_0 , Q_1 และ Q_2)

หลักการออกแบบวงจรนับก็เหมือนกับการออกแบบ วงจรลำดับแบบง่าย ๆ คือ ให้ทำตามขั้นตอนดังนี้

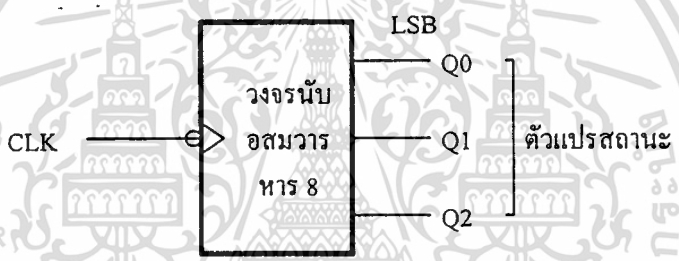
1. เขียนแผนภาพบล็อก
2. เขียนแผนภาพสถานะ
3. เขียนตารางสถานะปัจจุบัน สถานะถัดไป และตารางการกระตุ้น (ถ้าจำเป็น)
4. เขียนแผนภูมิคาร์นอ ของวงจรจัดหมู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

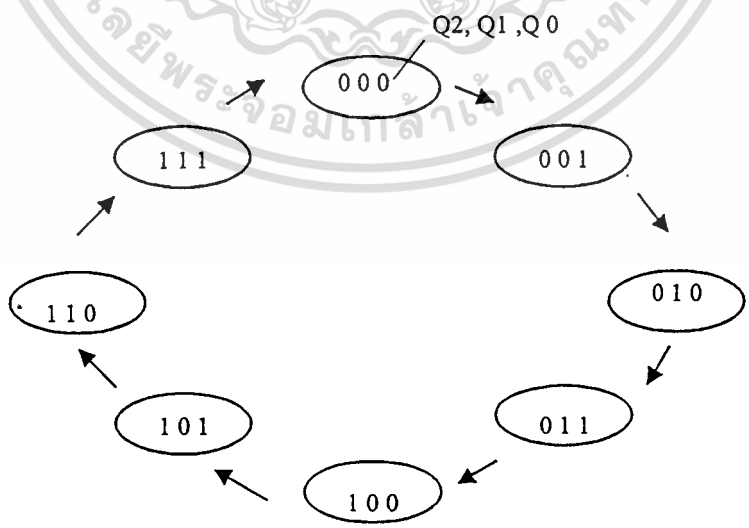
5. เขียนนิพจน์ของตัวแปรขาออกของวงจรจัดหมู่ ให้เป็นฟังก์ชันตรรกของตัวแปรสถานะปัจจุบัน
6. เขียนแผนภาพสถานะให้ครบบริบูรณ์ (ถ้าจำเป็น)
7. เขียนแผนภาพเกตและฟลิปฟลอป

2.2.2 วงจรนับโมดูโล 2^n

วงจรนับเป็นระลอกในรูปที่ 3.2 ใช้ฟลิปฟลอปแบบ T 3 ตัว เราเรียกวงจรนี้ว่าวงจรนับหาร 2^3 หรือหาร 8 สำหรับวงจรนับในรูปที่ 2.4 นั้น สังเกตได้ว่าฟลิปฟลอปแบบ T (เมื่อ $T=1$) จะเปลี่ยนสถานะทุกครั้งที่ขอบของสัญญาณนาฬิกา เราสามารถเขียนแผนภาพบล็อก แผนภาพสถานะ แผนภาพเวลา และตารางสถานะได้ดังในรูปที่ 2.6

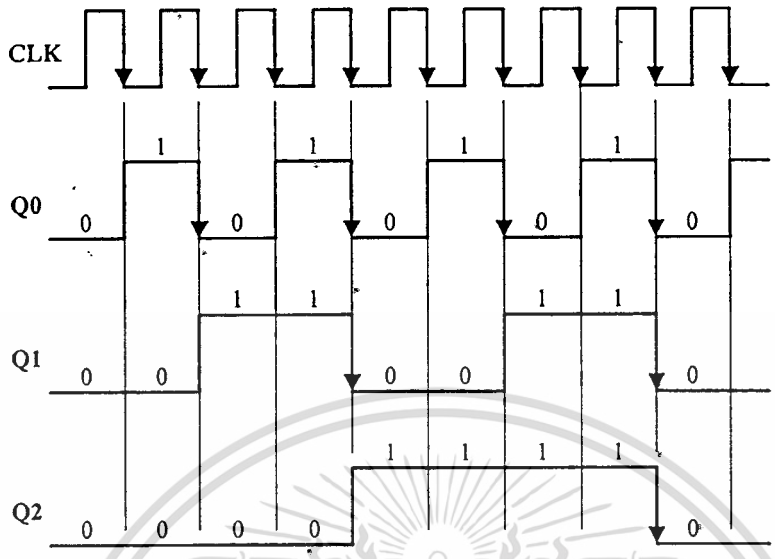


รูปที่ 2.6.1 แสดง แผนภาพบล็อก



รูปที่ 2.6.2 แสดง แผนภาพสถานะ (มี 8 สถานะ หมายถึง โมดูโล 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6.3 แสดงแผนภาพเวลา

รูปที่ 2.6 แสดง วงจรนับอสมวาร หาร 8 ใช้ฟลิปฟลอปแบบ T จำนวน 3 ตัว ซึ่งเปลี่ยนสถานะที่ขอบลง

CLK ลูกที่	สถานะปัจจุบัน Q2	Q1	Q0	สถานะถัดไป NQ2	NQ1	NQ0
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0
8	0	0	0	0	0	1
9	0	0	1	0	1	0

ตารางที่ 2.1 แสดงตารางสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับในรูปที่ 2.4 นั้นมีภาคการทำงานภาคเดียว มี 3 บิต โมดูโล 8 รหัสขาออกเป็นรหัสฐานสอง และเป็นแบบอสมวารหรือนับเป็นระลอก ที่เรียกว่านนับเป็นระลอกนั้น เพราะสังเกตได้ว่าสัญญาณนาฬิกาจะแผ่กระจายเหมือนเป็นระลอกผ่าน $FF0$ ไป $FF1$, $FF2$ ฯลฯ ให้ดูรูปที่ 2.6.3 ที่เรียกว่าวงจรนับหาร 8 นั้น ก็เพราะ สัญญาณ $Q2$ มีความถี่เป็น 1/8 ของสัญญาณนาฬิกา สังเกตได้ว่าถ้าใช้ฟลิปฟลอป n ตัว จะได้วงจรนับหาร 2^n

ถ้าต้องการให้วงจรนับลง เราอาจจะดัดแปลงวงจรในรูปที่ 2.4 โดย

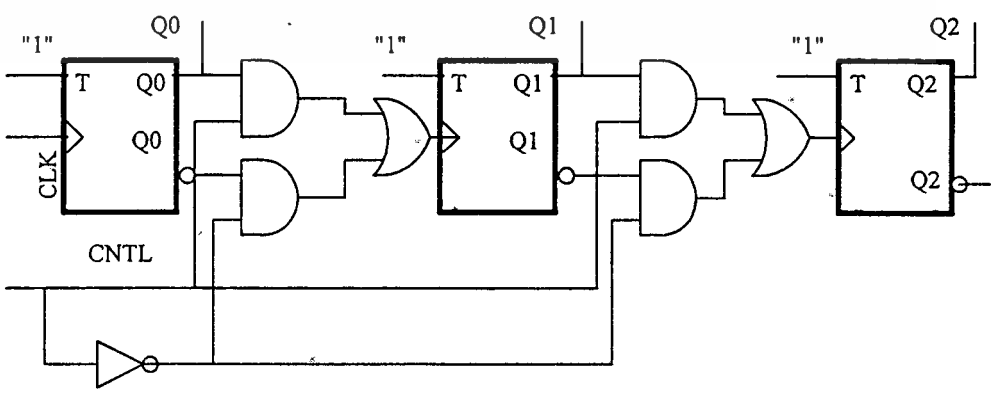
1. ใช้ฟลิปฟลอปที่เปลี่ยนสถานะที่ขอบขึ้น หรือ
2. ต่อ $\bar{Q}$ (แทนที่จะเป็น Q) ไปยังขั้วเข้า CLK ของฟลิปฟลอปถัดไป
3. ใช้ $\bar{Q}$ (แทนที่จะเป็น Q) เป็นขั้วออก

เราสามารถตรวจสอบว่าวงจรนับลงหรือนับขึ้น โดยเขียนแผนภาพเวลาเป็นต้น

ถ้าใช้สัญลักษณ์ $UP = 1$ เพื่อหมายถึงนับขึ้น $FE = 1$ เพื่อหมายถึงลั่นไกที่ขอบลง $QC = 1$ เพื่อหมายถึงต่อขั้ว Q เข้ากับขั้ว CLK และ $QO = 1$ เพื่อหมายถึงการใช้ขั้ว Q เป็นขั้วออก เราจะเขียนความสัมพันธ์เชิงตรรกได้ดังนี้

$$UP = FE \oplus QC \oplus QO$$

เพื่อจะดัดแปลงวงจรในรูปที่ 2.4 ให้เป็นวงจรที่มีภาคการทำงาน 2 ภาค คือ นับขึ้น และนับลง เราอาจจะต่อวงจรเกตเพื่อจะเลือกต่อ Q หรือ $\bar{Q}$ เข้ากับขั้ว CLK ของเกตถัดไป ทั้งนี้แล้วแต่ระดับตรรกของสัญญาณควบคุม $CNTL$ ดังในรูปที่ 2.7



รูปที่ 2.7 แสดงวงจรนับอสมวาร หาร 8 $CNTL = 1$ วงจรจะนับขึ้น

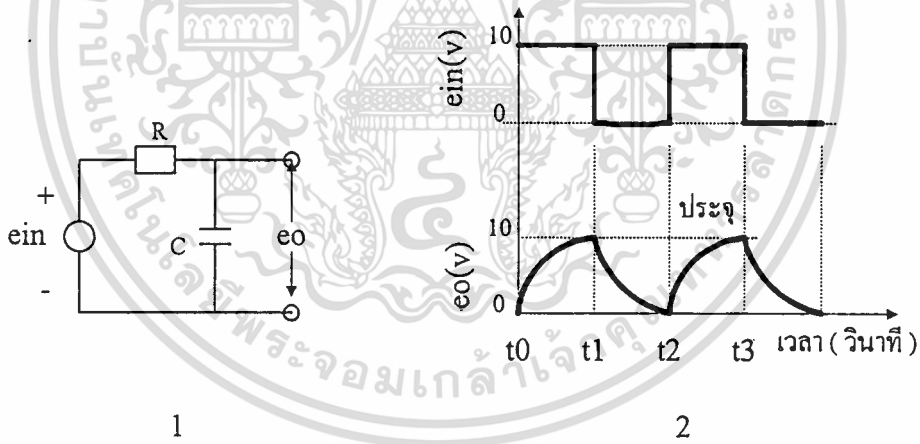
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 วงจรนับโมดูโลใด ๆ

ถ้ารหัสขาออกยังคงเรียงลำดับเป็นเลขฐานสอง เพียงแต่มีโมดูโล $N < 2^n$ (n คือ จำนวนฟลิปฟลอป) วิธีหนึ่งที่จะต่อวงจรได้โดยง่ายในกรณีนับขึ้นคือ ขณะที่รหัสขาออก $Q_{n-1} \ldots Q_1 Q_0$ เปลี่ยนค่ามาตรงกับเลขฐานสิบเท่ากับ N เราก็จะทำการตั้งต้นใหม่ (CLEAR) คือ ใส่เลข 0 . . . 00 เข้าไปแทน

2.3 วงจรอาร์ซีอินติเกรเตอร์

วงจรอาร์ซีอินติเกรเตอร์ (R C INTEGRATOR) เป็นวงจรที่ประกอบด้วยตัวความต้านทาน (R) และตัวเก็บประจุ (C) ต่ออนุกรมอยู่กับแหล่งจ่ายแรงดัน (ในรูปพัลส์ใด ๆ)ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 แสดงวงจร อาร์ซีอินติเกรเตอร์ (R C INTEGRATOR)

หรือเมื่อพิจารณาดูแล้วจะเห็นว่า วงจรอาร์ซีอินติเกรเตอร์ก็คล้ายกับวงจรกรองสัญญาณแบบอาร์ซี ซึ่งยอมให้สัญญาณความถี่ต่ำผ่านไปได้ (LOWPASS RC FILTER) นั่นเอง และเมื่อนำมาพิจารณาประกอบการทำงานในวงจรรูปที่ 2.8.1 อาจกล่าวได้ว่าเนื่องจากพัลส์รูปสี่เหลี่ยมมุมฉากก็คือ สัญญาณรูปไซน์ที่มีความถี่อ๊อดฮาร์โมนิค (ODD HARMONICS)หลาย ๆ คลื่นมารวมกัน และเมื่อมาเจอกับวงจรกรองสัญญาณแบบอาร์ซี ซึ่งยอมให้สัญญาณความถี่ต่ำผ่านไปได้ แต่จะ

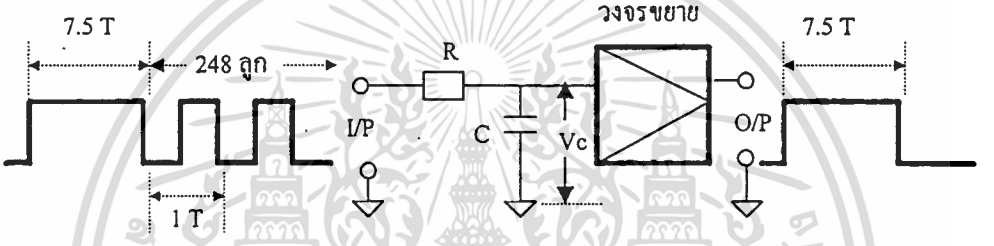
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองความถี่สูงไว้ ดังนั้นสัญญาณที่เอาท์พุทจึงมีลักษณะไม่ใช่คลื่นรูปสี่เหลี่ยมมุมฉาก แต่เป็นรูปกราฟของเอ็กซ์โปเนนเชียล (EXPONENTIAL) ดังรูปที่ 2.8 .2

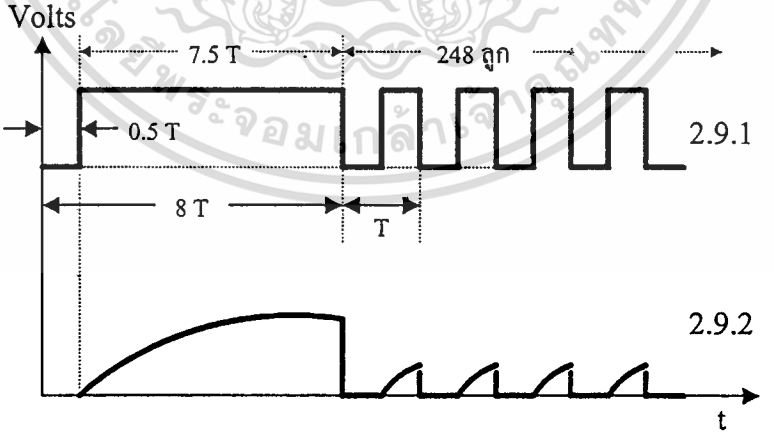
2.3.1 การประยุกต์วงจรอาร์ซีอินติเกรเตอร์กับวงจรขยายเพื่อทำการแยกสัญญาณซิงค์

เราจะออกแบบให้สัญญาณข้อมูลที่ผลิตได้นั้นจะเป็นสัญญาณพัลส์ จำนวน 248 ลูก และสัญญาณซิงค์พัลส์ ซึ่งมีความกว้างพัลส์ประมาณ 7.5 เท่าของคาบเวลาของแต่ละพัลส์

เราจะทำการแยกสัญญาณซิงค์พัลส์นี้ออกจากสัญญาณควบคุมโดยมีหลักการดังนี้



รูปที่ 2.9 แสดงวงจรแยกสัญญาณซิงค์



รูปที่ 2.9.1 แสดงสัญญาณที่เข้ามาในวงจรแยกสัญญาณซิงค์

รูปที่ 2.9.2 แสดงแรงดันของสัญญาณที่ตกคร่อมตัวเก็บประจุ (VC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีขบวนพัลส์ควบคุมผ่านตัวต้านทาน (R) เข้ามา ก็จะทำการเก็บประจุเช่นเดียวกับวงจรอาร์ซีอินติเกรเตอร์ กล่าวคือ เมื่อสัญญาณซิงค์พัลส์เข้ามาก็จะทำการประจุซึ่งเวลาของสัญญาณซิงค์จะมีค่ายาวนานกว่าขบวนพัลส์แต่ละลูก ทำให้สัญญาณที่เกิดขึ้นที่ตกค่อมตัวคาปาซิเตอร์ (C) ช่วงที่มีสัญญาณซิงค์เข้ามาจะเป็นลักษณะของเอ็กซ์โปแนนเชียล และเมื่อสัญญาณซิงค์พัลส์ผ่านไป ตัวคาปาซิเตอร์ก็จะเริ่มคายประจุจนกระทั่งสัญญาณพัลส์ลูกต่อไปเข้ามา แต่สัญญาณพัลส์ที่เข้ามานั้นมีค่าเวลาน้อยกว่าสัญญาณซิงค์มาก ทำให้ช่วงเวลาในการชาร์ตประจุครั้งใหม่เป็นไปในระยะเวลาสั้น ๆ เท่านั้น ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุ ลดลงเรื่อย ๆ ดังรูป 2.9.1 เมื่อได้สัญญาณที่ตกค่อมตัวเก็บประจุแล้ว สัญญาณนี้ก็จะถูกส่งเข้าไปวงจรเปรียบเทียบแรงดันอาจจะเป็น ออปแอมป์ (Op - Amp) หรือทรานซิสเตอร์เพียงตัวเดียวเท่านั้น ซึ่งทรานซิสเตอร์จะทำหน้าที่คล้ายเป็นสวิทช์ปิด - เปิด คือ เมื่อสัญญาณ ที่ผ่านวงจรอาร์ซีอินติเกรเตอร์เริ่มเข้ามา จนถึงแรงดันจุดหนึ่งที่ทำให้ทรานซิสเตอร์ทำงานก็จะได้พัลส์ออกมาเป็นรูปเฉพาะสัญญาณซิงค์พัลส์ตามต้องการ

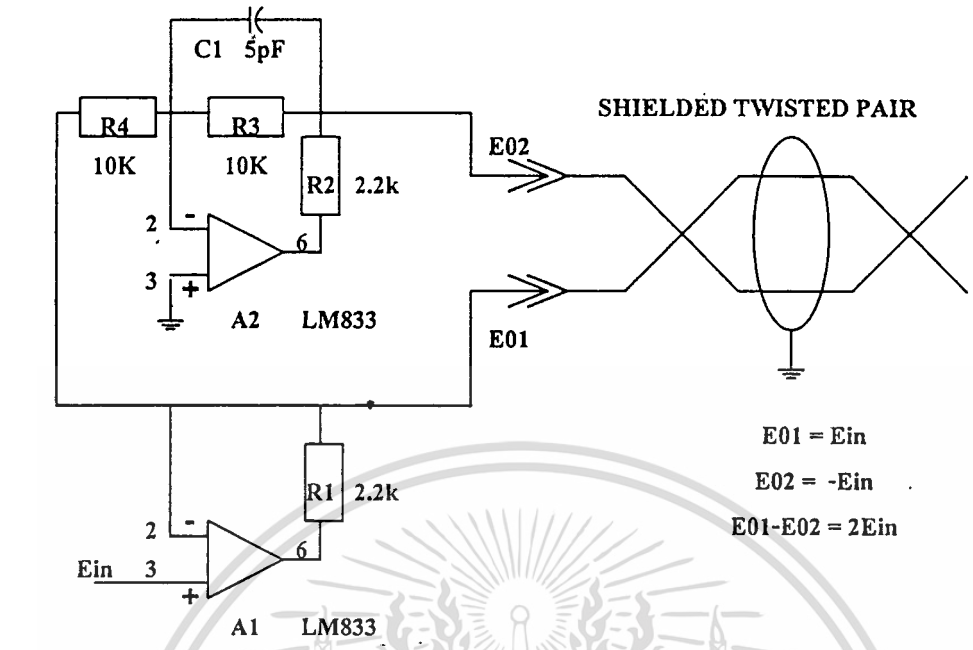
2.4 การส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล

การรับสัญญาณเข้า-ออก ในสายนำสัญญาณแบบบาลานซ์ จะมีภูมิต้านทานต่อสัญญาณรบกวนที่เป็นคอมมอนโหมด (Common Mode Noise Immunity) ดี ในระบบนี้จะเหมาะสมกับที่เราต้องการใช้งาน

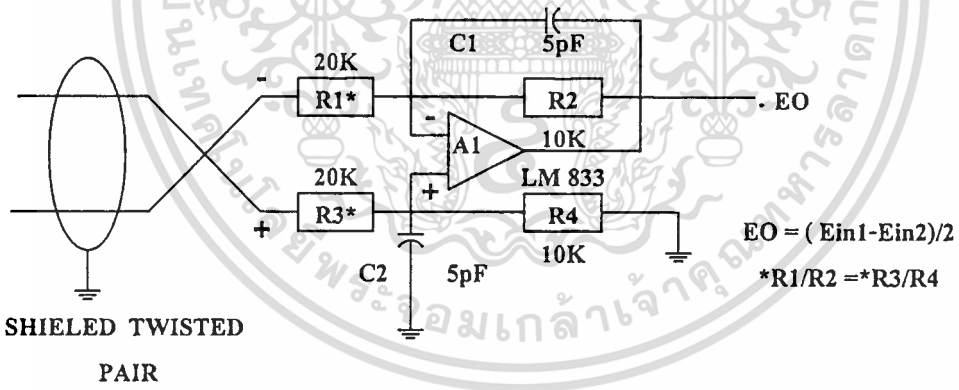
ในรูปที่ 2.10 แสดง การส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล ซึ่งจะมีคุณภาพในการกำจัดสัญญาณรบกวนตามลักษณะคุณสมบัติของสายส่งสัญญาณแบบสมดุลย์ในรูปวงจรที่ 2.10 (A) จากสายส่งสัญญาณทางด้านรับของระบบซึ่งจะมีออปแอมป์จำนวน 2 ตัวซึ่ง A1 เป็นบัฟเฟอร์ มีอัตราการขยายเท่ากับ 1 และ A2 เป็นวงจรขยายกลับเฟสที่มีอัตราขยายเท่ากับ 1

ไอซีเบอร์ LM 833 ถูกเลือกนำมาประยุกต์ใช้เพราะเป็นออปแอมป์ที่ถูกออกแบบมาใช้กับงานด้านเสียง R1 และ R2 จะเป็นตัวกำหนดเสถียรภาพของ A1 และ A2 เพราะในการนำสัญญาณระยะไกลจะเสมือนมีตัวเก็บประจุค่าสูงมากอยู่ภายในสายนำสัญญาณ ในส่วนนี้สามารถเปลี่ยนระดับแรงดันให้สูงถึงบวกและลบ 20 โวลท์ และในส่วนของสายทวิสซ์แพร์(Twisted Pair Cable) นี้จะไม่ทำให้เกิดความผิดเพี้ยนในการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.10 (A) DIFFERENETIAL LINE DRIVER



(B) DIFFERENTIAL LINE AMPLIFIER

รูปที่ 2.10 แสดงวงจรที่ใช้ในการส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล

ในทางตรงข้ามของสายส่งสัญญาณทางด้านรับจากรูปวงจรที่ 2.10 (B) รูปวงจรนี้จะเป็นลักษณะของวงจรขยายสัญญาณผลต่าง (Differential Amplifier) ซึ่งในการใช้งานทางด้านการส่งสัญญาณย่านความถี่เสียง มันเป็นการเปรียบเทียบสัญญาณที่ส่งในสายส่งสัญญาณแบบสมดุลย์กลับไปยังทางด้านรับ เพื่อทำให้สัญญาณทางด้านรับมีค่าใกล้เคียงกับทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติเบื้องต้นของวงจรขยายสัญญาณผลต่างจะมีอินพุทอิมพิแดนซ์สูงต่ำอันเป็นเงื่อนไขของคอมมอนโหมด (Common Mode Error) เมื่อแหล่งจ่ายอิมพิแดนซ์ไม่เท่า ในกรณีที่ให้แหล่งจ่ายอิมพิแดนซ์มีค่าต่ำมากและมีความสมดุลย์ ไอซีเบอร์ LM 833 ถูกเลือกใช้ในงานนี้เพราะมีค่าคอมมอนโหมดเออเร่อร์ ที่ดีในย่านความถี่สูงมีค่า GBP และมีค่า CMRR ที่ความถี่สูงสามารถตอบสนองได้ดี

ในวงจรรูป 2.10 B ถ้ามีค่าความผิดเพี้ยนของค่าความต้านทานประมาณ 0.1 % ค่า CMRR จะมีค่า 60 dB

2.5 สวิทชิ่ง เร็กกูเรเตอร์ (Switching regulator)

วงจรสวิทชิ่ง เร็กกูเรเตอร์ มีข้อดีเหนือกว่าเร็กกูเรเตอร์แบบอื่นๆ หลายอย่างคือ มีประสิทธิภาพสูง ทำงานด้วยสวิทชิ่งที่ความถี่สูง 10 - 40 kHz ทำให้ขนาดของอุปกรณ์ต่างๆ เช่นอินดัคเตอร์ คาปาซิเตอร์ (Inductor Capacitor) มีขนาดเล็ก การสูญเสียภายในตัวสวิทชิ่งทรานซิสเตอร์ต่ำทำให้แผ่นระบายความร้อน (Heat Sink) มีขนาดเล็กลง

2.5.1 ชนิดของสวิทชิ่ง เร็กกูเรเตอร์

สวิทชิ่ง เร็กกูเรเตอร์สามารถแบ่งประเภทตามลักษณะของวงจรได้ 4 แบบ คือ

2.5.1.1 บั๊ค เร็กกูเรเตอร์ (Buck Regulator) จะมี V_{out} น้อยกว่า V_{in}

2.5.1.2 บูสท์ เร็กกูเรเตอร์ (Boost Regulator) จะมี V_{out} มากกว่า V_{in}

2.5.1.3 บั๊ค - บูสท์ เร็กกูเรเตอร์ (Buck Boost Regulators) จะมี V_{out} มากหรือน้อยกว่า V_{in} ก็ได้

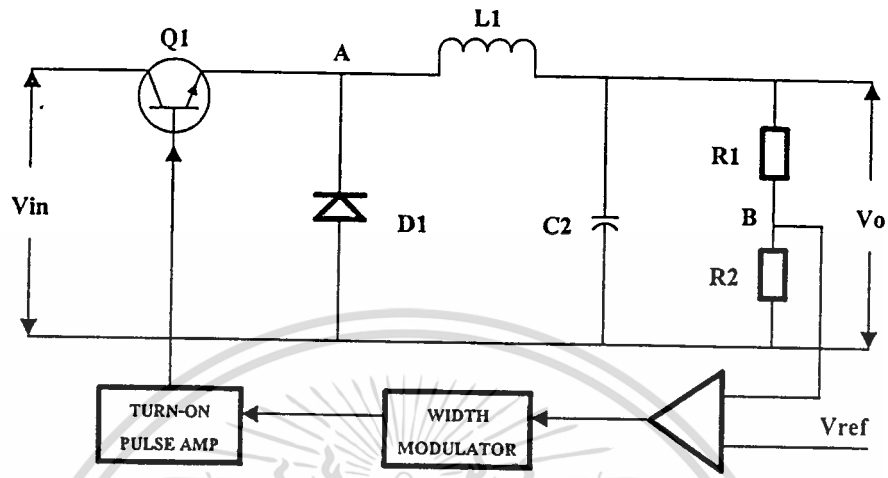
2.5.1.4 คุ๊ค เร็กกูเรเตอร์ (Cuk Regulators) จะมี V_{out} มากหรือน้อยกว่า V_{in} และขั้วของ V_{out} จะตรงข้ามกับ V_{in}

2.5.2 Width - Modulated Step - Down Converter (Buck)

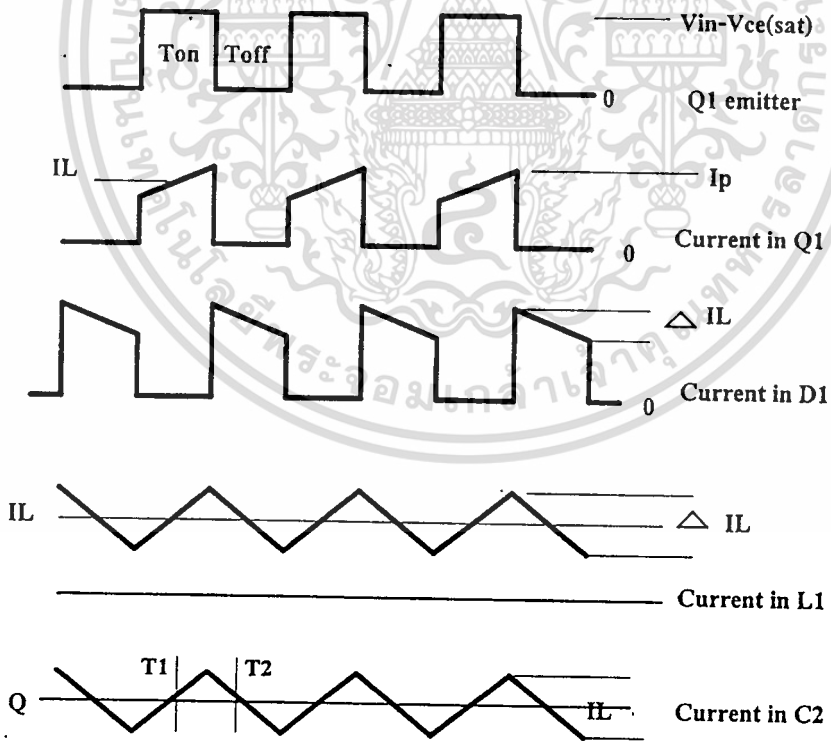
รูปที่ 2.11 เป็นวงจรพื้นฐานของ Step - Down Switching Regulator รูปที่ 2.12 เป็นรูปคลื่นสามารถอธิบายการทำงานของวงจรได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เวลา T_{on} นั้น Q_1 จะอยู่ในช่วงอิ่มตัวมีแรงดันตกคร่อมประมาณ 1 โวลท์ กระแสผ่านทรานซิสเตอร์และ L_1 ไปประจุ C_2 และจ่ายให้แก่โหลด



รูปที่ 2.11 แสดงวงจรพื้นฐานของ STEP DOWN SWITCHING REGULATOR



รูปที่ 2.12 แสดงรูปสัญญาณที่จุดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเวลา T_{off} นั้นสวิทช์ Q_1 เปิด ไม่มีกระแสผ่านทรานซิสเตอร์ทำให้ L_1 เกิดการเหนี่ยวนำ และดึงให้แรงดันที่จุด A เป็นลบ จนกระทั่ง D_1 เริ่มนำกระแสให้แก่ L_1 แทน

แรงดันที่จุด B มีค่าเท่ากับ $\frac{V_o R_2}{R_1 + R_2}$ ซึ่งจะเปรียบเทียบกันกับแรงดันที่เอาท์พุทของตัวคอมพาราเตอร์จะอยู่ในรูปของแรงดันไฟตรงไปเข้าวงจร Width Modulator มี 2 แบบ คือ แบบ T คงที่ แล้ว T_{on} เปลี่ยนแปลงและแบบที่ T_{on} คงที่แล้ว T เปลี่ยน ซึ่งการเปลี่ยนแปลงของ duty cycle นี้ขึ้นอยู่กับระดับแรงดันไฟตรงจากคอมพาราเตอร์สัญญาณจาก Width Modulator นี้จะนำไปขยายและป้อนให้ขาเบสของ Q_1

ที่จุด A จะมีแรงดันเท่ากับ $V_{in} - V_{ce}(sat)$ ที่ช่วง t_{on} และเท่ากับ $-V_{D1}$ (แรงดันตกคร่อม D_1 ขณะนำกระแส) ในช่วง t_{off} เมื่อผ่านการฟิลเตอร์ L_1 และ C_2 จะได้แรงดันไฟตรง V_o ที่เรียบมีขนาดเป็น (เมื่อไม่คิด $V_{ce}(sat)$ และ V_{D1})

$$V_o = V_{in}\left(\frac{T_{on}}{T}\right) = \left[\left(\frac{R_1 + R_2}{R_2}\right)/R_2\right]V_r \qquad \text{.....(1)}$$

ในขณะที่ Q_1 นำกระแสจะมีแรงดันคร่อม L_1 เท่ากับ $V_{in} - V_o$ และจาก

$$V_L = L\frac{di}{dt} \qquad \text{.....(2)}$$

ดังนั้นกระแสที่ไหลเข้า L_1 คือ

$$+\Delta I_L = \frac{(V_{in} - V_o)T_{on}}{L_1} \qquad \text{.....(3)}$$

ขณะที่ Q_1 หยุดนำกระแสนั้น จุด A แรงดันเป็นศูนย์ ดังนั้น

$$-\Delta I_L = \frac{(T - T_{on})V_{on}}{L_1} \qquad \text{.....(4)}$$

โดย $\Delta I_L^{+} = \Delta I_L^{-}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเฉลี่ยที่ไหลใน L_1 ตลอดคาบเวลา คือ I_{load} ซึ่งเท่ากับกระแสเฉลี่ยที่ไหลใน Q_1 ในช่วง T_{on} และไหลผ่าน D_1 ในช่วง T_{off} ถ้าสมมุติว่าแรงดันตกคร่อม Q_1 คือ 1 โวลท์ ในช่วง Ton และตกคร่อม D_1 คือ 1 โวลท์ ในช่วง T_{off} ดังนั้น

$$P_{in} = P_o + I_{load}\left(V_{ce}(sat)\right)\left(\frac{T_{on}}{T}\right) + I_{load}\left(V_{D1}\right)\left(\frac{T_{off}}{T}\right)$$

$$P_{in} = P_o + 2I_{load} \qquad \text{.....(5)}$$

และ $$P_0 = V_o I_{load} \qquad \text{.....(6)}$$

ดังนั้นถ้าไม่คิดถึงกระแสที่ใช้ในวงจรส่วนอื่นของวงจรสวิทชิ่งเร็กกูเรเตอร์ จะได้ประสิทธิภาพสูงสุดของ Step-Down Switching Regulator คือ

$$E_{\max} = \frac{P_o}{P_{in}} = \frac{I_{load}V_o}{I_{load}\left(V_o + 2\right)} = \frac{V_o}{\left(V_o + 2\right)} \qquad \text{.....(7)}$$

ในการคำนวนขนาดของ L_1 มีข้อกำหนดอย่างหนึ่งว่า ให้ระดับการเปลี่ยนแปลงของกระแสใน L_1 ไม่เกิน 40 % ของ I_{load} ดังนั้นจาก (4) จะได้ว่า

$$\Delta I_L = \frac{V_o\left(T - T_{on}\right)}{L_2} = 0.4 I_{load}$$

$$L_1 = \frac{2.5V_o\left(T - T_{on}\right)}{I_{load}} \qquad \text{.....(8)}$$

เพราะว่า $V_o = V_{in}\left(\frac{T_{on}}{T}\right)$ ดังนั้นสมการ (8) จะได้

$$L_1 = \frac{2.5V_o T\left(V_{in} - V_o\right)}{V_{in} I_{load}} \qquad \text{.....(9)}$$

จากรูป 2.12 คือรูปสัญญาณของกระแสที่ไหลในตัว C_2 จะเห็นว่าช่วงเวลา T_1 ถึง T_2 คือเวลาที่ถูกประจุด้วยกระแสที่มีค่าเฉลี่ยเท่ากับ $\frac{I_L}{4}$ ทำให้เกิดแรงดันกระเพื่อม (Ripple Voltage) $\left(\Delta V_{p-p}\right)$ ซึ่งสามารถหาค่าได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

039137

$$\Delta V_{p-p} = \frac{1}{C_2}\int i\,dt$$

$$= \left(\frac{\Delta I_L}{4}\right)\left(\frac{1}{C_2}\right)\left(\frac{T}{2}\right)$$

$$= \frac{\Delta I_L T}{8 C_2}$$

$$= \frac{V_o T(T - T_{on})}{8\ C_2 L_1} \qquad \text{..... (11)}$$

$$= \left(\frac{V_o T}{8 C_2\ L_1}\right)\left(\frac{T - V_o T}{V_{in}}\right)$$

$$\Delta V_{p-p} = \frac{V_o\ T^2 (V_{in} - V_o)}{8 V_{in}\ L_1\ C_2}$$

หาค่า C2 จะได้

$$C_2 = \frac{V_o\ T^2 (V_{in} - V_o)}{8 V_{in}\ L_1\ \Delta V_{p-p}} \qquad \text{..... (12)}$$

กระแสโหลด (I_{load}) มีข้อกำหนดว่าต้องไม่น้อยเกินไป จนทำให้กระแสภายใน L_1 ตอนที่ต่ำสุด มีค่าเป็นศูนย์ หรือกำหนดได้ว่า

$$I_{load}(\min) \rangle \frac{(V_{in} - V_o) T_{on}}{2 L_1}$$

ถ้าเงื่อนไขนี้ไม่เป็นจริง คือกระแสโหลดต่ำเกินไปจะทำให้แรงดัน V_o มีค่าสูงขึ้น

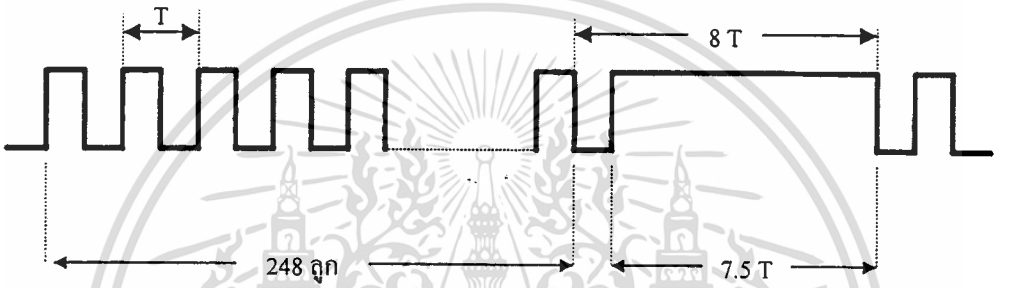
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

3.1 หลักการออกแบบสัญญาณควบคุม

สัญญาณควบคุมที่จะทำการสร้าง จะเป็นสัญญาณที่เป็นลักษณะของขบวนพัลส์สี่เหลี่ยม จำนวน 248 ลูก แล้วมีสัญญาณ ซิงค์พัลส์ขึ้นไว้เพื่อเป็นสัญญาณเปรียบเทียบ ดังรูป



รูปที่ 3.1 แสดงสัญญาณซิงค์พัลส์

สัญญาณซิงค์จะเป็นตัวเปรียบเทียบหรือแสดงให้เห็นว่าขณะนี้สัญญาณขบวนพัลส์ได้ครบ 248 ลูก แล้วจากนั้นเมื่อผ่านสัญญาณซิงค์ไปแล้วสัญญาณลูกต่อไปจะถูกนับว่าเป็นพัลส์ลูกที่ 1 ใหม่อีกครั้งหนึ่ง

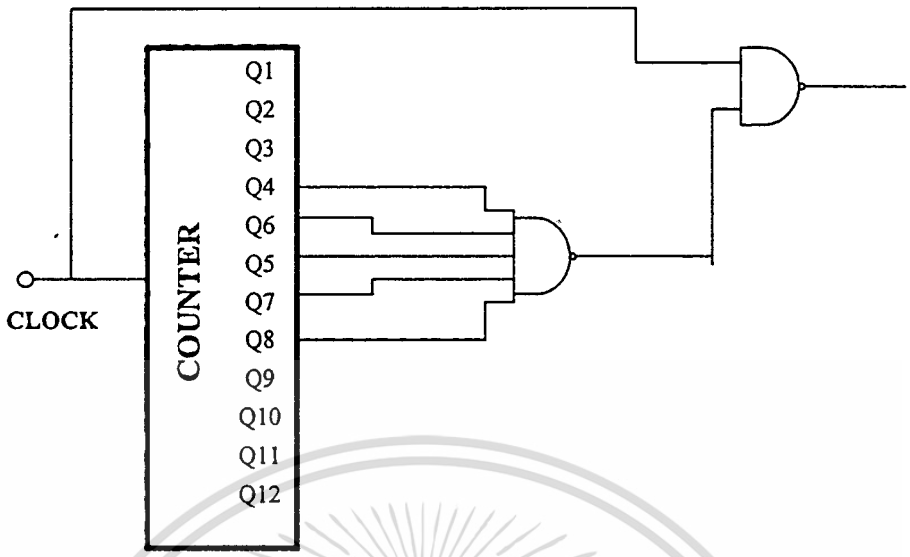
ซึ่งจากโปรเจค นี้จะกำหนดให้พัลส์แต่ละลูกแทนหมายเลขเครื่องของแต่ละเครื่อง เช่น พัลส์ลูกที่ 2 ก็จะแทนหมายเลขเครื่องหมายเลขที่ 2 เป็นต้น

พิจารณาจากรูป เมื่อทำการป้อนสัญญาณคล๊อกพัลส์ ซึ่งผลิตได้จากชุดวงจรผลิตความถี่ที่ใช้ ไอซี 555 ป้อนเข้ากับวงจรเคาน์เตอร์ หรือวงจรหารความถี่โดยใช้ ไอซีเบอร์ 74 HC4040 แล้วเรามาพิจารณาสัญญาณที่ออกมาทางเอาท์พุทของไอซีเคาน์เตอร์ จะเป็นดังนี้

Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1
1	1	1	1	1	1	1	1

ตารางที่ 3.1 แสดงสัญญาณที่ออกมาทางเอาท์พุทของไอซีเคาท์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.2 แสดงวงจรผลิตพัลส์ควบคุม

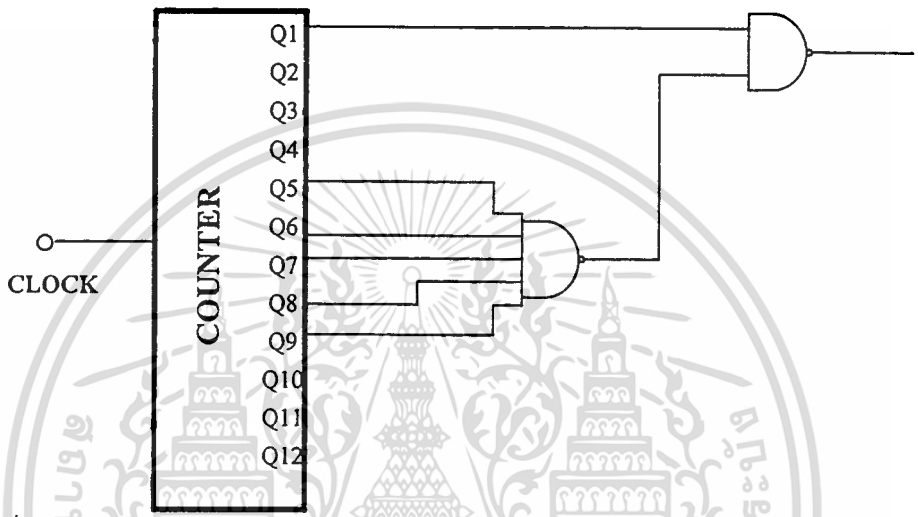
ถ้าสัญญาณออกมาแล้ว สัญญาณทางเอาท์พุทจะเริ่มนับตั้งแต่ 0 จนถึง 1 ทุกตัว ตั้งแต่ Q_1 - Q_8 (แต่ ไอซีเบอร์74HC 4040 นั้นสัญญาณเอาท์พุทมีตั้งแต่ Q_1 - Q_{12} ซึ่งสิ่งที่เราต้องทำการใช้นั้นมีเพียง Q_1 - Q_8 ดังนั้นส่วนที่เหลือคือ Q_9 - Q_{12} จะไม่ทำการพิจารณา) สิ่งที่ต้องการคือสัญญาณพัลส์จำนวน 248 ลูก และมีสัญญาณซิงค์ ที่มีความกว้างเท่ากับพัลส์ 7.5 ลูก ดังนั้น สัญญาณ Q_4 - Q_8 จะถูกต่อเข้ากับ แนนด์เกต (NAND GATE) 5 อินพุท และสัญญาณเอาท์พุทของแนนด์เกต ก็จะถูกต่อเข้าแนนด์เกต 2 อินพุท โดยขาอินพุทอีกขาหนึ่งจะถูกต่อเข้ากับสัญญาณคล็อกทางอินพุท

3.1.1 หลักการทำงานของวงจรสร้างสัญญาณควบคุม

เมื่อป้อนสัญญาณคล็อกพัลส์ (CLOCK PULSE)เข้ามาที่ไอซีเบอร์ 74 HC 4040 แล้ว ก็จะมีสัญญาณออกมาทาง Q_1 - Q_8 ตราบใดที่สัญญาณ Q_4 - Q_8 ไม่ได้เป็น 1 ทุกขา สัญญาณที่ออกมาจากแนนด์เกต 5 อินพุท จะเป็น 1 ตลอด ดังนั้นสัญญาณเอาท์พุทของ แนนด์เกต 2 อินพุท ก็จะเป็นสัญญาณพัลส์ 1 , 0 สลับกันไปเรื่อย จนกระทั่ง สัญญาณ Q_4 - Q_8 เป็น 1 ทั้งหมด สัญญาณเอาท์พุทของแนนด์เกต 5 อินพุท ก็จะเป็น 0 ทันที ทำให้สัญญาณเอาท์พุทของแนนด์เกต 2 อินพุท เป็น 1 ยาวตลอด จนกระทั่ง Q_4 - Q_8 เป็น 1 ทั้งหมด แล้วกลับไปเริ่มต้นนับ 0 ใหม่อีกครั้ง สัญญาณบวก 1 จึงตกลงมาเป็น 0 อีก ครั้ง และจะเป็นเช่นนี้สลับกันไปเรื่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่จากรูปวงจร เพื่อให้พัลส์แต่ละลูกมีเปอร์เซ็นต์ดิวตี้ไซเคิล 50% จึงควรถูกหารสองก่อนนำไปเกต และ Q_1 ของ74HC4040 จะทำหน้าที่หารสองก่อน Q_n ในรูปที่ 3.2 จึงกลายเป็น Q_{n+1} ดังรูปที่ 3.3 จึงมี Q_1 แทนสัญญาณคล๊อก



รูปที่ 3.3 แสดงวงจรผลิตพัลส์ควบคุมซึ่งได้ทำการออกแบบใหม่

3.2 วงจรขยายสัญญาณควบคุมและไฟเลี้ยง

3.2.1 หลักการทำงานและการออกแบบวงจร

สัญญาณควบคุมจำเป็นที่จะต้องมีค่าแรงดันค่อนข้างสูงคือประมาณ 30 Vp เพื่อชดเชยการสูญเสียอันเนื่องมาจากต้องส่งสัญญาณนี้ไปตามสายนำสัญญาณซึ่งมีขนาดยาวไปยังเครื่องสมาชิกทุกเครื่อง และสัญญาณควบคุมนี้จะต้องสามารถจ่ายกระแสให้กับเครื่องสมาชิกทุกเครื่องอย่างเพียงพอ จึงควรที่จะทำการเพิ่มวงจรทวนสัญญาณเข้าไปด้วย

ดังนั้นวงจรที่ใช้จึงใช้การต่อทรานซิสเตอร์แบบอินเวิร์สดาร์ลิงตัน(INVERSE DARLINGTON) การต่อแบบอินเวิร์สดาร์ลิงตัน คือการต่อวงจรทรานซิสเตอร์แบบ พีเอ็นพี

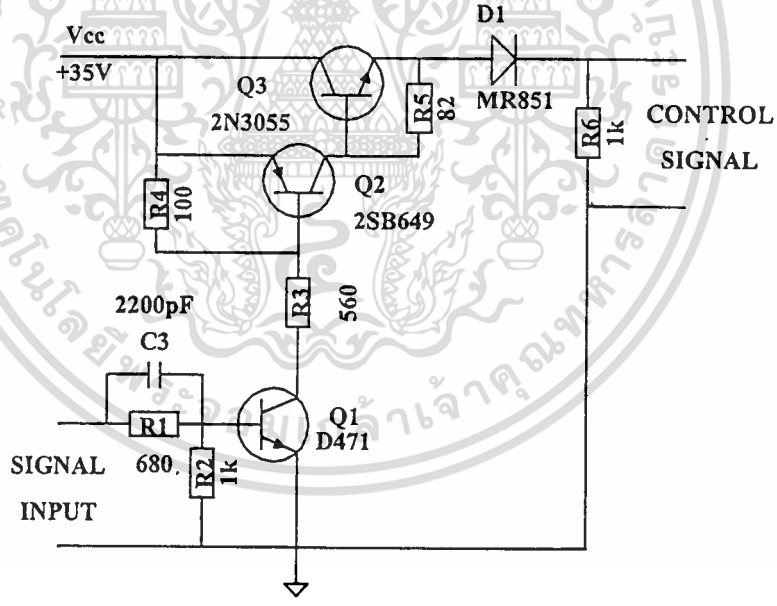
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PNP) เพื่อขับทรานซิสเตอร์แบบเอ็นพีเอ็น (NPN) ซึ่ง ต่างจากการต่อทรานซิสเตอร์แบบดาร์ลิงตัน(DARLINGTON) ที่ใช้ทรานซิสเตอร์เอ็นพีเอ็นขับทรานซิสเตอร์เอ็นพีเอ็น

ก่อนที่สัญญาณควบคุมจะเข้าไปวงจรอินเวิร์สดาร์ลิงตันนั้น ก็จะถูกทำการขยายครั้งหนึ่งก่อน โดยทรานซิสเตอร์ชนิดเอ็นพีเอ็น ดังแสดงในรูปที่ 3.4 ซึ่งจะเห็นว่า ถ้าคิดในรูปของกระแสเบส I_B ของ Q_1 ค่าไม่สูงมากนัก เมื่อผ่าน Q_1 ก็จะทำให้มีกระแสสูงขึ้นด้วยค่า $\beta 1$ และเมื่อผ่านวงจรอินเวิร์สดาร์ลิงตันก็จะทำให้กระแสทางเอาท์พุทมีค่าสูงขึ้นด้วยค่า $\beta 2$ และ $\beta 3$ จึงทำให้สัญญาณทางด้านเอาท์พุทมีค่าสูงตามที่ต้องการ

สำหรับค่า C_3 มีไว้เพื่อเป็นตัวสปีดอัพคาปาซิเตอร์ (SPEED UP CAPACITOR) ทำให้ทรานซิสเตอร์สามารถนำกระแสหรือทำงานได้เร็วขึ้นโดยการลดค่าเวลาที่ใช้ในการไต่ขึ้นของสัญญาณโดยการเพิ่มค่าของกระแสเบส อันเนื่องมาจาก C_3 ตัวนี้

สำหรับ R_2, R_4 และ R_5 นั้น จะทำหน้าที่ลด I_{CBO} ของทรานซิสเตอร์แต่ละตัว โดย R_2 จะลด I_{CBO} ของ Q_1 , R_4 จะลด I_{CBO} ของ Q_2 และ R_5 จะลด I_{CBO} ของ Q_3 ตามลำดับ



รูปที่ 3.4 แสดงวงจรขยายสัญญาณควบคุม

สำหรับแหล่งจ่ายไฟของเครื่องสมาชิกได้ทำการออกแบบไว้นั้นจะทำได้โดยการนำเอาสัญญาณควบคุมที่ถูกจ่ายออกมาตามสายนำสัญญาณมาทำการผ่านไดโอดเร็กติไฟร์และตัวเก็บ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประจุก่อนเข้าสู่วงจรสวิทชิ่ง ซึ่งใช้ไอซีเบอร์ TL 494 เป็นอุปกรณ์หลัก การที่ออกแบบแหล่งจ่ายไฟของเครื่องสมาชิกโดยวงจรสวิทชิ่ง นั้นมีข้อดีคือ ประหยัดค่าใช้จ่ายเพราะใช้แหล่งจ่ายไฟเพียงชุดเดียวในการจ่ายพลังงานให้แก่ระบบ และประหยัดพลังงานเพราะแหล่งจ่ายแบบวงจรสวิทชิ่งนั้นไม่ได้จ่ายพลังงานตลอดเวลา วงจรที่ออกแบบไว้ดังแสดงในรูปที่ 3.12

หลักการออกแบบวงจรขยายสัญญาณควบคุมนั้นคือให้เครื่องสมาชิก 1 ชุดใช้ไฟเท่ากับ 2 วัตต์โดยสมมติให้มี V_{cc} เท่ากับ 12 โวลท์ ดังนั้นเครื่องสมาชิกแต่ละตัวจะใช้

$$I_{AV} \cong \frac{2\,W}{12\,V} \cong 0.1667 \quad A$$

ให้เครื่องประธาน 1 ชุดสามารถใช้กับเครื่องสมาชิกได้ 20 ชุดสูงสุด

ดังนั้น $I_{MAIN\,AV} \cong 3.333\,A$

จาก $I_P \cong 2I_{AV}$ $(50\%\ DUTY\ CYCLE)$

จะได้ว่า $I_P \cong 6.667 \quad A_{peak}$

จากการออกแบบให้ ทรานซิสเตอร์เป็น SAT SW มีอัตราการขยายเท่ากับ 10

$$I_{B3} \cong \frac{I_P}{\beta+1} \cong \frac{6.667\,A_{peak}}{10+1}$$

$$\cong 606.1 \quad mA_{peak}$$

ขณะที่ ทรานซิสเตอร์ Q_1 และ Q_2 ทำงาน

จะมี $V_{BE1} \cong V_{BE2} \cong 1V$ และ $V_{CE1} \cong 1V$

ดังนั้นแรงดันที่ตกคร่อมที่ R 560 Ω จะมีค่าประมาณ 33 V

$$\therefore\ I_{BQ2} \cong \frac{33}{560} \cong 60 \quad mA_{peak}$$

สัญญาณพัลส์ควบคุมที่เข้ามายังขาเบสของทรานซิสเตอร์ Q_1 มีค่าประมาณ $5\,V_{peak}$

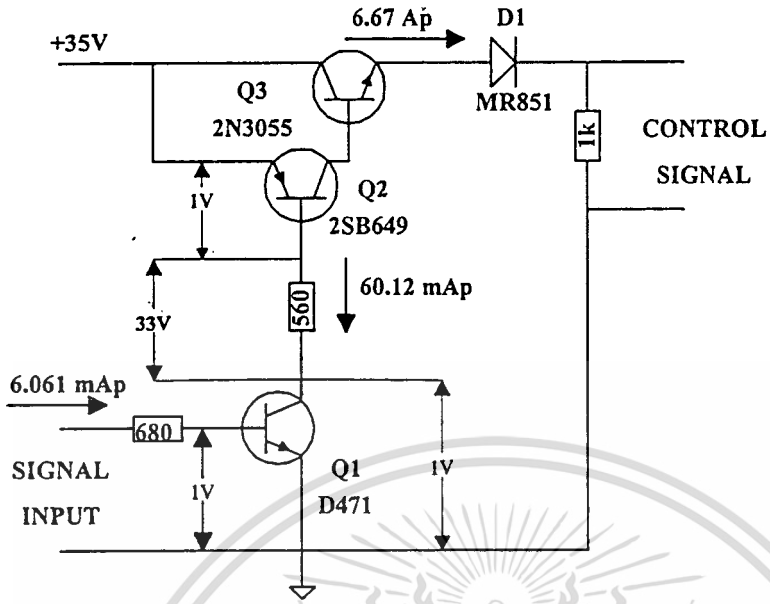
$$\therefore\ I_{BQ1} \cong \frac{5-1}{680} \cong 6 \quad mA_{peak}$$

ดังแสดงไว้ในรูปที่ 3.5

3.3 หลักการทำงานและออกแบบวงจรรวมทั้งระบบ

จากที่ได้ทราบมาแล้วว่า เครื่องช่วยในการสื่อสารในการประชุมนี้ จะเป็นลักษณะของเครื่องที่มี ไมโครโฟนและลำโพงในตัว โดยเครื่องควบคุมใหญ่จะอยู่ที่โต๊ะประธาน และเครื่องของผู้ที่เข้าร่วมในการประชุมก็จะวางอยู่ในตำแหน่งต่างๆกัน และแต่ละเครื่องก็จะมีหมายเลขของเครื่องกำกับอยู่ การใช้งานโดยทั่วไปจะเป็นไปในลักษณะที่ว่า ถ้าเครื่องใดเครื่องหนึ่งถูกทำการกดปุ่มส่งสัญญาณเพื่อที่จะขอทำการพูดหมายเลขเครื่องนั้นก็จะไปปรากฏที่เครื่องควบคุมใหญ่ซึ่งจะอยู่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงการออกแบบวงจรขยายสัญญาณควบคุม

โต๊ะประธาน ถ้ามีผู้ที่เข้าร่วมในการประชุมท่านอื่นๆ ทำการกดปุ่มส่งสัญญาณเพื่อที่จะขอทำการพูดอีก หมายเลขเครื่องนั้นก็จะไปปรากฏที่ เครื่องควบคุมใหญ่ซึ่งจะอยู่ที่จะอยู่ที่โต๊ะประธานเช่นกัน โดยจะเรียงลำดับจากการที่ผู้ที่เข้าร่วมในการประชุมทำการกดปุ่มส่งสัญญาณ จากหมายเลขที่ทำการกดกดปุ่มส่งสัญญาณก่อนไปจนถึงหมายเลขสุดท้ายที่ทำการกดปุ่มส่งสัญญาณเพื่อที่จะขอทำการพูด

หลักการทำงานของวงจรดังรูปก็คือ ไอซี 555 จะเป็นไอซีตัวหลักในการผลิตสัญญาณพัลส์ออกมา ในรูปของขบวนพัลส์รูปสี่เหลี่ยมโดยที่ ค่าของความถี่จะถูกกำหนดโดยค่าของตัวต้านทานและค่าของคาปาซิเตอร์ที่อยู่ภายในวงจร ซึ่งในวงจรนี้จะทำการผลิตความถี่ออกมาคือ 23.25 กิโลเฮิร์ต ขบวนพัลส์รูปสี่เหลี่ยมที่ได้ออกมานี้จะถูกส่งต่อไปยัง ขา 10 ของไอซีเบอร์ 74 HC 4040 ซึ่งเป็นไอซีที่ใช้เป็นวงจรนับ (วงจรหารความถี่) ทางด้านขาออกของไอซีจะถูกต่อด้วยเกตลอจิกต่างๆ โดยที่ขา Q5- Q9 จะต่อกับแนนเกต 3 อินพุทและแนนเกต 2 อินพุทตามลำดับซึ่งแนนเกตทั้งสองตัวนี้ จะถูกต่อเข้ากับออเกต ดังนั้นลอจิกเกตทั้งสามตัวนี้จริงๆแล้วจะทำตัวเป็นเหมือนกับแนนเกต 5 อินพุทนั่นเอง สัญญาณที่ออกจากออเกตจะถูกส่งไปยังแนนแกต 2 อินพุทส่วนอีกขาหนึ่งนั้นจะถูกต่อเข้ากับขา Q1ของไอซี เบอร์ 74 HC 4040 สัญญาณที่ออกจากแนนแกต 2 อินพุทนี้ จะเป็นสัญญาณควบคุม ซึ่งมีสัญญาณซิงค์อยู่ภายในสัญญาณควบคุม โดยที่ สัญญาณซิงค์ จะเป็นตัวเปรียบเทียบกล่าวคือ เมื่อมีสัญญาณซิงค์ผ่านไป สัญญาณพัลส์ลูกแรกที่ปรากฏต่อจากสัญญาณซิงค์จะแทนตำแหน่งของเครื่องหมายเลขที่ 1 และพัลส์ลูกที่ 2 ที่ตามมา จะแทนตำแหน่งของเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเลขที่ 2 และจะเป็นเช่นนี้จนถึงพัลส์ลูกที่ 248 และหลังจากนั้นสัญญาณซิงค์ลูกต่อไปก็จะปรากฏขึ้นเป็นเช่นนี้เรื่อยๆไป

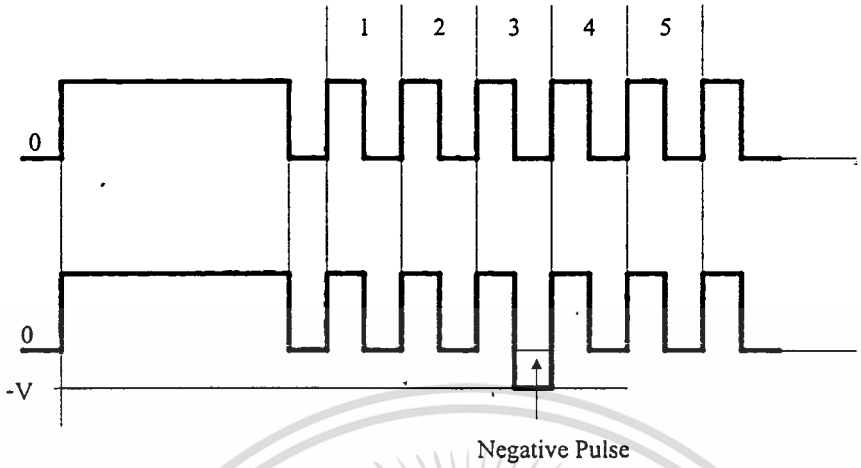
จากนั้นเมื่อได้สัญญาณควบคุมมาแล้วก็จะถูกทำการขยายโดยวงจรขยายสัญญาณควบคุม ซึ่งสัญญาณควบคุมนี้จะถูกส่งเข้ามาทาง R_3 และ C_3 สำหรับค่า C_3 มีไว้เพื่อเป็นตัวสปีดอัพคาปาซิเตอร์ (SPEED UP CAPACITOR) ทำให้ทรานซิสเตอร์สามารถนำกระแสหรือทำงานได้เร็วขึ้น โดยการลดค่าเวลาที่ใช้ในการไต่ขึ้นของสัญญาณโดยการเพิ่มค่าของกระแสเบส อันเนื่องมาจาก C_3 ตัวนี้ จากนั้นสัญญาณควบคุมนี้จะถูกทำการขยายโดยใช้ ทรานซิสเตอร์ 3 ตัว คือ Q1,Q2 และ Q3 ตามลำดับ โดยจะทำการขยายเพื่อให้ได้ค่าของแรงดันที่ออกมาสูงตามต้องการ ซึ่งสัญญาณควบคุมที่ออกมาจะมีแรงดันประมาณ 35 โวลท์ จากนั้นสัญญาณควบคุมที่ได้ออกมาจะถูกทำการส่งออกไปตามสายนำสัญญาณ โดยที่สัญญาณควบคุมที่ส่งออกไปนั้น จะถูกนำไปใช้เป็นไฟเลี้ยงของทั้งระบบ ซึ่งส่วนต่างๆทั้งหมดที่กล่าวมานี้ จะอยู่ภายในเครื่องที่โต๊ะของประธานทั้งหมด และสัญญาณควบคุมดังกล่าวจะถูกส่งออกไปตามสายนำสัญญาณ เพื่อส่งไปยังเครื่องอื่นๆทุกเครื่อง

ในส่วนของวงจรแยกซิงค์ซึ่งวงจรนี้จะมีอยู่ภายในเครื่องทุกเครื่อง ซึ่งการทำงานจะอาศัยหลักการของ วงจรอาร์ซีอินติเกรเตอร์ โดยจะสังเกตได้ว่าจากวงจร ค่าของความต้านทาน (R11) และคาปาซิเตอร์ (C4) ดังกล่าวนั้นได้ถูกต่ออยู่ที่ ขาคอลเลคเตอร์ (COLLECTOR) ของทรานซิสเตอร์เบอร์ 1015 (Q4) และสัญญาณควบคุมที่ได้นี้จะถูกส่งผ่านไปยัง ทรานซิสเตอร์เบอร์ 1815 (Q5) ซึ่งสัญญาณที่ออกมาจะได้เป็นสัญญาณซิงค์ เท่านั้นที่ผ่านออกมาได้

วงจรในส่วนต่อไป ที่อยู่ภายในเครื่องทุกเครื่องยกเว้นเครื่องที่โต๊ะของประธาน ก็คือ วงจรสร้างสัญญาณพัลส์ลบ (NEGATIVE PULSE) ซึ่งวงจรในส่วนนี้จะทำการสร้างสัญญาณพัลส์ลบให้เกิดขึ้นเมื่อทำการกดปุ่มส่งสัญญาณเพื่อที่จะขอทำการพูด โดยที่ตำแหน่งพัลส์ที่จะเกิดสัญญาณพัลส์ลบขึ้นนั้น จะตรงกับหมายเลขของเครื่อง ที่ได้ทำการกดปุ่มส่งสัญญาณ เพื่อที่จะขอทำการพูด เพื่อให้ง่ายต่อการทำความเข้าใจจึงขออธิบายโดยใช้รูปที่ 3.6 ประกอบ ดังนี้

สมมติว่า เครื่องที่ 3 ทำการกดปุ่มส่งสัญญาณเพื่อที่จะขอทำการพูด ตำแหน่งพัลส์ที่จะเกิดสัญญาณพัลส์ลบขึ้นก็คือ พัลส์ลูกที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงการเกิดสัญญาณพัลส์ลบ

สำหรับระบบเสียงที่ใช้นั้น เสียงจะเริ่มผ่านเข้ามาทางไมโครโฟนซึ่งเป็นแบบคอนเดนเซอร์ไมค์ (Condenser Mic) เข้าภาคขยายโดยวงจรปรีไมค์ ภาคนี้จะใช้วงจรขยายที่ใช้ ออปแอมป์เบอร์ LM 833 ทำการขยายแบบนอนเวอร์ติ้ง แอมป์ (Non-Inverting Amp) โดยแบ่งเป็นสองชุด มีอัตราการขยายแต่ละชุดเท่ากับ33 เท่า ดังนั้นภาคขยายปรีไมค์จะมีอัตราการขยายรวมโดยประมาณ 1000 เท่า สัญญาณที่ได้จะถูกส่งไปตามสายสัญญาณ ในการส่งสัญญาณเสียงของระบบเสียงที่ใช้ในการประชุมนี้ จากการที่ได้ทำการออกแบบไว้ ใช้หลักการส่งสัญญาณแบบ ดิฟเฟอร์เรนเชียล ซึ่งการส่งสัญญาณแบบดิฟเฟอร์เรนเชียล จะใช้หลักการคือจะส่งสัญญาณออกไป 2 สัญญาณคู่กัน คือ สัญญาณเสียงที่ต้องการส่งปกติ และ อีกสัญญาณจะทำการกลับเฟสของสัญญาณเสียงที่ต้องการส่งเป็นมุม 180 องศา ซึ่งข้อดีของการส่งสัญญาณแบบดิฟเฟอร์เรนเชียลนี้ คือ จะลดการรบกวนของสัญญาณรบกวนได้ดี ทางด้านส่งจะใช้หลักการตามลักษณะคุณสมบัติของสายส่งสัญญาณแบบสมดุลย์ ทำการส่งสัญญาณไป และทางด้านรับจะใช้ลักษณะของวงจรขยายสัญญาณผลต่างทำการเปรียบเทียบสัญญาณที่ส่งในสายส่งสัญญาณแบบสมดุลย์ดังนั้นจึงทำให้สัญญาณเสียงทางด้านรับมีค่าใกล้เคียงกับทางด้านส่ง

เมื่อสัญญาณเสียงถูกส่งมายังภาครับเสียงจะถูกส่งไปยังภาคเพาเวอร์แอมป์(POWER AMP) ซึ่งใช้ไอซี เบอร์ TDA 1011 จะทำการขยายสัญญาณเสียงแล้วถูกส่งออกทางลำโพง วงจรที่ได้ทำการออกแบบได้แสดงในรูปที่ 3.10 และ 3.11

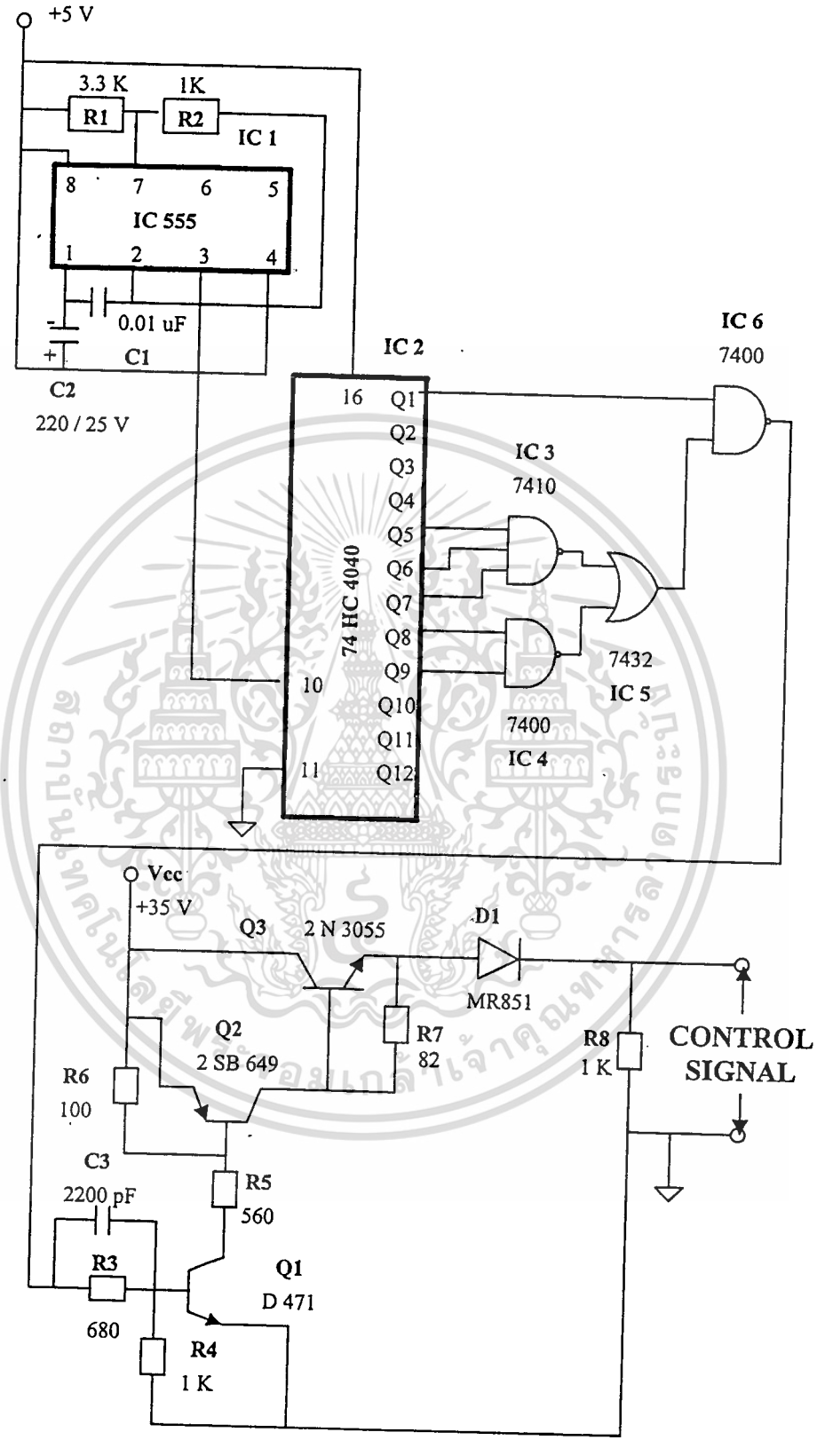
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การพัฒนาวงจรให้ง่ายต่อการใช้งานจริง

ที่ผ่านมาเครื่องสมาชิกแต่ละเครื่องสามารถเปลี่ยนแปลงรหัสประจำเครื่องได้ แต่การตั้งรหัสที่ใช้นั้นใช้การตั้งรหัสแบบเลขฐานสอง ซึ่งถ้านำไปใช้ในงานจริงจะเกิดความยุ่งยากในการตั้งรหัสของแต่ละเครื่อง

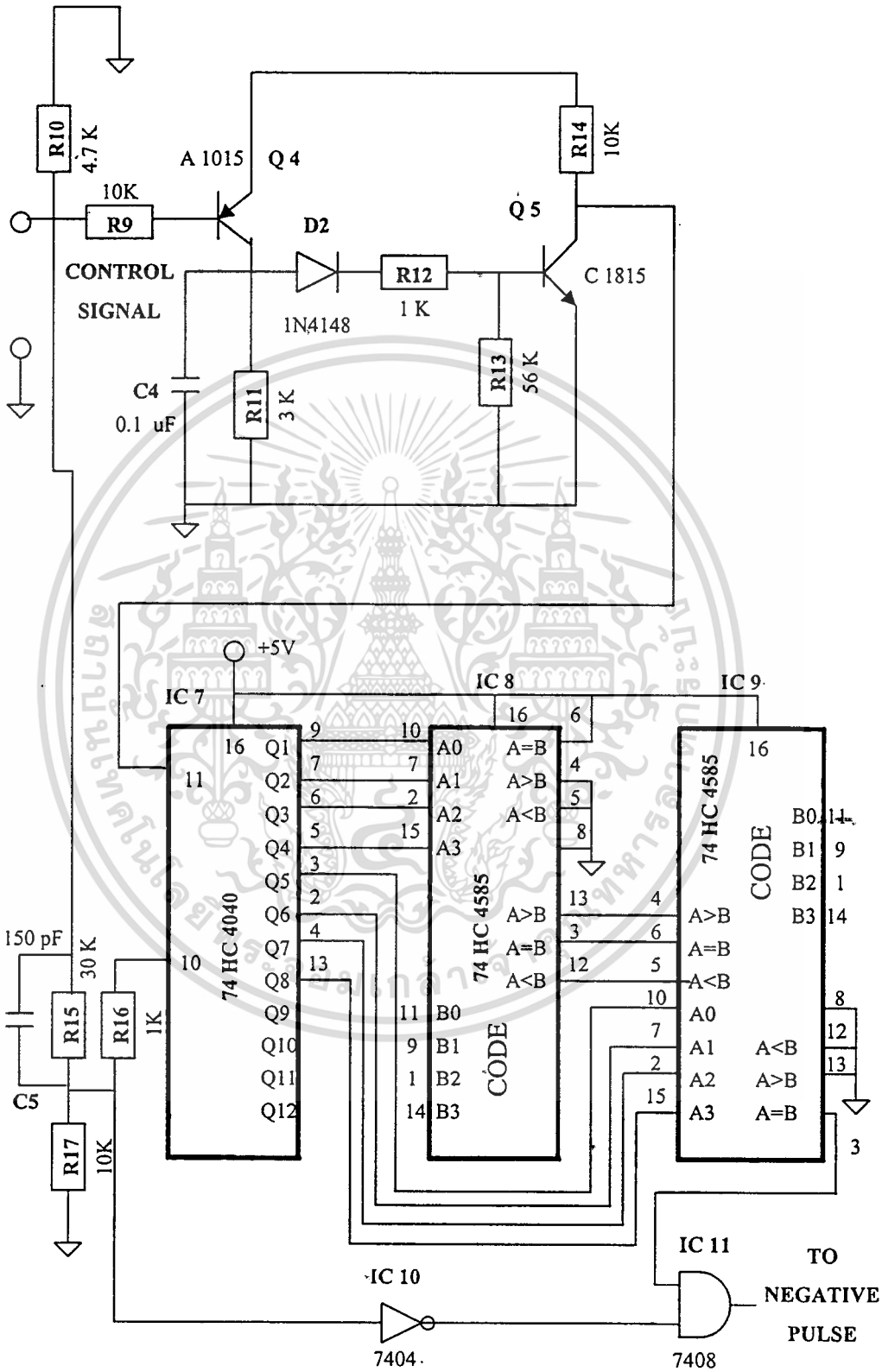
ดังนั้นเพื่อสะดวกในการนำไปใช้ในงานจริง จึงเปลี่ยนจากการตั้งรหัสแบบเลขฐานสอง มาใช้การตั้งรหัสแบบ BCD 8421 แทน ดังนั้นจึงทำการเปลี่ยนแปลงวงจรในส่วนของการตั้งรหัสสัญญาณใหม่ เป็นวงจรดังแสดงในรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



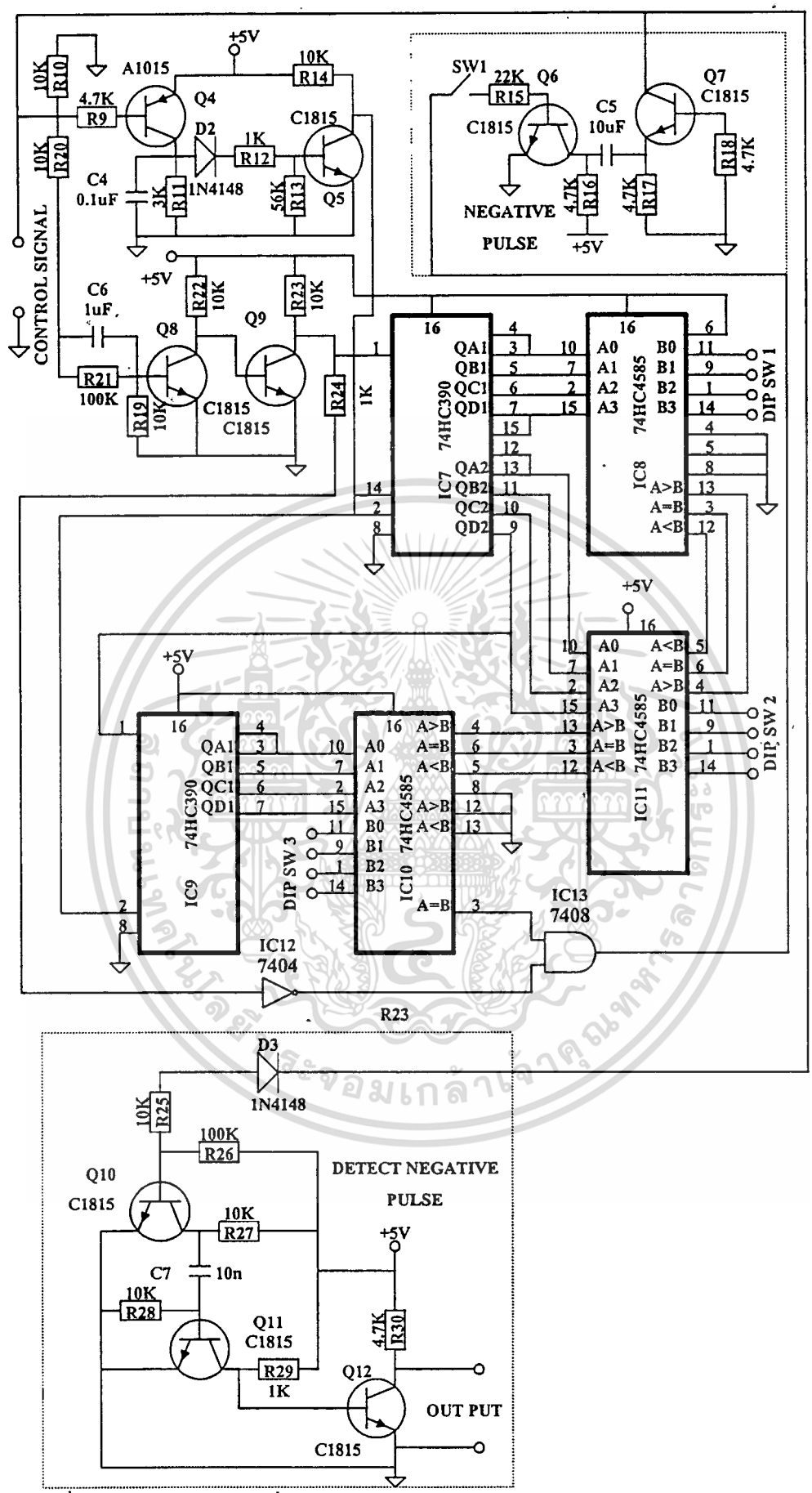
รูปที่ 3.7 แสดงวงจรรวมที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



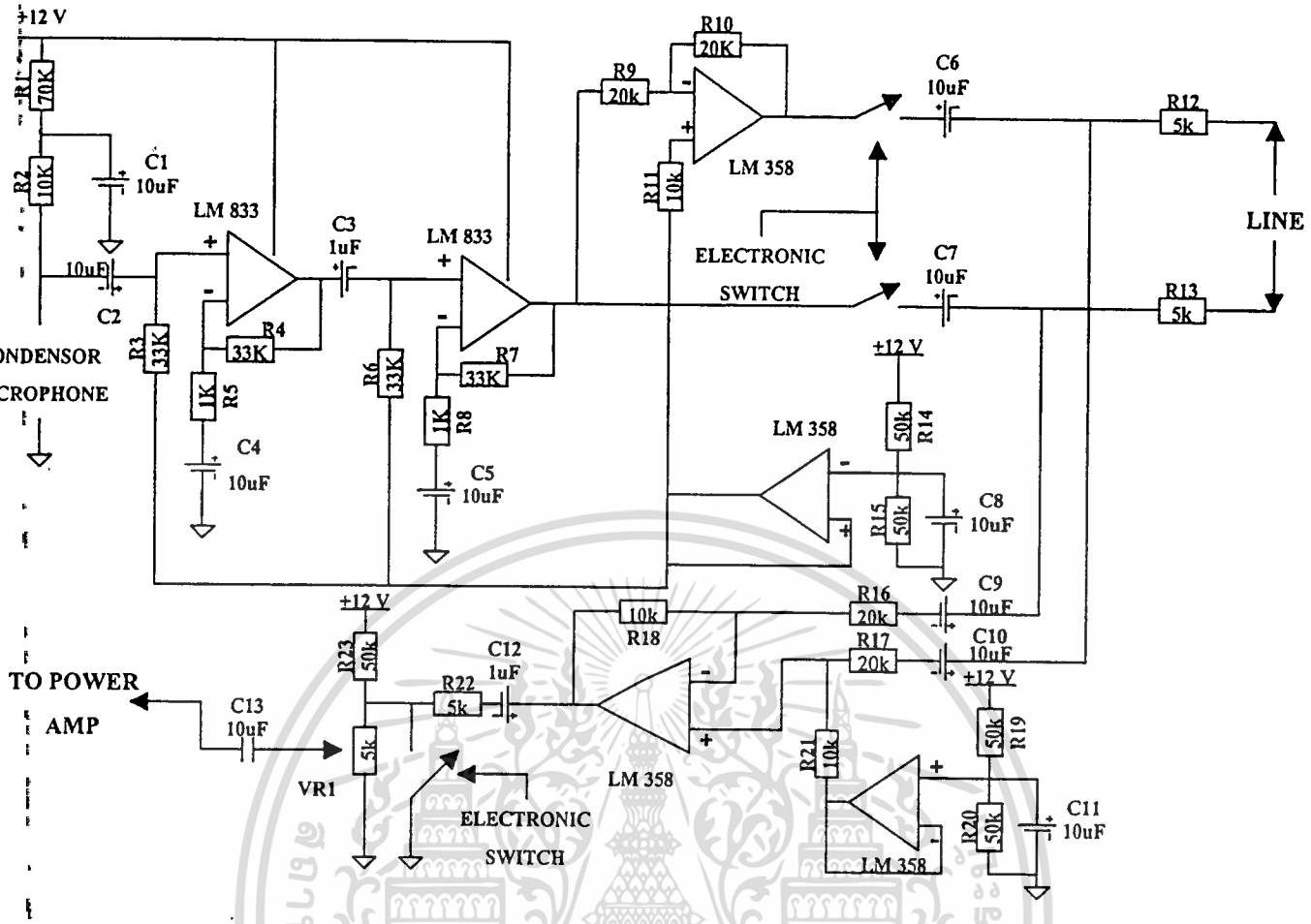
รูปที่ 3.8 แสดงวงจรรวมที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

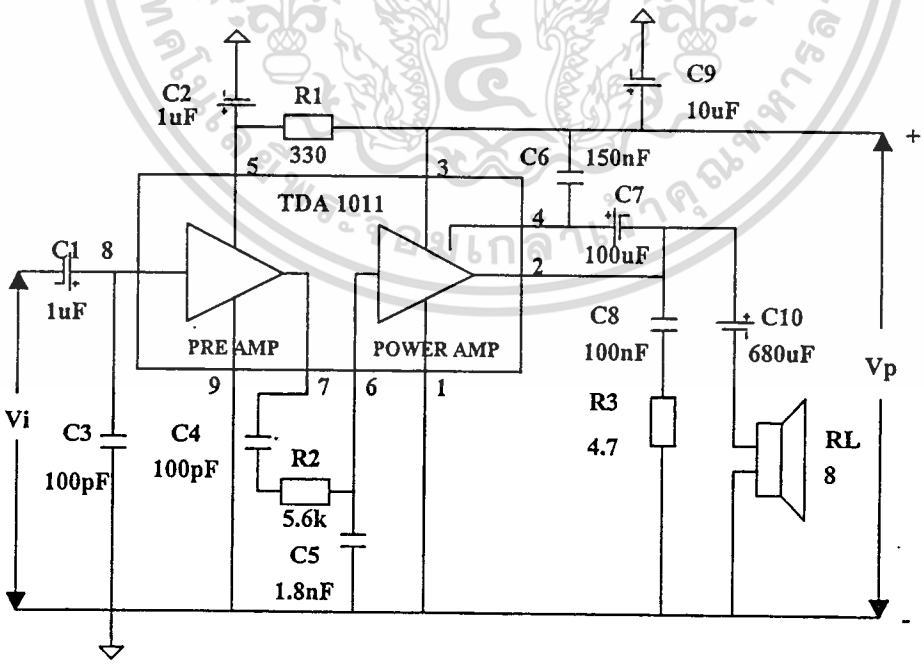


รูปที่ 3.9 แสดงวงจรรวมที่ได้ทำการพัฒนาเพื่อให้ง่ายต่อการนำไปใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

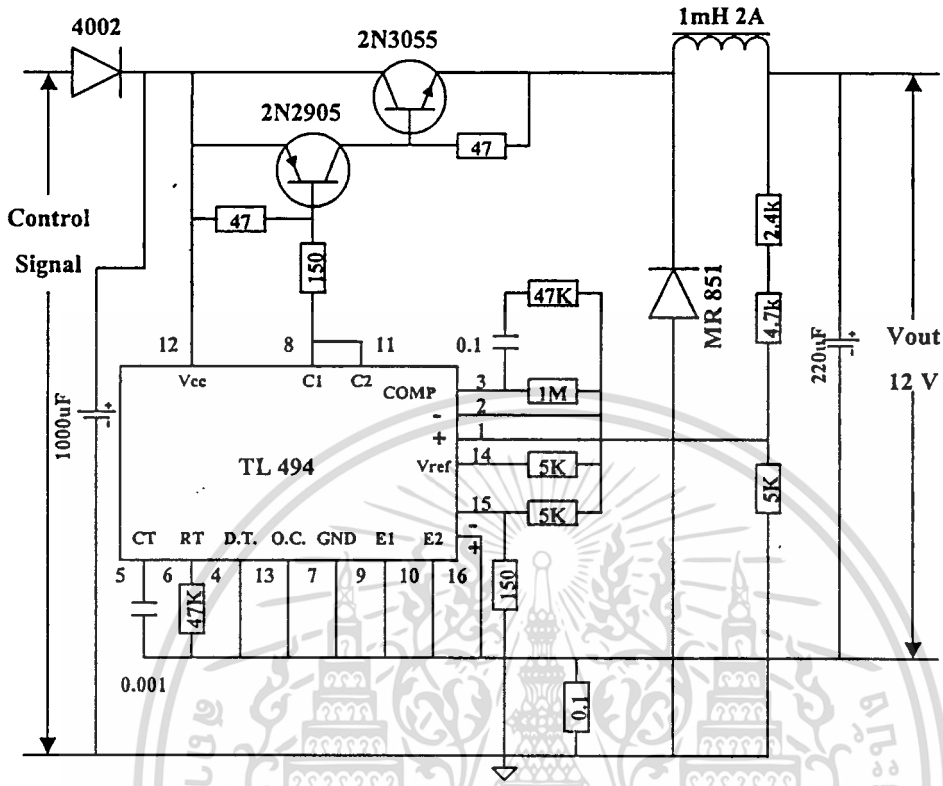


รูปที่ 3.10 แสดงวงจรที่ใช้ในการส่งสัญญาณเสียงแบบดิฟเฟอร์เรนเชียล



รูปที่ 3.11 แสดงวงจรเพาเวอร์แอมป์ที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงแหล่งจ่ายไฟของเครื่องสมาชิกที่ใช้แบบสวิทชิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

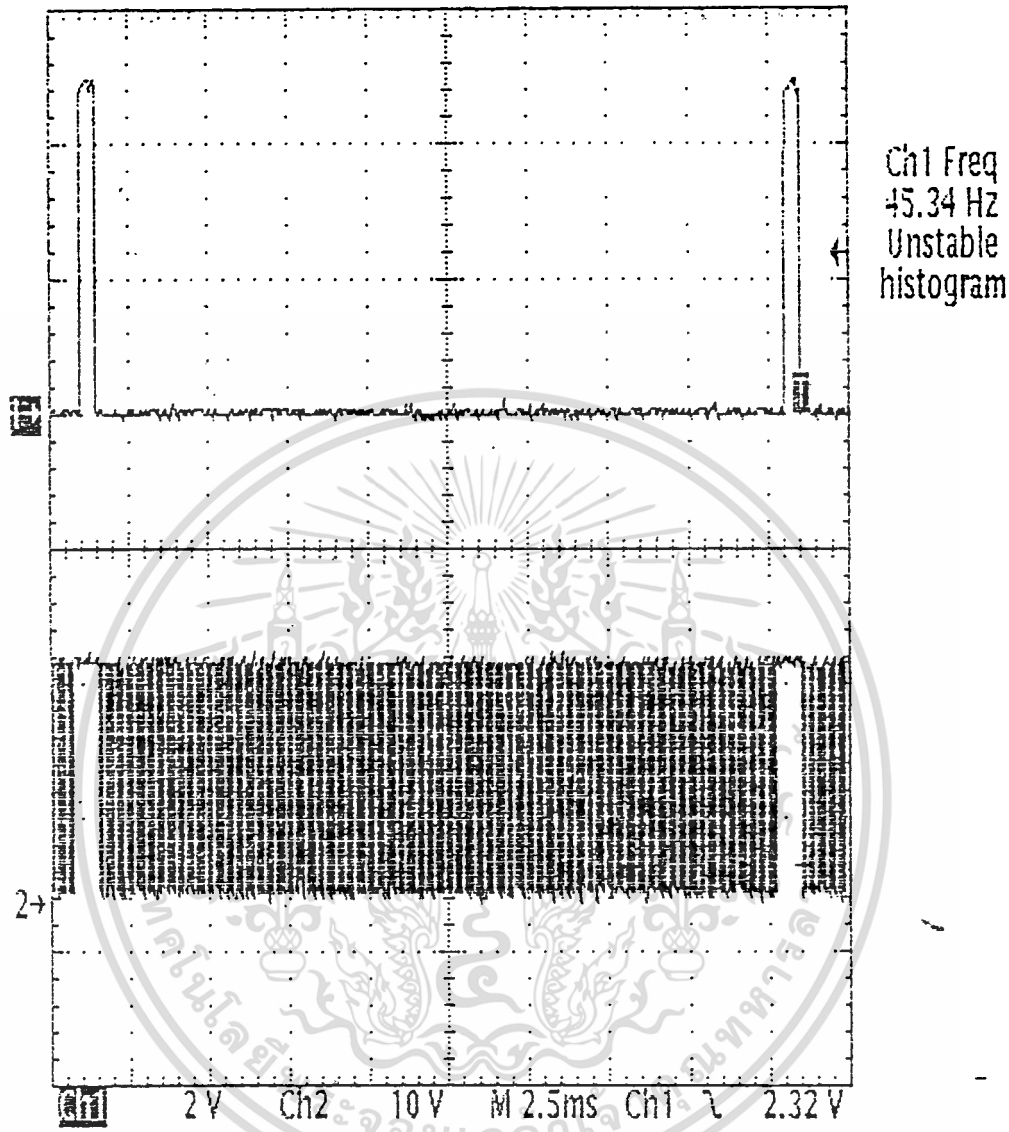
บทที่ 4

การทดลองและ ผลการทดลอง

การทดลองและ ผลการทดลองวัดรูปสัญญาณที่จุดต่างๆมีดังต่อไปนี้คือ

1. สัญญาณควบคุมในสายส่ง
2. สัญญาณซิงค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5)
3. สัญญาณของแรงดันที่ขาคอลเลคเตอร์ของทรานซิสเตอร์ เบอร์ 1015 (Q4)
4. สัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อทำการขอพูด
5. สัญญาณที่ได้ทำการดีเทคพัลส์ลบแล้ว
6. สัญญาณอินพุทที่ทำการป้อนให้แก่วงจรปรีไมค์
7. สัญญาณเอาท์พุทที่ได้จากวงจรปรีไมค์
8. สัญญาณที่ทำการส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล
9. สัญญาณที่รับได้จากส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

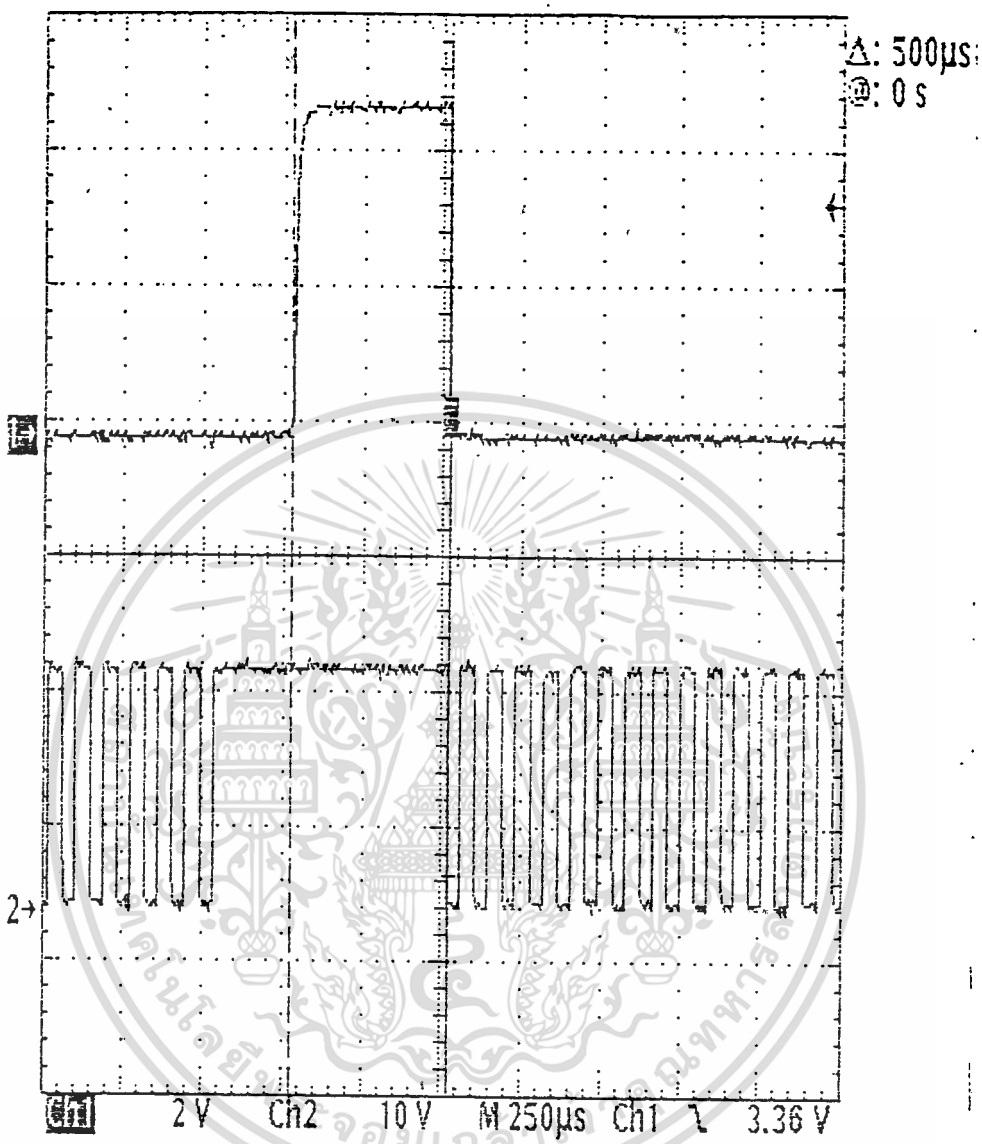


1) แสดงสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5)

2) แสดงสัญญาณควบคุม

รูปที่ 4.1 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5) กับสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

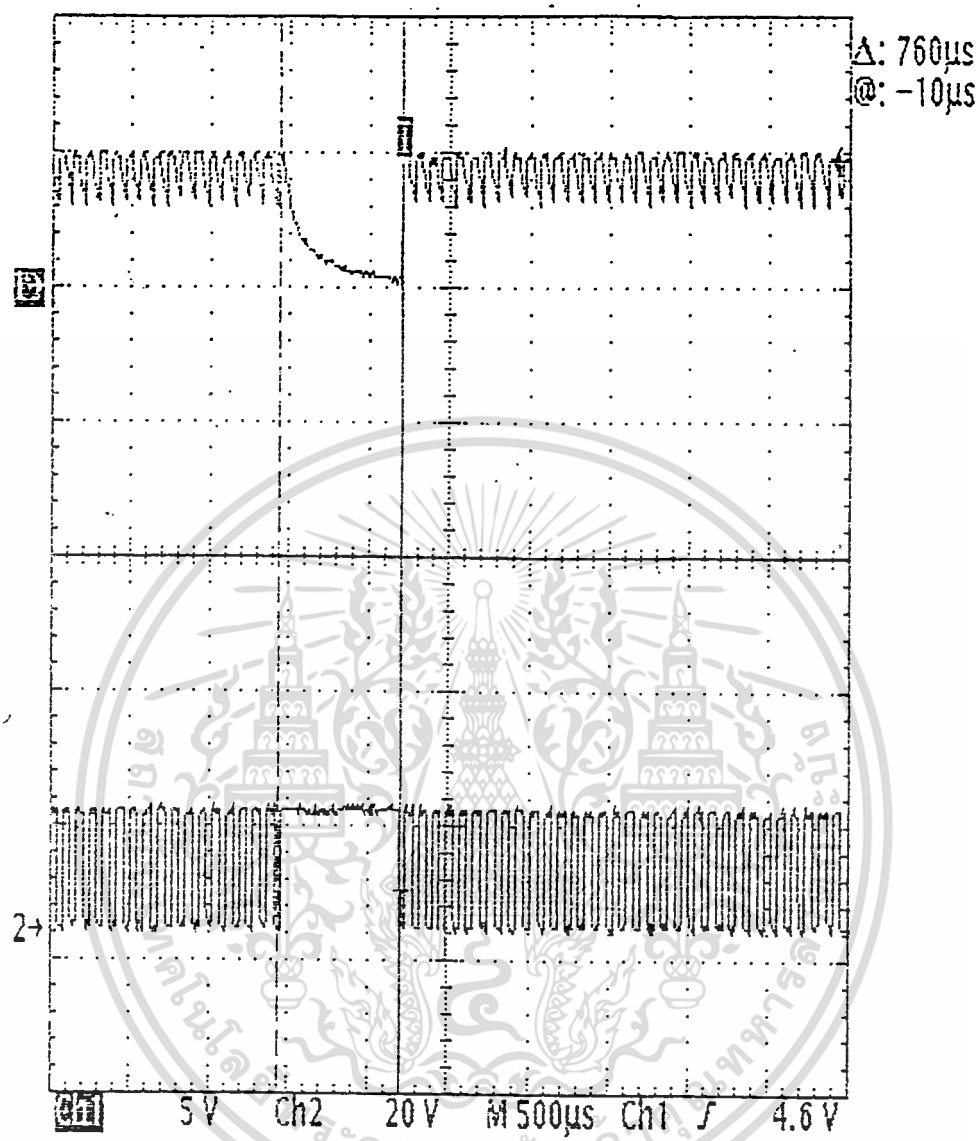


1) แสดงสัญญาณซิงค์ที่ขาดอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5)

2) แสดงสัญญาณควบคุม

รูปที่ 4.2 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาดอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5) กับสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

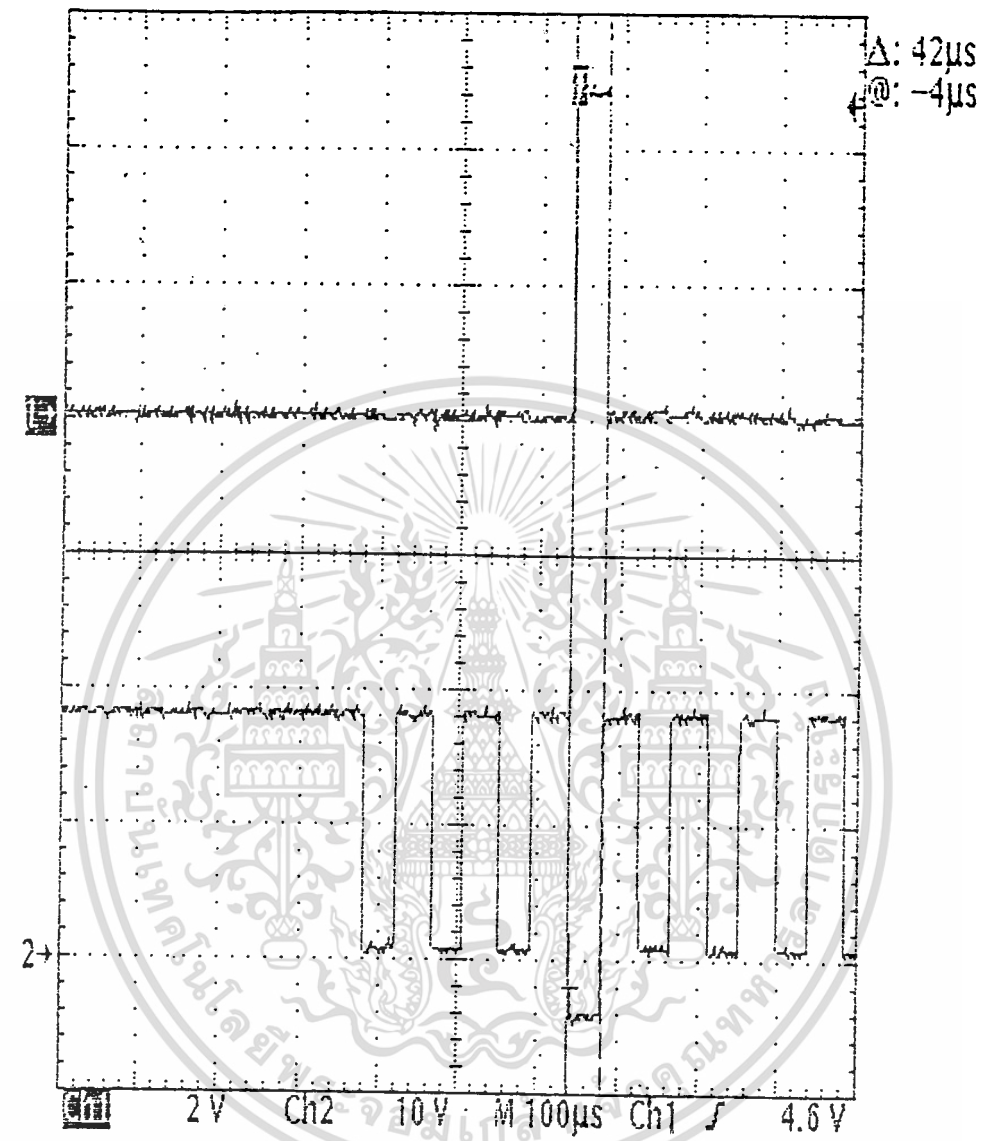


1) แสดงสัญญาณของแรงดันที่ขาคอลเลคเตอร์ของทรานซิสเตอร์ เบอร์ 1015 (Q4)

2) แสดงสัญญาณควบคุม

รูปที่ 4.3 แสดงการเปรียบเทียบสัญญาณของแรงดันที่ขาคอลเลคเตอร์ของรานซิสเตอร์ เบอร์ 1015 (Q4) กับสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

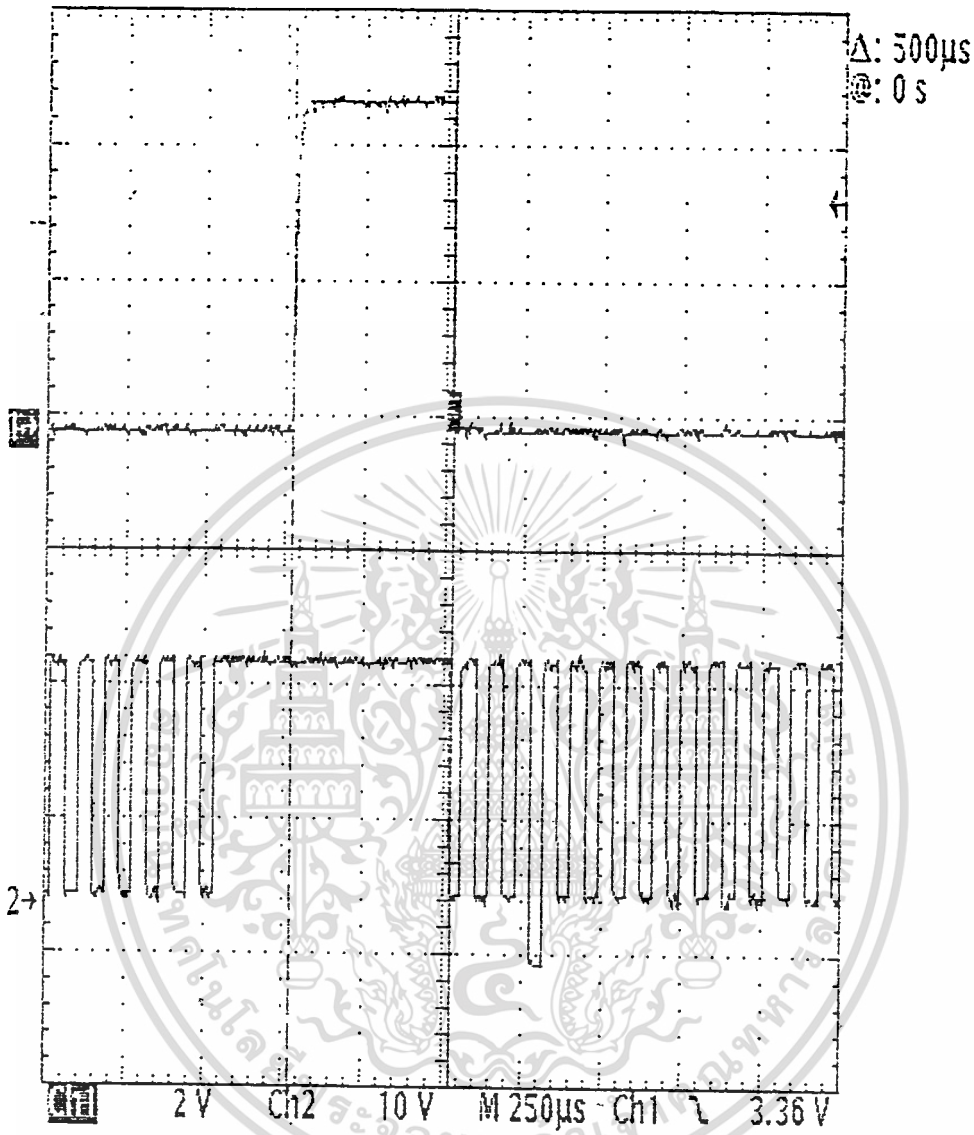


1) แสดงสัญญาณที่ได้ทำการดีเทคพัลส์ลบแล้ว

2) แสดงสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อทำการขอพูดของเครื่องที่3

รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อทำการขอพูดของเครื่องที่ 3 กับสัญญาณที่ได้ทำการดีเทคพัลส์ลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

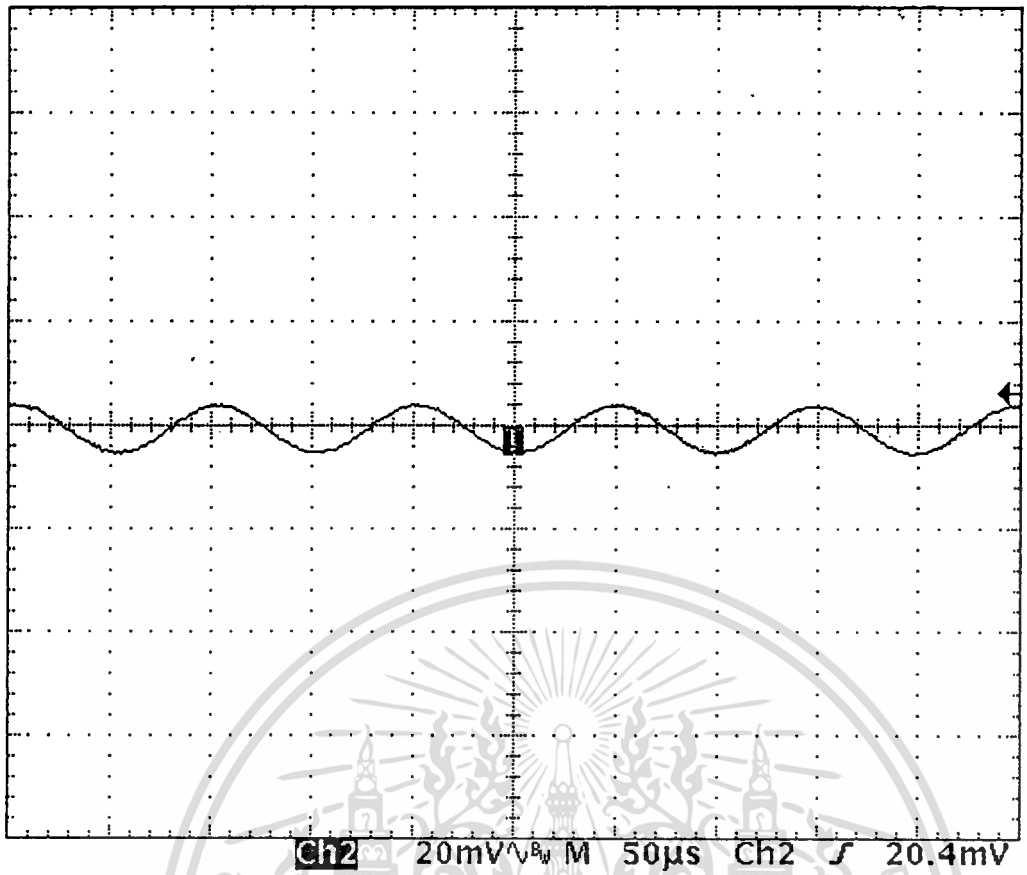


1) แสดงสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5)

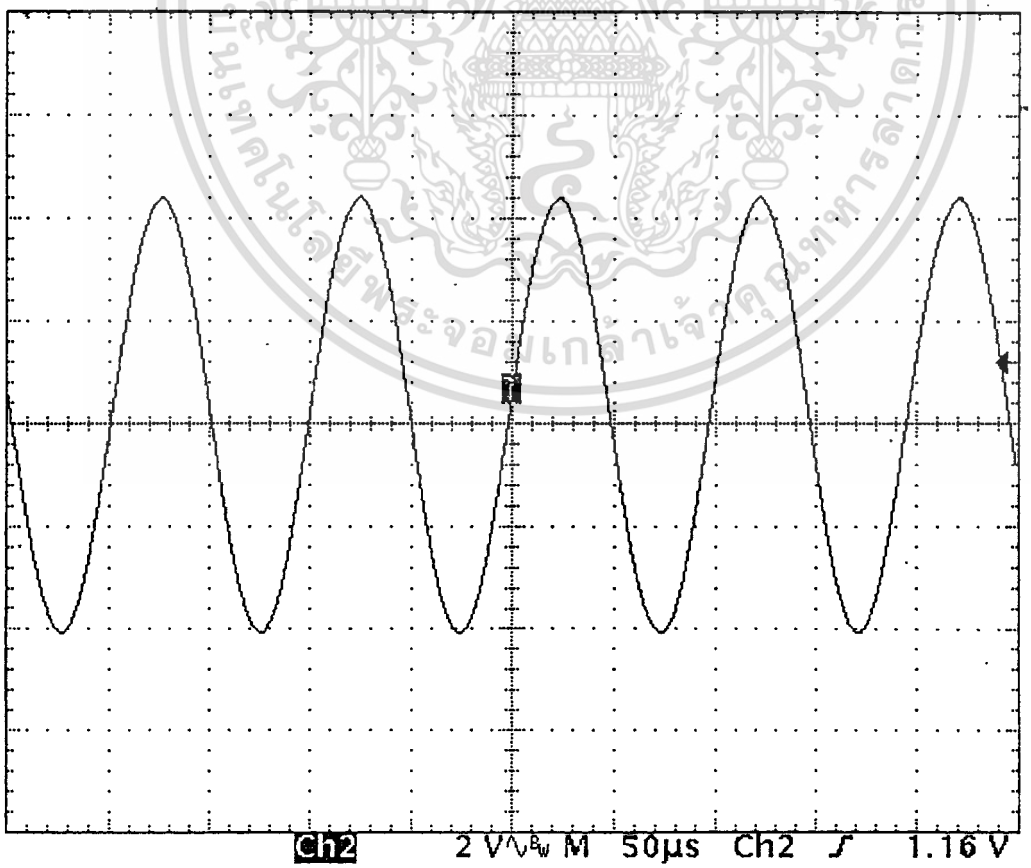
2) แสดงสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อทำการขอพูดของเครื่องที่3

รูปที่ 4.5 แสดงการเปรียบเทียบสัญญาณซิงค์ที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ 1815 (Q5)กับสัญญาณพัลส์ลบที่เกิดจากการกดปุ่มส่งสัญญาณเพื่อทำการขอพูดของเครื่องที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

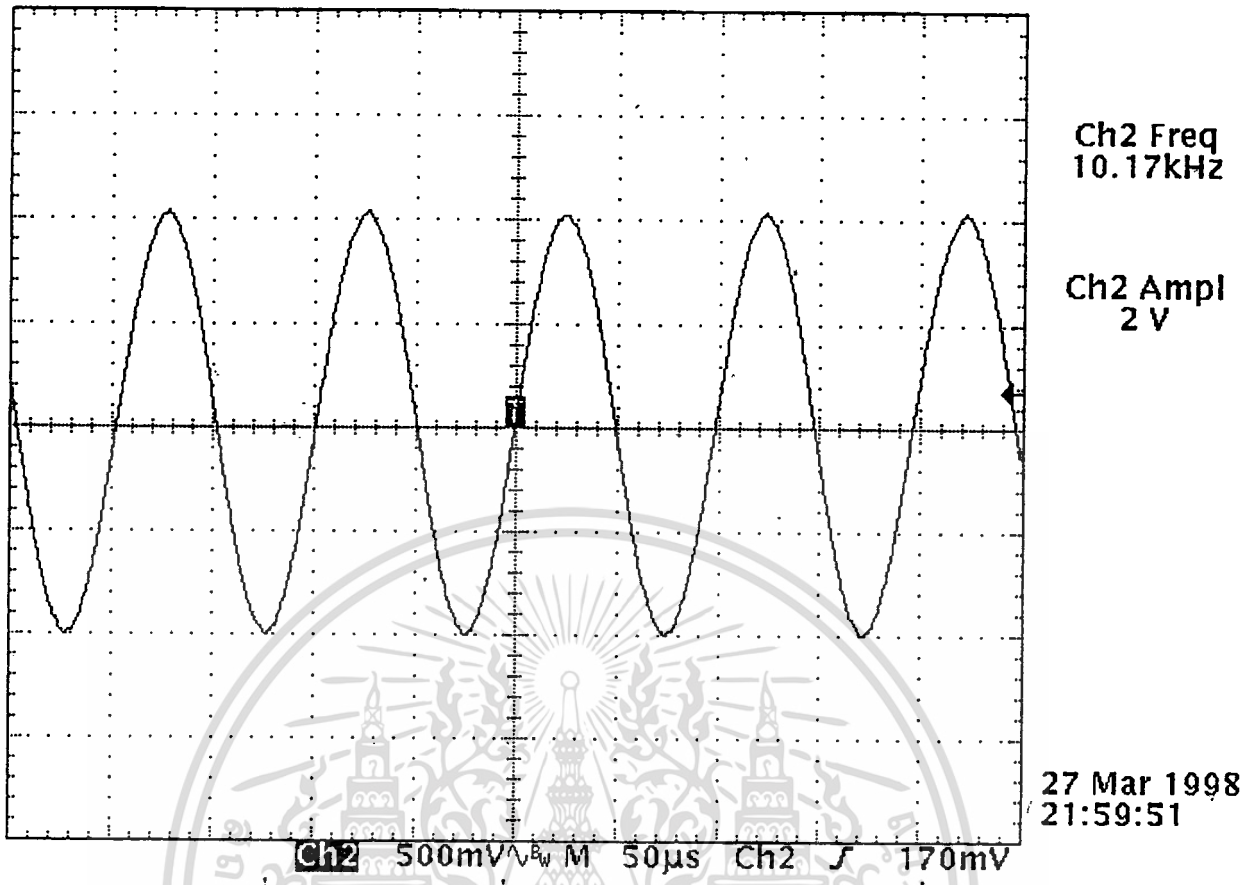


รูปที่ 4.6 แสดงสัญญาณอินพุทที่ทำการป้อนให้แก่วงจรปรีไมค์

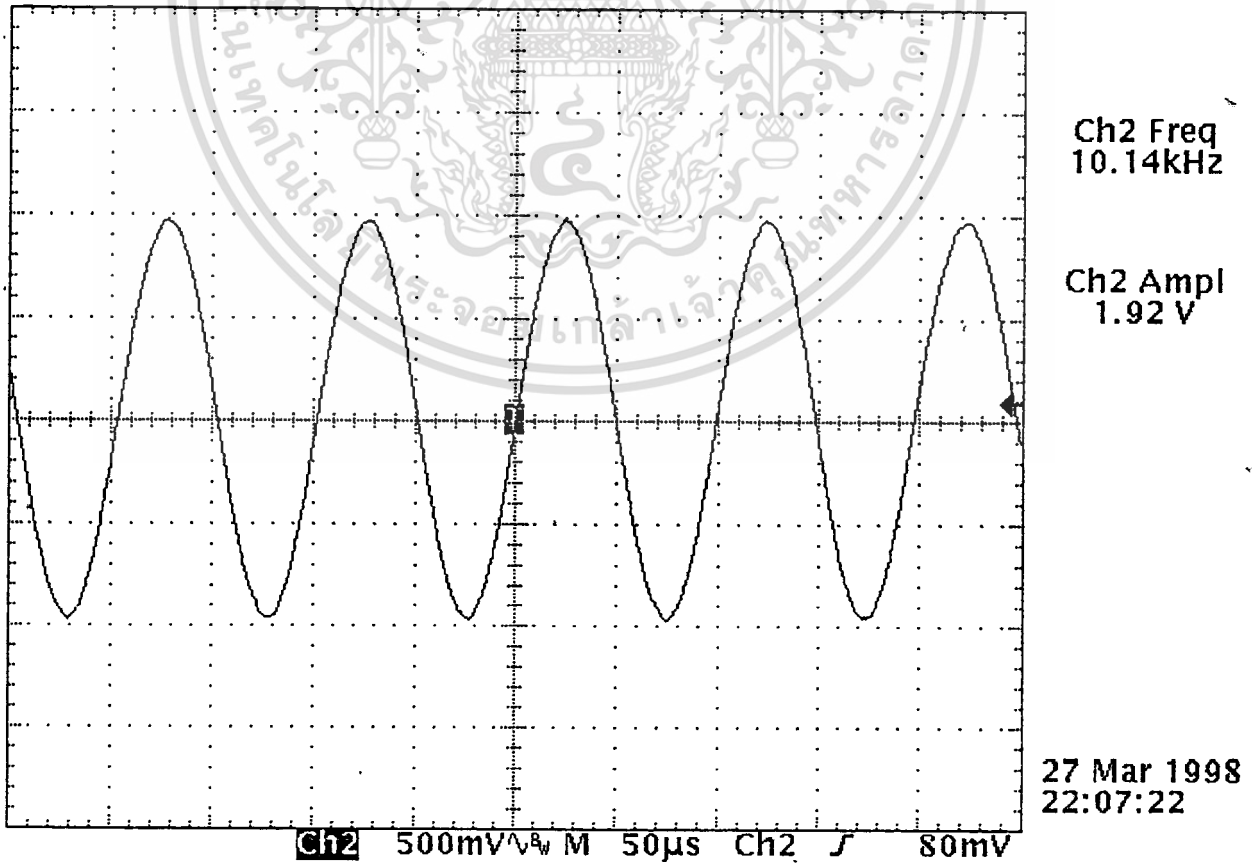


รูปที่ 4.7 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรปรีไมค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงสัญญาณที่ทำการส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล



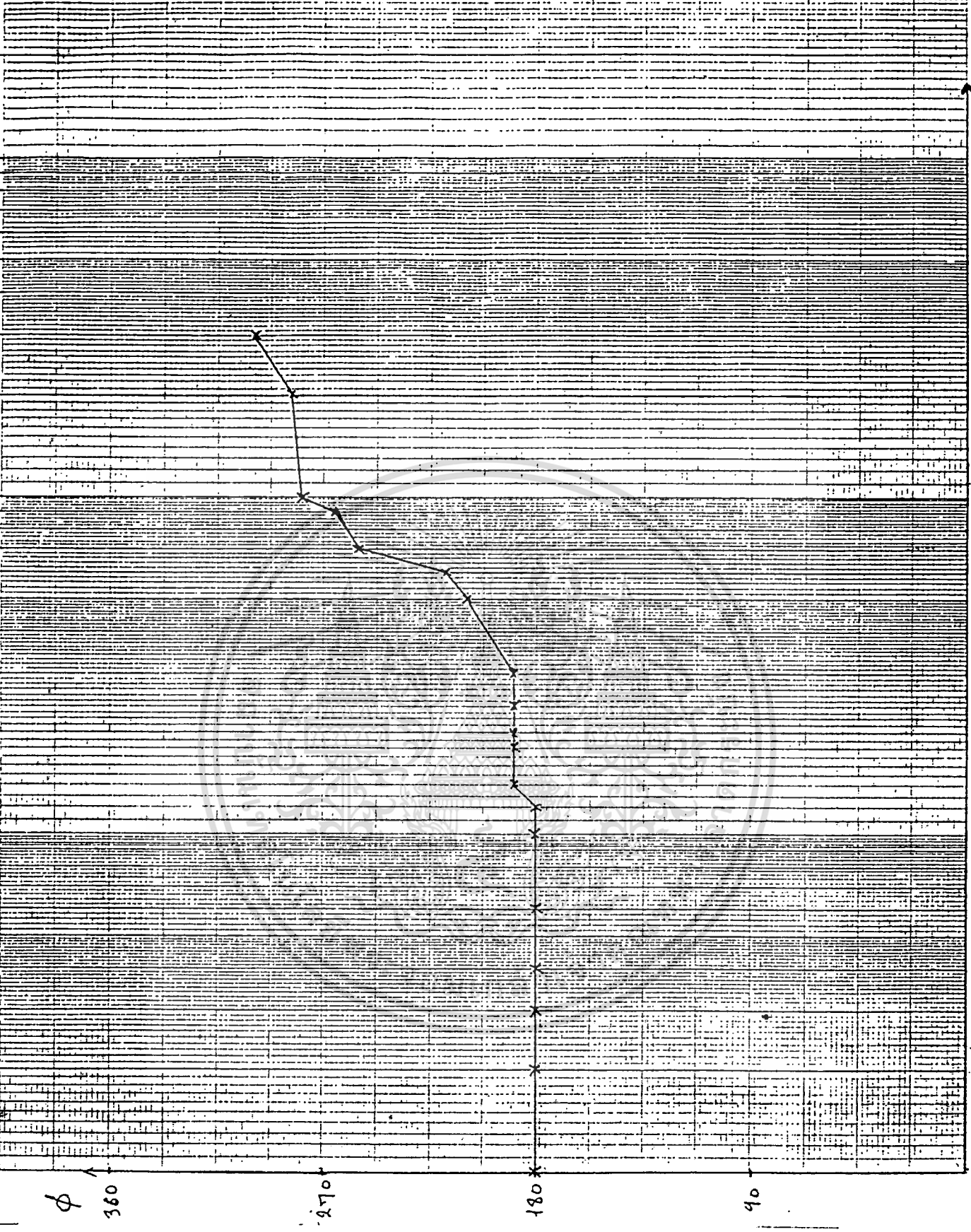
รูปที่ 4.9 แสดงสัญญาณที่รับได้จากส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองวัดเฟสของสัญญาณที่ทำการส่งแบบดิฟเฟอร์เรนเชี่ยลที่ความถี่ต่างๆ

ความถี่ (เฮิร์ท)	เฟส (องศา)
100	180
500	180
1k	180
2k	180
3k	180
4k	180
6k	180
10k	180
12k	180
14k	189
15k	189
18k	189
20k	190
24k	190
30k	191
50k	210
60k	219
70k	257
90k	267
100k	280
200k	285
300k	300

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงกราฟการวัดเฟสของสัญญาณที่ทำการส่งแบบดิฟเฟอร์เรนเชี่ยลที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่4.2 แสดงผลการทดสอบแหล่งจ่ายไฟแบบสวิทชิ่งของเครื่องสมาชิก

1) ส่วน 12 โวลท์

สัญญาณข้อมูล	30 Vp	25 Vp	23 Vp	20 Vp	15 Vp	14 Vp	13.3 Vp	13 Vp	12 Vp
เอาท์พุท	12 V	12 V	12 V	12 V	12 V	12 V	12 V	11.65V	10.95V

2) ส่วน 5 โวลท์

สัญญาณข้อมูล	30 Vp	25 Vp	20 Vp	15 Vp	10 Vp	9 Vp	8 Vp	7.8Vp
เอาท์พุท	5V	5V	5V	5V	5V	5V	5V	4.92V

ค่าริปเปิ้ล เอาท์พุทที่ทำการวัดได้คือ. 46 mVp

จากผลการทดลองจะสรุปได้ว่าค่าของสัญญาณข้อมูลที่มีค่าน้อยที่สุดที่สามารถทำให้เครื่องสมาชิกสามารถทำงานได้ปกติคือ 13.3 Vp และแหล่งจ่ายไฟทั้งสองส่วนนั้นเมื่อทำการต่อโหลดเข้าไปแล้ว ค่าแรงดันที่เอาท์พุทมีค่าคงที่ คือ 12 โวลท์ และ 5 โวลท์ ไม่มีการตกของแรงดันแสดงว่าสามารถใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

สำหรับโครงงานที่ได้ทำขึ้นนี้ ส่วนที่ทำเสร็จแล้วมีดังนี้คือ ภาคผลิตสัญญาณควบคุม ภาคขยายสัญญาณควบคุม, ภาคผลิตสัญญาณพัลซ์ลบ ภาคแยกสัญญาณซิงค์ ภาคไฟเลี้ยงวงจร ภาคดีเทคสัญญาณพัลซ์ลบ และภาคระบบเสียง

จากผลการทดลองแสดงให้เห็นว่า ในส่วนของสัญญาณควบคุมที่ได้นั้น ก็เป็นไปตามที่ได้ออกแบบเอาไว้ คือ สัญญาณที่ได้ก็เป็นรูปสัญญาณพัลซ์ แล้วตามด้วยสัญญาณซิงค์ที่ต้องการ

ในส่วนของวงจรผลิตและดีเทคสัญญาณพัลซ์ลบก็สามารถทำงานได้ดี ตามที่ได้ทำการออกแบบไว้

ส่วนระบบเสียงที่ได้นั้นยังมีสัญญาณรบกวนอยู่ ทำให้เสียงที่ได้นั้นไม่ดีเท่าที่ควร สาเหตุอาจเกิดจากภาคดิฟเฟอร์เรนเชี่ยล

การส่งสัญญาณแบบดิฟเฟอร์เรนเชี่ยลนั้น สัญญาณที่ออกมาจะมี 2 ส่วน และจะต่างเฟสกัน 180 องศา แต่ ณ ความถี่สูง ๆ อาจเป็นไปได้ว่า เฟสจะเปลี่ยนแปลงไปทำให้การส่งและรับสัญญาณเสียงแบบดิฟเฟอร์เรนเชี่ยลอาจเกิดการผิดพลาดได้

ในส่วนภาคไปเลี้ยงวงจรนนนนั้นได้ทำการทดลองการใช้งานจริงสามารถจ่ายแรงดันคงที่ 12 โวลท์ และ 5 โวลท์ ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ดร.โคทม อารียา , " วงจรอิเล็กทรอนิกส์เล่ม1 :วงจรเชิงลบ " , ซีเอ็ดยูเคชั่น , หน้า 340-345
2. มงคล ทองสงคราม , " อิเล็กทรอนิกส์เบื้องต้น " , หน้า 373
3. ผ.ศ. สมเกียรติ ศุภเดช , " ทฤษฎีและการออกแบบวงจรพัลส์ " , อิเล็กทรอนิกส์-เวิลด์ , หน้า 17-18
4. ก้องเกียรติ ณ . สีมา , " ทฤษฎีและการใช้งานไทม์เมอร์ 555 " , อิเล็กทรอนิกส์เวิลด์ , หน้า 19 - 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 TO 6 W AUDIO POWER AMPLIFIER

The TDA1011 is a monolithic integrated audio amplifier circuit in a 9-lead single in-line (SIL) plastic package. The device is especially designed for portable radio and recorder applications and delivers up to 4 W in a 4 Ω load impedance. The device can deliver up to 6 W into 4 Ω at 16 V loaded supply in mains-fed applications. The maximum permissible supply voltage of 24 V makes this circuit very suitable for d.c. and a.c. apparatus, while the very low applicable supply voltage of 3,6 V permits 6 V applications.

Special features are:

- single in-line (SIL) construction for easy mounting
- separated preamplifier and power amplifier
- high output power
- thermal protection
- high input impedance
- low current drain
- limited noise behaviour at radio frequencies

QUICK REFERENCE DATA

Supply voltage range	V_P		3,6 to 20	V
Peak output current	I_{OM}	max.	3	A
Output power at d_{tot} = 10%				
V_P = 16 V; R_L = 4 Ω	P_o	typ.	6,5	W
V_P = 12 V; R_L = 4 Ω	P_o	typ.	4,2	W
V_P = 9 V; R_L = 4 Ω	P_o	typ.	2,3	W
V_P = 6 V; R_L = 4 Ω	P_o	typ.	1,0	W
Total harmonic distortion at P_o = 1 W; R_L = 4 Ω	d_{tot}	typ.	0,2	%
Input impedance				
preamplifier (pin 8)	$\|Z_i\|$	>	100	kΩ
power amplifier (pin 6)	$\|Z_i\|$	typ.	20	kΩ
Total quiescent current	I_{tot}	typ.	14	mA
Operating ambient temperature	T_{amb}		−25 to + 150	°C
Storage temperature	T_{stg}		−55 to + 150	°C

PACKAGE OUTLINE

9-lead SIL; plastic (SOT110B).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

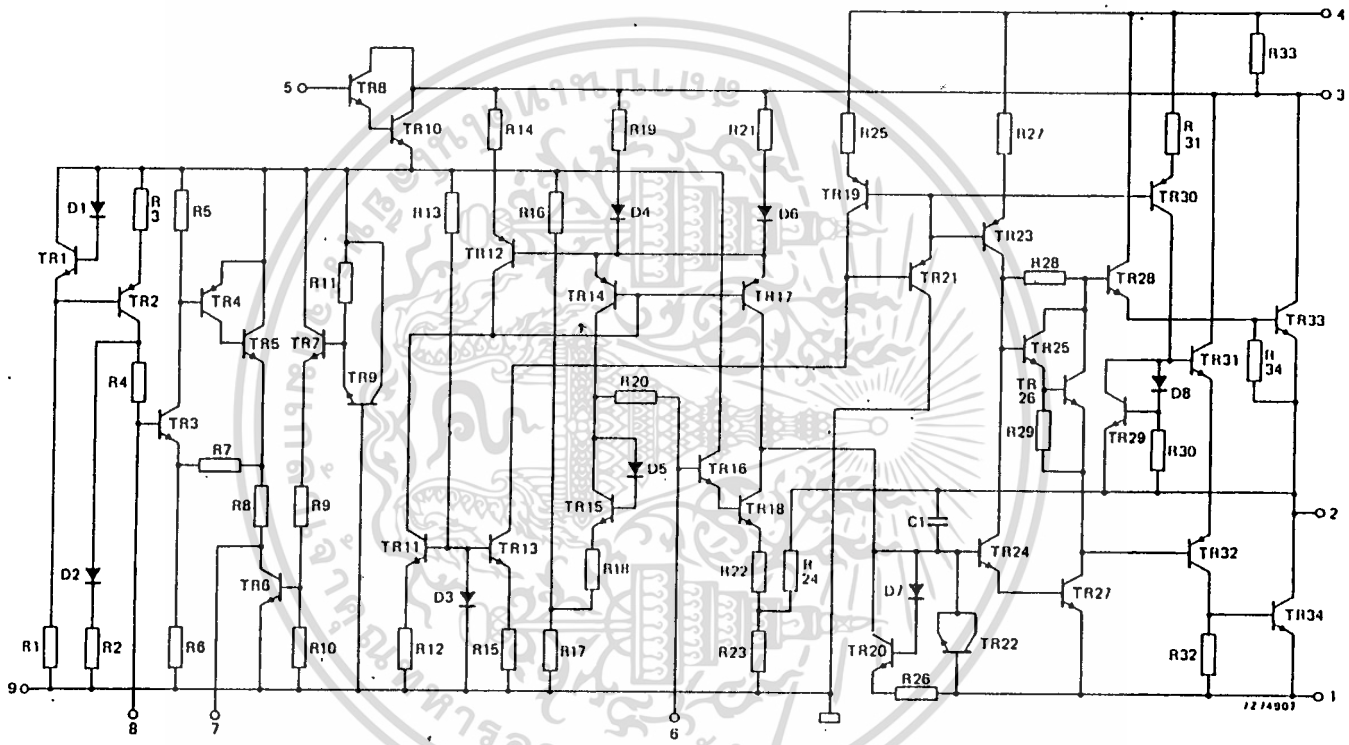


Fig. 1 Circuit diagram.

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Supply voltage	V_P	max.	24	V
Peak output current	I_{OM}	max.	3	A
Total power dissipation	see derating curve Fig. 2			
Storage temperature	T_{stg}	−55 to + 150		°C
Operating ambient temperature	T_{amb}	−25 to + 150		°C
A.C. short-circuit duration of load during sine-wave drive; V_P = 12 V	t_{sc}	max.	100	hours

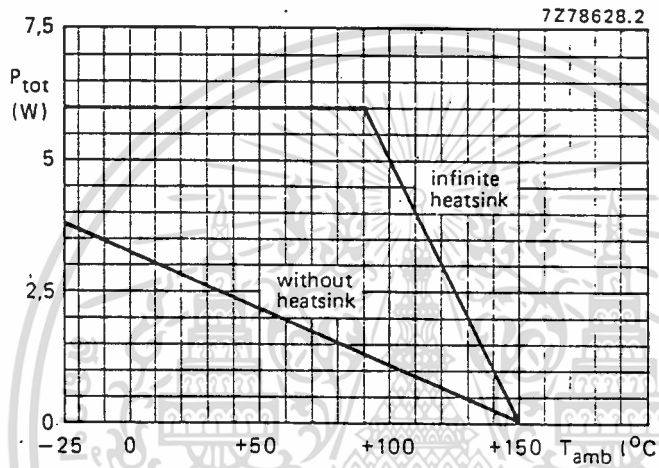


Fig. 2 Power derating curve.

HEATSINK DESIGN

Assume V_P = 12 V; R_L = 4 Ω; T_{amb} = 60 °C maximum; P_O = 3,8 W.

The maximum sine-wave dissipation is 1,8 W.

The derating of 10 K/W of the package requires the following external heatsink (for sine-wave drive):

$$R_{th\ j\text{-}a} = R_{th\ j\text{-}tab} + R_{th\ tab\text{-}h} + R_{th\ h\text{-}a} = \frac{150 - 60}{1,8} = 50\ K/W.$$

Since $R_{th\ j\text{-}tab}$ = 10 K/W and $R_{th\ tab\text{-}h}$ = 1 K/W, $R_{th\ h\text{-}a}$ = 50 − (10 + 1) = 39 K/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D.C. CHARACTERISTICS

Supply voltage range	V_P	3,6 to 20	V
Repetitive peak output current	I_{ORM}	< 2	A
Total quiescent current at V_P = 12 V	I_{tot}	typ. 14	mA
		< 22	mA

A.C. CHARACTERISTICS

T_{amb} = 25 °C; V_P = 12 V; R_L = 4 Ω; f = 1 kHz unless otherwise specified; see also Fig. 3.

A.F. output power at d_{tot} = 10% (note 1)			
with bootstrap:			
V_P = 16 V; R_L = 4 Ω	P_o	typ. 6,5	W
V_P = 12 V; R_L = 4 Ω	P_o	> 3,6	W
		typ. 4,2	W
V_P = 9 V; R_L = 4 Ω	P_o	typ. 2,3	W
V_P = 6 V; R_L = 4 Ω	P_o	typ. 1,0	W
without bootstrap:			
V_P = 12 V; R_L = 4 Ω	P_o	typ. 3,0	W
Voltage gain:			
preamplifier (note 2)	G_{v1}	typ. 23	dB
		21 to 25	dB
power amplifier	G_{v2}	typ. 29	dB
		27 to 31	dB
total amplifier	$G_{v\,tot}$	typ. 52	dB
		50 to 54	dB
Total harmonic distortion at P_o = 1,5 W	d_{tot}	typ. 0,3	%
		< 1	%
Frequency response; −3 dB (note 3)	B	60 Hz to 15	kHz
Input impedance:			
preamplifier (note 4)	$\lvert Z_{i1} \rvert$	> 100	kΩ
		typ. 200	kΩ
power amplifier	$\lvert Z_{i2} \rvert$	typ. 20	kΩ
Output impedance preamplifier	$\lvert Z_{o1} \rvert$	typ. 1	kΩ
Output voltage preamplifier (r.m.s. value) d_{tot} < 1% (note 2)	$V_{o(rms)}$	> 0,7	V
Noise output voltage (r.m.s. value; note 5)			
R_S = 0 Ω	$V_{n(rms)}$	typ. 0,2	mV
R_S = 10 kΩ	$V_{n(rms)}$	typ. 0,6	mV
		< 1,4	mV
Noise output voltage at f = 500 kHz (r.m.s. value) B = 5 kHz; R_S = 0 Ω	$V_{n(rms)}$	typ. 8	μV
Ripple rejection (note 6)			
f = 1 to 10 kHz	RR	typ. 42	dB
f = 100 Hz; C2 = 1 μF	RR	> 35	dB
Bootstrap current at onset of clipping; pin 4 (r.m.s. value)	$I_{4(rms)}$	typ. 35	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

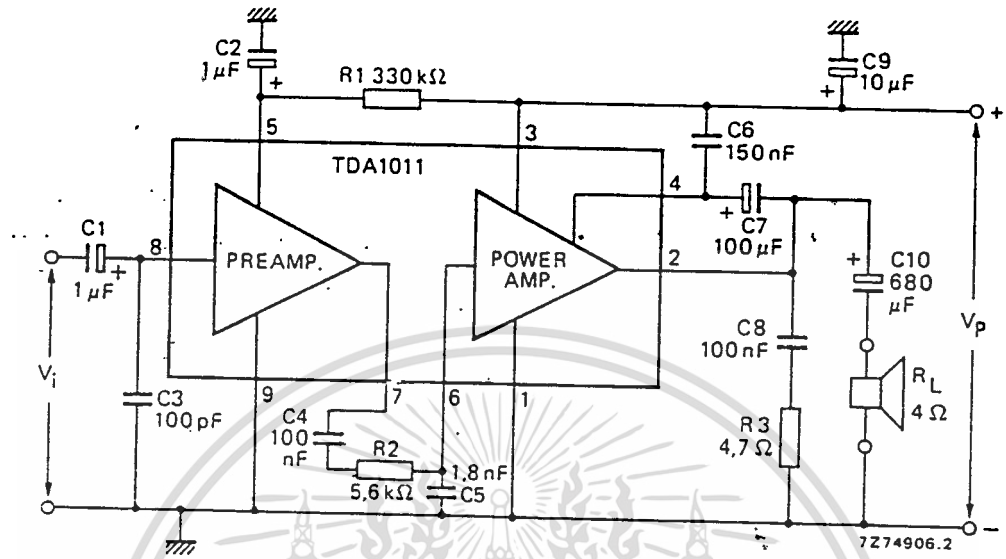


Fig. 4 Circuit diagram of a 4 W amplifier.

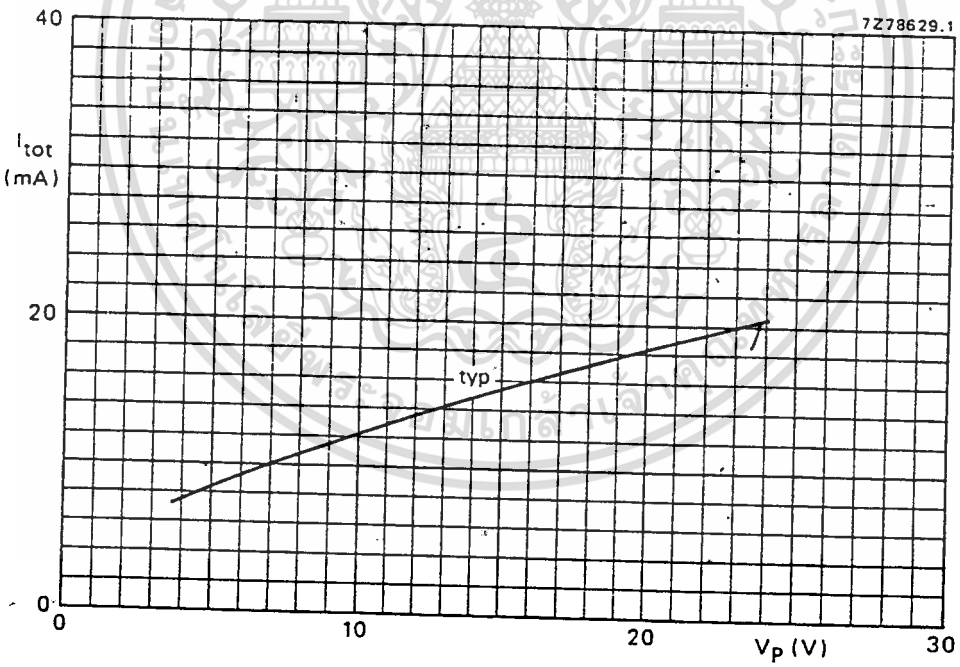


Fig. 5 Total quiescent current as a function of supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

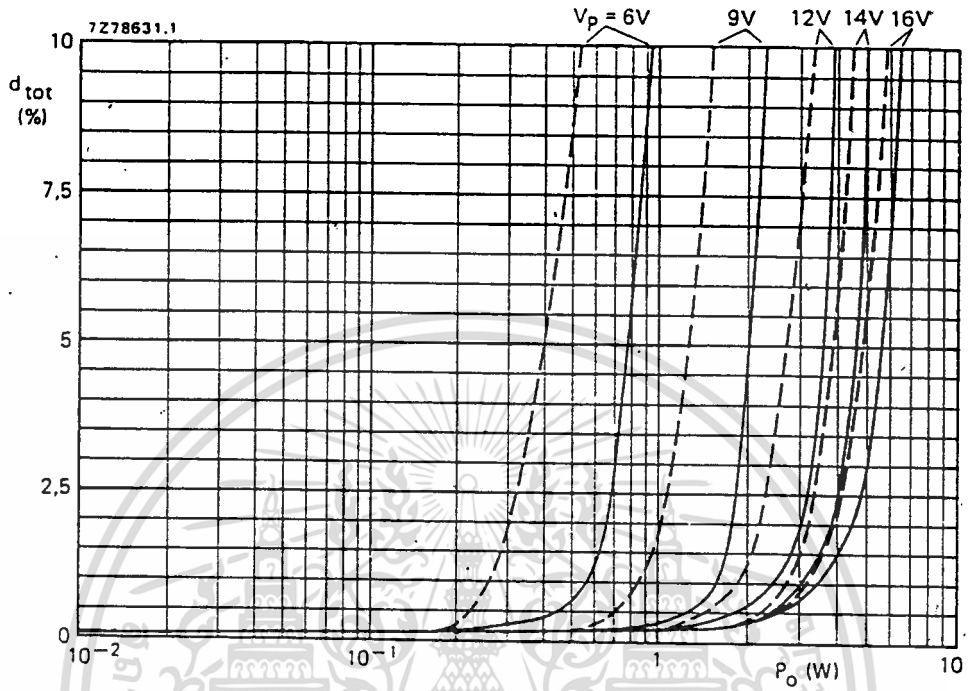


Fig. 8 Total harmonic distortion as a function of output power across R_L; —— with bootstrap; – – – without bootstrap; f = 1 kHz; typical values. The available output power is 5% higher when measured at pin 2 (due to series resistance of C10).

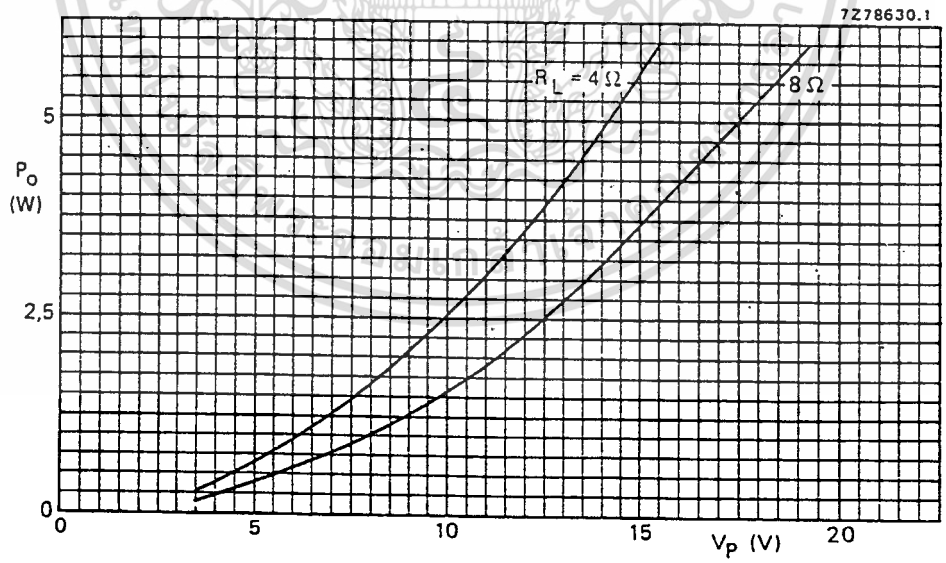


Fig. 9 Output power across R_L as a function of supply voltage with bootstrap; d_{tot} = 10%; typical values. The available output power is 5% higher when measured at pin 2 (due to series resistance of C10).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

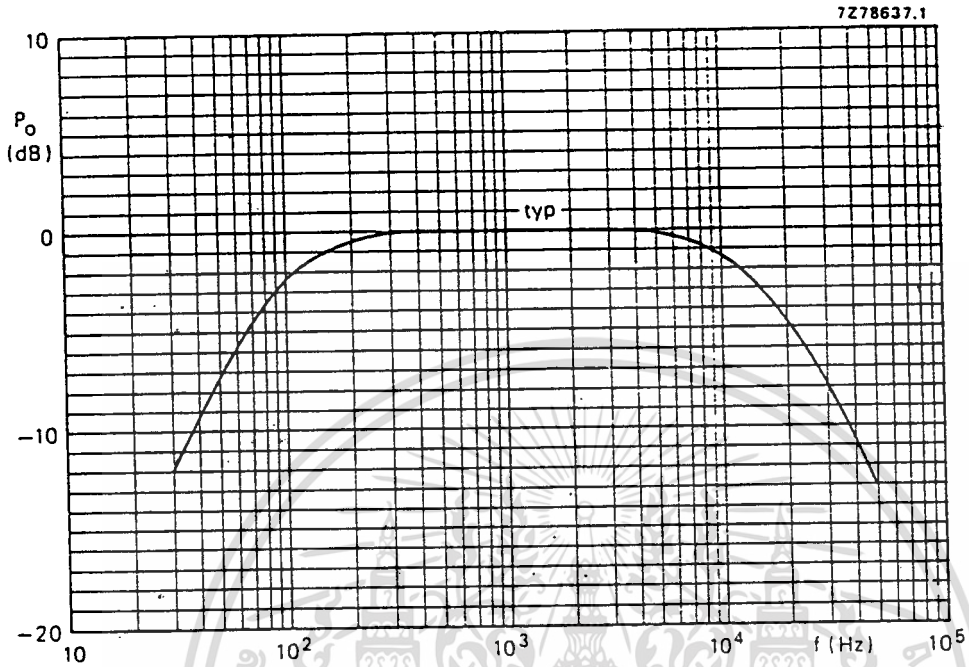


Fig. 10 Voltage gain as a function of frequency; P_o relative to 0 dB = 1 W; V_P = 12 V; R_L = 4 Ω.

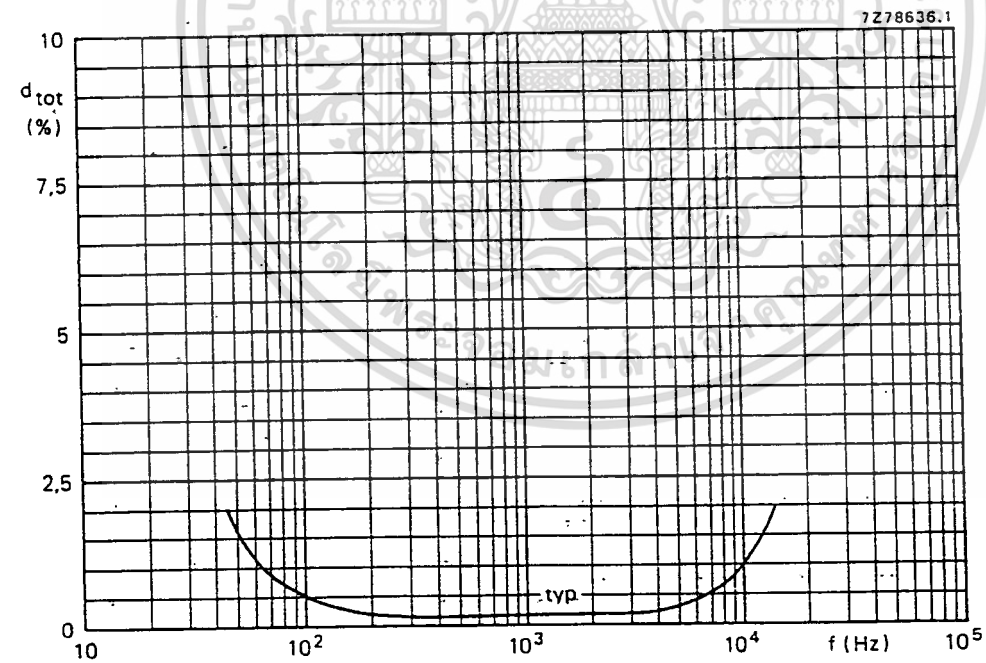


Fig. 11 Total harmonic distortion as a function of frequency; P_o = 1 W; V_P = 12 V; R_L = 4 Ω.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

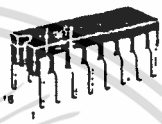
MC14585B

4-BIT MAGNITUDE COMPARATOR

The MC14585B 4-Bit Magnitude Comparator is constructed with complementary MOS (CMOS) enhancement mode devices. The circuit has eight comparing inputs (A3, B3, A2, B2, A1, B1, A0, B0), three cascading inputs (A<B, A=B, and A>B), and three outputs (A<B, A=B, and A>B). This device compares two 4-bit words (A and B) and determines whether they are "less than", "equal to", or "greater than" by a high level on the appropriate output. For words greater than 4-bits, units can be cascaded by connecting outputs (A>B), (A<B), and (A=B) to the corresponding inputs of the next significant comparator. Inputs (A<B), (A=B), and (A>B) on the least significant (first) comparator are connected to a low, a high, and a low, respectively.

Applications include logic in CPU's, correction and/or detection of instrumentation conditions, comparator in testers, converters, and controls.

- Diode Protection on All Inputs
- Expandable
- Applicable to Binary or 8421-BCD Code
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load over the Rated Temperature Range
- Can be Cascaded - See Fig. 3



L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXX8CP	Plastic
MC14XXX8CL	Ceramic
MC14XXX8D	SOIC

T_A = −55 to 125 C for all packages.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to −18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} −0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to −150	°C
T_L	Lead Temperature (8-Second Soldering)	250	°C

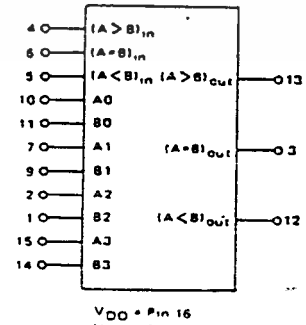
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: −7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: −12 mW/°C From 100°C To 125°C

TRUTH TABLE

INPUTS							OUTPUTS		
COMPARING				CASCADING					
A3, B3	A2, B2	A1, B1	A0, B0	A<B	A=B	A>B	A<B	A=B	A>B
A3>B3	x	x	x	x	x	x	0	0	1
A3=B3	A2>B2	x	x	x	x	x	0	0	1
A3=B3	A2=B2	A1>B1	x	x	x	x	0	0	1
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	0	0	x	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	0	1	x	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	x	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	1	1	x	1	1	0
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	1	0	0
A3=B3	A2=B2	A1<B1	x	x	x	x	1	0	0
A3=B3	A2<B2	x	x	x	x	x	1	0	0
A3<B3	x	x	x	x	x	x	1	0	0

x = Don't Care

BLOCK DIAGRAM



V_{DD} = Pin 16
V_{SS} = Pin 8

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic**		Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage V_{in} = V_{DD} or 0	"0" Level	V_{OL}	5.0 10 15	— — —	0.05 0.05 0.05	— — —	0 0 0	0.05 0.05 0.05	— — —	0.05 0.05 0.05	Vdc
V_{in} = 0 or V_{DD}	"1" Level	V_{OH}	5.0 10 15	4.95 9.95 14.95	— — —	4.95 9.95 14.95	5.0 10 15	— — —	4.95 9.95 14.95	— — —	Vdc
Input Voltage (V_O = 4.5 or 0.5 Vdc) (V_O = 9.0 or 1.0 Vdc) (V_O = 13.5 or 1.5 Vdc)	"0" Level	V_{IL}	5.0 10 15	— — —	1.5 3.0 4.0	— — —	2.25 4.50 6.75	1.5 3.0 4.0	— — —	1.5 3.0 4.0	Vdc
(V_O = 0.5 or 4.5 Vdc) (V_O = 1.0 or 9.0 Vdc) (V_O = 1.5 or 13.5 Vdc)	"1" Level	V_{IH}	5.0 10 15	3.5 7.0 11	— — —	3.5 7.0 11	2.75 5.50 8.25	— — —	3.5 7.0 11	— — —	Vdc
Output Drive Current (V_{OH} = 2.5 Vdc) (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	Source	I_{OH}	5.0 5.0 10 15	−3.0 −0.64 −1.6 −4.2	— — — —	−2.4 −0.51 −1.3 −3.4	−4.2 −0.88 −2.25 −8.8	— — — —	−1.7 −0.36 −0.9 −2.4	— — — —	mAdc
(V_{OL} = 0.4 Vdc) (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	Sink	I_{OL}	5.0 10 15	0.64 1.6 4.2	— — —	0.51 1.3 3.4	0.88 2.25 8.8	— — —	0.36 0.9 2.4	— — —	mAdc
Input Current		I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)		C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)		I_{DD}	5.0 10 15	— — —	5.0 10 20	— — —	0.005 0.010 0.015	5.0 10 20	— — —	150 300 600	μAdc
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)		I_T	5.0 10 15	I_T = (0.5 μA/kHz) f + I_{DD} I_T = (1.0 μA/kHz) f + I_{DD} I_T = (1.5 μA/kHz) f + I_{DD}							μAdc

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

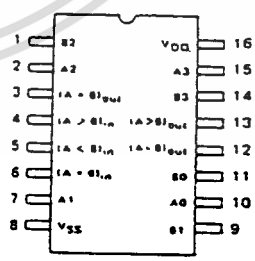
**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.001.

PIN ASSIGNMENT



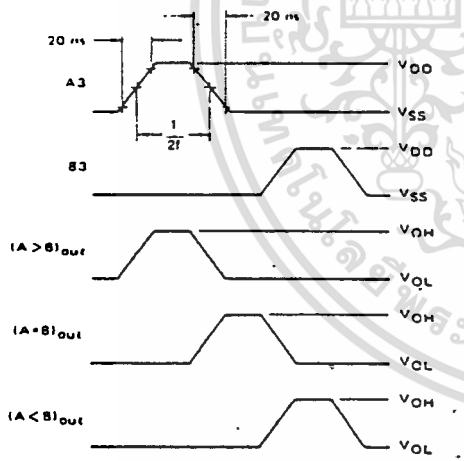
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ #	Max.	Unit
Output Rise and Fall Time						ns
t_{TLH}, t_{THL} = (1.5 ns/pF) C_L + 25 ns	t_{TLH}, t_{THL}	5.0	–	100	200	
t_{TLH}, t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{TLH}, t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Turn-On, Turn-Off Delay Time						ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 345 ns	t_{PLH}, t_{PHL}	5.0	–	430	860	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 147 ns		10	–	180	360	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 105 ns		15	–	130	260	

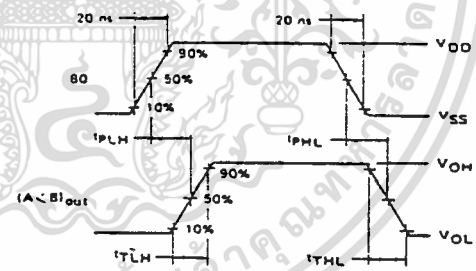
*The formulas given are for the typical characteristics only at 25°C.
#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

FIGURE 1 – DYNAMIC POWER DISSIPATION SIGNAL WAVEFORMS



Inputs (A > B) and (A = B) high, and inputs B2, A2, B1, A1, B0, A0 and (A < B) low
f in respect to a system clock.

FIGURE 2 – DYNAMIC SIGNAL WAVEFORMS

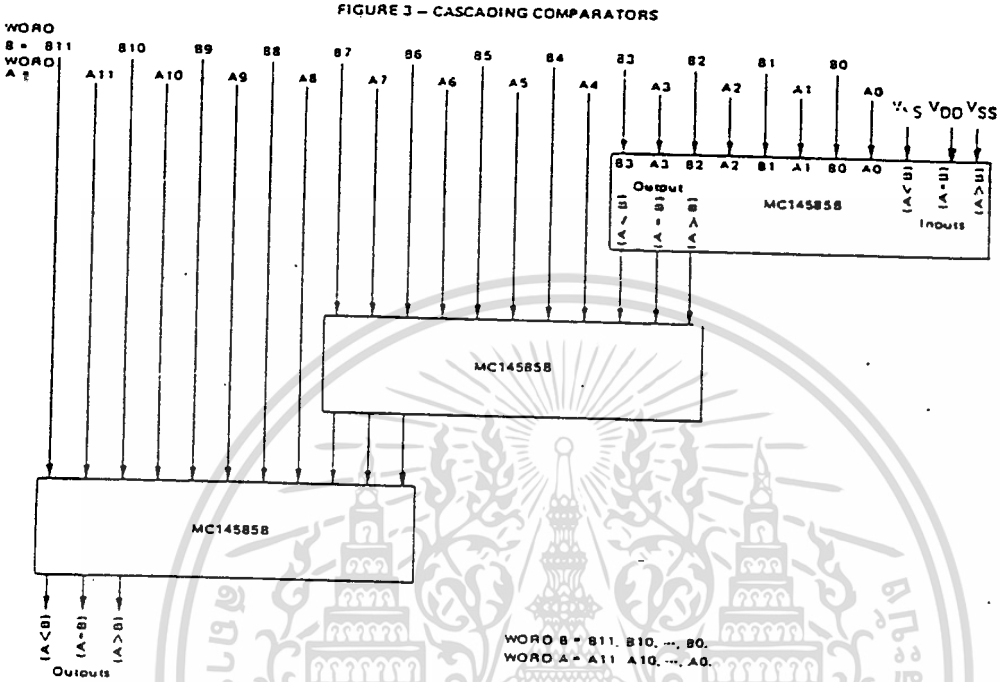


Inputs (A > B) and (A = B) high, and inputs B3, A3, B2, A2, B1, A1, A0, and (A < B) low.

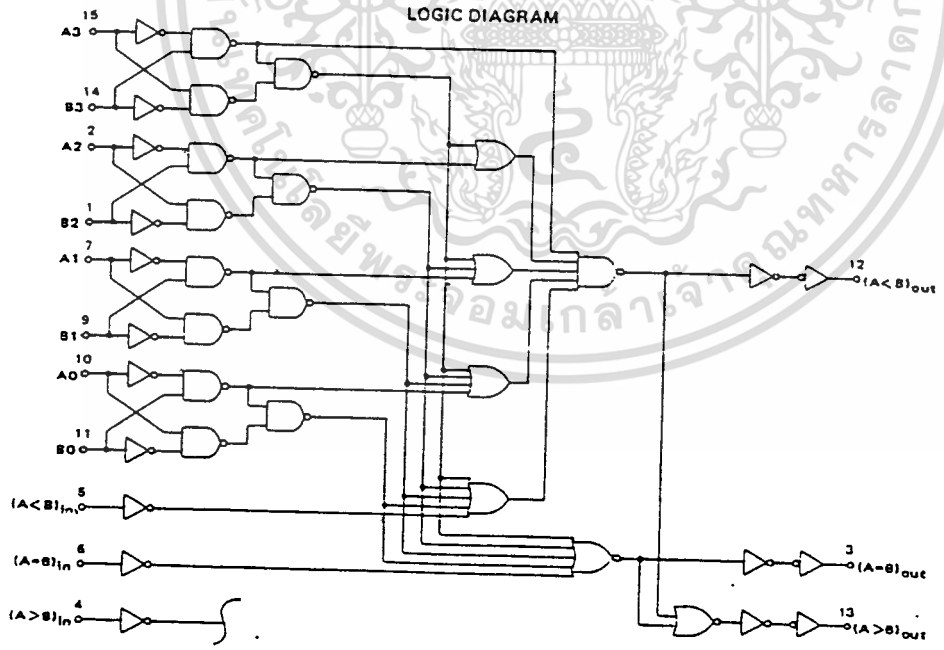
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – CASCADING COMPARATORS



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้