เครื่องชุมสายโทรศัพทตูสาขาอัตโนมัติ

(PRIVATE AUTOMATIC BRANCH EXCHANGE)

โดย

นาย สุขสำราญ ปานนพภา 38013344

นาย สุทธิชัย ดีเชย 38013345

อาจารย์ที่ปรึกษา

รศ. นิกร สุขุตมตันติ

วัน เดือน ปี 14 ตค 2541
เลขทะเบียน 038904
เลขเรียกหนังสือ T 201ปป ส๖๗ค

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

038904

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงาน	เครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ (PRIVATE AUTOMATIC BRANCH EXCHANGE)
โดย	นาย สุขสำราญ ปานนพภา 38013344 นาย สุทธิชัย ดีเชย 38013345
อาจารย์ที่ปรึกษา	รศ. นิกร สุขุตมตันติ
ภาควิชา	เทคนิคอุตสาหกรรม
สาขาวิชา	เทคโนโลยีอิเล็คทรอนิกส์
ปีการศึกษา	2540

คณะวิศวกรรมศาสตร์ สถาบันเทคโนยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้รับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของหลักสูตรปริญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRIVATE AUTOMATIC BRANCH EXCHANGE

MR. SUKSAMRAN PANNOPPA 38013344

MR. SUTTICHAI DEECHERI 38013345

ADVISOR

ASSOC PROF. NIKORN SUKUTAMATANTI

FISCAL YEAR 1997

ABSTRACT

Private Automatic Branch Exchange consist of 8 external lines and 16 internal lines with an automatic system . It is continuing project from fiscal year 1996 which have proplems in hardware and software system , however we can make it possible to use several internal numbers at the same time and connect to an internal number by himself.

Private Automatic Branch Exchange help benefit an interested providing the relevant information for study in the future Moreover , all the equipment used in the private Automatic Branch Exchange are available domestically.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ

(PRIVATE AUTOMATIC BRANCH EXCHANGE)

โดย

นาย สุขสำราญ ปานนพภา 38013344

นาย สุทธิชัย ดีเชย 38013345

อาจารย์ที่ปรึกษา

รศ. นิกร สุขุตมตันติ

ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์นี้ นำเสนอโครงงานเครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ มีคุณสมบัติคือ 3 สายภายนอก 16 สายภายใน ซึ่งเป็นโครงงานต่อเนื่องมาจากโครงงานเครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ ที่มีปัญหาโดยที่เครื่องไม่สามารถติดต่อหมายเลขภายในได้ด้วยตนเอง และเครื่องเลขหมายภายในไม่สามารถใช้งานพร้อม ๆ กันได้ ซึ่งผู้จัดทำตรวจพบปัญหา และได้ดำเนินการแก้ไขทั้งในส่วนของ Hardware และ Software ซึ่งเครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติที่ได้ดำเนินการแก้ไขแล้วนี้จะช่วยให้ผู้ต้องการศึกษาเกี่ยวกับระบบด้านนี้เข้าใจระบบได้ดียิ่งขึ้นโดยมีข้อมูลอยู่พร้อมแล้ว สำหรับการศึกษาโครงงานนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทคัดย่อ	1
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์ของโครงงาน	1
1.2 คุณสมบัติของโครงงาน	1
1.3 BLOCK DIAGRAM	2
บทที่ 2 ทฤษฎีแบบชุมสาย PABX	4
2.1 ทฤษฎีแบบชุมสาย PABX	4
2.2 BLOCK DIAGRAM	11
บทที่ 3 การทำงานของวงจรและ CIRCUIT DIAGRAM	18
3.1 วงจร INTERFACE	18
3.2 วงจร TOT LINE INTERFACE CIRCUIT	18
3.3 วงจร SWITCH PART	19
3.4 VOICE / PLAY BACK	19
3.5 SIGNAL	20
3.5.1 DIAL TONE	20
3.5.2 BUSY TONE	20
3.5.3 RINGBACK TONE	20
3.5.4 RINGING SIGNAL	21
3.6 SOFTWARE	21
3.7 CIRCUIT DIAGRAM	22
บทที่ 4 สรุปผล และวิจารณ์	33
บรรณานุกรม	34
ภาคผนวก	35
ก. การใช้เครื่อง	
ข. โปรแกรมการทำงานของระบบ	
ค. DATA ของอุปกรณ์ที่สำคัญในโครงงานปริญญานิพนธ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 วัตถุประสงค์โครงงาน

โครงงาน เครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัตินี้ ผู้จัดทำได้ตรวจพบปัญหาทั้งในส่วนของ HARDWARE และ SOFTWARE โดยเฉพาะในส่วนของ HARDWARE ซึ่งมีปัญหาไม่สามารถทำงานได้ในหลายวงจร เช่น วงจร INTERFACE , วงจร TOT LINE INTERFACE CIRCUIT และ วงจร SWITCHING PART ซึ่งเป็นวงจรหลักในการทำงานของระบบเครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ ในส่วนของ SOFTWARE ผู้จัดทำได้เขียนโปรแกรมการทำงานของเครื่องขึ้นมาใหม่ทั้งหมด เนื่องจากผู้จัดทำได้เปลี่ยนชุด CONTROL PATH ใหม่ โดยได้เปลี่ยน CPU จาก MSC-51 มาเป็น Z-80

เนื่องจากโครงงานนี้ผู้จัดทำมีความต้องการให้เป็นแบบอัตโนมัติทั้งหมด โดยผู้ที่จะติดต่อนั้นสามารถต่อเลขหมายภายในได้ด้วยตนเองและเครื่องเลขหมายภายในนั้นสามารถใช้ได้พร้อม ๆ กัน แต่ด้วยปัญหาทั้งในส่วนของ HARDWARE และ SOFTWARE จึงทำให้เครื่องไม่สามารถทำงาน ตามคุณสมบัติที่กำหนดได้ทั้งหมด

1.2 คุณสมบัติ PABX ในโครงงาน

- 3 INPUT SUBSCRIBER LINE
- 16 OUTPUT SUBSCRIBER LINE
- AUTOMATIC RECEIVING & TRANSFERRING
- HIGH RELIABILITY
- LOW NOISE
- ANALOG SPEECH PATH CONTROLLED BY CPU
- FAST OPERATION
- MINIMUM CROSSTALK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

โครงงานนี้แบ่งเป็น 2 ส่วน คือ

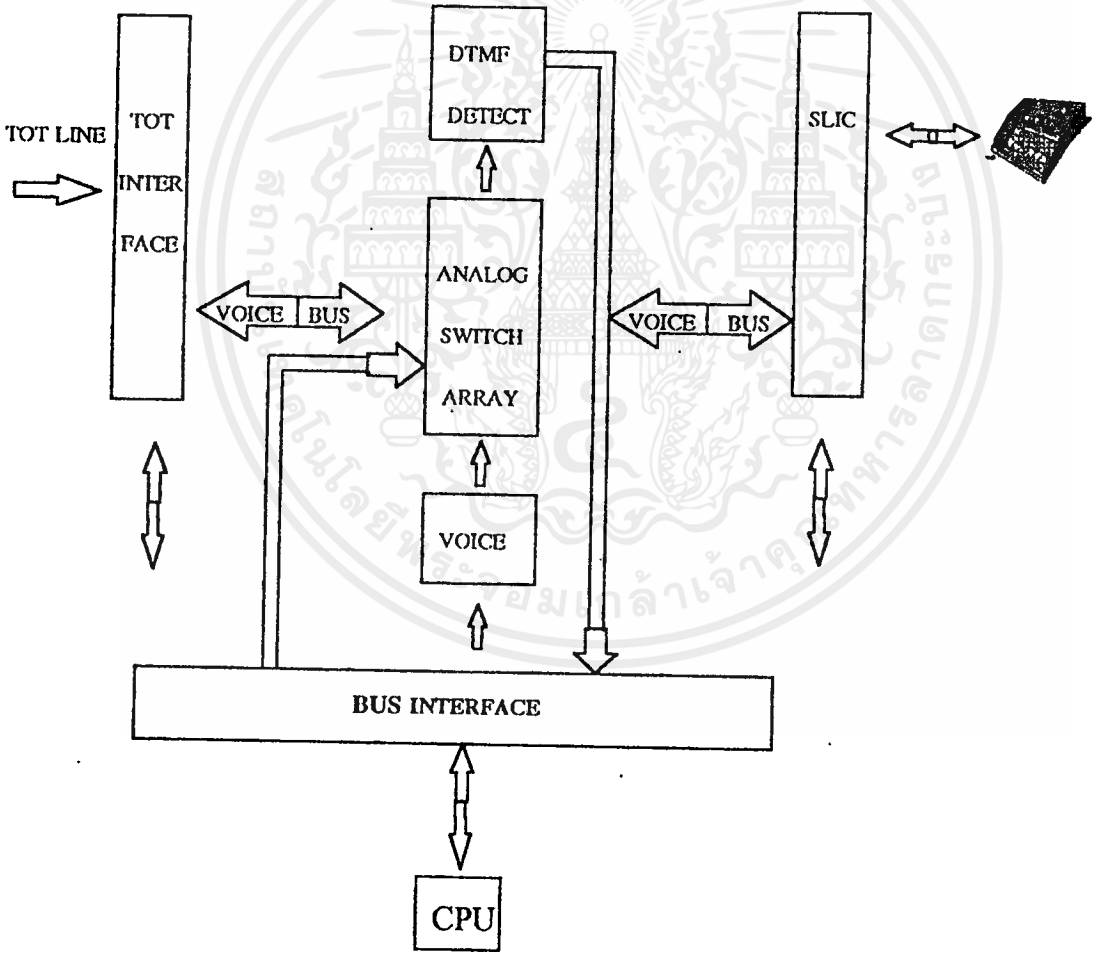
1. HARD WARE ประกอบด้วย

- CPU
- ELECTRONICS SWITCHING SYSTEM
- SUBSCRIBER LINE INTERFACE CIRCUIT
- TOT LINE INTERFACE CIRCUIT
- SIGNALING ต่าง ๆ ในระบบ
- INTERFACE DEVICE ที่ทำหน้าที่เป็น INPUT/OUTPUT PORT

2. SOFTWARE

- PART OF SWITCHING SYSTEM

1.3 BLOCK DIAGRAM



รูปที่ 1.1 BLOCK DIAGRAM OF PABX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จาก BLOCK DIAGRAM เราสามารถแบ่งออกได้เป็น BLOCK ย่อยได้ 6 BLOCK คือ

1. TOT INTERFACE
2. ANALOG SWITCH ARRAY
3. VOICE
4. SUBSCRIBER LINE INTERFACE CIRCUIT (SLIC)
5. CPU
6. DIAL TONE MULTI FREQUENCY DETECT (DTMF)

จาก BLOCK DIAGRAM ข้างต้นแต่ละ BLOCK จะทำหน้าที่ดังนี้

- TOT LINE INTERFACE

จะทำหน้าที่ติดต่อกับสายภายนอกโดยจะทำการ CHECK สัญญาณการโทรเข้าและทำการ COUPLING สัญญาณ และทำการ DETECT สัญญาณของสถานะสายต่าง ๆ เพื่อบอกให้ CPU ทราบสถานะของสายนั้น ๆ

- ANALOG SWITCH ARRAY

ANALOG SWITCH ARRAY จะทำหน้าที่เป็นตัวตัด,ต่อคู่สายต่าง ๆ และสัญญาณต่าง ๆให้กับคู่สายโดยจะทำตามที่ CPUสั่ง โดยจะเป็นตัวเชื่อมการติดต่อที่สำคัญยิ่งของคู่สาย

- SLIC

SLIC นั้นเป็นตัวหนึ่งที่มีความสำคัญยิ่งถึงจะทำการ INTERFACE กับสายภายใน ในการ FEED BATTERY ให้กับสายภายใน และทำการเชื่อมต่อสัญญาณ และทำการส่งสัญญาณกระดิ่งตลอดจนการตรวจสอบ การยกหูของสายภายใน แจ้งให้ CPU ทราบถึงสภาพสายภายในดังกล่าว

- CPU

CPU เป็นตัวหนึ่งที่มีความสำคัญ โดยจะทำหน้าที่ควบคุมระบบทั้งหมดไม่ว่าจะเป็นการสั่งงาน การเชื่อมต่อสายต่าง ๆ การจัดส่งสัญญาณต่าง ๆ สัญญาณควบคุม ตลอดจนถึงการตรวจเช็คสัญญาณต่าง ๆ ของระบบทั้งหมด

- VOICE

VOICE เป็นอุปกรณ์บันทึกเสียงเพื่อบอกให้ผู้ที่โทรติดต่อเข้ามากดหมายเลขที่ต้องการติดต่อภายในได้ด้วยตนเอง

- DTMF

DTMF เป็นอุปกรณ์ตรวจจับความถี่ของสัญญาณโค้ดเลขหมายที่ผู้เรียกส่งในรูปสัญญาณ 2 ความถี่ ซึ่งจะช่วยลดเวลาและความผิดพลาดในการกดเลขหมายของผู้เรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีระบบชุมสาย PABX

2.1 ทฤษฎีระบบชุมสาย PABX

SUBSCRIBER LINE INTERFACE CIRCUIT (SLIC) เป็นอุปกรณ์ที่ใช้ติดต่อกับเครื่องโทรศัพท์ซึ่งทำหน้าที่รับสัญญาณที่ติดต่อระหว่างเครื่องโทรศัพท์กับอุปกรณ์ SWITCHING ซึ่งสัญญาณนี้เรียกว่า SUBSCRIBER SIGNALING จะประกอบด้วยสัญญาณต่อไปนี้

- สัญญาณที่ส่งจากเครื่องโทรศัพท์ไปยังอุปกรณ์ SWITCHING

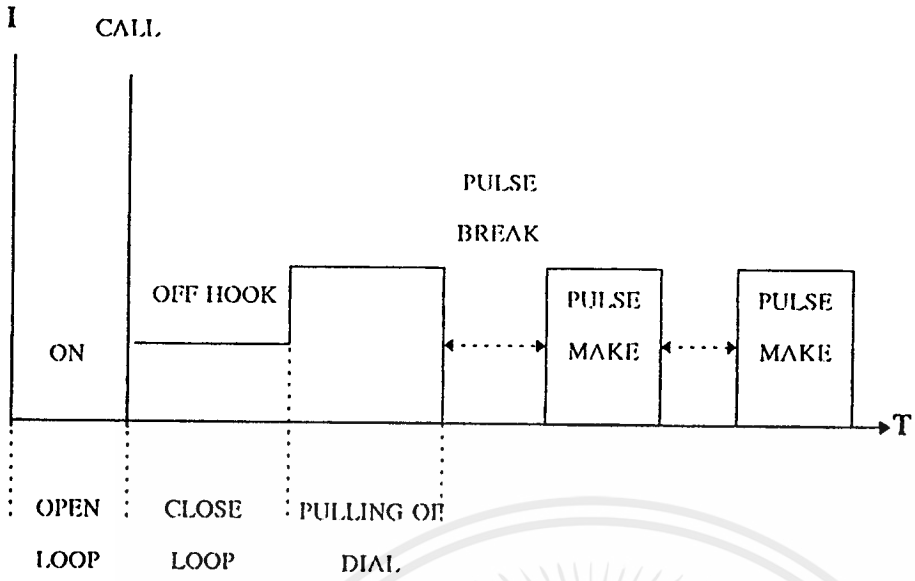
- ON HOOK หมายถึง สภาพวางหูหรือสภาพว่าง (IDLE) ลักษณะของวงจร OPEN LOOP HIGH IMPEDANCE

- OFF HOOK หมายถึง สภาพผู้เช่ายกหู (BUSY) สายจะมีสภาพ CLOSED LOOP LOW IMPEDANCE

- DIALLING หมายถึง ถ้าเครื่องโทรศัพท์เป็นแบบ ROTARY DIAL สัญญาณจะเป็นแบบ PULSING ค่า IMPEDANCE จะสูงต่ำสลับกันตามโค้ดที่หมุนตามรูป แต่ในเครื่องระบบกดปุ่มจะมีสัญญาณ DTMF ส่งออกไป

สัญญาณ DTMF (DIAL TONE MULTI FREQUENCY) เป็นสัญญาณโค้ดเลขหมายของผู้ที่เรียกส่งในรูปสัญญาณ 2ความถี่ ซึ่งให้ข้อดีในแง่ลดเวลาในการส่งเลขหมายลงเหลือ 0.7วินาที/เลขหมาย เมื่อเทียบกับระบบ PULSE ความผิดพลาดมีโอกาสน้อยมากเพราะมีการตรวจสอบความถี่2ชุดพร้อมกัน นอกจากนั้นยังใช้โค้ดได้มากกว่าเช่นเพิ่มโค้ด * (STAR) และ # (SQUARE) ซึ่งใช้ในงาน บริการพิเศษ การกำเนิดความถี่ที่ใช้ใน DTMF แบ่งเป็น 2 กลุ่มคือกลุ่มความถี่สูงตั้งแต่ความถี่ 1209 HZ และ กลุ่มความถี่ต่ำตั้งแต่ 492 HZ ลงมา ดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



รูปที่ 2.1 ROTARY DIAL

FREQUENCY Hz

BUTTON	GROUP 1	GROUP 2
1	697	1209
2	697	1336
3	697	1447
4	770	1209
5	770	1336
6	770	1209
7	852	1336
9	852	1447
*	941	1209
0	941	1336
#	941	1447

ตารางที่ 2.1 ตารางแสดงความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สัญญาณที่ส่งมาจากอุปกรณ์ SWITCHING

- DIALLING TONE เป็นสัญญาณที่บอกให้ทราบว่าขณะนี้อุปกรณ์ SWITCHING พร้อมที่จะรับโค้ดการหมุนเลขหมายจากผู้เรียกทำการส่งเลขหมายได้สัญญาณ DIAL TONE นี้เป็นสัญญาณต่อเนื่องความถี่ 400 Hz MODULATE ด้วย 50 Hz

- BUSY TONE เป็นสัญญาณที่ส่งมาบอกให้ทราบว่าอุปกรณ์ไม่ว่าง เช่น ถ้ายกหูเครื่องโทรศัพท์แล้วได้ยินเสียงนี้ (แทนที่จะได้ยิน DIAL TONE) แสดงว่าอุปกรณ์ SWITCHING ไม่พร้อมที่จะรับเลขหมายที่หมุน แต่ถ้าได้ยิน BUSY TONE หลังจากหมุนเลขหมายครบแล้วแสดงว่าผู้ถูกเรียก (B SUBSCRIBER) ไม่ว่างหรืออุปกรณ์ SWITCHING ที่ต่อออกไปไม่ว่าง สัญญาณ BUSY TONE เป็นสัญญาณ SINE WAVE ความถี่ 400 Hzส่งเป็นช่วง ๆ ส่ง 0.5 วินาที หยุด 0.5 วินาที

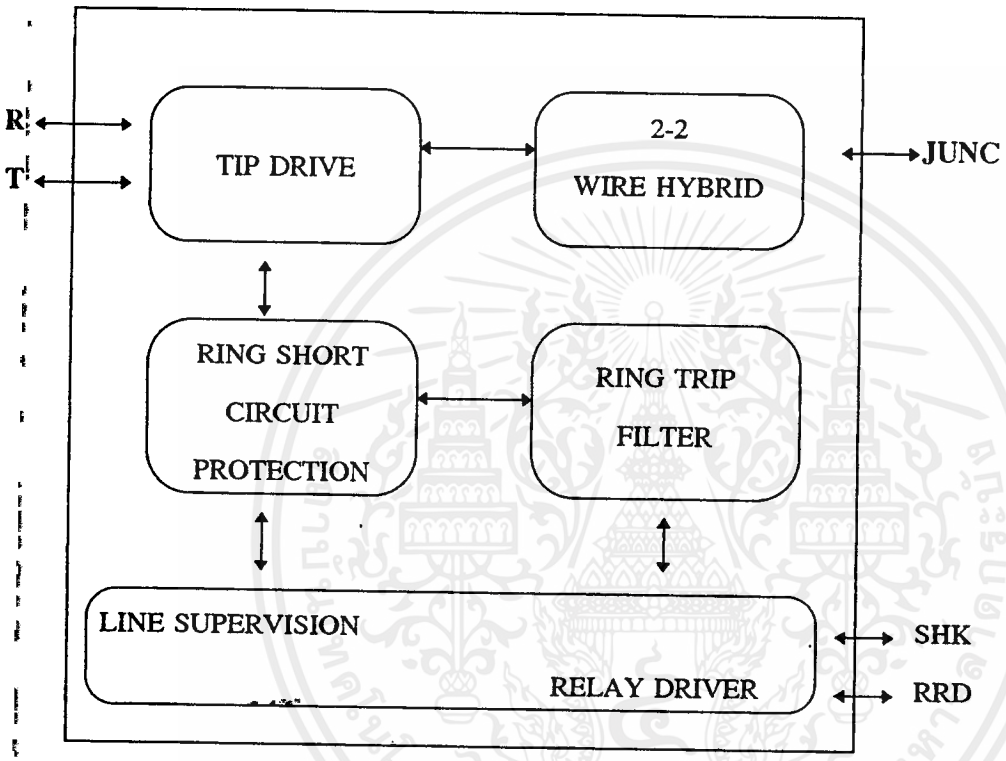
- RINGING TONE เป็นสัญญาณที่ผู้เรียก (A SUBSCRIBER) ได้ยินหลังจากหมุนเลขหมายครบแล้วเพื่อบอกให้ทราบว่าการต่อสำเร็จโดยขณะนี้อุปกรณ์ได้ส่งสัญญาณเรียก (RINGING SIGNAL) ไปยังผู้ถูกเรียก (B SUBSCRIBER) โดยใช้สัญญาณ SINE WAVE ความถี่ 400 Hz โดยส่ง 1 วินาที หยุด 4 วินาที

- RINGING SIGNAL เป็นสัญญาณที่ส่งไปยังผู้ถูกเรียกซึ่งจะทำให้กระดิ่งดัง ซึ่งใช้สัญญาณ SINE WAVE ความถี่ 2.5 Hz ค่าแรงดัน 70-90V_{rms} ช่วงการส่ง ส่ง 1 วินาที หยุด 4 วินาที

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- โครงสร้างของ SUBSCRIBER LINE INTERFACE CIRCUIT (SLIC)

โครงสร้างของ SLIC จะประกอบด้วยวงจรที่ใช้ติดต่อระหว่างเครื่องโทรศัพท์กับอุปกรณ์ทางด้าน SPEECH PATH และ CONTROL UNIT โดยสามารถรับ-ส่งสัญญาณ LINE SIGNALLING ติดต่อกันได้ซึ่งต้องประกอบวงจร LINE SUPERVISION 1 วงจร PROTECTION ใน SLIC จะต้องมีค่า LINE IMPEDANCE (Z) ที่เหมาะสมกับเครื่องโทรศัพท์ และ OUTPUT IMPEDANCE (Zo)ซึ่งเหมาะสมกับวงจร SPEECH PATH โครงสร้างของ SLIC ประกอบไปด้วย BLOCK DIAGRAM ดังรูป 1.



รูปที่ 2.2 LINE INTERFACE UNIT

TIP DRIVE ทำหน้าที่เป็น I/P รับสัญญาณ ANALOG ซึ่งสัญญาณ ANALOG นี้จะประกอบไปด้วยสัญญาณเสียงกับไฟ DC แล้วทำการเปลี่ยนให้เหลือเพียงสัญญาณเสียงส่งไปวงจร HYBRID ในวงจร TIP DRIVE ยังเป็นวงจรที่ทำหน้าที่ BATTERY FEED จ่ายกระแสไฟให้กับ LOOP ของ TIPRING เพื่อนำไปใช้จ่ายกระแสให้เครื่องโทรศัพท์

RING SHORT CIRCUIT PROTECTION เป็นวงจรป้องกันการ SHORT CIRCUIT ระหว่างสาย TIP-RING กรณีไม่มีเครื่องโทรศัพท์อยู่เพื่อป้องกันไม่ให้วงจร TIP DRIVE เสียหายจาก SHORT CIRCUIT ระหว่าง TIP-RING และยังมีหน้าที่พิเศษอีกกรณีที่อุปกรณ์ SWITCHING ส่ง RINGING ไปแล้วผู้ถูกเรียกยกหูทำให้มีกระแสไฟผ่านสูงเกินอัตราที่ทนได้ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2-2 WIRE HYBRID เป็นวงจรที่ทำหน้าขยายสัญญาณแบบสองทิศทาง โดยแยกเป็น TX และ RX แล้ว OUTPUT ก็นำมาเข้าวงจร HYBRID ทำให้เป็น 2 WIRE เพื่อที่จะส่งออกไปยัง JUNCTOR เพื่อส่งต่อไปยัง SPEECH PATH ต่อไป

RING TIP FILTER ทำหน้าที่ตรวจสอบว่า TIP- RING เป็น OPEN LOOP หรือ CLOSED LOOP แล้วส่งสัญญาณที่ได้ไปยัง LINE SUPERVISION

LINE SUPERVISION ทำหน้าที่สร้างสัญญาณ OFF/ON HOOK และ LINE STATUS เพื่อให้อุปกรณ์ CONTROL UNIT ทราบว่ามีการยกหู,วางหู

RELAY DRIVER เป็นวงจรที่ออกแบบไว้ทำการขับตัว RELAY เพื่อใช้ในการตัดต่อ RINGING CURRENT หรือไว้ทำการต่ออุปกรณ์การ TEST LINE เพื่อไว้ตรวจสอบต่ออุปกรณ์ปลายทาง

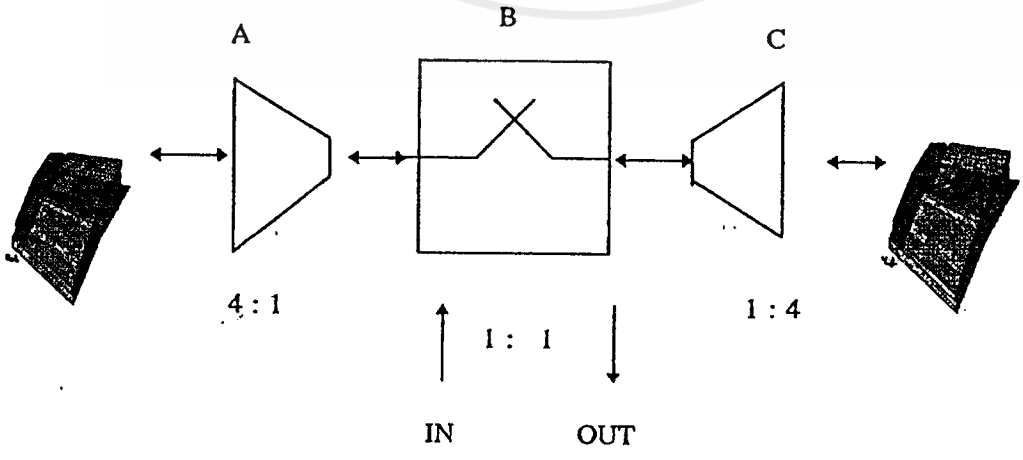
☐ SWITCHING UNIT

SWITCHING UNIT แบ่งเป็นส่วนประกอบได้เป็น 2 ส่วน คือ

1. SPEECH PATH
2. CONTROL PATH

1. SPEECH PATH

ระบบ SPEECH PATH จะประกอบด้วยภาคตัดต่อหลาย ๆภาคแต่ในโครงงานนี้จะใช้ภาคตัดต่อเป็นแบบ ELECTRONIC CROSS POINT ซึ่งควบคุมโดยสัญญาณ DIGITAL โดยทั่วไป SPEECH PATH จะเป็นตัวกำหนดอัตราส่วนของเครื่องต่ออัตราส่วนของอุปกรณ์ SWITCHING ซึ่งเรียกว่า CONCENTRATION RATIO ในระบบ SWITCHING จะกำหนดค่า CONCENTRATION RATIO ว่ามีค่ามากน้อยเท่าไรขึ้นอยู่กับว่า TRAFFIC ในการใช้งานมีมากเท่าไร CONCENTRATION ตามมาตรฐาน CCITT มีค่า 2:1 ,4:1, 8:1



รูปที่ 2.3 SPEECH PATH DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

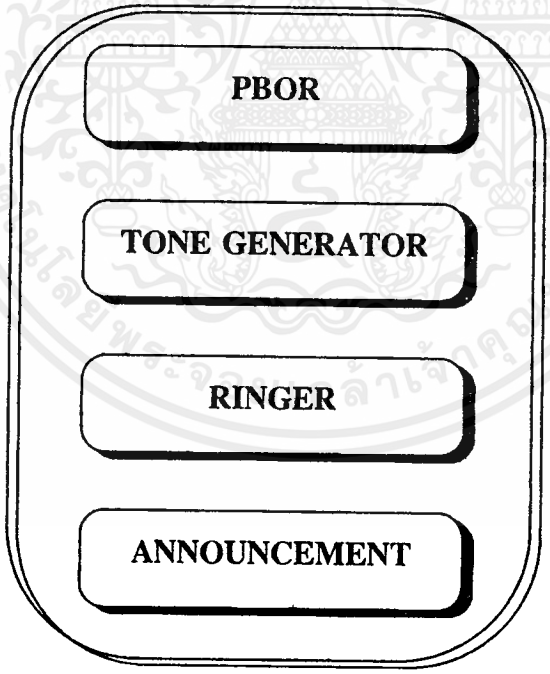
SUPERVISORY เป็นอุปกรณ์ที่รับส่งสัญญาณของระบบ PABX ซึ่งประกอบด้วยอุปกรณ์ดังนี้

1. PBOR (PUSH BUTTON REGISTER) เป็นอุปกรณ์ที่ใช้รับสัญญาณ DTMF จากเครื่องโทรศัพท์แปลงสัญญาณ DIGITAL เพื่อนำไปใช้ต่อไป

2. TONE GENERATOR เป็นอุปกรณ์ผลิตสัญญาณสำหรับบอกให้ทราบว่าอุปกรณ์ที่ติดต่อมีสภาวะอย่างไร

3. RINGER ใช้ผลิตสัญญาณ RINGING CURRENT เพื่อส่งไปบอกอุปกรณ์ปลายทางให้รู้ว่ากำลังถูกติดต่อ

4. ANNOUNCEMENT เป็นอุปกรณ์ AUTO RECEIVER เพื่อบอกให้ผู้ติดต่อทราบว่าการติดต่อควรจะกระทำอย่างไร หรือบอกให้ทราบสภาวะของเครื่อง



รูปที่ 2.4 SUPERVISORY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONTROL PATH

DIGITAL SWITCHING SYSTEM ถูกควบคุมด้วย CONTROL PATH ที่ทำหน้าที่ควบคุมการทำงานของระบบทั้งหมด ไม่ว่าจะเป็นการเรียกออก การเรียกเข้า การต่อเลขหมายภายใน ฯลฯ ซึ่งประกอบด้วย

- CPU
- INTERFACE UNIT

CPU ในระบบชุมสายโทรศัพท์ PABX หรือระบบอื่นที่ทำงานแบบ AUTOMATIC มีความจำเป็นต้องใช้ CPU ในการสั่งงานและควบคุมงานต่าง ๆ ของระบบชุมสายทั้งหมด ดังนั้น CPU จึงเป็นสิ่งที่สำคัญมากที่สุดของระบบ โดยในระบบชุมสายนี้ได้เลือกใช้ CPU แบบ SINGLE CHIP MICROPROCESSOR เนื่องจากชุมสายที่ออกแบบเป็นขนาดเล็ก ใช้ CPU เพียงตัวเดียวก็เพียงพอต่อปริมาณงานต่าง ๆ แล้ว รูปแบบการใช้งานของ CPU แสดงใน BLOCK DIAGRAM ของระบบชุมสาย

CPU ใช้ควบคุมการทำงาน ELECTRONICS SWITCHING UNIT,SLIC, TOT LIC ฯลฯ โดยจะทำงานตาม SOFTWARE ที่เขียนขึ้นและบรรจุอยู่ในระบบ MEMORY รวมทั้ง CPU ยังทำหน้าที่รับคำสั่งการต่อเลขหมายจาก SLIC และ LIC

INTERFACE UNIT เป็นอุปกรณ์ที่ทำหน้าที่เป็น INPUT/OUTPUT สำหรับใช้ในการเขียนและอ่าน DATA จาก CPU ไปยังอุปกรณ์ HARDWARE รอบข้าง เช่น ELECTRONICS SWITCHING UNIT,SLIC, TOT LIC ฯลฯ เนื่องจาก CPU ไม่สามารถติดต่อกับอุปกรณ์ HARDWARE ต่าง ๆ ได้โดยตรง จึงต้องเชื่อมต่อผ่านอุปกรณ์ INTERFACE ที่เป็น INPUT/OUTPUT PORT ซึ่งการเขียนและอ่านข้อมูลจาก CPU ไปยัง INPUT/OUTPUT PORTต้องมีการติดต่อไปยัง ADDRESS ที่ต้องการ

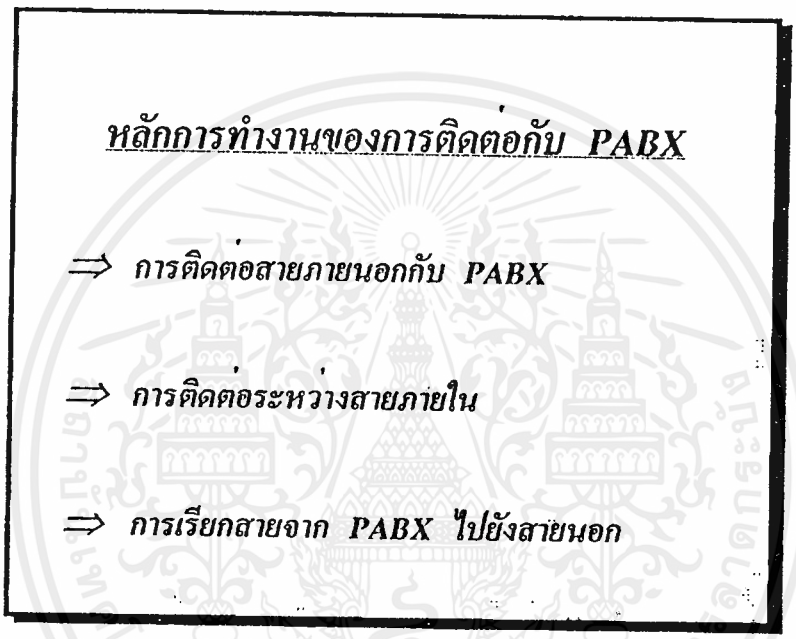
☑ SOFTWARE

ชุมสาย DIGITAL SWITCHING SYSTEM ที่สร้างขึ้นนี้ใช้ SOFTWARE แบบ STORED PROGRAM CONTROL ในการสั่งงานจากการประมวลผลจากหน่วยความจำ และทำงานเป็นลำดับตามที่ส่วน CONTROL PATH ได้กำหนดไว้แล้ว การเพิ่มและปรับเปลี่ยนหน้าที่ต่าง ๆ สามารถที่จะกระทำได้ง่ายเพื่อให้มีความคล่องตัวสูง

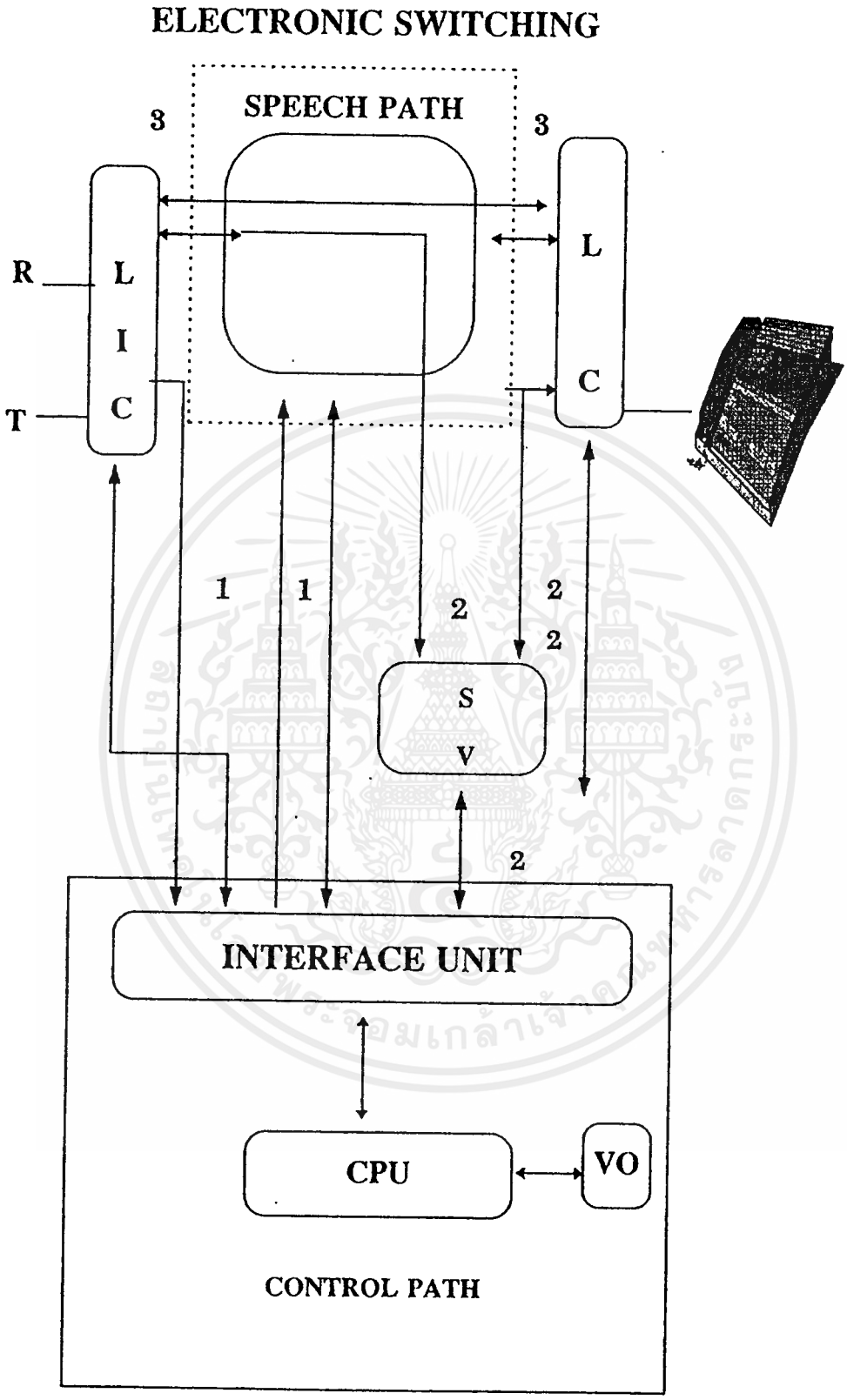
CONTROL PATH จะทำงาน PROGRAM ที่อ่านข้อมูลเข้ามาอย่างต่อเนื่องจากหน่วยความจำและควบคุมการทำงานของวงจรลอจิกต่าง ๆ ให้เป็นไปตาม PROGRAM ที่กำหนดไว้ โดยจะทำงานที่ความเร็วสูงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

2.2 BLOCK DIAGRAM

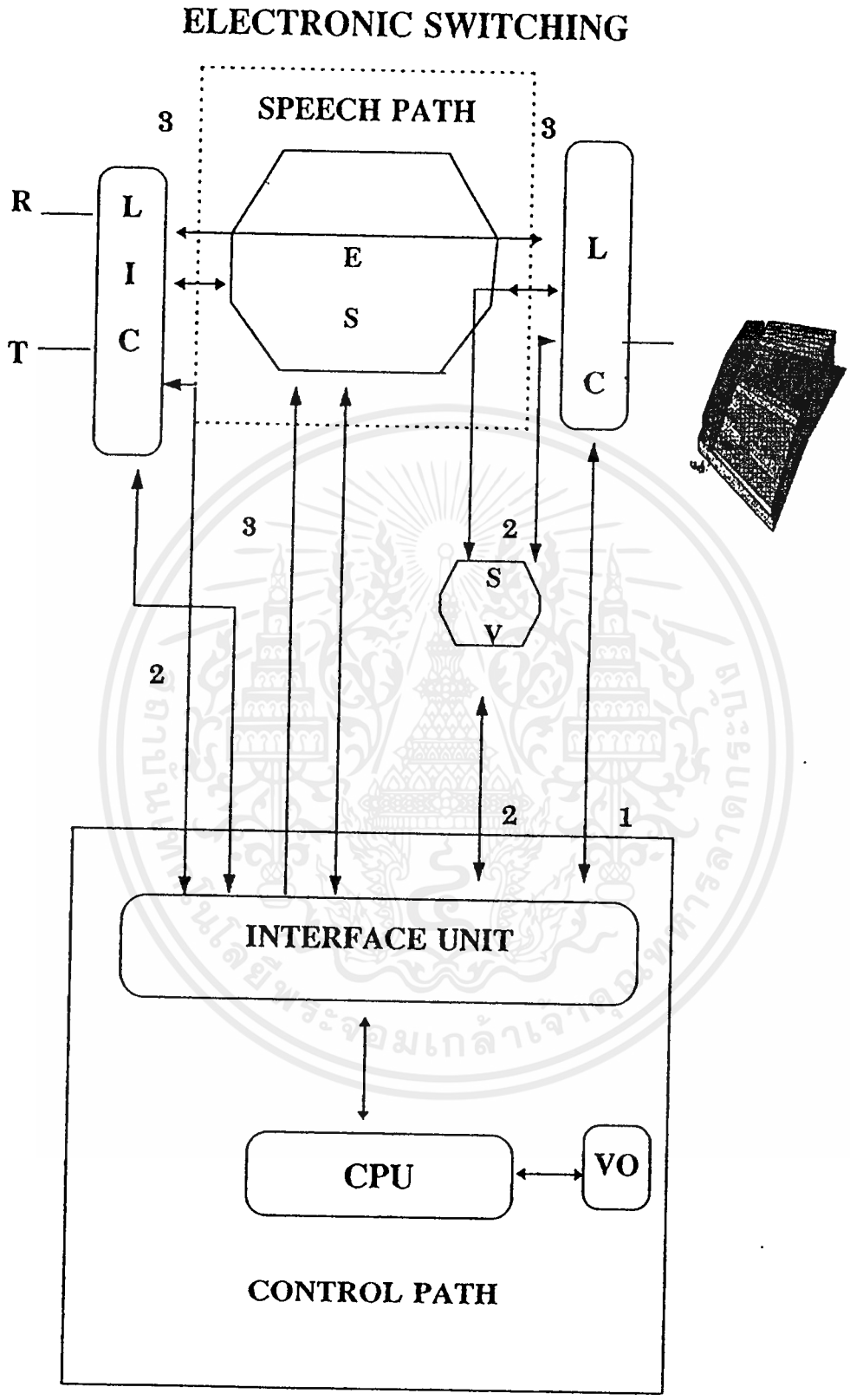


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



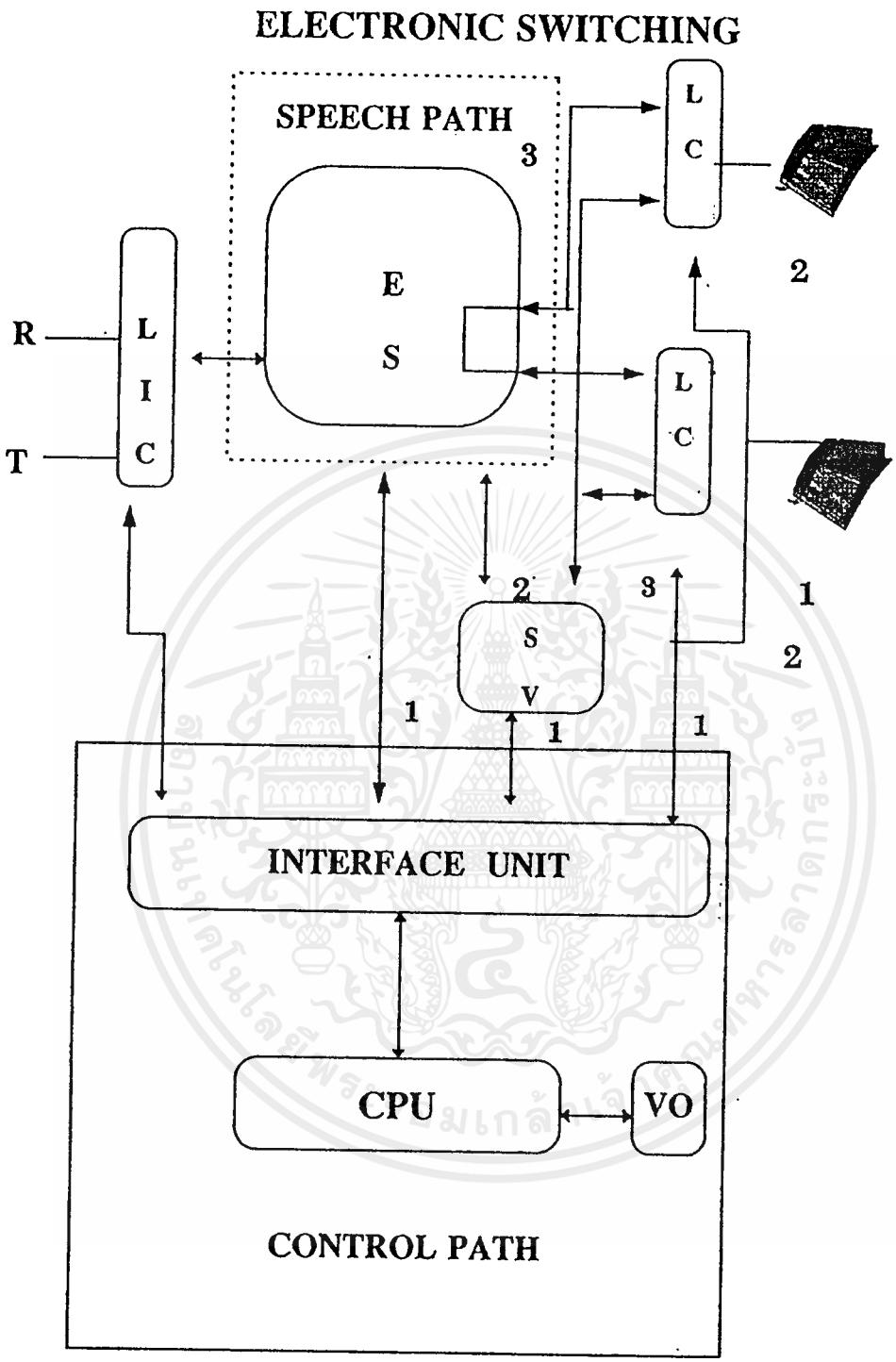
รูปที่ 2.5 TERMINATE CALL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



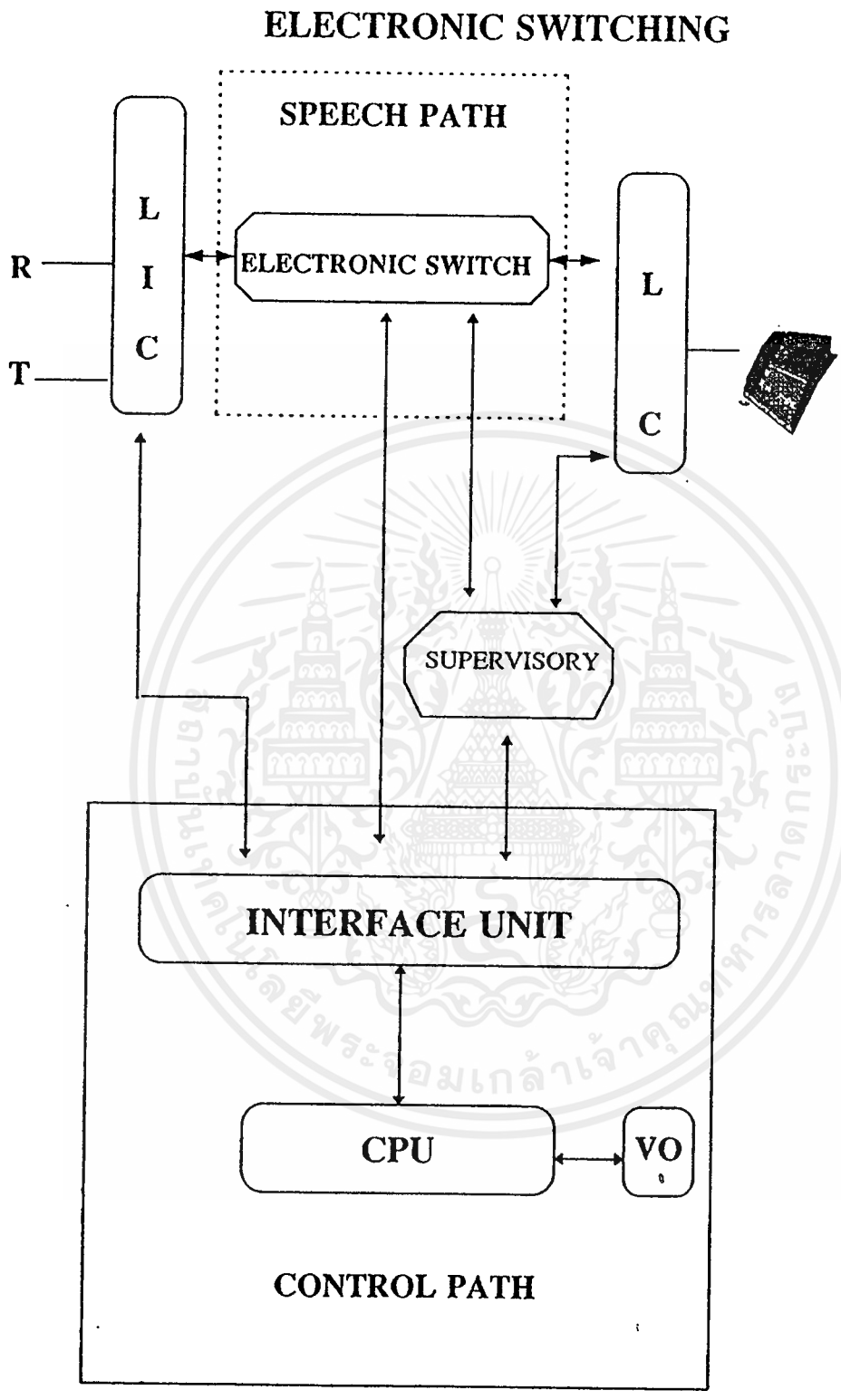
รูปที่ 2.6 ORIGINATE CALL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



รูปที่ 2.7 INTRA CALL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



รูปที่ 2.8 BLOCK DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

- TERMINATED CALL เป็นการเรียกจาก SUB A ซึ่งเป็น LINE ภายนอกเข้ามาหา PABX

- โดยทางชุมสายโทรศัพท์ส่งสัญญาณ RINGING ทางสาย RING & LIC ตรวจสอบว่ามีการส่ง RINGING เข้าก็จะ GENERATE สัญญาณส่งไปให้ CPU รับทราบ สัญญาณหมายเลขที่ 1 CPU ก็จะสั่ง LIC CONNECT EXTERNAL LINE สั่งให้ ES ทำการต่อ CROSS POINT ที่ SPEECH PATH

- CPU สั่งให้ SV ทำการต่อ ANNOUNCEMENT MACHINE เพื่อบอกให้ทราบว่า ขณะนี้เครื่องได้ทำการรับสายเรียบร้อยแล้วรอรับสัญญาณ DTMF เพื่อทำการ ANALYSIS DIGIT แล้วทำการตรวจสอบดูว่าเครื่องที่ถูกเรียก (SUB B) ว่างหรือไม่ว่าง ถ้าไม่ว่าง ก็จะสั่งให้ SV ส่ง BUSY TONE ให้ SUB A รอระยะเวลาหนึ่งแล้วทำการ DISCONNECTION EXTERNAL LINE แต่ถ้า SUB B ว่าง ก็จะส่ง RINGING ให้ SUB B แล้วจอง SPEECH PATH ไว้ถ้า SUB B ยกหู LC ก็จะส่งสัญญาณให้ CPU ทราบแล้วทำการ DISCONNECTION RINGING

- ทำการต่อ SPEECH PATH แล้วตรวจสอบดูว่า SUB B วางหูหรือไม่ ถ้า SUB B ว่างจะทำการDISCONNECTON SPEECH PATHเพื่อให้ SPEECH PATH ว่างต่อไปตามรูป

- ORIGINATE CALL การติดต่อจากสายภายในไปสายภายนอก

- เมื่อ SUB A ยกหู (OFF HOOK) LC ก็จะทำการส่งสัญญาณไปยัง CPU CPU จะทำการตรวจสอบว่าเป็นเลขหมายอะไร ชนิดอะไร เมื่อตรวจสอบดูแล้วว่าถูกต้อง CPU ก็ตรวจสอบว่า SV ว่างหรือไม่ เพื่อให้บริการต่อเลขหมายต่อไป

- เมื่อทำการตรวจสอบเสร็จแล้วก็จะสั่งให้ ES คือ SPEECH PATH เข้ากับ SV ต่อเข้ากับ LC แล้วให้สัญญาณ BUSY TONE กรณี SV ไม่ว่างหรือให้ DIAL TONE เมื่อกรณี SV ว่างเมื่อ SUB A ได้ DIAL TONE แล้วอุปกรณ์ SV จะรอรับเลขหมายที่จะทำการติดต่อจาก SUB A ว่าเป็นการต่อออกแบบ ORIGINATE CALL หรือ INTRA CALL ส่งให้ CPU ทำการวิเคราะห์เมื่อวิเคราะห์แล้วก็จะทำการตรวจสอบว่า LIC ว่างหรือไม่เพื่อทำการจอง EXTERNAL LINE ไว้

- เมื่อตรวจสอบอุปกรณ์ LIC และ ES ว่าว่างแล้ว CPU ก็จะทำการสั่งให้ ES ต่อกับ LIC ต่อเข้ากับ SPEECH PATH และต่อเข้ากับ LC แล้วทำการ MAKE BUSY ต่ออุปกรณ์ LIC ES LC ตำแหน่งที่ถูกใช้ต่อไปการทำงานอธิบายตามรูป 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

- INTRA CALL การติดต่อภายใน PABX

- เมื่อ SUB A ยกหู (OFF HOOK) LC ก็จะทำการส่งสัญญาณไปยัง CPU CPU จะทำการตรวจสอบว่าเป็นเลขหมายอะไร ชนิดอะไร เมื่อตรวจสอบดูแล้วว่าถูกต้อง CPU ก็จะตรวจสอบว่า SV ว่างหรือไม่เพื่อให้บริการเลขหมายต่อไป เมื่อตรวจสอบเสร็จเรียบร้อยแล้ว CPU ก็จะสั่งต่อ ES เข้ากับ SV

- เมื่อทำการติดต่อ ES เข้ากับ SV แล้ว CPU จะสั่งต่อ SPEECH PATH เข้ากับ LC แล้วให้สัญญาณ BUSY TONE กรณี SV จะรอรับเลขหมายที่จะทำการติดต่อจาก SUB A ว่าเป็นการติดต่อออกแบบ ORINGINATE CALL หรือแบบ INTRA CALL สั่งให้ CPU ทำการวิเคราะห์เมื่อวิเคราะห์แล้วว่าเป็นการเรียกแบบ INTRA CALL CPU จะทำการตรวจสอบว่าเลขหมายที่ถูกเรียก (SUB B) ว่างหรือไม่

- เมื่อ CPU ตรวจสอบดูแล้วว่า SUB B ว่าง CPU จะสั่งให้ SV ส่งRINGING TONE ให้กับ SUB B แล้วสั่งให้ SV ต่อสัญญาณ RING BACK TONE ให้กับผู้เรียก (SUB A) เพื่อให้ SUB A รู้ว่าขณะนี้กำลังต่อกับเลขหมายที่ติดต่ออยู่ เมื่อ SUB B ยกหู (OFF HOOK) CPU จะสั่งยกเลิกการส่งสัญญาณ RINGING ให้กับ SUB B และยกเลิกการส่งสัญญาณ RING BACK TONE ให้กับ SUB A แล้วทำการต่อ SPEECH PATH ให้กับ SUB A และ SUB B แล้วส่งยกเลิกการติดต่อ SV ก็เสร็จสิ้นการติดต่อการทำงานของระบบเป็นไปตามรูป 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 3

การทำงานของวงจร

3.1 วงจร INTERFACE

เนื่องจากผู้จัดทำได้ดำเนินการเปลี่ยนชุด Control path ใหม่ โดยได้เปลี่ยน CPU จาก MSC - 51 มาเป็น Z - 80 จึงจำเป็นต้องแก้ไขในส่วนของวงจร Interface บางส่วนเนื่องจาก MCS-51 สามารถที่จะติดต่อกับ Port I/O ได้ไม่เกิน 3 ตัว จึงมีการใช้สัญญาณจาก MREQ มาช่วยสนับสนุนการเรียกใช้ Port ภายนอก และ MCS-51 จะใช้ Address ทั้งหมด 16 เส้น คือตั้งแต่ A0 ถึง A15 แต่สำหรับ Z - 80 CPU ใช้ Address เพียง 8 เส้น จึงมีการ Modify ยกเลิก Address ตั้งแต่ A7 ถึง A15 และ jump ให้เป็น High ไว้ตลอด อีกประการหนึ่งคือ Z - 80 สามารถอ้าง Port ภายนอกได้หลาย Port จึงไม่จำเป็นต้องใช้สัญญาณ MREQ มาช่วยสนับสนุนการเรียกใช้ Port จึงได้ตัดสัญญาณ MREQ ที่จะนำไปเข้า G2b ของ 74LS138 ออก แล้ว Shot G2b เข้ากับ G2a ซึ่งเป็นสัญญาณ IORQ ที่ถูกส่งมาจาก Board CPU

วงจร INTERFACE ทำหน้าที่ติดต่อระหว่าง CPU กับภายนอก โดยจะทำหน้าที่ควบคุมการทำงานของ Port ต่าง ๆ การ Decode รหัส โดยในส่วนของการ Decode Port จะใช้ IC 74LS138 ในการถอดรหัส โดยจะนำสัญญาณ Output ของ 74LS138 ซึ่งจะมี Y0 - Y7 ในการ Select Port โดยมี Port 1 เป็น Interface Port 2 เป็น Sub 1 Port 3 เป็น Sub 2 Port 4 เป็น TOT 1 Port 5 เป็น TOT 2 Port 6 เป็น Switch 1 Port 7 เป็น Switch 2 Port 8 เป็น Switch 3

3.2 วงจร TOT LINE INTERFACE CIRCUIT (รูปที่ 3.2)

ปัญหาที่ตรวจพบในวงจร TOT LINE INTERFACE CIRCUIT คือ วงจรไม่สามารถทำการต่อสายภายนอกเข้ากับ PABX ได้ เนื่องมาจากวงจรไม่สามารถรับรู้ถึงสัญญาณ Control ที่ส่งมาจาก CPU ได้ การดำเนินการแก้ไข คือ ผู้จัดทำได้เปลี่ยนค่า R2 และ R3 จากเดิม 50 Ω มาเป็น 1KΩ และ C1 จากเดิม 33μF มาเป็น 1μF ทั้งนี้เพื่อให้ สัญญาณ Control จาก CPU ที่จะไปDrive Trnsistor BC 546 (N2) ให้ไปควบคุม Relay ในการตัดต่อสายภายนอกเข้ากับ PABX มีกำลังแรงมากขึ้น

นอกจากนี้ผู้จัดทำยังได้ต่อ BUFFER ไว้ระหว่างเส้นทางของสัญญาณ Control ไปยัง BC 546 (N2) และ ระหว่างเส้นทางจากสัญญาณ Control ไปยังขา MR ของ IC # 74LS393 เพื่อเพิ่มระดับของสัญญาณ Control จาก CPU ให้มากขึ้น

การทำงานของวงจรจะเริ่มจาก เมื่อมีสัญญาณ Ringing เข้ามาที่จะผ่านการ Detect โดยอุปกรณ์ OPTO-COUPLE ซึ่งจะเปลี่ยนสัญญาณ Analog ให้เป็นสัญญาณ Digital โดยใช้ค่า R5 เท่ากับ 5 KΩ และ C3 เท่ากับ 100 uF และนำ สัญญาณไปขับ Transistor BC 546 จากนั้น output ที่ขา Collector จะเป็น Clock ไปที่ขา 1 IC 74LS393 และ output ของ 74LS393 จะต่อเข้า IC 4078 เพื่อนำไปเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สัญญาณ Interrupt TOT และ output 74LS393 ต่อเข้าที่ Port/output ของ IC 8255 เพื่อ check จำนวน Clock ที่เข้ามา

เมื่อ CPU รับรู้ว่ามี Ringing เข้ามา จึงส่งสัญญาณ Control มา เพื่อให้ Relay ทำการต่อสายนอกเข้ากับ PABX โดยผ่านหม้อแปลง Couple และ output ของหม้อแปลง Couple จะถูกต่อไปยัง Switching part และ Detect Busy

สัญญาณ Control ของ CPU ก็จะทำการ Clear memory ของ 74LS393 เพื่อรอรับสัญญาณ Ringing จากผู้เรียกอีก

3.3 วงจร Switching Part (รูปที่ 3.3.1 , 3.3.2)

การทำงานของวงจร Switching Part ที่พบปัญหาจะเป็นในส่วนของการ detect สัญญาณ DTMF ที่ต่ออยู่ทั้งหมด 11 Channel ซึ่งไม่สามารถทำงานได้ทั้ง 11 Channel โดยอุปกรณ์ detect สัญญาณ DTMF ได้ใช้ IC MT8870 ทั้งหมด 11 ตัว ซึ่งสามารถทำให้วงจร detect สัญญาณ DTMF ได้และนำสัญญาณ DATA ส่งต่อไปยัง 8255 อีก 2 ตัวได้

การทำงานของวงจร Switching จะประกอบด้วยส่วนสำคัญคือ Array Switch โดยเลือกใช้เบอร์ MT 8816 2 ตัวรวมกัน ซึ่งในแต่ละตัวจะมีขนาดเท่ากับ 8*16 เมื่อนำ 2 ตัวรวมเข้าด้วยกันจะมีขนาด 16*16 โดยจะทำการ ON และ OFF โดยผ่าน port ของ 8255 โดย port A จะเป็น port ทำการ OFF Switch โดยทำการส่ง Data ของ Switch ที่ต้องการมายัง port A ในการ ON-Switch จะทำการ ON ผ่าน port B โดยทำเช่นเดียวกับ Port A โดยอาจจะนำเอา A0,A1 และ Ship select ของ 8255 ที่ใช้งานมาทำการ Detect ว่าเป็นการ Read หรือ Write ซึ่งจะมี IC เบอร์ 74LS244 2 ตัว ทำการ latch สัญญาณ โดยจะนำเอาสัญญาณ junction จาก subscriber ทั้ง 16 เบอร์ ต่อเข้าทางด้าน X0-X15 และทางด้าน Y จะประกอบไปด้วย chanel กลาง 8 chanel และ chanel ของ TOT 3 chanel โดย chanel กลางและ chanel ของ TOT จะมีตัว detect สัญญาณ DTMF ต่ออยู่ทุก ๆ chanel ทั้งหมด 11 chanel และจะมีสัญญาณ dial, ringback, voice ต่อเข้าทางด้าน Y ด้วย โดยใน DTMF ทั้ง 11 chanel จะต่อสัญญาณ DATA เข้าที่ 8255 อีก 2 ตัว

3.4 Voice / Playback device (รูปที่ 3.4)

วงจร Voice / Playback ผู้จัดทำได้ออกแบบวงจรการทำงาน และบันทึกเสียงขึ้นมาใหม่ เนื่องจากได้เปลี่ยน CPU มาเป็น Z - 80 ซึ่งวงจร Voice / Playback Board ใหม่นี้ได้ และ Play ได้ใน Board นี้ แต่ก็ยัง Link ติดต่ออยู่กับวงจรเดิม โดยมีได้ Jump Pin Input ของ IC#74LS133 Pin ที่ 1,2,3,4,5,6,7,10 เข้าไว้มี + 5V โดยจะเหลือ Input เพียง ขา 11 สัญญาณ A7, ขา 12 สัญญาณ A6, ขา 13

038904
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สัญญาณ A5, และ ขา 15 สัญญาณ IORQ และนำ Output ออกจาก ขา 9 มาเข้า ที่สัญญาณ PLAYE ของ ISD1420 (Pin ที่ 24) และจากการทดลอง RUN Voice Playback เข้ากับระบบ ปรากฏว่า สัญญาณที่ออกจาก Buffer แรงมาก (เสียงดังเกินไป) จึงมีการแก้โดยใช้ Potentiometer ขนาด 10KΩ มาใส่เป็นตัวแบ่งแรงดันที่ Input ของ Opamp และตัด R ที่ต่อลง Ground ออกอีก 1 ตัว เพื่อปรับ Gain การขยายได้ตามต้องการ

วงจร Voice / Playback เป็นเครื่องบันทึกเสียงโอเปอเรเตอร์ทำหน้าที่บันทึกข้อความซึ่งเป็นเสียงพูดว่า "ระบบโทรศัพท์อัตโนมัติ กรุณากดเลขหมายที่ต้องการติดต่อ"

ISD 1402 คือ IC ที่ใช้ในส่วนของ Voice Recorder ซึ่งสามารถบันทึกเสียงได้ 20 วินาที โดยที่ IC เบอร์นี้ไม่จำเป็นต้องใช้อุปกรณ์ร่วมมากนัก โดยภายในตัว IC สามารถบันทึกเสียง , เสียงเรียกออกมาได้ และสามารถเก็บข้อมูลได้นานถึง 100ปี และทำงานด้วยกำลังที่ต่ำมาก

การสั่งงาน ISD 1402 playback สัญญาณเสียงได้ที่ขา play โดยจะมีการสั่ง playback เมื่อมีการรับสายทาง TOT LINE

3.5 Signal

3.5.1 Dial tone (รูปที่ 3.5.1)

คือ สัญญาณ Sine wave 400 Hz modulate กับสัญญาณ 50 Hz ซึ่งสร้างได้โดยใช้ IC 555 2 ตัว โดย IC 555 ตัวที่ 1 จะทำการสร้างสัญญาณ 50 Hz IC 555 ตัวที่ 2 สร้างสัญญาณ 400 Hz

ขา 3 IC 555 ตัวที่ 1 จะต่อเข้ากับ IC 555 ตัวที่ 2 และ output IC 555 ตัวที่ 2 จะถูกต่อกับ Band pass filter ก็จะได้สัญญาณ Dial tone

3.5.2 Busy tone (รูปที่ 3.5.2)

คือ สัญญาณ sine wave 400 Hz ติด 0.5 วินาที หยุด 0.5 วินาที

สร้างโดยใช้ IC 555 2 ตัว โดย IC 555 ตัวที่ 1 สร้างความถี่ 1 Hz (ติด 0.5 วินาที ดับ 0.5 วินาที) นำ output ขา 3 ต่อเข้ากับขา 4 IC 555 ตัวที่ 2 ซึ่ง IC 555 ตัวที่ 2 สร้างความถี่ 400 Hz นำ output ขา 3 ต่อเข้ากับ Band Pass filter ทำให้ได้ output คือ สัญญาณ Busy tone

3.5.3 Ringback tone (รูปที่ 3.5.3)

คือ สัญญาณ sine wave 400 Hz ติด 1 วินาที หยุด 4 วินาที

สร้างโดยใช้ IC 555 ตัวที่ 1 สร้างความถี่ติด 1 หยุด 4 และนำ output ขา 3 ไปต่อขา 4 ของ IC 555 ตัวที่ 2 ซึ่ง IC 555 ตัวที่ 2 ผลิตความถี่ 400 Hz และ output (ขา 3) ผ่านวงจร band pass filter จึงได้สัญญาณ Ringback tone

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3.5.4 Ringing Signal (รูปที่ 3.5)

วงจร Ringing Signal จะเป็นวงจรกำเนิดสัญญาณ Pulse ลักษณะ ON 1 Sec OFF 4 Sec จาก U1 ซึ่งจะถูกส่งมาควบคุม ความถี่ 25 Hz มี U2 โดยผ่าน NOT GATE ก่อนที่จะเข้าขา 4(Reset) ของ U2 และจาก Output ของ U2 ก็จะถูกแบ่งสัญญาณเป็น 2 เส้น ไปเข้า Bridge Amp Transistor ให้ส่งสัญญาณขนาด +35,-35V ออกไปสลับกันทำงานทีละคู่

จากวงจรเดิมในขณะที่ Pulse OFF อยู่ 4 Sec นั้นจะมี Transistor คู่ใดคู่หนึ่งยังทำงานค้างอยู่ตลอดเวลา จึงส่งผลเสียคือ จะทำให้อายุการใช้งานของ Power Transistor สั้นลง จึงได้ดำเนินการแก้ไขโดยนำสัญญาณมี OFF 4 Sec นั้นมา AND กับ Output ของ U2 ทั้ง 2 เส้น เพื่อให้ Output ทั้งสองนั้น OFF ในขณะที่ไม่มี Pulse ส่งมาด้วย จึงทำให้ Transistor OFF ตามไปด้วย จะทำให้ Transistor มีโอกาสได้หยุดพักบ้าง

และจากวงจรเดิมได้นำ Optoisolator เบอร์ 4N35 มาใช้ ซึ่งทนแรงดันได้น้อย และ รั่วทะลุง่ายมีผลให้ Power Transistor เสียตามไปด้วย ก็ได้แก้ไข โดยนำ Optoisolator ที่มีอัตราทนแรงดันมากว่า คือ เบอร์ 4N37 มาใช้แทน ก็สามารถลดปัญหา Power Transistor เสียบ่อยลงไปได้

การทำงานของวงจรเริ่มจาก สัญญาณ sine wave 25 Hz ติด 1 วินาที หยุด 4 วินาที โดยใช้ค่าแรงดัน 140 V โดยใช้ IC 555 ผลิตความถี่ 25 Hz โดยควบคุมการ ON-OFF จาก IC 555 อีกตัวหนึ่งให้ติด 1 วินาที คับ 4 วินาที สัญญาณที่ได้นำมาผ่าน NOT GATE เพื่อให้ได้สัญญาณเฟสที่หนึ่งและเฟสที่สอง โดยกลับกัน 180 องศา เพื่อนำสัญญาณที่ได้ไปขยาย โดยภาค driver แบบ bridge amp ซึ่งใช้การ Coupling ด้วย Opto-couple ขับทรานซิสเตอร์ ทั้ง 4 ตัวโดยให้เฟสกลับกันซึ่งใช้ไฟเลี้ยง ± 35 volts จากการต่างของวงจรทั้งสองจะได้ output ประมาณ 140 Volts

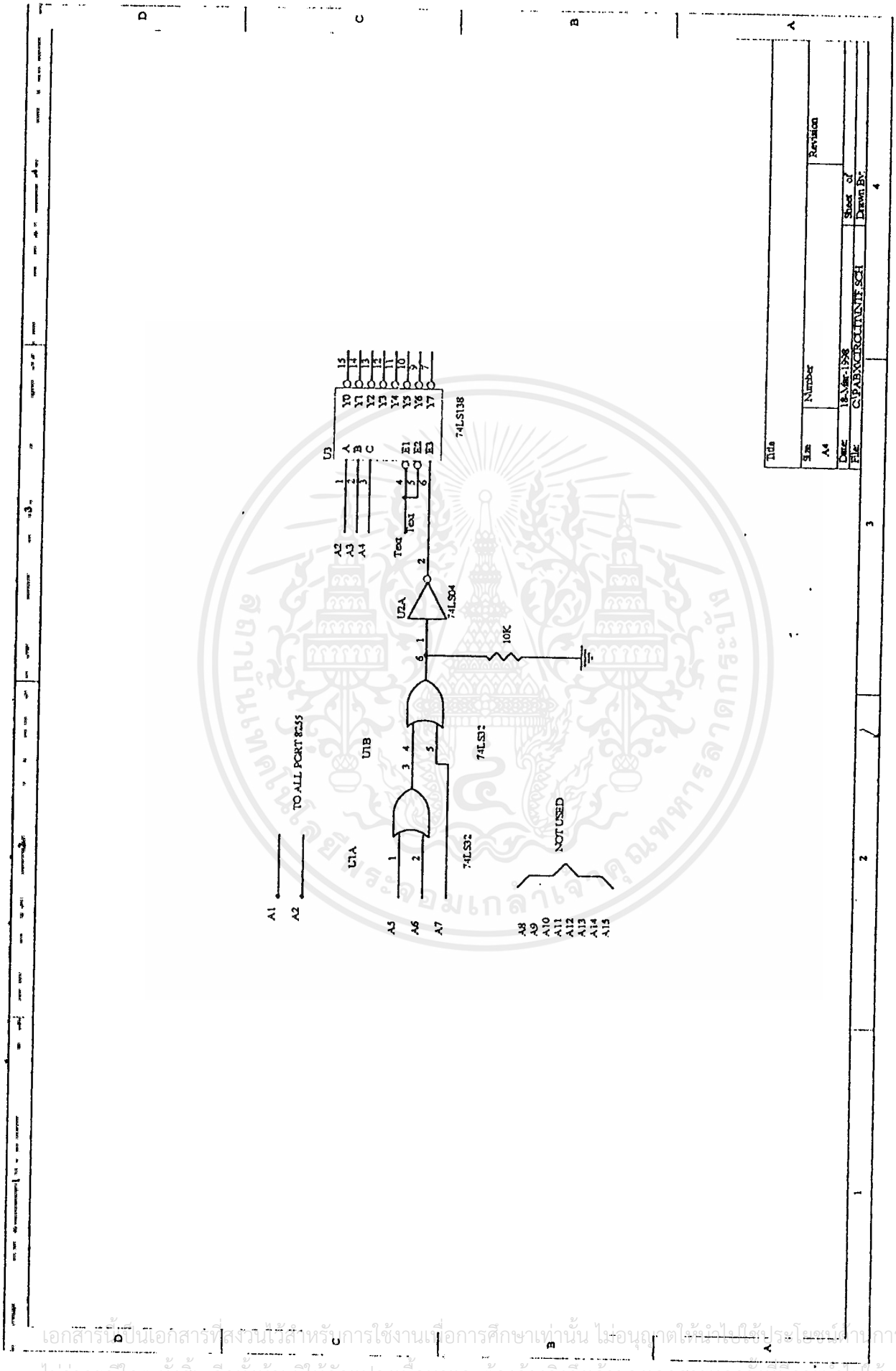
3.6 SOFTWARE

ในส่วนของ Software ผู้จัดทำได้เขียนโปรแกรมการทำงานของระบบ PABX ขึ้นมาใหม่ทั้งหมด โดยเป็น Software แบบ STORED PROGRAM CONTROL ในการสั่งงานจากการประมวลผลจากหน่วยความจำ และ ทำงานตามลำดับตามที่ Control Path ได้กำหนดไว้แล้ว

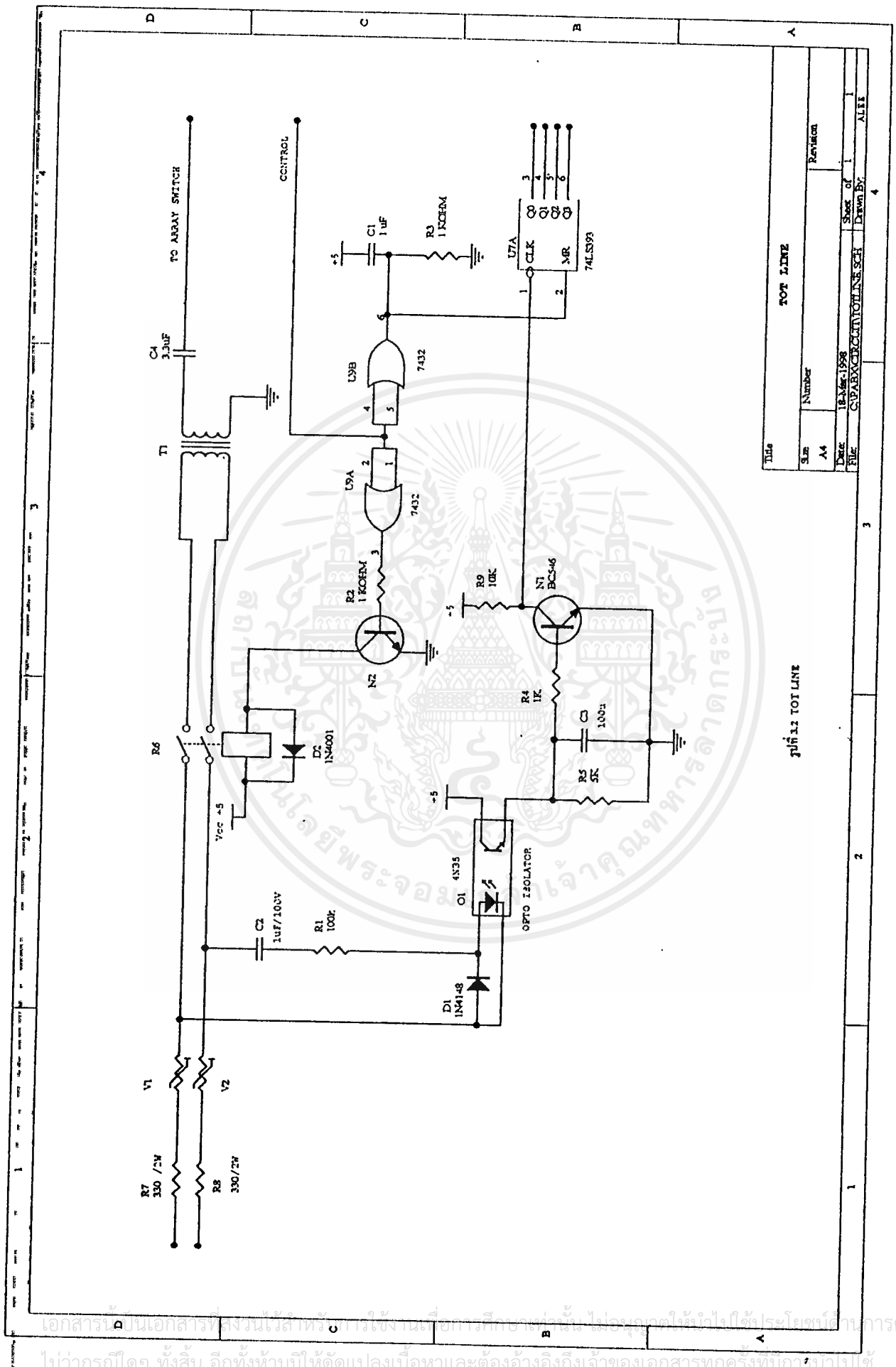
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

CIRCUIT DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

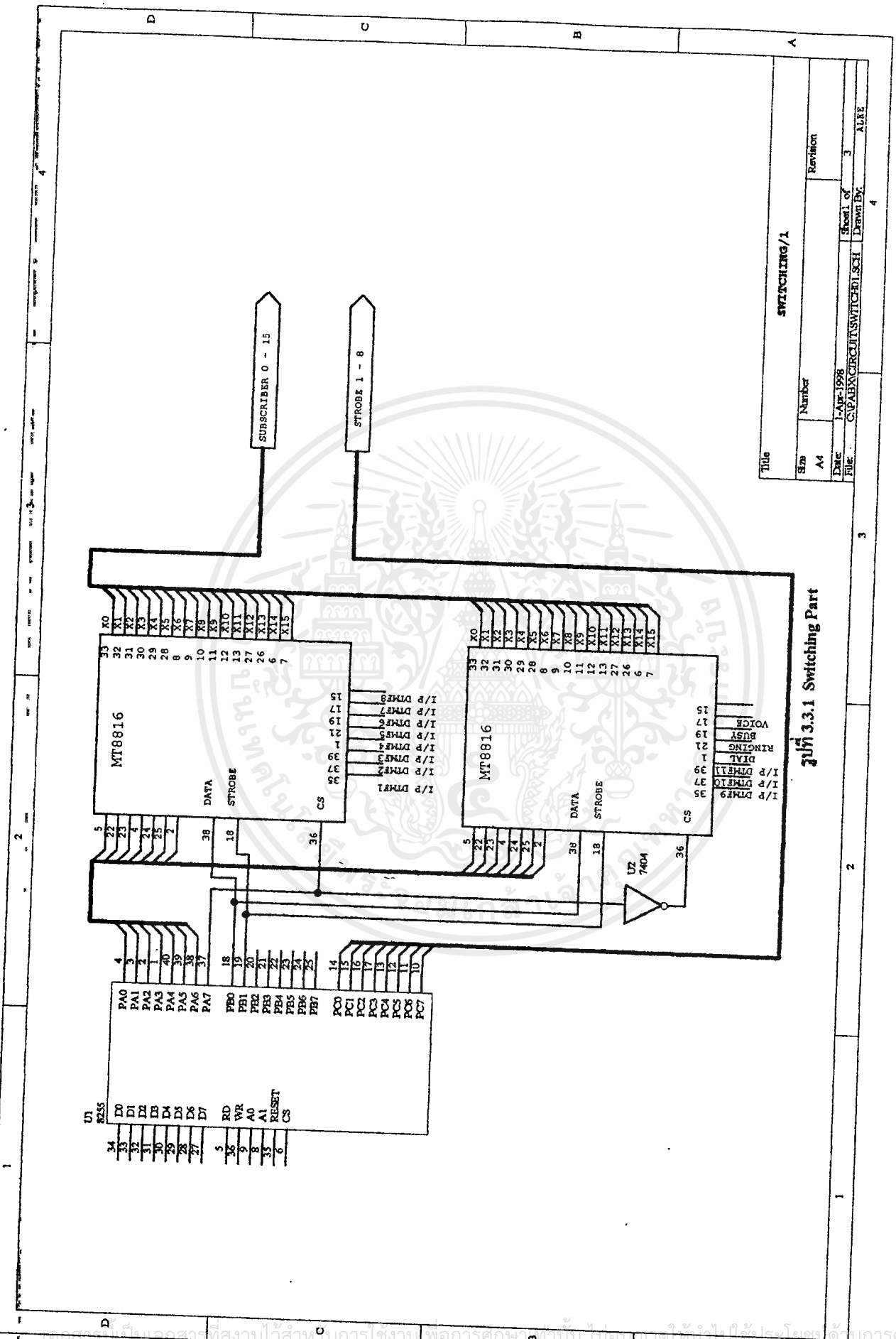


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



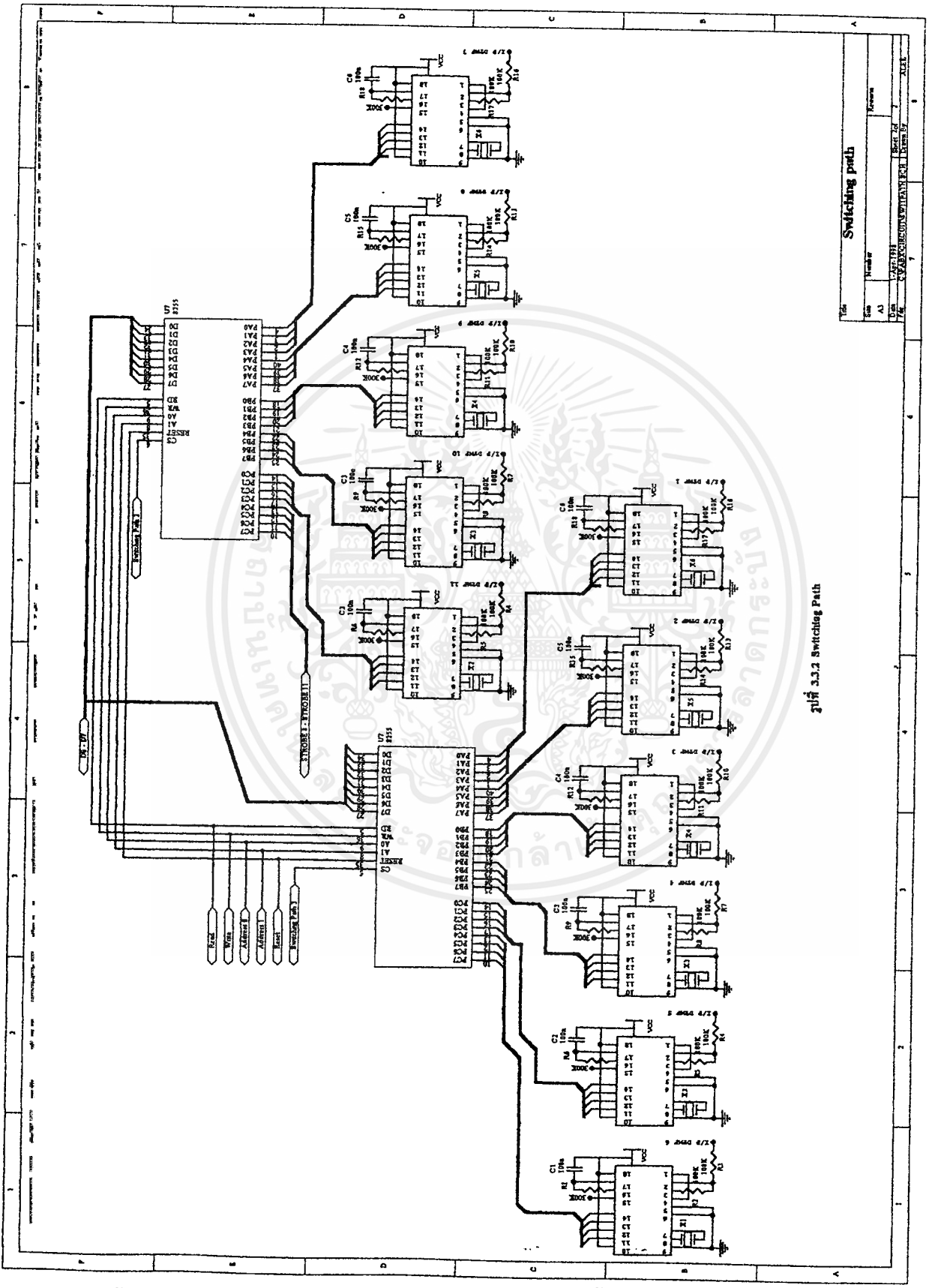
รูปที่ 4.2 TOT LINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



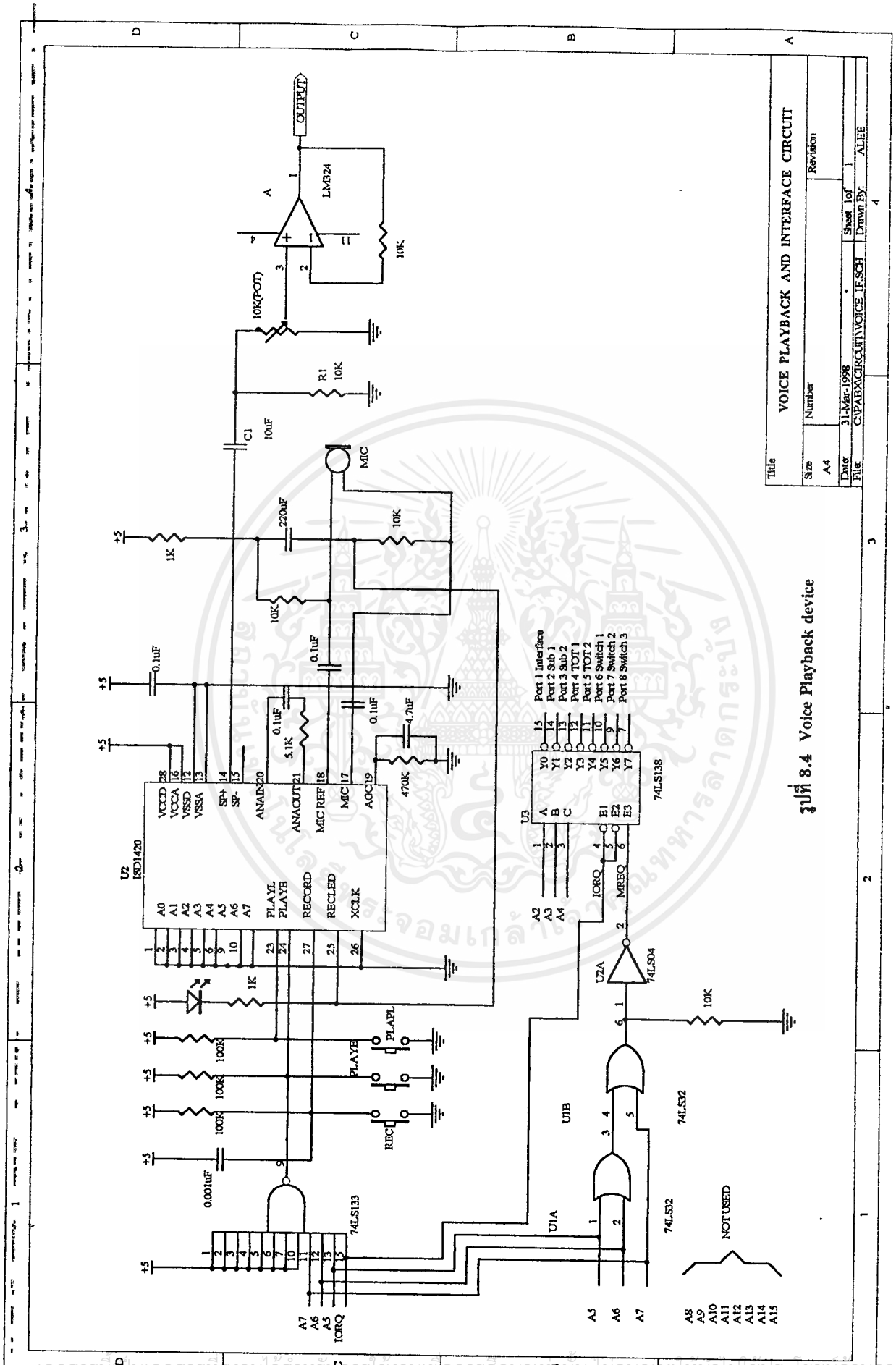
รูปที่ 3.3.1 Switching Part

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



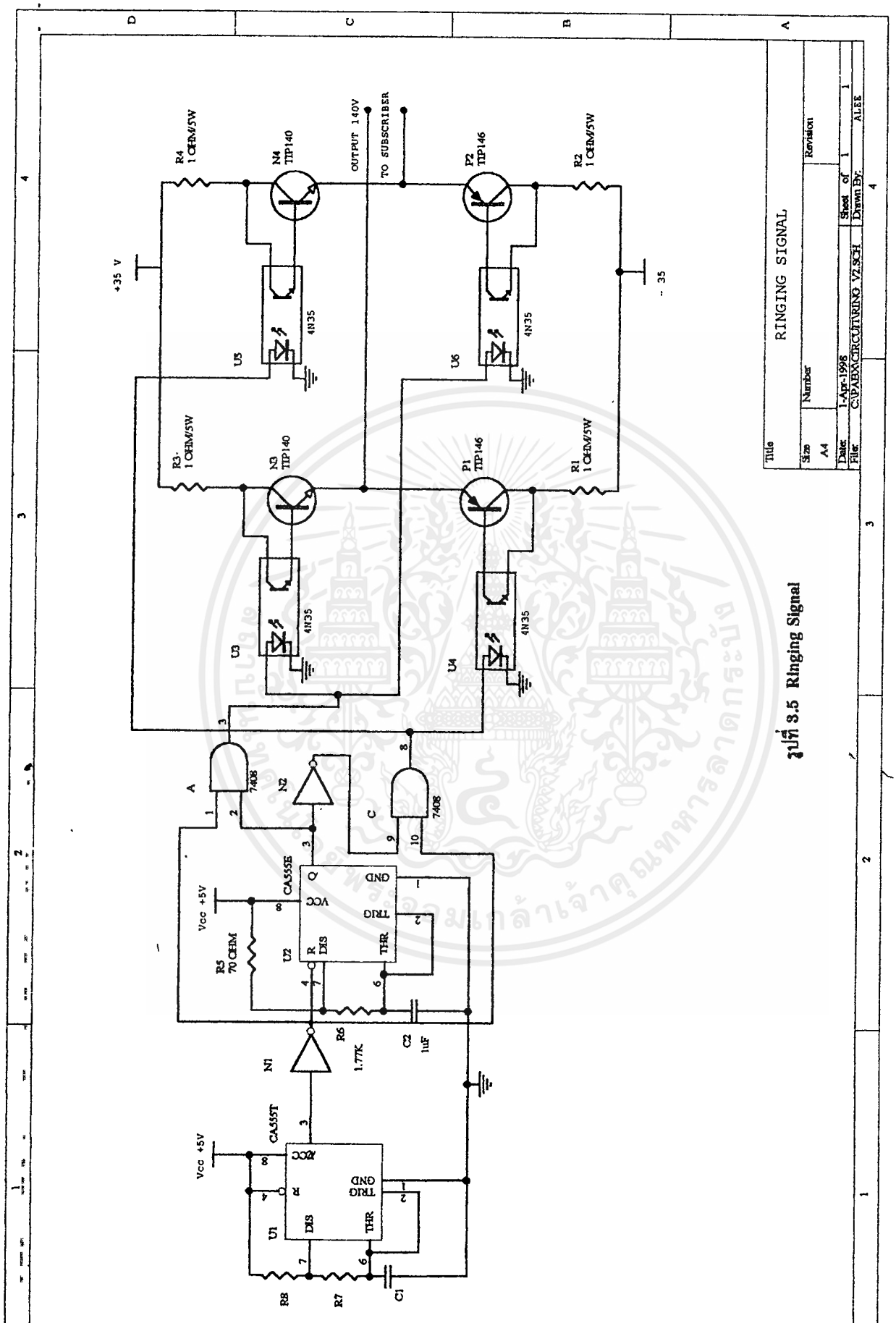
รูปที่ 3.3.2 Switching Path

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



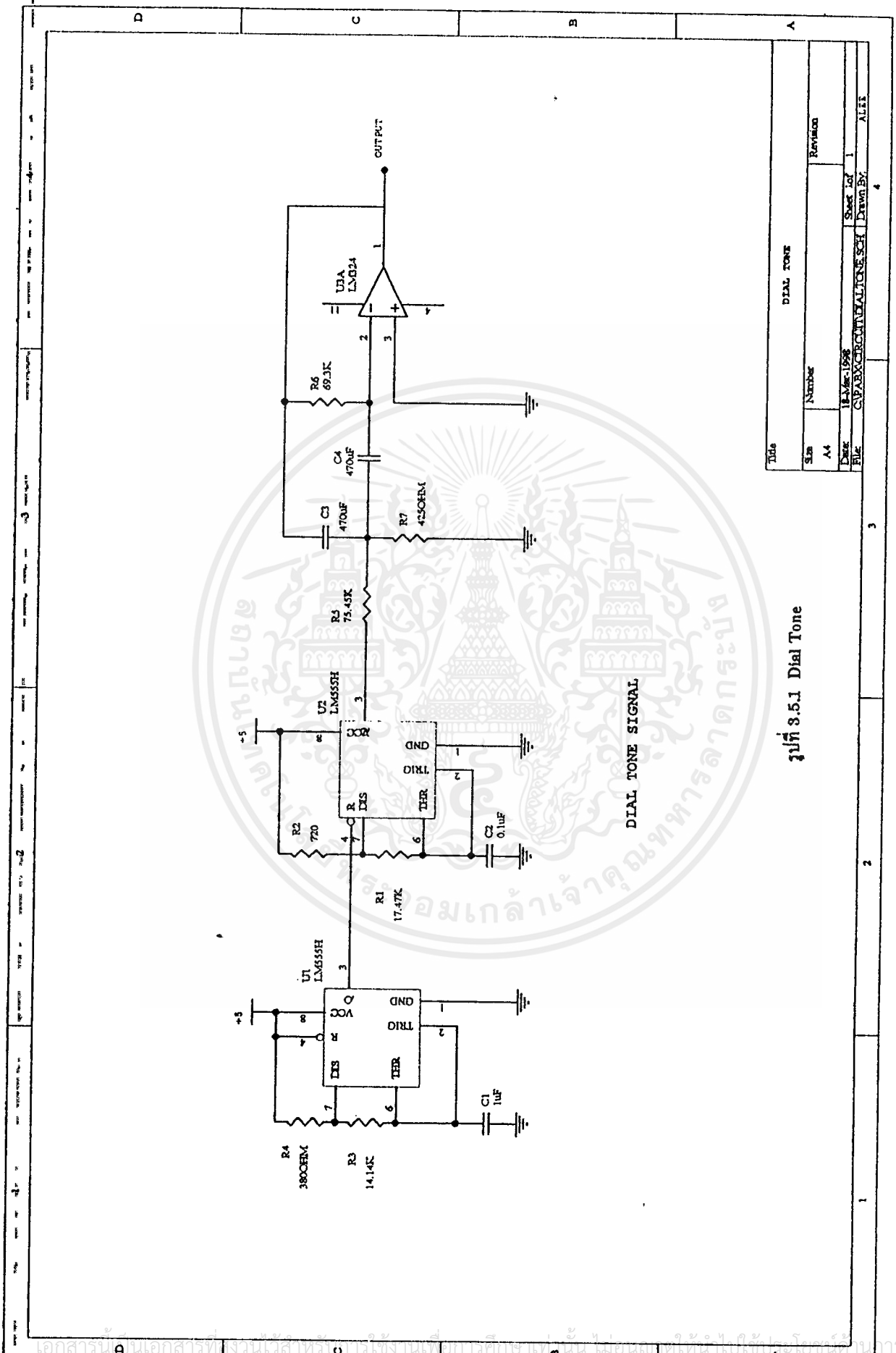
รูปที่ 8.4 Voice Playback device

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



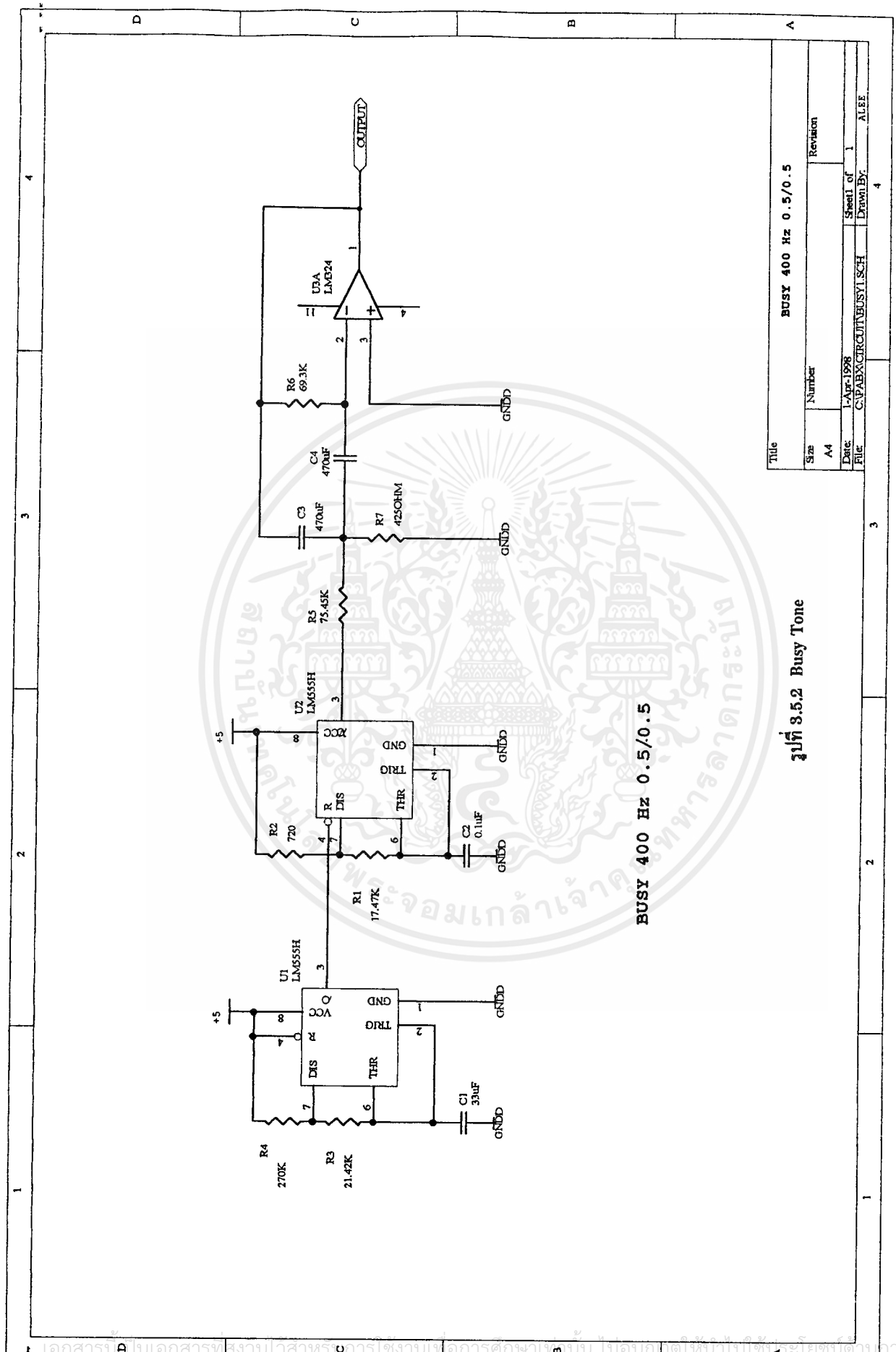
รูปที่ 3.5 Ringing Signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5.1 Dial Tone

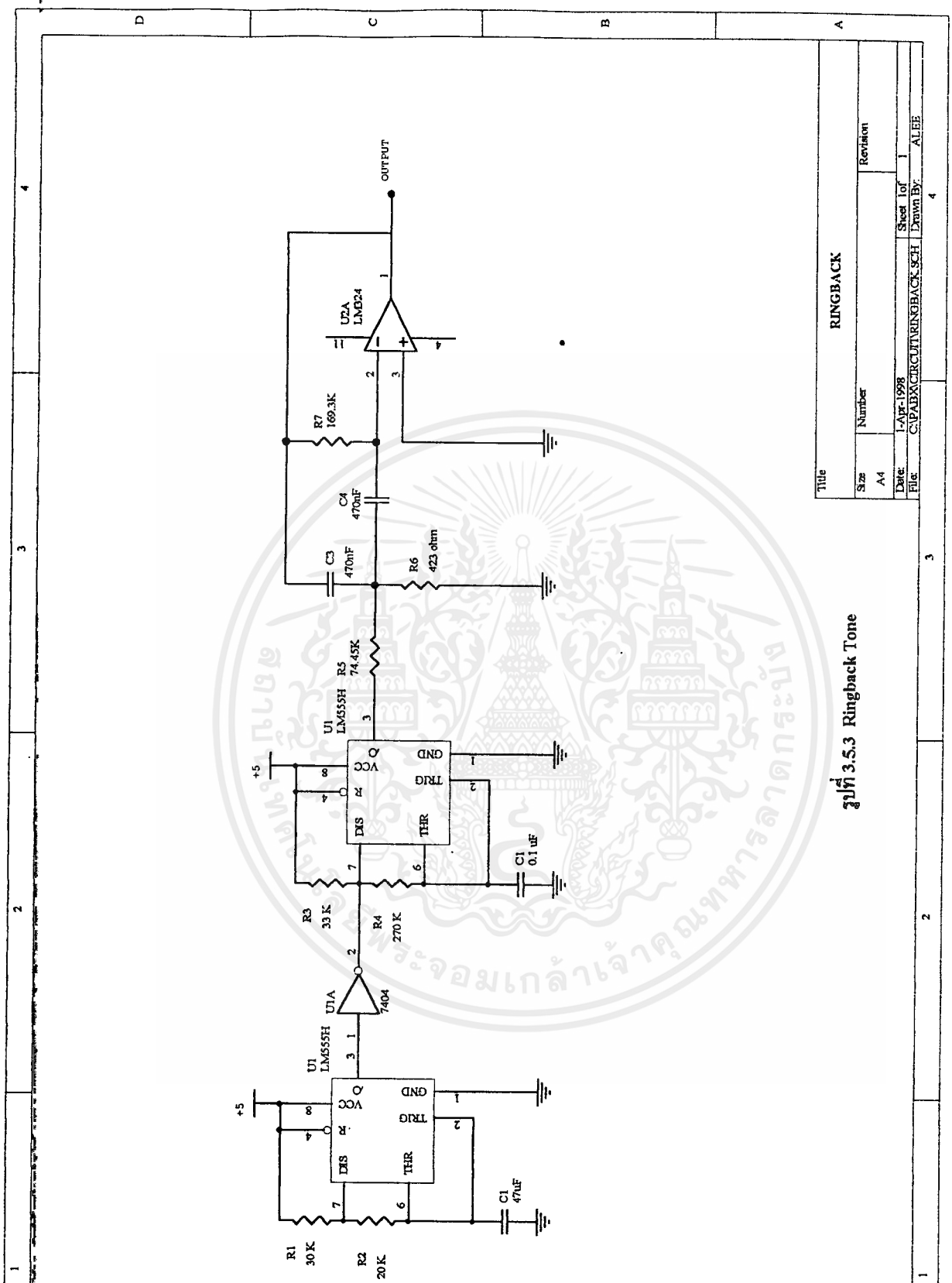
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BUSY 400 Hz 0.5/0.5

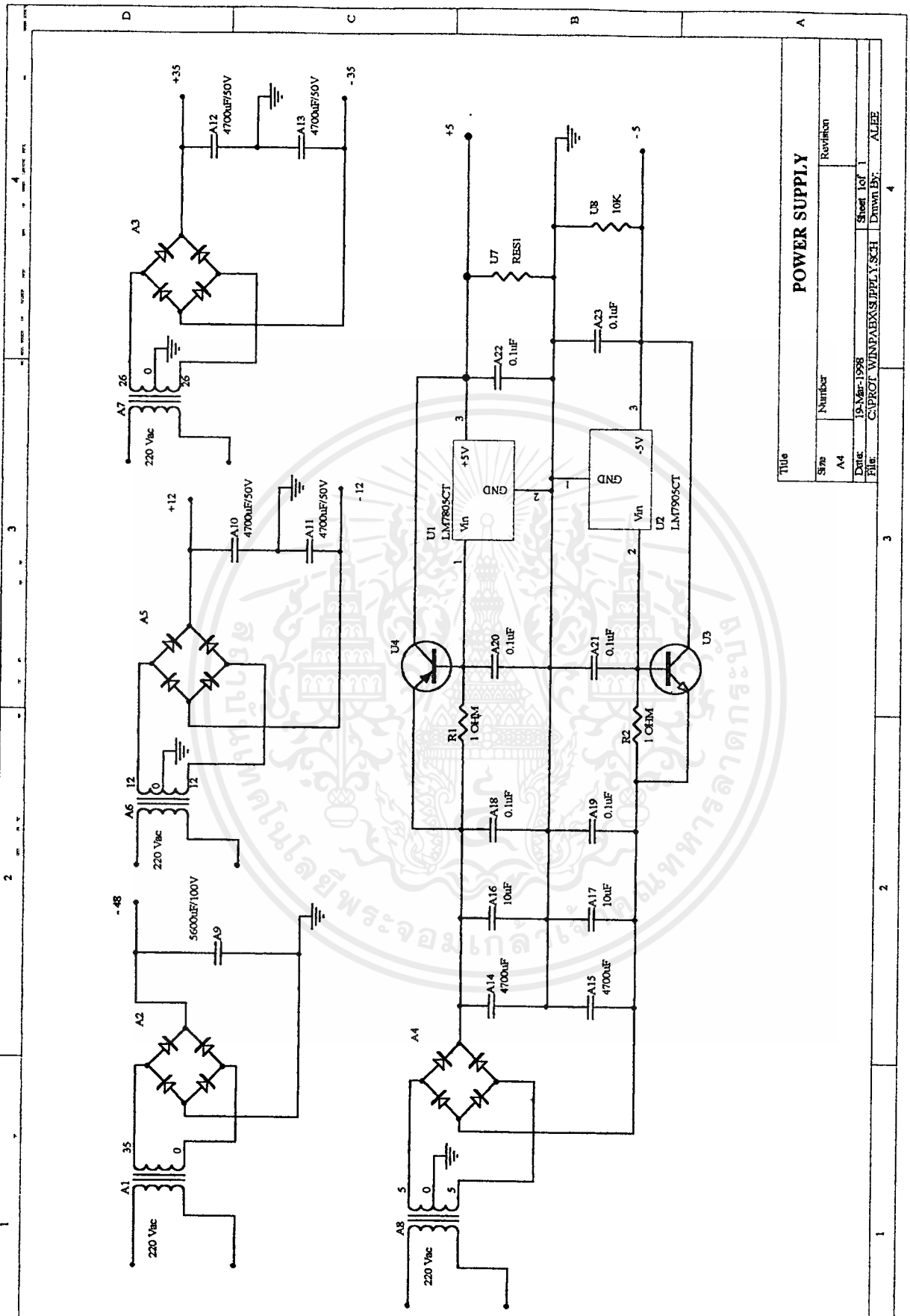
รูปที่ 3.5.2 Busy Tone

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5.3 Ringback Tone

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปผล และ วิจารณ์

ในการแก้ไขเครื่อง PABX ทางคณะผู้จัดทำได้แยกวงจรที่มีปัญหาทางด้าน Hardware ออกมาเพื่อสะดวกในการทดลอง เพื่อหาข้อผิดพลาดในการทำงานในแต่ละวงจร ซึ่งในส่วนของวงจรสัญญาณ Ring back, วงจรสัญญาณ Busy และวงจรสัญญาณ Dial tone ไม่ตรวจพบปัญหาในการทำงาน แต่ในส่วนของวงจรการทำงาน หลักของเครื่อง PABX ได้ตรวจพบปัญหามากมาย ซึ่งต้องใช้เวลาอย่างมากในการปรับปรุงแก้ไขให้ทำงานได้ตามกำหนด และในส่วนของ Software ผู้จัดทำได้เขียนโปรแกรมการทำงานขึ้นมาใหม่ทั้งหมด แต่ด้วยระบบการทำงานที่สลับซับซ้อน หลายภาคที่ต้องนำมาต่อเข้าด้วยกัน จึงมีบางส่วนที่ไม่สมบูรณ์มากนัก

ปัญหาในส่วนของ Hardware

ทางคณะผู้จัดทำได้แก้ไขปรับปรุง ในส่วนของ Hardware ในหลาย ๆ วงจร ซึ่งส่วนมากเป็นวงจรหลักในการทำงานของระบบ PABX ให้สามารถนำมาใช้งานได้ตามที่กำหนด แต่ด้วยการทำงานที่ซับซ้อนของระบบ PABX ที่ต้องใช้หลาย ๆ ภาค นำมาต่อเข้าด้วยกัน จึงเป็นผลให้วงจร TOT LINE INTERFACE CIRCUIT มีปัญหาบ้าง ในการทำงานร่วมกับวงจรในภาคอื่น ๆ แต่โดยรวมของระบบ PABX แล้วก็ยังสามารถทำงานได้ตามที่กำหนดไว้

ปัญหาในส่วนของ Software

เนื่องจาก Software ในระบบ PABX จะต้องทำงานแบบ Multitasking เพราะว่าจะต้องมีการตรวจสอบ Status ของสายภายใน และ ภายนอกในเวลาเดียวกัน ซึ่งข้อมูลจาก Project ในรุ่นก่อน ทางด้านโปรแกรมจะไม่สามารถให้คู่สายภายใน และ ภายนอกทำงานในเวลาเดียวกันได้ อันเนื่องมาจากความสลับซับซ้อน การเขียนโปรแกรมจึงกำหนดให้เครื่อง PABX สามารถติดต่อคู่สายภายใน และ ภายนอกได้แต่ในเวลาที่ต่างกัน

คณะผู้จัดทำหวังเป็นอย่างยิ่งว่า โครงงานนี้จะเป็นประโยชน์ต่อผู้สนใจที่จะนำไปพัฒนาให้สามารถทำงานได้อย่างสมบูรณ์ หรือเป็นแนวทางในการพัฒนาเทคโนโลยีทางด้านนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บรรณานุกรม

1. "LINE INTERFACE HANDBOOK" MITEL, MITEL COPORATION. 1994

2. "MICRO ELECTRONICS COMMUNICATION HANDBOOK" MITEL,MITEL COPORATION 1994

3. "CMOS DATABOOK" MOTOROLA, พิมพ์ที่ หจก. เอชเอ็น การพิมพ์ 2532

4. "TTL DATABOOK" MOTOROLA, พิมพ์ที่ หจก. เอชเอ็น การพิมพ์ 2537

5. "THE Z - 80 MICROCOMPUTER HANDBOOK", HOWARD W. Sams & Co., Inc., 1979

6. "เครื่องชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ" ภาควิชาเทคนิคอุตสาหกรรม , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของ[illegible]ทุกครั้งที่มีการนำไปใช้

ก. การใช้เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

การใช้เครื่อง

การติดตั้ง

ต่อเครื่องโทรศัพท์ภายในเข้ากับ Intenal Line 11-26

ต่อคู่สายขององค์การโทรศัพท์เข้ากับ Extrenal Line 1-2-3

การเรียกภายใน

1. ยกหูจะได้ยินสัญญาณให้หมุน
2. กดเลขหมายภายใน 11 - 26 ที่ต้องการต่อ
3. ถ้าเลขหมายปลายทางว่าง จะได้รับสัญญาณเรียกกลับ รอจนมีผู้รับ
4. ถ้าเลขหมายปลายทางไม่ว่าง จะได้รับสัญญาณไม่ว่าง วางหูแล้วทำการเรียกใหม่

การเรียกภายนอก

1. ยกหูแล้วกดปุ่ม "9" จะได้รับสัญญาณ Dial tone จากชุมสายขององค์การโทรศัพท์
2. กดเลขหมายที่ต้องการติดต่อ
3. ถ้าเลขหมายปลายทางว่าง จะได้รับสัญญาณเรียกกลับ รอจนมีผู้รับ
4. ถ้าเลขหมายปลายทางไม่ว่าง จะได้รับสัญญาณไม่ว่าง วางหูแล้วทำการเรียกใหม่

การรับสายจากภานนอก

1. ชุมสาย PABX จะทำการเรียกโดยอัตโนมัติ เมื่อมีสัญญาณกระดิ่งเรียกเข้ามา
2. เมื่อมีการเรียกเข้าจากภายนอก จะมีระบบ Voice Playback Device แจ้งให้สายจากภายนอกทราบว่า "ระบบนี้เป็นระบบอัตโนมัติกรุณากดเลขหมายที่ท่านต้องการติดต่อ"
3. คู่สายภายนอกต้องทำการกดปุ่มเลขหมาย 11 - 26 ชุมสาย PABX ก็จะทำการต่อเข้ากับเลขหมายภายในอัตโนมัติ โดยจะมีสัญญาณกระดิ่งไปเรียกผู้รับ ยังเลขหมายภายในที่ถูกเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. โปรแกรมการทำงานของระบบ PABX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
; PABX PROGRAM

                    CPU       "Z80.TBL"
                     HOF       "BIN8"
;*************** NAME PORT & NUMBER ***************

INTERF_A:           EQU       00H
INTERF_B:           EQU       01H
INTERF_C:           EQU       02H
INTERF_COM:         EQU       03H
SUB1_A:             EQU       04H
SUB1_B:             EQU       05H
SUB1_C:             EQU       060
SUB1_COM:           EQU       07H
SUB2_A:             EQU       08H
SUB2_B:             EQU       09H
SUB2_C:             EQU       0AH
SUB2_COM:           EQU       0BH
TOT1_A:             EQU       0CH
TOT1_B:             EQU       0DH
TOT1_C:             EQU       0EH
TOT1_COM:           EQU       0FH
TOT2_A:             EQU       10H
TOT2_B:             EQU       11H
TOT2_C:             EQU       12H
TOT2_COM:           EQU       13H
SW1_A:              EQU       14H
SW1_B:              EQU       15H
SW1_C:              EQU       16H
SW1_COM:            EQU       17H
SW2_A:              EQU       18H
SW2_B:              EQU       19H
SW2_C:              EQU       1AH
SW2_COM:            EQU       1BH
SW3_A:              EQU       1CH
SW3_B:              EQU       1DH
SW3_C:              EQU       1EH
SW3_COM:            EQU       1FH
CTC:                EQU       0D0H

;*************** CONTROL WORD OF PORT ******************
INTERF:             EQU       81H
SUB1:               EQU       90H
SUB2:               EQU       90H
TOT1:               EQU       9BH
TOT2:               EQU       9BH
SW1:                EQU       9BH
SW2:                EQU       9BH
SW3:                EQU       89H

;***************** DATA SWITCHS ***************************

SW_EXT01:           EQU       000H
SW_EXT02:           EQU       001H
SW_EXT03:           EQU       002H
SW_EXT04:           EQU       003H
SW_EXT05:           EQU       004H
SW_EXT06:           EQU       005H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SW_EXT07:           EQU     006H
SW_EXT08:           EQU     007H
SW_EXT09:           EQU     008H
SW_EXT10:           EQU     009H
SW_EXT11:           EQU     00AH
SW_EXT12:           EQU     00BH
SW_EXT13:           EQU     00CH
SW_EXT14:           EQU     00DH
SW_EXT15:           EQU     00EH
SW_EXT16:           EQU     00FH
SW_TOT1:            EQU     000H
SW_TOT2:            EQU     010H
SW_TOT3:            EQU     020H
SW_DIAL:            EQU     030H
SW_RING_BACK:       EQU     040H
SW_BUSY:            EQU     050H
SW_VOICE:           EQU     060H
SW_CH1:             EQU     080H
SW_CH2:             EQU     090H
SW_CH3:             EQU     0A0H
SW_CH4:             EQU     0B0H
SW_CH5:             EQU     0C0H
SW_CH6:             EQU     0D0H
SW_CH7:             EQU     0E0H
SW_CH8:             EQU     0F0H

;***************** DATA MEMORY ******************************

SWITCH:             EQU     8000H
NUMBER:             EQU     8001H
CHANNAL:            EQU     8002H
CH_DEST:            EQU     8003H
TIME:               EQU     8004H
RING1:              EQU     8005H
RING2:              EQU     8006H

HOOK01:             EQU     8010H
HOOK02:             EQU     8011H
HOOK03:             EQU     8012H
HOOK04:             EQU     8013H
HOOK05:             EQU     8014H
HOOK06:             EQU     8015H
HOOK07:             EQU     8016H
HOOK08:             EQU     8017H
HOOK09:             EQU     8018H
HOOK10:             EQU     8019H
HOOK11:             EQU     801AH
HOOK12:             EQU     801BH
HOOK13:             EQU     801CH
HOOK14:             EQU     801DH
HOOK15:             EQU     801EH
HOOK16:             EQU     801FH

DTMF_ST01:          EQU     8020H
DTMF_ST02:          EQU     8021H
DTMF_ST03:          EQU     8022H
DTMF_ST04:          EQU     8023H
DTMF_ST05:          EQU     8024H
DTMF_ST06:          EQU     8025H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DTMF_ST07:          EQU     8026H
DTMF_ST08:          EQU     8027H
DTMF_ST09:          EQU     8028H
DTMF_ST10:          EQU     8029H
DTMF_ST11:          EQU     802AH
DTMF_ST12:          EQU     802BH
DTMF_ST13:          EQU     802CH
DTMF_ST14:          EQU     802DH
DTMF_ST15:          EQU     802EH
DTMF_ST16:          EQU     802FH

MAP_SW:             EQU     8100H       ;MAP SW =256 BYTE 8100H TO 81FFH

;********************* INTERRUP SERVICE ROUTINE ***********
                    ORG     0000H
                    JP      START

                    ORG     0038H

;********** INTERRUP TIMER SERVICE ************************

                    PUSH    AF
                    PUSH    HL
                    LD      HL,TIME
                    LD      A,(HL)
                    INC     A
                    LD      (HL),A
                    CP      0
                    JP      NZ,RST38_END
                    CALL    SW_UPDATE
                    LD      A,0FFH
                    OUT     (SUB1_C),A
                    OUT     (SUB2_C),A
                    LD      HL,RING1
                    LD      A,(HL)
                    OUT     (SUB1_B),A
                    LD      HL,RING2
                    LD      A,(HL)
                    OUT     (SUB2_B),A

RST38_END:
                    POP     HL
                    POP     AF
                    EI
                    RETI

;************************************************************

                    ORG     0066H
                    PUSH    AF
                    LD      A,66H
                    OUT     (INTERF_A),A
                    POP     AF
                    RETN
                    ORG     0100H

;============================================================
;||                    START OF PROGRAM                    ||
;============================================================
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
START:
;------------- SET DATA & PORT TO INITAL ------------

                    LD      SP,9FFFH            ; SET STACK POINTER
                    CALL    DELAY1              ; DELAY FOR POWER ON

                    CALL    INIT_PORT
                    CALL    INIT_DATA
                    CALL    SW_UPDATE

                    LD      A,0FFH              ; CLEAR MUST IN SUBCRIBER
                    OUT     (SUB1_C),A          ;
                    OUT     (SUB2_C),A          ;

;-------- CHECK HOOK ON IN CHANNAL ---------------

CHK_HOOK:

                    CALL    LED1                ;**** DEBUG ******
                    CALL    READ_HOOK

                    LD      A,0
NEXT_HOOK:
                    LD      HL,HOOK01
                    CALL    ADD_HL_A

                    LD      B,A
                    LD      A,(HL)
                    CP      1                   ; A = EXT CHANNEL
                    JP      NZ,ON_HOOK

                    LD      A,B
                    INC     A
                    CP      16
                    JP      NZ,NEXT_HOOK

;-------------- CHECK TOT -------------------
                    CALL    TOT_SERVICE

                    JP      CHK_HOOK
ON_HOOK:
                    LD      A,B
                    LD      HL,CHANNAL          ; KEEP CHANNAL TO MEMORY
                    LD      (HL),A              ;
                    CALL    LED2                ;**** DEBUG *******
                    CALL    OUTA                ;**** DEBUG *******

;---------- ON EXT TO CHANNAL ------------

                    LD      HL,CHANNAL
                    LD      A,(HL)
                    OR      SW_CH1
                    CALL    ON_MSW
                    CALL    SW_UPDATE
                    CALL    ON_DIAL_CH

;---------- READ DTMF KEY ----------------

DTMF_KEY1:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    CALL    READ_DTMF_KEY
                    CALL    OFF_DIAL_CH

                    CP      9
                    JP      Z,CALL_TOT          ; CHECK CALL TO TOT

                    RLA
                    RLA
                    RLA
                    RLA
                    AND     0F0H
                    LD      HL,NUMBER
                    LD      (HL),A              ; KEEP KEY 1
                    CALL    LED3                ;**** DEBUG *********
DTMF_KEY2:
                    CALL    READ_DTMF_KEY
                    LD      HL,NUMBER
                    OR      (HL)
                    LD      (HL),A              ; KEEP KEY 2
                    CALL    LED4                ;**** DEBUG ******

;--- CHECK NUMBER CALL ----------

                    CALL    CHECK_HOOK
                    CP      1
                    JP      Z,CHK_HOOK

                    LD      HL,NUMBER
                    LD      A,(HL)
                    LD      B,A
                    LD      C,0
NEXT_NO_EXT:
                    LD      HL,NO_EXT
                    CALL    ADD_HL_C
                    LD      A,(HL)
                    CP      B
                    JP      Z,CALL_EXT
                    INC     C
                    LD      A,C
                    CP      10H
                    JP      NZ,NEXT_NO_EXT
                    CALL    LED5                ;**** DEBUG *********
                    LD      A,B                 ;**** DEBUG *********
                    CALL    OUTA                ;**** DEBUG *********
                    CALL    ON_BUSY

                    JP      CHK_HOOK
CALL_EXT:
                    CALL    LED6                ;**** DEBUG *********
                    LD      A,C
                    LD      HL,CH_DEST
                    LD      (HL),A
                    CALL    LED7                ;**** DEBUG *********
                    CALL    OUTA                ;**** DEBUG *********
                    CALL    ON_RING_BACK_CH
                    CALL    SEND_RINGING
                    CALL    OFF_RING_BACK_CH
                    CALL    LED8                ;**** DEBUG *********
                    CALL    SERVICE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึง สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

```
                    JP      CHK_HOOK
CALL_TOT:
                    LD      HL,CHANNAL
                    LD      A,(HL)
                    OR      SW_TOT1
                    CALL    ON_MSW
                    CALL    SW_UPDATE
                    LD      A,10H
                    OUT     (INTERF_C),A
TOT_CANCEL_CHK:
                    CALL    CHECK_HOOK
                    CP      1
                    JP      NZ,TOT_CANCEL_CHK

                    LD      HL,CHANNAL
                    LD      A,(HL)
                    OR      SW_TOT1
                    CALL    OFF_MSW
                    CALL    SW_UPDATE
                    LD      A,00H
                    OUT     (INTERF_C),A

                    JP      CHK_HOOK
END:
                    JP      START
;=================================================================
;|| ----------------------  END OF PROGRAM  --------------------||
;=================================================================

;****************** TOT CHECK & SERVICE *****************
TOT_SERVICE:
                    PUSH    AF
                    PUSH    BC
                    PUSH    DE
                    PUSH    HL

                    IN      A,(TOT1_C)          ; READ RINGING AT TOT BD.1

                    LD      B,A
                    AND     0FH
                    CP      0
                    JP      NZ,TS_IN_TOT1       ; CHK TOT1 RING

                    LD      A,B
                    RRA
                    RRA
                    RRA
                    RRA
                    AND     0FH
                    CP      0
                    JP      NZ,TS_IN_TOT2       ; CHK TOT2 RING

                    IN      A,(TOT2_C)          ; READ RINGING AT TOT BD.2

                    AND     0FH
                    CP      0
                    JP      NZ,TS_IN_TOT3       ; CHK TOT3 RING

                    JP      TS_END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;---------------------- TOT1 SERVICE ----------------------

TS_IN_TOT1:
                    LD          A,0FFH              ; DEFINE TOT NON CHK HOOK
                    LD          HL,CHANNAL          ;
                    LD          (HL),A              ;

                    LD          A,10H
                    OUT         (INTERF_C),A

                    LD          A,SW_TOT1
                    OR          SW_EXT16
                    CALL        ON_MSW

                    LD          A,SW_EXT16
                    OR          SW_CH1
                    CALL        ON_MSW

                    LD          A,SW_VOICE
                    OR          SW_EXT16
                    CALL        ON_MSW

                    OUT         (0FFH),A            ; SAND VOICE

;---------- READ DTMF KEY -----------------

TST1_DTMF_KEY1:
                    CALL        READ_DTMF_KEY
                    RLA
                    RLA
                    RLA
                    RLA
                    AND         0F0H
                    LD          HL,NUMBER
                    LD          (HL),A              ; KEEP KEY 1
                    CALL        LED3                ;**** DEBUG ******
TST1_DTMF_KEY2:
                    CALL        READ_DTMF_KEY
                    LD          HL,NUMBER
                    OR          (HL)
                    LD          (HL),A              ; KEEP KEY 2
                    CALL        LED4                ;**** DEBUG ******

;--- CHECK NUMBER CALL ----------

                    LD          HL,NUMBER
                    LD          A,(HL)
                    LD          B,A
                    LD          C,0
TST1_NEXT_NO_EXT:
                    LD          HL,NO_EXT
                    CALL        ADD_HL_C
                    LD          A,(HL)
                    CP          B
                    JP          Z,TST1_CALL_EXT
                    INC         C
                    LD          A,C
                    CP          10H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
                    JP          NZ,TST1_NEXT_NO_EXT
                     CALL        LED5                    ;**** DEBUG *******
                     LD          A,B                     ;**** DEBUG *******
                     CALL        OUTA                    ;**** DEBUG *******

                    JP          TST1_OFF_SW
TST1_CALL_EXT:
                     CALL        LED6                    ;**** DEBUG *******
                    LD          A,C
                    LD          HL,CH_DEST
                    LD          (HL),A

                     CALL        LED7                    ;**** DEBUG *******
                     CALL        OUTA                    ;**** DEBUG *******

                    CALL        ON_RING_BACK_TOT
                    CALL        SEND_RINGING
                    CALL        OFF_RING_BACK_TOT

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    LD          HL,CHANNAL
                    LD          (HL),A

                     CALL        LED8                    ;**** DEBUG *******

;------ ON SWITCH CHANNAL TO DESTINATION  ---------

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    OR          SW_CH1
                    CALL        ON_MSW

;-------- CHECK END LINK AT CHANNAL -----------

TST1_SV_CHK_EL:
                    CALL        CHECK_HOOK
                    CP          1
                    JP          NZ,TST1_SV_CHK_EL

;------ OFF SWITCH TOT -----------------

TST1_OFF_SW:
                    CALL        SW_CLEAR
                    LD          A,0
                    OUT         (INTERF_C),A

                    JP          TS_END

;---------------------- TOT 2 SERVICE -----------------

TS_IN_TOT2:
                    LD          A,0FFH                  ; DEFINE TOT NON CHK HOOK
                    LD          HL,CHANNAL              ;
                    LD          (HL),A                  ;

                    LD          A,20H
                    OUT         (INTERF_C),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร

```
                    LD      A,SW_TOT2
                    OR      SW_EXT16
                    CALL    ON_MSW

                    LD      A,SW_EXT16
                    OR      SW_CH1
                    CALL    ON_MSW

                    LD      A,SW_VOICE
                    OR      SW_EXT16
                    CALL    ON_MSW

                    OUT     (0FFH),A            ; SAND VOICE

;--------- READ DTMF KEY ----------------

TST2_DTMF_KEY1:
                    CALL    READ_DTMF_KEY
                    RLA
                    RLA
                    RLA
                    RLA
                    AND     0F0H
                    LD      HL,NUMBER
                    LD      (HL),A              ; KEEP KEY 1
                     CALL    LED3               ;**** DEBUG *******
TST2_DTMF_KEY2:
                    CALL    READ_DTMF_KEY
                    LD      HL,NUMBER
                    OR      (HL)
                    LD      (HL),A              ; KEEP KEY 2
                     CALL    LED4               ;**** DEBUG *******

;--- CHECK NUMBER CALL ----------

                    LD      HL,NUMBER
                    LD      A,(HL)
                    LD      B,A
                    LD      C,0
TST2_NEXT_NO_EXT:
                    LD      HL,NO_EXT
                    CALL    ADD_HL_C
                    LD      A,(HL)
                    CP      B
                    JP      Z,TST2_CALL_EXT
                    INC     C
                    LD      A,C
                    CP      10H
                    JP      NZ,TST2_NEXT_NO_EXT
                     CALL    LED5               ;**** DEBUG *******
                     LD      A,B                ;**** DEBUG *******
                     CALL    OUTA               ;**** DEBUG *******

                    JP      TST2_OFF_SW
TST2_CALL_EXT:
                     CALL    LED6               ;**** DEBUG *******
                    LD      A,C
                    LD      HL,CH_DEST
                    LD      (HL),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    CALL        LED7                    ;**** DEBUG *******
                    CALL        OUTA                    ;**** DEBUG *******

                   CALL        ON_RING_BACK_TOT
                   CALL        SEND_RINGING
                   CALL        OFF_RING_BACK_TOT

                   LD          HL,CH_DEST
                   LD          A,(HL)
                   LD          HL,CHANNAL
                   LD          (HL),A

                    CALL        LED8                    ;**** DEBUG *******

;------ ON SWITCH CHANNAL TO DESTINATION  ----------

                   LD          HL,CH_DEST
                   LD          A,(HL)
                   OR          SW_CH1
                   CALL        ON_MSW

;-------- CHECK END LINK AT CHANNAL ------------

TST2_SV_CHK_EL:
                   CALL        CHECK_HOOK
                   CP          1
                   JP          NZ,TST2_SV_CHK_EL

;------ OFF SWITCH TOT -------------------

TST2_OFF_SW:
                   CALL        SW_CLEAR
                   LD          A,0
                   OUT         (INTERF_C),A

                   JP          TS_END

;---------------------- TOT3 SERVICE ----------------

TS_IN_TOT3:
                   LD          A,0FFH                  ; DEFINE TOT NON CHK HOOK
                   LD          HL,CHANNAL              ;
                   LD          (HL),A                  ;

                   LD          A,40H
                   OUT         (INTERF_C),A

                   LD          A,SW_TOT3
                   OR          SW_EXT16
                   CALL        ON_MSW

                   LD          A,SW_EXT16
                   OR          SW_CH1
                   CALL        ON_MSW

                   LD          A,SW_VOICE
                   OR          SW_EXT16
                   CALL        ON_MSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    OUT         (0FFH),A            ; SAND VOICE

;---------- READ DTMF KEY ----------------

TST3_DTMF_KEY1:
                    CALL        READ_DTMF_KEY
                    RLA
                    RLA
                    RLA
                    RLA
                    AND         0F0H
                    LD          HL,NUMBER
                    LD          (HL),A              ; KEEP KEY 1
                     CALL        LED3               ;**** DEBUG *******
TST3_DTMF_KEY2:
                    CALL        READ_DTMF_KEY
                    LD          HL,NUMBER
                    OR          (HL)
                    LD          (HL),A              ; KEEP KEY 2
                     CALL        LED4               ;**** DEBUG *******

;--- CHECK NUMBER CALL ----------

                    LD          HL,NUMBER
                    LD          A,(HL)
                    LD          B,A
                    LD          C,0
TST3_NEXT_NO_EXT:
                    LD          HL,NO_EXT
                    CALL        ADD_HL_C
                    LD          A,(HL)
                    CP          B
                    JP          Z,TST3_CALL_EXT
                    INC         C
                    LD          A,C
                    CP          10H
                    JP          NZ,TST3_NEXT_NO_EXT
                     CALL        LED5               ;**** DEBUG *******
                     LD          A,B                ;**** DEBUG *******
                     CALL        OUTA               ;**** DEBUG *******

                    JP          TST3_OFF_SW
TST3_CALL_EXT:
                     CALL        LED6               ;**** DEBUG *******
                    LD          A,C
                    LD          HL,CH_DEST
                    LD          (HL),A

                     CALL        LED7               ;**** DEBUG *******
                     CALL        OUTA               ;**** DEBUG *******

                    CALL        ON_RING_BACK_TOT
                    CALL        SEND_RINGING
                    CALL        OFF_RING_BACK_TOT

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    LD          HL,CHANNAL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้ง

```
                    LD          (HL),A

                     CALL       LED8                    ;**** DEBUG *******

;------ ON SWITCH CHANNAL TO DESTINATION  ---------

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    OR          SW_CH1
                    CALL        ON_MSW

;------- CHECK END LINK AT CHANNAL -----------

TST3_SV_CHK_EL:
                    CALL        CHECK_HOOK
                    CP          1
                    JP          NZ,TST3_SV_CHK_EL

;------ OFF SWITCH TOT ------------------

TST3_OFF_SW:
                    CALL        SW_CLEAR
                    LD          A,0
                    OUT         (INTERF_C),A

                    JP          TS_END
TS_END:
                    POP         HL
                    POP         DE
                    POP         BC
                    POP         AF
                    RET

;******************* ON DIAL TO CHANNAL ******************
ON_DIAL_CH:
                    PUSH        AF
                    PUSH        HL
                    LD          HL,CHANNAL
                    LD          A,(HL)
                    OR          SW_DIAL
                    CALL        ON_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET

;******************* OFF DIAL TO CHANNAL ******************
OFF_DIAL_CH:
                    PUSH        AF
                    PUSH        HL
                    LD          HL,CHANNAL
                    LD          A,(HL)
                    OR          SW_DIAL
                    CALL        OFF_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
;****************** ON RING BACK TO CHANNAL ******************
ON_RING_BACK_CH:
                    PUSH        AF
                    PUSH        HL
                    LD          HL,CHANNAL
                    LD          A,(HL)
                    OR          SW_RING_BACK
                    CALL        ON_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET

;****************** ON RING BACK TO TOT ******************
ON_RING_BACK_TOT:
                    PUSH        AF
                    PUSH        HL
                    LD          A,0FH
                    OR          SW_RING_BACK
                    CALL        ON_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET

;****************** OFF RING BACK TO CHANNAL ******************
OFF_RING_BACK_CH:
                    PUSH        AF
                    PUSH        HL
                    LD          HL,CHANNAL
                    LD          A,(HL)
                    OR          SW_RING_BACK
                    CALL        OFF_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET

;****************** OFF RING BACK TO TOT ******************
OFF_RING_BACK_TOT:
                    PUSH        AF
                    PUSH        HL
                    LD          A,0FH
                    OR          SW_RING_BACK
                    CALL        OFF_MSW
                    CALL        SW_UPDATE
                    POP         HL
                    POP         AF
                    RET

;*************** CHECK HOOK IN CHANNAL ****************
CHECK_HOOK:
                    PUSH        HL              ; CHECK HOOK IN CHANNAL
                                                ; INPUT CHANNAL := EXT TO CHECK
                    CALL        READ_HOOK       ; OUTPUT A  := 0 [ ON HOOK ]
                    LD          HL,CHANNAL      ;           := 1 [ OFF HOOK ]
                    LD          A,(HL)
                    CP          0FFH
                    JP          Z,CH_NON_CHK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    LD          HL,HOOK01
                    CALL        ADD_HL_A
                    LD          A,(HL)
                    JP          CH_END
CH_NON_CHK:
                    LD          A,0
CH_END:
                    POP         HL
                    RET

;******************** SERVICE CONTROL TRAFIC************************
SERVICE:
                    PUSH        AF
                    PUSH        BC
                    PUSH        HL

;------ ON SWITCH CHANNAL TO DESTINATION  ---------

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    OR          SW_CH1
                    CALL        ON_MSW

;-------- CHECK END LINK AT CHANNAL ------------

SV_CHK_EL:
                    CALL        CHECK_HOOK
                    CP          1
                    JP          NZ,SV_CHK_EL

;------ OFF SWITCH CHANNAL -------------------

                    LD          HL,CHANNAL
                    LD          A,(HL)
                    OR          SW_CH1
                    CALL        OFF_MSW

;-------- OFF SWITCH DESTINATION -------------

                    LD          HL,CH_DEST
                    LD          A,(HL)
                    OR          SW_CH1
                    CALL        OFF_MSW

                    CALL        SW_UPDATE

                    POP         HL
                    POP         BC
                    POP         AF
                    RET

;******************** SEND RINGING TO DESTINATION ******************
SEND_RINGING:
                    PUSH        AF
                    PUSH        BC
                    PUSH        HL

;---------- CHECK DESTINATION IS BORAD#1 OR BOARD#2 --------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
                    LD      HL,CH_DEST
                    LD      A,(HL)
                    CP      8
                    JP      P,SR_BOARD2

;--------- SEND RINGING BOARD #1 -----------

                    LD      B,80H
SR_B1_CHK:
                    CP      0
                    JP      Z,SR_SEND1
                    RRC     B
                    DEC     A
                    JP      SR_B1_CHK
SR_SEND1:
                    LD      A,B
                    LD      HL,RING1
                    LD      (HL),A
                    LD      HL,RING2
                    LD      (HL),0
                    OUT     (SUB1_B),A
                    call    outa            ; ***** DEBUG ****
                    JP      SR_CHK_HOOK

;--------- SEND RINGING BOARD #2 -----------

SR_BOARD2:
                    SUB     8
                    LD      B,80H
SR_B2_CHK:
                    CP      0
                    JP      Z,SR_SEND2
                    RRC     B
                    DEC     A
                    JP      SR_B2_CHK
SR_SEND2:
                    LD      A,B
                    LD      HL,RING1
                    LD      (HL),0
                    LD      HL,RING2
                    LD      (HL),A
                    OUT     (SUB2_B),A
                    JP      SR_CHK_HOOK

;--------- CHECK ON HOOK TO OFF RINGING -------

SR_CHK_HOOK:
                    CALL    CHECK_HOOK
                    CP      1
                    JP      Z,SR_END

                    CALL    READ_HOOK
                    LD      HL,CH_DEST
                    LD      A,(HL)
                    LD      HL,HOOK01
                    CALL    ADD_HL_A
                    LD      A,(HL)
                    CP      0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
                    JP      NZ,SR_CHK_HOOK

;--------- CLEAR RINGING SIGNAL --------------
SR_END:
                    LD      A,0
                    OUT     (SUB1_B),A
                    OUT     (SUB2_B),A
                    LD      HL,RING1
                    LD      (HL),0
                    LD      HL,RING2
                    LD      (HL),0

                    POP     HL
                    POP     BC
                    POP     AF
                    RET


;********************* ON BUSY TONE TO CANANAL******************
ON_BUSY:
                    PUSH    AF
                    PUSH    HL

;-------- ON BUSY TONE ----------------

                    LD      HL,CHANNAL
                    LD      A,(HL)
                    AND     0FH
                    OR      SW_BUSY

                    CALL    ON_MSW

;-------- CHECH OFF HOOK ----------------

OB_CHK_HOOK:
                    CALL    CHECK_HOOK
                    CP      1
                    JP      NZ,OB_CHK_HOOK

;------- OFF BUSY TONE -----------------

                    LD      HL,CHANNAL
                    LD      A,(HL)
                    AND     0FH
                    OR      SW_BUSY

                    CALL    OFF_MSW

                    POP     HL
                    POP     AF
                    RET

;********************* READ KEY DTMF ***************************
READ_DTMF_KEY:
RDK_CPK:                                        ; CHECK PASS KEY
                    CALL    CHECK_HOOK
                    CP      1
                    JP      Z,RDK_END
                    CALL    LED12               ; *****DEBUG*****
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    IN      A,(SW3_C)           ; *****DEBUG ****
                    CALL    OUTA                ; *****DEBUG ****

                    CALL    CHK_STB1
                    CP      1
                    JP      NZ,RDK_CPK
                    CALL    LED13                ; ******* DEBUG *****

                    IN      A,(SW1_A)
                    AND     0FH
                    PUSH    AF                  ; SAVE A (DATA KEY)
RDK_CBK:                                        ; CHECK BUSY KEY
                    CALL    CHK_STB1
                    CP      0
                    JP      NZ,RDK_CBK
                    POP     AF                  ; LOAD A (DATA KEY)
RDK_END:
                    RET

;********************** ADD HL,A FUNCTION**********************
ADD_HL_A:
                    PUSH    AF

                    ADD     A,L
                    LD      L,A
                    LD      A,0
                    ADC     A,H
                    LD      H,A

                    POP     AF
                    RET

;********************** ADD HL,B FUNCTION **********************
ADD_HL_B:
                    PUSH    AF

                    LD      A,B
                    ADD     A,L
                    LD      L,A
                    LD      A,0
                    ADC     A,H
                    LD      H,A

                    POP     AF
                    RET

;********************** ADD HL,C FUNCTION **********************
ADD_HL_C:
                    PUSH    AF

                    LD      A,C
                    ADD     A,L
                    LD      L,A
                    LD      A,0
                    ADC     A,H
                    LD      H,A

                    POP     AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึง สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

```
                    RET

;************************ READ HOOK *********************************
READ_HOOK:
                    PUSH        HL
                    PUSH        AF
                    PUSH        BC

                    IN          A,(SUB1_A)
;                    CALL        OUTA                    ;**** DEBUG *********
                    LD          C,A                     ; C := DATA BIT HOOK
                    LD          A,0                     ; A := DATA ADD CARY FLAG
                    LD          B,8                     ; B := LOOP FOR 8 EXT

                    LD          HL,HOOK01               ; HOOK EXT 01
RH_LS1:
                    LD          A,0
                    RRC         C
                    ADC         A,A
                    LD          (HL),A
                    INC         HL

                    DJNZ        RH_LS1

                    IN          A,(SUB2_A)              ; SUB2 EXT 09 TO EXT 16
                    LD          C,A
                    LD          A,0
                    LD          B,8

                    LD          HL,HOOK09               ; HOOK EXT 09
RH_LS2:
                    LD          A,0
                    RRC         C
                    ADC         A,A
                    LD          (HL),A
                    INC         HL

                    DJNZ        RH_LS2

                    POP         BC
                    POP         AF
                    POP         HL
                    RET

;******************* CHECK DTMF STROBE (CHANNEL 1)***************
CHK_STB1:
                    IN          A,(SW3_C)               ; O/P IN A = 0 NO STROBE
                    BIT         0,A                     ;          = 1 GOT STROBE
                    JP          NZ,CS_STB
                    LD          A,0
                    JP          CS_END
CS_STB:
                    LD          A,1
CS_END:
                    RET

;********************** ALL ON SWITCH ****************************
ALL_SW_ON:
                    PUSH        HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
                    PUSH    AF
                    LD      A,0FFH
                    LD      HL,SWITCH
ASO_NSW:
                    LD      (HL),A
                    CALL    ON_SW
                    DEC     A
                    JP      NZ,ASO_NSW
                    POP     AF
                    POP     HL
                    RET

;********************** ALL SWITCH CLEAR **************************
SW_CLEAR:
                    PUSH    HL
                    PUSH    AF

                    LD      A,0H
SC_NSW:
                    CALL    OFF_MSW

                    DEC     A
                    JP      NZ,SC_NSW

                    POP     AF
                    POP     HL
                    RET

;********************** ON SWITCH *********************************

ON_SW:
                    PUSH    HL                  ;INPUT SWITCH IN A
                    PUSH    AF
                    OUT     (SW3_A),A
                    CALL    DELAY_F
                    LD      A,1
                    OUT     (SW3_B),A
                    CALL    DELAY_F
                    LD      A,3
                    OUT     (SW3_B),A
                    CALL    DELAY_F
                    LD      A,1
                    OUT     (SW3_B),A
                    CALL    DELAY_F
                    LD      A,0
                    OUT     (SW3_A),A
                    CALL    DELAY_F
                    OUT     (SW3_B),A

                    POP     AF
                    POP     HL
                    RET

;********************** OFF SWITCH ********************************

OFF_SW:
                    PUSH    HL                  ;INPUT SWITCH IN A
                    PUSH    AF
                    OUT     (SW3_A),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    CALL        DELAY_F
                    LD          A,0
                    OUT         (SW3_B),A
                    CALL        DELAY_F
                    LD          A,2
                    OUT         (SW3_B),A
                    CALL        DELAY_F
                    LD          A,0
                    OUT         (SW3_A),A
                    CALL        DELAY_F
                    OUT         (SW3_B),A

                    POP         AF
                    POP         HL
                    RET
;************************ INITIAL DATA ****************************
INIT_DATA:
                    PUSH        AF
                    PUSH        HL
                    PUSH        BC
                    LD          B,0
                    LD          HL,MAP_SW
                    LD          A,0
ID_SW:
                    LD          L,B
                    LD          (HL),A
                    DJNZ        ID_SW

                    LD          HL,8000H
                    LD          B,0
ID_DATA:
                    LD          L,B
                    LD          (HL),A
                    DJNZ        ID_DATA

                    POP         BC
                    POP         HL
                    POP         AF
                    RET

;************************ SWITCH UPDATE TO HARDWARE ***************
SW_UPDATE:
                    PUSH        AF
                    PUSH        HL
                    PUSH        BC

                    LD          HL,MAP_SW
                    LD          B,00H
SU_NEXT_SW:
                    LD          L,B
                    LD          A,(HL)
                    CP          1
                    JP          NZ,SU_OFF_SW
                    LD          A,B
                    CALL        ON_SW
                    JP          SU_END
SU_OFF_SW:
                    LD          A,B
                    CALL        OFF_SW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
SU_END:
                    DJNZ        SU_NEXT_SW

                    POP         BC
                    POP         HL
                    POP         AF
                    RET

;********************** ON MAP SWITCH IN MEMORY *****************
ON_MSW:
                    PUSH        AF                  ;INPUT IN A TO ON MAP SW
                    PUSH        HL
                    LD          HL,MAP_SW
                    LD          L,A
                    LD          A,1
                    LD          (HL),A
                    POP         HL
                    POP         AF
                    RET

;********************** OFF MAP SWITCH IN MEMORY *****************
OFF_MSW:
                    PUSH        AF                  ;INPUT IN A TO OFF MAP SW
                    PUSH        HL
                    LD          HL,MAP_SW
                    LD          L,A
                    LD          A,0
                    LD          (HL),A
                    POP         HL
                    POP         AF
                    RET

;********************** INITIAL PORT *******************************
INIT_PORT:
                    PUSH        AF

                    LD          A,INTERF
                    OUT         (INTERF_COM),A

                    LD          A,SUB1
                    OUT         (SUB1_COM),A

                    LD          A,SUB2
                    OUT         (SUB2_COM),A

                    LD          A,TOT1
                    OUT         (TOT1_COM),A

                    LD          A,TOT2
                    OUT         (TOT2_COM),A

                    LD          A,SW1
                    OUT         (SW1_COM),A

                    LD          A,SW2
                    OUT         (SW2_COM),A

                    LD          A,SW3
                    OUT         (SW3_COM),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
                    LD      A,0
                    OUT     (INTERF_B),A

                    LD      A,80H
                    OUT     (0B3H),A
                    LD      A,10001001B
                    OUT     (0B0H),A
                    OUT     (0B1H),A
                    OUT     (0B2H),A


                    DI
                    LD      A,10100101B
                    OUT     (CTC),A
                    LD      A,0FH
                    OUT     (CTC),A
                    LD      A,0
                    OUT     (CTC),A
                    IM1
                    EI

                    POP     AF
                    RET

;********************* DELAY TIME *******************************
DELAY1:
                    PUSH    BC

                    LD      B,0FFH
LOOP1:
                    DJNZ    LOOP1

                    POP     BC
                    RET

;********************* DELAY TIME  ******************************
DELAY_F:
                    PUSH    BC

                    LD      B,0FH
LOOP_F:
                    DJNZ    LOOP_F

                    POP     BC
                    RET

;********************* LONG DELAY TIME  *************************
DELAY2:
                    PUSH    BC

                    LD      B,0FFH
LOOP2:
                    CALL    DELAY1
                    DJNZ    LOOP2

                    POP     BC
                    RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;********************** LONG DELAY TIME  ***************************
DELAY3:
                    PUSH        BC

                    LD          B,0FFH
LOOP3:
                    CALL        DELAY2
                    DJNZ        LOOP3

                    POP         BC
                    RET
;*************** DEBUG PROGRAM TO RUN ******************************
LED1:
                    PUSH        AF
                    LD          A,1
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED2:
                    PUSH        AF
                    LD          A,2H
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED3:
                    PUSH        AF
                    LD          A,4
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED4:
                    PUSH        AF
                    LD          A,8
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED5:
                    PUSH        AF
                    LD          A,10H
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED6:
                    PUSH        AF
                    LD          A,20H
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED7:
                    PUSH        AF
                    LD          A,40H
                    OUT         (INTERF_A),A
                    POP         AF
                    RET
LED8:
                    PUSH        AF
                    LD          A,80H
                    OUT         (INTERF_A),A
                    POP         AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

```
                RET
OUTA:
                OUT         (0B0H),A
                RET
LED12:
                PUSH        AF
                LD          A,3H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED13:
                PUSH        AF
                LD          A,5H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED14:
                PUSH        AF
                LD          A,9H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED15:
                PUSH        AF
                LD          A,11H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED16:
                PUSH        AF
                LD          A,21H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED17:
                PUSH        AF
                LD          A,41H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED18:
                PUSH        AF
                LD          A,81H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED23:
                PUSH        AF
                LD          A,5H
                OUT         (INTERF_A),A
                POP         AF
                RET
LED24:
                PUSH        AF
                LD          A,0AH
                OUT         (INTERF_A),A
                POP         AF
                RET
LED25:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการอ้างถึง

```
                PUSH    AF
                LD      A,12H
                OUT     (INTERF_A),A
                POP     AF
                RET

;******************** DATA TABLE ***************************

NO_EXT:
                DFB     011H
                DFB     012H
                DFB     013H
                DFB     014H
                DFB     015H
                DFB     016H
                DFB     017H
                DFB     018H
                DFB     019H
                DFB     010H
                DFB     021H
                DFB     022H
                DFB     023H
                DFB     024H
                DFB     025H
                DFB     026H

;***************************THE END ************************

        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

ค. DATA ของอุปกรณ์ที่สำคัญในโครงงานปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Zilog Z80-CPU INSTRUCTION SET

ADC HL, ss	Add with Carry Reg. pair ss to HL
ADC A, s	Add with carry operand s to Acc.
ADD A, n	Add value n to Acc.
ADD A, r	Add Reg. r to Acc.
ADD A, (HL)	Add location (HL) to Acc.
ADD A, (IX+d)	Add location (IX+d) to Acc.
ADD A, (IY+d)	Add location (IY+d) to Acc.
ADD HL, ss	Add Reg. pair ss to HL
ADD IX, pp	Add Reg. pair pp to IX
ADD IY, rr	Add Reg. pair rr to IY
AND s	Logical 'AND' of operand s and Acc.
BIT b, (HL)	Test BIT b of location (HL)
BIT b, (IX+d)	Test BIT b of location (IX+d)
BIT b, (IY+d)	Test BIT b of location (IY+d)
BIT b, r	Test BIT b of Reg. r
CALL cc, nn	Call subroutine at location nn if condition cc if true
CALL nn	Unconditional call subroutine at location nn
CCF	Complement carry flag
CP s	Compare operand s with Acc.
CPD	Compare location (HL) and Acc. decrement HL and BC
CPDR	Compare location (HL) and Acc. decrement HL and BC, repeat until BC=0
CPI	Compare location (HL) and Acc. increment HL and decrement BC
CPIR	Compare location (HL) and Acc. increment HL, decrement BC repeat until BC=0
CPL	Complement Acc. (1's comp)
DAA	Decimal adjust Acc.
DEC m	Decrement operand m
DEC IX	Decrement IX
DEC IY	Decrement IY
DEC ss	Decrement Reg. pair ss
DI	Disable interrupts
DJNZ e	Decrement B and Jump relative if B≠0
EI	Enable interrupts
EX (SP), HL	Exchange the location (SP) and HL
EX (SP), IX	Exchange the location (SP) and IX
EX (SP), IY	Exchange the location (SP) and IY
EX AF, AF'	Exchange the contents of AF and AF'
EX DE, HL	Exchange the contents of DE and HL
EXX	Exchange the contents of BC, DE, HL with contents of BC', DE', HL' respectively
HALT	HALT (wait for interrupt or reset)
IM 0	Set interrupt mode 0
IM 1	Set interrupt mode 1
IM 2	Set interrupt mode 2
IN A, (n)	Load the Acc. with input from device n
IN r, (C)	Load the Reg. r with input from device (C)
INC (HL)	Increment location (HL)
INC IX	Increment IX
INC (IX+d)	Increment location (IX+d)
INC IY	Increment IY
INC (IY+d)	Increment location (IY+d)
INC r	Increment Reg. r
INC ss	Increment Reg. pair ss
IND	Load location (HL) with input from port (C), decrement HL and B
INDR	Load location (HL) with input from port (C), decrement HL and decrement B, repeat until B=0
INI	Load location (HL) with input from port (C); and increment HL and decrement B

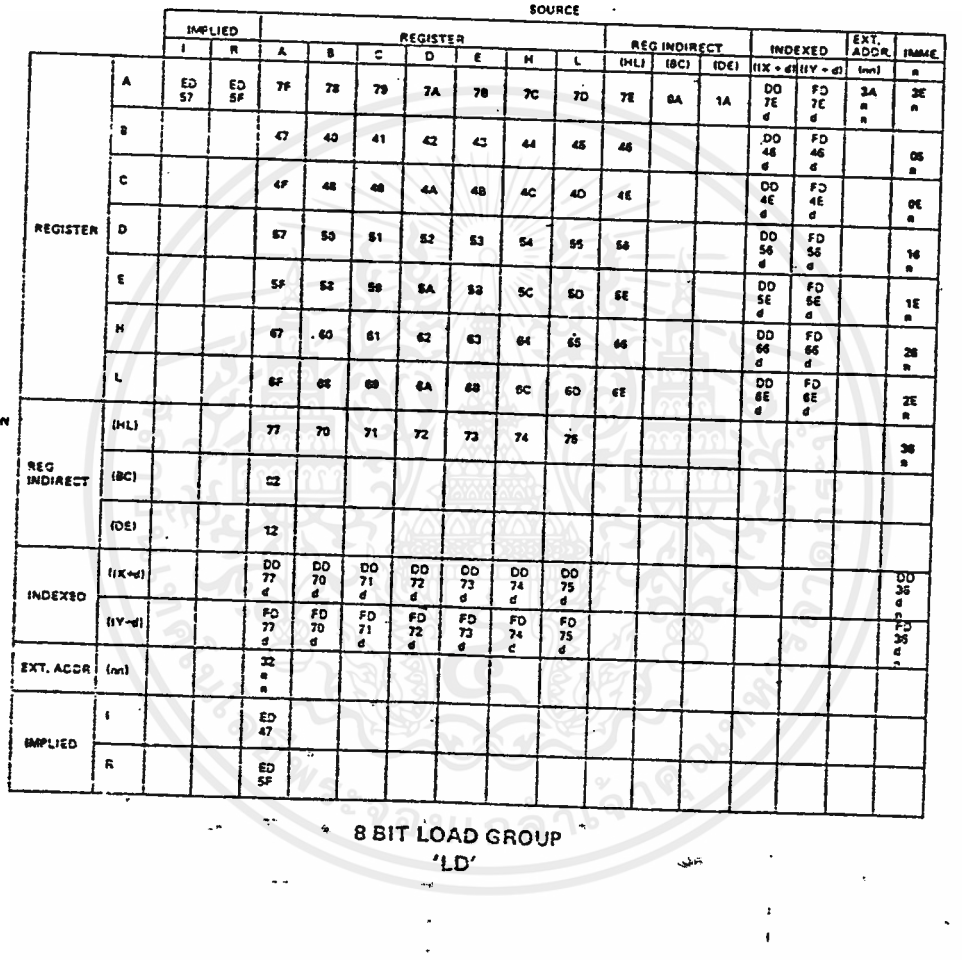
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INIR	Load location (HL) with input from port (C), increment HL and decrement B, repeat until B=0
JP (HL)	Unconditional Jump to (HL)
JP (IX)	Unconditional Jump to (IX)
JP (IY)	Unconditonal Jump to (IY)
JP cc, nn	Jump to location nn if condition cc is true
JP nn	Unconditional jump to location nn
JP C, e	Jump relative to PC+e if carry=1
JR e	Unconditional Jump relative to PC+e
JP NC, e	Jump relative to PC+e if carry=0
JR NZ, e	Jump relative to PC+e if non zero (Z=0)
JR Z, e	Jump relative to PC+e if zero (Z=1)
LD A, (BC)	Load Acc. with location (BC)
LD A, (DE)	Load Acc. with location (DE)
LD A, I	Load Acc. with I
LD A, (nn)	Load Acc. with location nn
LD A, R	Load Acc. with Reg. R
LD (BC), A	Load location (BC) with Acc.
LD (DE), A	Load location (DE) with Acc.
LD (HL), n	Load location (HL) with value n
LD dd, nn	Load Reg. pair dd with value nn
LD HL, (nn)	Load HL with location (nn)
LD (HL), r	Load location (HL) with Reg. r
LD I, A	Load I with Acc.
LD IX, nn	Load IX with value nn
LD IX, (nn)	Load IX with location (nn)
LD (IX+d), n	Load location (IX+d) with value n
LD (IX+d), r	Load location (IX+d) with Reg. r
LD IY, nn	Load IY with value nn
LD IY, (nn)	Load IY with location (nn)
LD (IY+d), n	Load location (IY+d) with value n
LD (IY+d), r	Load location (IY+d) with Reg. r
LD (nn), A	Load location (nn) with Acc.
LD (nn), dd	Load location (nn) with Reg. pair dd
LD (nn), HL	Load location (nn) with HL
LD (nn), IX	Load location (nn) with IX
LD (nn), IY	Load location (nn) with IY
LD R, A	Load R with Acc.
LD r, (HL)	Load Reg. r with location (HL)
LD r, (IX+d)	Load Reg. r with location (IX+d)
LD r, (IY+d)	Load Reg. r with location (IY+d)
LD r, n	Load Reg. r with value n
LD r, r'	Load Reg. r with Reg. r'
LD SP, HL	Load SP with HL
LD SP, IX	Load SP with IX
LD SP, IY	Load SP with IY
LDD	Load location (DE) with location (HL), decrement DE, HL and BC
LDDR	Load location (DE) with location (HL), decrement DE, HL and BC; repeat until BC=0
LDI	Load location (DE) with location (HL), increment DE, HL, decrement BC
LDIR	Load location (DE) with location (HL), increment DE, HL, decrement BC and repeat until BC=0
NEG	Negate Acc. (2's complement)
NOP	No operation
OR s	Logical 'OR' or operand s and Acc.
OTDR	Load output port (C) with location (HL) decrement HL and B, repeat until B=0
OTIR	Load output port (C) with location (HL), increment HL, decrement B, repeat until B=0
OUT (C), r	Load output port (C) with Reg. r
OUT (n), A	Load output port (n) with Acc.
OUTD	Load output port (C) with location (HL), decrement HL and B
OUTI	Load output port (C) with location (HL), increment HL and decrement B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POP IX	Load IX with top of stack
POP IY	Load IY with top of stack
POP qq	Load Reg. pair qq with top of stack
PUSH IX	Load IX onto stack
PUSH IY	Load IY onto stack
PUSH qq	Load Reg. pair qq onto stack
RES b, m	Reset Bit b of operand m
RET	Return from subroutine
RET cc	Return from subroutine if condition cc is true
RETI	Return from interrupt
RETN	Return from non maskable interrupt
RL m	Rotate left through carry operand m
RLA	Rotate left Acc. through carry
RLC (HL)	Rotate location (HL) left circular
RLC (IX+d)	Rotate location (IX+d) left circular
RLC (IY+d)	Rotate location (IY+d) left circular
RLC r	Rotate Reg. r left circular
RLCA	Rotate left circular Acc.
RLD	Rotate digit left and right between Acc. and location (HL)
RR m	Rotate right through carry operand m.
RRA	Rotate right Acc. through carry
RRC m	Rotate operand m right circular
RRCA	Rotate right circular Acc.
RRD	Rotate digit right and left between Acc. and location (HL)
RST p	Restart to location p
SBC A, s	Subtract operand s from Acc. with carry
SBC HL, ss	Subtract Reg. pair ss from HL with carry
SCF	Set carry flag (C=1)
SET b, (HL)	Set Bit b of location (HL)
SET b, (IX+d)	Set Bit b of location (IX+d)
SET b, (IY+d)	Set Bit b of location (IY+d)
SET b, r	Set Bit b of Reg. r
SLA m	Shift operand m left arithmetic
SRA m	Shift operand m right arithmetic
SRL m	Shift operand m right logical
SUB s	Subtract operand s from Acc.
XOR s	Exclusive 'OR' operand s and Acc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DESTINATION		SOURCE																		
		IMPLIED		REGISTER							REG INDIRECT			INDEXED		EXT. ADDR.	IMME.
		I	R	A	B	C	D	E	H	L	(HL)	(BC)	(DE)	(IX + d)	(IY + d)	(nn)	n
REGISTER	A	ED 57	ED 5F	7F	78	79	7A	7B	7C	7D	7E	0A	1A	DD 7E d	FD 7E d	3A n n	3E n
	B			47	40	41	42	43	44	45	46			DD 46 d	FD 46 d		06 n
	C			4F	48	49	4A	4B	4C	4D	4E			DD 4E d	FD 4E d		0E n
	D			57	50	51	52	53	54	55	56			DD 56 d	FD 56 d		16 n
	E			5F	58	59	5A	5B	5C	5D	5E			DD 5E d	FD 5E d		1E n
	H			67	60	61	62	63	64	65	66			DD 66 d	FD 66 d		26 n
	L			6F	68	69	6A	6B	6C	6D	6E			DD 6E d	FD 6E d		2E n
REG INDIRECT	(HL)			77	70	71	72	73	74	75							36 n
	(BC)			02													
	(DE)			12													
INDEXED	(IX+d)			DD 77 d	DD 70 d	DD 71 d	DD 72 d	DD 73 d	DD 74 d	DD 75 d							DD 36 d n
	(IY+d)			FD 77 d	FD 70 d	FD 71 d	FD 72 d	FD 73 d	FD 74 d	FD 75 d							FD 36 d n
EXT. ADDR	(nn)			32 n n													
IMPLIED	I			ED 47													
	R			ED 5F													

8 BIT LOAD GROUP
'LD'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE

DESTINATION REGISTER		REGISTER AF	REGISTER BC	REGISTER DE	REGISTER HL	REGISTER SP	REGISTER IX	REGISTER IY	IMM. EXT. nn	EXT. ADDR. (nn)	REG. INDIR. (SP)
REGISTER	AF										F1
	BC								01 n n	ED 4B n n	C1
	DE								11 n n	ED 5B n n	D1
	HL								21 n n	2A n n	E1
	SP				F9		DD F9	FD F9	31 n n	ED 7B n n	
	IX								DD 21 n n	DD 2A n n	DD E1
	IY								FD 21 n n	FD 2A n n	FD E1
EXT. ADDR.	(nn)		ED 43 n n	ED 53 n n	22 n n	ED 73 n n	DD 22 n n	FD 22 n n			
REG. IND.	(SP)	F5	C5	D5	E5		DD E5	FD E5			

PUSH INSTRUCTIONS →

POP INSTRUCTIONS ↑

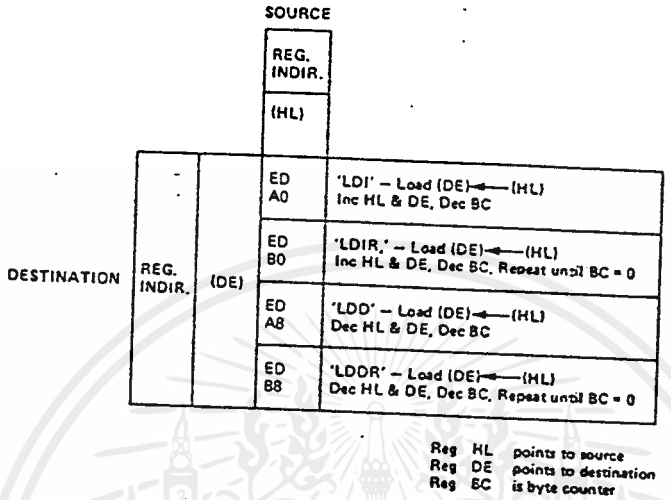
NOTE: The Push & Pop Instructions adjust the SP after every execution

16 BIT LOAD GROUP
'LD'
'PUSH' AND 'POP'

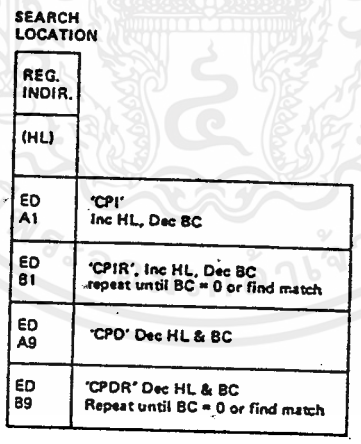
		IMPLIED ADDRESSING AF	BC, DE & HL	HL	IX	IY
IMPLIED	AF	08				
	BC, DE & HL		D9			
	DE			EB		
REG. INDIR.	(SP)			E3	DD E3	FD E3

EXCHANGES
'EX' AND 'EXX'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK TRANSFER GROUP



BLOCK SEARCH GROUP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE

	REGISTER ADDRESSING							REG. INDIR.	INDEXED		IMMED.
	A	B	C	D	E	H	L	(HL)	(IX+d)	(IY+d)	n
'ADD'	87	80	81	82	83	84	85	86	DD 86 d	FD 86 d	C6 n
ADD w CARRY 'ADC'	8F	88	89	8A	8B	8C	8D	8E	DD 8E d	FD 8E d	CE n
SUBTRACT 'SUB'	97	90	91	92	93	94	95	96	DD 96 d	FD 96 d	D6 n
SUB w CARRY 'SBC'	9F	98	99	9A	9B	9C	9D	9E	DD 9E d	FD 9E d	DE n
'AND'	A7	A0	A1	A2	A3	A4	A5	A6	DD A6 d	FD A6 d	E6 n
'XOR'	AF	A8	A9	AA	AB	AC	AD	AE	DD AE d	FD AE d	EE n
'OR'	B7	B0	B1	B2	B3	B4	B5	B6	DD B6 d	FD B6 d	F6 n
COMPARE 'CP'	BF	B8	B9	BA	BB	BC	BD	BE	DD BE d	FD BE d	FE n
INCREMENT 'INC'	3C	04	0C	14	1C	24	2C	34	DD 34 d	FD 34 d	
DECREMENT 'DEC'	3D	05	0D	15	1D	25	2D	35	DD 35 d	FD 35 d	

8 BIT ARITHMETIC AND LOGIC

Decimal Adjust Acc, 'DAA'	27
Complement Acc, 'CPL'	2F
Negate Acc, 'NEG' (2's complement)	ED 44
Complement Carry Flag, 'CCF'	3F
Set Carry Flag, 'SCF'	37

GENERAL PURPOSE AF OPERATIONS

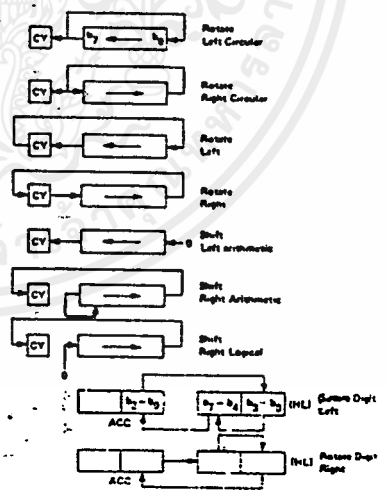
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESTINATION		SOURCE: BC	DE	HL	SP	IX	IY
'ADD'	HL	09	19	29	39		
	IX	DD 09	DD 19		DD 39	DD 29	
	IY	FD 09	FD 19		FD 39		FD 29
ADD WITH CARRY AND SET FLAGS 'ADC'	HL	ED 4A	ED 5A	ED 6A	ED 7A		
SUB WITH CARRY AND SET FLAGS 'SBC'	HL	ED 42	ED 52	ED 62	ED 72		
INCREMENT 'INC'		03	13	23	33	DD 23	FD 23
DECREMENT 'DEC'		0B	1B	2B	3B	DD 2B	FD 2B

16 BIT ARITHMETIC

TYPE OF ROTATE OR SHIFT	Source and Destination: A	B	C	D	E	H	L	(HL)	(IX + d)	(IY + d)
'RLC'	CB 07	CB 00	CB 01	CB 02	CB 03	CB 04	CB 05	CB 06	DD CB d 06	FD CB d 06
'RRC'	CB 0F	CB 08	CB 09	CB 0A	CB 0B	CB 0C	CB 0D	CB 0E	DD CB d 0E	FD CB d 0E
'RL'	CB 17	CB 10	CB 11	CB 12	CB 13	CB 14	CB 15	CB 16	DD CB d 16	FD CB d 16
'RR'	CB 1F	CB 18	CB 19	CB 1A	CB 1B	CB 1C	CB 1D	CB 1E	DD CB d 1E	FD CB d 1E
'SLA'	CB 27	CB 20	CB 21	CB 22	CB 23	CB 24	CB 25	CB 26	DD CB d 26	FD CB d 26
'SRA'	CB 2F	CB 28	CB 29	CB 2A	CB 2B	CB 2C	CB 2D	CB 2E	DD CB d 2E	FD CB d 2E
'SRL'	CB 3F	CB 38	CB 39	CB 3A	CB 3B	CB 3C	CB 3D	CB 3E	DD CB d 3E	FD CB d 3E
'RLD'								ED 6F		
'RRD'								ED 67		

	A
R_CA	07
R_CA	0F
RLA	17
RRA	1F



ROTATES AND SHIFTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	BIT	REGISTER ADDRESSING							REG. INDIR.	INDEXED	
		A	B	C	D	E	H	L	(HL)	(IX+d)	(IY+d)
TEST 'BIT'	0	CB 47	CB 40	CB 41	CB 42	CB 43	CB 44	CB 45	CB 46	DD CB d 46	FD CB d 46
	1	CB 4F	CB 48	CB 49	CB 4A	CB 4B	CB 4C	CB 4D	CB 4E	DD CB d 4E	FD CB d 4E
	2	CB 57	CB 50	CB 51	CB 52	CB 53	CB 54	CB 55	CB 56	DD CB d 56	FD CB d 56
	3	CB 5F	CB 58	CB 59	CB 5A	CB 5B	CB 5C	CB 5D	CB 5E	DD CB d 5E	FD CB d 5E
	4	CB 67	CB 60	CB 61	CB 62	CB 63	CB 64	CB 65	CB 66	DD CB d 66	FD CB d 66
	5	CB 6F	CB 68	CB 69	CB 6A	CB 6B	CB 6C	CB 6D	CB 6E	DD CB d 6E	FD CB d 6E
	6	CB 77	CB 70	CB 71	CB 72	CB 73	CB 74	CB 75	CB 76	DD CB d 76	FD CB d 76
	7	CB 7F	CB 78	CB 79	CB 7A	CB 7B	CB 7C	CB 7D	CB 7E	DD CB d 7E	FD CB d 7E
RESET BIT 'RES'	0	CB 87	CB 80	CB 81	CB 82	CB 83	CB 84	CB 85	CB 86	DD CB d 86	FD CB d 86
	1	CB 8F	CB 88	CB 89	CB 8A	CB 8B	CB 8C	CB 8D	CB 8E	DD CB d 8E	FD CB d 8E
	2	CB 97	CB 90	CB 91	CB 92	CB 93	CB 94	CB 95	CB 96	DD CB d 96	FD CB d 96
	3	CB 9F	CB 98	CB 99	CB 9A	CB 9B	CB 9C	CB 9D	CB 9E	DD CB d 9E	FD CB d 9E
	4	CB A7	CB A0	CB A1	CB A2	CB A3	CB A4	CB A5	CB A6	DD CB d A6	FD CB d A6
	5	CB AF	CB A8	CB A9	CB AA	CB AB	CB AC	CB AD	CB AE	DD CB d AE	FD CB d AE
	6	CB B7	CB B0	CB B1	CB B2	CB B3	CB B4	CB B5	CB B6	DD CB d B6	FD CB d B6
	7	CB BF	CB B8	CB B9	CB BA	CB BB	CB BC	CB BD	CB BE	DD CB d BE	FD CB d BE
SET BIT 'SET'	0	CB C7	CB C0	CB C1	CB C2	CB C3	CB C4	CB C5	CB C6	DD CB d C6	FD CB d C6
	1	CB CF	CB C8	CB C9	CB CA	CB CB	CB CC	CB CD	CB CE	DD CB d CE	FD CB d CE
	2	CB D7	CB D0	CB D1	CB D2	CB D3	CB D4	CB D5	CB D6	DD CB d D6	FD CB d D6
	3	CB DF	CB D8	CB D9	CB DA	CB DB	CB DC	CB DD	CB DE	DD CB d DE	FD CB d DE
	4	CB E7	CB E0	CB E1	CB E2	CB E3	CB E4	CB E5	CB E6	DD CB d E6	FD CB d E6
	5	CB EF	CB E8	CB E9	CB EA	CB EB	CB EC	CB ED	CB EE	DD CB d EE	FD CB d EE
	6	CB F7	CB F0	CB F1	CB F2	CB F3	CB F4	CB F5	CB F6	DD CB d F6	FD CB d F6
	7	CB FF	CB F8	CB F9	CB FA	CB FB	CB FC	CB FD	CB FE	DD CB d FE	FD CB d FE

BIT MANIPULATION GROUP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			CONDITION									
			UN-COND.	CARRY	NON CARRY	ZERO	NON ZERO	PARITY EVEN	PARITY ODD	SIGN NEG	SIGN POS	REG B=0
JUMP 'JP'	IMMED. EXT.	nn	C3 n n	DA n n	D2 n n	CA n n	C2 n n	EA n n	E2 n n	FA n n	F2 n n	
JUMP 'JR'	RELATIVE	PC+e	18 e-2	38 e-2	30 e-2	28 e-2	20 e-2					
JUMP 'JP'	REG. INDIR.	(HL)	E9									
JUMP 'JP'		(IX)	DD E9									
JUMP 'JP'		(IY)	FD E9									
'CALL'	IMMED. EXT.	nn	CD n n	DC n n	D4 n n	CC n n	C4 n n	EC n n	E4 n n	FC n n	F4 n n	
DECREMENT B, JUMP IF NON ZERO 'DJNZ'	RELATIVE	PC+e										10 e-2
RETURN 'RET'	REGISTER INDIR.	(SP) (SP+1)	C9	D8	D0	C8	C0	E8	E0	F8	F0	
RETURN FROM INT 'RETI'	REG. INDIR.	(SP) (SP+1)	ED 4D									
RETURN FROM NON MASKABLE INT 'RETN'	REG. INDIR.	(SP) (SP+1)	ED 45									

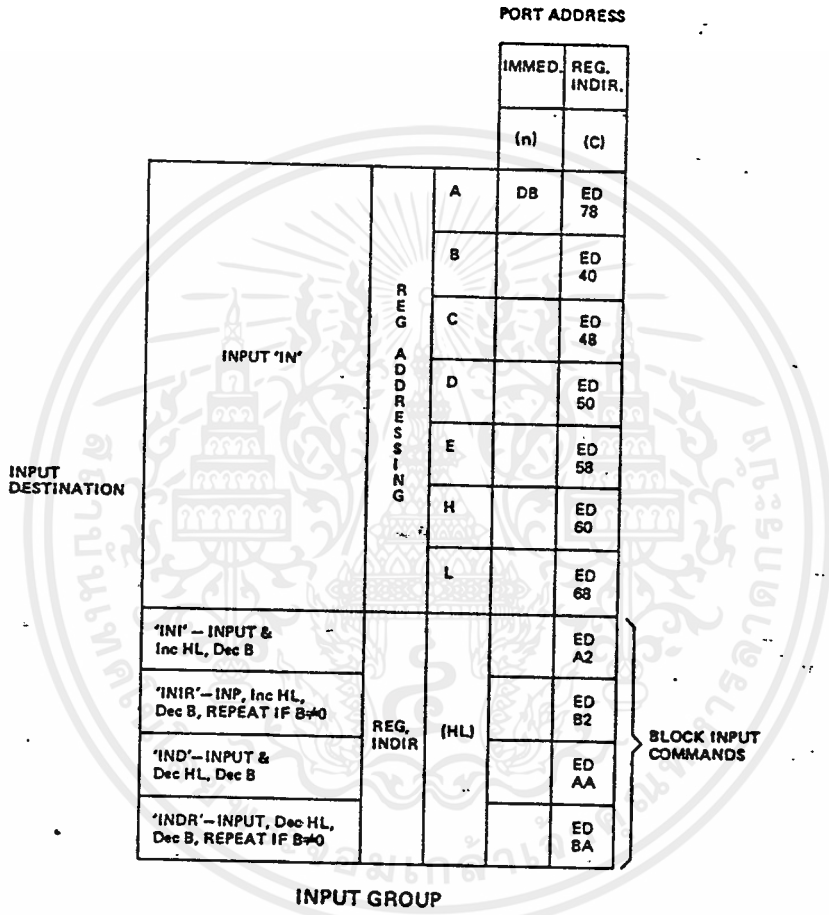
NOTE--CERTAIN FLAGS HAVE MORE THAN ONE PURPOSE. REFER TO SECTION 6.0 FOR DETAILS

JUMP, CALL and RETURN GROUP

	CALL ADDRESS	OP CODE	
	0000_H	C7	'RST 0'
	0008_H	CF	'RST 8'
	0010_H	D7	'RST 16'
	0018_H	DF	'RST 24'
	0020_H	E7	'RST 32'
	0028_H	EF	'RST 40'
	0030_H	F7	'RST 48'
	0038_H	FF	'RST 56'

RESTART GROUP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE

			REGISTER							REG. IND.
			A	B	C	D	E	H	L	(HL)
'OUT'	IMMED.	(n)	D3							
	REG. IND.	(C)	ED 79	ED 41	ED 49	ED 51	ED 59	ED 61	ED 69	
'OUTI' – OUTPUT Inc HL, Dec b	REG. IND.	(C)								ED A3
'OTIR' – OUTPUT, Inc HL, Dec B, REPEAT IF B≠0	REG. IND.	(C)								ED B3
'OUTD' – OUTPUT Dec HL & B	REG. IND.	(C)								ED AB
'OTDR' – OUTPUT, Dec HL & B, REPEAT IF B≠0	REG. IND.	(C)								ED BB

BLOCK OUTPUT COMMANDS

PORT DESTINATION ADDRESS

OUTPUT GROUP

'NOP'	00	
'HALT'	76	
DISABLE INT '(DI)'	F3	
ENABLE INT '(EI)'	FB	
SET INT MODE 0 'IM0'	ED 46	8080A MODE
SET INT MODE 1 'IM1'	ED 56	CALL TO LOCATION 0038_H
SET INT MODE 2 'IM2'	ED 5E	INDIRECT CALL USING REGISTER I AND 8 BITS FROM INTERRUPTING DEVICE AS A POINTER.

MISCELLANEOUS CPU CONTROL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 INSTRUCTION CODES

(The literal d is shown as 05 in the object code.)

OBJ CODE	SOURCE STATEMENT	
8E	ADC	A,(HL)
DD8E05	ADC	A,(IX+d)
FD8E05	ADC	A,(IY+d)
8F	ADC	A,A
88	ADC	A,B
89	ADC	A,C
8A	ADC	A,D
8B	ADC	A,E
8C	ADC	A,H
8D	ADC	A,L
CE20	ADC	A,n
ED4A	ADC	HL,BC
ED5A	ADC	HL,DE
ED6A	ADC	HL,HL
ED7A	ADC	HL,SP
86	ADD	A,(HL)
DD8605	ADD	A,(IX+d)
FD8605	ADD	A,(IY+d)
87	ADD	A,A
80	ADD	A,B
81	ADD	A,C
82	ADD	A,D
83	ADD	A,E
84	ADD	A,H
85	ADD	A,L
C620	ADD	A,n
09	ADD	HL,BC
19	ADD	HL,DE
29	ADD	HL,HL
39	ADD	HL,SP
DD09	ADD	IX,BC
DD19	ADD	IX,DE
DD29	ADD	IX,IX
DD39	ADD	IX,SP
FD09	ADD	IY,BC
FD19	ADD	IY,DE
FD29	ADD	IY,IY
FD39	ADD	IY,SP
A6	AND	(HL)
DDA605	AND	(IX+d)
FDA605	AND	(IY+d)
A7	AND	A
A0	AND	B
A1	AND	C
A2	AND	D
A3	AND	E
A4	AND	H
A5	AND	L

OBJ CODE	SOURCE STATEMENT	
E620	AND	n
CB46	BIT	0,(HL)
DDCB0546	BIT	0,(IX+d)
FDCB0546	BIT	0,(IY+d)
CB47	BIT	0,A
CB40	BIT	0,B
CB41	BIT	0,C
CB42	BIT	0,D
CB43	BIT	0,E
CB44	BIT	0,H
CB45	BIT	0,L
CB4E	BIT	1,(HL)
DDCB054E	BIT	1,(IX+d)
FDCB054E	BIT	1,(IY+d)
CB4F	BIT	1,A
CB48	BIT	1,B
CB49	BIT	1,C
CB4A	BIT	1,D
CB4B	BIT	1,E
CB4C	BIT	1,H
CB4D	BIT	1,L
CB56	BIT	2,(HL)
DDCB0556	BIT	2,(IX+d)
FDCB0556	BIT	2,(IY+d)
CB57	BIT	2,A
CB50	BIT	2,B
CB51	BIT	2,C
CB52	BIT	2,D
CB53	BIT	2,E
CB54	BIT	2,H
CB55	BIT	2,L
CB5E	BIT	3,(HL)
DDCB055E	BIT	3,(IX+d)
FDCB055E	BIT	3,(IY+d)
CB5F	BIT	3,A
CB58	BIT	3,B
CB59	BIT	3,C
CB5A	BIT	3,D
CB5B	BIT	3,E
CB5C	BIT	3,H
CB5D	BIT	3,L
CB66	BIT	4,(HL)
DDCB0566	BIT	4,(IX+d)
FDCB0566	BIT	4,(IY+d)
CB67	BIT	4,A
CB60	BIT	4,B
CB61	BIT	4,C
CB62	BIT	4,D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
CB63	BIT	4,E
CB64	BIT	4,H
CB65	BIT	4,L
CB6E	BIT	5,(HL)
DDCB056E	BIT	5,(IX+d)
FDCB056E	BIT	5,(IY+d)
CB6F	BIT	5,A
CB68	BIT	5,B
CB69	BIT	5,C
CB6A	BIT	5,D
CB6B	BIT	5,E
CB6C	BIT	5,H
CB6D	BIT	5,L
CB76	BIT	6,(HL)
DDCB0576	BIT	6,(IX+d)
FDCB0576	BIT	6,(IY+d)
CB77	BIT	6,A
CB70	BIT	6,B
CB71	BIT	6,C
CB72	BIT	6,D
CB73	BIT	6,E
CB74	BIT	6,H
CB75	BIT	6,L
CB7E	BIT	7,(HL)
DDCB057E	BIT	7,(IX+d)
FDCB057E	BIT	7,(IY+d)
CB7F	BIT	7,A
CB78	BIT	7,B
CB79	BIT	7,C
CB7A	BIT	7,D
CB7B	BIT	7,E
CB7C	BIT	7,H
CB7D	BIT	7,L
DC8405	CALL	C,nn
FC8405	CALL	M,nn
D48405	CALL	NC,nn
C48405	CALL	NZ,nn
F48405	CALL	P,nn
EC8405	CALL	PE,nn
E48405	CALL	PO,nn
CC8405	CALL	Z,nn
CD8405	CALL	nn
3F	CCF	
BE	CP	(HL)
DDBE05	CP	(IX+d)
FDBE05	CP	(IY+d)
BF	CP	A
B8	CP	B
B9	CP	C
BA	CP	D
BB	CP	E
BC	CP	H
BD	CP	L
FE20	CP	n
EDA9	CPD	
EDB9	CPDR	

OBJ CODE	SOURCE STATEMENT	
EDB1	CPIR	
EDA1	CPI	
2F	CPL	
27	DAA	
35	DEC	(HL)
DD3505	DEC	(IX+d)
FD3505	DEC	(IY+d)
3D	DEC	A
05	DEC	B
0B	DEC	BC
0D	DEC	C
15	DEC	D
1B	DEC	DE
1D	DEC	E
25	DEC	H
2B	DEC	HL
DD2B	DEC	IX
FD2B	DEC	IY
2D	DEC	L
3B	DEC	SP
F3	DI	
102E	DJNZ	e
FB	EI	
E3	EX	(SP),HL
DDE3	EX	(SP),IX
FDE3	EX	(SP),IY
08	EX	AF,AF'
EB	EX	DE,HL
D9	EXX	
76	HALT	
ED46	IM	0
ED56	IM	1
ED5E	IM	2
ED78	IN	A,(C)
ED40	IN	B,(C)
ED48	IN	C,(C)
ED50	IN	D,(C)
ED58	IN	E,(C)
ED60	IN	H,(C)
ED68	IN	L,(C)
34	INC	(HL)
DD3405	INC	(IX+d)
FD3405	INC	(IY+d)
3C	INC	A
04	INC	B
03	INC	BC
0C	INC	C
14	INC	D
13	INC	DE
1C	INC	E
24	INC	H
23	INC	HL
DD23	INC	IX
FD23	INC	IY
2C	INC	L
33	INC	SP
DB20	IN	A,(n)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
EDAA	IND	
EDBA	INDR	
EDA2	INI	
EDB2	INIR	
C38405	JP	nn
E9	JP	(HL)
DDE9	JP	(IX)
FDE9	JP	(IY)
DA8405	JP	C,nn
FA8405	JP	M,nn
D28405	JP	NC,nn
C28405	JP	NZ,nn
F28405	JP	P,nn
EA8405	JP	PE,nn
E28405	JP	PO,nn
CA8405	JP	Z,nn
382E	JR	C,e
302E	JR	NC,e
202E	JR	NZ,e
282E	JR	Z,e
182E	JR	e
02	LD	(BC),A
12	LD	(DE),A
77	LD	(HL),A
70	LD	(HL),B
71	LD	(HL),C
72	LD	(HL),D
73	LD	(HL),E
74	LD	(HL),H
75	LD	(HL),L
3620	LD	(HL),n
DD7705	LD	(IX+d),A
DD7005	LD	(IX+d),B
DD7105	LD	(IX+d),C
DD7205	LD	(IX+d),D
DD7305	LD	(IX+d),E
DD7405	LD	(IX+d),H
DD7505	LD	(IX+d),L
DD360520	LD	(IX+d),n
FD7705	LD	(IY+d),A
FD7005	LD	(IY+d),B
FD7105	LD	(IY+d),C
FD7205	LD	(IY+d),D
FD7305	LD	(IY+d),E
FD7405	LD	(IY+d),H
FD7505	LD	(IY+d),L
FD360520	LD	(IY+d),n
328405	LD	(nn),A
ED438405	LD	(nn),BC
ED538405	LD	(nn),DE
228405	LD	(nn),HL
DD228405	LD	(nn),IX
FD228405	LD	(nn),IY
ED738405	LD	(nn),SP
0A	LD	A,(BC)
1A	LD	A,(DE)
7E	LD	A,(HL)

OBJ CODE	SOURCE STATEMENT	
DD7E05	LD	A,(IX+d)
FD7E05	LD	A,(IY+d)
3A8405	LD	A,(nn)
7F	LD	A,A
78	LD	A,B
79	LD	A,C
7A	LD	A,D
7B	LD	A,E
7C	LD	A,H
ED57	LD	A,I
7D	LD	A,L
3E20	LD	A,n
ED5F	LD	A,R
46	LD	B,(HL)
DD4605	LD	B,(IX+d)
FD4605	LD	B,(IY+d)
47	LD	B,A
40	LD	B,B
41	LD	B,C
42	LD	B,D
43	LD	B,E
44	LD	B,H
45	LD	B,L
0620	LD	B,n
ED488405	LD	BC,(nn)
018405	LD	BC,nn
4E	LD	C,(HL)
DD4E05	LD	C,(IX+d)
FD4E05	LD	C,(IY+d)
4F	LD	C,A
48	LD	C,B
49	LD	C,C
4A	LD	C,D
4B	LD	C,E
4C	LD	C,H
4D	LD	C,L
0E20	LD	C,n
56	LD	D,(HL)
DD5605	LD	D,(IX+d)
FD5605	LD	D,(IY+d)
57	LD	D,A
50	LD	D,B
51	LD	D,C
52	LD	D,D
53	LD	D,E
54	LD	D,H
55	LD	D,L
1620	LD	D,n
ED5B8405	LD	DE,(nn)
118405	LD	DE,nn
5E	LD	E,(HL)
DD5E05	LD	E,(IX+d)
FD5E05	LD	E,(IY+d)
5F	LD	E,A
58	LD	E,B
59	LD	E,C
5A	LD	E,D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
5B	LD	E,E
5C	LD	E,H
5D	LD	E,L
1E20	LD	E,n
66	LD	H,(HL)
DD6605	LD	H,(IX+d)
FD6605	LD	H,(IY+d)
67	LD	H,A
60	LD	H,B
61	LD	H,C
62	LD	H,D
63	LD	H,E
64	LD	H,H
65	LD	H,L
2620	LD	H,n
2A8405	LD	HL,(nn)
218405	LD	HL,nn
ED47	LD	I,A
DD2A8405	LD	IX,(nn)
DD218405	LD	IX,nn
FD2A8405	LD	IY,(nn)
FD218405	LD	IY,nn
6E	LD	L,(HL)
DD6E05	LD	L,(IX+d)
FD6E05	LD	L,(IY+d)
6F	LD	L,A
68	LD	L,B
69	LD	L,C
6A	LD	L,D
6B	LD	L,E
6C	LD	L,H
6D	LD	L,L
2E20	LD	L,n
ED4F	LD	R,A
ED7B8405	LD	SP,(nn)
F9	LD	SP,HL
DDF9	LD	SP,IX
FDF9	LD	SP,IY
318405	LD	SP,nn
EDA8	LDD	
ED88	LDDR	
EDA0	LDI	
ED80	LDIR	
ED44	NEG	
00	NOP	
B6	OR	(HL)
DDB605	OR	(IX+d)
FDB605	OR	(IY+d)
B7	OR	A
B0	OR	B
B1	OR	C
B2	OR	D
B3	OR	E
B4	OR	H
B5	OR	L
F620	OR	n
ED9B	OTDR	

OBJ CODE	SOURCE STATEMENT	
ED83	OTIR	
ED79	OUT	(C),A
ED41	OUT	(C),B
ED49	OUT	(C),C
ED51	OUT	(C),D
ED59	OUT	(C),E
ED61	OUT	(C),H
ED69	OUT	(C),L
D320	OUT	(n),A
EDAB	OUTD	
EDA3	OUTI	
F1	POP	AF
C1	POP	BC
D1	POP	DE
E1	POP	HL
DDE1	POP	IX
FDE1	POP	IY
F5	PUSH	AF
C5	PUSH	BC
D5	PUSH	DE
E5	PUSH	HL
DDE5	PUSH	IX
FDE5	PUSH	IY
CB86	RES	0,(HL)
DDCB0586	RES	0,(IX+d)
FDCB0586	RES	0,(IY+d)
CB87	RES	0,A
CB80	RES	0,B
CB81	RES	0,C
CB82	RES	0,D
CB83	RES	0,E
CB84	RES	0,H
CB85	RES	0,L
CB8E	RES	1,(HL)
DDCB058E	RES	1,(IX+d)
FDCB058E	RES	1,(IY+d)
CB8F	RES	1,A
CB88	RES	1,B
CB89	RES	1,C
CB8A	RES	1,D
CB8B	RES	1,E
CB8C	RES	1,H
CB8D	RES	1,L
CB96	RES	2,(HL)
DDCB0596	RES	2,(IX+d)
FDCB0596	RES	2,(IY+d)
CB97	RES	2,A
CB90	RES	2,B
CB91	RES	2,C
CB92	RES	2,D
CB93	RES	2,E
CB94	RES	2,H
CB95	RES	2,L
CB9E	RES	3,(HL)
DDCB059E	RES	3,(IX+d)
FDCB059E	RES	3,(IY+d)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
C89F	RES	3,A
C898	RES	3,B
C899	RES	3,C
C89A	RES	3,D
C89B	RES	3,E
C89C	RES	3,H
C89D	RES	3,L
C8A6	RES	4,(HL)
DDC805A6	RES	4,(IX+d)
FDC805A6	RES	4,(IY+d)
C8A7	RES	4,A
C8A0	RES	4,B
C8A1	RES	4,C
C8A2	RES	4,D
C8A3	RES	4,E
C8A4	RES	4,H
C8A5	RES	4,L
C8AE	RES	5,(HL)
DDC805AE	RES	5,(IX+d)
FDC805AE	RES	5,(IY+d)
C8AF	RES	5,A
C8A8	RES	5,B
C8A9	RES	5,C
C8AA	RES	5,D
C8AB	RES	5,E
C8AC	RES	5,H
C8AD	RES	5,L
C886	RES	6,(HL)
DDC80586	RES	6,(IX+d)
FDC80586	RES	6,(IY+d)
C8B7	RES	6,A
C8B0	RES	6,B
C8B1	RES	6,C
C8B2	RES	6,D
C8B3	RES	6,E
C8B4	RES	6,H
C8B5	RES	6,L
C8BE	RES	7,(HL)
DDC805BE	RES	7,(IX+d)
FDC805BE	RES	7,(IY+d)
C8BF	RES	7,A
C8B8	RES	7,B
C8B9	RES	7,C
C8BA	RES	7,D
C8BB	RES	7,E
C8BC	RES	7,H
C8BD	RES	7,L
C9	RET	
D8	RET	C
F8	RET	M
D0	RET	NC
C0	RET	NZ
F0	RET	P
E8	RET	PE
E0	RET	PO
C8	RET	Z

OBJ CODE	SOURCE STATEMENT	
ED4D	RETI	
ED45	RETN	
CB16	RL	(HL)
DDCB0516	RL	(IX+d)
FDCB0516	RL	(IY+d)
CB17	RL	A
CB10	RL	B
CB11	RL	C
CB12	RL	D
CB13	RL	E
CB14	RL	H
CB15	RL	L
17	RLA	
CB06	RLC	(HL)
DDCB0506	RLC	(IX+d)
FDCB0506	RLC	(IY+d)
CB07	RLC	A
CB00	RLC	B
CB01	RLC	C
CB02	RLC	D
CB03	RLC	E
CB04	RLC	H
CB05	RLC	L
07	RLCA	
ED6F	RLD	
CB1E	RR	(HL)
DDCB051E	RR	(IX+d)
FDCB051E	RR	(IY+d)
CB1F	RR	A
CB18	RR	B
CB19	RR	C
CB1A	RR	D
CB1B	RR	E
CB1C	RR	H
CB1D	RR	L
1F	RRA	
CB0E	RRC	(HL)
DDCB050E	RRC	(IX+d)
FDCB050E	RRC	(IY+d)
CB0F	RRC	A
CB08	RRC	B
CB09	RRC	C
CB0A	RRC	D
CB0B	RRC	E
CB0C	RRC	H
CB0D	RRC	L
OF	RRCA	
ED67	RRD	
C7	RST	00H
CF	RST	08H
D7	RST	10H
DF	RST	18H
E7	RST	20H
EF	RST	28H
F7	RST	30H
FF	RST	38H
DE20	SBC	A,n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
9E	SBC	A,(HL)
DD9E05	SBC	A,(IX+d)
FD9E05	SBC	A,(IY+d)
9F	SBC	A,A
98	SBC	A,B
99	SBC	A,C
9A	SBC	A,D
9B	SBC	A,E
9C	SBC	A,H
9D	SBC	A,L
ED42	SBC	HL,BC
ED52	SBC	HL,DE
ED62	SBC	HL,HL
ED72	SBC	HL,SP
37	SCF	
CBC6	SET	0,(HL)
DDCB05C6	SET	0,(IX+d)
FDCB05C6	SET	0,(IY+d)
CBC7	SET	0,A
CBC0	SET	0,B
CBC1	SET	0,C
CBC2	SET	0,D
CBC3	SET	0,E
CBC4	SET	0,H
CBC5	SET	0,L
CBCE	SET	1,(HL)
DDCB05CE	SET	1,(IX+d)
FDCB05CE	SET	1,(IY+d)
CBCF	SET	1,A
CBC8	SET	1,B
CBC9	SET	1,C
CBCA	SET	1,D
CBCB	SET	1,E
CBCC	SET	1,H
CBCD	SET	1,L
CBD6	SET	2,(HL)
DDCB05D6	SET	2,(IX+d)
FDCB05D6	SET	2,(IY+d)
CBD7	SET	2,A
CBD0	SET	2,B
CBD1	SET	2,C
CBD2	SET	2,D
CBD3	SET	2,E
CBD4	SET	2,H
CBD5	SET	2,L
CBD8	SET	3,B
CBDE	SET	3,(HL)
DDCB05DE	SET	3,(IX+d)
FDCB05DE	SET	3,(IY+d)
CBDF	SET	3,A
CBD9	SET	3,C
CBDA	SET	3,D
CBDB	SET	3,E
CBDC	SET	3,H
CBDD	SET	3,L
CBE6	SET	4,(HL)

OBJ CODE	SOURCE STATEMENT	
DDCB05E6	SET	4,(IX+d)
FDCB05E6	SET	4,(IY+d)
CBE7	SET	4,A
CBE0	SET	4,B
CBE1	SET	4,C
CBE2	SET	4,D
CBE3	SET	4,E
CBE4	SET	4,H
CBE5	SET	4,L
CBEE	SET	5,(HL)
DDCB05EE	SET	5,(IX+d)
FDCB05EE	SET	5,(IY+d)
CBEF	SET	5,A
CBE8	SET	5,B
CBE9	SET	5,C
CBEA	SET	5,D
CBEB	SET	5,E
CBEC	SET	5,H
CBED	SET	5,L
CBF6	SET	6,(HL)
DDCB05F6	SET	6,(IX+d)
FDCB05F6	SET	6,(IY+d)
CBF7	SET	6,A
CBF0	SET	6,B
CBF1	SET	6,C
CBF2	SET	6,D
CBF3	SET	6,E
CBF4	SET	6,H
CBF5	SET	6,L
CBFE	SET	7,(HL)
DDCB05FE	SET	7,(IX+d)
FDCB05FE	SET	7,(IY+d)
CBFF	SET	7,A
CBF8	SET	7,B
CBF9	SET	7,C
CBFA	SET	7,D
CBFB	SET	7,E
CBFC	SET	7,H
CBFD	SET	7,L
CB26	SLA	(HL)
DDCB0526	SLA	(IX+d)
FDCB0526	SLA	(IY+d)
CB27	SLA	A
CB20	SLA	B
CB21	SLA	C
CB22	SLA	D
CB23	SLA	E
CB24	SLA	H
CB25	SLA	L
CB2E	SRA	(HL)
DDCB052E	SRA	(IX+d)
FDCB052E	SRA	(IY+d)
CB2F	SRA	A
CB28	SRA	B
CB29	SRA	C
CB2A	SRA	D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OBJ CODE	SOURCE STATEMENT	
CB2B	SRA	E
CB2C	SRA	H
CB2D	SRA	L
CB3E	SRL	(HL)
DDCB053E	SRL	(IX+d)
FDCB053E	SRL	(IY+d)
CB3F	SRL	A
CB38	SRL	B
CB39	SRL	C
CB3A	SRL	D
CB3B	SRL	E
CB3C	SRL	H
CB3D	SRL	L
96	SUB	(HL)
DD9605	SUB	(IX+d)
FD9605	SUB	(IY+d)
97	SUB	A
90	SUB	B
91	SUB	C
92	SUB	D
93	SUB	E
94	SUB	H
95	SUB	L
D620	SUB	n
AE	XOR	(HL)
DDAE05	XOR	(IX+d)
FDAE05	XOR	(IY+d)
AF	XOR	A
A8	XOR	B
A9	XOR	C
AA	XOR	D
AB	XOR	E
AC	XOR	H
AD	XOR	L
EE20	XOR	n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของแฟลก เนื่องจากคำสั่งต่าง ๆ

Instruction	C	Z	P/V	S	N	H	Comments
ADD A, s; ADC A,s	‡	‡	V	‡	0	‡	8-bit add or add with carry
SUB s; SBC A, s, CP s, NEG	‡	‡	V	‡	1	‡	8-bit subtract, subtract with carry, compare and negate accumulator
AND s	0	‡	P	‡	0	1	Logical operations
OR s; XOR s	0	‡	P	‡	0	0	Logical operations
INC s	•	‡	V	‡	0	‡	And set's different flags
DEC m	•	‡	V	‡	1	‡	8-bit increment
ADD DD, ss	‡	•	•	•	0	X	8-bit decrement
ADC HL, ss	‡	‡	V	‡	0	X	16-bit add
SBC HL, ss	‡	‡	V	‡	1	X	16-bit add with carry
RLA; RLCA, RRA, RRCA	‡	•	•	•	0	0	16-bit subtract with carry
RL m; RLC m; RR m; RRC m SLA m; SRA m; SRL m	‡	‡	P	‡	0	0	Rotate accumulator Rotate and shift location s
RLD, RRD	•	‡	P	‡	0	0	Rotate digit left and right
DAA	‡	‡	P	‡	•	‡	Decimal adjust accumulator
CPL	•	•	•	•	1	1	Complement accumulator
SCF	1	•	•	•	0	0	Set carry
CCF	‡	•	•	•	0	X	Complement carry
IN r, (C)	•	‡	P	‡	0	0	Input register indirect
INI; IND; OUTI; OUTD	•	‡	X	X	1	X	Block input and output
INIR; INDR; OTIR; OTDR	•	1	X	X	1	X	Block input and output Z = 0 if B ≠ 0 otherwise Z = 1
LDI, LDD	•	X	‡	X	0	0	Block transfer instructions
LDIR, LDDR	•	X	0	X	0	0	Block transfer instructions P/V = 1 if BC ≠ 0, otherwise P/V = 0
CPI, CPIR, CPD, CPDR	•	‡	‡	X	1	X	Block search instructions Z = 1 if A = (HL), otherwise Z = 0 P/V = 1 if BC ≠ 0, otherwise P/V = 0
LD A, I; LD A, R	•	‡	IFF	‡	0	0	The content of the interrupt enable flip-flop (IFF) is copied into the P/V flag
BIT b, s	•	‡	X	X	0	1	The state of bit b of location s is copied into the Z flag
NEG	‡	‡	V	‡	1	‡	Negate accumulator

The following notation is used in this table:

Symbol	Operation
C	Carry/link flag. C=1 if the operation produced a carry from the MSB of the operand or result.
Z	Zero flag. Z=1 if the result of the operation is zero.
S	Sign flag. S=1 if the MSB of the result is one.
P/V	Parity or overflow flag. Parity (P) and overflow (V) share the same flag. Logical operations affect this flag with the parity of the result while arithmetic operations affect this flag with the overflow of the result. If P/V holds parity, P/V=1 if the result of the operation is even, P/V=0 if result is odd. If P/V holds overflow, P/V=1 if the result of the operation produced an overflow.
H	Half-carry flag. H=1 if the add or subtract operation produced a carry into or borrow from into bit 4 of the accumulator.
N	Add/Subtract flag. N=1 if the previous operation was a subtract.
	H and N flags are used in conjunction with the decimal adjust instruction (DAA) to properly correct the result into packed BCD format following addition or subtraction using operands with packed BCD format.
‡	The flag is affected according to the result of the operation.
•	The flag is unchanged by the operation.
0	The flag is reset by the operation.
1	The flag is set by the operation.
X	The flag is a "don't care."
V	P/V flag affected according to the overflow result of the operation.
P	P/V flag affected according to the parity result of the operation.
r	Any one of the CPU registers A, B, C, D, E, H, L.
s	Any 8-bit location for all the addressing modes allowed for the particular instruction.
ss	Any 16-bit location for all the addressing modes allowed for that instruction.
ii	Any one of the two index registers IX or IY.
R	Refresh counter.
n	8-bit value in range <0, 255>
nn	16-bit value in range <0, 65535>
m	Any 8-bit location for all the addressing modes allowed for the particular instruction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แมชชีนไซเกิลต่าง ๆ ของคำสั่ง

IO — Internal CPU Operation
MR — Memory Read
MRH — Memory Read of High Byte
MRL — Memory Read of Low Byte
MW — Memory Write
MWH — Memory Write of High Byte
MWL — Memory Write of Low Byte
OCF — Op Code Fetch
ODH — Operand Data Read of High Byte
ODL — Operand Data Read of Low Byte
PR — Port Read
PW — Port Write
SRH — Stack Read of High Byte
SRL — Stack Read of Low Byte
SWH — Stack Write of High Byte
SWL — Stack Write of Low Byte
( ) — Number of T-States in that Machine Cycle

Z80 INSTRUCTION BREAKDOWN BY MACHINE CODE

INSTRUCTION TYPE	BYTES	MACHINE CYCLE M1	M2	M3	M4	M5
LD r, s	1	OCF (4)				
LD r, n	2	OCF (4)	OD (3)			
LD r, (HL) LD (HL), r	1	OCF (4) OCF (4)	MR (3) MW (3)			
LD r, (IX+d) LD (IX+d), r	3	OCF (4)/OCF (4) OCF (4)/OCF (4)	OD (3) OD (3)	IO (5) IO (5)	MR (3) MW (3)	
LD (HL), n	2	OCF (4)	OD (3)	MW (3)		
LD A, $\binom{BC}{DE}$	1	OCF (4)	MR (3)			
LD $\binom{BC}{DE}$, A		OCF (4)	MW (3)			
LD A, (nn) LD (nn), A	3	OCF (4) OCF (4)	ODL (3) ODL (3)	ODH (3) ODH (3)	MR (3) MW (3)	
LD A, $\frac{I}{R}$	2	OCF (4)/OCF(5)				
LD $\frac{I}{R}$, A						
LD dd, nn	3	OCF (4)	ODL (3)	ODH (3)		
LD IX, nn	4	OCF (4)/OCF (4)	ODL (3)	ODH (3)		
LD HL, (nn) LD (nn), HL	3	OCF (4) OCF (4)	ODL (3) ODL (3)	ODH (3) ODH (3)	MRL (3) MWL (3)	MRH (3) MWH (3)

LD dd, (nn)
LD (nn), dd
LD IX, (nn)
LD (nn), IX
	4	OCF (4)/OCF (4)
		OCF (4)/OCF (4)
		OCF (4)/OCF (4)
		OCF (4)/OCF (4)
			ODL (3)
			ODL (3)
			ODL (3)
			ODL (3)
				ODH (3)
				ODH (3)
				ODH (3)
				ODH (3)
					MRL (3)
					MWL (3)
					MRL (3)
					MWL (3)
						MRH (3)
						MWH (3)
						MRH (3)
						MWH (3)

LD SP, HL	1	OCF (6)				
LD SP, IX	2	OCF (6)/OCF (4)				
PUSH qq	1	OCF (5) SP-1 →	SWH (3) SP-1 →	SWL (3)		
PUSH IX	2	OCF (4)/OCF (5) SP-1 →	SWH (3) SP-1 →	SWL (3)		
POP qq.	1	OCF (4) SP+1 →	SRH (3) SP+1 →	SRL (3)		
POP IX	2	OCF (4)/OCF (4) SP+1 →	SRH (3) SP+1 →	SRL (3)		
EX DE, HL	1	OCF (4)				
EX AF, AF'	1	OCF (4)				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INSTRUCTION TYPE	BYTES	MACHINE CYCLE M1	M2	M3	M4	M5
EXX	1	OCF (4)				
EX (SP), HL	1	OCF (4)	SRL (3) SP+1 →	SRH (4)	SWH (3) SP-1 →	SWL (5)
EX (SP), IX	2	OCF (4)/OCF (4)	SRL (3) SP+1 →	SRH (3)	SWH (3) SP-1 →	SWL (5)
LDI LDD CPI CPD	2	OCF (4)/OCF (4)	MR (3)	MW (5)		
LDIR LDDR CPIR CPDR	2	OCF (4)/OCF (4)	MR (3)	MW (5)	IO (5)* *only if BC ≠ 0	
ALU A, r ADD ADC SUB SBC AND OR XOR CP	1	OCF (4)				
ALU A, n	2	OCF (4)	OD (3)			
ALU A, (HL)	1	OCF (4)	MR (3)			
ALU A, (IX+d)	3	OCF (4)/OCF (4)	OD (3)	IO (5)	MR (3)	
DEC INC r	1	OCF (4)				
DEC INC (HL)	1	OCF (4)	MR (4)	MW (3)		
DEC INC (IX+D)	2	OCF (4)/OCF (4)	OD (3)	IO (5)	MR (4)	MW (3)
DAA CPL CCF SCF NOP HALT DI EI	1	OCF (4)				
NEG IMO IM1 IM2	2	OCF (4)/OCF (4)				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		MACHINE CYCLE				
INSTRUCTION TYPE	BYTES	M1	M2	M3	M4	M5
ADD HL, ss	1	OCF (4)	IO (4)	IO (3)		
ADC HL, ss SBC HL, ss ADD IX, pp	2	OCF (4)/OCF (4)	IO (4)	IO (3)		
INC ss DEC ss	1	OCF (6)				
DEC IX INC IX	2	OCF (4)/OCF (6)				
RLCA RLA RRCA RRA	1	OCF (4)				
RLC r RL RRC RR SLA SRA SRL	2	OCF (4)/OCF (4)				
RLC (HL) RL RRC RR SLA SRA SRL	2	OCF (4)/OCF (4)	MR (4)	MW (3)		
RLC (IX+d) RL RRC RR SLA SRA SRL	4	OCF (4)/OCF (4)	OD (3)	IO (5)	MR (4)	MW (3)
RLD RRD	2	OCF (4)/OCF (4)	MR (3)	IO (4)	MW (3)	
BIT b, r SET RES	2	OCF (4)/OCF (4)				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะทางไฟฟ้าของซีพียู Z-80

Absolute Maximum Ratings

Temperature Under Bias	Specified operating range.
Storage Temperature	-65°C to +150°C
Voltage On Any Pin with Respect to Ground	-0.3V to +7V
Power Dissipation	1.5 W

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except I_{cc}

I_{cc} = 300 mA

Z80-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{cc} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{cc} -.6		V_{cc}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{cc}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL}=1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250uA
I_{CC}	Power Supply Current			150	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{cc}
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{cc}
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \le V_{IN} \le V_{cc}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80-CPU Ordering Information

C = Ceramic
P = Plastic
S = Standard 5V ±5% 0° to 70°C
E = Extended 5V ±5% -40° to 85°C
M = Military 5V ±10% -55° to 125°C

Z80A-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{cc} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{cc} -.6		V_{cc}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{cc}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL}=1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250uA
I_{CC}	Power Supply Current		90	200	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{cc}
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{cc}
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \le V_{IN} \le V_{cc}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80A-CPU Ordering Information

C = Ceramic
P = Plastic
S = Standard 5V ±5% 0° to 70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NSTRUCTION TYPE	BYTES	MACHINE CYCLE M1	M2	M3	M4	M5
IT b, (HL)	2	OCF (4)/OCF (4)	MR (4)			
ET b, (HL) ES	2	OCF (4)/OCF (4)	MR (4)	MW (3)		
T b, (IX+d)	4	OCF (4)/OCF (4)	OD (3)	IO (5)	MR (4)	
T b, (IX+d) :S	4	OCF (4)/OCF (4)	OD (3)	IO (5)	MR (4)	MW (3)
nn cc, nn	3	OCF (4)	ODL (3)	ODH (3)		
e	2	OCF (4)	OD (3)	IO (5)		
C, e NC, e Z, e IZ, e	2	OCF (4)	OD (3)	IO (5)* * If condition is met		
HL)	1	OCF (4)				
X)	2	OCF (4)/OCF (4)				
, e	2	OCF (5)	OD (3)	IO (5)* * If B ≠ 0		
: nn , cc, nn cc true	3	OCF (4)	ODL (3)	ODH (4) SP-1	SWH (3) SP-1	SWL (3)
cc, nn cc false	3	OCF (4)	ODL (3)	ODH (3)		
	1	OCF (4)	SRL (3) SP+1	SRH (3)		
:	1	OCF (5)	SRL (3)* * If cc is true SP+1	SRH (3)*		
	2	OCF (4)/OCF (4)	SRL (3) SP+1	SRH (3)		
	1	OCF (5) SP-1	SWH (3) SP-1	SWL (3)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

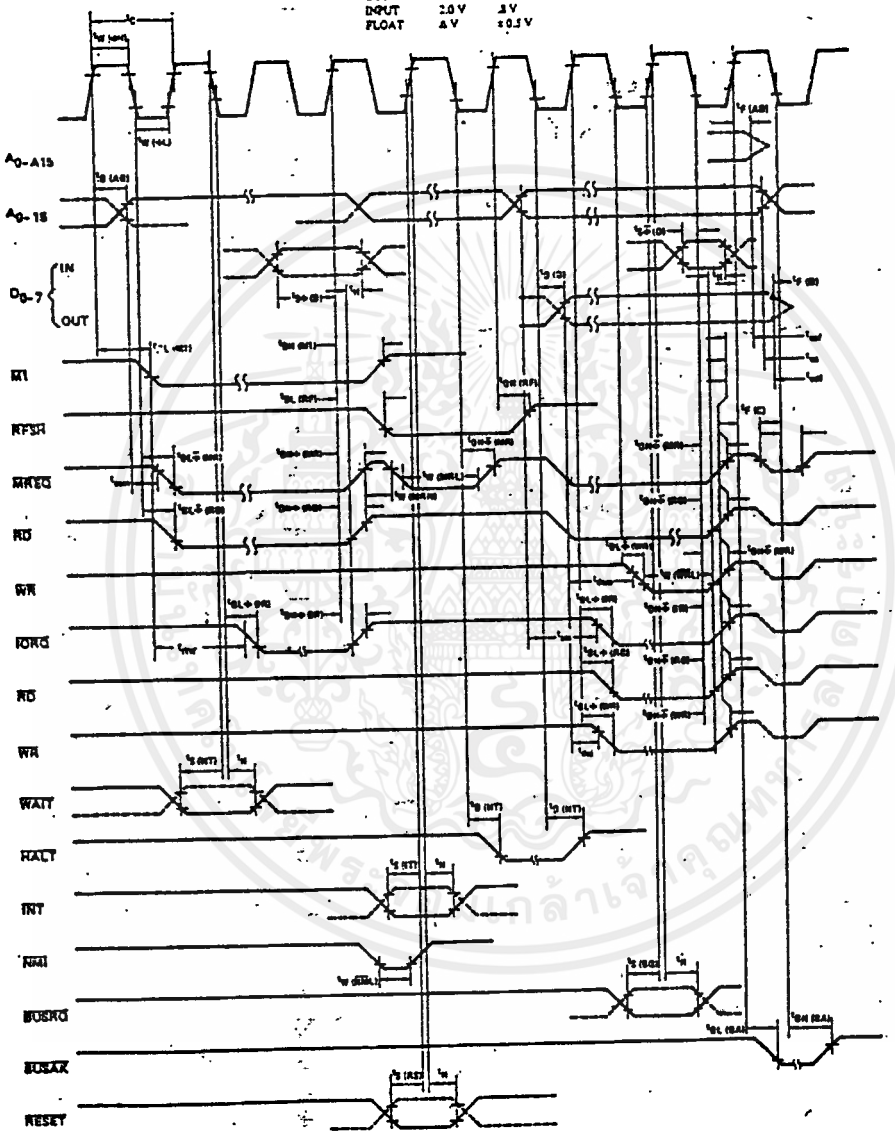
INSTRUCTION TYPE	BYTES	MACHINE CYCLE M1	M2	M3	M4	M5
IN A, (n)	2	OCF (4)	OD (3)	PR (4)		
IN r, (c)	2	OCF (4)/OCF (4)	PR (4)			
INI IND	2	OCF (4)/OCF (5)	PR (4)	MW (3)		
INIR INDR	2	OCF (4)/OCF (5)	PR (4)	MW (3)	IO (5)	
OUT (n) , A	2	OCF (4)	OD (3)	PW (4)		
OUT (C), r	2	OCF (4)/OCF (4)	PW (4)			
OUTI OUTD	2	OCF (4)/OCF (5)	MR (3)	PW (4)		
OTIR OTDR	2	OCF (4)/OCF (5)	MR (3)	PW (4)	IO (5)	
INTERRUPTS						
NMI	—	OCF (5) * SP-1	SWH (3) SP-1	SWL (3)	*Op Code Ignored	
INT						
MODE 0	—	INTA (6) (CALL INSERTED)	ODL (3)	ODH (4) SP-1	SWH (3) SP-1	SWL (3)
	—	INTA (6) (RST INSERTED) SP-1	SWH (3) SP-1	SWL (3)		
MODE 1		INTA (7) (RST 38H INTERNAL) SP-1	SWH (3) SP-1	SWL (3)		
MODE 2	—	INTA (7) (VECTOR SUPPLIED) SP-1	SWH (3) SP-1	SWL (3)	MRL (3)	MRH (3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

	"1"	"0"
CLOCK	V_{CC} -0.6V	.45V
OUTPUT	2.0 V	.8 V
INPUT	2.0 V	.8 V
FLOAT	.4 V	±0.5 V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MH88510/11
Subscriber Line Interface Circuit (SLIC)

ISSUE 3 January 1994

Features

- High Gain Version MH88511
- Compatible with popular MH88500
- Operates with a wide range of battery voltages
- Constant current battery feed
- Dry line compatible
- Overvoltage and short circuit protection
- Ringing feed
- Off-hook detection and LED indicator drive
- Dial pulse detection
- Ring trip filter with auto ring trip
- Relay driver
- Transformerless 2-2 wire conversion
- Low power consumption
- Mute of incoming audio
- Few external components

Applications

Line interface for:

- PABX
- Intercom
- Key Telephone System

Ordering Information

MH88510 20-Pin SIL Package
MH88511 20-Pin SIL Package
0°C to 70°C

Description

The Mitel MH88510/11 Subscriber Line Interface Circuit provides a complete interface between the telephone line and a speech switch requiring only a single bidirectional switch per crosspoint. The functions provided by the MH88510/11 include bidirectional differential to single-ended conversion in the speech path, line battery feed, ringing feed and loop and dial pulse detection. The device is fabricated as a thick film hybrid which incorporates various technologies for optimum circuit design and very high reliability.

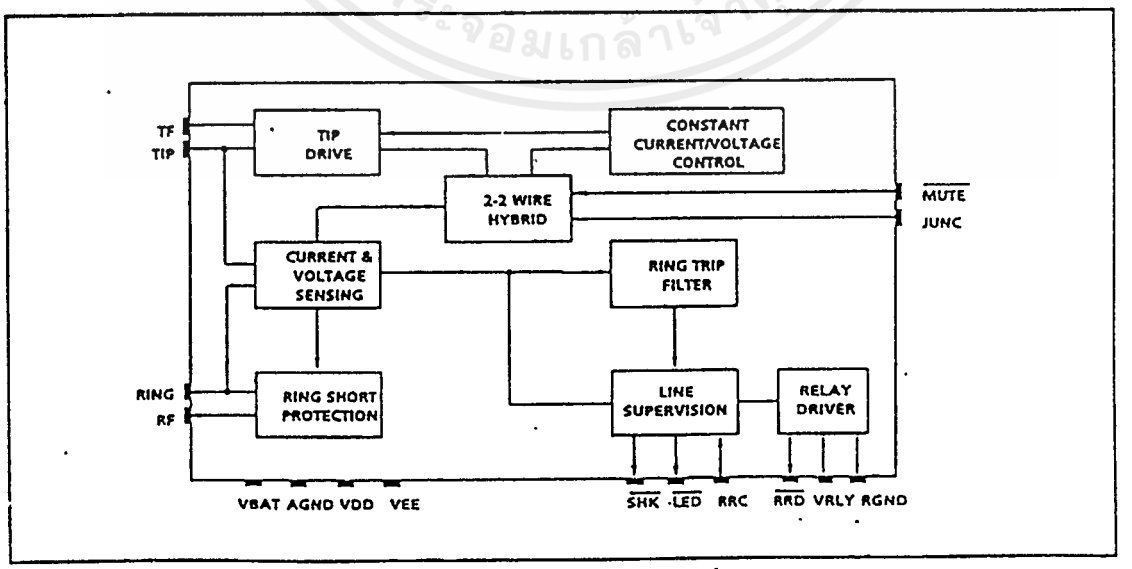


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

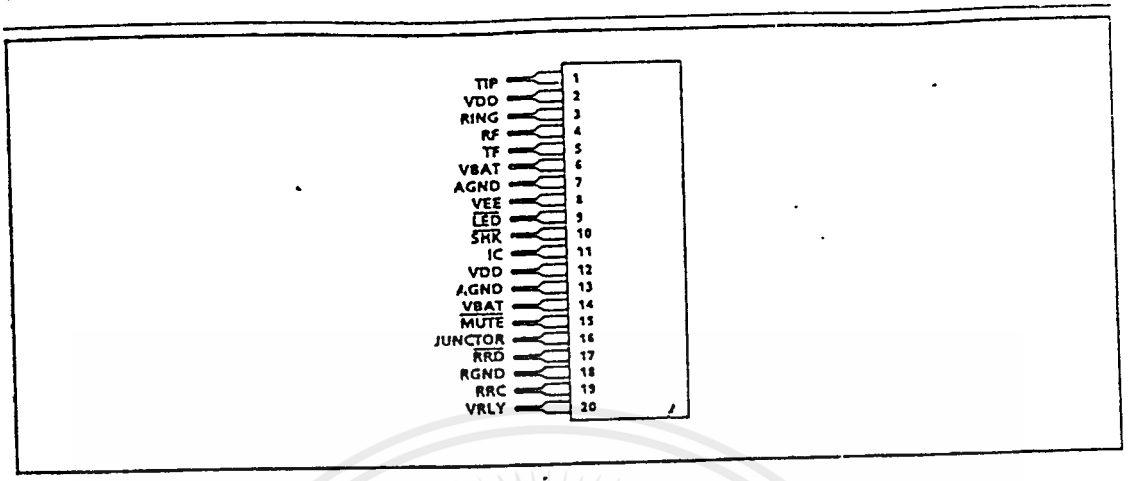


Figure 2 - Pin Connections

Pin Description

Pin	Name	Description
1	TIP	**Tip Lead.** Connects to the "Tip" lead (A-wire) of the telephone line.
2	VDD	**Positive Power Supply Voltage.** Normally +5V. This provides current for both internal circuitry as well as the loop. Not internally connected to Pin 12.
3	RING	**Ring Lead.** Connects to the "Ring" lead (B-wire) of the telephone line.
4	RF	Connects to Ring Relay contact see Figure 5.
5	TF	Leave open circuit.
6	VBAT	**Battery voltage supply.** Normally -24V or -48V. Not internally connected to Pin 14.
7	AGND	**Analog ground.** Supply and battery ground. Internally connected to pin 13. For optimum performance connect pin 7 to Pin 13.
8	VEE	**Negative Analog Supply Voltage.** Normally -5V
9	$\overline{\text{LED}}$	**LED Drive Output.** Drives an LED directly. (Off-Hook condition, logic low).
10	$\overline{\text{SHK}}$	**Switch Hook Detect Output.** A logic low indicates Off-Hook condition.
11	IC	**Internal Connection.** This pin is connected internally.
12	VDD	**Positive Power Supply Voltage.** Normally +5V. This provides current for both internal circuitry as well as the loop. Not internally connected to Pin 2.
13	AGND	**Analog ground.** Supply and battery ground. Internally connected to pin 13. For optimum performance connect pin 13 to Pin 7.
14	VBAT	**Battery voltage supply.** Normally -24V or -48V. Not internally connected to Pin 6.
15	$\overline{\text{MUTE}}$	**Mute Input.** A logic low will mute signals coming from TIP-RING to the JUNC.
16	JUNC	**Receive/transmit audio speech path.** (Referenced to 0V GND).
17	$\overline{\text{RRD}}$	**Ring Relay Drive Output.** Connects to the ring relay coil. A logic low activates the relay.
18	RGND	**Relay Ground.** Return path for relay supply voltage. Normally connected to AGND.
19	RRC	**Ring Relay Control Input.** A logic high activates the Ring Relay Drive ($\overline{\text{RRD}}$) output.
20	VRLY	**Relay Positive Supply Voltage.** Normally +5V. Connects to the relay coil and the relay supply voltage. An internal clamp diode from VRLY to RGND is provided.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The BORSH Functions

The MH88510/11 performs all of the BORSH functions of Battery Feed, Overvoltage Protection, Ringing, Supervision and Hybrid (2-2 wire).

Battery Feed

The MH88510/11 powers the telephone set with constant DC loop current for short lines and automatically reverts to constant voltage for long lines. Since the TIP drive is powered down from the V_{DD} supply, loop current flows through both the V_{Bat} supply and the VDD supply.

Overvoltage Protection

The MH88510/11 is protected from short term (20mS) transients (+250V) between TIP and RING, TIP and ground, and RING and Ground. However, additional protection circuitry may be needed depending on the requirements which must be met. Normally, simple external shunt protection as shown in Figures 5 and 6 is all that is required.

Ringing

The ringing insertion circuitry has the capability to provide ringing voltage to the telephone set by simply adding an external relay, ring generator and a 200Ω limiting resistor. The internal relay driver switches ringing voltage onto the line via the external ring relay. The SLIC provides two internal 300Ω battery feed resistors through which the ringing current will flow. A clamp diode is included which suppresses voltage transients during relay switching caused by the relay coil. In addition, the circuit prevents connection of the ringing source during off-hook conditions. See Figure 5 for typical application.

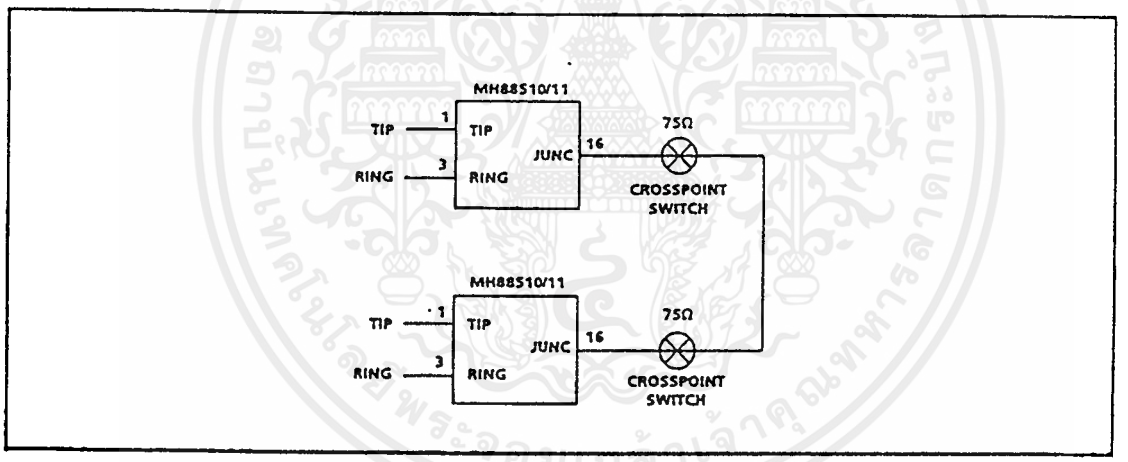


Figure 3 - SLIC and Crosspoint Switch Connection

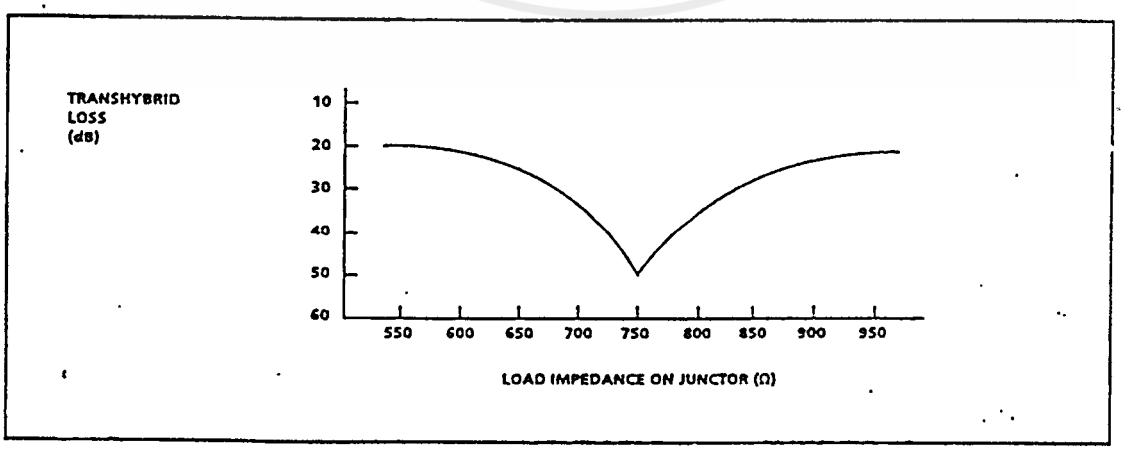


Figure 4- Return Loss VS Junctor Load Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Supervision

The loop detection circuit determines whether a low enough impedance is across TIP and RING to be recognized as an off-hook condition. When an off-hook condition occurs, the $\overline{SHK}$ and $\overline{LED}$ outputs toggle to a logic low level. These outputs also toggle during incoming dial pulses. The $\overline{SHK}$ output has low drive capability while the $\overline{LED}$ output can drive an $\overline{LED}$ directly. The detection circuit engages a ringing filter during applied ringing. The ring trip detection circuit also prevents false off-hook detection due to the current associated with the AC ringing voltage as well as current transients when the ringing voltage is switched in and out.

Hybrid

The 2-2 wire hybrid circuit converts the incoming balanced signal at TIP and RING of the telephone line into a ground referenced output signal at JUNC of the SLIC, and converts the ground referenced input signal at JUNC of the SLIC into a non-balanced output signal at TIP and RING of the telephone line.

Return Loss at TIP-RING

To maximize return loss, the impedance at TIP-RING should match the SLIC's impedance (600Ω). However, the SLIC's input impedance is dependent on the JUNC termination resistance. For a 600Ω SLIC input impedance, the JUNC must be terminated with 754Ω.

Figure 3 illustrates a typical connection between two SLICs through two crosspoint switches. Optimum return loss occurs when JUNC is terminated with 754Ω. Since the JUNC input/output impedance is 604Ω and the crosspoint switches resistances are 75Ω + 75Ω, this configuration gives optimum return loss as shown in Figure 4.

MUTE

A logic low at the $\overline{MUTE}$ input results in muted signals coming from TIP and RING to the JUNC terminal while allowing signals from the JUNC terminal to TIP and RING to be transmitted.

TIP-RING Drive Circuit

The audio input ground referenced signal at JUNC is converted to a differential output signal at TIP and RING. The output signal consists of the audio signal superimposed on the DC battery feed current. The TIP- RING drive circuit is optimized for good 2-wire longitudinal balance.

In addition, the TIP-RING Drive Circuit has the capability to drive a dry line (a line with no DC current flowing); the AC Electrical Characteristics apply (except for longitudinal balance), even when the loop current drops to zero. Therefore, the MH88510/11 has the capability to drive a line much longer than 2000Ω providing the user is not concerned with loop current, $\overline{SHK}$ detection or ringing generator current.

Short Circuit Protection

The MH88510/11 is protected from long term (infinite) short circuit conditions occuring between TIP and RING, TIP and AGND, and RING and AGND.

Line Impedance

The MH88510/11's TIP-RING (Zin) impedance is fixed at 600Ω. For correct SLIC impedance, JUNC must be appropriately terminated. See AC Electrical Characteristics.

Transmit and Receive Gain

Transmit Gain (JUNC to TIP-RING) and Receive Gain (TIP-RING to JUNC) are fixed. For correct gain, the SLIC input impedance must match the line impedance and JUNC must be appropriately terminated. In the case of the MH88511, this gain has been optimised for Dry line applications.

Trunk Interface Applications

The MH88511 can be used as a trunk interface. See Figure 7. The 600Ω transformer provides the DC isolation between the Central Office and the system interface. To use the MH88511 as the trunk interface and the MH88510 as the line interface, the system will meet the loss level plan of the Chinese standard. See Figure 8a and 8b.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

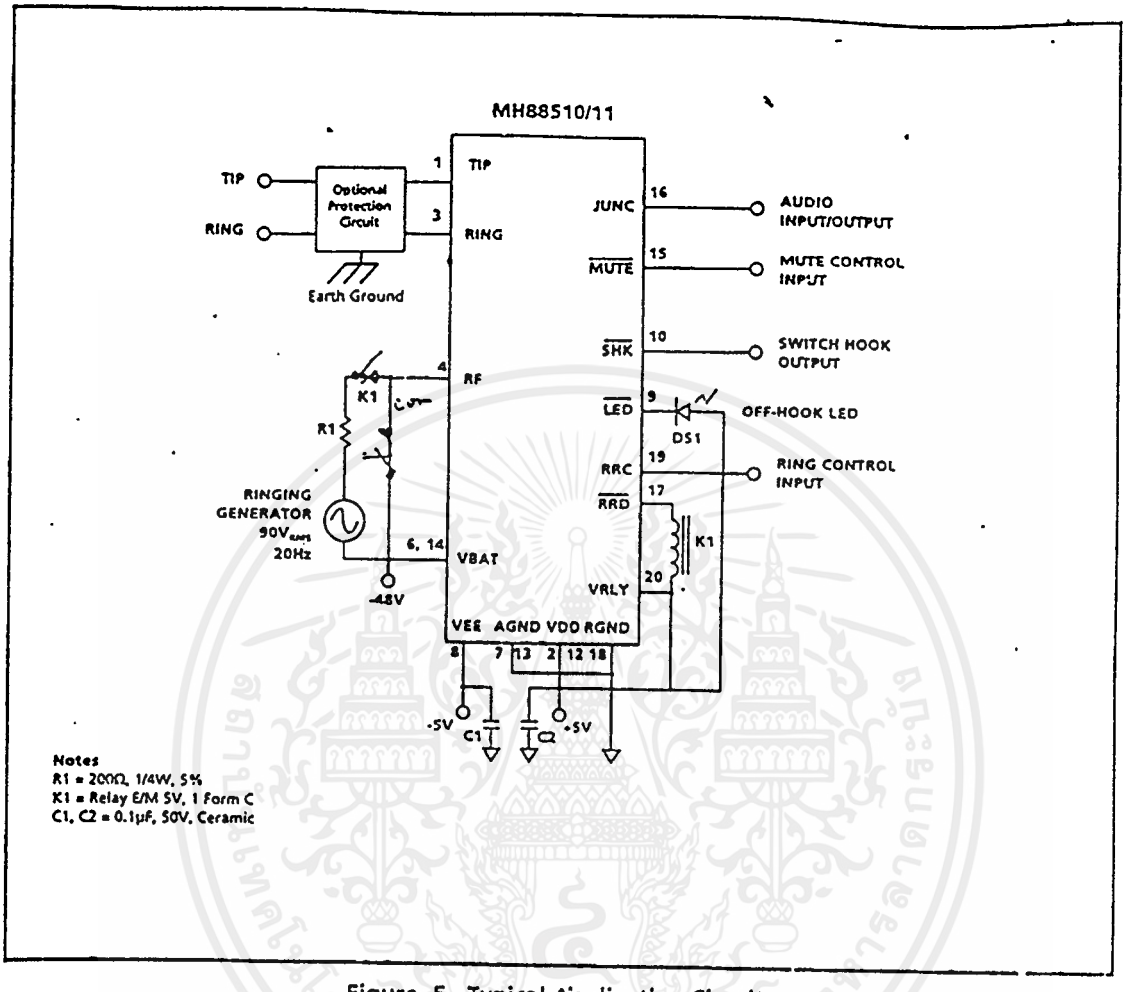


Figure 5 - Typical Application Circuit

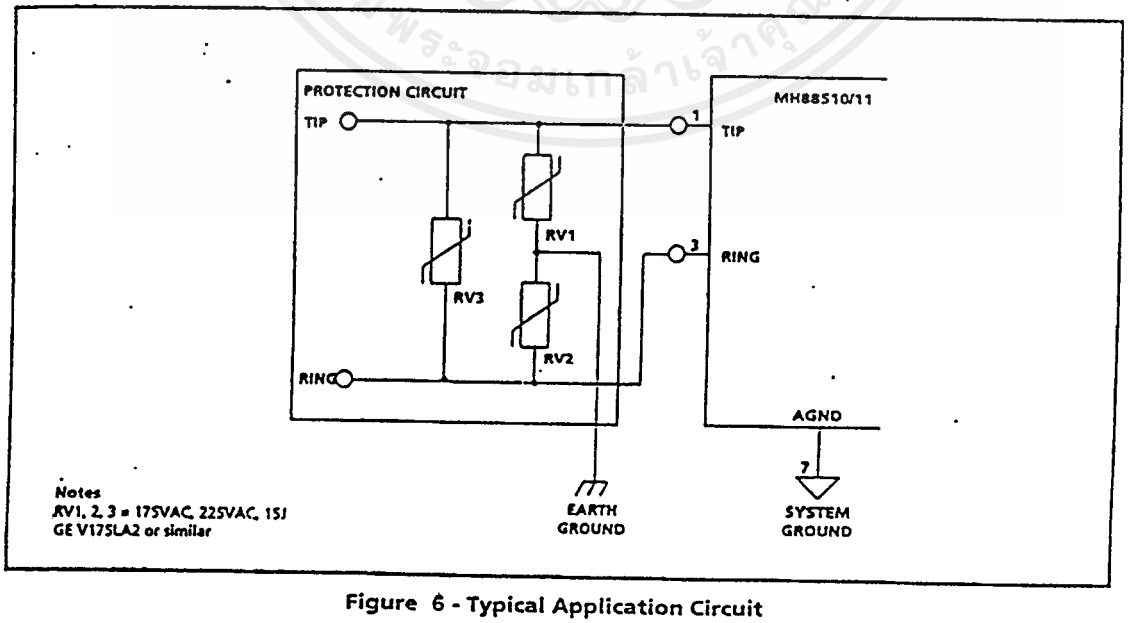


Figure 6 - Typical Application Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings* - Voltages are with respect to AGND.

	Parameter	Symbol	Min.	Max.	Units
1	DC Supply Voltages	V_{DD}	-.03	15	V
		V_{EE}	0.3	-15	V
2	DC Battery Voltage	V_{BAT}	0.3	-60	V
3	DC Relay Voltage	V_{RLY}	-0.3	20	V
4	AC Ring Generator Voltage			150	V_{RMS}
5	Storage Temperature	T_S	-55	125	C°

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

DC Electrical Characteristics†

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1		Supply Current : Open Loop	I_{DD}			15	mA	R_{Loop}=Open
			I_{EE}			15	mA	
			I_{BAT}			15	mA	
		Normal Loop	I_{DD}			43	mA	R_{Loop}=1000Ω
			I_{EE}			15	mA	
			I_{BAT}			43	mA	
		Short Loop	I_{DD}			43	mA	R_{Loop}=0Ω
			I_{EE}			15	mA	
			I_{BAT}			43	mA	
2		Power Consumption①						
		Open Loop	PC			830	mW	R_{Loop} = Open
		Normal Loop	PC			2360	mW	R_{Loop} = 1000Ω
		Short Loop	PC			2360	mW	R_{Loop} = 0Ω
3	$\overline{SHK}$	Low Level Output Voltage②	V_{OL}	-3.0			V	I_{OL} = 2μA
		High Level Output Voltage	V_{OH}	3.0			V	I_{OH} = 2μA
4	$\overline{LED}$	Sink Current, LED to AGND②	I_{OL}	0.6			mA	V_{OL} = -1.5V
		Sink Current, LED to VDD	I_{OH}	2.5			mA	V_{OL} = 3.25V
5	$\overline{RRD}$	Sink Current, Relay to VDD	I_{OL}	100			mA	V_{OL} = 0.35V
		Clamp Diode Current	I_{CD}	150			mA	
6	RRC	High Level Input Voltage③	V_{IH}	3.5			V	I_{IL} = 1.0mA
7	$\overline{MUTE}$	Low Level Input Voltage④	V_{IL}			0.8	V	I_{IL} = 0.5mA

† DC Electrical Characteristics are over recommended operating conditions with V_{DD} at + 5.0V ±5% and V_{EE} at-5V±5% unless otherwise stated.

‡ Typical figures are at 25°C with nominal ±5V supplies and are for design aid only.

① Supply Current and Power Consumption characteristics are over recommended operating conditions with V_{DD} at 5.0V, V_{EE} at -5.0V and V_{BAT} at -48.0V. Note that loop current flows through both the V_{BAT} supply and the V_{DD} supply.

② $\overline{SHK}$ output consists of a 100kΩ resistor in series with an op-amp with a minimum output voltage swing of ±3.25V. $\overline{LED}$ output consists of a 2.5kΩ resistor in series with the $\overline{SHK}$ op-amp output.

③ RRC input consists of a 5kΩ resistor in series with the base lead of the relay driver transistor (grounded emitter).

④ The $\overline{MUTE}$ input is internally pulled up. With no input connection, the voltage level at the $\overline{MUTE}$ input is typically at 1.5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics†

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Return Loss at 2-Wire		20	30		dB	Reference 600Ω @ 1kHz
2	Impedance at Junctor			604		Ω	
3	Longitudinal to Metallic Balance		50	60		dB	40Hz - 4kHz
4	Longitudinal to Junctor Balance		50	60		dB	40Hz - 4kHz
5	Signal Output Overload Level						%THD≤5%
	at 2-Wire		3.5			dBm	Reference: 600Ω
	at Junctor		3.5			dBm	Reference: 754Ω
6	Total Harmonic Distortion	THD					Input 0.5V 1kHz
	at 2-Wire				1.0	%	
	at Junctor				1.0	%	
7	Idle Channel Noise	Nc					
	at 2-Wire				12	dBmC	Reference: 600Ω
	at Junctor				12	dBmC	Reference: 754Ω
8	Power Supply Rejection Ratio at	PSRR					Ripple 0.1V 1kHz
	2-Wire and Junctor V_{DD}			25		dB	
	V_{EE}			25		dB	
	V_{BAT}			25		dB	
9	Mute Attenuation		30			dB	Input 0.5V MUTE = 0.0V @ 1kHz

AC Gains Table - MH88510

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Gain 2-Wire to Junctor		1.05	1.12	1.19	V/V	Input 0.5V 1kHz
			0.42	0.98	1.51	dBV	Input 0.5V 1kHz
2	Frequency Response Gain (relative to gain at 1kHz)		-0.3		0.3	dB	200Hz - 3400Hz
3	Gain Junctor to 2-Wire		0.96	1.00	1.04	V/V	Input 0.5V 1kHz
			-0.35	0.0	0.35	dBV	Input 0.5V 1kHz
4	Frequency Response Gain (relative to gain at 1kHz)		-0.3		0.3	dB	200Hz - 3400Hz

AC Gains Table - MH88511

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Gain 2-Wire to Junctor		1.15	1.19	1.22	V/V	Input 0.5V 1kHz
			1.21	1.50	1.72	dBV	Input 0.5V 1kHz
2	Frequency Response Gain (relative to gain at 1kHz)		-0.3		0.3	dB	200Hz - 3400Hz
3	Gain Junctor to 2-Wire		1.04	1.08	1.11	V/V	Input 0.5V 1kHz
			0.34	0.67	0.91	dBV	Input 0.5V 1kHz
4	Frequency Response Gain (relative to gain at 1kHz)		-0.3		0.3	dB	200Hz - 3400Hz

† AC Electrical Characteristics are over recommended operating conditions unless otherwise stated.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
Note 1: All of the above test conditions use 754Ω connected between JUNC and GRD, and 600Ω connected between TIP and RING unless otherwise stated.
Note 2: All of the above test conditions use 200Hz to 6400Hz unless otherwise stated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

	Parameter	Sym	Min	Typ	Max	Units	Test Conditions
1	DC Supply Voltage	VDD	4.75	5.0	7.35	V	
		VEE	-4.75	-5.0	-8.40	V	
2	DC Battery Voltage	VBAT	-23	-48	-56	V	
3	DC Relay Voltage	VRLY		5.0	15	V	
4	AC Ring Generator Voltage			90	105	VRMS	
	Ringing Generator Frequency		17		33	Hz	
5	Operating Temperature	TOP	0		70	°C	

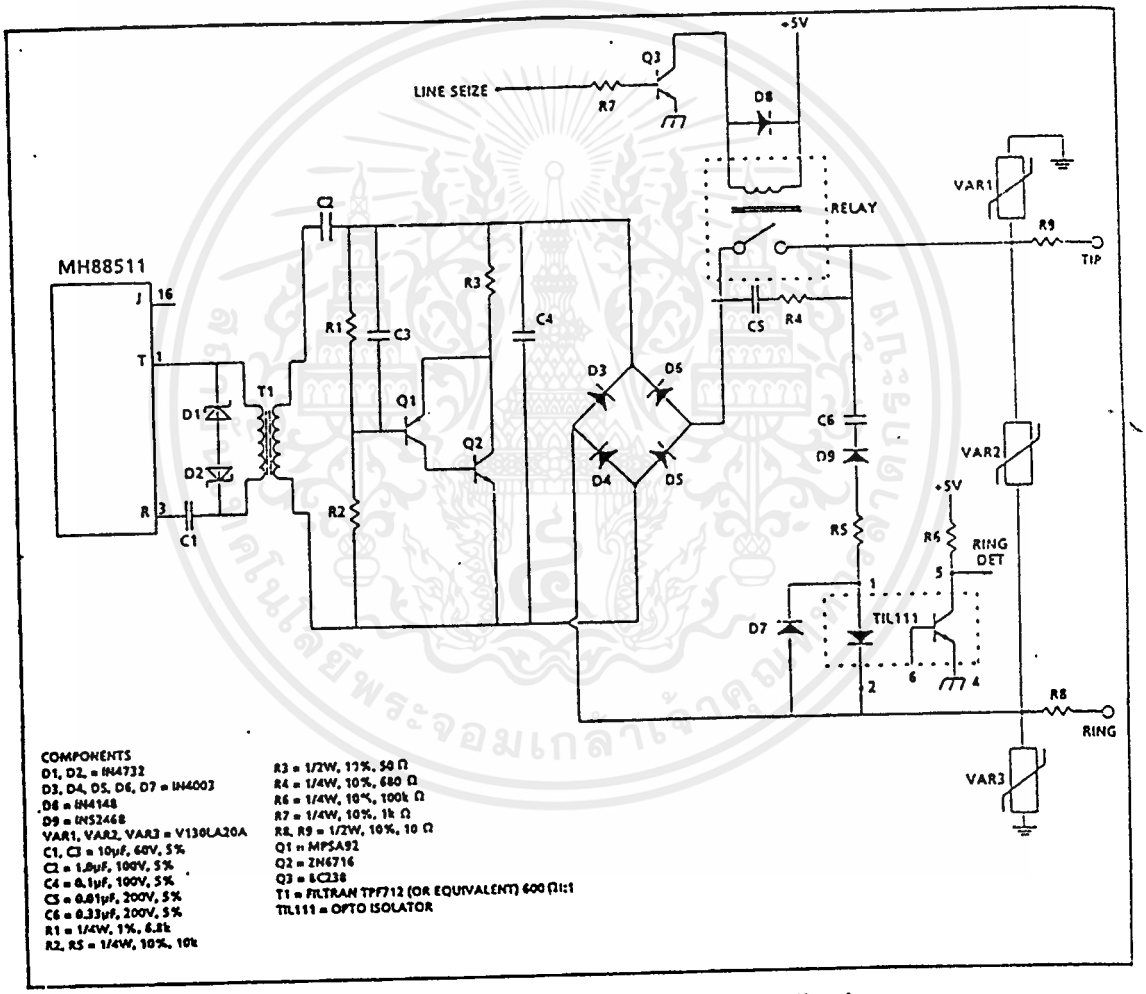


Figure 7 - MH88511 as a Trunk Interface Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

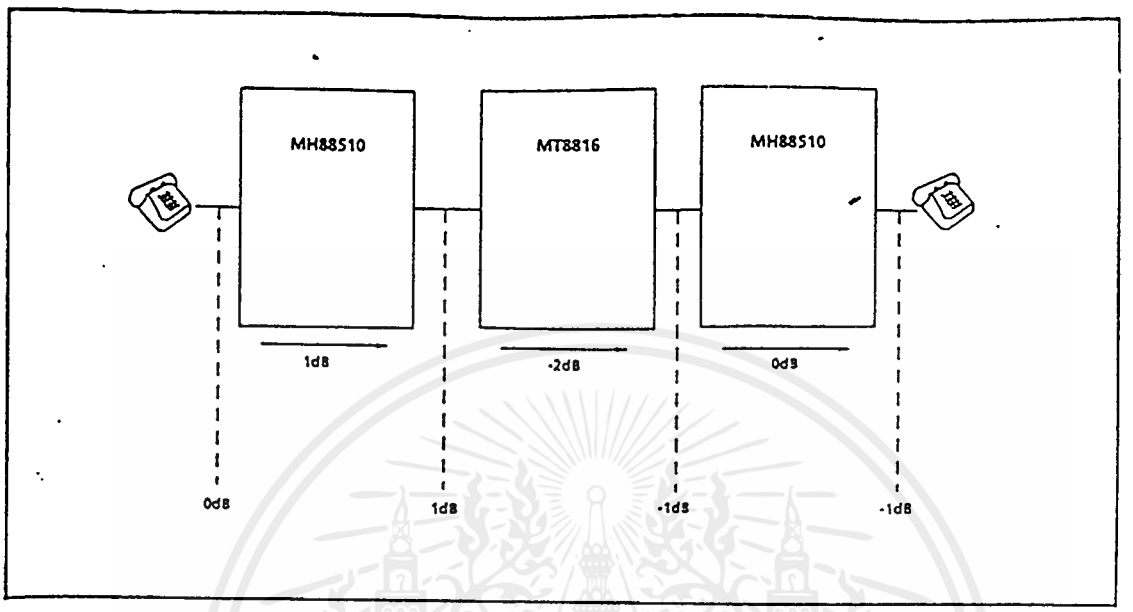


Figure 8a - Line to Line

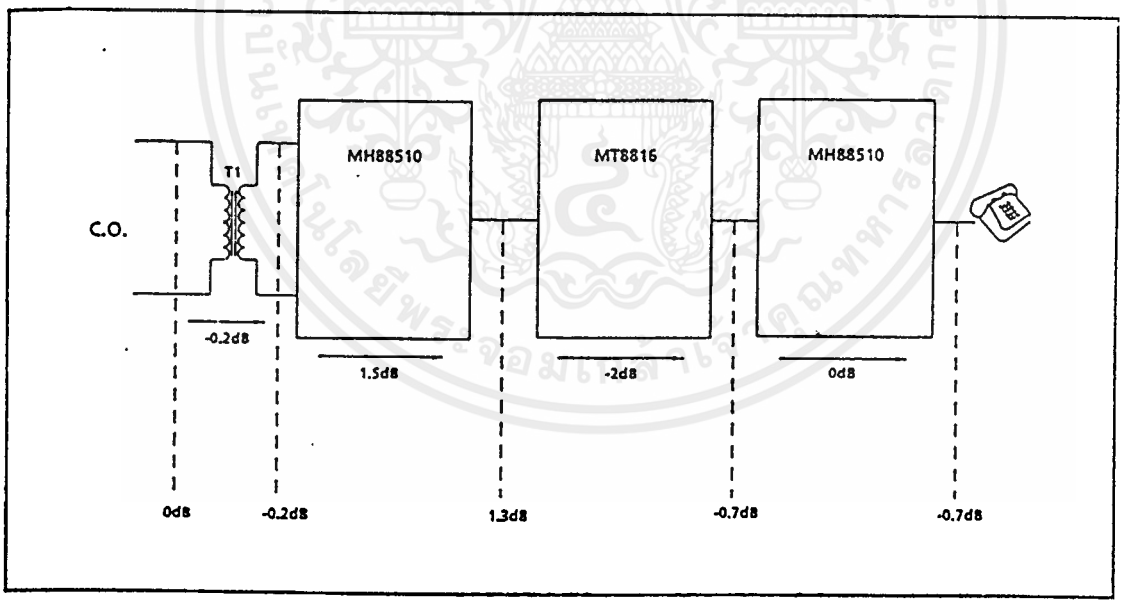


Figure 8b - Line to Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

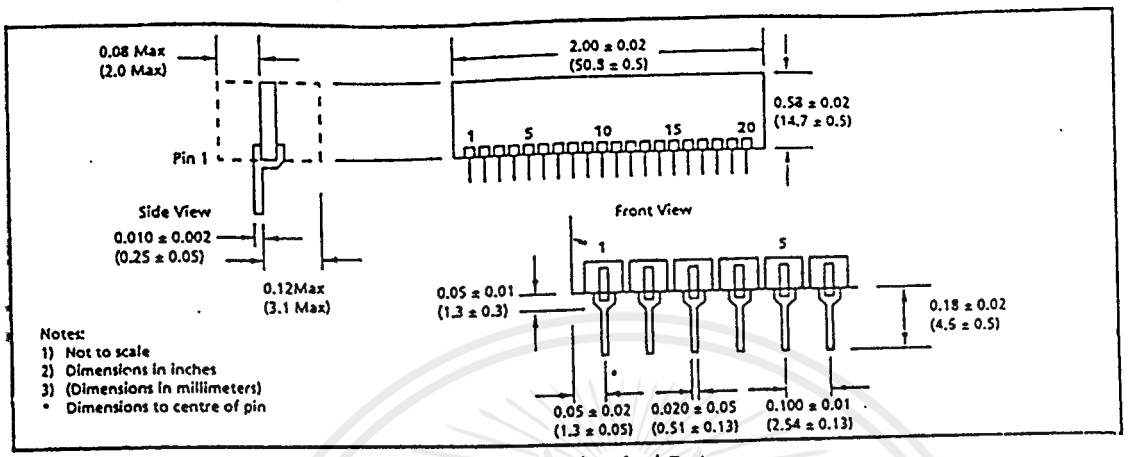


Figure 9 - Mechanical Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO-CMOS MT8816
8 x 16 Analog Switch Array

9161-002-101-NA ISSUE 2 November '95

2

Features

- Internal control latches and address decoder
- Short set-up and hold times
- Wide operating voltage: 4.5V to 13.2V
- 12Vpp analog signal capability
- R_{ON} 65Ω max. @ V_{DD} = 12V, 25°C
- $\Delta R_{ON} \leq 10\Omega$ @ V_{DD} = 12V, 25°C
- Full CMOS switch for low distortion
- Minimum feedthrough and crosstalk
- Separate analog and digital reference supplies
- Low power consumption ISO-CMOS technology

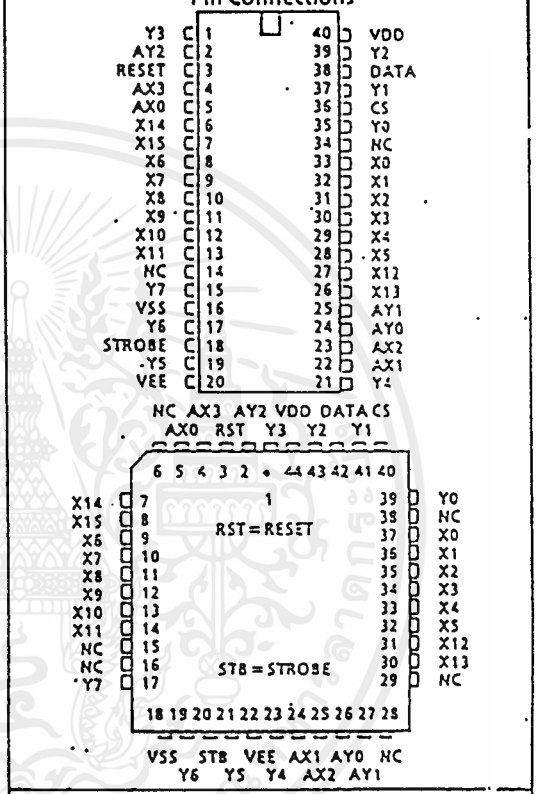
Applications

- Key systems
- PBX systems
- Mobile radio
- Test equipment /instrumentation
- Analog/digital multiplexers
- Audio/Video switching

Description

The Mitel MT8816 is fabricated in MITEL's ISO-CMOS technology providing low power dissipation and high reliability. The device contains a 8X16 array of crosspoint switches along with a 7 to 128 line decoder and latch circuits. Any one of the 128 switches can be addressed by selecting the appropriate seven address bits. The selected switch can be turned on or off by applying a logical one or zero to the DATA input. V_{SS} is the ground reference of the digital inputs. The range of the analog signal is from V_{DD} to V_{EE}. Chip Select (CS) allows the crosspoint array to be cascaded for matrix expansion.

Pin Connections



Ordering Information -40° to 85°C

MT8816AC	40 Pin CERDIP
MT8816AE	40 Pin PLASTIC DIP
MT8816AP	44 Pin PLCC

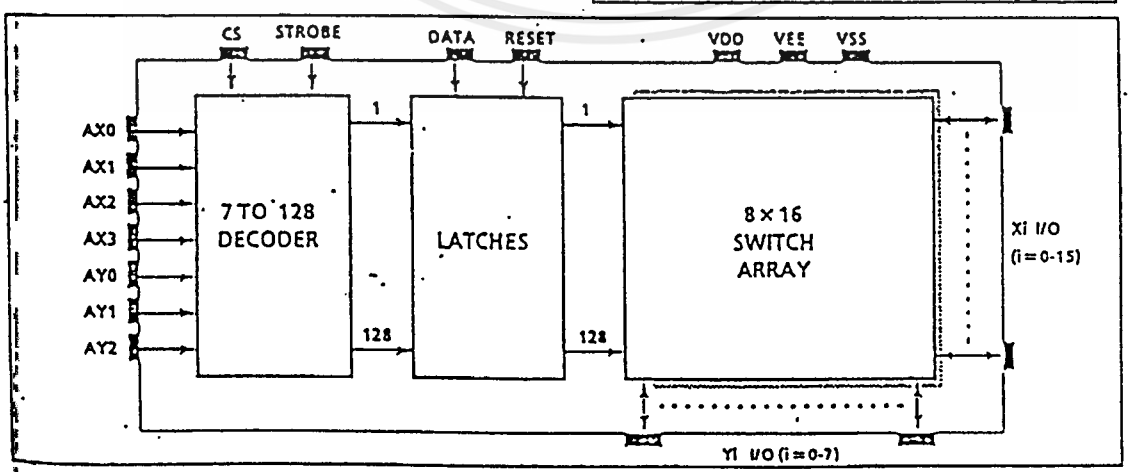


Figure 1- Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8816 ISO-CMOS

Absolute Maximum Ratings* - Voltages are with respect to V_{EE} unless otherwise stated.

	Parameter	Symbol	Min	Max	Units
1	Supply Voltage	V_{DD}	−0.3	15.0	V
		V_{SS}	−0.3	$V_{DD}+0.3$	V
2	Analog Input Voltage	V_{INA}	−0.3	$V_{DD}+0.3$	V
3	Digital Input Voltage	V_{IN}	$V_{SS}-0.3$	$V_{DD}+0.3$	V
4	Current on any I/O Pin	I		±15	mA
5	Storage Temperature	T_S	−65	+150	°C
6	Package Power Dissipation PLASTIC DIP	P_D		0.6	W
	CERDIP	P_D		1.0	W

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to V_{EE} unless otherwise stated.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Operating Temperature	T_O	−40	25	85	°C	
2	Supply Voltage	V_{DD}	4.5		13.2	V	
		V_{SS}	V_{EE}		$V_{DD}-4.5$	V	
3	Analog Input Voltage	V_{INA}	V_{EE}		V_{DD}	V	
4	Digital Input Voltage	V_{IN}	V_{SS}		V_{DD}	V	

DC Electrical Characteristics† - Voltages are with respect to $V_{EE}=V_{SS}=0V$, $V_{DD}=12V$ unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Quiescent Supply Current	I_{DD}		1	100	µA	All digital inputs at $V_{IN}=V_{SS}$ or V_{DD}
				0.4	1.5	mA	All digital inputs at $V_{IN}=2.4$ ÷ V_{SS} ; $V_{SS}=7.0V$
				5	15	mA	All digital inputs at $V_{IN}=3.4V$
2	Off-state Leakage Current (See G.9 in Appendix)	I_{OFF}		±1	±500	nA	$\lvert V_{Xi}-V_{Yj}\rvert = V_{DD}-V_{EE}$ See Appendix, Fig. A.1
3	Input Logic "0" level	V_{IL}			$0.8+V_{SS}$	V	$V_{SS}=7.5V$; $V_{EE}=0V$
4	Input Logic "1" level	V_{IH}	$2.0+V_{SS}$			V	$V_{SS}=6.5V$; $V_{EE}=0V$
5	Input Logic "1" level	V_{IH}	3.3			V	
6	Input Leakage (digital pins)	I_{LEAK}		0.1	10	µA	All digital inputs at $V_{IN}=V_{SS}$ or V_{DD}

† DC Electrical Characteristics are over recommended temperature range.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

DC Electrical Characteristics: Switch Resistance - V_{DC} is the external DC offset applied at the analog I/O pins.

	Characteristics	Sym	25°C		70°C		85°C		Units	Test Conditions
			Typ	Max	Typ	Max	Typ	Max		
1	On-state Resistance $V_{DD}=12V$	R_{ON}	45	65		75		80	Ω	$V_{SS}=V_{EE}=0V$, $V_{DC}=V_{DD}/2$, $\lvert V_{Xi}-V_{Yj}\rvert = 0.4V$ See Appendix, Fig. A.2
	$V_{DD}=10V$		55	75		85		90	Ω	
	$V_{DD}=5V$		120	185		215		225	Ω	
	(See G.1, G.2, G.3 in Appendix)									
2	Difference in on-state resistance between two switches (See G.4 in Appendix)	ΔR_{ON}	5	10		10		10	Ω	$V_{DD}=12V$, $V_{SS}=V_{EE}=0$, $V_{DC}=V_{DD}/2$, $\lvert V_{Xi}-V_{Yj}\rvert = 0.4V$ See Appendix, Fig. A.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics[1] - Crosspoint Performance - Voltages are with respect to V_{DD} = 5V, V_{SS} = 0V, V_{EE} = −7V, unless otherwise stated.

	Characteristics	Sym	Min	Typ[2]	Max	Units	Test Conditions
1	Switch I/O Capacitance	C_S		20		pF	f = 1 MHz
2	Feedthrough Capacitance	C_F		0.2		pF	f = 1 MHz
3	Frequency Response Channel "ON" 20LOG(V_{OUT}/V_{Xi}) = −3dB	F_{3dB}		45		MHz	Switch is "ON"; V_{INA} = 2Vpp sine wave; R_L = 1kΩ See Appendix, Fig. A.3
4	Total Harmonic Distortion (See G.5, G.6 in Appendix)	THD		0.01		%	Switch is "ON"; V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 1kΩ
5	Feedthrough Channel "OFF" Feed. = 20LOG (V_{OUT}/V_{Xi}) (See G.8 in Appendix)	FDT		−95		dB	All Switches "OFF"; V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 1kΩ. See Appendix, Fig. A.4
6	Crosstalk between any two channels for switches Xi−Yi and Xj−Yj. Xtalk = 20LOG (V_{Yj}/V_{Xi}). (See G.7 in Appendix).	X_{talk}		−45		dB	V_{INA} = 2Vpp sine wave f = 10MHz; R_L = 75Ω.
				−90		dB	V_{INA} = 2Vpp sine wave f = 10kHz; R_L = 600Ω.
				−85		dB	V_{INA} = 2Vpp sine wave f = 10kHz; R_L = 1kΩ.
				−80		dB	V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 10kΩ. Refer to Appendix, Fig. A.5 for test circuit.
7	Propagation delay through switch	t_{PS}			30	ns	R_L = 1kΩ; C_L = 50pF

[1] Timing is over recommended temperature range. See Fig. 2 for control and I/O timing details.
[2] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.
Crosstalk measurements are for Plastic DIPS only, crosstalk values for PLCC packages are approximately 5d3 better.

AC Electrical Characteristics[1] - Control and I/O Timings - Voltages are with respect to V_{DD} = 5V, V_{SS} = 0V, V_{EE} = −7V, unless otherwise stated.

	Characteristics	Sym	Min	Typ[2]	Max	Units	Test Conditions
1	Control Input crosstalk to switch (for CS, DATA, STROBE, Address)	CX_{talk}		30		mVpp	V_{IN} = 3V squarewave; R_{IN} = 1kΩ, R_L = 10kΩ. See Appendix, Fig. A.6
2	Digital Input Capacitance	C_{DI}		10		pF	f = 1MHz
3	Switching Frequency	F_O			20	MHz	
4	Setup Time DATA to STROBE	t_{DS}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
5	Hold Time DATA to STROBE	t_{DH}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
6	Setup Time Address to STROBE	t_{AS}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
7	Hold Time Address to STROBE	t_{AH}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
8	Setup Time CS to STROBE	t_{CSS}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
9	Hold Time CS to STROBE	t_{CSH}	10			ns	R_L = 1kΩ, C_L = 50pF [3]
10	STROBE Pulse Width	t_{SPW}	20			ns	R_L = 1kΩ, C_L = 50pF [3]
11	RESET Pulse Width	t_{RPW}	40			ns	R_L = 1kΩ, C_L = 50pF [3]
12	STROBE to Switch Status Delay	t_S		40	100	ns	R_L = 1kΩ, C_L = 50 pF [3]
13	DATA to Switch Status Delay	t_D		50	100	ns	R_L = 1kΩ, C_L = 50 pF [3]
14	RESET to Switch Status Delay	t_R		35	100	ns	R_L = 1kΩ, C_L = 50 pF [3]

[1] Timing is over recommended temperature range. See Fig. 2 for control and I/O timing details.
Digital input rise time (tr) and fall time (tf) = 5ns.
[2] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.
[3] Refer to Appendix, Fig. A.7 for test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

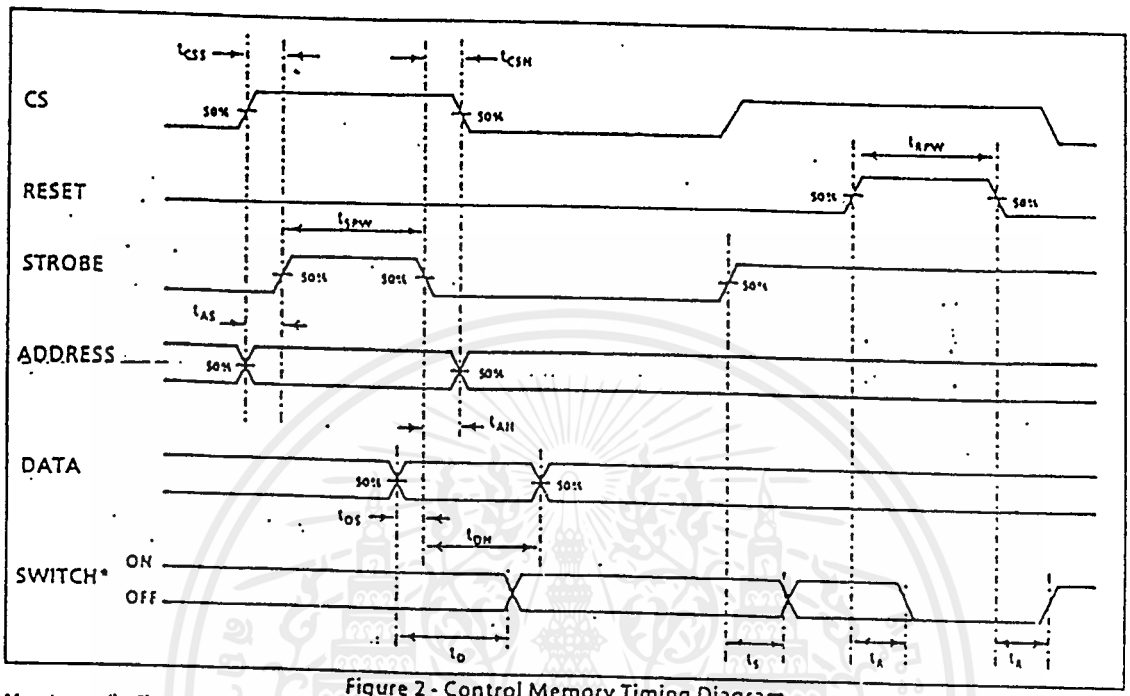


Figure 2 - Control Memory Timing Diagram

*See Appendix, Fig. A.7 for switching waveform

AX0	AX1	AX2	AX3	AY0	AY1	AY2	Connection*
0	0	0	0	0	0	0	X0 - Y0
1	0	0	0	0	0	0	X1 - Y0
0	1	0	0	0	0	0	X2 - Y0
1	1	0	0	0	0	0	X3 - Y0
0	0	1	0	0	0	0	X4 - Y0
1	0	1	0	0	0	0	X5 - Y0
0	1	1	0	0	0	0	X12 - Y0
1	1	1	0	0	0	0	X13 - Y0
0	0	0	1	0	0	0	X6 - Y0
1	0	0	1	0	0	0	X7 - Y0
0	1	0	1	0	0	0	X8 - Y0
1	1	0	1	0	0	0	X9 - Y0
0	0	1	1	0	0	0	X10 - Y0
1	0	1	1	0	0	0	X11 - Y0
0	1	1	1	0	0	0	X14 - Y0
1	1	1	1	0	0	0	X15 - Y0
0	0	0	0	1	0	0	X0 - Y1
1	0	0	0	1	0	0	X15 - Y1
0	1	0	0	1	0	0	X0 - Y2
1	1	0	0	1	0	0	X15 - Y2
0	0	1	0	1	0	0	X0 - Y3
1	0	1	0	1	0	0	X15 - Y3
0	1	1	0	1	0	0	X0 - Y4
1	1	1	0	1	0	0	X15 - Y4
0	0	0	1	1	0	0	X0 - Y5
1	0	0	1	1	0	0	X15 - Y5
0	1	0	1	1	0	0	X0 - Y6
1	1	0	1	1	0	0	X15 - Y6
0	0	1	1	1	0	0	X0 - Y7
1	0	1	1	1	0	0	X15 - Y7

Figure 3 - Address Decode Truth Table

*Switch connections are not in ascending order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #*	Name	Description
1	Y3	Y3 Analog (Input/Output): this is connected to the Y3 column of the switch array.
2	AY2	Y2 Address Line (Input).
3	RESET	Master RESET (Input): this is used to turn off all switches regardless of the condition of CS. Active High.
4,5	AX3,AX0	X3 and X0 Address Lines (Inputs).
6,7	X14, X15	X14 and X15 Analog (Inputs/Outputs): these are connected to the X14 and X15 rows of the switch array.
8-13	X6-X11	X6-X11 Analog (Inputs/Outputs): these are connected to the X6-X11 rows of the switch array.
14	NC	No Connection
15	Y7	Y7 Analog (Input/Output): this is connected to the Y7 column of the switch array.
16	VSS	Digital Ground Reference.
17	Y6	Y6 Analog (Input/Output): this is connected to the Y6 column of the switch array.
18	STROBE	STROBE (Input): enables function selected by address and data. Address must be stable before STROBE goes high and DATA must be stable on the falling edge of the STROBE. Active High.
19	Y5	Y5 Analog (Input/Output): this is connected to the Y5 column of the switch array.
20	VEE	Negative Power Supply.
21	Y4	Y4 Analog (Input/Output): this is connected to the Y4 column of the switch array.
22, 23	AX1,AX2	X1 and X2 Address Lines (Inputs).
24, 25.	AY0,AY1	Y0 and Y1 Address Lines (Inputs).
26, 27	X13, X12	X13 and X12 Analog (Inputs/Outputs): these are connected to the X13 and X12 rows of the switch array.
28 - 33	X5-X0	X5-X0 Analog (Inputs/Outputs): these are connected to the X5-X0 rows of the switch array.
34	NC	No Connection.
35	Y0	Y0 Analog (Input/Output): this is connected to the Y0 column of the switch array.
36	CS	Chip Select (Input): this is used to select the device. Active High.
37	Y1	Y1 Analog (Input/Output): this is connected to the Y1 column of the switch array.
38	DATA	DATA (Input): a logic high input will turn on the selected switch and a logic low will turn off the selected switch. Active High.
39	Y2	Y2 Analog (Input/Output): this is connected to the Y2 column of the switch array.
40	VDD	Positive Power Supply.

* Plastic DIP and CERDIP only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8816 is an analog switch matrix with an array size of 8X16. The switch array is arranged such that there are 8 columns by 16 rows. The columns are referred to as the Y inputs/outputs and the rows are the X inputs/outputs. The crosspoint analog switch array will interconnect any X I/O with any Y I/O when turned on and provide a high degree of isolation when turned off. The control memory consists of a 128 bit write only RAM in which the bits are selected by the address inputs (AY0-AY2, AX0-AX3). Data is presented to the memory on the DATA input. Data is asynchronously written into memory whenever both the CS (Chip Select) and STROBE inputs are high and are latched on the falling edge of STROBE. A logical "1" written into a memory cell turns the corresponding crosspoint switch on and a logical "0" turns the crosspoint off. Only the crosspoint switches corresponding to the addressed memory location are altered when data is written into memory. The remaining switches retain their previous states. Any combination of X and Y inputs/outputs can be interconnected by establishing appropriate patterns in the control memory. A logical "1" on the RESET input will asynchronously return all memory locations to logical "0" turning off all crosspoint switches regardless of whether CS is high or low. Two voltage reference pins (V_{SS} and V_{EE}) are provided for the MT8816 to enable switching of negative analog signals. The range for digital signals is from V_{DD} to V_{SS} while the range for analog signals is from V_{DD} to V_{EE}. V_{SS} and V_{EE} pins can be tied together if a single voltage reference is needed.

Address Decode

The seven address inputs along with the STROBE and CS (Chip Select) are logically ANDed to form an enable signal for the resettable transparent latches. The DATA input is buffered and is used as the input to all latches. To write to a location, RESET must be low and CS must go high while the address and data are set up. Then the STROBE input is set high and then low causing the data to be latched. The data can be changed while STROBE is high, however, the corresponding switch will turn on and off in accordance with the DATA input. DATA must be stable on the falling edge of STROBE in order for correct data to be written to the latch.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO²-CMOS MT8870B/MT8870B-1 Integrated DTMF Receiver

9161-002-051-NA ISSUE 3 December 1991

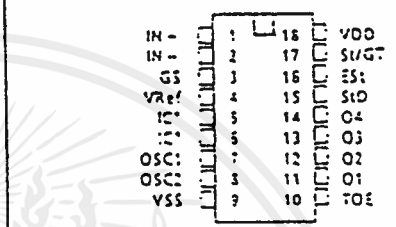
Features

- Complete DTMF Receiver
- Low Power Consumption
- Internal Gain Setting Amplifier
- Adjustable Guard Time
- Central Office Quality

Applications

- Receiver System for British Telecom (BT) or CEPT Spec (MT8870B-1)
- Paging Systems
- Repeater Systems/Mobile Radio
- Credit Card Systems
- Remote Control
- Personal Computers

Pin Connections



* Connect to VSS

Ordering Information -40°C to +85°C

MT8870BE/MT8870B-1	Plastic DIP
MT8870BC/MT8870C-1	Ceramic

Description

The MT8870B/MT8870B-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

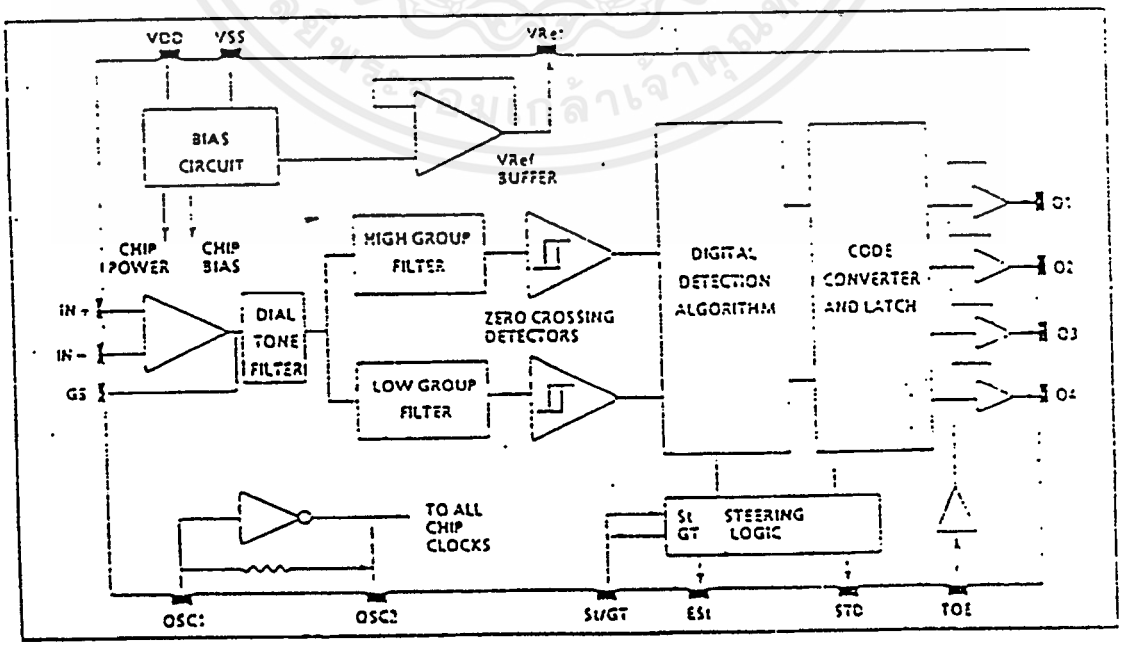


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings[1]

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}			6	V
2	Voltage on any pin		$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (other than supply)			10	mA
4	Operating temperature	T_A	−40	+85	°C
5	Storage temperature		−65	+150	°C
6	Package power dissipation			1000	mW

[1] Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ[1]	Max	Units	Test Conditions
1	Positive Supply Voltages	V_{DD}		5		V	V_{SS} = 0V
2	Oscillator Clock Frequency	fc		3.579545		MHz	
3	Oscillator Frequency Tolerance	Δfc		±0.1		%	

[1] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD} = 5.0V ± 5%, V_{SS} = 0V. Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ[1]	Max	Units	Test Conditions
1	Supply	Operating supply voltage	V_{DD}	4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_C		15	45	mW	f = 3.58 MHz; V_{DD} = 5V
4	Inputs	High level input	V_{IH}	3.5			V	
5		Low level input voltage	V_{IL}			1.5	V	
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	V_{IN} = V_{SS} or V_{DD}
7		Pull-up (source) current	I_{SC}		7.5	15	μA	TOE (pin 10) = 0V
8		Input impedance (IN+, IN−)	R_{IN}		10		MΩ	@ 1 kHz
9		Steering threshold voltage	V_{TSt}	2.2		2.6	V	
10	Outputs	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
11		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
12		Output low (sink) current	I_{OL}	1	2.5		mA	V_{OUT} = 0.4 V
13		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT} = 4.6 V
14		V_{Ref} output voltage	V_{Ref}	2.4		2.7	V	No load
15		V_{Ref} output resistance	R_{OR}		10		kΩ	

[1] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics* - Voltages are with respect to ground (V_{SS}) unless otherwise stated

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ†	Max	Units	Test Conditions
1	Input leakage current	i_{IN}		100		nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}		10		MΩ	
3	Input offset voltage	V_{OS}		25		mV	
4	Power supply rejection	PSRR		60		dB	1 kHz
5	Common mode rejection	CMRR		60		dB	-3.0V ≤ V_{IN} ≤ 3.0V
6	DC open loop voltage gain	A_{VOL}		65		dB	
7	Open loop unity gain bandwidth	f_C		1.5		MHz	
8	Output voltage swing	V_O		4.5		V_{pp}	$R_L \ge 100K\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L		100		pF	
10	Maximum resistive load (GS).	R_L		50		kΩ	
11	Common mode range	V_{CM}		3.0		V_{pp}	No Load

*V_{DD} = 5 V, V_{SS} = 0 V, T_A = 25°C

†Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

MT8870B AC Electrical Characteristics* - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ	Max	Units	Notes
1	Single Tone-Gain Mode	Valid input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						-1	dBm	1,2,3,5,6,9
						869	mV_{RMS}	1,2,3,5,6,9
2	Dial Tone Detect	Positive twist accept			10		dB	2,3,6,9
3		Negative twist accept			10		dB	2,3,6,9
4		Freq. deviation accept		±1.5% ± 2Hz			Nom.	2,3,5,9
5		Freq. deviation reject		±3.5%			Nom.	2,3,5,9
6		Third tone tolerance			+16		dB	2,3,4,5,9
7		Noise tolerance			+12		dB	2,3,4,5,7,9,10
8		Dial tone tolerance			-22		dB	2,3,4,5,8,9,11

* V_{DD} = 5 V, V_{SS} = 0, T_A = 25° C and f_C = 3.579545 MHz using test circuit shown in Figure 2

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ± 1.5% ± 2Hz.
7. Bandwidth limited (3KHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %
9. For an error rate of better than 1 in 10,000
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870B-1 AC Electrical Characteristics* - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-31			dBm	1,2,3,5,6,9
				21.8			mV_{RMS}	1,2,3,5,6,9
						-1	dBm	1,2,3,5,6,9
						869	mV_{RMS}	1,2,3,5,6,9
2		Input Signal Level Reject		-37			dBm	1,2,3,5,6,9
				10.9			mV_{RMS}	1,2,3,5,6,9
3		Positive twist accept				6	dB	2,3,6,9
4		Negative twist accept				6	dB	2,3,6,9
5		Freq. deviation accept		±1.5% ± 2Hz				2,3,6,9
6		Freq. deviation reject		±3.5%				2,3,6,9
7		Third tone tolerance		-18.5			dB	2,3,4,5,8,13
8		Noise tolerance			-12		dB	2,3,4,5,7,8,10
9		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

* V_{DD} = 5 V, V_{SS} = 0, T_A = 25°C and f_c = 3.579545 MHz using test circuit shown in Figure 1.

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude
6. Tone pair is deviated by ± 1.5% ± 2Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.
13. Referenced to Fig. 10 input DTMF Tone Level at -25 dBm (-23 dBm at GS Pin) interference Frequency Range between 690-1400 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ[2]	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 12
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 12
3		Tone duration accept	t_{REC}			40	ms	User adjustable
4		Tone duration reject	t_{REC}	20			ms	User adjustable
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable
6		Interdigit pause reject	t_{DO}	20			ms	User adjustable
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12		µs	TOE = V_{DD}
9		Output data setup (Q to StD)	t_{QStD}		3.4		µs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	R_L = 10kΩ, C_L = 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	R_L = 10kΩ, C_L = 50 pF
12	CRYSTAL CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
13		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
14		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
15		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
16		Capacitive load (OSC2)	C_{LO}			30	pF	

[1] V_{DD} = 5.0V, V_{SS} = 0V, T_A = 25°C and f_C = 3.579545 MHz, using test circuit shown in figure 2

[2] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

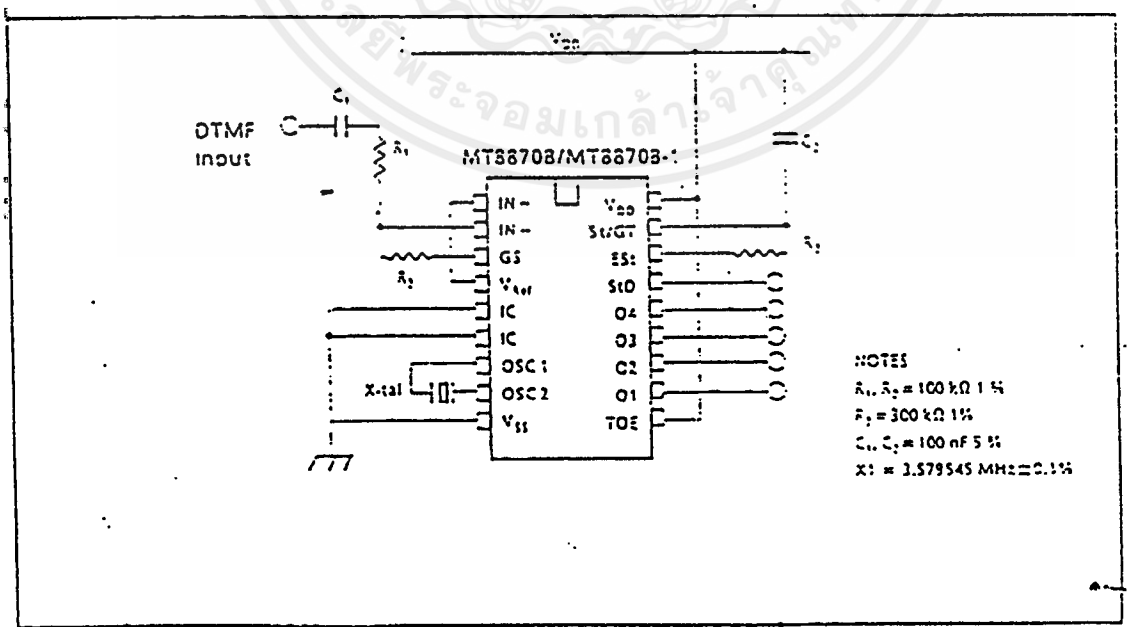


Figure 2 - Single-Ended Input Configuration

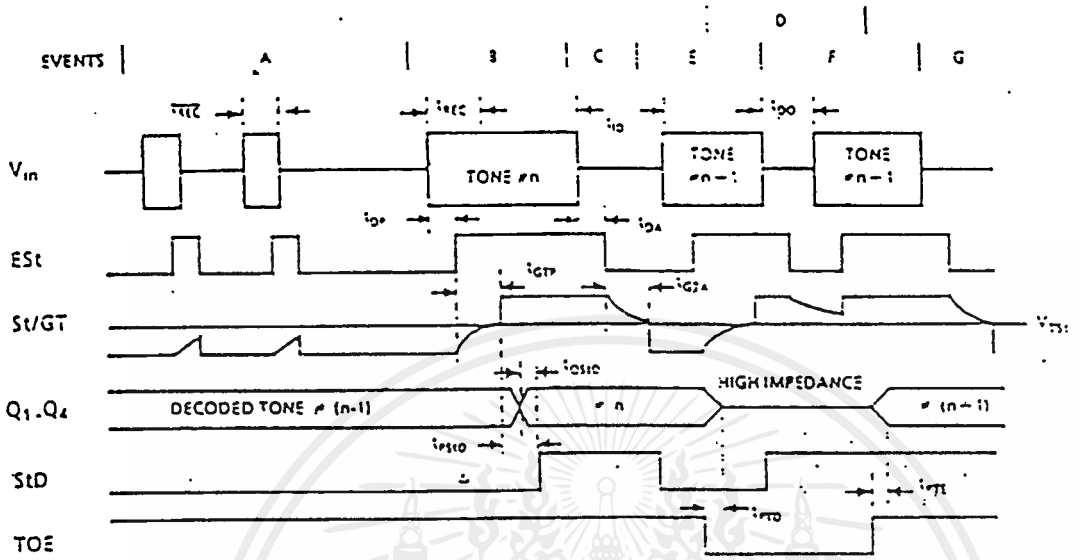
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870B/MT8870B-1 ISO²-CMOS

Pin Description

Pin #	Name	Description
1	IN+	Non-Inverting Op-Amp (Input).
2	IN−	Inverting Op-Amp (Input).
3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V_{Ref}	Reference Voltage (Output). Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig.2).
5	IC	Internal Connection. Must be tied to V_{SS}.
6	IC	Internal Connection. Must be tied to V_{SS}.
7	OSC1	Clock (Input).
8	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Negative Power Supply (Input).
10	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	StD	Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply (Input).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED. TONE DURATION INVALID. OUTPUTS NOT UPDATED

B) TONE #n DETECTED. TONE DURATION VALID. TONE DECODED AND LATCHED IN OUTPUTS.

C) END OF TONE #n DETECTED. TONE ABSENT DURATION VALID. OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n-1 DETECTED. TONE DURATION VALID. TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n-1. TONE ABSENT DURATION INVALID. OUTPUTS REMAIN LATCHED.

G) END OF TONE #n-1 DETECTED. TONE ABSENT DURATION VALID. OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

t_{REZ} MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID.

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MINIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROPOUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 3- Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870B/MT8870B-1 ISO²-CMOS

Functional Description

The MT8870B/MT8870B-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes V_C (see Figure 5) to rise as the capacitor discharges. Provided signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), V_C reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives V_C to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input TOE to a logic high. The steering circuit works in reverse to validate the interdigit

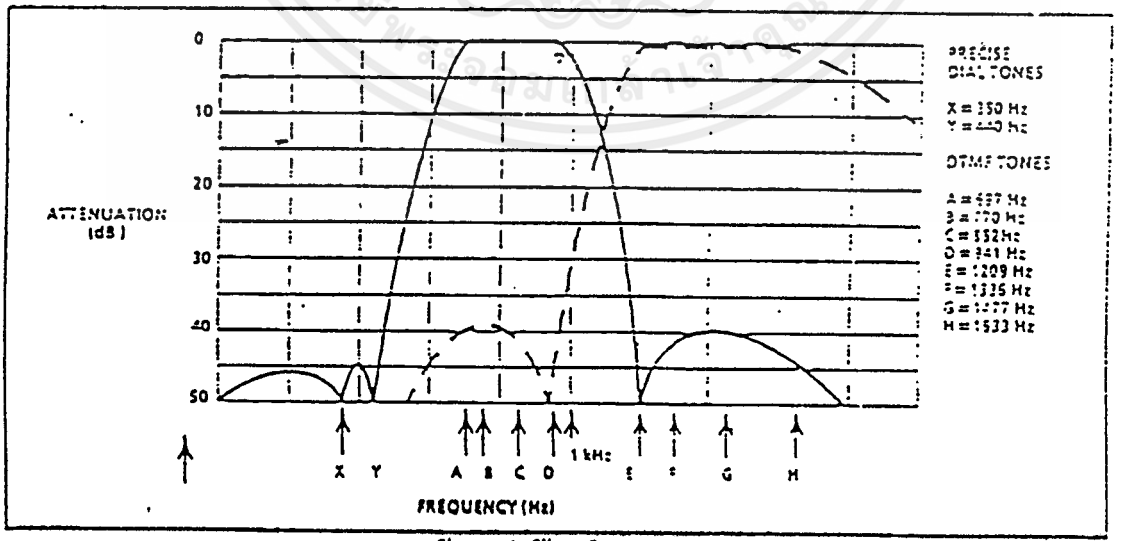


Figure 4- Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{LOW}	f_{HIGH}	NO.	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Table 1. Functional Decode Table

pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 5 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 3) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

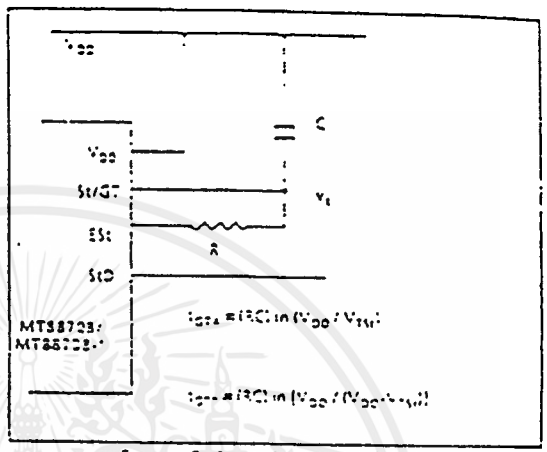


Figure 5- Basic Steering Circuit

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk-off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DP} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone dropouts are required. Design information for guard time adjustment is shown in Figure 8.

Differential Input Configuration

The input arrangement of the MT8870B/MT8870B-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 2 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 7 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

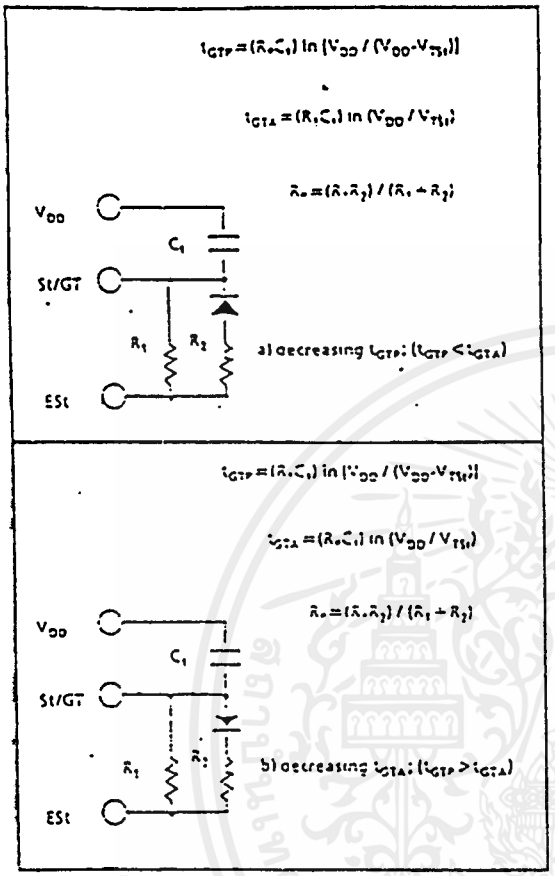


Figure 6- Guard Time Adjustment

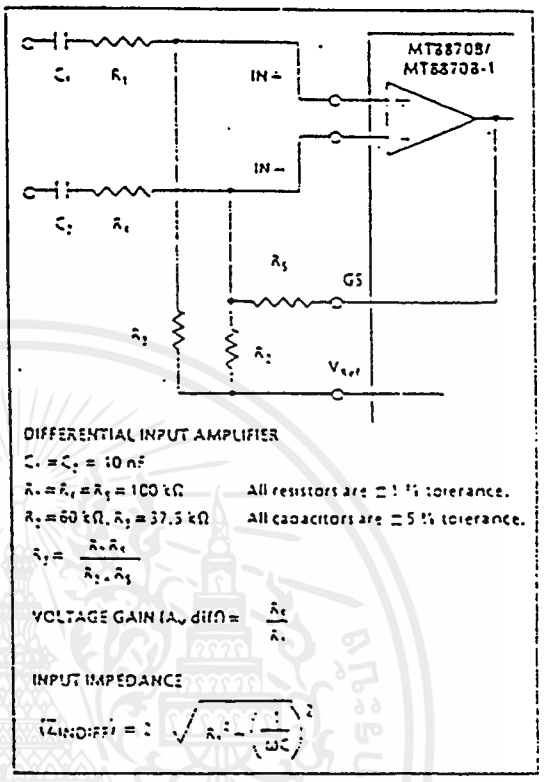


Figure 7- Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870B/MT8870B-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 8 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

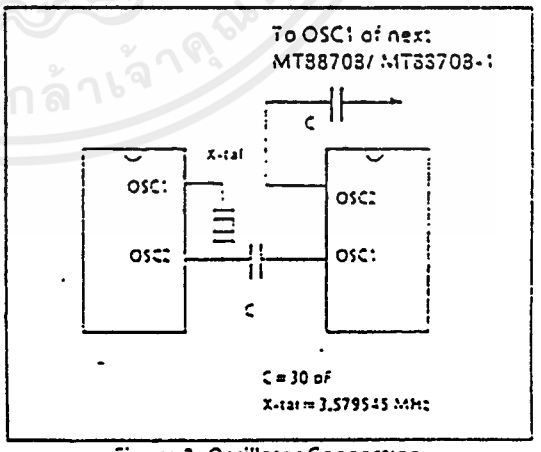


Figure 8- Oscillator Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 10 illustrates the use of MT8870B-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870B-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 9.

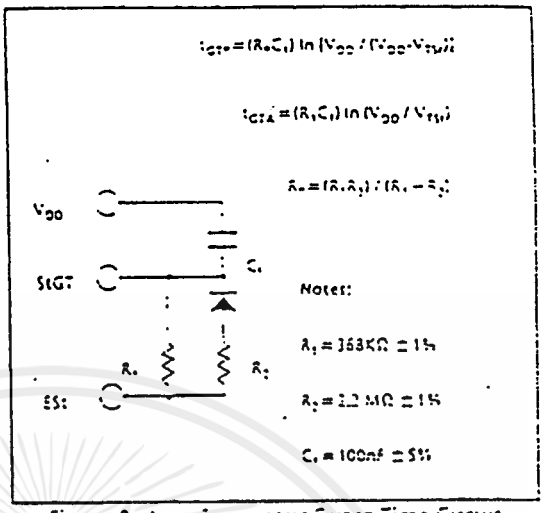


Figure 9 - Non-Symmetric Guard Time Circuit

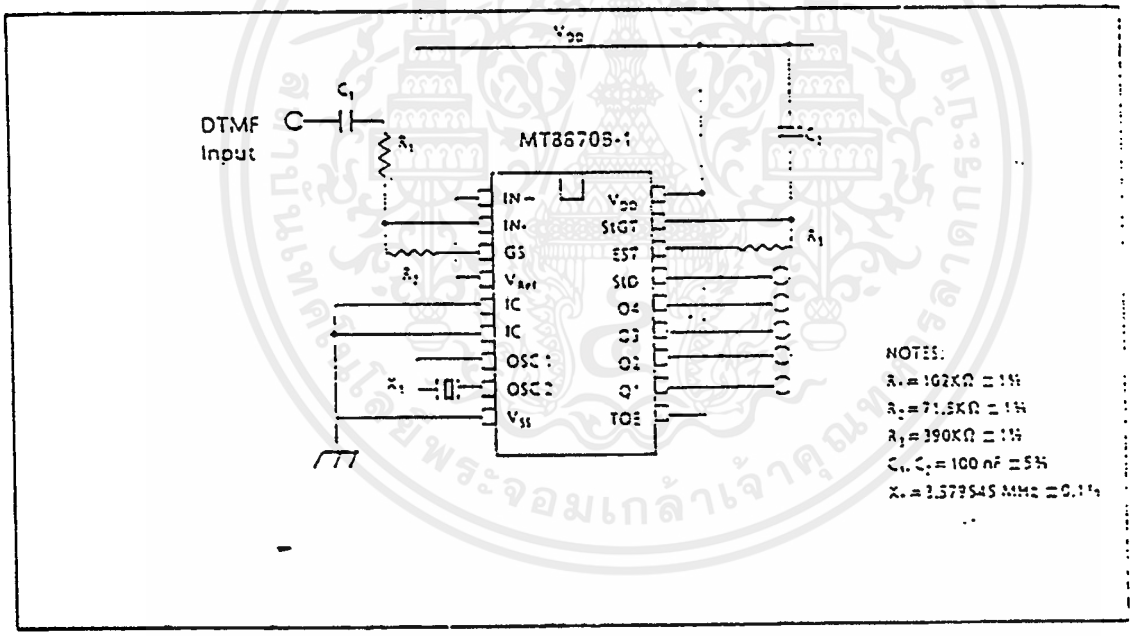


Figure 10 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY DATA SHEET

INFORMATION STORAGE DEVICES

ISD1200/1400 Series

Single-Chip Voice Record/Playback Devices 10-, 12-, 16-, and 20-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD1200/1400 ChipCorder™ Series provides high-quality, single-chip record/playback solutions to short duration messaging applications. The CMOS devices include an on-chip oscillator, microphone pre-amplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in nonvolatile memory cells, providing zero-power message storage. This unique solution is made possible through ISD's patented Direct Analog Storage Technology (DAST®), whereby voice and audio signals are stored directly, in their natural analog form, into EEPROM memory. Direct analog storage allows natural voice reproduction in a single-chip solid-state solution.

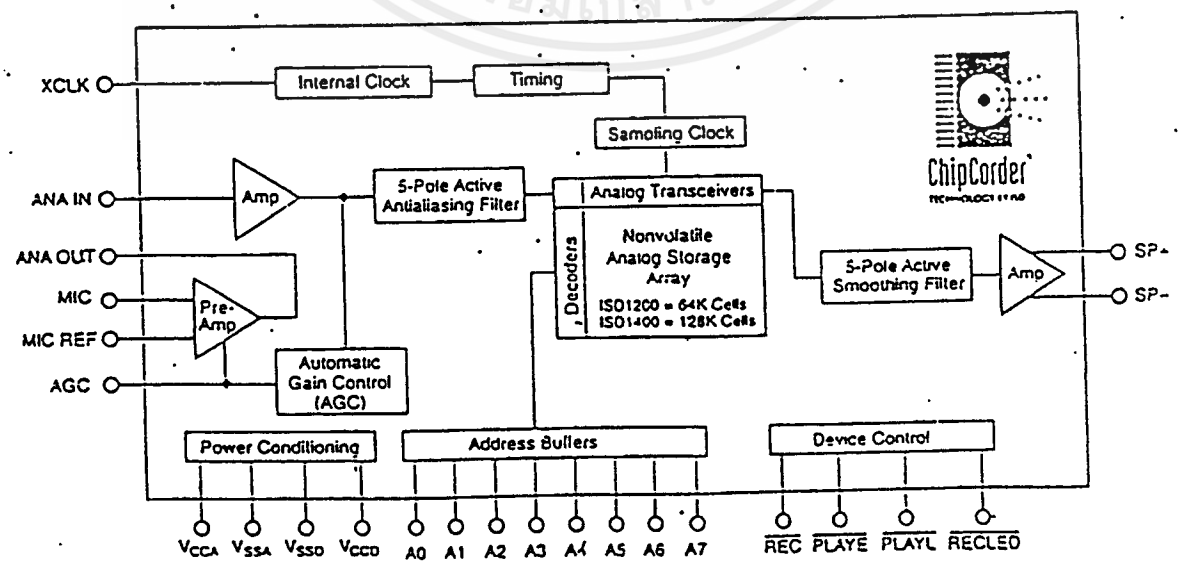
ISD1200/1400 SERIES SUMMARY

Part Number	Minimum Duration (Seconds)	Maximum Input Sample Rate (KHz)	Upper Pass Band (KHz)
ISD1210	10	6.4	2.7
ISD1212	12	5.3	2.3
ISD1416	16	8.0	3.4
ISD1420	20	6.4	2.7

FEATURES

- Easy-to-use single-chip voice record/playback solution
  - No external ICs required
  - Minimizes external components
- High-quality, natural voice/audio reproduction
- Push-button interface
  - Playback can be edge- or level-activated
- Zero-power message storage
  - Eliminates battery backup circuits
- 100-year message retention (typical)
- 100 K record cycles (typical)
- On-chip clock source
- No programmer or development system needed
- Fully addressable to handle multiple messages
- Automatic power-down mode
  - Enters standby mode immediately following a record or playback cycle
  - Standby current 0.5 uA (typical)
- Single power supply
- Available in DIP, SOIC, and die form for Chip-on-Board (COB) Module assembly

ISD1200/1400 SERIES BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... และจุฬาฯ ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED DESCRIPTION

Basic Operation

The ISD1200/1400 ChipCorder Series devices are controlled by a single signal, $\overline{REC}$, and either of two push-button control playback signals. $\overline{PLAYE}$ (edge-activated playback), and $\overline{PLAYL}$ (level-activated playback). The ISD1200/1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 4.

Speech Quality

ISD's patented DAST technology provides natural record and playback. The input voice signals are stored directly in nonvolatile EEPROM cells, and reproduced without the synthetic effect often heard with digital solid-state speech solutions. A complete sample is stored in a single cell, minimizing the memory necessary to store a recording of a given duration.

Automatic Power-Down Mode

At the end of a playback or record cycle, the ISD1200/1400 Series devices automatically return to a low-power standby mode, consuming typically 0.5 µA. During a playback cycle, the device powers down automatically at the end of the message. During a record cycle, the device powers down immediately after $\overline{REC}$ is released HIGH.

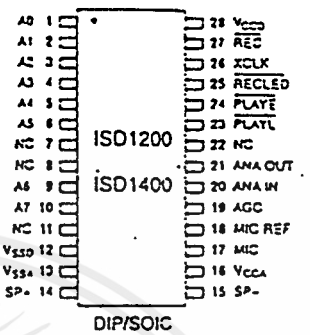
Addressing (optional)

In addition to providing simple message playback, the ISD1200/1400 Series provides a full addressing capability.

The ISD1200 Series storage array has 80 distinct addressable segments, while the ISD1400 Series storage array has 160 distinct addressable segments, providing the following resolutions.

Part Number	Resolution
ISD1210	125 ms
ISD1212	150 ms
ISD1416	100 ms
ISD1420	125 ms

ISD1200/1400 SERIES PINOUTS



DIP/SOIC

Note: NC means Must Not Connect

PIN DESCRIPTIONS

Note: The $\overline{REC}$, $\overline{PLAYL}$, and $\overline{PLAYE}$ signals are all debounced for 50 ms, on the rising edge to prevent a false retriggering from a push-button switch.

Record ($\overline{REC}$)

The $\overline{REC}$ input is an active-LOW record signal. The device records whenever $\overline{REC}$ is LOW. This signal must remain LOW for the duration of the recording. $\overline{REC}$ takes precedence over either playback ($\overline{PLAYE}$ or $\overline{PLAYL}$) signal. If $\overline{REC}$ is pulled LOW during a playback cycle, the playback immediately ceases and recording begins.

A record cycle is completed when $\overline{REC}$ is pulled HIGH. An end-of-message marker is internally recorded, enabling a subsequent playback cycle to terminate appropriately. The device automatically powers down to standby mode when $\overline{REC}$ goes HIGH.

Playback, Edge-Activated ($\overline{PLAYE}$)

When a LOW-going transition is detected on this input signal, a playback cycle begins. Playback continues until an end-of-message marker is encountered or the end of the memory space is reached. Upon completion of the playback cycle, the device automatically powers down into standby mode. Taking $\overline{PLAYE}$ HIGH during a playback cycle will not terminate the current cycle.

Playback, Level-Activated ($\overline{PLAYL}$)

When this input signal transitions from HIGH to LOW, a playback cycle is initiated. Playback continues until $\overline{PLAYL}$ is pulled HIGH, an end-of-message marker is detected, or the end of the device space is reached. The device automatically powers down to standby mode upon completion of the playback cycle.

Note: In playback, if either $\overline{PLAYE}$ or $\overline{PLAYL}$ is held LOW during $\overline{EOM}$ or OVERFLOW, the device will still enter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

standby and the internal oscillator and timing generator will stop. However, the rising edge of $\overline{\text{PLAYE}}$ and $\overline{\text{PLAYL}}$ will no longer be debounced and any subsequent falling edge present on the input pins will initiate another playback.

Record LED Output ($\overline{\text{RECLED}}$)

The output $\overline{\text{RECLED}}$ is LOW during a record cycle. It can be used to drive an LED to provide feedback that a record cycle is in progress. In addition, $\overline{\text{RECLED}}$ pulses LOW momentarily when an end-of-message marker is encountered in a playback cycle.

Microphone Input (MIC)

The microphone is usually AC-coupled to this pin via a series capacitor. The user-selectable value of the input series capacitor (together with the 10K ohm resistance internal to the chip) determines the low-frequency cutoff for the ISD1200/1400 Series passband.

Microphone Reference (MIC REF)

When MIC REF is AC coupled to the microphone ground, the recorded noise level is significantly reduced. Ground noise is referenced to the preamplifier. If this pin is not used, it must NOT be connected to any signal or voltage. It must float.

Analog Output (ANA OUT)

The microphone signal is amplified and is output to the ANA OUT pin. The voltage gain of the preamp is determined by the voltage level at the Automatic Gain Control (AGC) pin. The preamplifier has a maximum gain of about 24 dB for small input signal levels.

Analog Input (ANA IN)

The external capacitor connects ANA IN to the ANA OUT pin. The value of the external capacitor, together with the 3 KΩ input impedance at ANA IN, can be chosen to give additional cutoff at the low-frequency end of the voice passband. The ANA IN pin may also be used to input alternative sources of analog signals (instead of the microphone signal) through a coupling capacitor.

Automatic Gain Control (AGC)

The purpose of the AGC is to dynamically adjust the preamplifier gain, and therefore extend the range of input signals which can be applied to the microphone input without causing distortion. The AGC can considerably extend the range of recordable sound from whispers to loud voices. To use the AGC feature, an external resistor and capacitor should be connected in parallel between the AGC pin and Ground. Recommended values are 470 KΩ and 4.7 µF. The "attack" time of the gain control is determined by the source resistance (5 KΩ) and the external capacitor. The "release" time is determined by the external resistor and capacitor. For AGC voltages of 1.5 Volts and below, the preamplifier is at its maximum gain of 24 dB. Reduction in preamplifier gain occurs for voltages of approximately 1.8 Volts. If the AGC function is not desired, the AGC pin can be tied to Ground and the preamplifier gain will be held at its highest level of approximately 24 dB.

If operating at voltages above 5.5 V, insert a 5.1 KΩ resistor in series with the capacitor from pin 20 to pin 21 to minimize distortion.

Speaker Outputs (SP+, SP–)

The SP+ and SP– pins provide direct drive for loudspeakers with impedances as low as 16 ohms. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when SP+ and SP– are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the SP pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at V_{SSA} during Power Down.

Optional External Clock (XCLK)

This signal is normally tied to ground in applications circuits. If, however, greater timing precision is desired, (internal clock has ±2.5 % tolerance over temperature and voltage range), the chip can be externally clocked through this pin. If the XCLK is not used, this input should be connected to ground.

V_{CCA} and V_{CCD}

Analog and digital circuits internal to the ISD1200/1400 Series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

V_{SSA} and V_{SSD} (Ground)

Similar to V_{CCA} and V_{CCD}, the analog and digital circuits internal to the ISD1200/1400 Series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OPERATIONAL MODES

Address Ctrl. (HIGH)	Function	Typical Use	Jointly* Compatible
A0	Message cueing	Fast-forward through messages	A4
A1	Delete $\overline{EOM}$ markers	Position $\overline{EOM}$ marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1
A4	Consecutive addressing	Record/Play multiple consecutive messages	A0, A1
A5	Unused		

** Indicates additional operational modes which can be used simultaneously with the given mode.*

Address Inputs (A0-A7)

The Address Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are ALL interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{PLAYE}$, $\overline{PLAYL}$ or $\overline{REC}$.

OPERATIONAL MODES

The ISD1200/1400 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1200/1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH, the remaining address signals are interpreted as mode bits and NOT as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1200/1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback, Playback to Record, or when a Power-Down cycle is executed.

Second, an Operational Mode is executed when any of the control inputs, $\overline{PLAYE}$, $\overline{PLAYL}$, or $\overline{REC}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

(Note: The two MSBs are on pins 9 and 10 for each ISD1200/1400 Series member.)

OPERATIONAL MODE DESCRIPTIONS

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — Message Cueing ($\overline{PLAYE}$ or $\overline{PLAYL}$ only)

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the A4 Operational Mode.

A1 — Delete $\overline{EOM}$ Markers ($\overline{REC}$ only)

The A1 Operational Mode allows sequentially recorded messages to be concatenated into a single message with only one $\overline{EOM}$ marker set at the end of the combined message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

A2 — Unused

A3 — Message Looping ($\overline{PLAYE}$ or $\overline{PLAYL}$ only)

The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message CAN completely fill the ISD1200/1400 device and will loop from beginning to end.

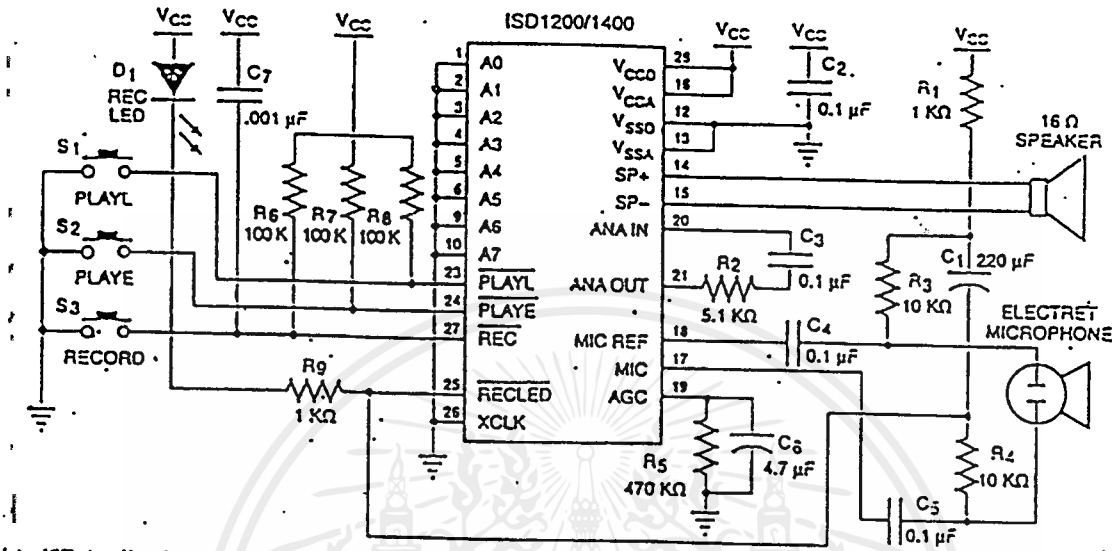
A4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an $\overline{EOM}$ marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be played back consecutively.

A5 — Unused

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION SCHEMATIC



Note: ISD Application Notes and Design Manual available

FUNCTIONAL DESCRIPTION EXAMPLE

The following example operating sequence demonstrates the functionality of the ISD1200/1400 Series devices.

1. Record a message filling the address space.

Pulling the $\overline{\text{REC}}$ signal LOW initiates a record cycle from the beginning of the message space. If $\overline{\text{REC}}$ is held LOW, the recording continues until the message space has been filled. Once the message space is filled, recording ceases. The device will automatically power down after $\overline{\text{REC}}$ is pulled HIGH.

2. Edge-activated playback.

Pulling the $\overline{\text{PLAYE}}$ signal LOW initiates a playback cycle from the beginning of the message space. The rising edge of $\overline{\text{PLAYE}}$ has no effect on operation. If a recording has filled the message space, the entire message is played. When the device reaches the end of the message space, it automatically powers down. A subsequent falling edge on $\overline{\text{PLAYE}}$ initiates a new play cycle from the start address.

3. Level-activated playback.

Pulling the $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle from the beginning of the message space. If $\overline{\text{PLAYL}}$ remains LOW, the device plays through to the end of the message and subsequently enters the power-down mode.

4. Level-activated playback (truncated).

If $\overline{\text{PLAYL}}$ is pulled HIGH any time during the play-back cycle, the device stops playing and enters the power-down mode. A subsequent falling edge on $\overline{\text{PLAYL}}$ initiates a new play cycle from the start address.

5. Record (interrupting playback).

The $\overline{\text{REC}}$ signal takes precedence over other operations. Any LOW-going transition on $\overline{\text{REC}}$ initiates a new record operation from the beginning of the start address, regardless of any current operation in progress.

6. Record a message, partially filling the address space.

A record operation need not fill the entire message space. Releasing the $\overline{\text{REC}}$ signal HIGH before filling the message space causes the recording to stop and an end-of-message marker to be placed. The device powers down automatically.

7. Play back a message, partially filling the address space.

Pulling the $\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle which is then completed when the end-of-message marker is encountered. Playback ceases and the device powers down.

8. $\overline{\text{RECLED}}$ operation.

The $\overline{\text{RECLED}}$ output pin provides an active-LOW signal which can be used to drive an LED as a "record in-progress" indicator. It returns to a HIGH state when the $\overline{\text{REC}}$ pin is released HIGH or when the recording is completed due to the message space being filled.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS NOTE

Some users may experience an unexpected recording taking place when their circuit is powered up, or the batteries are changed and V_{CC} rises faster than REC. This undesired recording prevents playback of the previously recorded message. A spurious End Of Message ($\overline{EOM}$) marker appears at the very beginning of the memory, preventing access to the original message, and nothing is played.

To prevent this occurrence, place a capacitor (approx. .001 µF) between the control pin ($\overline{REC}$) and V_{CC}. This pulls the control pin voltage up with V_{CC} as it rises. Once the voltage is HIGH, the pull-up device will keep the pin HIGH until intentionally pulled LOW, preventing the false $\overline{EOM}$ marker.

Since this anomaly is dependent upon factors such as the capacitance of the user's printed circuit board, not all circuit designs will exhibit the spurious marker. It is recommended, however, that the capacitor is included for design reliability. A more detailed explanation and resolution of this occurrence is described in the ISD Application Notes and Design Manual.

ABSOLUTE MAXIMUM RATINGS - (ISD1200/1400 SERIES – PACKAGED)

Condition	Value
Temperature under bias	- 65° C to + 125° C
Storage temperature range	- 65° C to + 150° C
Voltage applied to any pin	(V_{SS} - 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ± 20 mA)	(V_{SS} - 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering - 10 seconds)	300° C
V_{CC} - V_{SS}	- 0.3 V to + 7.0 V

Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability.

DC PARAMETERS - (ISD1200/1400 SERIES – PACKAGED)

Operating Conditions: T_A = 0° to 70° C, V_{CC} = 4.5 V to 6.5 V [1], V_{SS} = 0 V [2]; unless otherwise noted

Symbol	Parameters	Min	Typ [3]	Max	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = - 1.6 mA
I_{CC}	V_{CC} Current @ 5.5 V (Operating)		15	30	mA	V_{CC} = 5.5 V, R_{EXT} = ∞ [4]
I_{CC}	V_{CC} Current @ 6.5 V (Operating)		15	35	mA	V_{CC} = 6.5 V, R_{EXT} = ∞ [4]
I_{SB}	V_{CC} Current (Standby)		0.5	10	µA	[4] [5]
I_{IL}	Input Leakage Current			±1	µA	[4] [5]
I_{ILPD}	Input Current HIGH w/Pull Down			130	µA	Force V_{CC} [6] [7]
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance		10		KΩ	Pins 17, 18
$R_{ANA\ In}$	Ana In Input Resistance		3		KΩ	
A_{PRE1}	Preamp Gain 1		24		dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		- 45	- 15	dB	AGC = 2.5 V
A_{ARP}	Ana In to SP+/-		22		dB	
R_{AGC}	AGC Output Resistance		5		KΩ	
I_{PREH}	Preamp Out Source		- 2		mA	@ V_{OUT} = 1.0 V
I_{PREL}	Preamp In Sink		0.5		mA	@ V_{OUT} = 2.0 V

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.
2. $V_{SS} = V_{SSA} = V_{SSD}$.
3. Typical values @ T_A = 25° C and 5.0 V.
4. V_{CCA} and V_{CCD} connected together.
5. $\overline{REC}$, $\overline{PLAYL}$ and $\overline{PLAYE}$ must be V_{CCD}.
6. Pin 26.
7. Applies only to ISD12(X) and ISD14(X) future version (see page 13).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (ISD1200/1400 SERIES – PACKAGED)

Operating Conditions: T_A = 0° to 70° C, V_{CC} = 4.5 V to 6.5 V [1], V_{SS} = 0 V [2]; unless otherwise noted

Symbol	Characteristic	Min	Typ [3]	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz
T_{LED1}	RECLED ON Delay		5		µsec	
T_{LED2}	RECLED OFF Delay		48.6		msec	
T_S	A3 Loop Setup Time	300			nsec	
T_H	A3 Loop Hold Time	0			nsec	
T_{RPUD}	Record Power-Up Delay		32		msec	
T_{RPDD}	Record Power-Down Delay		32		msec	
T_{PPUD}	Play Power-Up Delay		32		msec	
T_{PPDD}	Play Power-Down Delay		8.1		msec	
P_{OUT}	Speaker Output Power		12.2		mW	R_{EXT} = 16 Ω
V_{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak [4]
V_{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

AC PARAMETERS

Symbol	Characteristic	ISD-1210	ISD-1212	ISD-1416	ISD-1420	Units	Conditions
F_S	Sampling Frequency (max)	6.4	5.3	8	6.4	KHz	Internal Oscillator
BW	Bandwidth (max)	2.7	2.3	3.4	2.7	KHz	3 dB Roll-Off Point [5]
T_{RPW}	Record Pulse Width (max)	10	12	16	20	sec.	
T_{PLAY}	Playback Duration (min)	10	12	16	20	sec.	
T_{LED2}	RECLED OFF Delay	48.6	58.3	38.9	48.6	msec	[6]
T_{RPUD}	Rec. Power-Up Delay	32	39	26	32	msec	[6]
T_{RPDD}	Rec. Power-Down Delay	32	39	26	32	msec	[6]
T_{PPUD}	Play Power-Up Delay	32	39	26	32	msec	[6]
T_{PPDD}	Play Power-Down Delay.	8.1	9.7	6.5	8.1	msec	[6]

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.
2. $V_{SS} = V_{SSA} = V_{SSD}$.
3. Typical values @ T_A = 25° C, 5.0 V, and 6.2 KHz sample rate.
4. With 12 KΩ series resistor at ANA IN.
5. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).
6. Typical values @ T_A = 25° C and 5.0 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้