ระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณ
ผ่านคู่สาย 1 คู่สาย
DIGITAL THREE CHANNELS WIRE TELEMETRY

โดย

นาย พัชรชัย นวลคล้ำ

นาย สรวง จรัสแสงโสภณ

วัน เดือน ปี 23 ต.ค. 2541
เลขทะเบียน 039131
เลขเรียกหนังสือ T A0370 พ515ร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

039131

ระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณ
ผ่านคู่สาย 1 คู่สาย
DIGITAL THREE CHANNELS WIRE TELEMETRY

โดย

นาย พัชรชัย นวลคล้ำ เลขประจำตัว 38013198

นาย สรวง จรัสแสงโสภณ เลขประจำตัว 38013252

อาจารย์ที่ปรึกษา

อาจารย์ ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

ระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณผ่านคู่สาย 1 คู่สาย

DIGITAL THREE CHANNELS WIRE TELEMETRY

นาย พัชรชัย นวลคล้ำ เลขประจำตัว 38013198

นาย สรวง จรัสแสงโสภณ เลขประจำตัว 38013252

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(อาจารย์ ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณผ่านคู่สาย 1 คู่สาย

พัชรชัย นวลคล้ำ
สรวง จรัสแสงโสภณ
อ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นรายงานการพัฒนาระบบส่งสัญญาณไฟฟ้าร่างกาย โดยเสนอการออกแบบสร้างระบบส่ง และระบบรับสัญญาณไฟฟ้าร่างกายแบบเชิงเลข สำหรับการประยุกต์ใช้งานในห้องไอซียู โดยสามารถตรวจวัดสัญญาณของผู้ป่วยได้พร้อมกัน 3 สัญญาณ

การทำงานของระบบใช้หลักการของการมัลติเพล็กโดยการแบ่งเวลา (TDM) โดยสามารถรับส่งสัญญาณแบบอนุกรม ซึ่งการส่งสัญญาณแบบเชิงเลขสามารถขจัดสัญญาณรบกวนในขณะส่งได้ดีกว่าการส่งสัญญาณแบบอนาลอก การออกแบบระบบเน้นการใช้อุปกรณ์ที่หาได้ภายในประเทศ และสามารถพัฒนาระบบนี้ให้ใช้งานแบบไร้สายได้

DIGITAL THREE CHANNELS WIRE TELEMETRY

PATCHARACHAI NOULKLOM
SROUNG CHARUDSANGSOPHON
ADVISOR: PRAPAKORN SUWANNA

ABSTRACT

This thesis is a design and construction of the digital three channels wire telemetry ,intended for transmission of human electrical signal ICU telemetry monitoring system. The use of digital transmission makes the lower noise than that of the analog system. The system is based on TDM. Almost of the circuit components are easily available in local market in Thailand. The data rate is 6,400 bps can be applied in wireless transmission.

คำนำ

เนื่องจากความต้องการของแพทย์และพยาบาลที่ต้องการดูแลตรวจเช็คผู้ป่วยได้อย่างใกล้ชิดตลอดเวลา ควบคู่ไปกับความสะดวกสบาย การพัฒนาระบบส่งสัญญาณไฟฟ้าร่างกายในระยะไกลจึงเป็นสิ่งจำเป็น

ระบบส่งสัญญาณทางไกล 3 ช่องสัญญาณผ่านคู่สาย 1 คู่สายนี้ เป็นการออกแบบพัฒนาเครื่องมือทางการแพทย์ ที่ช่วยอำนวยความสะดวกในการตรวจเช็ควัดสัญญาณไฟฟ้าของผู้ป่วย โดยสามารถรับส่งสัญญาณไฟฟ้าความถี่ต่ำพร้อมกันได้ 3 สัญญาณ เช่น สัญญาณหัวใจ , ความดันเลือด และ อัตราการหายใจ สัญญาณที่รับได้จะถูกนำไปแสดงยังจอมอนิเตอร์ศูนย์กลางในห้องไอซียู ทำให้การดูแลรักษาผู้ป่วยสะดวกขึ้น

ในระบบที่ออกแบบนี้ใช้หลักการมัลติเพล็กโดยการแบ่งเวลา (TDM) โดยรับส่งสัญญาณแบบอนุกรม ซึ่งใช้ไอซีเป็นตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลเป็นตัวหลักในภาคส่ง ส่วนภาครับคืนสัญญาณโดยใช้ไอซีเป็นตัวแปลงสัญญาณดิจิตอลกลับเป็นอนาลอก จะได้สัญญาณคืนเหมือนเดิม ซึ่งรายละเอียดจะได้กล่าวต่อไป โดยได้ออกแบบไว้เฉพาะภาคส่งและภาครับ ส่งผ่านคู่สายเพียงคู่สายเดียว ซึ่งสามารถพัฒนาให้ระบบรับส่งแบบคลื่นวิทยุแทนสายส่งได้

คณะผู้จัดทำ
นาย พัชรชัย นวลคล้ำ
นาย สรวง จรัสแสงโสภณ

สารบัญ

	หน้า
บทคัดย่อ	ก-ข
คำนำ	ค
บทที่ 1 หลักการและทฤษฎี	1
1.1 บทนำ	1
1.2 คุณสมบัติของระบบ	1
1.3 วัตถุประสงค์	2
1.4 หลักการทำงานของภาคส่ง	2
1.4.1 การแปลงสัญญาณ	2
1.4.2 shift registor	3
1.4.3 สัญญาณอินพุท	4
1.4.4 สัญญาณซิงค์	4
1.4.5 การกำหนด oscillator	6
1.5 หลักการทำงานของภาครับ	6
บทที่ 2 ทฤษฎีของ Data Acquisition and Conversion	8
2.1 ทฤษฎีของการสุ่ม (Sampling)	9
2.2 Sample and Hold และ Aperture error	10
2.3 Frequency foldimg and Allasing	11
2.4 Quantizing theory	14
2.5 Quantizer Resolution and Error	15
2.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	16
2.7 วงจร Sampling circuit	17
2.7.1 วงจรสุ่มแบบ Inverting Close Loop	20
2.7.2 วงจรสุ่มแบบ Non Inverting Close Loop	21
บทที่ 3 การออกแบบภาคส่ง	22
3.1 โครงสร้างของระบบ	22
3.2 วงจรบัฟเฟอร์และวงจรกรองความถี่ (Filter)	22
3.3 การมัลติเพล็กซ์	24

3.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) 24
3.3.2 วงจรมัลติเพล็กโดยการแบ่งเวลา (TDM) 26
3.3.3 กระบวนการซิงโครไนซ์ (Synchronization) 27
3.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) 29
3.4.1 พื้นฐานของการแปลงข้อมูล 29
3.4.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 36
3.4.3 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 40
3.5 การกำหนดสัญญาณควบคุม 43
3.5.1 วงจรกำเนิดความถี่ 43
3.5.2 วงจรหารความถี่ 44
3.6 การขยายสัญญาณทางเอาท์พุท 46
3.6.1 วงจรปรับขนาดและระดับสัญญาณ (Amplifier) 46
3.7 การสร้างวงจรภาคส่ง 46
3.7.1 วงจรส่งที่สำเร็จ 46
3.7.1.1 วงจรภาคส่ง 46
3.7.1.2 วงภาคจ่ายไฟ 48
3.7.2 รายการอุปกรณ์ 49
3.7.2.1 รายการอุปกรณ์ภาคส่ง 49
3.7.2.2 รายการอุปกรณ์ภาคจ่ายไฟ 50

บทที่ 4 การออกแบบภาครับ 51
4.1 โครงสร้างของระบบ 51
4.2 การแยกสัญญาณข้อมูล 51
4.2.1 หลักการเปรียบเทียบแรงดัน 51
4.2.2 วงจรแยกสัญญาณซิงค์และแยกสัญญาณข้อมูล 53
4.2.3 วงจรเลื่อนข้อมูล 55
4.3 การดีมัลติเพล็กซ์โดยการแบ่งเวลา (TDM) 56
4.4 การแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) 57
4.4.1 พื้นฐานของการแปลงสัญญาณ 57
4.4.1.1 DAC แบบ Binary weight ladder 58
4.4.1.2 DAC แบบ R-2R ladder 59
4.4.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 61

4.4.3 การกำหนดสัญญาณควบคุม 61
4.5 การขยายสัญญาณทางเอาท์พุท 62
4.5.1 วงจรกรองความถี่ (Filter) 62
4.5.2 วงจร LPF ในทางปฏิบัติ 63
4.6 การสร้างวงจรภาครับ 66
4.6.1 วงจรภาครับที่สำเร็จ 66
4.6.2 รายการอุปกรณ์ 68

บทที่ 5 การทดสอบคุณสมบัติ 69
5.1 การทดสอบภาคส่ง 69
5.2 การทดสอบภาครับ 71

บทที่ 6 สรุปและวิจารณ์ผลการทดสอบ 75
6.1 สรุปการทดสอบภาคส่ง 75
6.2 สรุปการทดสอบภาครับ 75
6.3 วิจารณ์โครงงาน 75

บรรณานุกรม 77
กิตติกรรมประกาศ 78
ภาคผนวก 79

สารบัญรูป

หน้า

รูปที่ 1.1 (ก) การแบ่งช่องสัญญาณแบบ 2 ช่องสัญญาณ 3

รูปที่ 1.1 (ข) การแบ่งช่องสัญญาณแบบ 3 ช่องสัญญาณ 3

รูปที่ 1.2 ระดับสัญญาณอินพุท 4

รูปที่ 1.3 สัญญาณซิงค์และสัญญาณข้อมูลในหนึ่งเฟรมแบบมัลติเพล็กซ์ 3 ช่องสัญญาณ 4

รูปที่ 1.4 สัญญาณซิงค์และสัญญาณข้อมูลในหนึ่งเฟรมแบบมัลติเพล็กซ์ 2 ช่องสัญญาณ 5

รูปที่ 1.5 วิธีเลือกจำนวนช่องสัญญาณโดยใช้สวิทช์ S 5

รูปที่ 1.6 ตารางการกำเนิดสัญญาณซิงค์และการส่งข้อมูล 6

รูปที่ 1.7 บล็อคไดอะแกรมการแยกซิงค์และข้อมูลของเครื่องรับ 6

รูปที่ 2.1 แสดงระบบควบคุมที่มีการประมวลข้อมูลแบบดิจิตอล 8

รูปที่ 2.2 แสดงค่าผิดพลาดจากการวัดใน Aperture time 9

รูปที่ 2.3 การสุ่มสัญญาณ 12

รูปที่ 2.4 (ก) แสดงสเปคตรัมของสัญญาณที่ถูกสุ่ม 13

(ข) สเปคตรัมหลังจากการสุ่ม เกิด Frequency foiding 13

รูปที่ 2.5 การเกิด Aliasing Frequency 13

รูปที่ 2.6 แสดง transfer function ของ Quantize 3 บิท ตามทฤษฎี 14

รูปที่ 2.7 แสดง Transfer function ของ ADC 3 บิท ที่ใช้รหัสออฟเซ็ตไบนารี 17

รูปที่ 2.8 (ก) แสดงพื้นฐานของวงจร Samplimg 18

(ข) ไดอะแกรมของวงจร Sampling and Hold 18

รูปที่ 2.9 แสดงรูปคลื่นเอาท์พุทของ Sampling and Hold 19

รูปที่ 2.10 (ก) เอาท์พุทจาก Sampling gate 19

(ข) เอาท์พุทจาก Sampling and Hold 19

รูปที่ 2.11 วงจรสุ่มแบบ Inverting Close Loop 20

รูปที่ 2.12 วงจรสุ่มแบบ Non Inverting Close Loop 21

รูปที่ 3.1 แสดงบล็อคไดอะแกรมของภาคส่ง 22

รูปที่ 3.2 แสดงวงจรกรองความถี่ต่ำ 23

รูปที่ 3.3 แสดงระดับสัญญาณอินพุท 23

รูปที่ 3.4 แสดงหลักการเบื้องต้นของการมัลติเพล็กซ์โดยการแบ่งเวลา 24

รูปที่ 3.5 แสดงการแซมปลิ้งสัญญาณ 25

รูปที่ 3.6 แสดงTiming Diagram ของไอซี HD4017 26

รูปที่ 3.7 แสดงวงจรมัลติเพล็กโดยการแบ่งเวลา (TDM) 27
รูปที่ 3.8 แสดงสัญญาณรวมของ TDM 28
รูปที่ 3.9 แสดงสัญญาณอนาลอก (Analog signal) 29
รูปที่ 3.10 แสดงสัญญาณที่ได้จากการสุ่ม (Sampled signal) 30
รูปที่ 3.11 แสดงสัญญาณดิจิตอล (Digitized signal) 30
รูปที่ 3.12 Quantizing error 31
รูปที่ 3.13 แสดงรูปสัญญาณ 32
A) analog signal B) sampling pulse 32
C) sampled signal D) sampled and hold signal 32
รูปที่ 3.14 แสดงการเปลี่ยนแปลงของช่วงเวลา T_A 33
รูปที่ 3.15 บล็อคไดอะแกรมของ Sucessive Appoximation ADC 36
รูปที่ 3.16 timing diagram ของ SAR 37
รูปที่ 3.17 แสดงการเปรียบเทียบการทำงานเสมือนคานชั่งน้ำหนัก 38
รูปที่ 3.18 แสดงบล็อคไดอะแกรม Successive Approximation ADC 39
รูปที่ 3.19 แสดงวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 40
รูปที่ 3.20 แสดงวงจรแปลงสัญญาณแบบขนานเป็นแบบอนุกรม 42
รูปที่ 3.21 แสดงวงจรกำเนิดความถี่ 43
รูปที่ 3.22 แสดงวงจรหารความถี่ 45
รูปที่ 3.23 แสดงวงจร Summing Amplifier 46
รูปที่ 3.24 แสดงวงจรภาคส่งที่สมบูรณ์ 47
รูปที่ 3.25 แสดงวงจรแหล่งจ่ายไฟ 48

รูปที่ 4.1 แสดงบล็อกไดอะแกรมภาครับ 51
รูปที่ 4.2 (ก) แสดงการต่อคอมพาราเตอร์ที่ต่อขนาน 52
(ข) ตารางความสัมพันธ์ระหว่างแรงดันอินพุทที่ระดับโวลท์ต่างๆกับเอาท์พุท ที่ได้จากคอมพาราเตอร์ 52
รูปที่ 4.3 แสดงบล็อคไดอะแกรมการแยกสัญญาณซิงค์และสัญญาณข้อมูลของเครื่องรับ 53
รูปที่ 4.4 แสดงวงจรแยกสัญญาณซิงค์และสัญญาณข้อมูล 54
รูปที่ 4.5 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 55
รูปที่ 4.6 แสดงวงจรดีมัลติเพล็กซ์ 56
รูปที่ 4.7 แสดงทรานสเฟอร์ฟังก์ชั่นของ DAC 3 บิทตามทฤษฎี 57
รูปที่ 4.8 แสดงบล็อคไดอะแกรมของ DAC 57

รูปที่ 4.9 DAC แบบ Binary weight ladder 58
รูปที่ 4.10 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท 59
รูปที่ 4.11 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 61
รูปที่ 4.12 แสดงวงจรสัญญาณควบคุม 62
รูปที่ 4.13 แสดงคุณสมบัติวงจร Ideal LPF 63
รูปที่ 4.14 แสดงคุณสมบัติของวงจร LPFในทางปฏิบัติ 63
รูปที่ 4.15 แสดงถึงความชันของวงจร LPF 64
รูปที่ 4.16 แสดงลักษณะของวงจร Second Order 65
รูปที่ 4.17 แสดงวงจรภาครับที่สมบูรณ์ 67

รูปที่ 5.1 แสดงสัญญาณเอาท์พุทของวงจรยกระดับสัญญาณช่องสัญญาณที่ 1 69
รูปที่ 5.2 แสดงสัญญาณเอาท์พุทของวงจรยกระดับสัญญาณช่องสัญญาณที่ 2 70
รูปที่ 5.3 แสดงสัญญาณเอาท์พุทของวงจรยกระดับสัญญาณช่องสัญญาณที่ 3 70
รูปที่ 5.4 แสดงผลการทดลองวัดสัญญาณนาฬิกาจากวงจรหารความถี่ 71
รูปที่ 5.5 แสดงผลการทดลองวัดสัญญาณเอาท์ที่ส่งแบบ 3 ช่องสัญญาณ 71
รูปที่ 5.6 แสดงผลการทดลองวัดสัญญาณเอาท์ที่ส่งแบบ 2 ช่องสัญญาณ 72
รูปที่ 5.7 แสดงสัญญาณอินพุทภาครับที่ส่งแบบ 3 ช่องสัญญาณ 72
รูปที่ 5.8 แสดงสัญญาณอินพุทภาครับที่ส่งแบบ 2 ช่องสัญญาณ 73
รูปที่ 5.9 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปซายน์ 73
รูปที่ 5.10 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปสามเหลี่ยม 74
รูปที่ 5.11 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปสี่เหลี่ยม 74

บทที่ 1
หลักการและทฤษฎี

1.1 บทนำ

ปัจจุบันระบบการสื่อสารทางไกลได้มีการพัฒนาไปมาก ซึ่งออกมาทั้งในรูปแบบของภาพและเสียง รวมทั้งข้อมูลอื่นๆ โดยสามารถที่จะส่งสัญญาณหลายๆ สัญญาณโดยผ่านตัวกลางที่น้อยลง เช่น ผ่านคู่สาย หรือผ่านเส้นใยนำแสง ตลอดจนถึงการส่งโดยผ่านทางคลื่นวิทยุเป็นต้น

ปริญญานิพนธ์ฉบับนี้เป็นการทดลองและพัฒนาเกี่ยวกับระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณ ผ่านคู่สาย 1 คู่สาย เพื่อใช้ในการรับส่งสัญญาณไฟฟ้าร่างกายจากเตียงผู้ป่วย ไปแสดงผลยังจอมอนิเตอร์ศูนย์กลาง ใช้ในห้องไอซียู ทั้งนี้เพื่อสนองตอบต่อความต้องการของแพทย์และพยาบาลที่ต้องการดูแลตรวจเช็คผู้ป่วยอย่างใกล้ชิด พร้อมทั้งอำนวยความสะดวกสบายในขณะปฏิบัติงานด้วย โดยระบบที่ออกแบบสามารถรับส่งสัญญาณผ่านคู่สายเพียง 1 คู่สาย ลักษณะของสัญญาณในสายส่งเป็นสัญญาณแบบดิจิตอล ขนาด 8 บิท ที่ความเร็วไม่เกิน 6,400 บิทต่อวินาที การส่งผ่านเป็นแบบอนุกรม ทำให้สามารถส่งข้อมูลได้หลายข้อมูลผ่านคู่สายเพียงคู่เดียว

1.2 คุณสมบัติของระบบ

ระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณ ผ่านคู่สาย 1 คู่สาย (Three Channel Wire Telemetry) นี้มีคุณสมบัติในการส่งสัญญาณไฟฟ้าความถี่ต่ำ 3 สัญญาณพร้อมกันในช่วงเวลาเดียวกันได้ โดยส่งผ่านคู่สาย 1 คู่สาย สำหรับสัญญาณความถี่ต่ำที่จะทำการส่งนั้น จะเป็นสัญญาณไฟฟ้าร่างกายจากเตียงผู้ป่วย เช่น สัญญาณหัวใจ , ความดันเลือด และ อัตราการหายใจ ซึ่งจะมีความถี่ต่ำไม่เกิน 200 เฮิร์ท ดังนั้นในการออกแบบจะใช้ความถี่รูปคลื่นซายน์ (sine wave) , รูปคลื่นสี่เหลี่ยม (square wave) หรือรูปคลื่นสามเหลี่ยม (triangle wave) ที่ความถี่ต่ำต่างๆ กัน ไม่เกิน 200 เฮิร์ท เป็นสัญญาณทดสอบ หรืออาจสร้างสัญญาณทดสอบเลียนแบบสัญญาณหัวใจขึ้นมาก็ได้

คุณสมบัติที่ออกแบบไว้สำหรับการส่งพร้อมกัน 3 ช่องสัญญาณคือสามารถส่งสัญญาณความถี่ต่ำในแต่ละช่องสัญญาณดังนี้

- ช่องที่ 1 : สามารถส่งสัญญาณความถี่ได้ไม่เกิน 200 เฮิร์ท
- ช่องที่ 2 : สามารถส่งสัญญาณความถี่ได้ไม่เกิน 100 เฮิร์ท
- ช่องที่ 3 : สามารถส่งสัญญาณความถี่ได้ไม่เกิน 100 เฮิร์ท

ในกรณีที่ต้องการส่งสัญญาณเพียง 2 ช่องสัญญาณ เพื่อเป็นการลดความสูญเปล่าแถบความถี่ใช้งานของช่องสัญญาณที่ 3 ซึ่งไม่ได้ทำการส่ง จึงได้ออกแบบให้สามารถส่งเพียง 2 ช่องสัญญาณได้ โดยมีสวิทซ์ในการเลือกส่ง 2 ช่องสัญญาณหรือ 3 ช่องสัญญาณ

คุณสมบัติสำคัญสำหรับการส่งสัญญาณพร้อมกัน 2 ช่องสัญญาณ ในแต่ละช่องสัญญาณเป็นดังนี้

- ช่องที่ 1 : สามารถส่งสัญญาณความถี่ได้ไม่เกิน 200 เฮิร์ท
- ช่องที่ 2 : สามารถส่งสัญญาณความถี่ได้ไม่เกิน 200 เฮิร์ท

ในระบบนี้ได้ใช้หลักการมัลติเพล็กซ์โดยการแบ่งเวลา (TDM) รับส่งสัญญาณแบบอนุกรม โดยใช้ไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลเป็นตัวหลักในภาคส่ง และภาครับคืนสัญญาณโดยไอซีแปลงสัญญาณดิจิตอลเป็นอนาลอก จะได้สัญญาณคืนเหมือนเดิม

ในบทความนี้ได้ออกแบบไว้เฉพาะภาคส่งและภาครับ โดยใช้การส่งผ่านคู่สาย 1 คู่สาย ซึ่งสามารถพัฒนาให้รับส่งแบบไร้สายโดยใช้คลื่นวิทยุได้

1.3 วัตถุประสงค์

เพื่อออกแบบวงจรเครื่องส่งและเครื่องรับสัญญาณไฟฟ้าร่างกาย โดยมีลักษณะของสัญญาณในสายส่งเป็นสัญญาณดิจิตอล สำหรับนำไปใช้ในห้องไอซียู สัญญาณดิจิตอลที่ส่งมีขนาด 8 บิท ความเร็วไม่เกิน 6,400 บิทต่อวินาที (เพื่อสามารถนำไปประยุกต์ใช้งานแบบไร้สายในย่านแถบความถี่กว้าง(Wide Band)ได้โดยไม่สิ้นเปลืองแถบความถี่)

ระบบที่ออกแบบทั้งภาคส่งและภาครับใช้หลักการมัลติเพล็กซ์โดยการแบ่งเวลา (TDM) การรับส่งสัญญาณเป็นแบบอนุกรม ส่งผ่านคู่สายเพียงคู่สายเดียว และใช้อุปกรณ์ที่สามารถหาได้ภายในประเทศ

1.4 หลักการทำงานของภาคส่ง

1.4.1 การแปลงสัญญาณ

ตัวหลักคือ ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) เลือกใช้ ADC0809 ขนาด 8 บิท 8 ช่องสัญญาณ และมัลติเพล็กเซอร์ภายใน เป็น ADC ประเภท successive approximation ซึ่งหาได้ง่ายภายในประเทศและราคาถูก มีช่วงเวลาการประมวลผลสัญญาณ 100 μs

จากทฤษฎีของ Nyquist จะต้องใช้อัตราการสุ่มสัญญาณอย่างน้อย 2 เท่าของความถี่สูงสุด จึงจะได้สัญญาณข่าวสารครบถ้วน ดังนั้นสัญญาณที่นำมาวัดคือสัญญาณของร่างกาย ที่สำคัญ

ได้แก่ สัญญาณคลื่นไฟฟ้าหัวใจ (ECG) ซึ่งมีแถบความถี่ประมาณ 0.5เฮิร์ท - 200เฮิร์ท สัญญาณการหายใจ และความดันโลหิต เป็นต้น ซึ่งสัญญาณเหล่านี้มีความถี่ต่ำ อัตราการสุ่มสัญญาณจึงเป็นดังนี้

แบ่งช่องสัญญาณมี 2 แบบซึ่งเลือกได้

แบบที่ 1 มี 2 ช่องสัญญาณในหนึ่งเฟรม

Fram ที่1		Fram ที่2	
CH1	CH2	CH1	CH2

รูปที่ 1.1 (ก) การแบ่งช่องสัญญาณแบบ 2 ช่องสัญญาณ

จากรูปที่ 1.1(ก) ทุกช่องสัญญาณที่อัตราการสุ่มสัญญาณช่องสัญญาณละ 400 เฮิร์ท ในหนึ่งเฟรมจึงมีอัตราการสุ่มสัญญาณเป็น 800 เฮิร์ท

แบบที่ 2 มี 3 ช่องสัญญาณในหนึ่งเฟรม

Fram ที่1				Fram ที่2			
CH1	CH2	CH1	CH3	CH1	CH2	CH1	CH3

รูปที่ 1.1 (ข) การแบ่งช่องสัญญาณแบบ 3 ช่องสัญญาณ

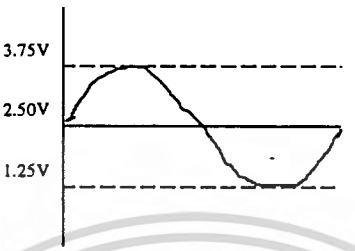
จากรูปที่ 1.1(ข) ทุกช่องสัญญาณที่อัตราการสุ่มสัญญาณช่องสัญญาณละ 200เฮิร์ท ในหนึ่งเฟรม CH1 ถูกนับสองครั้ง ดังนั้นจึงมีอัตราการสุ่มสัญญาณเป็น 400เฮิร์ท ส่วน CH2 และ CH3 มีอัตราการสุ่มสัญญาณช่องสัญญาณละ 100 เฮิร์ท ในหนึ่งเฟรมจึงมีอัตราการสุ่มสัญญาณเป็น 800 เฮิร์ท

1.4.2 shift registor

ที่ใช้คือ 74HC165 การสุ่มสัญญาณ 1 ครั้งจะต้องเลื่อนข้อมูลออกไป 8 ครั้ง ดังนั้นการสุ่มสัญญาณ 800เฮิร์ท จึงต้องเลื่อนข้อมูลเท่ากับ 800เฮิร์ท x 8 = 6400เฮิร์ท ความเร็วของระบบจึงเท่ากับ 6400 บิทต่อวินาที (bps)

1.4.3 สัญญาณอินพุท

สัญญาณอินพุททั้ง 3 ช่องสัญญาณจะต้องถูกยกระดับดังรูปที่ 1.2

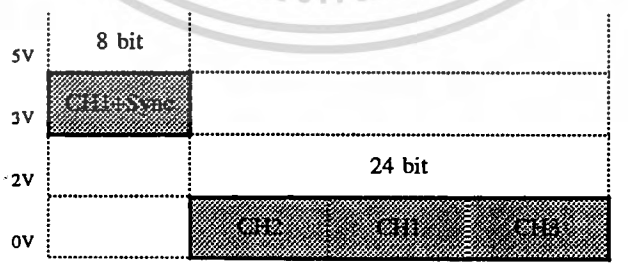


รูปที่ 1.2 ระดับสัญญาณอินพุท

เนื่องจากวงจรใช้แหล่งจ่ายไฟ 5โวลท์ กับกราวด์เป็นส่วนใหญ่เพื่อป้องกันกรณีที่อุปกรณ์อิเล็กทรอนิกส์อิ่มตัว (Saturation) จึงยกระดับสัญญาณอินพุทไปที่ 2.50โวลท์ ให้แรงดันอินพุทสูงสุดเท่ากับ 3.75โวลท์ และต่ำสุดเท่ากับ 1.25โวลท์ แอมปลิจูดสูงสุดของอินพุทจึงเท่ากับ 2.50โวลท์พีคทูพีค

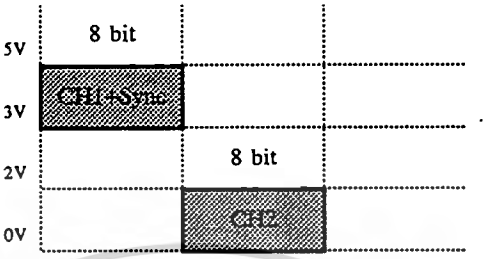
ดังนั้นขา Vref(+) = 3.75โวลท์ ขา Vref(÷) = 1.25โวลท์ ของ ADC0809 และแรงดันอินพุทจะต้องถูกยกระดับขึ้นไป 2.50โวลท์

1.4.4 สัญญาณซิงค์



รูปที่ 1.3 สัญญาณซิงค์และสัญญาณข้อมูลในหนึ่งเฟรมแบบมัลติเพล็กซ์ 3 ช่องสัญญาณ

ให้ CH1 เป็นสัญญาณซิงค์และข้อมูทั้ง 8 บิท ลอจิก "H" = 5โวลท์ ลอจิก "L" = 3โวลท์ ส่วน CH2, CH1 และ CH3 เป็นข้อมูลอย่างเดียวลอจิก "H"=2โวลท์ ลอจิก "L"=0โวลท์ และเฟรมถัดไปรูปแบบสัญญาณก็เป็นเช่นเดียวกัน



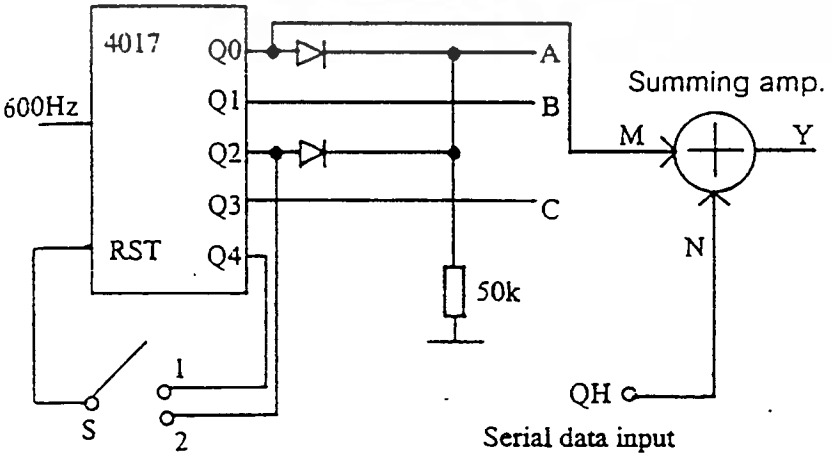
รูปที่ 1.4 สัญญาณซิงค์และสัญญาณข้อมูลในหนึ่งเฟรมแบบมัลติเพล็กซ์ 2 ช่องสัญญาณ

ให้ CH1 เป็นสัญญาณซิงค์และข้อมูลทั้ง 8 บิท ลอจิก "H"=5โวลท์ ลอจิก "L"=3โวลท์ ส่วน CH2 ให้เป็นข้อมูลอย่างเดียว ลอจิก "H"=2โวลท์ ลอจิก "L"=0โวลท์ และเฟรมถัดไปรูปแบบสัญญาณก็เป็นเช่นเดียวกัน

จากรูปที่ 1.5 ถ้าอินพุท M เป็น "L" จะทำให้เอาท์พุท Y มีระดับแรงดัน 0โวลท์ ถึง 2โวลท์ คือข้อมูลของ CH1, CH2 และ CH3 ถ้าอินพุท M เป็น "H" จะทำให้เอาท์พุท Y มีระดับแรงดัน 3 โวลท์ ถึง 5โวลท์ คือสัญญาณซิงค์และข้อมูลของ CH1 จะเห็นว่าถ้า CH1 ไม่มีสัญญาณเข้ามา สัญญาณซิงค์ก็ยังคงมีอยู่และจำเป็นจะต้องมีสัญญาณซิงค์อยู่ทุกๆ เฟรม

ถ้าเลือกสวิทช์ S ไปที่ตำแหน่งที่ 1 ก็คือต้องการจะเลือกการแบ่งช่องสัญญาณเป็นแบบที่ 2 คือในหนึ่งเฟรมมี 3 ช่องสัญญาณ ถ้าเลือกสวิทช์ S ไปที่ตำแหน่งที่ 3 ก็คือต้องการเลือกการแบ่งช่องสัญญาณเป็นแบบที่ 1 คือ ในหนึ่งเฟรมมี 2 ช่องสัญญาณ

A,B และ C ต่อกับ ADC0809



รูปที่ 1.5 วิธีเลือกจำนวนช่องสัญญาณโดยใช้สวิทช์ S

M	N	Y	
0	0	0V	สัญญาณ
0	1	2V	ข้อมูล
1	0	3V	สัญญาณซิงค์
1	1	5V	และข้อมูล

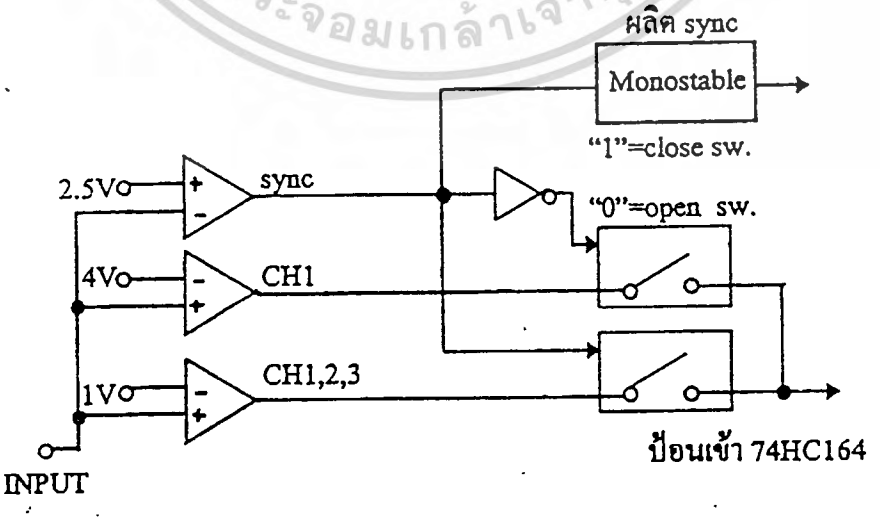
รูปที่ 1.6 ตารางการกำเนิดสัญญาณซิงค์และการส่งข้อมูล

1.4.5 การกำหนด oscillator

เลือกใช้คริสตัลสัญญาณนาฬิกา 10.24เมกะเฮิร์ท สัญญาณนาฬิกาของ ADC fc = 10.24 เมกะเฮิร์ท/8 = 1.28เมกะเฮิร์ท สัญญาณนาฬิกาของ 74HC165 1.28เมกะเฮิร์ท/192 = 6.6กิโลเฮิร์ท ความถี่ที่ใช้ในการเลือกตำแหน่งและความถี่ในการสุ่มสัญญาณเท่ากับ 6.6กิโลเฮิร์ท/8 = 825เฮิร์ท

1.5 หลักการทำงานของภาครับ

ใช้ 74HC164 เป็นอินพุทอนุกรมและเอาท์พุทขนาน ใช้ออปแอมป์ 3 ตัว โดยตัวที่ 1 ใช้ในการแยกซิงค์ตัวที่ 2 ใช้ในการแยกสัญญาณ CH1 และตัวที่ 3 ใช้ในการแยกสัญญาณ CH ที่1,2 และ3 ออปแอมป์เป็นคอมพาราเตอร์ใช้ไฟเลี้ยง 5โวลท์ กับกราวน์ ดังรูปที่ 1.7



รูปที่ 1.7 บล็อคไดอะแกรมการแยกซิงค์และข้อมูลของเครื่องรับ

จากรูป ออปแอมป์ตัวที่ 1 มีระดับแรงดันอ้างอิงที่ 2.50โวลท์ เมื่อ CH1 ซึ่งมีขนาด 3โวลท์ ถึง 5โวลท์ ถูกส่งมา จึงสามารถแยกสัญญาณซิงค์ออกมาได้ ออปแอมป์ตัวที่ 2 ซึ่งมีระดับแรงดันอ้างอิง 4โวลท์ จึงสามารถแยกข้อมูล "H" และ "L"ของ CH1 ได้ ส่วนออปแอมป์ตัวที่ 3 มีระดับแรงดันอ้างอิง 1โวลท์ จึงสามารถแยกข้อมูลของ CH1 CH2 และ CH3 ได้ตามลำดับ

สัญญาณซิงค์ที่ผลิตขึ้นเป็นพัลซ์แคบๆ ใช้ไอซี 74HC4017 เหมือนกับภาคส่ง เอาท์พุทของวงจรดีมัลติเพล็กซ์ของภาครับก็จะเหมือนกับเอาท์พุทของวงจรมัลติเพล็กซ์ของภาคส่ง ซึ่งอินพุท ของบล็อคไดอะแกรมทั้งสองมีความถี่อินพุท 800 เฮิร์ท เท่ากันที่สร้างมาจากคริสตัลสัญญาณนาฬิกาที่มีค่าความถี่เท่ากันและใช้สัญญาณซิงค์เป็นตัวรีเซตวงจรหารความถี่ต่างๆ กับวงจรดีมัลติเพล็กซ์ในภาครับ จึงสามารถทำให้ภาครับเข้าจังหวะกับภาคส่งได้

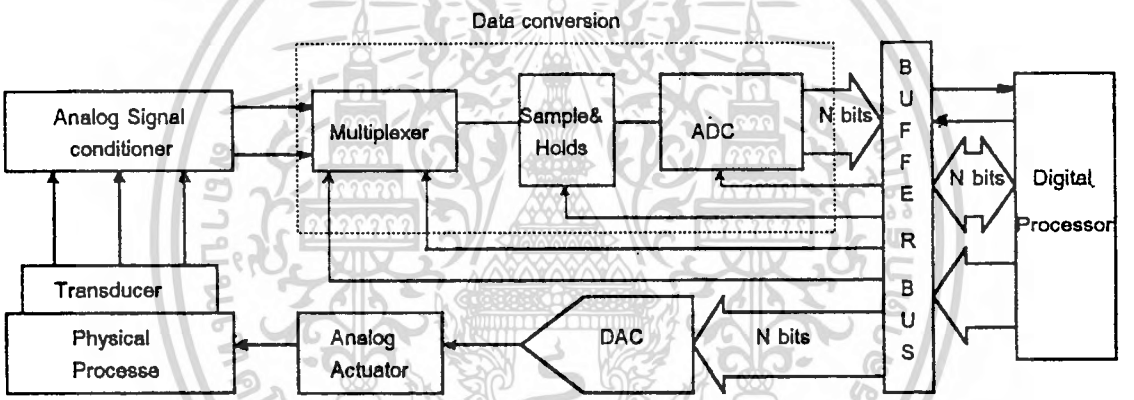
เมื่อดีมัลติเพล็กซ์สัญญาณควบคุมแต่ละช่องออกมาแล้ว จะมีไอซี 74HC123เป็นวงจรโมโนสเตเบิ้ลสร้างพัลซ์ป้อนให้กับไอซี 74HC373 ให้ทำหน้าที่ค้างข้อมูลในแต่ละช่องสัญญาณ

เมื่อข้อมูลถูกโหลดโดยไอซี 74HC164 ครบทั้ง 8 บิทแล้วไอซี 74HC373 ทั้ง 3 ช่องสัญญาณก็จะถูกกระตุ้นให้ข้อมูลทั้ง 8 บิทออกมาทีละช่องสัญญาณ จากนั้น DAC0808 จะทำหน้าที่แปลงสัญญาณดิจิตอลให้กลับเป็นสัญญาณอนาลอกผ่านวงจรกรองความถี่ต่ำ เพื่อให้ได้รูปสัญญาณคืนมาเหมือนกับภาคส่ง

บทที่ 2

ทฤษฎีของ Data Acquisition and Conversion

รูปแบบสัญญาณไฟฟ้าที่พบเห็นในชีวิตประจำวันจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือเรียกว่าสัญญาณอนาลอก (Analog Signal) แต่เดิมนั้นการนำสัญญาณไฟฟ้าดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะทำในแบบอนาลอกนั่นเอง แต่เมื่อเทคนิคและอุปกรณ์ในการประมวลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้น เนื่องจากพบว่าในรูปแบบของดิจิตอลการประมวลผล การเก็บข้อมูล การสื่อสาร และการนำเสนอสามารถทำได้ง่ายมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงมีความจำเป็น รูปที่ 2.1 แสดงตัวอย่างระบบควบคุมที่ใช้การประมวลผลแบบดิจิตอล



รูปที่ 2.1 แสดงระบบควบคุมที่มีการประมวลข้อมูลแบบดิจิตอล

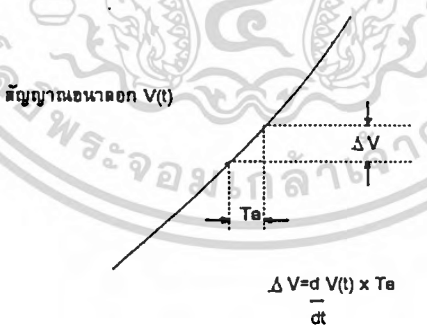
จากรูป การเปลี่ยนแปลงทางกายภาพในลักษณะใดๆ ก็ตาม (Physical process) เช่น ความดัน อุณภูมิ ฯลฯ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาลอก) โดยตัวแปลงสัญญาณหรือทรานสดิวเซอร์ (Tranducer) ที่มีคุณสมบัติที่เหมาะสมในทางกายภาพนั้น สัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมโดย Analog signal conditioner ซึ่งอาจจะเป็นวงจรขยาย หรือ ฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณจากอนาลอกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital processors) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อเปลี่ยนกลับมาในรูปแบบสัญญาณอนาลอกโดย DAC เพื่อป้อนกลับไปควบคุม Physical process

ระบบที่มีข้อมูลที่ต้องการประมวลหลายๆ ข้อมูล หาก ADC ทำงานได้เร็วพอก็ไม่จำเป็นต้องใช้ ADC หลายๆ ตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่ใช้วิธีแบ่งเวลา (Timesharing) โดยวิธี Multiplexing จากรูปที่ผ่านมาวงจร Sampling and Hold (S/H) จะสุ่ม (Sample) ขนาดของสัญญาณอนาลอกมา และเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่ ดังนั้นจึงไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงและราคาแพง ข้อมูลดิจิตอลจะถูกส่งต่อมายัง System bus และประมวลโดย Processor ผลของการประมวลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอก DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่าน Analog actuator

2.1ทฤษฎีของการสุ่ม (Sampling)

ในการแปลงสัญญาณอนาลอกเป็นรหัสดิจิตอลนั้น ADC จำเป็นต้องใช้เวลาช่วงหนึ่งในการจัดการ ซึ่งช่วงเวลาดังกล่าวขึ้นอยู่กับหลายๆ แฟกเตอร์ เช่น ความละเอียดของการแปลงสัญญาณ (จำนวนดิจิตอลบิท) เทคนิคของการแปลงสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่นๆ การกำหนดความเร็วของการแปลงสัญญาณขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ

ช่วงเวลาในการแปลงสัญญาณบางครั้งอาจเรียกว่า Aperture time ซึ่งหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัด และผลก็คือความผิดพลาด (error) ต่อค่าที่วัดได้



รูปที่ 2.2 แสดงค่าผิดพลาดจากการวัดใน Aperture time

ในรูปที่ 2.2 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dv/dt ในช่วง Aperture time Ta ดังนั้นช่วงการเปลี่ยนแปลงของสัญญาณอนาลอกจะเท่ากับ ΔV โดย

$$\Delta V = Ta\frac{dV(t)}{dt} \quad (2.1)$$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา Ta นี้ รหัสดิจิตอลที่ได้อาจตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลานี้ และส่วนอื่นๆที่เหลืออยู่คือ error ที่เกิดขึ้น เรียก error ที่เกิดขึ้นนี้ว่า Aperture time error

เช่นกรณีสัญญาณอินพุทเป็นรูปซายน์ อัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดสูงสุดตรงบริเวณจุดตัดแกนเวลารอบๆ จุดศูนย์โวลท์ (Zero Crossing) และ Aperture time error คือ

$$\Delta V = Ta\frac{d(\sin\omega t)_{t=0}}{dt} = Ta\,A\omega \quad (2.2)$$

และ error รวม (ε) คิดจากอัตราส่วนของขนาดเต็มสเกล คือ

$$\varepsilon = \Delta V / 2A = \pi f\,Ta \quad (2.3)$$

ดังนั้นหากต้องการเปลี่ยนความถี่สัญญาณเป็นรูปซายน์ความถี่ 1 กิโลเฮิร์ท ให้เป็นสัญญาณดิจิตอล 10 บิท ซึ่งยอมให้ error ไม่เกินกว่า resolution คือ $1/2^{10}$ LSB หรือ 0.001 ดังนั้นเวลา Aperture time จะต้องอยู่ในช่วง

$$Ta = \varepsilon / \pi = 0.001 / (3.14\times10^{3}) = 320\times10^{-9}$$

จะพบว่าแม้สัญญาณ 1 กิโลเฮิร์ทจะไม่ใช่ความถี่สูงก็จริง แต่ ADC ที่ใช้ต้องการเวลาในการเปลี่ยนในเวลา 320 นาโนวินาที ให้เป็นรหัส 10 บิท วิธีอื่นที่ไม่จำเป็นต้องใช้ ADC ความเร็วสูงคือการใช้ Sample and Hold ที่มี Aperture time น้อยๆ นั้นทำได้ง่ายและราคาถูกกว่า

2.2 Sample and Hold และ Aperture error

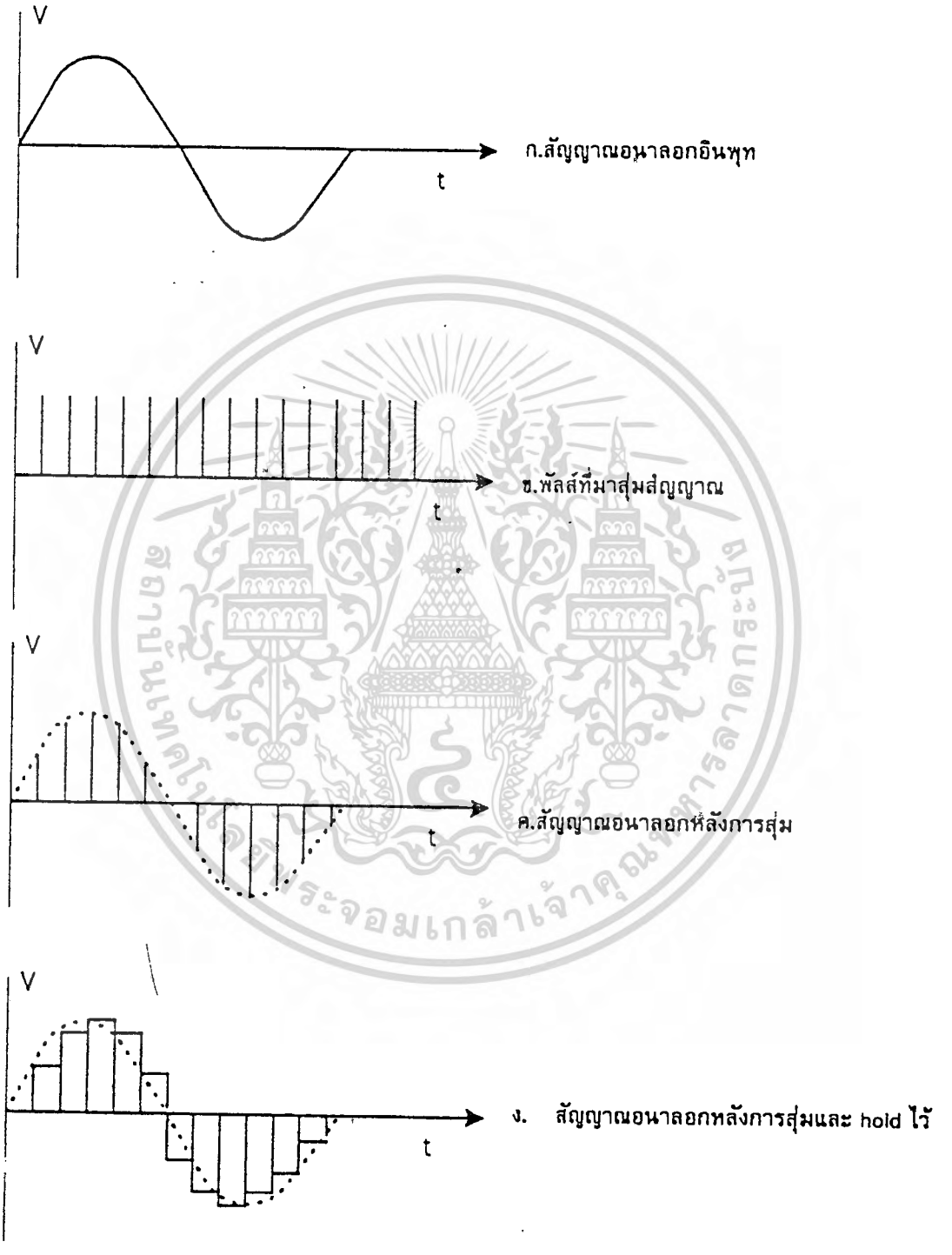
วงจร Sample and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่ม (hold) นั้นมาเก็บในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ S/H คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ S/H แล้ว Aperture time ขึ้นอยู่กับแบนด์วิดธ์ และ Switching time ของอุปกรณ์แอคทีฟ ที่ใช้ในวงจร ซึ่งหาง่าย สร้างง่าย และราคาถูกกว่าการสร้าง ADC ความเร็วสูง

ในการสุ่ม สัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆ คงที่ตามรูปที่ (ค) การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาสั้นๆ ด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณสัญญาณขบวนพัลส์แคบๆ กับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดูเลทระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกขี่มาบนขบวนพัลส์ หากสัญญาณอนาลอกที่ถูกสุ่มถูก hold จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาจะได้ลักษณะเอาท์พุทดังรูป (ง)

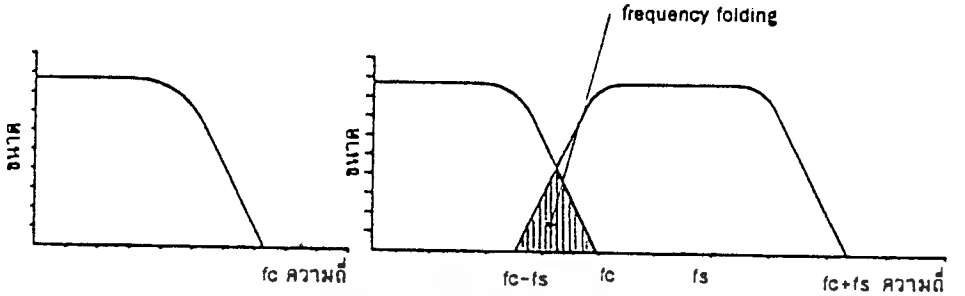
ปัญหาอยู่ที่ว่า อัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม (Reconstruction) คำตอบคือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวว่า "**ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน f_C ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_C$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป**"

2.3 Frequency foldimg and Allasing

จากทฤษฎีการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณในรูปที่ 2.3 รูป (ก) แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิดธ์ไม่เกิน f_C ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดดูเลชั่นจะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s$, $3f_s$ .... ได้ดังรูป (ข) ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอหลังจากสุ่มสเปคตรัมบางส่วนของ f_s จะซ้อนกับสเปคตรัมของสัญญาณ ซึ่งเรียกว่า Frequency foiding หากเป็นเช่นนี้ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนทับกันของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม



รูปที่ 2.3 การสุ่มสัญญาณ

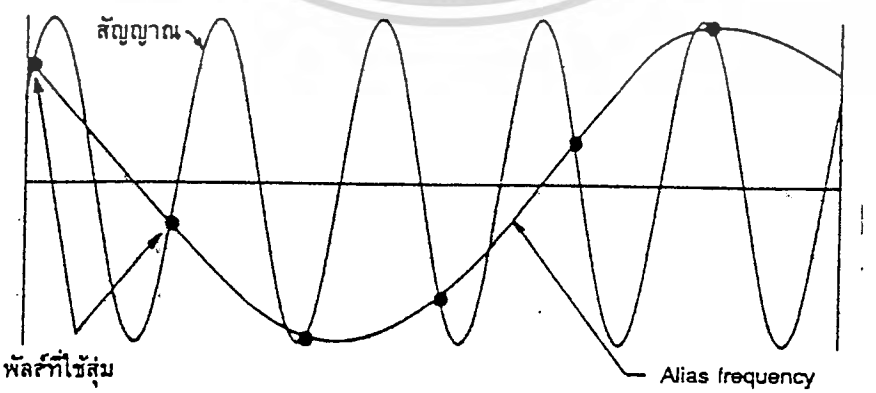


รูปที่ 2.4 (ก) แสดงสเปคตรัมของสัญญาณที่ถูกสุ่ม

(ข) สเปคตรัมหลังจากการสุ่ม เกิด Frequency foiding

ถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนทับของสเปคตรัมหมดไป ($f_s - f_c = f_c$) และการเปลี่ยนกลับของสัญญาณหลังการถูกสุ่มก็ยังเหมือนเดิมได้

จากทฤษฎีการสุ่ม $f_s > 2f_c$ ก็เพื่อการขจัดการซ้อนทับของสเปคตรัม ซึ่งทำได้ 2 วิธี โดยการใช้อัตราการสุ่มที่สูงพอดังกล่าว และอีกวิธีคือการทำฟิลเตอร์ความถี่ของสัญญาณอนาลอกก่อนการสุ่ม (Antialiasing filters) เพื่อกำจัดแบนด์วิดธ์ของสัญญาณที่จะถูกแปลงให้ไม่เกินไปกว่า $f_s / 2$ ซึ่งในทางปฏิบัติยังเกิด Frequency foiding ได้เสมอจากส่วนฮาร์โมนิคของสัญญาณ รวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่ แม้ว่าจะทำฟิลเตอร์มาแล้วก่อนหน้าก็ตาม การกำจัดการซ้อนกันของสเปคตรัมแบบนี้ วิธีที่จะลดผลของ aliasing ก็คือ นอกจากใช้ฟิลเตอร์ฮาร์โมนิคสูงๆ ของสัญญาณแล้ว ต้องพยายามให้กลุ่มของสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎี Sampling คือ $2f_c$ เสมอ



รูปที่ 2.5 การเกิด Aliasing Frequency

จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุทรูปซายน์

ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำกว่า เรียกว่า Aliasing Frequency เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากถูกสุ่มแล้วแสดงในรูปที่ 2.5 จะเห็นว่าความถี่ Aliasing อาจจะแตกต่างจากความถี่เดิมไปมาก

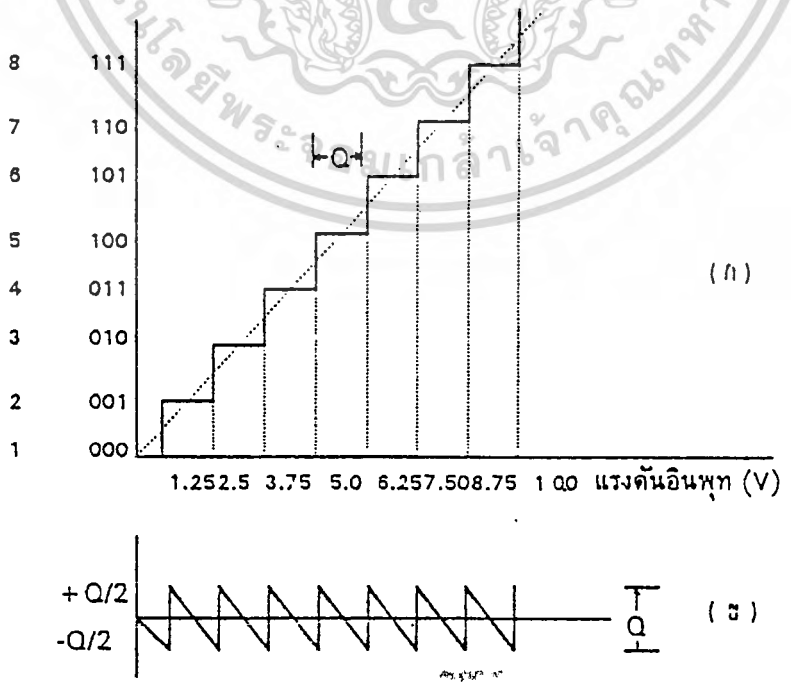
Anti aliasing filter จะช่วยลดสัญญาณความถี่ที่ทำให้เกิด Aliasing Frequency ในขณะที่ต้องไม่ทำให้เกิดการผิดเพี้ยนของสัญญาณในแบนด์วิดธ์ที่ใช้งานและไม่ลดความแม่นยำในการวัดลงอีกด้วย กรณีการใช้ Anti aliasing filter ปริมาณการขจัดความถี่สูงนั้นขึ้นอยู่กับ

- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม
- ความละเอียดของการแปลงสัญญาณ

ฟิลเตอร์ที่ใช้จึงอาจจะเป็น พาสซีฟฟิลเตอร์ แอคทีฟฟิลเตอร์ หรือ Switched capacitive filter

2.4 Quantzing theory

Quantzing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (discrete signal) หลังการสุ่ม โดยผ่านกระบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและหัสดิจิตอลที่ได้จากการ Quantize มาเขียนกราฟก็จะได้กราฟแสดง Quantize transfer function ดังรูป 2.6



รูปที่ 2.6 แสดง transfer function ของ Quantize 3 บิท ตามทฤษฎี

จากรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาลอกที่ขนาดอยู่ระหว่าง 0 ถึง +10 โวลท์ ถูก quantize และ encode เป็นรหัสไบนารี 3 บิท ได้ 8 ระดับ จาก 000 ถึง 111 เนื่องจากในระบบไบนารีรหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูงสุดของรหัสดิจิตอล คือ ทุกบิทเป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย $(1 - 2^{-n})$ โดย n เป็นจำนวนบิทของรหัสดิจิตอล และรหัสดิจิตอลแต่ละบิทที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของสัญญาณอนาลอก คูณกับ ค่า weighting ของรหัสชนิดนั้น หารด้วย 2^n เช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลท์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุท

$$V_{input} = \frac{R_S}{2^n} \{ (1\times2^3) + (1\times2^2) + (1\times2^1) + (1\times2^0) \}$$

$$= \frac{10}{2^4} \{ (1\times2^3) + (0\times2^2) + (1\times2^1) + (1\times2^0) \}$$

จุดสำคัญที่เกี่ยวกับกราฟ transfer function ในรูป อันแรกได้แก่ ความละเอียด (resolution) ของ quantizer ซึ่งกำหนดได้จากจำนวนบิทของรหัสดิจิตอล หรือ จากกราฟคือขนาดกว้างของชั้นระดับ (step) ทางแกนอนาลอกอินพุทว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า 2^n

จำนวนสถานะเอาท์พุทกำหนดได้จากจำนวนบิท คือเท่ากับ 2^n สถานะ เช่น กรณี ADC 8 บิท quantizer จะให้เอาท์พุท 256 สถานะ และ 12 บิทให้ 4096 สถานะ ต่อค่าเต็มสเกลของอนาลอก ในไดอะแกรมแสดง transform function จะเห็นจุดแบ่งระดับ (Decision point หรือ Theshold level) สัญญาณอนาลอกจะมีจำนวน $(2^n - 1)$ จุดที่อยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625,6.875 และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้นค่าเหล่านี้จะต้องปรับปรุงให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ quantized แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.2 และ 8.75 โวลท์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาลอกที่แสดงสถานะเอาท์พุทดิจิตอลฟังก์ชั่น ที่มีลักษณะเป็นขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงด้วยการโยงเส้นระหว่างจุดเริ่มและจุดปลาย ณ จุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

2.5 Quantizer Resolution and Error

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุทจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็กๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog Quantization หรือ หนึ่งควอนตัม (Quantum) หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ ตัวอย่างในรูป (ก) ควันตัมคือ 1.25 โวลท์ ซึ่งได้จาก

$$Q = FSR / 2^{n} \quad (2.4)$$

FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range)

n คือ จำนวนบิทของรหัสดิจิตอล

จากสมการจะเห็นว่า การแปลงที่ให้จำนวนบิทมากขนาดของควันตัมก็จะลดลง และถ้าให้สัญญาณอินพุทของ Quantizer กวาดไปตลอดช่วงของสัญญาณอนาลอก ก็จะเห็นช่วงของผลต่างของอนาลอกอินพุทและดิจิตอลเอาท์พุทเป็นช่วง ซึ่งพล็อตได้เป็นรูปฟันเลื่อย ดังรูป (ข) เรียกว่า Quantizing Error ซึ่ง Error นั้นก็คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ นั่นเอง

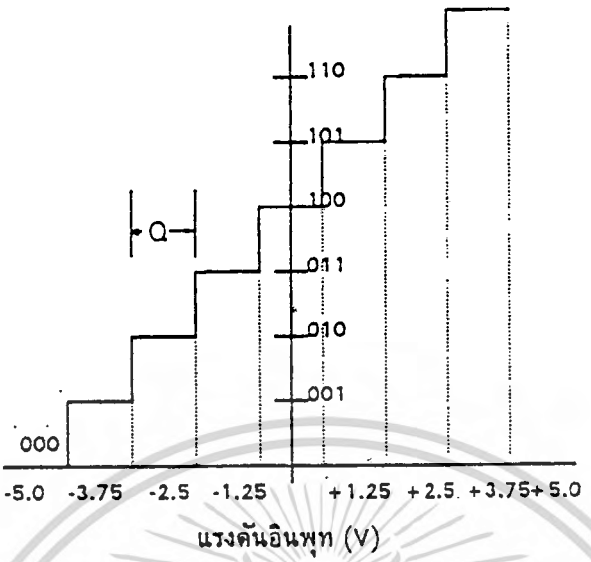
Error นี้เป็นธรรมชาติของ Quantizing ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิทของ Quantizer ให้มากขึ้น และเอาท์พุท Error จะอยู่ระหว่าง 0 - Q/2 Error อาจจะเป็นศูนย์เมื่อสัญญาณอนาลอกค่าที่จุดกึ่งกลางของควันตัมพอดี

ลักษณะฟังก์ชั่นของ Error สามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุท ซึ่งมีค่า Q Vp-p และค่าเฉลี่ยเป็นศูนย์ ค่า rms (root mean square) เป็น $Q/2\sqrt{3}$ ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

2.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในการเปลี่ยนข้อมูลได้แก่รหัสไบนารี หรือที่เรียกว่า Straight Binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR $\times(1-2^{n})$ โวลท์ เช่น หากสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับ ADC ขนาด 12 บิท รหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20\times(1-2^{12})$ หรือ 19.9951171 โวลท์

นอกจากรหัสไบนารีธรรมดาดังกล่าว ยังมีการใช้ระบบไบนารีแบบอื่นๆ ในการแปลงสัญญาณ ได้แก่ ออฟเซ็ตไบนารี , 2's complement , BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน เช่น BCD เหมาะสำหรับการแสดงเป็นตัวเลขหน้าปัทม์ หรือต่อเข้ากับดิจิตอลมิเตอร์ รหัส 2's complement เหมาะสำหรับการคำนวณทางคณิตศาสตร์ลอจิก สำหรับระบบออฟเซ็ตไบนารีนั้นเหมาะสำหรับการแปลงอินพุทที่มีทั้งช่วงบวกและช่วงลบ รูปที่ 2.7 แสดง Transfer function ของ ADC 3 บิท ที่ใช้รหัสออฟเซ็ตไบนารี



รูปที่ 2.7 แสดง Transfer function ของ ADC 3 บิท ที่ใช้รหัสออฟเซ็ตไบนารี

นอกจากมาตรฐานของการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือก ช่วงของขนาดแรงดันอินพุทสำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียว จะใช้ 0 - 5 โวล์ท์ หรือ 0 - 10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 ถึง -5 โวลท์ และ -10 โวลท์ เป็นมาตรฐาน

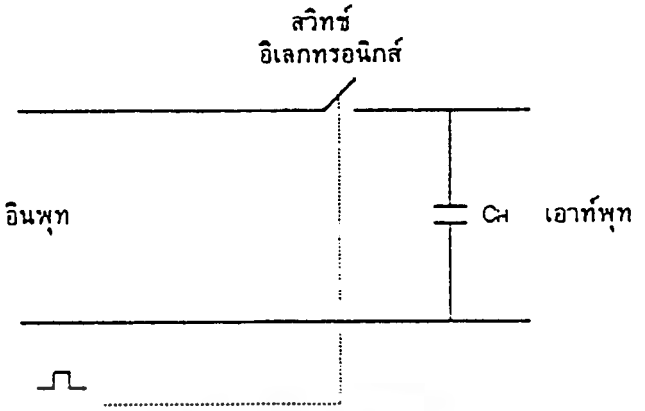
2.7 วงจร Sampling circuit

วงจร Sampling circuit นั้นมิได้ใช้เฉพาะกับ ADC เพียงอย่างเดียว แต่ยังใช้ทั่วๆ ไปในระบบ Data distribution , Sampling scope , DVM , Reconstruction filter และ อนาลอกคอมพิวเตอร์เป็นต้น

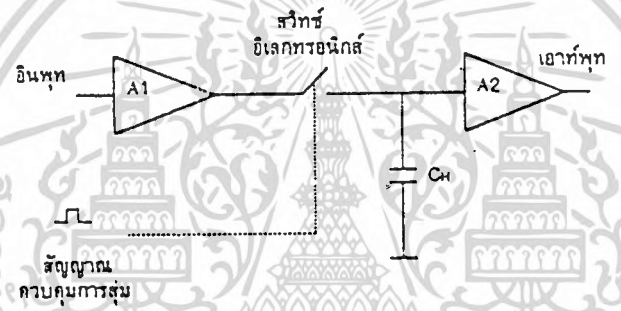
วงจร Sampling โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ

ในรูป (ก) แสดงวงจรพื้นฐานของ Sampling อิเล็กทรอนิกส์สวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุ ซึ่งสวิทช์นี้ควบคุมโดย Sampling pulse ช่วงการตัดต่อสวิทช์และการประจุแรงดันจนถึงค่าที่ Sample มานั้น เรียกว่า Aperture time ของวงจร Sampling

จากลักษณะของการทำงานดังกล่าว วงจร Sampling จะมีจุดตัดต่อสัญญาณเข้าออก 3 จุด ด้วยกัน คือ สัญญาณอนาลอกอินพุท สัญญาณ Sampling และเอาท์พุท



รูปที่ 2.8 (ก) แสดงพื้นฐานของวงจร Samplimg

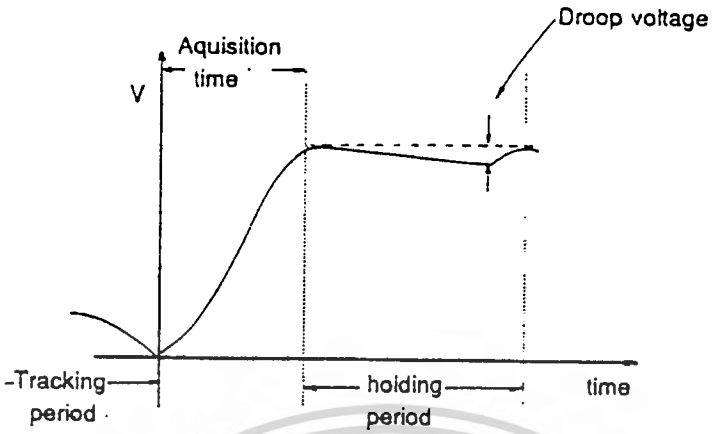


รูปที่ 2.8 (ข) ไดอะแกรมของวงจร Sampling and Hold

รูปที่ (ข) แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มวงจรบัฟเฟอร์แอมปลิไฟร์เข้าทางส่วนอินพุทและเอาท์พุทของวงจร Sampling พื้นฐาน แอมปลิไฟเออร์ทางด้านอินพุทช่วยทำให้วงจรมีอินพุทอิมพีแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_H ได้เร็วขึ้น

ส่วนทางด้านเอาท์พุทช่วยทำให้เอาท์พุทอิมพีแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟเออร์เหล่านี้ ปกติแล้วต้องเป็นแอมปลิไฟเออร์ที่ใช้กระแสอินพุทต่ำ ทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุ มิฉะนั้นแรงดันจะลดระดับเนื่องจากการโหลด (droop) ซึ่งปกติแล้วมักใช้แอมปลิไฟเออร์ที่มี FET หรือ MOSFET เป็นอินพุท เพราะการไบอัสด้วยแรงดัน ทำให้กระแสอินพุทต่ำด้วย

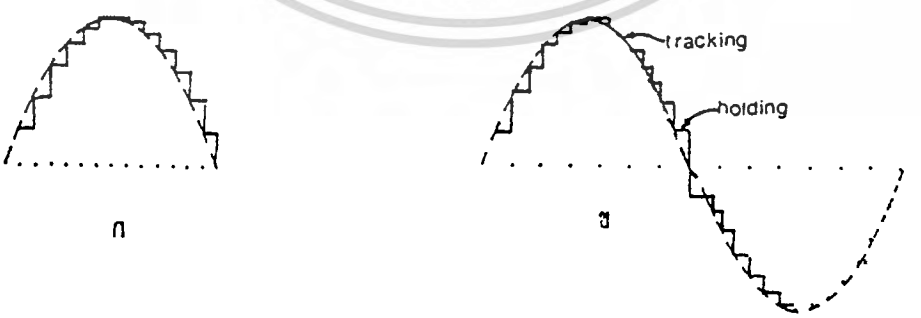
19



รูปที่ 2.9 แสดงรูปคลื่นเอาท์พุทของ Sampling and Hold

วงจร Sampling ในระบบ Data Acquistion นิยมใช้ 2 แบบ คือ Sampling gate หรือ Sampler และ Sample and Hold (S/H gate) วงจร Sampling gate จะอยู่ในสถานะ hight input impedance เมื่อไม่มีการสุ่ม และเมื่อมีการสุ่มเอาท์พุทจะปรากฏสัญญาณที่ได้รับมาทันทีนั้น ส่วน S/H จะตัดต่อสวิทช์สุ่มช้ากว่ามีลักษณะการทำงานเป็น 2 ขั้นตอน คือ

- ขณะที่ตัดสัญญาณออก วงจรจะ Track ตามสัญญาณอินพุท จนกว่าจะมีการสุ่มสัญญาณ
- hold อินพุทค่าที่ sampling ครั้งสุดท้ายจะถูกเก็บไว้เมื่อเข้าสู่โหมด hold



(ก) เอาท์พุทจาก Sampling gate (ข) เอาท์พุทจาก Sample and Hold

รูปที่ 2.10

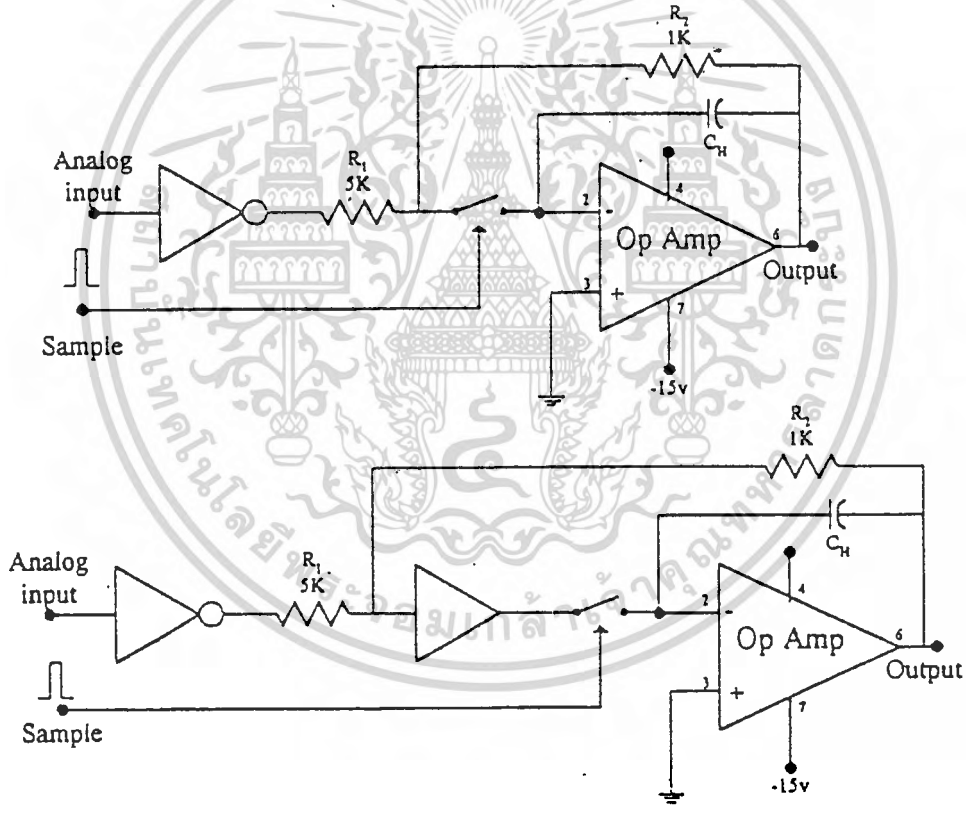
039131

Sampling gate นิยมนำมาใช้ในความถี่สูง เช่น ใน Sampling CRO , Vector voltmeter , RF vector impedance meter , Microwave DFM

ส่วน Sampling and Hold นั้นเนื่องจากมีแบนด์วิดธ์ต่ำกว่ามากจึงเหมาะสำหรับงานทั่วๆ ไป

การจัดวงจร Sample and Hold ซึ่งอาจนำไอซีหรือทรานซิสเตอร์มาประกอบเป็นวงจร ตลอดจนการสร้างวงจรทั้งหมดของ Sample and Hold ลงบนชิพไอซีเดี่ยว เช่น เบอร์ LF398 มีได้หลายลักษณะ ดังนี้

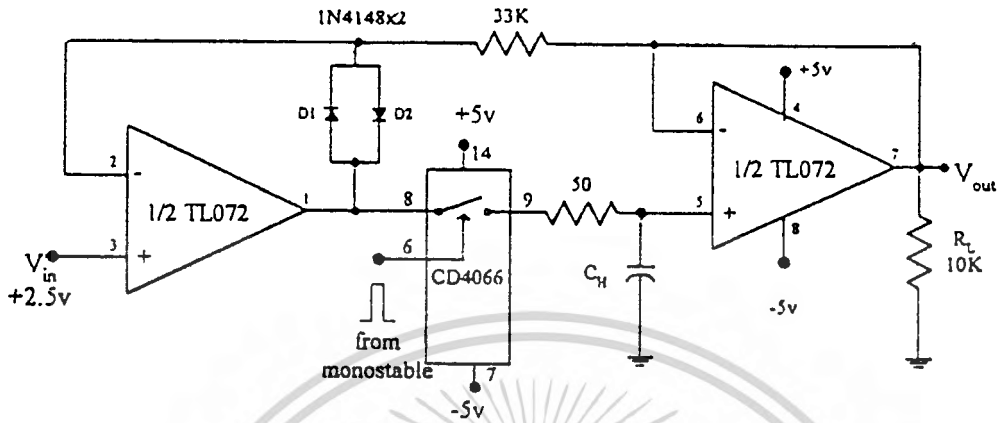
2.7.1 วงจรสุ่มแบบ Inverting Close Loop



รูปที่ 2.11 วงจรสุ่มแบบ Inverting Close Loop

จากวงจร C_H จะประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยการใช้ Current boot amplifier อยู่ในลูปป้อนกลับดังรูป (ข) โดยแอมปลิไฟเออร์มีอัตราการขยายเท่ากับ 1

2.7.2 วงจรสุ่มแบบ Non Inverting Close Loop



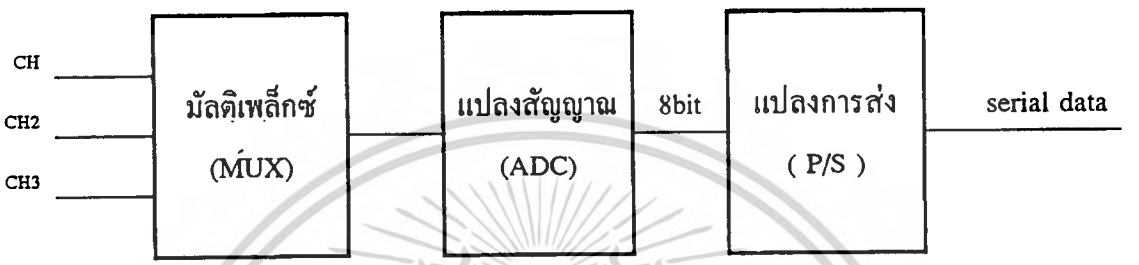
รูปที่ 2.12 วงจรสุ่มแบบ Non Inverting Close Loop

จากวงจร A1 จะทำหน้าที่เป็นบัฟเฟอร์และ Error Amplifier ในตัว โดยจะทำหน้าที่เปรียบเทียบแรงดันเอาท์พุทกับอินพุท แล้วจะประจุ C จนกระทั่ง error เท่ากับศูนย์ A2 ในวงจรนี้จะมีเอาท์พุทอิมพีแดนซ์สูง และการป้อนกลับ A1 ด้วยไดโอดทำให้ A1 ไม่ต้องเป็นออปแอมป์ที่มีคุณภาพดีนัก ตัวต้านทาน R จะแยกอินพุทของ A1 และเอาท์พุทของ A2 ออกจากกันในช่วง hold mode

ข้อดีของวงจรนี้คือ ทำงานได้รวดเร็วและแม่นยำ ความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถในการจ่ายกระของมัน ไดโอด 2 ตัวจะทำหน้าที่ Clamp สัญญาณเอาท์พุทไปที่อินพุทอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดีเมื่อสวิทช์ Sampling เปิด วงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF398

บทที่ 3
การออกแบบภาคส่ง

3.1 โครงสร้างของระบบ



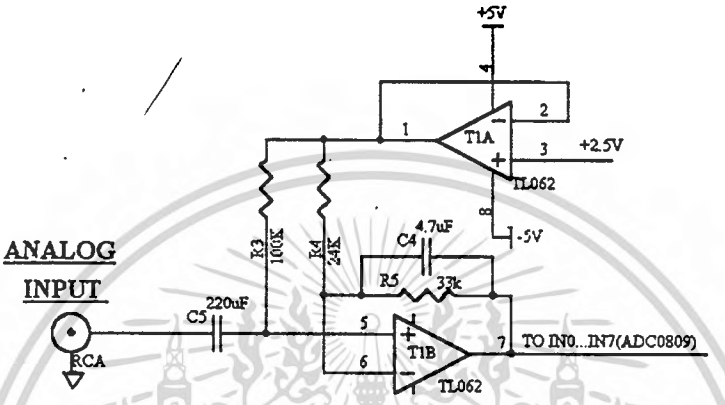
รูปที่3.1 แสดงบล็อคไดอะแกรมของภาคส่ง

จากบล็อคไดอะแกรม เป็นการแสดงการทำงานในภาคส่ง โดยสัญญาณความถี่ต่ำทั้ง 3 ช่อง สัญญาณจะผ่านเข้ามาที่ภาคกรองความถี่ต่ำ (LPF : Low Pass Fillter) สัญญาณที่ออกมาจะเป็นความถี่ของการสุ่ม (sampling) ซึ่งมีค่าเป็น 2 เท่าของความถี่ที่ป้อนเข้ามา สัญญาณทั้ง 3 จะถูกส่งไปมัลติเพล็ก (MUX) แบบแบ่งช่วงเวลา (Time Division Modulator) ซึ่งภายในจะมีวงจรสวิทชิ่งเพื่อเลือกส่งสัญญาณไปทำการสุ่มและแปลงสัญญาณเป็นสัญญาณดิจิตอล (โดย ADC) สัญญาณที่ได้จะเป็นสัญญาณดิจิตอลขนาด 8 บิท ในการส่งสัญญาณผ่านคู่สายเพียง 1 คู่สายจึงต้องแปลงจากการส่งผ่านแบบขนานเป็นการส่งผ่านแบบอนุกรม (โดยวงจร Parallel to Series) การทำงานของแต่ละภาคจะถูกควบคุมโดยวงจร Timing หลังจากนั้นสัญญาณก็จะทำการส่งผ่านคู่สายไปยังภาครับต่อไป

3.2 วงจรบัฟเฟอร์และวงจรกรองความถี่ (Filter)

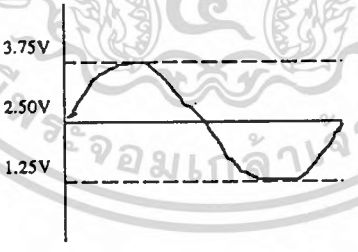
ในการทำงานของวงจรตั้งแต่ส่วนของบัฟเฟอร์และวงจรกรองความถี่ต่ำ (Buffer and Low-Pass-Filter) ศักดาไฟตรง +2.5 โวลท์ที่ได้จะเข้าไอซี TL 062 ซึ่งเป็นวงจรบัฟเฟอร์ในส่วนนี้ทำหน้าที่ป้อนศักดาไฟตรง เพื่อยกระดับแรงดันที่ขานอนอินเวอร์ติ้ง (Non-inverting) ของออปแอมป์ T1A เพื่อให้ได้สัญญาณเอาท์พุทที่ออกจากวงจรกรองความถี่ต่ำเป็นสัญญาณที่มีการยกระดับขึ้นไปในทางบวกมีอัตราการขยาย 1.375 เท่า (R5/R4) โดยในวงจรนี้แรงดันยกขึ้นไปมีค่าประมาณ +2.5 โวลท์ นั่นก็หมายความว่า แอมปลิจูดของสัญญาณอินพุทจะต้องมีค่าไม่เกินประมาณ 5 โวลท์ ไม่เช่นนั้นแล้วสัญญาณที่ผ่านวงจรจะถูกขลิบในซีกลบได้ ในการจัดวงจรลักษณะนี้จะได้คุณสมบัติ

การทำงานที่เป็นวงจร Level Shifter กล่าวคือสัญญาณที่ออกมาที่เอาท์พุทของวงจรจะมีเพียงศักย์ที่เป็นบวกเท่านั้น (เพราะเป็นสัญญาณที่ Superimpose กันระหว่างศักดาไฟตรง และสัญญาณอินพุทนั่นเอง)



รูปที่ 3.2 แสดงวงจรกรองความถี่ต่ำ

สัญญาณอินพุท ทั้ง3 ช่องสัญญาณจะต้องถูกยกระดับดังรูปที่ 3.3



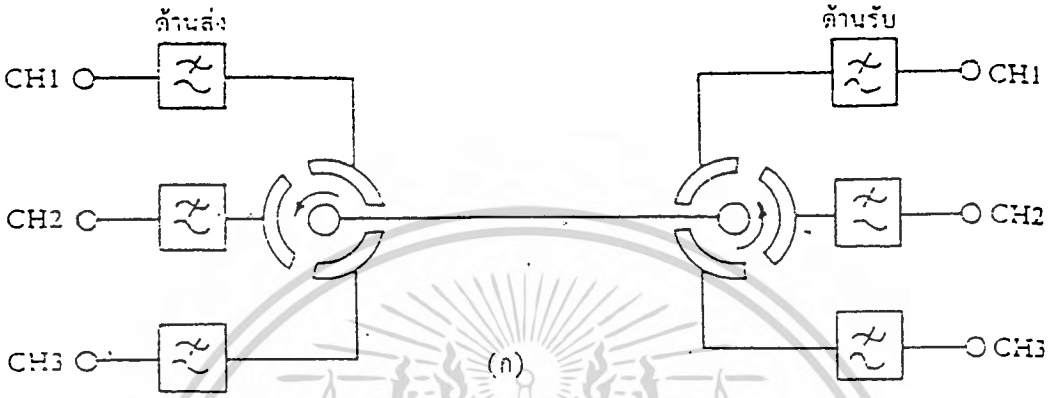
รูปที่ 3.3 แสดงระดับสัญญาณอินพุท

เนื่องจากวงจรใช้แหล่งจ่ายไฟ 5 โวลท์ กับกราวด์เป็นส่วนใหญ่ เพื่อป้องกันกรณีที่อุปกรณ์อิเล็กทรอนิกส์อิ่มตัว (Saturation) จึงยกระดับสัญญาณอินพุทที่ 2.50 โวลท์ ให้แรงดันอินพุทสูงสุดเท่ากับ 3.75 โวลท์ และต่ำสุดเท่ากับ 1.25 โวลท์ แอมปลิจูดสูงสุดของอินพุทจึงเท่ากับ 2.50 โวลท์พีคทูพีค

ดังนั้นที่ขา Vref(+) = 3.75 โวลท์ ขา Vref(-) = 1.25 โวลท์ ของ ADC0809 และแรงดันอินพุทจะต้องถูกยกระดับขึ้นไป 2.50 โวลท์

3.3 การมัลติเพล็กซ์

3.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา (TDM)

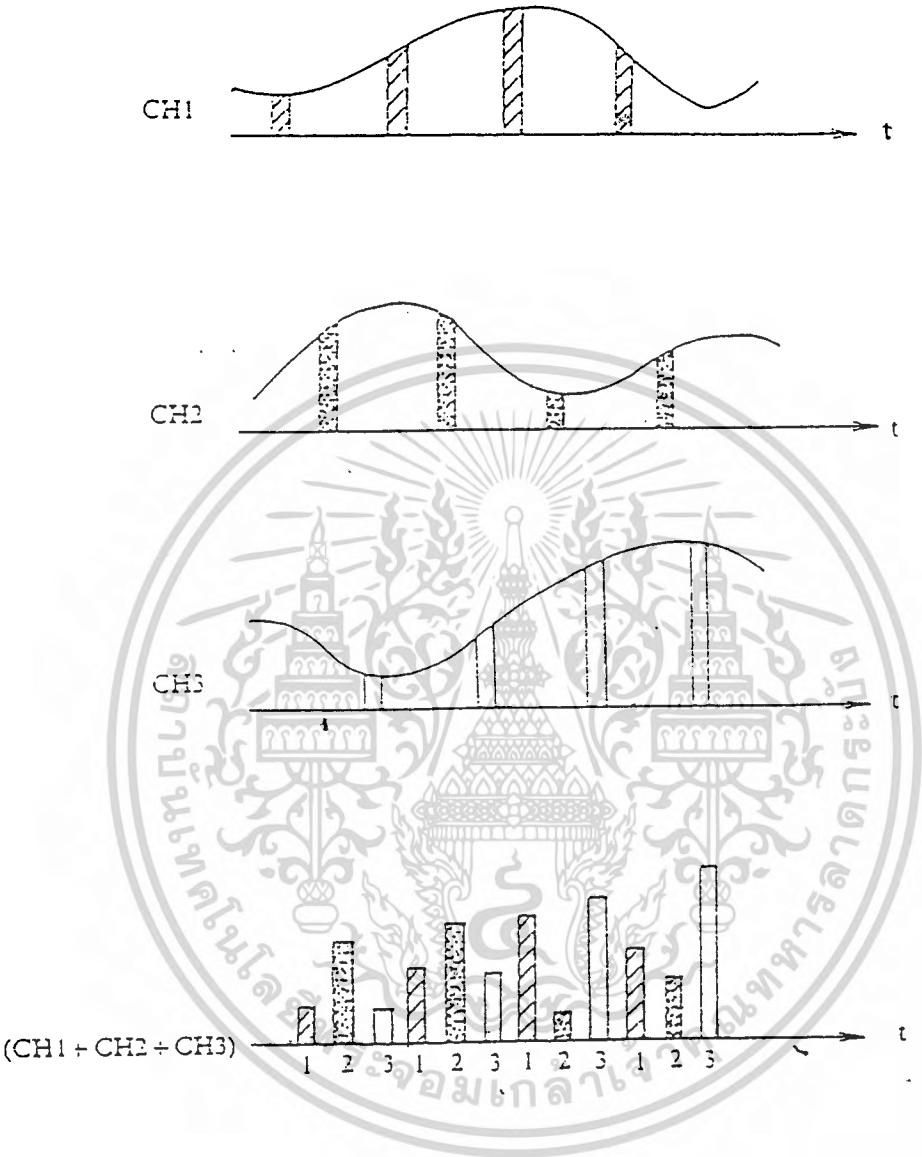


รูปที่ 3.4 แสดงหลักการเบื้องต้นของการมัลติเพล็กซ์โดยการแบ่งเวลา

จากรูปที่ 3.4 แสดงหลักการเบื้องต้นของระบบมัลติเพล็กซ์แบ่งตามเวลา (TDM) ว่ามีการทำงานอย่างไร กล่าวคือ ทางด้านส่งและด้านรับจะมีสวิทช์หมุนด้านละ 1 ตัว ซึ่งหมุนไปเป็นจังหวะเท่าๆกัน

การทำงานจะให้มีช่วงเวลาช่วงหนึ่ง ช่องสัญญาณที่1 (CH1) ของทั้งสองด้านต่อถึงกันได้เพื่อรับส่งข่าวสารที่เราต้องการส่ง ซึ่งช่วงเวลาต่อไปก็จะเป็นช่วงเวลาที่ช่องสัญญาณที่ 2 (CH2) ของทั้งสองด้านถูกต่อเชื่อมถึงกัน ต่อไปเป็นช่องที่ 3 (CH3) ถูกต่อถึงกันเช่นนี้ไปเรื่อยๆ จะทำให้เราสามารถส่งข่างสารได้หลายช่องสัญญาณ (Channel) ในตัวกลาง (Medium) เพียงตัวกลางเดียวได้

หลักการดังกล่างนี้นำไปสู่ทฤษฎีของการแซมปลิ้ง (Sampling) เพื่อเก็บแซมเปิ้ลของสัญญาณในแต่ละช่องทางด้านส่ง แล้วส่งผ่านตัวกลางเพียงตัวเดียวเช่นเดียวกัน (ตัวกลางที่กล่าวถึงอาจเป็น สายส่ง หรือ ช่องสัญญาณไมโครเวฟก็เป็นได้) และหลังจากมาถึงภาครับก็สามารถกระจายสัญญาณไปช่องทางด้านรับที่สอดคล้องกันได้

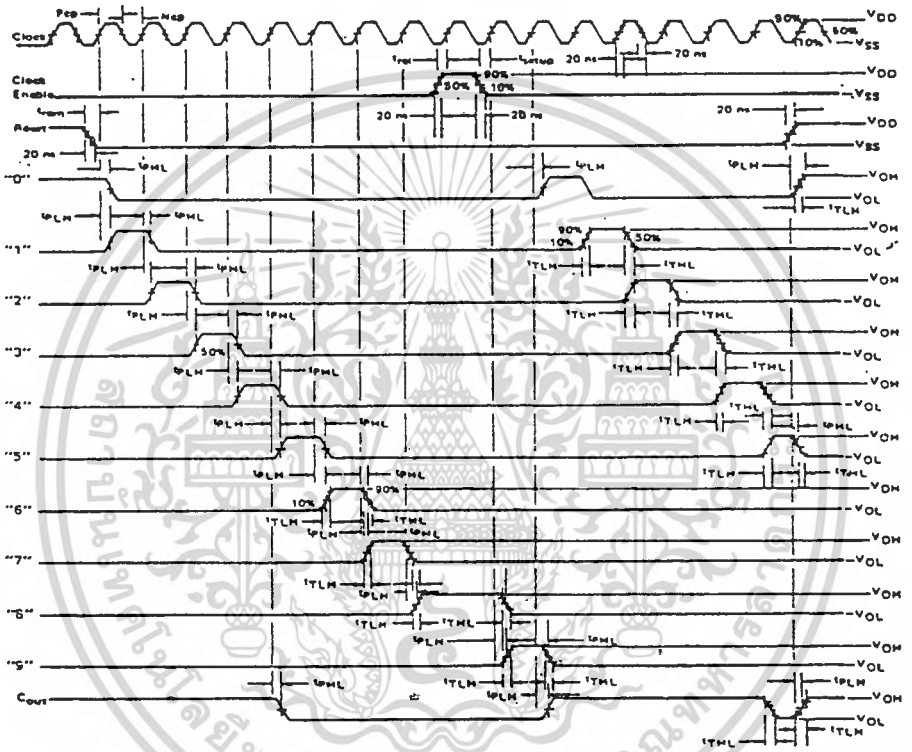


รูปที่ 3.5 แสดงการแซมปลิ้งสัญญาณ

จากรูปที่ 3.5 แสดงสัญญาณพัลซ์ที่ถูกแซมปลิ้งมาจากทุกช่องสัญญาณที่ใช้ในการส่งซึ่งจะเห็นได้ว่าสัญญาณจะมีเฟสเลื่อนจากกันไปเล็กน้อย และถูกนำมาแทรกกันไว้ตามแกนเวลา กล่าวคือแซมปลิ้งของสัญญาณ (สัญญาณที่ถูกแซมปลิ้งมาแล้ว) ในช่องที่ 2 และ ช่องที่ 3 จะถูกใส่ไว้ระหว่างแซมเปิ้ลตัวแรกและแซมเปิ้ลตัวที่ 2 ของสัญญาณในช่องสัญญาณที่ 1 โดยแบ่งตามช่วงเวลา ดังนั้นวิธีนี้จึงเรียกว่า ระบบมัลติเพล็กซ์โดยการแบ่งเวลา

3.3.2 วงจรมัลติเพล็กโดยการแบ่งเวลา (TDM)

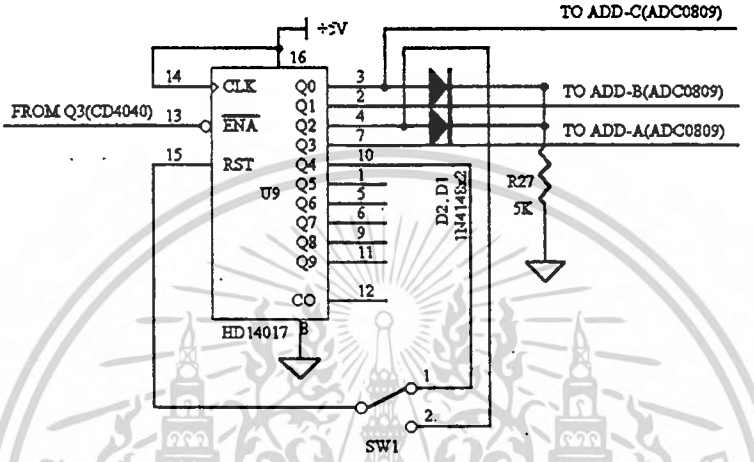
โดยวงจรกำเนิดสัญญาณนาฬิกาที่ผ่านวงจรหารความถี่ที่ค่า 800 เฮิร์ท จะป้อนให้กับขา EN ของไอซี CD4017 ซึ่งในที่นี้ทำหน้าที่เสมือนขา Clk โดยที่ขา Clk จริงๆ ถูกต่อไว้กับแรงดันคงที่ +5 โวลท์ ทำหน้าที่เป็นขา Enable แทน เมื่อมีสัญญาณ Clk ป้อนให้กับไอซี HD4017 ซึ่งต่อวงจรให้เป็นวงจรนับ 4 แล้วจะได้สัญญาณเอาท์พุทที่เป็นพัลซ์ตามที่ได้แสดงไว้ในรูปที่ 3.6



รูปที่ 3.6 แสดงTiming Diagram ของไอซี HD4017

จากรูปที่ 3.6 จะเห็นได้ว่าเอาท์พุทที่ได้ขา Q1-Q3 ของวงจรนับจะมีเวลาเหลื่อมกันไปเป็น 1 Clock ผลจากตรงนี้เอง จึงสามารถที่จะนำสัญญาณจากขา Q1-Q3 ไปทำการทริกเพื่อเปิดปิด Analog Switch (ADC0809) ให้ทำหน้าที่เป็นมัลติเพล็กเซอร์ขนาด 3:1 เพื่อแซมปลิ้งสัญญาณจาก 3ช่องสัญญาณทางอินพุท โดยจะเห็นได้ว่าสัญญาณขา Q0 และขา Q2 จะต่อไดโอดเพื่อรวมสัญญาณแล้วจึงนำไปทริกให้กับสวิทซ์ตัวที่ทำหน้าที่แซมปลิ้งสัญญาณในช่องสัญญาณที่ 1 สัญญาณจากขา Q1 ทำหน้าที่ทริกให้กับสวิทซ์ตัวที่ทำหน้าที่แซมปลิ้งสัญญาณในช่องสัญญาณที่ 2 เป็นต้น ซึ่งสัญญาณที่กล่าวถึงทั้งหมดคือ Q1-Q3 นี้จะมีความถี่เป็น 1/4 เท่าของความถี่คล็อกที่ป้อนเข้าที่ขา EN

ของ HD4017 ผลลัพธ์ที่ได้ก็คือใน 1 รอบการนับของวงจรนับ 4 จะสามารถส่งสัญญาณจากQ1-Q3 ไปทริก Analog Switch เพื่อแซมปลิ้งสัญญาณได้ทั้งหมด 3 ช่องสัญญาณ เรียงกันไปตามลำดับ จาก ช่อง 1 ถึงช่องที่ 3



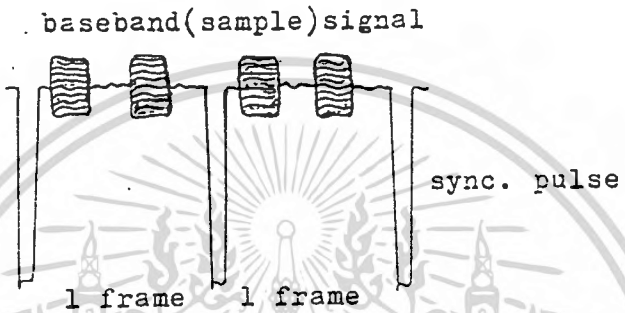
รูปที่ 3.7 แสดงวงจรมัลติเพล็กโดยการแบ่งเวลา (TDM)

3.3.3 กระบวนการซิงโครไนซ์ (Synchronization)

การสื่อสารที่ใช้ TDM นั้นสิ่งสำคัญที่สุดอยู่ที่ว่า เมื่อทางด้านรับได้รับสัญญาณแล้วต้องให้แน่ใจได้ว่าสัญญาณที่รับมานั้นถูกส่งมาจากช่องสัญญาณที่ตรงกัน ด้วยเหตุนี้จึงได้มีกระบวนการหนึ่งเพื่อที่จะทำให้การรับส่งสัญญาณในแต่ละช่องเป็นไปได้อย่างถูกต้อง ซึ่งเรียกว่าการซิงโครไนซ์ (Synchronization)

สัญญาณที่ใช้ในการทำเกิดกระบวนการซิงโครไซ์จะถูกเรียกว่าสัญญาณซิงค์ และโดยมากแล้วสัญญาณตัวนั้นจะมีลักษณะเป็นพัลซ์ จึงมักถูกเรียกว่า ซิงค์พัลซ์ และถือว่าในระบบ TDM นั้น ส่วนของสัญญาณซิงค์ เป็นส่วนประกอบสำคัญที่สุด เพราะการรับส่งข้อมูลข่าวสารทางด้านภาครับ และภาคส่งจะเป็นไปได้อย่างถูกต้องสมบูรณ์ นั้นจะต้องอาศัยสัญญาณซิงค์นี้เป็นสำคัญ นั่นก็คือสัญญาณที่ถูกส่งออกไปจากทางด้านส่งของ TDM จะต้องมีสัญญาณซิงค์แทรกหรือปนไปกับสัญญาณข่าวสารด้วยเสมอ

เพื่อช่วยในการแบ่งส่วนของข้อมูลให้เป็นส่วนๆ ที่เรียกกันว่าเฟรม (Frame) ซึ่งจะหมายถึง การที่สัญญาณข่าวสารของแต่ละช่องสัญญาณถูกส่งไปครบทุกช่อง ช่องละ 1 ช่วงเวลาเท่าๆกัน ทำให้ได้สัญญาณรวมที่มาจากสัญญาณแต่ละช่องสัญญาณเรียงกันตามแกนเวลา จากนั้นจะต้องมีการส่งซิงค์พัลซ์ ตามไปด้วยก่อนที่จะเริ่มส่งสัญญาณในช่วงต่อไป เรียงจากช่องสัญญาณช่องแรกจนถึงช่องสุดท้ายและตามด้วยซิงค์พัลซ์ เช่นนี้ต่อไปเรื่อยๆ ดังรูปที่ 3.8



รูปที่ 3.8 แสดงสัญญาณรวมของ TDM

ในระบบ TDM ระบบหนึ่งอาจเลือกใช้แบบของสัญญาณซิงค์แบบใดแบบหนึ่งที่เหมาะสมที่สุด ทั้งนี้อาจขึ้นอยู่กับลักษณะของสัญญาณช่างสารเป็นแบบใด ลักษณะการจัดวงจรของระบบเป็นต้น โดยสัญญาณซิงค์อาจมีรูปแบบที่แตกต่างกันดังนี้

-สัญญาณซิงค์อาจจะมีขนาดสูงที่สุดเมื่อเทียบกับขนาดของสัญญาณข้อมูลข่าวสาร (อยู่ในรูปสัญญาณแซมเปิ้ล)

-สัญญาณซิงค์อาจมีศักย์เป็นลบโดยให้สัญญาณแซมเปิ้ลมีศักย์เป็นบวก เมื่อเทียบกับระดับอ้างอิง

-สัญญาณซิงค์ อาจจะเป็นการส่งสัญญาณความถี่คงที่ความถี่หนึ่งเป็นช่วงๆทางภาคส่งซึ่งทางภาครับก็สามารถดีเทคสัญญาณซิงค์ลักษณะนั้นออกมาได้โดยการใช้วงจร Tone decoder หรือ PLL

-ให้สัญญาณซิงค์เป็นพัลซ์ที่มีความกว้างของพัลซ์ (Pulse Width) มากกว่าความกว้างของช่วงเวลาของสัญญาณข้อมูลข่าวสารอย่างน้อยเป็น 2 เท่าเป็นต้น

3.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC)

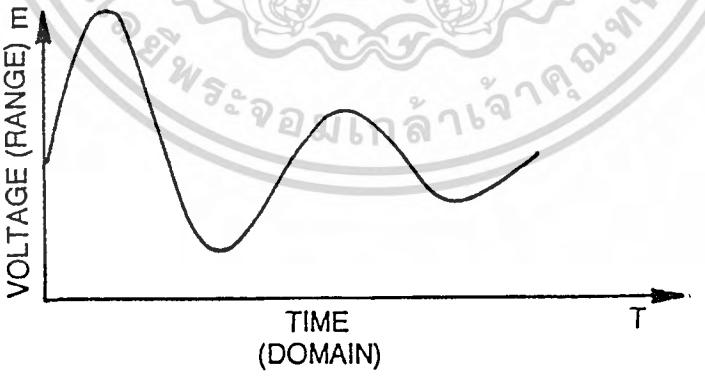
3.4.1 พื้นฐานของการแปลงข้อมูล

การแปลงข้อมูลในปัจจุบันทำโดยอาศัยอุปกรณ์ทางดิจิตอล ซึ่งอยู่ในรูปของไอซี โดยซิลิคอนชิพ (Silicon chip) เหล่านี้จะถูกบรรจุในรูปกระป๋องหรือ DIP อุปกรณ์ในการเปลี่ยนข้อมูลที่ใช้เทคโนโลยีนี้ เช่น วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (ADC) , วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) ซึ่งชิพที่ทำออกมาขายก็จะมีมากมายหลายๆ บริษัท

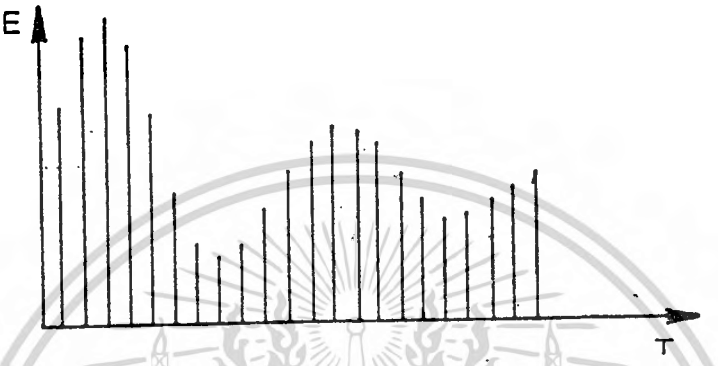
ในการนำไอซีเหล่านี้มาประยุกต์ใช้งาน จำเป็นต้องมีความรู้พื้นฐานเกี่ยวกับการแปลงสัญญาณข้อมูล โดยจะได้กล่าวถึงชนิดต่างๆ ของข้อมูล จากรูปเป็นการแสดงสัญญาณพื้นฐาน 3 แบบที่ต้องรู้จัก

ในรูปที่ 3.9 เป็นการแสดงสัญญาณอนาลอก (Analog signal) ในช่วงของแรงค่าต่างๆ เทียบกับเวลา ถ้าสัญญาณอนาลอกนี้ถูกเลือกขึ้นมาในเวลาที่คงที่ค่าหนึ่งสัญญาณข้อมูลก็จะไม่ต่อเนื่อง ดังรูปที่ 3.10 แสดงสัญญาณที่ได้จากการสุ่ม (Sampled signal) ซึ่งค่าของแรงดันหรือกระแสจะพบได้ในช่วงเวลาที่ถูกสุ่มเท่านั้น

เมื่อสัญญาณอนาลอกผ่านวงจรเลือกช่วงเวลา(Sampling) ของสัญญาณในรูปที่ 3.10 ก็จะกลายเป็นสัญญาณดิจิตอล (Digitized signal) ดังรูปที่ 3.11



รูปที่ 3.9 แสดงสัญญาณอนาลอก (Analog signal)



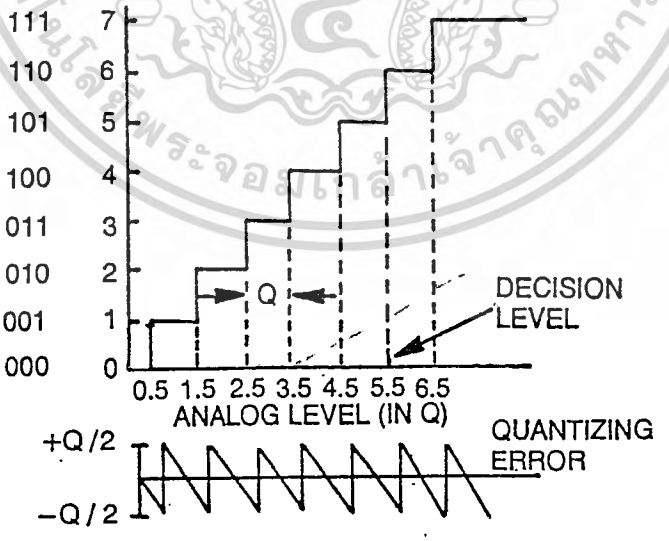
รูปที่ 3.10 แสดงสัญญาณที่ได้จากการสุ่ม (Sampled signal)

รูปที่ 3.11 แสดงสัญญาณดิจิตอล (Digitized signal)

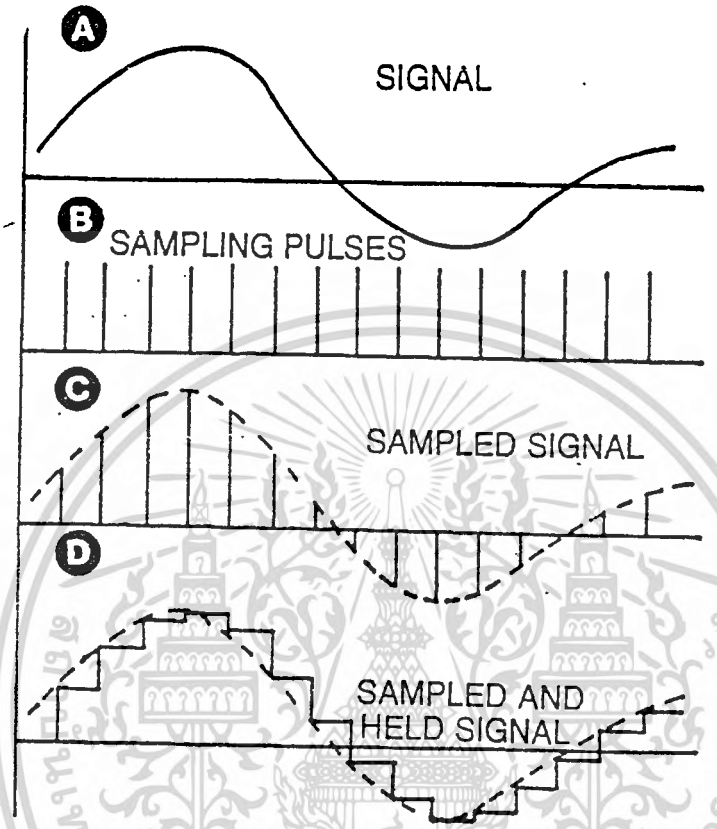
ในทางคณิตศาสตร์สามารถแยกสัญญาณอนาลอกใดๆ ออกเป็นฮาร์โมนิค (Harmonics) ของคลื่น Sin , Cos ได้โดยการใช้ Fourier Series ถ้าสัญญาณนั้นผ่านการสุ่มมาแล้วจะทำให้บางฮาร์โมนิคของสัญญาณขาดหายไป ดังนั้นจึงเป็นการยากที่จะทำการแปลงสัญญาณกลับไปให้เหมือนเดิม ตามทฤษฎีของการสุ่ม ถือว่าอัตราการสุ่มอย่างน้อยควรจะมากกว่าสองเท่าของความถี่สูงสุดของสัญญาณ เช่น มีสัญญาณขนาด 50 - 100 เฮิร์ท ก็ควรจะใช้ ADC ที่มีอัตราการสุ่มอย่างน้อย
2×100 เฮิร์ท = 200 เฮิร์ท

สัญญาณอนาลอกที่เข้ามาแสดงช่วงแรงดันต่างๆ ในแนวนอน และสัญญาณตัวเลขที่ให้ออกมาแสดงในแกนแนวตั้ง ในการสุ่มสัญญาณนี้จะมีค่าผิดพลาดเกิดขึ้น จากรูปที่ 3.12 สัญญาณอนาลอกมีค่า 0 - 7 โวลท์ แต่สัญญาณดิจิตอล 3 บิทที่ได้ออกมานั้นจะมีค่า 0 ,1 ,2 ,3 ,4 ,5 ,6 และ 7 ดังนั้นถ้าสัญญาณอนาลอกที่มีค่า 2.56 โวลท์ เข้ามา

จะพบว่าค่าดิจิตอลที่ให้ออกมาก็ควรจะอยู่ในช่วง 2 - 3 แต่มันเป็นไปไม่ได้ เพราะสัญญาณที่ได้นั้นมีเพียง 8 ค่า คือ 0 ,1 ,2 ,3 ,4 ,5 ,6 ,7 หรือ $2^{\text{จำนวนบิท}}$ ($2^3 = 8$) ถ้าจะให้สัญญาณ 2.56 โวลท์นี้ออกมาเป็น 111 คือ 3 ก็จะมีการผิดพลาดถึง - 1/2 Q เมื่อ Q คือ Quantizing Error



รูปที่ 3.12 Quantizing error

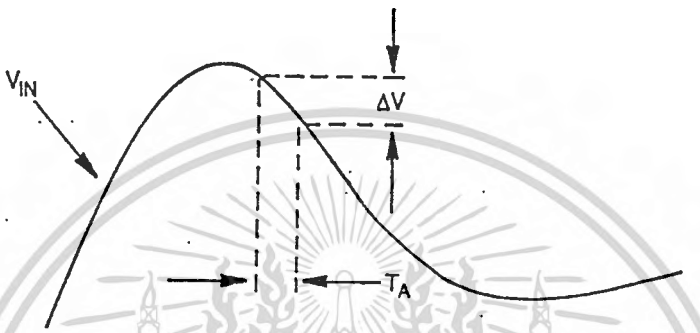


รูปที่ 3.13 แสดงรูปสัญญาณ

A) analog signal B) sampling pulse C) sampled signal D) sampled and hold signal

ข้อผิดพลาดอีกอย่างหนึ่งของการแปลงสัญญาณก็คือ การแปลงในช่วงเวลาจริง เพราะว่าในการแปลงสัญญาณนั้นจะต้องใช้เวลาในการแปลงไปบ้าง แต่ว่าสัญญาณอนาลอกที่เข้ามานั้นจะพบได้ในทุกๆ เวลา ในรูปที่ 3.10 แสดงการสุ่มสัญญาณโดยการใช้วงจร Sample and Hold ซึ่งจะมีการใช้เวลาในการเปลี่ยนสัญญาณไปบ้าง ทำให้สัญญาณดิจิตอลที่ได้ออกมาผิดรูปแบบไป แต่ถ้าเลือกความถี่ในการสุ่มให้สูงข้อผิดพลาดนี้ก็จะลดลง

แต่การเลือกความถี่ของการสุ่มให้สูงก็จะถูกกำหนดด้วยเวลาที่ได้ในการเปลี่ยนสัญญาณและเวลาที่เสียไปในระบบ การวัดเวลาที่เสียไปนี้เรียกว่า การวัด Aperture time



รูปที่ 3.14 แสดงการเปลี่ยนแปลงของช่วงเวลา T_A

สมการที่ใช้ในการวัด Aperture time สูงสุด และความละเอียดของสัญญาณที่สุ่มจะหาได้จาก

$$r = \Delta V/V \qquad (3.1)$$

และสมการที่จะนำมาใช้คือ

$$TA = \Delta V/V * 1/2\pi f = r / 2\pi f \qquad (3.2)$$

เมื่อ ΔV/V คือความละเอียด, f คือ ความถี่สูงสุดใน Fourier series และ r คือ ความละเอียดของลักษณะของรหัสที่ได้ในการแปลงสัญญาณ

รหัสของข้อมูลที่ใช้กันส่วนใหญ่จะเป็น BCD ในระบบเลขฐานสอง ซึ่งมีสองค่า คือ 0 กับ 1 แต่เมื่อนำมาประกอบกันหลายๆ ตัว โดยคำนึงถึงน้ำหนักในแต่ละหลัก ก็จะสามารถแสดงตัวเลขที่มีค่ามากกว่านั้นได้ ค่าน้ำหนักในแต่ละหลักของเลขฐานสองจะเป็นค่ายกกำลังของ 2 คือ

$$2^{n} + \ldots\ldots\ldots + 2^{4} + 2^{3} + 2^{2} + 2^{1} + 2^{0}$$

$$\alpha + \ldots\ldots\ldots + 16 + 8 + 4 + 2 + 1$$

ในที่นี้จะกล่าวถึงตัวเลขฐานสองขนาด 8 หลัก เช่น 1_{10} ในฐานสอง คือ 00000001 , 128_{10} คือ 01000000 เป็นต้น ดังนั้นในระบบของตัวเลขที่แทนสัญญาณที่ได้จากการแปลงนี้จะมีจำนวนตัวเลขค่าต่างๆ เป็น 2^{n} จำนวน เมื่อเริ่มนับตัวเลขจาก 0 จะได้ตัวสุดท้ายมีค่าเป็น $2^{n} - 1$ เช่น ถ้าเป็น ADC ขนาด 8 บิท 0 - 10 โวลท์ จะได้ค่าแรงดันอินพุทสูงสุดเป็น

$$E = 10V \times (255/256)$$

$$= 10V \times (0.996) = 9.96\ V$$

หรือเขียนเป็นสมการได้เป็น

$$E^{FS} = E^{M} \times (2^{n} - 1) / (2^{n}) \qquad (3.3)$$

โดย E^{FS} คือ Full scale input voltage

E^{M} คือ Maximum voltage in desired rang

ค่าแรงดันของบิทล่างสุด บิทแรกจะหาได้จาก

$$E^{LSB} = (1/2^{n}) \times E^{M} \qquad (3.4)$$

Scale	+10VFS	Straight Binary		Complemented Binary	
		MSB	LSB	MSB	LSB
+FS−1LSB	+9.96	1111	1111	0000	0000
+¾FS	+7.50	1100	0000	0011	1111
+½FS	+5.00	1000	0000	0111	1111
+¼FS	+2.50	0100	0000	1011	1111
+⅛FS	+1.25	0010	0000	1101	1111
+1LSB	+0.04	0000	0001	1111	1110
0	0.00	0000	0000	1111	1111

ตารางที่ 3.1 แสดง Unipolar Coding

จากตารางที่ 3.1 แสดงค่ารหัสฐานสองที่ได้จากการแปลงสัญญาณอนาลอกเป็นดิจิตอลในช่วงแรงดัน 10 โวลท์ ค่ารหัสนี้อาจเรียกอีกอย่างหนึ่งว่า Unipolar coding ตัวอย่างเช่น จากตารางจะพบว่าแรงดันบิทต่ำสุด (LSB) เป็น 0.04 โวลท์ ทุกๆเวลาแรงดันอินพุทจะเปลี่ยนไป 0.04 โวลท์

ทำให้เลขฐานสองที่เอาท์พุทเปลี่ยนค่าไป 1 ดังนั้นในช่อง 0 - 10 โวลท์จะให้ค่า 256 ค่า แต่ถ้าแรงดันมีค่า -10 ถึง +10 โวลท์ (20 โวลท์) ก็จะคำนวณค่าแรงดัน LSB ออกมาเป็น 0.08 โวลท์

Scale	±5V FS	Offset Binary		2's Complement	
		MSB	LSB	MSB	LSB
+FS – 1LSB	+4.96	1111	1111	0111	1111
+¾FS	+3.75	1110	0000	0110	0000
+½FS	+2.50	1100	0000	0100	0000
0	0.00	1000	0000	0000	0000
– ½ FS	–2.50	0100	0000	1100	0000
– ¾ FS	–3.75	0010	0000	1010	0000
–FS + 1LSB	–4.96	0000	0001	1000	0001
–FS	–5.00	0000	0000	1000	0000

ตารางที่ 3.2 แสดงOffset Binary Bipolar Coding

ตารางที่ 3.2 แสดงถึงเอาท์พุท +5 โวลท์ของสัญญาณที่ได้จากการแปลง คือเลข 10000000 และแรงดัน -5 โวลท์คือ 00000000 ฉนั้นในช่วงแรงดันบวกจะมีตัวเลข 127 ค่า ค่าแรงดันสูงสุดที่เป็นไปได้คือ +4.96 โวลท์ ชนิดของการเข้ารหัสแบบนี้จะเรียกว่า Offset binary และจากตารางก็แสดงเลข 2 's complement ซึ่งจะหาได้จากการบวก 1 เข้ากับบิทล่างสุดของ complement ของจำนวนนั้น

ตัวอย่าง 2 's complement ของ 11010101

วิธีหา ตัวเลข 11010101

complement 00101010

+ ค่า 1 +1

2 's complement 00101011

รหัสแบบ 2 's complement จะมีประโยชน์ในการบวกลบภายใน CPU โดยตรง

+FS	11111111	+9.92 V
+Zero	10000000	+0.04 V
–Zero	01111111	–0.04 V
–FS	00000000	–9.92 V

ตารางที่ 3.3 แสดง ± Zero Coding

ตารางที่ 3.3 แสดงการให้ค่าแรงดัน Bipolar ซึ่งจะสามารถตั้งค่าแรงดัน 0 โวลท์ให้เป็นค่ารหัสเท่าใดก็ได้ เช่น อาจจะเลือก 10000000 หรือ 01111111 แทน 0 โวลท์ก็ได้

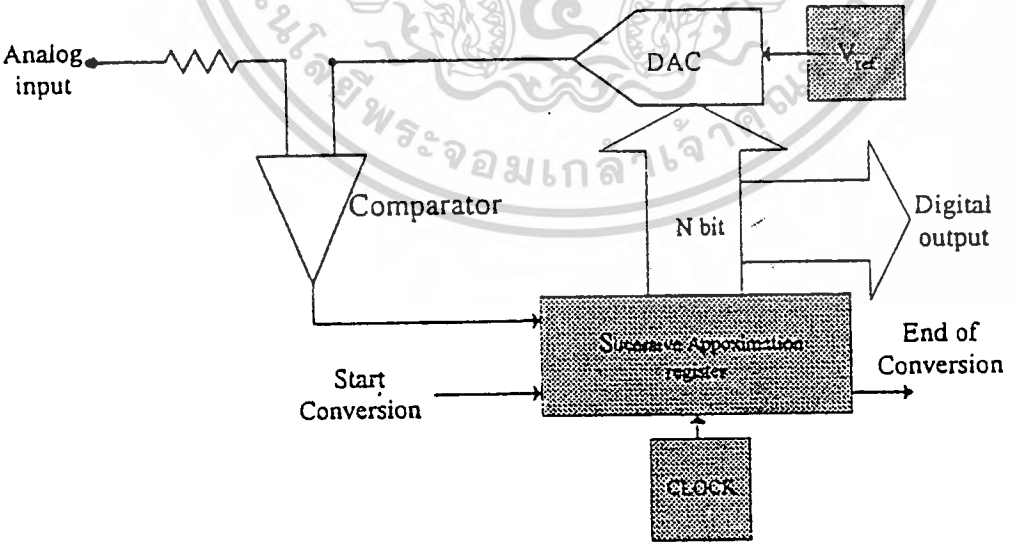
3.4.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

(Anaog to Digital Converter : ADC)

ADC เป็นวงจรที่ใช้แปลงกระแสหรือแรงดันอินพุทให้กลายเป็นค่าตัวเลขฐานสองที่บิทเอาท์พุท . ดังนั้น ADC จึงเป็นตัวเชื่อมระหว่างเครื่องมือต่างๆ ที่เป็นอนาลอกเข้ากับคอมพิวเตอร์ ส่วนวงจรพื้นฐานของ ADC นั้นมีด้วยกันหลายแบบที่นิยมใช้ เช่น Sucessive Appoximation ADC Counter type ADC , Tracking ADC , Parallel (Flash) ADC และ Integrating ADC ซึ่งแยกเป็น Single slope converter และ Dual Slope Converter ซึ่งจะขอกล่าวถึงรายละเอียดของ ADC แบบ Sucessive Appoximation ADC เนื่องจากเป็นชนิดที่ใช้ในระบบที่ออกแบบนี้

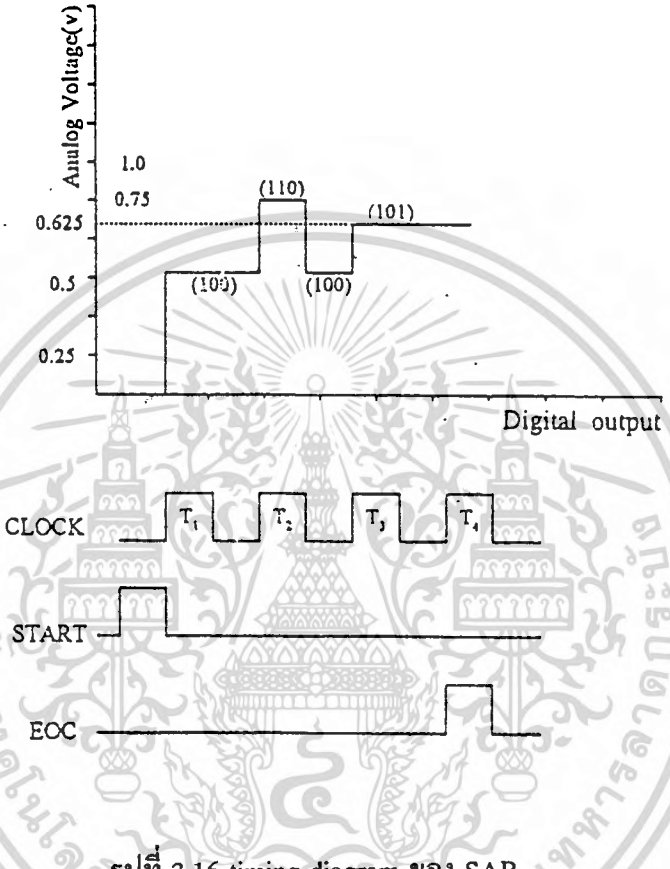
Sucessive Appoximation ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในการประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรคล้ายกับแบบเคาน์เตอร์ที่ทำงานในลักษณะการป้อนกลับ บล็อคไดอะแกรมดังรูป



รูปที่ 3.15 บล็อคไดอะแกรมของ Sucessive Appoximation ADC

หน้าที่ต่างๆ ใน ADC ชนิดนี้ คอมพาเรเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุม Sucessive Appoximation Register (SAR) ซึ่งเป็นไอซี MSI (Midium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ



รูปที่ 3.16 timing diagram ของ SAR

จากรูปแสดงช่วงเวลาการทำงานของ SAR ที่มีระดับอนาลอก 0.625 โวลท์ เมื่อ clock เข้าไป 1 ลูก จะทำให้ MSB (Most Significant Bit ; บิท 4) เป็น 1 ทุกบิทอื่นยังคงเป็นศูนย์ DAC จะเปลี่ยนเอาท์พุทของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท

ถ้าผลการเปรียบเทียบที่คอมพาเรเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิทนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิทนั้นเป็น 0 จากนั้นทำการทดสอบบิทถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิทหรือบิทหลังมากกว่าก็ทำให้บิทนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิทถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิท หรือจนกว่าเอาท์พุทจะต่างกับ Vin ไม่เกิน 1 LSB

ตัวอย่างจากรูป timing diagram กำหนดให้ค่าเต็มสเกลมีค่า 1 โวลท์ และค่าของ Vin ที่จะหามีค่า 0.625 โวลท์ การทำงานของ SA ADC จะเป็นขั้นตอนดังนี้

1) ที่เวลา t_1 วงจร SA ADC จะได้รับพัลส์เริ่มต้น ค่าในรีจิสเตอร์ B1 จะเป็น 1 ค่าของเอาท์พุทขณะนี้จะเป็น 100 และครึ่งสเกลของเอท์พุทก็คือ 0.5 โวลท์

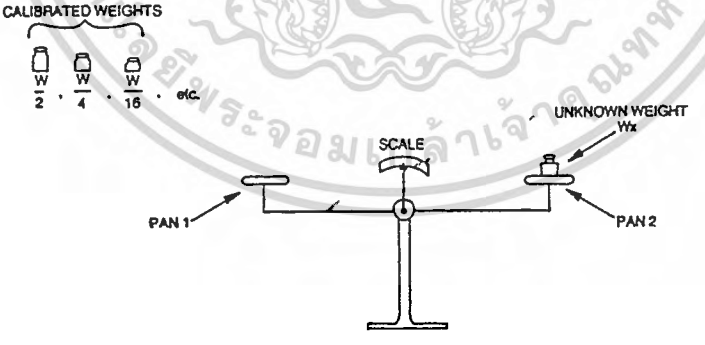
2) การทดสอบจะแสดงว่า Vin > Vout อยู่ และ B1 จะเซ็ตให้เป็น 1 และค่าเอาท์พุทในการสุ่มครั้งที่1 นี้ยังคงเป็น 100 อยู่

3) ที่เวลา t_2 รีจิสเตอร์ B2 ถูกเซ็ตเป็น 1 ทำให้บิทเอาท์พุทเป็น 110 ถ้า Vout ในขณะนี้คือ 0.75 โวลท์ กรณีนี้ Vin < Vout ดังนั้นที่เอาท์พุทของ latch สำหรับ B2 ก็จะรีเซ็ตเป็น 0 ทำให้เอาท์พุทเป็น 100

4) ที่เวลา t_3 บิทที่ 3 ของเอาท์พุทจะถูกเซ็ตเป็น 1 ดังนั้นเอาท์พุทที่ได้คือ 110 ค่าของ Vout ก็จะเป็น 0.625 โวลท์ คือ Vout = Vin ค่า latch ของบิท 3 จะถูกเซ็ตเป็น 1

5) ที่เวลา t_4 จะเกิดการ Overflow ขึ้นมาทำให้ส่วนคอนโทรลสร้างสัญญาณ EOC เข้ามาหยุดการทำงานช่วงนี้

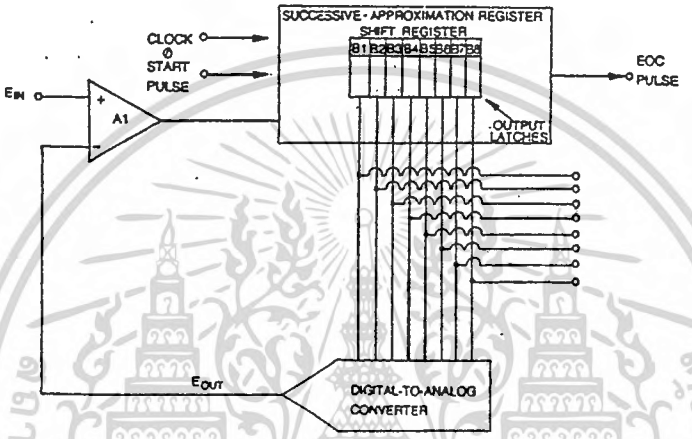
จากตัวอย่างเป็น 3 บิท ADC เวลาในการเปลี่ยนสัญญาณจะใช้ไป N+1 = 3+1 = 4 clock pulse ดังนั้นถ้าใช้ 8 บิทที่ 2 MHz ก็จะใช้เวลาในการเปลี่ยนสัญญาณประมาณ 2 ms ซึ่งนับว่าเร็วมาก



รูปที่ 3.17 แสดงการเปรียบเทียบการทำงานเสมือนคานชั่งน้ำหนัก

เทคนิคของ SA อธิบายโดยการใช้คานชั่งน้ำหนักดังรูป เมื่อมีน้ำหนักที่ไม่ทราบค่าวางอยู่บนจาน ในขณะที่น้ำหนักสุ่มที่แตกต่างกันวางอยู่ที่จานอีกข้างหนึ่ง เมื่อน้ำหนักของทั้งสองข้างเท่ากันจะทำให้ตาชั่งสมดุลย์ เมื่อน้ำหนักสุ่มเป็นกำลังของ 2 เช่น W2, W4, W8, W16 , ...

ถ้าเริ่มต้นด้วยการใส่ W2 ลงไปในจาน เมื่อ Wx > W2 เข็มก็จะชี้เอียงมาทางขวา แต่ถ้า Wx < W2 เข็มก็จะชี้มาทางซ้าย จุดนี้เองเป็นเครื่องตัดสินใจในการเลือกค่าน้ำหนักที่จะใส่ ซึ่งก็นำมาใช้กับ SA ADC ได้ คือการสุ่มหาค่าน้ำหนักก็จะใช้วงจรเปรียบเทียบแรงดัน แล้วนำสัญญาณไปเซ็ตหรือรีเซ็ตบิทในรีจิสเตอร์



รูปที่ 3.18 แสดงบล็อคไดอะแกรม Successive Approximation ADC

จากบล็อคไดอะแกรม ส่วนประกอบหลักของวงจรก็คือวงจรเปรียบเทียบแรงดัน , DAC , Control logic , Shift register , Output latches และ Successive Approximation Register (SAR)

เมื่อได้รับพัลส์เริ่มต้น ทุกๆ บิทจะถูกเซ็ตค่าให้เป็น 0 บิทที่ 1 จะต่อกับบิทสูงสุดของ DAC

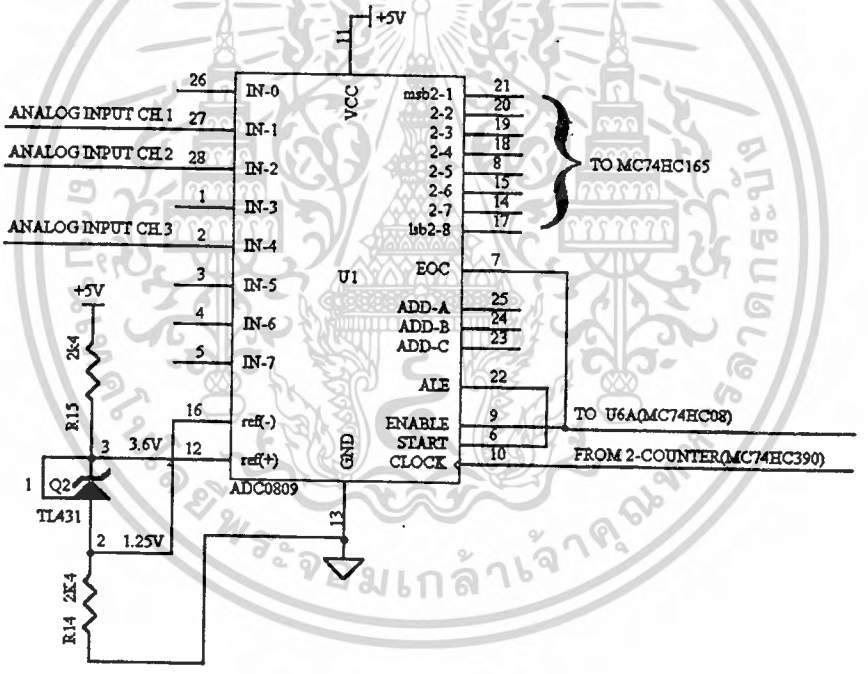
เมื่อมีพัลส์ที่ 1 ผ่านมาบิทที่ 1 นี้ก็จะถูกเซ็ตเป็นค่าสูง ที่อินพุทของ DAC ก็จะมีค่าเป็น 10000000 หรือค่าครึ่งสเกล ถ้า Vin ที่เข้ามาทางอินพุทมีค่าแรงดันมากกว่าเอาท์พุทของ latch ก็จะถูกเซ็ตเป็น 1

แต่ถ้า Vin น้อยกว่าเอาท์พุท latch บิทที่ 1 ก็จะถูกเซ็ตให้เป็น 0 วงจร SA ADC ก็จะเลื่อนค่าไปทางขวา 1 บิท แล้วกลับไปรับ Vin ใหม่ แล้วทดสอบค่า Vin จนกระทั่งถึงบิทสุดท้ายก็จะเกิด Overflow ขึ้น

ข้อจำกัดประการหนึ่งสำหรับ conversion คือสัญญาณอนาลอกอินพุทจะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาแบบอนุกรม

วงจร ADC แบบนี้สามารถทำงานได้ 2 โหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอ คำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณใช้ (n+1) ลูกของพัลส์ clock โดย clock ลูกแรกจะใช้ในการรีเซ็ตรีจิสเตอร์ภายใน และคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

3.4.3 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล



รูปที่ 3.19 แสดงวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

รูปวงจรแสดงไว้รูปที่ 3.19 ในวงจรนี้จะใช้ ADC0809 ทำการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกทั้ง 3 ช่องสัญญาณ โดยสามารถเลือกค่าแอดเดรส (Address) ของ ADC0809 เพื่อเลือกใช้ช่องสัญญาณได้ดังตาราง

SELECTER	ADDRESS LINE		
ANALOG CHANNAL	C	B	A
IN1	L	L	H
IN2	L	H	L
IN4	H	L	L

ตารางที่ 3.4 แสดงค่าแอดเดรสของADC0809

สัญญาณอนาล็อกเอาท์พุทของออปแอมป์แต่ละช่องที่ถูกปรับให้เหมาะสมแล้ว จะนำมาแปลงเป็นสัญญาณดิจิตอลโดยไอซี U1 เบอร์ ADC0809 ซึ่งเป็นรหัสดิจิตอลขนาด 8 บิท

สามารถแทนระดับศักดาไฟฟ้าได้ 256 ระดับ จากศักดาเปรียบเทียบ 0-5 โวลท์ จะถูกแปลงจากสัญญาณดังนี้

รหัสดิจิตอล = (สัญญาณเข้า x 256) / 5 โวลท์ ± ค่าความคลาดเคลื่อน

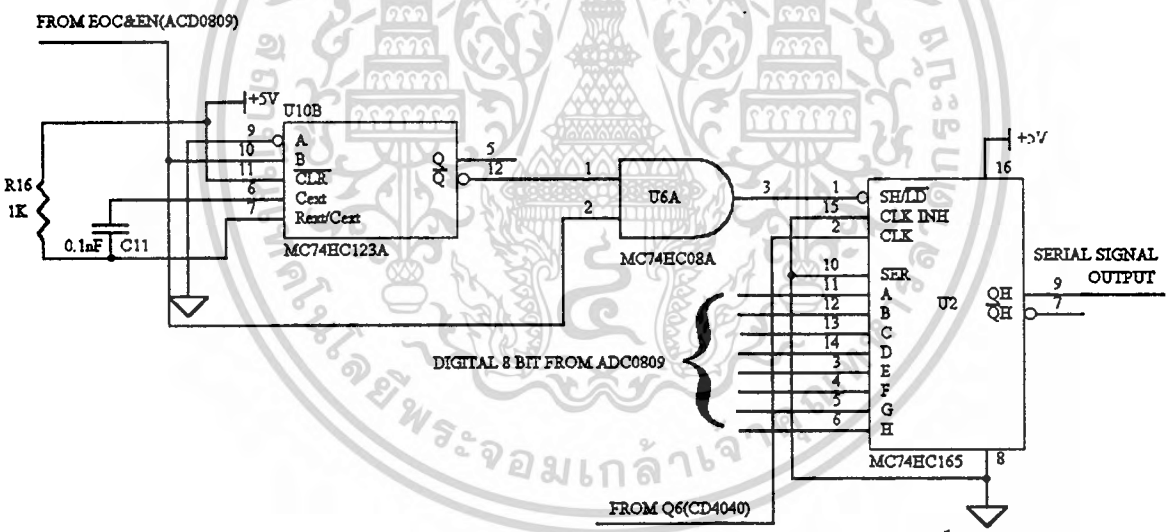
ค่าความคลาดเคลื่อนเป็นธรรมชาติของการแบ่งระดับสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งไม่ต่อเนื่อง เพราะรหัสทางดิจิตอลมีจำนวนเต็มเฉพาะเท่านั้น ค่าความคลาดเคลื่อนจะมีค่าระหว่าง 0-0.5 โวลท์ หรือเทียบเป็นระดับศักดาได้ 0-0.5x5/256 โวลท์

ไอซี U27 นี้สามารถแปลงสัญญาณได้ถึง 8 ช่อง โดยวิธีแบ่งเวลาในการแปลง ในที่นี้จะใช้แค่ 3 ช่องสัญญาณ โดยการถอดรหัสแอดเดรสอินพุทของ ADC0809 ที่ขา A , B และ C เนื่องจากสัญญาณอินพุทเป็นสัญญาณไฟฟ้าหัวใจ ซึ่งมีความถี่ต่ำมาก จึงไม่จำเป็นต้องใช้วงจรแซมปลิ้ง แอนด์ โฮลด์ (Sampling-Hold)

เมื่อมีสัญญาณ START ซึ่งเป็นสัญญาณนาฬิกาที่ได้มาจากขา Q ของไอซีโมโนสเตเบิ้ล ที่มีลักษณะเป็นพัลส์แคบๆ เข้ามา ADC0809 จะเริ่มทำการเปลี่ยนสัญญาณอนาลอก (Analog) ซึ่งเป็นสัญญาณที่มีคลื่นความถี่ต่ำที่ได้จากวงจรขยายส่วนแรก

ในขณะที่ทำการแปลงสัญญาณที่ขา EOC และขา OE จะมีสถานะโลจิกเป็น 0 ทำให้เอาท์พุทของ ADC0809 ที่ขา D0-D7 มีสภาพเป็นความต้านทานสูง แต่เมื่อทำการสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเสร็จ สัญญาณเอาท์พุทของขา EOC และขา OE จะมีสถานะโลจิกเป็น 1 ทำให้ขา D0-D7 มีสัญญาณออกเป็นรหัสดิจิตอลไปเข้ากระบวนการแปลงสัญญาณแบบขนานให้เป็นอนุกรมโดยใช้ไอซี 74LS166 ต่อไป

ซึ่งในสถานะโลจิกที่มีค่าเป็น "1" ดังกล่าวจะถูกป้อนให้กับไอซี MC74HC123A ทำหน้าที่เป็นวงจรโมโนสเตเบิ้ล เพื่อใช้ในการสร้างพัลซ์แคบๆไปทริกไอซี MC74HC165 ที่ขา shift data ซึ่งขณะนี้จะมีข้อมูลมารออยู่ทั้ง 8 บิท (ขา A-H) พร้อมที่จะทำการเลื่อนข้อมูลออกมาที่ขา QH ทางดันเอาท์พุท ซึ่งจอนนี้สัญญาณทางอินพุทแบบขนานจะถูกแปลงให้เป็นสัญญาณเอาท์พุทแบบอนุกรมเพื่อนำไปส่งใช้งานในที่สุด



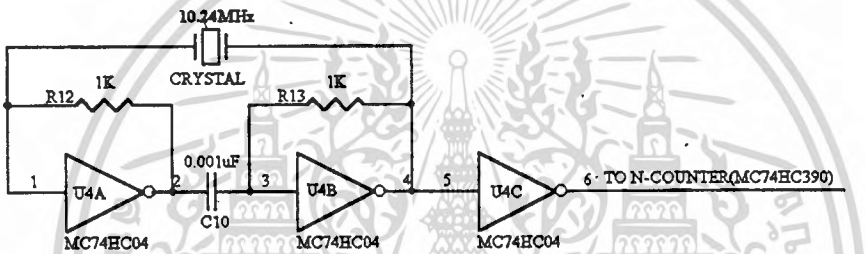
รูปที่ 3.20 แสดงวงจรแปลงสัญญาณแบบขนานเป็นแบบอนุกรม

สำหรับข้อกำหนดในการใช้ ADC0809 คือ เมื่ออยู่ในระหว่างช่วงการเปลี่ ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล สัญญาณอินพุทต้องมีขนาดคงที่หรือไม่ก็มีการเปลี่ยนแปลงเพียงเล็กน้อย ซึ่งก็ใช้ได้กับกรณีนี้ เนื่องจากสัญญาณไฟฟ้าคลื่นหัวใจ (ECG) มีความถี่ประมาณ 0.5-200 เฮิร์ทเท่านั้น แต่สัญญาณนาฬิกาที่ใช้เป็นฐานเวลา ADC0809 มีความถี่ถึง1.124 เมกกะเฮิร์ท เมื่อเทียบกันแล้วถือได้ว่าในระหว่างการเปลี่ยนสัญญาณนั้นๆ สัญญาณไฟฟ้าคลื่นหัวใจ (ECG) แทบไม่มีการเปลี่ยนแปลงของขนาดสัญญาณเลย

3.5 การกำหนดสัญญาณควบคุม

3.5.1 วงจรกำเนิดความถี่

วงจรกำเนิดสัญญาณนาฬิกาส่วนใหญ่จะเป็นวงจร Astable multivibrator ซึ่งสามารถออกแบบและสร้างขึ้นได้จากอุปกรณ์ต่างๆ ในรูปแบบการจัดวงจรที่แตกต่างกันออกไป แต่โดยหลักใหญ่จริงๆแล้ว ก็คือการนำวงจร RC ที่ให้ค่า RC time conltant ซึ่งเกิดจากเก็บประจุและคายประจุของตัวเก็บประจุผ่านค่าความต้านทานมาต่อร่วมกัน เช่น ทรานซิสเตอร์,อินเวอร์เตอร์เกท เป็นต้น แต่ในที่นี้ขอกล่าวถึงเฉพาะวงจรอะสเตเบิ้ลที่เป็นการจัดวงจร โดยใช้อินเวอร์เตอร์เกทและวงจร RC ต่อรวมกับคริสตัลเท่านั้น



รูปที่ 3.21 แสดงวงจรกำเนิดความถี่

หลักการทำงานของวงจร

ในสภาวะแรก กำหนดให้ Vc=0 จะได้ลักษณะระดับโลจิกเป็น

Vin = "0"

Vout = "1" :ตามคุณสมบัติของอินเวอร์เตอร์

ในสภาวะที่สอง ต่อจากสภาวะแรก Vout = "1" ทำให้ได้ระดับแรงดัน Vout≈Vcc ซึ่งแรงดันค่านี้จะทำหน้าที่เป็นแหล่งจ่ายแรงดันที่จะอัดประจุให้กับตัวเก็บประจุ ผ่านทางตัวต้านทาน ตามสมการ $Vc=Vcc(1-e^{-t/RC})$ เมื่อเวลาผ่านไประยะหนึ่งค่าแรงดัน Vc = Vin มีค่าสูงขึ้นจนถึงค่าที่สูงเท่าค่า $+V_T$ ของอินเวอร์เตอร์เกตเพียงเล็กน้อย ซึ่งเมื่อถึงตอนนี้อินเวอร์เตอร์เกตจะเปลี่ยนสภาวะทางโลจิกไปทำให้ได้

Vout = "0"

Vin = "1"

ในสภาวะที่สาม ที่สภาวะที่สองจะได้ค่า Vc ,$+V_T$ และ Vout="0" ซึ่งมีแรงดันเป็น 0 โวลท์ มาถึงตอนนี้ตัวเก็บประจุจะทำการคายประจุ โดยผ่านทางตัวต้านทาน R อีกเช่นเคย แต่ในสภาวะนี้จะมีการทำงานของคริสตัลร่วมด้วย โดยจะทำการผลิตความถี่ที่ค่า 10.24 เมกกะเฮิร์ท ผ่านชุดวงจร RC และอินเวอร์เตอร์ออกมาเรื่อยๆ ทำให้ได้สัญญาณเอาท์พุทออกมาเป็นไปพัลซ์รูปสัญญาณสี่เหลี่ยมที่นำไปใช้งานต่อไป

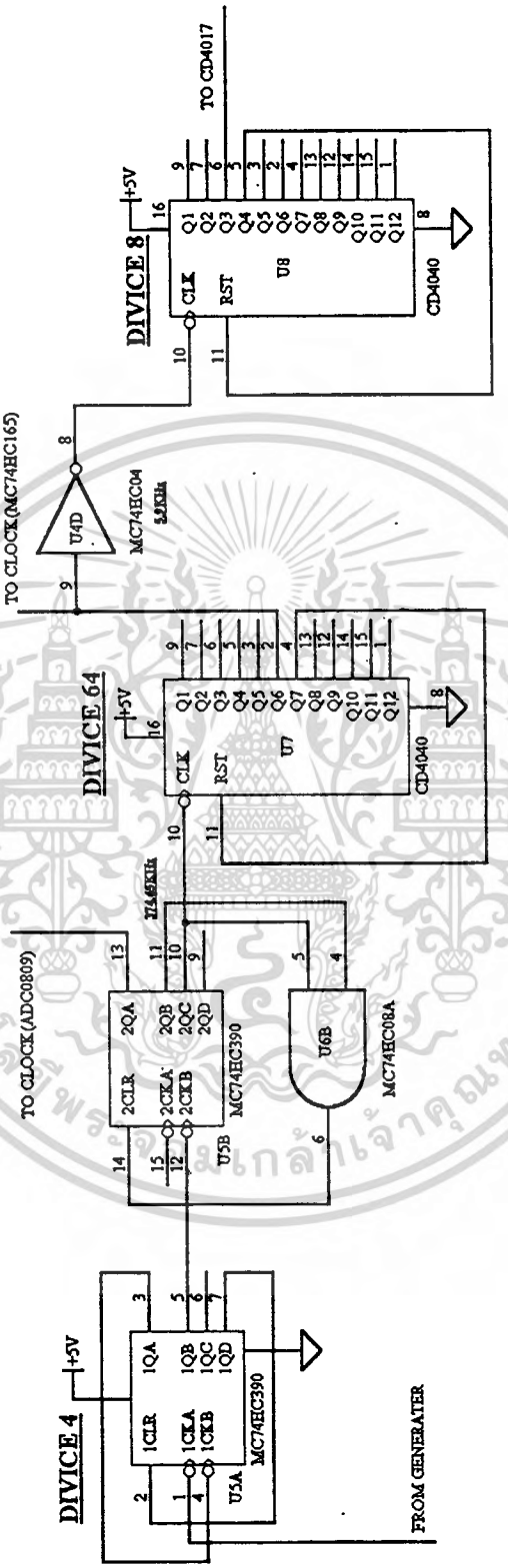
3.5.2 วงจรหารความถี่

ในความเป็นจริงแล้วการใช้งานวงจรดิจิตอลอิเล็กทรอนิกส์นั้นโดยพื้นฐานแล้ว จะต้องมีสัญญาณนาฬิกาเพื่อป้อนเป็นสัญญาณกระตุ้น (Trigger) ให้กับอุปกรณ์ประเภทไอซีดิจิตอลให้ทำงานตามจังหวะเวลา เพื่อให้ได้สัญญาณเอาท์พุทต่างๆในวงจรตามที่ได้ออกแบบหรือกำหนดเอาไว้ และโดยทั่วไปแล้วจะมีสัญญาณนาฬิกาหลักๆอยู่เพียงความถี่เดียวเท่านั้น

แต่ในระบบการทำงานหนึ่งๆ ถ้ามีความจำเป็นจะต้องให้สัญญาณนาฬิกาเพื่อที่จะเป็นให้กับอุปกรณ์ตัวใดตัวหนึ่งในระบบ เพื่อให้สามารถทำหน้าที่ของมันในค่าความถี่ที่มีค่าต่ำกว่าหรือสูงกว่าสัญญาณนาฬิกาเดิม อีกทั้งต้องคำนึงความเป็นฐานเวลาเดียวกันของสัญญาณในระบบด้วยแล้ว

วงจรหารความถี่จะถูกนำเข้ามาช่วยแก้ ปัญหาในลักษณะนี้ได้ โดยลักษณะของวงจรหารความถี่จะเป็นวงจร Modulus-N Counter นั่นเอง เช่น ถ้าต้องการหารความถี่ให้มีค่าต่ำลงเป็น 5 เท่าของสัญญาณความถี่เดิม ก็จะป้อนความถี่เดิมเข้าไปผ่านวงจร Modulus-5 Counter ก็จะได้ความถี่ตามที่ต้องการเป็นต้น โดยการใช้งานจริงนั้นวงจรหาร N จะอยู่ในรูปของไอซีให้สามารถนำมาต่อใช้งานได้อย่างสะดวกรวดเร็ว เช่นไอซี HD14017 เป็นต้น

ความถี่ 10.24 เมกกะเฮิร์ท ที่ได้จากวงจรกำเนิดความถี่จะถูกนำมาผ่านไอซี MC74HC390 โดย U5Aทำหน้าที่ Modulus-10 Counter และ U5B ทำหน้าที่ Modulus-2 Counter จะได้ความถี่ค่า 1.023 เมกกะเฮร์ท ที่ขา 2QB เพื่อใช้เป็นสัญญาณนาฬิกาของไอซี ADC0809 ส่วนขา 2 QC ของ U5B จะถูกป้อนให้กับ CD4040 ไอซี U7 ทำการหาร $2^{\text{จำนวนบิท}}$ ที่ขา Q6 จะมีค่าความถี่ 5.329 กิโลเฮิร์ท เพื่อใช้เป็นสัญญาณนาฬิกาของไอซี MC74HC165 และส่วนหนึ่งของสัญญาณดังกล่าวจะถูกนำไปผ่านไอซี U8 อีกที่ขา Q3 จะมีค่าความถี่ 666.2 เฮิร์ท เพื่อป้อนให้ HD14017 ไอซี U9 ใช้เป็น วงจรมัลติเพล็กซ์ต่อไป

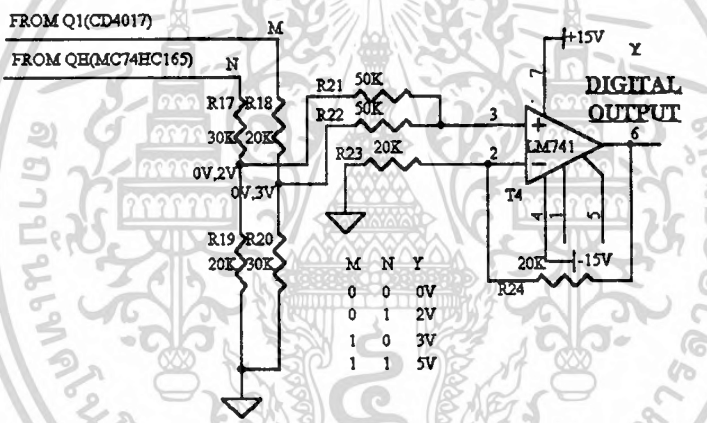


รูปที่ 3.22 แสดงวงจรหารความถี่

3.6 การขยายสัญญาณทางเอาท์พุท

3.6.1 วงจรปรับขนาดและระดับสัญญาณ (Amplifier)

สัญญาณที่ได้จากวงจรกรองความถี่จะเข้าไอซี LM741 ซึ่งเป็นวงจรขยายที่มีอัตราการขยาย 1 เท่า(R24/R23) โดยเอาท์พุทจะเป็นผลรวมของสัญญาณที่ขาบวก (Non-inverting) ระหว่างสัญญาณดิจิตอลแบบอนุกรมที่ได้จากไอซี MC74HC165 โดยผ่านการแบ่งแรงดันจึงได้สัญญาณที่ค่า 2 โวลท์และสัญญาณพัลซ์ทริกช่องสัญญาณที่1ของไอซี HD14017 โดยผ่านการแบ่งแรงดันจึงได้สัญญาณที่ค่า 3 โวลท์ ทำให้สามารถเลื่อนระดับข้อมูลดิจิตอลของช่องสัญญาณที่1ขึ้นในแนวตั้งได้ 5 โวลท์ ในขณะที่มีพัลซ์ทริกช่องสัญญาณที่1 และถ้าไม่มีสัญญาณพัลซ์ทริกช่องสัญญาณที่1 ทำให้ข้อมูลดิจิตอลของช่องสัญญาณอื่นๆมีค่าเท่าเดิมคือที่ค่า 2โวลท์ ซึ่งสัญญาณข้อมูลที่เลื่อนระดับขึ้นที่ 5 โวลท์ ดังกล่าวจะถูกนำไปใช้เป็นสัญญาณซิงค์ด้วย



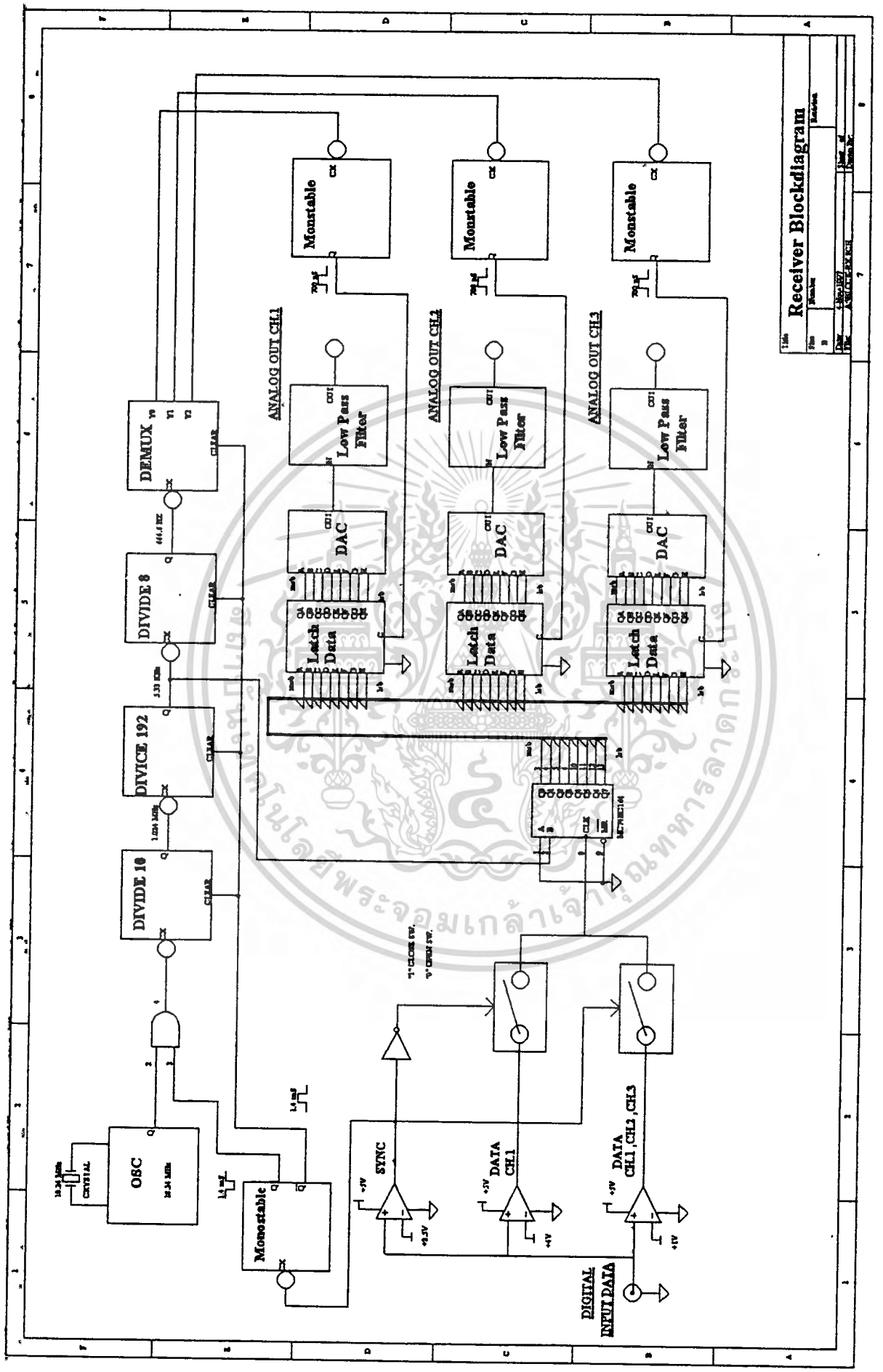
รูปที่ 3.23 แสดงวงจร Summing Amplifier

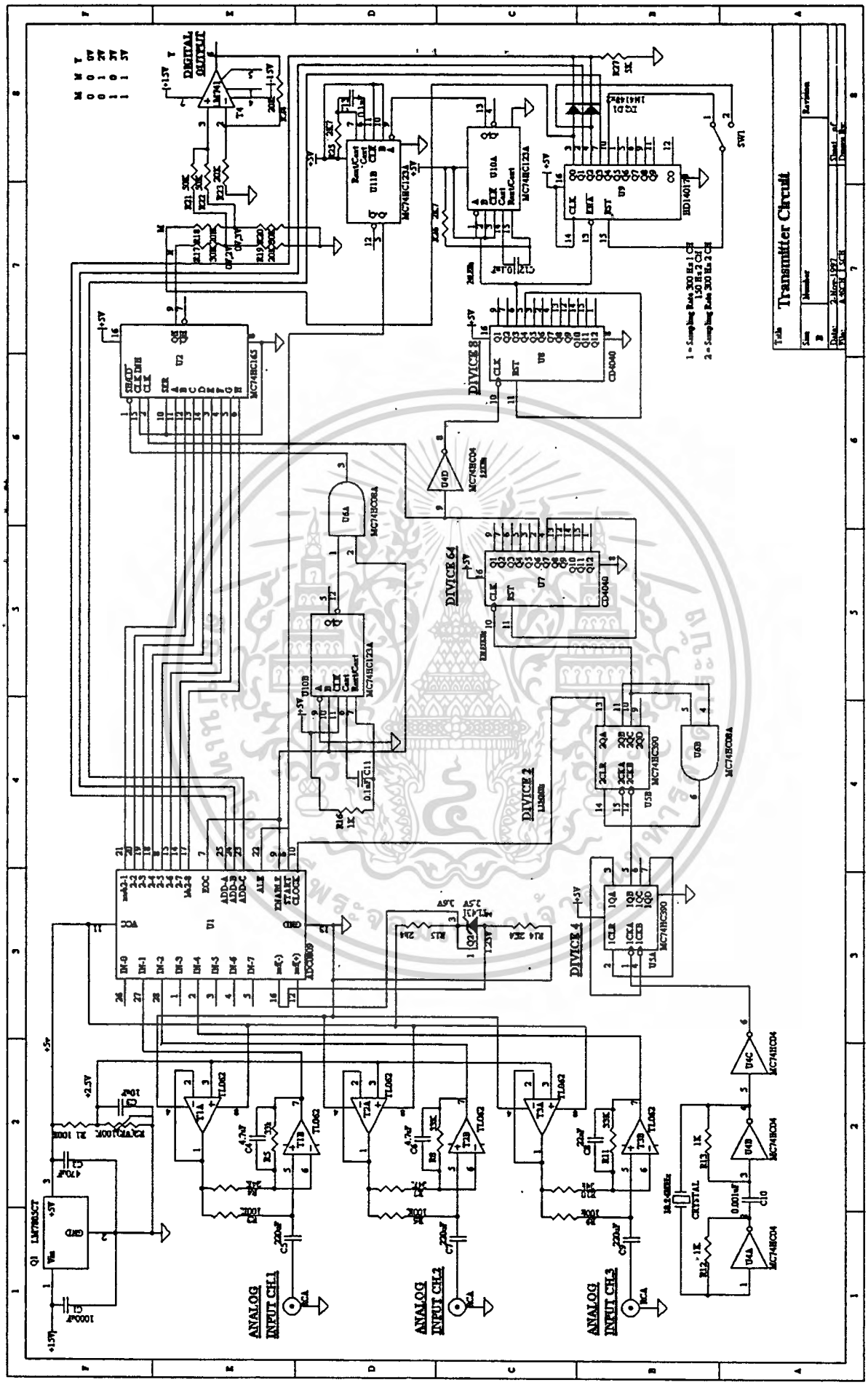
3.7 การสร้างวงจรภาคส่ง

3.7.1 วงจรที่สำเร็จ

3.7.1.1 วงจรภาคส่ง

จากแนวความคิดการออกแบบและหลักการทำงานของวงจรที่ได้กล่าวไปแล้วข้างต้น เมื่อนำมาประกอบและทดสอบการทำงานร่วมกันของวงจรต่างๆ จะมีลักษณะวงจรภาคส่งที่สมบูรณ์ดังนี้


Receiver Blockdiagram
Monstable
Monstable
Monstable
ANALOG OUT CH1
ANALOG OUT CH2
ANALOG OUT CH3
Low Pass Filter
Low Pass Filter
Low Pass Filter
DAC
DAC
DAC
Latch Data
Latch Data
Latch Data
DEMUX
DIVIDE 8
DIVICE 192
DIVIDE 10
OSC
Monostable
SYNC
DATA CH1
DATA CH1,CH2,CH3
DIGITAL INPUT DATA



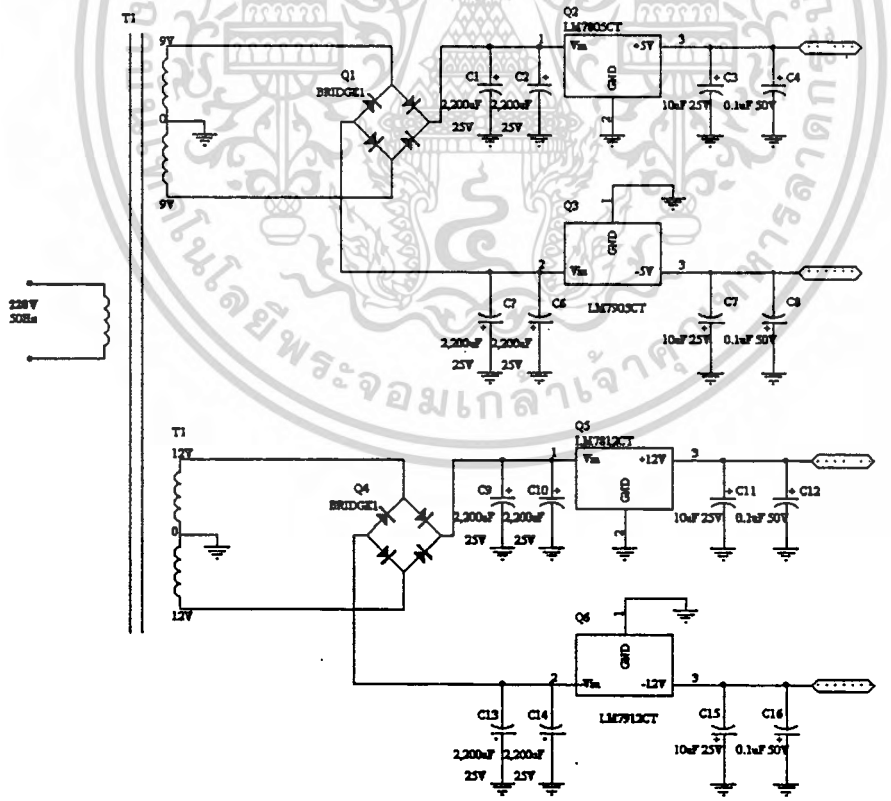
รูปที่3.24 แสดงวงจรภาคส่งที่สมบูรณ์

3.7.1.2 วงจรแหล่งจ่ายไฟ

หม้อแปลงไฟฟ้ากระแสสลับ 220โวลท์ 50 เฮิร์ททางด้านไพรมารี่ (Primary) ซึ่งมีขดทางด้านเซคคันดารี่ (Secondary) คือ 12 โวลท์ เป็นแบบแท็ป (Center Tap) และ12 โวลท์ เป็นแบบแท็ปเช่นกัน โดยมีรายละเอียดของแต่ละขดดังนี้

ขด 12 โวลท์ (Center Tap) ใช้วงจรบริดจ์เรคติไฟร์ (Bridge Rectifier) ได้ไฟตรง ±17 โวลท์ แล้วผ่านวงจรเรคกูเลเตอร์(Rectifier) โดยไฟตรง +17 โวลท์ ผ่านไอซี 7815 สำหรับวงจรขยายสัญญาณ ส่วนไฟตรง -17 โวลท์ จะผ่านไอซี 7915 ได้ไฟตรง -15 โวลท์ จ่ายวงจรขยายสัญญาณเช่นเดียวกัน โดยจ่ายเป็นไฟเลี้ยงคู่

ส่วนขด 9 โวลท์ (Center Tap) ใช้วงจรบริดจ์เรคติไฟร์ (Bridge Rectifier) ได้ไฟตรง ±12.7 โวลท์ แล้วผ่านวงจรเรคกูเลเตอร์(Rectifier) โดยไฟตรง +12.7 โวลท์ ผ่านไอซี 7805 สำหรับวงจรอนาลอกและวงจรดิจิตอลสำหรับส่วนประมวญสัญญาณ ส่วนไฟตรง -12.7 โวลท์ จะผ่านไอซี 7905 ได้ไฟตรง -5 โวลท์ จ่ายวงจรอนาลอกและวงจรดิจิตอล



รูปที่ 3.25 แสดงวงจรแหล่งจ่ายไฟ

3.7.2 รายการอุปกรณ์

รายการอุปกรณ์ภาคส่ง

ความต้านทาน		อุปกรณ์สารกึ่งตัวนำ	
R1,R2(VR),R3,R3,R6,R9	100K	MC74HC08A	U6
R4,R7,R10	24K	MC74HC165	U2
R5,R8,R11	33K	MC74HC390	U5,U10,U11
R12,R13,R16	1K	TL062	T1,T2,T3
R15,R14	2.4K	TL431	Q1
R17,R20	30K	1N4148	D1,D2
R18,R19,R24	20K		
R21,R22,R23	50K	อื่นๆ	
R25,R26	2.7K	CRYSTAL 10.24MHz	Q2
R27	5K	สวิทซ์ 2 ทาง	SW1
		แจ็ค RCA	

ตัวเก็บประจุ	
C3	10uF 16V
C4,C6,C8	22nF
C5,C7,C9	220uF 16V
C10	0.001uF
C11,C12,C13	0.1nF

อุปกรณ์สารกึ่งตัวนำ	
ADC0809	U1
CD4017B	U9
CD4040B	U7,U8
LM741	T4
MC74HC04	U4

รายการอุปกรณ์ภาคจ่ายไฟ

ตัวเก็บประจุ

C1,C2,C5,C6,C9,C10,C13,C14	2,200uF 25V
C3,C7,C11,C15	10uF 25V
C4,C8,C12,C16	0.1uF 50V

อุปกรณ์สารกึ่งตัวนำ

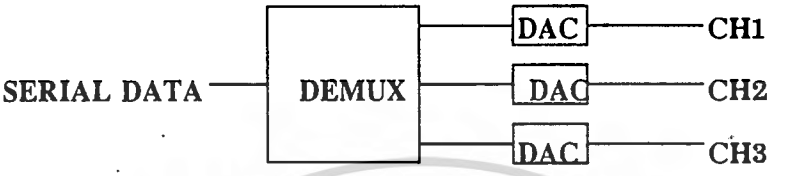
Q1,Q4	BRIDGE 1A 100V
Q2	7805
Q3	7905
Q5	7815
Q6	7915

อื่นๆ

T1	TANSFORMER 9-0-9 volt ,12-0-12 volt

บทที่ 4
การออกแบบภาครับ

4.1 โครงสร้างของระบบ



รูปที่ 4.1 แสดงบล็อกไดอะแกรมภาครับ

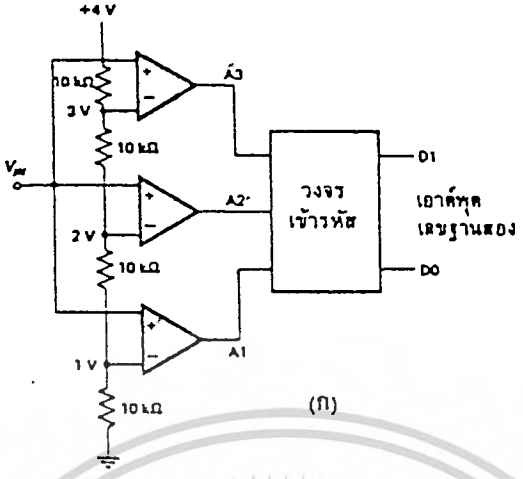
ที่ภาครับ สัญญาณข้อมูลของ CH1 ,CH2 และ CH3 ถูกส่งมาในลักษณะของข้อมูลแบบอนุกรมตามสายนำสัญญาณ สัญญาณข้อมูลจะผ่านวงจรตรวจเช็คเพื่อแยกสัญญาณแต่ละช่องสัญญาณทั้ง 3 ช่องสัญญาณจะถูกแปลงกลับจากการส่งผ่านแบบอนุกรมกลับเป็นแบบขนานเช่นเดิมโดยวงจร Series to Parallel

หลังจากนั้นทำการ Latch ข้อมูลเพื่อส่งมาแปลงสัญญาณกลับเป็นสัญญาณข้อมูลเช่นเดิม สัญญาณข้อมูลที่ได้นี้ก็จะถูกกรองให้ผ่านได้เฉพาะช่วงความถี่ต่ำในช่วงที่กำหนด การทำงานทั้งหมดนี้ถูกควบคุมโดยวงจร Timing ซึ่งจะสร้างสัญญาณขึ้นมาควบคุมการทำงานแต่ละขั้นตอนให้รับสัญญาณทั้ง 3 ช่องสัญญาณได้ โดยสัญญาณจะถูกแยกเป็น 3 ช่องเหมือนเดิม

4.2 การแยกสัญญาณข้อมูล

4.2.1 หลักการเปรียบเทียบแรงดัน

การป้อนอินพุทพร้อมๆกันเข้าไปในกลุ่มของคอมพาราเตอร์ที่ต่อขนาน ซึ่งประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานที่ต่อไว้ เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (Inverting) ให้มีขนาดต่างๆกัน จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุทแบบไม่กลับเฟส (Noninverting) มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันค่าสูง ดังรูปตาราง



(ก)

แรงดันอินพุต V_{in} (โวลต์)	เอาต์พุตของวงจรเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A1	A2	A3	D1	D0
0 – 1	0	0	0	0	0
1 – 2	1	0	0	0	1
2 – 3	1	1	0	1	0
3 – 4	1	1	1	1	1

(ข)

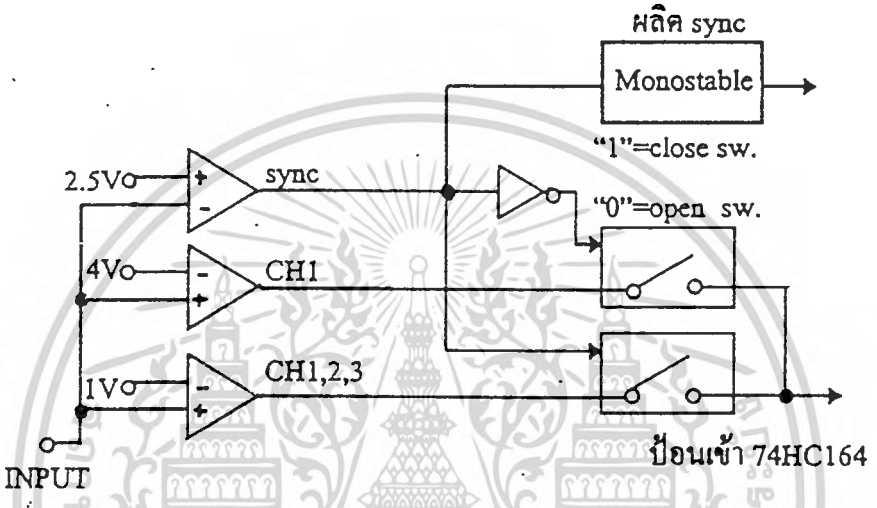
รูปที่ 4.2 (ก) แสดงการต่อคอมพาราเตอร์ที่ต่อขนาน
(ข) ตารางความสัมพันธ์ระหว่างแรงดันอินพุทที่ระดับโวลท์
ต่างๆกับเอาท์พุทที่ได้จากคอมพาราเตอร์

จากรูปที่ 4.2 ถ้าแรงดันอินพุทมีค่า 1 โวลท์ ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุทเป็นสัญญาณสูง(high)ที่แรงดันระหว่าง 1 ถึง 2โวลท์ วงจรเปรียบเทียบที่ระดับเทรชโฮลด์ (threshold)ต่ำสุดก็จะให้เอาท์พุทเป็นสัญญาณสูง

แรงดัน 2 ถึง 3 โวลท์ วงจรเปรียบเทียบทั้ง A1 และ A2 ให้เอาท์พุทเป็น "high" ถ้าแรงดันอินพุทมากกว่า 3 โวลท์ วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็นสัญญาณสูงทั้งหมดเมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น

4.2.2 วงจรแยกสัญญาณซิงค์และแยกสัญญาณข้อมูล

ใช้ออปแอมป์ 3 ตัว โดยตัวที่1 ใช้ในการแยกสัญญาณซิงค์ ตัวที่2 ใช้ในการแยกสัญญาณ CH1 และตัวที่ 3 ใช้ในการแยกสัญญาณ CHที่ 1 ,2 และ 3 ออปแอมป์เป็นคอมพาราเตอร์ ใช้ไฟเลี้ยง 5โวลท์ กับกราวด์ ดังรูปที่ 4.3

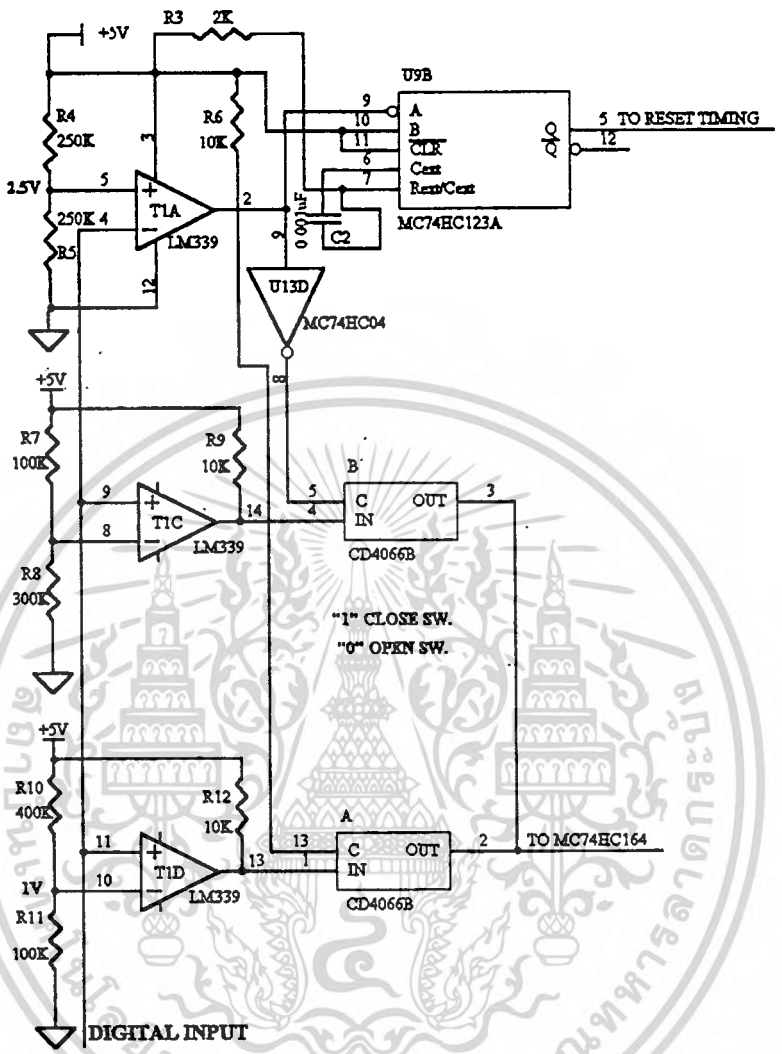


รูปที่4.3 แสดงบล็อคไดอะแกรมการแยกสัญญาณซิงค์
และสัญญาณข้อมูลของเครื่องรับ

ออปแแอมป์ตัวที่1 มีระดับแรงดันอ้างอิงที่ 2.50โวลท์ เมื่อ CH1 ซึ่งมีขนาด 3ถึง 5 โวลท์ ถูกส่งมา จึงสามารถแยกสัญญาณซิงค์ออกมาได้

ออปแอมป์ตัวที่ 2 ซึ่งมีระดับแรงดันอ้างอิง 4 โวลท์ จึงสามารถแยกข้อมูล "H" และ "L" ของCH1ได้

ส่วนออปแอมป์ตัวที่ 3 มีระดับแรงดันอ้างอิง 1โวลท์ จึงสามารถแยกข้อมูลของ CH1 ,CH2 และ CH3 ได้ตามลำดับ



รูปที่ 4.4 แสดงวงจรแยกสัญญาณซิงค์และสัญญาณข้อมูล

ปรกติสายส่งที่รับข้อมูลเข้ามา ถ้ายังไม่มีสัญญาณซิงค์เอาท์พุทที่ได้จากวงจรคอมพาราเตอร์จะมีโลจิกเป็น “1” แต่หากมีการส่งสัญญาณซิงค์มาก็จะเริ่มต้นด้วยวงจรคอมพาราเตอร์ที่หาสัญญาณซิงค์จะมีระดับโลจิก “0” ดังนั้นเมื่อตรวจพบแล้วก็จะส่งเอาท์พุทไปควบคุมการทำงานของไอซี MC14066 ที่ขา13 และที่ขา5 จะทำงานสลับกันกับขา13 โดยที่ขา5 จะผ่านอินเวอเตอร์ ซึ่งไอซี MC14066 จะมีสภาวะการทำงานดังนี้

โลจิก “1” จะอยู่ในสภาวะสวิทช์ปิดวงจร(CLOSE SW.)

โลจิก “0” จะอยู่ในสภาวะสวิทช์เปิดวงจร(OPEN SW.)

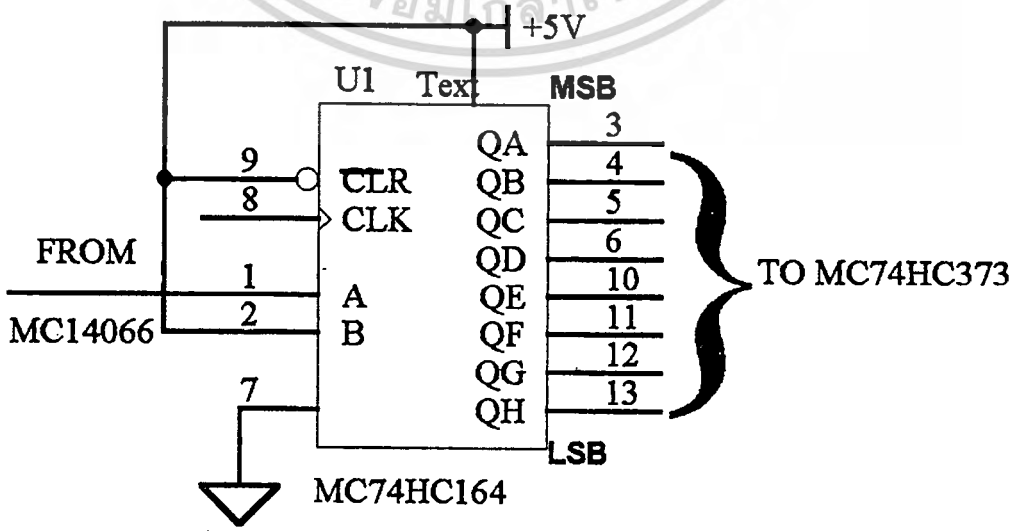
เมื่อมีสัญญาณซิงค์เอาท์พุทที่ได้จากวงจรคอมพาราเตอร์จะมีโลจิกเป็น “0” ทำให้ไอซี MC14066 ที่ขา5มีโลจิกเป็น “1” และที่ขา13 มีโลจิกเป็น”0” สัญญาณ CH1 จึงไปปรากฏที่ขาA ของไอซี MC74HC164 เพื่อเลื่อนข้อมูลต่อไป และเมื่อไม่มีสัญญาณซิงค์เอาท์พุทที่ได้จากวงจรคอมพาราเตอร์จะมีโลจิกเป็น “1” ทำให้ไอซี MC14066 ที่ขา5 มีโลจิกเป็น “0” และที่ขา13 มีโลจิกเป็น “1” สัญญาณ CH1 ,CH2 และ CH3 จึงไปปรากฏที่ขา A ของไอซี MC74HC164 เพื่อเลื่อนข้อมูลจากแบบอนุกรมเป็นแบบขนานต่อไป

สัญญาณซิงค์เอาท์พุทที่ได้จากวงจรคอมพาราเตอร์ออปแอมป์ตัวที่ 1 นี้ส่วนหนึ่งจะถูกแยกไปเพื่อใช้ผลิตสัญญาณซิงค์ โดยสัญญาณซิงค์ที่ผลิตขึ้นเป็นพัลซ์แคบๆ ประมาณ 1μs นำเอาเอาท์พุทของ Q ไปรีเซตวงจรหารความถี่ต่างๆ กับวงจรดีมัลติเพล็กซ์

4.2.3 วงจรเลื่อนข้อมูล

วงจรนี้จะทำหน้าที่รับข้อมูลแบบอนุกรมแล้วให้เอาท์พุทออกมาแบบขนาน โดยวงจรเลื่อนข้อมูลก็ทำการเลื่อนข้อมูลที่ได้จากอินพุท เข้ามาเก็บเรียงกันทีละบิท จนครบ 8 บิท จึงส่งออกไปพร้อมกันทั้ง 8 บิท เพื่อความสะดวกจึงเลือกใช้ชิปรีจิสเตอร์ ไอซีเบอร์ MC74HC164 มาทำหน้าที่นี้ โดยขาควบคุมการเคลียร์ของไอซีนี้จะไม่นำมาใช้งาน จึงต่อเข้าสัญญาณโลจิก “1”

หลังจากดีมัลติเพล็กซ์สัญญาณควบคุมแต่ละช่องออกมาแล้ว จะมีไอซี MC74HC123 เป็นวงจรโมโนสเตเบิ้ลสร้างสัญญาณพัลซ์ป้อนให้กับไอซี MC74HC737 ให้ทำหน้าที่ค้างข้อมูลในแต่ละช่องสัญญาณ เมื่อข้อมูลถูกโหลดโดยไอซี MC74HC164 ครบทั้ง 8 บิทแล้วไอซี MC74HC737 ทั้งสามช่องสัญญาณก็จะถูกกระตุ้นให้ข้อมูลทั้ง 8 บิทออกมาทีละช่องสัญญาณ

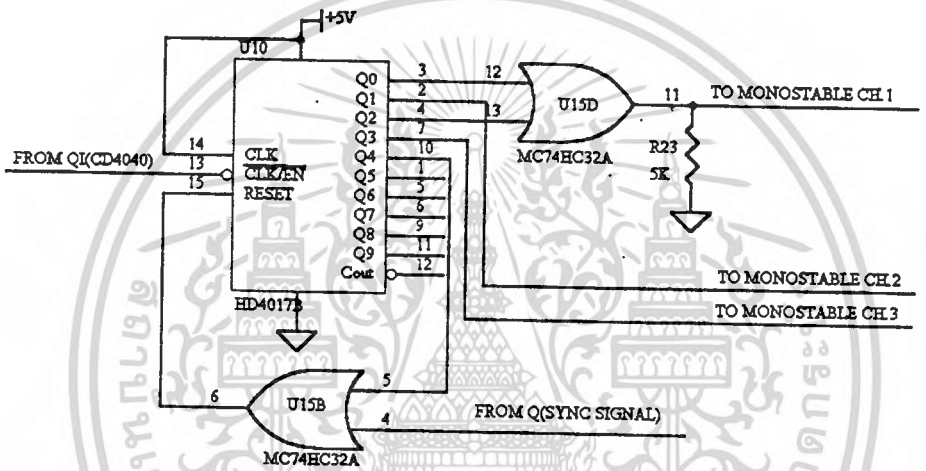


รูปที่ 4.5 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน

4.3 การดีมัลติเพล็กซ์

4.3.1 การดีมัลติเพล็กซ์โดยการแบ่งเวลา (TDM)

การดีมัลติเพล็กซ์สัญญาณ ใช้ไอซี HD4017 เหมือนกับภาคส่ง เอาท์พุทของวงจรดีมัลติเพล็กซ์ของภาครับก็จะเหมือนกับเอาท์พุทของวงจรมัลติเพล็กซ์ของภาคส่ง ซึ่งอินพุทของไดอะแกรมทั้งสองมีความถี่อินพุท 800 เฮิร์ท เท่ากับที่สร้างจากคริสตัลสัญญาณนาฬิกาที่มีค่าความถี่เท่ากันและใช้สัญญาณซิงค์เป็นตัวรีเซตวงจรหารความถี่ต่างๆกับวงจรดีมัลติเพล็กซ์ในภาครับ จึงสามารถทำให้ภาครับเข้าจังหวะกับภาคส่งได้



รูปที่ 4.6 แสดงวงจรดีมัลติเพล็กซ์

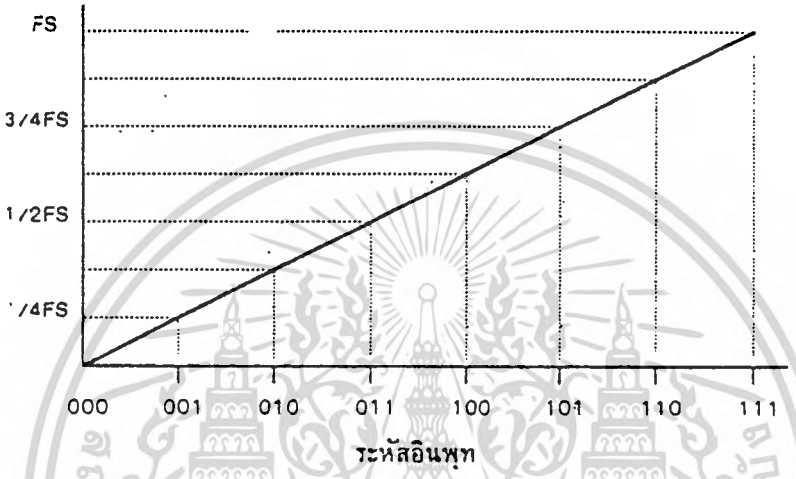
โดยวงจรกำเนิดสัญญาณนาฬิกาที่ผ่านวงจรหารความถี่ที่ค่า 800 เฮิร์ท จะป้อนให้กับขา EN ของไอซี CD4017 ซึ่งในที่นี้ทำหน้าที่เสมือนขา CLK โดยที่ขา CLK จริงๆ ถูกต่อไว้กับแรงดันคงที่ +5 โวลท์ ทำหน้าที่เป็นขา ENABLE แทน เมื่อมีสัญญาณคล็อกป้อนให้กับไอซี HC4017 ซึ่งต่อวงจรให้เป็นวงจนนับ 4 แล้วจะได้สัญญาณเอาท์พุทที่เป็นพัลซ์ตามที่ได้แสดงไว้ในบทที่ 3

จาก Timing Diagram จะเห็นได้ว่าเอาท์พุทที่ได้ขา Q1-Q3 ของวงจรนับจะมีเวลาเหลื่อมกันไปเป็น 1 Clock ผลจากตรงนี้เอง จึงสามารถที่จะนำสัญญาณจากขา Q1-Q3 ไปทำการทริกให้กับวงจรโมโนสเตเบิ้ลเพื่อสร้างพัลซ์ที่ควบคุมไอซี MC74HC373 ที่ทำหน้าที่ค้างข้อมูลในแต่ช่องสัญญาณ ซึ่งสัญญาณที่กล่าวถึงทั้งหมดคือ Q1-Q3 นี้จะมีความถี่เป็น 1/4 เท่าของความถี่คล็อกที่ป้อนเข้าที่ขา EN ของ CD4017 ผลลัพธ์ที่ได้ก็คือใน 1 รอบการนับของวงจรนับ 4 จะสามารถส่งสัญญาณจาก ขา Q1-Q3 ไปทริกวงจรโมโนสเตเบิ้ลเพื่อควบคุมทั้ง 3 ช่องสัญญาณ โดยที่ขา Q0 และ Q2 จะผ่านออร์เกทก่อนนำไปทริกให้วงจรโมโนสเตเบิ้ลเพื่อสร้างพัลซ์ควบคุมไอซี MC74HC373 ต่อไป

4.4 การแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC)

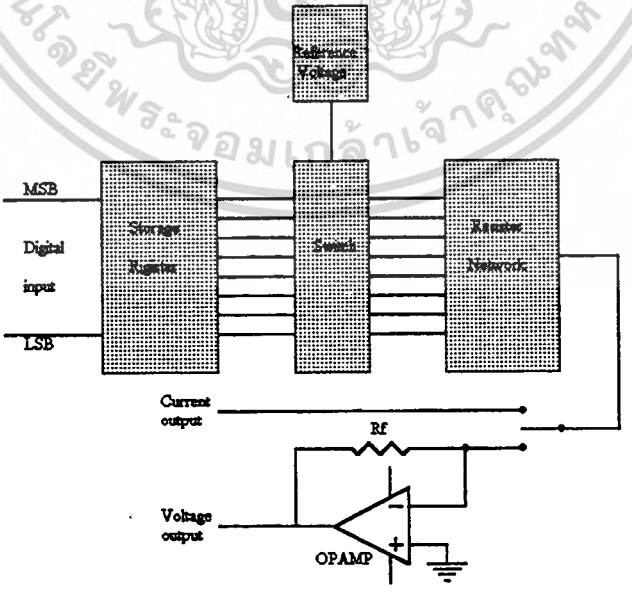
4.4.1 พื้นฐานของการแปลงสัญญาณ

DAC นับเป็นอุปกรณ์ที่สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์ หรือวงจรอนาลอกอื่นๆ ตัวอย่างการใช้งาน DAC เช่น ระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น ที่สำคัญ DAC ยังเป็นส่วนประกอบที่สำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน



รูปที่ 4.7 แสดงทรานสเฟอร์ฟังก์ชั่นของ DAC 3 บิทตามทฤษฎี

จากรูปจะเห็นว่ารหัสดิจิตอลอินพุท 1 word จะแปลงเป็นแรงดันอนาลอก 1 ค่า ลักษณะการจัดวงจร DAC เป็นดังนี้



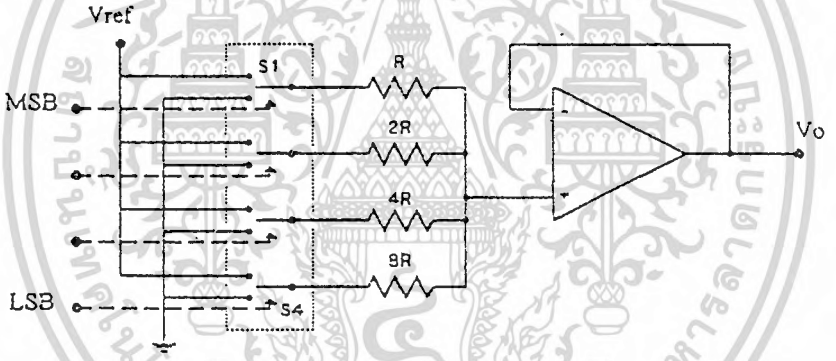
รูปที่ 4.8 แสดงบล็อคไดอะแกรมของ DAC

หัวใจสำคัญของ DAC คือ อาเรย์สวิทช์ที่ควบคุมด้วยลอจิก ซึ่งมีจำนวน n ชุดเท่ากับจำนวนไบนารีบิท สวิทช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์ค่าต่างๆ ที่ weight ตามรหัสไบนารีเอาท์พุท

บัฟเฟอร์แอมปลิไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจรรีซิสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี Digital resister อยู่ในตัวเพื่อ Latch รหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาลอก

4.4.1.1 DAC แบบ Binary weight ladder

การจัดวงจรนี้ ลักษณะเป็นดังรูป โดยสวิทช์ S1 - S4 ถูกควบคุมเปิด-ปิดด้วยรหัสดิจิตอล เพื่อตัดต่อแรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ มีค่า R, 2R, 4R, ... $(2^n)R$ เช่น DAC แบบ 4 บิท ใช้รีซิสเตอร์เป็น 10K, 20K, 40K และ 80K เป็นต้น



รูปที่ 4.9 DAC แบบ Binary weight ladder

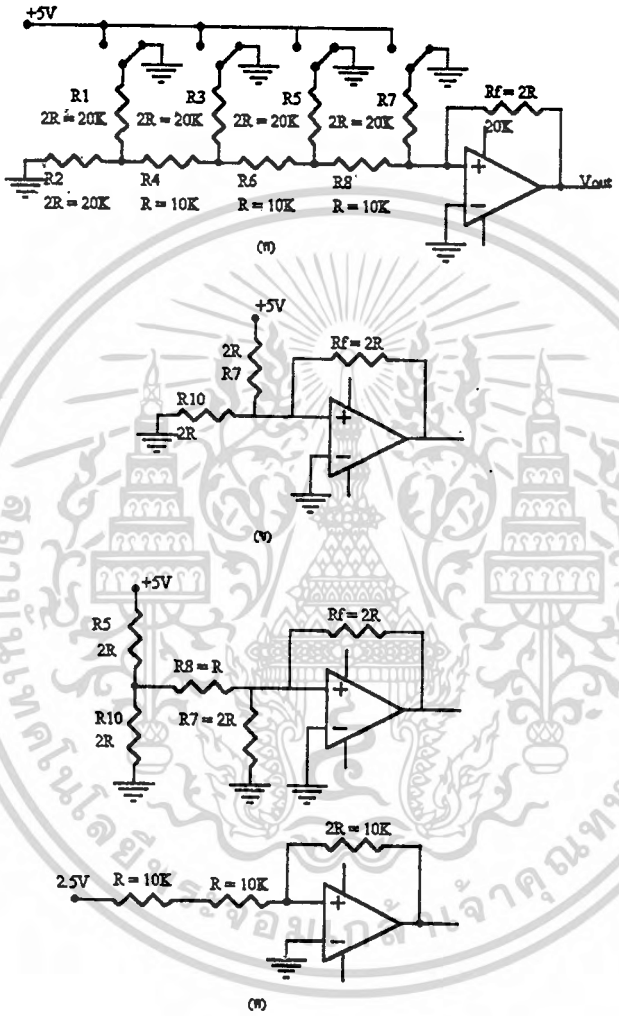
ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้น จะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ ลดลงด้วยแฟกเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลท์ ในตัวอย่างนี้ กระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับ ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$Vo = (V_{REF} / 2^{N-1}) (8S_4 + 4S_3 + 2S_2 + S_1) \qquad (4.1)$$

; S closed = 1 , S open = 0

4.4.1.2 DAC แบบ R-2R ladder

แม้ DAC แบบ Binart weight จะใช้ค่ารีซิสเตอร์เพียง 4 ค่าก็ตาม แต่การผลิต DAC แบบนี้เป็นปัญหายุ่งยากมากในการผลิตบนชิพไอซีเดียวกันรูปแบบที่ดีกว่าคือ การจัดวงจรแบบ R-2R ที่ใช้ตัวต้านทานเพียง 2 ค่า



รูปที่ 4.10 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท

วงจรนี้สวิทช์จะตัดต่อแรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2 R จะเห็นได้ว่า switch input resister (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน แรงดันเอาท์พุทจะเพิ่ม-ลดตามรหัสดิจิตอล คือ

$$\Delta V = V_{REF} / (2^N - 1) \qquad (4.2)$$

แรงดันที่เอาท์พุทจะเป็นไปตามสมการ

$$Vo = (V_{REF} / 2^{N}) (8S_4 + 4S_3 + 2S_2 + S_1) \quad (4.3)$$

; S closed = 1 , S open = 0

ในการอธิบายการทำงาน จากรูปที่ขั้นแรกสมมุติ S4 ซึ่งเป็นสวิทซ์ในบิทที่มีนัยสำคัญสูงสุดนั้น ต่อกับแรงดันอ้างอิง 5 โวลท์ ในขณะที่สวิทซ์ตัวอื่นปิดลงกราวด์ ดังนั้น R1 และR2 จึงต่อขนานกันลงกราวด์

สังเกตตัวต้านทาน 2R ต่อขนานกันกับ 2R อีกตัวหนึ่งมีค่าเท่ากับ R ค่าR นี้ถูกบวกกับ R4 กลายเป็นค่า 2R แล้วขนานกันกับ R3 ลงกราวด์ การรวมของ R3 และตัวต้านทานก่อนหน้านี้ จึงทำให้เหลือเพียงค่าRต่ออนุกรมกับ R6 พิจารณาเช่นเดียวกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรที่ง่ายขึ้นดังรูปที่ 4.10(ข)

โดยเหตุที่กราวด์เทียมของออปแอมป์ มีแรงดัน 0 โวลท์ ทำให้ไม่มี กระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์ จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลท์ที่ปลายข้างหนึ่งของ R7 ค่า 20 กิโลโอห์ม ทำให้ที่กระแส 0.25 มิลลิแอมป์ ผ่านจุดที่ต่อและผ่าน Rf ค่า 20 กิโลโอห์ม แรงดันเอาท์พุทที่ได้จากบิทที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลท์

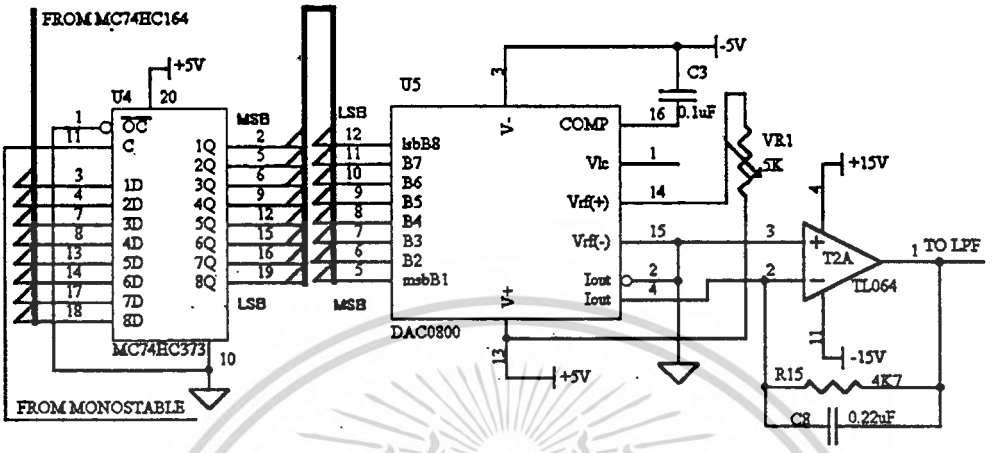
แรงดันที่ได้จากบิทที่มีนัยสำคัญรองลงมา ก็หาได้โดยปิดสวิทซ์ D2 ไปยัง +5 โวลท์ และ D3 ลงกราวด์ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ R5 และ 2R ที่ต่อลงกราวด์ดังรูปที่ 4.10 (ค) แรงดันของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลท์

ตัวต้านทานเทวินินมีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน (หรือR) อุปกรณ์ที่อยู่ทางด้านซ้ายของR6 สามารถลดรูปได้เหลือค่าR ต่อกับ 2.5 โวลท์ และจะสามารถละR7ได้ เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม (จุดกราวด์เทียม) และแรงดันเทวินิน คือ 2R หรือ 20กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลท์หรือ0.125มิลลิแอมป์ กระแสที่ผ่านRf 20กิโลโอห์ม ทำให้เกิดแรงดันเอาท์พุท -2.5 โวลท์(สำหรับบิทที่มีนัยสำคัญถัดลงมา)

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้ สามารถหาแรงดันเอาท์พุทที่มีบิทต่ำลงมาได้อีก 1.25 โวลท์และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลท์ ในขณะที่ค่าดิจิตอลสูงสุด (สวิทซ์ทุกตัวต่อไปที่ +5 โวลท์) ได้เอาท์พุทเต็มสเกลคือ 9.375 โวลท์

4.4.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

(Digital to Analog Convertor : DAC)



รูปที่ 4.11 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เมื่อสัญญาณดิจิตอลที่ถูกแปลงจากแบบอนุกรมกลับเป็นแบบขนานเรียบร้อยแล้ว จะส่งผ่านมายังไอซี MC74HC373 ซึ่งทำหน้าที่หน่วงเวลาการส่งสัญญาณที่จะถูกแปลงจากสัญญาณดิจตอลเป็นสัญญาณอนาลอก เนื่องจากตัวไอซี DAC0800เองจะไม่มีชุดคล็อกควบคุม จึงไม่สามารถทำงานได้ทันเวลาหากสัญญาณที่ป้อนเข้ามามีการเปลี่ยนแปลงอย่างรวดเร็ว

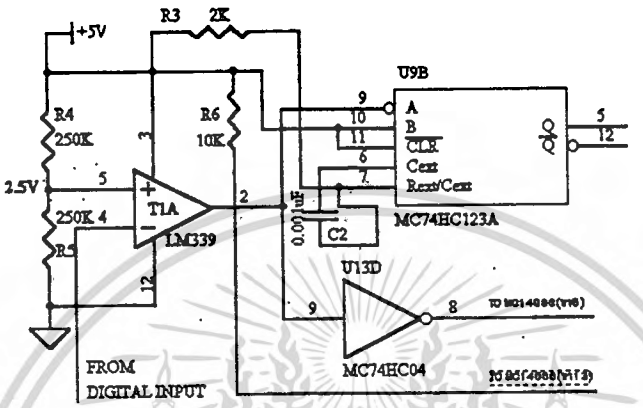
โดยไอซี MC74HC373 จะถูกควบคุมการส่งผ่านข้อมูลด้วยสัญญาณที่ได้จากวงจรโมโนสเตเบิ้ล หรือไอซี MC74HC123A ทั้งสามชุดแยกกันทำงานอย่างอิสระ ซึ่งในการส่งผ่านข้อมูลนี้เองทำให้ได้รูปสัญญาณดิจิตอลกลับคืนมาในแต่ละช่องสัญญาณ

หลังจากนั้นสัญญาณดิจิตอลที่รอการแปลงกลับเป็นสัญญาณอนาลอก โดยไอซี DAC0800 จะทำหน้าที่แปลงค่าซึ่งได้จากการนับเป็นรหัสฐานสองให้เป็นระดับศักดาไฟฟ้า แล้วผ่านวงจรกรองความถี่ต่ำ เพื่อให้ศักดาไฟฟ้าเรียบขึ้น

4.4.3 การกำหนดสัญญาณควบคุม

สัญญาณนาฬิกาในส่วนของภาครับจะถูกสร้างขึ้นมาใหม่ เพื่อให้การทำงานของภาครับสัมพันธ์กับกับภาคส่งจึงนำเอาสัญญาณซิงค์ที่ได้มาทำการรีเซทชุดหารความถี่ของทุกๆตัวที่มีอยู่ในภาครับ เพื่อให้มีการทำงานอย่างถูกต้องแม่นยำที่สุด

สัญญาณซิงค์ที่ได้จากวงจรคอมพาราเตอร์ จะผ่านเข้าวงจรโมโนสเตเบิ้ล โดยไอซี MC74HC123A จะสร้างสัญญาณพัลซ์ขนาดแคบๆ เพื่อใช้ในการควบคุมการทำงานของชุดสัญญาณนาฬิกา โดยการใช้สัญญาณพัลซ์ดังกล่าวรีเซทการทำงานทุกครั้งที่มีการส่งสัญญาณซิงค์เข้ามาจากภาคส่ง



รูปที่ 4.12 แสดงวงจรสัญญาณควบคุม

4.5 การขยายสัญญาณทางเอาท์พุท

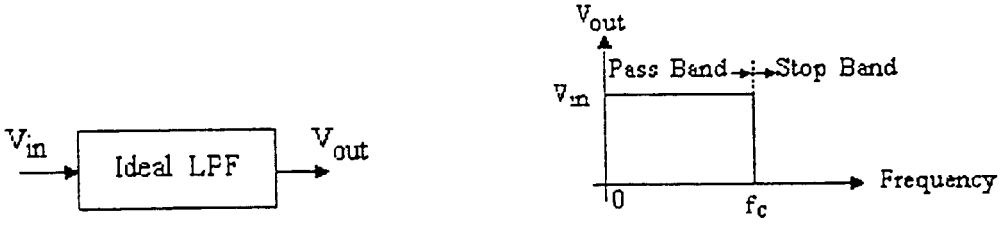
4.5.1 วงจรกรองความถี่ (Filter)

จากทฤษฎีการแซมปลิ้งสัญญาณที่กล่าวมาแล้วนั้น วงจรกรองความถี่ต่ำผ่านนั้นมีความสำคัญในอันที่จะช่วยป้องกันการผิดเพี้ยนของสัญญาณที่เรียกว่า Aliasing Distortion โดยทั่วไปแล้ววงจรกรองความถี่ต่ำผ่านจะมีการแยกออกเป็น 2 ประเภท คือ

-Passive Low-Pass Filter (ประกอบจากอุปกรณ์ R ,L ,C)

-Active Low-Pass Filter (ประกอบจากอุปกรณ์ประเภท Active กับ R ,L ,C)

หน้าที่หลักของวงจรกรองความถี่ต่ำผ่าน(LPF) ก็คือ จะยอมให้สัญญาณที่มีความถี่ต่ำกว่าค่าความถี่คัทออฟ (fc:CUT-PFF FREQUENCY) ของวงจรผ่านได้ แต่จะลดทอนหรือไม่ส่งผ่านเป็นไปดังรูปที่ 4.13



รูปที่ 4.13 แสดงคุณสมบัติวงจร Ideal LPF

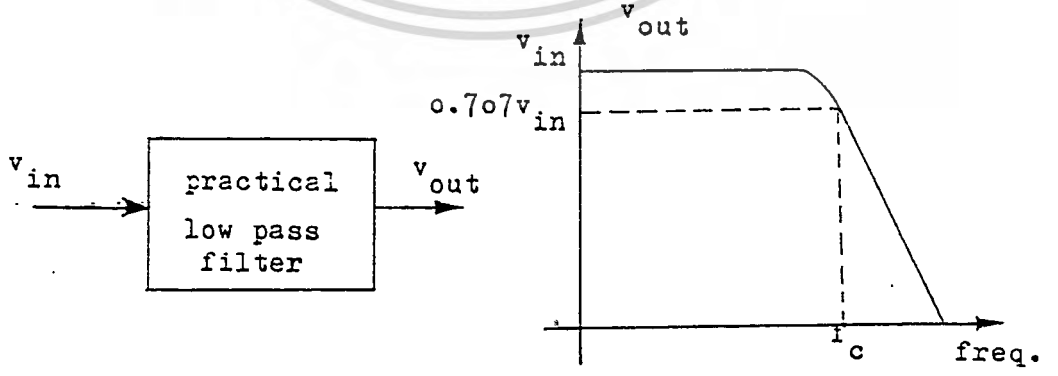
จะเห็นว่าที่ค่าความถี่ fc จะเป็นแบบที่เห็นได้ชัดว่า สัญญาณที่มีความถี่สูงกว่าค่า fc จะไม่สามารถผ่านไปปรากฏที่เอาท์พุทได้เลย นั่นคือ ขนาดแอมปลิจูดเป็นศูนย์นั่นเองแต่ในทางกลับกันคือ สัญญาณที่มีค่าความถี่ต่ำกว่า fc จะสามาถผ่านไปปรากฏที่เอาท์พุทโดยไม่มีการลดทอนแต่อย่างไร คือ $V_{IN} = V_{OUT}$ จึงมีการแบ่งช่วงการทำงานของวงจรกรองความถี่ออกเป็น 2ช่วง โดยมีค่า f_C เป็นจุดแบ่งได้เป็น

-Pass Band คือ ช่วงของสัญญาณที่มีความถี่ตั้งแต่ 0 ถึง f_C

-Stop Band คือ ช่วงของสัญญาณที่มีความถี่สูงกว่า f_C ขึ้นไป

4.5.2 วงจร LPF ในทางปฏิบัติ

ในทางปฏิบัตินั้นวงจร LPF จะมีความผิดเพี้ยนไปจาก Ideal LPF โดยพิจารณาตามคุณสมบัติของวงจรดังนี้



รูปที่ 4.14 แสดงคุณสมบัติของวงจร LPFในทางปฏิบัติ

จากรูปที่ 4.14 จะเห็นได้ว่าสัญญาณที่มีความถี่ f_C จะมีแอมปลิจูดเป็นศูนย์เลยทีเดียว แต่จะมีค่าแอมปลิจูดลดลงไปเรื่อยๆแบบลาดลง และค่าความถี่ f_C ถูกกำหนดว่า เป็นค่าความถี่ของสัญญาณที่ผ่านวงจร LPFแล้ว ได้ค่าแอมปลิจูดของสัญญาณเอาท์เป็น 70.7%ของแอมปลิจูดของสัญญาณอินพุท (V_{OUT} =0.707V_{IN}) ในบางครั้งที่ค่า f_C นี้จะถูกเรียกว่าค่าความถี่ที่ -3 dB นั่นเอง โดยคำนวณได้จากสมการ

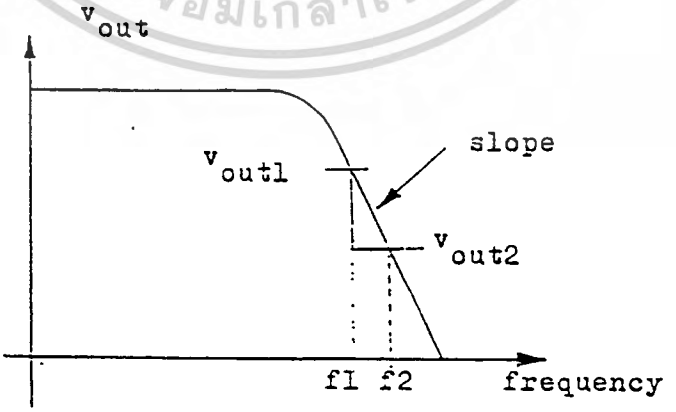
$$A(dB) = 20\log(\frac{Vout}{Vin}) \qquad (4.4)$$

เมื่อ A คืออัตราการส่วผ่านสัญญาณมีหน่วยเป็น เดซิเบล(dB)

นอกจากนั้นได้มีการกำหนดวิธีการระบุถึงคุณสมบัติของวงจรกรองความถี่ต่ำ ในการกรองความถี่ขึ้นมาเพื่อให้เป็นมาตราฐานเดียวกัน คือการระบุค่า Slope ของการลดลงของสัญญาณเอาท์พุท ในช่วง Stop band ว่ามีความเข้าใกล้ Ideal LPF เพียงใด

จากสมการทางคณิตศาสตร์จะได้ว่า

$$slope = \frac{dVout}{df} = \frac{Vout2 - Vout1}{f2 - f1} \qquad (4.5)$$



รูปที่ 4.15 แสดงถึงความชันของวงจร LPF

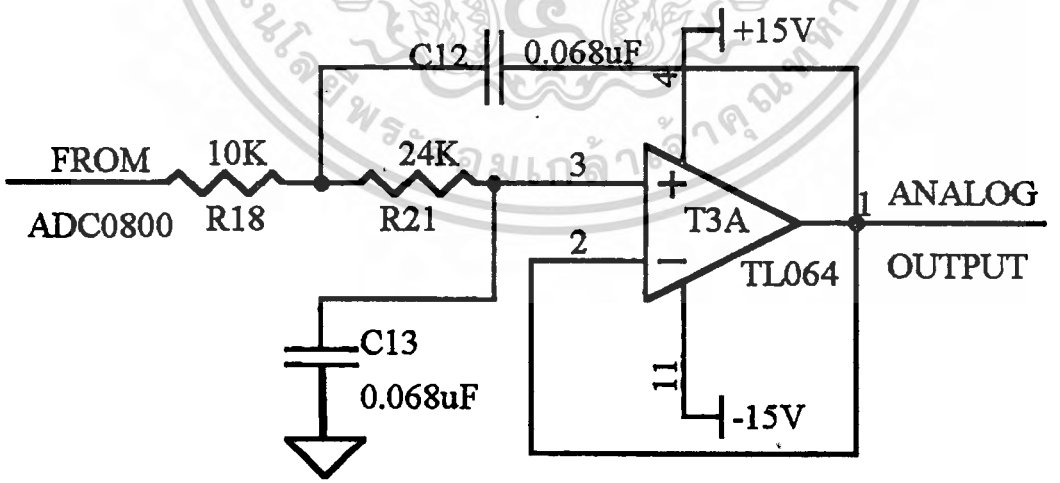
จากสมการจะเห็นว่าค่า Slope ที่ได้ออกมาจะได้เครื่องหมายลบแน่นอน และนอกจากนี้ยังได้มีการกำหนด "Term" ขึ้นมา เพื่อเรียกอัตราการเปลี่ยนแปลงของความถี่(f2-f1) โดยเป็นที่เข้าใจกันทั่วไปคือ

ถ้า $f_2 = 2f_1$ คือ ความถี่เพิ่มเป็น 2 เท่าเรียกว่า octave

$f_2 = 10f_1$ คือ ความถี่เพิ่มเป็น 10 เท่าเรียกว่า octave

เช่น f_1 = 10KHz พิจารณา f_2 = 20KHz จะได้ Δf เท่ากับ 1 octave เป็นต้น จากเหตุผลที่กล่าวมาทั้งหมดนี้ ทำให้สามารถเข้าใจได้ว่า วงจรกรองความถี่ต่ำผ่านที่มีคุณสมบัติการกรองความถี่เป็น -12dB/octave และมีค่า f_C = 1KHz สามารถนำไปใช้งานกับงานวงจรนี้ได้หรือไม่ หรือได้ดีเพียงใด และเป็นที่แน่นอนว่าวงจร LPF ที่มีคุณสมบัติการกรองความถี่ต่ำผ่านที่ดีกว่า จะมีค่า Slope(dB)ที่จะติดลบมากกว่าในหน่วยความถี่หน่วยเดียวกัน (octave,decade)

เมื่อพิจารณาที่ค่า f_C ของวงจรค่าเดียวกันด้วยและสิ่งที่ตามมาก็คือ วงจรที่มีคุณสมบัติกรองความถี่ที่ดีกว่าจะมีความซับซ้อนของวงจรมากกว่า และมีความยุ่งยากในการออกแบบมากกว่าเป็นต้น



รูปที่ 4.16 แสดงลักษณะของวงจร Second Order

ในการคำนวณวงจรกรองความถี่แบบ Second Order ซึ่งวงจรลักษณะนี้จะมี Transfer funtion เป็นส่วนที่มีค่าความชันของการกรองความถี่ -40dB/decade และมีค่าความถี่คัทออฟ(f_C) อยู่ที่ค่าประมาณเป็น

$$f = \frac{1}{2\pi\sqrt{R_{18}R_{21}C_{12}C_{13}}} \tag{4.6}$$

$$f = \frac{1}{2\pi\sqrt{10Kx24Kx0.068\,\mu Fx0.068\,\mu F}}$$

$$= 151.08 \text{ Hz}$$

$$Q = \frac{\frac{1}{\sqrt{R_{18}R_{21}C_{12}C_{13}}}}{\frac{1}{\sqrt{R_{18}C_{12}}} + \frac{1}{\sqrt{R_{21}C_{13}}}} \tag{4.7}$$

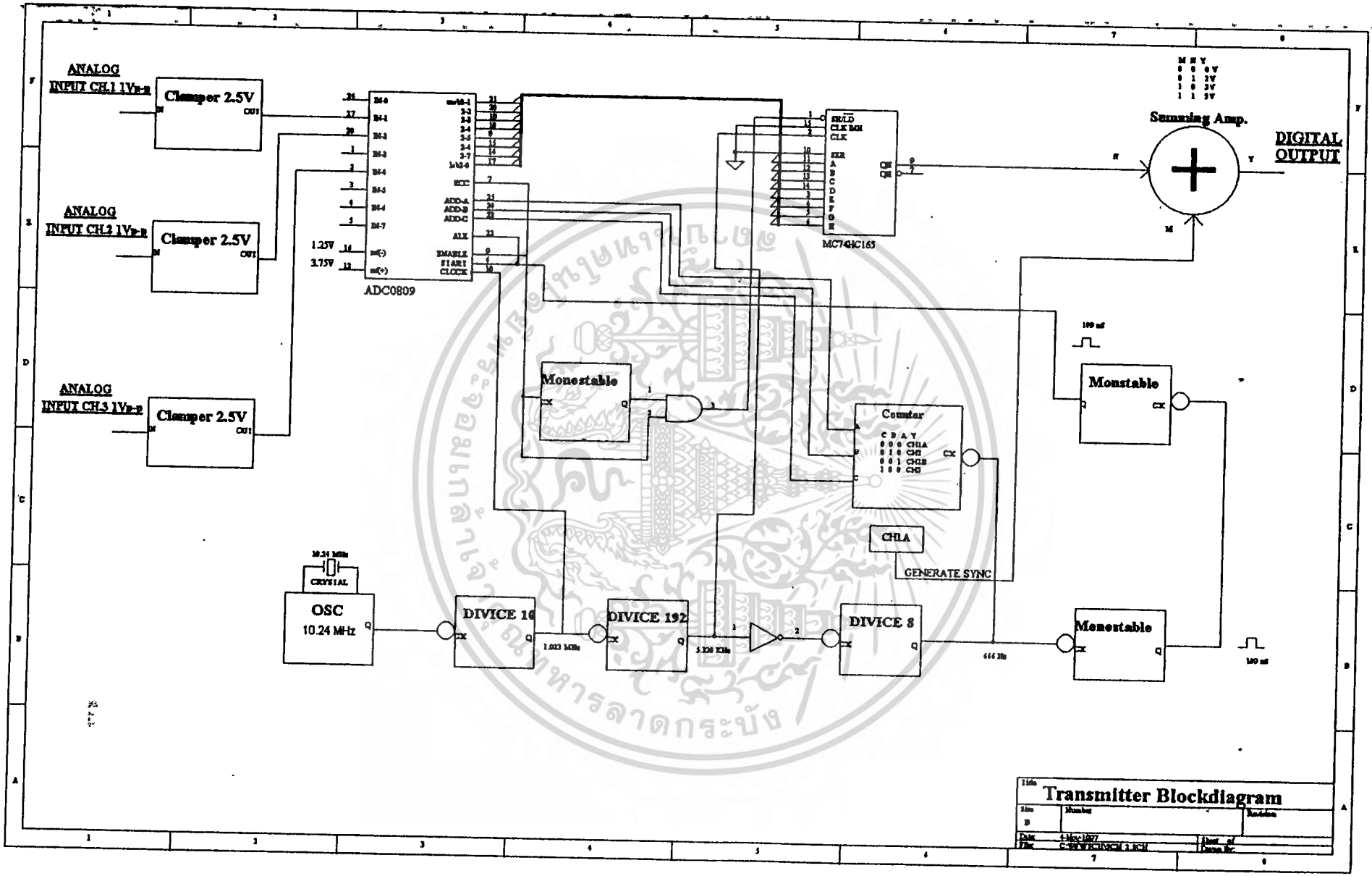
$$Q = \frac{\frac{1}{\sqrt{10Kx24Kx0.068\,\mu Fx0.068\,\mu F}}}{\frac{1}{\sqrt{10Kx0.068\,\mu F}} + \frac{1}{\sqrt{24Kx0.068\,\mu F}}}$$

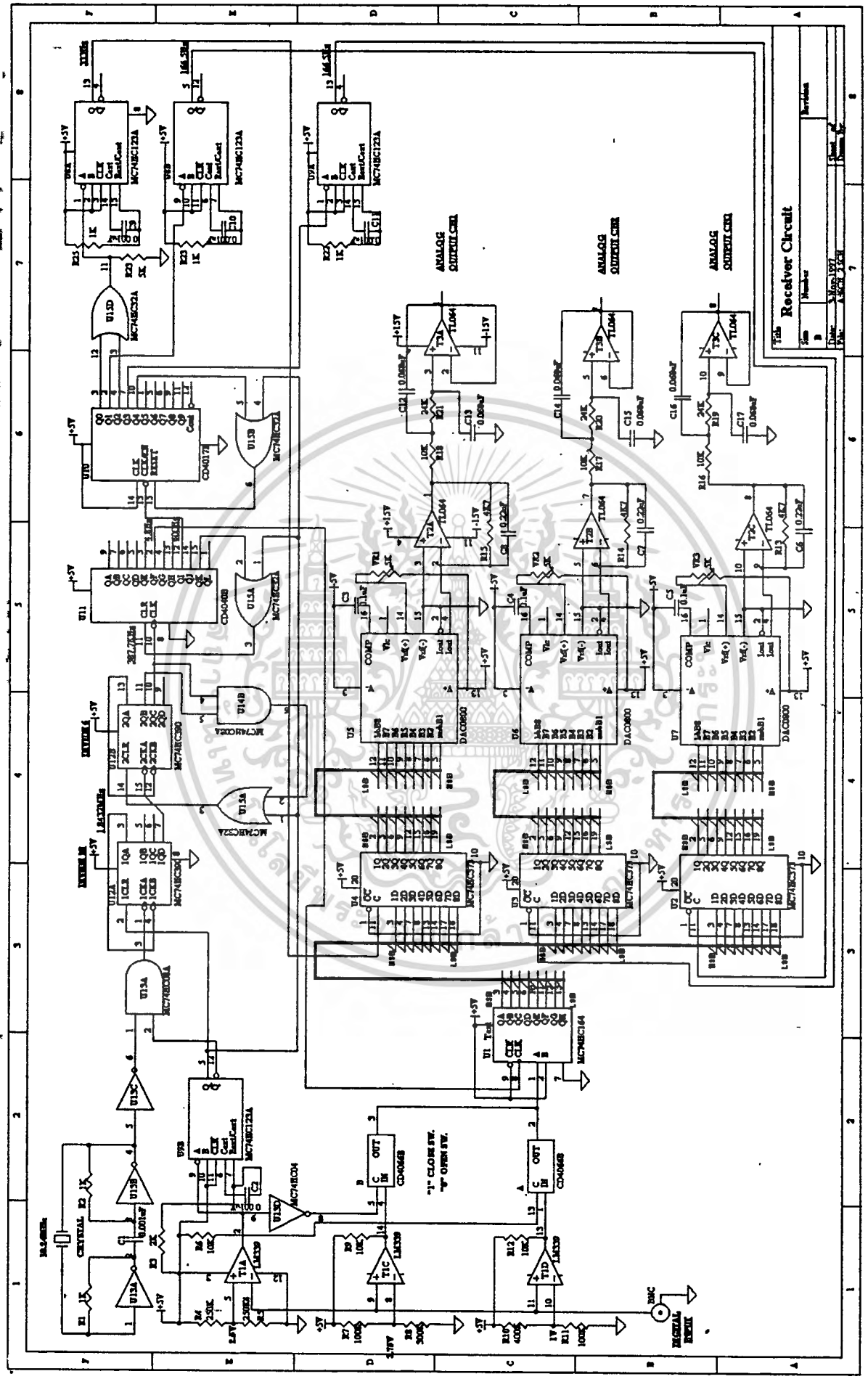
$$= 0.456$$

4.6 การสร้างวงจรภาครับ

4.6.1 วงจรที่สำเร็จ

จากแนวความคิดการออกแบบและหลักการทำงานของวงจรที่ได้กล่าวไปแล้วข้างต้น เมื่อนำมาประกอบและทดสอบการทำงานร่วมกันของวงจรต่างๆ จะมีลักษณะวงจรภาครับที่สมบูรณ์ดังนี้


ANALOG
INPUT CH.1 1Vp-p
Clamper 2.5V
ANALOG
INPUT CH.2 1Vp-p
Clamper 2.5V
ANALOG
INPUT CH.3 1Vp-p
Clamper 2.5V
1.25V
3.75V
ADC0809
MC74HC165
Summing Amp.
DIGITAL
OUTPUT
Monostable
Counter
C B A Y
0 0 0 CH0A
0 1 0 CH2
0 0 1 CH2B
1 0 0 CH3
CH1A
GENERATE SYNC
Monostable
Monostable
CRYSTAL
OSC
10.24 MHz
DIVICE 10
DIVICE 192
DIVICE 8
Transmitter Blockdiagram



รูปที่ 4.14 แสดงวงจรภาครับที่สมบูรณ์

4.6.2 รายการอุปกรณ์

รายการ

ความต้านทาน		อุปกรณ์สารกึ่งตัวนำ	
R1,R2,R22,R23,R25	1K	U10	HD4017B
R3	2K	U11	CD4040B
R4,R5	250K	U13	MC74HC04
R6,R9,R12,R16,R17,R18	10K	U14	MC74HC08A
R7,R11	100K	U15	MC74HC32A
R8	200K		
R10	400K	อื่นๆ	
R13,R14,R15	4.7K	แจ็ค BNC	
R19,R20,R21	24K		
R24	5K		
VR1,VR2,VR3	5K		

ตัวเก็บประจุ

C1,C2,C9,C10,C11	0.001uF
C3,C4,C5	0.1uF
C6,C7,C8	0.22uF
C12,C13,C14,C15,C16,C17	0.068uF

อุปกรณ์สารกึ่งตัวนำ

T1	LM339
T2,T3	TL062
U1	MC14066
U2 ,U3,U4	MC74HC373
U5,U6,U7	DAC0800
U8,U9,U12	MC74HC123A

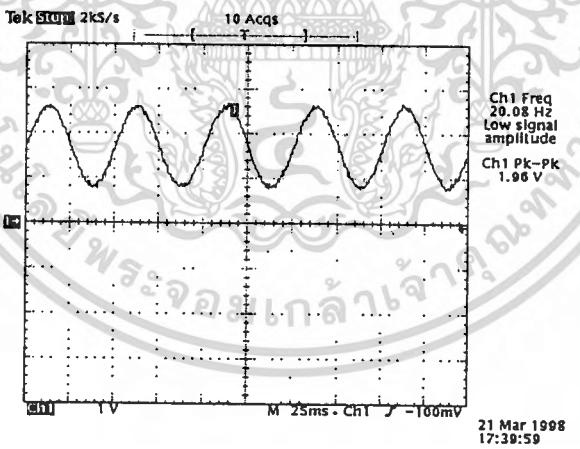
บทที่ 5

การทดสอบคุณสมบัติ

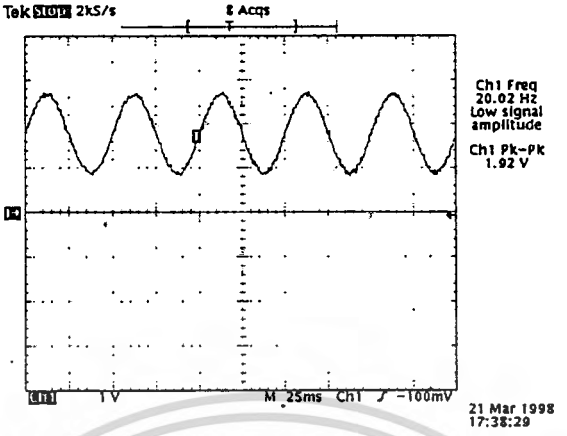
สำหรับการทดลองระบบส่งสัญญาณทางไกล 3 ช่องสัญญาณผ่านคู่สาย 1 คู่สายนี้ ได้จำลองการส่งสัญญาณไฟฟ้าความถี่ต่ำทั้ง 3 ช่องสัญญาณพร้อมกันในเวลาเดียวกัน โดยส่งผ่านคู่สายโทรศัพท์ ใช้สัญญาณจากเครื่องกำเนิดสัญญาณความถี่(Function Generator) เป็นแหล่งกำเนิดสัญญาณไฟฟ้าความถี่ต่ำ ความถี่ในช่วง 15 เฮิร์ทถึง 30 เฮิร์ท หรือให้สามารถส่งสัญญาณหัวใจในช่วง QRS ซึ่งมีความถี่ประมาณ 16 เฮิร์ทได้

5.1 การทดสอบภาคส่ง

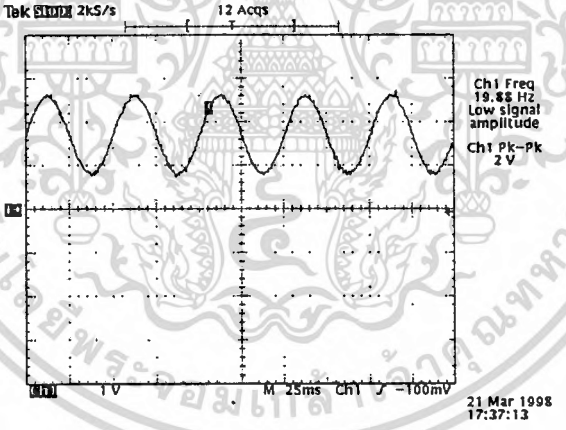
ทำการป้อนสัญญาณรูปซายน์จากเครื่องกำเนิดความถี่ ขนาดไม่เกิน 8 โวลท์พีคทูพีค ความถี่ 20 เฮิร์ท ป้อนเข้าเป็นอินพุทของภาคส่งพร้อมกันทั้ง 3 ช่องสัญญาณ ทำการวัดสัญญาณเอาท์พุทหลังจากผ่านวงจรยกระดับ 2.5 โวลท์ ก่อนป้อนเป็นอินพุทให้แก่ ADC0809 ได้ดังนี้



รูปที่ 5.1 แสดงสัญญาณเอาท์พุทของวงจรยกระดับของช่องสัญญาณที่ 1



รูปที่ 5.2 แสดงสัญญาณเอาท์พุทของวงจรยกระดับของช่องสัญญาณที่ 2



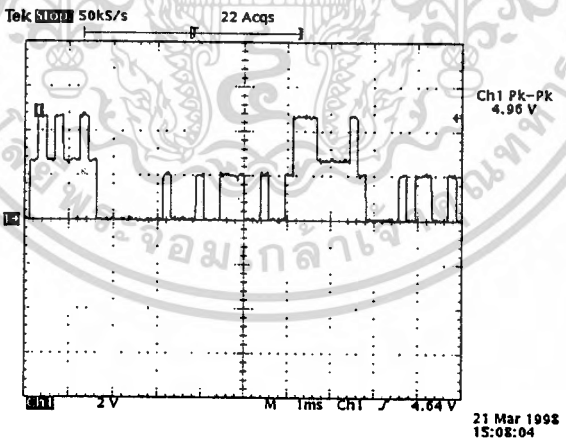
รูปที่ 5.3 แสดงสัญญาณเอาท์พุทของวงจรยกระดับของช่องสัญญาณที่ 3

ทำการวัดสัญญาณนาฬิกาจากวงจรหารความถี่ ในแต่ละส่วนของภาคส่งและ ภาครับสัญญาณ โดยสัญญาณดังกล่าวนี้จะถูกนำมาใช้เป็นฐานเวลาของแต่ละภาค ทำงานอิสระกัน แต่มีความสัมพันธ์กันในตำแหน่งต่างๆ ดังนี้

ตำแหน่งจุดวัดสัญญาณ	ผลการอ่านค่าสัญญาณนาฬิกา
เอาท์พุทจากคริสตอล 10.24 MHz	10.23 MHz
เอาท์พุทจากวงจรหาร 10	1.023 MHz
เอาท์พุทจากวงจรหาร 192	5.328 KHz
เอาท์พุทจากวงจรหาร 8	666 Hz

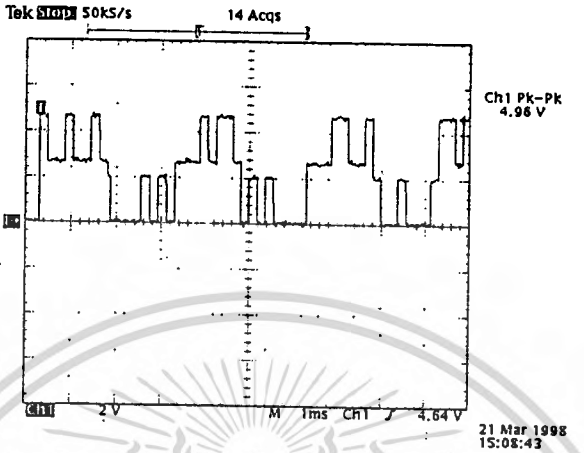
รูปที่ 5.4 แสดงผลการทดลองวัดสัญญาณนาฬิกาจากวงจรหารความถี่

ทำการวัดสัญญาณซิงค์ และสัญญาณข้อมูลใน 1 เฟรม ที่ทำการส่ง โดยเลือกสวิทช์ไปยังตำแหน่งที่ต้องการ โดยการแบ่งช่องสัญญาณแบบที่ 1 คือใน 1 เฟรมจะมี 3 ช่องสัญญาณ วัดสัญญาณเอาท์พุทที่ทำการส่ง ได้สัญญาณดังกล่าวดังรูป



รูปที่ 5.5 แสดงผลการทดลองวัดสัญญาณเอาท์พุทที่ส่งแบบ 3 ช่องสัญญาณ

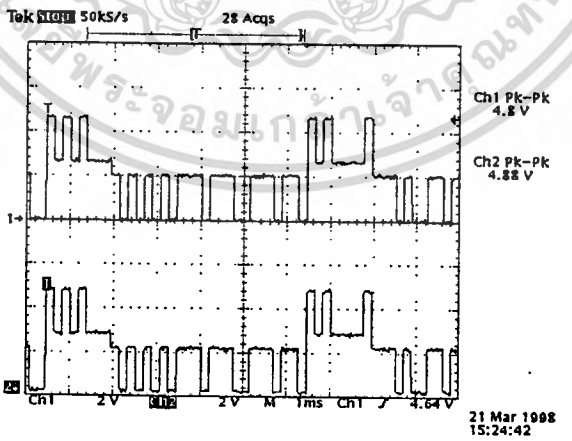
หากทำการเลือกสวิทช์ไปยังตำแหน่งที่ต้องการเลือกการแบ่งช่องสัญญาณแบบที่ 2 คือใน 1 เฟรมมี 2 ช่องสัญญาณ วัดสัญญาณเอาท์พุทที่ทำการส่งได้ดังรูป



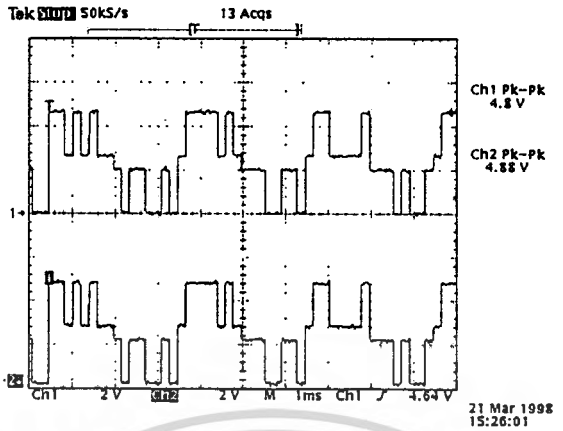
รูปที่ 5.6 แสดงผลการทดลองวัดสัญญาณเอาท์พุทที่ส่งแบบ 2 ช่องสัญญาณ

5.2 การทดสอบภาครับ

ทำการป้อนอินพุทซึ่งได้จากภาคส่ง เข้ายังภาครับทดสอบตรวจวัดสัญญาณอินพุทที่ป้อนให้กับภาครับ เพื่อพิจารณาผลของคู่สายที่ใช้ในการส่ง (โดยใช้สายยาวประมาณ 10 เมตร.)

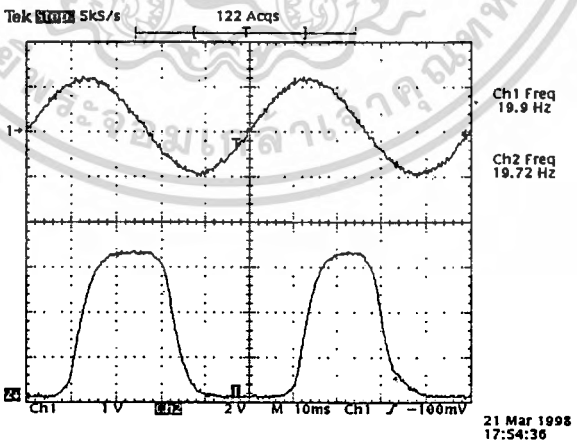


รูปที่ 5.7 แสดงสัญญาณอินพุทภาครับที่ส่งแบบ 3 ช่องสัญญาณ

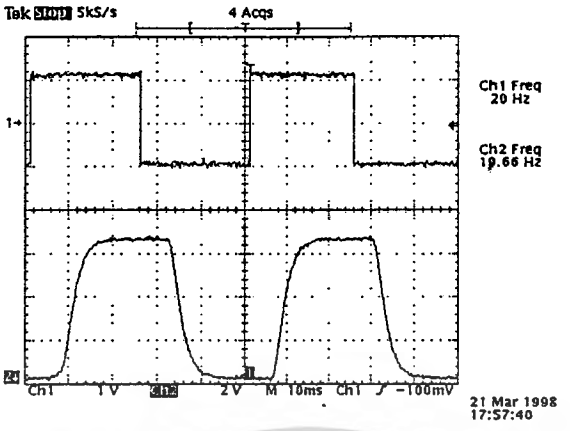


รูปที่ 5.8 แสดงสัญญาณอินพุทภาครับที่ส่งแบบ 2 ช่องสัญญาณ

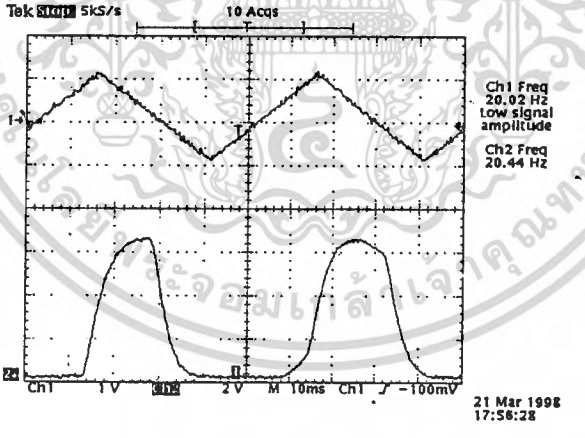
ทดลองวัดสัญญาณเอาท์พุทที่ได้ของวงจรภาครับ เปรียบเทียบกันระหว่างการส่งสัญญาณรูปซายน์ ,รูปสามเหลี่ยม และรูปสี่เหลี่ยม



รูปที่ 5.9 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปซายน์



รูปที่ 5.10 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปสี่เหลี่ยม



รูปที่ 5.11 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากการส่งสัญญาณรูปสามเหลี่ยม

บทที่ 6
สรุปและวิจารณ์ผลการทดสอบ

6.1 สรุปการทดสอบภาคส่ง

จากคุณสมบัติของระบบที่ได้ออกแบบไว้ โดยสามารถส่งสัญญาณไฟฟ้าความถี่ต่ำพร้อมกัน 3 ช่องสัญญาณ หรือ 2 ช่องสัญญาณ โดยให้รับ-ส่งสัญญาณผ่านคู่สาย 1 คู่สาย ลักษณะของสัญญาณในสายส่งเป็นสัญญาณแบบดิจิตอล ขนาด 8 บิท ความเร็วไม่เกิน 6,400 บิทต่อวินาที การออกแบบเพื่อทำการสุ่มสัญญาณ จะใช้อัตราที่ต่ำกว่าที่ออกแบบไว้ เนื่องจากไม่สามารถหาคริสตอลในท้องตลาดที่สามารถนำมาผ่านวงจรหารความถี่ให้มีค่าเป็น 800 เฮิร์ท ได้ จึงใช้อัตราการสุ่มสัญญาณใน 1 เฟรม ประมาณ 666 เฮิร์ท ดังนั้นความเร็วในสายส่งจะเป็น 5,328 บิทต่อวินาที

พิจารณาผลการทดลองจะพบว่า ภาคส่งสามารถส่งสัญญาณไฟฟ้าความถี่ต่ำ ผ่านคู่สายได้ตามที่ออกแบบไว้ โดยสามารถทำการเลือกการส่งแบบ 3 ช่องสัญญาณ หรือเลือกส่งแบบ 2 ช่องสัญญาณในเวลาเดียวกันได้ตามที่ต้องการ

6.2 สรุปการทดสอบภาครับ

จากผลการทดลองจะพบว่าการส่งผ่านคู่สาย ผลของความยาวของสายที่ใช้ในการส่งจะมีการลดทอนที่สามารถยอมรับได้ เนื่องจากสัญญาณที่ต้นทางและปลายทางไม่ผิดเพี้ยนมากนัก แต่จะพบว่าสัญญาณเอาท์พุทที่ได้ จะค่อนข้างผิดเพี้ยนไปอย่างมาก ผลเนื่องจากสัญญาณนาฬิกาที่ใช้ควบคุมแยกอิสระจากกัน การควบคุมให้สัญญาณนาฬิกามีค่าตรงกันทำได้ค่อนข้างยาก ทำให้เอาท์พุทที่ได้เกิดการผิดเพี้ยนขึ้น

เมื่อทำการส่งเปรียบเทียบระหว่างสัญญาณซายน์ ,สามเหลี่ยม และสี่เหลี่ยม จะพบว่าผลการตอบสนองผิดเพี้ยนมาก เนื่องจากสัญญาณนาฬิกาที่ใช้ควบคุม สำหรับภาคส่ง และภาครับมีค่าไม่ตรงกัน และผลจากการออกแบบวงจรกรองความถี่ต่ำ ภาคสุดท้ายที่ไม่เหมาะสม

6.3 วิจารณ์โครงงาน

ระบบที่ออกแบบสามารถรับส่งสัญญาณไฟฟ้าความถี่ต่ำ ผ่านคู่สาย 1 คู่สาย สามารถส่งพร้อมกัน 3 ช่องสัญญาณในเวลาเดียวกันได้ สามารถเลือกส่งสัญญาณพร้อมกันเพียง 2 ช่องสัญาณได้ โดยการส่งแบบอนุกรม ลักษณะของสัญญาณในสายส่งเป็นสัญญาณแบบดิจิตอล ขนาด 8 บิท ที่ความเร็วไม่เกิน 6,400 บิทต่อวินาที

สำหรับเอาท์พุทที่ได้จากภาครับ จะพบว่าสัญญาณมีความเพี้ยนเกิดขึ้น เนื่องจากผลของสัญญาณควบคุม ซึ่งแยกกันอิสระจากกัน ค่าความถี่ของสัญญาณควบคุมจึงไม่ตรงกัน ทำให้ความสัมพันธ์ของระบบเกิดความคลาดเคลื่อน รวมทั้งความผิดพลาดจากการออกแบบ วงจรกรองความถี่ที่เหมาะสม และผลของการลดทอนที่เกิดขึ้นในสายส่ง

บรรณานุกรม

"Data Acquisition and Conversion" Electronic Laboratory , Dept of Electronics , LAB EL327 , p 1-34

"Basic of Data Conversion"

"ADC0809", National Data Acquisition Databook , National Semiconductor Corporation , 1995 , p 2-51 - 2-61 , p 2.4 - 2.6

"DAC0800", National Data Acquisition Databook , National Semiconductor Corporation , 1995 , p 3-3 - 3-14

"TL431", Analog/Interface Ics, Device Vol.2 , Motorola (DL128/D, REV6), p. 5-18 - 5-27

Zuch Eugene L , Data Acquisition and Conversion handbook , Datel-Intersil Mass , 1979

Data Conversion / Acquisition Databook , National , Cal. 1980

"เครื่องส่งและเครื่องรับสัญญาณไฟฟ้าร่างกายแบบเชิงเลขสำหรับใช้ในห้อง ICU" , ประภากร สุวรรณะ และ ปรีชา บินมุกดา , การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 20 , 2540 , หน้า 837 - 843

"สร้างเครื่องต้นแบบระบบไอซียูมอนิเตอร์ขนาด 4 เตียง" , รศ.ดร. มนัส สังวรศิลป์ , อ. พิชัย คูศิริวานิชกร , อ. ประภากร สุวรรณะ , อ. ยุทธนา คิดใจเดียว , รายงานการวิจัย , สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง .

"เครื่องส่งสัญญาณระยะไกล สำหรับใช้ในห้องไอซียู" , นาย นเรศ บุญนำสุข และ นาย สมชาย เสริมรัฐ .

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ ประภากร สุวรรณะ เป็นอย่างสูง ที่ได้ช่วยให้ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ ด้วยความช่วยเหลือในการแนะนำแนวทางในการค้นคว้าเพื่อศึกษาการทำโครงงานและลำดับขั้นตอนในการทดลองที่ถูกต้องเพื่อให้บรรลุตามเป้าหมายที่ตั้งไว้

ส่วนเนื้อหาและข้อมูลในการค้นคว้าอ้างอิง ด้วยความช่วยเหลือของอาจารย์ ประภากร สุวรรณะ อีกเช่นเดียวกันที่กรุณาให้คำแนะนำ รวมไปถึง บริษัทเนชั่นแนลเซมิคอนดัคเตอร์ ที่ได้กรุณาส่ง Databook ข้อมูลของอุปกรณ์มาให้ด้วย

ทุกๆท่านทั้งที่เอ่ยนามและมิได้เอ่ยนาม ที่มีส่วนร่วมในปริญญานิพนธ์ฉบับนี้ ขอขอบพระคุณทุกๆท่านเป็นอย่างสูง

คณะผู้จัดทำ

ภาคผนวก

National Semiconductor

ADC0808/ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

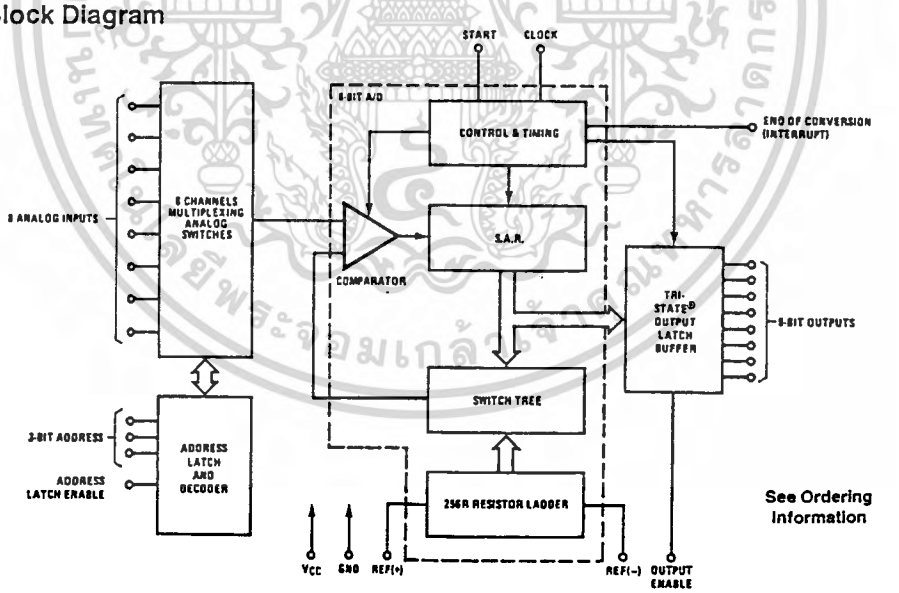
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 μs

Block Diagram



See Ordering Information

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to + 15V
Storage Temperature Range	−65°C to + 150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 11)	400V

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C ≤ T_A ≤ + 125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤ + 85°C
ADC0808CCV, ADC0809CCV	−40°C ≤ T_A ≤ + 85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF+}, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808 Total Unadjusted Error (Note 5)	25°C T_{MIN} to T_{MAX}			±½ ±¾	LSB LSB
	ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T_{MIN} to T_{MAX}			±1 ±1¼	LSB LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND − 0.10		V_{CC} + 0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC} + 0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2 + 0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ + 125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ + 85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V, T_A = 25°C T_{MIN} to T_{MAX}		10	200 1.0	nA μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0, T_A = 25°C T_{MIN} to T_{MAX}	−200 −1.0	−10		nA μA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ, $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$ $V_O=0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ *(Figure 5)*		1	2.5	μS
t_{H1}, t_{H0}	OE Control to O Logic State	$C_L=50$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_C=640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_C	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8+2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 2*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

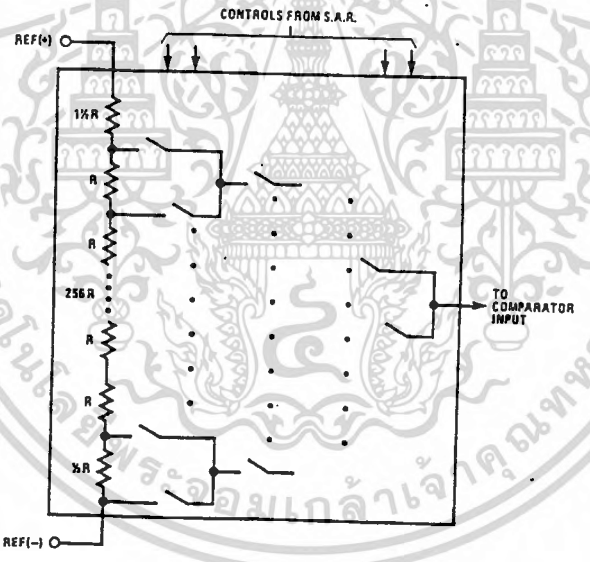
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+\frac{1}{2}$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672–2

FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

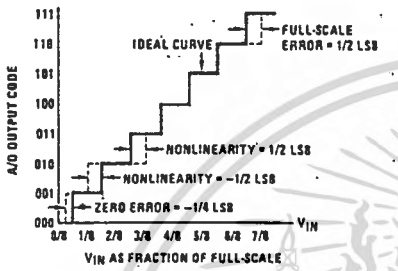


FIGURE 2. 3-Bit A/D Transfer Curve

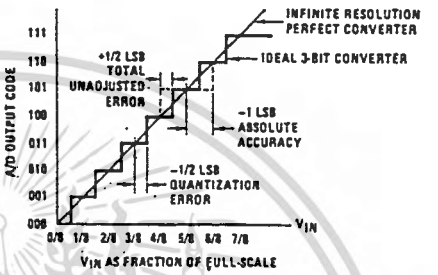
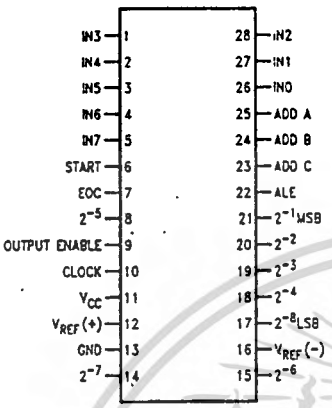


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

FIGURE 4. Typical Error Curve

Connection Diagrams

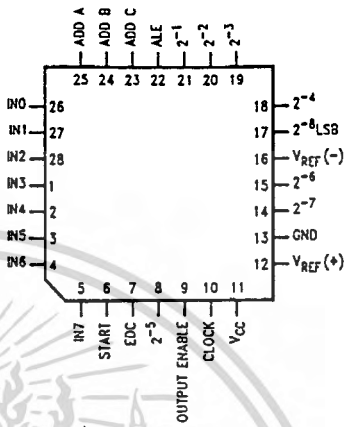
Dual-In-Line Package



TL/H/5672-11

Order Number ADC0808CCN, ADC0809CCN,
ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

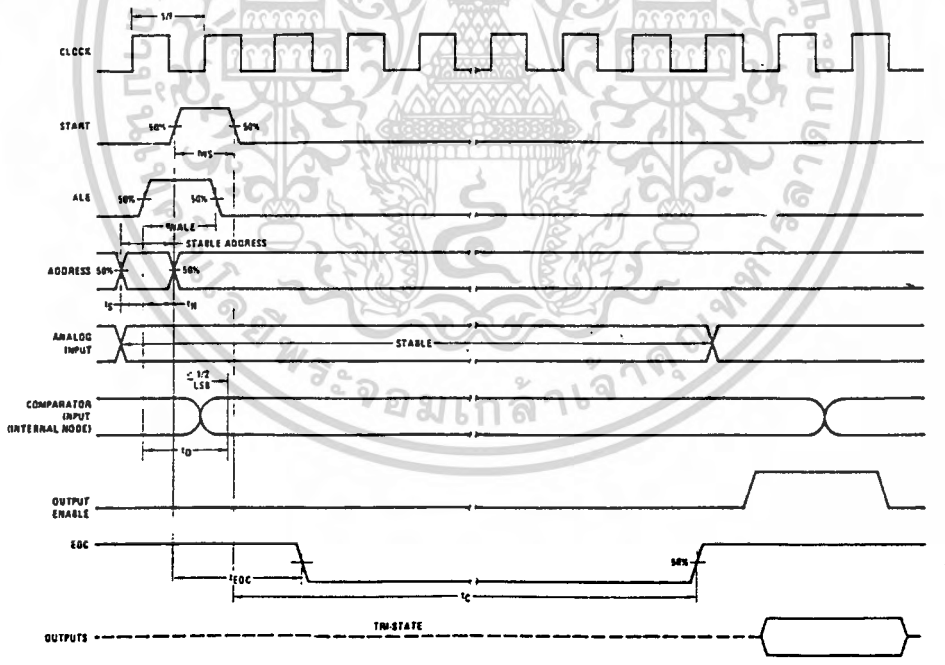
Molded Chip Carrier Package



TL/H/5672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



TL/H/5672-4

FIGURE 5

Typical Performance Characteristics

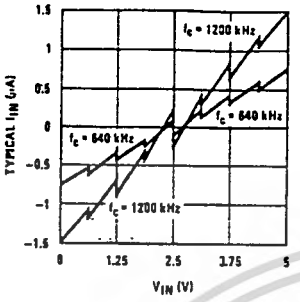
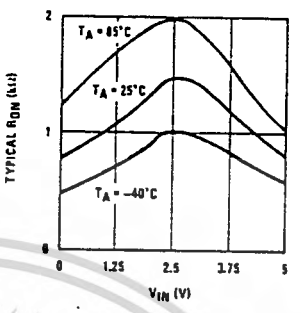


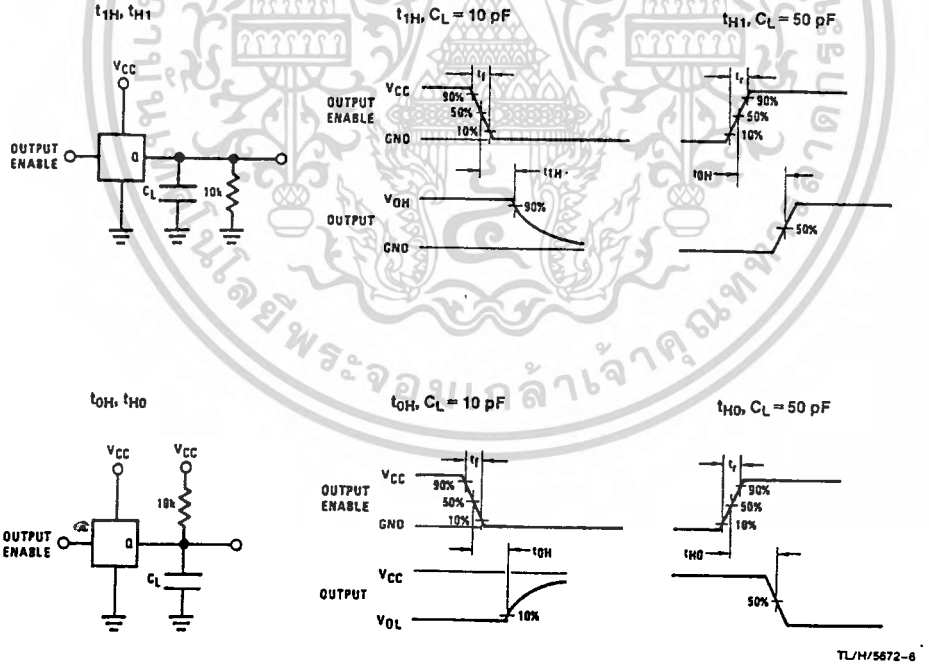
FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)



TL/H/5672–5

FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

National Semiconductor

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

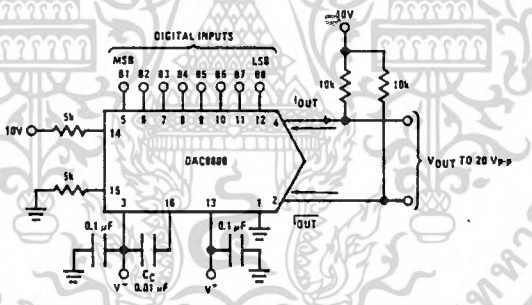
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
I+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, −15V, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

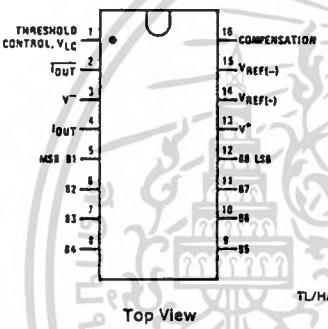
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

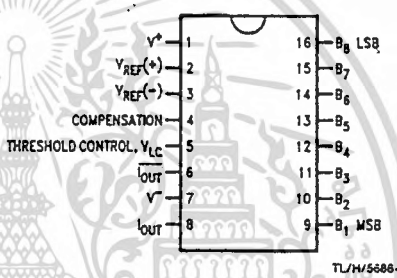
Dual-In-Line Package



Top View

TL/H/5686–13

Small Outline Package

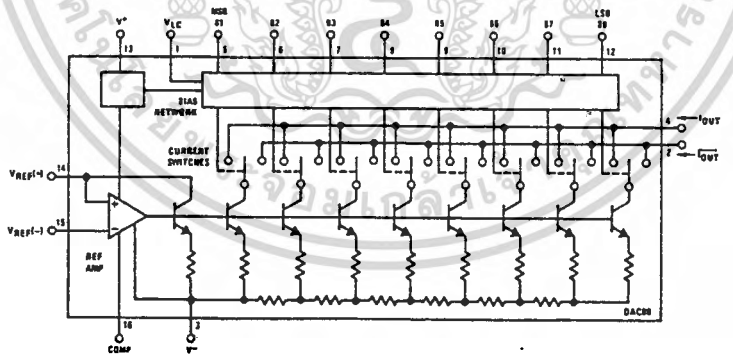


Top View

TL/H/5686–14

See Ordering Information

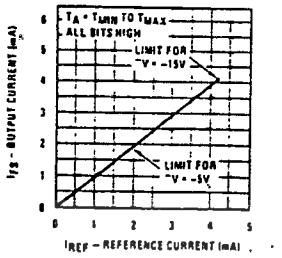
Block Diagram (Note 4)



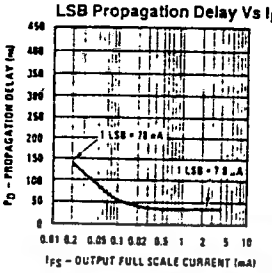
TL/H/5686–2

Typical Performance Characteristics

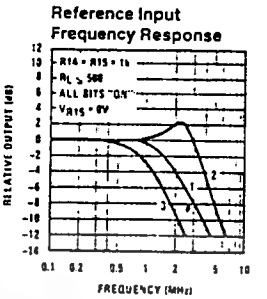
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

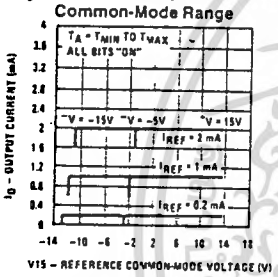


Reference Input Frequency Response



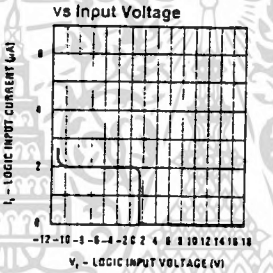
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

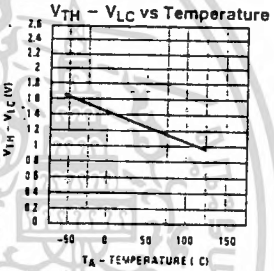


Note. Positive common-mode range is always (V+) − 1.5V

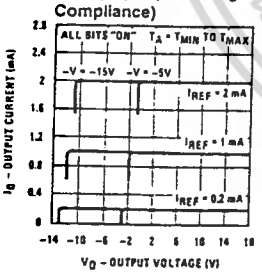
Logic Input Current vs Input Voltage



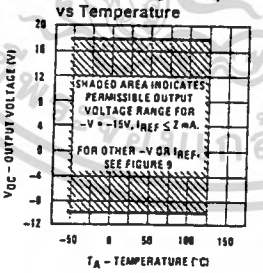
V_{TH} – V_{LC} vs Temperature



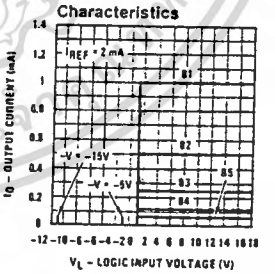
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics

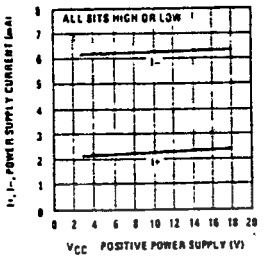


TL/H/5686–3

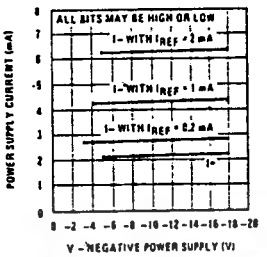
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Typical Performance Characteristics (Continued)

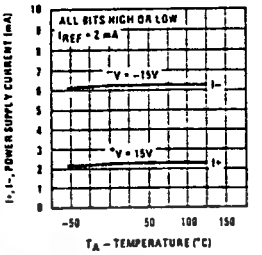
Power Supply Current vs ^+V



Power Supply Current vs ^-V

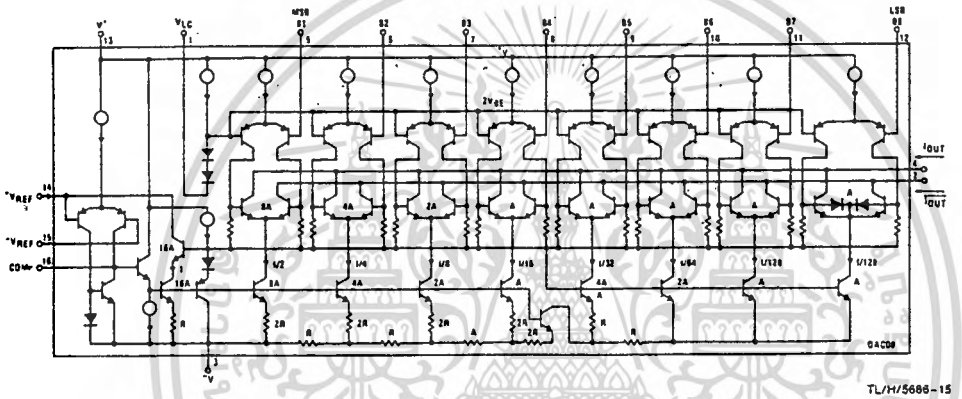


Power Supply Current vs Temperature



TL/H/5686–4

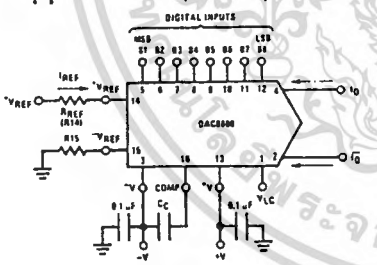
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$I_{FS} \simeq \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

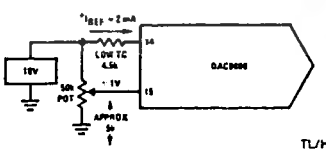
$R15 \simeq R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

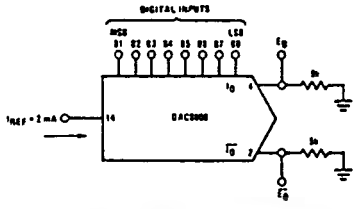
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)

TL/H/5686–16

$I_{FS} \simeq \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$ Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

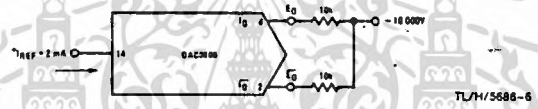
FIGURE 5. Basic Negative Reference Operation (Note 4)

Typical Applications (Continued)



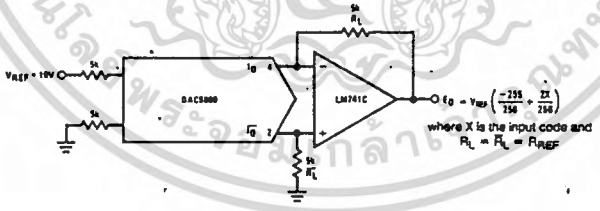
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)

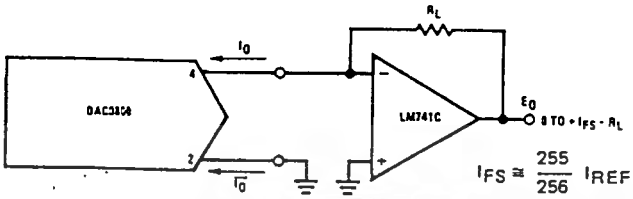


If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

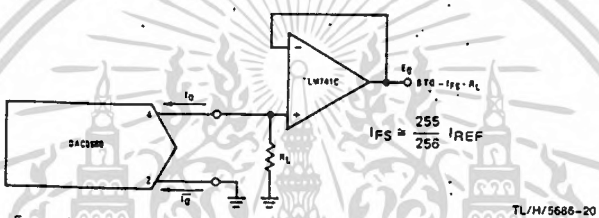
Typical Applications (Continued)



TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

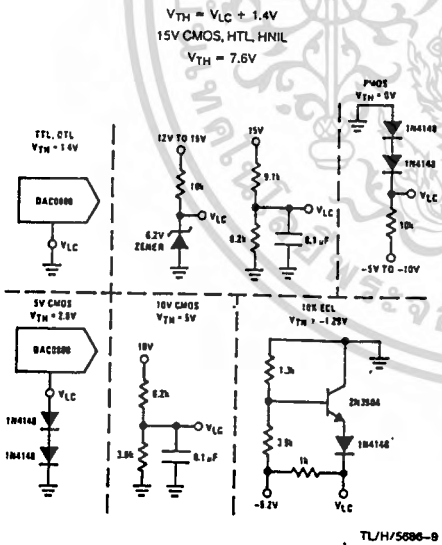
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

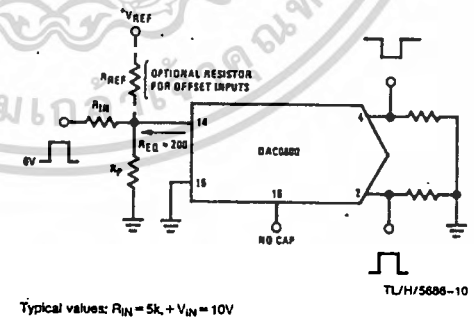
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



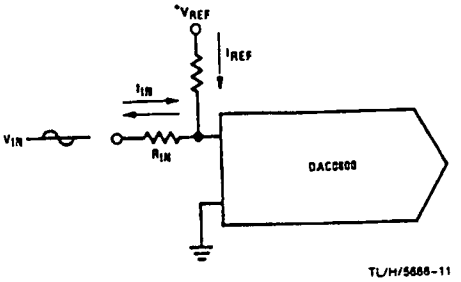
TL/H/5686–10

Typical values: $R_{IN} = 5k$, $+V_{IN} = 10V$

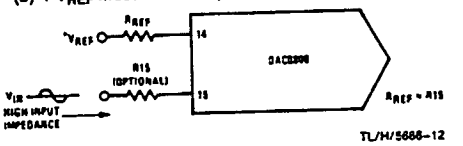
FIGURE 12. Pulsed Reference Operation (Note 4)

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



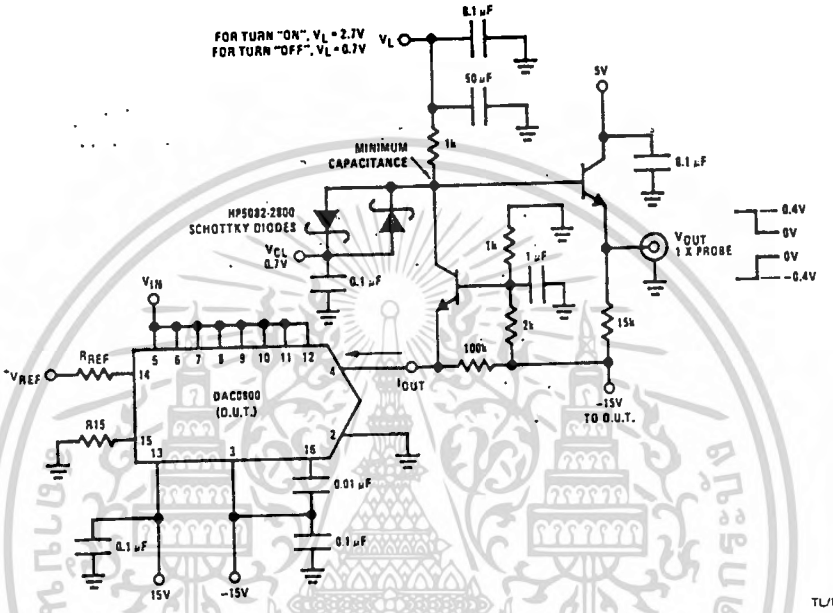
(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5686–12

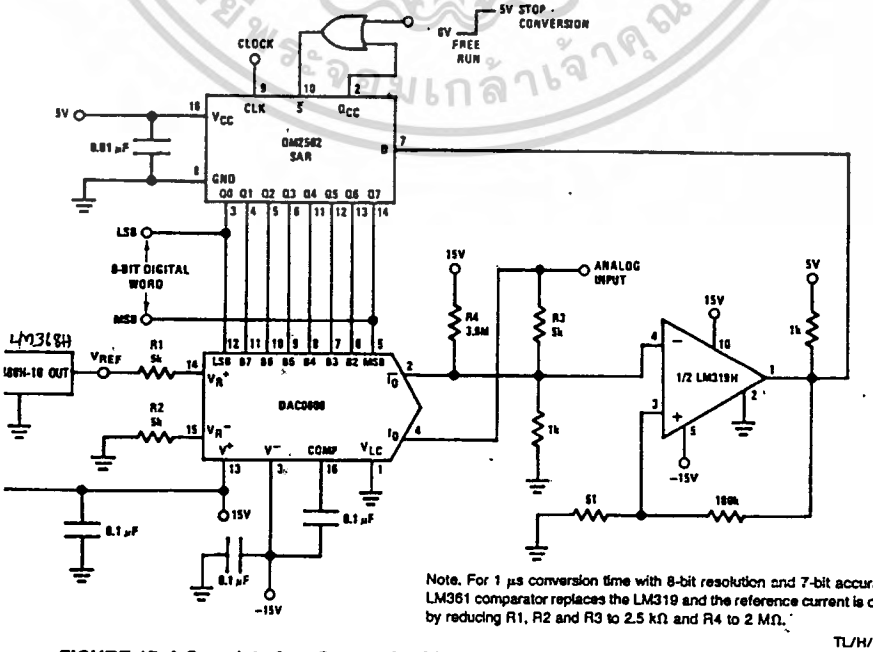
TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)



TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)



Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–8

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 4)

SWITCHING WAVEFORMS

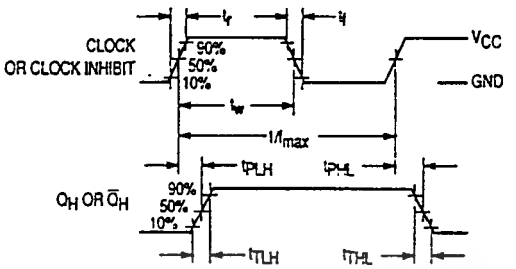


Figure 1. Serial–Shift Mode

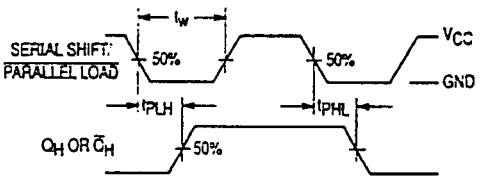


Figure 2. Parallel–Load Mode

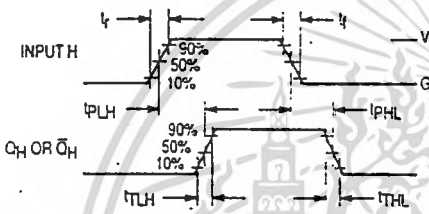


Figure 3. Parallel–Load Mode

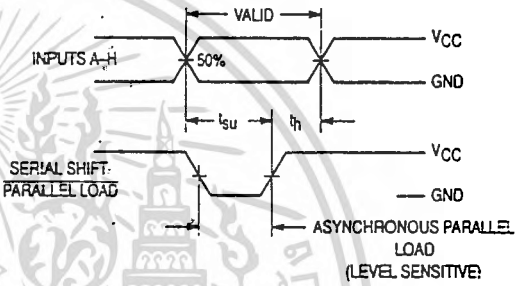


Figure 4. Parallel–Load Mode

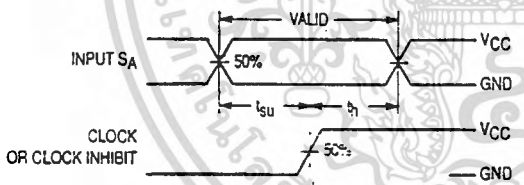


Figure 5. Serial–Shift Mode

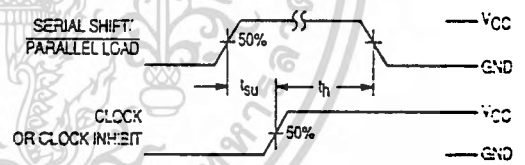


Figure 6. Serial–Shift Mode

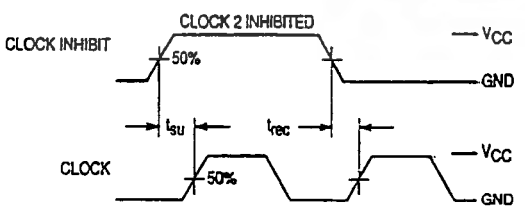
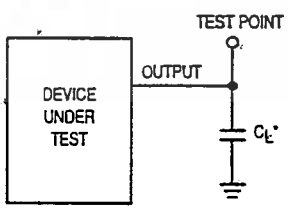


Figure 7. Serial–Shift, Clock–Inhibit Mode



* Includes all probe and jig capacitance

Figure 8. Test Circuit

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Parallel Data Inputs to Serial Shift/Parallel Load (Figure 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Input SA to Clock (or Clock Inhibit) (Figure 5)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Serial Shift/Parallel Load to Clock or Clock Inhibit) (Figure 6)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_h	Minimum Hold Time, Serial Shift/Parallel Load to Parallel Data Inputs (Figure 4)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Input SA (Figure 5)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Serial Shift/Parallel Load (Figure 6)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_{rec}	Minimum Recovery Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (or Clock Inhibit) (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse width, Serial Shift/Parallel Load (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2.

PIN DESCRIPTIONS

INPUTS

A, B, C, D, E, F, G, H (Pins 11, 12, 13, 14, 3, 4, 5, 6)

Parallel Data inputs. Data on these inputs are asynchronously entered in parallel into the internal flip–flops when the Serial Shift/Parallel Load input is low.

SA (Pin 10)

Serial Data input. When the Serial Shift/Parallel Load input is high, data on this pin is serially entered into the first stage of the shift register with the rising edge of the Clock.

CONTROL INPUTS

Serial Shift/Parallel Load (Pin 1)

Data–entry control input. When a high level is applied to this pin, data at the Serial Data input (SA) are shifted into the register with the rising edge of the Clock. When a low level is applied to this pin, data at the Parallel Data inputs are asynchronously loaded into each of the eight internal stages.

Clock, Clock Inhibit (Pins 2, 15)

Clock inputs. These two clock inputs function identically. Either may be used as an active–high clock inhibit. However, to avoid double clocking, the inhibit input should go high only while the clock input is high.

The shift register is completely static, allowing Clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

Q_H, $\overline{Q}_H$ (Pins 9, 7)

Complementary Shift Register outputs. These pins are the noninverted and inverted outputs of the eighth stage of the shift register.

8-Bit Serial or Parallel-Input/ Serial-Output Shift Register

High–Performance Silicon–Gate CMOS

MC54/74HC165

The MC54/74HC165 is identical in pinout to the LS165. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device is an 8–bit shift register with complementary outputs from the last stage. Data may be loaded into the register either in parallel or in serial form. When the Serial Shift/Parallel Load input is low, the data is loaded asynchronously in parallel. When the Serial Shift/Parallel Load input is high, the data is loaded serially on the rising edge of either Clock or Clock Inhibit (see the Function Table).

The 2–input NOR clock may be used either by combining two independent clock sources or by designating one of the clock inputs to act as a clock inhibit.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 286 FETs or 71.5 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 620–10

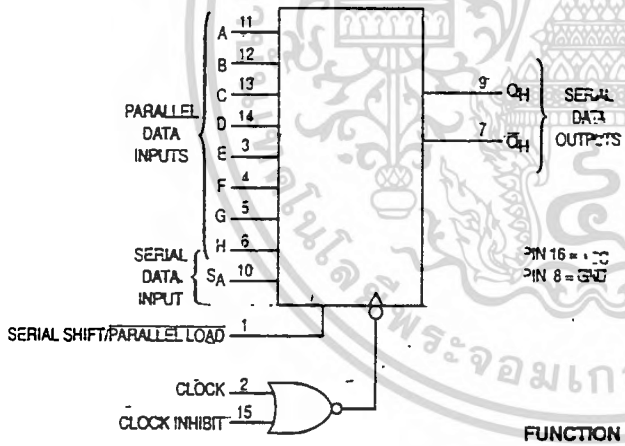
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

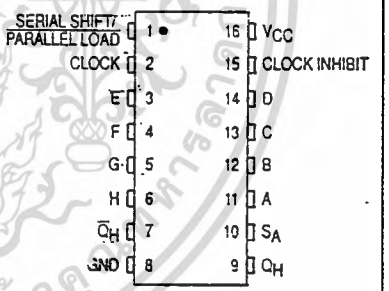
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs					Internal Stages		Output	
Serial Shift/ Parallel Load	Clock	Clock Inhibit	S_A	A – H	Q_A	Q_B	Q_H	Operation
L	X	X	X	a ... h	a	b	h	Asynchronous Parallel Load
H	↑	L	L	X	L	Q_{An}	Q_{Gn}	Serial Shift via Clock
H	↑	L	H	X	H	Q_{An}	Q_{Gn}	
H	L	↑	L	X	L	Q_{An}	Q_{Gn}	Serial Shift via Clock Inhibit
H	L	↑	H	X	H	Q_{An}	Q_{Gn}	
H	X	H	X	X	No Change			Inhibited Clock
H	H	X	X	X				
H	L	L	X	X	No Change			No Clock

X = don't care
Q_{An} – Q_{Gn} = Data shifted from the preceding stage

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	V
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

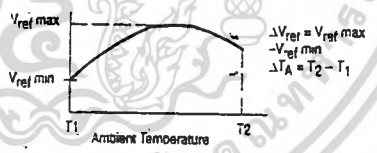
NOTE: Information on typical parametric values can be found in Chapter 2.

ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted.)

Characteristic	Symbol	TL431I			TL431C			Unit
		Min	Typ	Max	Min	Typ	Max	
Reference Input Voltage (Figure 1) $V_{KA} = V_{ref}$, I_K = 10 mA T_A = 25°C $T_A = T_{low}$ to T_{high} (Note 1)	V_{ref}	 2.44 2.41	 2.495 –	 2.55 2.58	 2.44 2.423	 2.495 –	 2.55 2.567	V
Reference Input Voltage Deviation Over Temperature Range (Figure 1, Notes 1, 2, 4) $V_{KA} = V_{ref}$, I_K = 10 mA	ΔV_{ref}	–	7.0	30	–	3.0	17	mV
Ratio of Change in Reference Input Voltage to Change in Cathode to Anode Voltage I_K = 10 mA (Figure 2), ΔV_{KA} = 10 V to V_{ref} ΔV_{KA} = 36 V to 10 V	$\frac{\Delta V_{ref}}{\Delta V_{KA}}$	 – –	 –1.4 –1.0	 –2.7 –2.0	 – –	 –1.4 –1.0	 –2.7 –2.0	mV/V
Reference Input Current (Figure 2) I_K = 10 mA, R1 = 10 k, R2 = ∞ T_A = 25°C $T_A = T_{low}$ to T_{high} (Note 1)	I_{ref}	 – –	 1.8 –	 4.0 6.5	 – –	 1.8 –	 4.0 5.2	µA
Reference Input Current Deviation Over Temperature Range (Figure 2, Note 1, 4) I_K = 10 mA, R1 = 10 k, R2 = ∞	ΔI_{ref}	–	0.8	2.5	–	0.4	1.2	µA
Minimum Cathode Current For Regulation $V_{KA} = V_{ref}$ (Figure 1)	I_{min}	–	0.5	1.0	–	0.5	1.0	mA
Off–State Cathode Current (Figure 3) V_{KA} = 36 V, V_{ref} = 0 V	I_{off}	–	2.6	1000	–	2.6	1000	nA
Dynamic Impedance (Figure 1, Note 3) $V_{KA} = V_{ref}$, ΔI_K = 1.0 mA to 100 mA f ≤ 1.0 kHz	$\lvert Z_{KA} \rvert$	–	0.22	0.5	–	0.22	0.5	Ω

NOTE 1: T_{low} = –40°C for TL431AIP, TL431AILP, TL431IP, TL431ILP, TL4318ID, TL4318IP, TL4318ILP, TL431AIDM, TL431IDM, TL4318IDM
= 0°C for TL431ACP, TL431ACLP, TL431CP, TL431CLP, TL431CD, TL431ACD, TL4318CD, TL4318CP, TL431BCLP, TL431CDM, TL431ACDM, TL431BCDM
T_{high} = +85°C for TL431AIP, TL431AILP, TL431IP, TL431ILP, TL4318ID, TL4318IP, TL4318ILP, TL431IDM, TL431AIDM, TL4318IDM
= +70°C for TL431ACP, TL431ACLP, TL431CP, TL431ACD, TL4318CD, TL431BCP, TL431BCLP, TL431CDM, TL431ACDM, TL431BCDM

NOTE 2: The deviation parameter ΔV_{ref} is defined as the difference between the maximum and minimum values obtained over the full operating ambient temperature range that applies.



The average temperature coefficient of the reference input voltage, αV_{ref} is defined as:

$$V_{ref}\ \frac{ppm}{°C} = \frac{\left(\frac{\Delta V_{ref}}{V_{ref} @ 25°C}\right) \times 10^6}{\Delta T_A} = \frac{\Delta V_{ref} \times 10^6}{\Delta T_A\ (V_{ref} @ 25°C)}$$

αV_{ref} can be positive or negative depending on whether V_{ref} Min or V_{ref} Max occurs at the lower ambient temperature. (Refer to Figure 6.)

Example : ΔV_{ref} = 8.0 mV and slope is positive,

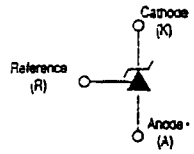
V_{ref} @ 25°C = 2.495 V, ΔT_A = 70°C $\qquad \alpha V_{ref} = \frac{0.008 \times 10^6}{70\ (2.495)} = 45.8$ ppm/°C

NOTE 3: The dynamic impedance Z_{KA} is defined as $|Z_{KA}| = \frac{\Delta V_{KA}}{\Delta I_K}$

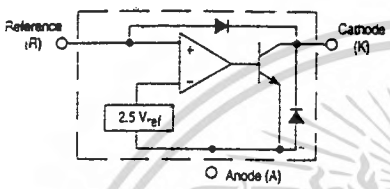
When the device is programmed with two external resistors, R1 and R2, (refer to Figure 2) the total dynamic impedance of the circuit is defined

$$|Z_{KA}'| = |Z_{KA}| \left(1 + \frac{R1}{R2}\right)$$

Symbol

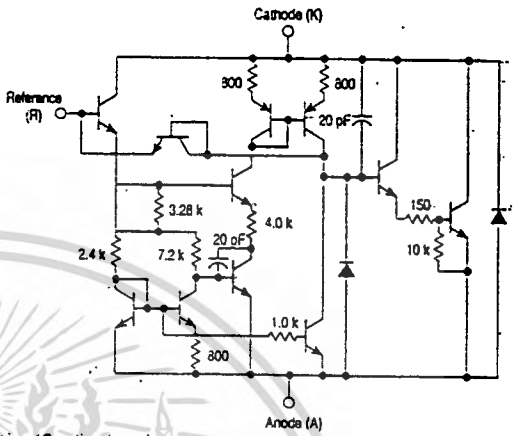


Representative Block Diagram



Representative Schematic Diagram

Component values are nominal



This device contains 12 active transistors.

MAXIMUM RATINGS (Full operating ambient temperature range applies, unless otherwise noted.)

Rating	Symbol	Value	Unit
Cathode to Anode Voltage	V_{KA}	37	V
Cathode Current Range, Continuous	I_K	−100 to +150	mA
Reference Input Current Range, Continuous	I_{ref}	−0.05 to +10	mA
Operating Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range TL431I, TL431AI, TL431BI TL431C, TL431AC, TL431BC	T_A	 −40 to +85 0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
Total Power Dissipation @ T_A = 25°C Derate above 25°C Ambient Temperature D, LP Suffix Plastic Package P Suffix Plastic Package DM Suffix Plastic Package	P_D	 0.70 1.10 0.52	W
Total Power Dissipation @ T_C = 25°C Derate above 25°C Case Temperature D, LP Suffix Plastic Package P Suffix Plastic Package	P_D	 1.5 3.0	W

NOTE: ESD data available upon request.

RECOMMENDED OPERATING CONDITIONS

Condition	Symbol	Min	Max	Unit
Cathode to Anode Voltage	V_{KA}	V_{ref}	36	V
Cathode Current	I_K	1.0	100	mA

THERMAL CHARACTERISTICS

Characteristic	Symbol	D, LP Suffix Package	P Suffix Package	DM Suffix Package	Unit
Thermal Resistance, Junction–to–Ambient	$R_{\theta JA}$	178	114	240	°C/W
Thermal Resistance, Junction–to–Case	$R_{\theta JC}$	83	41	–	°C/W

MOTOROLA

TL431, A, B Series

Programmable Precision References

PROGRAMMABLE PRECISION REFERENCES

SEMICONDUCTOR TECHNICAL DATA

5

The TL431, A, B integrated circuits are three–terminal programmable shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient zener which is programmable from V_{ref} to 36 V with two external resistors. These devices exhibit a wide operating current range of 1.0 mA to 100 mA with a typical dynamic impedance of 0.22 Ω. The characteristics of these references make them excellent replacements for zener diodes in many applications such as digital voltmeters, power supplies, and op amp circuitry. The 2.5 V reference makes it convenient to obtain a stable reference from 5.0 V logic supplies, and since the TL431, A, B operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

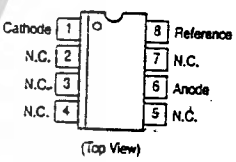
- Programmable Output Voltage to 36 V
- Voltage Reference Tolerance: ±0.4%, Typ @ 25°C (TL431B)
- Low Dynamic Output Impedance, 0.22 Ω Typical
- Sink Current Capability of 1.0 mA to 100 mA
- Equivalent Full–Range Temperature Coefficient of 50 ppm/°C Typical
- Temperature Compensated for Operation over Full Rated Operating Temperature Range
- Low Output Noise Voltage

Z, LP SUFFIX
PLASTIC PACKAGE
CASE 29
(TO–92)

Pin 1. Reference
2. Anode
3. Cathode

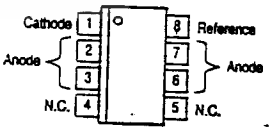
P SUFFIX
PLASTIC PACKAGE
CASE 626

DM SUFFIX
PLASTIC PACKAGE
CASE 846A
(Micro–8)



(Top View)

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SOP–8)



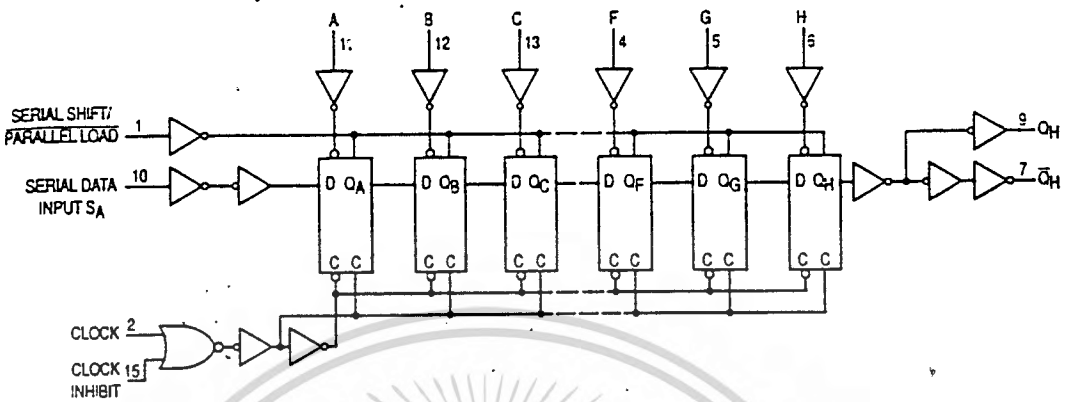
(Top View)

SOP–8 is an internally modified SO–8 package. Pins 2, 3, 6 and 7 are electrically common to the die attach flag. This internal lead frame modification decreases power dissipation capability when appropriately mounted on a printed circuit board. SOP–8 conforms to all external dimensions of the standard SO–8 package.

ORDERING INFORMATION

Device	Operating Temperature Range	Package
TL431CLP, ACLP, BCLP	T_A = 0° to +70°C	TO–92
TL431CP, ACP, BCP		Plastic
TL431CDM, ACDM, BCDM		Micro–8
TL431CD, ACD, BCD		SOP–8
TL431ILP, AILP, BILP	T_A = –40° to +85°C	TO–92
TL431IP, AIP, BIP		Plastic
TL431IDM, AIDM, BIDM		Micro–8
TL431ID, AID, BID		SOP–8

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM

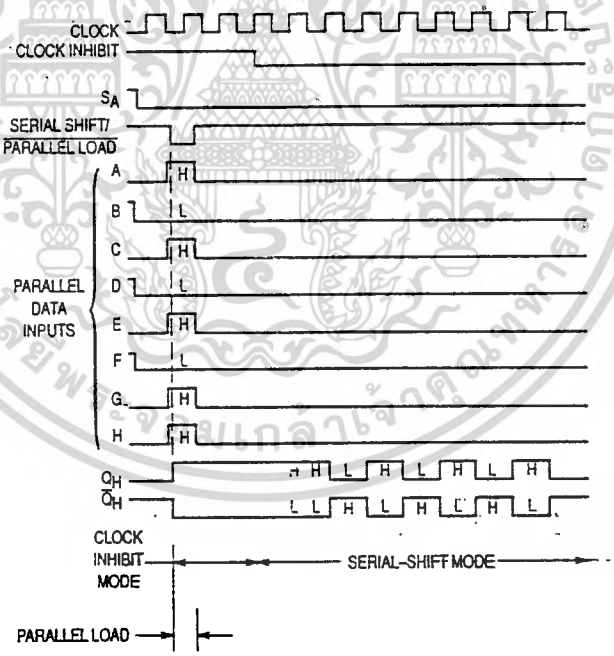
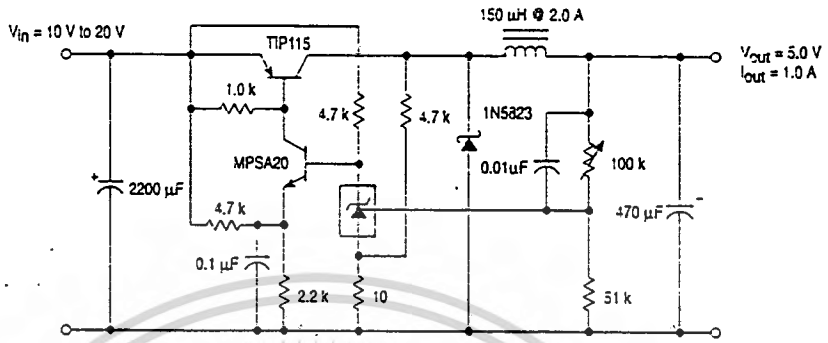
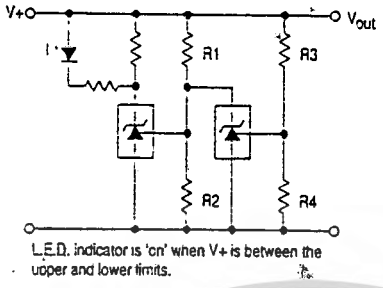


Figure 30. High Efficiency Step–Down Switching Converter



Test	Conditions	Results
Line Regulation	V_{in} = 10 V to 20 V, I_O = 1.0 A	53 mV (1.1%)
Load Regulation	V_{in} = 15 V, I_O = 0 A to 1.0 A	25 mV (0.5%)
Output Ripple	V_{in} = 10 V, I_O = 1.0 A	50 mVpp P.A.R.D.
Output Ripple	V_{in} = 20 V, I_O = 1.0 A	100 mVpp P.A.R.D.
Efficiency	V_{in} = 15 V, I_O = 1.0 A	82%

Figure 26. Voltage Monitor

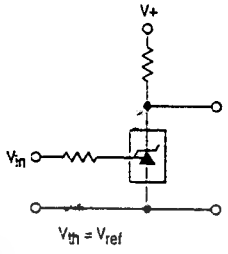


L.E.D. indicator is 'on' when V+ is between the upper and lower limits.

$$\text{Lower Limit} = \left(1 + \frac{R1}{R2}\right) V_{ref}$$

$$\text{Upper Limit} = \left(1 + \frac{R3}{R4}\right) V_{ref}$$

Figure 27. Single–Supply Comparator with Temperature–Compensated Threshold



V_{in}	V_{out}
$< V_{ref}$	V+
$> V_{ref}$	≈ 2.0 V

Figure 28. Linear Ohmmeter

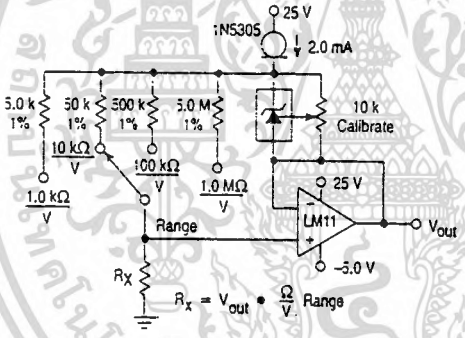


Figure 29. Simple 400 mW Phono Amplifier

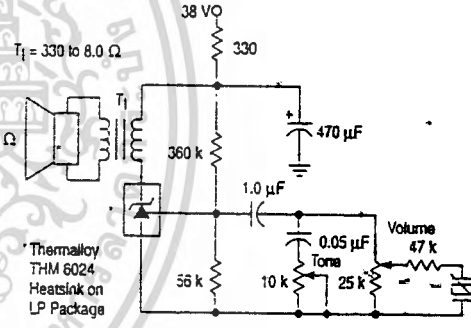
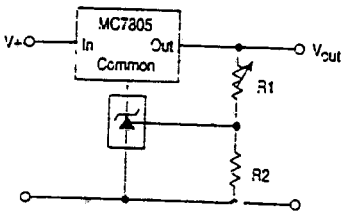


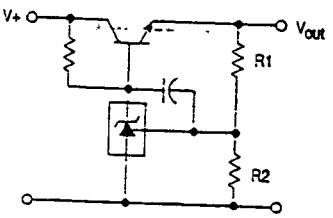
Figure 20. Output Control for a Three–Terminal Fixed Regulator.



$$V_{out} = \left(1 + \frac{R1}{R2}\right) V_{ref}$$

$$V_{out}\,min = V_{ref} + 5.0V$$

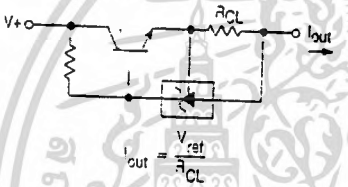
Figure 21. Series Pass Regulator



$$V_{out} = \left(1 + \frac{R1}{R2}\right) V_{ref}$$

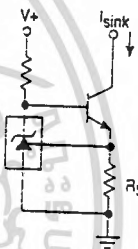
$$V_{out}\,min = V_{ref} + V_{be}$$

Figure 22. Constant Current Source



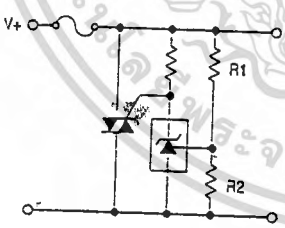
$$I_{out} = \frac{V_{ref}}{R_{CL}}$$

Figure 23. Constant Current Sink



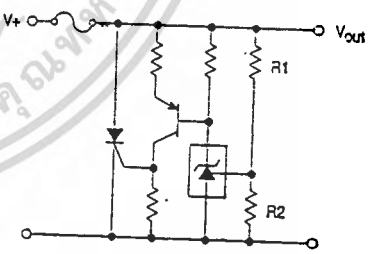
$$I_{Sink} = \frac{V_{ref}}{R_S}$$

Figure 24. TRIAC Crowbar



$$V_{out(trip)} = \left(1 + \frac{R1}{R2}\right) V_{ref}$$

Figure 25. SRC Crowbar



$$V_{out(trip)} = \left(1 + \frac{R1}{R2}\right) V_{ref}$$

Figure 14. Pulse Response

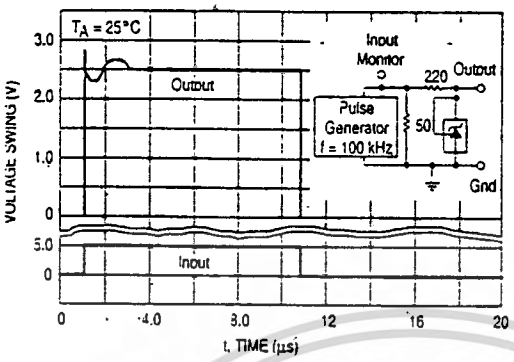
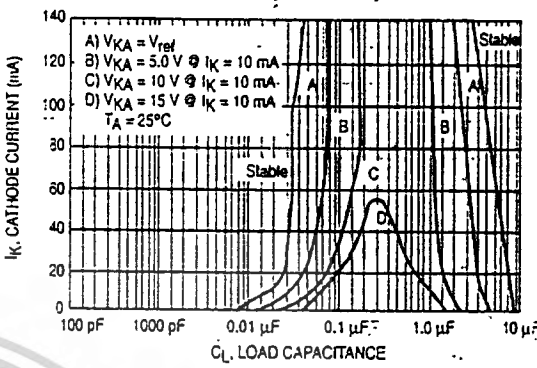


Figure 15. Stability Boundary Conditions



5

Figure 16. Test Circuit For Curve A of Stability Boundary Conditions

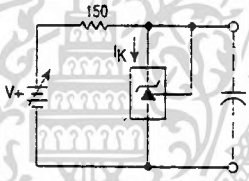
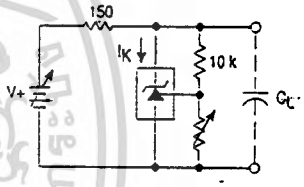


Figure 17. Test Circuit For Curves B, C, And D of Stability Boundary Conditions



TYPICAL APPLICATIONS

Figure 18. Shunt Regulator

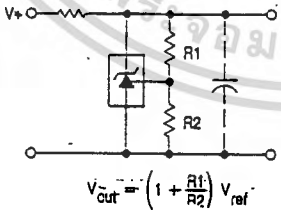


Figure 19. High Current Shunt Regulator

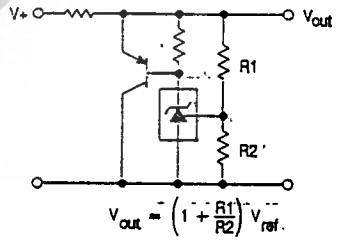


Figure 8. Change in Reference Input Voltage versus Cathode Voltage

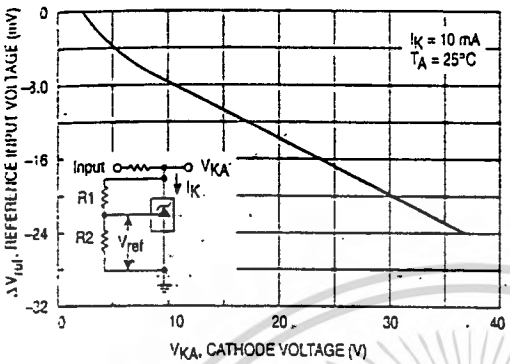


Figure 9. Off–State Cathode Current versus Ambient Temperature

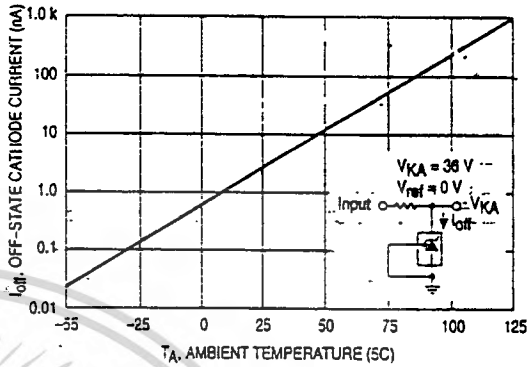


Figure 10. Dynamic Impedance versus Frequency

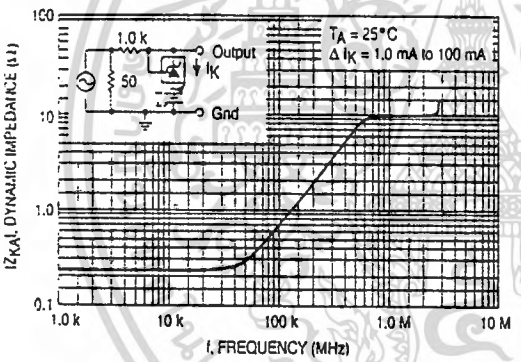


Figure 11. Dynamic Impedance versus Ambient Temperature

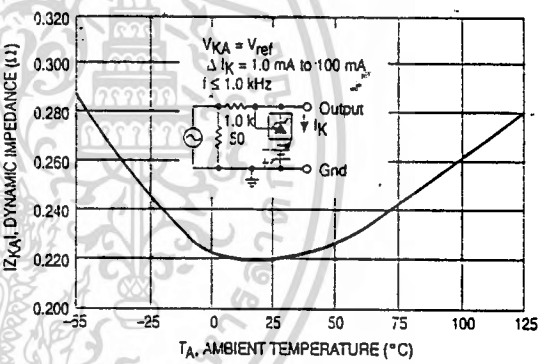


Figure 12. Open–Loop Voltage Gain versus Frequency

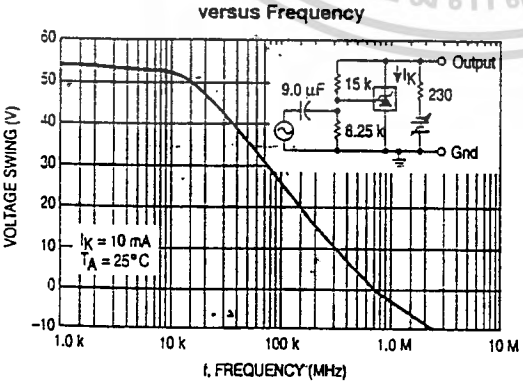


Figure 13. Spectral Noise Density

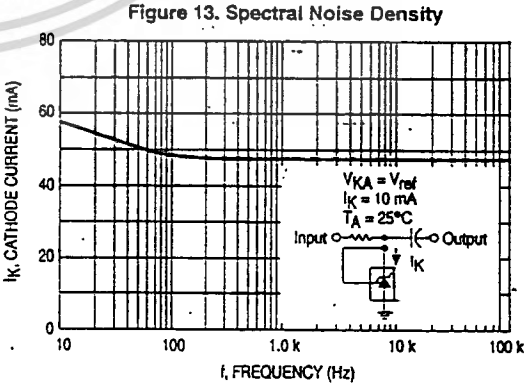


Figure 1. Test Circuit for $V_{KA} = V_{ref}$

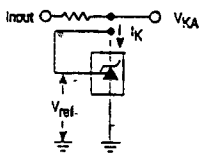
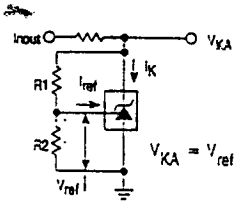
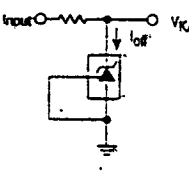


Figure 2. Test Circuit for $V_{KA} > V_{ref}$



$$V_{KA} = V_{ref}\left(1 + \frac{R1}{R2}\right) + I_{ref} \cdot R1$$

Figure 3. Test Circuit for



5

Figure 4. Cathode Current versus Cathode Voltage

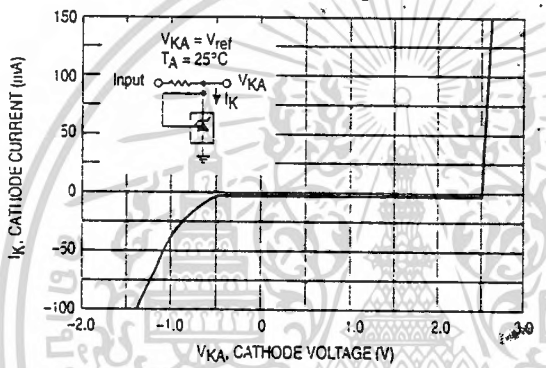


Figure 5. Cathode Current versus Cathode Voltage

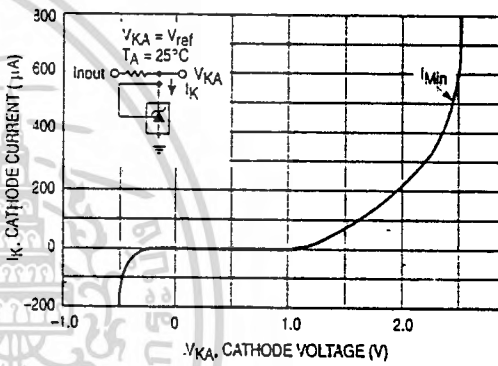


Figure 6. Reference Input Voltage versus Ambient Temperature

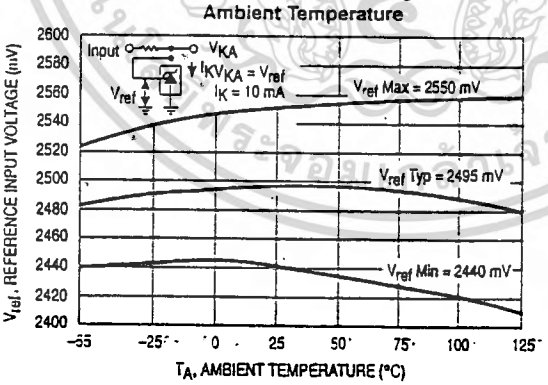
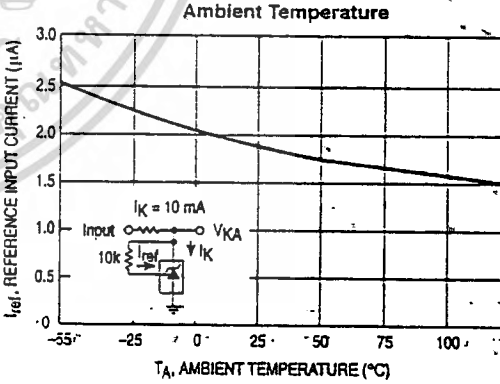


Figure 7. Reference Input Current versus Ambient Temperature

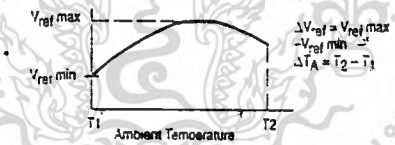


ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted.)

Characteristic	Symbol	TL431AI			TL431AC			TL431B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Reference Input Voltage (Figure 1) V_{KA} = V_{ref}, I_K = 10 mA	V_{ref}										V
T_A = 25°C		2.47	2.495	2.52	2.47	2.495	2.52	2.483	2.495	2.507	
T_A = T_{low} to T_{high}		2.44	–	2.55	2.453	–	2.537	2.475	2.495	2.515	
Reference Input Voltage Deviation Over Temperature Range (Figure 1, Notes 1, 2, 4) V_{KA} = V_{ref}, I_K = 10 mA	ΔV_{ref}	–	7.0	30	–	3.0	17	–	3	17	mV
Ratio of Change in Reference Input Voltage to Change in Cathode to Anode Voltage I_K = 10 mA (Figure 2), ΔV_{KA} = 10 V to V_{ref}	$\frac{\Delta V_{ref}}{\Delta V_{KA}}$	–	−1.4	−2.7	–	−1.4	−2.7	–	−1.4	−2.7	mV/V
ΔV_{KA} = 36 V to 10 V		–	−1.0	−2.0	–	−1.0	−2.0	–	−1.0	−2.0	
Reference Input Current (Figure 2) I_K = 10 mA, R1 = 10 k, R2 = ∞	ΔI_{ref}										µA
T_A = 25°C		–	1.8	4.0	–	1.8	4.0	–	1.6	3.0	
T_A = T_{low} to T_{high} (Note 1)		–	–	6.5	–	–	5.2	–	–	4.0	
Reference Input Current Deviation Over Temperature Range (Figure 2, Note 1) I_K = 10 mA, R1 = 10 k, R2 = ∞	ΔI_{ref}	–	0.8	2.5	–	0.4	1.2	–	0.4	1.2	µA
Minimum Cathode Current For Regulation V_{KA} = V_{ref} (Figure 1)	I_{min}	–	0.5	1.0	–	0.5	1.0	–	0.5	1.0	mA
Off–State Cathode Current (Figure 3) V_{KA} = 36 V, V_{ref} = 0 V	I_{off}	–	260	1000	–	260	1000	–	230	500	nA
Dynamic Impedance (Figure 1, Note 3) V_{KA} = V_{ref}, ΔI_K = 1.0 mA to 100 mA f ≤ 1.0 kHz	$\lvert Z_{KA} \rvert$	–	0.22	0.5	–	0.22	0.5	–	0.14	0.3	Ω

NOTE 1: T_{low} = −40°C for TL431AIP, TL431AILP, TL431IP, TL431ILP, TL431BID, TL431BIP, TL431BILP, TL431AIDM, TL431IDM, TL431BIDM
= 0°C for TL431ACP, TL431ACLP, TL431CP, TL431CLP, TL431CD, TL431ACD, TL431BCD, TL431BCP, TL431BCLP, TL431CDM, TL431ACDM, TL431BCDM
T_{high} = +85°C for TL431AIP, TL431AILP, TL431IP, TL431ILP, TL431BID, TL431BIP, TL431BILP, TL431IDM, TL431AIDM, TL431BIDM
= +70°C for TL431ACP, TL431ACLP, TL431CP, TL431ACD, TL431BCD, TL431BCP, TL431BCLP, TL431CDM, TL431ACDM, TL431BCDM

NOTE 2: The deviation parameter ΔV_{ref} is defined as the difference between the maximum and minimum values obtained over the full operating ambient temperature range that applies.



The average temperature coefficient of the reference input voltage, αV_{ref} is defined as:

$$V_{ref}\ \frac{ppm}{°C} = \frac{\left(\frac{\Delta V_{ref}}{V_{ref}\ @\ 25°C}\right) \times 10^6}{\Delta T_A} = \frac{\Delta V_{ref} \times 10^6}{\Delta T_A\ (V_{ref}\ @\ 25°C)}$$

αV_{ref} can be positive or negative depending on whether V_{ref} Min or V_{ref} Max occurs at the lower ambient temperature. (Refer to Figure 6.)

Example : ΔV_{ref} = 8.0 mV and slope is positive.

V_{ref} @ 25°C = 2.495 V, ΔT_A = 70°C $\alpha V_{ref} = \frac{0.008 \times 10^6}{70\ (2.495)} = 45.8$ ppm/°C

NOTE 3 : The dynamic impedance Z_{KA} is defined as $|Z_{KA}| = \frac{\Delta V_{KA}}{\Delta I_K}$

When the device is programmed with two external resistors, R1 and R2, (refer to Figure 2) the total dynamic impedance of the circuit is defined as:

$$|Z_{KA}'| = |Z_{KA}| \left(1 + \frac{R1}{R2}\right)$$

NOTE 4: This test is not applicable to surface mount (D and DM suffix) devices.