



การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)

8-BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)



โดย

นายชัยรัตน์ ณ์ฐกิตติโกศล

นายณัฐพรชัย โสภณอุดมศักดิ์

วัน เดือน ปี.....	22.ค.ค.2541
เลขทะเบียน.....	039119
เลขเรียกหนังสือ.....	ท.มอ๗59 ร.ม.๗ ก.

ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

HARDWORK OK

หนักษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039119

การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)

8 -BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)

โดย

นาย ชัยรัตน์ ฌัฐกิตติโกศล 37014091

นาย ณัฐพรชัย ไสภณอุดมศักดิ์ 37014112

อาจารย์ที่ปรึกษา

รศ. ณรงค์ เหมกรณ์

ผศ. นิภา ตีลารุจิ

ได้ทำการคืนอุปกรณ์ที่ใช้ในการทำโปรเจกต์ครบถ้วนแล้ว



(ผศ. นิภา ตีลารุจิ)

การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)
8-BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)



ปริญญาบัตรนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)

8-BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)

โดย

นายชัยรัตน์ อนุรักษ์ดีโกศล 37014091

นายณัฐพรช โสภณอุดมศักดิ์ 37014112

อาจารย์ที่ปรึกษา

รศ.ณรงค์ เหมกรณ์

ผศ.นิภา ลีสารุจิ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)
8-BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)

โดย นายชัชวรัตน์ ฌัฐกิจศิริโกศล 37014091

นายณัฐพรพรย โสภณอุดมศักดิ์ 37014112

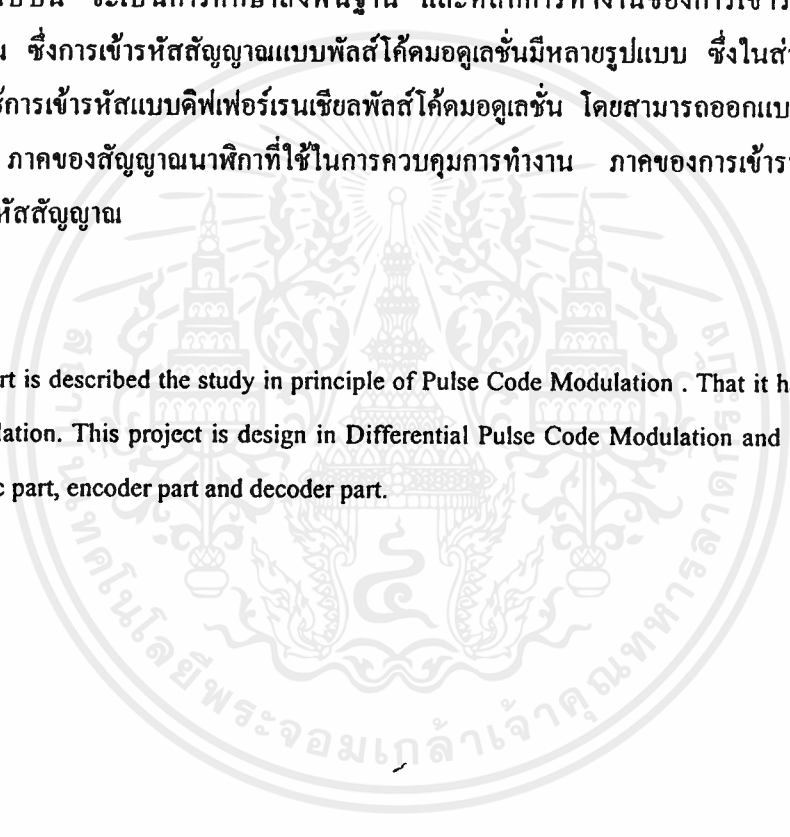
อาจารย์ที่ปรึกษา รศ.ณรงค์ เหมกรณ์
ผศ.นิภา ลีลาธุจิ

บทคัดย่อ

รายงานฉบับนี้ จะเป็นการศึกษาถึงพื้นฐาน และหลักการทำงานของ การเข้ารหัสสัญญาณแบบพัลส์โค้ดมอดูเลชัน ซึ่งการเข้ารหัสสัญญาณแบบพัลส์โค้ดมอดูเลชันมีหลายรูปแบบ ซึ่งในส่วนของโครงการนี้ได้ ออกแบบโดยใช้การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน โดยสามารถออกแบบและทำการสร้างแยกเป็น ส่วนๆคือ ภาคของสัญญาณนาฬิกาที่ใช้ในการควบคุมการทำงาน ภาคของการเข้ารหัสสัญญาณ และภาคของการถอดรหัสสัญญาณ

ABSTRACT

This report is described the study in principle of Pulse Code Modulation . That it have many kind of Pulse Code Modulation. This project is design in Differential Pulse Code Modulation and it can separate in signal control logic part, encoder part and decoder part.



ปริญญาโทปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

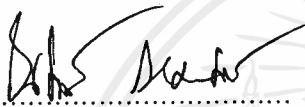
เรื่อง การเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันขนาด 8 บิต (ดีพีซีเอ็ม)

8-BIT DIFFERENTIAL PULSE CODE MODULATION (DPCM)

ผู้จัดทำ

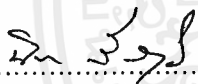
1. นายชัยรัตน์ ณัฐกิตติโกศล 37014091

2. นายณัฐพรพรช โสภณอุดมศักดิ์ 37014112



(รศ.ณรงค์ เหมกรณ)

อาจารย์ที่ปรึกษา



(ผศ.นิภา ทิลาารุจิ)

อาจารย์ที่ปรึกษา

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี และ หลักการ	2
บทที่ 3 การคำนวณ และ การสร้าง	34
บทที่ 4 การทดลอง และ ผลการทดลอง	45
บทที่ 5 บทสรุป	62
ภาคผนวก	



สารบัญรูปภาพ

	หน้า
รูปที่ 2-1	2
รูปที่ 2-2a)	3
รูปที่ 2-2b)	3
รูปที่ 2-2c)	3
รูปที่ 2-3	4
รูปที่ 2-4	4
รูปที่ 2-5	5
รูปที่ 2-6	7
รูปที่ 2-7a)	7
รูปที่ 2-7b)	7
รูปที่ 2-8	8
รูปที่ 2-9	9
รูปที่ 2-10	10
รูปที่ 2-11	14
รูปที่ 2-12	14
รูปที่ 2-13	15
รูปที่ 2-14	16
รูปที่ 2-15	17
รูปที่ 2-16	18
รูปที่ 2-17	18
รูปที่ 2-18	19
รูปที่ 2-19a)	20
รูปที่ 2-19b)	20
รูปที่ 2-20a)	20
รูปที่ 2-20b)	21
รูปที่ 2-20c)	21
รูปที่ 2-21	22
รูปที่ 2-22	23
รูปที่ 2-23	24
รูปที่ 2-24	25
รูปที่ 2-25	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-26	การส่งข้อมูลแบบขนาน	26
รูปที่ 2-27	การส่งผ่านข้อมูลแบบเรียงลำดับ	27
รูปที่ 2-28	แสดงการต่อเนื่องของข้อมูลที่ส่งแบบซิงโครนัส	28
รูปที่ 2-29	แสดงรูปแบบการใช้ซิงนำหน้ากลุ่มตัวอักษร	29
รูปที่ 2-30	แสดงเปรียบเทียบอุปกรณ์รับข้อมูลตรวจหาซิงในระบบซิงโครนัส	29
รูปที่ 2-31	แสดงการตัดแฉวของบิทออกกลุ่มละ 8 บิทในระบบการส่งผ่านแบบอะซิงโครนัส	29
รูปที่ 2-32	แสดงการส่งข้อมูลหนึ่งตัวแบบอะซิงโครนัส	30
รูปที่ 2-33	แสดงสัญญาณเวลาของข้อมูลอนุกรม 8 บิท	32
รูปที่ 2-34	แสดงตัวอย่างสัญญาณข้อมูลที่ทำการส่งโดยใช้ยูอาร์ที	32
รูปที่ 2-35	แสดงลักษณะของไอซีที่เป็นยูอาร์ที	33
รูปที่ 3-1	แสดงวงจรรวมของภาคกำเนิดสัญญาณควบคุม	36
รูปที่ 3-2	แสดงวงจรรวมของภาคการเข้ารหัส	38
รูปที่ 3-3	แสดงการต่อใช้งานทางด้านส่ง	39
รูปที่ 3-4	แสดงแผนผังการทำงานของทางด้านส่ง	40
รูปที่ 3-5	แสดงการต่อใช้งานทางด้านรับ	41
รูปที่ 3-6	แสดงแผนผังการทำงานของทางด้านรับ	42
รูปที่ 3-7	แสดงวงจรรวมของภาคการถอดรหัส	44
รูปที่ 4-1	แสดงสัญญาณนาฬิกาควบคุมความถี่ 512 kHz	45
รูปที่ 4-2	แสดงสัญญาณควบคุม SP ₁ และ SP ₂	46
รูปที่ 4-3	แสดงสัญญาณอานาลอกอินพุตกับสัญญาณที่ได้จากการสุ่มและคงค่า	47
รูปที่ 4-4	แสดงสัญญาณที่จะนำมาหาค่าผลต่าง	47
รูปที่ 4-5	แสดงค่าสัญญาณอินพุตที่ผ่านการสุ่มกับสัญญาณค่าผลต่างที่ผ่านการสุ่ม	48
รูปที่ 4-6	แสดงสัญญาณสัญญาณค่าผลต่างก่อนเข้า ADC 0800 และสัญญาณค่าผลต่างหลังออกจาก DAC 0808	49
รูปที่ 4-7	แสดงสัญญาณค่าผลต่างที่ได้จาก DAC เทียบกับสัญญาณค่าทำนาย	49
รูปที่ 4-8	แสดงสัญญาณค่าทำนายที่ได้เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP ₂	50
รูปที่ 4-9	แสดงสัญญาณเอาต์พุตพีซีเอ็มเทียบกับสัญญาณควบคุมการส่ง SP ₁	51
รูปที่ 4-10	แสดงสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัสกับสัญญาณที่ได้จากการแปลงดิจิทัลเป็นอานาลอกทางด้านภาคการถอดรหัส	52
รูปที่ 4-11	แสดงสัญญาณค่าทำนายทางภาคการถอดรหัส	52
รูปที่ 4-12	แสดงสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่าน	53
รูปที่ 4-13	แสดงสัญญาณอินพุตที่ผ่านตัวกรองความถี่ต่ำผ่านกับสัญญาณที่ได้จากการสุ่มและคงค่า	54
รูปที่ 4-14	แสดงสัญญาณที่จะนำมาหาค่าผลต่าง	55
รูปที่ 4-15	แสดงค่าสัญญาณอินพุตที่ผ่านการสุ่มกับสัญญาณค่าผลต่างที่ผ่านการสุ่ม	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4-16	แสดงสัญญาณสัญญาณค่าผลต่างก่อนเข้า ADC 0800 และสัญญาณค่าผลต่างหลังออก จาก DAC 0808	56
รูปที่ 4-17	แสดงสัญญาณค่าผลต่างที่ได้จาก DAC เทียบกับสัญญาณค่าทำนาย	57
รูปที่ 4-18	แสดงสัญญาณค่าทำนายที่ได้เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP2	57
รูปที่ 4-19	แสดงสัญญาณเอาต์พุตพีซีเอ็มเทียบกับสัญญาณควบคุมการส่ง SP1	58
รูปที่ 4-20	แสดงสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัสกับสัญญาณที่ได้จากการ แปลงดิจิทัลเป็นอนาลอกทางด้านภาคการถอดรหัส	59
รูปที่ 4-21	แสดงสัญญาณค่าทำนายทางภาคการถอดรหัส	60
รูปที่ 4-22	แสดงสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่าน	60



บทที่ 1

บทนำ

ในสมัยก่อน รูปแบบของสัญญาณข้อมูลที่ใช้ในการส่งนั้น เป็นแบบอนาลอก ซึ่งจะพบว่าสัญญาณข้อมูลที่ส่งไปจากต้นทาง เมื่อไปถึงปลายทางด้านรับ สัญญาณจะมีรูปร่างที่ผิดเพี้ยนไป ทำให้มีการผิดพลาดของข้อมูลเกิดขึ้น จึงได้มีการพัฒนารูปแบบของสัญญาณ ที่ใช้ส่งให้ส่งในรูปแบบ สัญญาณดิจิทัล ซึ่งประสิทธิภาพที่ได้ จะสมบูรณ์กว่าแบบอนาลอก ซึ่งพัลส์โค้ดมอดูเลชัน (PCM) เป็นรูปแบบการส่งสัญญาณดิจิทัลรูปแบบหนึ่งที่ถูกนำมาใช้กันอย่างแพร่หลาย

พัลส์โค้ดมอดูเลชัน จะเป็นการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัลโดยมีขั้นตอนคร่าวๆดังนี้คือ การสุ่มและคงค่าสัญญาณ (Sample and Hold) , การจัดระดับสัญญาณ (Quantization) , การเข้ารหัสสัญญาณเป็นดิจิทัล (Code) และสามารถทำการแปลงสัญญาณดิจิทัลที่ได้ให้กลับมาเป็นสัญญาณอนาลอกดั้งเดิม โดยมีขั้นตอนคร่าวๆดังนี้คือ การถอดรหัส , การกรองความถี่ต่ำผ่าน

ดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน เป็นการปรับปรุงคุณภาพให้ดีขึ้นกว่าพัลส์โค้ดมอดูเลชันธรรมดา โดยจะใช้ค่าผลต่างในการเข้ารหัส ซึ่งจะทำได้คุณภาพของสัญญาณที่ดีกว่า

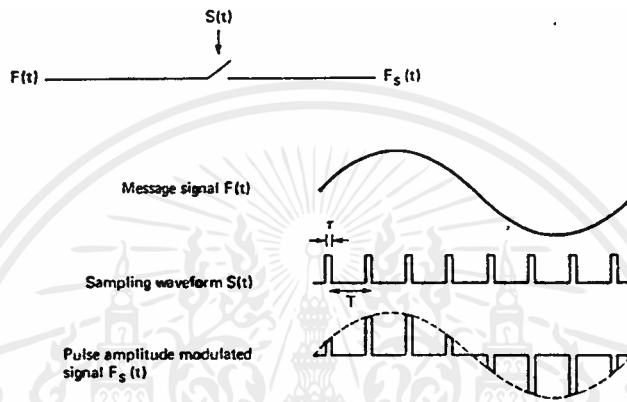
ในโครงการนี้ ได้ทำการศึกษาถึงหลักการของ พัลส์โค้ดมอดูเลชัน และได้ออกแบบสร้างวงจรดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน ในส่วนของภาคสัญญาณนาฬิกาที่ใช้ในการควบคุมการทำงาน ภาคของการเข้ารหัสสัญญาณและภาคของการถอดรหัสสัญญาณ ซึ่งได้ทำการวิเคราะห์สัญญาณที่จุดต่างๆ

บทที่ 2

ทฤษฎีและหลักการ

ระบบการเข้ารหัสแบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน (ดีพีซีเอ็ม)

พัลส์แอมพลิจูดมอดูเลชัน (Pulse Amplitude Modulation : PAM) เป็นตัวอย่างของระบบพัลส์มอดูเลชัน ขณะยังไม่มีการเข้ารหัส ซึ่งมีลักษณะของสัญญาณข้อมูลเหมือนกันแต่ต่างกันในขนาดของแอมพลิจูด และมีช่วงห่างของเวลาที่เท่ากันด้วย โดยที่ขนาดของสัญญาณจะเป็นสัดส่วนกับขนาดของสัญญาณ ณ เวลานั้น ซึ่งลักษณะของรูปแบบสัญญาณแสดงได้ดังรูปที่ 2-1



รูปที่ 2-1 แสดงขั้นตอนการสร้างสัญญาณพัลส์แอมพลิจูดมอดูเลชัน

เราสามารถเปลี่ยนข้อมูลให้อยู่ในรูปแบบอื่นๆ ได้เช่น พัลส์วีกท์มอดูเลชัน (Pulse Width Modulation : PWM) เป็นลักษณะการเปลี่ยนสัญญาณในรูปของความกว้างสัญญาณหรือ พัลส์โพสิชันมอดูเลชัน (Pulse Position Modulation : PPM) เป็นลักษณะของการเปลี่ยนสัญญาณให้อยู่ในรูปตำแหน่งของเวลา โดยจะเห็นว่ารูปแบบของสัญญาณที่ส่งไปทั้งสองแบบ จะไม่ขึ้นอยู่กับขนาดของแอมพลิจูดเลย

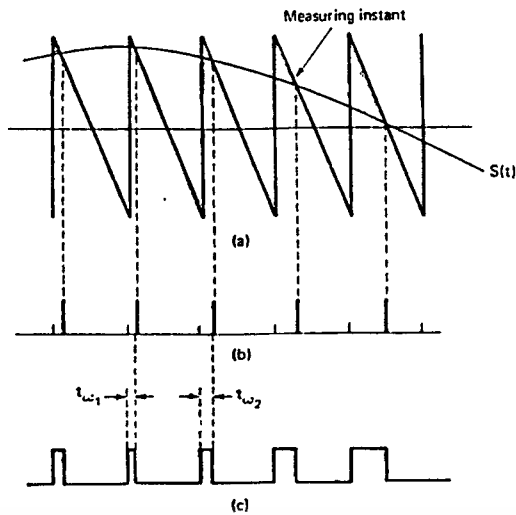
ขั้นตอนในการสร้างสัญญาณพัลส์วีกท์มอดูเลชัน และพัลส์โพสิชันมอดูเลชัน จะสามารถทำได้โดยการเปรียบเทียบสัญญาณอนาลอกที่เข้ามา กับสัญญาณรูปฟันเลื่อย ดังแสดงในรูป 2-2

เราจะพบว่า รูปแบบสัญญาณทั้งสามรูปแบบที่กล่าวมานี้ จะไม่ถูกใช้ในการส่งข้อมูลไปในระยะทางไกลๆ

พัลส์โค้ดมอดูเลชัน (Pulse Code Modulation : PCM) ซึ่งเป็นระบบพัลส์มอดูเลชันที่สำคัญในปัจจุบัน เราสามารถแยกการทำงานออกได้เป็นสามส่วนดังนี้

- 1 การสุ่มและคงค่าสัญญาณ (Sampling)
- 2 การเปรียบเทียบขนาดสัญญาณที่ได้กับระดับสัญญาณอ้างอิง (Quantizing)
- 3 การนำระดับสัญญาณที่ได้นั้นไปทำการเข้ารหัส (Coding)

ในระบบพัลส์โค้ดมอดูเลชันจะพบว่าค่าขนาดของสัญญาณจะถูกแทนด้วยพัลส์จำนวนหลายลูก ซึ่งจะต่างกับแบบพัลส์โพสิชันมอดูเลชัน และ พัลส์แอมพลิจูดมอดูเลชัน ที่ขนาดของสัญญาณจะถูกแทนด้วยพัลส์เพียงลูกเดียว ดังนั้นในระบบพัลส์โค้ดมอดูเลชัน จะมีการใช้แบนด์วิดท์ในการส่งที่กว้างกว่า แต่อย่างไรก็ตาม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-2a) แสดงสัญญาณอนาล็อกเปรียบเทียบกับสัญญาณฟันเลื่อย

b) แสดงรูปแบบสัญญาณ พัลส์โพสิชันมอดูเลชัน

c) แสดงรูปแบบสัญญาณ พัลส์วิดท์มอดูเลชัน

การบิดเบือนของสัญญาณนั้น จะไม่มีผลกับข้อมูลสัญญาณที่ส่งไป เพราะมันต้องการที่จะรู้เพียงแค่ว่า มีพัลส์หรือไม่มีเท่านั้น ในการที่จะทำการนำสัญญาณเดิมกลับคืนมา และข้อดีกว่านั้นการส่งแบบพัลส์โค้ดมอดูเลชัน จะไม่มีการสะสมสัญญาณรบกวน (Noise) เมื่อสัญญาณถูกรบกวนโดยสัญญาณรบกวนเมื่อนำไปผ่านกระบวนการสร้างใหม่ สัญญาณพัลส์โค้ดมอดูเลชันจะสามารถกำจัดสัญญาณรบกวนนี้ลงไปได้ ดังนั้นคุณภาพของการส่งสัญญาณแบบพัลส์โค้ดมอดูเลชันจะขึ้นอยู่กับ การสุ่ม และคงค่าสัญญาณ (Sampling & Hold) การเปรียบเทียบขนาดสัญญาณที่ได้กับระดับสัญญาณอ้างอิง (Quantizing) การนำระดับสัญญาณที่ได้นั้นไปทำการเข้ารหัส (Coding) โดยไม่มีผลกับความยาวของสายส่งหรือสัญญาณรบกวนที่เกิดขึ้น

ระบบที่พัฒนาจากระบบพัลส์โค้ดมอดูเลชันที่สำคัญอีกระบบหนึ่งคือ ดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน ซึ่งเราสามารถแยกการทำงานออกได้เป็นดังนี้

1. การสุ่มและคงค่าสัญญาณ (Sampling & Hold)
2. การเปรียบเทียบขนาดสัญญาณที่ได้กับระดับสัญญาณอ้างอิง (Quantizing)
3. การนำระดับสัญญาณที่ได้นั้นไปทำการเข้ารหัส (Coding)
4. การหาค่าสัญญาณผลต่าง (Difference Signal)
5. การนำสัญญาณผลต่างมาหาค่าทำนาย (Predictor)

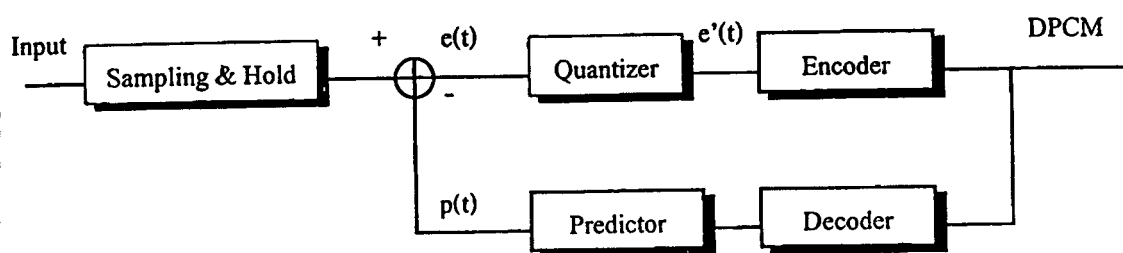
เราจะเห็นได้ว่า การทำงานของระบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันจะมีลักษณะคล้ายกันกับระบบพีซีเอ็ม ซึ่งจะต่างกันที่ระบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชัน จะใช้ค่าสัญญาณผลต่างมาทำการเข้ารหัส และที่ด้านถอดรหัสจะนำสัญญาณผลต่างนี้ มาหาค่าทำนายเพื่อให้ได้สัญญาณเดิมกลับคืนมา

ข้อดีของระบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันจะอยู่ที่การนำสัญญาณค่าผลต่างมาเข้ารหัส เนื่องจากว่าขนาดของสัญญาณค่าผลต่างนี้มีขนาดลดลงเมื่อเทียบกับสัญญาณอินพุต ดังนั้นการเข้ารหัสสัญญาณจะสามารถลดจำนวนบิตที่ใช้ในการเข้ารหัสได้ หรือถ้าจำนวนบิตในการเข้ารหัสเท่ากันแล้ว สัญญาณที่ได้จะมีความผิดพลาดน้อยลงจากข้อดีนี้ทำให้ระบบดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชันมีประสิทธิภาพในการใช้งานดีกว่าระบบพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

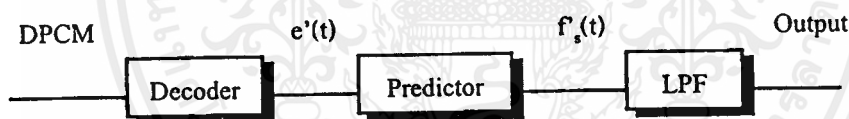
2.1 หลักการทำงานของระบบดีพีซีเอ็ม

การทำงานของระบบดีพีซีเอ็มสามารถแสดงได้ดังบล็อกไดอะแกรมดังนี้



รูปที่ 2-3 แสดงบล็อกไดอะแกรมของวงจรทางด้านเข้ารหัส

หลักการทำงานของภาคการเข้ารหัสแบบดีพีซีเอ็มสามารถแสดงได้ดังรูปที่ 2-3 โดยสัญญาณอนาลอกอินพุตจะถูกทำการสุ่มและคงค่าสัญญาณ จากนั้นสัญญาณที่ถูกสุ่มจะถูกนำไปทำการจัดระดับและแปลงระดับสัญญาณต่างๆเป็นรหัสสัญญาณดิจิทัล ซึ่งสัญญาณดิจิทัลส่วนหนึ่งจะถูกทำการแปลงกลับเป็นสัญญาณอนาลอก เพื่อจะทำการทำนายค่าสัญญาณเดิมกลับคืนมา สัญญาณค่าทำนายที่ได้จะถูกนำไปหาสัญญาณค่าผลต่างกับอินพุตที่เข้ามาใหม่ ซึ่งเราจะนำสัญญาณค่าผลต่างนี้ไปทำการเข้ารหัสสัญญาณดิจิทัล สัญญาณดิจิทัลที่ได้นี้คือสัญญาณดีพีซีเอ็ม



รูปที่ 2-4 แสดงบล็อกไดอะแกรมของวงจรทางด้านถอดรหัส

หลักการทำงานของภาคการถอดรหัสแบบดีพีซีเอ็มสามารถแสดงได้ดังรูปที่ 2-4 สัญญาณดีพีซีเอ็มจะถูกทำการแปลงกลับเป็นสัญญาณอนาลอก สัญญาณอนาลอกที่ได้นี้คือสัญญาณค่าผลต่างซึ่งเราจะนำสัญญาณค่าผลต่างนี้ไปทำการทำนายค่าสัญญาณอินพุตเดิมกลับคืนมา ซึ่งสัญญาณค่าทำนายจะทำการผ่านตัวกรองความถี่ต่ำผ่าน เพื่อให้ได้สัญญาณเอาท์พุทเหมือนกับสัญญาณอินพุทมากที่สุด

จากหลักการทำงานของระบบดีพีซีเอ็มดังกล่าวข้างต้นนี้ เราจะพิจารณารายละเอียดการทำงานของส่วนต่างๆที่สำคัญดังต่อไปนี้

2.1.1 การสุ่มและคงค่าสัญญาณ (Sampling & Hold)

2.1.1.1 แถบสัญญาณของการแซมปลิง (Sampling Spectra)

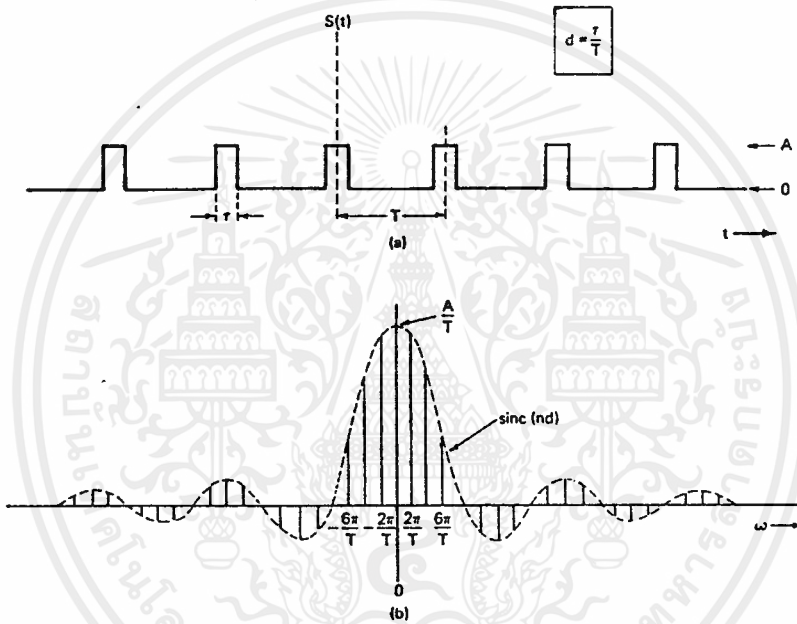
สมการทางคณิตศาสตร์ที่อธิบาย แถบความถี่ของช่วงสาร , สัญญาณการแซมปลิง เราสามารถแสดงได้ว่า สัญญาณที่ผ่านการแซมเบิ้ล $f_s(t)$ จะถูกแสดงด้วย $f(t)$ สัญญาณช่วงสาร และ $s(t)$ สัญญาณการแซมปลิง ดังสมการต่อไปนี้

$$f_s(t) = f(t) S(t) \tag{2.1}$$

โดยที่ $S(t)$ จะแสดงในรูปของขบวนอิมพัลส์ ดังรูปที่ 2-1 ซึ่งเป็นรูปสำหรับทางทฤษฎี ส่วนในทางปฏิบัติจะเป็นดังรูปที่ 2-5 a) ที่มีแอมพลิจูดเป็น A และมีคาบเป็น T ความกว้างพัลส์เป็น τ

$$S(t) = A \quad -T/2 < t < T/2$$

$$S(t) = 0 \quad T/2 < t < -T/2$$



รูปที่ 2-5 แสดงแถบสเปกตรัมของสัญญาณที่ทำการสุ่ม

- a) แสดงรูปร่างของสัญญาณสุ่ม
- b) แสดงแถบสเปกตรัมของสัญญาณที่ทำการสุ่ม
- c) แสดงลักษณะของ Sinc ฟังก์ชัน

รูปคลื่นของแถบความถี่นี้จะมีค่าแบบคิสิกกริต ด้วยค่า $\omega = 2\pi / T$ และมีความสูงเป็นสัดส่วนกับ

แอมพลิจูดของความถี่คิสิกกริต ดังรูปที่ 2-5 b) ทำการแปลง ฟูเรียร์จะได้สมการดังนี้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 S_n &= (1/T) \int_{-T/2}^{T/2} S(t) e^{-jn2\pi t/T} dt \\
 &= (-1/T) (AT/jn2\pi) [e^{-jn2\pi t/T}]_{-T/2}^{T/2} \\
 &= (A/n\pi) \sin(n\pi T/T)
 \end{aligned} \tag{2.2}$$

แทนค่าในตัวไอซาคิล $d = T/T$ ลงในสมการที่ 2.1

$$S_n = A/n\pi \sin(n\pi d)$$

ทำการจัดรูปสมการจะได้

$$\begin{aligned}
 S_n &= Ad [(\sin n\pi d)/n\pi d] \\
 &= Ad \operatorname{sinc}(nd)
 \end{aligned} \tag{2.3}$$

โดยที่รูปที่ 2-5 c) แสดงค่าของ Sinc ฟังก์ชัน (Sinc Function) ให้ $x = nd$ จะได้

$$S_n = Ad \operatorname{sinc}(x)$$

เราสามารถเขียน $S(t)$ ใหม่ได้เป็น

$$S(t) = \sum_{n=-\infty}^{\infty} S_n e^{jn2\pi t/T}$$

แต่เนื่องจาก $\omega_0 = 2\pi/T$ ดังนั้นเราจะได้ว่า

$$S(t) = \sum_{n=-\infty}^{\infty} S_n e^{jn\omega_0 t}$$

ทำการแปลงฟูเรียร์ จะได้ว่า

$$F\{s(t)\} = 2\pi \delta(\omega - n\omega_0) \tag{2.4}$$

จะได้สมการทั้งหมดเป็น

$$F\{s(t)\} = 2\pi Ad \sum_{n=-\infty}^{\infty} [(\sin n\pi d)/n\pi d] (\delta(\omega - n\omega_0)) \tag{2.5}$$

สมการนี้แสดงแถบความถี่ของ $s(t)$ และอิมพัลส์ที่ตำแหน่ง $\omega = 0, +\omega_0, -\omega_0, +2\omega_0, -2\omega_0, \dots$ และมีขนาดของแอมพลิจูดเป็น $2\pi Ad \operatorname{sinc}(nd)$

เราสามารถแสดง $f_s(t)$ โดยใช้ทฤษฎีของการคอนโวลูชันได้ดังนี้

$$F_s(\omega) = (1/2\pi) F(\omega) * S(\omega) \tag{2.6}$$

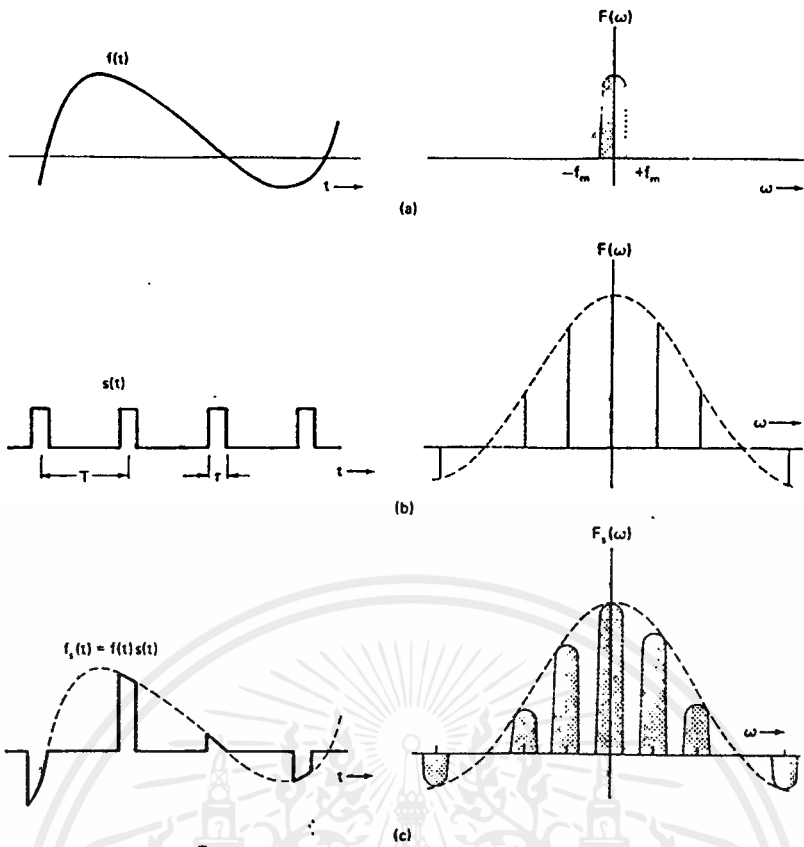
ดังนั้นจะได้ว่า

$$F_s(\omega) = (1/2\pi) 2\pi Ad F(\omega) * \sum_{n=-\infty}^{\infty} [(\sin n\pi d)/n\pi d] \delta(\omega - n\omega_0) \tag{2.7}$$

ซึ่งสามารถแสดงได้ด้วยรูปที่ 2-6 c)

2.1.1.2 ทฤษฎีของการแซมปลิง (Sampling Theory)

ถ้าสัญญาณ $f(t)$ มีความถี่สูงสุดเป็น f_m Hz ถ้าเราทำการแซมปลิงด้วยอัตรา 2 เท่า หรือ มากกว่าความถี่สูงสุด f_m Hz ของสัญญาณอนาล็อกแล้ว จะสามารถทำให้สัญญาณเดิมนั้นกลับคืนมาได้ เนื่องจากสัญญาณเสียง



รูปที่ 2-6 แสดงรูปคลื่นและแถบความถี่ในการส่ง

- a) รูปร่างของสัญญาณข้อมูล
- b) รูปร่างของสัญญาณที่ใช้ส่ง
- c) สัญญาณพัลส์แอมพลิจูดมอดูเลชัน

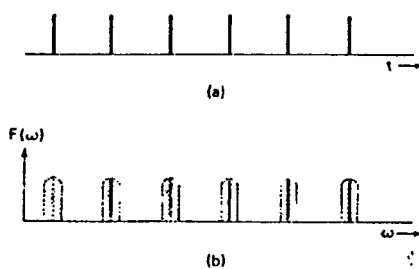
ที่เราใช้กันอยู่ในระบบโทรศัพท์ถูกจำกัดให้มีความถี่ระหว่าง 0.3 - 3.4 kHz ซึ่งตามทฤษฎีต้องมีอัตราการแซมปลิงเป็น 6.8 kHz แต่ในทางปฏิบัติเราจะใช้ที่ 8 kHz (125 μs)

ในกระบวนการแซมปลิงการที่จะมีผลดีจะต้องมีเงื่อนไขดังนี้

- 1) สัญญาณอินพุตต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f_m Hz
- 2) ขบวนการพัลส์ที่ใช้ในการแซมปลิงจะต้องเป็นอิมพัลส์ที่กว้าง 0 และมีแอมพลิจูดเป็นอนันต์
- 3) ทางด้านรับจะต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติซึ่งยอมให้ความถี่ต่ำกว่า f_m Hz ผ่านได้หมด

แต่ในทางปฏิบัติไม่สามารถทำตามเงื่อนไขดังกล่าวได้ทำให้เกิดความพหุเพี้ยนขึ้นพิจารณา

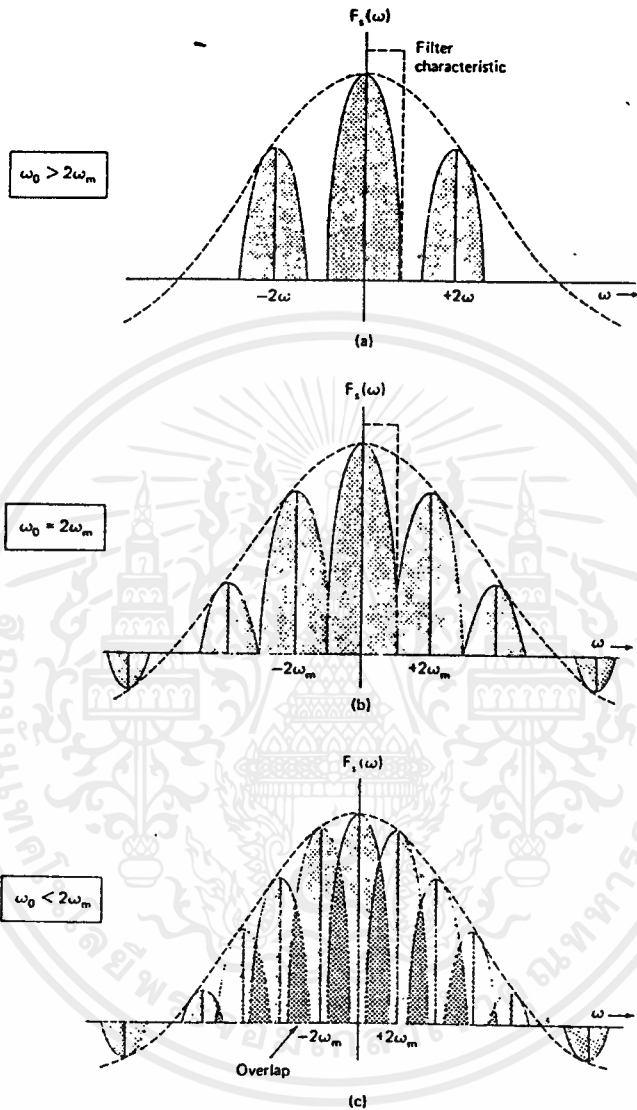
จากรูปที่ 2-7 แสดงการเปรียบเทียบสัญญาณสุ่มค่าในทางทฤษฎีกับในทางปฏิบัติ



รูปที่ 2-7 a) แสดงสัญญาณสุ่มค่าในทางอุดมคติและ 2-7 b) แสดงสัญญาณสุ่มค่าในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แถบความถี่ของสัญญาณข้อมูลจะเกิดขึ้นซ้ำๆกันที่ระยะห่างเท่าๆกัน ω_0 ซึ่งอยู่ภายในของสัญญาณสุ่ม ค่า $F_s(\omega)$ ดังแสดงในรูป 2-6 c) แถบของความถี่จะมีค่าซ้ำๆ โดยที่ไม่มีการซ้อนทับกันนั่นคือ $\omega_0 \geq 2\omega_m$ ดังแสดงได้ในรูปที่ 2-8



รูปที่ 2-8 แสดงแถบความถี่ของการสุ่มที่อัตราสุ่มต่างๆ

- อัตราการสุ่มมากกว่าอัตราในควิสท์
- อัตราการสุ่มเท่ากับอัตราในควิสท์
- อัตราการสุ่มน้อยกว่าอัตราในควิสท์

พบว่าถ้า $\omega_0 \geq 2\omega_m$ นั่นคือ แถบความถี่จะถูกแยกออกจากกันด้วยระยะห่างซึ่งปรากฏให้เห็นในรูป 2-8 a) ซึ่งในกรณีนี้เราสามารถที่จะนำสัญญาณรูปเดิมกลับคืนมาได้โดยการทำการกรองเอาความถี่ด้านบวกออกมา ซึ่งข้อมูลที่สมบูรณ์ที่เหมือนกับต้นฉบับจะสามารถสร้างกลับคืนมาได้จากแต่ละแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในกรณีที่ $\omega_0 = 2\omega_m$ ก็ยังพอเป็นไปได้ในการที่จะนำสัญญาณเดิมนั้นคืนกลับมา โดยการทำการกรองความถี่ที่ด้านใดด้านหนึ่ง นี่เป็นเงื่อนไขที่แย่มากที่สุดแล้ว ดังแสดงได้ในรูปที่ 2-8 b)

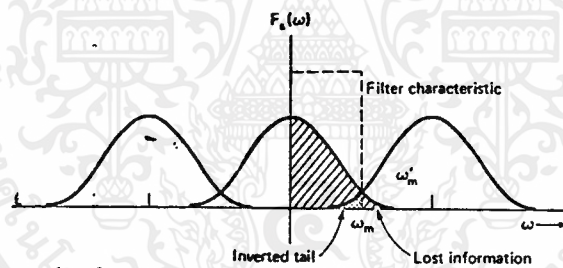
ในกรณีที่ $\omega_0 < 2\omega_m$ จากรูปเราจะพบว่า แถบความถี่นั้นได้เกิดการซ้อนทับกันขึ้น ซึ่งการที่เราจะนำสัญญาณเดิมนั้นคืนมานั้นพบว่า ไม่มีทางเป็นไปได้เลย

ดังนั้นอัตราการสุ่มสัญญาณที่น้อยที่สุดที่เป็นไปได้ ที่จะนำสัญญาณเดิมนั้นคืนมาได้ นั้นต้องมีค่าน้อยเท่ากับ $2f_m$ เราจะเรียกจุดนี้ว่า “ จุดวิกฤตของการสุ่ม ” (Critical Sampling Rate or Nyquist Rate) ซึ่งในทางปฏิบัติแล้ว เราจะทำการสุ่มสัญญาณด้วยอัตราการสุ่มที่สูงกว่าจุดวิกฤตของการสุ่ม เพื่อที่จะได้มีช่วงห่างของระหว่างความถี่ที่มาก

ในการส่งสัญญาณทางโทรศัพท์ที่มีความถี่อยู่ในช่วง 3.4 kHz ดังนั้น จุดวิกฤตของการสุ่มก็จะอยู่ที่ค่า 6.8 kHz แต่ในทางปฏิบัติเราจะทำการสุ่มด้วยความถี่ 8 kHz

2.1.1.3 ความพร่าเพี้ยนที่เกิดจากแถบคลื่นซ้อนกัน (Intersymbol Interference)

เมื่ออัตราการแซมเปิลมีค่า $f_s < 2 f_m$ จะทำให้เกิดการซ้อนทับกันของแถบความถี่นั้นคือการที่เราจะนำสัญญาณรูปเดิมกลับมานั้นเป็นไปได้ แต่ถ้าการทับกันเกิดขึ้นเพียงเล็กน้อยนั้น สัญญาณที่สร้างกลับขึ้นมาใหม่จะได้คืนมาแต่จะมีคุณภาพที่แยกลง เรียก Alaising Error



รูปที่ 2-9 แสดงลักษณะของความเพี้ยนที่เกิดจากแถบคลื่นซ้อนกัน

2.1.2 การจัดระดับสัญญาณ (Quantization)

ในการแปลงข้อมูลจากอานาลอกเป็นดิจิตอลนั้น เราจะนำสัญญาณที่ได้จากการสุ่มและคงค่าสัญญาณมาทำการจัดระดับ เพื่อให้ใกล้เคียงกับระดับแรงดันที่อ้างอิงที่กำหนดไว้ที่สุด ซึ่งเราจะเรียกกระบวนการนี้ว่าการควอนไทซ์ (Quantization)

2.1.2.1 การควอนไทซ์ในการเปลี่ยนจากสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Conversion - Quantization)

ในหัวข้อต่อไปนี้เป็นหัวข้อสำหรับการควอนไทซ์ (Quantization) ซึ่งเป็นกระบวนการของการประมาณค่าของตัวอย่างสัญญาณข่าวสาร ให้ใกล้เคียงระดับแรงดันอ้างอิงที่กำหนดไว้ที่สุด ค่าความผิดพลาดที่เกิดขึ้นจากการประมาณค่าเรียกว่า ควอนไทซ์อิงเออร์ (Quantizing Error) และ ควอนไทซ์อิงเออร์ (Quantizing Error) เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise) ซึ่งตามปกติแล้วจะเป็นสาเหตุหลักของการผิดพลาดในระบบการส่งแบบ DPCM ดังนั้นค่าอัตราส่วนสัญญาณต่อควอนไทซ์ซึ่งน้อยจะถูกพิจารณา

ในหัวข้อต่อไปนี้จะทำการแบ่งหัวข้อต่างๆออกอย่างชัดเจน ซึ่งแต่ละหัวข้อจะประกอบด้วยหัวข้อย่อยๆในหลายกรณีด้วยกัน

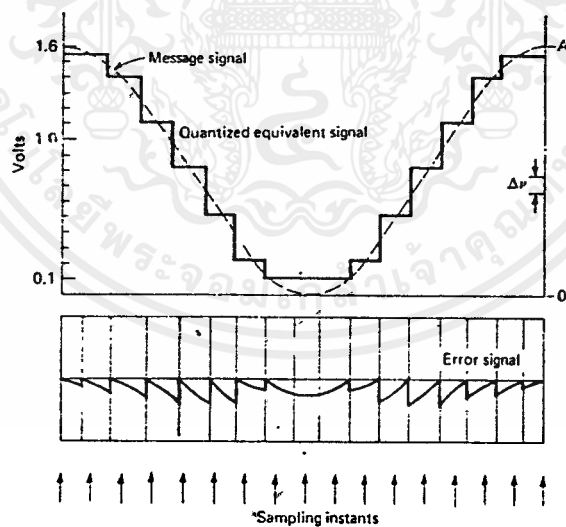
ในหัวข้อแรกนี้เป็นการแนะนำเบื้องต้นสำหรับปัญหา และแสดงเงื่อนไขของการคำนวณที่จำเป็น ซึ่งเราพิจารณาในเชิงทฤษฎีของระบบการส่งแบบ DPCM และพิสูจน์ได้ว่าระบบรหัสสามารถเปลี่ยนแปลงค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน ด้วยการปรับแบนด์วิดท์ที่มีประสิทธิภาพสูงที่สุด

ในหัวข้อที่สองและสามอธิบายถึงระบบการควอนไทซ์ ซึ่งต้องคำนึงถึงคุณสมบัติของเสียงพูด และจะมีการอ้างอิงถึงระบบที่ผลิตขึ้นและนิยมใช้อย่างมากในทุกวันนี้

2.1.2.2 การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantization)

สมมติว่าสัญญาณข่าวสารสามารถแทนได้ด้วยค่าแอมพลิจูดของแรงดันด้วยค่าระหว่าง 0 และ A โวลต์ ในแต่ละระดับของสัญญาณ จะมีค่าขนาดต่างกัน Δv โวลต์ โดยให้จำนวนของระดับทั้งหมดเป็น S ซึ่งจะสามารถแสดงได้ดังรูป 2-10 โดยสัญญาณตัวอย่างมีค่า 1.6 โวลต์, Δv มีค่า 0.1 โวลต์ และ S มีค่า 16

จากโคแอสแกรมแสดงให้เห็นถึงรูปร่าง และ ขนาดของสัญญาณข่าวสาร ซึ่งอาจจะถูกนำไปด้วยการประมาณค่ารูปร่างสัญญาณ ด้วยวิธีขั้นบันได (Staircase) ซึ่งสัญญาณจะไม่มีเปลี่ยนแปลง หรือเปลี่ยนแปลงอย่างกะทันหัน โดยมีค่าเท่ากับระดับการควอนไทซ์หนึ่งระดับหรือมากกว่านั้น โดยแต่ละระดับมีขนาด Δv โวลต์



รูปที่ 2-10 แสดงการควอนไทซ์แบบยูนิฟอร์มของสัญญาณรูป Sine

เนื่องจากขนาดของระดับ Δv เป็นค่าคงที่ทั้งหมดในช่วงของแอมพลิจูดที่ถูกกำหนด ซึ่งเราจะเรียกสัญญาณนี้ว่าการควอนไทซ์แบบยูนิฟอร์ม เราอาจจะพบในภายหลังว่าจะมีระบบที่ซับซ้อนมากกว่านี้ ซึ่งมีขนาดของระดับขึ้นอยู่กับระดับแอมพลิจูดของสัญญาณตัวอย่าง อย่างไรก็ตามในหัวข้อนี้ทั้งหมดเราจะพิจารณาด้วยค่า Δv ด้วยค่าที่คงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2.3 สัญญาณรบกวนเนื่องจากการควอนไทซ์ (Quantization Noise)

ถ้าเราย้อนกลับไปดูรูปที่ 2-10 เราจะเห็นว่ามีการแนะนำค่าความผิดพลาดอยู่อย่างมากมาย ระหว่างสัญญาณข่าวสารต้นแบบและสัญญาณข่าวสารที่ถูกควอนไทซ์

ในทางปฏิบัติแล้ว ในกรณีของการส่งสัญญาณเสียง ความผิดพลาดนี้จะเป็นสาเหตุของเสียงรบกวนเบื้องต้นที่ติดต่อกัน ถ้าในระบบการส่งสัญญาณโทรทัศน ความผิดพลาดจะเป็นสาเหตุที่ทำให้จำนวนของเกรย์โทน (Gray Tone) ซึ่งเกิดขึ้นระหว่างสีดำและสีขาวถูกจำกัดในขณะที่ภาพปรากฏด้วยสัญญาณรบกวนนี้

การประมาณค่า อาจจะถูกปรับปรุงโดยการลดระดับของขนาด Δv ดังนั้นจะเป็นการเพิ่มจำนวนของขั้น S ซึ่งเกิดขึ้นระหว่าง 0 ถึง A โวลต์ ซึ่งผลที่เกิดขึ้นในตอนหลังจะแสดงถึงค่า Δv ซึ่งถูกลดลงอย่างเพียงพอจนหูและตาของมนุษย์ไม่สามารถแยกแยะความแตกต่างระหว่างสัญญาณต้นแบบและสัญญาณควอนไทซ์

ในโคเดแกรมแสดงระดับการควอนไทซ์ 16 ระดับ ในทางปฏิบัติแล้วจำนวนระดับน้อยๆนั้นจะแสดงให้เห็นถึงการประมาณค่าที่แย่งของสัญญาณข่าวสาร การทดสอบเพื่อพิสูจน์ว่าคุณภาพเสียงของโทรทัศนในสตูดิโอสามารถใช้ 128 ระดับ ในขณะที่สามารถได้ยินชัดเจนโดยใช้เพียงแค่ 8 ถึง 16 ระดับ ซึ่งในความเป็นจริงแล้วระดับการควอนไทซ์ 2 ระดับของเสียงนั้นเป็นการยากที่จะเข้าใจ

ส่วนสำคัญของการทดสอบถูกปรับปรุงหลายครั้งในระหว่างการออกแบบระบบของอุปกรณ์ อย่างไรก็ตามการทดสอบไม่เป็นจริงเสมอไป และเนื่องจากเหตุผลนี้ตามปกติแล้วจะใช้วิธีที่ง่ายกว่าคือ การคำนวณและการวัดค่าพารามิเตอร์ต่างๆ เพื่อการออกแบบค่าระดับต่ำของพารามิเตอร์นี้ จะถูกพิจารณาเสมอโดยการทดสอบอย่างเชี่ยวชาญ

บ่อยครั้ง จะถูกใช้รูปแบบพารามิเตอร์ เป็นค่าเฉลี่ยของการรบกวนเนื่องจากการควอนไทซ์ยกกำลังสอง $E^2(t)$ เราจะใช้พารามิเตอร์นี้ เป็นตัววัดของการลดระดับ ระหว่างการประเมินค่าของระบบที่มีการควอนไทซ์ต่างกัน ถ้า e แสดงถึงความแตกต่างของแอมพลิจูด ระหว่างสัญญาณจริง และ สัญญาณควอนไทซ์เสมือนของมันแล้วค่าเฉลี่ยของการรบกวนเนื่องจากการควอนไทซ์อาจจะแสดงในเทอมของ Δv ซึ่งจะแสดงได้ดังนี้

เนื่องจากระดับเป็น Δv โวลต์ ค่า e ต้องมีค่าอยู่ระหว่าง $-\Delta v/2$ และ $\Delta v/2$ ระดับของการควอนไทซ์ Δv อาจจะถูกแบ่งในตัวของมันเองภายใน x ที่เพิ่มขึ้นอย่างน้อยๆ แต่สะดวกกว่า $\Delta v/x$ โวลต์ เราอาจจะสมมติว่า e อาจเป็นสาเหตุที่ทำให้เกิดความน่าจะเป็นในช่วง $-\Delta v/2$ ถึง $\Delta v/2$ และดังนั้นที่แต่ละส่วนแบ่งย่อย จะมีค่า $\Delta v/x$

ถ้า e มีค่าเท่ากับความน่าจะเป็นที่ $0, \Delta v/x, 2\Delta v/x, \dots, n\Delta v/x, \dots, \Delta v/2$ ดังนั้น

$$e^2 = \int e^2 p(e) de \quad (2.8)$$

เมื่อ $p(e)$ เป็นฟังก์ชันความหนาแน่นของความน่าจะเป็นของ e โดยให้

$$p(e) = 1/\Delta v \quad \text{เมื่อ } -\Delta v/2 < e < \Delta v/2$$

$$p(e) = 0 \quad \text{เมื่ออยู่นอกเหนือจากช่วงที่กำหนด}$$

โดยการแทนลงในสมการ 2.8

$$e^2 = (\Delta v)^2 / 12 \quad (2.9)$$

อย่างไรก็ตาม สัญญาณข่าวสารถูกจำกัดช่วง และถูกแสดงที่อัตราที่คี่ที่สุดที่มากกว่าหรือเท่ากับอัตราในควิสท์ (Nyquist Rate) ค่าเฉลี่ยกำลังสองของสัญญาณที่ผิดพลาด $E(t)$ เป็นค่าเสมือนของค่าเฉลี่ยกำลังสองของสัญญาณสุ่ม e ดังนั้นสมการ 2.9 สามารถเขียนได้ด้วย

$$E^2(t) = (\Delta v)^2 / 12 \quad (2.10)$$

อย่างไรก็ตามธรรมดาแล้วเราอาจจะพิจารณากำลังของสัญญาณรบกวนเนื่องจากการควอนไทซ์ (N_0) สมมูลกับค่าเฉลี่ยกำลังสองของระดับแรงดันที่ต่างกันของสัญญาณรบกวน ดังนั้นจะได้ว่า

$$N_0 = (\Delta v)^2 / 12 \quad (2.11)$$

2.1.2.4 ความผิดพลาดของสัญญาณ (The Error Signal)

ในตอนนี้เราจะพิจารณาเงื่อนไขของความผิดพลาดของสัญญาณเนื่องจากการควอนไทซ์ จากทฤษฎีของการแซมปลิง ข่าวสารที่สมบูรณ์ที่เกี่ยวกับสัญญาณข่าวสาร $f(t)$ จะถูกนำไปโดยค่าสุ่มของมัน จากข้อกำหนดที่ว่า อัตราการสุ่มต้องมีค่ามากกว่าหรือเท่ากับอัตราในควิสท์ ω_m^2 สัญญาณที่สุ่ม $f_s(t)$ แสดงได้โดย

$$f_s(t) = \sum f_n \delta(t - nT)$$

เมื่อ f_n เป็นค่าสุ่มที่ n ของสัญญาณข่าวสาร $f(t)$

สัญญาณข่าวสาร $f(t)$ จะถูกนำกลับมาได้โดยการกรองสัญญาณ $f_s(t)$ และการกดสเปกตรัมองค์ประกอบทั้งหมดที่อยู่เหนือความถี่คutoffของฟิลเตอร์ ω_m ดังนั้นสัญญาณข่าวสารจะขึ้นอยู่กับเวลาของ $f_s(t)$ และคุณสมบัติของฟิลเตอร์ ถ้าเราสมมติว่าเป็นโลว์พาสฟิลเตอร์ตามอุดมคติแล้ว จะได้ทรานสเฟอร์ฟังก์ชันเป็นรูปสามเหลี่ยมดังนี้

$$f(t) = \sum f_n \delta(t - nT) \times (\sin(\omega_m t) / \omega_m t)$$

โดยทฤษฎีคอนโวลูชันจะได้ว่า

$$f(t) = \sum f_n \text{sinc}(\omega_m t / \pi - n) \quad (2.12)$$

อย่างไรก็ตามสัญญาณสุ่มที่ได้กลับคืนมา f_n จะอยู่ในความผิดพลาดทั้งหมดเนื่องจากกระบวนการควอนไทซ์ สัญญาณข่าวสารที่ได้รับกลับมา $f'(t)$ แสดงได้โดย

$$f'(t) = \sum f'_n \text{sinc}(\omega_m t / \pi - n) \quad (2.13)$$

ดังนั้นสัญญาณผิดพลาด $e(t)$ แสดงได้โดย

$$\begin{aligned} e(t) &= f(t) - f'(t) \\ &= \sum (f_n - f'_n) \text{sinc}(\omega_m t / \pi - n) \end{aligned}$$

อย่างไรก็ตามค่าผิดพลาดขณะใดขณะหนึ่งมีค่า $e_n = f_n - f'_n$ ดังนั้น

$$e(t) = \sum e_n \text{sinc}(\omega_m t / \pi - n) \quad (2.14)$$

ผลที่ได้นี้วัดจากองค์ประกอบของสเปกตรัมของสัญญาณรบกวนเนื่องจากการควอนไทซ์เพียงในช่วงที่จำกัดของสัญญาณข่าวสาร ดังนั้นมันจึงมีเหตุผลเพียงพอที่จะพิจารณาว่า สัญญาณรบกวนเนื่องจากการควอนไทซ์ทั้งหมดที่ถูกแสดงโดยสมการ 2.11 ถูกนำมาพิจารณาเบสแบนด์ของสัญญาณข่าวสารซึ่งจะนำไปสู่บทสรุปที่สำคัญ

สมการ 2.14 แสดงให้เห็นสำหรับสัญญาณข่าวสารที่ทำนายได้ ความถี่พื้นฐานของสัญญาณรบกวนที่สมมูลกับสัญญาณข่าวสาร สเปกตรัมของสัญญาณรบกวนทั้งสองของสัญญาณข่าวสารที่ทำนายได้ จะเกิดเป็นอนุกรมฮาร์โมนิกภายในช่วงที่กำหนดของสัญญาณข่าวสาร

อย่างไรก็ตาม การวิเคราะห์สัญญาณจากการทำนายไม่ได้ประโยชน์มากนัก เนื่องจากผลที่ได้เป็นเพียงกรณีเฉพาะที่ถูกพิจารณาโดยไม่มีสิ่งอื่นๆ สำหรับเหตุผลนี้ W.R.Bennett ได้สมมติว่า สัญญาณแรนดัมในช่วงที่ถูกจำกัด เนื่องจากได้บรรจุชนิดของผลลัพธ์ที่แท้จริง แต่การได้มาของผลลัพธ์เช่นนี้เป็นอะไรบางอย่างที่ไม่มีความสัมพันธ์กัน

มันเป็นการง่ายที่จะพิจารณาผลของเอาต์พุตจากโลว์พาสฟิลเตอร์ในอุดมคติบนเอาต์พุตสเปกตรัมของสัญญาณรบกวน ทรานสเฟอร์ฟังก์ชันของเอาต์พุตของฟิลเตอร์ จะจำกัดสัญญาณแบนด์ในขอบเขตที่น้อยกว่าครึ่งหนึ่งของอัตราสุ่ม เนื่องจากสาเหตุนี้จะเป็นการลดกำลังของสัญญาณรบกวน อย่างไรก็ตามในทางปฏิบัติแล้วจะมีค่าไม่เกิน 1 dB

2.1.2.5 การควอนไทซ์แบบนอนยูนิฟอร์ม (Nonuniform Quantization)

ในหัวข้อก่อนนี้ เราจะพิจารณาในกรณีของการควอนไทซ์ โดยการคงค่าระดับขึ้นให้มีค่า Δ_v เพิ่มขึ้นจากสมการ 2.11 เราจะได้ว่ากำลังของสัญญาณรบกวนเนื่องจากการควอนไทซ์มีค่าสมมูลกับ $(\Delta_v/12)^2$ แสดงว่ามีค่าเท่ากับ ความน่าจะเป็นของสิ่งที่เกิดขึ้นสำหรับค่าของแอมพลิจูดบางค่าในช่วงที่จำกัด เราอาจจะพิจารณาความเป็นไปได้ของการลดลงของขนาดของสัญญาณรบกวนนี้

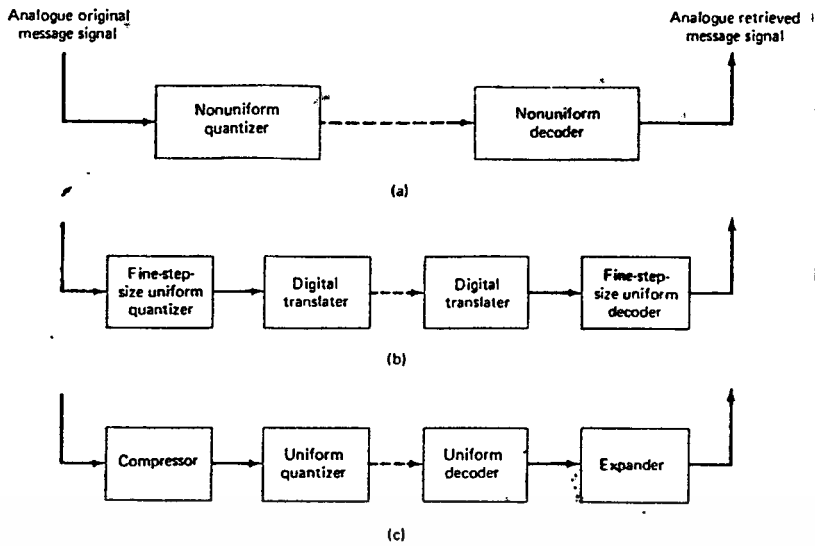
ถ้าเรายกตัวอย่างสาเหตุของความผิดพลาดที่แสดงในรูป 2-10 จะมีวิธีการ 2 วิธี ในการลดกำลังสัญญาณรบกวนซึ่งจะถูกแนะนำในตัวของมันเอง จะเห็นได้ชัดว่าสัญญาณรบกวนจะถูกลดลงโดยการทำอย่างง่าย โดยให้ระดับการควอนไทซ์ Δ_v มีค่าน้อยลง ในทำนองเดียวกันนั้นสัญญาณข่าวสารอาจจะถูกเพิ่มอัตราสุ่มซึ่งบางครั้งอาจมีค่ามากกว่าอัตราในควิสท์ แต่ทั้งสองวิธีที่ใช้ในการแก้ปัญหานี้ต้องการแบนด์วิดท์ในการส่งที่เพิ่มขึ้นเพื่อลดกำลังของสัญญาณรบกวนลงได้เพียงเล็กน้อย

วิธีที่สามในการลดสัญญาณรบกวน ทำได้โดยให้สัญญาณข่าวสารคงที่ ความน่าจะเป็นของการกระจายของแอมพลิจูดของสัญญาณข่าวสาร ถ้าเป็นแบบยูนิฟอร์มจะสมมติให้มีการแสดงดังสมการ 2.11 ในสัญญาณเสียงพูดซึ่งเราจะพิจารณา ความน่าจะเป็นของสิ่งที่เกิดขึ้นของแอมพลิจูดค่าน้อยๆมีค่ามากกว่าค่ามากๆ ซึ่งในความเป็นจริงแล้วการทดลองได้แสดงให้เห็นว่า ความน่าจะเป็นของการกระจายของแอมพลิจูดสัญญาณเสียงจะประมาณค่าเป็นเอ็กซ์โพเนนเชียล ซึ่งคล้ายกับระดับการควอนไทซ์ในแอมพลิจูดเล็กๆ โดยมาก และเพียงส่วนน้อยของแอมพลิจูดขนาดใหญ่ ในกรณีนี้แสดงให้เห็นถึงจำนวนทั้งหมดของระดับที่ยังคงไม่เปลี่ยนแปลง ไม่มีการเพิ่มขึ้นของแบนด์วิดท์ที่ใช้ในการส่ง วิธีนี้เราเรียกว่าการควอนไทซ์แบบนอนยูนิฟอร์ม

2.1.2.6 ข้อกำหนดของการควอนไทซ์แบบนอนยูนิฟอร์ม (Implementation of Nonuniform Quantization)

อุปกรณ์ที่ใช้งาน ในการเปลี่ยนแปลงค่าระดับมีอยู่หลายแบบด้วยกัน ดังแสดงไว้ในรูปที่ 2-11 ซึ่งอุปกรณ์จะถูกจัดตามระดับควอนไทซ์ของการเปลี่ยนแปลงโดยตรง

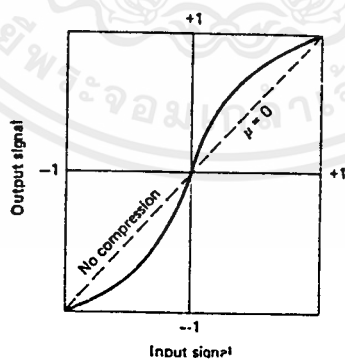
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-11 แสดงถึงบล็อกไดอะแกรมของการควอนไทซ์แบบอนูนิฟอร์ม

สัญญาณข่าวสาร อาจจะถูกควอนไทซ์อย่างอนูนิฟอร์ม โดยการใชัระดับการควอนไทซ์คงที่ซึ่งมีค่าน้อยมากกว่าช่วงทั้งหมดของแอมพลิจูดที่เป็นไปได้ ผลที่ได้จากค่าควอนไทซ์จะถูกทำให้เป็นรหัสดิจิทัล ซึ่งจะถูกเปลี่ยนแปลงโดยการเปลี่ยนเป็นรหัสซึ่งแสดงถึงตำแหน่งระดับแบบอนูนิฟอร์ม

ในวิธีที่สามนี้ อุปกรณ์ที่ให้สัญญาณผ่านนั้น จะต้องเป็นแบบไม่เชิงเส้นซึ่งเรียกว่า คอมเพรสเซอร์ (Compressor) ซึ่งมีทรานสเฟอร์ฟังก์ชันของอินพุตกับเอาต์พุตดังรูป 2-12 การกระจายแอมพลิจูดของสัญญาณที่ถูกปรับปรุ้งแล้ว และลดทอนสัญญาณที่มีแอมพลิจูดขนาดใหญ่ สัญญาณที่ถูกคอมเพรสชั่น จะถูกควอนไทซ์แบบอนูนิฟอร์ม เพื่อที่จะสร้างสัญญาณควอนไทซ์แบบอนูนิฟอร์ม ซึ่งการกระทำโดยวิธีนี้เรียกว่า การคอมเพนดิง (Companding) โดยวงจรที่มีทรานสเฟอร์ฟังก์ชัน ซึ่งกลับกันกับคอมเพรสเซอร์ จะถูกใส่เข้าไปในค่านรับเพื่อที่จะทำให้ได้สัญญาณเดิมกลับมาเรียกว่า เอ็กซ์แพนเดอร์ (Expander)



รูปที่ 2-12 แสดงคุณสมบัติในการกดของการคอมเพนดิงโดย μ -law

2.1.2.7 กฎของการคอมเพนดิง (Companding Laws)

การเปลี่ยนแปลงค่าขนาดของระดับ กับแอมพลิจูดของสัญญาณ ซึ่งมีการเปลี่ยนแปลงแบบอนูนิฟอร์มถูกใช้โดยกฎของการคอมเพนดิง ซึ่งกฎนี้มีรูปร่างของโค้งดังรูปที่ 2-12 และถูกเลือกให้พอดีกับข่าวสารที่คงที่ภายในขอบเขตที่จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณทั้งด้านบวกและด้านลบต้องเท่ากัน ดังนั้นโค้งของการคอมแพนดต้องสมมาตรกันและผ่านจุดออริจินดังรูป 2-12 ส่วนของโค้งของการคอมแพนด ซึ่งสัมพันธ์กับแอมพลิจูดค่าน้อยๆ จะอยู่บริเวณตรงกลางซึ่งจะมีความชันค่อนข้างสูง เมื่อเปรียบเทียบกับการควอนไทซ์แบบยูนิฟอร์ม อัตราส่วนของความชันของสองเส้นเรียกว่า ค่าแห่งที่ได้เปรียบของการคอมแพนด (Companding Advantage).

กฎของการคอมแพนดที่รู้จักกันดีที่สุดคือ กฎของ μ ซึ่งอธิบายโดย B.Smith ในปี 1957 ซึ่งอยู่ในรูปแบบของลอการิทึม และแสดงความสัมพันธ์ได้ดังนี้

$$V_c = [a \log (1 + \mu V_i / a)] / \log (1 + \mu) \quad \text{สำหรับ } 0 \leq V_i \leq a \quad (2.15a)$$

$$V_c = [-a \log (1 - \mu V_i / a)] / \log (1 + \mu) \quad \text{สำหรับ } -a \leq V_i \leq 0 \quad (2.15b)$$

เมื่อ V_i = แอมพลิจูดของสัญญาณอินพุท (โวลท์)
 V_c = แอมพลิจูดของสัญญาณที่ถูกคอมเพรส (โวลท์)
 ขอบเขตของการทำงานแสดงด้วยค่าของ a ซึ่งมีค่าดังนี้

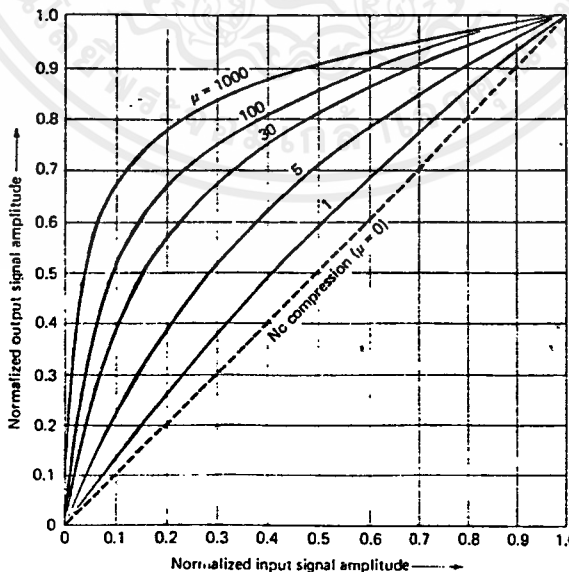
$$(V_c)_{V_i = a} = a$$

ระดับของการคอมเพรสอาจจะมีค่าเปลี่ยนแปลงไปเนื่องจากค่าของ μ ดังแสดงในรูป 2-13 ค่าของ V_c และ V_i จะเป็นค่านอร์มอลไลซ์ ซึ่งจะมีค่าอยู่ในช่วง 0 ถึง +1 เพื่อเป็นการง่ายจะพิจารณาค่านอร์มอลไลซ์ช่วงบวกเท่านั้น

ดังนั้นสมการของกฎของ μ ตามสมการ 2.15 จะสามารถเขียนใหม่ได้เป็น

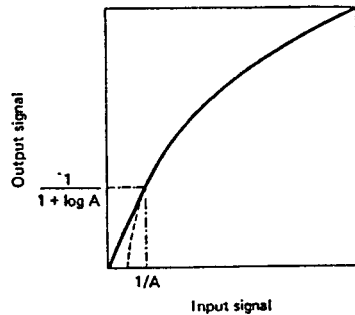
$$V_c = \log (1 + \mu V_i) / \log (1 + \mu) \quad (2.16)$$

รูปร่างของเส้นโค้งของสมการ 2.16 เป็นลอการิทึมสำหรับค่า V_i ที่มีค่ามาก อย่างไรก็ตามสำหรับค่าสัญญาณอินพุทที่มีค่าน้อยๆแล้ว เส้นโค้งจะมีค่าใกล้เคียงแบบเชิงเส้น ดังนั้น V_c และ V_i จะเป็นสัดส่วนซึ่งกันและกันโดยตรง ในทางปฏิบัติแล้วนิยมใช้ค่าของ $\mu = 100$



รูปที่ 2-13 แสดงการคอมเพรสสัญญาณ โดยใช้ μ -law สำหรับค่าของ μ ต่างๆกัน

กฎของการคอมแพนดที่ที่สำคัญ และนิยมใช้อีกอันหนึ่งคือ กฎของ A (A-Law) ซึ่งเสนอโดย K.W.Cattermole ในปี 1962 แสดงดังรูป 2-14



รูปที่ 2-14 แสดงการคอมเพรสโดยใช้ A-law

ค่าของสมการที่ถูกลอแล้วของกฎของ A สามารถแสดงได้ดังนี้

$$V_c = AV_i / (1 + \log A) \quad \text{สำหรับ } 0 \leq V_i \leq 1/A \quad (2.17a)$$

$$V_c = (1 + \log(AV_i)) / (1 + \log A) \quad \text{สำหรับ } 1/A \leq V_i \leq 1 \quad (2.17b)$$

กฎของ A และ μ จะมีความคล้ายกัน ในทางปฏิบัติแล้วค่าของพารามิเตอร์ A ที่ใช้จะมีค่า 100 จุดหลักที่แตกต่างกันระหว่างกฎสองกฎนี้คือ กฎของ A จะมีความสมบูรณ์สำหรับค่าสัญญาณที่มีค่าน้อย ในขณะที่กฎของ μ จะมีค่าใกล้เคียงเท่านั้น ในทางปฏิบัติแล้วเราจะใช้กฎของ μ และโคโอดคอมแพนเดอร์ โดยโคโอดคอมแพนเดอร์จะให้สัญญาณเชิงเส้นในระดับต่ำได้ดี

2.1.2.8 การควอนไทซ์แบบแบ่งเป็นส่วน (Segmented Quantization : Companding)

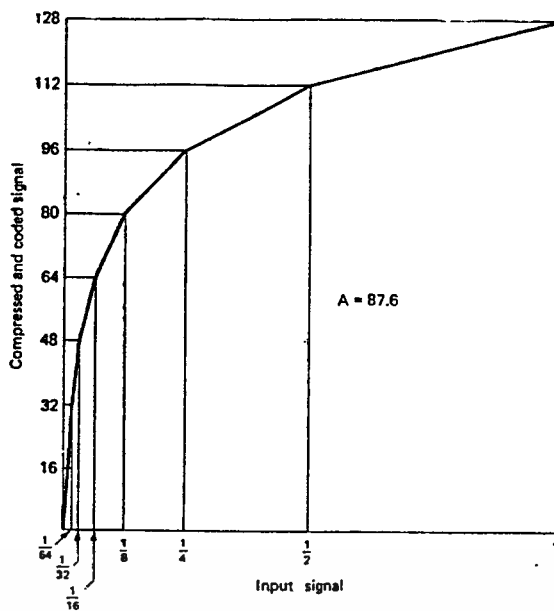
คุณสมบัติของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบันคือ μ -law ซึ่งใช้ใน Hierarchy ของระบบ 1.5 Mb/s และ A-law ใช้ใน Hierarchy ของระบบ 2 Mb/s คุณลักษณะได้แสดงไว้ในรูปที่ 2-15 ซึ่งแสดงเฉพาะกรณีของ $A = 87.6$ ตามปกติแล้วในวงจรเข้ารหัสจะมีส่วนที่ทำหน้าที่ทำการคอมเพรสและเข้ารหัสไปพร้อมๆกัน ซึ่งวงจรเข้ารหัสนี้เรียกว่า Broken Line Encoder

กรณีที่ใช้ $\mu = 255$ จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้ $A = 87.6$ จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law ได้แสดงไว้ในรูป 2-15 ซึ่งแสดงคุณสมบัติด้านบวกเท่านั้น อินพุตแอมพลิจูด 4096 จะสอดคล้องกับสัญญาณที่มีกำลัง 3.14 dBm0 สำหรับเอาต์พุตนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งทางด้านบวกและทางด้านลบ) คือใช้ 8 บิตต่อหนึ่งแซมเปิ้ล

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ μ -law ที่เกี่ยวข้องกับ S/N_0 แล้วที่ส่วนที่สัญญาณมีกำลังสูง A-law จะมี S/N_0 ดีกว่า ในทางตรงกันข้ามที่ส่วนที่สัญญาณมีกำลังต่ำ จะมี S/N_0 ดีกว่า ทั้งนี้เนื่องจากว่ากรณีแรกระดับของการควอนไทซ์ของ A-law จะมีขนาดแคบกว่าของ μ -law สำหรับกรณีหลังนั้นระดับการควอนไทซ์ของ A-law จะกว้างกว่า แต่อย่างไรก็ตามทั้ง A-law และ μ -law นั้นพิจารณาได้ว่าจะมี S/N_0 สูงและเกือบจะคงที่ แม้ว่าสัญญาณจะมีกำลังต่ำ ซึ่งจากหลักการจะเห็นได้ว่าบริเวณที่มีสัญญาณ

เอกซอสเต็มเป็นเอกสารที่สงวนลิขสิทธิ์หรือมีข้อจำกัดการใช้งานอื่น กรุณาแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-15 แสดงถึงเส้นโค้งที่ถูกแบ่งส่วนในการคอมแพนค์โดยใช้ A-law

กรณีที่ใช้ $\mu = 255$ จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้ $A = 87.6$ จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law ได้แสดงไว้ในรูป 2-15 ซึ่งแสดงคุณสมบัติด้านบวกเท่านั้น อินพุตแอมพลิจูด 4096 จะสอดคล้องกับสัญญาณที่มีกำลัง 3.14 dBm0 สำหรับเอาต์พุตนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งทางด้านบวกและทางด้านลบ) คือใช้ 8 บิตต่อหนึ่งแซมเปิล

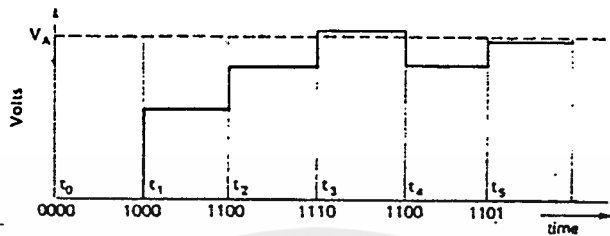
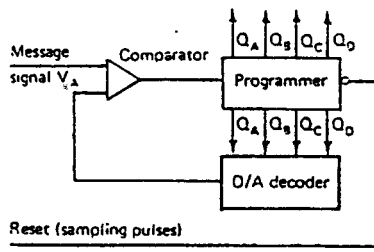
เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ μ -law ที่เกี่ยวข้องกับ S/N_0 แล้ว ที่ส่วนที่สัญญาณมีกำลังสูง A-law จะมี S/N_0 ต่ำกว่า ในทางตรงกันข้ามที่ส่วนที่สัญญาณมีกำลังต่ำ จะมี S/N_0 ต่ำกว่า ทั้งนี้เนื่องจากว่ากรณีแรกระดับของการควอนไทซ์ของ A-law จะมีขนาดแคบกว่าของ μ -law สำหรับกรณีหลังนั้นระดับการควอนไทซ์ของ A-law จะกว้างกว่า แต่อย่างไรก็ตามทั้ง A-law และ μ -law นั้นพิจารณาได้ว่าจะมี S/N_0 สูงและเกือบจะคงที่ แม้ว่าสัญญาณจะมีกำลังต่ำ ซึ่งจากหลักการจะเห็นได้ว่าบริเวณที่มีสัญญาณกำลังต่ำถ้าใช้วิธีจัดระดับแบบอนยูนิฟอร์มจะให้ผลดีกว่าแบบยูนิฟอร์มเป็นอย่างมาก

2.1.3 การเข้ารหัสสัญญาณ (Coder)

ในการเข้ารหัสสัญญาณเป็นดิจิทัล มีวิธีการเข้ารหัสสัญญาณอยู่หลายวิธี ซึ่งวิธีการที่ใช้ได้แก่ วิธีซัคเซสซีฟแอสเพกซ์อิมเมชัน (Successive Approximation) ซึ่งมีการทำงานดังต่อไปนี้

วิธีแบบซัคเซสซีฟแอสเพกซ์อิมเมชัน จะทำงานได้รวดเร็ว กระบวนการเข้ารหัสจะสมบูรณ์ภายในกระบวนการ n ขั้นตอน ข้อมูลดิจิทัลที่ต่อเนื่องกันจะมีค่าสมมูลกับระดับของสัญญาณอนาลอก โดยที่ข้อมูลดิจิทัลตัวแรกจะมีค่าเข้าใกล้กับระดับที่กำหนดไว้และข้อมูลตัวถัดไปจะทำให้มีค่าเข้าใกล้ความถูกต้องที่แท้จริงมากขึ้น เช่น สมมติว่าการเข้ารหัสจะแปลงเป็นรหัสดิจิทัล 4 บิต และกำหนดค่าเริ่มต้นที่ 0000 ซึ่งก็คือระดับแรงดันที่ต่ำที่สุด V_{min} การประมาณค่าสัญญาณแสดงไว้ในรูปที่ 2-16

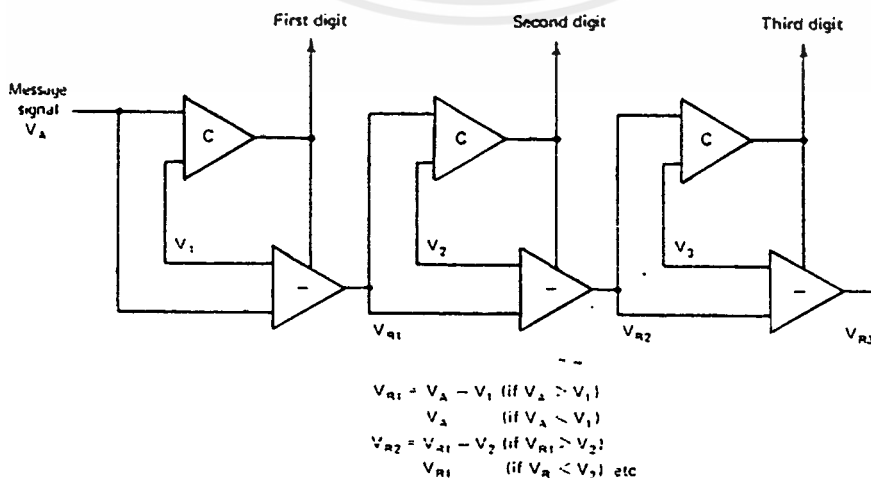
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-16 แสดงการเข้ารหัสแบบซีกเซตซีพแอฟฟลอกซีเมชัน

จากรูปจะสามารถอธิบายขั้นตอนการทำงานได้ดังนี้ เมื่อแรงดันที่เข้ามามีระดับ V_A ค่าของบิตนัยสำคัญจะมีค่าเป็น 1 ให้รหัส 1000 จากนั้นจะมีส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แล้วจะนำค่าอนาลอกนี้ทำการเปรียบเทียบกับ V_A อีกครั้ง จากรูปพบว่ามีการระดับสัญญาณที่ต่ำกว่าก็จะทำการเพิ่มรหัสขึ้นอีกเป็น 1100 โดยกระบวนการก็จะเป็นสิ่งที่ได้อธิบายไปแล้ว สัญญาณจะถูกแปลงกลับมาเป็นอนาลอกแล้วทำการเทียบกับ V_A อีกครั้ง พบว่าสัญญาณก็ยังมีค่าน้อยกว่าก็จะทำการเพิ่มรหัสเข้าไปอีก 1 บิต เป็น 1110 และระดับสัญญาณดิจิตอลนี้จะทำการแปลงกลับเป็นอนาลอก ซึ่งตอนนี้จะพบว่าสัญญาณนั้นมีค่าเกินกว่าสัญญาณ V_A อยู่ก็จะทำการลดรหัสที่เพิ่มขึ้นมานี้ลง แล้วไปทำการเพิ่มรหัสในบิตนัยสำคัญที่ต่ำกว่าแทน ก็จะได้รหัสเป็น 1101 ซึ่งจากรูปเราจะเห็นว่าเมื่อทำการแปลงรหัสดิจิตอลนี้เป็นอนาลอกแล้วเทียบกับ V_A แล้วจะได้สัญญาณที่ใกล้เคียงกันมากที่สุด

จากตัวอย่างนี้เป็นการเข้ารหัสเพียง 4 บิต ซึ่งถ้าจำนวนบิตที่ใช้ในการเข้ารหัสมีมากขึ้นข้อมูลดิจิตอลก็จะมีค่าใกล้เคียงระดับแรงดันที่เข้ามามากยิ่งขึ้น ในการเข้ารหัสแบบซีกเซตซีพแอฟฟลอกซีเมชันนี้ยังมีอีกวิธีที่น่าสนใจคือแบบ การวัดขนาดแรงดันลบกัน (Weighted voltage Subtraction) ซึ่งแสดงไว้ในรูปที่ 2-17



รูปที่ 2-17 แสดงการเข้ารหัสแบบซีกเซตซีพแอฟฟลอกซีเมชันโดยใช้วิธีวัดขนาดแรงดันลบกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



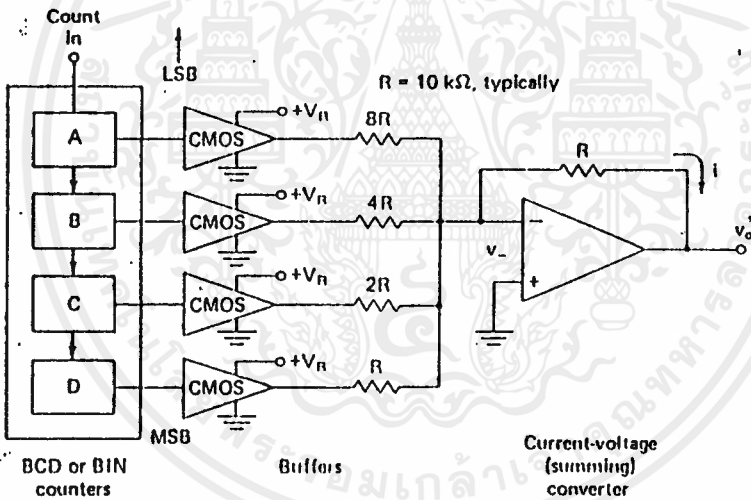
จากรูป ในขั้นแรกระดับสัญญาณ V_A จะทำการเปรียบเทียบกับระดับสัญญาณ V_1 ซึ่งจะเป็นการกำหนดค่าบิตนัยสำคัญที่สุด และถ้าระดับสัญญาณ V_A มีค่ามากกว่า V_1 แล้วก็จะทำการลบแรงดันกันได้ออกมาเป็น $V_R = V_A - V_1$ ซึ่งแรงดันที่ลบกันออกมานี้ก็จะนำไปเปรียบเทียบกับตัวต่อไป ซึ่งในกรณีนี้เราจะได้ออกจิกที่ตรงนี้เป็น 1

และในทำนองเดียวกันถ้า V_A มีระดับแรงดันน้อยกว่า V_1 ก็จะไม่เกิดการลบกัน และระดับแรงดัน V_A นี้ก็จะถูกส่งเข้าไปเปรียบเทียบกับตัวต่อไป และในกรณีนี้ค่าของบิตนัยสำคัญที่สุดจะมีค่าเป็น 0

ซึ่งขั้นตอนการทำงานก็จะเป็นดังที่ได้อธิบาย โดยจะทำการเปรียบเทียบกับตัวถัดไปเพื่อเป็นการกำหนดค่าของบิตนัยสำคัญตัวถัดไปเรื่อยๆจนกว่าจะครบตามจำนวนบิตที่มี

2.1.4 การถอดรหัสสัญญาณ (Decoder)

ในการถอดรหัสสัญญาณนั้นจะเป็นการเปลี่ยนข้อมูลดิจิทัลที่ได้กลับออกมาเป็นสัญญาณอนาลอก ซึ่งในกระบวนการแปลงสัญญาณจากดิจิทัลเป็นอนาลอกนี้มีอยู่หลายวิธีดังจะกล่าวถึงต่อไปนี้ ซึ่งในวงจรที่ใช้งานมักจะเป็นแบบ R-2R พิจารณาในรูปที่ 2-18



รูปที่ 2-18 แสดงวงจรแปลงข้อมูลจากดิจิทัลเป็นอนาลอกโดยใช้ซีมอส

จากรูปที่ 2-18 ซีมอสบัฟเฟอร์นี้จะทำงานคล้ายกับเป็นสวิตช์ ที่ต่ออยู่กับตัวต้านทาน โดยมีระดับแรงดันอ้างอิงอยู่ที่ V_R โดยอินพุตที่เข้ามามีสองแบบคือ 1 และ 0

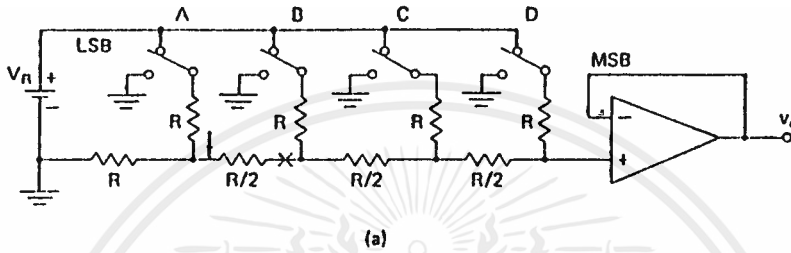
โดยขาลบที่ออปแอมป์จะทำหน้าที่เป็นกราวด์เสมือน กระแสที่ไหลผ่านตัวต้านทานหาได้จาก $I = V_R / R$ แล้วจะทำการรวมกันและที่เอาต์พุตจะได้

$$V_o = -V_R \left(M_d + \frac{M_c}{2} + \frac{M_b}{4} + \frac{M_a}{8} \right) \tag{2.18}$$

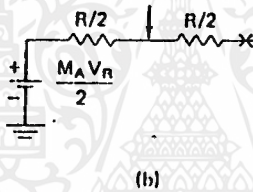
โดยที่ M_D, M_C, M_B, M_A คือระดับลอจิกที่เข้ามาที่อินพุตซิมอส โดยที่แต่ละบิตจะถูกถ่วงด้วยน้ำหนัก $R/10, R/20$ สำหรับการนับแบบ BCD และ $R/16, R/32$ สำหรับการนับแบบ Binary ค่าความถูกต้องไม่เพียงแต่ขึ้นกับจำนวนบิตเท่านั้นแต่ยังขึ้นกับระดับแรงดันอ้างอิง V_R และตัวต้านทานที่ใช้ด้วย

เพื่อเป็นการป้องกันค่าความแตกต่างระหว่างความต้านทานที่หลายๆ การต่อแบบขั้นบันไดดังรูปที่ 2-19 เป็นวิธีที่มักจะใช้ กัน โดยซิมอสสวิตช์ที่ทำหน้าที่คล้ายสวิตช์จะถูกแทนด้วยแรงดัน V_R เราสามารถเขียนวงจรสมมูลของเทวินินได้ดังรูปที่ 2-19 b) จะสามารถหาค่าระดับแรงดันที่เอาท์พุทได้ดังนี้

$$V_o = \frac{V_R}{2} \left(\frac{M_D}{2} + \frac{M_C}{4} + \frac{M_B}{8} + \frac{M_A}{16} \right) \quad (2.19)$$



รูปที่ 2-19 a) แสดงวงจรแปลงข้อมูลจากดิจิทัลเป็นอนาลอกแบบ R-2R 4 บิต

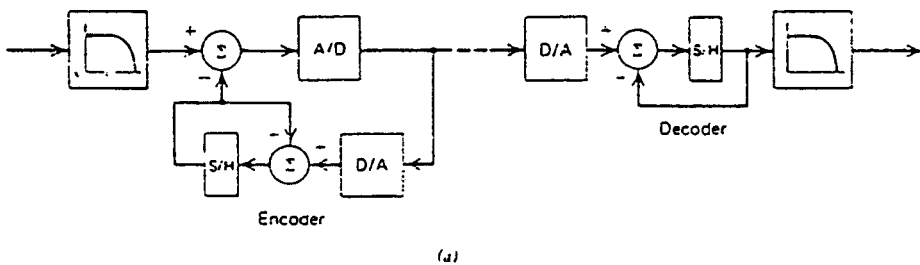


รูปที่ 2-19 b) แสดงวงจรสมมูลของเทวินิน

2.1.5 การทำนายค่าสัญญาณ (Predictor)

ค่าสัญญาณอนาลอกที่ได้จากการแปลงข้อมูลจากดิจิทัลเป็นอนาลอกกลับคืนมานั้น จะเป็นสัญญาณค่าผลต่างซึ่งเราจะนำค่าผลต่างนี้มาทำการแปลงกลับให้เป็นสัญญาณอินพุตเดิม ซึ่งอุปกรณ์ที่ทำหน้าที่นี้เราเรียกว่าตัวทำนายค่าสัญญาณ ซึ่งรูปแบบที่ใช้ในการทำนั้นแบ่งได้เป็น 3 แบบคือ

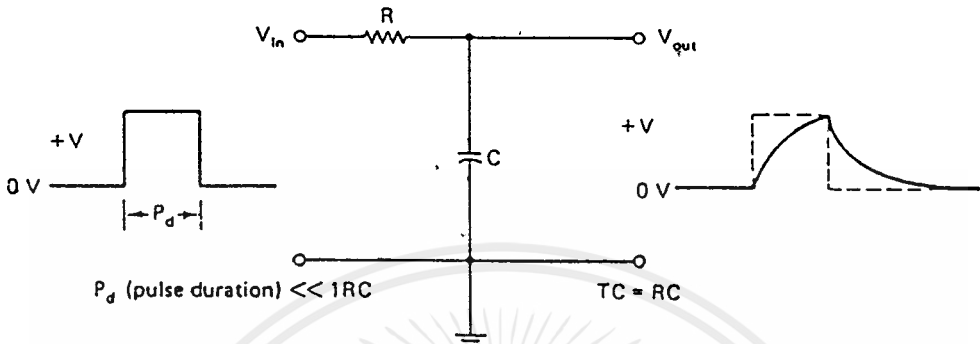
1. การทำนายค่าสัญญาณจากอนาลอก (Analog Integration)



รูปที่ 2-20 a) แสดงบล็อกไดอะแกรมของการทำนายค่าสัญญาณจากอนาลอก

2.1.5.1 วงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์คือวงจรที่สามารถทำการอินทิเกรตสัญญาณที่ป้อน ณ ขั้วอินพุทหรือกล่าวอีกนัยหนึ่งก็คือ วงจรนี้จะสะสมสัญญาณที่ป้อนเข้าจากขั้วอินพุทเรื่อย ๆ ภายในช่วงเวลาหนึ่ง และแสดงผลของการสะสมนี้ ออกทางเอาต์พุท



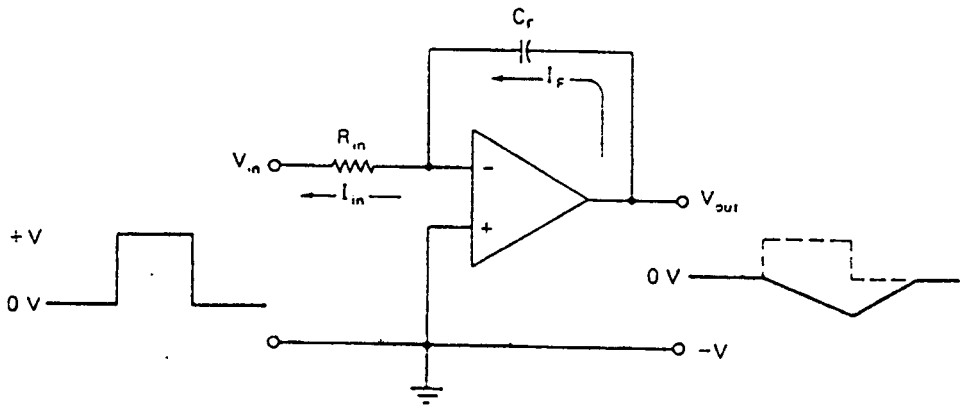
รูป 2-21 แสดงวงจรอินทิเกรเตอร์พื้นฐาน

ก่อนที่จะวิเคราะห์ห้วงวงจรอินทิเกรเตอร์พื้นฐานนี้ควรทราบคุณสมบัติบางอย่างของตัวเก็บประจุเสียก่อน

คือ

1. แรงดันที่ตกคร่อมตัวเก็บประจุไม่สามารถเปลี่ยนแปลงแบบทันทีทันใดได้ และแรงดันเริ่มต้นมักจะให้มีค่าเท่ากับศูนย์
2. ขณะที่ตัวเก็บประจุกำลังชาร์จประจุอยู่นั้นกระแสที่ไหลผ่านตัวเก็บประจุจะค่อยๆลดลง

เมื่อทราบคุณสมบัติดังกล่าวแล้ว เราสามารถศึกษาการทำงานของวงจรอินทิเกรเตอร์พื้นฐานได้ง่ายขึ้น จากข้อกำหนดแรกเมื่อเริ่มต้นแรงดันคร่อมตัวเก็บประจุจะมีค่าเท่ากับศูนย์ เมื่อเราวัดเอาต์พุทคร่อมตัวเก็บประจุ แรงดันที่ได้จึงมีค่าเป็นศูนย์ หลังจากนั้นเมื่อตัวเก็บประจุค่อยๆถูกชาร์จขึ้นแรงดันคร่อมตัวเก็บประจุจึงมีค่าสูงขึ้นเรื่อยๆ (ความเร็วในการชาร์จประจุ จะขึ้นกับค่าคงตัวของเวลามีค่าเท่ากับผลคูณของ R และ C) ซึ่งเป็นผลให้ กระแสที่ไหลผ่านตัวเก็บประจุมีค่าลดลง นั่นคือแรงดันที่ตกคร่อมตัวต้านทานจะต่ำลงและทำให้แรงดันเอาต์พุท มีค่าเพิ่มขึ้นเรื่อยๆ โดยมากอัตราการเพิ่มจะเป็นแบบเอ็กโปเนนเชียล จนกระทั่งเมื่อแรงดันอินพุทตกลงจนเหลือ ศูนย์โวลต์ ตัวเก็บประจุก็จะคายประจุผ่านตัวต้านทานลงกราวด์ (ในขณะนั้นตัวเก็บประจุจะทำตัวเป็นเสมือน แหล่งจ่ายไฟ) จากลักษณะของวงจรที่ได้แสดงมานี้จะเห็นว่า แรงดันที่เอาต์พุทจะไม่มีทางสูงกว่าแรงดันอินพุท ได้เลย นอกจากนี้ต้องระวังด้วยว่าวงจรนี้จะทำงานได้ดีเมื่อความกว้างของสัญญาณพัลส์มีค่าต่ำกว่าค่าคงตัวของเวลา มากๆเท่านั้น



รูปที่ 2-22 แสดงวงจรอินทิเกรตที่สร้างขึ้นจากออปแอมป์

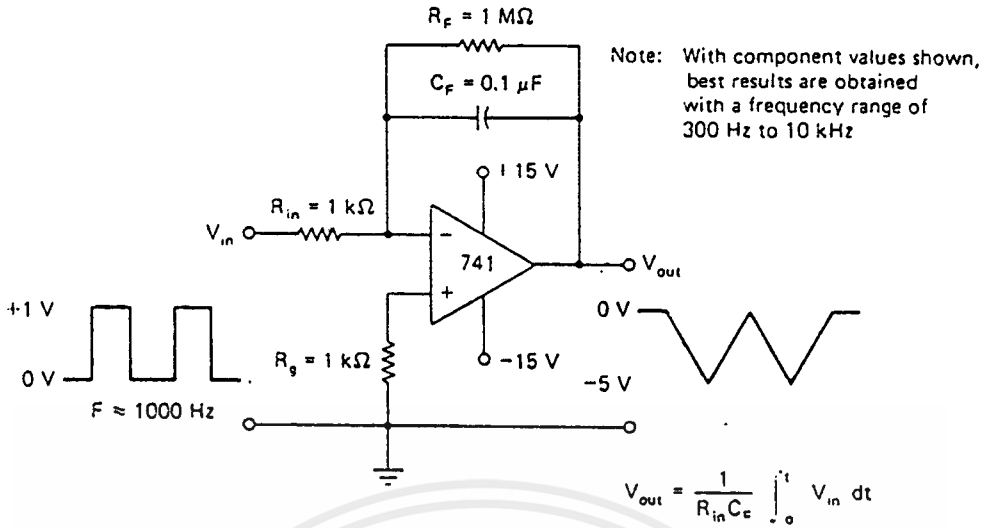
เมื่อนำออปแอมป์มาใช้ในวงจรอินทิเกรเตอร์ตัวเก็บประจุจะทำหน้าที่เป็นอุปกรณ์สำหรับป้อนสัญญาณกลับจากคุณสมบัติของออปแอมป์เราสามารถวิเคราะห์วงจรนี้ได้โดยยึดหลักที่ว่ากระแส I_{in} จะเท่ากับ I_F และเกิดกระแสเสมือนที่ขั้วอินพุตลบ นอกจากนี้หากสัญญาณอินพุตที่ป้อนให้อยู่ในลักษณะคงที่ (ในบางช่วง) กระแส I_{in} จะมีค่าคงที่นั่นคือ I_F จะมีค่าคงที่ตามไปด้วยและจากสมการของตัวเก็บประจุ

$$I_F = -C \frac{dV_{out}}{dt}$$

จะพบว่าอัตราการเปลี่ยนแปลงของเอาต์พุตจะมีค่าคงที่ด้วย หรืออีกนัยหนึ่งความชันของแรงดันเอาต์พุตจะเพิ่มขึ้นแบบเส้นตรง และเมื่อแรงดันอินพุตตกลงเหลือศูนย์โวลต์ตัวเก็บประจุจะคายประจุแบบเชิงเส้นเช่นกัน ผลคือแรงดันที่เอาต์พุตจะมีลักษณะเป็นรูปสามเหลี่ยมกลับเฟส (เนื่องจากอินพุตถูกป้อน ณ ขั้วอินพุตลบ เอาต์พุตจะกลับเฟส 180 องศา)

วงจรในรูป 2-22 มีข้อเสียหลักที่ว่าถึงแม้ในขณะที่ V_{in} มีค่าเป็นศูนย์โวลต์กระแสไบอัสอินพุตจะทำให้ตัวเก็บประจุชาร์จอยู่ตลอดเวลาจนกระทั่งผลสุดท้ายแรงดันเอาต์พุตจะอิ่มตัวและมีค่าสูงประมาณแหล่งจ่ายไฟซีกลบ (ทั้งๆที่ยังไม่มีการป้อนสัญญาณอินพุตเลย) ดังนั้นการนำวงจรในรูป 2-23 มาใช้โดยมีการต่อตัวต้านทานป้อนกลับขนานกับตัวเก็บประจุ จะทำให้วงจรมีเสถียรภาพดีขึ้นโดยมีขนาดของแรงดันเอาต์พุตตามสมการ

$$V_{out} = - \frac{1}{R_{in} C_F} \int_0^t dV_{in} dt$$



รูปที่ 2-23 แสดงวงจรอินทิเกรเตอร์ที่ปรับปรุง

2.1.6 การหาค่าสัญญาณผลต่าง

การหาค่าสัญญาณผลต่างนั้นเราจะนำสัญญาณอินพุตมาทำการลบกับสัญญาณ ค่าทำนายโดยวงจรที่ทำหน้าที่ในการหาค่าสัญญาณผลต่างนั้นเราจะใช้วงจรลบแรงดัน

2.1.6.1 วงจรลบแรงดัน

จากรูปที่ 2-24 แสดงการใช้โอปแอมป์เป็นวงจรลบแรงดัน ซึ่งหลักการของวงจรลบแรงดันนี้จะเป็นการรวมวงจรอินเวอร์ตติ้งแอมป์และนอนอินเวอร์ตติ้งแอมป์เข้าด้วยกัน ซึ่งจะทำให้เกิดผลคือเกิดการหักล้างกันที่เอาต์พุตขึ้น (เนื่องจากเฟสของวงจรแต่ละชนิดจะตรงข้ามกัน) และเราสามารถวิเคราะห์ สมการสำหรับหาค่าแรงดัน V_{out} ได้ โดยแรงดันที่ขั้วอินพุตบวกจะเท่ากับ

$$V^+ = \frac{R_2}{R_1 + R_2} V_2 \tag{2.20}$$

และจากการวิเคราะห์วงจรแบบอินเวอร์ตติ้งทั่วไป โดยมี V^+ เป็นแรงดันอ้างอิงที่ขั้วอินพุตบวกจะได้

$$\frac{V_1 - V^+}{R_1} = - \frac{-(V_o - V^+)}{R_f} \tag{2.21}$$

$$V_o = - \frac{R_f}{R_1} V_1 + \frac{(R_f + 1)}{R_1} V^+ \tag{2.22}$$

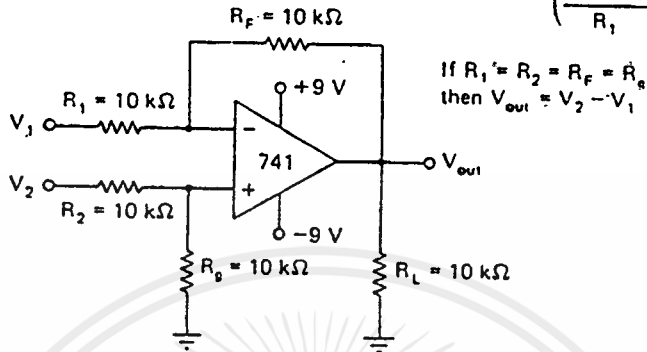
ทำการแทนค่า V^+

$$V_o = - \frac{R_f}{R_1} V_1 + \frac{(R_f + 1)}{R_1} \left(\frac{R_2}{R_1 + R_2} \right) V_2 \tag{2.23}$$

และหาก $R_1 = R_2 = R_F = R_g$ จะได้ว่า

$$V_o = V_2 - V_1$$

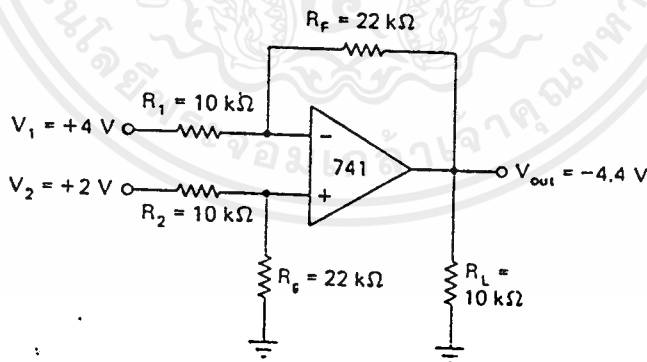
$$V_{out} = -\frac{R_F}{R_1} V_1 + \left(\frac{R_g}{R_2 + R_g} \right) \left(\frac{R_1 + R_F}{R_1} \right) V_2$$



รูปที่ 2-24 แสดงวงจรลบแรงดัน

ส่วนวงจรรูปที่ 2-25 แสดงวงจรลบแรงดันซึ่งมีการขยายสัญญาณที่เอาต์พุตด้วยซึ่งเราสามารถนำสมการของวงจรลบแรงดันมาใช้ได้และเมื่อ $R_2 = R_1$ จะได้ว่า

$$V_o = \frac{R_F (V_2 - V_1)}{R_1} \quad (2.24)$$



$$I_1 \frac{R_F}{R_1} = \frac{R_g}{R_2}$$

$$V_{out} = \frac{R_F}{R_1} V_1 + \left(\frac{R_g}{R_2 + R_g} \right) \left(\frac{R_1 + R_F}{R_1} \right) V_2$$

$$\text{then } V_{out} = -\frac{R_F}{R_1} (V_2 - V_1)$$

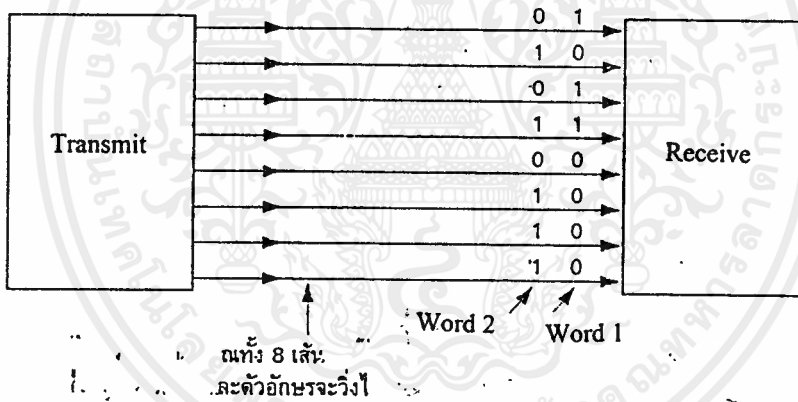
รูปที่ 2-25 แสดงวงจรลบแรงดันที่มีการขยายสัญญาณด้านเอาต์พุต

จะสังเกตว่าวงจรนี้ทำหน้าที่คล้ายคอมพิวเตอร์แต่ต่างกันตรงที่สามารถขยายสัญญาณผลต่างได้ (ในขณะที่วงจรคอมพิวเตอร์เพียงแค่สามารถตรวจจับความแตกต่างเท่านั้น) อย่างไรก็ตามวงจรนี้มีข้อเสียที่มีอินพุตทอมพิวเตอร์ก่อนข้างต่ำในบางครั้งจึงอาจจำเป็นต้องใช้วงจรตามแรงดันเป็นบัฟเฟอร์ก่อนเข้าวงจรลบแรงดัน

2.2 ระบบการซิงโครไนซ์ (Synchronization System)

รูปแบบของสายส่งสัญญาณสื่อสารประกอบด้วยสายตั้งแต่หนึ่งสายขึ้นไป ทำให้การส่งข้อมูลได้มากกว่า 1 ช่องทาง และจากการเข้ารหัสไว้ในรูปรหัสเลขฐานสอง เราสามารถเลือกวิธีการส่งข้อมูลได้ 2 รูปแบบคือการส่งผ่านข้อมูลแบบขนาน (Parallel Transmission) และการส่งผ่านข้อมูลแบบอนุกรม (Serial Transmission)

การส่งผ่านข้อมูลแบบขนาน ในรูปแบบนี้ทุกบิตจะถูกส่งผ่านไปตามสายส่งขนานกันไปและทุกบิตจะไปถึงปลายทางด้านรับพร้อมกัน เพื่อให้เกิดช่องทางการส่งจะต้องมีจำนวนเท่ากับจำนวนบิตที่เข้ารหัส การส่งข้อมูลแบบขนานนี้ จะเป็นการส่งผ่านข้อมูลในระยะใกล้กัน ได้แก่ การเคลื่อนย้ายข้อมูลระหว่างเครื่องคอมพิวเตอร์กับอุปกรณ์รอบข้างของมัน



รูปที่ 2-26 การส่งข้อมูลแบบขนาน

การส่งผ่านข้อมูลแบบอนุกรม ในรูปแบบการส่งผ่านข้อมูลในลักษณะนี้ทุกบิตที่เข้ารหัสจะถูกส่งผ่านไปตามสายส่งเรียงลำดับกันไปทีละบิตในสายส่งเพียงเส้นเดียว ซึ่งทำให้ประหยัดค่าใช้จ่ายในเรื่องสายส่งสัญญาณ ดังนั้นการส่งผ่านข้อมูลแบบอนุกรมนี้จึงนิยมใช้กันมากในการส่งผ่านข้อมูลทางไกล และจากรูปที่ 2-27 หนึ่งข้อมูลจะประกอบไปด้วยบิต 8 บิต เรียงเป็นลำดับและผู้รับจะรวบรวมบิตเหล่านี้ทีละ บิตจนครบ 8 บิต เป็นหนึ่งข้อมูล และตามมาด้วยกลุ่มบิตของข้อมูลตัวที่สอง ในขณะที่เราอาจเกิดปัญหาว่าเมื่อเป็นในลักษณะนี้ที่ทางด้านเครื่องรับหรือผู้รับจะทราบได้เช่นไรว่าจะแบ่งข้อมูลตัวที่หนึ่งและตัวที่สองตรงบิตใด ซึ่งปัญหานี้มีวิธีการแก้ไขได้ 2 วิธีคือ

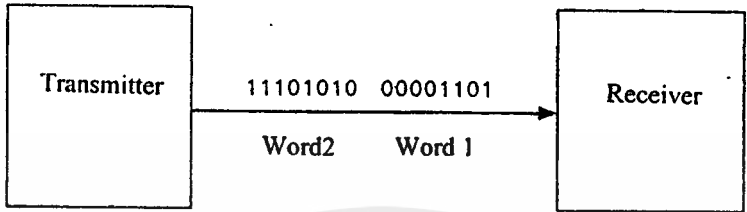
1. การซิงโครไนซ์ (Synchronization) ซึ่งยังสามารถแบ่งได้ 2 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 แบบบิตซิงโครไนซ์ (Bit Synchronization)

1.2 แบบคาแรกเตอร์ซิงโครไนซ์ (Character Synchronization)

2. การอะซิงโครไนซ์ (Asynchronization) หรืออาจเรียกว่าการส่งผ่านข้อมูลแบบ Start/Stop ซึ่งจะอธิบายรายละเอียดในแต่ละหัวข้อดังต่อไปนี้



รูปที่ 2-27 การส่งผ่านข้อมูลแบบเรียงลำดับ

2.2.1 การซิงโครไนซ์ (Synchonization)

การซิงโครไนซ์ของบิต (Bit Synchronization)

ในการส่งผ่านข้อมูลนั้นจำเป็นอย่างยิ่งที่จะต้องให้ทางด้านการรับตรวจสอบและตีความรูปแบบของ บิตที่ส่งมาจากด้านส่งได้ถูกต้องโดยด้านรับจะต้องตรวจสอบดูว่าเมื่อใดที่มีบิตเข้ามาตามสายและไม่มีโดยจะมีสัญญาณนาฬิกาทั้งสองด้าน พิจารณาสัญญาณนาฬิกาที่ทางด้านส่งจะเป็นตัวบอกว่าถ่ายเทข้อมูลเป็น บิตลงในสายด้วยความถี่เท่าไรและสัญญาณนาฬิกาทางด้านรับจะเป็นตัวบอกว่ามีข้อมูลเป็นบิตวิ่งมาตามสายส่งด้วยความถี่เท่าไร

การซิงโครไนซ์ของตัวอักษร (Character Synchronization)

จากขบวนการแบบบิตเมื่อมีขบวนบิตวิ่งมาตามสายส่งจะรู้ได้อย่างไรว่าบิตไหนเป็นบิตแรกของตัวข้อมูล หรือเป็นบิตสุดท้ายของข้อมูลซึ่งการทำซิงโครไนซ์แบบตัวอักษรจะแก้ไขได้ เมื่อด้านรับได้รับทราบถึงบิตแรกของข้อมูลและรู้ว่าในหนึ่งข้อมูลมีกี่บิต และรู้ความเร็วของบิตที่วิ่งมาตามสายส่งก็จะสามารถแยกกลุ่มของบิตเพื่อแทนตัวข้อมูลได้

การส่งข้อมูลแบบซิงโครไนซ์ (Synchronous Transmission)

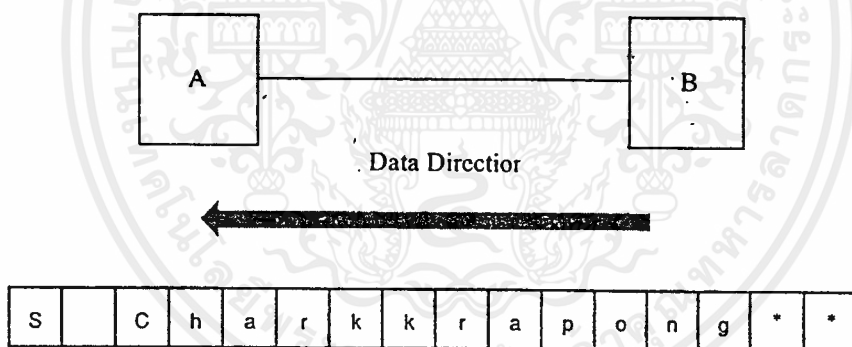
จะทำการจัดกลุ่มข้อมูลเป็นกลุ่มและทำการส่งข้อมูลทั้งกลุ่มไปในพร้อมกันทีเดียว เรียกกลุ่มข้อมูลนี้ว่า “ Block of data “ และช่วงเวลาที่ใช้ในการส่งจะใช้เวลาเดียวกัน ข้อมูลตัวแรกและตัวถัดไปจะไม่มีอะไรมาคั่น

ในรูปที่ 2-28 แสดงถึงการนำข้อมูลมาเรียงต่อกันแล้วทำการส่งผ่านข้อมูลแบบซิงโครไนซ์ พบว่าข้อมูลจะอยู่ต่อกันโดยไม่มีช่องว่างอยู่เลย ทางด้านรับจะต้องทราบว่ามีบิตใดคือบิตแรกของข้อมูล ขนาดของข้อมูล ความเร็ว

ในการส่งผ่านข้อมูล และจะทำการจัดกลุ่มของบิตเป็นกลุ่มๆเพื่อแทนค่ากลับเป็นข้อมูล สำหรับการที่เรารู้ว่าบิตแรกนี้เป็นเอกสารที่ส่งจนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

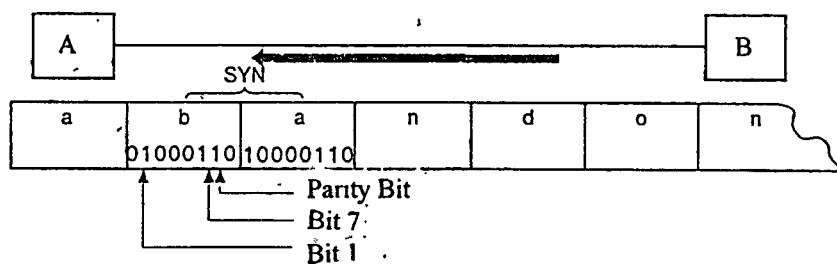
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทไคคือบิทแรกของข้อมูล จากกลุ่มของข้อมูลส่วนต้นของกลุ่มจะทำการใส่ตัวซิงโครนัส Sync เพื่อใช้ในการควบคุมการส่งผ่านข้อมูล โดยจะมีรูปแบบของข้อมูลที่แน่นอนที่ด้านรับจะตรวจดูว่ามีข้อมูลตัวใดตรงกับซิงโครนัสบ้างและเมื่อพบแล้วอุปกรณ์รับข้อมูลจะทราบได้ทันทีว่าถึงจุดเริ่มต้นที่จะตัดกลุ่มของบิทกลุ่มละ 8 บิทเพื่อแทนเป็นข้อมูลได้ และข้อมูลหลายตัวที่ตีความได้ก็คือ ข้อความที่ถูกส่งมาในแต่ละกลุ่ม แต่การใช้ตัวซิงโครนัสเพียงตัวเดียวใส่ไว้ที่ส่วนต้นของกลุ่มยังเป็นวิธีการที่ไม่ถูกต้อง เพราะในบางกรณีขบวนของบิทที่แทนข้อมูลมีบางช่วงที่ไปตรงกับรูปแบบของบิทซิงโครนัสได้ ถ้าพิจารณาจากรูปที่ 2-29 จะเห็นได้ว่าถ้าส่งข้อความที่มีตัวอักษร b และ a ติดกัน 4 บิทท้ายของตัวอักษร b จะต่อกันกับ 4 บิทแรกของตัวอักษร a จะตรงกับตัวซิงโครนัสพอดี จะทำให้อุปกรณ์ด้านรับตีความผิดได้ ดังนั้นวิธีการแก้ไขข้อผิดพลาดที่เกิดในกรณีนี้ทำได้โดย การใช้ตัวซิงโครนัสสองตัวใส่ไว้ที่ส่วนต้นของกลุ่มดังแสดงในรูปที่ 2-29 (b) และอุปกรณ์ทางด้านรับก็ต้องทราบข้อตกลงนี้เป็นอย่างดี โดยทันทีที่ตรวจพบตัวซิงโครนัสจะคู่อีก 8 บิทถัดไปว่าเป็นตัวซิงโครนัสด้วยหรือไม่ ถ้าใช่จะเริ่มต้นรับว่าทุกๆบิทที่ตามมาคือข้อมูลแต่ละตัว กรณีไม่ใช่ก็จะเริ่มตรวจหาตัวซิงโครนัสต่อไป หรืออาจกล่าวได้ว่าทางด้านรับจะปรับตัวเข้าสู่ภาคการค้นหาตัวซิงโครนัส (Look for Sync Mode) และเมื่อพบตัวซิงโครนัสอย่างน้อยสองตัวก็จะเริ่มเข้าสู่ขบวนการจัดกลุ่มบิทกลุ่มละ 8 บิท แทนข้อมูลที่ได้รับจากรูปที่ 2-30 และ 2-31 ขบวนการรับข้อมูลที่ส่งผ่านมาในระบบซิงโครนัส ในบางระบบการใส่ตัวซิงโครนัสหน้ากลุ่มข้อมูลอาจใช้ตัวซิงโครนัส 3-4 ตัวก็ได้เพื่อความแน่นอนในการส่งผ่านข้อมูลแบบซิงโครนัสที่สมบูรณ์แบบยิ่งขึ้น

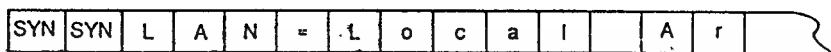


รูปที่ 2-28 แสดงการต่อเนื่องของข้อมูลที่ส่งแบบซิงโครนัส

ถ้าจะกล่าวถึงการส่งผ่านข้อมูลแบบซิงโครนัสนั้นมียู่ด้วยกันหลายวิธีซึ่งจะต้องกล่าวถึงในบางกรณีจะใช้ตัวซิงโครนัสที่ต่างกันสองตัวเป็นรูปแบบการส่งแบบซิงโครนัส ดังนั้นด้านรับข้อมูลจะต้องจำลักษณะของตัวซิงโครนัสตัวแรกซึ่งมีลักษณะเป็นเอกลักษณ์ไว้หนึ่งตัวก่อน จากนั้นจะต้องเตรียมตรวจดูกลุ่มของบิทกลุ่มต่อไปเพื่อให้รู้ว่าเป็นตัวซิงโครนัสอะไร ในระบบการส่งผ่านข้อมูลที่เป็นบิทล้วนๆ รูปแบบของซิงโครนัสจะถูกเรียกว่าแฟล็ก (Flag) สรุปได้ว่าหลักของการส่งสัญญาณแบบซิงโครนัสนั้นจะต้องให้ด้านรับข้อมูลที่ปลายทางเข้าใจถึงลักษณะของบิทพิเศษที่ส่งมาเพื่อให้รู้ว่านั้นคือจุดเริ่มต้นของกลุ่มข้อมูลที่กำลังส่งเรียงกันเข้ามา

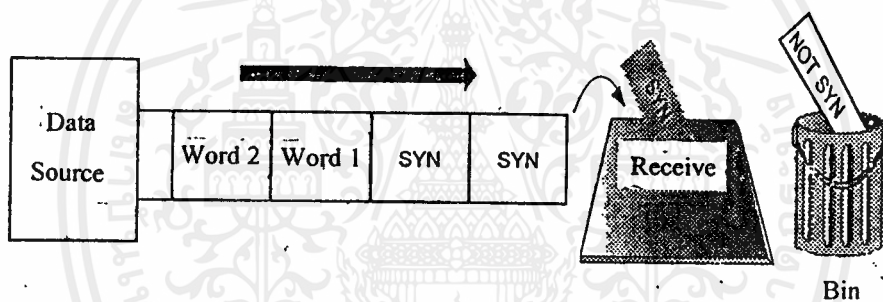


a) กลุ่มบิตที่เกิดขึ้นตรงกับตัวจริง

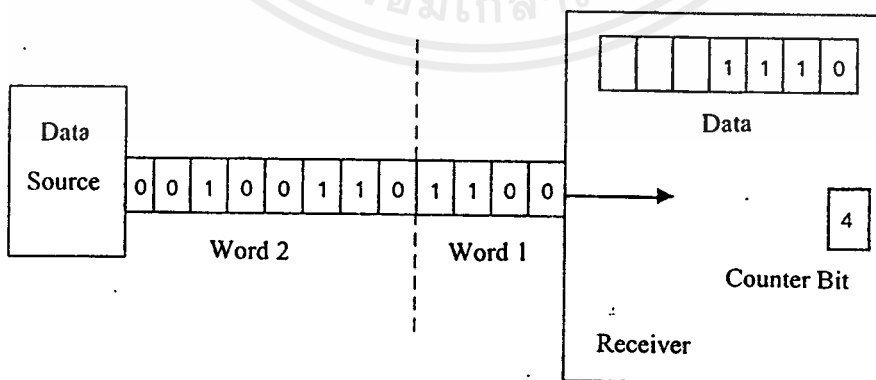


b) การใช้ตัวจริง 2 ตัวหน้าบล็อกข้อมูล

รูปที่ 2-29 แสดงรูปแบบการใช้ซิงนำหน้ากลุ่มตัวอักษร



รูปที่ 2-30 แสดงเปรียบเทียบอุปกรณ์รับข้อมูลตรวจหาซิงในระบบซิงโครนัส



รูปที่ 2-31 แสดงการตัดแถวของบิตออกกลุ่มละ 8 บิตในระบบการส่งผ่านแบบอะซิงโครนัส

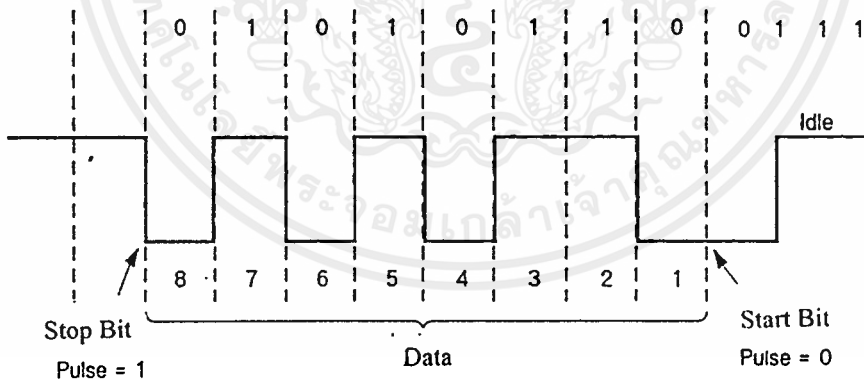
2.2.2 การอะซิงโครไนซ์ (Asychonization)

การส่งผ่านข้อมูลแบบอะซิงโครไนซ์ (Asynchronous Transmission)

การส่งผ่านข้อมูลแบบอะซิงโครไนซ์นี้เป็นระบบในการจัดส่งข้อมูลตัวใดตัวหนึ่งไปในทันทีทันใดซึ่งจะเป็นเวลาใดๆก็ได้โดยไม่จำเป็นต้องกำหนดความสัมพันธ์กับข้อมูลตัวอื่นๆ เราอาจจะส่งข้อมูลเรียงติดกันไปเลยโดยไม่มีที่ว่างระหว่างข้อมูลคล้ายกันกับกรณีของการส่งสัญญาณแบบซิงโครไนซ์ก็ได้ หรืออาจส่งแบบมีที่ว่างก็ได้ ในกรณีเช่นนี้ด้านรับจะต้องสร้างลักษณะของซิงโครไนซ์ขึ้นมาใหม่สำหรับข้อมูลแต่ละตัว เครื่องรับปลายทางจะต้องรู้จักว่าสิ่งที่ส่งมานั้นมีบิตแรกของตัวอักษรอยู่ที่ใด ดังนั้นหน้าข้อมูลแต่ละตัวเราจะใส่บิตที่มีลักษณะพิเศษเพื่อถือเป็นจุดเริ่มต้น (Start Pulse) ซึ่งเมื่อด้านรับพบบิตแบบนี้จะทราบได้ทันทีว่านี่คือจุดเริ่มต้นของข้อมูล

ด้านรับปลายทางจะตรวจพบแสดงบิตจุดเริ่มต้นได้ โดยตรวจสถานะทางไฟฟ้าของสายส่งว่ามีสถานะเป็นหนึ่งหรือเป็นศูนย์ ในขณะที่สายส่งรักษาระดับไฟคงที่ โดยไม่มีการเปลี่ยนแปลงแสดงว่าไม่มีการส่งข้อมูลมาเลย สายส่งในลักษณะนี้จะเรียกว่าสายว่าง (Idle Line) และเพื่อความสะดวกจะให้สถานะของสายว่างมีระดับทางไฟฟ้าเป็นหนึ่ง ในบางระบบจะเรียกสภาวะสายว่างนี้ว่า Mark Condition สำหรับสภาวะทางไฟฟ้าที่ตรงข้ามกับสภาวะสายว่างคือสภาวะที่เป็นศูนย์ในบางระบบจะเรียกสภาวะนี้ว่า Space Codition หรือสภาวะว่างเปล่า จะสังเกตได้ว่าสภาวะสายว่างนี้เป็นสภาวะที่ตัวส่งสัญญาณส่งค่าบิตเป็นหนึ่งติดกันมาโดยตลอด

เมื่อมีความต้องการที่จะส่งข้อมูลด้านส่งจะใส่บิตศูนย์มาหน้ากลุ่มของบิตที่แทนข้อมูลนั้นซึ่ง บิตที่ใส่นำหน้านี้จะทำหน้าที่เพื่อบอกว่าเป็นจุดเริ่มต้นของการส่งข้อมูลถ้าพิจารณาในแง่ของลักษณะสัญญาณทางไฟฟ้าซึ่งแสดงไว้ในรูปที่ 2-32 ด้านส่งจะสร้างบิตเริ่มต้นโดยการกลับเปลี่ยนสภาวะของสายส่งจากหนึ่งเข้าสู่สภาวะศูนย์โดยใช้เพียงบิตเดียวพร้อมกันนี้ข้อมูลที่ต้องการส่งก็จะตามบิตเริ่มต้นเข้าสู่ด้านรับต่อไป



รูปที่ 2-32 แสดงการส่งข้อมูล 1 ตัวแบบอะซิงโครไนซ์

เมื่อด้านรับตรวจพบว่าการเปลี่ยนแปลงสภาวะจากหนึ่งเป็นศูนย์ ก็จะมีการเทียบกับสัญญาณนาฬิกาทันทีภายหลังจากผ่านไปได้ครึ่งบิต สัญญาณนาฬิกาจะเป็นตัวบอกด้านรับให้ตรวจสอบสภาวะของสายส่งถ้ายังคงอยู่ในสภาวะศูนย์ ถ้าตรวจสอบสภาวะของสายส่งแล้วได้บิตศูนย์อยู่เครื่องก็จะเริ่มตรวจรับรหัสของข้อมูลนั้น แต่ถ้าในจุดเริ่มต้นนี้ด้านรับพบว่าบิตที่เข้ามาที่แรกมีสภาวะเป็นหนึ่งด้านรับจะวิเคราะห์ว่าจุดเริ่มต้นที่มีการ

เปลี่ยนแปลงหนึ่งเป็นศูนย์นี้เป็นสัญญาณรบกวนช่วงสั้นๆและจะหยุดตรวจสถานะสายส่งเพราะไม่ต้องการรวมบิตเป็นข้อมูลต่อไป

สำหรับสัญญาณนาฬิกาที่ด้านรับจะทำให้เกิดการชิงโครนัสที่คอนตันของข้อมูลที่กำลังรับเข้ามา โดยเราอาจทำให้เกิดการแตกต่างกันไปได้เล็กน้อยระหว่างความเร็วในการส่งผ่านข้อมูลกับสัญญาณนาฬิกาที่ด้านรับ ใช้ ณ ที่จุดสิ้นสุดของแต่ละตัวอักษรที่ส่งมา ขบวนการของบิตสิ้นสุดจะถูกส่งมาทางด้านรับเพื่อทำให้เกิดสถานะคงที่ ก่อนที่ข้อมูลอื่นจะตามมาดังแสดงไว้ในรูปที่ 2-32 เราจะเห็นว่ากลุ่มบิตที่แทนค่าของข้อมูลจะถูกปิดหัวปิดท้ายไว้ด้วยบิตเริ่มต้นและบิตสิ้นสุด ด้วยเหตุผลดังกล่าวนี้จึงมีการเรียกการส่งผ่านข้อมูลแบบอะซิงโครนัสนี้ว่า การส่งผ่านข้อมูลแบบเริ่มต้น/หยุด (Start/Stop Transmission)

จังหวะเวลาและรูปแบบของการสื่อสารข้อมูลแบบอะซิงโครนัส

โดยทั่วไปการส่งข้อมูลแบบอะซิงโครนัสจะพิจารณาถึงเรื่องของอัตราความเร็วในการรับส่ง บิตเป็นอันดับแรก ซึ่งจะระบุกันในหน่วยของจำนวนบิตข้อมูลภายในเวลาหนึ่งวินาที เรียกว่าอัตราบอด (Baud Rate) เช่นถ้าเราทำการส่งข้อมูล 8 บิตด้วยความเร็ว 2400 บอด จะใช้เวลาในการส่งข้อมูลหนึ่ง บิตเท่ากับ $1/2400$ หรือ 416 ไมโครวินาที และเวลาในการส่งข้อมูลทั้ง 8 บิตจะมีค่าเท่ากับ 8×416 หรือ 3,328 μs

วิธีการที่จะทำให้การสื่อสารข้อมูลแบบอะซิงโครนัสมีความถูกต้องมากยิ่งขึ้น เราจะทำการสร้างรูปแบบของข้อมูลโดยการเพิ่มเติมบิตข้อมูลบางอย่างร่วมไปกับการส่งข้อมูลจริงได้แก่

1.บิตเริ่มต้น (Start Bit)

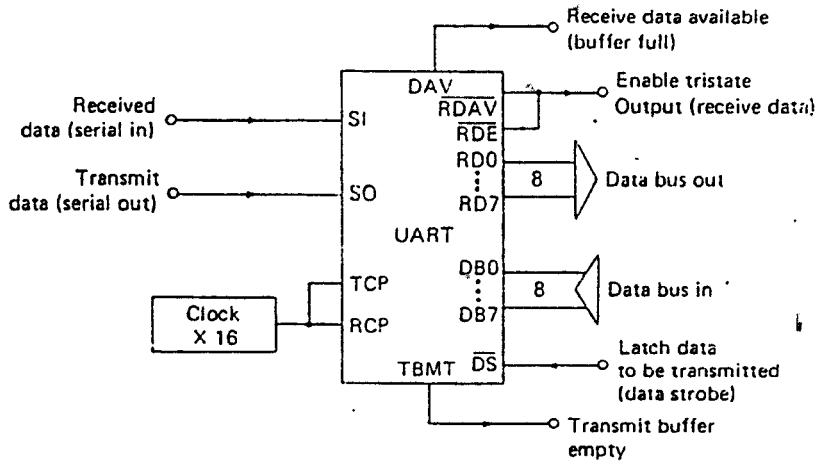
บิตเริ่มต้นมีหน้าที่สำหรับบอกให้ทางด้านรับทราบถึงตำแหน่งจุดเริ่มต้นของบิตข้อมูลเพื่อทำการปรับจังหวะของการรับส่งข้อมูลให้ตรงกัน ซึ่งจะถูกเพิ่มเข้าไปก่อนที่จะมีการส่งข้อมูลจริง โดยส่วนมากหากสถานะของสายเมื่อไม่มีข้อมูลจะมีลอจิกสูง ดังนั้นบิตเริ่มต้นจะมีระดับลอจิกต่ำ

2.บิตแสดงสถานะความเป็นเลขคู่หรือเลขคี่ (Parity Bit)

บิตนี้มีหน้าที่ตรวจสอบความถูกต้องของข้อมูล โดยจะนำไปแทรกต่อท้ายบิตข้อมูลค่าของ บิตนี้ขึ้นอยู่กับจำนวนค่าของบิตข้อมูลที่เป็นหนึ่ง ซึ่งจะเป็นไปได้สองลักษณะคือ พาริตีคู่ (Even Parity) หรือพาริตีคี่ (Odd Parity)

3.บิตสุดท้าย (Stop Bit)

บิตสุดท้ายมีหน้าที่ระบุถึงขอบเขตการสิ้นสุดของกลุ่มบิตข้อมูลบิตสุดท้ายนี้อาจจะมีจำนวนมากกว่าหนึ่งบิตได้ ดังนั้นกรณีของการส่งข้อมูล 8 บิต พร้อมบิตที่เพิ่มเติมเข้าไปโดยสมบูรณ์คือบิตเริ่มต้น บิตพาริตี และบิตสุดท้าย รวมทั้งสิ้น 12 บิตตามรูปที่ 8.3 หากข้อมูลถูกส่งออกไปด้วยอัตราเร็ว 2400 บอด เวลาโดยรวมในการส่งข้อมูล 1 ไบท์ จะมีค่าเป็น $12 \times 416 \mu s$ หรือ 4.99 ms



รูปที่ 2-35 แสดงลักษณะของไอซีที่เป็นซิวอาร์ท



บทที่ 3

การคำนวณและการสร้าง

ระบบการเข้ารหัสแบบ DPCM นั้น สามารถพิจารณาการทำงานได้โดยแบ่งออกเป็น 4 ส่วนใหญ่ดังนี้

- 1) ภาคกำเนิดสัญญาณควบคุม (Clock)
- 2) ภาคการเข้ารหัส (Coder)
- 3) ภาคการซิงโครไนส์ (Synchronous)
- 4) ภาคการถอดรหัส (Decoder)

ซึ่งเราจะทำการพิจารณาเป็นภาคต่างๆดังนี้

3.1 ภาคกำเนิดสัญญาณควบคุม (Clock)

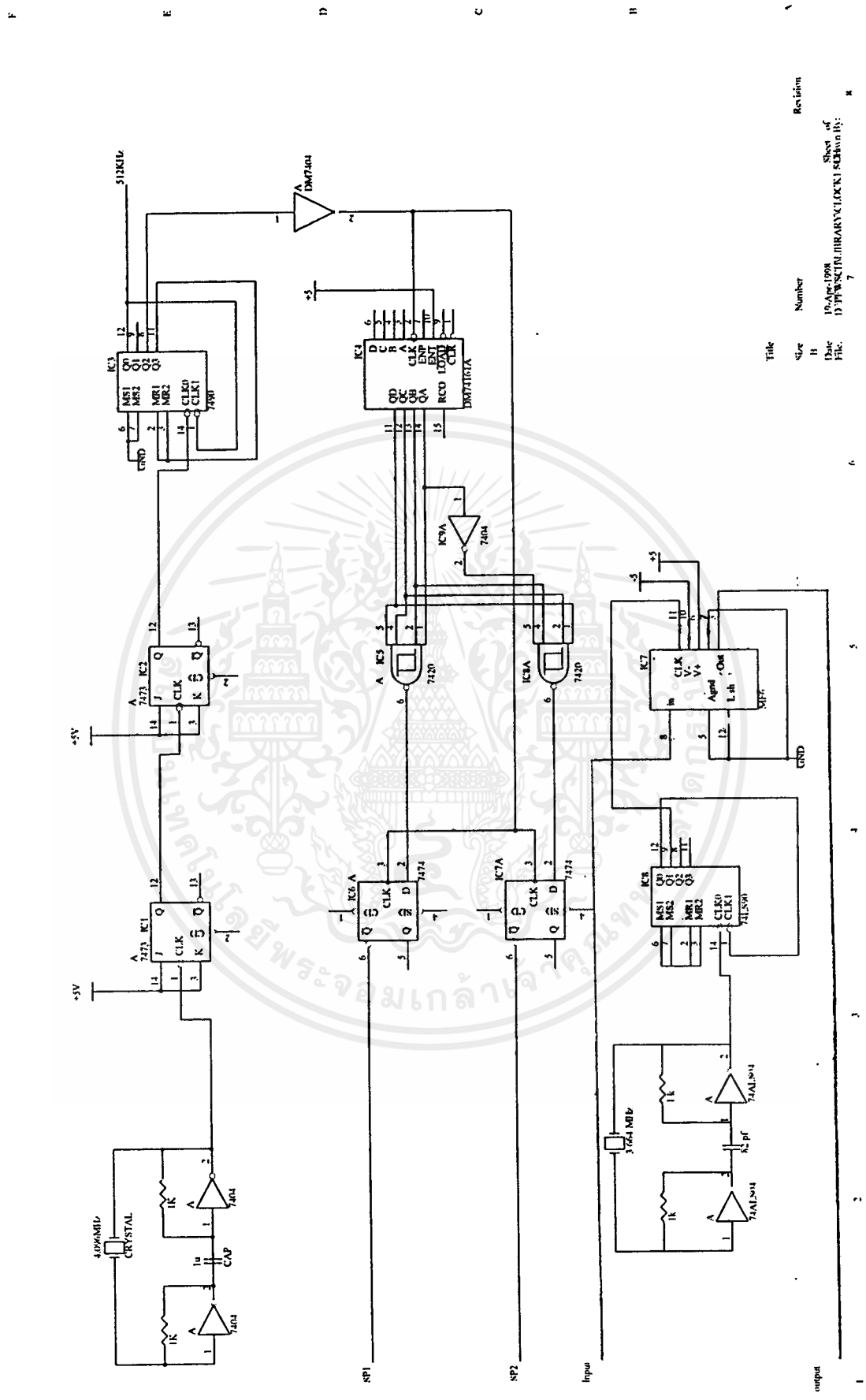
ในส่วนของภาคกำเนิดสัญญาณควบคุมนั้น เราต้องการ สัญญาณควบคุม SP1 ที่ใช้ในการสุ่มและคงค่าสัญญาณโดยจะทำการป้อนให้กับอานาลอกสวิทช์ ของภาคการเข้ารหัสโดยเราทราบว่าจากทฤษฎีของการสุ่มค่าความถี่ที่ใช้ในการสุ่มค่าสัญญาณมีค่าน้อยเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณข่าวสารแล้วเราสามารถที่จะนำสัญญาณตัวเดิมนั้นกลับคืนออกมาได้ โดยทั่วไปสัญญาณเสียงจะมีความถี่สูงสุดไม่เกินที่ 4 kHz ดังนั้นในการออกแบบนี้เราจะสร้างสัญญาณที่ใช้ในการสุ่มค่าที่ 8 kHz สัญญาณตัวต่อไปที่ต้องการคือ สัญญาณควบคุม SP2 ซึ่งใช้ในการสุ่มและคงค่าสัญญาณค่าทำนาย เพื่อจะนำค่าสัญญาณก่อนหน้ากลับคืนมา โดยที่สัญญาณควบคุม SP2 จะมีลักษณะคล้ายกับสัญญาณควบคุม SP1 แต่จะต่างกันที่สัญญาณควบคุม SP2 นี้จะมาก่อนหน้าสัญญาณควบคุม SP1 สัญญาณที่ต้องการตัวต่อไปคือสัญญาณนาฬิกาที่ความถี่ 512 kHz เพื่อป้อนให้กับตัวแปลงข้อมูลจากอานาลอกเป็นดิจิทัล เนื่องจากว่าตัวแปลงข้อมูลนี้ใช้ ADC 0800 ที่มีข้อจำกัดในการใช้งานของสัญญาณนาฬิกาที่ใช้ได้ระหว่าง 50-800 kHz และในการแปลงข้อมูลของมันจะใช้เวลาทั้งหมด 40 เท่าของสัญญาณนาฬิกา เพราะฉะนั้นมันจะใช้เวลาในการแปลงทั้งสิ้น $40 / (512 \text{ kHz}) = 78.125 \mu\text{s}$ ซึ่งตามทฤษฎีการสุ่มค่าสัญญาณที่เราออกแบบไว้ตอนต้นที่ 8 kHz เพราะฉะนั้นค่าของแต่ละตัวอย่างสัญญาณจะมีค่าเป็น 125 μs เราจะพบว่ามันสามารถทำการแปลงข้อมูลได้อย่างถูกต้องเพราะใช้เวลาน้อยกว่า สัญญาณตัวต่อไปที่ต้องการคือสัญญาณนาฬิกาที่ความถี่ 0.36864 MHz เพื่อที่จะนำมาใช้กับตัวกรองความถี่ต่ำผ่านในส่วนแรกสุดของภาคอินพุทเพื่อที่จะให้อินพุทนั้นอยู่ในช่วงที่ทำงานได้ระหว่างช่วงความถี่ 0-3.686 kHz

ในการสร้างภาคกำเนิดสัญญาณควบคุมนี้เราจะเริ่มจากการนำคริสตัลความถี่ 4.096 MHz นำมาทำการออกแบบกำเนิดความถี่ 4.096 MHz ขึ้นมา จากนั้นจะนำสัญญาณที่ได้นี้มาทำการหารความถี่ลง 4 เท่าเพื่อให้ได้ความถี่ 1.024 MHz โดยใช้ IC 7473 ซึ่งเป็น Dual J-K Master-Slave Flip-Flop with clear มาทำการออกแบบร่วมกัน จากนั้นเราจะนำสัญญาณที่ได้นี้ไปผ่าน IC 7490 ซึ่งเป็น Decade Counter ซึ่งทำการออกแบบมาเป็นวงจรนับสิบ BCD Count Sequence เราจะได้เอาท์พุทที่ความถี่ต่างๆ กันสี่ค่า คือ ที่ขา $Q_A = 512 \text{ kHz}$, $Q_B = 256 \text{ kHz}$, $Q_C = 128 \text{ kHz}$, $Q_D = 64 \text{ kHz}$ โดยค่าของเอาท์พุทที่ได้ที่ 512 kHz เราจะนำไปใช้เป็นสัญญาณให้กับภาคการเข้ารหัส และเราจะทำการนำสัญญาณที่ความถี่ 128 kHz มาผ่าน IC 74161 ซึ่งเป็น 4 Bit Binary Counter จะทำการนับสิบหกครั้ง (0-15) เราจะนำเอาท์พุททั้ง 4 ขาไปผ่านแเนนด์เกตแบบสี่อินพุท สัญญาณที่ได้จากแเนนด์เกตนี้จะมีค่าเป็นหนึ่งจนกระทั่งเมื่อทำการนับครบสิบหกแล้วจะได้เอาท์พุทที่เป็นศูนย์ จากนั้นจะนำไปผ่าน IC 7474 ซึ่งเป็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual D-type Positive-Edge-Triggered Flip-Flop แล้วจะนำเอาที่พุดอกที่ขา \bar{Q} นั่นคือเราจะสามารถสร้างสัญญาณที่ใช้ในการรุ่ม SP1 ซึ่งมีความถี่เท่ากับ 8 kHz ได้ ส่วนในการสร้างสัญญาณควบคุม SP2 นั้นเราจะนำเอาที่พุดทั้ง 4 ขาของ IC 74161 ดังกล่าวข้างต้นไปผ่านแนดเกตแบบสี่อินพุท โดยจะนำสัญญาณที่ขา Q_A ไปทำการผ่าน อินเวอร์เตอร์ IC 7404 ก่อน สัญญาณที่ได้จากแนดเกตนี้จะมีค่าเป็นหนึ่งจนกระทั่งเมื่อทำการนับครบสิบห้า แล้วจะได้เอาที่พุดที่เป็นศูนย์ จากนั้นจะนำไปผ่าน IC 7474 ซึ่งเป็น Dual D-type Positive-Edge-Triggered Flip-Flop แล้วจะนำเอาที่พุดอกที่ขา \bar{Q} นั่นคือเราจะสามารถสร้างสัญญาณที่ใช้ในการรุ่ม SP2 ซึ่งมีความถี่เท่ากับ 8 kHz ได้ซึ่งสัญญาณที่ได้จะนำหน้าสัญญาณ SPI ตามที่ต้องการ

ในส่วนของการตัวกรองความถี่ต่ำผ่านของสัญญาณอินพุทเราได้ใช้ MF 6 ซึ่งเป็น 6 th Butterworth Low Pass Filter โดยสัญญาณนาฬิกาที่ใช้จะต้องมีค่าเป็น 100 เท่าของความถี่คัทออฟที่ต้องการ เนื่องจากความถี่คัทออฟที่ต้องการมีค่า 0-3.686 kHz ดังนั้นจึงใช้คริสตัลที่ความถี่ 3.6864 MHz มาทำการออกแบบเพื่อกำเนิดสัญญาณความถี่ 3.6864 MHz ซึ่งสัญญาณที่ได้นี้จะถูกนำไปทำการผ่าน IC 7490 ซึ่งเป็น Decade Counter ทำการหารความถี่ของสัญญาณสิบเท่า ซึ่งเอาที่พุดที่ได้จะมีความถี่เท่ากับ 368.64 kHz ซึ่งมีค่าความถี่เป็น 100 เท่าของความถี่คัทออฟที่ต้องการ ซึ่งวงจรรวมของภาคกำเนิดสัญญาณควบคุมได้ถูกแสดงไว้ในรูปที่ 3-1





Title	Size	Number	Revision
	B		
Date	15/Apr/1998		
File	D:\PASCAL\LIBRARY\CLOCK1.SCH	7	
			Sheet of 8

รูปที่ 3-1 แสดงวงจรรวมของภาคกำเนิดสัญญาณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

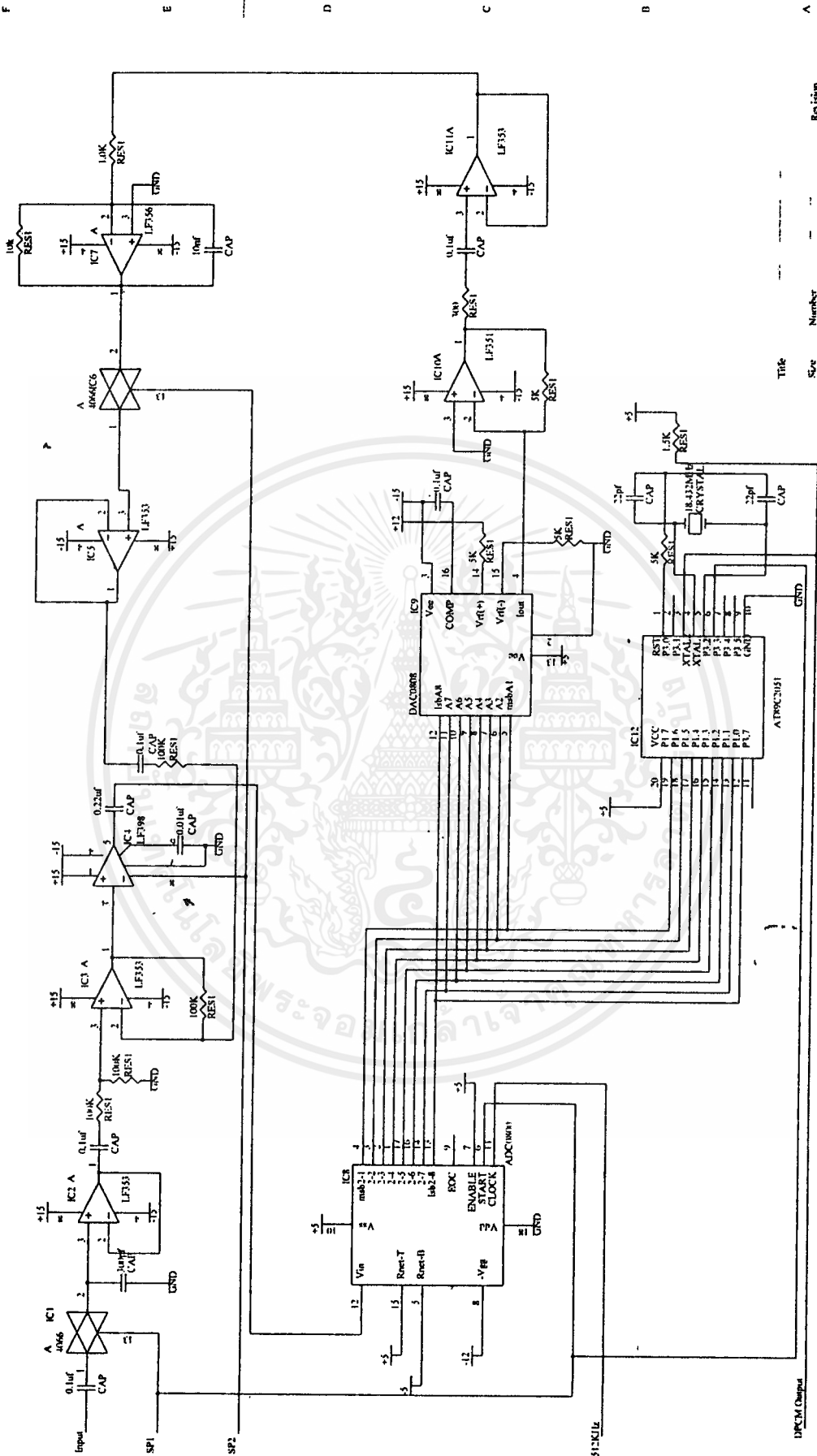
3.2 ภาคการเข้ารหัส (CODER)

จากหลักการของการเข้ารหัสแบบดิฟิซิเอ็มนั้น มีส่วนที่สำคัญคือ การสุ่มและคงค่าสัญญาณใช้ในการเก็บตัวอย่างค่าของสัญญาณอานาลอกที่เข้ามา ซึ่งสัญญาณที่ได้ทำการสุ่มแล้วจะถูกส่งเข้าไปในส่วนของการแปลงสัญญาณจากอานาลอกเป็นดิจิตอล และสัญญาณดิจิตอลที่ได้นี้จะถูกป้อนกลับเข้าไปในส่วนของการทำนายค่าสัญญาณ ซึ่งค่าทำนายที่ได้นี้จะถูกนำไปสุ่มและคงค่าสัญญาณเพื่อนำสัญญาณตัวเดิมกลับคืนมา ใช้ในการหาสัญญาณค่าผลต่างกับอินพุทที่เข้ามาใหม่ และสัญญาณค่าผลต่างที่ได้นี้เองที่จะนำมาแปลงสัญญาณจากอานาลอกเป็นดิจิตอลซึ่งสัญญาณที่ได้นี้คือสัญญาณดิฟิซิเอ็ม จากหลักการดังกล่าวข้างต้นนี้เราสามารถนำมาออกแบบวงจรภาคการเข้ารหัสได้ดังนี้

จากสัญญาณอินพุทที่ผ่านตัวกรองความถี่ต่ำจากภาคกำเนิดสัญญาณควบคุม แล้วจะถูกนำมาผ่านการสุ่มและคงค่าสัญญาณเอาไว้โดยใช้ IC 4066 ซึ่งเป็น Analog Voltage Switch จะทำการเปิดปิดสวิทช์ตามสัญญาณที่ขาควบคุมโดยเราจะนำสัญญาณ SPI ที่ได้จากภาคกำเนิดสัญญาณควบคุมมาใช้ควบคุมการทำงานของสวิทช์ใน IC 4066 เพื่อใช้ในการสุ่ม และ LF 353 ซึ่งเป็น Wide Bandwidth Dual JFET Input Operational Amplifier LF 353 จะนำมาต่อร่วมกับคาปาซิเตอร์ 300pf เพื่อใช้ในการคงค่าสัญญาณเอาไว้ สัญญาณที่ผ่านการสุ่มและคงค่านี้แล้วจะถูกแปลงข้อมูลจากอานาลอกให้เป็นดิจิตอล โดยเราจะใช้ ADC 0800

สัญญาณข้อมูลดิจิตอลนี้จะถูกแปลงกลับเป็นสัญญาณอานาลอกอีกครั้งโดยใช้ DAC 0808 ร่วมกับ LF 351 ซึ่งเป็น Wide Bandwidth JFET Input Operational Amplifier มาทำการออกแบบร่วมกัน โดยจะพบว่าการแปลงข้อมูลจาก DAC 0808 นั้นจะกลับเฟส 180 องศา กับสัญญาณอินพุทของ ADC 0800 และการแปลงกลับนี้จะมีการเลื่อนออกไปเท่ากับค่าเวลาที่ใช้ในการแปลงจากอานาลอกเป็นดิจิตอลซึ่งมีค่าเท่ากับ $78.125 \mu s$ ซึ่งสัญญาณที่ได้ตรงนี้จะถูกส่งไปยังส่วนของวงจรมัลติเพล็กซ์ โดยใช้ LF 353 และสัญญาณเอาต์พุทจากบัฟเฟอร์นี้จะถูกส่งเข้าไปในส่วนของการทำนายค่าสัญญาณ โดยใช้วงจรอินทีเกรเตอร์เพื่อให้ได้สัญญาณอินพุทเดิมกลับคืนมา จากนั้นเราจะนำค่าทำนายที่ได้นี้มาทำการสุ่มและคงค่าสัญญาณอีกครั้งหนึ่งโดยการใช้สัญญาณควบคุม SP2 มาทำการควบคุมการทำงานของอานาลอกสวิทช์ IC 4066 ซึ่งสัญญาณที่ได้นี้เรียกว่าสัญญาณค่าทำนาย

สัญญาณ อินพุทที่เข้ามาใหม่นี้จะถูกนำมาหาค่าสัญญาณผลต่างกับสัญญาณค่าทำนายที่ได้โดยใช้ LF 353 มาทำการออกแบบเป็น Differential Amplifier ซึ่งเมื่อเปรียบเทียบสัญญาณที่เข้ามาใหม่กับสัญญาณค่าทำนายแล้วจะพบว่าสัญญาณทั้งสองมีรูปร่างและขนาดที่เท่ากันแต่สัญญาณอินพุทที่เข้ามาใหม่จะนำหน้าสัญญาณค่าทำนายอยู่ $125 \mu s$ จากสัญญาณค่าผลต่างที่ได้นี้จะนำไปทำการสุ่มและคงค่าสัญญาณอีกครั้งหนึ่ง โดยใช้สัญญาณควบคุม SPI โดยในการสุ่มและคงค่าสัญญาณนี้เราใช้ LF 398 ซึ่งเป็น Monolithic Sample & Hold Circuit จากนั้นจึงนำไปเข้าตัวแปลงสัญญาณจากอานาลอกเป็นดิจิตอล ซึ่งสัญญาณดิจิตอลที่ได้ออกมาเป็นสัญญาณดิฟิซิเอ็ม ซึ่งวงจรรวมของภาคการเข้ารหัสได้ถูกแสดงไว้ในรูปที่ 3-2



Title: _____
 Scale: _____
 Date: 19-Apr-1998
 File: D:\PPT\SCHEM\LIBRARY\COMP\RESCT1.DRAWN.DWG.
 Number: 7
 Revision: K

1
 2
 3
 4
 5
 6

รูปที่ 3-2 แสดงวงจรรวมภาคการเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต
 ไม่ว่าการณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคการซิงโครนัส (Synchronous)

ในการส่งสัญญาณจากด้านส่งไปยังด้านรับนั้น ทางด้านรับจะสามารถรับข้อมูลได้ถูกต้องก็ต่อเมื่อทางด้านรับและด้านส่งนั้น มีการทำงานที่เป็นจังหวะเดียวกัน

3.3.1 การซิงโครนัสทางด้านส่ง

ในการซิงโครนัสนั้นเราได้ใช้ไมโครคอนโทรลเลอร์เบอร์ AT89C2051 ซึ่งอยู่ในตระกูล MCS-51 มาใช้ในการทำหน้าที่แปลงข้อมูลดิจิทัลจากขนานเป็นอนุกรมเพื่อส่งไปยังด้านรับ ซึ่งหลักการการทำงานของไมโครคอนโทรลเลอร์จะทำการส่งข้อมูลแบบอะซิงโครนัส โดยจะทำการแทรกสแตร์ทและสโตปบิทไว้ที่ส่วนต้นและส่วนท้ายของข้อมูลตามลำดับ ก่อนที่จะนำมันไปใช้งานเราจะต้องทำการเขียนโปรแกรมควบคุมการทำงานของมัน (โปรแกรมได้แสดงไว้ในภาคผนวก) โดยจะมีการทำงานดังนี้

ในขั้นแรกเราจะกำหนดค่าเริ่มต้นให้กับพอร์ทอนุกรม (SINIT) จะเป็นการกำหนดอัตราการส่งข้อมูล ซึ่งมีการกำหนดค่าในรีจิสเตอร์ต่างๆที่สำคัญดังนี้

TMOD : Timer/Counter Mode Control Register ซึ่งมีไทม์เมอร์อยู่ 2 ตัวในกรณีนี้เราใส่ค่า # 21 H ซึ่งเป็นการใช้ไทม์เมอร์ 1 เป็นตัวจับเวลาในโหมดสองซึ่งทำงานเป็น 8 บิตขอได้รีโหลด

TH1 : 8 Bit Register เราใส่ค่า 0FFH เข้าไปเพื่อเมื่อเกิดการรีโหลดจะโหลดค่านี้เข้าไป

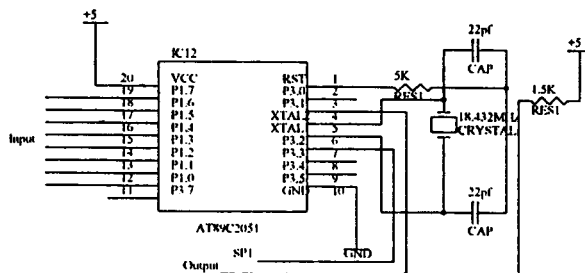
SCON : Serial Port Control Register เราจะทำการใส่ค่า #52H เข้าไปเพื่อให้มันทำงานเป็น 8 บิต UART และยอมให้มีการรับข้อมูล

PCON :Power Control Register เราทำการใส่ค่า #80H เข้าไปเพื่อให้การส่งเป็นแบบทวีคูณของอัตราบอดปกติ

เมื่อกำหนดค่าเริ่มต้นเรียบร้อยแล้วก็จะพร้อมที่จะทำการส่งข้อมูลเมื่อมีการอินเตอร์รัปต์ด้วยสัญญาณ SPI ซึ่งมีแผนผังการทำงานดังรูปที่ 3-4

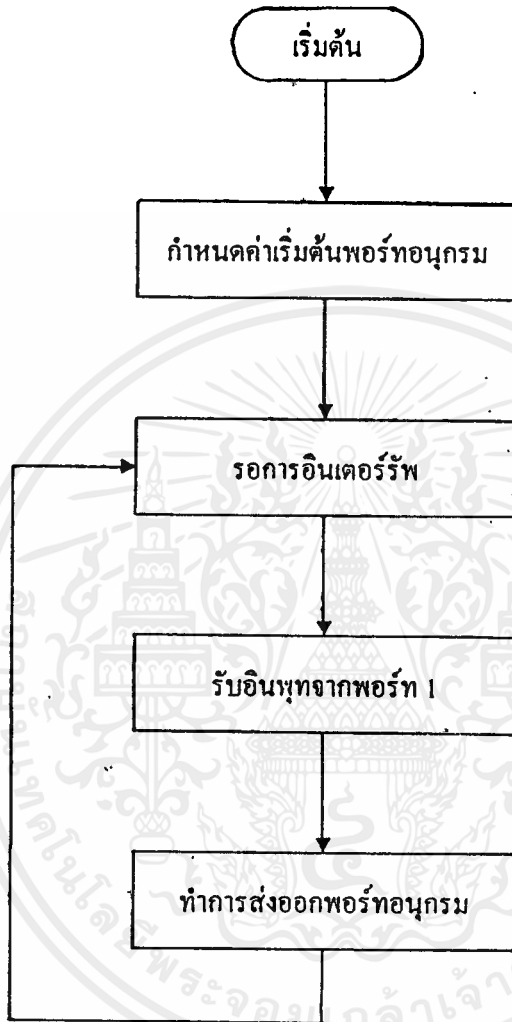
หลังจากทำการเขียนโปรแกรมการทำงานเรียบร้อยแล้ว ลักษณะการต่อใช้งานจะเป็นดังรูปที่ 3-3 เราใช้คริสตัลที่ 18.432 MHz ดังนั้นจะสามารถหาอัตราการส่งข้อมูลได้ดังนี้

$$\begin{aligned} \text{อัตราการส่งข้อมูล} &= \frac{2^{\text{SMOD}}}{32} * \frac{\text{ความถี่คริสตัล}}{12 * (256 - \text{TH1})} \\ &= \frac{2^{\text{SMOD}}}{32} * \frac{18.432\text{MHz}}{12 * (256 - 255)} \\ &= 96000 \text{ บิตต่อวินาที} \end{aligned}$$



รูปที่ 3-3 แสดงการต่อใช้งานทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-4 แสดงแผนผังการทำงานของทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การชิงโครนัสทางด้านรับ

ที่ทางด้านรับในการชิงโครนัสนั้นเราได้ใช้ไมโครคอนโทรลเลอร์เบอร์ AT89C2051 ซึ่งอยู่ในตระกูล MCS-51 มาใช้ในการทำหน้าที่แปลงข้อมูลดิจิทัลจากอนุกรมเป็นขนาน ที่รับมาจากทางด้านส่ง ซึ่งหลักการทำงานของไมโครคอนโทรลเลอร์จะทำการรับข้อมูลแบบอะซิงโครนัสซึ่งข้อมูลที่เข้ามาจะมีการแทรกสุตารท์และสตอปบิทไว้ที่ส่วนต้นและส่วนท้ายของข้อมูลตามลำดับ โดยจะตรวจหาส่วนที่เป็นสตาร์ทบิทเมื่อทำการตรวจหาเจอแล้วข้อมูล 8 บิตถัดไปก็จะเป็นข้อมูลที่ต้องการ ก่อนที่จะนำมันไปใช้งานเราจะต้องทำการเขียนโปรแกรมควบคุมการทำงานของมัน (โปรแกรมได้แสดงไว้ในภาคผนวก) โดยจะมีการทำงานดังนี้

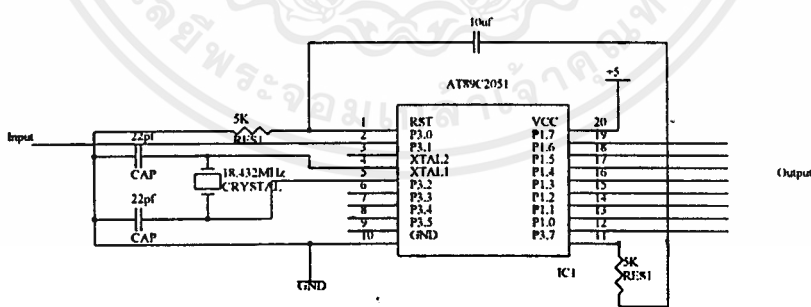
ในขั้นแรกเราจะกำหนดค่าเริ่มต้นให้กับพอร์ทอนุกรม (SINIT) จะเป็นการกำหนดอัตราการส่งข้อมูล โดยมีการกำหนดค่าในรีจิสเตอร์ต่างๆที่สำคัญเหมือนกับด้านส่ง เพื่อให้เกิดการรับส่งข้อมูลที่ตรงกัน โดยจะมีส่วนที่ต่างกันดังนี้

TMOD : Timer/Counter Mode Control Register ซึ่งมีไทม์เมอร์อยู่ 2 ตัวในกรณีนี้เราใส่ค่า # 22 H ซึ่งเป็นการใช้ไทม์เมอร์ 1 และ ไทม์เมอร์ 0 เป็นตัวจับเวลาในโหมดสองซึ่งทำงานเป็น 8 บิตขอด้รีโหลด

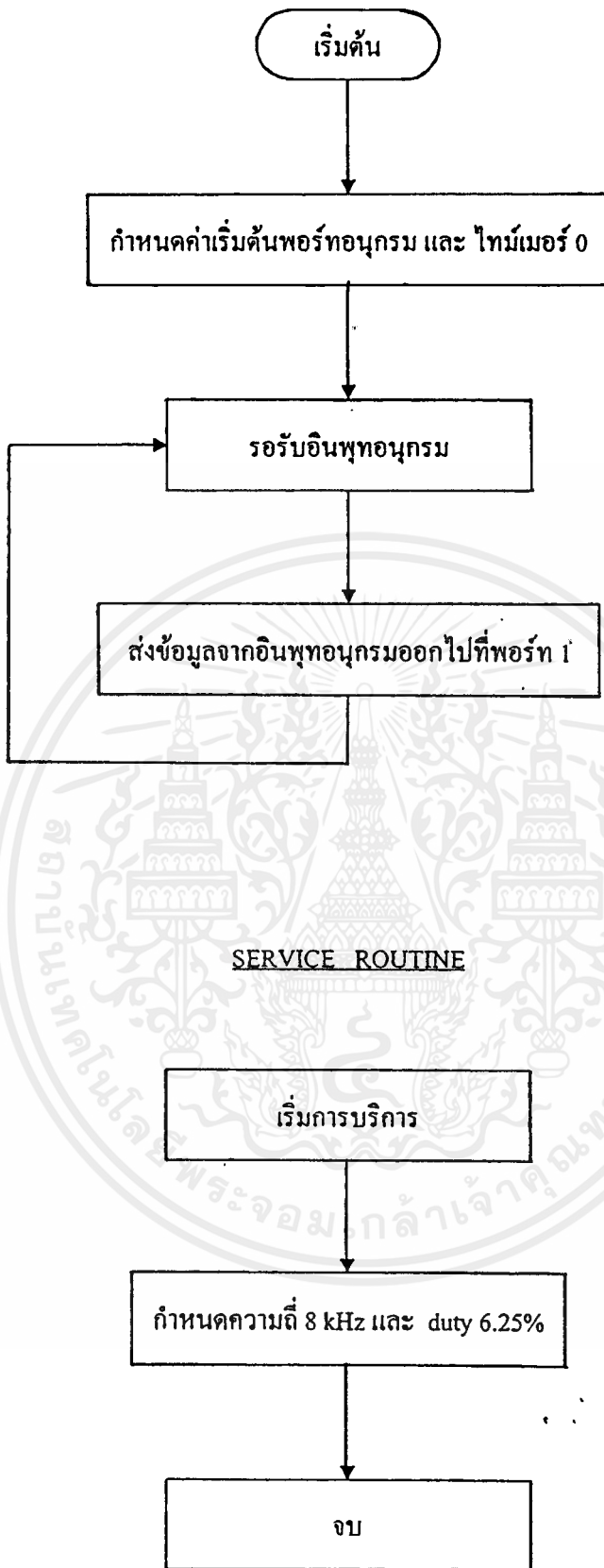
TH0 : 8 Bit Register เราใส่ค่า 0F4H เข้าไปเพื่อให้ไทม์เมอร์ 0 เมื่อเกิดการรีโหลดจะโหลดค่านี้เข้าไป

โดยไทม์เมอร์ 0 ที่ใช้เพิ่มขึ้นมานี้เพื่อที่จะทำการสร้างสัญญาณที่ใช้ในการสุ่มทางด้านรับ เมื่อกำหนดค่าเริ่มต้นเรียบร้อยแล้วก็จะพร้อมที่จะทำการรับข้อมูลเมื่อมีการรับข้อมูลแบบอนุกรมเข้ามาแล้ว และเมื่อพบบิท RI เป็นหนึ่ง ก็จะทำการส่งข้อมูลออกเป็นแบบขนาน 8 บิต นอกจากนี้ยังทำการสร้างสัญญาณที่ใช้ในการสุ่มขึ้นมาให้กับทางด้านรับด้วย ซึ่งมีแผนผังการทำงานดังรูปที่ 3-6

หลังจากทำการเขียนโปรแกรมการทำงานเรียบร้อยแล้ว ลักษณะการต่อใช้งานจะเป็นดังรูปที่ 3-5 เราใช้คริสตัลที่ 18.432 MHz ซึ่งจะต้องเป็นค่าเดียวกับทางด้านส่ง เพื่อให้สามารถทำการรับส่งกันได้



รูปที่ 3-5 แสดงการต่อใช้งานของทางด้านรับ



รูปที่ 3-6 แสดงแผนผังการทำงานของทางด้านรับ

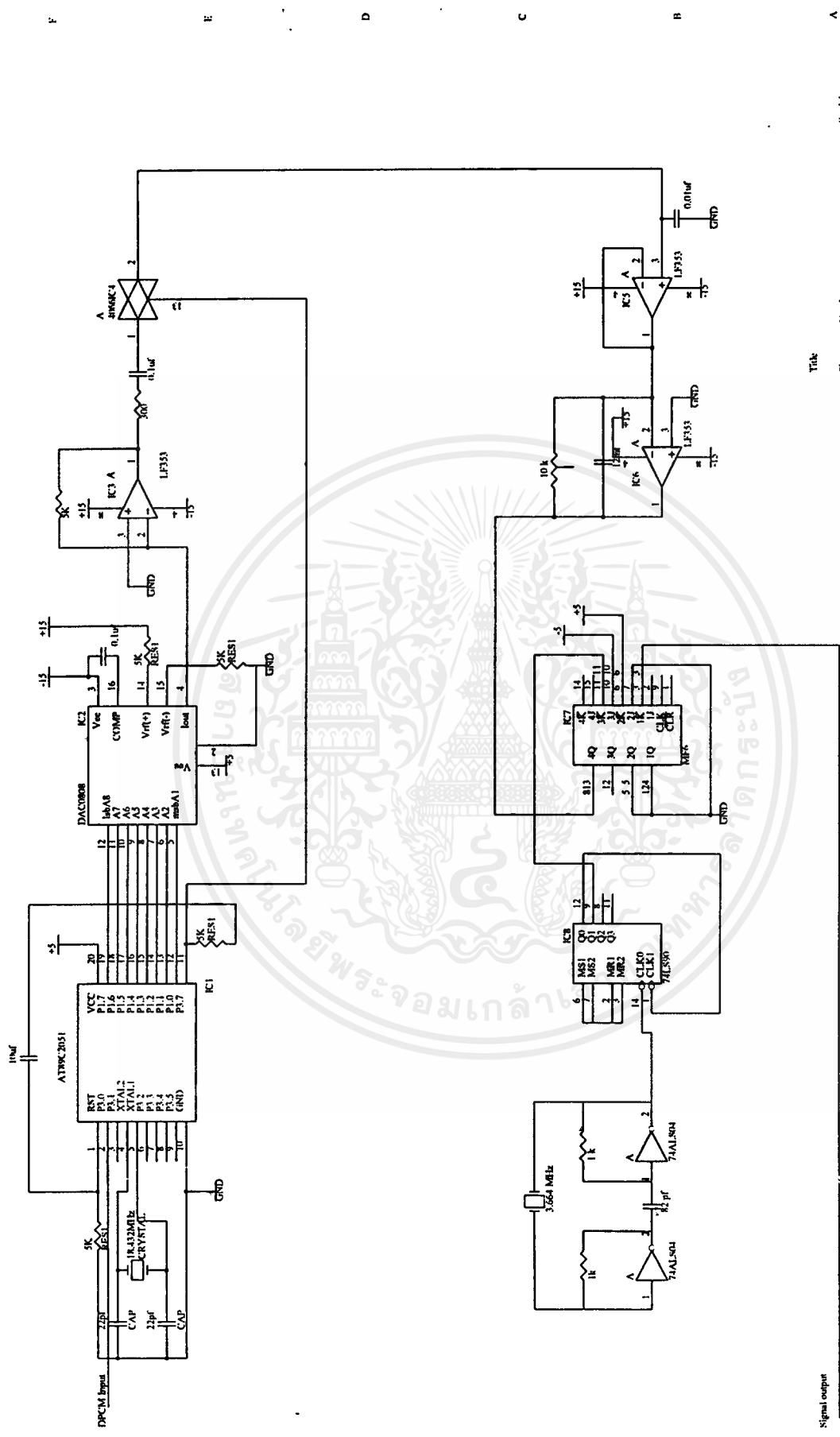
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ภาคการถอดรหัส (Decoder)

หลักการทำงานของทางด้านการถอดรหัสนั้น จะทำการแปลงข้อมูลสัญญาณดิจิทัลกลับออกมาเป็นสัญญาณอนาลอก ซึ่งเป็นสัญญาณค่าผลต่าง เราจะนำสัญญาณค่าผลต่างนี้มาทำการทำนายค่าสัญญาณ ให้เหมือนกับสัญญาณอินพุตทางด้านเข้ารหัส ซึ่งสัญญาณค่าทำนายนี้จะถูกนำไปผ่านตัวกรองความถี่ต่ำผ่านเพื่อให้ได้รูปร่างสัญญาณที่ดีขึ้น จากหลักการข้างต้นนี้เราสามารถนำมาออกแบบวงจรทางด้านถอดรหัสได้ดังนี้

สัญญาณดิจิทัล 8 บิตที่ได้จากภาคการชิงโครนีสทางด้านรับจะถูกแปลงกลับเป็นสัญญาณอนาลอก โดยใช้ DAC 0808 ร่วมกับ LF 351 ซึ่งเป็น Wide Bandwidth JFET Input Operational Amplifier มาทำการออกแบบาร่วมกัน ซึ่งสัญญาณเอาต์พุตที่ได้ตรงนี้จะป็นสัญญาณค่าผลต่าง เราจะนำสัญญาณค่าผลต่างนี้ไปทำการสุ่มด้วยสัญญาณ SPI ที่ได้สร้างขึ้นทางด้านภาคชิงโครนีสทางด้านรับ สัญญาณที่ถูกทำการสุ่มแล้วจะถูกส่งไปยังส่วนของการทำนายค่าสัญญาณโดยใช้วงจรอินทิเกรเตอร์เพื่อให้ได้สัญญาณอินพุตเดิมกลับคืนมา จากนั้นเราจะนำค่าทำนายที่ได้นี้มาทำการผ่านวงจรกรองความถี่ต่ำผ่าน เอาต์พุตที่ได้จะมีรูปร่างและเหมือนกับอินพุตเดิมซึ่งวงจรรวมของภาคการถอดรหัสได้แสดงไว้ในรูปที่ 3-7





Task	Size	Number	Revision
	B	7	
Date:	19-Apr-1998		
File:	D:\PWP\SC\T1\LIBRARY\MICRO\C0380501.D		
		7	K

รูปที่ 3-7 แสดงวงจรรวมของภาคการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

ขั้นตอนการทดลอง

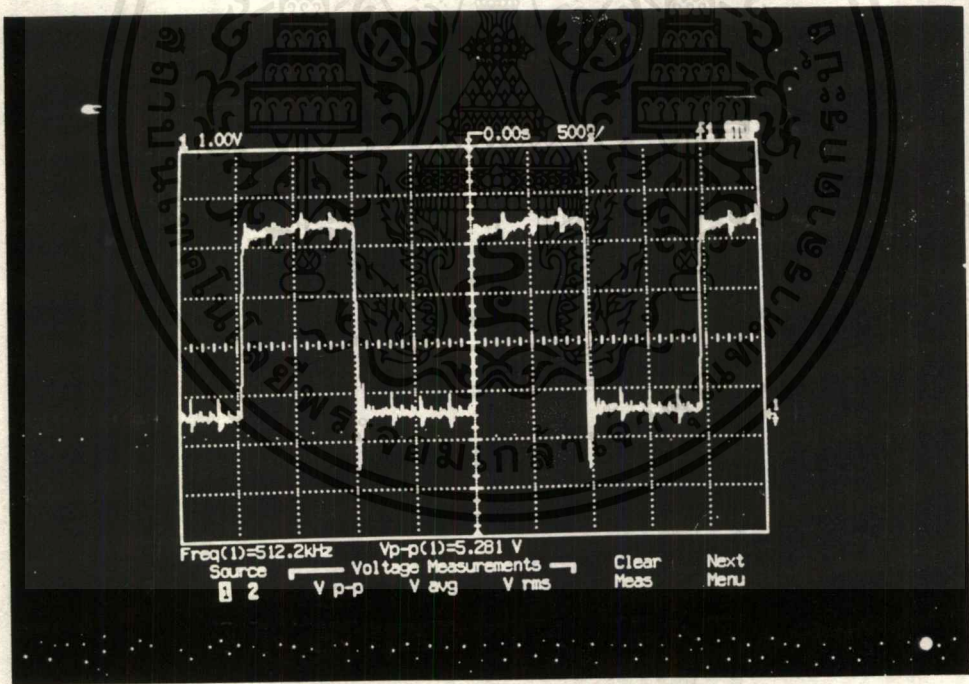
เราได้แบ่งการทดสอบออกเป็น 2 ส่วนคือ

- 1) ทำการป้อนสัญญาณอินพุทรูป Sine ความถี่ 1 kHz และ มีค่า $V_p = 2\text{ V}$
- 2) ทำการป้อนสัญญาณอินพุทรูป Square Wave ที่มีค่า Duty Cycle 20 % ความถี่ 1 kHz และ

มีค่า $V_p = 2\text{ V}$

4.1 ทำการทดสอบกับสัญญาณอินพุทรูป Sine

1. ทำการป้อนสัญญาณอินพุทรูป Sine ความถี่ 1 kHz และ มีค่า $V_p = 2\text{ V}$
2. ทำการวัดสัญญาณนาฬิกา 512 kHz (ที่ขา 12 ของ IC 7490 ซึ่งเป็น IC ตัวที่ 3 ของภาคกำเนิดสัญญาณควบคุม) ซึ่งแสดงไว้ในรูปที่ 4-1 ซึ่งเป็นสัญญาณนาฬิกาที่ใช้ป้อนให้กับตัวแปลงสัญญาณจากอานาลอกเป็นดิจิทัล

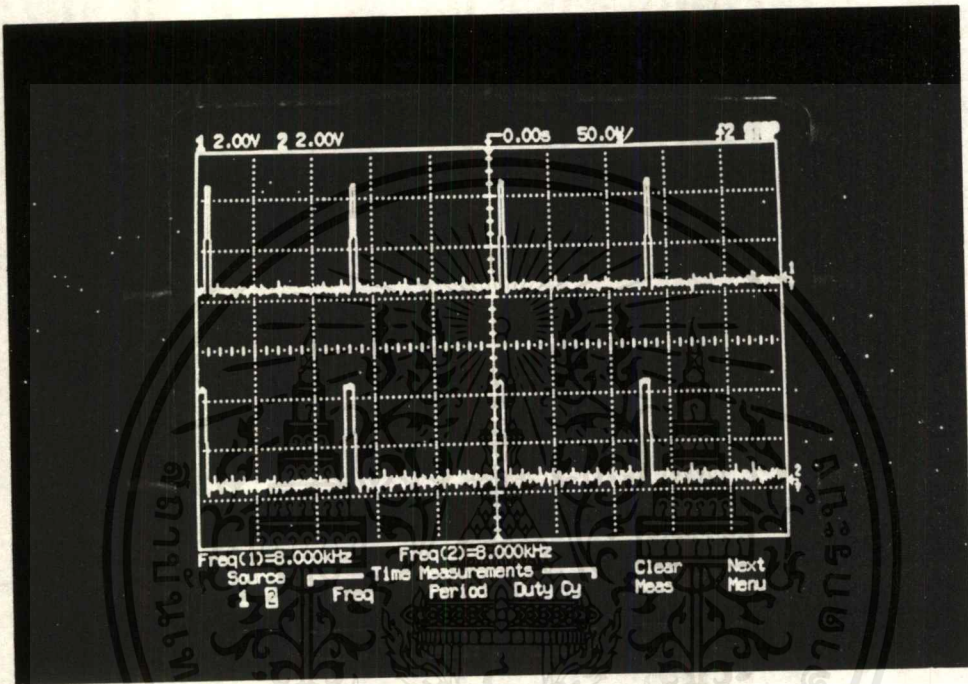


รูปที่ 4-1 แสดงสัญญาณนาฬิกาความถี่ 512 kHz

3. ทำการวัดสัญญาณที่ใช้ในการสุ่ม SP1 และ SP2 (ที่ขา 6 ของ IC 7474 ซึ่งเป็น IC ตัวที่ 6 และ 7 ของภาคกำเนิดสัญญาณควบคุม) ซึ่งแสดงไว้ในรูปที่ 4-2

จากรูปที่ 4-2 ch1 แสดงถึงสัญญาณ SP1 และ ch2 แสดงถึงสัญญาณ SP2 เราจะเห็นได้ว่าลักษณะของสัญญาณทั้งสองจะเป็นพัลส์ ซึ่งมีความถี่เป็น 8 kHz สอดคล้องกับอัตราการสุ่มที่ต้องการ เราจะเห็นได้ชัดเจนว่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่อนักเรียนไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

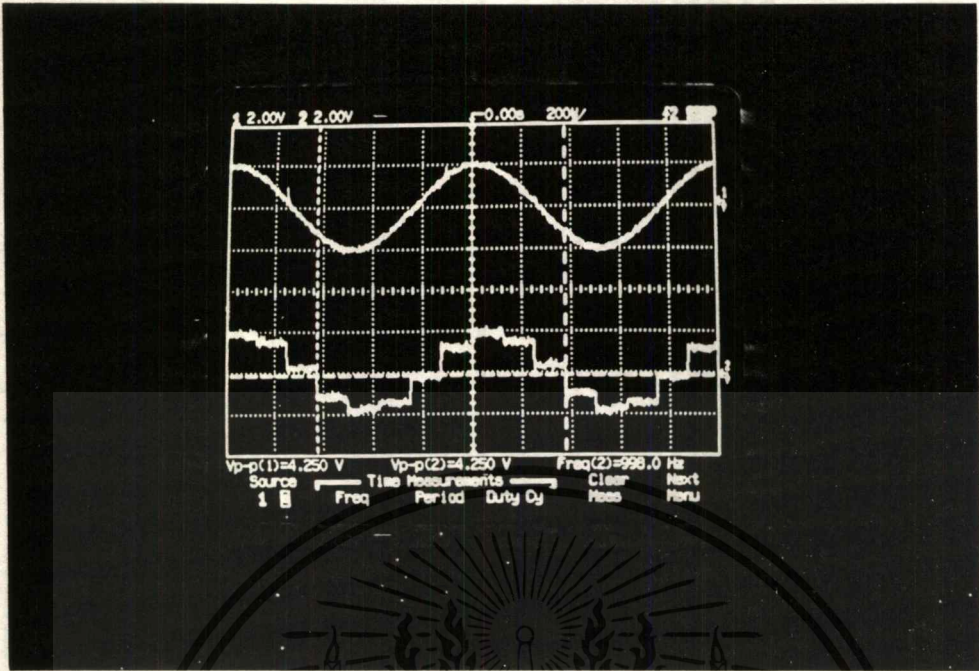
สัญญาณ SP2 จะมาก่อนสัญญาณ SP1 ซึ่งสัญญาณ SP1 ที่ได้นี้จะนำไปใช้ในการสุ่มค่าสัญญาณของ IC 4066 และ LF 398 ซึ่งเป็น IC ตัวที่ 1 และ 4 ของภาคการเข้ารหัส และยังนำไปใช้ในการควบคุมการทำงานของตัวแปลงสัญญาณจากอานาลอกเป็นดิจิทัลซึ่งเป็น IC ตัวที่ 8 ของภาคการเข้ารหัส และยังนำไปใช้ในการควบคุมการส่งข้อมูลของภาคการซิงโครไนส์ทางด้านส่งซึ่งเป็น IC ตัวที่ 12 ของภาคการเข้ารหัส ส่วนสัญญาณ SP2 จะนำไปใช้ในการสุ่มและคงค่าของสัญญาณที่เป็นสัญญาณค่าทำนาย ของ IC 4066 ซึ่งเป็น IC ตัวที่ 6 ของภาคการเข้ารหัส



รูปที่ 4-2 แสดงสัญญาณที่ใช้ในการสุ่ม SP1 และ SP2

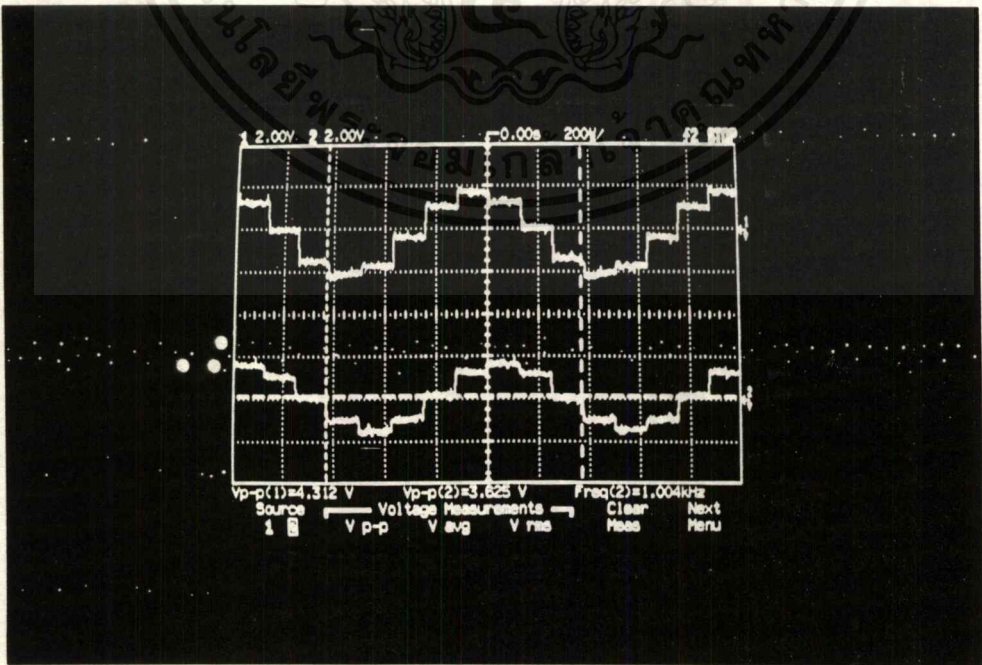
4. ทำการวัดสัญญาณอานาลอกอินพุตที่เข้ามากับสัญญาณที่ได้จากการสุ่มและคงค่าที่ (ขา 1 ของ LF353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-3

จากรูปที่ 4-3 ch1 แสดงสัญญาณอานาลอกอินพุต ส่วน ch2 แสดงสัญญาณที่ได้จากการสุ่มและคงค่า จะพบว่าสัญญาณที่ได้จากการสุ่มและคงค่าจะมีลักษณะรูปร่างเป็นขั้นบันไดมีความกว้างของแต่ละขั้นเป็น $1/8$ kHz หรือ $125 \mu s$ ตามค่าสัญญาณที่ใช้ในการสุ่ม โดยมีขนาดและเฟสเหมือนกับสัญญาณอานาลอกอินพุต



รูปที่ 4-3 แสดงสัญญาณอานาลอกอินพุตกับสัญญาณที่ได้จากการสุ่มและคงค่า

5. ทำการวัดสัญญาณอินพุตที่ผ่านการสุ่ม (ขา 1 ของ LF 353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) กับสัญญาณค่าทำนายที่ผ่านการสุ่ม (ขา 7 ของ LF 353 ซึ่งเป็น IC ตัวที่ 5 ของภาคการเข้ารหัส) เพื่อที่จะนำมาหาค่าสัญญาณผลต่าง ซึ่งแสดงไว้ในรูปที่ 4-4

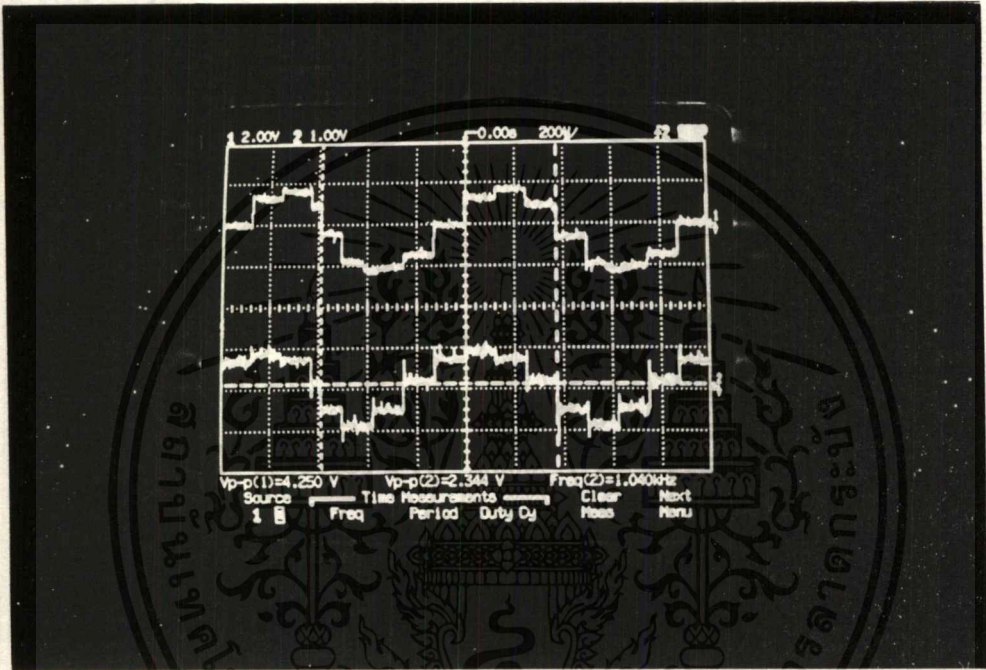


รูปที่ 4-4 แสดงสัญญาณที่จะนำมาหาค่าผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-4 ch1 แสดงสัญญาณอินพุตที่ผ่านการสุ่ม และ ch2 แสดงสัญญาณค่าทำนายที่ผ่านการสุ่ม เราจะเห็นได้ว่าสัญญาณทั้งสองจะมีลักษณะทั้งขนาดและรูปร่างที่เหมือนกันแต่จะต่างกันว่า สัญญาณค่าทำนายที่ผ่านการสุ่มจะมีเฟสตามหลังสัญญาณอินพุตที่ผ่านการสุ่มอยู่ $125 \mu\text{s}$ ซึ่งแสดงให้เห็นว่าที่เวลาเดียวกันค่าสัญญาณของ ch2 จะเป็นสัญญาณก่อนหน้าของ ch1

6. ทำการวัดสัญญาณอินพุตที่ผ่านการสุ่มและคงค่าสัญญาณ (ขา 1 ของ LF353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) กับสัญญาณค่าผลต่างที่ผ่านการสุ่ม (ขา 5 ของ LF 398 ซึ่งเป็น IC ตัวที่ 4 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-5

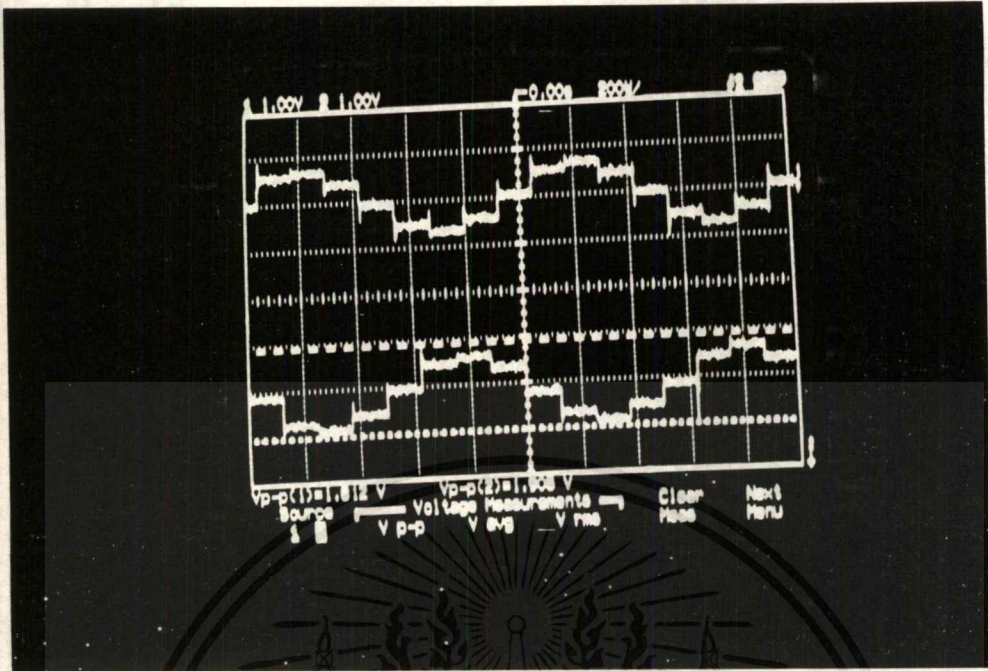


รูปที่ 4-5 แสดงค่าสัญญาณอินพุตที่ผ่านการสุ่มกับสัญญาณค่าผลต่างที่ผ่านการสุ่ม

จากรูปที่ 4-5 ch1 แสดงสัญญาณอินพุตที่ผ่านการสุ่ม และ ch2 แสดงสัญญาณค่าผลต่างที่ผ่านการสุ่ม เรา จะเห็นว่า สัญญาณค่าผลต่างที่ผ่านการสุ่มจะมีขนาดลดลงซึ่งเกิดจากการลบกันของสัญญาณอินพุตที่ผ่านการสุ่ม กับค่าทำนายที่ผ่านการสุ่ม โดยเราจะนำสัญญาณนี้ไปทำการแปลงเป็นสัญญาณดิจิทัล

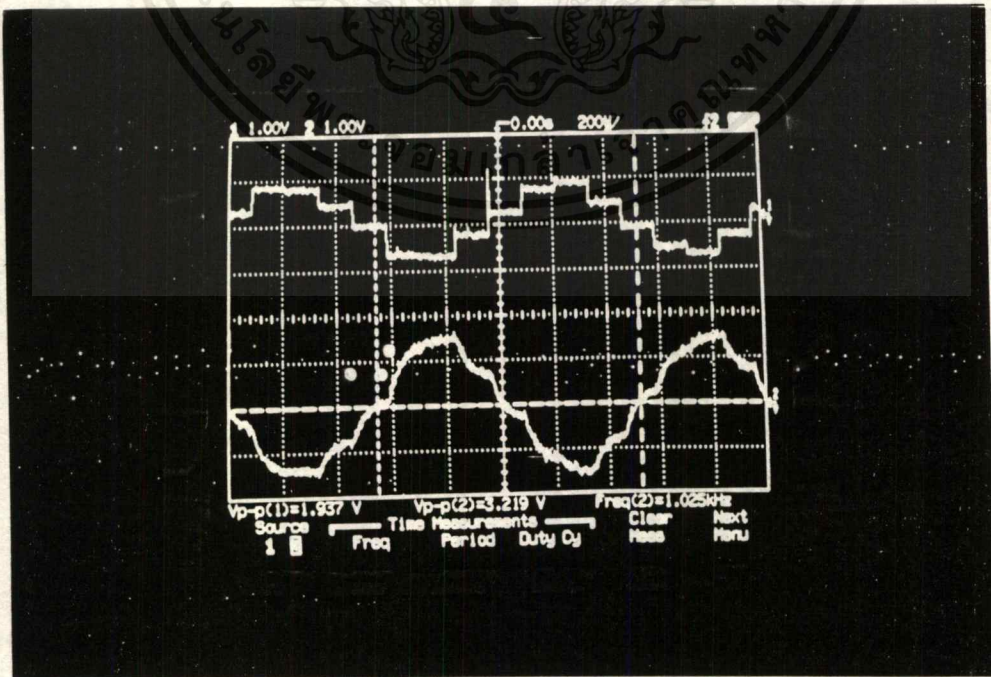
7. ทำการวัดสัญญาณค่าผลต่างก่อนที่จะเข้าตัวแปลงข้อมูลจากอานาลอกเป็นดิจิทัล (ขา 12 ของ ADC 0800 ซึ่งเป็น IC ตัวที่ 8 ของภาคการเข้ารหัส) เทียบกับเอาต์พุตจากตัวแปลงดิจิทัลเป็นอานาลอก (ขา 6 ของ LF 351 ซึ่งเป็น IC ตัวที่ 10 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ดังรูปที่ 4-6

จากรูปที่ 4-6 ch 1 แสดงสัญญาณค่าผลต่างก่อนที่จะเข้า ADC 0800 และ ch2 แสดงสัญญาณค่าผลต่าง หลังออกจาก DAC 0808 ซึ่งเราจะเห็นได้ว่าสัญญาณทั้งสองจะมีรูปร่างและขนาดที่เหมือนกัน เนื่องจากว่าเป็นค่า สัญญาณผลต่างเหมือนกัน แต่จะต่างกันตรงที่สัญญาณที่ ch2 จะกลับเฟสกับ ch1 เนื่องมาจากคุณสมบัติของตัว ADC และ DAC ที่ใช้ และยังมีกรเลือนเฟสออกไปอีก $78 \mu\text{s}$ ซึ่งเป็นเวลาที่ใช้ในการแปลงข้อมูลของ ADC เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่วารณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-6 แสดงสัญญาณค่าผลต่างก่อนเข้า ADC 0800 และสัญญาณค่าผลต่างหลังออกจาก DAC 0808

8. ทำการวัดสัญญาณค่าผลต่างที่ได้จากตัวแปลงข้อมูลจากดิจิทัลเป็นอนาลอก (ขา 6 ของ LF 351 ซึ่งเป็น IC ตัวที่ 10 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าทำนาย (ขา 6 ของ LF 356 ซึ่งเป็น IC ตัวที่ 7 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ดังรูปที่ 4-7

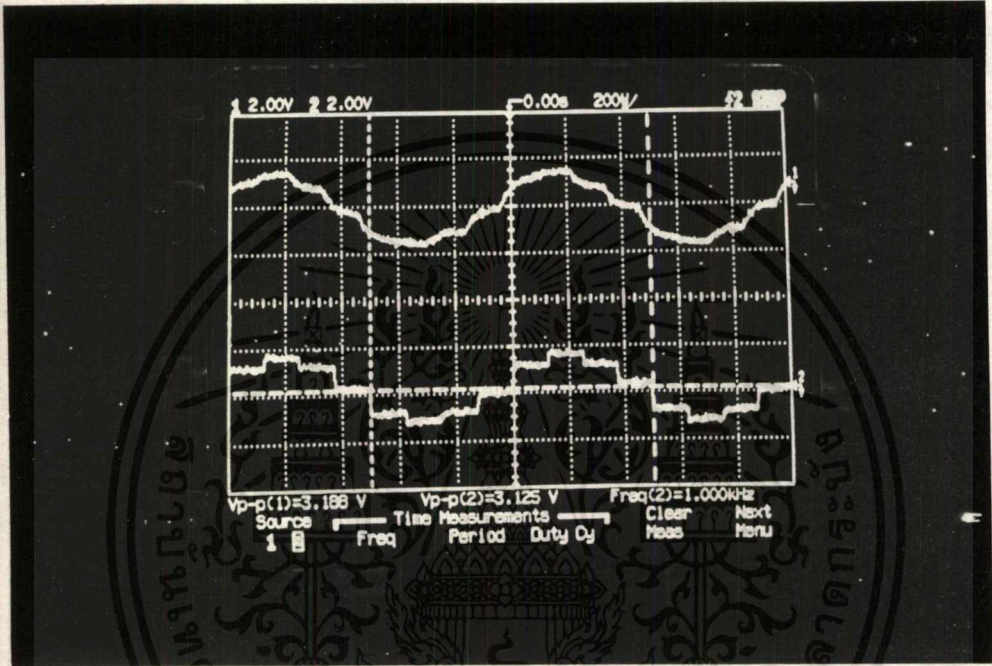


รูปที่ 4-7 แสดงสัญญาณค่าผลต่างที่ได้จาก DAC เทียบกับสัญญาณค่าทำนาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-7 ch1 แสดงสัญญาณค่าผลต่างที่ได้จาก DAC และ ch2 แสดงสัญญาณค่าทำนาย จะเห็นว่าสัญญาณค่าทำนายที่ได้เกิดจากการรวมสัญญาณค่าผลต่างที่ได้ และสัญญาณค่าทำนายนี้จะมีรูปร่างและขนาดใกล้เคียง กับสัญญาณอินพุตเดิม ซึ่งเราจะนำสัญญาณค่าทำนายนี้ไปทำการสุ่มและคงค่า ด้วยสัญญาณควบคุม SP2

9. ทำการวัดสัญญาณค่าทำนาย (ขา 6 ของ LF 356 ซึ่งเป็น IC ตัวที่ 7 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มและคงค่าแล้ว ด้วยสัญญาณควบคุม SP2 (ขา 7 ของ LF 353 ซึ่งเป็น IC ตัวที่ 5 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-8



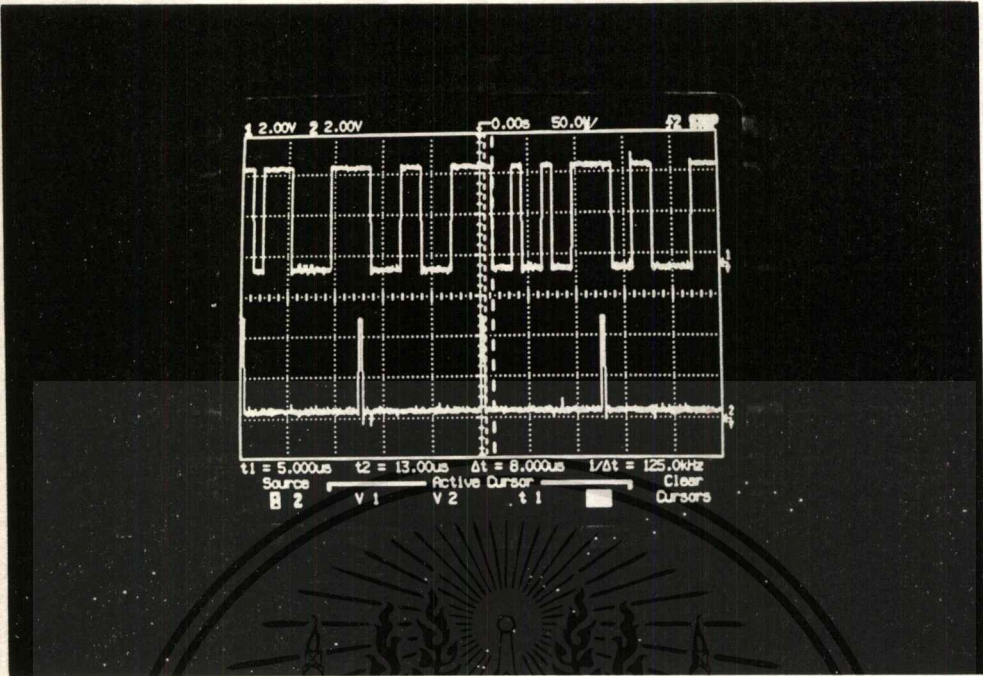
รูปที่ 4-8 แสดงสัญญาณค่าทำนายที่ได้เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP2

จากรูปที่ 4-8 ch1 แสดงสัญญาณค่าทำนาย และ ch2 แสดงสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP2 ซึ่งเราจะเห็นได้ว่าสัญญาณค่าทำนายที่ผ่านการสุ่มจะมีลักษณะเป็นขั้นบันได ซึ่งแต่ละขั้นมีความห่างกันเท่ากับ 8 kHz ซึ่งเท่ากับอัตราการสุ่มสัญญาณนี้เมื่อเทียบกับสัญญาณอินพุตที่ผ่านการสุ่มนั้น จะมีการเลื่อนเฟสไป 8 kHz ดังแสดงไว้แล้วในรูปที่ 4-4

10. ทำการวัดสัญญาณเอาต์พุตดิจิทัลที่ผ่านการชิงโครไนส์ (ที่ขา 3 ของ AT89C2051 ซึ่งเป็น IC ตัวที่ 12 ของภาคการเข้ารหัส) เทียบกับสัญญาณควบคุมการส่งข้อมูล SP1 (ที่ขา 6 ของ AT89C2051 ซึ่งเป็น IC ตัวที่ 12 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-6

จากรูปที่ 4-9 ch1 แสดงถึงสัญญาณเอาต์พุตดิจิทัลที่ชิงโครไนส์ และ ch2 แสดงถึงสัญญาณควบคุมการส่ง SP1 ซึ่งแสดงให้เห็นว่า สัญญาณเอาต์พุตดิจิทัลที่ชิงโครไนส์จะประกอบไปด้วยส่วนของสตาร์ทบิตตามด้วยข้อมูล 8 บิต และปิดท้ายด้วยสตอปบิต ซึ่งเมื่อทำการเปรียบเทียบกับสัญญาณ SP1 จะเห็นได้ว่าเมื่อ SP1 เปลี่ยนสถานะจากสูงเป็นต่ำก็จะเริ่มทำการส่งข้อมูลออกไปโดยบิตแรกที่ส่งจะเป็นสตาร์ทบิต (สถานะ 0) ตามด้วยข้อมูล 8 บิต และปิดท้ายด้วยสตอปบิต (สถานะ 1) และจะคงสถานะนี้นั่นกว่าสัญญาณ SP1 จะเปลี่ยนสถานะจากสูงเป็นต่ำอีกครั้งซึ่งก็เป็นการส่งข้อมูลตัวถัดไป

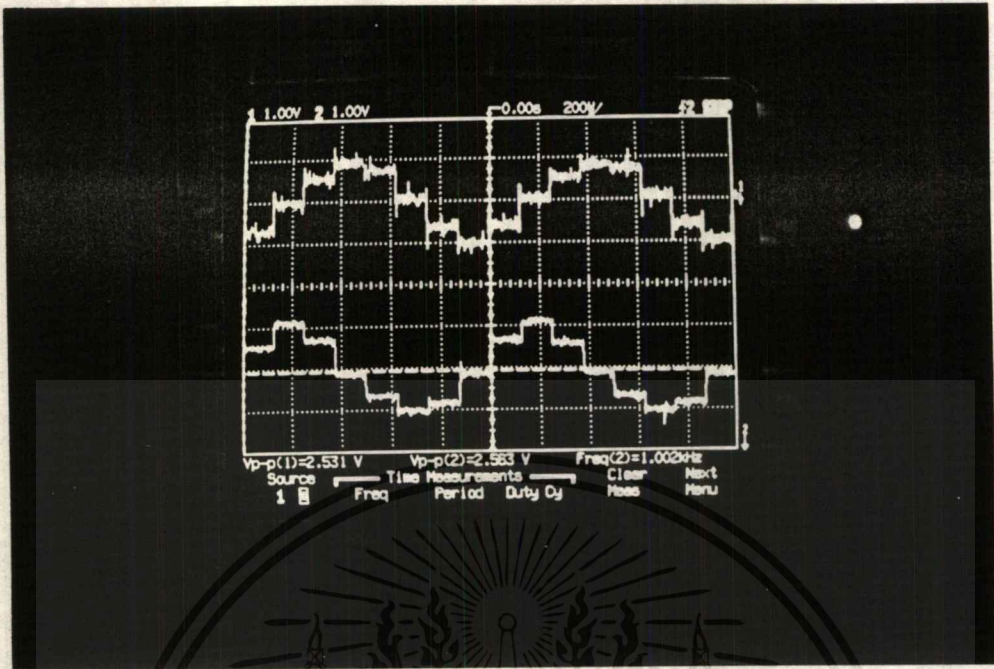
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-9 แสดงสัญญาณเอาต์พุตพีซีเอ็มเทียบกับสัญญาณควบคุมการส่ง SPI

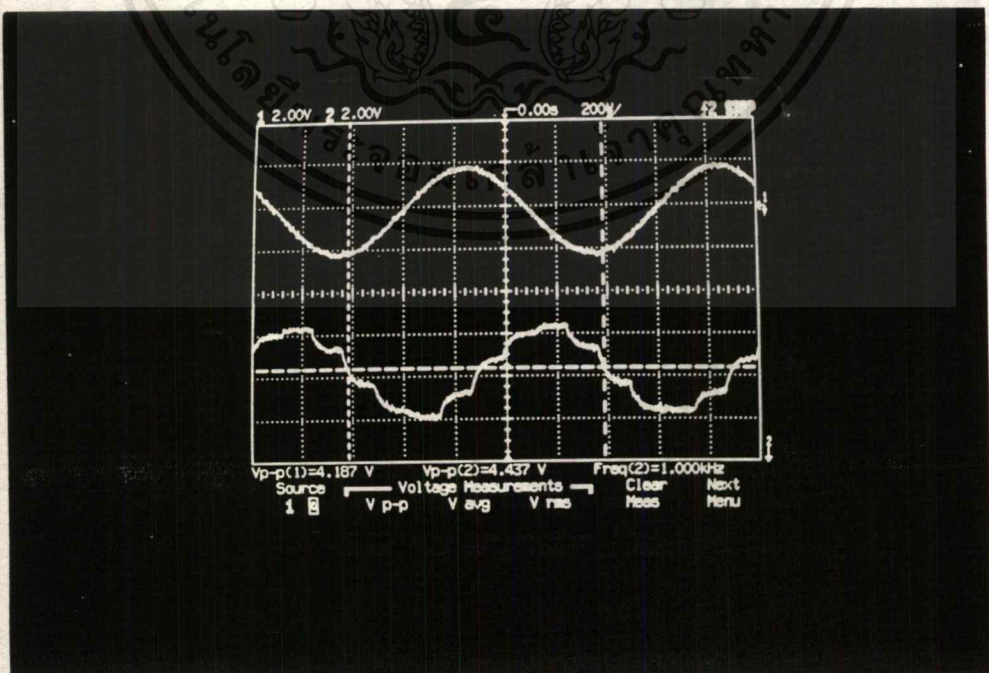
11. ทำการวัดสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัส (ขา 5 ของ LF 398 ซึ่งเป็น IC ตัวที่ 4 ของภาคการเข้ารหัส) เทียบกับสัญญาณที่ได้จากการแปลงดิจิทัลเป็นอนาลอกทางด้านภาคการถอดรหัส (ขา 1 ของ LF 353 ซึ่งเป็น IC ตัวที่ 3 ของภาคการถอดรหัส) ซึ่งแสดงได้ดังรูปที่ 4-10

จากรูปที่ 4-10 ch1 แสดงสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัส และ ch2 แสดงสัญญาณที่ได้จากการแปลงดิจิทัลเป็นอนาลอกทางด้านภาคการถอดรหัส เราจะเห็นได้ว่าสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัส กับสัญญาณที่ได้จากแปลงดิจิทัลเป็นอนาลอกทางด้านภาคการถอดรหัส จะมีขนาดและรูปร่างที่เหมือนกันเนื่องจากสัญญาณทั้งสองเป็นสัญญาณค่าผลต่างเหมือนกันแต่จะต่างกันตรงที่สัญญาณที่ได้จากแปลงดิจิทัลเป็นอนาลอกจะกลับเฟสไป 180 องศาเนื่องจากคุณสมบัติการสัญญาณของตัวแปลงอนาลอกเป็นดิจิทัล และยังมี การเลื่อนเฟสออกไปอีก 250 μ s อันเนื่องมาจากขบวนการส่งข้อมูลของไมโครคอนโทรลเลอร์ สัญญาณอนาลอกที่เป็นค่าผลต่างซึ่งได้มาจากข้อมูลพีซีเอ็มที่รับเข้ามา ทางซิงโครนัสด้านรับจะทำการตรวจสอบหาสตาร์ทบิตเมื่อพบ ก็จะทำ การส่งข้อมูล 8 บิตออกมาทางขนาน จะเห็นได้ว่าทางด้านรับจะสามารถรับข้อมูลได้อย่างถูกต้อง ซึ่งสัญญาณข้อมูล 8 บิต ที่ได้นี้จะถูกทำการแปลงกลับเป็นสัญญาณอนาลอก สัญญาณอนาลอกที่ได้นี้ก็คือสัญญาณค่าผลต่างนั่นเอง



รูปที่ 4-10 แสดงสัญญาณค่าผลต่างที่ผ่านการรุ่มทางด้านภาคการเข้ารหัส กับสัญญาณที่ได้จากแปลงดิจิทัลเป็น
อานาลอกทางด้านภาคการถอดรหัส

12. ทำการวัดสัญญาณอินพุทเทียบกับสัญญาณค่าทำนายทางภาคการถอดรหัส (ขา 6 ของ LF 353 ซึ่ง
เป็น IC ตัวที่ 3 ของภาคการถอดรหัส) ซึ่งแสดงไว้ในรูปที่ 4-11

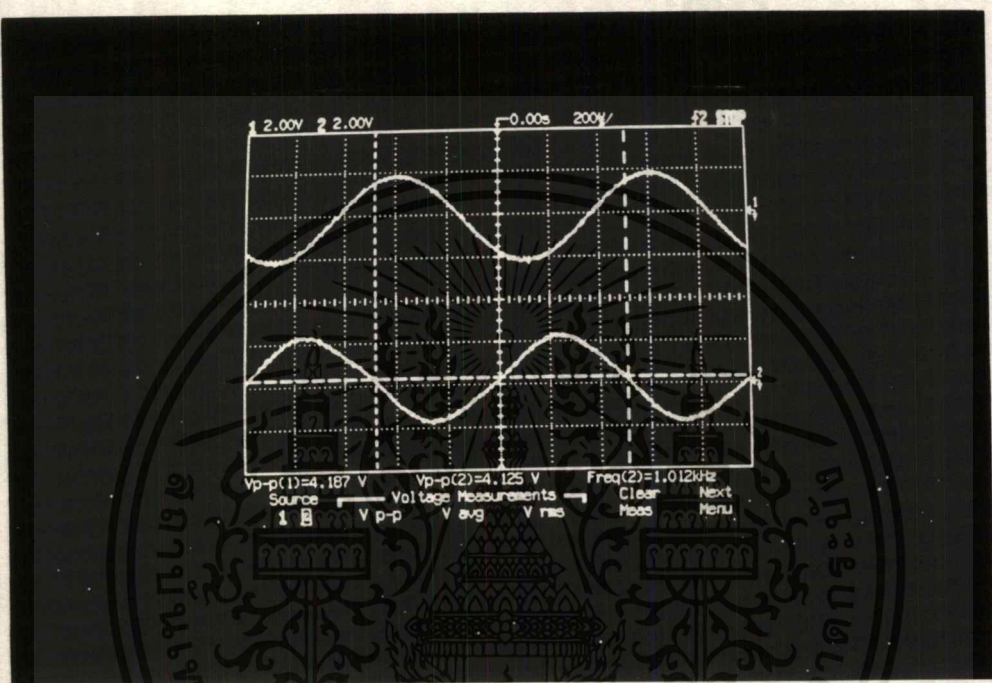


รูปที่ 4-11 แสดงสัญญาณอินพุทเทียบกับสัญญาณค่าทำนายทางภาคการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-11 ch1 แสดงสัญญาณอินพุต และ ch2 แสดงสัญญาณค่าทำนายทางภาคการถอดรหัส เราจะเห็นว่าจากสัญญาณค่าผลต่างนั้นจะถูกทำการรวมสัญญาณที่ภาคทำนายค่าสัญญาณ ซึ่งสัญญาณค่าทำนายที่ได้ นี้ จะมีขนาดและรูปร่างใกล้เคียงกับสัญญาณอินพุตแต่จะยังมีรูปร่างที่ไม่เรียบ จึงต้องนำไปผ่านตัวกรองความถี่ต่ำผ่าน

13. ทำการวัดสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่าน โดยแสดงไว้ในรูปที่ 4-12

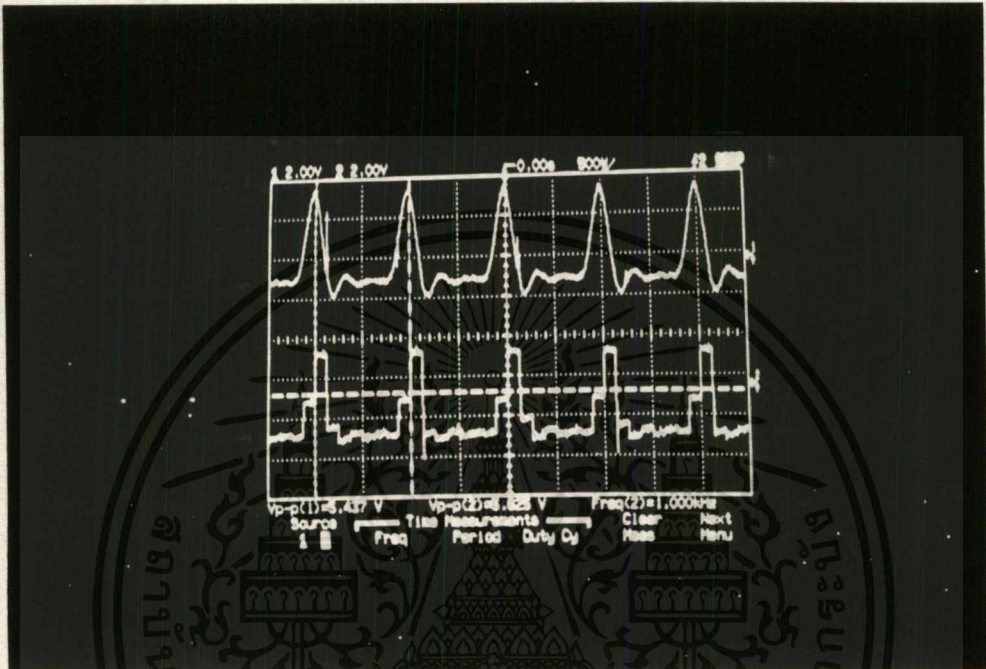


รูปที่ 4-12 แสดงสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่าน

จากรูปที่ 4-12 ch1 แสดงสัญญาณอินพุต และ ch2 แสดงสัญญาณเอาต์พุต เราจะเห็นว่าสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่านนั้นจะมีรูปร่าง ขนาด และความถี่ เหมือนกับสัญญาณอินพุต

4.2 ทำการทดสอบกับสัญญาณอินพุทรูป Square Wave ที่มีค่า Duty Cycle 20 %

1. ทำการป้อนสัญญาณอินพุทรูป Square Wave ที่มีค่า Duty Cycle 20 % ที่ความถี่ 1.0 kHz และ มีค่า $V_p = 2 \text{ V}$
2. ทำการวัดสัญญาณอินพุทที่เข้ามาที่สัญญาณที่ได้จากการสุ่มและคงค่าที่ (ขา 1 ของ LF 353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-13

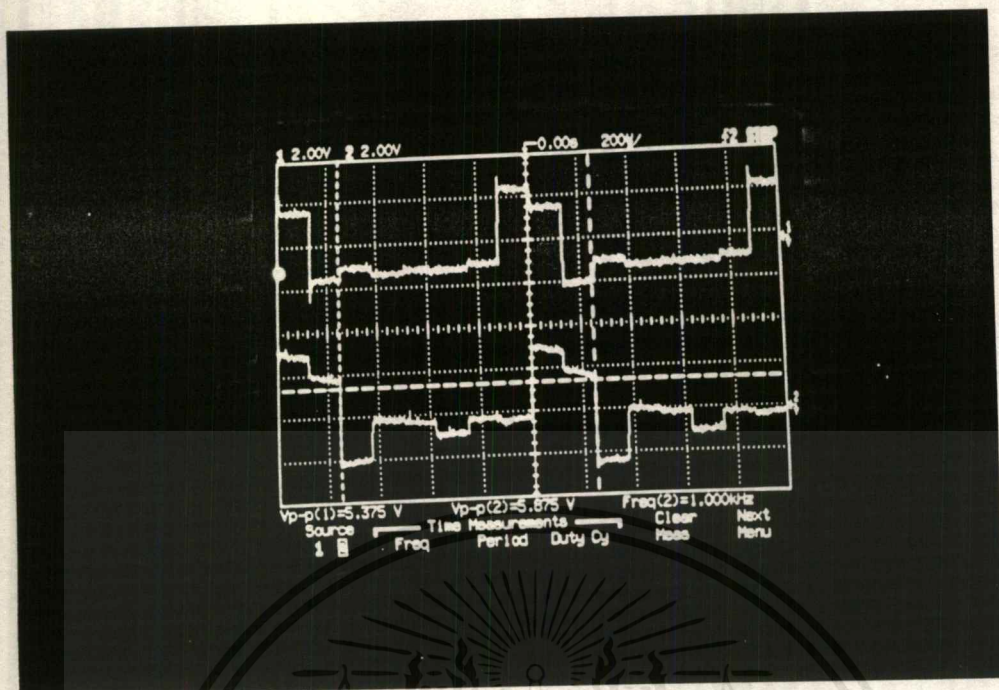


รูปที่ 4-13 แสดงสัญญาณอินพุทที่ผ่านตัวกรองความถี่ต่ำผ่านกับสัญญาณที่ได้จากการสุ่มและคงค่า

จากรูปที่ 4-13 ch1 แสดงสัญญาณอานาลอกอินพุท ส่วน ch2 แสดงสัญญาณที่ได้จากการสุ่มและคงค่า จะพบว่าสัญญาณอินพุทที่เข้ามาเมื่อผ่านส่วนของวงจรกรองความถี่ต่ำผ่านแล้ว จะได้รูปร่างของสัญญาณเปลี่ยนไป เนื่องจากองค์ประกอบความถี่สูงหายไป ซึ่งเมื่อนำมาทำการสุ่มและคงค่าสัญญาณที่ได้จะมีลักษณะรูปร่างเป็นขั้นบันไดมีความกว้างของแต่ละขั้นเป็น $1/8 \text{ kHz}$ หรือ $125 \mu\text{s}$ ตามค่าสัญญาณที่ใช้ในการสุ่มโดยมีขนาดและเฟสเหมือนกับสัญญาณอานาลอกอินพุท

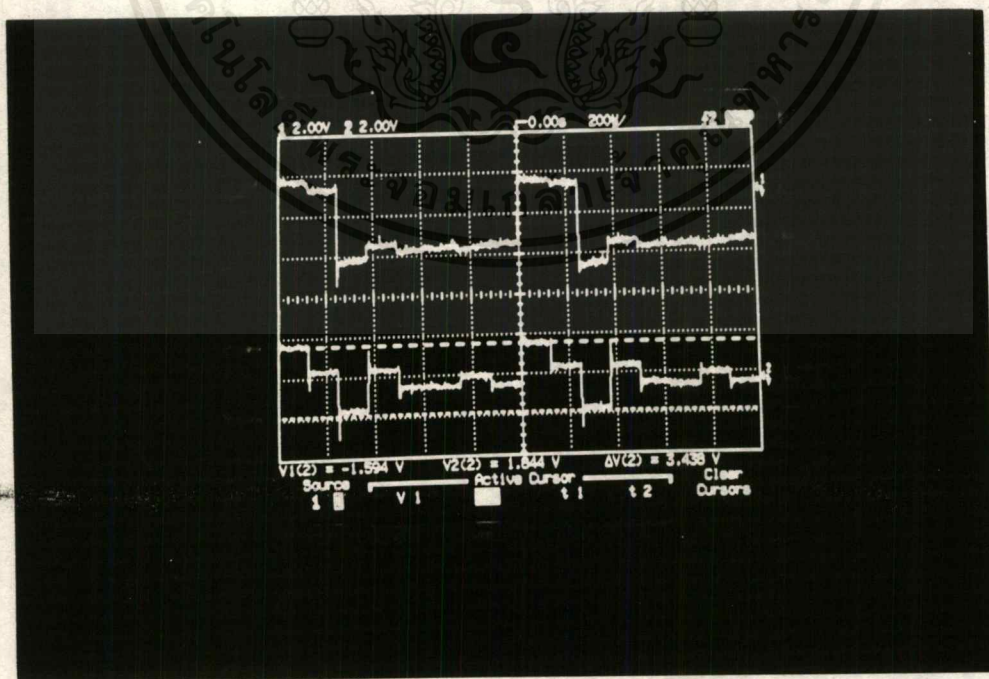
3. ทำการวัดสัญญาณอินพุทที่ผ่านการสุ่ม (ขา 1 ของ LF 353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มเพื่อที่จะนำมาหาค่าสัญญาณผลต่าง (ขา 7 ของ LF 353 ซึ่งเป็น IC ตัวที่ 5 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-14

จากรูปที่ 4-14 ch1 แสดงสัญญาณอินพุทที่ผ่านการสุ่ม และ ch2 แสดงสัญญาณค่าทำนายที่ผ่านการสุ่ม เราจะเห็นได้ว่าสัญญาณทั้งสองจะมีลักษณะทั้งขนาดและรูปร่างที่เหมือนกันแต่จะต่างกันที่ สัญญาณค่าทำนายที่ผ่านการสุ่มจะมีเฟสตามหลังสัญญาณอินพุทที่ผ่านการสุ่มอยู่ $125 \mu\text{s}$ ซึ่งแสดงให้เห็นว่าที่เวลาเดียวกันค่าสัญญาณของ ch2 จะเป็นสัญญาณก่อนหน้าของ ch1



รูปที่ 4-14 แสดงสัญญาณที่จะนำมาหาค่าผลต่าง

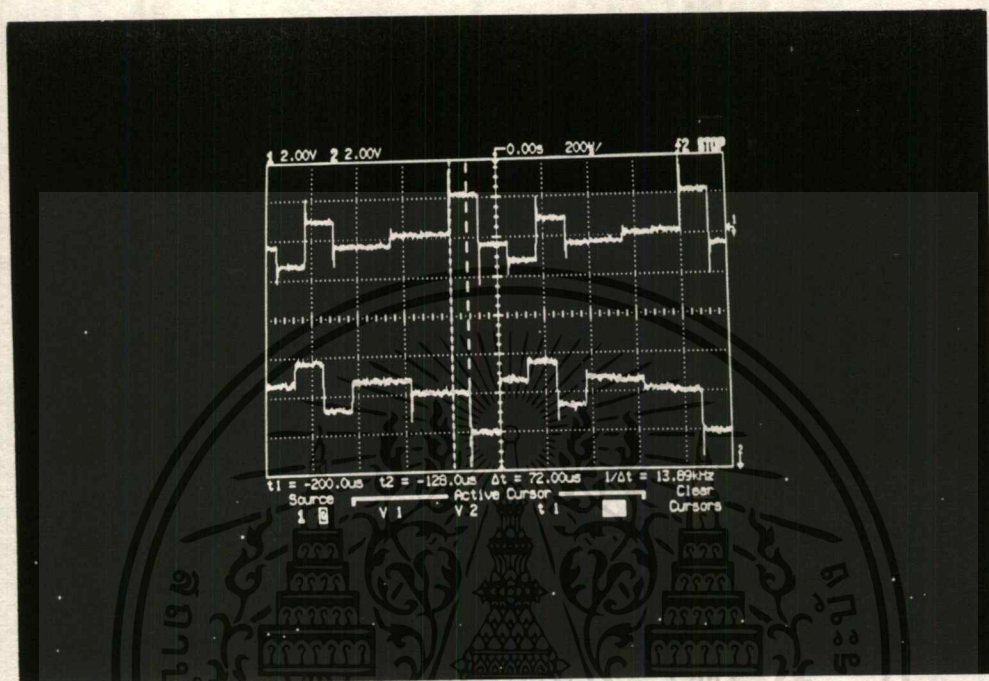
4. ทำการวัดสัญญาณอินพุตที่ผ่านการสุ่มและคงค่าสัญญาณ (ขา 1 ของ LF353 ซึ่งเป็น IC ตัวที่ 2 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าผลต่างที่ผ่านการสุ่ม (ขา 5 ของ LF398 ซึ่งเป็น IC ตัวที่ 4 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-15



รูปที่ 4-15 แสดงค่าสัญญาณอินพุตที่ผ่านการสุ่มกับสัญญาณค่าผลต่างที่ผ่านการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ทำการวัดสัญญาณค่าผลต่างก่อนที่จะเข้าตัวแปลงข้อมูลจากอานาลอกเป็นดิจิตอล (ขา 12 ของ ADC 0800 ซึ่งเป็น IC ตัวที่ 8 ของภาคการเข้ารหัส) เทียบกับเอาท์พุทจากตัวแปลงดิจิตอลเป็นอานาลอก (ขา 6 ของ LF 351 ซึ่งเป็น IC ตัวที่ 10 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ดังรูปที่ 4-16

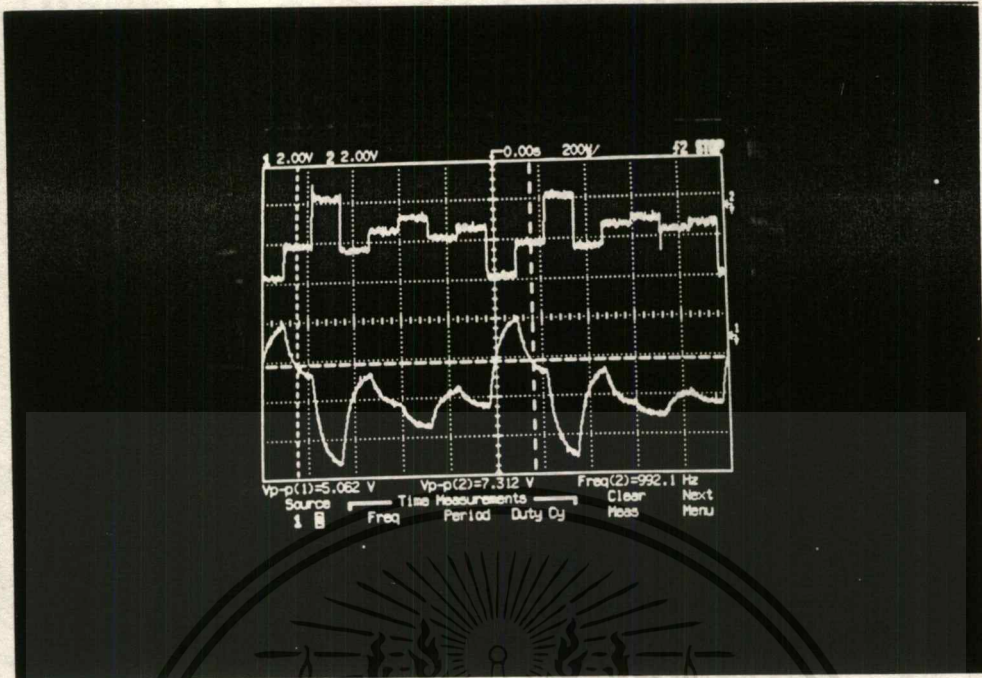


รูปที่ 4-16 แสดงสัญญาณค่าผลต่างก่อนเข้า ADC 0800 และสัญญาณค่าผลต่างหลังออกจาก DAC 0808

จากรูปที่ 4-16 ch 1 แสดงสัญญาณค่าผลต่างก่อนที่จะเข้า ADC 0800 และ ch2 แสดงสัญญาณค่าผลต่างหลังออกจาก DAC 0808 ซึ่งเราจะเห็นได้ว่าสัญญาณทั้งสองจะมีรูปร่างและขนาดที่เหมือนกัน เนื่องจากว่าเป็นค่าสัญญาณผลต่างเหมือนกัน แต่จะต่างกันตรงที่สัญญาณที่ ch2 จะกลับเฟสกับ ch1 เนื่องจากคุณสมบัติของตัว ADC และ DAC ที่ใช้ และยังมีกรเลือนเฟสออกไปอีก $78 \mu\text{s}$ ซึ่งเป็นเวลาที่ใช้ในการแปลงข้อมูลของ ADC

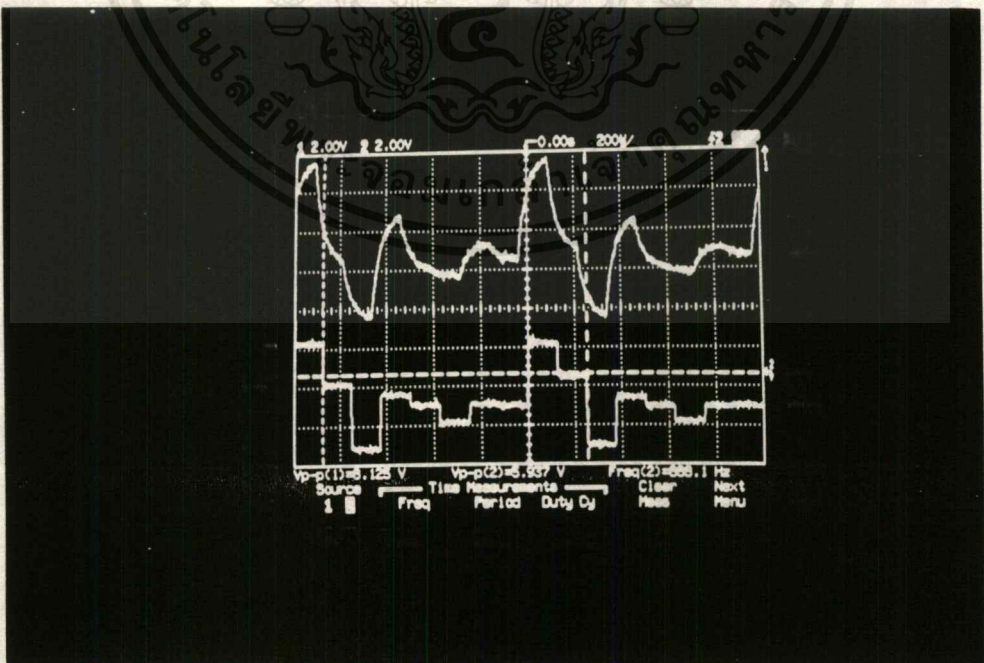
6. ทำการวัดสัญญาณค่าผลต่างที่ได้จากตัวแปลงข้อมูลจากดิจิตอลเป็นอานาลอก (ขา 6 ของ LF 351 ซึ่งเป็น IC ตัวที่ 10 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าทำนาย (ขา 6 ของ LF 356 ซึ่งเป็น IC ตัวที่ 7 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ดังรูปที่ 4-17

จากรูปที่ 4-17 ch1 แสดงสัญญาณค่าผลต่างที่ได้จาก DAC และ ch2 แสดงสัญญาณค่าทำนาย จะเห็นว่าสัญญาณค่าทำนายที่ได้เกิดจากการรวมสัญญาณค่าผลต่างที่ได้ และสัญญาณค่าทำนายนี้จะมีรูปร่างและขนาดใกล้เคียงกับสัญญาณอินพุทเดิม ซึ่งเราจะนำสัญญาณค่าทำนายนี้ไปทำการสุ่มและคงค่า ด้วยสัญญาณควบคุม SP2



รูปที่ 4-17 แสดงสัญญาณค่าผลต่างที่ได้จาก DAC เทียบกับสัญญาณค่าทำนาย

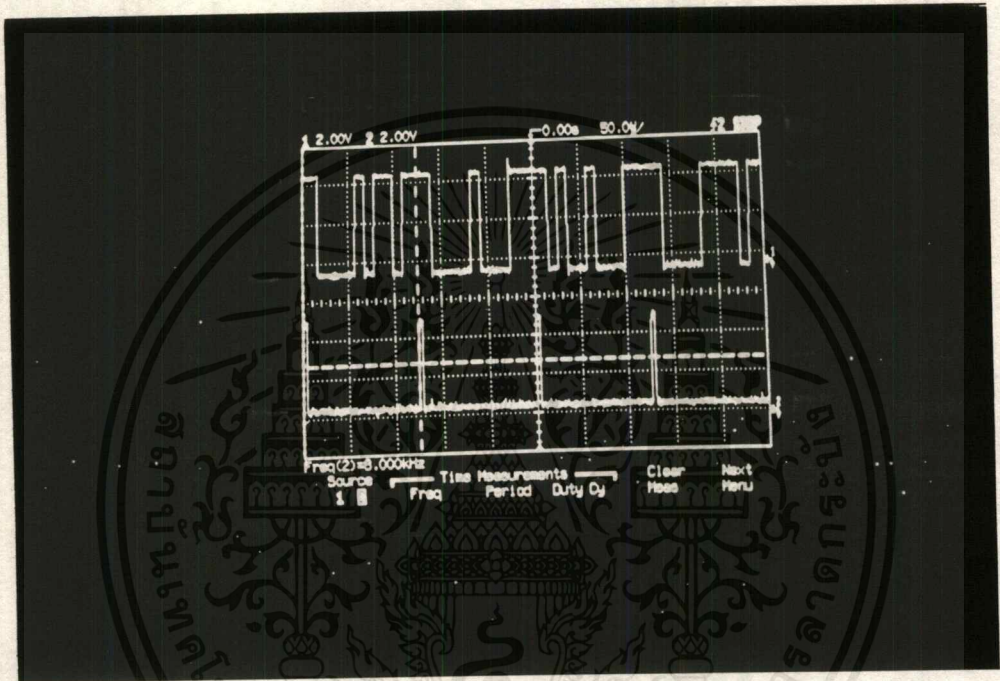
7. ทำการวัดสัญญาณค่าทำนาย (ขา 6 ของ LF 356 ซึ่งเป็น IC ตัวที่ 7 ของภาคการเข้ารหัส) เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มและคงค่าแล้ว ด้วยสัญญาณควบคุม SP2 (ขา 7 ของ LF 353 ซึ่งเป็น IC ตัวที่ 5 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-18



รูปที่ 4-18 แสดงสัญญาณค่าทำนายที่ได้เทียบกับสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP2 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-18 ch1 แสดงสัญญาณค่าทำนาย และ ch2 แสดงสัญญาณค่าทำนายที่ผ่านการสุ่มด้วย SP2 ซึ่งเราจะเห็นได้ว่าสัญญาณค่าทำนายที่ผ่านการสุ่มจะมีลักษณะเป็นขั้นบันได ซึ่งแต่ละขั้นมีความห่างกันเท่ากับ 8 kHz ซึ่งเท่ากับอัตราการสุ่มสัญญาณนี้เมื่อเทียบกับสัญญาณอินพุตที่ผ่านการสุ่มนั้น จะมีการเลื่อนเฟสไป 8 kHz ดังแสดงไว้แล้วในรูปที่ 4-14

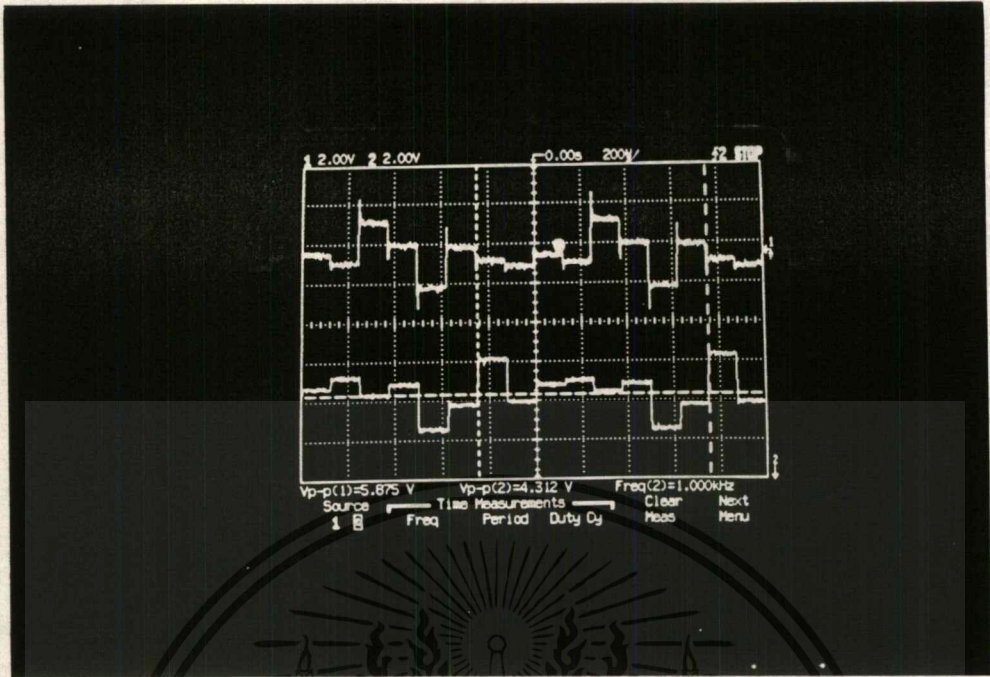
8. ทำการวัดสัญญาณเอาต์พุตพีซีเอ็มที่ผ่านการซิงโครไนส์ (ขา 3 ของ AT89C2051 ซึ่งเป็น IC ตัวที่ 12 ของภาคการเข้ารหัส) เทียบกับสัญญาณควบคุมการส่งข้อมูล SPI (ขา 6 ของ AT89C2051 ซึ่งเป็น IC ตัวที่ 12 ของภาคการเข้ารหัส) ซึ่งแสดงไว้ในรูปที่ 4-19



รูปที่ 4-19 แสดงสัญญาณเอาต์พุตพีซีเอ็มเทียบกับสัญญาณควบคุมการส่ง SPI

จากรูปที่ 4-19 ch1 แสดงถึงสัญญาณเอาต์พุตพีซีเอ็ม และ ch2 แสดงถึงสัญญาณควบคุมการส่ง SPI ซึ่งแสดงให้เห็นว่า สัญญาณเอาต์พุตพีซีเอ็มจะประกอบไปด้วยส่วนของสตาร์ทบิตตามด้วยข้อมูล 8 บิต และปิดท้ายด้วยสตอปบิต ซึ่งเมื่อทำการเปรียบเทียบกับสัญญาณ SPI จะเห็นได้ว่าเมื่อ SPI เปลี่ยนสถานะจากสูงเป็นต่ำก็จะเริ่มทำการส่งข้อมูลออกไปโดยบิตแรกที่ส่งจะเป็นสตาร์ทบิต (สถานะ 0) ตามด้วยข้อมูล 8 บิต และปิดท้ายด้วยสตอปบิต (สถานะ 1) และจะคงสถานะนี้นานกว่าสัญญาณ SPI จะเปลี่ยนสถานะจากสูงเป็นต่ำอีกครั้งซึ่งก็เป็นการส่งข้อมูลตัวถัดไป

9. ทำการวัดสัญญาณค่าผลต่างที่ผ่านการสุ่มทางด้านภาคการเข้ารหัส (ขา 5 ของ LF 398 ซึ่งเป็น IC ตัวที่ 4 ของภาคการเข้ารหัส) เทียบกับสัญญาณที่ได้จากการแปลงดิจิทัลเป็นอนาลอกทางด้านภาคการถอดรหัส (ขา 1 ของ LF 353 ซึ่งเป็น IC ตัวที่ 3 ของภาคการถอดรหัส) ซึ่งแสดงได้ดังรูปที่ 4-20

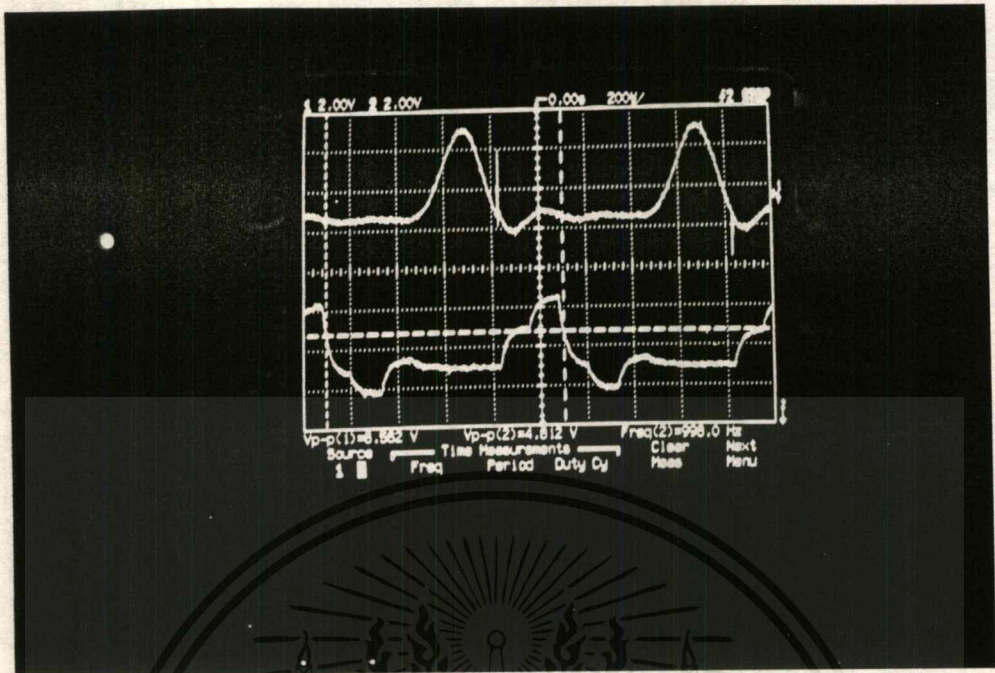


รูปที่ 4-20 แสดงสัญญาณค่าผลต่างที่ผ่านการรุ่มทางด้านภาคการเข้ารหัส กับสัญญาณที่ได้จากแปลงดิจิตอลเป็นอานาลอกทางด้านภาคการถอดรหัส

จากรูปที่ 4-20 ch1 แสดงสัญญาณค่าผลต่างที่ผ่านการรุ่มทางด้านภาคการเข้ารหัส และ ch2 แสดงสัญญาณที่ได้จากการแปลงดิจิตอลเป็นอานาลอกทางด้านภาคการถอดรหัส เราจะเห็นได้ว่าสัญญาณค่าผลต่างที่ผ่านการรุ่มทางด้านภาคการเข้ารหัส กับสัญญาณที่ได้จากแปลงดิจิตอลเป็นอานาลอกทางด้านภาคการถอดรหัส จะมีขนาดและรูปร่างที่เหมือนกันเนื่องจากสัญญาณทั้งสองเป็นสัญญาณค่าผลต่างเหมือนกันแต่จะต่างกันตรงที่สัญญาณที่ได้จากแปลงดิจิตอลเป็นอานาลอกจะกลับเฟสไป 180 องศาเนื่องจากคุณสมบัติการสัญญาณของตัวแปลงอานาลอกเป็นดิจิตอล และยังมีกรเลื่อนเฟสออกไปอีก 250 μ s อันเนื่องมาจากขบวนการส่งข้อมูลของไมโครคอนโทรลเลอร์ สัญญาณอานาลอกที่เป็นค่าผลต่างซึ่งได้มาจากข้อมูลพีซีเอ็มที่รับเข้ามา ทางซิงโครนัสด้านรับจะทำการตรวจสอบหาสตาร์ทบิตเมื่อพบ ก็จะทำการส่งข้อมูล 8 บิตออกมาทางขนาน จะเห็นได้ว่าทางด้านรับจะสามารถรับข้อมูลได้อย่างถูกต้อง ซึ่งสัญญาณข้อมูล 8 บิต ที่ได้นี้จะถูกทำการแปลงกลับเป็นสัญญาณอานาลอก สัญญาณอานาลอกที่ได้นี้ก็คือสัญญาณค่าผลต่างนั่นเอง

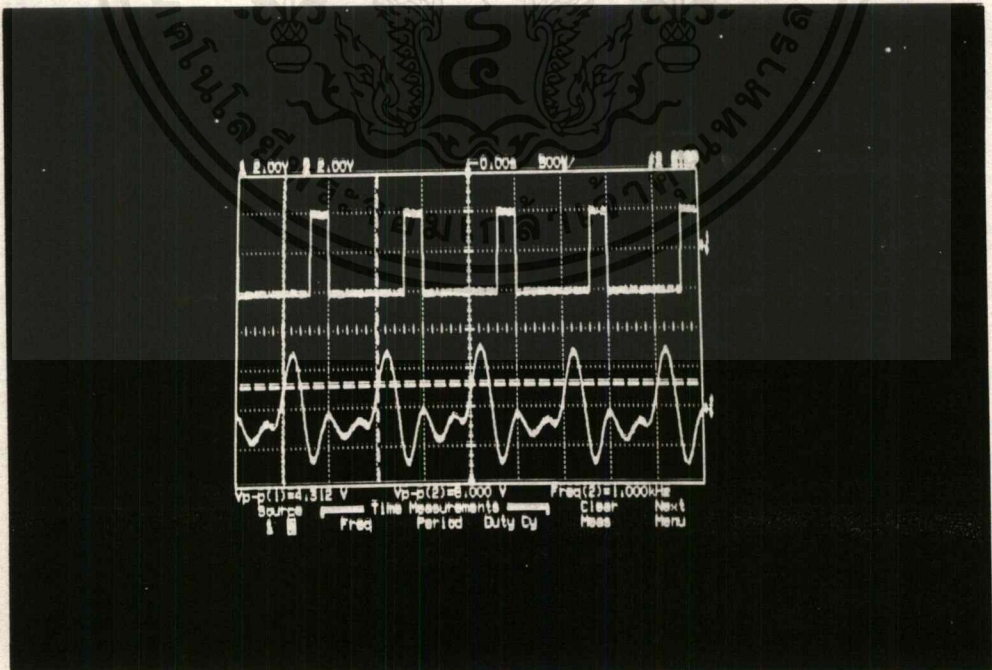
10. ทำการวัดสัญญาณอินพุตเทียบกับสัญญาณค่าทำนายทางภาคการถอดรหัส (ขา 6 ของ LF 353 ซึ่งเป็น IC ตัวที่ 3 ของภาคการถอดรหัส) ซึ่งแสดงไว้ในรูปที่ 4-21

จากรูปที่ 4-21 ch1 แสดงสัญญาณอินพุต และ ch2 แสดงสัญญาณค่าทำนายทางภาคการถอดรหัส ซึ่งเราจะเห็นได้ว่าจากสัญญาณค่าผลต่างนั้นจะถูกทำการรวมสัญญาณที่ภาคทำนายค่าสัญญาณ ซึ่งสัญญาณค่าทำนายที่ได้นี้ จะมีขนาดและรูปร่างใกล้เคียงกับสัญญาณอินพุตแต่จะยังมีรูปร่างที่ไม่เรียบ จึงต้องนำไปผ่านตัวกรองความถี่ต่ำผ่าน



รูปที่ 4-21 แสดงสัญญาณอินพุตเทียบกับสัญญาณค่าทำนายทางภาคการถอดรหัส

11. ทำการวัดสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้ผ่านตัวกรองความถี่ต่ำผ่านแล้ว โดยแสดงไว้ในรูปที่ 4-22



รูปที่ 4-22 แสดงสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตที่ได้ผ่านตัวกรองความถี่ต่ำผ่านแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-22 ch1 แสดงสัญญาณอินพุต และ ch2 แสดงสัญญาณเอาต์พุตที่ได้ผ่านตัวกรองความถี่ต่ำผ่านแล้ว เราจะเห็นได้ว่าสัญญาณเอาต์พุตที่ได้จากตัวกรองความถี่ต่ำผ่านนั้นจะมีรูปร่าง ขนาด และความถี่ คล้ายกับ สัญญาณอินพุตที่เข้ามา แต่จะมีขนาดและรูปร่างเหมือนกันกับสัญญาณอินพุตที่ได้ผ่านตัวกรองความถี่ต่ำผ่าน ดังแสดงไว้แล้วในรูปที่ 4-13



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 บทสรุป

จากการทดลองเราได้ทำการป้อนสัญญาณอินพุตออกเป็นสองรูปแบบ จากการทดสอบทั้งสองแบบพบว่าเราสามารถสร้างสัญญาณค่าทำนายกลับคืนออกมา จากนั้นนำไปทำการสุ่มและคงค่าสัญญาณด้วย SP2 ซึ่งเมื่อทำการเปรียบเทียบกับสัญญาณอินพุตที่เข้ามาใหม่นี้ จะเห็นว่าเกิดการเลื่อนของเฟสออกไป $125 \mu s$ ดังแสดงไว้ในรูปที่ 4-4 ซึ่งเราจะนำสัญญาณทั้งสองนั้นไปทำการหาค่าผลต่างกัน ซึ่งแสดงไว้ในรูปที่ 4-5 พบว่าสัญญาณค่าผลต่างที่ได้นี้จะมีขนาดของสัญญาณที่เล็กกว่าสัญญาณอินพุต โดยค่าผลต่างที่น้อยกว่านี้เองที่เราจะนำมาทำการเข้ารหัสสัญญาณออกเป็นดิจิตอล

ในการสร้างสัญญาณค่าทำนายกลับคืนมานั้น เราจะใช้สัญญาณค่าผลต่างที่ได้นี้ มาทำการรวมสัญญาณกลับออกมาเป็นตัวเดิม โดยจะใช้วงจรอินทิเกรเตอร์ แล้วจึงนำสัญญาณที่ได้ไปทำการสุ่มด้วย SP2 เพื่อที่จะนำสัญญาณเดิมกลับคืนมาและทำให้เกิดการเลื่อนของเฟสออกไปหนึ่งขั้น ซึ่งจะนำสัญญาณนี้ไปลบกับสัญญาณที่เข้ามาใหม่

เมื่อเราทำการแปลงสัญญาณค่าผลต่างที่ได้นี้เป็นสัญญาณดิจิตอลแล้ว เราจะทำการส่งข้อมูลแบบขนานนี้ออกเป็นแบบอนุกรม โดยการใช้ไมโครคอนโทรลเลอร์ AT89C2051 มาใช้ในการควบคุมการส่งและรับข้อมูล โดยจะเป็นการส่งข้อมูลแบบ อะซิงโครนัส จะมีการแทรกสตาร์ทและสตอปบิต เข้าไปที่ส่วนหัวและท้ายของข้อมูล ซึ่งแสดงไว้ในรูปที่ 4-9 ทำให้ด้านส่งและรับ รับข้อมูลได้ถูกต้อง ที่ด้านรับข้อมูลที่รับเข้ามาเป็นแบบอนุกรมจะถูกแปลงเป็นข้อมูลแบบขนาน

สัญญาณข้อมูลแบบขนานที่ได้จะเป็นสัญญาณค่าผลต่างแบบดิจิตอล จะถูกแปลงกลับเป็นสัญญาณอานาลอก ซึ่งสัญญาณอานาลอกนี้จะถูกนำมาทำการทำนายค่าสัญญาณ เพื่อสร้างออกมาเป็นสัญญาณรูปเดิมคล้ายกับอินพุต

ในการทดสอบได้ทำการเปลี่ยนค่าความถี่ไปโดยเริ่มที่ความถี่ 0 Hz เมื่อทำการเพิ่มความถี่ของสัญญาณขึ้นพบว่า เอ๊าท์พุทที่ได้ที่ทางด้านรับ จะมีรูปร่างคล้ายกับทางด้านส่ง จนเมื่อถึงความถี่ประมาณ 1.5 kHz สัญญาณที่ได้ทางด้านรับจะเริ่มมีความผิดเพี้ยนไป เนื่องจากที่ความถี่ที่สูงขึ้น การสุ่มตัวอย่างของสัญญาณจะมีความละเอียดที่น้อยลง ทำให้มีโอกาสเกิดความผิดพลาดมากขึ้น และเมื่อทำการปรับความถี่ขึ้นไปจนถึงใกล้ๆ 3 kHz ซึ่งเข้าใกล้จุดคัทออฟของตัวกรองความถี่ต่ำผ่าน สัญญาณที่ได้จะมีขนาดที่ลดลง

เราจะพบว่าสัญญาณเอ๊าท์พุทที่ได้มีการเลื่อนของเฟสออกไปเมื่อเทียบกับสัญญาณอินพุต แต่การเลื่อนของเฟสจะมีค่าไม่แน่นอน เนื่องจากคุณสมบัติของตัวกรองความถี่ต่ำผ่านนั้น เฟสของสัญญาณอินพุตกับสัญญาณเอ๊าท์พุทจะไม่คงที่ขึ้นอยู่กับรูปร่างของสัญญาณอินพุตที่เข้ามา และการเลื่อนเฟสของระบบนี้ยังเกิดขึ้นเนื่องจากขบวนการในการส่งข้อมูลระหว่างด้านส่งและรับอีกด้วย

เมื่อเราทำการเปรียบเทียบระบบแบบ PCM กับแบบ DPCM แล้วเราจะเห็นว่าสัญญาณที่จะนำมาใช้ในการแปลงจากอานาลอกเป็นดิจิตอลจะมีความแตกต่างกัน ถ้าเป็นแบบ PCM ขนาดของสัญญาณอานาลอกจะถูกทำการสุ่มตัวอย่างแล้วทำการแปลงเป็นสัญญาณดิจิตอลเลย แต่ถ้าเป็นแบบ DPCM สัญญาณที่ผ่านการสุ่มนี้จะนำไปหาค่าผลต่างกับสัญญาณค่าทำนายก่อน แล้วจึงนำค่าสัญญาณผลต่างที่ได้นี้ไปทำการเข้ารหัสแทน ซึ่งพบว่าถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตที่เข้ามามีขนาดมากเกินไปที่ตัวแปลงข้อมูลจากอานาสอกเป็นดิจิทัลจะทำการแปลงได้ถูกต้อง การเข้ารหัสแบบ PCM ก็จะทำให้เกิดการแปลงข้อมูลที่ผิดพลาดขึ้น แต่ถ้าเป็นการเข้ารหัสแบบ DPCM ซึ่งใช้ค่าผลต่างในการเข้ารหัส จะสามารถแก้ไขความผิดพลาดตรงนี้ได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;Program 8 Bit Parallel To Serial Converter By AT89C2051

ORG 0000H
JMP START

SERVICE :
ORG 0003H
MOV A, P1
CALL SEND
RETI

; Initial Serial Port

SINIT :
MOV TMOD, #21H
MOV SCON, #52H
MOV TH1, #0FFH
ORL PCON, #80H
SETB TR1
RET

; Send Data to Serial Port

SEND :
JNB TI, \$
CLR TI
MOV SBUF, A
RET

START :
CALL SINIT
SETB IT0
SETB EX0
SETB EA
JMP \$

END

;Program Serial to 8-Bit parallel Converter By AT89C2051

ORG 0000H
JMP START

ORG 000BH

SERVICE :

CLR P3.7
DJNZ R3, S_OUT
SETB P3.7
MOV R3, #16
S_OUT RETI

; Initial Serial Port

SINIT :

MOV TMOD, #22H
MOV SCON, #52H
MOV TH1, #0FFH
ORL PCON, #80H
SETB TR1
MOV TH0, #244
SETB TR0
RET

; Receive Data From Serial Port

RECV :

JNB RI, \$
CLR RI
MOV A, SBUF
RET

START :

CALL SINIT
MOV R3, #16
SETB ET0
SETB EA

ST00 :

CALL RECV
MOV P1, A
JMP ST00

END

ADC0800 8-Bit A/D Converter

General Description

The ADC0800 is an 8-bit monolithic A/D converter using P-channel ion-implanted MOS technology. It contains a high input impedance comparator, 256 series resistors and analog switches, control logic and output latches. Conversion is performed using a successive approximation technique where the unknown analog voltage is compared to the resistor tie points using analog switches. When the appropriate tie point voltage matches the unknown voltage, conversion is complete and the digital outputs contain an 8-bit complementary binary word corresponding to the unknown. The binary output is TRI-STATE® to permit bussing on common data lines.

The ADC0800PD is specified over -55°C to $+125^{\circ}\text{C}$ and the ADC0800PCD is specified over 0°C to 70°C .

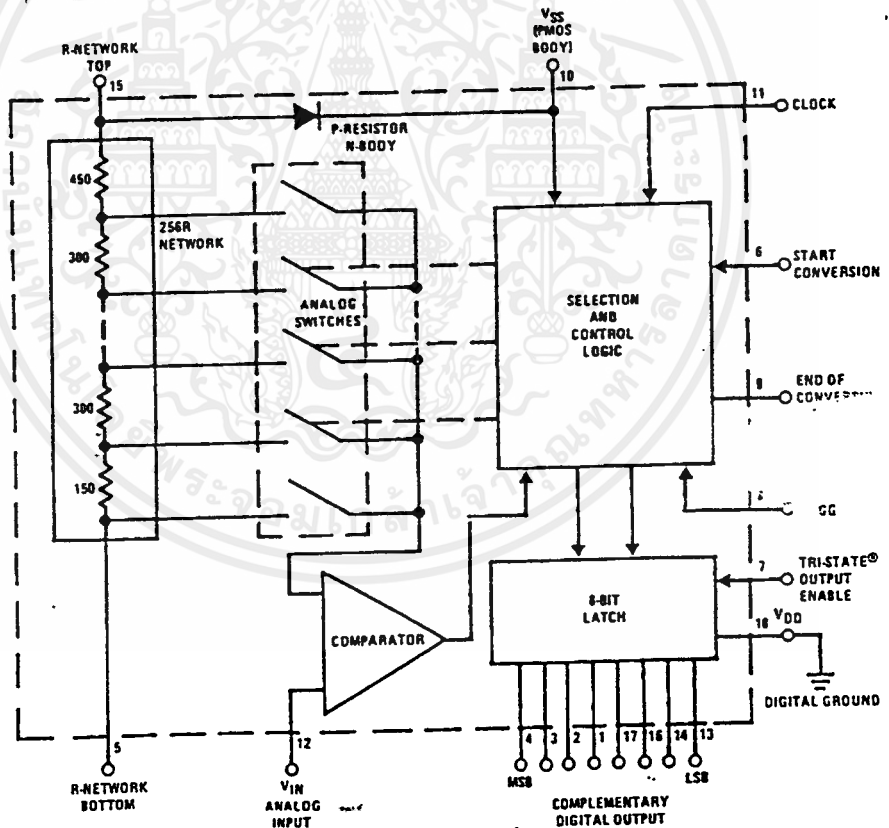
Features

- Low cost
- $\pm 5\text{V}$, 10V input ranges
- No missing codes
- Ratiometric conversion
- TRI-STATE outputs
- Fast
- Contains output latches
- TTL compatible
- Supply voltages
- Resolution
- Linearity
- Conversion speed
- Clock range

$T_C = 50 \mu\text{s}$

5V_{DC} and -12V_{DC}
8 bits
 $\pm 1\text{LSB}$
40 clock periods
50 to 800 kHz

Block Diagram



(00000000 = + full-scale)

TL/H/5670-1

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{DD})	$V_{SS} - 22V$
Supply Voltage (V_{GG})	$V_{SS} - 22V$
Voltage at Any Input	$V_{SS} + 0.3V$ to $V_{SS} - 22V$
Input Current at Any Pin (Note 2)	5 mA
Package Input Current (Note 2)	20 mA

Power Dissipation (Note 3)	875 mW
ESD Susceptibility (Note 4)	500V
Storage Temperature	150°C
Lead Temperature (Soldering, 10 sec.)	300°C

Operating Ratings (Note 1)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0800PD	$-55^\circ C \leq T_A \leq +125^\circ C$
ADC0800PCD	$0^\circ C \leq T_A \leq +70^\circ C$

Electrical Characteristics

These specifications apply for $V_{SS} = 5.0 V_{DC}$, $V_{GG} = -12.0 V_{DC}$, $V_{DD} = 0 V_{DC}$, a reference voltage of $10.000 V_{DC}$ across the on-chip R-network ($V_{R-NETWORK TOP} = 5.000 V_{DC}$ and $V_{R-NETWORK BOTTOM} = -5.000 V_{DC}$), and a clock frequency of 800 kHz. For all tests, a 475Ω resistor is used from pin 5 to $V_{R-NETWORK BOTTOM} = -5 V_{DC}$. Unless otherwise noted, these specifications apply over an ambient temperature range of $-55^\circ C$ to $+125^\circ C$ for the ADC0800PD and $0^\circ C$ to $+70^\circ C$ for the ADC0800PCD.

Parameter	Conditions	Min	Typ	Max	Units
Non-Linearity	$T_A = 25^\circ C$, (Note 8) Over Temperature, (Note 8)			± 1 ± 2	LSB LSB
Differential Non-Linearity				$\pm 1/2$	LSB
Zero Error				± 2	LSB
Zero Error Temperature Coefficient	(Note 9)			0.01	%/°C
Full-Scale Error				± 2	LSB
Full-Scale Error Temperature Coefficient	(Note 9)			0.01	%/°C
Input Leakage				1	μA
Logical "1" Input Voltage	All Inputs	$V_{SS} - 1.0$		V_{SS}	V
Logical "0" Input Voltage	All Inputs	V_{GG}		$V_{SS} - 4.2$	V
Logical Input Leakage	$T_A = 25^\circ C$, All Inputs, $V_{IL} = V_{SS} - 10V$			1	μA
Logical "1" Output Voltage	All Outputs, $I_{OH} = 100 \mu A$	2.4			V
Logical "0" Output Voltage	All Outputs, $I_{OL} = 1.6 mA$			0.4	V
Disabled Output Leakage	$T_A = 25^\circ C$, All Outputs, $V_{OL} = V_{SS} @ 10V$			2	μA
Clock Frequency	$0^\circ C \leq T_A \leq +70^\circ C$ $-55^\circ C \leq T_A \leq +125^\circ C$	50 100		800 500	kHz kHz
Clock Pulse Duty Cycle		40		60	%
TRI-STATE Enable/Disable Time				1	μs
Start Conversion Pulse	(Note 10)	1		3 1/2	Clock Periods
Power Supply Current	$T_A = 25^\circ C$			20	mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 5 mA or less. The 20 mA package input current limits the number of pins that can exceed the power supply boundaries with a 5 mA current limit to four.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$, and the typical junction-to-ambient thermal resistance of the ADC0800PD and ADC0800PCD when board mounted is $66^\circ C/W$.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Typicals are at $25^\circ C$ and represent most likely parametric norm.

Note 6: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

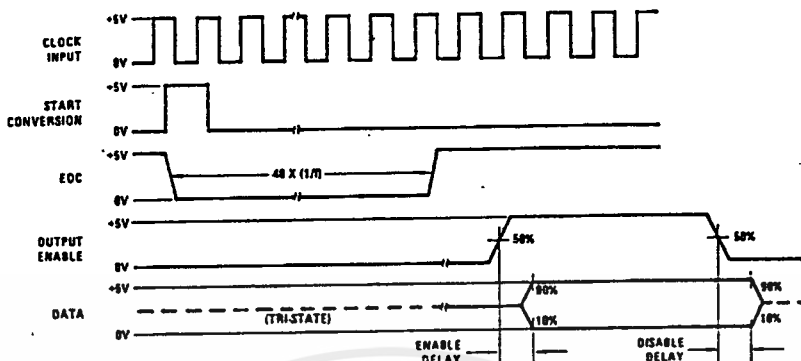
Note 7: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 8: Non-linearity specifications are based on best straight line.

Note 9: Guaranteed by design only.

Note 10: Start conversion pulse duration greater than 3 1/2 clock periods will cause conversion errors.

Timing Diagram



TL/H/5670-2

Data is complementary binary (full scale is all "0's" output).

Application Hints

OPERATION

The ADC0800 contains a network with 256-300Ω resistors in series. Analog switch taps are made at the junction of each resistor and at each end of the network. In operation, a reference (10.00V) is applied across this network of 256 resistors. An analog input (V_{IN}) is first compared to the center point of the ladder via the appropriate switch. If V_{IN} is larger than $V_{REF}/2$, the internal logic changes the switch points and now compares V_{IN} and $3/4 V_{REF}$. This process, known as successive approximation, continues until the best match of V_{IN} and V_{REF}/N is made. N now defines a specific tap on the resistor network. When the conversion is complete, the logic loads a binary word corresponding to this tap into the output latch and an end of conversion (EOC) logic level appears. The output latches hold this data valid until a new conversion is completed and new data is loaded into the latches. The data transfer occurs in about 200 ns so that valid data is present virtually all the time in the latches. The data outputs are activated when the Output Enable is high, and in TRI-STATE when Output Enable is low. The Enable Delay time is approximately 200 ns. Each conversion requires 40 clock periods. The device may be operated in the free running mode by connecting the Start Conversion line to the End of Conversion line. However, to ensure start-up under all possible conditions, an external Start Conversion pulse is required during power up conditions.

REFERENCE

The reference applied across the 256 resistor network determines the analog input range. $V_{REF} = 10.00V$ with the top of the R-network connected to 5V and the bottom connected to $-5V$ gives a $\pm 5V$ range. The reference can be level shifted between V_{SS} and V_{GG} . However, the voltage, applied to the top of the R-network (pin 15), must not exceed V_{SS} , to prevent forward biasing the on-chip parasitic silicon diodes that exist between the P-diffused resistors (pin 15) and the N-type body (pin 10, V_{SS}). Use of a standard logic power supply for V_{SS} can cause problems, both due to initial voltage tolerance and changes over temperature. A solution is to power the V_{SS} line (15 mA max drain) from the output of the op amp that is used to bias the top of the

R-network (pin 15). The analog input voltage and the voltage that is applied to the bottom of the R-network (pin 5) must be at least 7V above the $-V_{GG}$ supply voltage to ensure adequate voltage drive to the analog switches.

Other reference voltages may be used (such as 10.24V). If a 5V reference is used, the analog range will be 5V and accuracy will be reduced by a factor of 2. Thus, for maximum accuracy, it is desirable to operate with at least a 10V reference. For TTL logic levels, this requires 5V and $-5V$ for the R-network. CMOS can operate at the 10 V_{DC} V_{SS} level and a single 10 V_{DC} reference can be used. All digital voltage levels for both inputs and outputs will be from ground to V_{SS} .

ANALOG INPUT AND SOURCE RESISTANCE CONSIDERATIONS

The lead to the analog input (pin 12) should be kept as short as possible. Both noise and digital clock coupling to this input can cause conversion errors. To minimize any input errors, the following source resistance considerations should be noted:

For $R_S \leq 5k$

No analog input bypass capacitor required, although a 0.1 μF input bypass capacitor will prevent pickup due to unavoidable series lead inductance.

For $5k < R_S \leq 20k$

A 0.1 μF capacitor from the input (pin 12) to ground should be used.

For $R_S > 20k$

Input buffering is necessary.

If the overall converter system requires lowpass filtering of the analog input signal, use a 20 kΩ or less series resistor for a passive RC section or add an op amp RC active lowpass filter (with its inherent low output resistance) to ensure accurate conversions.

CLOCK COUPLING

The clock lead should be kept away from the analog input line to reduce coupling.

LOGIC INPUTS

The logical "1" input voltage swing for the Clock, Start Conversion and Output Enable should be ($V_{SS} - 1.0V$).

Application Hints (Continued)

CMOS will satisfy this requirement but a pull-up resistor should be used for TTL logic inputs.

RE-START AND DATA VALID AFTER EOC

The EOC line (pin 9) will be in the low state for a maximum of 40 clock periods to indicate "busy". A START pulse that occurs while the A/D is BUSY will reset the SAR and start a new conversion with the EOC signal remaining in the low state until the end of this new conversion. When the conversion is complete, the EOC line will go to the high voltage state. An additional 4 clock periods must be allowed to elapse after EOC goes high, before a new conversion cycle is requested. Start Conversion pulses that occur during this last 4 clock period interval may be ignored (see Figure 1 and 2 for high speed operation). This is a problem only for high conversion rates and keeping the number of conversions per second less than $f_{CLOCK}/44$ automatically guarantees proper operation. For example, for an 800 kHz clock, approximately 18,000 conversions per second are allowed. The transfer of the new digital data to the output is initiated when EOC goes to the high voltage state.

POWER SUPPLIES

Standard supplies are $V_{SS} = +5V$, $V_{GG} = -12V$ and $V_{DD} = 0V$. Device accuracy is dependent on stability of the reference voltage and has slight sensitivity to $V_{SS} - V_{GG}$. V_{DD} has no effect on accuracy. Noise spikes on the V_{SS} and V_{GG} supplies can cause improper conversion; therefore, filtering each supply with a 4.7 μF tantalum capacitor is recommended.

CONTINUOUS CONVERSIONS AND LOGIC CONTROL

Simply tying the EOC output to the Start Conversion input will allow continuous conversions, but an oscillation on this line will exist during the first 4-clock periods after EOC goes high. Adding a D flip-flop between EOC (D input) to Start Conversion (Q output) will prevent the oscillation and will allow a stop/continuous control via the "clear" input.

To prevent missing a start pulse that may occur after EOC goes high and prior to the required 4 clock period time interval, the circuit of Figure 1 can be used. The RS latch can be set at any time and the 4-stage shift register delays the application of the start pulse to the A/D by 4 clock periods. The RS latch is reset 1 clock period after the A/D EOC signal goes to the low voltage state. This circuit also provides a Start Conversion pulse to the A/D which is 1 clock period wide.

A second control logic application circuit is shown in Figure 2. This allows an asynchronous start pulse of arbitrary length less than T_C to continuously convert for a fixed high level and provides a single clock period start pulse to the A/D. The binary counter is loaded with a count of 11 when the start pulse to the A/D appears. Counting is inhibited until the EOC signal from the A/D goes high. A carry pulse is then generated 4 clock periods after EOC goes high and is used to reset the input RS latch. This carry pulse can be used to indicate that the conversion is complete, the data has transferred to the output buffers and the system is ready for a new conversion cycle.

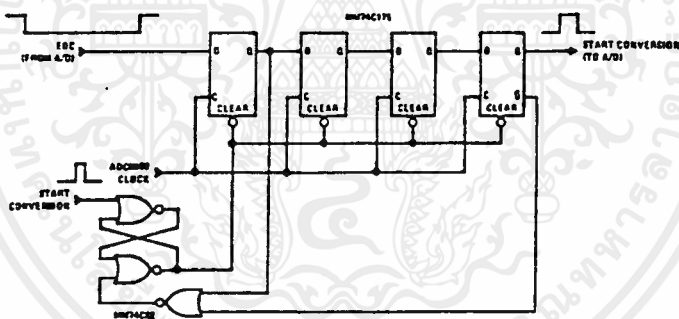


FIGURE 1. Delaying an Asynchronous Start Pulse

TL/H/5670-3

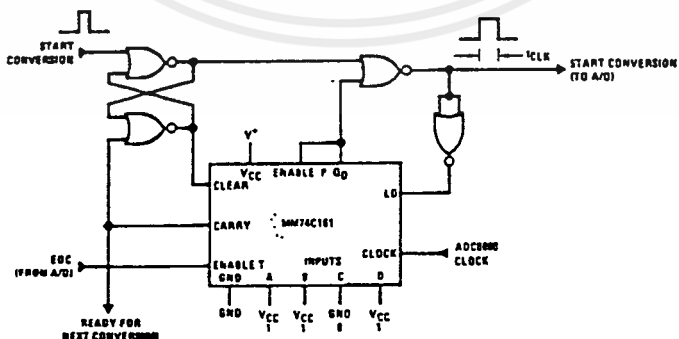


FIGURE 2. A/D Control Logic

TL/H/5670-10

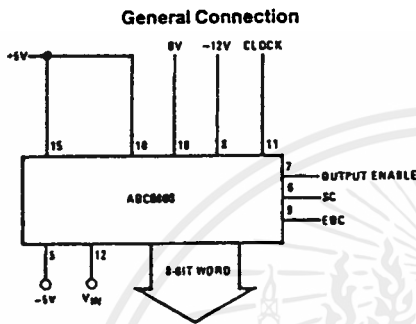
Application Hints (Continued)

ZERO AND FULL-SCALE ADJUSTMENT

Zero Adjustment: This is the offset voltage required at the bottom of the R-network (pin 5) to make the 11111111 to 11111110 transition when the input voltage is $\frac{1}{2}$ LSB (20 mV for a 10.24V scale). In most cases, this can be accomplished by having a 1 k Ω pot on pin 5. A resistor of 475 Ω can be used as a non-adjustable best approximation from pin 5 to ground.

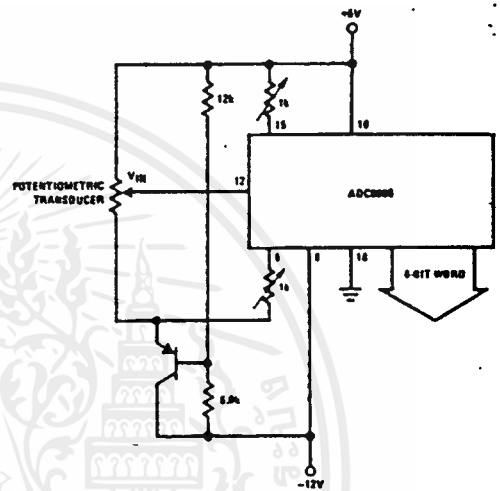
Full-Scale Adjustment: This is the offset voltage required at the top of the R-network (pin 15) to make the 00000001 to 00000000 transition when the input voltage is $\frac{1}{2}$ LSB from full-scale (60 mV less than full-scale for a 10.24V scale). This voltage is guaranteed to be within ± 2 LSB for the ADC0800 without adjustment. In most cases, adjustment can be accomplished by having a 1 k Ω pot on pin 15.

Typical Applications



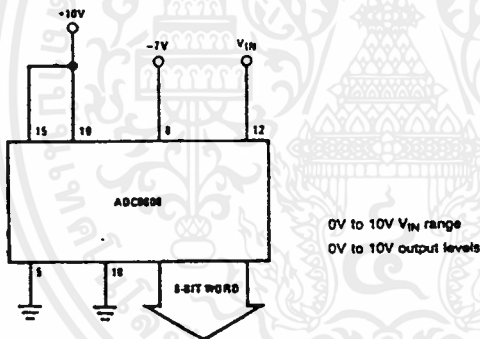
TL/H/5670-11

Ratiometric Input Signal with Tracking Reference



TL/H/5670-4

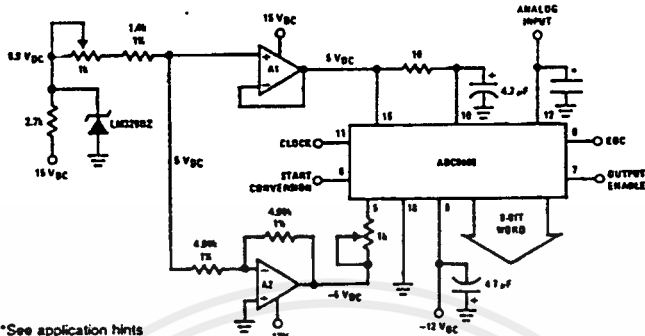
Hi-Voltage CMOS Output Levels



TL/H/5670-12

Typical Applications (Continued)

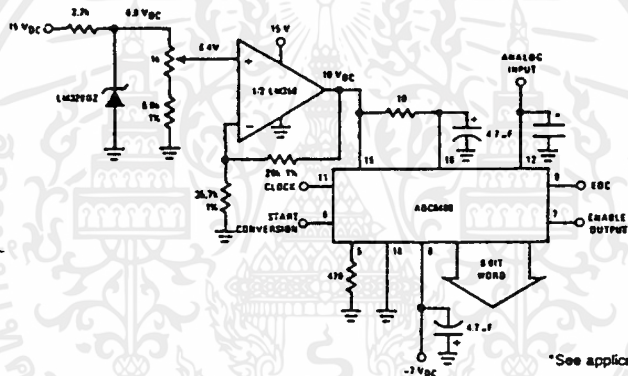
V_{REF} = 10 V_{DC} With TTL Logic Levels



*See application hints
A1 and A2 = LM358N dual op amp

TL/H/5670-13

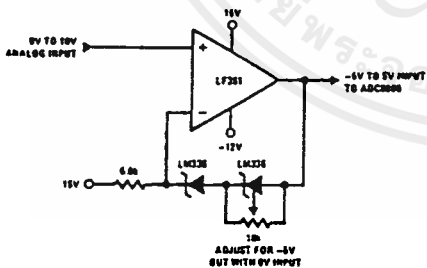
V_{REF} = 10 V_{DC} With 10V CMOS Logic Levels



*See application hints

TL/H/5670-14

Input Level Shifting



• Permits TTL compatible outputs with 0V to 10V input range (0V to -10V input range achieved by reversing polarity of zener diodes and returning the 6.8k resistor to V⁻).

TL/H/5670-5

Typical Applications (Continued)

TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in *Figure 3*. Note that the LED drivers invert the digital output of the A/D converter to provide a binary display. A lab DVM can be used if a precision voltage source is not available. After adjusting the zero and full-scale, any number of points can be checked, as desired.

For ease of testing, a 10.24 V_{DC} reference is recommended for the A/D converter. This provides an LSB of 40 mV (10.240/256). To adjust the zero of the A/D, an analog input voltage of 1/2 LSB or 20 mV should be applied and the

zero adjust potentiometer should be set to provide a flicker on the LSB LED readout with all the other display LEDs OFF.

To adjust the full-scale adjust potentiometer, an analog input that is 1 1/2 LSB less than the reference (10.240-0.060 or 10.180 V_{DC}) should be applied to the analog input and the full-scale adjusted for a flicker on the LSB LED, but this time with all the other LEDs ON.

A complete circuit for a simple A/D tester is shown in *Figure 4*. Note that the clock input voltage swing and the digital output voltage swings are from 0V to 10.24V. The MM74C901 provides a voltage translation to 5V operation and also the logic inversion so the readout LEDs are in binary.

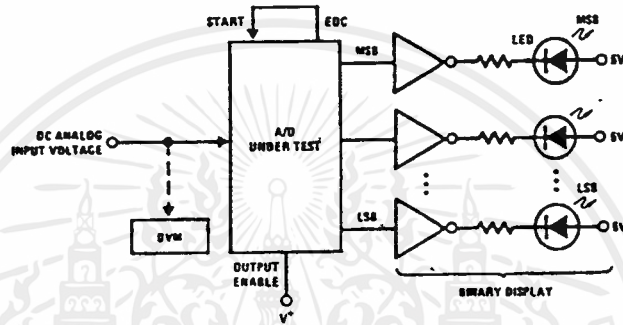


FIGURE 3. Basic A/D Tester

TL/H/5670-15

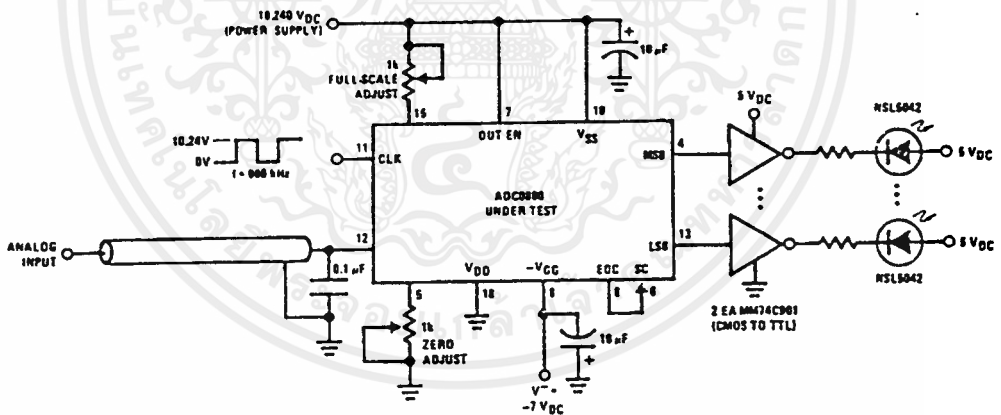


FIGURE 4. Complete Basic Tester Circuit

TL/H/5670-7

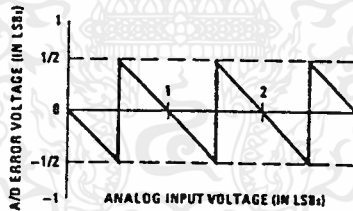
Typical Applications (Continued)

The digital output LED display can be decoded by dividing the 8 bits into the 4 most significant bits and 4 least significant bits. Table I shows the fractional binary equivalent of these two 8-bit groups. By adding the decoded voltages which are obtained from the column: "Input Voltage Value with a 10.240 V_{REF}" of both the MS and LS groups, the value of the digital display can be determined. For example, for an output LED display of "1011 0110" or "B6" (in hex) the voltage values from the table are 7.04 + 0.24 or

7.280 V_{DC}. These voltage values represent the center values of a perfect A/D converter. The input voltage has to change by $\pm 1/2$ LSB (± 20 mV), the "quantization uncertainty" of an A/D, to obtain an output digital code change. The effects of this quantization error have to be accounted for in the interpretation of the test results. A plot of this natural error source is shown in Figure 5 where, for clarity, both the analog input voltage and the error voltage are normalized to LSBs.

TABLE I. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR				INPUT VOLTAGE VALUE WITH 10.24 V _{REF}	
		MS GROUP		LS GROUP		MS GROUP	LS GROUP
F	1 1 1 1		15/16		15/256	9.600	0.600
E	1 1 1 0	7/8		7/128		8.960	0.560
D	1 1 0 1		13/16		13/256	8.320	0.520
C	1 1 0 0	3/4		3/64		7.680	0.480
B	1 0 1 1		11/16		11/256	7.040	0.440
A	1 0 1 0	5/8		5/128		6.400	0.400
9	1 0 0 1		9/16		9/256	5.760	0.360
8	1 0 0 0	1/2		1/32		5.120	0.320
7	0 1 1 1		7/16		7/256	4.480	0.280
6	0 1 1 0	3/8		3/128		3.840	0.240
5	0 1 0 1		5/16		5/256	3.200	0.200
4	0 1 0 0	1/4		1/64		2.560	0.160
3	0 0 1 1		3/16		3/256	1.920	0.120
2	0 0 1 0	1/8		1/128		1.280	0.080
1	0 0 0 1		1/16		1/256	0.640	0.040
0	0 0 0 0					0	0



TL/H/5670-8

FIGURE 5. Error Plot of a Perfect A/D Showing Effects of Quantization Error

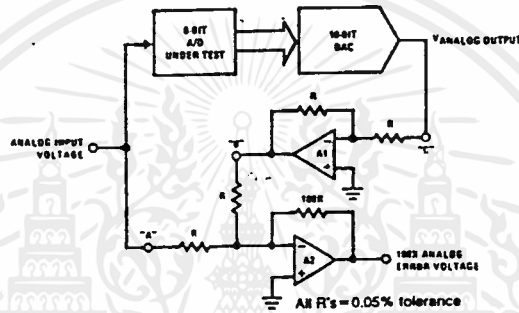
Typical Applications (Continued)

A low speed ramp generator can also be used to sweep the analog input voltage and the LED outputs will provide a binary counting sequence from zero to full-scale.

The techniques described so far are suitable for an engineering evaluation or a quick check on performance. For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be provided as either analog voltages or differences in two digital words.

A basic A/D tester which uses a DAC and provides the error as an analog output voltage is shown in Figure 6. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to directly readout the difference voltage, "A-C".

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 7 where the output code transitions can be detected as the 10-bit DAC is incremented. This provides 1/4 LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.



TL/H/5670-16

FIGURE 6. A/D Tester with Analog Error Output

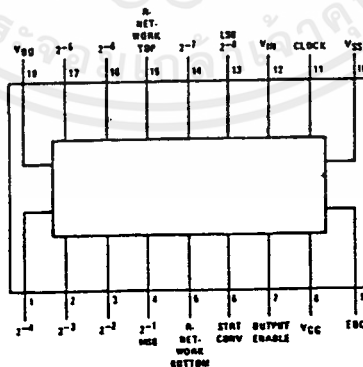


TL/H/5670-17

FIGURE 7. Basic "Digital" A/D Tester

Connection Diagram

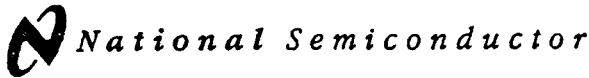
Dual-In-Line Package



TL/H/5670-9

Top View

Order Number ADC0800PD
or ADC0800PCD
See NS Package Number D18A



DAC0808/DAC0807/DAC0806 8-Bit D/A Converters

General Description

The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current of less than $4 \mu A$ provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

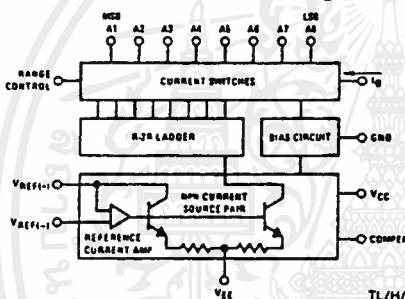
The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the

MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

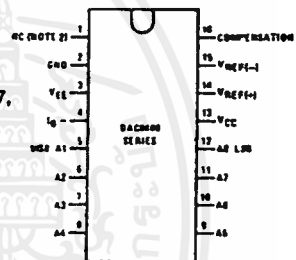
- Relative accuracy: $\pm 0.19\%$ error maximum (DAC0808)
- Full scale current match: ± 1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ μs
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

Block and Connection Diagrams



Order Number
DAC0808, DAC0807,
or DAC0806
See NS Package
Number J16A,
M16A or N16A

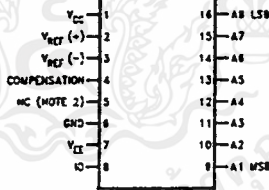
Dual-In-Line Package



TL/H/5687-2

TL/H/5687-1

Small-Outline Package



TL/H/5687-13

Top View

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
7-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0807LCJ	MC1408L7	DAC0808LCN	MC1408P8	DAC0808LCM
6-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0806LCJ	MC1408L6	DAC0807LCN	MC1408P7	DAC0807LCM
				DAC0806LCN	MC1408P6	DAC0806LCM

*Note. Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
V _{CC}	+18 V _{DC}
V _{EE}	-18 V _{DC}
Digital Input Voltage, V ₅ -V ₁₂	-10 V _{DC} to +18 V _{DC}
Applied Output Voltage, V _O	-11 V _{DC} to +18 V _{DC}
Reference Current, I ₁₄	5 mA
Reference Amplifier Inputs, V ₁₄ , V ₁₅	V _{CC} , V _{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
DAC0808LC Series	0 ≤ T _A ≤ +75°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = -15 V_{DC}, V_{REF}/R₁₄ = 2 mA, DAC0808: T_A = -55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E _r	Relative Accuracy (Error Relative to Full Scale I _O)	(Figure 4)				%
	DAC0808LC (LM1408-8)				±0.19	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within 1/2 LSB (Includes t _{PLH})	T _A = 25°C (Note 6), (Figure 5)		150		ns
t _{PLH} , t _{PHL}	Propagation Delay Time	T _A = 25°C, (Figure 5)		30	100	ns
TC _{IO}	Output Full Scale Current Drift			±20		ppm/°C
MSB V _{IH} V _{IL}	Digital Input Logic Levels	(Figure 3)				
	High Level, Logic "1" Low Level, Logic "0"		2		0.8	V _{DC} V _{DC}
MSB	Digital Input Current	(Figure 3)				
	High Level Low Level	V _{IH} = 5V V _{IL} = 0.8V		0 -0.003	0.040 -0.8	mA mA
I ₁₅	Reference Input Bias Current	(Figure 3)				μA
	Output Current Range	(Figure 3) V _{EE} = -5V V _{EE} = -15V, T _A = 25°C	0 0	2.0 2.0	2.1 4.2	mA mA
I _O	Output Current	V _{REF} = 2.000V, R ₁₄ = 1000Ω, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 2) V _{EE} = -5V, I _{REF} = 1 mA V _{EE} Below -10V	E _r ≤ 0.19%, T _A = 25°C			-0.55, +0.4 -5.0, +0.4	V _{DC} V _{DC}

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V_{DC}$, $V_{REF}/R14 = 2mA$, DAC0808: $T_A = -55^\circ C$ to $+125^\circ C$, DAC0808C, DAC0807C, DAC0806C, T_A $0^\circ C$ to $+75^\circ C$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SR_{REF}	Reference Current Slew Rate	(Figure 6)	4	8	—	mA/ μs
—	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$	—	0.05	2.7	$\mu A/V$
—	Power Supply Current (All Bits Low)	(Figure 3)	—	2.3	22	mA
I_{CC} I_{EE}	Power Supply Current (All Bits High)	(Figure 3)	—	-4.3	-13	mA
V_{CC} V_{EE}	Power Supply Voltage Range	$T_A = 25^\circ C$, (Figure 3)	4.5 -4.5	5.0 -15	5.5 -16.5	V_{DC} V_{DC}
—	Power Dissipation	$V_{CC} = 5V, V_{EE} = -5V$	—	33	170	mW
—	All Bits Low	$V_{CC} = 5V, V_{EE} = -15V$	—	106	305	mW
—	All Bits High	$V_{CC} = 15V, V_{EE} = -5V$	—	90	—	mW
—		$V_{CC} = 15V, V_{EE} = -15V$	—	160	—	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is $100^\circ C/W$. For the dual-in-line N package, this number increases to $175^\circ C/W$ and for the small outline M package this number is $100^\circ C/W$.

Note 4: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

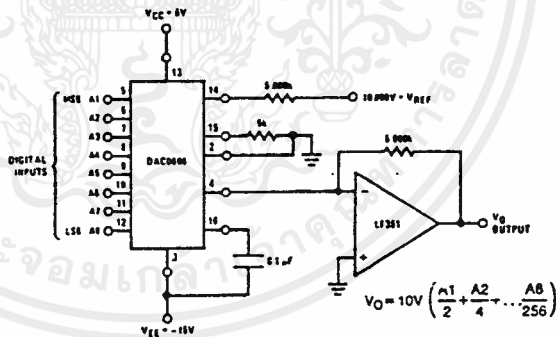
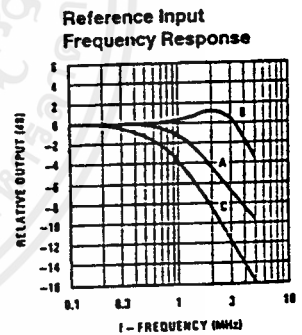
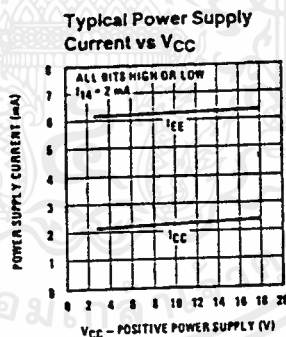
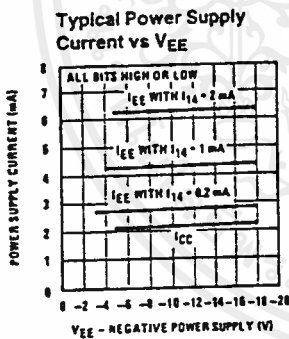
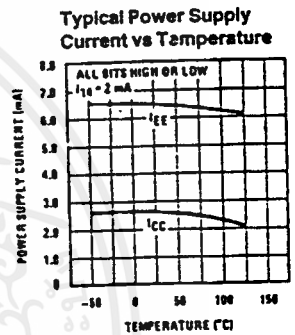
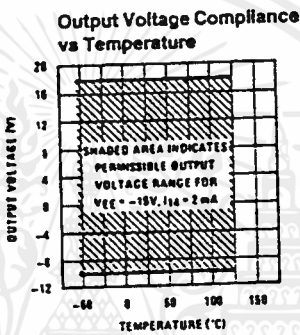
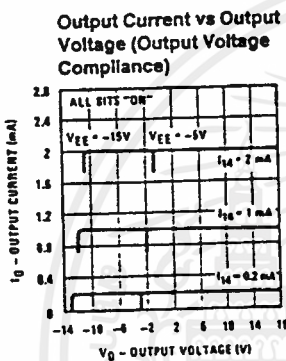
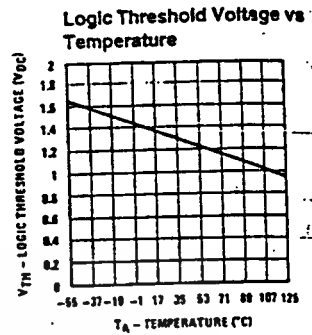
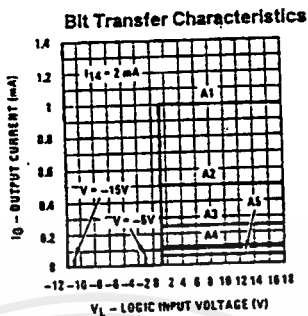
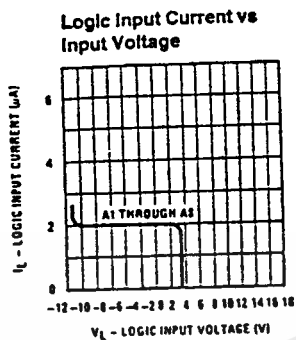


FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

TL/H/5687-3

Typical Performance Characteristics

$V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ C$, unless otherwise noted



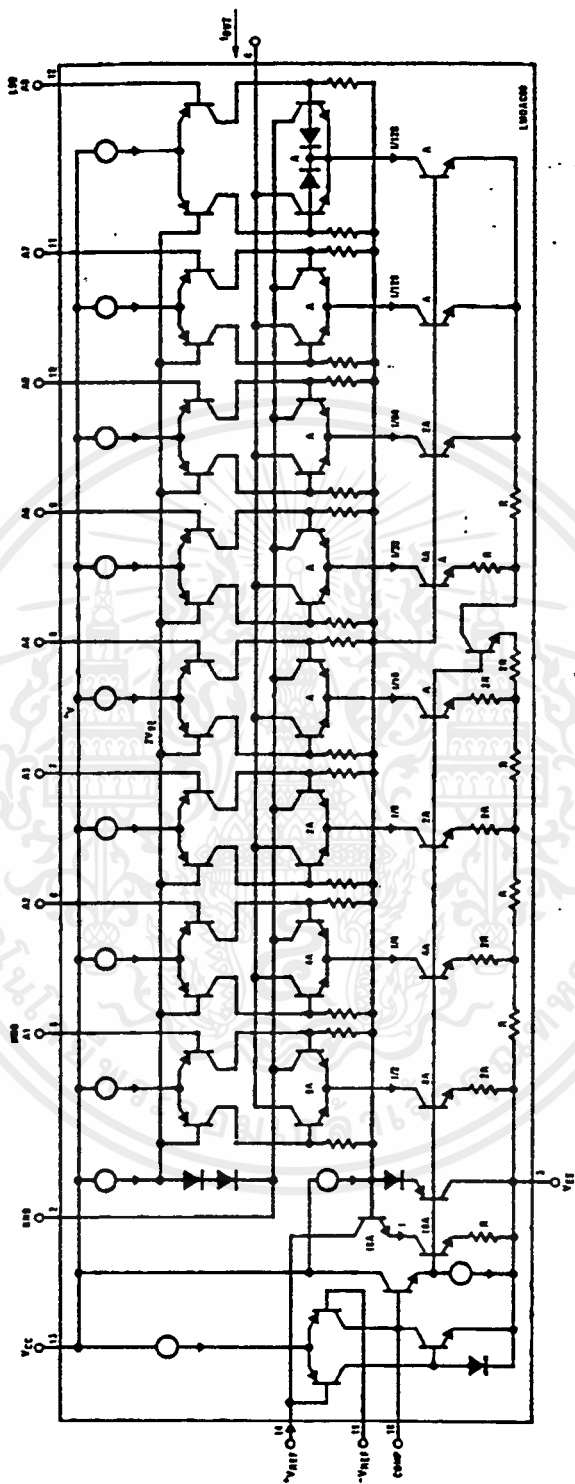
TL/H/5667-5

Unless otherwise specified: $R_{14} = 1k\Omega$, $C = 15pF$, pin 16 to V_{EE} ; $R_L = 50\Omega$, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7, $V_{REF} = 2V_{pp}$ offset 1V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7, $R_L = 250\Omega$, $V_{REF} = 50mV_{pp}$ offset 200mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp, $R_L = 50\Omega$), $R_S = 50\Omega$, $V_{REF} = 2V$, $V_S = 100mV_{pp}$ centered at 0V.

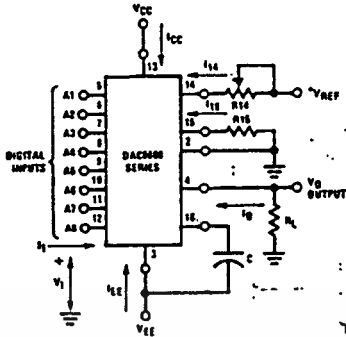


TJ/H/5687-4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_1 and I_1 apply to inputs A1-A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_0 = K \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

where $K = \frac{V_{REF}}{R_{14}}$

and $A_N = "1"$ if A_N is at high level

$A_N = "0"$ if A_N is at low level

TU/H/5687-6

FIGURE 3. Notation Definitions Test Circuit (Note 7)

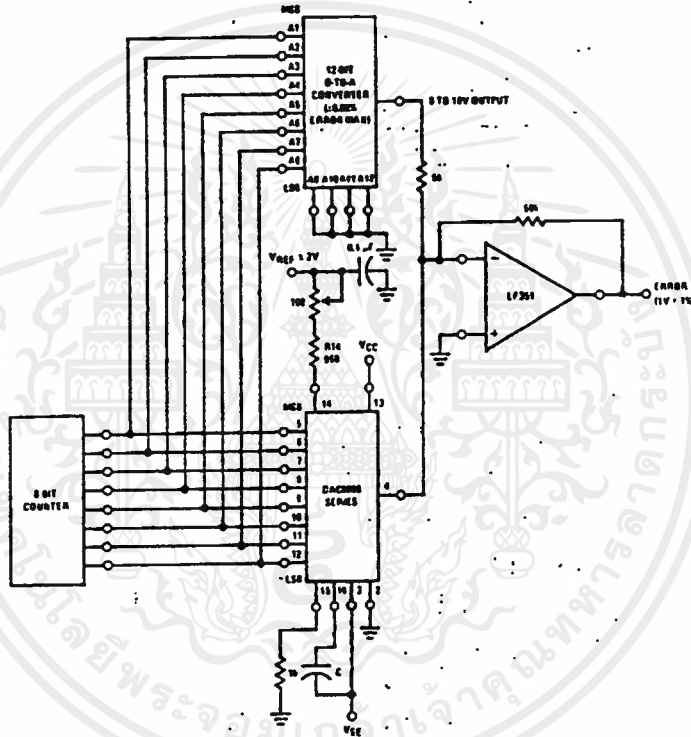


FIGURE 4. Relative Accuracy Test Circuit (Note 7)

TU/H/5687-7

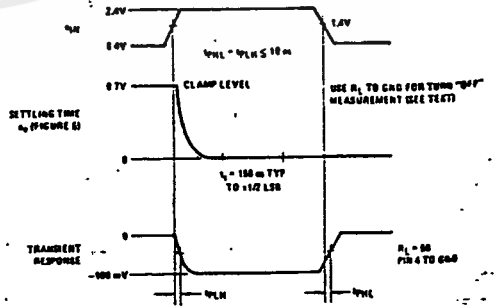
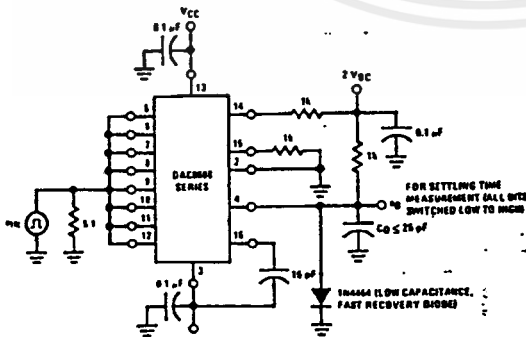


FIGURE 5. Transient Response and Settling Time (Note 7)

TU/H/5687-8

Test Circuits (Continued)

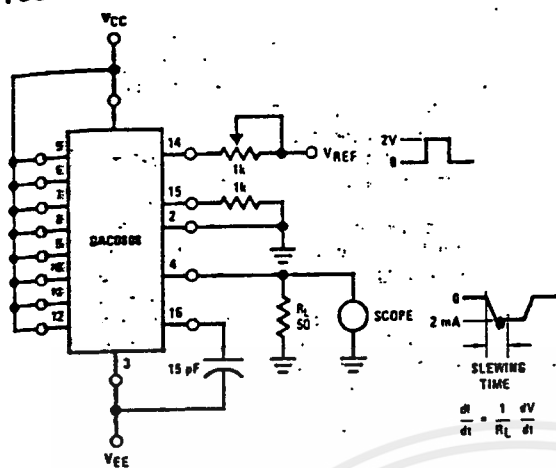


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

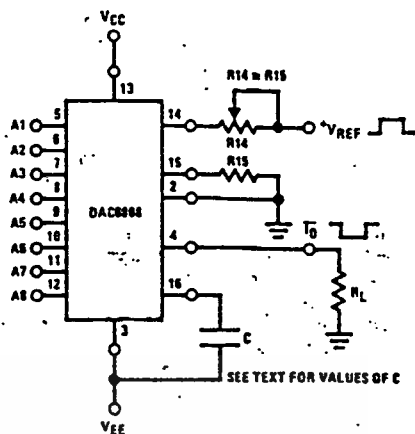


FIGURE 7. Positive VREF (Note 7)

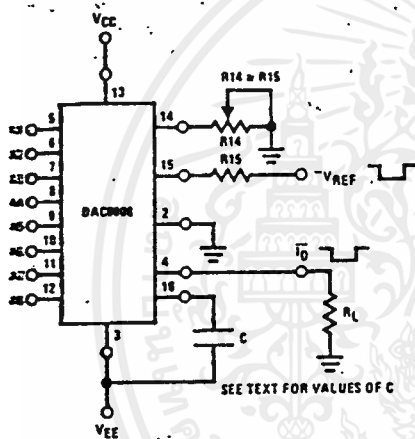


FIGURE 8. Negative VREF (Note 7)

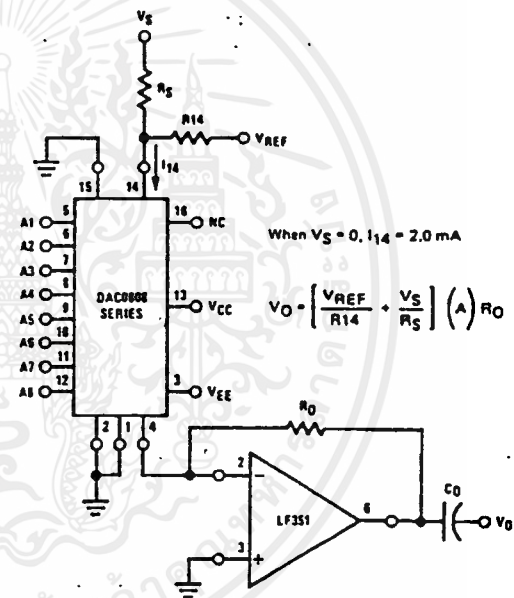


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode,

R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either VEE or ground, but using VEE increases negative supply rejection.

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to VEE on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the VEE supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μ F to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to $0.4V$ when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to $-5V$ where the negative supply voltage is more negative than $-10V$. Using a full-scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and $-4.980V$. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 Ω do not significantly affect performance, but a 2.5 k Ω load increases worst-case settling time to 1.2 μ s (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than $-8V$, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to

the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm 1/2$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μ A) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current-source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm 1/2$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μ A to 4 mA, the additional error contributions are less than 1.6 μ A. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm 1/2$ LSB, for 8-bit accuracy, and 100 ns to $1/2$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

Features

- Compatible with MCS-51™ Products
- 2 Kbytes of Reprogrammable Flash Memory
Endurance: 1,000 Write/Erase Cycles
- 2.7 V to 6 V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Five Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes

Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2 Kbytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

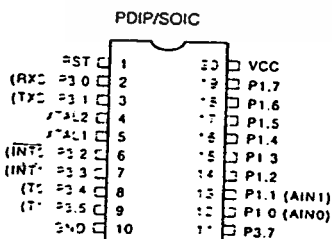
The AT89C2051 provides the following standard features: 2 Kbytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five source two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.



8-Bit
Microcontroller
with 2 Kbytes
Flash

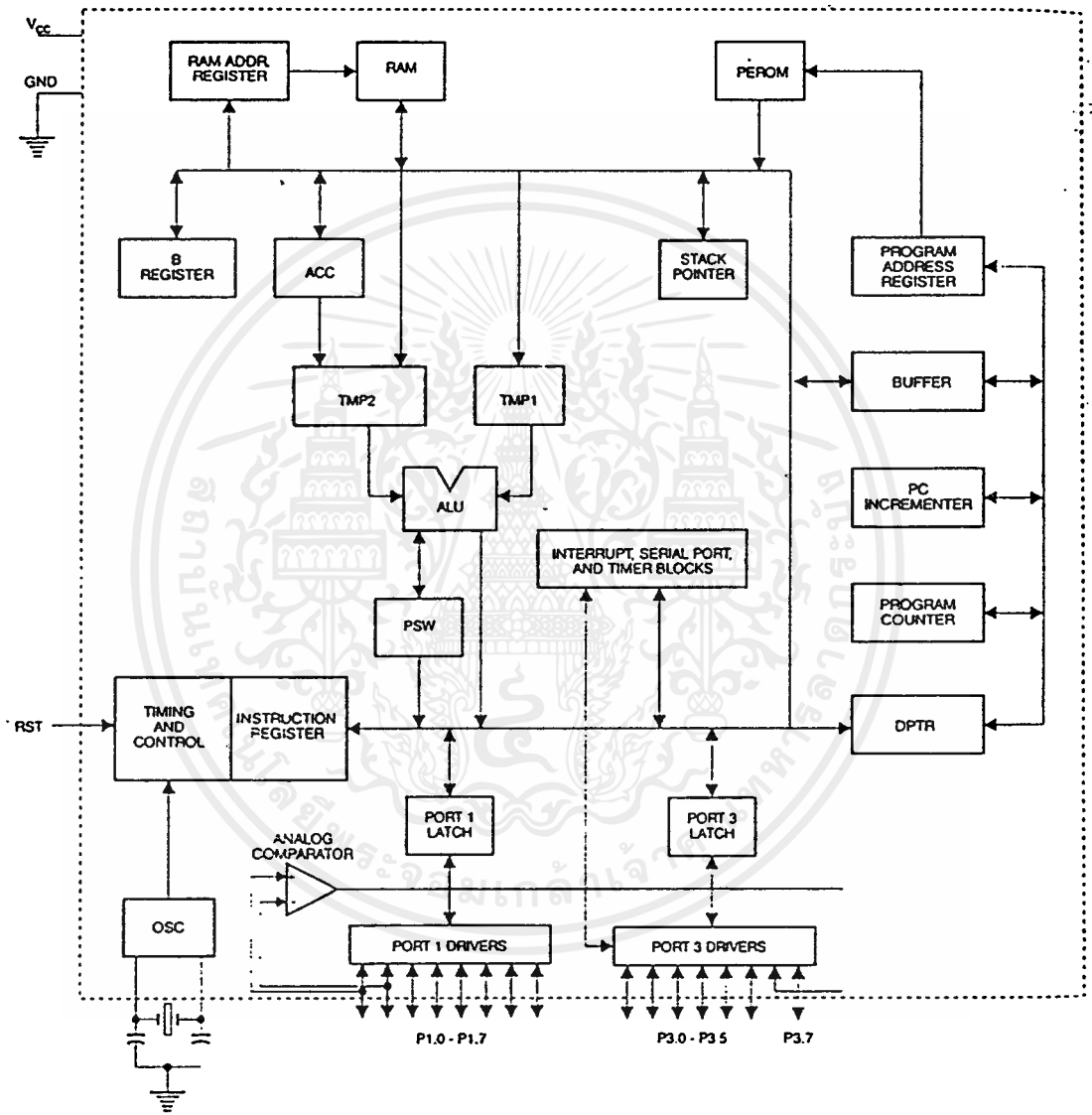
AT89C2051

Pin Configuration





Block Diagram



Pin Description

Vcc

Supply voltage.

GND

Ground.

Port 1

Port 1 is an 8-bit bidirectional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and program verification.

Port 3

Port 3 pins P3.0 to P3.5, P3.7 are seven bidirectional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C2051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

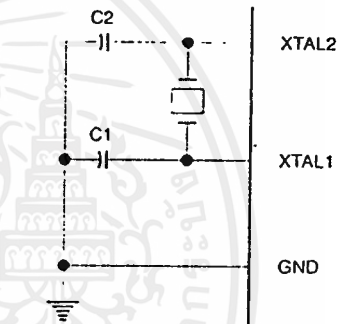
XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

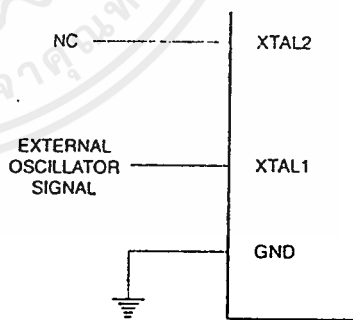
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration





Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C2051 SFR Map and Reset Values

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP X0000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 00000000							0AFH
0A0H								0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H		SP 00000111	DPL 00000000	DPH 00000000			PCON 00000000	87H

Restrictions on Certain Instructions

The AT89C2051 and AT89C1051 are economical and cost-effective members of Atmel's growing family of microcontrollers. They contain 2 Kbytes and 1 Kbyte of flash program memory, respectively. Both are fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program these devices.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 2K for the AT89C2051. This should be the responsibility of the software programmer. For example, LCALL 7E0H would be valid for the AT89C2051 (with 2K of memory), but LCALL 900H would not.

1. Branching instructions:

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to 7FFH for the 89C2051). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above ap-

plies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

2. MOVX-related instructions, Data Memory:

The AT89C2051 contains 128 bytes of internal data memory, while the AT89C1051 has 64 bytes. Thus, in the AT89C1051 the stack depth is limited to 64 bytes, the amount of available RAM. External DATA memory access is not supported in either device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.



Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes⁽¹⁾

Program Lock Bits			Protection Type
	LB1	LB2	
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before VCC is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

Programming The Flash

The AT89C2051 is shipped with the 2 Kbytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C2051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C2051, the following sequence is recommended.

1. Power-up sequence:
Apply power between VCC and GND pins
Set RST and XTAL1 to GND
With all other pins floating, wait for greater than 10 milliseconds
2. Set pin RST to 'H'
Set pin P3.2 to 'H'
3. Apply the appropriate combination of 'H' or 'L' logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table:
To Program and Verify the Array:
 4. Apply data for Code byte at location 000H to P1.0 to P1.7.
 5. Raise RST to 12V to enable programming
 6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
 7. To verify the programmed data, lower RST from 12V to logic 'H' level and set pins P3.3 to P3.7 to the appropriate levels. Output data can be read at the port P1 pins.
 8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
 9. Repeat steps 5 through 8, changing data and advancing the address counter for the entire 2 Kbytes array or until the end of the object file is reached.
10. Power-off sequence:
set XTAL1 to 'L'
set RST to 'L'
Float all other I/O pins
Turn Vcc power off

Data Polling: The AT89C2051 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The Progress of byte programming can also be monitored by the RDY/BSY output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from 'L' to 'H'.
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (2 Kbytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel





(001H) = 21H indicates 89C2051

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	P3.2/ PROG	P3.3	P3.4	P3.5	P3.7
Write Code Data ^(1,3)	12V		L	H	H	H
Read Code Data ⁽¹⁾	H	H	L	L	H	H
Write Lock Bit - 1	12V		H	H	H	H
Bit - 2	12V		H	H	L	L
Chip Erase	12V	 ⁽²⁾	H	L	L	L
Read Signature Byte	H	H	L	L	L	L

Notes: 1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL1 pin.

2. Chip Erase requires a 10 ms PROG pulse.

3. P3.1 is pulled Low during programming to indicate RDY/BSY.



Figure 3. Programming the Flash Memory

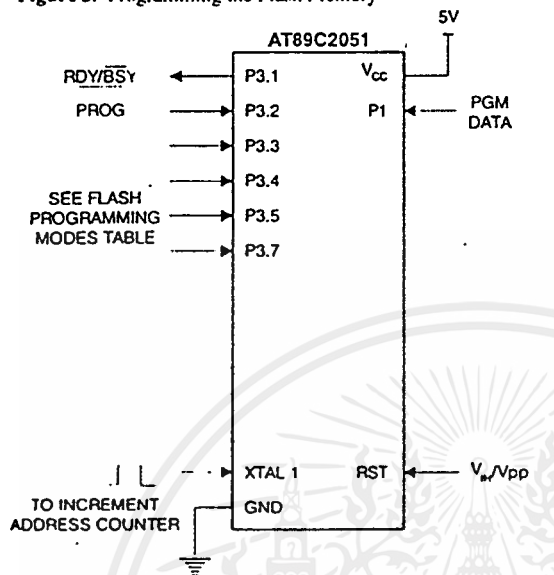
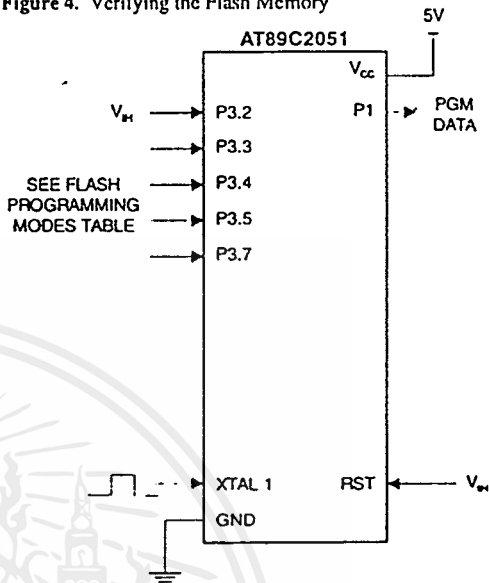


Figure 4. Verifying the Flash Memory

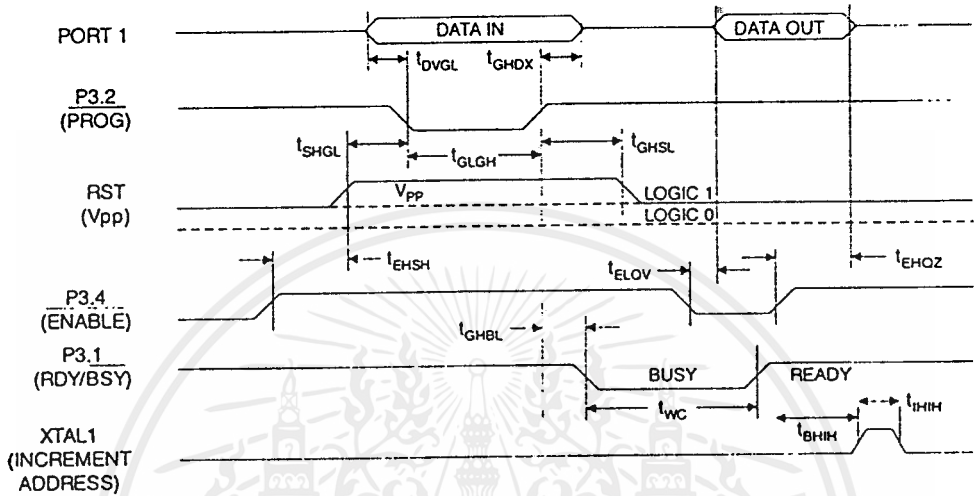


Flash Programming and Verification Characteristics

TA = 21°C to 27°C, VCC = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
VPP	Programming Enable Voltage	11.5	12.5	V
Ipp	Programming Enable Current		250	µa
tDVGL	Data Setup to $\overline{\text{PROG}}$ Low	1.0		µs
tGHOX	Data Hold After $\overline{\text{PROG}}$	1.0		µs
tESHSH	P3.4 ($\overline{\text{ENABLE}}$) High to VPP	1.0		µs
tSHGL	VPP Setup to $\overline{\text{PROG}}$ Low	10		µs
tGHSL	VPP Hold After $\overline{\text{PROG}}$	10		µs
tGLGH	$\overline{\text{PROG}}$ Width	1	110	µs
tELOV	$\overline{\text{ENABLE}}$ Low to Data Valid		1.0	µs
tEHOZ	Data Float After $\overline{\text{ENABLE}}$	0	1.0	µs
tGHBL	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		50	ns
tWC	Byte Write Cycle Time		2.0	ms
tBHIH	RDY/ $\overline{\text{BSY}}$ to Increment Clock Delay	1.0		µs
tIHIL	Increment Clock High	200		ns

Flash Programming and Verification Waveforms



Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current.....	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.





D.C. Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7\text{ V}$ to 6.0 V (unless otherwise noted)

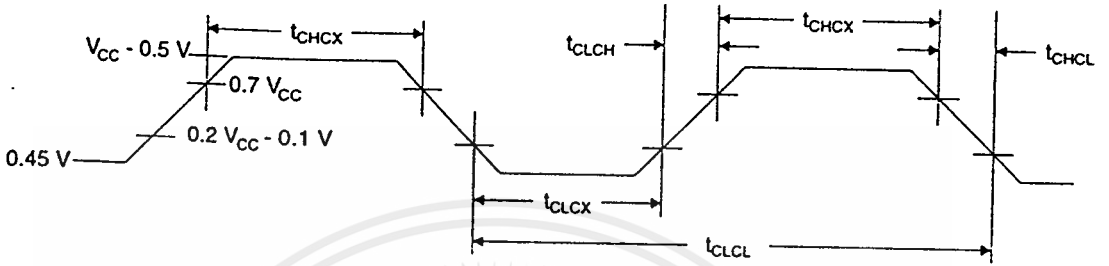
Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage		-0.5	$0.2 V_{CC}-0.1$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC}+0.9$	$V_{CC}+0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC}+0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1, 3)	$I_{OL} = 20\text{ mA}$, $V_{CC} = 5\text{ V}$ $I_{OL} = 10\text{ mA}$, $V_{CC} = 2.7\text{ V}$		0.5	V
V_{OH}	Output High Voltage (Ports 1, 3)	$I_{OH} = -80\text{ }\mu\text{A}$, $V_{CC} = 5\text{ V} \pm 10\%$	2.4		V
		$I_{OH} = -30\text{ }\mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -12\text{ }\mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1, 2, 3)	$V_{IN} = 0.45\text{ V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 2, 3)	$V_{IN} = 2\text{ V}$		-750	μA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	$0 < V_{IN} < V_{CC}$		± 10	μA
V_{OS}	Comparator Input Offset Voltage	$V_{CC} = 5\text{ V}$		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pulldown Resistor		50	300	$\text{K}\Omega$
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, $V_{CC} = 6\text{ V}/3\text{ V}$		15/5.5	mA
		Idle Mode, 12 MHz, $V_{CC} = 6\text{ V}/3\text{ V}$ P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power Down Mode ⁽²⁾	$V_{CC} = 6\text{ V}$ P1.0 & P1.1 = 0V or V_{CC}		100	μA
		$V_{CC} = 3\text{ V}$ P1.0 & P1.1 = 0V or V_{CC}		20	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 20 mA
Maximum total I_{OL} for all output pins: 80 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2 V.

External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

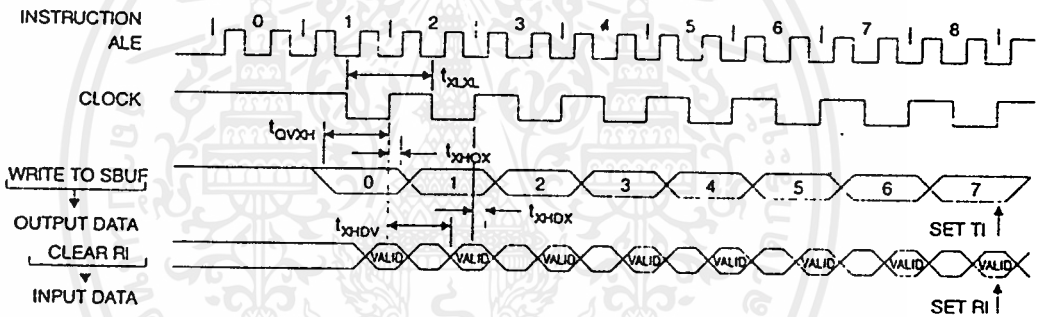


Serial Port Timing: Shift Register Mode Test Conditions

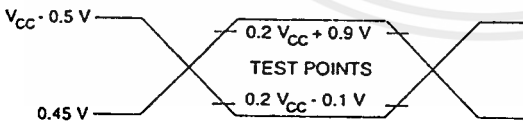
($V_{CC} = 5.0\text{ V} \pm 20\%$; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
t_{OVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
t_{XHDX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}-33$		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDX}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms

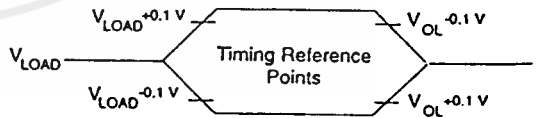


AC Testing Input/Output Waveforms ⁽¹⁾



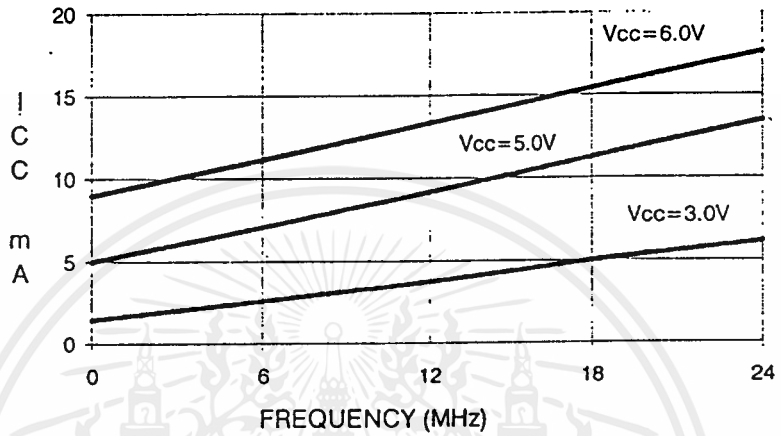
Note: 1. AC Inputs during testing are driven at $V_{CC} - 0.5\text{ V}$ for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at $V_{IH\text{ min}}$ for a logic 1 and $V_{IL\text{ max}}$ for a logic 0.

Float Waveforms ⁽¹⁾

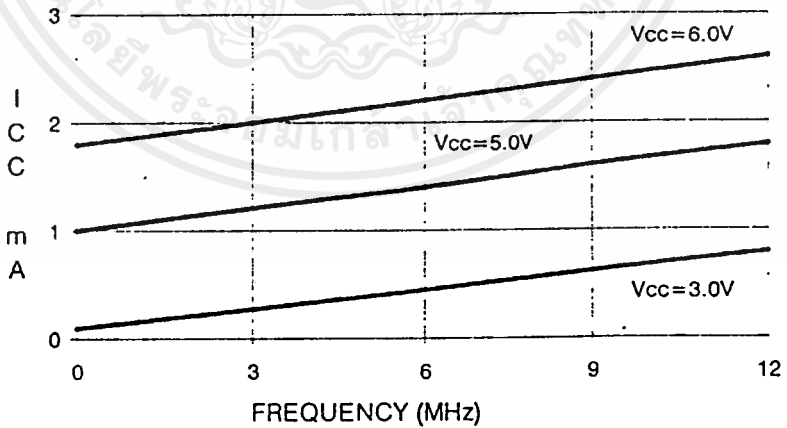


Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

AT89C2051
TYPICAL ICC - ACTIVE (85°C)



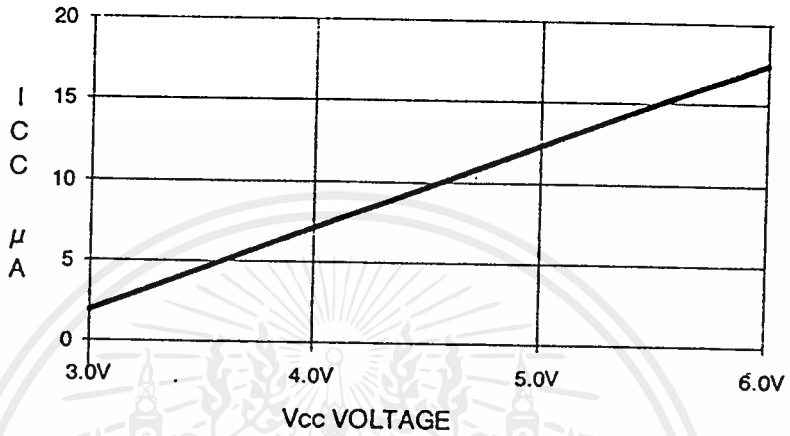
AT89C2051
TYPICAL ICC - IDLE (85°C)





AT89C2051

TYPICAL ICC vs. VOLTAGE - POWER DOWN (85°C)



- Note:
1. XTAL1 tied to GND for ICC (power down).
 2. P1.0 and P1.1 = Vcc or GND.
 3. Lock bits programmed.

กิตติกรรมประกาศ

รายงานฉบับนี้จะสำเร็จลงไม่ได้ หากไม่ได้รับความช่วยเหลือเป็นอย่างดีจากบุคคลหลายๆท่าน ตั้งแต่ช่วงเริ่มต้นของการทำโครงการ ตลอดจนการทำรายงานฉบับนี้เสร็จสมบูรณ์

ขอขอบพระคุณ

รศ.ณรงค์ เหมกรณ์

ผศ.นิภา ลีลาธุจิ

ดร.ทองทศ วานิชศรี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Savant , Roden , Carpenter , “ Electronic Design Circuit and Systems ” , The Benjamin / Cummings Publishing Company , Inc 1991
2. Frank F.E.Owen , “ PCM and Digital Transmission Systems ” , McGraw-Hill Book Company , 1982
3. Lathi B.P. , “ Communication System ” , New Delhi , Wiley Eastern , 1977
4. “ National Semiconductor CMOS Databook ” , 1995
5. “ Atmel Flash-Based Microcontrollers Databook ”
6. “ คู่มือ / เทียบเบอร์ ไอซี TTL “ , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)
7. ถวิล กิ่งทอง , “ เทคโนโลยีการส่งสัญญาณดิจิทัล ” , สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2535
8. วิโรจน์ อัครวงษ์ , ชัชวาลย์ เต็มฤทธิ์วงศ์ , กรชูลี ใช้สถิตย์ , “ การใช้งานอปแอมป์และลิเนียร์ไอซี ” , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)
9. รำพึง มังคะสวัสดิ์ , “ ระบบดิจิทัล 1 ” , ห้างหุ้นส่วนจำกัด ศรีเทพ เทคนิคการพิมพ์ , 2530
10. สุรียน ศรีสวัสดิ์กุล , “ ระบบสื่อสารข้อมูลคอมพิวเตอร์ ” , บริษัท สกายบุคส์ จำกัด
11. สุนทร วิทูรพจน์ , “ การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051 ” , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
12. เจริญ มณีจันทร์ , วีระพล พงษ์บริบูรณ์ , “ วิทยานิพนธ์สำหรับปริญญาอุตสาหกรรมศาสตรบัณฑิต เรื่อง เครื่องส่ง-เครื่องรับ พีซีเอ็ม (PCM TRANSMITTER AND RECEIVER) ” , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้