ระบบกระจายเสียงแบบดิจิตอล

DIGITAL AUDIO BROADCASTING SYSTEM

โดย

นายอภิชาติ อดิศักดิ์ภิรมย์

นายอิศรินทร์ พลเทพ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบกระจายเสียงแบบดิจิตอล

DIGITAL AUDIO BROADCASTING SYSTEM

โดย

นายอภิชาติ อดิศักดิ์ภิรมย์ 37014559

นายอิศรินทร์ พลเทพ 37014593

อาจารย์ที่ปรึกษา

ผศ.นิภา ลีลารุจิ

รศ.ณรงค์ เหมกรณ์

วัน เดือน ปี 22 ตค 2541

เลขทะเบียน 039118

เลขเรียกหนังสือ TJ0358 0262 ร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039118

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบกระจายเสียงแบบดิจิตอล

DIGITAL AUDIO BROADCASTING SYSTEM

ผู้จัดทำ

1. นายอภิชาติ อดิศักดิ์ภิรมย์ 37014559
2. นายอิศรินทร์ พลเทพ 37014593

.....อาจารย์ที่ปรึกษา

(ผศ.นิภา ถีถารุจิ)

.....อาจารย์ที่ปรึกษา

(รศ.ฉรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบกระจายเสียงแบบดิจิตอล

DIGITAL AUDIO BROADCASTING SYSTEM

โดย 1.นายอภิชาติ อดิศักดิ์ภิรมย์ 37014559
2.นายอิศรินทร์ พลเทพ 37014593
อาจารย์ที่ปรึกษา ผศ.นิภา ลีลารุจิ
รศ.ฉรงค์ เหมกรณ์

บทคัดย่อ

โครงงาน " *ระบบกระจายเสียงแบบดิจิตอล* " ประกอบด้วย 2 ส่วนคือ ภาคส่งและภาครับ โดยที่ภาคส่งทำหน้าที่แปลงสัญญาณจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล แล้วนำไปเข้ารหัสแบบแมนเชสเตอร์ จากนั้นจึงมอดูเลทกับสัญญาณคลื่นพาหะ เพื่อส่งออกอากาศต่อไป ส่วนทางภาครับ เมื่อได้รับสัญญาณจากภาคส่งจะกำจัดคลื่นพาหะออก เพื่อนำสัญญาณที่ได้ไปทำการถอดรหัส แล้วแปลงสัญญาณดิจิตอลที่ได้ให้เป็นสัญญาณอนาลอกดังเดิม

ABSTRACT

" Digital Audio Broadcasting System " is composed of two parts, *transmitter and receiver*. The functions of the transmitter are changing analog signal to digital signal, then encoding the digital signal by Manchester method, finally modulating the modulating signal into carrier signal before on air. Receiver functions are getting rid of carrier signal, decoding that signal in order to change it to be digital signal and then converting it to analog signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ	หน้า 1
บทที่ 2 ทฤษฎีและหลักการทำงาน	2
2.1 คาต้าแอคควิซิชันและการคอนเวอร์ชัน	2
2.2 วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ	13
2.3 วงจรรวมสัญญาณแบบไม่กลับเฟส	17
2.4 การมอดูเลตทางแอมพลิจูด	19
2.5 วงจรขยาย	24
2.6 ไดโอดดีเทกชัน	25
2.7 วงจรค่าสมบูรณ์	26
บทที่ 3 การคำนวณและการออกแบบ	31
3.1 วงจรขยาย	31
3.2 วงจรกรองความถี่ต่ำผ่าน	33
3.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	34
3.4 ไมโครคอนโทรลเลอร์ AT89C51	36
3.5 วงจรเข้าขนานออกอนุกรม	38
3.6 วงจรเข้ารหัสและถอดรหัส	38
3.7 วงจรแอมพลิจูดมอดูเลเตอร์	39
3.8 ไดโอดดีเทกชัน	39
3.9 วงจรคล็อครีคัฟเวอร์รี่	39
บทที่ 4 การทดลองและผลการทดลอง	41
4.1 โลว์พาสฟิลเตอร์	41
4.2 วงจรรวมสัญญาณแบบไม่กลับเฟส	42
4.3 วงจรอนาล็อกทูดิจิตอล	42
4.4 วงจรเข้าขนานออกอนุกรม	48
4.5 วงจรเข้ารหัสแบบแมนเชสเตอร์	48
4.6 วงจรมอดูเลเตอร์	50
4.7 ไดโอดดีเทกเตอร์	51
4.8 วงจรอินทิเกรเตอร์	52
4.9 วงจรค่าสมบูรณ์	53
4.10 วงจรดิฟเฟอร์เรนชิเอเตอร์	53
4.11 วงจรถอดรหัสแบบแมนเชสเตอร์	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12 ไมโครคอนโทรลเลอร์ 53
4.13 วงจรดิจิตอลทูอนาล็อก 55
บทที่ 5 บทสรุปและบทวิจารณ์ 57
กิตติกรรมประกาศ 58
หนังสืออ้างอิง 59
ภาคผนวก 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารในยุคปัจจุบันเจริญก้าวหน้าไปมาก จนเรียกว่าเป็นยุคโลกาภิวัฒน์ (Globalization) มีการสื่อสารมากมายหลายชนิด ทั้งที่มีเฉพาะเสียงและที่มีทั้งภาพและเสียง การสื่อไปยังผู้รับก็อาศัยการกระจายออกอากาศ เพราะสามารถสื่อสารได้เป็นบริเวณกว้างและประหยัดอีกด้วย

สำหรับระบบกระจายเสียงในปัจจุบันที่เป็นที่นิยมมากระบบหนึ่งก็คือ ระบบเอเอ็ม เนื่องจากสามารถส่งไปยังผู้รับได้ในบริเวณไกลพอสมควร อีกทั้งสัญญาณที่ได้รับยังมีคุณภาพที่ดี แต่บ่อยครั้งที่ต้องพบกับปัญหาของสัญญาณรบกวน จนไม่สามารถรับและสื่อสารให้เข้าใจได้

โครงงานชิ้นนี้ต้องการแก้ปัญหาของสัญญาณรบกวน ในการกระจายเสียงออกอากาศ โดยมุ่งเน้นในการกำจัดสัญญาณรบกวน ซึ่งได้ผลดีกว่าการส่งแบบเดิม แต่โครงงานนี้ไม่ได้มุ่งเน้นที่คุณภาพของเสียงแต่อย่างใด เพราะเป็นเพียงโครงงานตามแนวความคิดเท่านั้น ดังนั้นหากต้องการให้ได้คุณภาพเสียงที่ดีด้วยก็จำเป็นต้องมีการศึกษาและทำการพัฒนาต่อไป

สำหรับหลักการของโครงงาน " DIGITAL AUDIO BROADCASTING SYSTEM " ก็คือ การนำสัญญาณเสียงที่เป็นสัญญาณอนาลอก มาแปลงเป็นสัญญาณดิจิตอล ก่อนที่จะนำไปทำการประมวล (Process) แบบดิจิตอล แล้วจึงนำส่งออกอากาศต่อไป ส่วนภาครับก็จะทำการแปลงสัญญาณดังกล่าวกลับมาเป็นสัญญาณเสียงดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทำงาน

2.1 <u>ดาต้า แอคควิซิชัน และ การคอนเวอร์ชัน</u> (Data Acquisition and Conversion)

รูปแบบของสัญญาณทางไฟฟ้าที่เราพบเห็นในชีวิตประจำวันจะอยู่ในรูปแบบของสัญญาณอนาลอก (Analog Signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาลอก แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากในรูปแบบของสัญญาณทางดิจิตอลนั้น การประมวล เก็บ สื่อสาร และการนำเสนอจะทำได้ง่ายกว่าและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงมีความจำเป็นขึ้นมา โดยมีหลักการคือการเปลี่ยนแปลงทางกายภาพใดๆ จะถูกเปลี่ยนให้เป็นสัญญาณทางไฟฟ้าที่มีความต่อเนื่อง (สัญญาณ อนาลอก) โดยทรานสดิวเซอร์ที่มีสมบัติที่เหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมก่อนโดยอนาลอก ซิกแนล คอนดิชันเนอร์ ซึ่งอาจเป็นวงจรขยาย หรือฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณจาก อนาลอกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital Processors) เช่นคอมพิวเตอร์ ก็จะจัดการกับข้อมูลเพื่อนำเสนอหรือปรับเปลี่ยนกลับมาให้อยู่ในรูปของสัญญาณอนาลอก โดย DAC เพื่อป้อนกลับไปควบคุม การประมวลทางกายภาพ (Physical Process)

สำหรับระบบที่มีข้อมูลที่ต้องมีการประมวลผลในเวลาเดียวกันหลายๆ ข้อมูล หาก ADC ทำงานได้เร็วพอจะไม่จำเป็นต้องใช้ADC หลายๆ ตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่จะใช้วิธีแบ่งเวลา (Time Sharing) โดยวิธี มัลติเพล็กชิง วงจรแซมปลิ้ง และ โฮลด์ (Sampling and Hold : S/H) จะสุ่ม (Sample) ขนาดของสัญญาณอนาลอกมาและเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่

2.1.1 ทฤษฎีการแซมปลิ้ง

ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้น ADC จะใช้เวลาช่วงหนึ่งในการจัดการ ซึ่งช่วงเวลาดังกล่าวจะขึ้นอยู่กับหลายๆ แฟคเตอร์ เช่น ความละเอียดของการแปลงสัญญาณ (จำนวนดิจิตอลบิต) เทคนิคของการแปลงสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่นๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่าง รวมถึงความแม่นยำที่ต้องการ

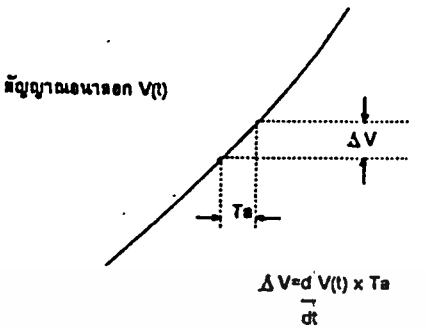
ช่วงเวลาในการแปลงสัญญาณบางครั้งอาจเรียกว่าอเพอร์เจอร์ ไทม์ (Aperture time) ซึ่งหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนในการวัด และผลคือเกิดความผิดพลาดต่อค่าที่วัดได้

ในรูปที่ 2.1 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dV/dt ในช่วงอเพอร์เจอร์ ไทม์ T_a ดังนั้นช่วงการเปลี่ยนแปลงของสัญญาณอนาลอกจะเท่ากับ ΔV โดย

$$\Delta V = T_a \left[dV(t)/dt \right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นหากเวลาที่ADC ใช้ ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้รหัสดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลานี้ และส่วนอื่นๆ ที่เหลือคือความผิดพลาดที่เกิดขึ้น เรียกความผิดพลาดนี้ว่า อเพอร์เจอร์ ไทม์ เออเรอร์ (Aperture time error)



รูปที่ 2.1 แสดงความผิดพลาดจากการวัดในอเพอร์เจอร์ ไทม์

2.1.2 แซมเปิล แอนด์ โฮลด์ และ อเพอร์เจอร์ ไทม์ เออร์เรอร์

วงจรแซมเปิล แอนด์ โฮลด์จะทำการสุ่ม (แซมปลิ้ง) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (โฮลด์) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ อเพอร์เจอร์ ไทม์ของ แซมเปิล แอนด์ โฮลด์ คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ แซมเปิล แอนด์ โฮลด์ แล้ว อเพอร์เจอร์ ไทม์ ขึ้นอยู่กับแบนด์วิดธ์ และสวิทชิ่งไทม์ ของอุปกรณ์แอคทีฟ ที่ใช้ในวงจร

ในการสุ่ม สัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆ คงที่ตามรูปที่ 2.2 ค. การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอกซึ่งจะได้เป็นสัญญาณที่มอดดูเลท ระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขึ่มาบนขบวนพัลส์ดังแสดงในรูปที่ 2.2 ค. ถ้าหากสัญญาณอนาลอกที่ถูกสุ่มถูกโฮลด์ จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามา ซึ่งจะได้ลักษณะของเอาท์พุท ดังแสดงในรูปที่ 2.2 ง.

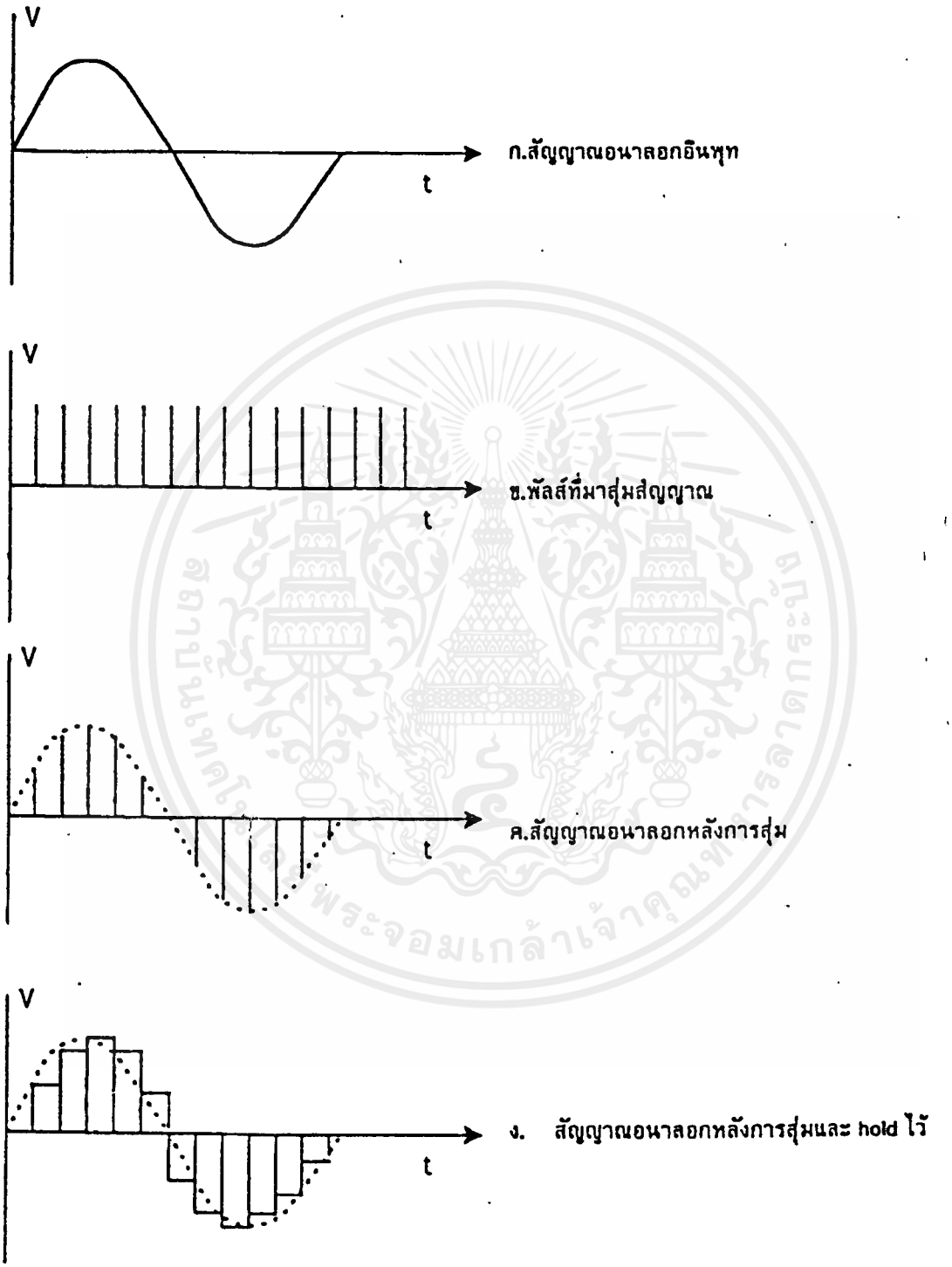
สำหรับทฤษฎีการสุ่มกล่าวไว้ว่า " ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคไม่เกิน f_c ถูกสุ่มด้วยอัตราสุ่มไม่น้อยกว่า 2 เท่าของ f_c แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่มีการสูญเสียรายละเอียดหรือผิดเพี้ยนไป "

2.1.3 ฟรีเควนซี โฟลดิง และ อเลียสซิง(Frequency Folding and Aliasing)

จากทฤษฎีการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณในรูปที่ 2.3 รูปที่ 2.3 ก. แสดงให้เห็นถึงสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิดธ์ไม่เกิน f_c ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดดูเลชั่นจะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s, 3f_s, \ldots$ ดังรูปที่ 2.3 ข. ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอหลังจากการสุ่มสเปคตรัมบางส่วนของ f_s จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

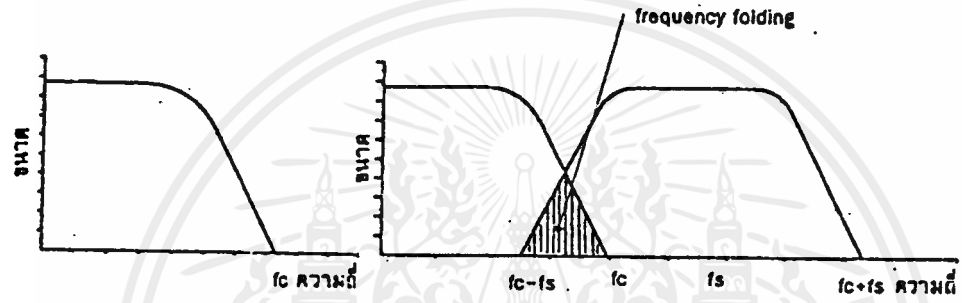
เกิดฟรีเควนซีโฟลดิงขึ้น หากเป็นเช่นนี้ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนทับกัน ของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม



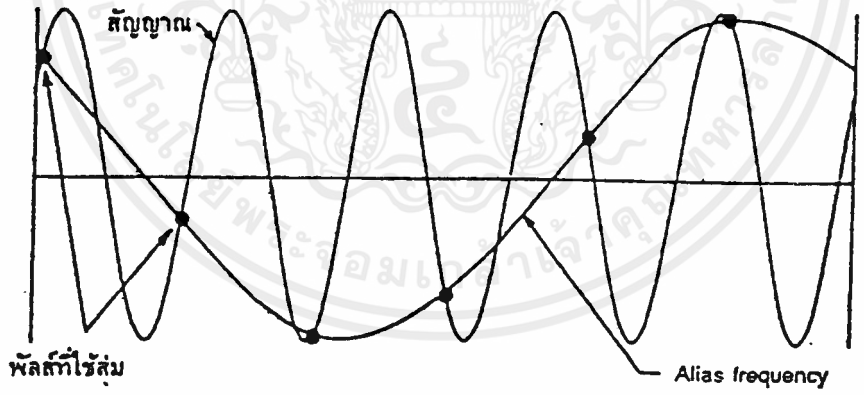
รูปที่ 2 .2 การสุ่มสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนของสเปคตรัมหมดไป($f_s - f_c = f_c$) และการเปลี่ยนกลับของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้ ทฤษฎีการสุ่มที่ว่าให้ $f_s > 2f_c$ นั้นก็เพื่อขจัดการซ้อนกันของสเปคตรัมซึ่งทำได้สองวิธีคือ วิธีหนึ่งด้วยการใช้อัตราการสุ่มที่สูงพอดังกล่าว และ อีกวิธีหนึ่งคือการทำการฟิลเตอร์ความถี่ของสัญญาณอนาลอก ก่อนการสุ่ม(Antialiasing Filter)เพื่อจำกัดแบนด์วิดธ์ของสัญญาณที่จะถูกแปลงให้ไม่เกินกว่า $f_s/2$ ซึ่งในทางปฏิบัติแล้วจะยังคงเกิดฟรีเควนซี โฟลดิงได้เสมอจากส่วนของฮาร์โมนิค ของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่ แม้ว่าทำการฟิลเตอร์มาก่อนหน้าแล้วก็ตาม การกำจัดการซ้อนกันของสเปคตรัม ดังนี้วิธีที่จะลดผลของอเลียสซิงคือนอกจากใช้ฟิลเตอร์ฮาร์โมนิคสูงๆของสัญญาณแล้ว ต้องพยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วที่สุด ซึ่งปกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎีแซมปลิ้ง คือ $2f_c$ เสมอ



รูปที่ 2.3 ก) แสดงสเปคตรัมของสัญญาณอนาลอกที่จะถูกสุ่ม
ข) สเปคตรัมหลังจากการสุ่ม เกิดฟรีเควนซีโฟลดิ้ง



รูปที่ 2.4 การเกิดอเลียสซิง ฟรีเควนซีจากการสุ่มด้วยความถี่ต่ำกว่า 2เท่าของความถี่สัญญาณอินพุทรูปซายน์

ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำกว่า เรียกว่าอเลียสซิงฟรีเควนซี เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากถูกสุ่มแล้วดังแสดงในรูปที่ 2.4 จะเห็นว่าความถี่อเลียสซิง อาจจะแตกต่างจากความถี่เดิมไปมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

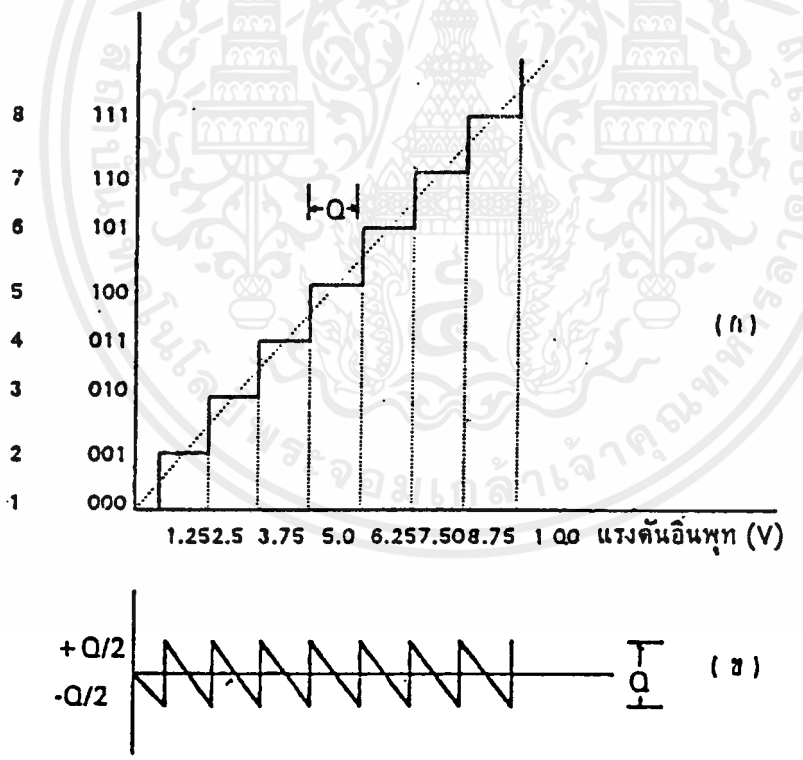
แอนทิอเลียสซิงฟิลเตอร์ จะช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิดอเลียสซิง ฟรีเควนซี ในขณะที่ต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์ที่ใช้งานและไม่ลดความแม่นยำในการวัดโดยรวมอีกด้วย ในการใช้ แอนทิอเลียสซิงฟิลเตอร์ ปริมาณการขจัดความถี่สูงนั้นขึ้นอยู่กับ

- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม และ
- ความละเอียดของการแปลงสัญญาณ

ฟิลเตอร์ที่ใช้ จึงอาจเป็นพาสซีฟฟิลเตอร์ แอคทีฟฟิลเตอร์ หรือสวิทช์ คาปาซิสเตอร์ฟิลเตอร์

2.1.4 ทฤษฎีการควอนไทซ์(Quantizing Theory)

ควอนไทซิงเป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง(ดิสครีทซิกแนล)หลังการสุ่มโดยผ่านขบวนการเข้ารหัส(Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี(Binary)เป็นต้น หากนำอาขนาดของสัญญาณอนาลอกและรหัสดิจิตอลที่ได้จากการควอนไทซ์ มาเขียนกราฟก็จะได้กราฟแสดงควอนไทซ์ ทรานสเฟอร์ ฟังก์ชัน ดังรูปที่ 2.5



รูปที่ 2.5 ทรานสเฟอร์ฟังก์ชันของควอนไทเซอร์ 3 บิต ตามทฤษฎี

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาลอกที่อยู่ระหว่าง 0 ถึง +10 โวลต์ ถูกควอนไทซ์ และเข้ารหัส(Encode) เป็นรหัสไบนารี 3 บิต ได้ 8 ระดับจาก 000 ถึง 111 เนื่องจากในระบบไบนารี รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเกล โดยค่าสูงสุดของรหัสดิจิตอลคือ ทุกบิตเป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย(1-2 $^{-n}$) โดย n เป็นจำนวนบิตของรหัสดิจิตอลและรหัสดิจิตอลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่า เวททิง(Weighting) ของรหัสชนิดนั้นหารด้วย 2 ^{n} ตัวอย่างเช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลต์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุท

$$V_{input} = (Rs/2^{n})[(1*2^{3})+(0*2^{2})+(1*2^{1})+(1*2^{0})]$$

$$= (10/2^{4})[(1*2^{3})+(0*2^{2})+(1*2^{1})+(1*2^{0})]$$

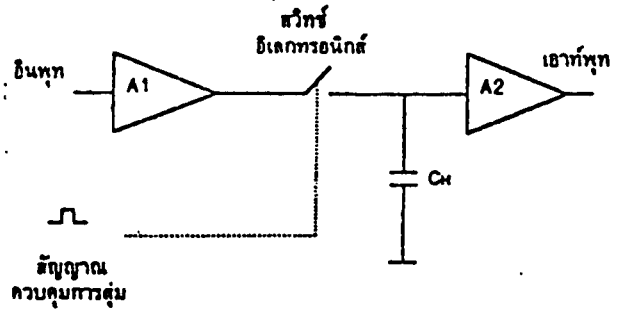
สิ่งสำคัญสำหรับกราฟทรานสเฟอร์ ฟังก์ชัน ในรูปที่ 2.5 ได้แก่ ความละเอียด(Resolution)ของควอนไทเซอร์ ซึ่งกำหนดได้จากจำนวนบิต ของรหัสดิจิตอล หรือจากกราฟคือขนาดความกว้างของ ขั้นระดับ (Step) ทางแกนอนาลอกอินพุท ว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า2 ^{n}

จำนวนสถานะเอาท์พุทกำหนดได้จากจำนวนบิตคือเท่ากับ 2 ^{n} สถานะ ในไดอะแกรมแสดงทรานสเฟอร์ฟังก์ชัน จะเห็นจุดแบ่งระดับ(Treshold Level) สัญญาณอนาลอกจะมีจำนวน 2 ^{n} -1 จุดที่อยู่ที่ 0.625 , 1.875 , 3.125 , 4.375 , 5.625 , 6.875 และ 8.125 โวลต์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้นค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ ควอนไทซ์ แรงดันที่ 1.25,2.50,3.75,5.0,6.25,7.2 และ8.75 โวลต์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาลอกที่แสดงสถานะเอาท์พุท ดิจิตอลฟังก์ชันที่มีลักษณะเป็นขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงได้โดยการโยงเส้นตรง ระหว่างจุดเริ่มและจุดปลาย ณ จุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตว่า ในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

2.1.5 วงจรแซมปลิ้ง

โดยพื้นฐานแล้ววงจรแซมปลิ้งเป็นวงจรเก็บแรงดัน(Voltage Memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 2.6 แสดงใกล้เคียงกับวงจรในทางปฏิบัติโดยประกอบด้วยส่วนของบัฟเฟอร์แอมป์ปริไฟร์ทางด้านอินพุทและเอาท์พุทของวงจรแซมปลิ้งพื้นฐานและส่วนของวงจรแซมปลิ้งพื้นฐาน โดยในส่วนแอมป์ปริไฟร์เออร์ทางด้านอินพุทจะช่วยให้วงจรมีอินพุทอิมพีแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อประจุ C_H ได้เร็วขึ้น ส่วนทางเอาท์พุท จะช่วยให้เอาท์พุทอิมพีแดนซ์สามารถขับ ADC ได้ง่าย และในส่วนของวงจรแซมปลิ้งพื้นฐานนั้น อิเล็กทรอนิกส์สวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุซึ่งควบคุมสวิทช์นี้จากแซมปลิ้งพัลส์ ช่วงการตัดต่อสวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่ แซมเปิลออก มาเรียกว่า อเพอร์เจอร์ ไทม์ ของวงจรแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ไดอะแกรมของวงจรแซมเปิลแอนด์โฮลด์

วงจรแซมปลิ้งในระบบดาต้าแอคควิซิชัน นิยมใช้สองแบบคือ แซมปลิ้งเกทหรือแซมเปรอ (Sampler) และ แซมเปิลแอนด์โฮลด์ (Sample and Hold) *วงจรแซมปลิ้งเกท* จะอยู่ในสภาวะ ไฮ อินพุท อิมพีแดนซ์ เมื่อ ไม่มีการสุ่ม และเมื่อมีการสุ่ม เอาท์พุทจะปรากฏสัญญาณที่ได้รับมาทันทีนั้น ส่วน *แซมเปิลแอนด์โฮลด์* จะตัดต่อสวิทช์สุ่มช้ากว่าโดยมีลักษณะการทำงานเป็นสองขั้นตอนคือ

- ในขณะที่ตัดสัญญาณออกวงจรจะ แทรคตามสัญญาณอินพุทจนกว่าจะมีการสุ่มสัญญาณ
- โฮลด์ อินพุทค่าที่แซมปลิ้งครั้งสุดท้ายจะถูกเก็บไว้เมื่อเข้าสู่โหมดโฮลด์

รูปที่ 2.7 ก) เอาท์พุทจากแซมปลิ้งเกท ข) เอาท์พุทจากแซมเปิลแอนด์โฮลด์

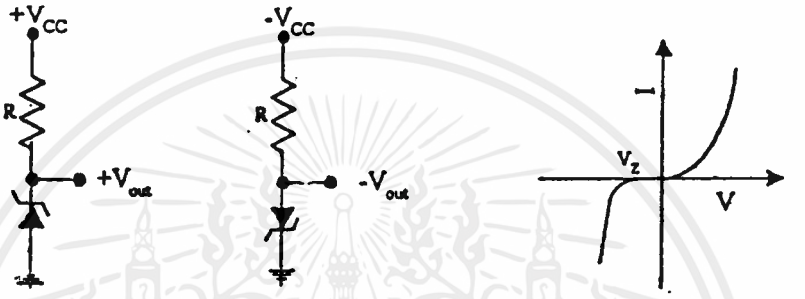
แซมปลิ้งเกท นิยมใช้ในระบบความถี่สูงๆ เช่น อาร์เอฟ เวคเตอร์ ,ไมโครเวฟ ดีเอฟเอ็ม ส่วนแซมเปิล แอนด์โฮลด์นั้น เนื่องจากมีแบนด์วิดธ์ต่ำกว่ามากจึงเหมาะกับงานทั่วๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6 วงจรแรงดันอ้างอิง(Voltage Reference Circuit)

วงจรแรงดันอ้างอิงนั้นเป็นวงจรที่สำคัญวงจรหนึ่งในระบบดาต้าแอคควิซิชัน เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC ซึ่งวงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระหรือเป็นวงจรรวมอยู่ในวงจร DAC หรือ ADC

วงจรแรงดันอ้างอิงแบบพื้นฐาน อุปกรณ์ที่นิยมใช้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ซีเนอร์ไดโอด ซึ่งเมื่อให้รีเวอร์สไบอัสจนเกิดการเบรคดาวน์ แรงดันคร่อมซีเนอร์จะคงที่เท่ากับแรงดันเบรคดาวน์ (Vz) ตัวต้านทาน R (ในรูปที่ 2.8)ที่ต่อกับอนุกรมกับซีเนอร์ จะทำหน้าที่กำหนดกระแสไบอัสแก่ซีนอร์ให้เบรคดาวน์และจำกัดกระแสรีเวอร์สไม่ให้ไหลมากจะเป็นอันตรายแก่ซีเนอร์



ก) แรงดันอ้างอิงบวก ข)แรงดันอ้างอิงลบ ค)กราฟสมบัติของซีเนอร์

รูปที่ 2.8 วงจรแรงดันอ้างอิงแบบพื้นฐาน

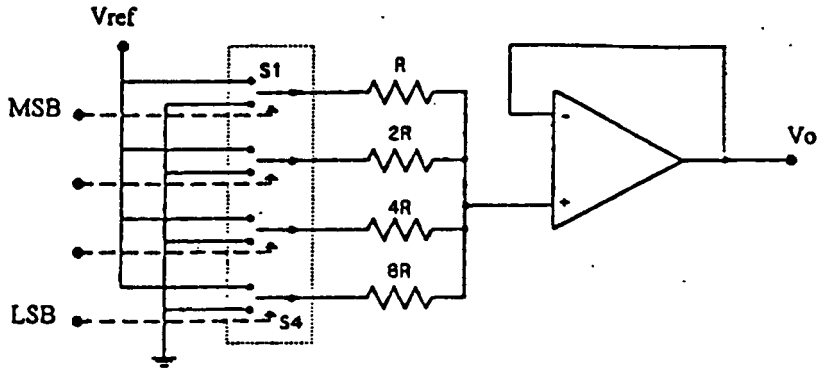
2.1.7 วงจรดิจิตอล ทู อนาลอก คอนเวอร์ตเตอร์(DAC)

ส่วนที่สำคัญของ DAC คืออาเรย์สวิทช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุดเท่ากับจำนวนไบนารี สวิทช์เหล่านี้จะ ตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์ค่าต่างๆ ที่เวทตามรหัสไบนารีเอาท์พุท บัฟเฟอร์ แอมปริไฟร์เออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูกเวท โดยวงจรรีซิสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมีดิจิตอล รีซิสเตอร์ อยู่ในตัวเพื่อแลทช์ รหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาลอก

2.1.7.1 DAC แบบ ไบนารี เวท แลดเดอร์

การจัดวงจรมีลักษณะดังรูปที่ 2.9 สวิทช์ S_1 - S_4จะถูกควบคุม เปิด/ปิด ด้วยรหัสดิจิตอลเพื่อตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R ,2R,4R ...(2^n)R เมื่อ n เป็นจำนวนบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 DAC แบบ ไบนารี เวทแลดเดอร์

ต่ารีซิสเตอร์ที่เวทค่าตามรหัสดิจิตอลที่เพิ่มขึ้น จะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลต์ดังตัวอย่างในรูปที่ 2.9 กระแสที่ผ่านตัวต้านทาน จะเป็น 1.0,0.5,0.25 และ 0.125 mA ตามลำดับ ออปแอมป์ที่เอาท์พุท จะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$V_O=(V_{ref}/2^{N-1})(8S_4+4S_3+2S_2+S_1)\ ;\ S\ Closed=1,S\ Open=0$$

2.1.7.2 DAC แบบ R-2R แลดเดอร์

ในวงจรนี้สวิทช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจรแลดเดอร์ หรือต่อแลดเดอร์ลงกราวด์ที่ขา 2R จะเห็นได้ว่า สวิทช์ อินพุท รีซิสเตอร์ (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ ระหว่างจุดต่อ R-2R ที่ติดกัน แรงดันเอาท์พุทจะเพิ่มลดตามรหัสดิจิตอลคือ

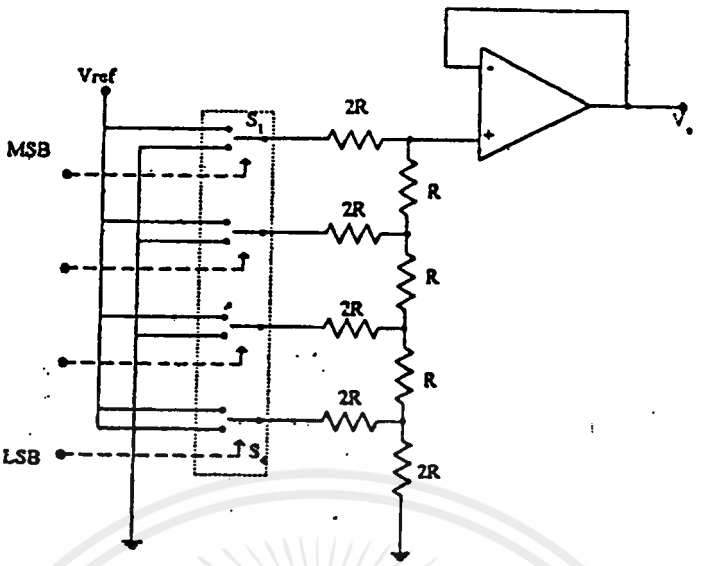
$$\Delta V=V_{ref}/(2^N-1)$$

แรงดันเอาท์พุทจะเป็นไปตามสมการ

$$V_O=(V_{ref}/2^N)(8S_4+4S_3+2S_2+S_1)\ ;\ S\ Closed=1,S\ Open=0$$

การจัดวงจรในแบบที่2 นี้ดีกว่าแบบแรกเนื่องจากใช้ตัวต้านทานเพียง 2 ค่าเท่านั้นดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรDAC แบบ R-2R แลดเดอร์ขนาด 4 บิต

2.1.8 อนาลอก ทู ดิจิตอล คอนเวอร์ตเตอร์ (ADC)

การจัดวงจร ADC มีหลายแบบด้วยกันดังนี้คือ

-วิธีการแปลงแบบพื้นฐาน (Basic Conversion Method)

-เคาน์เตอร์ไทพ์ ADC (Counter Type ADC)

-แทรคกิ้ง ADC (Tracking ADC)

-อินทิเกรตติง ADC (Integrating ADC)

-ซัคเซสซีฟ แอพพรอกซิเมชัน ADC (Successive Aproximation ADC)

-พาราเรล (แฟรช) ADC (Parallel (Flash) ADC)

สำหรับไอซีสำเร็จรูป ADC0804 ที่ใช้ในที่นี้ใช้วิธีการแบบ*ซัคเซสซีฟ แอพพรอกซิเมชัน* ดังนั้นจะขอกล่าวเฉพาะรายละเอียดของวิธีการดังกล่าวเท่านั้น

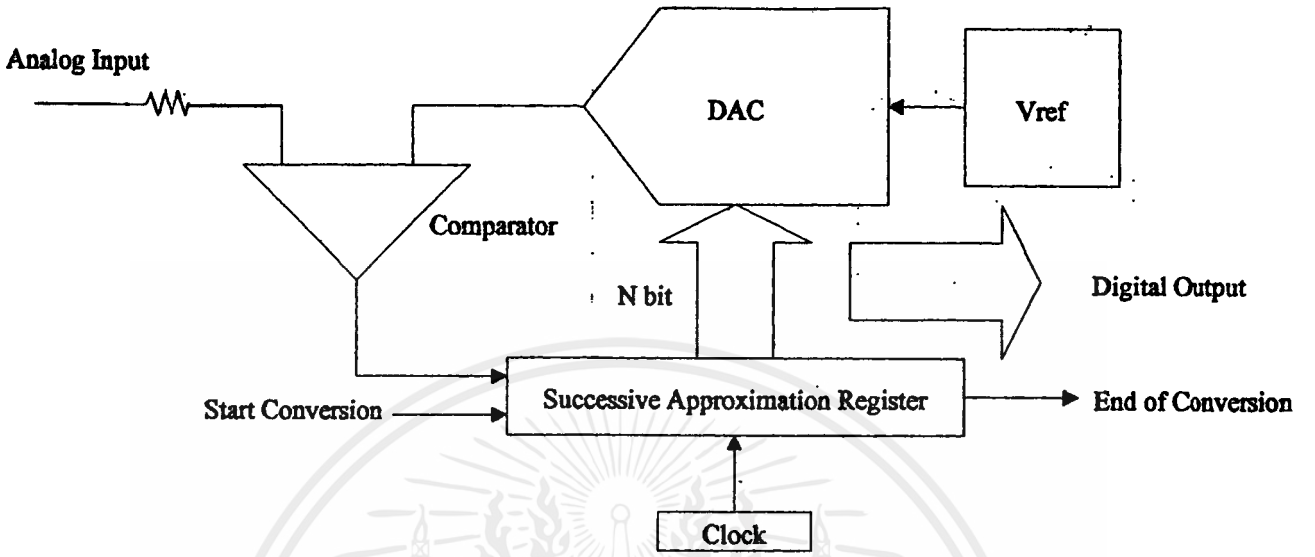
2.1.8.1 ซัคเซสซีฟ แอพพรอกซิเมชัน ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วค่อนข้างสูง การจัดวงจรจะคล้ายกับแบบเคาน์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อคไดอะแกรมแสดงในรูปที่ 2.11 คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม ซัคเซสซีฟ แอพพรอกซิเมชัน รีจิสเตอร์ (SAR) ซึ่งเป็นไอซี MSI (มิเดียม สเกล อินทิเกรทเท็ด เซอร์กิท) ที่ออกแบบมาเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

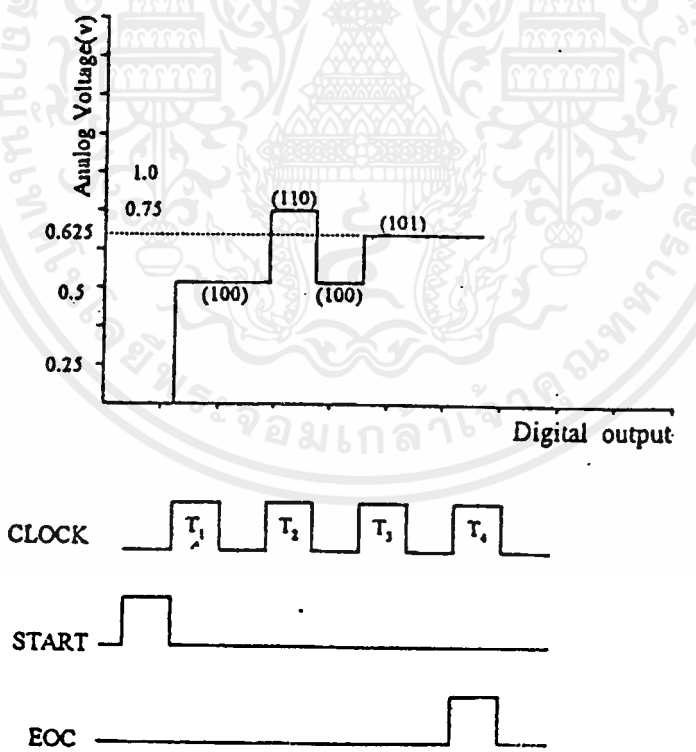
ในรูปที่ 2.12 แสดงไทม์มิงไดอะแกรมของ ADC ที่มีระดับอนาลอก 0.625V เมื่อคล็อก เข้าไป 1 ลูก จะทำให้ MSB (บิต 4) เป็น 1 ทุกบิตอื่นยังคงเป็น 0 DAC จะเปลี่ยนเอาท์พุทของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลการเปรียบเทียบที่คอมพาราเตอร์บอกว่าน้อยกว่าอินพุทก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้คงบิตนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิตนั้นเป็น 0 จากนั้นทำการทดสอบบิตถัดไปโดยทำเป็น 1 หาก ผลรวมของสองบิตหรือบิตหลังมากกว่าก็ทำให้บิตนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิตถัด ไปตามวิธีการดังกล่าวจนครบทุกบิตหรือจนกว่าเอาท์พุทจะต่างจาก V_{in} ไม่เกิน 1 LSB



รูปที่ 2.11 บล็อกไดอะแกรมของซัคเซสซีฟ แอพพรอกซิเมชัน ADC



รูปที่ 2.12 ไทม์มิ่ง ไดอะแกรมของSAR

ข้อจำกัดประการหนึ่งสำหรับการคอนเวอร์ชัน คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วง เวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน LBS ในช่วงสุดท้าย ของการเปลี่ยนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอล เอาท์พุทจะออกมาขนานกันทุกบิต แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือโหมดทำงานอิสระ (ฟรี รัน) และโหมดที่รอคำสั่งสตาร์ทคอนเวอร์ชั่นจากภายนอก เวลาในการเปลี่ยนสัญญาณใช้(n+1)ลูกของพัลส์คล็อก โดยคล็อกลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน สุดท้าย คุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ระบบเป็นอย่างยิ่ง

2.2 <u>วงจรกรองความถี่ต่ำผ่านแบบแอกทีฟ</u> (ACTIVE FILTER)

ฟิลเตอร์ คือวงจรที่ใช้ สำหรับกรองสัญญาณให้ความถี่เฉพาะที่ต้องการใช้ผ่านออกมาได้เท่านั้น ส่วนความถี่อื่นๆ ที่ไม่ต้องการจะถูกลดทอน (Attenuate) จนหมดไป วงจรฟิลเตอร์ที่ใช้งานกันอยู่จะมีสองลักษณะคือ แบบที่เป็นวงจรพาสซีฟ และ แบบที่เป็นวงจรแอกทีฟ วงจรที่เป็นแบบพาสซีฟนั้น จะใช้เพียงอุปกรณ์ประเภท ความต้านทาน ตัวเก็บประจุ และ ตัวเหนี่ยวนำเท่านั้น แต่ในวงจรประเภทแอกทีฟจะรวมถึงทรานซิสเตอร์และออปแอมป์ด้วย เนื่องจากการสร้างวงจรนั้นมักพยายามหลีกเลี่ยงที่จะไม่ใช้ตัวเหนี่ยวนำเนื่องจากค่อนข้างหายาก ราคาแพง อีกทั้งมีขนาดใหญ่ ดังนั้น การนำออปแอมป์มาประยุกต์ใช้งานเป็นวงจรฟิลเตอร์แบบแอกทีฟจึงสะดวกในการใช้งานกว่า

วงจรฟิลเตอร์แบ่งเป็น 4 ชนิดด้วยกันคือ แบบกรองความถี่ต่ำผ่าน (Low-pass) แบบกรองความถี่สูงผ่าน (High-pass) แบบกรองความถี่ผ่านเฉพาะบางช่วง (Band-pass) และแบบที่กันไม่ให้ความถี่ผ่านเฉพาะบางช่วง (Band-reject หรือ Notch) ในที่นี้จะขอกล่าวถึงเฉพาะวงจรฟิลเตอร์แบบกรองความถี่ต่ำผ่านซึ่งนำมาใช้ในวงจรเท่านั้น

2.2.1 วงจรแอกทีฟฟิลเตอร์อันดับหนึ่ง

ในการสร้างโลว์พาสฟิลเตอร์แบบแอกทีฟอย่างง่าย ทำได้โดยการต่อรีซิสเตอร์ขนานกับคาปาซิสเตอร์ ซึ่งทำหน้าที่ป้อนกลับ ในวงจรอินทิเกรเตอร์ ดังรูปที่ 2.13 ซึ่ง Transfer function จะได้จาก$H=-Z_2/R_1$, $Z_2 = R_2 // (1/j\omega C) = R_2 / (1+j\omega C)$

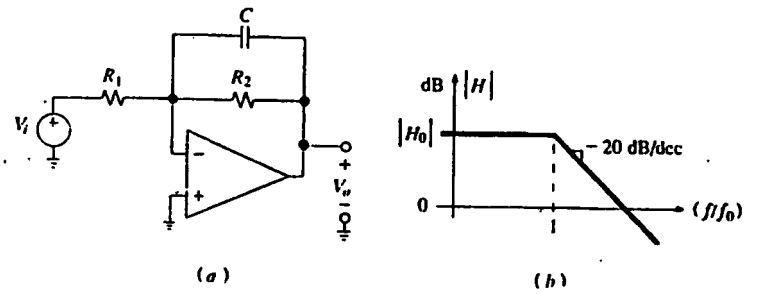
เราจะได้ $H = H_0/(1+j(f/f_0))$ ...(2.1a)

โดย $H_0= - R_2 / R_1$ ...(2.1b)

และ $f_0 = 1/(2\pi R_2 C)$ ...(2.1c)

ในการเขียนแมกนิจูดพลอต จะเห็นว่าที่ $(f/f_0) << 1$ จะได้ $H \cong H_0$ ซึ่งชี้ให้เห็นว่า ที่ความถี่ต่ำๆ แอสซิมโทด คือ $|H|=|H_0|= R_2 / R_1$ เนื่องจากที่ความถี่ต่ำๆนั้น $|Z_C|$ มีค่ามากเมื่อเปรียบเทียบกับ R_2 เราจึงละค่า Z_C ได้ ดังนั้นวงจรก็จะเป็นลักษณะของวงจรอินเวอร์ติงแอมป์ธรรมดา ด้วยเหตุผลนี้เองเราจึงเรียก H_0 ว่า " ดีซี เกนของฟิลเตอร์ "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจรโลว์พาสฟิลเตอร์ที่มีอัตราขยาย(Gain)

สำหรับ $(f/f_0) >> 1$ เราอาจประมาณสมการที่ 2.1a ได้ว่า $H \cong H_0/(jf/f_0)$ ซึ่งจะเห็นว่าที่ความถี่สูงๆ แอสซิมโทต จะคล้ายกับวงจรอินทิเกรเตอร์ มีเกน $|H_0|$ ที่ $(f/f_0) = 1$ เนื่องจาก $|Z_C|$ น้อยมากเมื่อเทียบกับ R_2 จึงละทิ้ง R_2 ได้ วงจรจึงมีลักษณะเป็นอินทิเกรเตอร์ เพราะมันมีคุณสมบัติของวงจรอินทิเกรเตอร์เฉพาะช่วงความถี่เหนือย่านความถี่ที่เรากำหนดไว้

สำหรับขอบเขตของคุณสมบัติของแอมปลิไฟร์เออร์และอินทิเกรเตอร์จะเกิดขึ้นที่ความถี่ f_0 ซึ่งจะทำให้ $|Z_C|=R2$ นั่นคือ $1/(2\pi f_0 C)= R2$ ดังนั้น $f_0=1/(2\pi R_2 C)$ ตามที่คาดไว้ สำหรับ $(f/f_0)=1$ สมการที่ 2.1a จะได้ $H=H_0/(1+j)$ ดังนั้น $|H|=|H_0|/\sqrt{2}$ หรือเท่ากันกับ $|H|_{dB} = |H_0|_{dB} - 3$ dB ด้วยเหตุผลนี้ f_0 จึงถูกเรียกว่า " -3 dB ฟรีเควนซี " หรือ "คอร์นเนอร์ ฟรีเควนซี "

2.2.2 ผลตอบสนองอันดับสองแบบมาตรฐาน

ในตอนที่ผ่านมาเราศึกษา ฟิลเตอร์อันดับหนึ่งไปแล้ว ซึ่งเราจะสังเกตได้ว่าผลตอบสนองของฟิลเตอร์จะมีรูปแบบคล้ายกันคือ เทอม $1+j(f/f_0)$ ซึ่งมันจะเป็นตัวตัดสินว่า ฟิลเตอร์ดังกล่าวเป็นแบบใด เช่นถ้าเป็น 1 จะมีผลตอบสนองแบบความถี่ต่ำผ่าน ถ้าเป็น $j(f/f_0)$จะมีผลตอบสนองแบบความถี่สูงผ่าน ถ้าเป็น $1-j(f/f_0)$จะมีผลตอบสนองเป็นแบบผ่านทุกย่านความถี่ พิจารณาการตอบสนองอันดับสองซึ่งมีรูปแบบทั่วไปดังนี้

$$H(jf/f_0)=N(jf/f_0) / \left[1-(f/f_0)^2+(j/Q)(f/f_0)\right] \qquad \ldots(2.2)$$

เมื่อ Q เป็น เพียวร์ นัมเบอร์(Pure Number)

$N(jf/f_0)$ เป็น โพลิโนเมียลที่เหมาะสมโดยมี ดีกรี ไม่มากกว่า 2 ซึ่งจะเป็นตัวกำหนดลักษณะเฉพาะของผลตอบสนอง

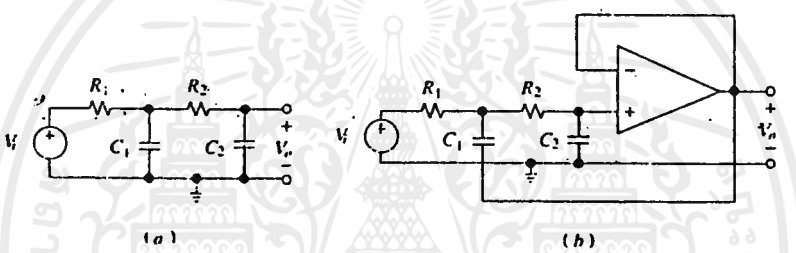
2.2.3 ผลตอบสนองของวงจรโลว์พาสฟิลเตอร์อันดับสอง

เนื่องจาก RC เสตจ จะได้ผลตอบสนองของวงจรโลว์พาสอันดับหนึ่ง และโดยการคาสเคด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสตจ เข้าด้วยกันดังรูปที่ 2.14a จะได้ ผลตอบสนองอันดับสอง ซึ่งจะเห็นว่าที่ความถี่ต่ำ คาปาซิเตอร์จะเปิดวงจร สัญญาณอินพุตจะผ่านตัวต้านทานไปได้ $H \cong 1$ ที่ความถี่สูงๆ C_1 จะเริ่มทำตัวเป็น ชันท์(Shunt) สัญญาณก็จะผ่านมายังเสตจที่ 2 ต่อไป

แม้ว่าวงจรในรูปที่ 2.14a จะไม่ได้ผลตอบสนองแบบกรองความถี่ต่ำผ่านในอะซิมโททิค คริเทอร์เรีย (Asymptotic Criteria) ที่ต้องการแต่เราสามารถปรับปรุงได้โดยแทนที่ RC เสตจที่ 1 ด้วยตัวเหนี่ยวนำ(L) หรือใช้อุปกรณ์ประเภทแอกทีฟ เช่น ออปแอมป์ เพื่อป้อนกลับสัญญาณเอาท์พุท ดังรูปที่ 2.14b จะเห็นว่าแทนที่จะต่อ C_1 ระหว่าง R_1 กับกราวด์ ก็เปลี่ยนเป็นต่อ C_1 ระหว่าง R_1 กับเอาท์พุทของออปแอมป์ เพื่อให้เกิดการป้อนกลับแบบบวก ซึ่งมันจะมีผลเฉพาะที่บริเวณใกล้ๆ $f/f_0=1$ ความจริงแล้ว สำหรับ $f/f_0 << 1$, $|Z_C|$ จะมีค่ามาก สำหรับการป้อนกลับสัญญาณกลับมากๆ ในขณะที่ หาก $f/f_0 >> 1$ สัญญาณเอาท์พุทจะมีค่าน้อยมากในการป้อนกลับมา ด้วยทางเลือกที่เหมาะสม ผลตอบสนองในบริเวณ $f/f_0=1$ สามารถปรับขึ้นมาในระดับที่ต้องการ ออปแอมป์สามารถทำหน้าที่แทน ตัวเหนี่ยวนำได้ อีกทั้งมันยังมีบัฟเฟอร์ที่เอาท์พุทซึ่ง ทำให้วงจรไม่ขึ้นกับเอาท์พุทโหลดด้วย

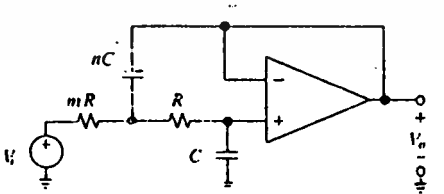


รูปที่2.14 วงจรโลว์พาสฟิลเตอร์อันดับสอง (a)พาสซีฟ RC รีไลซ์เซชัน (b)แอกทีฟ RC รีไลซ์เซชัน ซึ่งใช้โวลท์เตจ ฟอลโลเวอร์

วงจรในรูป 2.14b เรียกว่า "แซลเลน-คีย์ คอนฟิกกิวเรชัน"

2.2.4 วงจรกรองความถี่ต่ำผ่านซึ่งมี gain เป็น 1 แบบ แซลเลน-คีย์ (Sallen-key)

นำวงจรในรูป 2.14b มาเขียนใหม่



รูปที่ 2.15 แซลเลนคีย์โลว์พาสฟิลเตอร์แบบยูนิตี้เกน

จากฟังก์ชันของวงจรกรองความถี่ต่ำอันดับหนึ่ง

$$V_0 = V_x / (1+j\omega RC) \qquad ...(2.3)$$

โดย KCL ที่โหนด x

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(V_i - V_x)/mR = \{(V_x - V_o)/R\} + \{(V_x - V_o)/[1/(j\omega nC)]\} \quad ...(2.4)$$

คูณทั้งสองข้างด้วย mR

$$V_i = [(1+m+j\omega mnRC)V_x] - [(m+j\omega mnRC)V_o] \quad ...(2.5)$$

กำจัด V_x ไปจะได้

$$V_i = [1-\omega^2 mnR^2C^2+j\omega(m+1)RC]V_o \quad ...(2.6)$$

ตอนนี้เราจะได้

$$\omega^2 mnR^2C^2 = [2\pi f * \sqrt{(mn)}\,RC]^2 = (f/f_o)^2 \quad ...(2.7)$$

เมื่อเราให้

$$f_o = 1/[2\pi\sqrt{(mn)}\,RC]$$

จะได้

$$j\omega(m+1)RC = j(f/f_o)(m+1)/\sqrt{(mn)} = (j/Q)(f/f_o) \quad ...(2.8)$$

เมื่อเราให้

$$Q = \sqrt{(mn)}\ /\ (m+1)$$

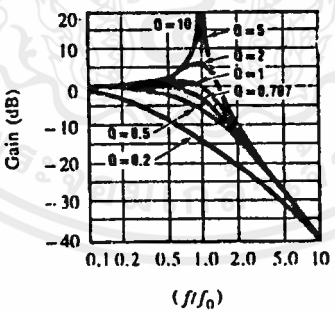
จากสมการที่ 2.6 จะได้ว่า

$$H = V_o/V_i = 1/[1-(f/f_o)^2+(j/Q)(f/f_o)] \quad ...(2.9a)$$

โดย $f_o = 1/[2\pi\sqrt{(mn)}\,RC]$ ...(2.9b)

และ $Q = \sqrt{(mn)}/(m+1)$ ...(2.9c)

เนื่องจาก $H = H_{LP}$ โบด พลอต จึงเป็นดังรูปที่ 2.16 Q จะขึ้นกับค่า m,n ส่วน f_o จะขึ้นกับค่า m,n และR,C



รูปที่ 2.16 โลว์พาสฟิลเตอร์แบบอันดับ 2 มาตรฐาน

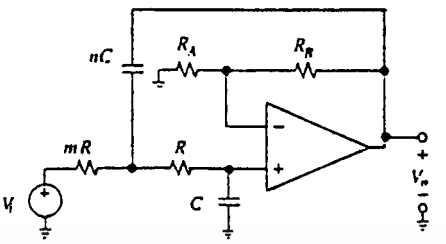
2.2.5 วงจรกรองความถี่ต่ำอันดับสองแบบบัตเตอร์เวอร์ธ

บัตเตอร์เวอร์ธฟิลเตอร์ เป็นฟิลเตอร์ที่นิยมใช้กันมาก เนื่องจากคุณสมบัติในการรักษาค่าแกนแบบปิดลูป(Close Loop Gain)ให้คงที่ตลอดช่วงความถี่ผ่าน "แมกซิมอลลี แฟลท " (Maximally flat) การออกแบบวงจรเราต้องการค่า $Q = 1/\sqrt{2}$ ซึ่งจะได้มาจากค่า m=1 และ n=2 นั่นคือตัวต้านทานในวงจรจะมีค่าเท่ากันและค่าตัวเก็บประจุจะมีอัตราส่วน 2:1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.6 วงจรกรองความถี่ต่ำ KRC

จากรูปที่2.17 ถูกใช้อย่างกว้างขวาง เมื่อต้องการระบุค่า f_0และ Q โดยค่า Q มีค่าอยู่ใกล้ๆ 1 สำหรับค่า K จะชี้ถึงค่าเกน ,RC ชี้ถึงชนิดของอุปกรณ์แบบพาสซีฟที่ใช้



รูปที่ 2.17 KRC โลว์พาสฟิลเตอร์

$$H = K / \left[1-(f/f_0)^2+(j/Q)(f/f_0) \right] \quad ...(2.10)$$

โดย $K = 1+(R_B/R_A)$ ...(2.10a)

$$f_0 = 1 / \left[2\pi\sqrt{(mn)}\, RC\right] \quad ...(2.10b)$$

$$Q = \sqrt{(mn)} / m+1+mn(1-K) \quad ...(2.10c)$$

สำหรับ R ที่ต่อปีนกลับไว้นั้นจะมีผลต่อการลดผลของออฟเซตในทาง DC ของออปแอมป์ ซึ่งในการออกแบบวงจรในที่นี้ เราให้ค่า K=1 ดังนั้น $R_A >> R_B$ จึงประมาณให้ $R_A = \infty$ ส่วน m=1 , n=2 ดังที่ได้กล่าวไปแล้ว

2.3 <u>วงจรรวมสัญญาณแบบไม่กลับเฟส</u>

วงจรรวมสัญญาณแบบ ไม่กลับเฟส คือวงจรที่ให้สัญญาณเอาท์พุทที่เกิดจากการรวมของสัญญาณทุกสัญญาณ จากแหล่งป้อนแรงดันทางด้านอินพุท โดยขั้วของแรงดันทางด้านอินพุทจะเหมือนกับทางเอาท์พุทด้วย

พิจารณาวงจรรูปที่ (2.18) ต้องหา E_{in} ของส่วน passive average จากวงจร และสมการข้างล่างนี้ โดยที่ R ทุกตัวเท่ากับ10 kΩ

จาก ลูปกระแส I_1

$$E_3 = I_1R+(I_1-I_2)R+E_2$$

$$(E_3-E_2)/R = 2I_1-I_2 \quad ...(2.11)$$

จาก ลูปกระแส I_2

$$E_2 = (I_2-I_1)R+I_2R+E_2$$

$$(E_2-E_1)/R = 2I_2-I_1 \quad ...(2.12)$$

สมการที่(2.11) ×2 : $2(E_3-E_2)/R = 4I_1-2I_2$ ...(2.13)

สมการที่(2.13)+(2.12) : $(2E_3-E_2+E_1)/R = 3I_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(2E_3-E_2+E_1)/3R = I_1 \qquad \ldots(2.14)$$

หา E_i โดยใช้คำตอบจากสมการที่ (2.14)

$$E_i = E_3-(I_1R)$$

$$= E_3- \left[(2E_3-E_2+E_1)/3R \right]R$$

$$= (3E_3- 2E_3+E_1+E_2)/3$$

$$E_i = (E_1+E_2+E_3)/3 \quad = (E_1+E_2+E_3+\ldots+E_n)/n$$

เมื่อ n คือจำนวนแหล่งป้อนแรงดัน

จากอัตราการขยายของวงจรขยายแบบไม่กลับเฟส $A_{CL} = 1+R_f$ และ E_i ถ้าต้องการให้ $V_o = E_1+E_2+E_3$ ดังนั้น

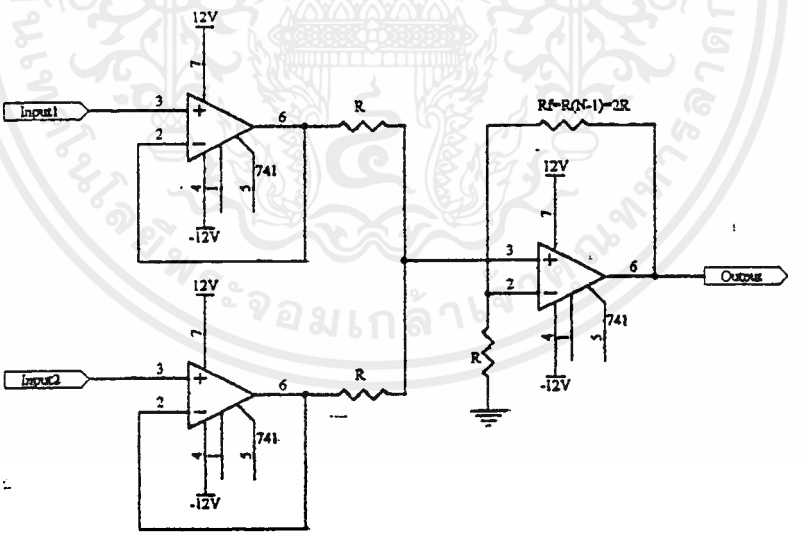
$$A_{CL} = V_o / E_i$$

$$1+(R_f/R) = (E_1+E_2+E_3) \times \left[3/(E_1+E_2+E_3) \right]$$

$$R_f = (3-1)R = 2R$$

$$R_f = (n-1)R \qquad \ldots(2.15)$$

จากค่า R_f ที่หามาได้ ทำให้สามารถสร้างวงจรเพื่อการรวมสัญญาณแบบนอนอินเวอร์ติ้งได้ (หากสังเกตดู จะพบว่าตัวต้านทานด้านอินพุทของออปแอมป์ก็มีผลกับอัตราการขยายด้วย) และในส่วนของ passive averager จะมีการใช้บัฟเฟอร์ มาต่อระหว่างแหล่งป้อนแรงดันและตัวต้านทาน เพื่อให้วงจรมีคุณสมบัติที่ดี ในแง่ของการลดการดึงกระแส จากแหล่งจ่ายสัญญาณให้น้อยที่สุด



รูปที่ 2.18 วงจรรวมสัญญาณแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การมอดูเลตทางแอมพลิจูด

ในการส่งสัญญาณใดๆ ออกอากาศไปให้ได้ระยะทางไกลๆ นั้นจำเป็นต้องมีสัญญาณความถี่สูงเป็นพาหะเพื่อให้สัญญาณที่เราต้องการส่งเกาะไป เมื่อถึงปลายทางก็จะมีการแยกสัญญาณพาหะออกทำให้ได้สัญญาณที่ต้องการกลับมา วิธีการดังกล่าวคือ การมอดูเลต(Modulate) และ การดีมอดูเลต (Demodulate) ซึ่งในการมอดูเลต เราใช้คลื่นรูปไซน์ที่มีความถี่สูงเป็นพาหะ แล้วเปลี่ยนแปลงคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร โดยทั่วไปสัญญาณออดิโอ สัญญาณภาพ หรือข่าวสารอื่นๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เราเรียกว่า "การมอดูเลต" ซึ่งคลื่นรูปไซน์ที่เราใช้เป็นพาหะนั้น เราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A\sin(\omega t+\phi)$$

ในที่นี้ e คือ ค่าแรงดัน(หรือกระแส)ของคลื่นพาหะใดๆ

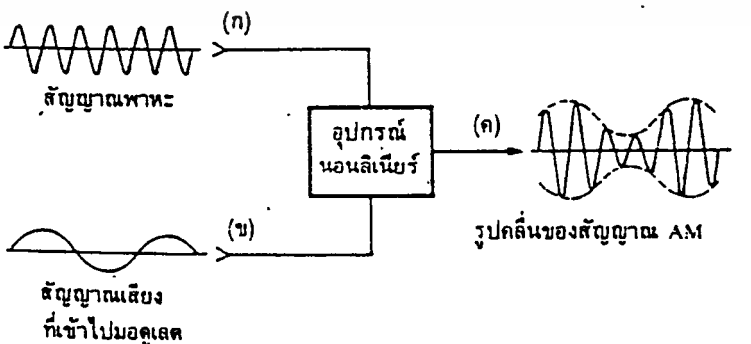
A คือ แอมพลิจูด(หรือขนาด)สูงสุดของคลื่นพาหะ

ω คือ ความถี่เชิงมุม=$2\pi f$; t คือ เวลา

ϕ คือเฟส หรือมุมทางไฟฟ้า ; f คือความถี่

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่นรูปไซน์ที่สำคัญมีอยู่ 3 ประการซึ่งเราสามารถเปลี่ยนแปลงหรือมอดูเลตได้ คือแอมพลิจูด(A) ความถี่เชิงมุม(ω) หรือความถี่ (f) และเฟส(ϕ) ในที่นี้จะขอกล่าวเฉพาะการมอดูเลตทางแอมพลิจูดเท่านั้น

การมอดูเลตทางแอมพลิจูด แบบ AM นั้น สมมติว่าให้สัญญาณเสียงมอดูเลตลงบนสัญญาณพาหะเพื่อเปลี่ยนคุณสมบัติทางแอมพลิจูด(หรือขนาด) ของพาหะ ในรูปที่ 2.19 เราใช้สัญญาณพาหะ (ก) ผสมกับ สัญญาณเสียง (ข) ลงในวงจรนอนลิเนียร์ เช่น ใช้ไดโอดหรือทรานซิสเตอร์ โดยให้มีจุดทำงานอยู่ในบริเวณที่ไม่เป็นลิเนียร์ ในอุปกรณ์แบบนอนลิเนียร์จะทำให้เกิดสัญญาณ AM ดังรูป (ค) ขึ้น จะสังเกตว่าสัญญาณพาหะซึ่งถูกมอดูเลตแล้วจะมีแอมพลิจูดเปลี่ยนแปลงตามสัญญาณเสียง สัญญาณเสียงที่ปนอยู่ในสัญญาณจะปรากฏเป็นกรอบคลื่น(evelope)บนและล่างดังเช่นรูปที่ 2.20(ก) เป็นสัญญาณเสียงที่มีแอมพลิจูดขนาดหนึ่ง โดยรูปที่ 2.20(ข) คือสัญญาณ AM ที่มีสัญญาณเสียงในรูปที่ 2.20 (ก) มอดูเลตในทางตรงข้าม ถ้าสัญญาณเสียงมีแอมพลิจูดเล็กลงดังรูปที่ 2.20 (ค)สัญญาณ AM ที่เกิดขึ้นก็จะมีกรอบเล็กลงด้วย ดังรูปที่2.20 (ง)



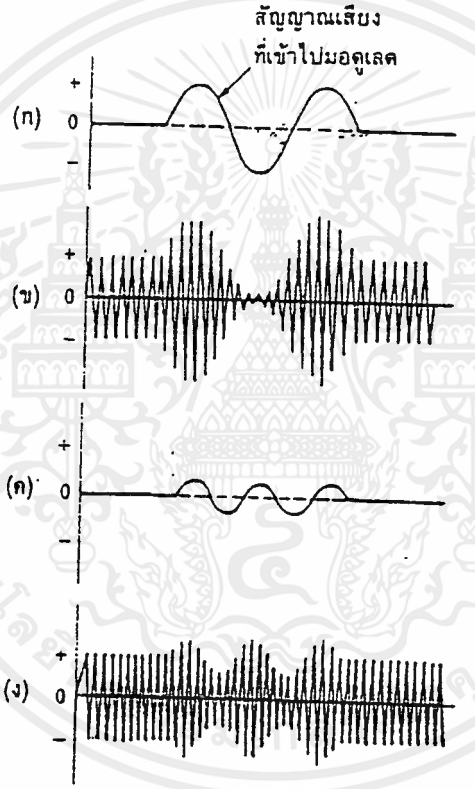
รูปที่ 2.19 การมอดูเลตทางแอมพลิจูดโดยใช้อุปกรณ์นอนลิเนียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039118

2.4.1 เปอร์เซ็นต์ของการมอดูเลต

ในรูปที่ 2.20 จะเห็นว่าปริมาณของการมอดูเลตสัญญาณเสียงลงบนพาหะไม่เท่ากัน สังเกตได้ว่า แอมพลิจูด ของพาหะเปลี่ยนแปลงไปมากในรูปที่ 2.20(ข) และเปลี่ยนแปลงน้อยในรูปที่ 2.20 (ง) ปริมาณการมอดูเลตนี้นิยมวัดเป็น เปอร์เซ็นต์ (บางครั้งเรียกว่า "เฟกเตอร์การมอดูเลต" มีค่าตั้งแต่ 0-1) รูปที่ 2.21 พาหะที่ยังไม่มีการมอดูเลตเรียกว่า มีเปอร์เซนต์การมอดูเลตเท่ากับ 0 ในรูปที่ 2.21(ก) สมมติว่าพาหะมีแอมพลิจูดจากยอดบวกถึงยอดลบเท่ากับ 40 V_{p-p}

ในรูปที่ 2.21(ข) พาหะถูกมอดูเลตด้วยสัญญาณเสียงเต็มที่ 100 เปอร์เซนต์ แอมพลิจูดของพาหะจะตกลงมาถึงศูนย์ และแอมพลิจูดยอดบวกถึงยอดลบของพาหะ จะให้ได้สูงสุด 80 V_{p-p} อย่างไรก็ตาม ค่าแอมพลิจูดโดยเฉลี่ยของพาหะยังคงเป็น 40 V_{p-p} เท่าเดิม



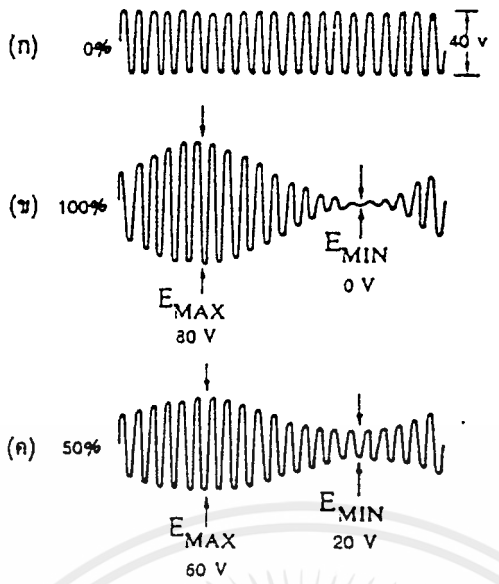
รูปที่ 2.20 การใช้สัญญาณเสียงที่มีขนาดมากและน้อยเพื่อมอดูเลตบนคลื่นพาหะ

ในรูปที่ 2.21(ค) พาหะถูกมอดูเลตด้วยสัญญาณเสียงเพียง 50 เปอร์เซนต์ แอมพลิจูดของคลื่นพาหะสูงสุด 60 V_{p-p} และต่ำสุด 20 V_{p-p} แอมพลิจูดเฉลี่ยของพาหะเท่ากับ 40 V_{p-p}(จาก(60+20)/2 = 40 V_{p-p}) เช่นเดิม เราสามารถใช้สูตรคำนวณได้จากสมการต่อไปนี้

เปอร์เซนต์การมอดูเลต = $[(E_{max}-E_{min})/(E_{max}+E_{min})]\times 100\%$

ดังนั้น การคำนวณดังรูปที่ 2.21 (ค) จะได้เปอร์เซนต์การมอดูเลตเท่ากับ 50%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 การวัดเปอร์เซนต์การมอดูเลต

การมอดูเลตด้วยเปอร์เซนต์สูงๆ จะทำให้สัญญาณที่ได้รับทางเครื่องรับมีกำลังแรง(เสียงดังหรือมีแอมพลิจูดสูง) แต่อย่างไรก็ตามการมอดูเลตต้องไม่สูงเกินไป (ไม่เกิน 100%) เพราะจะทำให้สัญญาณที่ได้รับทางเครื่องรับเกิดความเพี้ยน เรียกว่า การมอดูเลตเกิน (Overmodulation) จะเห็นว่าแอมพลิจูดสัญญาณ AM ลดลงได้ไม่ต่ำกว่าศูนย์ ไม่ว่าจะมอดูเลตแรงเท่าใดก็ตาม ยิ่งถ้าสัญญาณที่มอดูเลตมีค่ามาก คลื่นพาหะจะหายไป (Cut off) บางส่วน ดังนั้น กรอบคลื่นของสัญญาณ AM จึงมีรูปร่างผิดไปจากสัญญาณเสียงที่เข้าไปมอดูเลต รูปที่ 2.22(ข) เป็นพาหะที่ยังไม่มีการมอดูเลตรูปที่ 2.22(ค) เป็นพาหะที่มอดูเลตด้วยสัญญาณที่มีความแรงมากเกินไป ทำให้พาหะบางช่วงหายไป ทำให้สัญญาณที่ผ่านการดีมอดูเลตทางด้านเครื่องรับมีลักษณะผิดไปจากเดิม ดังรูป 2.23(ง)

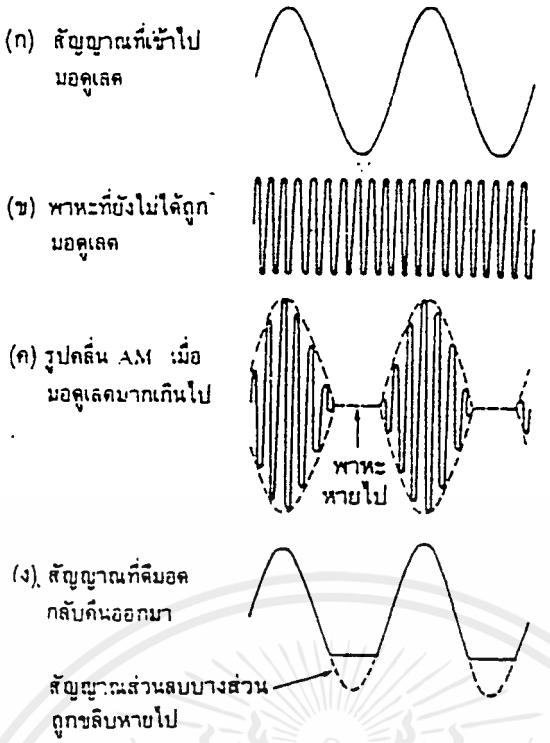
2.4.2ไซด์แบนด์ AM

ในสัญญาณที่มีการมอดูเลตแบบ AM นั้นนอกจากจะมีพาหะตัวเดิมแล้วยังมีคลื่นข้างเคียงเกิดขึ้นด้วยดังนี้ ถ้าให้ความถี่พาหะเป็น f_c ,ความถี่ของสัญญาณที่ทำการมอดูเลต เป็น f_m ความถี่ข้างเคียง 2 ความถี่ที่เกิดขึ้นคือไซด์แบนด์ด้านบน(upper sideband : USB) และไซด์แบนด์ด้านล่าง(lower sideband : LSB) ซึ่งคำนวณได้จาก

ความถี่ USB= $f_c + f_m$

ความถี่ LSB= $f_c - f_m$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 การโอเวอร์มอด จะทำให้สัญญาณที่ได้จากการดีมอดที่เครื่องรับมีความผิดเพี้ยน

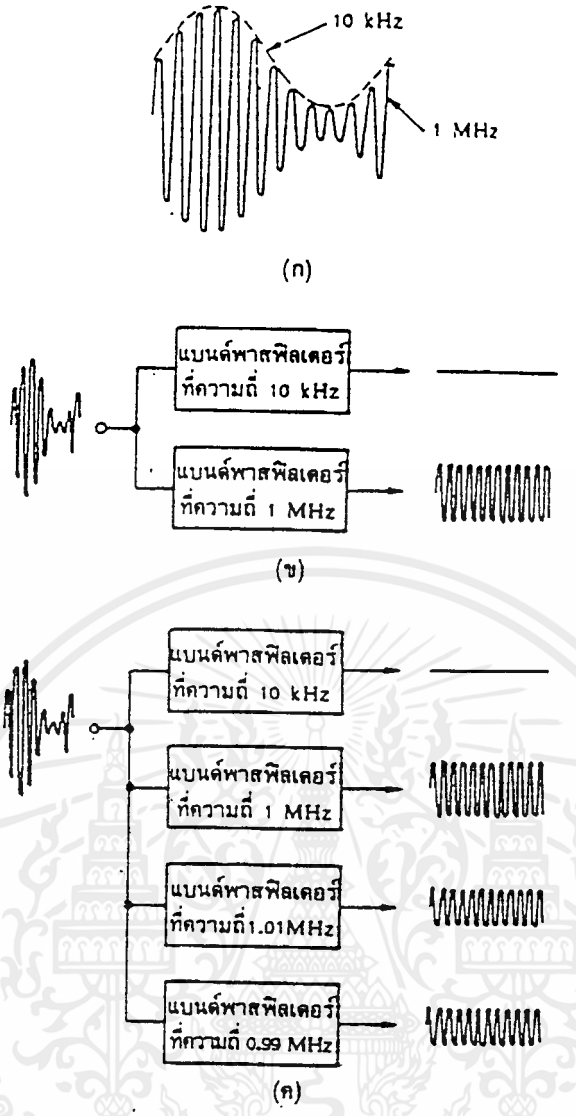
ซึ่งความถี่ดังกล่าวนี้ สามารถตรวจพบได้ โดยใช้แบนด์พาสฟิลเตอร์ ถ้าเราพิจารณาแอมพลิจูดจากฟิลเตอร์ต่างในรูปที่ 2.23(ด) จะพบว่า แอมพลิจูดของสัญญาณพาหะและไซด์แบนด์มีค่าคงที่ เราได้ทราบมาในตอนต้นแล้วว่าแอมพลิจูดของสัญญาณพาหะมีค่าคงที่เสมอจนกว่าจะมีสัญญาณเข้าไปมอดูเลต แต่แอมพลิจูดเฉลี่ยของพาหะยังมีค่าคงเดิมตลอดไม่ว่าจะมีสัญญาณเข้าไปมอดูเลตหรือไม่ก็ตาม

พิจารณาในรูปที่ 2.24 ซึ่งแสดงคลื่นไซด์แบนด์ทั้งคู่และคลื่นพาหะ สังเกตว่าพาหะมีแอมพลิจูดคงที่ และไซด์แบนด์ก็มีแอมพลิจูดเท่ากันทั้งคู่และคงที่ด้วย สมมติพิจารณาที่จุด A ซึ่งสัญญาณทั้งสามมีเฟสตรงกัน แต่ละสัญญาณอยู่ตรงยอดบวกพอดี ทำให้ผลรวมได้แอมพลิจูดของสัญญาณ AM ค่าสูง พิจารณาจุด B ซึ่งไซด์แบนด์มีเฟสตรงกัน แต่พาหะมีเฟส ต่างจากไซด์แบนด์ 180 องศา ผลรวมจะได้แอมพลิจูดค่าต่ำของสัญญาณ AM

จากการวิเคราะห์รูปที่ 2.24 สรุปได้ว่ารูปร่างของกรอบคลื่นไม่ได้ขึ้นอยู่กับแอมพลิจูดของสัญญาณไซด์แบนด์ แต่ความถี่ของสัญญาณไซด์แบนด์ทั้งคู่ จะเป็นตัวกำหนดเฟสของสัญญาณไซด์แบนด์ว่าจะตรงเฟสหรือต่างเฟสกับพาหะ ซึ่งทำให้เกิดการเปลี่ยนแปลงของแอมพลิจูดของสัญญาณ AM หรือกรอบคลื่น แอมพลิจูดของไซด์แบนด์จะขึ้นอยู่กับแอมพลิจูดของกรอบคลื่น นั่นคือเป็นตัวกำหนดเปอร์เซนต์การมอดูเลต ทั้งนี้เนื่องจากไซด์แบนด์อาจมาเสริมหรือหักล้างกับแอมพลิจูดของพาหะก็ได้

สรุปได้ว่าสัญญาณAM เกิดจาก สัญญาณข่าวสารเข้าไปมอดูเลตบนพาหะแล้วเกิดเป็นสัญญาณไซด์แบนด์ทั้งสองข้าง นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 วิเคราะห์คลื่นเอเอ็มในเชิงความถี่

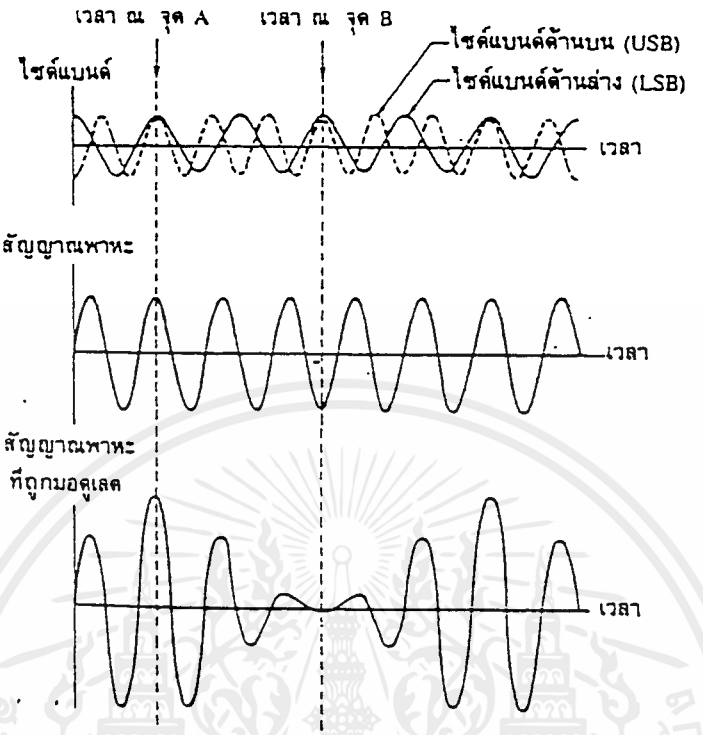
2.4.3 แบนด์วิดท์ของสัญญาณ AM

ในการส่งสัญญาณ AM นั้นมิใช่เป็นการส่งสัญญาณเพียงความถี่พาหะความถี่เดียว แต่เป็นการส่งหลายๆ ความถี่หรือเป็นแถบความถี่ และความจริงแล้ว ข่าวสารก็ไม่ได้อยู่ในคลื่นพาหะ แต่ปนอยู่ในไซด์แบนด์ทั้งสองข้าง ถ้าเราส่งแต่พาหะไปอย่างเดียว ข่างสารก็ไปไม่ถึงเครื่องรับ ฉะนั้นในระบบ AM ทั้งพาหะและไซด์แบนด์จะถูกส่งไปให้เครื่องรับ

ช่วงความถี่หรือแถบความถี่ของสัญญาณ AM จะเริ่มจากความถี่จาก LSB ไปยัง USB ฉะนั้นแถบความถี่หรือ แบนด์วิดท์ ของสัญญาณ AM จะเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณมอดูเลต เช่น สมมติความถี่สูงสุดของสัญญาณเสียงที่มอดูเลตเท่ากับ 15 กิโลเฮิรตซ์ แบนด์วิดท์ของสัญญาณ AM จะเท่ากับ 30 กิโลเฮิรตซ์ ในกรณีที่เรามอดูเลตด้วยสัญญาณที่มีรูปคลื่นซับซ้อน เช่นสัญญาณรูปสี่เหลี่ยม แบนด์-วิดท์ของสัญญาณ AM จะเท่ากับ 2 เท่าของความถี่ฮาร์มอนิกสูงที่สุดของสัญญาณรูปสี่เหลี่ยม (อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็ตามเครื่องส่งจะถูกออกแบบ ให้ใช้งานในแบนด์วิดท์ต่ำจำกัด ฉะนั้นตัวเครื่องส่งจึงจำกัดแบนด์วิดท์ของสัญญาณ AM เอง)



รูปที่ 2.24 ความสัมพันธ์ทางเฟสระหว่างไซด์แบนด์กับพาหะ

2.5 วงจรขยาย (Amplifier)

เป็นวงจรที่ใช้ในการขยายสัญญาณก่อนจะนำไปใช้ในวงจรภาคต่อไป ซึ่งในที่นี้เราจะนำส่งออกอากาศ โดยวงจรขยายนั้นสามารถแบ่งได้หลายแบบขึ้นอยู่กับรูปแบบการแบ่งแยก กล่าวคือ

หากแบ่งตามแบนด์วิท ของการขยาย จะแบ่งได้เป็น

1. วงจรขยายชนิดไม่จูน(Untuned Amplifier)หรือวงจรขยายแถบกว้าง(Wideband Amplifier) ซึ่งเป็นวงจรที่ขยายความถี่ได้ในแถบกว้าง

2. วงจรขยายชนิดจูน(Tuned Amplifier)หรือวงจรขยายแถบแคบ(Narrowband Amplifier) ซึ่งเป็นวงจรขยายเฉพาะความถี่แถบแคบๆเท่านั้น

หากแบ่งตามจุดไบอัสที่ทรานซิสเตอร์ คืออาศัยความสัมพันธ์ระหว่างสัญญาณที่เข้ากับกระแสที่ไหลในโหลด จะแบ่งได้เป็น.

1. วงจรขยายสัญญาณคลาสเอ(Class A) กระแสไหลผ่านโหลดตลอดคาบของวัฏจักร() ของสัญญาณอินพุทที่เข้ามา

2. วงจรขยายสัญญาณคลาสบี(Class B) กระแสไหลผ่านโหลดเพียงครึ่งวัฏจักร

3. วงจรขยายสัญญาณคลาสเอบี(Class AB) กระแสที่ไหลผ่านโหลดไหลมากกว่าครึ่งวัฏจักร แต่น้อยกว่าเต็มวัฏจักรของรูปคลื่นสัญญาณที่เข้ามา

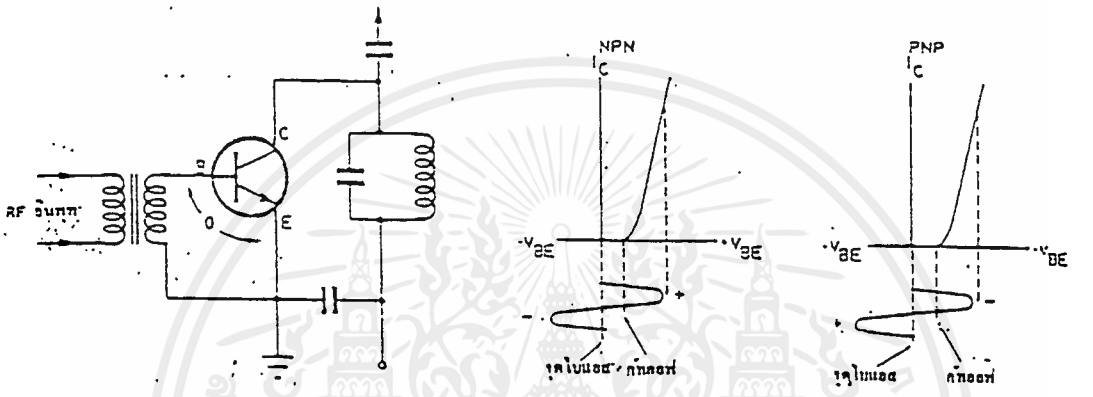
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรขยายสัญญาณคลาสซี(Class C) กระแสโหลดที่ไหลน้อยกว่าครึ่งวัฏจักร

สำหรับในที่นี้จะกล่าวถึงเฉพาะวงจรขยายสัญญาณคลาสซีเท่านั้น

วงจรขยายสัญญาณสัญญาณคลาสซี (Class C Amplifier)

จุดทำงานของวงจรขยายแบบนี้ ในช่วงอิ่มตัวทรานซิสเตอร์จะหยุดนำกระแส ดังนั้นกระแสจะเป็นศูนย์มากกว่าครึ่งหนึ่งของวัฏจักร แต่ถ้าให้กระแสนี้ไหลผ่านตัวกรองแถบความถี่ผ่านก็จะได้คลื่นรูปไซน์เต็มรูป โดยปกติวงจรขยายชนิดนี้มีประสิทธิภาพสูงจึงมักใช้เป็นวงจรขยายกำลังแบบเลือกความถี่ ส่วนความผิดเพี้ยนที่เกิดขึ้นก็สามารถแก้ไขได้โดยใช้วงจรจูน ลักษณะสัญญาณอินพุทและสัญญาณเอาท์พุท เป็นดังรูปที่ 2.25



รูปที่ 2.25 วงจรขยายสัญญาณคลาสซีและลักษณะรูปสัญญาณอินพุท-เอาท์พุท

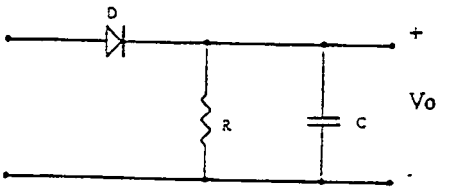
สำหรับวงจรเลือกขยายเฉพาะความถี่พิจารณาจากค่า Q ของวงจรรีโซแนนซ์ ซึ่งมีผลต่อความผิดเพี้ยนของสัญญาณเอาท์พุท กล่าวคือถ้าค่า Q สูงจะสามารถเลือกความถี่ได้ดี วงจรจะให้สัญญาณเอาท์พุทที่มีความเพี้ยนต่ำ แต่ถ้าค่า Q ต่ำความผิดเพี้ยนของสัญญาณเอาท์พุทก็จะสูง

2.6 ไดโอดดีเทกชัน (Diode Detection)

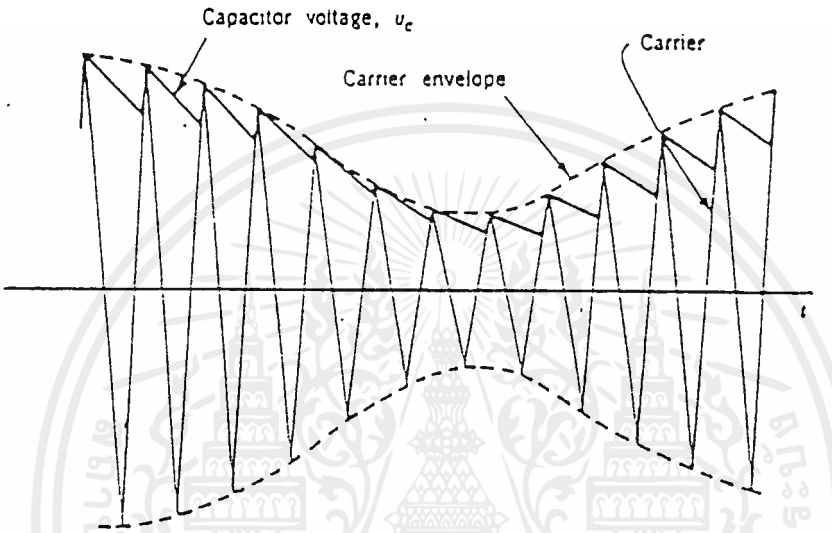
ในการตรวจจับสัญญาณที่ส่งมาในอากาศ สามารถทำได้หลายวิธี วงจรไดโอดดีเทกเตอร์ ก็เป็นวิธีหนึ่งที่นิยมใช้กัน การทำงานของวงจรก็คือ หากมีสัญญาณ AM ผ่านไดโอดตามอุดมคติ สมมติสัญญาณอินพุทมีแอมพลิจูดคงที่ ตัวเก็บประจุจะเก็บประจุจนถึงระดับที่คลื่นพาห์มีแรงดันสูงสุดด้านบวก และจะรักษาระดับแรงดันนี้ไว้ในขณะที่ไดโอดไม่ทำงาน หากแอมพลิจูดของคลื่นพาหะอินพุทเพิ่มขึ้นอีกครั้งไดโอดก็จะทำงาน และเก็บประจุจนถึงยอดบนสุดใหม่ สำหรับตัวต้านทานที่ต่อไว้ก็เพื่อให้ตัวเก็บประจุสามารถคายประจุในขณะที่แอมพลิจูดของคลื่นพาหะลดลง แรงดันของตัวเก็บประจุจะมีลักษณะดังรูปที่ 2.26 ส่วนค่าคงตัวเวลา (Time Constant) ของ RC อย่างน้อยต้องมีค่าที่ทำให้การเปลี่ยนแปลงแรงดันของตัวเก็บประจุระหว่างไซเคิลมีค่าเท่ากับการลดลงของแอมพลิจูดคลื่นพาห์ ในทางปฏิบัติแล้วระยะห่างของเวลาระหว่างไซเคิลคลื่นพาห์จะมีค่าน้อยมากเมื่อเปรียบเทียบกับช่วงเวลาที่ใช้ในการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของกรอบคลื่น สำหรับความผิดเพี้ยนที่เกิดขึ้นเป็นรูปฟันเลื่อยที่เอาท์พุทนั้นแก้ไขโดยใช้วงจรกรองความถี่



(ก)



(ข)

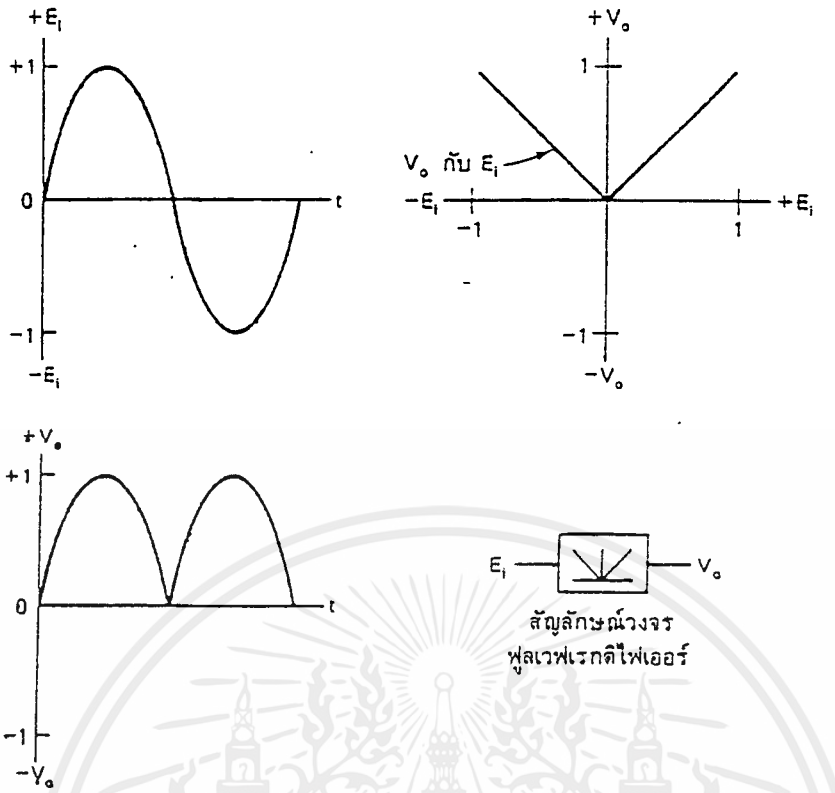
รูปที่ 2.26 (ก) วงจรไดโอดดีเทกเตอร์ (ข) รูปคลื่นอินพุทและเอาท์พุทคร่อมตัวเก็บประจุ

2.7 วงจรค่าสมบูรณ์

ดังที่เราทราบกันดีอยู่แล้วว่า ถ้ามีการใส่เครื่องหมายทางคณิตศาสตร์ คือค่าสมบูรณ์ ลงในตัวเลขที่เป็นบวกหรือลบก็ตาม ค่าที่ออกมาจะได้ค่าเป็นบวกเสมอ เช่น $|+2| = |-2| = +2$ เป็นต้น และจุดนี้เองที่ทำให้วงจรฟูลเวฟเรกติไฟเออร์(Full-wave rectifier) มีชื่ออีกชื่อหนึ่งว่า วงจรค่าสมบูรณ์ (ดูรูปที่ 2.27 ประกอบ) ลักษณะการทำงานของวงจรชนิดนี้จะแตกต่างจากวงจรฮาร์ฟเวฟตรงที่ว่า วงจรฮาร์ฟเวฟจะทำการปล่อยผ่านขั้วไฟฟ้าเพียงขั้วเดียว ขั้วที่เหลือจะทำการสกัดกั้นเอาไว้ แต่สำหรับวงจรฟูลเวฟเรกติไฟเออร์จะทำการผ่านขั้วไฟฟ้าขั้วหนึ่ง และทำการแปลงขั้วไฟฟ้าที่เหลือให้กลับทิศกลับขั้วให้เหมือนกับขั้วไฟฟ้าที่ปล่อยผ่านไป

สำหรับวงจรฟูลเวฟเรกติไฟเออร์ที่จะกล่าวถึงนี้จะเป็นวงจรฟูลเวฟเรกติไฟเออร์ชนิดที่มีความใกล้เคียงกับการทำงานในเชิงอุดมคติ กล่าวคือวงจรแล ะไดโอดจะสามารถทำงานที่ค่าโวลต์น้อยๆ ได้ (ที่น้อยกว่า 0.6 โวลต์ และมากกว่า -0.6 โวลต์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 แสดงการทำงานของวงจรค่าสมบูรณ์ หรือวงจรฟูลเวฟเรกติไฟเมื่อมีการประยุกต์ใช้กับออปแอมป์ซึ่งผลที่ได้จะเป็นดังรูปล่าง และมีสัญญลักษณ์วงจรดังภาพ

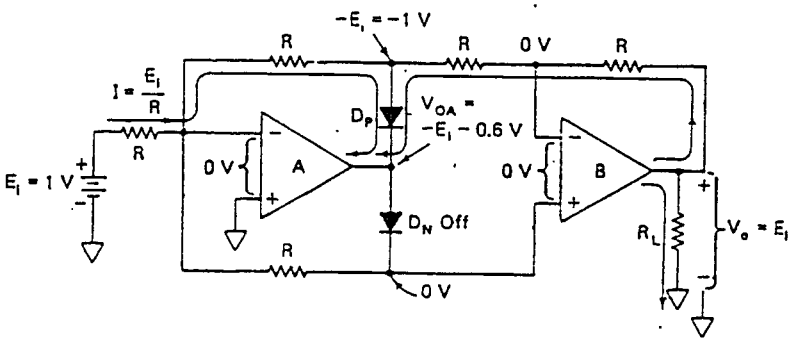
วงจรฟูลเวฟเรกติไฟที่จะนำเสนอต่อไปนี้มี 3 ชนิดด้วยกัน ชนิดแรกจะเป็นวงจรราคาถูกซึ่งประกอบด้วยออปแอมป์ 2 ตัว ไดโอด 2 ตัว และตัวต้านทานที่มีค่าเท่าๆกัน 5 ตัว อย่างไรก็ตาม วงจรนี้ให้ค่าความต้านทานอินพุตต่ำ สำหรับวงจรชนิดที่สองจะให้ค่าความต้านทานอินพุตสูงๆได้ แต่ต้องการตัวต้านทานที่มีค่าเป็นสัดส่วนกัน ไม่ได้เท่ากันหมดเหมือนวงจรแรก และวงจรสุดท้ายจะเป็นการแก้ไขปัญหาในวงจรทั้งสองชนิดที่ได้กล่าวมาแล้ว ในเรื่องที่ไม่มีการรวมโหนด (Summing Node) ที่เป็นกราวด์ให้กับขาอินพุตของออปแอมป์โดยตรง

2.7.1 วงจรฟูลเวฟเรกติไฟเออร์ชนิดที่ใช้ตัวต้านทานค่าเท่ากัน

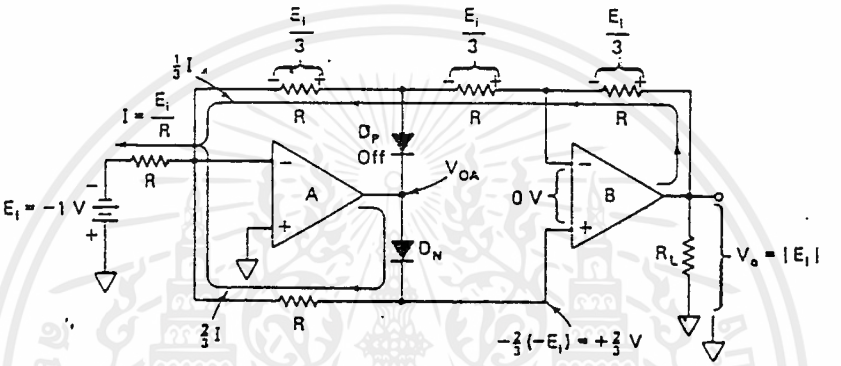
วงจรชนิดแรกนี้จะเป็นดังรูปที่ 2.28 ซึ่งใช้ตัวต้านทานค่าเดียวกันทั้งหมด และให้ค่าความต้านทานรวมทางด้านอินพุตเท่านั้น R ในรูปที่ 2.28(ก) แสดงทิศทางกระแสและขั้วแรงดันสำหรับการป้อนอินพุตที่เป็นบวก ไดโอด D_p จะนำกระแสโดยออปแอมป์ทั้ง A และ B ทำตัวเหมือนอินเวอร์เตอร์ ซึ่งผลการกลับขั้วไปมา 2 ครั้งนี้จะทำให้ได้ $V_o = +E_i$ นั่นเอง

รูปที่ 2.28(ข) แสดงการทำงานเมื่อป้อนอินพุตเป็นลบ ไดโอด D_N จะทำงาน ออปแอมป์ B ทำตัวเป็นอินเวอร์เตอร์ และกระแสอินพุต I จะถูกแบ่งดังรูป ค่า V_o จะมีค่าเป็นบวกเสมอ และรูปที่ 2.28(ค) จะเป็นการแสดงกราฟคุณลักษณะของวงจรชนิดนี้

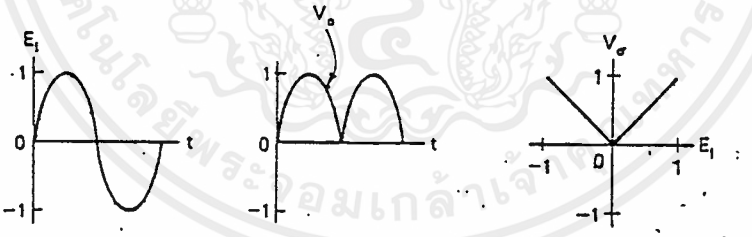
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แสดงทิศทางกระแสและแรงดันเมื่อป้อนอินพุตเป็นค่าบวก



(ข) แสดงทิศทางกระแสและแรงดัน เมื่อป้อนอินพุตเป็นค่าลบ ซึ่ง D_N จะทำงาน ส่งผลให้แรงดันตรงปลายไดโอดตัวนี้ ค่าแรงดันไม่เป็นศูนย์เหมือนในรูป (ก)



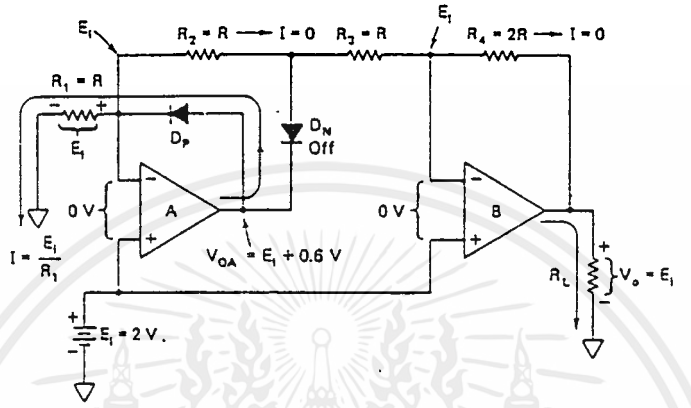
(ค) รูปคลื่นที่ได้จากวงจรนี้

รูปที่ 2.28 แสดงการทำงานของวงจรค่าสมบูรณ์ชนิดแรก ซึ่งจะให้ค่า $V_o = |E_i|$

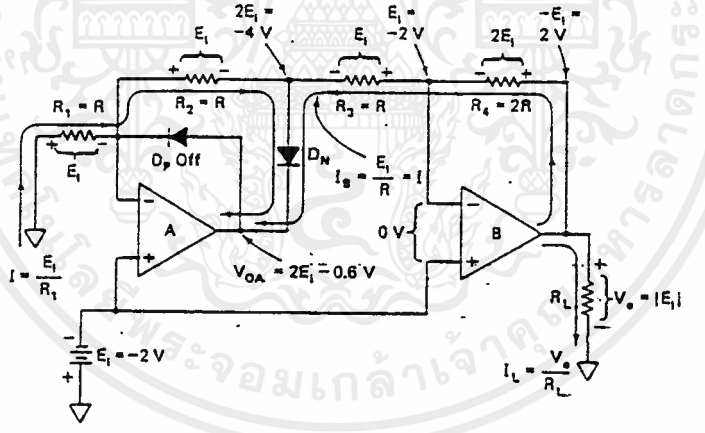
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2วงจรฟูลเวฟเรกติไฟเออร์ที่ให้ความต้านทานอินพุตสูง

วงจรชนิดที่สองนี้มีการต่อวงจรดังรูปที่ 2.29 แหล่งกำเนิดสัญญาณอินพุตจะต่อตรงเข้ากับขานอนอินเวอร์ติ้งของออปแอมป์โดยตรง รูปที่ 2.29(ก) แสดงการทำงานเมื่อป้อนอินพุตด้วยค่าบวก E_i และ R_1 จะกำหนดปริมาณกระแสที่จะไหลผ่านไดโอด D_p สำหรับที่ขาลบของออปแอมป์ทั้งสอง จะถูกป้อนด้วยค่า E_i ดังนั้นจะไม่มีกระแสไหลผ่าน R_2,R_3 และ R_4 ดังนั้น $V_o = E_i$ เนื่องจากแรงดันอินพุตทั้งหมดมีค่าเป็นบวก (ในที่นี้ออปแอมป์ B จะเสมือนเป็นบัฟเฟอร์)



(ก) เมื่อป้อนสัญญาณอินพุตเป็นบวก, $V_o = +E_i$



(ข) เมื่อป้อนสัญญาณอินพุตเป็นลบ, $V_o = |E_i| = -(-E_i)$

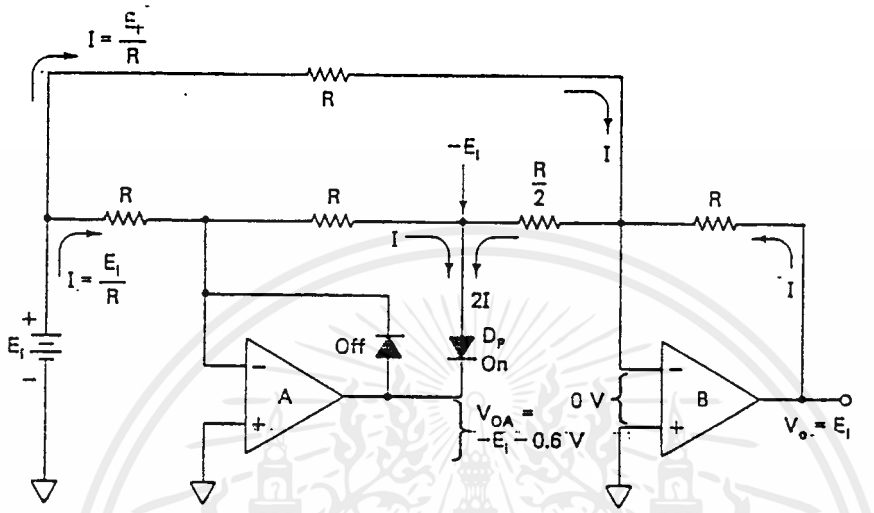
รูปที่ 2.29 วงจรฟูลเวฟเรกติไฟเออร์ที่ให้ความต้านทานอินพุตสูง โดย $R = 10k\Omega$ และ $2R = 20k\Omega$

เมื่อ E_i มีค่าเป็นลบดังรูปที่ 2.29(ข) ค่า E_i และ R_1 จะกำหนดค่ากระแสให้ไหลผ่านไดโอด D_N,R ตัวที่ 1 และ 2 เนื่องจาก $R_1 = R_2 = R_3$ มีค่าเท่ากัน ดังนั้นที่ขั้วแอโนดของไดโอดจะมีค่าเท่ากับ $2E_i$ หรือ -4 โวลต์ ที่ขั้วลบของออปแอมป์ B จะมีค่าเป็น E_i หรือมีค่า -2 โวลต์ ดังนั้นที่เอาต์พุตของออปแอมป์ B จะมีค่าเท่ากับ $|E_i|$ หรือเท่ากับ +2 โวลต์ สำหรับกราฟแสดงคุณสมบัติของวงจรจะเป็นดังรูปที่ 2.28(ค)

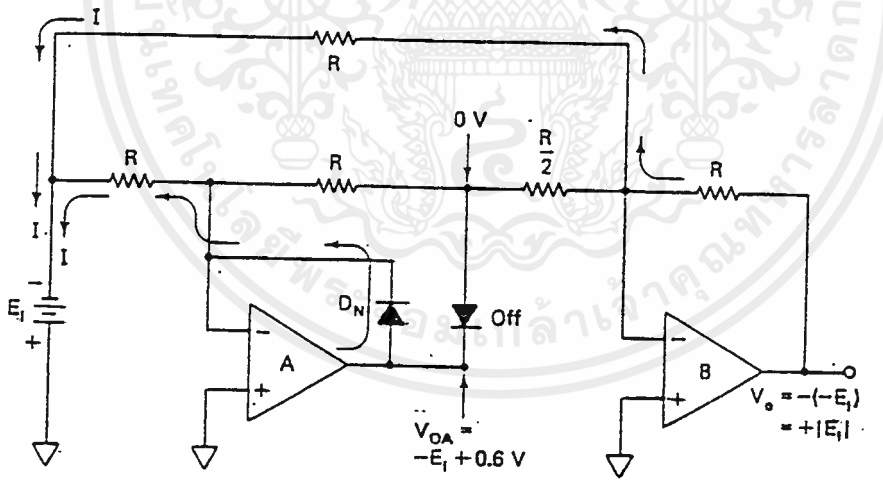
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.3 วงจรฟูลเวฟเรกติไฟเออร์ชนิดต่อกราวด์เข้ากับขาอินพุตบวก

จากรูปที่ 2.30 เมื่ออินพุตเป็นบวกดังรูปที่ 2.30(ก) ออปแอมป์ A จะทำการอินเวอร์ตหรือกลับขั้ว E_i ส่วนออปแอมป์ B จะทำการรวมเอาต์พุตของ A กับค่า E_i ซึ่งจะให้ค่าเอาต์พุต เป็น $V_o = E_i$ และเมื่อป้อนอินพุตที่เป็นลบให้กับวงจรดังรูปที่ 2.30(ข) ออปแอมป์ B จะทำการอินเวอร์ตหรือกลับขั้วของ $-E_i$ ให้เป็น $+E_i$ แทน



(ก) เมื่ออินพุตเป็นบวก ออปแอมป์ A และ B จะกลับขั้ว E_i ซึ่งจะได้ $V_o = E_i$



(ข) เมื่ออินพุตเป็นลบ ออปแอมป์ A จะไม่ทำหน้าที่เรกติไฟหรือกลับขั้ว แต่ออปแอมป์ B จะทำหน้าที่นี้เองซึ่งจะได้ $V_o = E_i$ เช่นกัน

รูปที่ 2.30 วงจรค่าสมบูรณ์ชนิดต่อกราวด์เข้ากับขาอินพุตบวกของออปแอมป์ทุกตัว โดย R=20 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการออกแบบ

ระบบกระจายเสียงแบบดิจิตอล ประกอบด้วย 2 ส่วน คือ ภาคส่งและภาครับ โดยการทำงานของภาคส่งและภาครับแสดงดังรูปที่ 3.1 โดยการทำงานของภาคส่งแสดงตามบล็อกไดอะแกรมดังรูปที่ 3.1ก. ส่วนการทำงานของภาครับแสดงตามบล็อกไดอะแกรมดังรูปที่ 3.1ข.

จากรูปที่ 3.1ก แสดงการทำงานของภาคส่ง โดยรับสัญญาณเสียงเข้ามาขยายให้มีขนาดโตพอ จากนั้นสัญญาณจะผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกำจัดสัญญาณความถี่สูงที่มีค่ามากกว่า 4 กิโลเฮิรตซ์ ทิ้งไป สัญญาณที่ผ่านออกมาได้จะเป็นสัญญาณย่านความถี่เสียงเท่านั้น สัญญาณที่ต้องนำไปปรับค่าแรงดันออฟเซต เพื่อให้มีค่าเฉพาะช่วงบวกเท่านั้น แล้วจึงนำสัญญาณดังกล่าวไปทำการแปลงให้เป็นสัญญาณดิจิตอลด้วย ไอซี เบอร์0804 ซึ่งเอาท์พุทที่ได้จะมีลักษณะเป็นแบบขนาน จึงต้องทำการเปลี่ยนแปลงให้เป็นแบบอนุกรมเสียก่อนๆที่จะนำไปเข้ารหัส การเข้ารหัสใช้วิธีการเข้ารหัสแบบ Manchester สัญญาณที่ได้จากการเข้ารหัสเรียบร้อยแล้วนั้น คือสัญญาณที่ต้องการส่ง ดังนั้นจึงนำสัญญาณดังกล่าวไปมอดูเลตกับสัญญาณคลื่นพาหะเพื่อส่งออกอากาศต่อไป

จากรูปที่ 3.1ข แสดงการทำงานของภาครับ โดยนำสัญญาณที่รับได้ซึ่งมีขนาดเล็กมากมาขยายให้มีขนาดที่พอเหมาะ จากนั้นจึงนำไปดีมอดูเลทเพื่อกำจัดสัญญาณคลื่นพาหะออกไป สัญญาณที่ได้ ณ จุดนี้จะต้องถูกแบ่งออกเป็น 2 ส่วน โดยส่วนแรกเป็นข้อมูลของการถอดรหัสและอีกส่วนที่เหลือต้องนำไปสร้างสัญญาณนาฬิกาเพื่อนำไปใช้ในการถอดรหัสร่วมกับส่วนแรก สัญญาณที่ได้ ณ จุดนี้มีลักษณะสัญญาณเป็นแบบอนุกรม ดังนั้นก่อนที่จะนำไปแปลงกลับให้เป็นสัญญาณอนาลอกดังเดิมต้องเปลี่ยนให้สัญญาณอยู่ในลักษณะที่เป็นขนานเสียก่อน

ดังที่ได้กล่าวมาแล้วถึงวิธีการทำงานพอสังเขป ต่อไปจะเป็นการออกแบบวงจรแต่ละส่วนอย่างละเอียด ดังต่อไปนี้

3.1 วงจรขยาย

วงจรขยายในที่นี้ใช้วงจรขยายแบบไม่กลับเฟส วงจรแสดงดังรูปที่ 3.2 กำหนดให้วงจรขยายนี้มีอัตราการขยาย 101 เท่า ดังนั้นสามารถหาค่า R1 และ R2 ได้ดังนี้

$$\text{จาก} \quad G = 1 + R2/R1$$

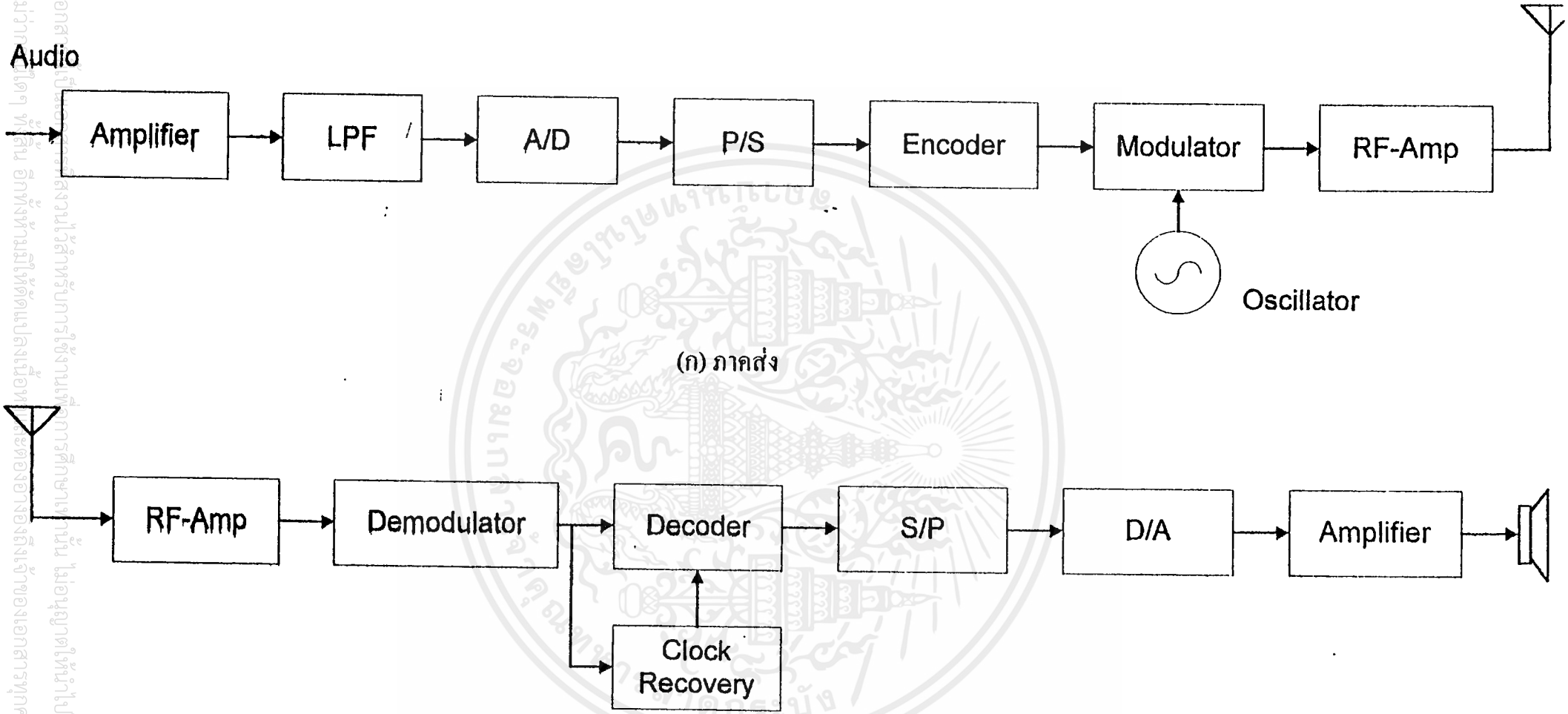
$$\text{กำหนด} \quad G = 101, \quad R2 = 1M$$

$$R1 = 1M/(101-1)$$

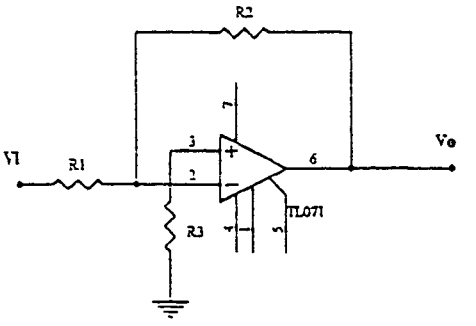
$$R1 = 10k$$

ดังนั้นวงจรขยายที่มีอัตราการขยาย 101 เท่า R1 และ R2 มีค่า 10k และ 1M ตามลำดับ แสดงดังรูปที่ 3.3

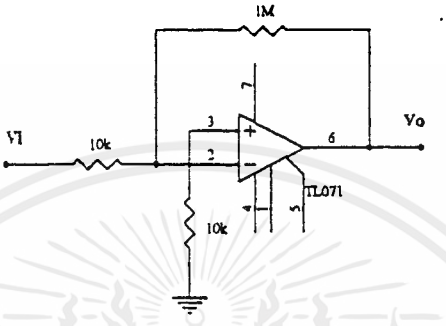
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่งและภาครับ



รูปที่ 3.2 วงจรขยายแบบไม่กลับเฟส



รูปที่ 3.3 วงจรขยายแบบไม่กลับเฟสพร้อมแสดงค่า

3.2 <u>วงจรกรองความถี่ต่ำผ่าน</u> (Low-Pass Filter : LPF)

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ใช้ในการลดทอนขนาดแอมปลิจูดของสัญญาณที่มีความถี่สูงกว่าความถี่สูงสุดที่เรากำหนดไว้ (Cutoff Frequency : f_0) ในขณะที่สัญญาณที่มีความถี่น้อยกว่าหรือเท่ากับความถี่คัทออฟนั้นจะสามารถผ่านได้โดยไม่มีการลดทอน แต่ในทางปฏิบัติจริงๆแล้วจะมีการลดทอนบ้าง สำหรับในการใช้งานในที่นี้เราต้องการกรองเอาเฉพาะความถี่ในย่าน 0 - 4 kHz เท่านั้น โดยใช้วงจรกรองความถี่ต่ำผ่านแบบ บัตเตอร์เวอร์ธ ซึ่งมีคุณสมบัติที่ดีในการรักษาค่าอัตราการขยายแบบเปิดลูป (Open Loop Gain) ให้คงที่ตลอดช่วงความถี่ผ่าน โดยในการออกแบบเรากำหนดค่า m=1 และ n=2 กล่าวคือจะให้ตัวต้านทาน R ในวงจรมีค่าเท่ากัน และ ค่าตัวเก็บประจุ C มีอัตราส่วนเป็น 2:1 และกำหนดให้ $R_A >> R_B$ จึงอาจละทิ้ง R_A ได้ดังนั้นจากรูปที่ 2.17 (ในบทที่ 2) เราจะได้ว่า

$$K = 1+(R_B/R_A) = 1 \qquad \text{เมื่อ } R_A >> R_B$$

$$H = K / \left[1-(f/f_0)^2+(j/Q)(f/f_0) \right]$$

$$= 1 / \left[1-(f/f_0)^2+(j/Q)(f/f_0) \right]$$

$$V_0 = \left[1+(R_B/R_A)\right] V_I = V_I \qquad \text{เพราะ} \quad 1+(R_B/R_A) = 1$$

$$f_0 = 1 / \left[2\pi\sqrt{(mn)}\ RC\right]$$

$$= 1 / \left[2\pi\sqrt{(2)}\ RC\right] \qquad \text{เมื่อ } m = 1 \text{ และ } n = 2$$

$$= 0.707 / \left[2\pi RC\right]$$

$$Q = \sqrt{(mn)} / m+1+mn(1-K)$$

$$= 0.707 \qquad \text{เมื่อ } m = 1 \text{ และ } n = 2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่กล่าวมาเราสามารถออกแบบวงจรให้มีคุณสมบัติตรงตามความต้องการได้ โดยการกำหนดค่าตัวแปรและแทนค่าลงไปในสมการดังนี้

ความถี่คัทออฟ = 4kHz

ตัวเก็บประจุ C มีค่าอยู่ระหว่าง 100pF - 0.1 μF ในที่นี้เลือกใช้ C ค่า 10 nF

ดังนั้นค่าตัวต้านทานที่ต้องใช้คือ

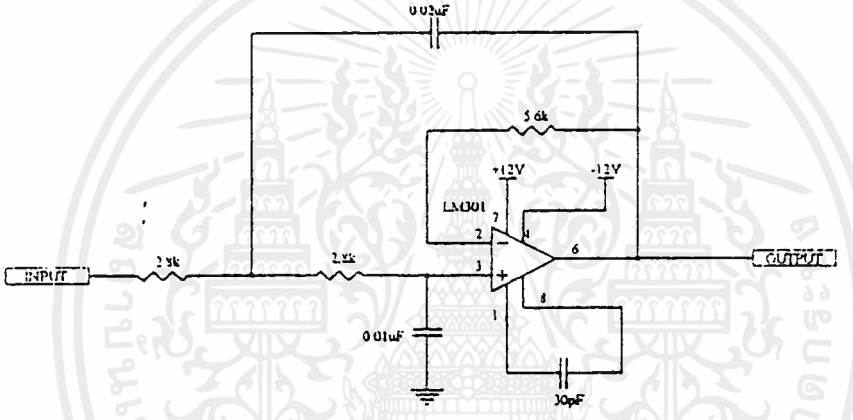
$$R = 0.707/(2\pi f_0 C)$$

$$= 0.707/(2\pi * 4\ kHz * 10\ nF)$$

$$= 2.8\ k\Omega$$

และ $R_g = 2R = 5.6\ k\Omega = R_f$

ออปแอมป์ที่ใช้คือออปแอมป์เบอร์ LM301 ซึ่งสามารถกำหนดค่าสมอล ซิกแนล ยูนิตี้ เกน แบนวิดธ์ ได้ ซึ่งทำให้สามารถกำหนดคุณสมบัติความถี่คัทออฟได้ดีขึ้นวงจรทั้งหมดแสดงได้ดังรูปที่ 3.4

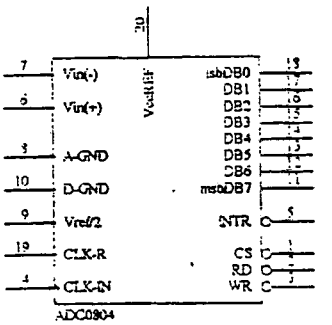


รูปที่ 3.4 วงจรโลว์พาสฟิลเตอร์

3.3 <u>วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล</u>(Analog to Digital Converter ; ADC)

วงจรชนิดนี้ ใช้สำหรับแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยจำนวนบิตของเอาท์พุทที่เป็นสัญญาณดิจิตอลนั้นมีผลต่อความละเอียดถูกต้องของสัญญาณอนาลอก แบบแปรผันตรง คือ จำนวนบิตยิ่งมาก ความถูกต้องก็ยิ่งสูงขึ้นตามไปด้วย โครงงานนี้ต้องการจำนวนบิตใช้งานเพียง 4 บิตเท่านั้น โดยนำ A/D แบบ 8 bit คือ IC เบอร์ ADC0804 มาประยุกต์ใช้งาน เนื่องจาก ไม่มีอุปกรณ์ประเภท A/D แบบ 4 bit โดยตรง ซึ่ง การนำไปใช้งาน ก็จะนำเอาท์พุท 4 bit ที่มีค่าสูงสุดเท่านั้นไปใช้ โครงสร้างของ IC เบอร์ ADC0804 มีดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ไอซี A/D เบอร์ 0804

จากรูปที่ 3.5 หากเราต้องการนำไปใช้งานก็สามารถทำได้โดยการต่ออุปกรณ์ภายนอกเข้ากับแต่ละขาของ ADC0804 ดังนี้

● ขา 11-18 เป็นขาเอาท์พุท DB7-DB0 ตามลำดับ โดยMSB(Most Significant bit)คือขา 11 และ LSB (Least Significant bit)คือขา 18 สำหรับในโครงงานนี้ใช้เพียง 4 bit คือขา 11-14 เท่านั้น

● ขา 1 เป็นขา chip select ซึ่งในที่นี้ ไม่ได้ นำไปใช้ติดต่อกับอุปกรณ์ควบคุมภายนอก จึงต่อลงกราวด์

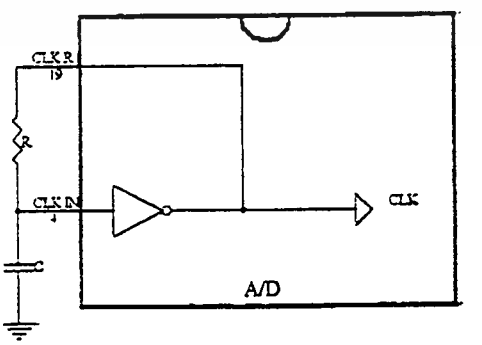
● ขา 2 เป็นขา read ซึ่งใช้ในกรณีที่จะมีการอ่านข้อมูลจาก A/D แต่ในโครงงานนี้ไม่ได้ใช้ทำหน้าที่เลย จึงนำไปต่อลงกราวด์

● ขา 3 เป็นขา write ใช้ในกรณีที่ A/D รับอินพุทเข้ามาเพื่อทำการคอนเวอร์ท โดยจะทำงานที่ขอบขาลง ขานี้ต่อกับเอาท์พุทของวงจรอะสเตเบิล ดังนั้นขานี้จึงทำงานที่ความถี่ 8 kHz

● ขา 4 เป็นขา คล็อคอิน ซึ่งใช้กำเนิดสัญญาณนาฬิกา ซึ่งควบคุมจากภายนอก โดยต่อร่วมกับขา 19 คือคล็อค อาร์ (Clk R) จากรูปที่ 3.6 คือวงจรสร้างสัญญาณนาฬิกาเองจากภายนอก ซึ่งค่าของ R, C และ f_{Clk} สามารถหาได้จากสมการดังนี้

$$f_{Clk}=1/(1.1RC)$$

และ R มีค่าประมาณ 10 kΩ



รูปที่ 3.6 วงจรสร้างสัญญาณนาฬิกาภายในของA/D(Self-Clocking the A/D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● ขา 5 เป็นขาอินเทอร์รัพท์ ซึ่งจะมีล่าลอจิกเป็น " 1 " ขณะไม่มีเอาท์พุท แต่เมื่อ A/D คอนเวอร์เตอร์ได้เอาท์พุทเรียบร้อยแล้วเลทช์ไว้ขณะส่งออกจากแลทช์ ขา INT จะเปลี่ยนลอจิกจาก " 1 " เป็น " 0 " ทันที และขานี้ยังนำไปใช้ควบคุมการทำงานของไมโครคอนโทรลเลอร์ด้วย โดยไมโครคอนโทรลเลอร์ จะคอยตรวจสอบขานี้ว่าเป็นลอจิก " 0 " เมื่อไร หากขานี้มีลอจิกเป็น " 0 " ก็จะทำการรับข้อมูลจาก A/D เข้ามาทำการประมวลผลต่อไป

● ขา 6-7 เป็นขา อนาลอก ดิฟเฟอร์เรนซ์ อินพุท โวลต์เตจ ดังนั้นจึงนำขา 7 ต่อลงกราวด์เพื่อให้เกิดความแตกต่างทางอินพุท ส่วนขา 6 ก็ต่อกับเอาท์พุทที่ได้จากวงจรโลว์พาสฟิลเตอร์

● ขา 8 เป็นขา อนาลอก กราวด์ คือเป็นกราวด์ของสัญญาณอนาลอก

● ขา 9 เป็นขา $V_{REF}/2$

● ขา 10 เป็นขา ดิจิตอลกราวด์ คือเป็นกราวด์ของสัญญาณดิจิตอล

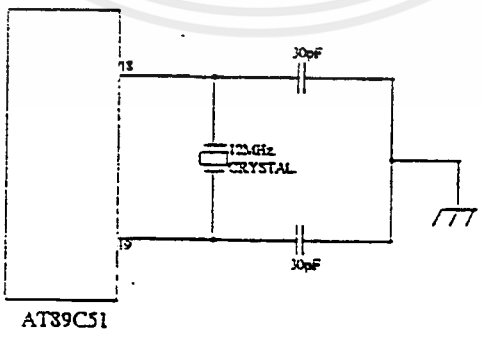
● ขา 20 เป็นขา V_{cc} ใช้สำหรับป้อนไฟเลี้ยงให้กับ A/D ซึ่งใช้ค่า $V_{cc} = 5\ V_{DC}$ และต่อ C 10μF เพื่อป้องกัน noise

3.4 <u>ไมโครคอนโทรลเลอร์ เบอร์ AT89C51</u>

ไมโครคอนโทรลเลอร์เบอร์ AT89C51 เป็นชิปของบริษัทแอทเมล(ATMEL) ซึ่งออกแบบมาให้มีสถาปัตยกรรมเหมือนกับ MCS-51 ทั่วๆ ไป แต่ข้อพิเศษของชิปนี้ก็คือเป็นซิงเกิลชิป ไม่ใช่เป็นบอร์ด ดังนั้นการจะทำการโปรแกรมต้องกระทำผ่านเครื่องโปรแกรมเมอร์หรือที่มักเรียกว่าเครื่องบอร์น ซึ่งในการโปรแกรมนี้จะใช้บอร์ดรุ่นโปร-100 ของบริษัทศิลาซีเสิร์ช

โครงสร้างทั่วๆ ไปของ AT89C51 คือมี 4 I/O พอร์ต มีหน่วยความจำภายใน รายละเอียดดูได้จากบทที่ 2

ในการนำมาใช้งานนี้ เพียงต่อกับอุปกรณ์ภายนอกเพิ่มเติมอีกเล็กน้อยก็สามารถใช้งานได้ โดยขา 18-19 ต้องต่อคริสตอล 12 MHz คร่อมทั้งสองขาไว้และที่ทั้งสองขาก็ต้องต่อ C 30 μF ลงกราวด์ ดังรูปที่ 3.7



รูปที่ 3.7 วงจรกำเนิดความถี่ของ AT89C51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

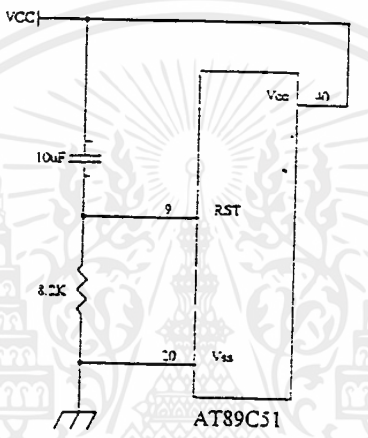
ส่วนการใช้งานขารีเซ็ต ทำได้โดยการต่อตัวต้านทานค่า 8.2 kΩ คร่อมขา 9 และ 20 ไว้ ขา 20 จะต่อลงกราวด์ ส่วนระหว่างขา 9 และไฟเลี้ยง 5 V จะต่อตัวเก็บประจุ 10 μF คร่อมไว้เช่นกัน

นอกจากนี้ การใช้ I/O พอร์ต จะใช้ทั้ง 4 พอร์ต โดย เป็นอินพุทพอร์ต1 พอร์ต,เอาท์พุทพอร์ต 2 พอร์ต และเป็นคอนโทรลพอร์ต อีก 1 พอร์ต

- พอร์ต 1

- P1.0 รับสัญญาณจากขา INT ของ A/D

- P1.1-1.2 เป็นอินพุทคู่แรกที่จะถูกประมวลผล ซึ่งรับสัญญาณมาจาก DB 7และ DB5 ตามลำดับ



รูปที่ 3.8 วงจรรีเซตของ AT89C51

- P1.3-1.4 เป็นอินพุทคู่ที่สองที่ถูกประมวลผลหลังจากประมวลผลคู่แรกเสร็จและรับสัญญาณจาก DB6 และ DB4 ตามลำดับ

- ส่วนบิตอื่นๆ ของพอร์ต 1 ไม่ถูกนำมาใช้

- พอร์ต 2

- P2.0-P2.7 คือขา 21-28 แล้วนำไปต่อกับขา 18,17,14,13,8,7,4 และ 3 ตามลำดับของ74LS373

- พอร์ต 3

- P3.0-P3.7 คือขา 10-17 แล้วนำไปต่อกับขา 18,17,14,13,8,7,4 และ 3 ตามลำดับของ 74LS373

- พอร์ต 0

- P0.0 ใช้ควบคุม 74LS373 โดยต่อกับขา 11 ของ 74LS373 ที่ต่ออยู่กับพอร์ต 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

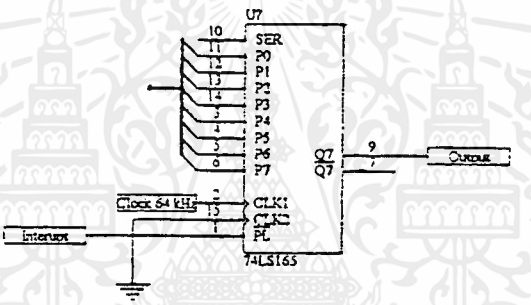
- P0.1 ใช้ควบคุม 74LS373 โดยต่อกับขา 1 ของ 74LS373 ทั้งสองตัว
- P0.2 ใช้ควบคุม 74LS373 โดยต่อกับขา 11 ของ 74LS373 ที่ต่ออยู่กับพอร์ต 3

โดยทั้ง 3 บิตที่ใช้ ต้องต่อกับตัวต้านทาน 10 kΩ ซึ่งต่อเข้ากับไฟเลี้ยง 5 V_{DC}

3.5 วงจรเข้าขนานออกอนุกรม(Parallel In/Serial Out Shift Registers)

วงจรนี้ใช้ไอซี เบอร์ DM74LS165 ซึ่งจะแปลงสัญญาณที่เข้ามาจากแบบขนานเป็นแบบอนุกรม วงจรแสดงดังรูปที่ 3.9

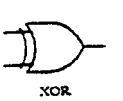
การทำงานจะเริ่มขึ้นเมื่อมีการโหลดข้อมูลเข้ามาโดยจะถูกควบคุมด้วยขา Shift/Load ซึ่งข้อมูลจะถูกโหลดเข้ามาก็ต่อเมื่อขา Shift/Load เปลี่ยนสถานะจาก " H " เป็น " L " ดังนั้นขานี้จึงถูกต่อเข้ากับขาอินเตอร์รัพของADC ส่วนขา Clock ถูกต่อเข้ากับสัญญาณนาฬิกาความถี่ 128 กิโลเฮิรตซ์ ขา11, 12, 13, 14, 3, 4, 5, 6 ซึ่งเป็นขา A, B, C, D, E, F, G และ H ตามลำดับ เป็นขารับสัญญาณอินพุทที่เป็นแบบขนาน ส่วนขา Clock Inhibit จะถูกต่อลงกราวด์ เอาท์พุทที่ได้จะออกมาทางขาที่ 9 ซึ่งเป็นขาเอาท์พุท



รูปที่ 3.9 วงจรเข้าขนานออกอนุกรม

3.6 วงจรเข้ารหัสและวงจรถอดรหัส(Encoder and Decoder)

การเข้ารหัสและถอดรหัสแบบ Manchester สามารถสร้างวงจรได้ค่อนข้างง่าย โดยวงจรประกอบด้วย Exclusive Or Gate เท่านั้น ดังแสดงดังรูปที่ 3.10 ส่วนอินพุทประกอบด้วย 2 ส่วนคือ สัญญาณที่ต้องการเข้าหรือถอดรหัส และ สัญญาณนาฬิกา โดยในวงจรนี้ได้เลือกใช้



รูปที่ 3.10 วงจรแสดงการเข้ารหัสและถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรแอมพลิจูดมอดูเลเตอร์

ในที่นี้ใช้ไอซีเบอร์ MC1496 ซึ่งจะทำการมอดูเลตคลื่นพาห์ที่ได้จากวงจรออสซิลเลเตอร์ความถี่ 27 MHz กับสัญญาณข้อมูลที่ผ่านการเข้ารหัสแมนเชสเตอร์ การต่อวงจรนั้นสามารถต่อได้ตามภาคผนวกที่ 1 ในตอนท้าย

3.8 ไดโอดดีเทคชั่น

ในโครงงานนี้ใช้ไดโอดเบอร์ 1N60 ซึ่งเหมาะสำหรับการทำหน้าที่ดังกล่าว ในการเลือกค่าความต้านทานและค่าตัวเก็บประจุ เป็นดังสมการต่อไปนี้

$$1/f_c \leq RC \leq 1/f_m$$

ดังนั้นจะคำนวณได้โดยเลือกใช้ตัวเก็บประจุค่า 18 pF และ ตัวต้านทานค่า 580 Ω ความถี่ที่ต้องการคือ 27MHz ซึ่งจะทำให้ค่าคงตัวเวลาเป็นดังนี้

$$37*10^{-9} \leq RC \leq 12.5*10^{-6}$$

3.9 วงจร Clock Recovery

เป็นวงจรที่ใช้ในการกำเนิดสัญญาณนาฬิกา โดยมีข้อแม้ว่าต้องเป็นตัวเดียวกับที่ใช้ทางภาคส่ง ดังนั้นการที่จะทำเช่นนั้นได้ ต้องอาศัยสัญญาณที่รับเข้ามาได้และผ่านการกำจัดสัญญาณคลื่นพาหะออกไปแล้ว โดยผ่านกระบวนการอินทิเกรท ค่าสัมบูรณ์และดิฟเฟอร์เรนเชียล กระบวนการดังกล่าวสามารถสร้างเป็นวงจรได้ดังนี้

3.9.1 วงจรอินทิเกรท

การสร้างวงจรอินทิเกรทอาศัยพื้นฐานการสร้างจากสมการทางคณิตศาสตร์

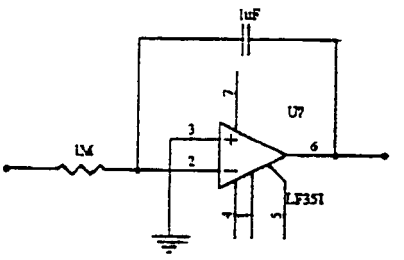
$$E_0 = -1/RC \int_0^t E_{in} \Delta t$$

โดยที่ 1/RC เรียกว่า อัตราการขยาย (Gain)

จากสมการดังกล่าวสร้างเป็นวงจรได้ดังรูปที่ 3.11 โดยค่า R และ C หาได้จาก

กำหนดให้ G = 1 และ R = 1M

$\therefore$ C = 1 μF

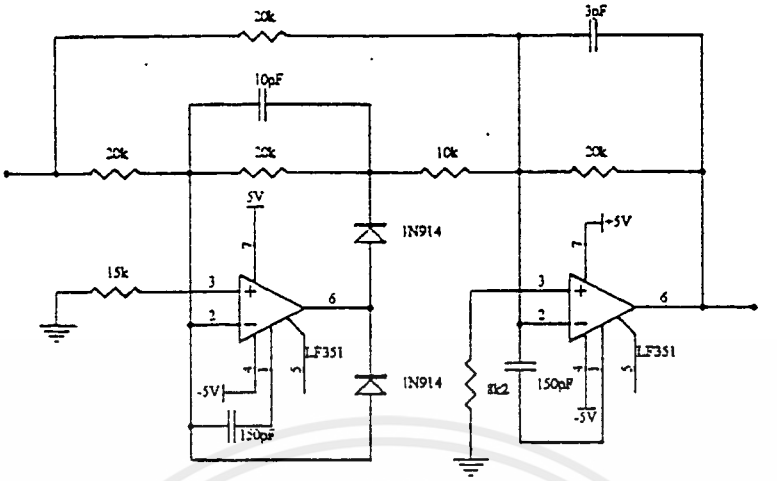


รูปที่ 3.11 วงจรอินทิเกรท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.2 วงจรค่าสัมบูรณ์

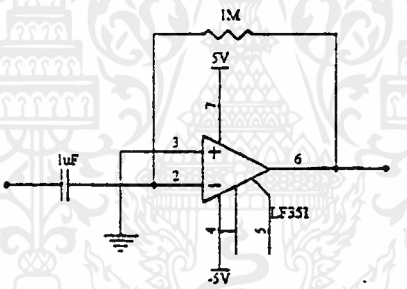
เป็นวงจรที่ใช้สำหรับเปลี่ยนสัญญาณให้มีเฉพาะค่าบวกเท่านั้น โดยวงจรสามารถสร้างและแสดงดังรูปที่ 3.12



รูปที่ 3.12 วงจรค่าสัมบูรณ์

3.9.3 วงจรดิฟเฟอร์เรนเชียล

เป็นวงจรที่เป็นอินเวอร์สกับวงจรอินทิเกรท ดังนั้น วงจรสามารถแสดงได้ดังรูปที่ 3.13



รูปที่ 3.13 วงจรดิฟเฟอร์เรนเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 วงจรโลว์พาสฟิลเตอร์

สำหรับวงจรนี้เราได้ออกแบบให้มีความถี่คัทออฟที่ 4 kHz ดังนั้นการทดลอง ทำดังนี้คือ

4.1.1 ทำการป้อนไฟเลี้ยงแล้วป้อนสัญญาณอินพุท Sine Wave จากฟังก์ชั่นเจนเนอร์เรเตอร์โดยให้มีขนาดแอมพลิจูด 10 V_{P-P} ความถี่เริ่มจาก 0 Hz แล้วทำการวัดแอมพลิจูดที่เอาท์พุท

4.1.2 ค่อยๆ เพิ่มความถี่ขึ้นไปเรื่อยๆ ทำการวัดแอมพลิจูดที่เอาท์พุทเปรียบเทียบแอมพลิจูดของสัญญาณอินพุท แล้วทำการหาค่าอัตราการขยาย(เกน)ในหน่วย dB เพื่อแสดงถึงฟรีเควนซี เรสปอนส์ของวงจร

ดังนั้น ณ ความถี่ ที่เกนมีค่าเป็น -3 dB คือความถี่คัทออฟของวงจรนี้

ผลที่ได้ เป็นดังตารางที่ 4.1

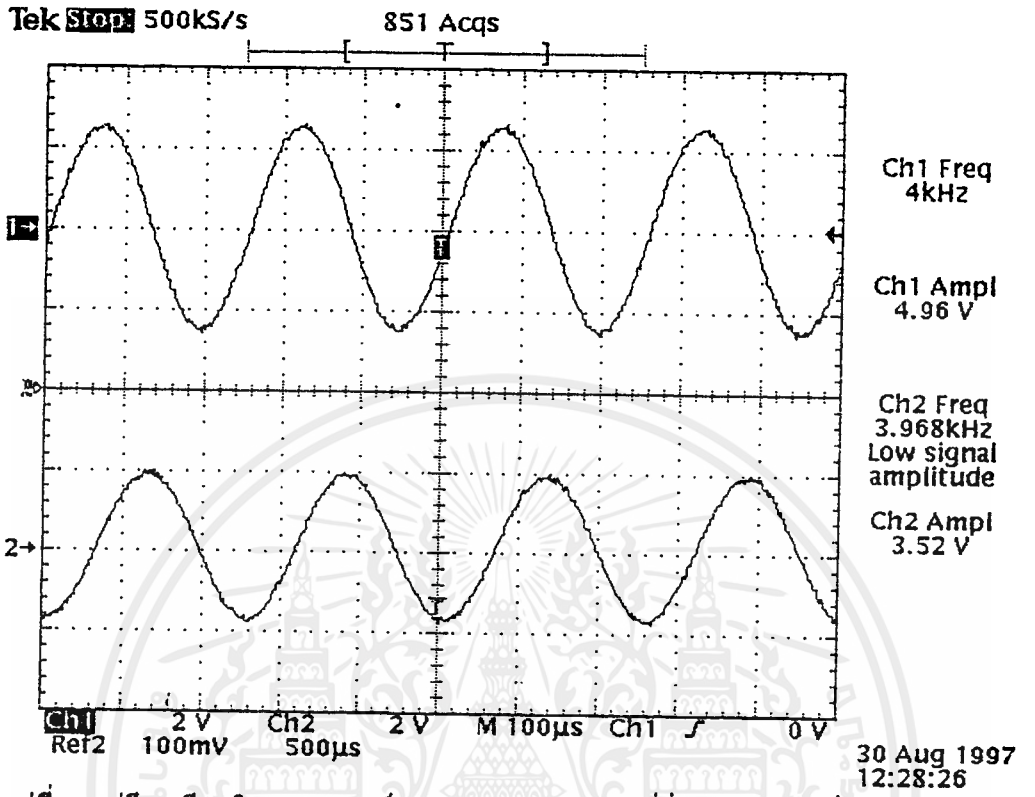
ความถี่ของสัญญาณอินพุท (kHZ)	แอมพลิจูดของสัญญาณเอาท์พุท(V_{P-P})	อัตราขยาย (dB)
0.2	10	0
1	10	0
2	9.375	-0.56
2.5	9.063	-0.85
3	8.438	-1.48
3.5	7.812	-2.14
3.75	7.344	-2.68
3.83	7.187	-2.87
3.95	7.031	-3.06
4.5	6.250	-4.08
5	5.469	-5.24
10	2.031	-13.8
20	0.781	-22.1
30	0.468	-26.6

ตารางที่ 4.1 เปรียบแอมพลิจูดของสัญญาณเอาท์พุทจากวงจรโลว์พาสฟิลเตอร์ที่ความถี่ต่างๆ

จากตารางจะเห็นว่าความถี่คัทออฟจะอยู่ระหว่าง 3.83-3.95 kHz เนื่องจากทำให้สัญญาณเอาท์พุทมีอัตราขยายเป็น -3 dB ในช่วงความถี่ดังกล่าว ซึ่งผลที่ได้ใกล้เคียงกับความต้องการคือคัทออฟที่ 4 kHz มากเพราะคลาดเคลื่อนไปเพียงเล็กน้อยเท่านั้นถือว่ายอมรับได้ สำหรับในรูปที่ 4.1 จะแสดงผลจากการทดลองวัดสัญญาณเอาท์พุทที่ได้จากการทดลองดังกล่าวในตอนต้น ส่วนรูปที่ 4.2 แสดงถึงผลตอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สนอง ทางความถี่ (Frequency Respond) ของวงจรโลว์พาสฟิลเตอร์แบบบัตเตอร์เวอร์ธที่ได้จากการทดลองนี้



รูปที่ 4.1 เปรียบเทียบอินพุทและเอาท์พุทจากวงจรกรองความถี่ต่ำผ่าน ณ ความถี่คัทออฟ

4.2 วงจรรวมสัญญาณแบบไม่กลับเฟส(Adder)

วงจรนี้ใช้สำหรับปรับค่าออฟเซ็ตของสัญญาณอินพุทเพื่อให้มีค่าเป็นบวกเท่านั้นดังนั้นจึงนำสัญญาณที่ต้องการปรับมารวมกับสัญญาณไฟตรงขนาด 2.5 V ดังแสดงในรูปที่ 4.3 และได้ผลการทดลองดังแสดงในรูปที่ 4.4,

จากผลการทดลองดังกล่าวจะเห็นได้ว่าสัญญาณทั้งหมดจะมีค่าเป็นบวกเท่านั้นที่ต้องทำเช่นนี้เพราะวงจรอนาล็อกทูดิจิตอลไม่สามารถรับสัญญาณอินพุทที่มีค่าลบได้

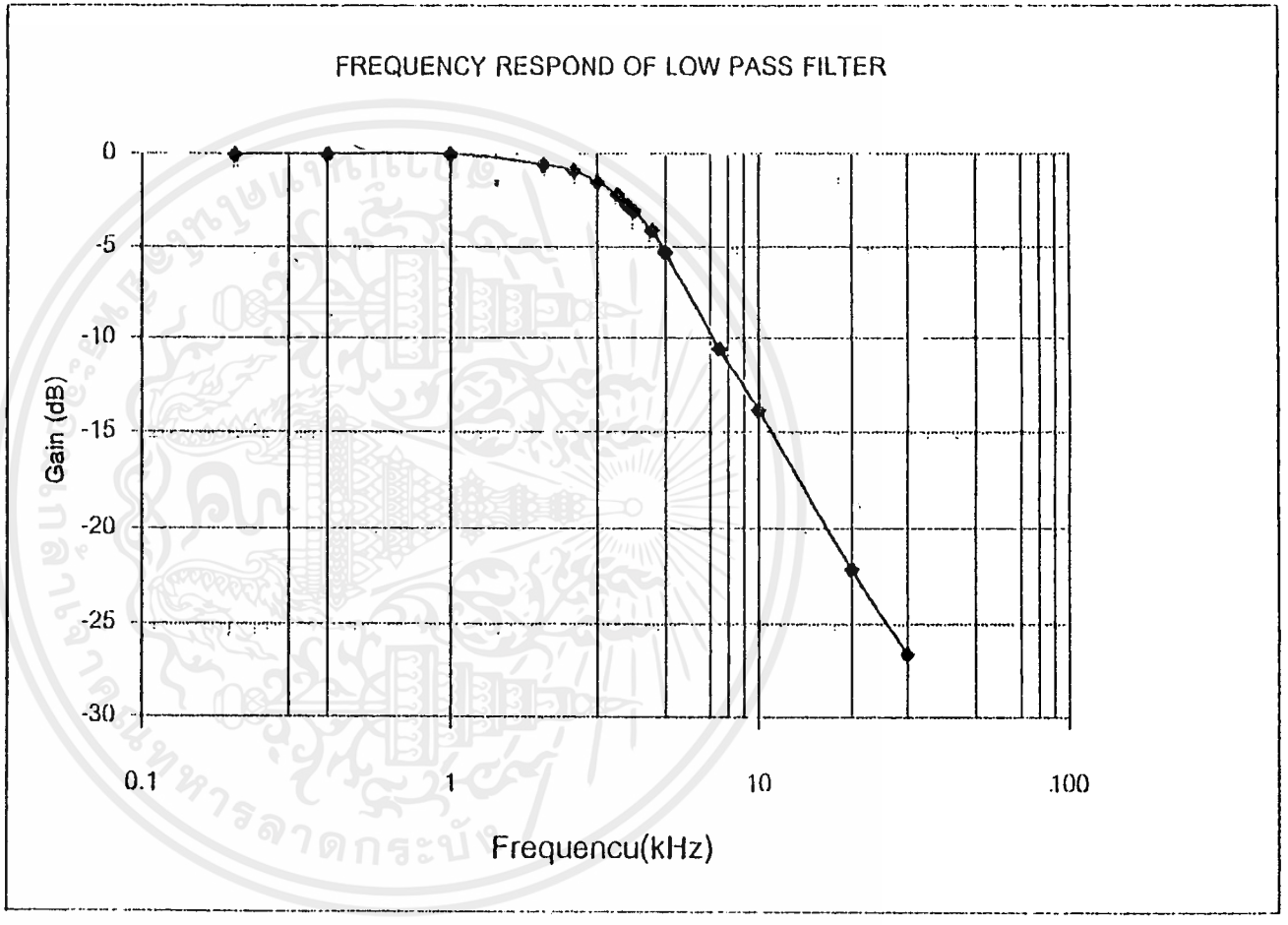
4.3 วงจรอนาล็อกทูดิจิตอล(A/D)

วงจรอนาล็อกทูดิจิตอลถูกกำหนดให้มีอัตราการสุ่มตัวอย่าง 8 kHz ดังนั้นสัญญาณนาฬิกาที่ใช้ควบคุมจึงมีค่า 512 kHz ดังแสดงในรูปที่ 4.5 ทั้งนี้เนื่องจากกระบวนการทำงานต่อสัญญาณเอาท์พุท 1 ค่า จำนวน 8 บิต ต้องใช้สัญญาณนาฬิกาถึง 64 kHz เมื่อมีการให้สัญญาณเอาท์พุทออกมาขาอินเตอร์รัพท์ (INT) จะเปลี่ยนจากสถานะ "High" เป็น "Low" ดังแสดงในรูปที่ 4.6

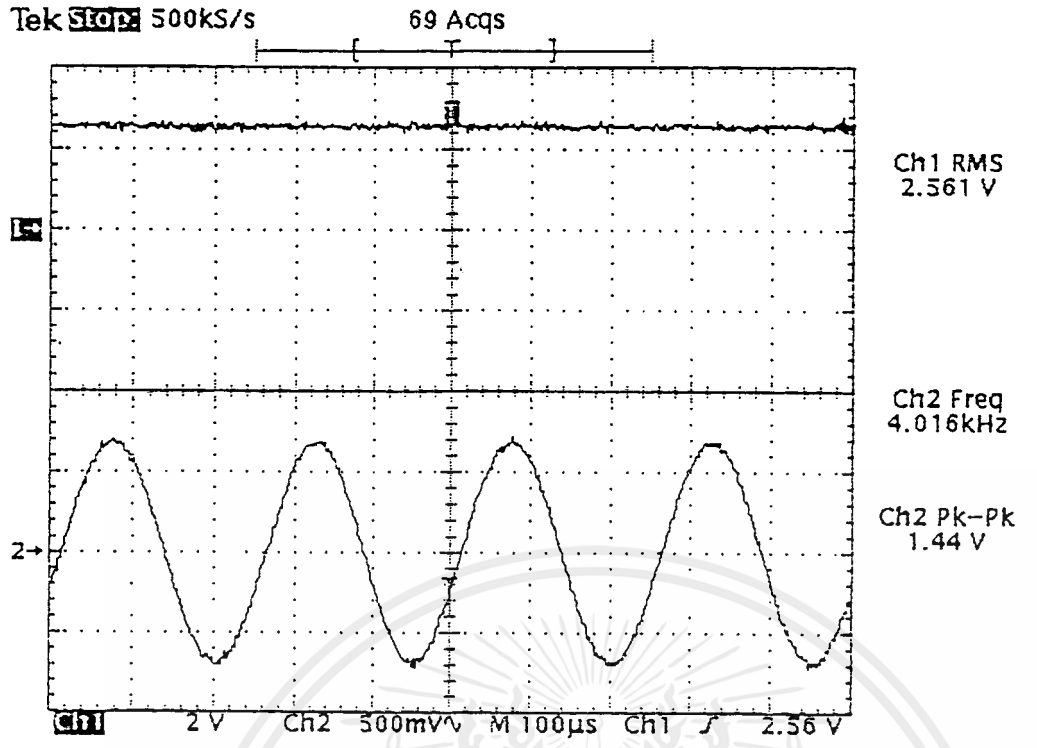
สัญญาณเอาท์พุทที่ได้ขณะใดๆ แสดงได้ดังรูปที่ 4.7 และรูปที่ 4.8 และเมื่อแสดงเปรียบเทียบกับสัญญาณที่ขาอินเตอร์รัพท์แสดงได้ดังรูปที่ 4.9 และรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

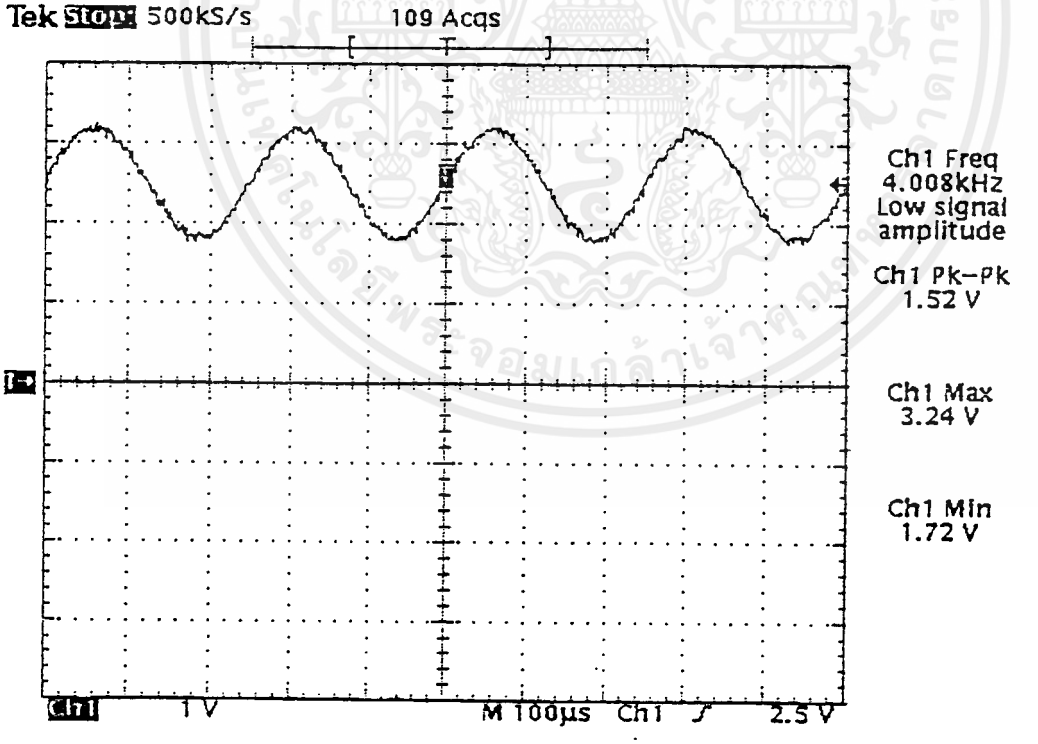
Frequency (kHz)	Gain (dB)
0.2	0
0.4	0
1	0
2	-0.56
2.5	-0.854
3	-1.475
3.5	-2.144
3.75	-2.681
3.83	-2.869
3.95	-3.059
4.5	-4.082
5	-5.241
7.5	-10.547
10	-13.845
20	-22.146
30	-26.595



รูปที่ 4.2 ผลตอบสนองทางความถี่ของ LPF

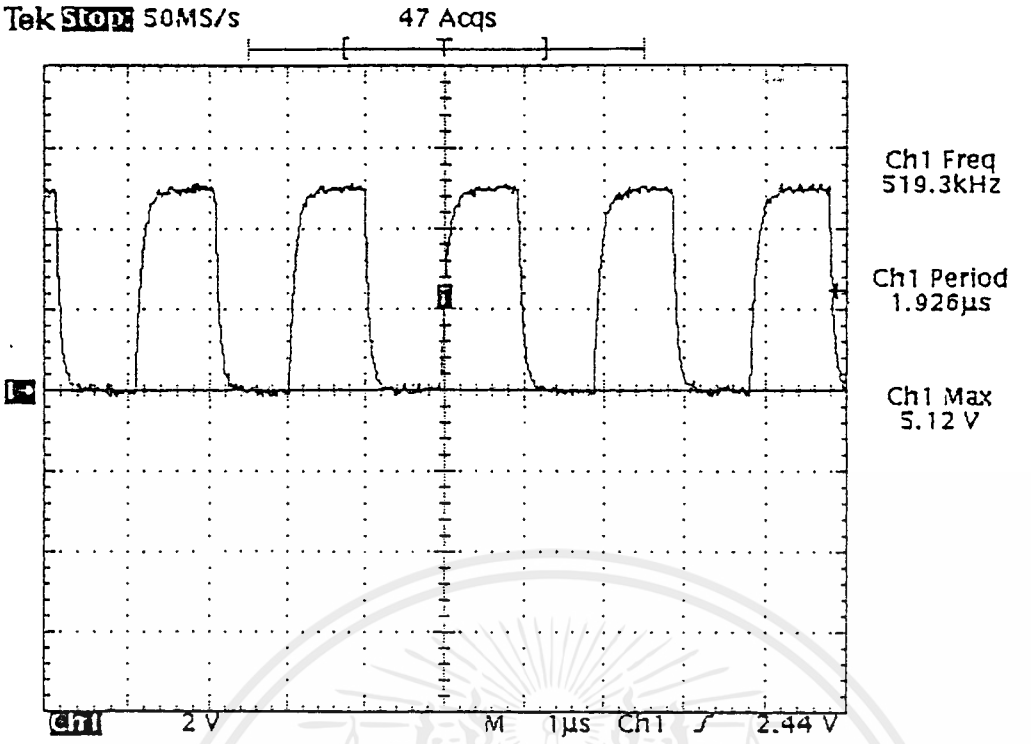


รูปที่ 4.3 อินพุทของวงจรรวมเชิงเส้นแบบไม่กลับเฟส

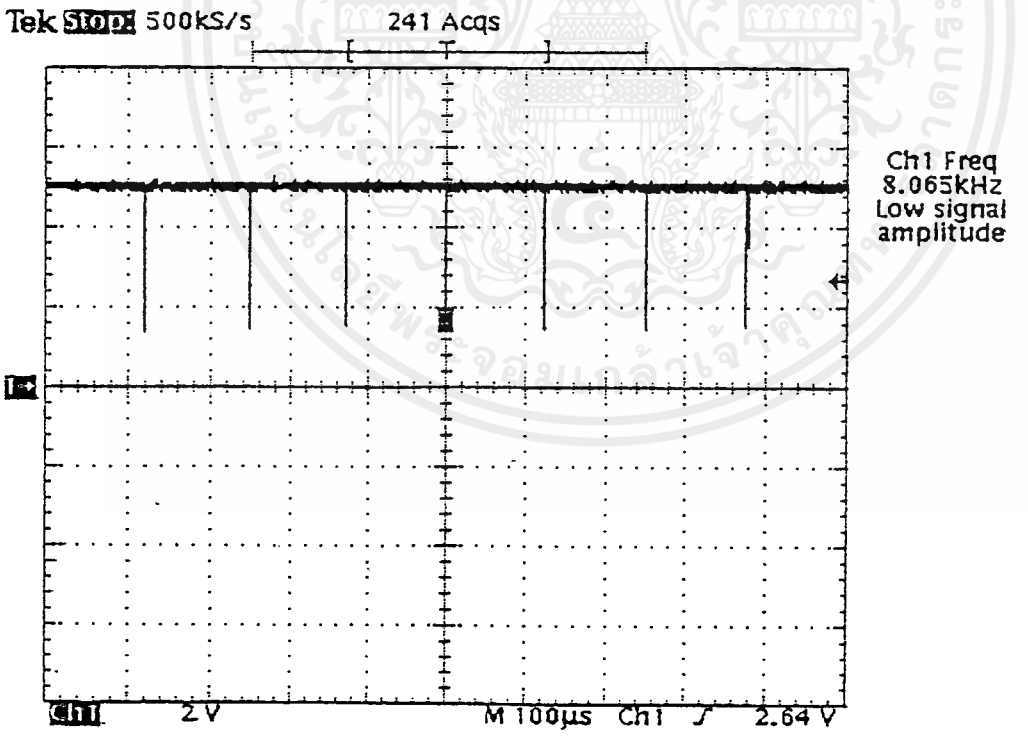


รูปที่ 4.4 เอาท์พุทจากวงจรรวมเชิงเส้นแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

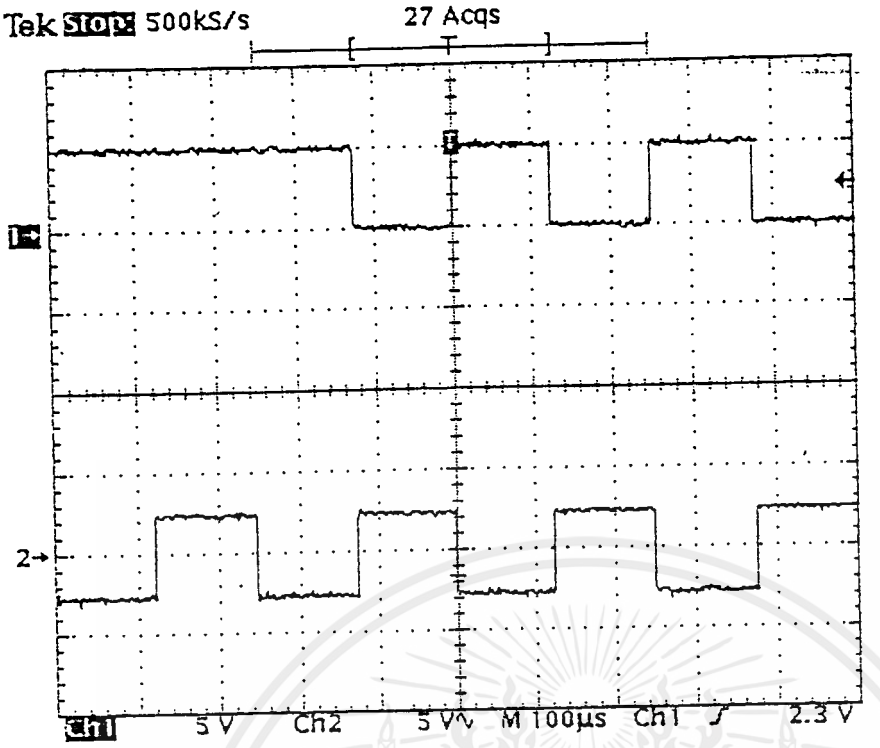


รูปที่ 4.5 แสดงการกำหนดสัญญาณนาฬิกาของ ADC0804

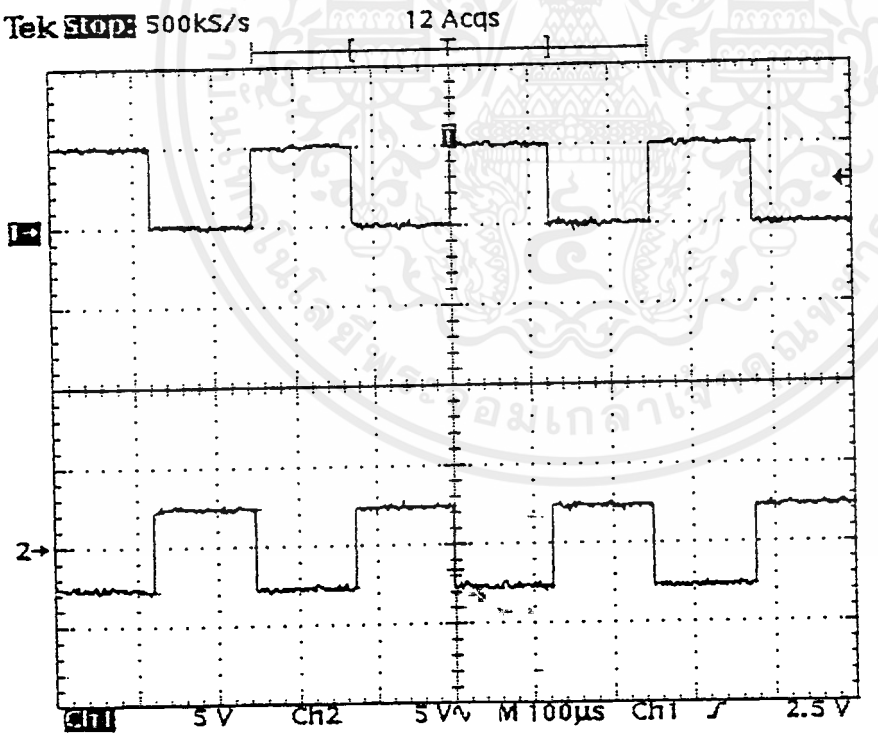


รูปที่ 4.6 สัญญาณอินเตอร์รัพท์ของ ADC0804

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

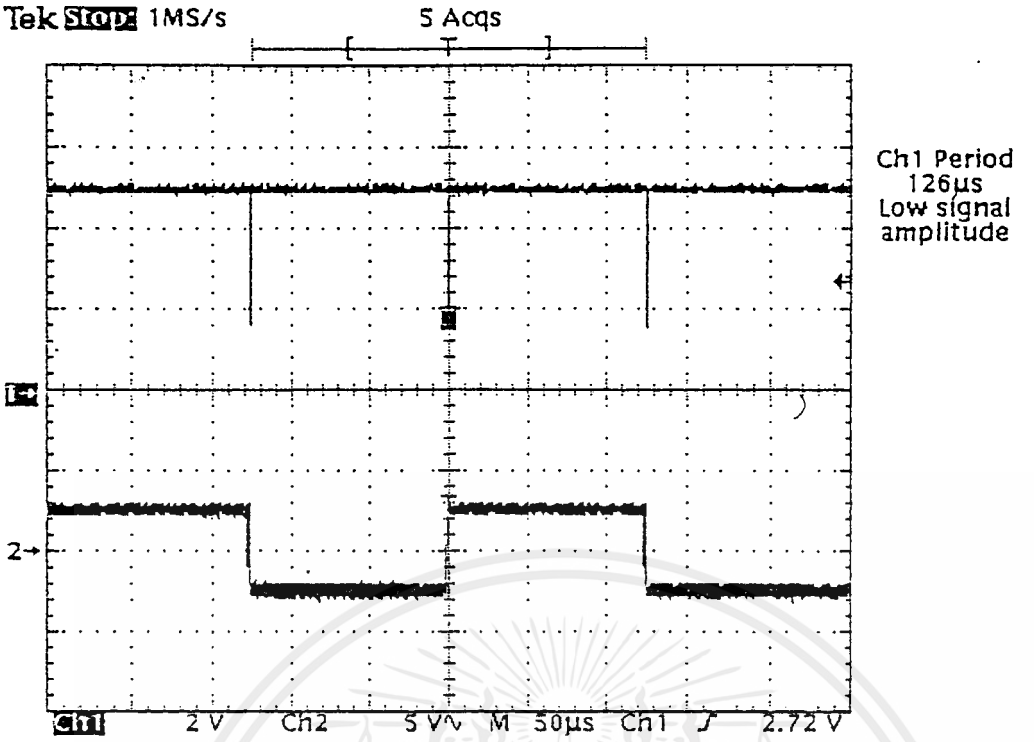


รูปที่ 4.7 เอาท์พุทของ ADC0804

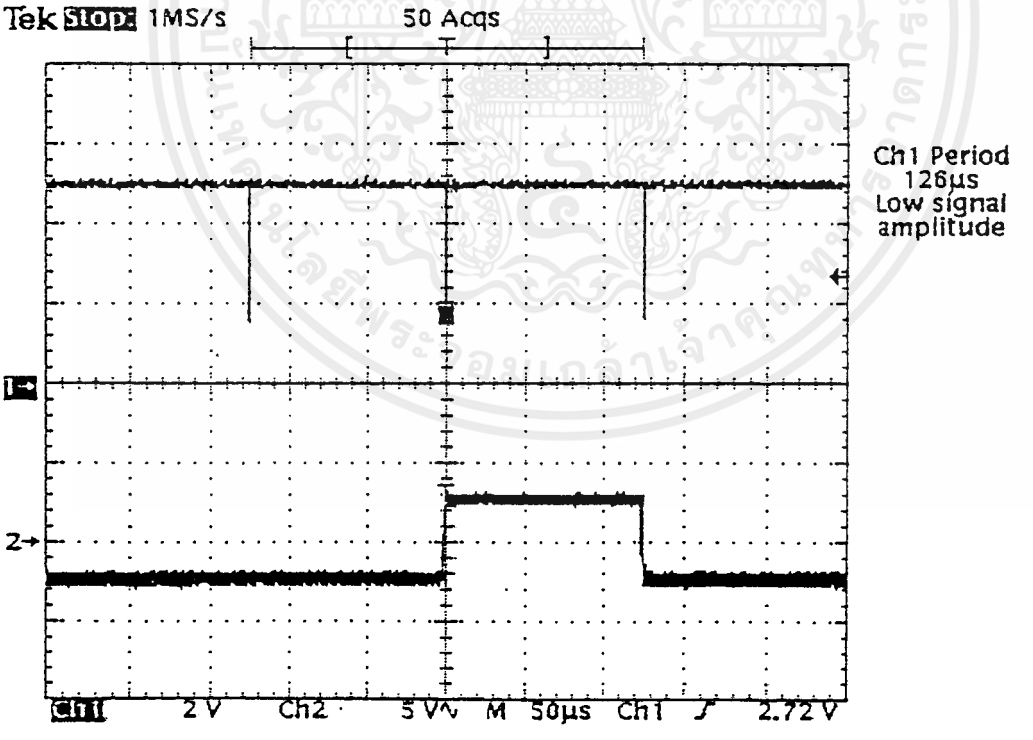


รูปที่ 4.8 เอาท์พุทของ ADC0804

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 เอาท์พุทที่ได้เมื่อมีการเปลี่ยนสถานะของอินเตอร์รัพท์

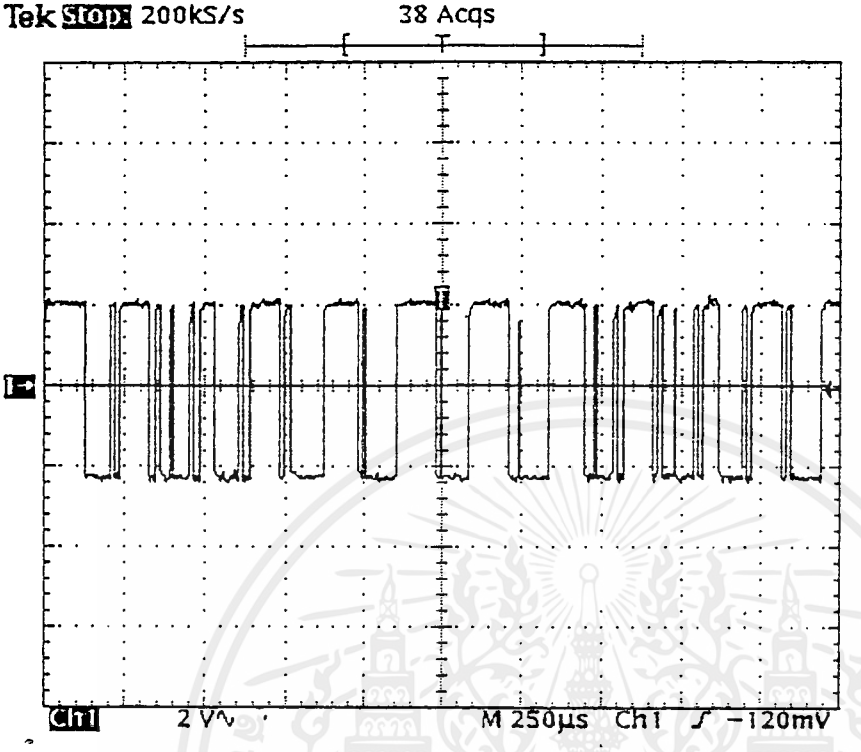


รูปที่ 4.10 เอาท์พุทที่ได้เมื่อมีการเปลี่ยนสถานะของอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรเข้าขนานออกอนุกรม

นำสัญญาณที่ได้จากวงจรอนาล็อกทูดิจิตอลซึ่งมีสัญญาณข้อมูลเป็นแบบขนาน 8 บิตเมื่อผ่านวงจรขนานออกอนุกรมแล้วจะได้ผลดังรูปที่ 4.11

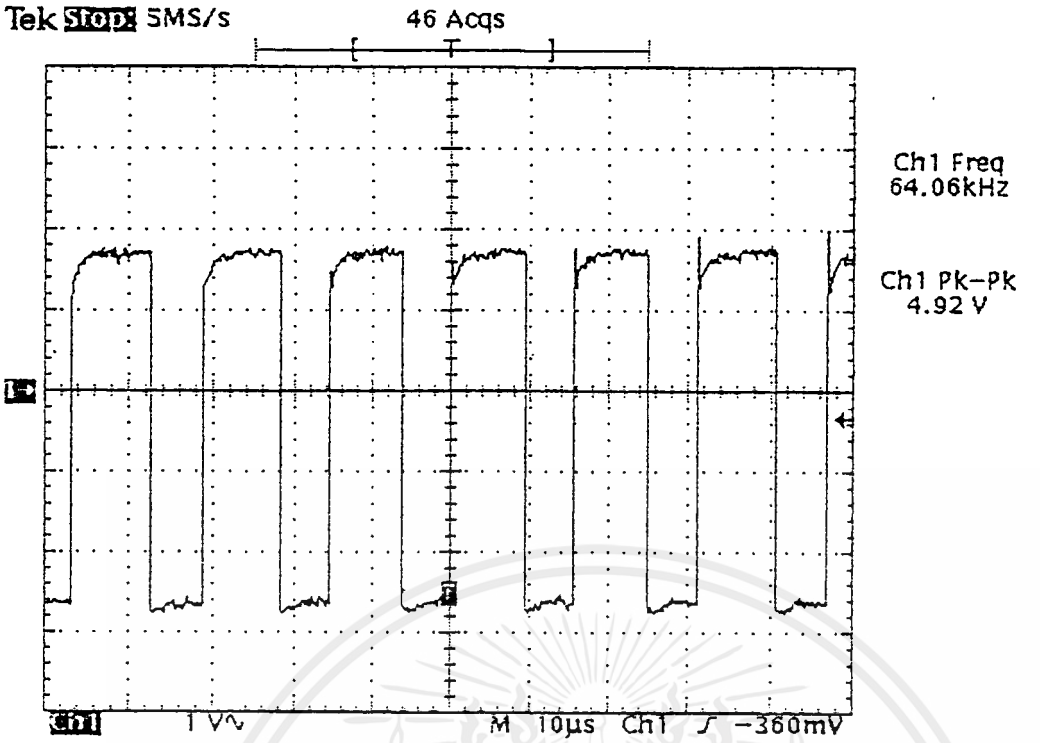


รูปที่ 4.11 เอาท์พุทที่ได้จากวงจรเข้าขนานออกอนุกรม

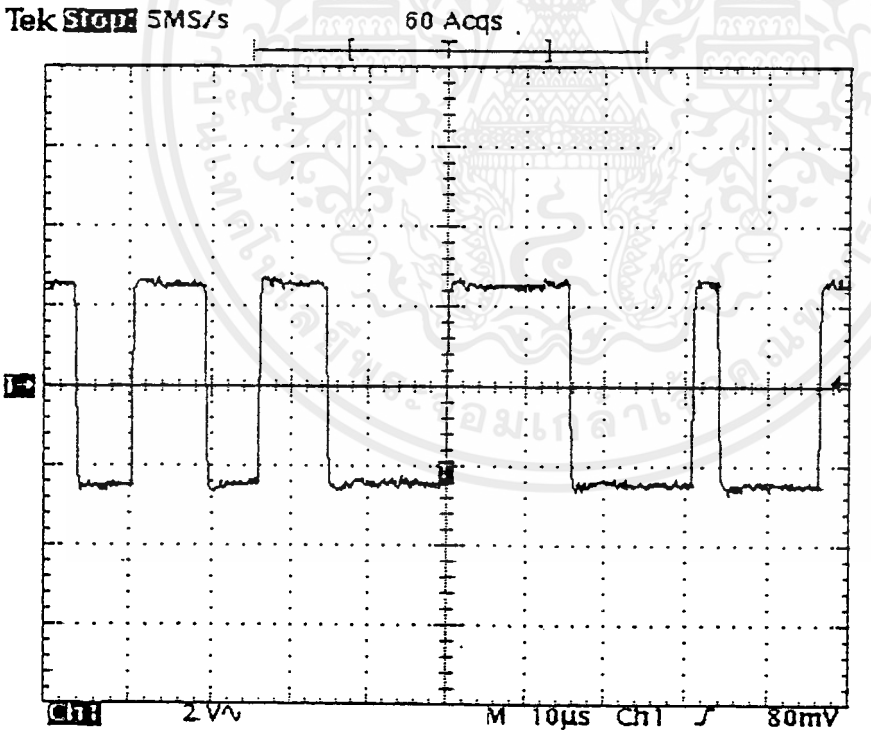
4.5 วงจรเข้ารหัสแบบแมนเชสเตอร์

เมื่อนำสัญญาณที่ได้จากวงจรเข้าขนานออกอนุกรมมาผ่านเอ็กซ์คลูซีฟออร์เกตกับสัญญาณนาฬิกาซึ่งมีความถี่ 64 กิโลเฮิรตซ์ จะได้ผลดังรูป 4.12 และ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 สัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์

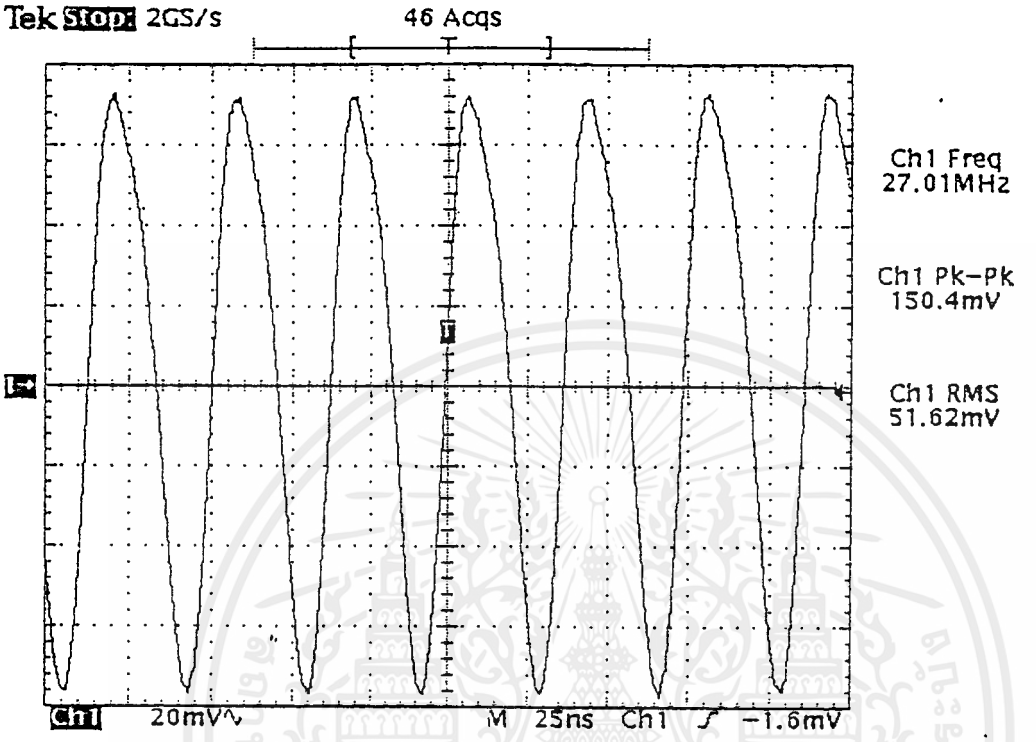


รูปที่ 4.13 สัญญาณที่ผ่านการเข้ารหัสแบบแมนเชสเตอร์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

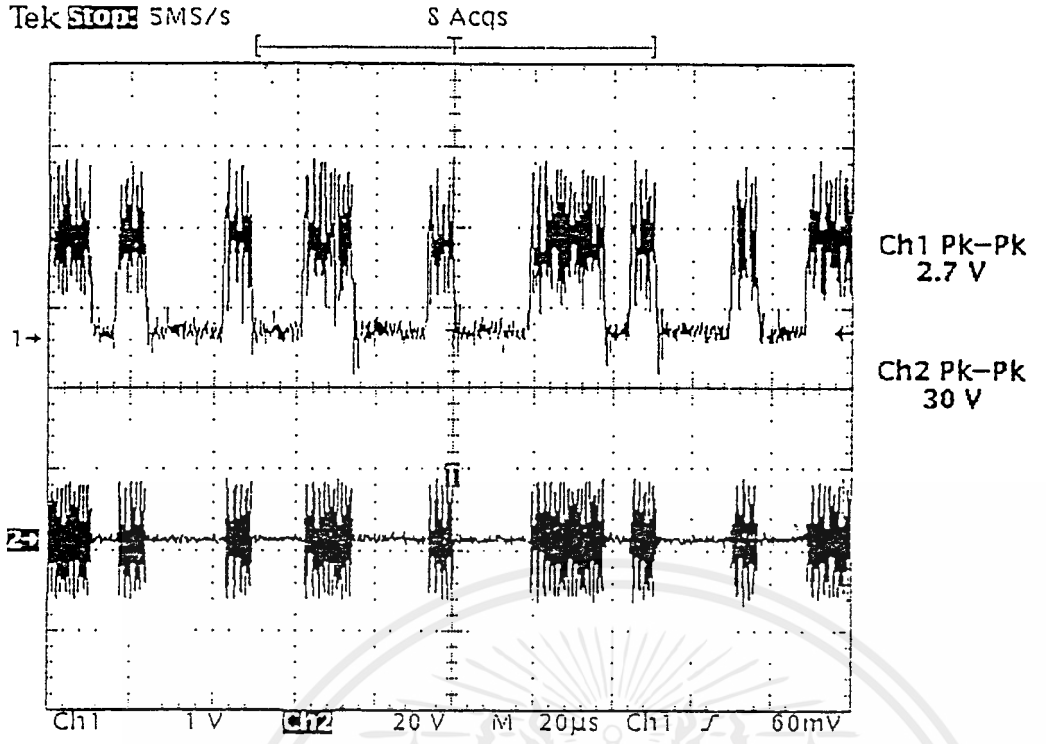
4.6 วงจรมอดูเลเตอร์

นำสัญญาณที่ผ่านการเข้ารหัสมาแล้ว ทำการมอดูเลตกับสัญญาณคลื่นพาหะความถี่ 27 เมกะเฮิรตซ์ ดังแสดงรูปที่ 4.14 และได้ผลดังรูปที่ 4.15



รูปที่ 4.14 สัญญาณคลื่นพาหะความถี่ 27 เมกะเฮิรตซ์

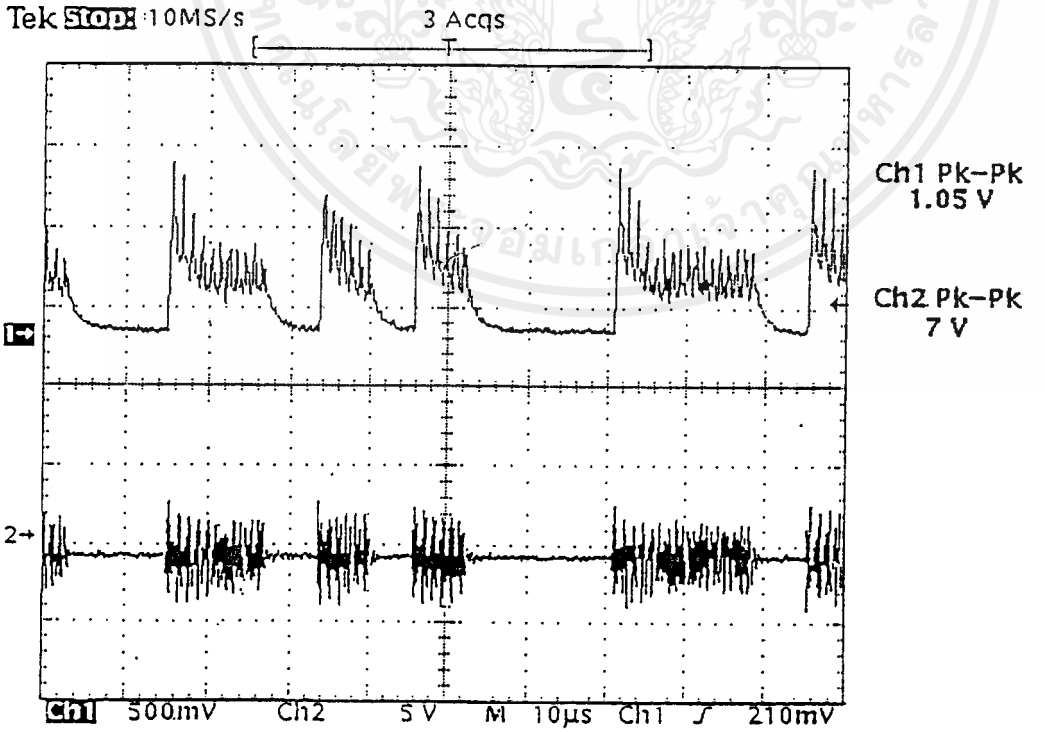
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สัญญาณที่ผ่านการเข้ารหัสเปรียบเทียบกับสัญญาณที่ผ่านการมอดูเลตและขยายกำลังแล้ว

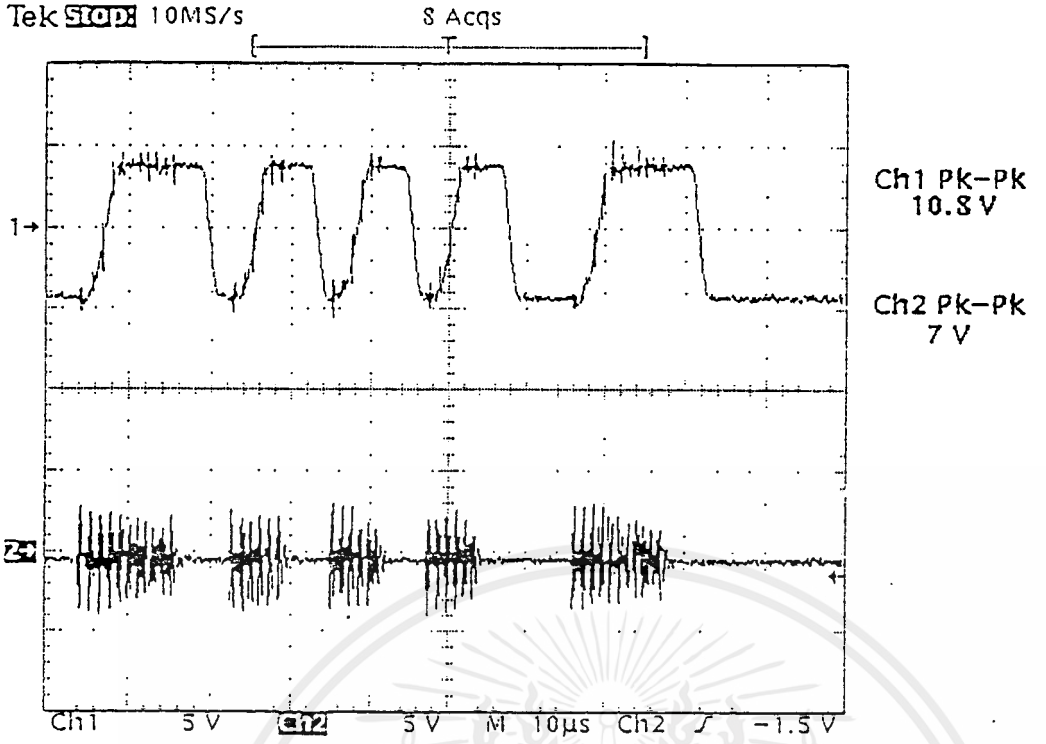
4.7 ไดโอดดีเทคเตอร์

ทางด้านภาครับ สัญญาณที่รับได้จะผ่านการขยายสัญญาณและผ่านภาคไดโอดดีเทคเตอร์เพื่อให้ได้กรอบของสัญญาณข้อมูลเดิมกลับมา ดังรูปที่ 4.16 และ 4.17



รูปที่ 4.16 สัญญาณเอาท์พุทจากไดโอดดีเทคเตอร์เปรียบเทียบกับสัญญาณที่รับได้

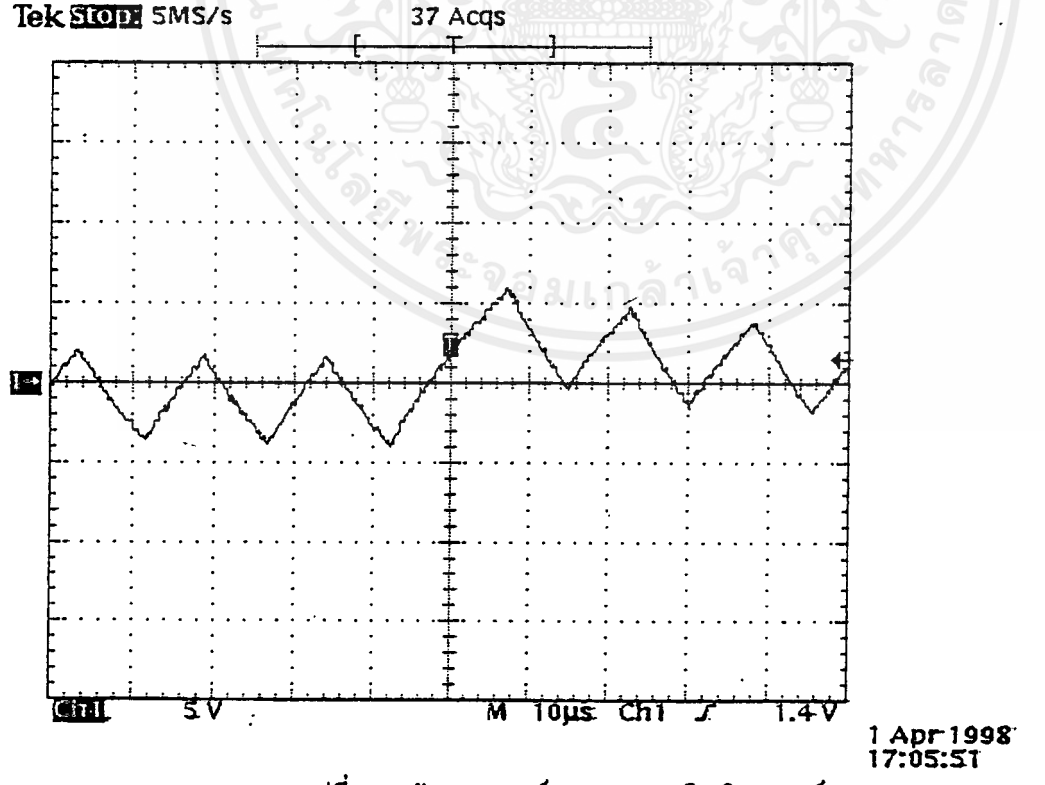
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 สัญญาณที่ผ่านวงจรเปรียบเทียบแรงดันเปรียบเทียบกับสัญญาณที่รับได้

4.8 วงจรอินทิเกรเตอร์

เมื่อทำการป้อนสัญญาณรหัสแมนเชสเตอร์ผ่านวงจรอินทิเกรเตอร์จะได้ผลแสดงดังรูปที่ 4.18

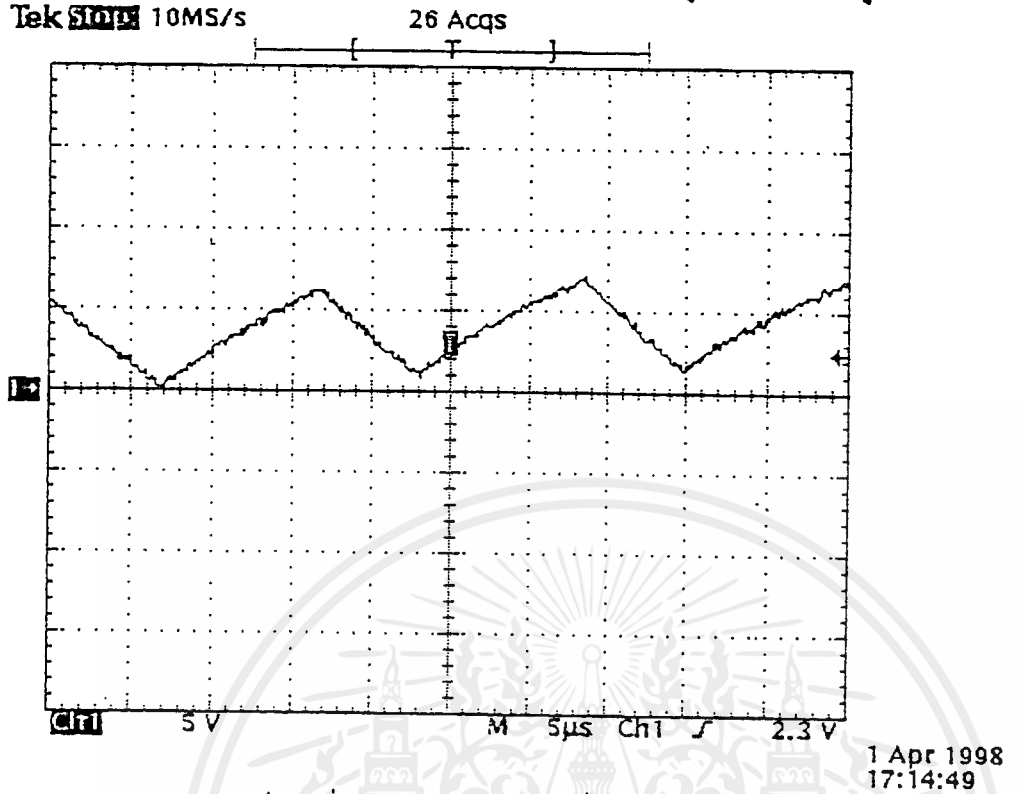


รูปที่ 4.18 สัญญาณเอาท์พุทจากวงจรอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 วงจรค่าสัมบูรณ์

นำสัญญาณที่ได้จากวงจรอินทิเกรเตอร์ผ่านวงจรค่าสัมบูรณ์ จะได้ผลดังรูปที่ 4.19



รูปที่ 4.19 สัญญาณเอาท์พุทที่ได้จากวงจรค่าสัมบูรณ์

4.10 วงจรดิฟเฟอร์เรนชิเอเตอร์

นำสัญญาณเอาท์พุทจากวงจรค่าสัมบูรณ์ผ่านวงจรดิฟเฟอร์เรนชิเอเตอร์ จะได้เอาท์พุทดังรูปที่ 4.20

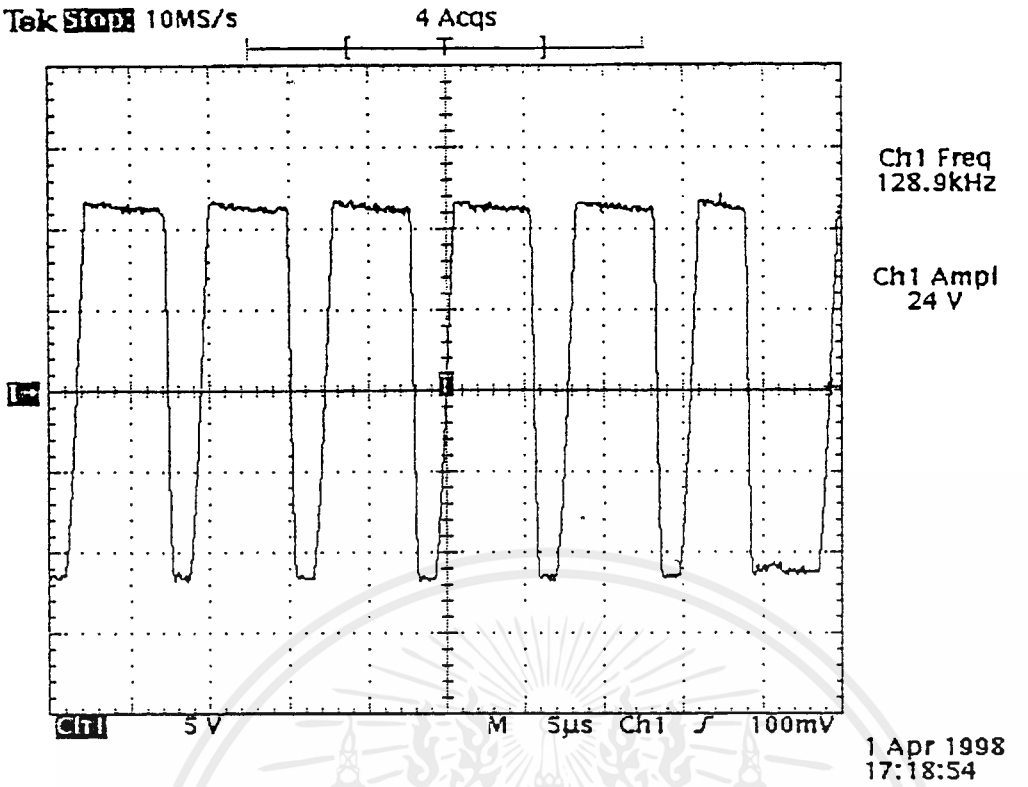
4.11 วงจรออดรหัสแบบแมนเชสเตอร์

นำสัญญาณเอาท์พุทจากวงจรเปรียบเทียบสัญญาณและสัญญาณเอาท์พุทจากวงจรดิฟเฟอร์เรน-ชิเอเตอร์ ไปผ่านเอกซ์คลูซีฟออร์เกท จะได้ผลดังรูปที่ 4.21

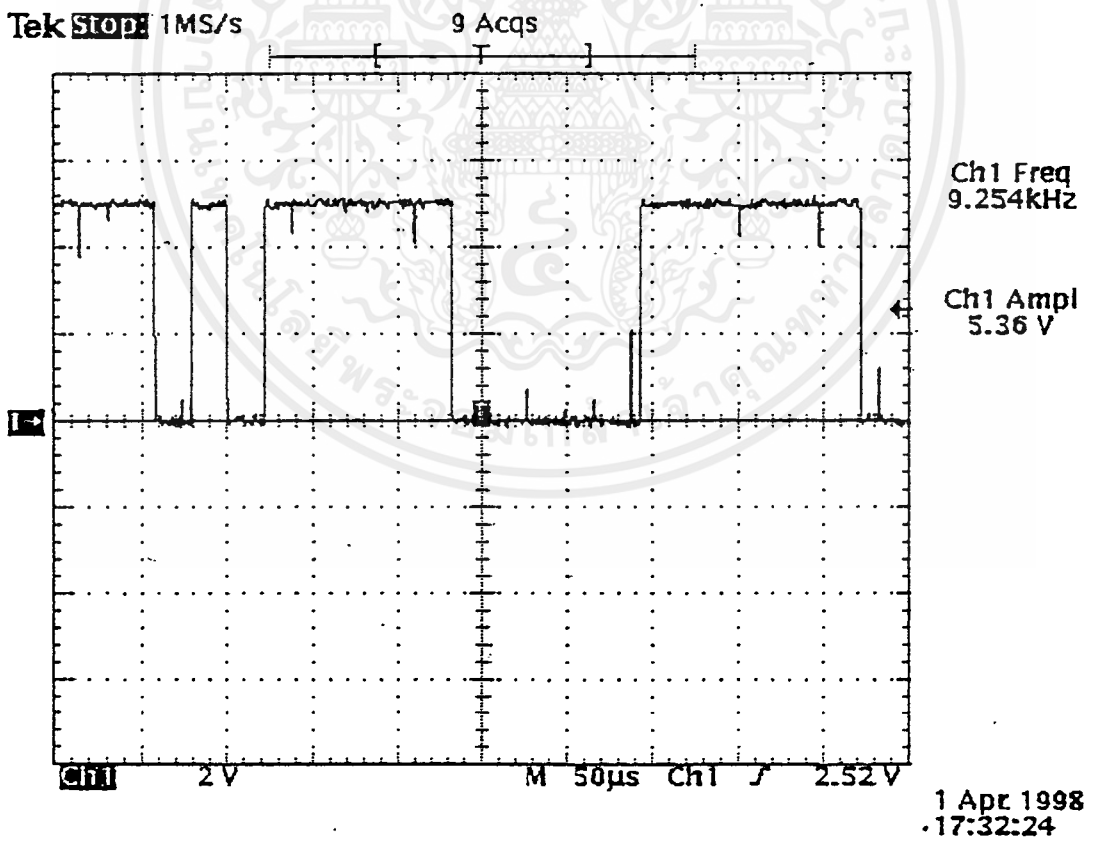
4.12 ไมโครคอนโทรลเลอร์

สัญญาณจากไมโครคอนโทรลเลอร์จะไปทำการควบคุมฟลิปฟลอป ไมโครคอนโทรลเลอร์ เป็นตัวควบคุมโดยปกติจะมีสถานะเป็น "Low" แต่เมื่อไมโครคอนโทรลเลอร์ทำการจัดการข้อมูลเรียบร้อยแล้วก็จะเปลี่ยนเป็นสถานะ "High" ชั่วขณะสั้นๆ เท่านั้น ผลการทดลอง ดังแสดงในรูป 4.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

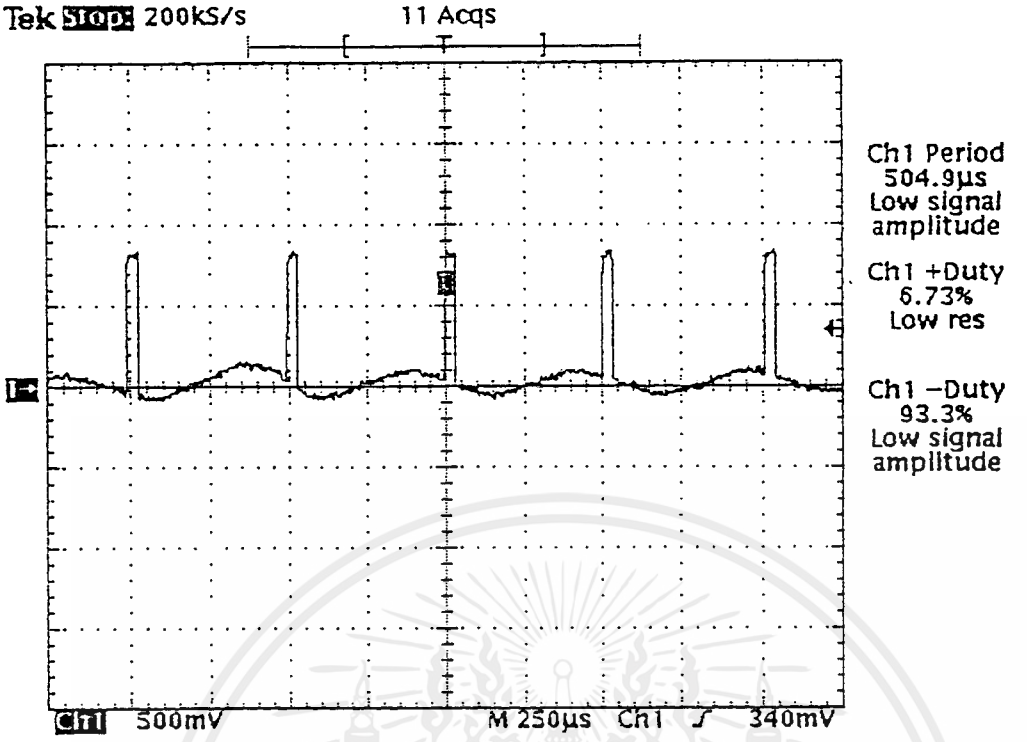


รูปที่ 4.20 สัญญาณเอาท์พุทที่ได้จากวงจรดิฟเฟอร์เรนชิเอเตอร์



รูปที่ 4.21 แสดงสัญญาณที่เอาท์พุทของวงจรถอดรหัสแมนเชสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

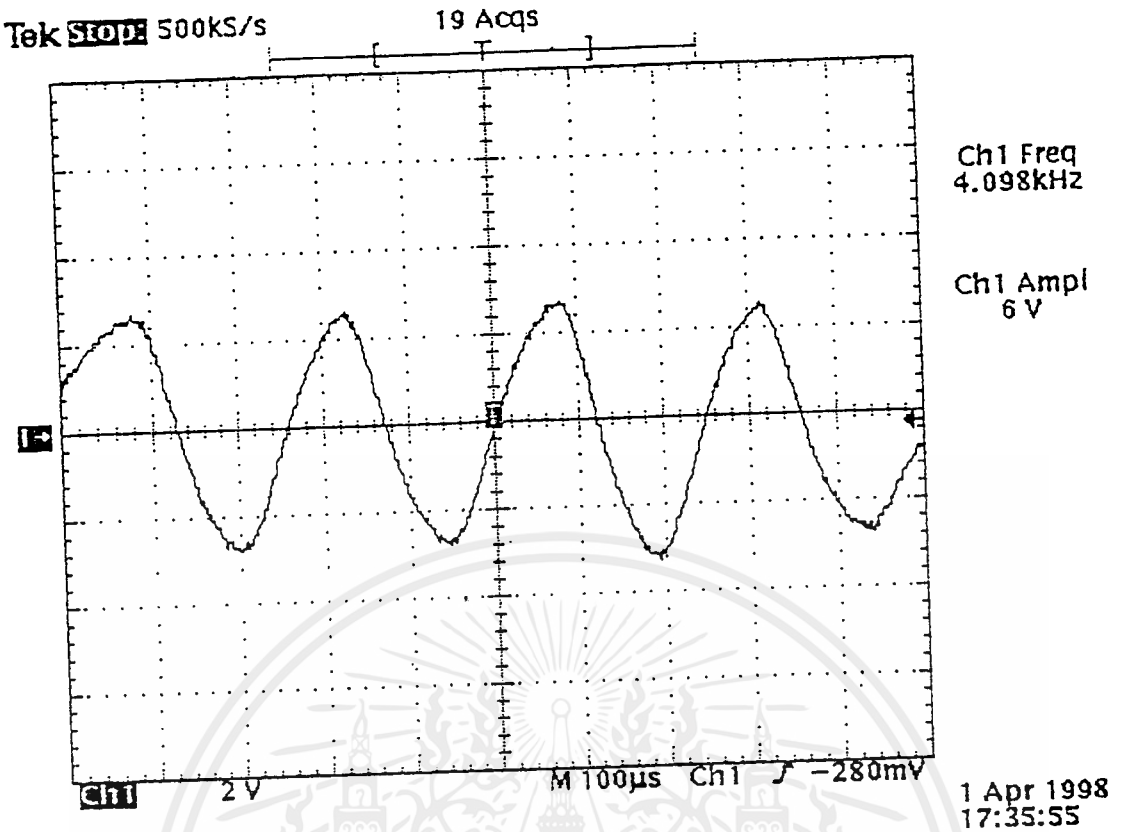


รูปที่ 4.22 สัญญาณควบคุมการทำงานของ D-FLIP FLOP

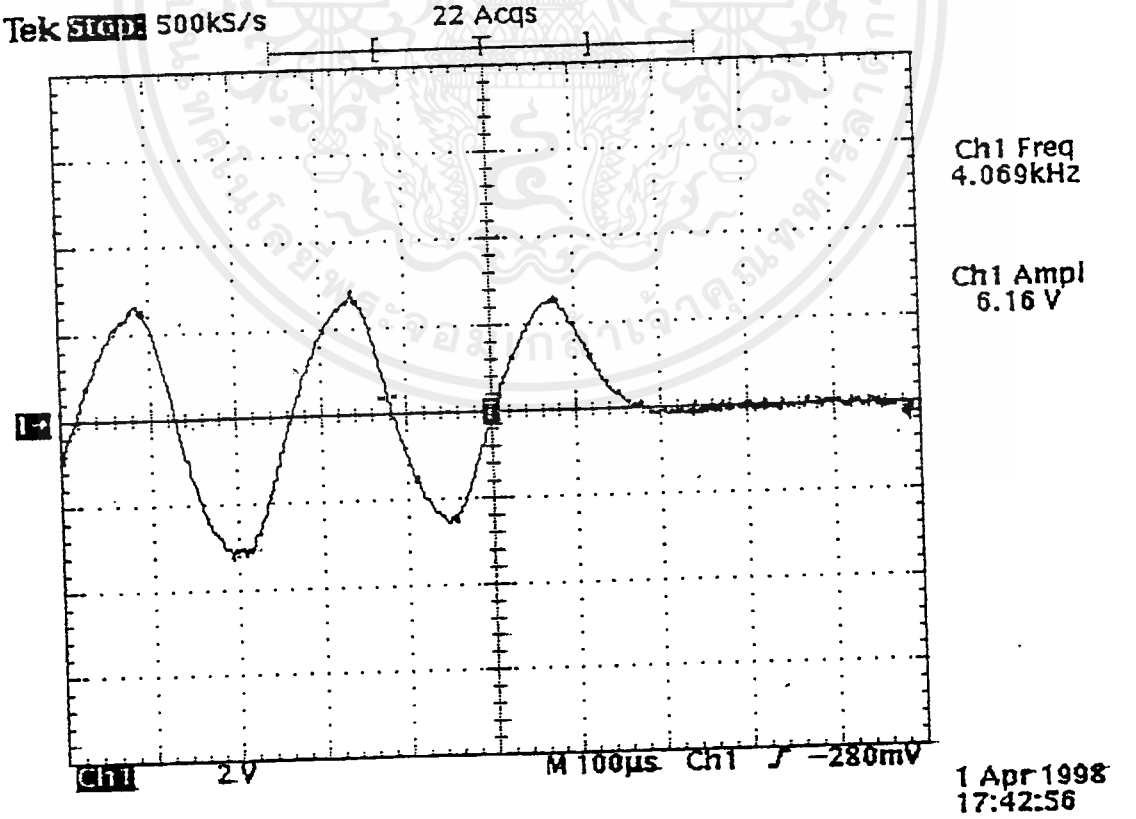
4.13 วงจรดิจิตอลทูอนาล็อก

ทำการวัดสัญญาณเอาท์พุทที่วงจรดิจิตอลทูอนาล็อก จะได้ผลดังรูปที่ 4.23 และ 4.24 พบว่าสัญญาณที่ได้ใกล้เคียงกับสัญญาณทางด้านส่ง แต่บางช่วงเวลาอาจมีรูปสัญญาณผิดเพี้ยนไปบ้าง (เช่นในรูปที่ 4.24)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 สัญญาณเอาท์พุทจากวงจรอนาล็อกทูดิจิตอล



รูปที่ 4.24 สัญญาณเอาท์พุทจากวงจรอนาล็อกทูดิจิตอลที่ผิดเพี้ยนไปในบางช่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและบทวิจารณ์

โครงงาน " ระบบกระจายเสียงแบบดิจิตอล " สามารถรับส่งสัญญาณเสียงได้เป็นที่น่าพอใจ โดยมีข้อดีที่การเข้ารหัสและถอดรหัสสามารถทำได้อย่างง่ายดาย ด้วยวงจรที่ไม่ซับซ้อน และการนำสัญญาณนาฬิกาตัวเดิมหรือตัวเดียวกับภาคส่ง สามารถนำกลับมาโดยอาศัยวงจรคล็อกรีคัฟเวอร์รี แต่วงจรนี้ก็ยังมีข้อเสียอยู่ คือ ในส่วนของวงจรคล็อกรีคัฟเวอร์รีนั้น สัญญาณนาฬิกาที่สร้างกลับคืนมามีความไม่เสถียร ทำให้ในบางช่วงเวลาสัญญาณเอาท์พุทที่ได้มีลักษณะผิดเพี้ยนไปบ้าง ดังจะเห็นได้จากผลการทดลองในบทที่ 4 ในรูปที่ 4.23 เปรียบเทียบกับรูปที่ 4.24 จะเห็นว่ารูปสัญญาณมีความใกล้เคียงกับทางด้านส่ง แต่ผิดเพี้ยนบ้างในบางช่วงเวลาดังได้กล่าวไปแล้ว สำหรับระยะทางในการส่งนั้น สามารถส่งได้ระยะทางไกลเพียง 5-10 เมตร เท่านั้น อีกทั้งคุณภาพเสียงก็ยังไม่ดีนัก เพราะอัตราการสุ่มยังต่ำ คือ เพียง 8 kHz เท่านั้นเนื่องจากข้อจำกัดของอัตราการส่งข้อมูล อันมีผลกับแบนด์วิทธ์ที่ต้องใช้ในการส่งออกอากาศที่เพิ่มขึ้น เพราะการส่งแบบดิจิตอลนั้นต้องการแบนด์วิทธ์กว้างกว่าการส่งแบบอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ

- ผศ.นิภา ลีลารุจิ
- รศ.ณรงค์ เหมกรณ์
- ดร.ปัญญา ฐิติมัชฌิมา
- อ.นภัทร สระเอี่ยม
- ดร.ปราโมทย์ วาคเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

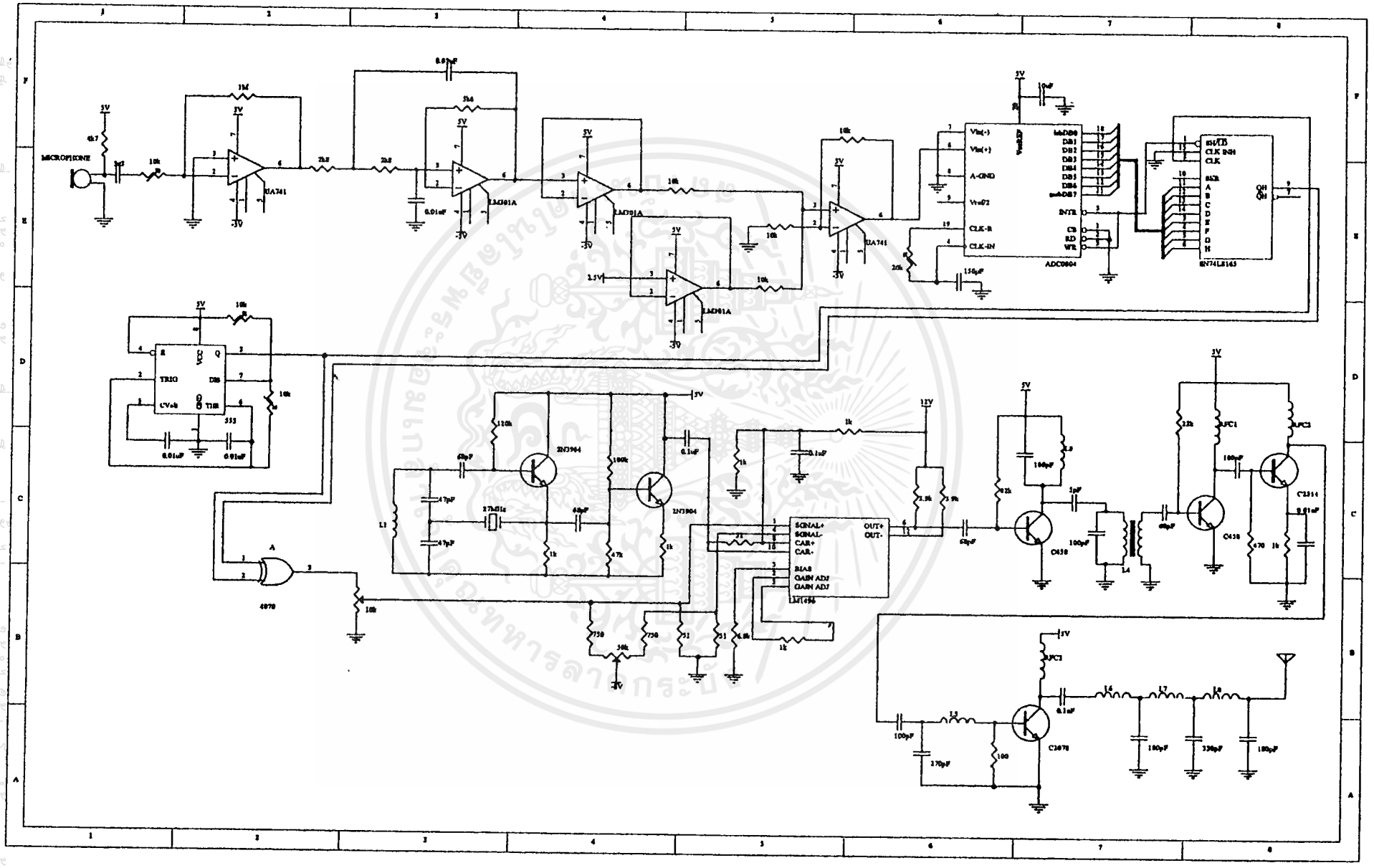
หนังสืออ้างอิง

1. Robert F. Coughlin , "Operational Amplifiers and Linear Intergrated Circuits" , Prentice-Hall Inc., 1987
2. ผศ.สมยศ จุฌณะปิยะ, " การใช้งานไมโครคอนโทรลเลอร์ ตระกูล MCS-51" , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ,พ.ศ.2537
3. ปรเมษฐ์ ประนยานันทน์, "คู่มือการประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ MCS-51",กรุงเทพฯ, บริษัทซีเอ็ดยูเคชันจำกัด
4. คณะผู้จัดทำแผนกหนังสือพิเศษด้านอิเล็กทรอนิคส์, " รวมบทความ ทฤษฎีและการประยุกต์ใช้งาน อุปกรณ์อิเล็กทรอนิคส์ " , กรุงเทพฯ ,ซีเอ็ดยูเคชันจำกัด ,พ.ศ.2538
5. National Semiconductor, " National Data Acquisition Databook" , 1995
6. Wayne Tomasi , "Advanced Electronic Communications Systems" , Prentice-Hall Inc. , 1992
7. Don Lancaster , "Active Filter Cookbook" , Howard W. Sams & Company (A Division of Macmillan,Inc.), 1989

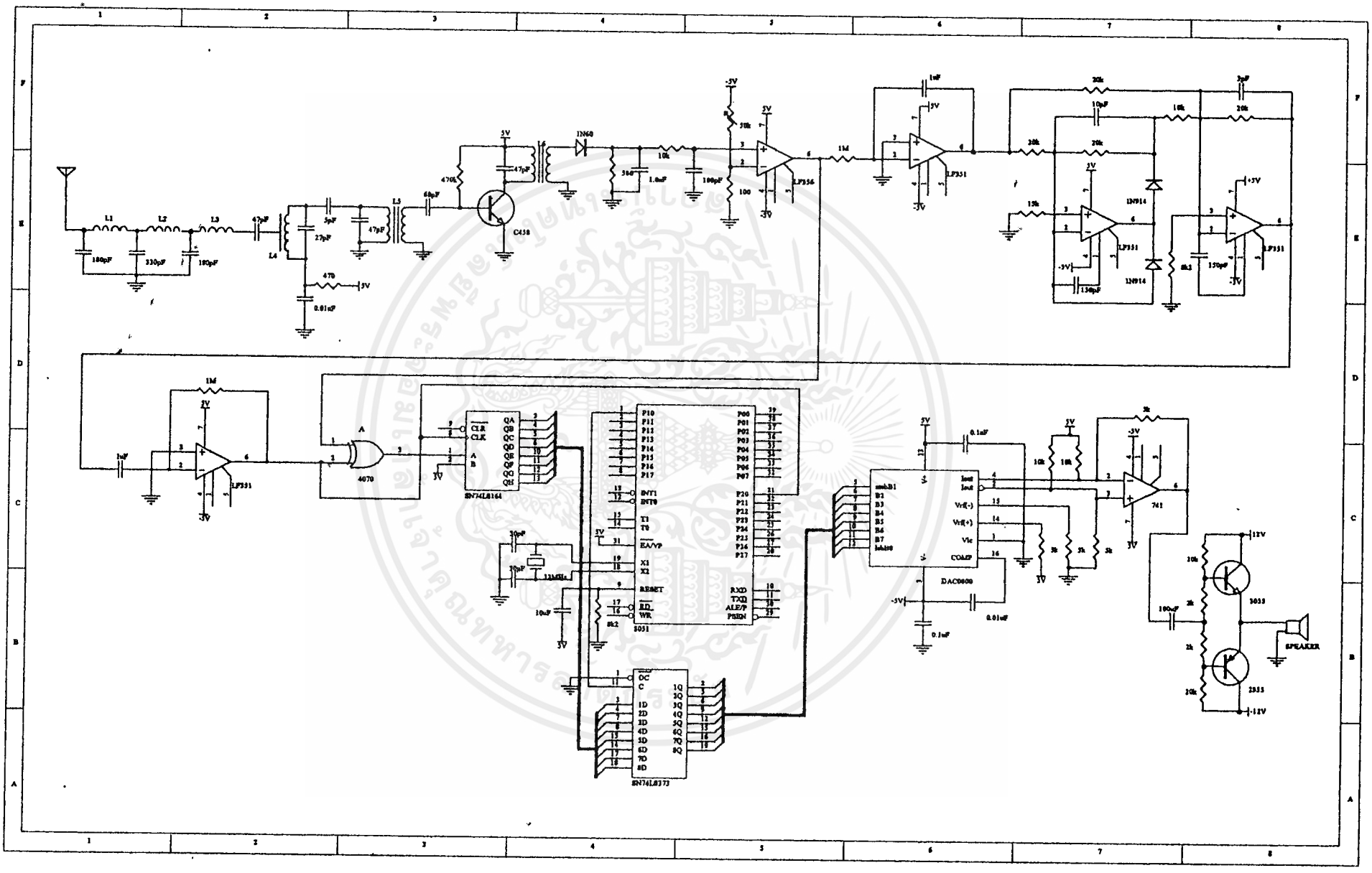
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวกที่ 1 วงจรรวมทั้งหมดของภาคส่ง



ภาคผนวกที่ 2 วงจรรวมทั้งหมดของภาครับ

```
ORG 0000H
START:          MOV 20H,P2
                MOV C,00H
                JC LOOP
                SJMP START
LOOP:           LCALL SSS
                MOV P1,#11111111B
                SJMP START
ABC:            MOV 20H,P2
                MOV C,00H
                JNC DEF
                SJMP ABC
SSS:            MOV R0,#00001111B
GHT:            DJNZ R0,ABC
                RET
DEF:            DJNZ R0,START_2
START_2:        MOV 20H,P2
                MOV C,00H
                JC GHT
                SJMP START_2
END
```

ภาคผนวกที่ 3 โปรแกรมสำหรับไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวกที่ 4 ดาต้าชีท IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

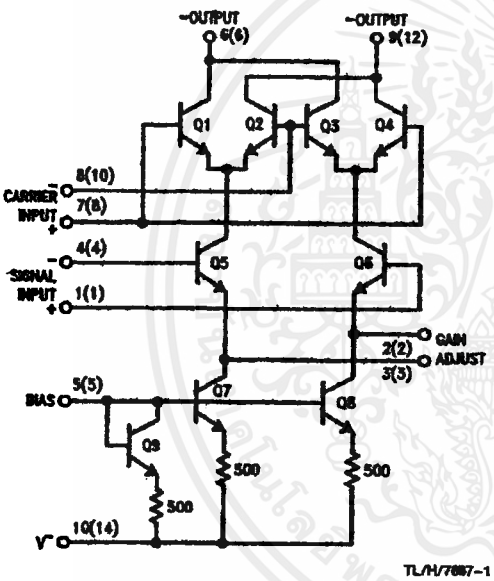
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

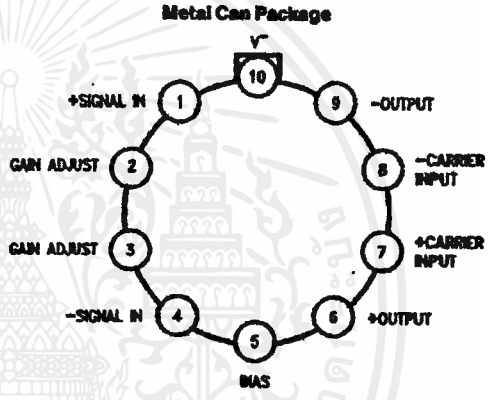
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



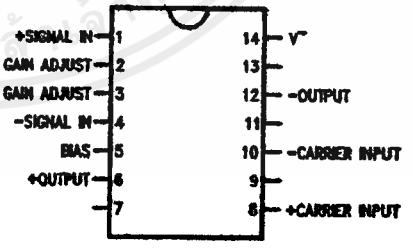
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

© 1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5+I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f= 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_6 + I_9)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

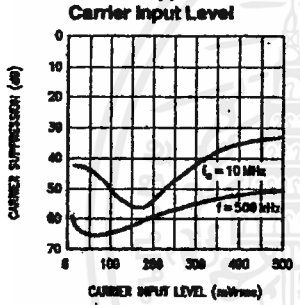
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 8-6, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

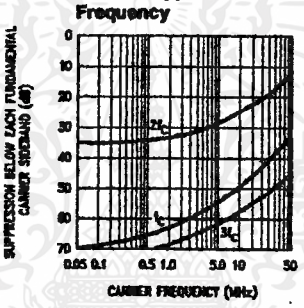
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

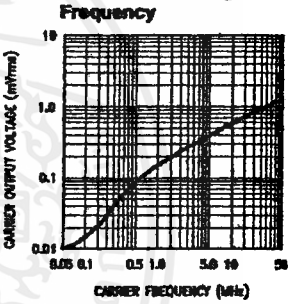
Carrier Suppression vs Carrier Input Level



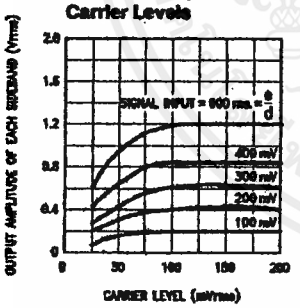
Carrier Suppression vs Frequency



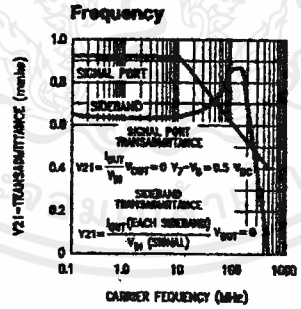
Carrier Feedthrough vs Frequency



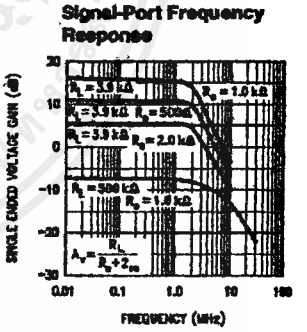
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittance vs Frequency



Signal-Port Frequency Response

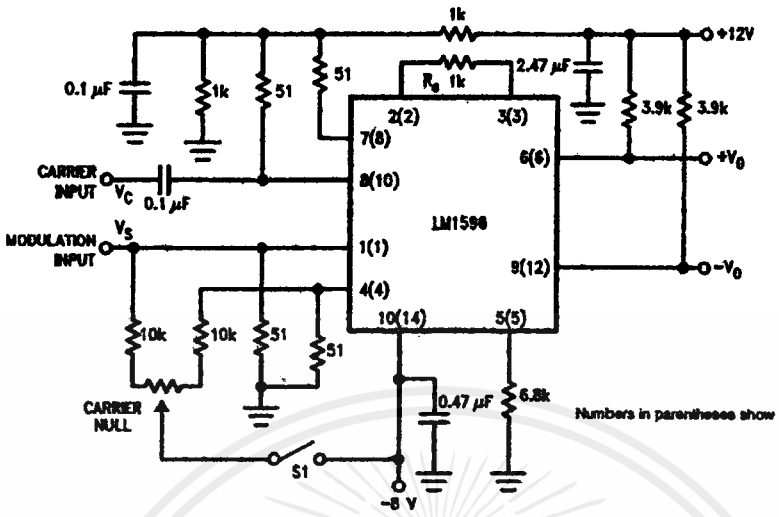


TL/H/7887–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

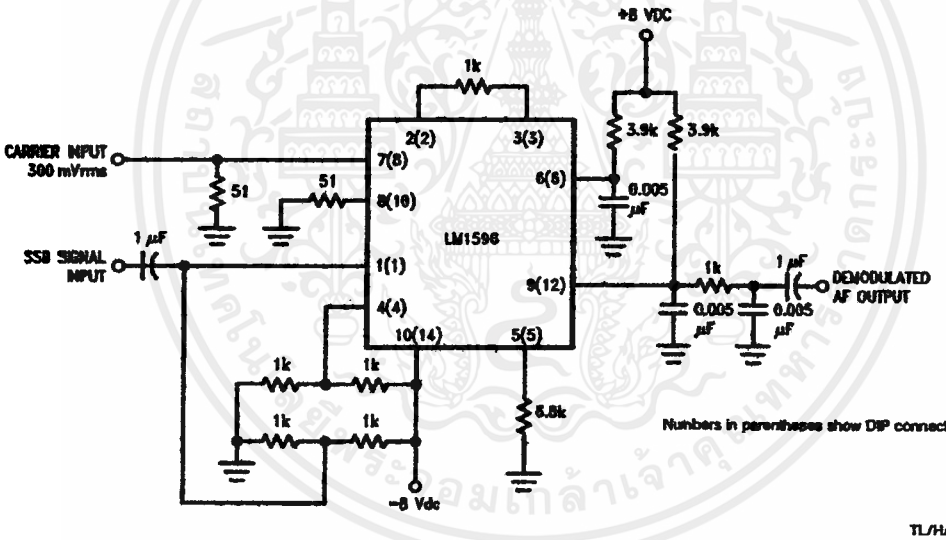


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

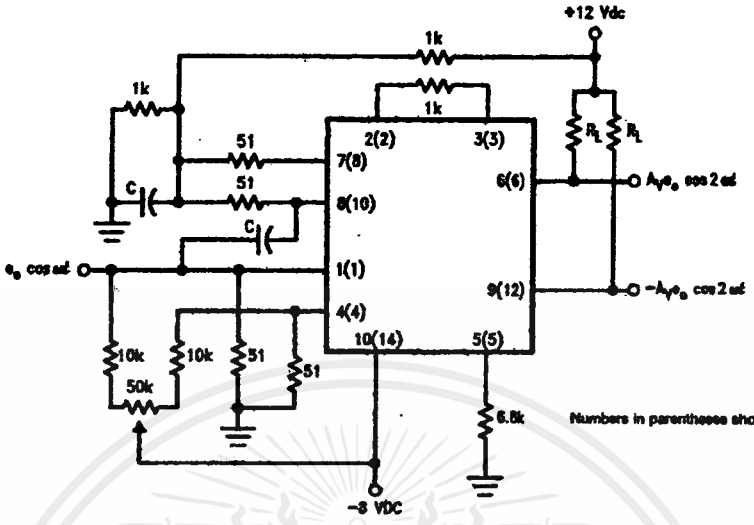
TL/H/7887–5

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



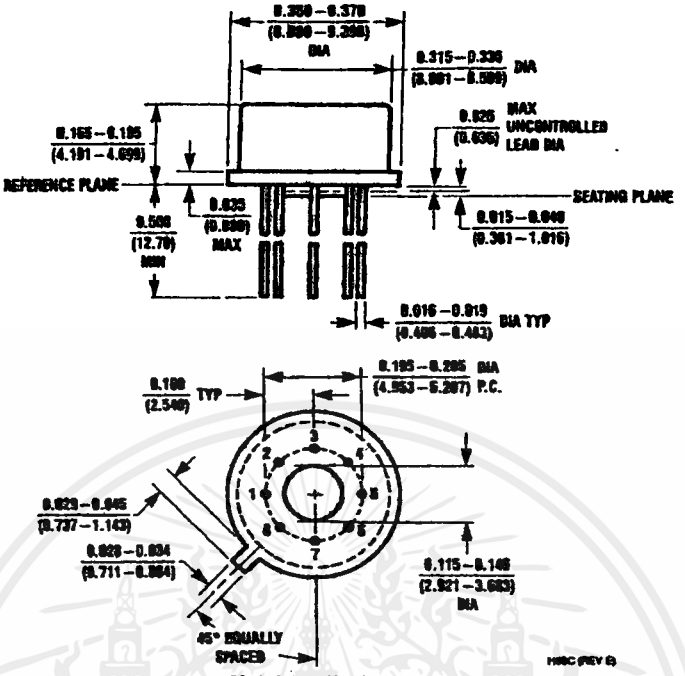
Numbers in parentheses show DIP connections.

TL/H/7867–7

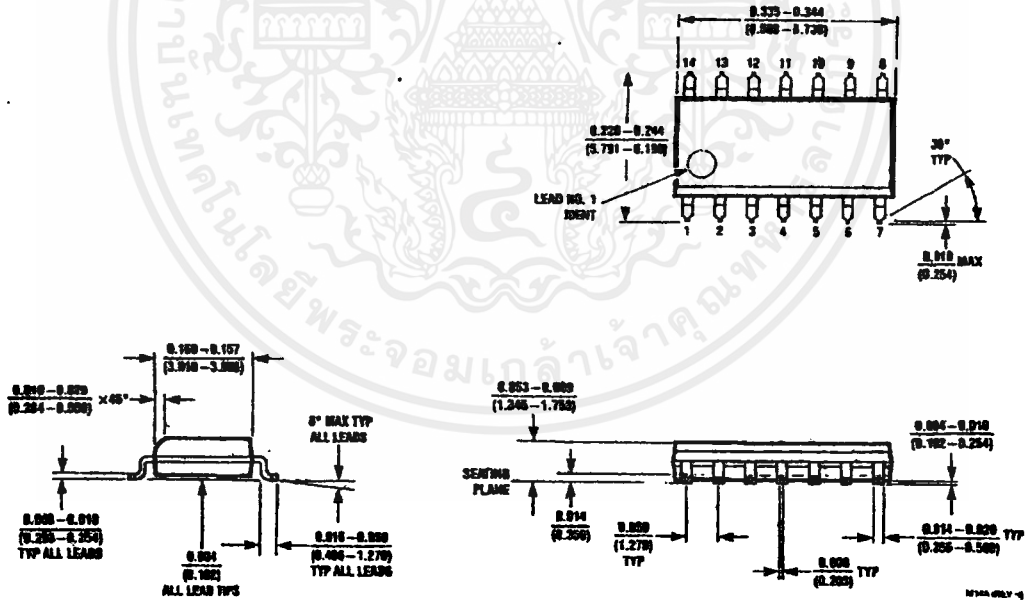
The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



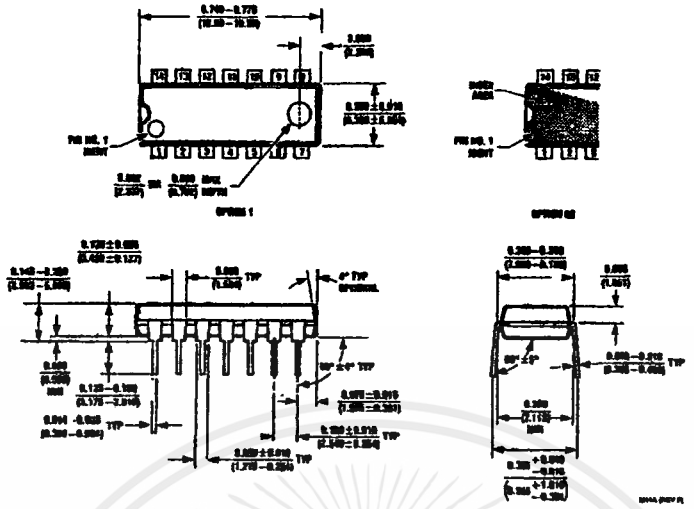
Metal Can Package (H)
Order Number LM1496H or LM1596H
NS Package Number H08C



Molded Small Outline Package (M)
Order Number LM1496M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LM1496N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expanded to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

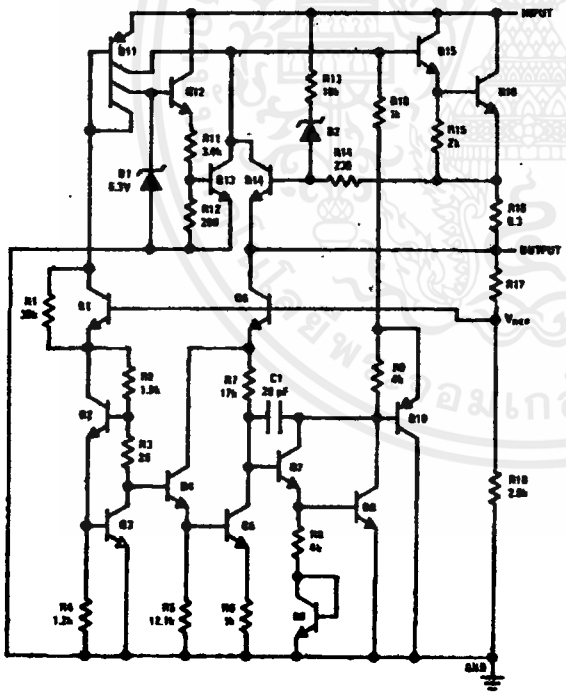
Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams



TL/H/7746–1

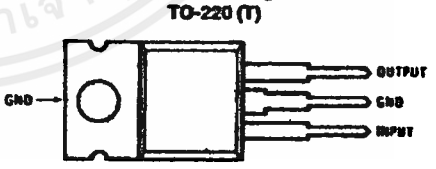
Metal Can Package
TO-3 (K)
Aluminum

TL/H/7746–2

Bottom View

Order Number LM7805CK, LM7812CK or LM7815CK
See NS Package Number KC02A

Plastic Package
TO-220 (T)



TL/H/7746–3

Top View

Order Number LM7805CT, LM7812CT or LM7815CT
See NS Package Number T03B

© 1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Input Voltage (V_O = 5V, 12V and 15V)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to +70°C
Maximum Junction Temperature	
(K Package)	150°C
(T Package)	150°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2) 0°C ≤ Tj ≤ 125°C unless otherwise noted.

Output Voltage				5V			12V			15V			Units
Input Voltage (unless otherwise noted)				10V			19V			23V			
Symbol	Parameter	Conditions		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	Tj = 25°C, 5 mA ≤ I_O ≤ 1A		4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
		P_D ≤ 15W, 5 mA ≤ I_O ≤ 1A		4.75		5.25	11.4		12.6	14.25		15.75	V
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(7.5 ≤ V_{IN} ≤ 20)			(14.5 ≤ V_{IN} ≤ 27)			(17.5 ≤ V_{IN} ≤ 30)			V
ΔV_O	Line Regulation	I_O = 500 mA	Tj = 25°C		3	50		4	120		4	150	mV
			ΔV_{IN}	(7 ≤ V_{IN} ≤ 25)			14.5 ≤ V_{IN} ≤ 30)			(17.5 ≤ V_{IN} ≤ 30)			V
			0°C ≤ Tj ≤ +125°C			50			120			150	mV
			ΔV_{IN}	(8 ≤ V_{IN} ≤ 20)			(15 ≤ V_{IN} ≤ 27)			(18.5 ≤ V_{IN} ≤ 30)			V
		I_O ≤ 1A	Tj = 25°C			50			120			150	mV
			ΔV_{IN}	(7.5 ≤ V_{IN} ≤ 20)			(14.6 ≤ V_{IN} ≤ 27)			(17.7 ≤ V_{IN} ≤ 30)			V
			0°C ≤ Tj ≤ +125°C			25			60			75	mV
			ΔV_{IN}	(8 ≤ V_{IN} ≤ 12)			(16 ≤ V_{IN} ≤ 22)			(20 ≤ V_{IN} ≤ 26)			V
ΔV_O	Load Regulation	Tj = 25°C	5 mA ≤ I_O ≤ 1.5A		10	50		12	120		12	150	mV
			250 mA ≤ I_O ≤ 750 mA			25			60			75	mV
		5 mA ≤ I_O ≤ 1A, 0°C ≤ Tj ≤ +125°C				50			120			150	mV
I_Q	Quiescent Current	I_O ≤ 1A	Tj = 25°C			8			8			8	mA
			0°C ≤ Tj ≤ +125°C			8.5			8.5			8.5	mA
ΔI_Q	Quiescent Current Change	5 mA ≤ I_O ≤ 1A				0.5			0.5			0.5	mA
		Tj = 25°C, I_O ≤ 1A				1.0			1.0			1.0	mA
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(7.5 ≤ V_{IN} ≤ 20)			(14.6 ≤ V_{IN} ≤ 27)			(17.9 ≤ V_{IN} ≤ 30)			V
		I_O ≤ 500 mA, 0°C ≤ Tj ≤ +125°C				1.0			1.0			1.0	mA
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(7 ≤ V_{IN} ≤ 25)			(14.5 ≤ V_{IN} ≤ 30)			(17.5 ≤ V_{IN} ≤ 30)			V
V_N	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 kHz			40			75			90		μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz	I_O ≤ 1A, Tj = 25°C or	62	80		55	72		54	70		dB
			I_O ≤ 500 mA	62			55			54			dB
			0°C ≤ Tj ≤ +125°C										
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(8 ≤ V_{IN} ≤ 18)			(15 ≤ V_{IN} ≤ 25)			(18.5 ≤ V_{IN} ≤ 28.5)			V
R_O	Dropout Voltage	Tj = 25°C, I_{OUT} = 1A			2.0			2.0			2.0		V
	Output Resistance	f = 1 kHz			8			18			19		mΩ
	Short-Circuit Current	Tj = 25°C			2.1			1.5			1.2		A
	Peak Output Current	Tj = 25°C			2.4			2.4			2.4		A
	Average TC of V_{OUT}	0°C ≤ Tj ≤ +125°C, I_O = 5 mA			0.6			1.5			1.8		mV/°C
V_{IN}	Input Voltage Required to Maintain Line Regulation	Tj = 25°C, I_O ≤ 1A			7.5		14.6			17.7			V

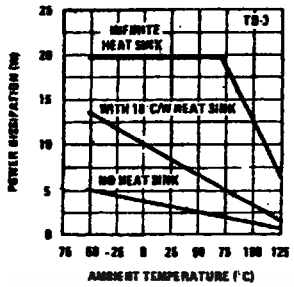
Note 1: Thermal resistance of the TO-3 package (K, KC) is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.

Note 2: All characteristics are measured with capacitor across the input of 0.22 μF, and a capacitor across the output of 0.1μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w ≤ 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

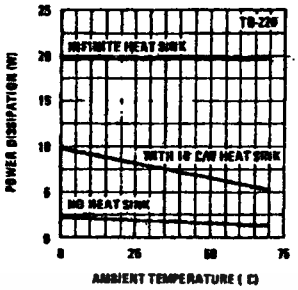
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

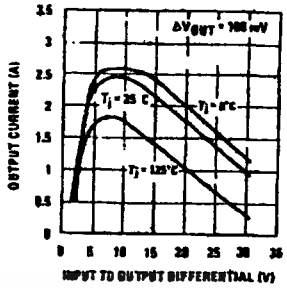
Maximum Average Power Dissipation



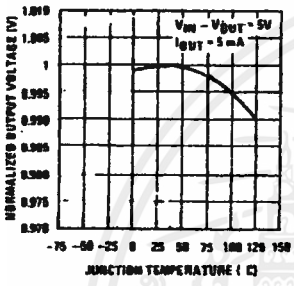
Maximum Average Power Dissipation



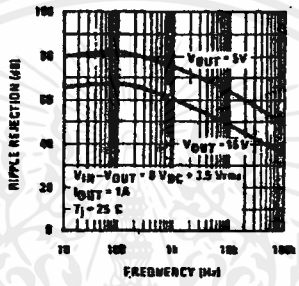
Peak Output Current



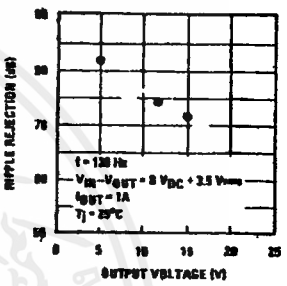
Output Voltage (Normalized to 1V at TJ = 25°C)



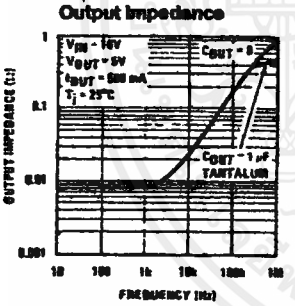
Ripple Rejection



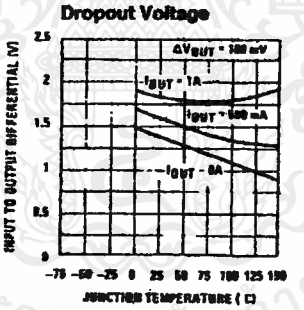
Ripple Rejection



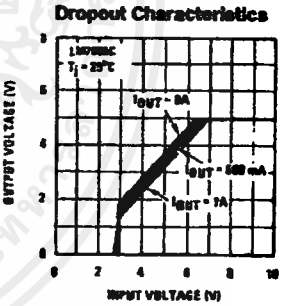
Output Impedance



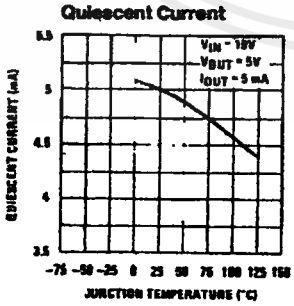
Dropout Voltage



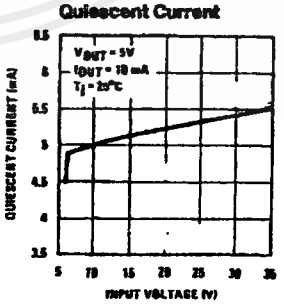
Dropout Characteristics



Quiescent Current



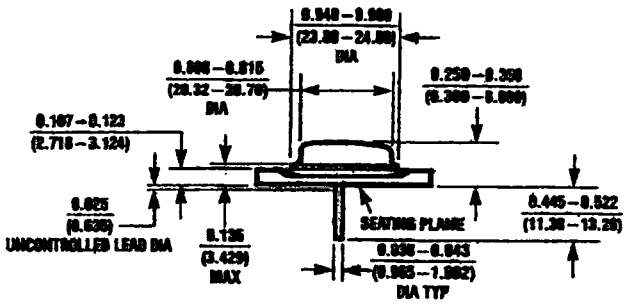
Quiescent Current

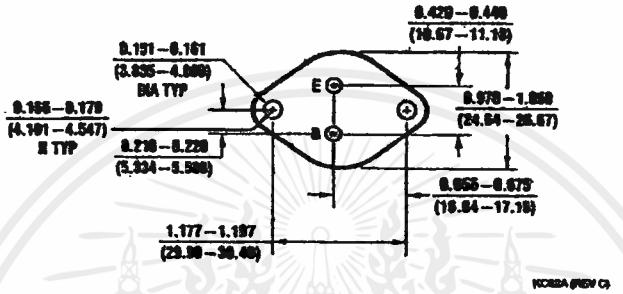


TL/H/7746–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

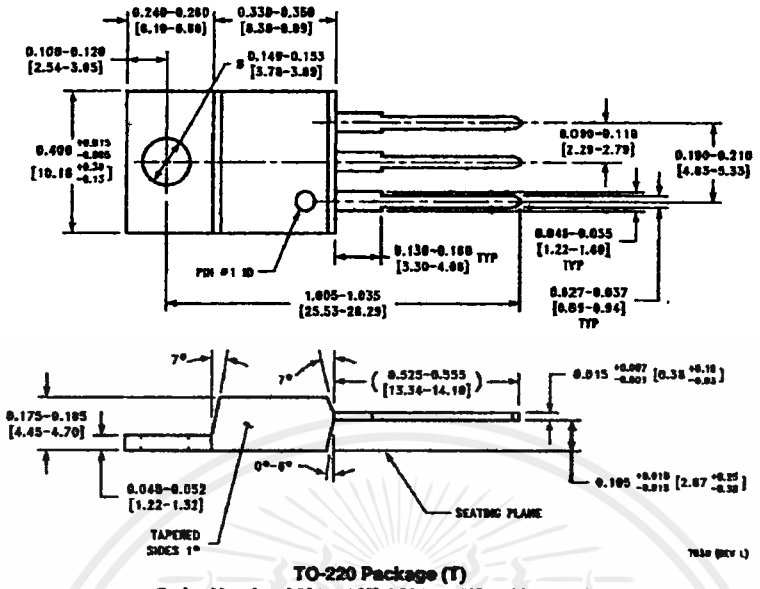




Aluminum Metal Can Package (KC)
Order Number LM7805CK, LM7812CK or LM7815CK
NS Package Number KC02A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



TO-220 Package (T)
Order Number LM7805CT, LM7812CT or LM7815CT
NS Package Number T03B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1994

LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of −5V, −8V, −12V, and −15V. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current drain of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

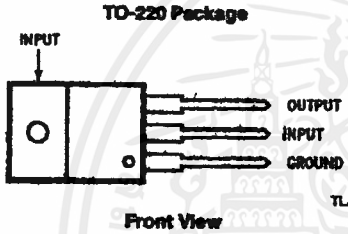
For applications requiring other voltages, see LM137 data sheet.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% tolerance on preset output voltage

Connection Diagrams

TO-220 Package



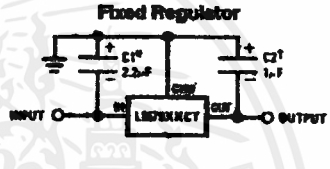
TL/H/7340–14

Front View

Order Number LM7905CT, LM7912CT or LM7915CT
See NS Package Number TO3B

Typical Applications

Fixed Regulator



TL/H/7340–3

*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25 µF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25 µF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100 µF, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

©1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

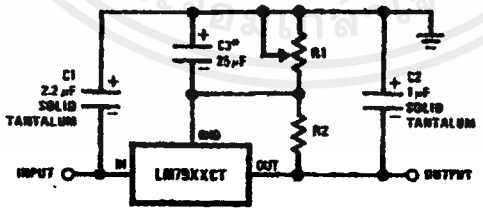
Input Voltage	
(V_O = −5V)	−25V
(V_O = −12V and −15V)	−35V
Input-Output Differential	
(V_O = −5V)	25V
(V_O = −12V and −15V)	30V
Power Dissipation (Note 2)	Internally Limited
Operating Junction Temperature Range	0°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	230°C

Electrical Characteristics Conditions unless otherwise noted: I_{OUT} = 500 mA, C_{IN} = 2.2 µF, C_{OUT} = 1 µF, 0°C ≤ T_J ≤ +125°C, Power Dissipation ≤ 1.5W.

Part Number			LM7905C			Units
Output Voltage			−5V			
Input Voltage (unless otherwise specified)			−10V			
Symbol	Parameter	Conditions	Min	Typ	Max	
V_O	Output Voltage	T_J = 25°C	−4.8	−5.0	−5.2	V
		5 mA ≤ I_{OUT} ≤ 1A, P ≤ 15W	−4.75		−5.25	V
			(−20 ≤ V_{IN} ≤ −7)			V
ΔV_O	Line Regulation	T_J = 25°C, (Note 3)		8	50	mV
			(−25 ≤ V_{IN} ≤ −7)			V
				2	15	mV
			(−12 ≤ V_{IN} ≤ −8)			V
ΔV_O	Load Regulation	T_J = 25°C, (Note 3)				
		5 mA ≤ I_{OUT} ≤ 1.5A		15	100	mV
		250 mA ≤ I_{OUT} ≤ 750 mA		5	50	mV
I_Q	Quiescent Current	T_J = 25°C		1	2	mA
ΔI_Q	Quiescent Current Change	With Line			0.5	mA
			(−25 ≤ V_{IN} ≤ −7)			V
		With Load, 5 mA ≤ I_{OUT} ≤ 1A			0.5	mA
V_n	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 Hz		125		µV
	Ripple Rejection	f = 120 Hz	54	66		dB
			(−18 ≤ V_{IN} ≤ −8)			V
	Dropout Voltage	T_J = 25°C, I_{OUT} = 1A		1.1		V
I_{OMAX}	Peak Output Current	T_J = 25°C		2.2		A
	Average Temperature Coefficient of Output Voltage	I_{OUT} = 5 mA, 0°C ≤ T_J ≤ 100°C		0.4		mV/°C

Typical Applications (Continued)

Variable Output



TL/H/7940–2

*Improves transient response and ripple rejection. Do not increase beyond 50 µF.

$$V_{OUT} = V_{SET}\left(\frac{R1 + R2}{R2}\right)$$

Select R2 as follows:

LM7905CT	360Ω
LM7912CT	750Ω
LM7915CT	1k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued) Conditions unless otherwise noted: I_{OUT} = 500 mA, C_{IN} = 2.2 µF, C_{OUT} = 1 µF, 0°C ≤ T_J ≤ +125°C, Power Dissipation = 1.5W.

Part Number			LM7912C			LM7915C			Units
Output Voltage			−12V			−15V			
Input Voltage (unless otherwise specified)			−19V			−23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	T_J = 25°C	−11.5	−12.0	−12.5	−14.4	−15.0	−15.6	V
		5 mA ≤ I_{OUT} ≤ 1A, P ≤ 15W	−11.4		−12.6	−14.25		−15.75	V
		(−27 ≤ V_{IN} ≤ −14.5)				(−30 ≤ V_{IN} ≤ −17.5)			V
ΔV_O	Line Regulation	T_J = 25°C, (Note 3)		5	80		5	100	mV
		(−30 ≤ V_{IN} ≤ −14.5)				(−30 ≤ V_{IN} ≤ −17.5)			V
				3	30		3	50	mV
		(−22 ≤ V_{IN} ≤ −16)				(−26 ≤ V_{IN} ≤ −20)			V
ΔV_O	Load Regulation	T_J = 25°C, (Note 3)							
		5 mA ≤ I_{OUT} ≤ 1.5A		15	200		15	200	mV
		250 mA ≤ I_{OUT} ≤ 750 mA		5	75		5	75	mV
I_Q	Quiescent Current	T_J = 25°C		1.5	3		1.5	3	mA
ΔI_Q	Quiescent Current Change	With Line			0.5			0.5	mA
		(−30 ≤ V_{IN} ≤ −14.5)				(−30 ≤ V_{IN} ≤ −17.5)			V
		With Load, 5 mA ≤ I_{OUT} ≤ 1A			0.5			0.5	mA
V_n	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 Hz		300			375		µV
	Ripple Rejection	f = 120 Hz	54	70		54	70		dB
		(−25 ≤ V_{IN} ≤ −15)				(−30 ≤ V_{IN} ≤ −17.5)			V
	Dropout Voltage	T_J = 25°C, I_{OUT} = 1A		1.1			1.1		V
I_{OMAX}	Peak Output Current	T_J = 25°C		2.2			2.2		A
	Average Temperature Coefficient of Output Voltage	I_{OUT} = 5 mA, 0 C ≤ T_J ≤ 100°C		−0.8			−1.0		mV/°C

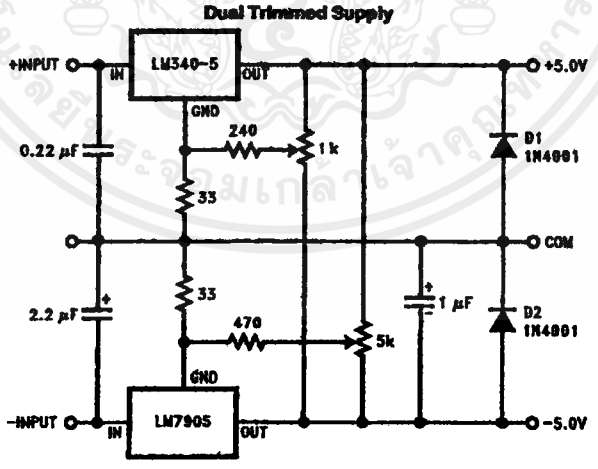
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee Specific Performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics.

Note 2: Refer to Typical Performance Characteristics and Design Considerations for details.

Note 3: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

Typical Applications (Continued)

Dual Trimmed Supply



TL/H/7340–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1994

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

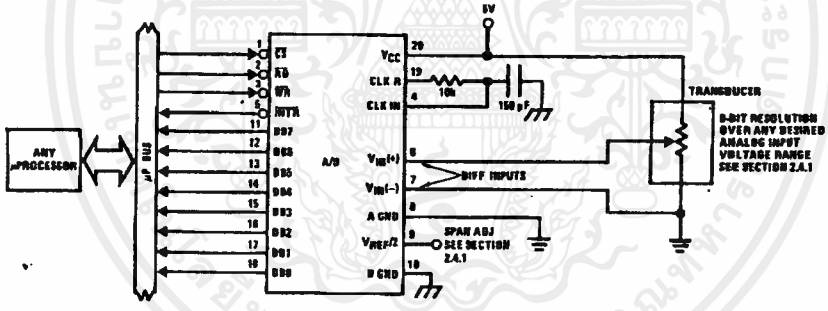
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

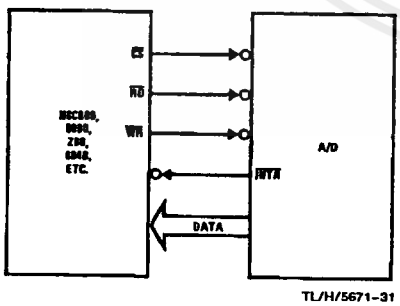
- Resolution — 8 bits
- Total error — ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time — 100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

©1995 National Semiconductor Corporation TL/H/5671

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC}+0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN}(1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75\ V_{DC}$			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	$V_{IN} = 5\ V_{DC}$		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	$V_{IN} = 0\ V_{DC}$	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	$I_O = 360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	$I_O = -360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 $I_{OUT} = 1.6\ mA$, $V_{CC} = 4.75\ V_{DC}$ $I_{OUT} = 1.0\ mA$, $V_{CC} = 4.75\ V_{DC}$			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -10\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0\ V_{DC}$ $V_{OUT} = 5\ V_{DC}$	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25°C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, $T_A = 25°C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640\ kHz$, $V_{REF}/2 = NC$, $T_A = 25°C$ and $\overline{CS} = 5V$		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640$ kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

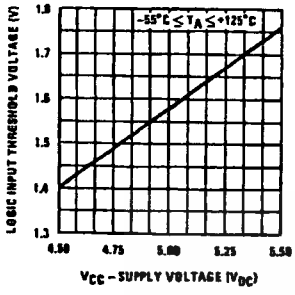
Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

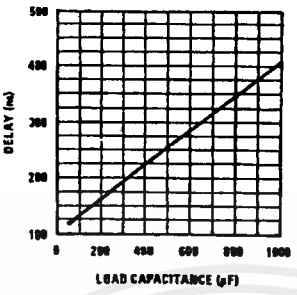
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

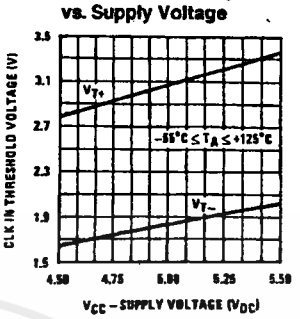
Logic Input Threshold Voltage vs. Supply Voltage



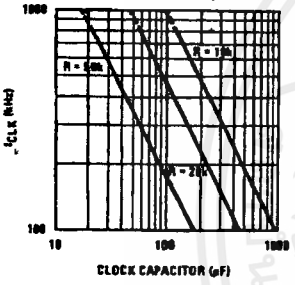
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



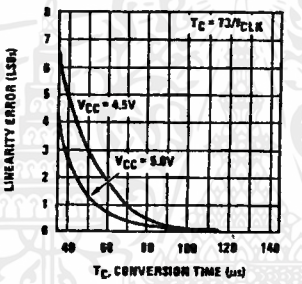
CLK IN Schmitt Trip Levels vs. Supply Voltage



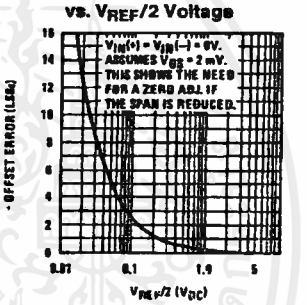
f_{CLK} vs. Clock Capacitor



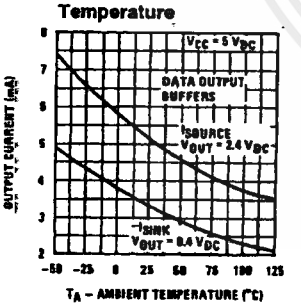
Full-Scale Error vs Conversion Time



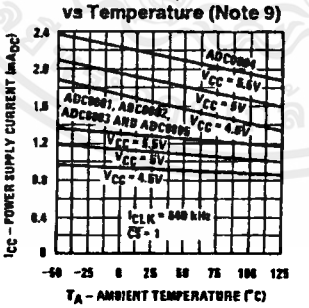
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



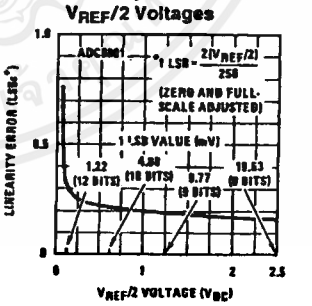
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



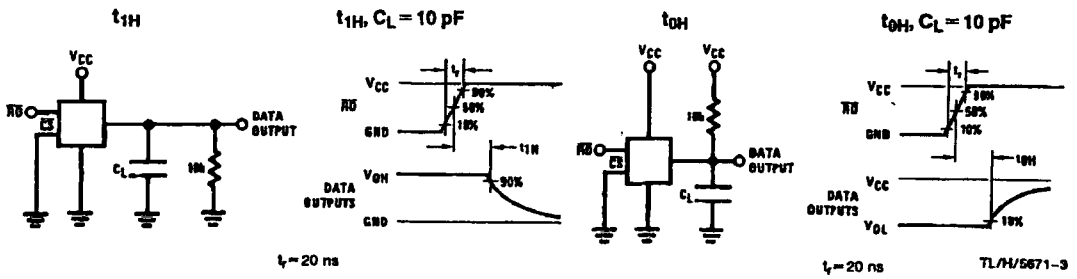
Linearity Error at Low $V_{REF}/2$ Voltages



TL/H/5671–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms

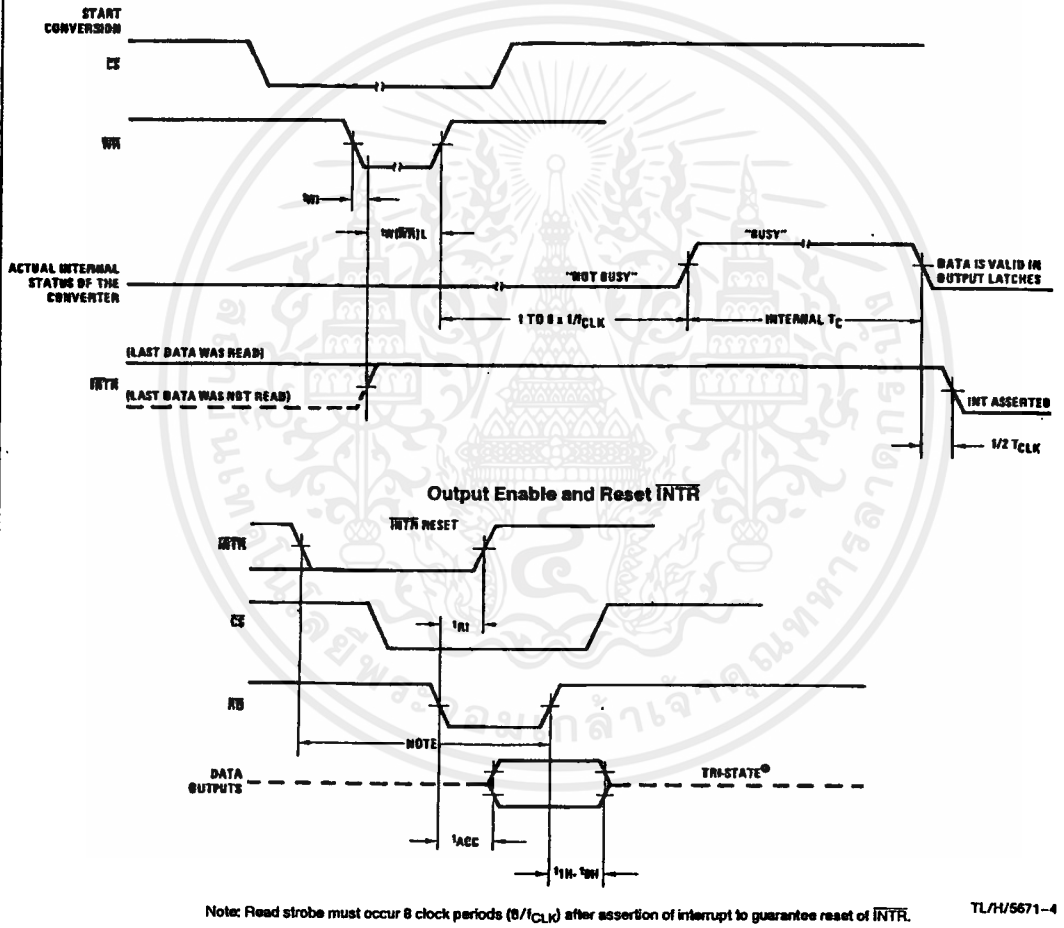


t_r = 20 ns

t_r = 20 ns

TL/H/5671–3

Timing Diagrams (All timing is measured from the 50% voltage points)



Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

TL/H/5671–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

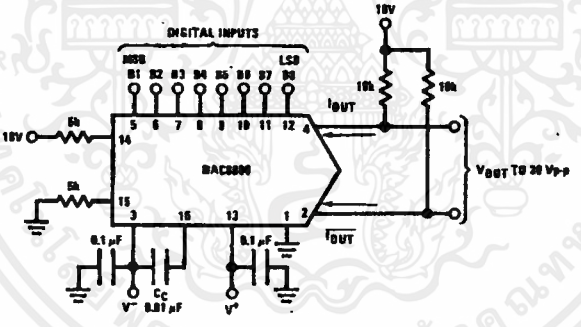
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

©1995 National Semiconductor Corporation TL/H/5686

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay Each Bit	$T_A = 25°C$		35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$ $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
I+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

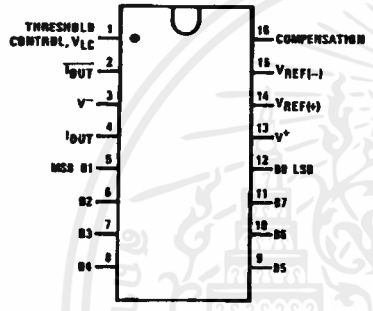
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

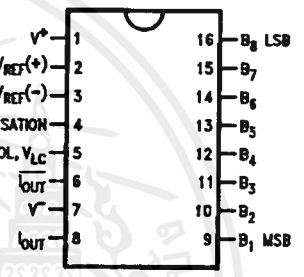


TL/H/5686–13

Top View

See Ordering Information

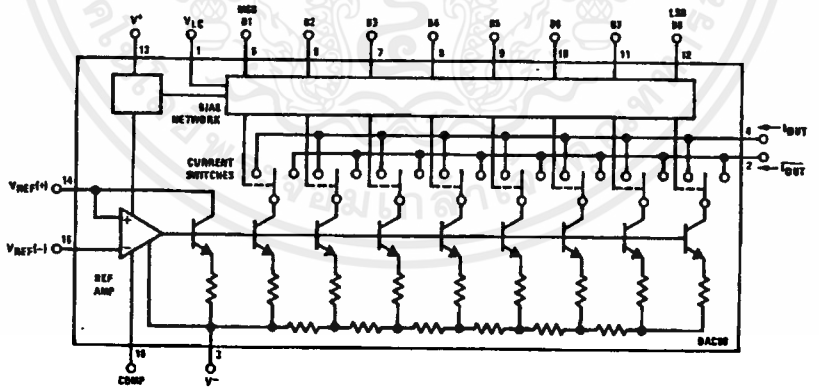
Small Outline Package



TL/H/5686–14

Top View

Block Diagram (Note 4)

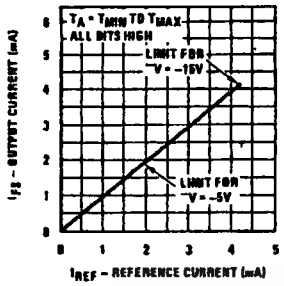


TL/H/5686–2

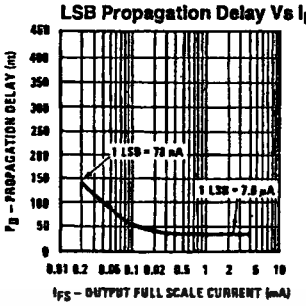
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

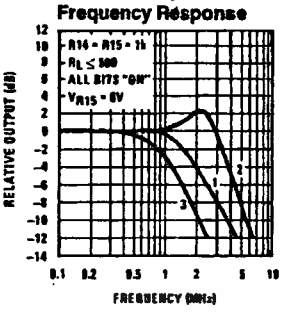
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

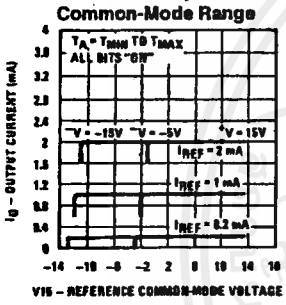


Reference Input Frequency Response



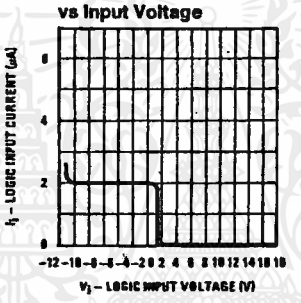
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

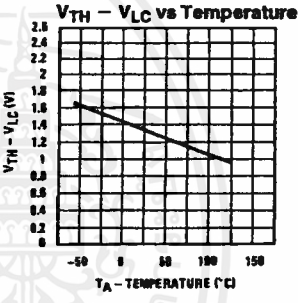


Note. Positive common-mode range is always (V+) − 1.5V

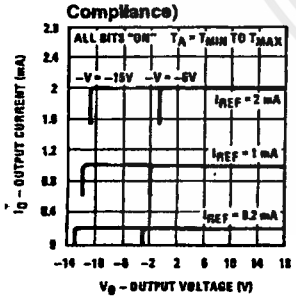
Logic Input Current vs Input Voltage



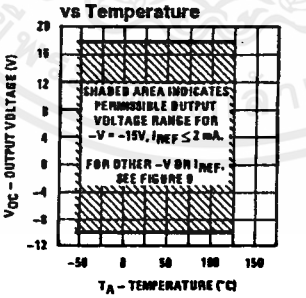
$V_{TH} - V_{LC}$ vs Temperature



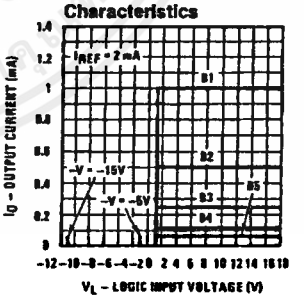
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



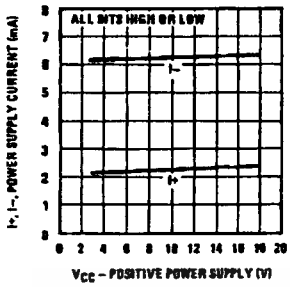
TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

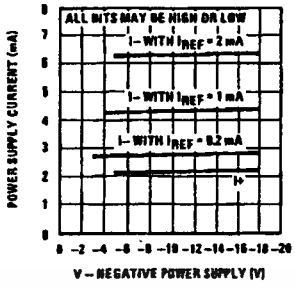
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

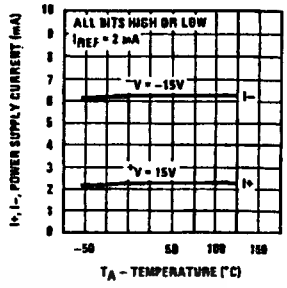
Power Supply Current vs +V



Power Supply Current vs −V

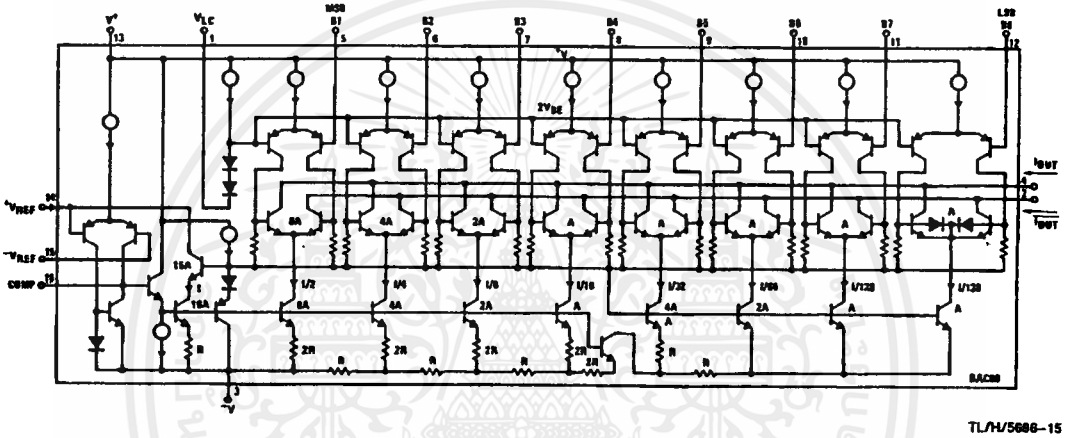


Power Supply Current vs Temperature



TL/H/5686–4

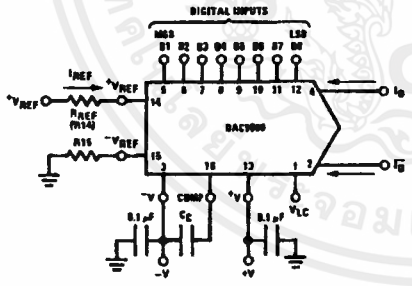
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

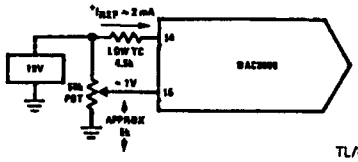
$R15 \approx R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)

TL/H/5686–16

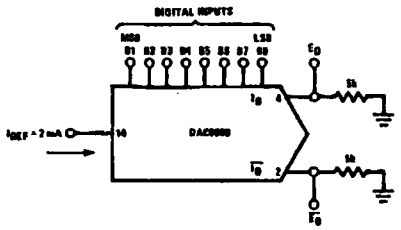
$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

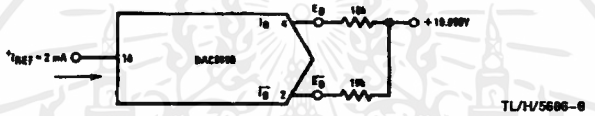
Typical Applications (Continued)



TL/H/5686–17

	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

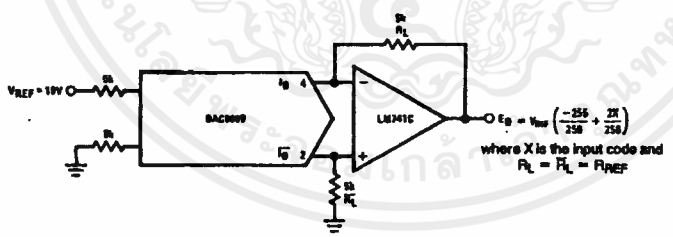
FIGURE 6. Basic Unipolar Negative Operation (Note 4)



TL/H/5686–8

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

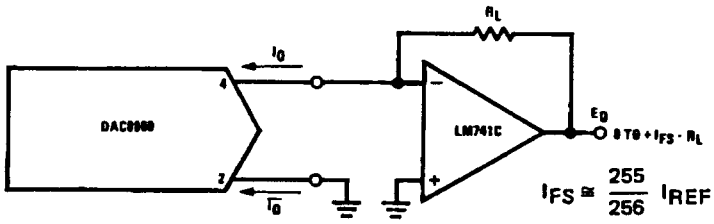
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

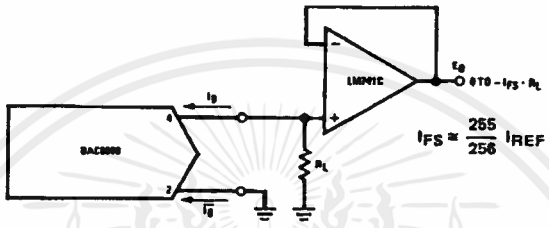
Typical Applications (Continued)



TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

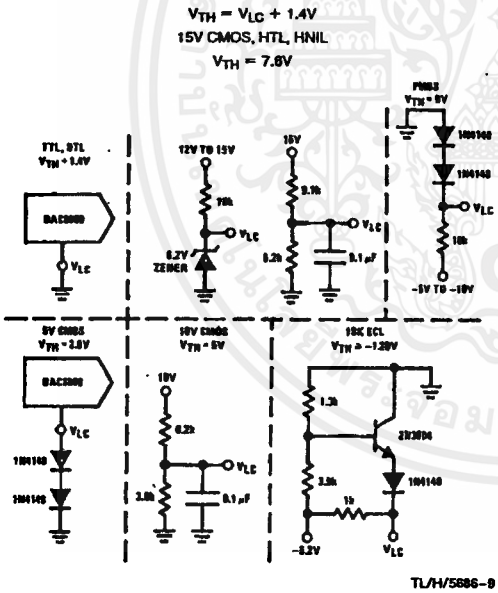
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

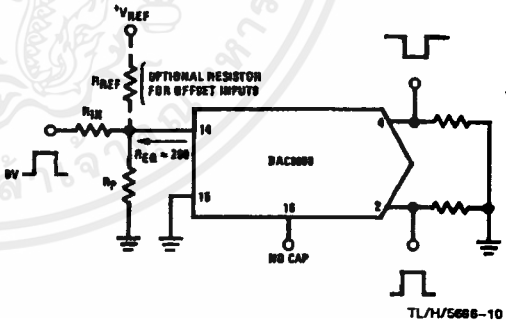
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5686–10

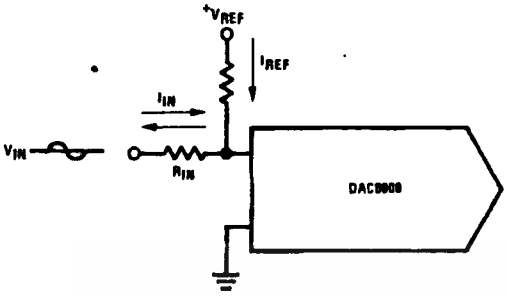
Typical values: $R_{IN} = 5k, +V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

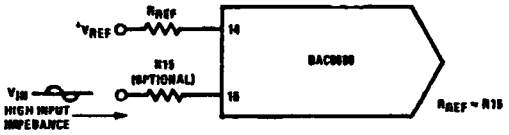
Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



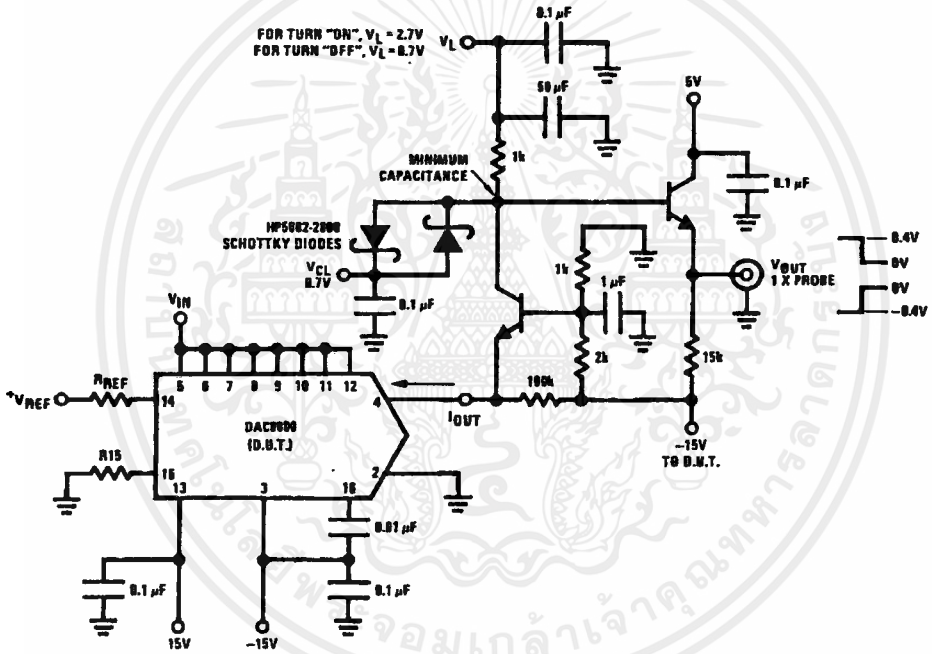
TL/H/5686–11

(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5686–12

FIGURE 13. Accommodating Bipolar References (Note 4)

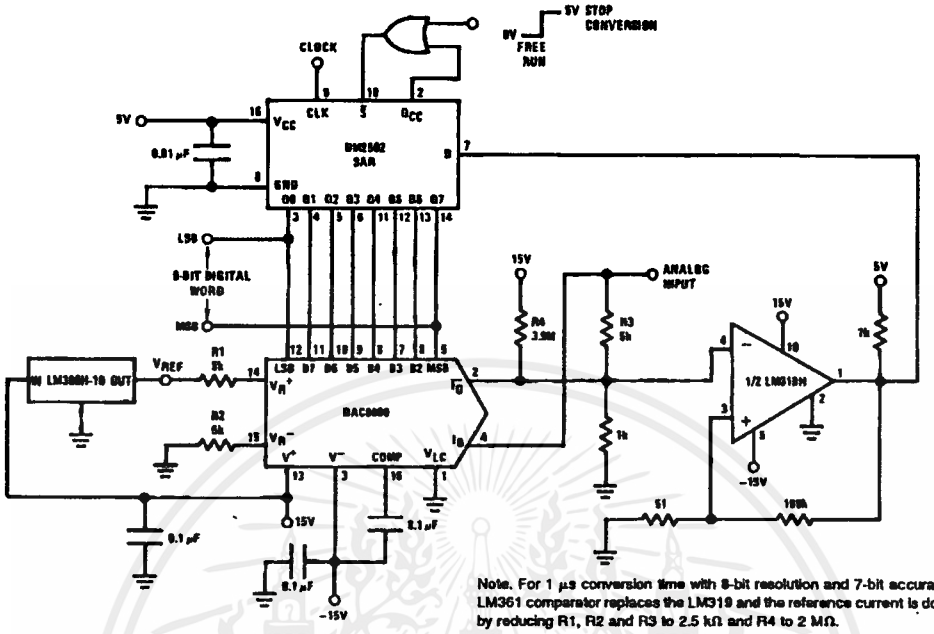


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

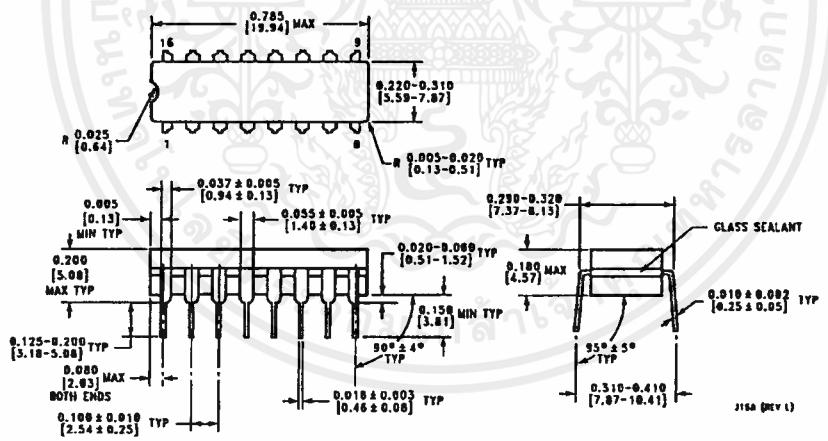


Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5668–9

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

Physical Dimensions inches (millimeters)

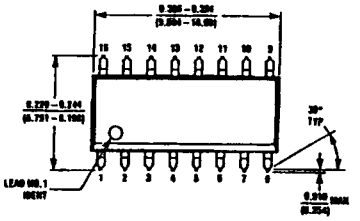


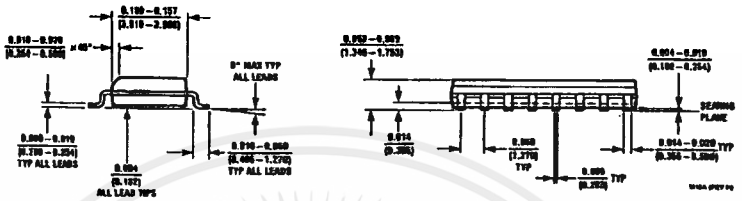
Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

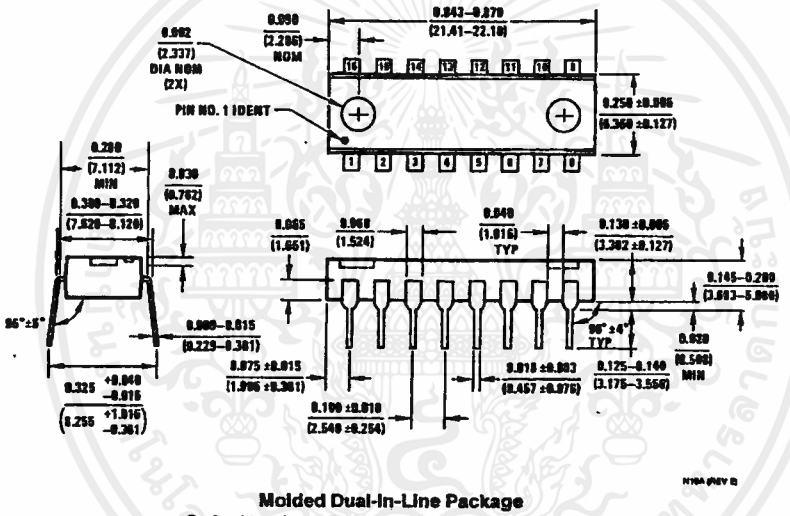
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)

Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A







Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@levm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1992

DM54LS373/DM74LS373, DM54LS374/DM74LS374 TRI-STATE® Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

General Description

These 8-bit registers feature totem-pole TRI-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers. (Continued)

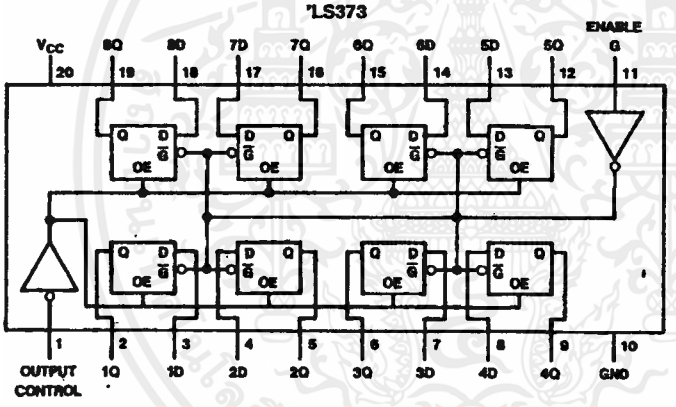
Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- TRI-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

Connection Diagrams

Dual-In-Line Packages

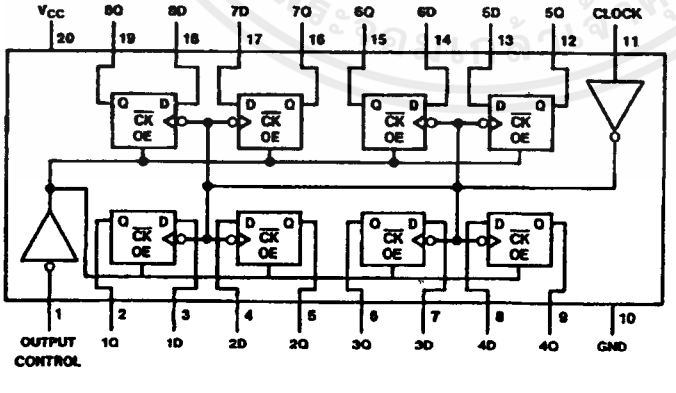
'LS373



Order Number DM54LS373J, DM54LS373W, DM74LS373N or DM74LS373WM
See NS Package Number J20A, M20B, N20A or W20A

TL/F/6431–1

'LS374



Order Number DM54LS374J, DM54LS374W, DM74LS374WM or DM74LS374N
See NS Package Number J20A, M20B, N20A or W20A

TL/F/6431–2

TRI-STATE® is a registered trademark of National Semiconductor Corp.

©1995 National Semiconductor Corporation TL/F/6431

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

General Description (Continued)

The eight latches of the DM54/74LS373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM54/74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

Function Tables

DM54/74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

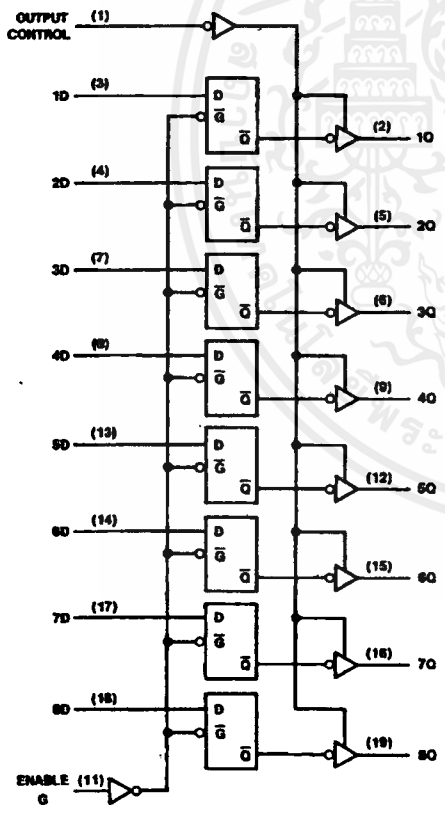
DM54/74LS374

Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care
↑ = Transition from low-to-high level, Z = High Impedance State
Q_0 = The level of the output before steady-state input conditions were established.

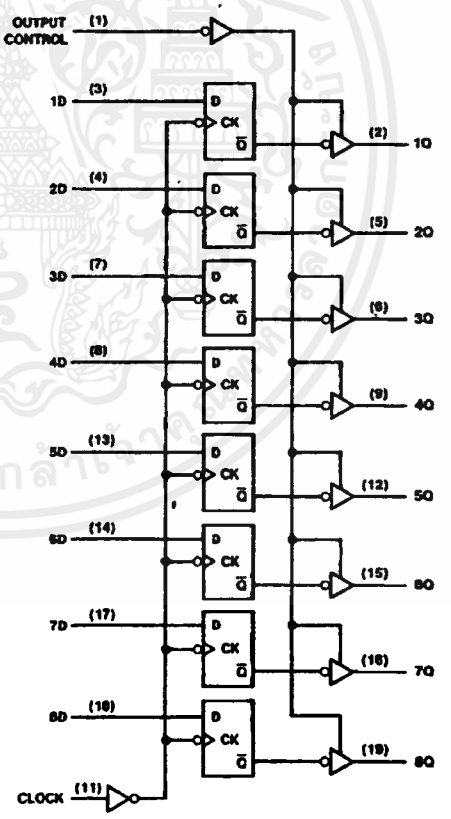
Logic Diagrams

DM54/74LS373
Transparent Latches



TL/F/6431–3

DM54/74LS374
Positive-Edge-Triggered Flip-Flops



TL/F/6431–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (See Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	−65°C to +150°C
Operating Free Air Temperature Range	
DM54LS	−55°C to +125°C
DM74LS	0°C to +70°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		DM54LS373			DM74LS373			Units
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Votage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−1			−2.6	mA
I_{OL}	Low Level Output Current				12			24	mA
t_W	Pulse Width (Note 2)	Enable High	15			15			ns
		Enable Low	15			15			
t_{SU}	Data Setup Time (Notes 1 & 2)		5↓			5↓			ns
t_H	Data Hold Time (Notes 1 & 2)		20↓			20↓			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 1: The symbol (↓) indicates the falling edge of the clock pulse is used for reference.

Note 2: T_A = 25°C and V_{CC} = 5V.

'LS373 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.4	3.4		V
			DM74	2.4	3.1		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 12 mA, V_{CC} = Min	DM74			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.4	mA
I_{OZH}	Off-State Output Current with High Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V, V_{IH} = Min, V_{IL} = Max				20	µA
I_{OZL}	Off-State Output Current with Low Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V, V_{IH} = Min, V_{IL} = Max				−20	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−50		−225	
I_{CC}	Supply Current	V_{CC} = Max, OC = 4.5V, D_n, Enable = GND			24	40	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS373 Switching Characteristics at V_{CC} = 5V and T_A = 25°C

(See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 667Ω				Units
			C_L = 45 pF		C_L = 150 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	Data to Q		18		26	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Data to Q		18		27	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Enable to Q		30		38	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Enable to Q		30		36	ns
t_{PZH}	Output Enable Time to High Level Output	Output Control to Any Q		28		36	ns
t_{PZL}	Output Enable Time to Low Level Output	Output Control to Any Q		36		50	ns
t_{PHZ}	Output Disable Time from High Level Output (Note 3)	Output Control to Any Q		20			ns
t_{PLZ}	Output Disable Time from Low Level Output (Note 3)	Output Control to Any Q		25			ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: C_L = 5 pF.

Recommended Operating Conditions

Symbol	Parameter		DM54LS374			DM74LS374			Units
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−1			−2.6	mA
I_{OL}	Low Level Output Current				12			24	mA
t_W	Pulse Width (Note 4)	Clock High	15			15			ns
		Clock Low	15			15			
t_{SU}	Data Setup Time (Notes 1 & 4)		20 ↑			20 ↑			ns
t_H	Data Hold Time (Notes 1 & 4)		1 ↑			1 ↑			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 1: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

Note 4: T_A = 25°C and V_{CC} = 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS374 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.4	3.4		V
			DM74	2.4	3.1		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 12 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.4	mA
I_{OZH}	Off-State Output Current with High Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V, V_{IH} = Min, V_{IL} = Max				20	μA
I_{OZL}	Off-State Output Current with Low Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V, V_{IH} = Min, V_{IL} = Max				−20	μA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−50		−225	mA
			DM74	−50		−225	
I_{CC}	Supply Current	V_{CC} = Max, D_n = GND, OC = 4.5V			27	45	mA

'LS374 Switching Characteristics at V_{CC} = 5V and T_A = 25°C

(See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R_L = 667Ω				Units
		C_L = 45 pF		C_L = 150 pF		
		Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	35		20		MHz
t_{PLH}	Propagation Delay Time Low to High Level Output		28		32	ns
t_{PHL}	Propagation Delay Time High to Low Level Output		28		38	ns
t_{PZH}	Output Enable Time to High Level Output		28		44	ns
t_{PZL}	Output Enable Time to Low Level Output		28		44	ns
t_{PHZ}	Output Disable Time from High Level Output (Note 3)		20			ns
t_{PLZ}	Output Disable Time from Low Level Output (Note 3)		25			ns

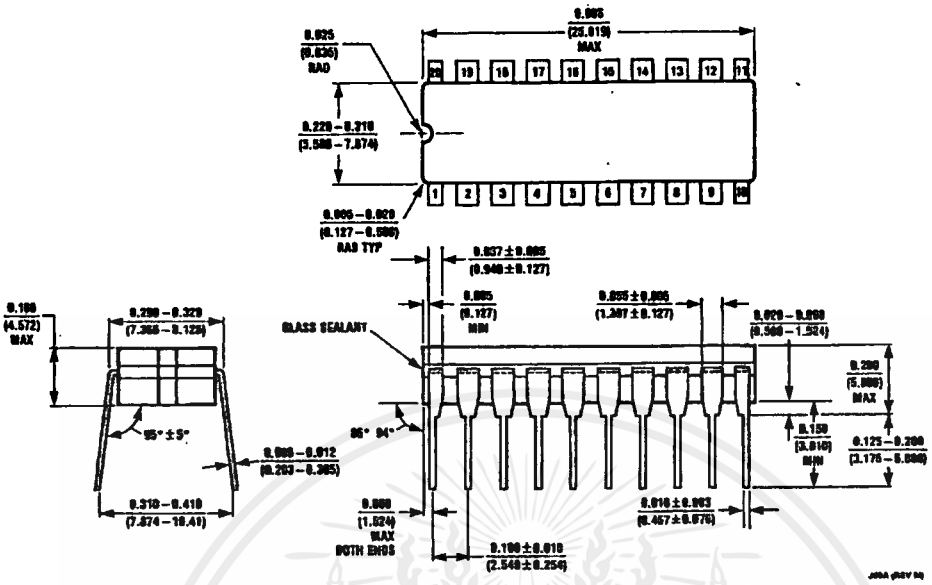
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: C_L = 5 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

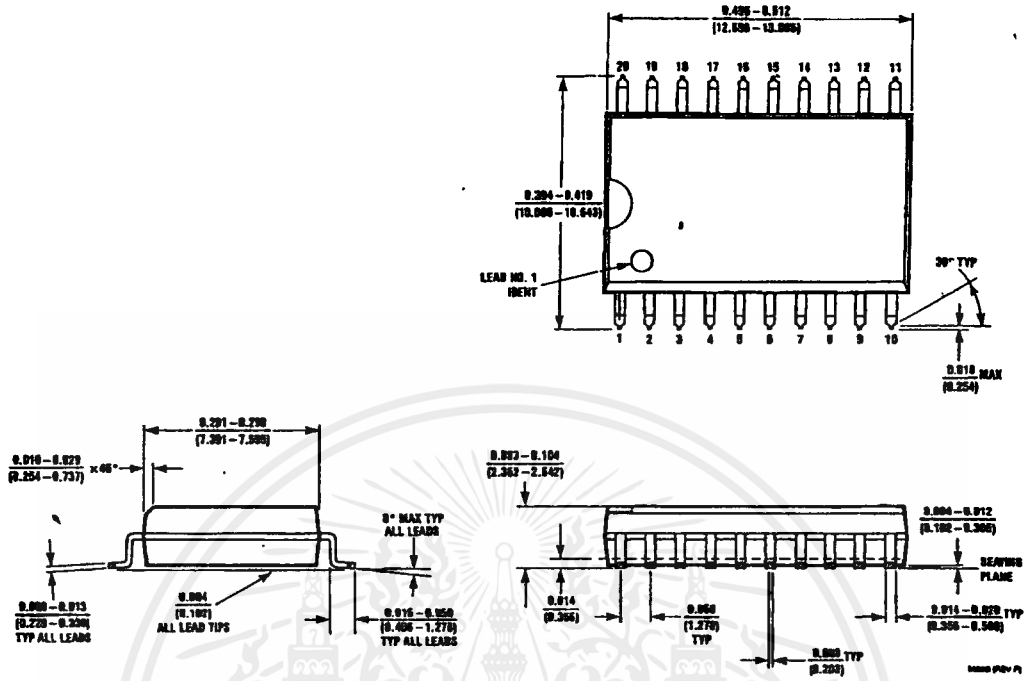
Physical Dimensions inches (millimeters)



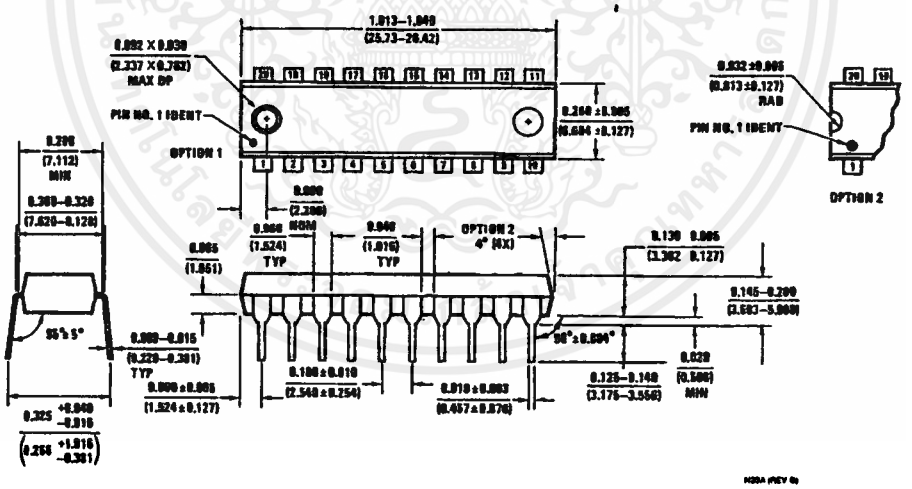
20-Lead Ceramic Dual-In-Line Package (J)
Order Number DM54LS373J or DM54LS374J
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



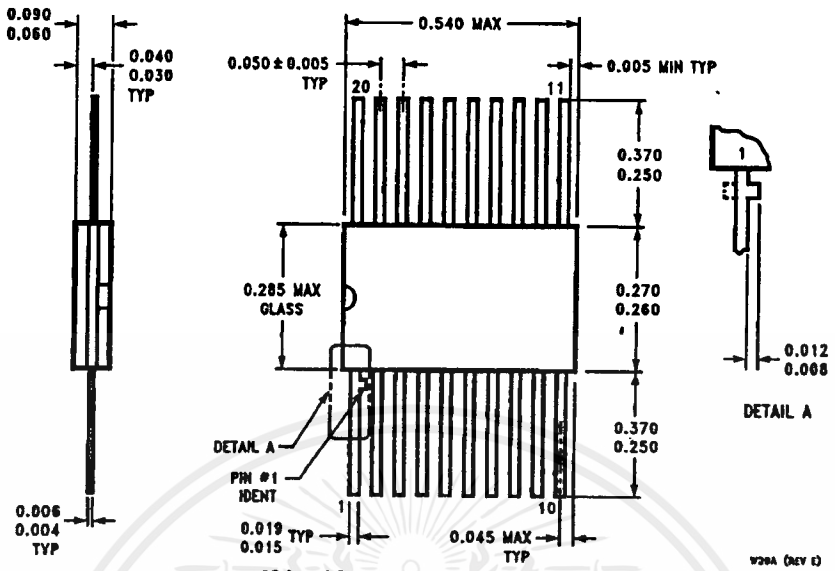
20-Lead Wide Small Outline Molded Package (M)
Order Number DM74LS373WM or DM74LS374WM
NS Package Number M20B



20-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS373N and DM74LS374N
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



20-Lead Ceramic Flat Package (W)
Order Number DM54LS373W or DM54LS374W
NS Package Number W20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้