QPSK และ การประยุกต์ใช้งาน

QPSK AND Applications

โดย

นาย สุวิทย์ อุมาดกมลพันธ์

นาย อำนาจ หาญประสิทธิ์คำ

วัน เดือน ปี 22 ตค 2541

เลขทะเบียน 039113

เลขเรียกหนังสือ T 40053 ส 881ป

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039113

QPSK และ การประยุกต์ใช้งาน

QPSK AND Applications

โดย

นาย สุวิทย์ อุมาดกมลพันธ์ 38013038

นาย อำนาจ หาญประสิทธิ์คำ 38013044

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง QPSK และ การประยุกต์ใช้งาน

QPSK AND Applications

ผู้จัดทำ

1. นายสุวิทย์ อุมาดกมลพันธ์ 38013038
2. นายอำนาจ หาญประสิทธิ์คำ 38013044

.....อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK และ การประยุกต์ใช้งาน

QPSK and Applications

โดย นาย สุวิทย์ อุมาคกมลพันธ์ 38013038
นาย อำนาจ หาญประสิทธิ์คำ 38013044
อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ การทดลองส่งสัญญาณดิจิตอลด้วยความเร็ว 64kbps ไปตามสายโคแอค-เชียลโดยใช้หลักการของการเข้ารหัสแบบ QPSK ซึ่งเป็นรูปแบบหนึ่งของการส่งสัญญาณดิจิตอล ข้อมูลดิจิตอลจะถูกบรรจุอยู่ในรูปเฟสของสัญญาณพาหะ

ในโครงงานนี้จะใช้วงจรผลิตสัญญาณพาหะ 512 kHz และสัญญาณนำร่อง 480kHz ที่อ้างอิงจากสัญญาณนาฬิกา 64 kHz และใช้วงจรแยกสัญญาณดิจิตอล แล้วนำไปแปลงเป็นสัญญาณอนาล็อกก่อนเข้าบาลานซ์มอดดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดดูเลเตอร์จะทำการผสมสัญญาณพาหะกับข้อมูล ซึ่งจะเป็นการนำสัญญาณที่จะส่งอยู่ในรูปเฟสของสัญญาณพาหะ

ABSTRACT

This project presents a digital transmission at bit rate 64 kbps in coaxial cable. This work uses Quadrature Phase Shift Keying (QPSK) is in a digital modulation form where the digital information is contained phase of the transmitted carrier.

In this project uses the 512 kHz oscillating carrier signal and 480 kHz pilot signal circuits with controlled by using real time clock 64 kHz. And uses digital data separate circuit to digital to analog converter before presenting to either balanced modulator. Also, at the balanced modulator includes the digital signal conversion with carrier. The results indicate the in-phase of the transmitted carrier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ (ภาษาไทย)	I
บทคัดย่อ (ภาษาอังกฤษ)	I
สารบัญภาพ	II
สารบัญตาราง	III
บทที่	
1. บทนำ	
ความเป็นมา	1
วัตถุประสงค์	1
ขอบเขตของโครงงาน	2
ประโยชน์ที่ได้รับ	2
2. ทฤษฎีที่เกี่ยวข้อง	
Quadrature Phase Shift Keying	3
ประสิทธิภาพของแถบความถี่	5
วงจรบาลานซ์มอดดูเลเตอร์	7
Active Filter	8
เฟสล็อกลูป	11
การใช้งาน MATLAB	14
3. การออกแบบวงจรด้านภาคส่ง	
วงจรแยกสัญญาณดิจิตอล	23
วงจรแปลงบิทเป็น 2 ระดับ	24
วงจรบาลานซ์มอดดูเลเตอร์	25
วงจรกรองช่วงความถี่	25
วงจร Positive Feedback Band - Pass Filter	27
วงจรเลื่อนเฟส 90 องศา	31
วงจรกำเนิดสัญญาณพาหะ 512 kHz	32
วงจรกำเนิดสัญญาณนำร่อง 480 kHz	33
วงจรรวมสัญญาณ	33
4. การออกแบบวงจรด้านภาครับ	
วงจรกรองความถี่ช่วง 496 - 528 kHz	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้สัญญาณนาฬิกา 64 kHz 36
วงจรกู้สัญญาณพาหะ 512 kHz 37
วงจรเลื่อนเฟส 90 องศา 38
วงจรบาลานซ์ดีมอดดูเลเตอร์ 39
วงจรกรองความถี่ต่ำผ่าน 39
วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิท 42
วงจรรวมสัญญาณดิจิตอล 42
5. ผลการดำเนินงาน 44
การใช้ MATLAB ประมวลผลการทำงาน 55
6. บทสรุปและข้อเสนอแนะ 79
ภาคผนวก
กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

รูปที่		หน้า
2.1	บล็อกไดอะแกรม QPSK	3
2.2	QPSK มอดดูเลเตอร์ เฟสเซอร์ไดอะแกรมคอนเทลเลชั่นไดอะแกรม	4
2.3	บล็อกไดอะแกรมเครื่องรับ QPSK	5
2.4	วงจรบาลานซ์ มอดูเลเตอร์	7
2.5	Frequency Response ของวงจร Filter	10
2.6	บล็อกไดอะแกรมวงจรเฟสล็อกลูป	12
2.7	คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อกลูป	13
3.1	บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง	23
3.2	วงจรแยกสัญญาณดิจิตอล	24
3.3	วงจรแปลงสัญญาณ 1 บิทเป็น 2 ระดับ	24
3.4	วงจรบาลานซ์มอดูเลเตอร์	25
3.5	แสดงวงจร Wide Band pass filter	26
3.6	วงจร Pasitive Feedback Band pass filter	27
3.7	กราฟแสดงความสัมพันธ์ระหว่าง K parameter เทียบกับความถี่	28
3.8	กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทาน	30
3.9	วงจรเลื่อนเฟส 90 องศา	31
3.10	วงจรกำเนิดสัญญาณพาหะ 512 kHz	32
3.11	วงจรกำเนิดสัญญาณนำร่อง 480 kHz	33
3.12	วงจรรวมสัญญาณ	34
4.1	บล็อกไดอะแกรม ทางด้านภาครับ	35
4.2	วงจรกรองความถี่ช่วง 496 - 528 kHz	36
4.3	วงจรกู้สัญญาณนาฬิกา 64 kHz	37
4.4	วงจรกู้สัญญาณพาหะ 512 kHz	38
4.5	วงจรเลื่อนเฟส 90 องศา	38
4.6	วงจรบาลานซ์คืนอดูเลเตอร์	39
4.7	วงจรกรองความถี่ต่ำ	40
4.8	วงจร Comparater	42
4.9	วงจรรวมสัญญาณดิจิตอล	43
5.1	วงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 สัญญาณข้อมูลทางอินพุทเทียบกับสัญญาณนาฬิกา 45

5.3 สัญญาณนาฬิกา หาร 2 45

5.4 สัญญาณ Binary ที่แยกออกมาทางด้าน I' และ Q' 46

5.5 สัญญาณ Gray Code ทางด้าน I และ Q 46

5.6 สัญญาณ 2 ระดับ ทางด้าน I' และ Q' 47

5.7 การคูณสัญญาณนาฬิกา 8 เท่า 512 kHz 47

5.8 การคูณสัญญาณ 32 kHz 15 เท่า 480 kHz 48

5.9 สัญญาณพาหะ 512 kHz 48

5.10 สัญญาณ $Sin\omega ct$ และ $Cos\omega ct$ 49

5.11 สัญญาณนำร่อง 480 kHz 49

5.12 สัญญาณที่ผ่านการมอดดูเลททางด้าน I และ Q 50

5.13 สัญญาณ QPSK 50

5.14 สัญญาณ QPSK เทียบกับสัญญาณพาหะ 51

5.15 สัญญาณ QPSK รวมกับสัญญาณนำร่อง 51

5.16 สัญญาณ QPSK ที่รับได้ 52

5.17 สัญญาณนาฬิกาที่กู้ได้ , สัญญาณนาฬิกาทางภาคส่ง 52

5.18 สัญญาณพาหะจากวงจรกู้สัญญาณพาหะ 53

5.19 สัญญาณที่ทำการดีมอดดูเลททางด้าน I และ Q 53

5.20 สัญญาณที่ทำการดีมอดดูเลทปรับเป็นสัญญาณดิจิตอล 54

5.21 สัญญาณเอาท์พุทของเครื่องรับ QPSK เทียบกับสัญญาณอินพุททางเครื่องส่ง 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ	6
2.2 สรุปข้อแตกต่างของ FSK, PSK, และ QAM	7
2.3 แสดงการปฏิบัติการทางคณิตศาสตร์ใน MATLAB	15
2.4 แสดงฟังก์ชั่นพื้นฐานใน MATLAB	17
3.1 การแปลงบิทเป็น 2 ระดับ	24
4.1 การออกแบบกรองความถี่ต่ำผ่าน 0.1dB Chebyshev	41
4.2 ระดับสัญญาณ 2 ระดับ	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในโลกของการสื่อสารโทรคมนาคม เราสามารถแบ่งการสื่อสารแบ่งเป็นระบบใหญ่ ๆ ได้ 2 ระบบ ได้แก่

1. ระบบสื่อสาร แบบดิจิตอล (Digital Communication System)
2. ระบบสื่อสาร แบบอนาล็อก (Analog Communication System)

แต่ในปัจจุบัน แนวโน้มของระบบอนาล็อกจะมีการใช้งานที่ลดลง เพราะประสบปัญหาทางเทคนิคนานับประการ ไม่ว่าปัญหาของสัญญาณที่ผิดพลาดที่สำคัญยิ่ง และด้วยเหตุผลต่างๆ ทำให้ระบบดิจิตอลในโลกปัจจุบันและอนาคตมีบทบาทสำคัญยิ่ง ด้วยเหตุนี้ระบบการสื่อสารแบบดิจิตอล ที่ให้ความถูกต้องแม่นยำกว่าจึงเข้ามาแทนที่ อีกทั้งมีความต้องการเพิ่มขึ้นอย่างมากทั้งทางคุณภาพและปริมาณในการ ใช้งานอีกทั้งในการส่งสัญญาณหรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์,ระบบสื่อสารผ่านดาวเทียมภาคพื้นดินหรือระบบสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Satellite System) เป็นต้น จำเป็นต้องใช้การสื่อสารแบบดิจิตอลที่แม่นยำเพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดดูเลทสัญญาณ ดิจิตอล มีหลายรูปแบบ เช่น FSK , PSK , BPSK , QPSK , 8PSK , QAM , 8QAM , 16QAM ฯลฯ แต่ในโครงงานนี้จะเลือกศึกษาระบบ QPSK (Quadrature Phase Shift Keying) ซึ่งการเปลี่ยนแปลงของคลื่นพาหะจะมีทางเฟสรวม 4 ตำแหน่งในหนึ่ง คาบเวลา

ความเป็นมา

ทั้งที่กล่าวมาแล้วว่าโลกยุคปัจจุบันนี้ ระบบการส่งสัญญาณดิจิตอลจะมีบทบาทสำคัญยิ่งต่อการสื่อสารแบบต่างๆ แต่ในการส่งสัญญาณดิจิตอลนั้น มีรูปแบบการมอดดูเลทหลายรูปแบบแต่เราจะศึกษาแบบ QPSK ซึ่งเป็นแนวทางในการศึกษาและค้นคว้าพื้นฐานในการศึกษาระบบส่งสัญญาณดิจิตอล

วัตถุประสงค์

เพื่อศึกษารูปแบบการส่งสัญญาณดิจิตอลเพื่อเป็นพื้นฐานในการศึกษา รูปแบบอื่นๆ ต่อๆ ไป

เพื่อนำเสนอการส่งสัญญาณดิจิตอล อัตราความเร็ว 64 kbps โดยส่งสัญญาณแบบ QPSK สามารถลดแบนด์วิดธ์ (Bandwidth) ลงได้ถึง 2 เท่าของการส่งสัญญาณแบบ PSK (Phase Shift Keying) ทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากขึ้น เพราะสามารถลดขนาดของแบนด์วิดธ์หรือกล่าวอีกนัยหนึ่งก็คือว่า สามารถเพิ่มบิทเรทของสัญญาณข้อมูลได้ขณะแบนด์วิดธ์เท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตของโครงงาน

ในการทำโครงงานครั้งนี้มีการออกแบบและทดลองวงจร 2 ส่วน คือ

ภาคส่ง (Transmitter)

1. วงจรแปลงจากอนุกรมเป็นขนาน (Serial to Parallel)
2. วงจรแปลงจากหนึ่งบิทเป็นสองระดับ (1 Bit to 2 Level)
3. วงจรเฟสล็อคลูป (Phase Lock Loop)
4. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดดูเลเตอร์ (Balance Modulator)
7. วงจรรวมสัญญาณ (Summing Amplifier)

ภาครับ (Receiver)

1. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
2. วงจรเฟสล็อคลูป (Phase Lock Loop)
3. วงจรกู้สัญญาณพาหะ (Carrier Recovery)
4. วงจรกู้สัญญาณนาฬิกา (Clock Recovery)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดดูเลเตอร์ (Balance Modulator)
7. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
8. วงจรแปลงจากสองระดับเป็นหนึ่งบิท (2 level to 1 Bit)
9. วงจรแปลงจากขนานเป็นอนุกรม (Parallel to Serial)

<u>ประโยชน์ที่ได้รับ</u>

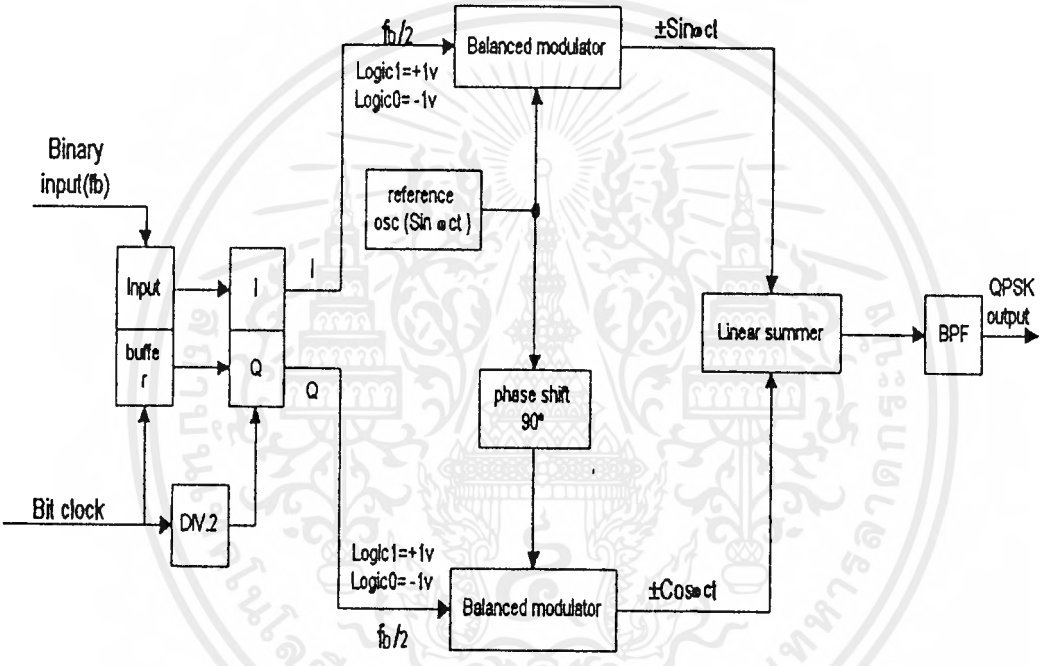
สามารถเข้าใจรายละเอียดและโครงสร้างของระบบ QPSK อีกทั้งรายละเอียดและส่วนประกอบของโครงงานเช่น วงจรแยกบิท - รวมบิท วงจรกรองความถี่วงจรบาลานซ์มอดดูเลเตอร์ และเข้าใจการทำงานรวมถึงอุปสรรค ปัญหาต่าง ๆ การประกอบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

Quadrature Phase Shift Keying (QPSK)

ในวิธีการ QPSK สัญญาณ 2 บิทจะถูกส่งไปพร้อม ๆกัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นบล๊อค 2 บิท และแต่ละรหัสบล๊อคประกอบด้วย 2 บิทถูกส่งไปพร้อมๆ กันในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00 , 01 , 10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟสของสัญญาณ QPSK จะเห็นว่าถ้าเปรียบเทียบรหัสสองเฟสข้างเคียง หนึ่งในสองบิทจะเหมือนกันในทุกๆ กรณีดังนั้นโดยการใช้ Gray code จะมีเพียงบิทเดียวที่เกิดผิดพลาดแม้ว่าสัญญาณที่รับได้ถูกดีมอดคูเลทผิดไปเป็นเฟสข้างเคียง



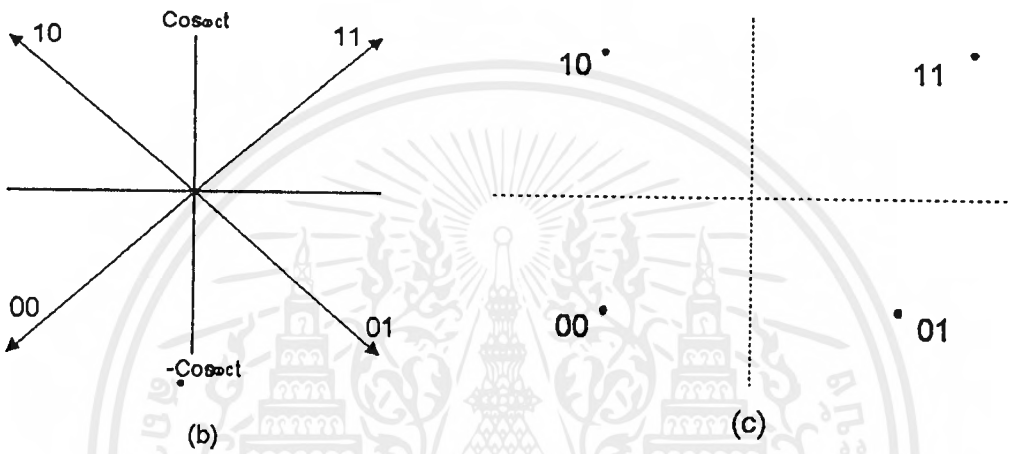
รูปที่ 2.1 บล๊อกไดอะแกรม QPSK

รูปที่ 2.1 เป็นบล๊อกไดอะแกรม QPSK มอดคูเลชั่นจากบล๊อกไดอะแกรมประกอบด้วยวงจรมอดคูเลชั่น 2 binary PSK คู่กันสัญญาณดิจิตอลที่จะส่งถูกแยกออกทางช่องสัญญาณ I และช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน แต่ละด้านถูกมอดคูเลทแบบ BPSK (Binary Phase Shift Keying) โดยบาลานซ์มอดคูเลเตอร์ คลื่นพาหะที่ใช้ในการมอดคูเลทของช่องสัญญาณ I จะใช้จาก output ของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก shift ไป $\pi/2$ หลังจากผ่าน $\pi/2$ phase shifter ดังในรูปสัญญาณมอดคูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\pi/2$ และถูกรวม กันโดยวงจรรวมก็จะได้สัญญาณ QPSK ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary Input		Gray Code		QPSK OUTPUT Phase
Q	I	Q	I	
0	0	0	0	-135°
0	1	0	1	-45°
1	0	1	1	+45°
1	1	1	0	+135°

(a)



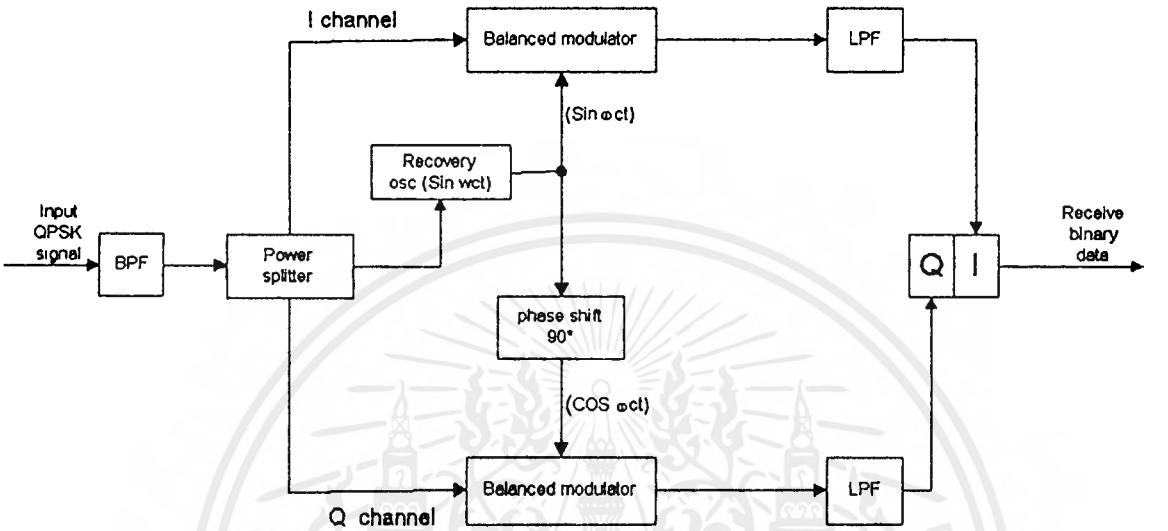
รูปที่ 2.2 QPSK มอดดูเลเตอร์ (a) ตารางการทำงาน (b) เฟสเซอร์ไดอะแกรม (c) คอนเทลเลชั่นไดอะแกรม

เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ I และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวคเตอร์ไดอะแกรม รูป 2.2 (b) ถ้าเฟสเริ่มแรกของสัญญาณเอาท์พุทจากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ I จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิงส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการ Shift เฟส $\pi/2$ จากสัญญาณเอาท์พุทของออสซิลเลเตอร์ สัญญาณที่มอดดูเลทแบบ BPSK ในช่องสัญญาณ I และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะสำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาหะเท่ากับ π สำหรับรหัส 0

โดยการรวมสัญญาณ BPSK ที่ได้รับการมอดดูเลทในช่องสัญญาณ I และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ Q เป็น "1" และรหัสในช่องสัญญาณ I เป็น "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส +135° กับคลื่นพาหะของช่องสัญญาณ I สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ -135° สัญญาณสำหรับรหัส 01 จะต่างเฟส -45 และสัญญาณสำหรับรหัส 11 จะต่างเฟส +45 กับคลื่นพาหะของช่องสัญญาณ I รหัสสัญญาณเหล่านี้เรียกว่า " Gray Code "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งในสองบิทจะเหมือนกัน ตอนนี้เรามาพิจารณาหลักการของการดีมอดดูเลทสัญญาณ QPSK ดังรูป 2.3 โดย coherent detection สัญญาณ QPSK ที่รับได้ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่งนั่นคือ การดีมอดดูเลทสัญญาณ QPSK ก็เท่ากับการดีมอดดูเลทสัญญาณ BPSK สองสัญญาณดังนั้นสัญญาณ QPSK ที่ได้รับคือ การดีเทคแบบ coherent โดยการใช้คลื่นพาหะอ้างอิง



รูปที่ 2.3 บล็อกไดอะแกรมเครื่องรับ QPSK

รูป 2.3 เป็นวงจรดีมอดดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีมอดดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า และแยกเป็นช่องสัญญาณ I และช่องสัญญาณ Q แต่ละช่องสัญญาณซึ่ง output จะผ่านวงจรกรองความถี่ต่ำ เพื่อตัดฮาร์โมนิคสูงๆออก หลังจากนั้นก็ผ่านไปยังวงจรขนานเป็นอนุกรม ดังนั้นสัญญาณจะถูกดีมอดดูเลทแยกกันในช่องสัญญาณ I และ Q ขบวนสัญญาณที่ขนานกันนี้ถูกรวมเข้าด้วยกันที่ วงจรขนานเป็นอนุกรม เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม

ประสิทธิภาพของแถบความถี่

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดดูเลทหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิทเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ทีปกติเป็นแถบความถี่ 1 Hz ทำให้แยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์เขียนสมการได้เป็น

$$\text{BW efficiency} = \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}}$$

$$= \frac{\text{bits / second}}{\text{hert}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\text{bits / second}}{\text{cycles / second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

. การหาประสิทธิภาพของแถบความถี่สำหรับการมอดดูเลทแบบ BPSK , QPSK , 8PSK และ 16 QAM จากตารางเป็นการแสดงแถบความถี่ ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดดูเลทในรูปแบบต่างๆ

Modulation Technique	Minimun Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดดูเลทต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

BPSK ; BW efficiency = $\frac{10 \text{ Mbps}}{10 \text{ MHz}} = \frac{1 \text{ bps}}{\text{Hz}} = \frac{1 \text{ bit}}{\text{cycle}}$

QPSK ; BW efficiency = $\frac{10 \text{ Mbps}}{3.33} = \frac{2 \text{ bps}}{\text{Hz}} = \frac{2 \text{ bit}}{\text{cycle}}$

8PSK ; BW efficiency = $\frac{10 \text{ Mbps}}{3.33} = \frac{3 \text{ bps}}{\text{Hz}} = \frac{3 \text{ bit}}{\text{cycle}}$

16QAM ; BW efficiency = $\frac{10 \text{ Mbps}}{3.33} = \frac{4 \text{ bps}}{\text{Hz}} = \frac{4 \text{ bit}}{\text{cycle}}$

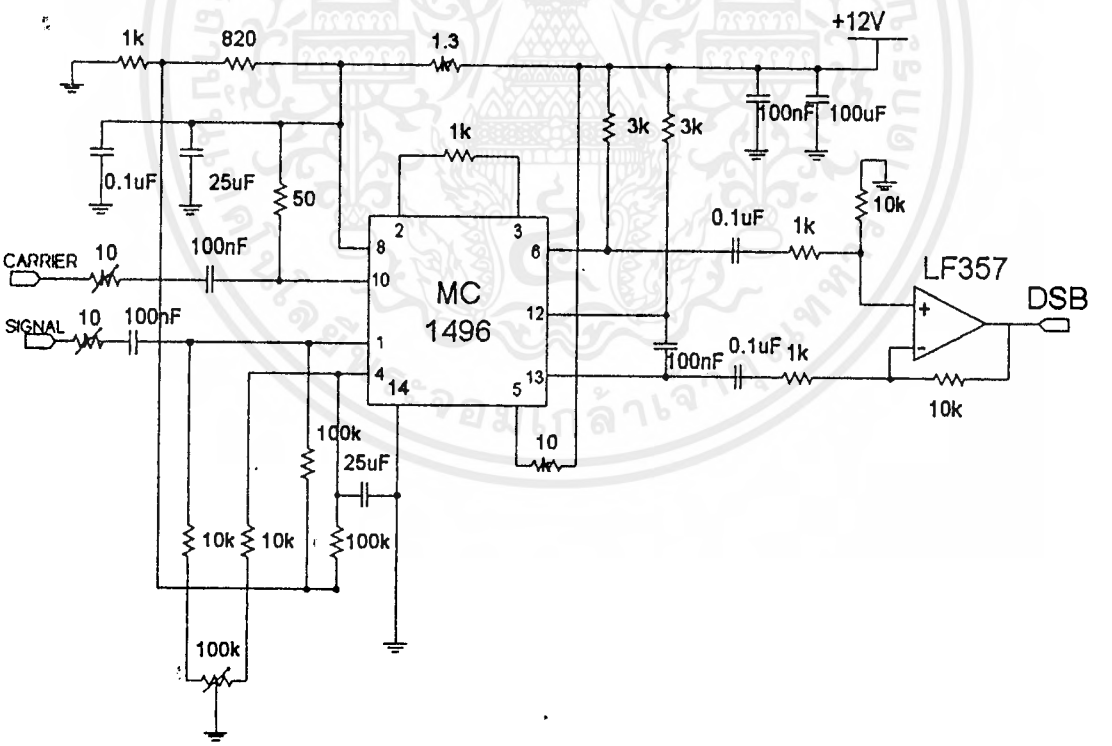
ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16QAM มีประสิทธิภาพสูงสุด และ QPSK ต้องการเพียง 1/2 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน และสรุปข้อแตกต่างได้ในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulation	Encoding	Bandwidth (Hz)	baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.2 สรุปข้อแตกต่างของ FSK, PSK และ QAM

วงจรบาลานซ์มอดดูเลทเตอร์ (Balance Modulator)



รูปที่ 2.4 วงจรบาลานซ์ มอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์มอดดูเลเตอร์หรือเรียกย่อๆ ว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณเบสแบนด์กับสัญญาณพาหะ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้นโดยสัญญาณพาหะจะถูกกำจัดออกไปในการออกแบบวงจร BM นี้จะใช้ IC MC 1496 ทำหน้าที่เป็นตัวบาลานซ์มอดดูเลเตอร์ โดยในวงจรจะมี VR 100 kOhm เป็นตัวปรับสมดุลย์ การกำจัดพาหะขึ้นอยู่กับระดับ สัญญาณพาหะที่ป้อนระดับสัญญาณพาหะที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV_{P-P} ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 2.4

การทำงานของวงจรบาลานซ์มอดดูเลเตอร์ เหมือนกับวงจรคูณสัญญาณสมมุติให้สัญญาณแรกคือ พาหะ $f_c = \sin w_c t$

และอีกสัญญาณคือ เบสแบนด์ $f_m = \sin w_m t$

และจะได้ output :

$$Vo = A_c \sin w_c t * A_m \sin w_m t$$

$$Vo = (A_c A_m/2) [\cos (w_c - w_m)t + \cos (w_c + w_m)t]$$

IC MC1496,MC1596 ตัวนี้จะทำหน้าที่เป็น บาลานซ์มอดูแลเตอร์ / ดีมอดูเลเตอร์ ซึ่งถูกออกแบบสำหรับใช้กับเอาท์พุทเกิดจากการคูณของสัญญาณเบสแบนด์กับพาหะซึ่งนอกจากทำเป็นวงจรบาลานซ์มอดูเลเตอร์แล้ว ยังสามารถนำไปแระยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator, Synchronous Detection, FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่า ในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของสัญญาณพาหะและสัญญาณเบสแบนด์วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียว คือ +12 V นอกจากนี้ IC MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ -8V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จากคู่มือไอซีในภาคผนวก

Active Filter

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวกตัวความ ต้านทาน ตัวเก็บประจุ วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ output

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency)
   หรือย่านความถี่วิทยุ (Radio Frequency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วยถ้ำนึงถึงชิ้นส่วน (Element) ที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ ค่าความต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป Op-Amp และ ตัวความต้านทาน และตัวเก็บประจุ ทำงานร่วมกัน ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงานยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ IC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูงและ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม

3. ราคาถูกกว่าเนื่องจาก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำ (Low Pass Filter)
- กรองความถี่สูง (High Pass Filter)
- กรองช่วงความถี่ (Band Pass Filter)
- กำหนดช่วงความถี่ผ่าน (Band Reject หรือ Band Stop Filter)
- ความถี่ผ่านตลอด (All Pass Filter)

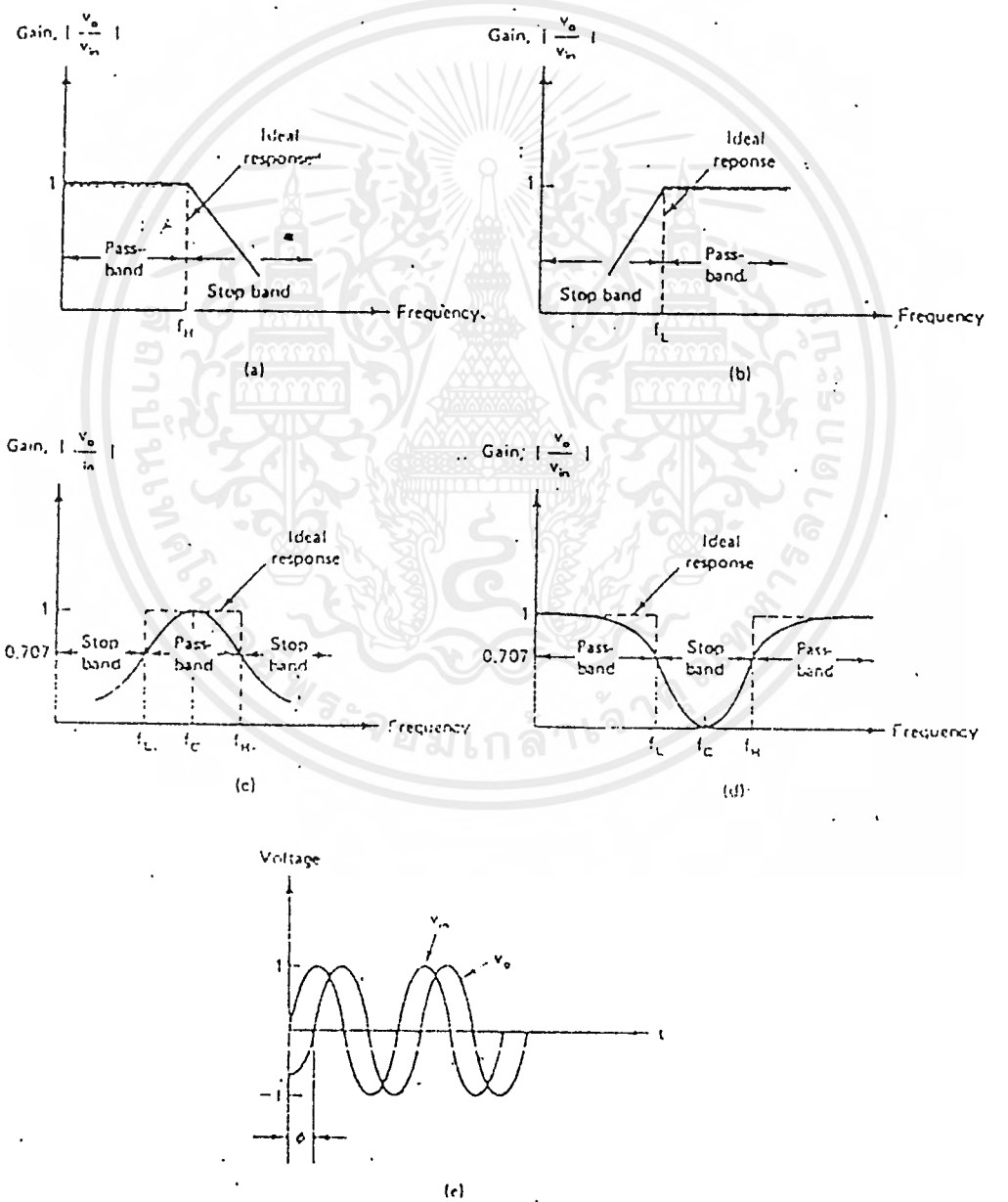
Filter เหล่านี้อาศัยตัวต้านทานและตัวเก็บประจุเป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูงและ Unity Gain Bandwidth สูงๆ เช่น LM 318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎี ส่วน เส้นตอบสนอง ในทางปฏิบัติแสดงด้วยเส้นทึบ

รูปที่ 2.5 (a) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำมีขนาดของเกน (Gain)คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของแบนวิดธ์ (Bandwidth) จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นเกนจะลดลง 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณ Input ที่เพิ่มขึ้น ช่วงของ ความถี่ระหว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0 - f_H Hz เรียกว่า ช่วงผ่าน (Pass Band) ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไปซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะเรียกว่า ช่วงหยุด (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมีความสูญเสีย (Loss) เป็นศูนย์ตลอดช่วงผ่านและมีความสูญเสียเป็นอนันต์ใน ช่วงหยุด แต่สภาพความเป็นจริงในทางปฏิบัติ มิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น(Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับการตอบสนองที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่นตัวความต้านทานและ ตัวเก็บประจุ ที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุดและใช้Op - Amp ชนิดความเร็วสูง



รูปที่ 2.5 Frequency Response ของวงจร Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ เส้นตอบสนองประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth Filter ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุด ในลักษณะค่อนข้างราบเรียบบางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ ช่วงผ่าน เป็น Ripple และช่วงหยุดเป็น Flat ส่วน Caur Filter ให้ทั้งช่วงผ่านและช่วงหยุดเป็น Ripple ทั้งยู่ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็นเส้นตอบสนอง ของวงจรกรองความถี่สูง เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง ช่วงหยุด จะอยู่ที่ ความถี่ $o < f < f_L$ และช่วงของช่วงผ่านอยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดงการตอบสนองความถี่ของวงจรกรองส่วนความถี่ ช่วงช่วงผ่านอยู่ระหว่างสองความถี่คัทออฟได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่เกน ลดลง 3 dB และช่วง ช่วงหยุดมีสองช่วงที่ $o < f < f_L$ กับ $f > f_L$ โดยที่ $f_H > f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และความถี่ตรงกลาง (Center Frequency) อยู่ที่ความถี่ f_o ปรากฏที่ตำแหน่งกึ่งกลางช่วง (Pass Band Gain) พอดี

รูปที่ 2.5 (d) แสดงการตอบสนอง ของ กำหนดช่วงผ่าน มี Curve คุณลักษณะตรงข้ามกับกรองช่วงผ่าน กล่าวคือช่วง ช่วงหยุด อยู่ระหว่างความถี่คัทออฟสองขุดคือ f_H กับ f_L และมีช่วงช่วงผ่านสองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f > f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า แบนด์วิดธ์ ของ ช่วงหยุด เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงหยุดเป็นความถี่ ความถี่กึ่งกลางหรือ f_o

รูปที่ 2.5 (e) แสดงการเลื่อนเฟส (Phase Shift) ระหว่างแรงดันอินพุท (Vin) กับ แรงดันเอาท์พุท (Vo) ของความถี่ผ่านตลอดมีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆ กันกล่าวคือให้ แรงดันเอาท์พุทเท่ากับแรงดันอินพุท ในทุกความถี่โดยปรากฏการเลื่อนเฟสขึ้นระหว่างแรงดันเอาท์พุท กับแรงดันอินพุท ในบางความถี่แต่ค่าความถี่สูงสุดซึ่งแรงดันเอาท์พุท กับ แรงดันอินพุท ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op - Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง แรงดันเอาท์พุทกับแรงดันอินพุท จะมีค่าสูงสุด

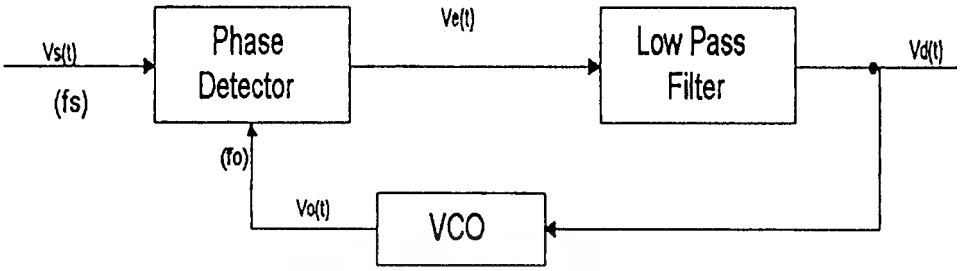
เฟสล็อคลูป (Phase Lock Loop)

เฟสล็อคลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อคหรือซิ้งค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามาดังนั้นโวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามาอาทิเช่นหากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่าน วงจรกรองความถี่ต่ำ จะเป็นสัญญาณที่ถูกทำ การดีมอดดูเลทค์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของ เฟสล็อคลูป

หลักการเบื้องต้นของ เฟสล็อคลูปก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญสามส่วนดังบล็อคไดอะแกรมในรูปที่ 2.6 คือ เฟสดีเทคเตอร์ (Phase Detector), กรองความถี่ต่ำและ Voltage Control Oscillator (VCO)



รูปที่ 2.6 บล็อกไดอะแกรมของวงจร เฟสล็อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่า Free - running เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่านกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิ้งค์ เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของ เฟสล็อคลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึงย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง เฟสล็อคลูป ยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล็อคลูปลดลง

Capture Range หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของวงจรกรองความถี่ต่ำคือจะลดลงหากแบนด์วิดธ์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.6 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ เฟสล็อคลูป ดังรูป

จากส่วนบนของรูปที่ 2.7 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้เฟสล็อคลูปเริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCOให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

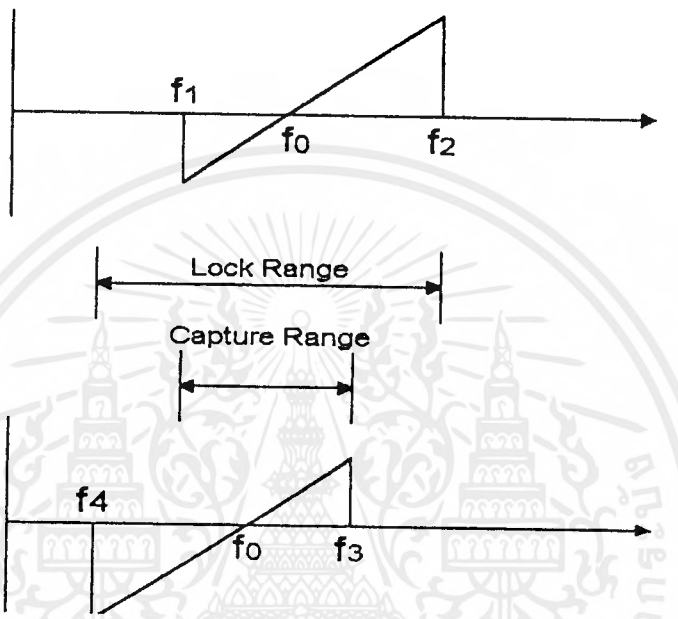
จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล็อค และ Vd เท่ากับศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.7 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของ เฟสล็อคลูป และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 - f4

Capture Range = f3 - f1



รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน MATLAB

โปรแกรม MATLAB เป็นโปรแกรมที่ออกแบบมาสำหรับการคำนวณทางคณิตศาสตร์โดยทั่วไป โดยเฉพาะอย่างยิ่งการคำนวณเวคเตอร์และเมตริกซ์ ทั้งในระบบจำนวนจริงและระบบจำนวนเชิงซ้อนซึ่งเป็นการเหมาะสมสำหรับการใช้งานในการคำนวนวิเคราะห์ (analysis) และออกแบบระบบ (system design) ในทางวิศวกรรมทุกสาขา

โปรแกรม MATLAB มีลักษณะคำสั่งที่เป็นฟังก์ชั่นทางคณิตศาสตร์ เช่นต้องการหารากของสมการโพลีโนเมียลก็เพียงแต่พิมพ์ฟังก์ชั่น roots (poly) แทนที่ต้องเขียนเป็นโปรแกรมแล้วมาคอมไพล์เองหลายๆ ฟังก์ชั่นใน MATLAB ต้องเรียกใช้ฟังก์ชั่นอื่นๆ ประกอบตามความซับซ้อนของอัลกอริทึม เช่น การออกแบบหาตัวควบคุมด้วยฟังก์ชั่น lqr จะต้องเรียกฟังก์ชั่นประกอบอื่นๆ อีกไม่ต่ำกว่า 10 ฟังก์ชั่นลักษณะการคำนวณแบบนี้ ถ้าเป็นการคำนวณที่ซับซ้อนก็จะเสียเวลานานในการรียก ฟังก์ชั่นประกอบแต่ข้อดีคือผู้ใช้สามารถที่จะเลือกใช้ฟังก์ชั่นที่จำหน่ายโดยบริษัท หรืออาจจะทำการดัด แปลงแก้ไขหรือแม้แต่เขียนฟังก์ชั่นเองขึ้นมาใหม่ให้เหมาะสมกับการใช้งานของตัวเองทางบริษัท MathWorkr ผู้ออกแบบโปรแกรม MATLABได้ทำการรวบรวมฟังก์ชั่นต่างๆ โดยเฉพาะฟังก์ชั่นทางงาน วิศวกรรมเป็นหมวดหมู่เรียกว่า toolbox

การอ่านและเก็บ (read and write) ค่าตัวแปรจากหรือลงบนแผ่นแม่เหล็กก็สามารถทำได้ทั้งในรูปแบบของ MATLAB เอง (binaly file) หรือเป็นรูปแบบ ASCII file ก็ได้ ทำให้การเชื่อมต่อ (interfacs) ทางข้อมูลระหว่าง MATLAB กับโปรแกรมอื่นเป็นไปโดยง่าย

การเริ่มใช้งาน

โปรแกรม MATLAB ที่ได้ติดตั้งบนระบบ LAN เป็น Vertion 4.2c for windows การเรียกใช้งานให้นักศึกษา login เข้าระบบ LAN แล้วเข้า Windows จากนั้นให้ click เรียกโปรแกรม MATLAB เมื่อเข้าไปในโปรแกรม MATLAB เรียบร้อยแล้วควรจะอยู่ใน MATLAB Command Windows และเห็นเครื่องหมายรอรับคำสั่ง พร้อมท์ (prompt) ของ MATLAB เป็นรูป ">>"

การเรียก help ของ MATLAB ให้พิมพ์คำสั่ง help จะแสดงหมวดหมู่ของคำสั่งหรือฟังก์ชั่นต่างๆ ของ MATLAB ถ้าต้องการดูกลุ่มคำสั่งของหัวข้อใดก็ให้พิมพ์ help <หัวข้อ> เช่น ถ้าต้องการดูคำสั่งทั้งหมดในกลุ่มของ Control System Toolbox ให้พิมพ์ help control จะแสดงชื่อ ฟังก์ชั่นต่างๆ ที่อยู่ใน Control System Toolbox เมื่อต้องการรายละเอียดของคำสั่งแต่ละคำสั่งให้พิมพ์ help <คำสั่ง> เช่น help step เป็นต้น

การคำนวณพื้นฐาน

เมื่อพิมพ์คำสั่งการคำนวณที่เครื่องหมายเตรียมพร้อม ">>" MATLAB จะทำการคำนวณแล้วให้คำตอบได้ทันที (แบบเดียวกับเครื่องคิดเลข) เช่น

```
>> 3*2+5^4   <ENTER>
```

ก็จะได้คำตอบทันทีว่า ans = 631

การคำนวณทุกชนิดจะถูกพิมพ์คำตอบออกมา ถ้าไม่ต้องการให้พิมพ์ผลการคำนวณบนหน้าจอให้พิมพ์เครื่องหมาย semicolon (;) ต่อท้ายบรรทัด เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
>> 3*2+1.023-18;   <ENTER>
```

ผลการคำนวณจะถูกเก็บไว้ในตัวแปรชื่อ ans แต่จะไม่ถูกพิมพ์ออกมาทางหน้าจอ และถ้าต้องการทราบคำตอบก็ให้พิมพ์ ans ดังนี้

```
>> ans  < ENTER >
```

ตารางแสดงการปฏิบัติการทางคณิตศาสตร์แบบพื้นฐานใน MATLAB	
+	การบวก
-	การลบ
*	การคูณ
/	การหาร
^	การยกกำลัง

ตารางที่ 2.3 แสดงการปฏิบัติการทางคณิตศาสตร์ใน MATLAB

ถ้านิพจน์ใดไม่สามารถใส่ได้หมดใน 1 บรรทัดและจำเป็นต้องเขียนต่อในบรรทัดใหม่ให้พิมพ์ (3 จุด) ต่อท้ายบรรทัดแรก เช่น

```
>> 1.234 + 2.345 + ....   <ENTER>
      7.890 + 9.8479  <ENTER>
ans  =  21.3169
```

<u>ตัวแปร</u>

การให้ค่ากับตัวแปร สามารถทำได้โดยใช้เครื่องหมาย เท่ากับ (=) เช่นเดียวกับการให้ค่าตัวแปรในโปรแกรมคอมพิวเตอร์ทั่วๆ ไปโดยให้ชื่อตัวแปรอยู่ทางซ้ายของเครื่องหมายเท่ากับ

```
>> ตัวแปร  =  นิพจน์
```

เช่น

```
>>  A = 3 + ( 5 - 7 / 8 )          <ENTER>
```

เป็นการให้ค่าของนิพจน์ 3 + (5 - 7 / 8) หรือเท่ากับ 7.1250 แก่ตัวแปรชื่อ A ให้สังเกตว่า MATLAB จะทำการพิมพ์ค่าของตัวแปรทุกครั้งที่มีการให้ค่า เช่น เดียวกันกับกรณีของการคำนวณแบบเครื่องคิดเลขที่กล่าวถึงในหัวข้อที่แล้ว ถ้าไม่ต้องการให้พิมพ์ค่าของตัวแปร ให้ใส่เครื่องหมาย semicolon (;) ต่อท้ายบรรทัด เช่น

```
>> b = sin (.15);          <ENTER>
```

ค่าของ b = sin(.15) จะถูกคำนวณแต่ไม่ถูกพิมพ์ออกมา การเรียกดูค่าในตัวแปรให้พิมพ์ชื่อตัวแปรนั้น

```
>> b                       <ENTER>
```

การเรียกดูชื่อของตัวแปรที่มีใช้อยู่ในพื้นที่ใช้งาน (work space) ขณะนั้นให้ใช้คำสั่ง <u>who</u> ซึ่งจะแสดงเฉพาะชื่อของตัวแปรหรือ <u>whos</u> ซึ่งจะแสดงทั้งชื่อ,ขนาด (dimension) (สำหรับเวกเตอร์ หรือเมตริกซ์) และชนิด (จำนวนจริง หรือ จำนวนเชิงซ้อน) ของตัวแปรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อของตัวแปรใน MATLAB จะต้องขึ้นต้นด้วยตัวอักษร และอาจจะตามด้วยตัวเลขก็ได้ชื่อตัวแปรที่ประกอบด้วยตัวอักษรเล็ก-ใหญ่จะมีความหมายต่างกัน ถึงแม้จะเป็นตัวแปรชื่อเดียวกันแต่ถ้าใช้ตัวพิมพ์เล็ก - ใหญ่ต่างกันจะแทนตัวแปรคนละตัว (case sensitive)

ค่าคงที่ต่างๆ จำนวนหนึ่งได้ถูกกำหนดให้เป็นตัวแปรชื่อเฉพาะใน MATLAB เช่น pi , Inf (+∞) , i , และ j ($\sqrt{-1}$

การใช้เบขจำนวนเชิงซ้อนสามารถทำได้โดยใช้ i และ j ประกอบเช่น

```
>> z = 3 + 8i          <ENTER>
```

สิ่งที่ต้องระวัง ในกาตั้งชื่อตัวแปรควรหลีกเลี่ยงชื่อตัวแปรที่ MATLAB กำหนดอยู่ก่อนแล้ว เช่นตัวแปร i และ j ใน MATLAB จะเป็นจำนวนเชิงซ้อนมีค่าเป็น $\sqrt{-1}$ ถ้าในการคำนวณมีการกำหนด ค่า I หรือ j เป็นค่าอื่นในกรณีเช่นนี้ค่าของ $\sqrt{-1}$ ในถูกลบไป

การคำนวณที่ไม่นิยามในทางคณิตศาสตร์ เช่น 0/0 (Warning:Divide by zero ans = Nan, Inf / Inf , Inf - Inf จะให้คำตอบเป็น Nan (Not a number)

เวคเตอร์

การกำหนดนิยามของเวคเตอร์ใน MATLAB สามารถทำได้หลายวิธี วิธีแรกคือการพิมพ์ค่าของแต่ละอิลิเมนต์ในเวคเตอร์โดยใช้เครื่องหมาย วงเล็บก้ามปู ([ ]) เช่น

```
>> M = [ 1 8  9 ];          <ENTER>
```

หรือ

```
>> M = [1, 8, 9 ];          <ENTER>
```

เป็นการป้อนค่าให้กับเวคเตอร์ M เป็นเวคเตอร์แถว (row vector) มีอิลิเมนต์ในเวคเตอร์นี้อยู่สาม อิลิเมนต์ คือ 1,8,และ 9 การแบ่งหลัก (column) ในแต่ละแถวสามารถใช้ได้ทั้งการเว้นวรรค (space)หรือการใช้เครื่องหมายลูกน้ำ (,)

การพิมพ์ค่าของอิลิเมนต์ในเวคเตอร์หลัก (column vector) ก็ทำโดยลักษณะคล้ายๆกันแต่ใช้เครื่องหมาย semicolon (;) ในระหว่างแต่ละอิลิเมนต์ เป็นการแบ่งอิลิเมนต์ เช่นต้องการป้อน ค่าเวคเตอร์

$$l = \begin{bmatrix} 2 \\ 6 \\ 14 \end{bmatrix}$$ ใน MATLAB

```
>> l = [ 2; 6; 14 ];.      <ENTER>
```

หรือ

```
>> l = [2 ;                <ENTER>
       6                   <ENTER>
       14];
```

อีกวิธีหนึ่งที่ใช้สร้างเวคเตอร์ที่อิลิเมนต์ในเว่เตอร์นั้นมีค่าเรียงกันไป เช่น จากหนึ่งถึงสิบ หรือจากร้อยถึงพันโดยเพิ่มที่ละสองร้อย สามารถทำได้โดยสะดวก โดยใช้เครื่องหมาย colon (:)

```
>>variable = begin : increment :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น ถ้าต้องการป้อนค่าตั้งแต่ 1 ถึง 10 โดยเพิ่มทีละ 0.1 ให้กับเวคเตอร์ t

```
>>t=1:0.1:10;                <ENTER>
```

เวคเตอร์ที่ได้จะเป็นเวคเตอร์หลัก(row vector)และถ้าต้องการสร้างเวคเตอร์ที่มีอิลิเมนต์ค่าลดลงจากค่ามากไล่ลงไปค่าน้อยให้ใช้ increment ที่เป็นค่าลบ เช่น

```
>>t_neg=10 : -0.2 : 1;        <ENTER>
```

เมตริกซ์

การป้อนค่าให้กับอิลิเมนต์ในเมตริกซ์ สามารถทำได้ด้วยลักษณะเดียวกันกับการป้อนค่าเวคเตอร์ กล่าวคือแต่ละอิลิเมนต์ในหนึ่งแถวจะแบ่งด้วยการเว้นวรรค (space) แต่ละแถวจะแบ่งด้วยเครื่องหมาย semicolon หรือโดยการกด <ENTER> เช่น

```
>> k = [4   5 ; 7   8];        <ENTER>
```

หรือ

```
>> k = [4   5                  <ENTER>
       7   8];
```

การทรานสโพส (transpose) เวคเตอร์หรือเมตริกซ์ให้พิมพ์ “ ‘ ”ต่อท้ายชื่อตัวแปรหรือเครื่องหมายปีกกา เช่น

```
>> k = K' ;                    <ENTER>
```

หรือ

```
>> k = [4   5 ; 7   8]' ;      <ENTER>
```

ฟังก์ชั่นพื้นฐาน

ฟังก์ชั่นทางคณิตศาสตร์พื้นฐานได้แสดงไว้ในตารางข้างล่าง ให้สังเกตว่าชื่อของฟังก์ชั่นต้องใช้ตัวอักษรตัวเล็ก และหน่วยของมุมที่ใช้เป็นเรเดียน

คำสั่ง	ความหมาย
abs	Absolute value, complex magnitude
angle	Phase Angle
ans	Answer when expression is not assigned
atan	Arctarigent
axis	Manual axis scaling
bode	plot bode diagram

ตารางที่ 2.4 แสดงฟังก์ชั่นพื้นฐานใน MATLAB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	ความหมาย
clear	Clear workspace
clg	Clear graph screen
computer	Type of computer
conj	Complex conjugate
conv	Convolution, multiplication
corrcoef	Correlation coefficients
cos	Cosine
cosh	Hyperbolic cosine
cov	Covariance
decov	Deconvolution, division
det	Determinant
diag	Diagonal matrix
eig	Eigenvalue and eigenvectors
exit	Terminate program
exp	Exponential base e
expm	Matrix exponential
eye	Identity matrix
filter	Direct filter implementation
format long	15-Digit scaled fixed point
format long e	15-Digit floating point
format short	5-Digit scaled fixed point
format short e	5-Digit floating point
freqs	Laplace transform frequency response
freqz	z-transform frequency response
grid	Draw grid lines
hold	Hold current graph on the screen
I	sqrt(-1)
imag	Imaginary part
inf	Infinity
inv	Inverse

ตารางที่ 2.4 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	ความหมาย
j	Sqrt(-1)
length	Vector length
linspace	Linearly spaced vectors
log	Natural logarithm
loglog	loglog x-y plot
logm	Matrix logarithm
logspace	Logarithmically spaced vectors
log10	Log base 10
lqe	Linear quadratic estimator design
lqr	Linear quadratic regulator design
max	Maximum value
mean	Mean value
median	Median value
min	Minimum value
NaN	Not-a-number
nyquist	Plot Nyquist frequency response
ones	constant
pi	Pi
plot	Linear x-y plot
polar	Polar plot
poly	Characteristic polynomial
polyfit	Polynomial curve fitting
polyval	Polynomial evaluation
polyvalm	Matrix polynomial evaluation
prod	Product of elements
quit	Terminate program

ตารางที่ 2.4 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

039113

คำสั่ง	ความหมาย
rand	Generate random number and matrices
rank	Calculate the rank of a matrix
real	Real part
rem	Remainder or modulus
residue	Partial-fraction expansion
rlocus	Plot root loci
roots	Polynomial roots
semilogx	Semilog x-y plot (xiaxis logarithmic)
semilogy	Semilog x-y ptot (y-axis logarithmic)
sign	Slgnum function
sin	Sine
sinh	Hyperbolic sine
size	Row and column dimensions
sqrt	Square root
sqrtm	Matrix square root
std	Standard deviation
step	Plot unit-step response
sum	Sum of elements
tan	Tangent
tanh	Hyperbolic tangent
text	Arbitrarily positioned text
title	Plot title
trace	Trace of a matrix
who	Llsts all variables currently in memory
xlabel	x-Axis label
ylabel	y-Axis label
zeros	Zero

ตารางที่ 2.4 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งกราฟฟิค 2 มิติของ MATLAB สามารถเรียกดูได้จากการพิมพ์ help plotxy ตัวอย่างของการใช้งานคำสั่ง plot เช่น ต้องการพล็อตค่าของฟังก์ชั่น x*sin(x) โดยให้ x มีค่าตั้งแต่ 0 ถึง 1 step ละ 0.1 สามารถทำได้โดย

```
>> x=[0:0.1:1]';        <ENTER>     %เป็นการกำหนดค่า x เป็นเวคเตอร์
>> y=x.*sin(x);         <ENTER>     %คูณแต่ละค่าในเวคเตอร์(.*)ด้วย sin(x)
>> plot (x,y);          <ENTER>
```

การเปลี่ยนหน้าจอระหว่าง Command Window และ Figure Window ทำได้โดยเลือกจาก Window บน menu bar หรือ พิมพ์ figure(1) เพื่อเป็นการเรียกรูป (figure) ที่ 1 ขึ้นมา

การกด Alt - TAB ใน Microsoft Windows เป็นการสลับ (switch) การใช้งานระหว่างงาน (task) ต่างๆ เพื่อเป็นการจำลองระบบ multitasking ซึ่ง Command Window และ Figure Window จะถูกมองเป็น task ด้วย ดังนั้น จึงสามารถใช้ Alt - Tab เพื่อเปลี่ยนหน้าจอก็ได้

การเก็บค่าตัวแปร

การเก็บค่าตัวแปรใน work space ลงบนแผ่นดิสก์สามารถทำได้โดยใช้คำสั่งในหมวดของคำสั่ง save ดังนี้

1. save : เก็บทุกค่าตัวแปรใน work space ลงในไฟล์ชื่อ matlab.mat
2. save filename : เหมือนกรณีที่ 1 แต่ใช้ชื่อไฟล์ filename.mat แทนที่จะใช้ ชื่อ matlab.mat
3. save filenameXYZ : เก็บเฉพาะตัวแปร X,Y,และ Z ลงในไฟล์ชื่อ filename.mat
4. save filenameXYZ - ascii : เก็บตัวแปรเก็บเฉพาะตัวแปรX,Y,และZ ลงในไฟล์ชื่อ filename ในรูปแบบ ascii ที่สามารถอ่านด้วยโปรแกรมอื่นๆ ได้
5. save filenameXYZ - ascii - double : เหมือนกับกรณีที่ 4 แต่เก็บเป็น 16 - digit แทนที่จะเป็น 8 - digit
6. save filenameXYZ - ascii - double - tabs : เป็นการเก็บข้อมูลโดยแต่ละข้อมูลจะแยกกันด้วย tabs

การอ่านค่าตัวแปรกลับ (load)

ข้อมูลที่เก็บบนแผ่นดิสก์สามารถอ่านกลับมาใน work space ได้โดยใช้คำสั่ง load

1. load : ทำการ load ค่าตัวแปรที่เก็บในไฟล์ชื่อ matlab.mat กลับมาใน work space
2. load filename : load ค่าตัวแปรทุกตัวแปร จากไฟล์ชื่อ filename.mat
3. load filename.xyz : load ค่าตัวแปรในรูปแบบ ascii จากไฟล์ชื่อ filename.xyz

การเขียน .m ไฟล์

ประโยชน์ของการเขียน .m file คือ สามารถเก็บขั้นตอนการคิดคำนวณต่างๆ ไว้ในแผ่นข้อมูลได้และสามารถพิมพ์ออกทางเครื่องพิมพ์ได้โดยสะดวก การปรับเปลี่ยนแก้ไขขั้นตอนในการคำนวณต่างๆ ก็สามารถทำได้โดยง่ายดังนั้นจึงขอแนะนำให้นักศึกษาทำการทดลองทุกการทดลองโดยเขียนเป็น .m file พร้อมทั้งใส่หมายเหตุไว้อย่างละเอียดทุกไฟล์ เพื่อจะเก็บไว้ดูภายหลังด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเริ่มเขียน .m file สามารถทำได้ โดยเลือก File บน menu bar แล้วเลือก New m file (หรือ Open m file ถ้าต้องการเปิดไฟล์ที่มีอยู่แล้ว) จากนั้นโปรแกรม text editor ชื่อ Notepad จะปรากฏขึ้นมาให้นักศึกษาเริ่มเขียน .m file ได้ ตัวอย่างเช่นต้องการเขียนโปรแกรมพล็อตรูป sin(x) โดย x มีค่าตั้งแต่ 0 ถึง 2pi แต่ความละเอียดยังไม่แน่ใจว่าจะใช้ค่าใดดี จึงลองเขียน dao.m โดยเลือก File บน menu bar แล้วเลือก New m file

```
% plot sin(x) function from 0 to 2pi
% as of 5/08/95  13:00
clsar;
x=[0:0.1:2*pil';          % step  size  :  =0.1
y=sina(x);
plot (x,y);
figure (1);
```

เมื่อเขียนเสร็จ ให้เลือก File บน menu bar ของ Notepad แล้วเลือก Save as ..... พิมพ์ชื่อไฟล์ว่า dao.m โดยให้เก็บใน c:\mat\ จากนั้นให้กด Alt-Tab จนกลับมาที่ MATLAB เมื่อพิมพ์ชื่อไฟล์ dao ที่ Matlab พร้อมท์ โปรแกรมก็จะทำงานโดยพล็อตรูป sine ใน Figure 1

```
>> dao                    <ENTER>
```

การเก็บงานการทดลองของนักศึกษา ให้เก็บลงใน c:\mat\ เท่านั้น เนื่องจาก MATLAB จะค้นหาฟังก์ชั่นต่างๆ ตาม path ตั้งไว้เท่านั้น ถ้า save ข้อมูลลงใน directory อื่นๆ นอกเหนือจาก path ที่ตั้งไว้ ต้องเปลี่ยน directory ก่อนโดยใช้คำสั่ง chdir ใน MATLAB ซึ่งไม่ขอแนะนำวิธีนี้

และเนื่องจาก drive c: นั้นเป็น ramdrive ข้อมูลของนักศึกษาใน drive c: จะถูกลบไปเมื่อปิดเครื่องหรือกด reset ดังนั้นเมื่อเสร็จงาน นักศึกษาต้อง copy ไฟล์ทุกไฟล์จาก c:\mat\ เก็บลงบนแผ่นของตัวเองเมื่อต้องการแก้ไข m file ในวันอื่นๆ ให้นักศึกษา copy ไฟล์จากแผ่นของตัวเองลงบน c:\mat\ ก่อนที่จะเรียกเข้า Windows

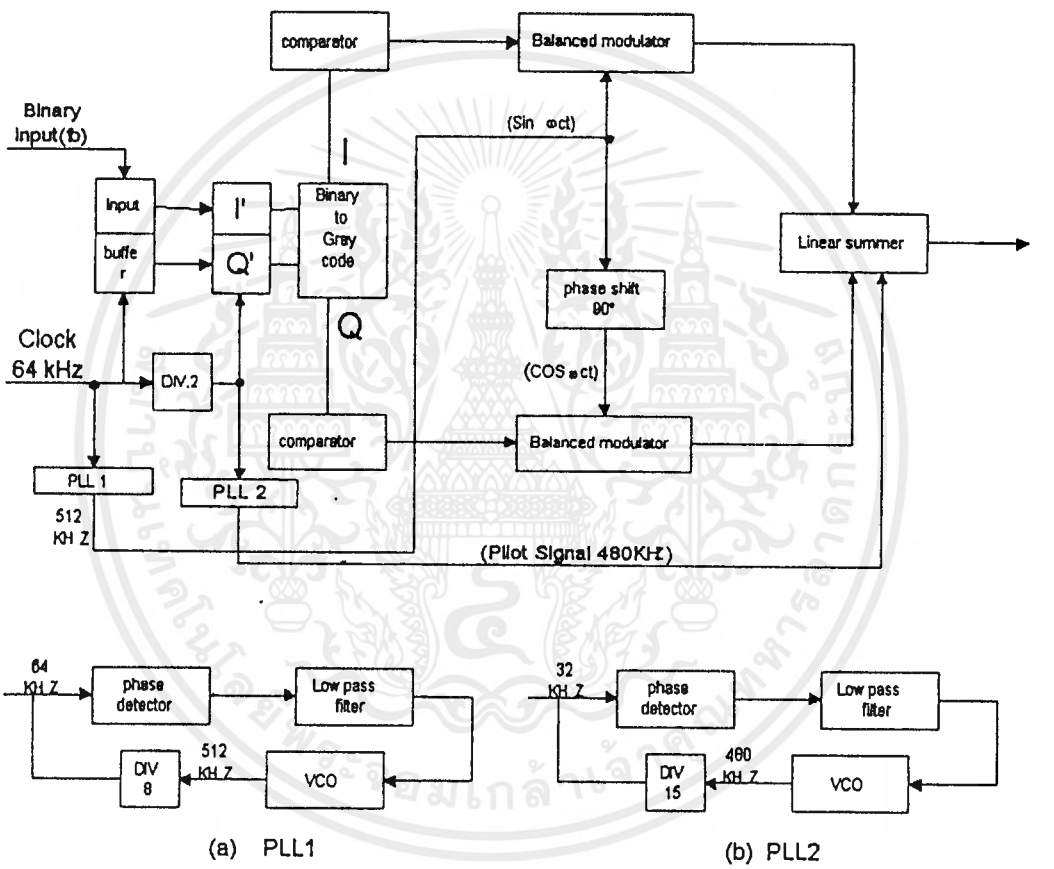
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการSynch-ronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้ Clock 64 kHz โดยใช้หลักการของ PLL ให้ได้ความถี่ที่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำ Clock 64 kHz มาทำเป็นพาหะ 512 kHz และทำเป็นสัญญาณนำร่องเท่ากับ 480 kHz ส่วนรายละเอียดแต่ละบล็อกไดอะแกรมดูการออกแบบแต่ละส่วนภายในบทที่ 3



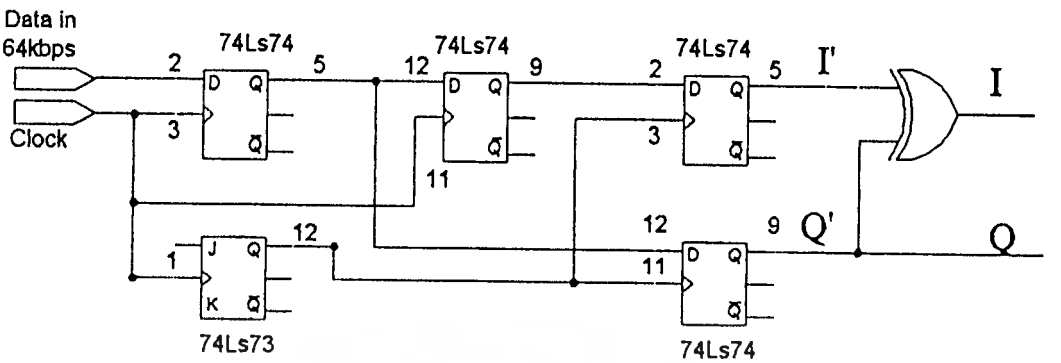
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

วงจรแยกสัญญาณดิจิตอล

เป็นวงจรทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุทเป็น 2 ชุดๆ ละ 1 บิท พร้อมใช้วงจรหน่วงเวลา 2 บิท เพื่อควบคุมให้อินพุทเข้ามาครบ 2 บิทเสียก่อน และจึงทำการแยกสัญญาณ

จากรูปที่ 3.2 นั้นจะใช้ D ฟลิบฟลอบและ JK ฟลิบฟลอบทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ ก็คือ วงจรหน่วงเวลา 2 บิท หรือ วงจรหาร 2 นั้นเอง ช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรอาศัยหลักการของวงจรอนุกรมและขนานนั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากส่วนนี้ มีอยู่ 2 ส่วน คือ Imphase และ Quadrature Phase อาจเรียกง่ายๆ ว่า บิทบน บิทล่าง ก็ได้ ข้อมูลที่ได้จะแบ่งเป็นข้างละบิทแล้วนำข้อมูลนี้ไปเข้าวงจรแบ่งระดับแรงดันต่อไป

วงจรแปลงบิท เป็น 2 ระดับ

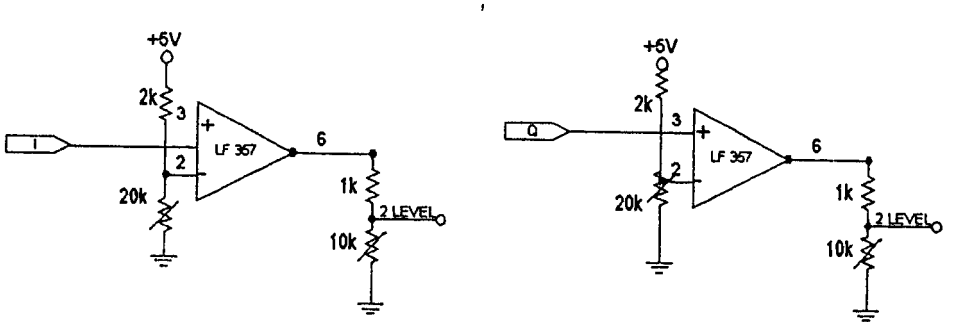
ด้วยสาเหตุที่ว่าวงจรบาลานซ์มอดนั้น สัญญาณดิจิตอลที่จะทำการมอดดูเลทจะต้องเป็นสัญญาณที่มีขนาดไม่เกิน 300 V_{P-P} ดังนั้นความเปลี่ยนแปลงอันเกิดจากสัญญาณบิทมีโอกาศเป็นไปได้ 2^1 = 2 ระดับ การเปลี่ยนแปลงของสัญญาณดังตารางที่ 3.1

I	output
0	-150
1	+150

Q	output
0	-150
1	+150

ตารางที่ 3.1 การแปลงบิทเป็น 2 ระดับ

ในส่วนของวงจรอาศัยวงจร OP - AMP เป็นตัวเปรียบเทียบระดับแรงดันสัญญาณจะทำหน้าที่แปลงให้เป็น 2 ระดับดังข้อกำหนดตารางที่ 3.1 จึงได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 1 บิตเป็น 2 ระดับดังรูปที่ 3.3



รูปที่ 3.3 วงจรแปลงสัญญาณ 1 บิท เป็น 2 ระดับ

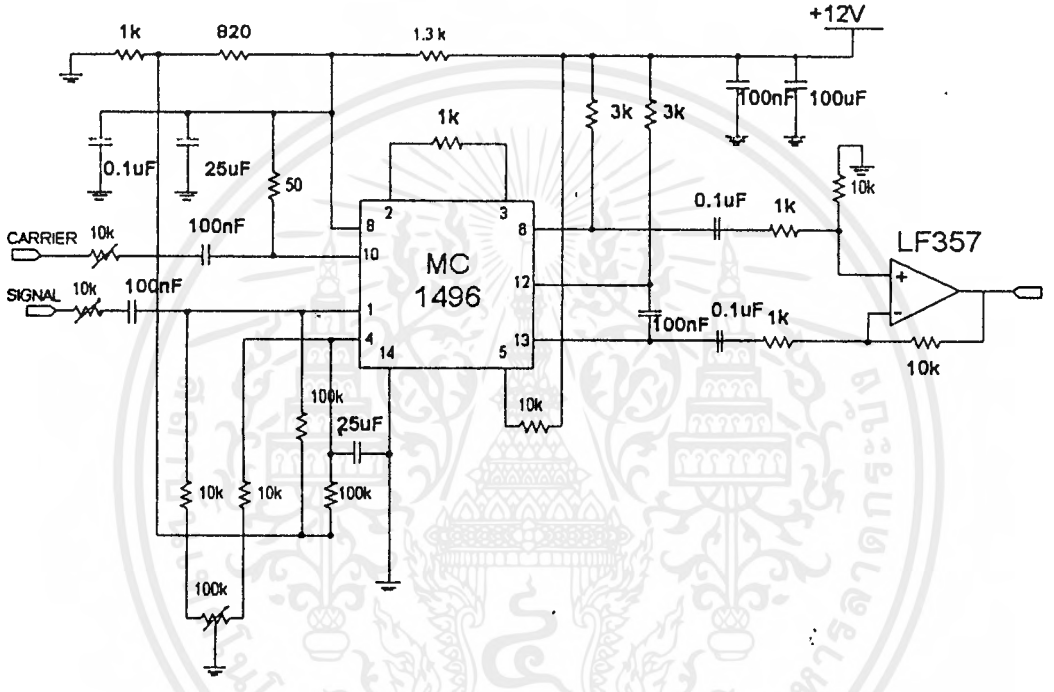
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์มอดดูเลเตอร์

วงจรนี้จะทำหน้าที่คูณกันระหว่างสัญญาณพาหะกับสัญญาณ 2 ระดับ ซึ่งจะมี 2 ส่วนกล่าวคือ จะมีทั้ง Inphase กัน Quadrature Phase

วงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 2 ระดับที่มาจากวงจรแยกสัญญาณดิจิตอลกับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรงส่วนทางด้านQuadrature Phase สัญญาณพาหะที่นำมาคูณจะมาจากสัญญาณพาหะผ่านวงจรเลื่อนเฟส 90 องศา

รายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการดังแสดงดังรูปที่ 3.4



รูปที่ 3.4 วงจรบาลานซ์มอดดูเลเตอร์

ข้อควรคำนึงในส่วนวงจรนี้คือ ข้อกำหนดจาก Data Sheet ของ IC MC 1496 ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดดูเลทควรมีค่าประมาณ 300 mV (rms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (rms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่ เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ที่อยู่ในช่วง low frequency cutoff (f_L) กับ high frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร BPF สามารถแบ่งได้ 2 ชนิดคือ wide band pass และ narrow band pass filter โดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า Q < 10 เราเรียกว่าวงจร wind band pass filter และถ้าค่า Q > 10 เรียกว่า narrow band pass filter เราสามารถหาค่า Q ได้จากสมการ

$$Q = \frac{f_o}{BW}$$

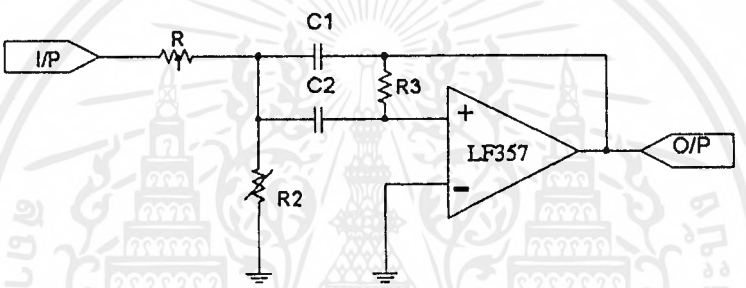
$$= \frac{f_o}{f_H - f_L}$$

โดยที่ f_o คือ ความถี่กึ่งกลาง

BW คือ แบนวิดซ์

สำหรับ wide band filter นั้น เราสามารถหา ความถี่กึ่งกลาง ได้จากสมการ

$$f_o = \sqrt{f_H f_L}$$



รูปที่ 3.5 แสดงวงจร wide band pass filter และ response

วงจร filter ชนิดนี้จะมีค่าแรงดันสูงสุด (V_{max}) อยู่ที่ความถี่หนึ่งซึ่งเราเรียกว่าความถี่ รีโซแนนซ์ (w_r) และจุดที่เอาท์พุทโวลเต็จมีค่า 0.707 V_{max} นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ w_r เราเรียกว่า high cutoff frequency : w_l ช่วงระหว่างความถี่ w_h และ w_l เราเรียกว่าแบนวิดซ์ (B)

$$B = w_h - w_l$$

วงจรกรองช่วงความถี่ แบ่งได้เป็น 2 อย่างคือ วงจร narrow band filter และ วงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดซ์น้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B < 0.1\ w_r$) และวงจร wide band filter จะมีค่าแบนด์วิดซ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดซ์เราเรียกว่า quality factor : Q

$$Q = \frac{w_r}{B}$$

หรือ

$$B = \frac{w_r}{Q}$$

นั้นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

band - pass filter

วงจร wide band filter อย่างง่ายนั้นทำได้โดยนำวงจรกรองความถี่สูงมาต่อ case cade กัน เพื่อเป็นการง่ายต่อการออกแบบ ถ้าเรานำวงจร 1st order HPF ต่อกับ 1st order LPF ก็จะได้เป็น ± 20 dB / decade band pass และถ้าเรานำวงจร 2nd order HPF มาต่อกับ 2nd order LPF ก็จะได้เป็น ± 40 dB / decade band pass ดังนั้น order ของวงจรกรองช่วงความถี่ขึ้นอยู่กับ order ของ วงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำ

จากวงจรเห็นว่าเราใช้ op-amp เพียงตัวเดียวโดยต่อแบบ multiple feedback โดยทั่วไปในการออกแบบ narrow Band นี้เราสามารถหาความสัมพันธ์ของ f_c กับ Q ซึ่งมีสมการดังนี้ในการ ออกแบบเรากำหนดให้ $C_1 = C_2 = C$

$$R_1 = \frac{Q}{2\pi f_o C A_F}$$

$$R_2 = \frac{Q}{2\pi f_o C(2Q - A_F)}$$

$$R_3 = \frac{Q}{\pi f_o C}$$

โดยที่ A_F เป็นเกนที่ความถี่กึ่งกลางหาได้จากสมการ

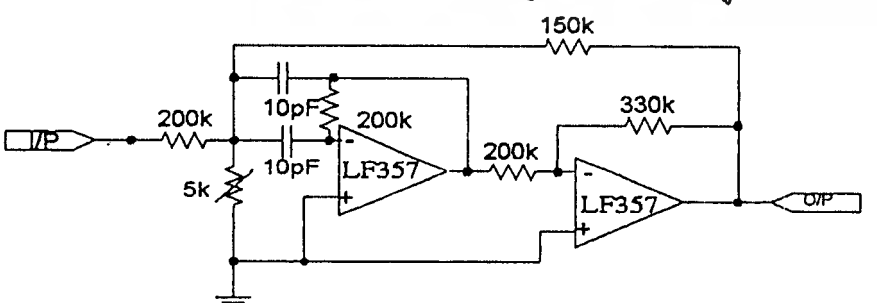
$$A_F = \frac{R_2}{2R_1}$$

ดังนั้น $A_F < 2Q^2$

จากวงจรในรูปเราสามารถเปลี่ยนค่าความถี่กึ่งกลาง f_c ไปเป็น f_c' ได้โดยไม่ต้องเปลี่ยนเกนและแบนด์วิทใหม่ แต่ทำการเปลี่ยนค่า R_2 ไปเป็น R_2' ซึ่ง R_2' หาได้จาก

$$R_2' = R_2 \left[\frac{f_2}{f_1'}\right]^2$$

ส่วนอีกวงจรเป็นวงจรกรองความถี่ย่านผ่าน ใช้สำหรับกรองความถี่ของสัญญาณ นำร่องเราใช้วงจร Positive Feedback Band - Pass Filter เลือกค่า Q = 40 แสดงดังรูป 3.6



รูปที่ 3.6 วงจร Positive Feedback Band -Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

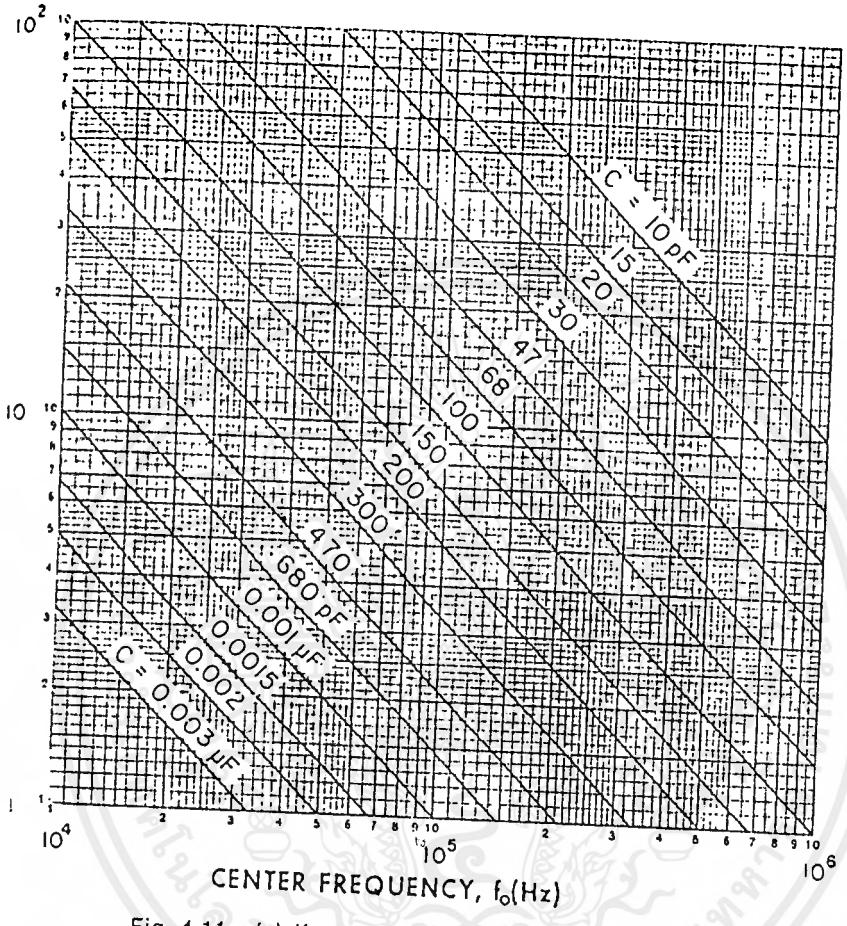


Fig. 4.11. (a) *K* parameter versus frequency.

รูปที่ 3.7 กราฟแสดงความสัมพันธ์ ระหว่าง K parameter เทียบกับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และเกนที่ต้องการขั้นตอนในการออกแบบมีดังนี้

1.) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากรูปที่ 3.7

2.) ใช้ค่า K ที่หาได้จากข้อ (1) มาหาค่าความต้านทานจากรูปที่ 3.8 ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q , BW และเกนที่เรากำหนด

3.) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

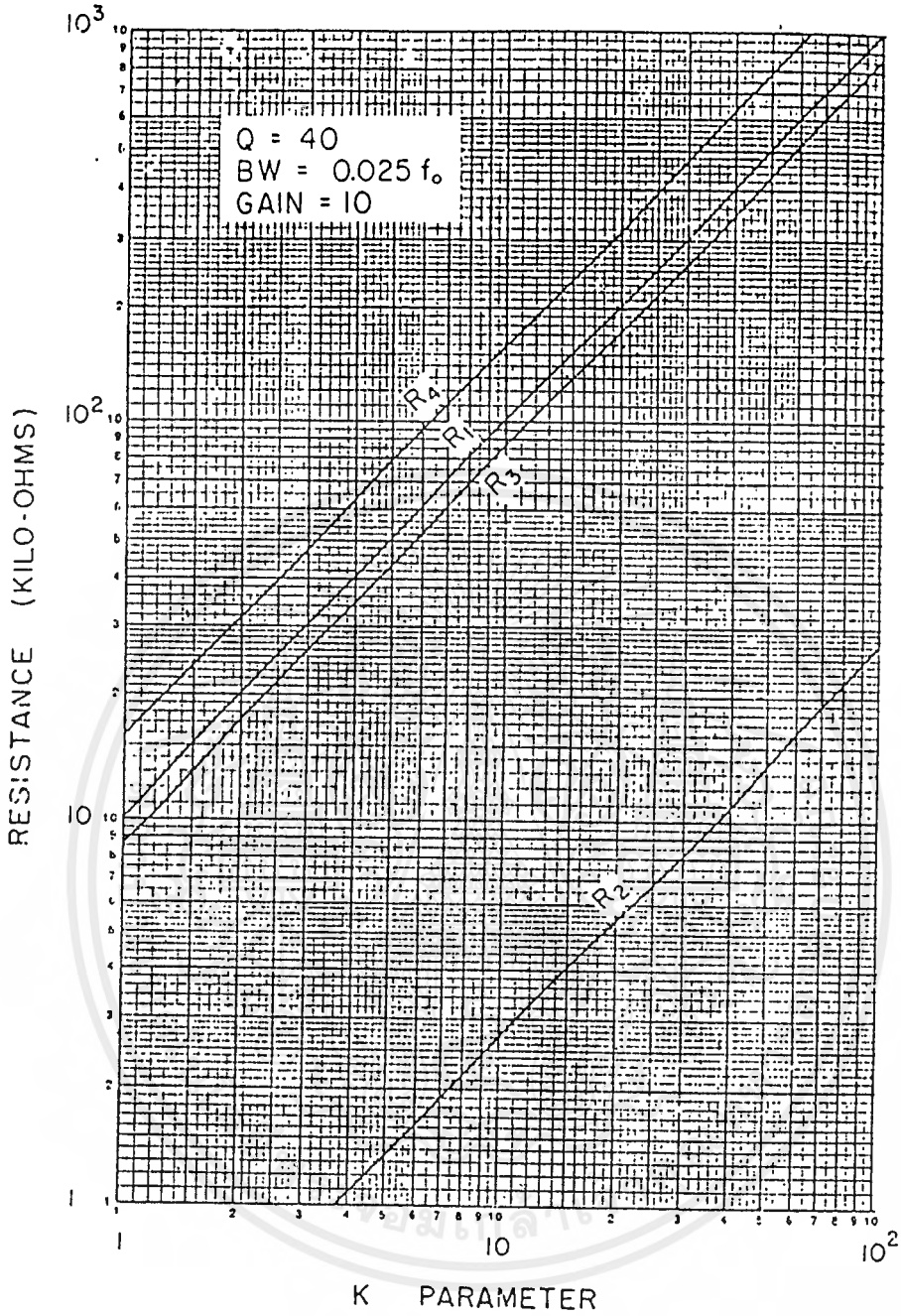


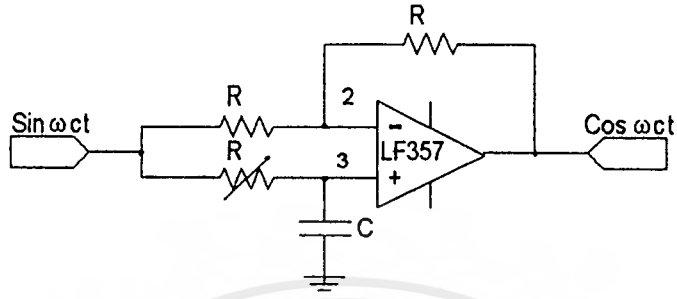
Fig. 4.39. Positive-feedback band-pass filter.

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานเทียบกับ K parameter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฉื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุท หรือเป็นการหน่วงเวลาสัญญาณอินพุทต์ให้ช้าลง ซึ่งสามารถเขียนวงจรและกราฟแสดงผลการตอบสนองต่อความถี่ดังรูปที่ 3.9



รูปที่ 3.9 วงจร Phase Shift 90 องศา

จากรูปวงจรที่ 3.9 เมื่อกำหนดให้ค่าของ $R_1 = R_F$ จะได้สมการ output voltage (Vo) ดังต่อไปนี้

$$Vo = -Vin + \frac{-jXc}{R - jXc} Vin \quad (2) \qquad [3.1]$$

โดยที่ $-j = 1/j$

$Xc = 1/2\pi fc$

f = ความถี่ที่จะใช้ในการ Shift

แทนค่าของ -j และ Xc จะได้สมการใหม่ดังนี้

$$Vo = Vi\left(-1 + \frac{2}{j2\pi fRC + 1}\right)$$

$$\frac{Vo}{Vin} = \frac{1 - j2\pi fRC}{1 + j2\pi fRC} \qquad [3.2]$$

สามารถคำนวณหาค่าของมุม วงจรเลื่อนเฟส ได้จากสมการ

$$\phi = -2\tan^{-1}\frac{(2\pi fRC)}{1} \qquad [3.3]$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ Phase (ϕ) = -90° สามารถหาค่าของอุปกรณ์ได้โดยกำหนดค่า ตัวเก็บประจุ และค่าของ ความถี่ ที่ต้องการจากสมการที่ [3.3]

$$R = \frac{1}{2\pi fc}$$

กำหนดค่า f = 512 kHz กำหนดค่า C = 100 PF

$$R = \frac{1}{2\pi \times 512 \times 10^{3} \times 100 \times 10^{-12}}$$

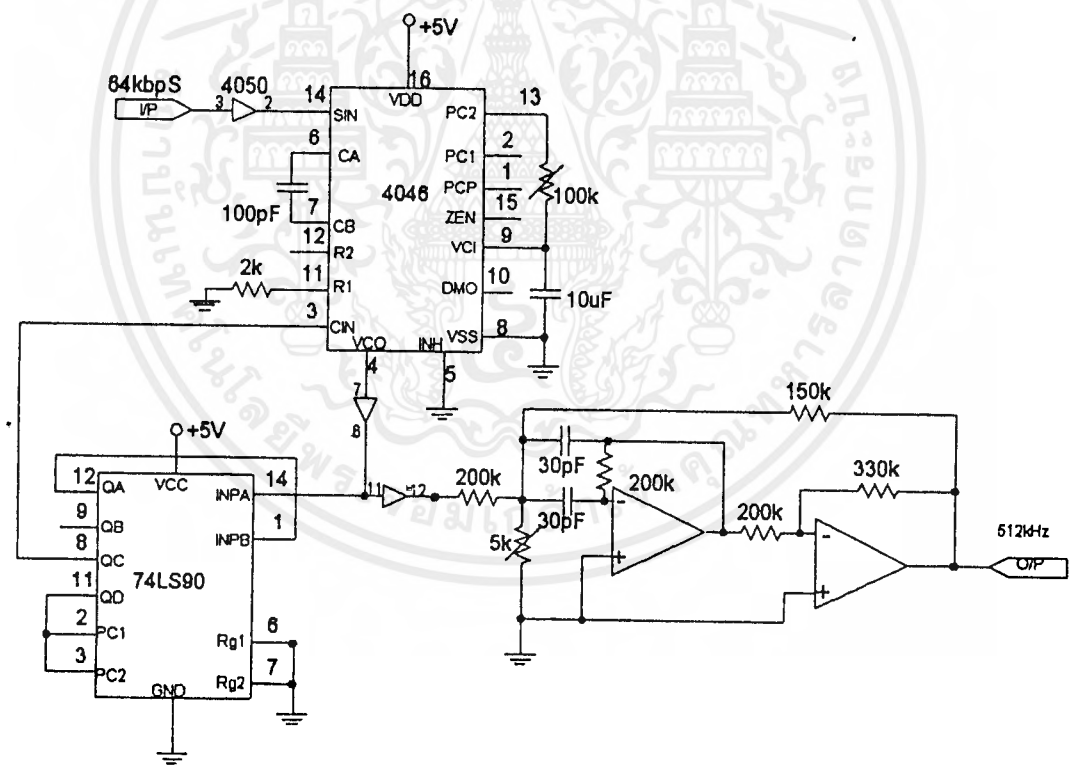
$$R = 31\ k\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณพาหะ 512 kHz

วงจรส่วนนี้ทำหน้าที่กำเนิดสัญญาณ Sine wave ความถี่ 512 kHz เพื่อใช้เป็นสัญญาณพาหะเพื่อนำไปคูณกับสัญญาณ 2 ระดับ ที่วงจรบาลานซ์มอดดูเลเตอร์ และอีกส่วนจะนำไปเลื่อนเฟส 90° เป็นสัญญาณ Cosine เนื่องจากระบบการส่งสัญญาณแบบดิจิตอลนี้ มีหัวใจสำคัญ คือ การซิงโครไนซ์เซชั่น (Synchronization) ที่ทำให้จังหวะการทำงานภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นเราจึงนำสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในส่วนนี้เราส่งข้อมูลความเร็ว 64 kbps จึงมีสัญญาณนาฬิกา 64 kbps มาอ้างอิงในการทำการสร้างวงจร โดยใช้วงจรเฟสล็อกลูป (Phase lock loop)ช่วยในการล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น เราจึงนำสัญญาณนาฬิกาที่ 64 kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 64 × 8 = 512 kbps พอดี

เมื่อสัญญาณนาฬิกาผ่าน วงจรเฟสล็อกลูปแล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ไม่สามารถนำไปเป็นสัญญาณพาหะได้เพราะสัญญาณรูปสี่เหลี่ยมประกอบไปด้วย ฮาร์โมนิคมากมายไม่เหมาะสมในการนำไปมอดดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) ทำการกรองเอาความถี่ฮาร์โมนิกที่ 1 เป็น Sine wave มีความถี่เท่าสัญญาณสี่เหลี่ยมมาใช้งาน



รูปที่ 3.10 วงจรกำเนิดสัญญาณพาหะ 512 kHz

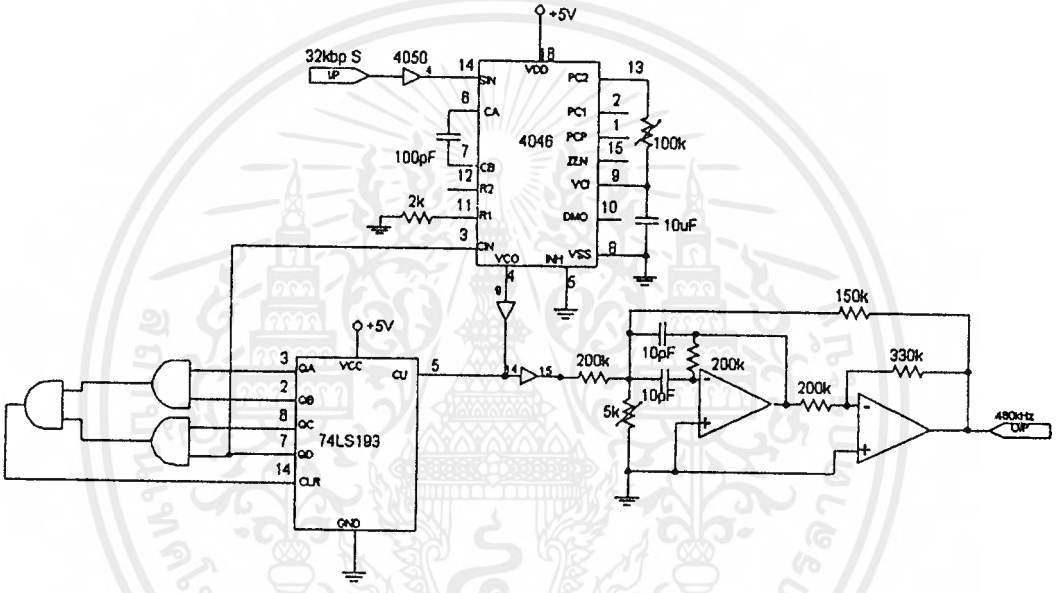
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal)

สาเหตุที่ต้องทำสัญญาณนำร่อง เพราะว่าในส่วนภาครับนั้นเราต้องการสัญญาณนาฬิกาและสัญญาณคลื่นพาหะที่มีเฟสและความถี่เท่ากันกับภาคส่ง เพื่อการซิงโครไนเซชั่นที่ดีที่สุด

โดยเราเลือกความถี่ 480 kHz จะอยู่ทางด้านไซด์แบนด์ต่ำ (Lower Side Band) ของสเปคตรัมการมอดดูเลทในโครงงานนี้ สาเหตุที่เลือกความถี่ 480 kHz เพราะว่าอยู่ห่างจากความถี่พาหะ 32-kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะใช้วงจรหาร 15 ต่อกันวงจรเฟสล็อกลูป

สำหรับวงจรเราใช้เหมือนกับ วงจรกำเนิดสัญญาณพาหะเกือบทุกอย่าง ต่างกันตรงสัญญาณเข้ามาเรานำสัญญาณนาฬิกาที่ผ่านวงจรหาร 2 มาใช้เป็นอินพุทและใช้วงจรหารความถี่เท่ากับ 15 แทนก็จะได้สัญญาณความถี่ 480 kHz



รูปที่ 3.11 วงจรกำเนิดสัญญาณนำร่อง 480 kHz

วงจรรวมสัญญาณ (SUMMING AMP)

วงจร summing amp ใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดันที่เอาท์พุทเราสามารถหาได้จาก

$$Vo = -\left[\frac{R_P V_1}{R_1} + \frac{R_P V_2}{R_2}\right]$$

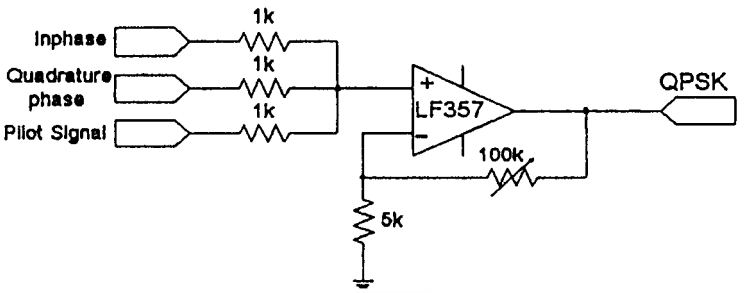
โดยที่ V_1 คือ สัญญาณเอาท์พุทจากวงจร บาลานซ์มอดดูเลเตอร์ด้าน I

V_2 คือ สัญญาณเอาท์พุทของวงจร สัญญาณนำร่อง

V_3 คือ สัญญาณเอาท์พุทของวงจร บาลานซ์มอดดูเลทเตอร์ทางด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรเราเลือกใช้ R_f = 1 kOhm R_1 และ R_2 ใช้ VR 20 kohm เพื่อที่สามารถปรับเกนได้



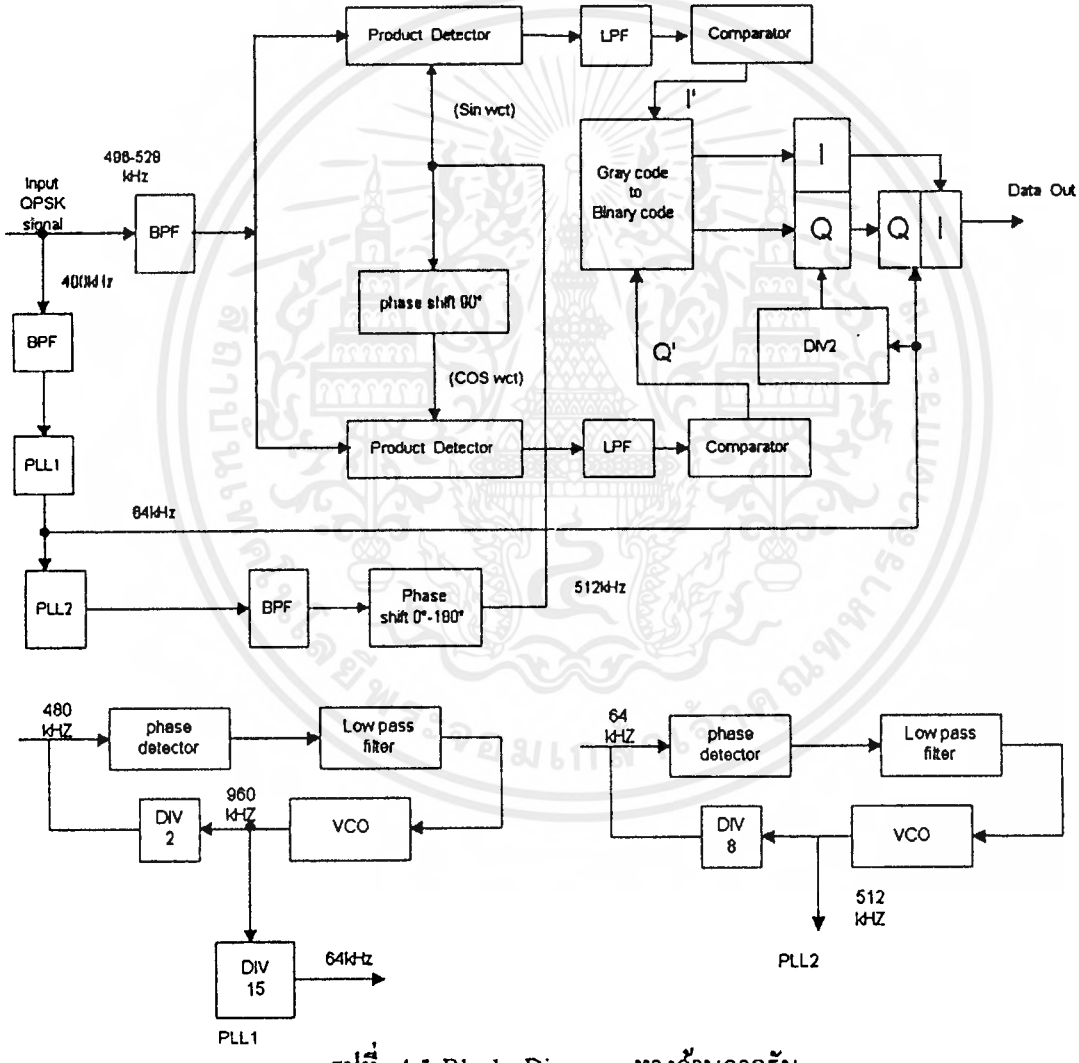
รูปที่ 3.12 วงจร Summing Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและทดลองวงจรทางด้านภาครับ

ในการออกแบบและทดลองทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อจะให้สอดคล้อง กับสัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณที่ส่งมานั้นมีความถี่ทางด้านสัญญาณ นำร่อง 480 kHz ร่วมส่งกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 วงจร วงจรกรองความถี่ช่วง 496 - 528 kHz และวงจรกรองความถี่ 480 kHz ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 Block Diagram ทางด้านภาครับ

ทำการนำสัญญาณนำร่อง 480 kHz มาใช้ในการกู้สัญญาณพาหะ Sine wave 512 kHz ผ่านวงจรเลื่อนเฟส 90° ทำการดีเทคเตอร์สัญญาณนำสัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำ แล้วนำมาเปรียบเทียบสัญญาณจะได้สัญญาณทางด้าน I' และ Q' เข้ารหัสสัญญาณ Gray code to Binary code ได้ สัญญาณ I และ Q จากนั้นทำการเลื่อนข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาท์พุทออกมาแต่สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

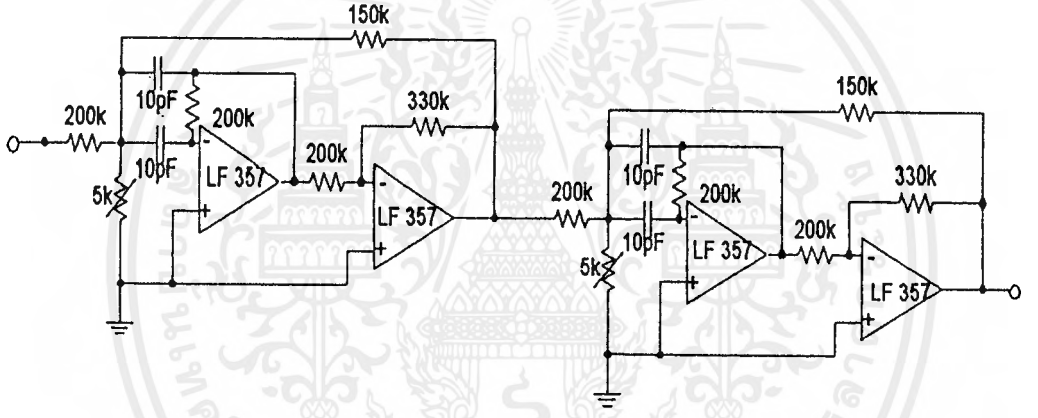
64 kHz ได้จากการนำเอาสัญญาณนำร่องมากู้สัญญาณนาฬิกาผ่านวงจรเฟสล็อกลูปได้สัญญาณนาฬิกา 64 kHz ใช้ในการกระตุ้นข้อมูลออกมาทาง เอาท์พุทได้

วงจรกรองความถี่ ช่วง 496 - 528 kHz

เมื่อสัญญาณที่ได้เข้ารหัสแบบ QPSK แล้วจะถูกส่งมาตามสายโคแอกเชียลทางภาครับเมื่อรับสัญญาณแล้ว ต้องทำการตรวจรับสัญญาณในขั้นต้น และกรองสัญญาณช่วงความถี่ที่ภาครับ ต้องการเท่านั้น อีกทั้งสามารถกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในการออกแบบนั้นเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก การออกแบบนั้นเลือกค่า

Q = 40 และค่าคาปาซิเตอร์เท่ากับ 10 pF ทำการเลือกค่าความต้านทานในรูปที่ 3.8 ในรายละเอียดการออกแบบแสดงไว้แล้วในบทที่ 3

เรานำวงจรกรองช่วงความถี่ผ่านต่อแบบ Cascade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมขึ้น เพื่อจะได้ความถี่ช่วง 496 - 528 kHz ความต้องการดังในวงจรรูปที่ 4.2



รูปที่ 4.2 วงจรกรองความถี่ช่วง 496 - 528 kHz

วงจรกรองความถี่ช่วง 480 kHz

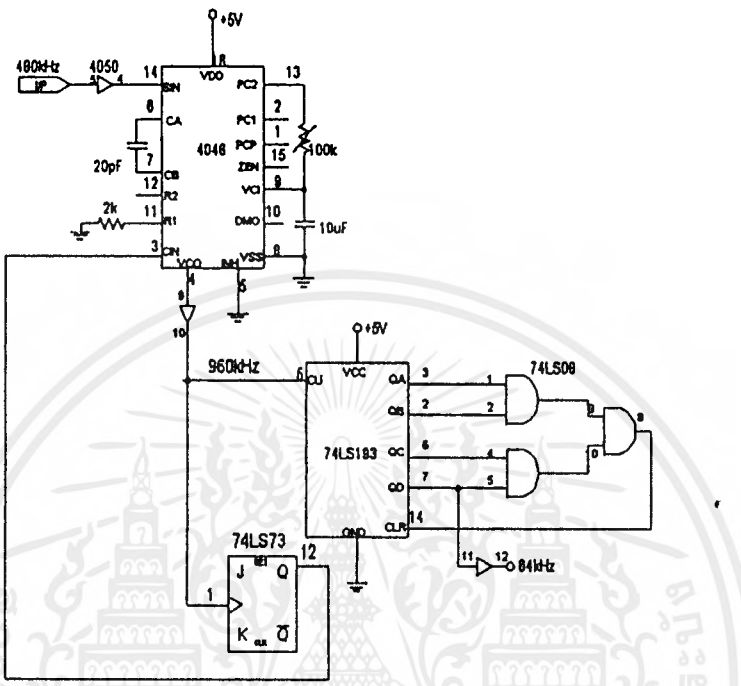
เราใช้วงจร Positive feed back band - pass filter เนื่องจากเราต้องการความถี่ 480 kHz ซึ่งมีความสำคัญในการนำมารู้สัญญาณพาหะและ กู้สัญญาณนาฬิกา ดังนั้นวงจร Positive feed back band - pass filter จะมีคุณสมบัติในการกรองความถี่ได้ช่วง แบนวิชด์ แคบมากฉะนั้นเราจึงนำคุณสมบัตินี้มาใช้กรองความถี่ช่วง 480 kHz ทำการต่อแบบ Cascade จะได้วงจรดังรูปที่ 4.2 ทำการปรับความถี่โดยการเปลี่ยนค่าความต้านทานปรับค่าได้เพียงเล็กน้อยเพื่อความสะดวกในการออกแบบ

วงจรเฟสล๊อกลูป

ในด้านภาครับนั้น มีวงจรเฟสล็อกลูปด้วยกัน 2 วงจรในวงจรเฟสล็อกลูปที่ 1 นั้นเราต้องการสัญญาณทางด้านเอาท์พุท 64 kHz เพื่อนำมาเป็นสัญญาณนาฬิกาใช้ในการทริกสัญญาณข้อมูลออกไปหลักการข้อวงจรเฟสล็อกลูปวงจรที่ 1 คือเรานำสัญญาณ 480 kHz ทำการเปรียบเทียบทางเฟสที่ ผ่านวงจรกรองความถี่ต่ำนำสัญญาณที่ได้ทำการปรับค่าความถี่ ให้เท่ากับความถี่ที่เข้ามา โดยวงจร VCO แต่ทางด้านเอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO นั้น ความถี่ที่ต้องการคือ 960 kHz แล้วทำการปรับค่าความถี่ได้นี้ให้ลดลงโดยผ่านวงจรหาร 15 จะได้ความถี่ 64 kHz ที่ต้องการดังรูปที่ 4.3

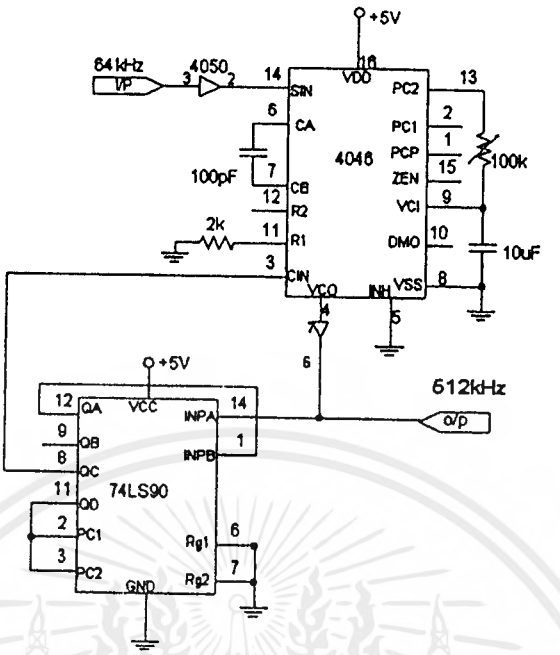


รูปที่ 4.3 วงจรเฟสล็อกลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz

ส่วนของวงจรเฟสล็อกลูปวงจรที่ 2 นั้นเราใช้สำหรับกู้สัญญาณพาหะความถี่ 512 kHz เพื่อนำไปทำการดีเทคเตอร์สัญญาณจะได้สัญญาณพาหะSine wave 512 kHz ซึ่งจะต้องมีความถี่และเฟสมีค่าตรงกันกับทางด้านภาคส่งเพื่อจะได้การซิงโครไนท์ที่ถูกต้อง

หลักการออกแบบนั้นจะใช้หลักการของเฟสล็อกลูปทั่วๆ ไปที่ได้กล่าวแล้วในข้างต้นแต่จะเพิ่มเติมในบางส่วนคือ เรานำสัญญาณ 64 kHz จากเฟสล็อกลูปวงจรที่ 1 มาใช้เป็นสัญญาณอินพุทของวงจรเฟสล็อกลูปวงจรที่ 2 แต่สัญญาณเอาท์พุทของวงจร VCO นั้น เราต้องการ 512 kHz ดังนั้นทางด้านวงจรเปรียบเทียบเฟส 64 kHz จะมีการลดค่าความถี่ให้ได้ 64 kHz โดยใช้วงจรหาร 8 เท่า ก็จะได้เอาท์พุทของ VCO มีค่าเท่ากับ 512 kHz พอดี ดังวงจรในรูปที่ 4.4

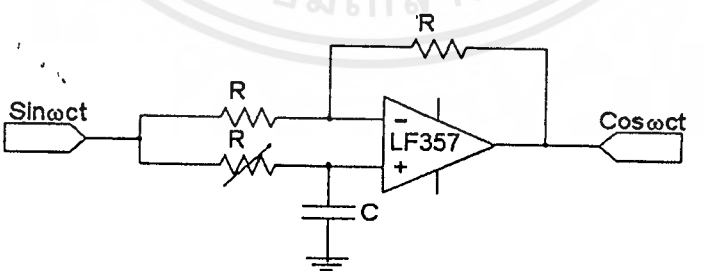
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรเฟสล็อกลูปที่ 2 กู้สัญญาณพาหะ 512 kHz

วงจรเลื่อนเฟส 90°

ในทางด้านภาครับนั้น เมื่อทำการกู้สัญญาณพาหะที่ใช้ในการดีมอดูเลเตอร์ทางด้าน Imphase ซึ่งก็คือสัญญาณ Sine wave ได้แล้วนั้นในส่วนของทางด้าน Quadrature phase นั้นต้องนำสัญญาณ Cosine wave เป็นสัญญาณพาหะไปทำการดีมอดูเลเตอร์อีกทางหนึ่งด้วย ดังนั้นเมื่อได้สัญญาณ Sine wave แล้วต้องการสัญญาณ Cosine wave ต้องวงจรเลื่อนเฟส 90°ซึ่งจะใช้วงจรกรองผ่านทุกความถี่ชนิด Vo ถ้าหลัง Vin เหมือนกันทางด้านภาคส่งทุกประการ ดังวงจรรูปที่ 4.5



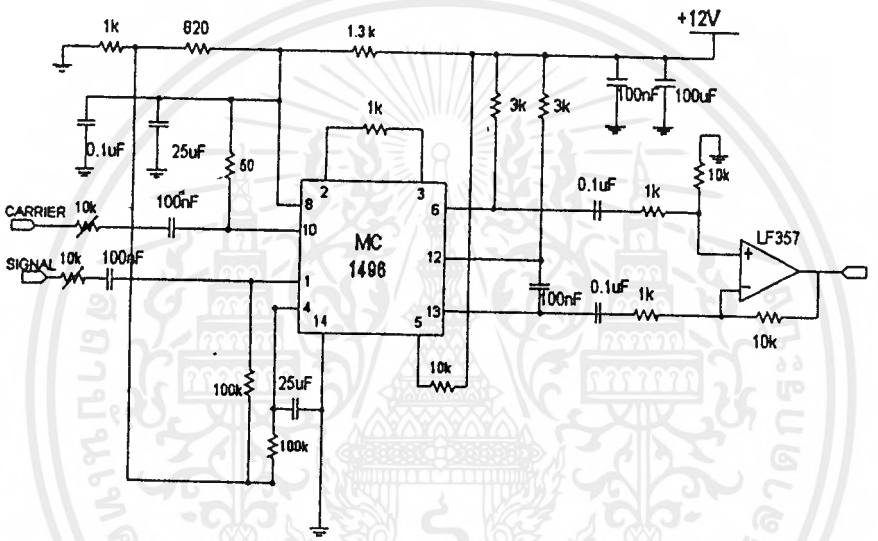
รูปที่ 4.5 วงจรเลื่อนเฟส 90°

การออกแบบนั้นได้กล่าวได้แล้วในบทที่ 3 ในหัวข้อวงจรเลื่อนเฟส 90°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์ดีมอดูเลเตอร์

ในทางด้านภาครับวงจรบาลานซ์ดีมอดูเลเตอร์ (Balance demodulator) จะใช้ IC 1496 รูปแบบวงจรนั้นจะเหมือนกับวงจรบาลานซ์มอดูเลเตอร์ทางด้าภาคส่ง เกือบทุกประการแต่จะต่างกันกับทางด้านภาคส่งเพียงเล็กน้อย ดังแสดงไว้ในวงจรรูปที่ 4.6 และด้วยเหตุที่ว่าข้อมูลจะส่งมาแล้วแยกเป็น 2 ส่วนดังนั้นจะต้องใช้วงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อทำการดีมอดูเลท ทางด้าน Inphase และทางด้าน Quadrature phase แต่ทั้ง 2 วงจรเหมือนกันทุกประการต่างกันตรงสัญญาณ Carrier ที่ทำกันดีมอดูเลททางด้าน Imphase เป็น Sine wave ส่วนทางด้าน Quadrature phase เป็น Cosine wave ซึ่งเป็นเอาท์พุทของวงจรเลื่อนเฟส 90° ดัง แสดงในวงจรรูปที่ 4.6



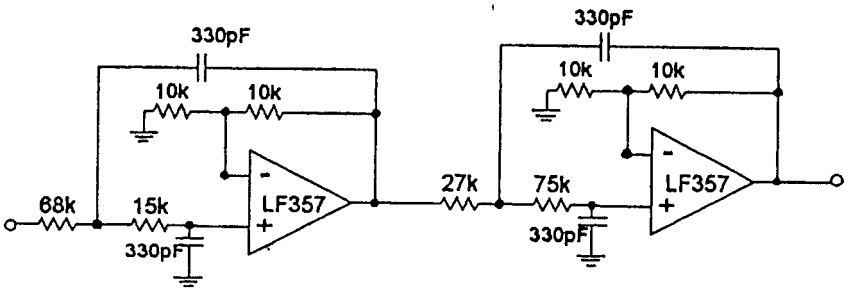
รูปที่ 4.6 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรกรองความถี่ต่ำ

เมื่อทำการดีมอดูเลเตอร์ทั้ง 2 ด้าน แล้วสัญญาณเอาท์พุททั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิดจากการคูณกันของสัญญาณพาหะกับสัญญาณมอดูเลท และผลที่ได้จะมีสัญญาณความถี่สูงและสัญญาณความถี่ต่ำสัญญาณ 2 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำดังนั้น วงจรกรองความถี่ต่ำจะทำหน้าที่กรองเฉพาะสัญญาณความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับในส่วนของความถี่ต่ำที่ต้องการเท่านั้น

ในส่วนการออกแบบนั้น เราใช้ความถี่ คัท - ออฟ ที่ 16 kHz รูปแบบของวงจรแสดงในรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรกรองความถี่ต่ำ

ในส่วนวงจรกรองความถี่ต่ำทั้ง 2 ด้านเหมือนกันทุกประการ

หลักการออกแบบ

1) กำหนด Forth - order 0.1 dB Chebyshev - active 3 dB cutoff 16 kHz

2) เลือกใช้ค่า C = 330 pF เลือกค่า α และ β จากตารางที่ 4.1

3) หาค่า α' และ β' คำนวณหาค่าความต้านทาน R1 และ R2

ในส่วนที่ 1 α = 0.2177 , f_c = 16 kHz

β = 0.9254

$\alpha' = \alpha \times 2\pi f_c = 0.2177 \times 2 \times \pi \times 16 \times 10^3 = 21.885$ k

$\beta' = \beta \times 2\pi f_c = 0.9254 \times 2 \times \pi \times 16 \times 10^3 = 93.031$ k

$$R1 = \frac{1}{2 \times \alpha' \times c}$$

R1 = 69.23 kΩ

เลือกใช้ R1 = 69 kΩ

$$R2 = \frac{2\alpha'}{c\,[\alpha'^2 + \beta'^2]}$$

R2 = 14.52 kΩ

เลือกใช้ R2 = 15 kΩ

ในส่วนที่ 2 α = 0.5257 , f_c = 16 kHz

β = 0.3833

α' = 52849 k

β' = 38533 k

$$R1 = \frac{1}{2 \times \alpha' \times c}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R1 = 28 kΩ

เลือกใช้ R1 = 28 kΩ

$$R2 = \frac{2\alpha'}{c\,[\alpha'^2+\beta'^2]}$$

R2 = 74.8 kΩ

เลือกใช้ R2 = 75 kΩ

11-20 Normalized Filter Design Tables

TABLE 11-23 0.1-dB Chebyshev Pole Locations

Order n	Real Part $-\alpha$	Imaginary Part $\pm j\beta$
2	0.6104	0.7106
3	0.3490	0.8684
	0.6979	
4	0.2177	0.9254
	0.5257	0.3833
5	0.3842	0.5884
	0.1468	0.9521
	0.4749	
6	0.3916	0.2590
	0.2867	0.7077
	0.1049	0.9667
7	0.3178	0.4341
	0.2200	0.7823
	0.0785	0.9755
	0.3528	
8	0.3058	0.1952
	0.2592	0.5558
	0.1732	0.8319
	0.06082	0.9812
9	0.2622	0.3421
	0.2137	0.6430
	0.1395	0.8663
	0.04845	0.9852
	0.2790	

ตารางที่ 4.1 0.1 dB Chebyshev

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

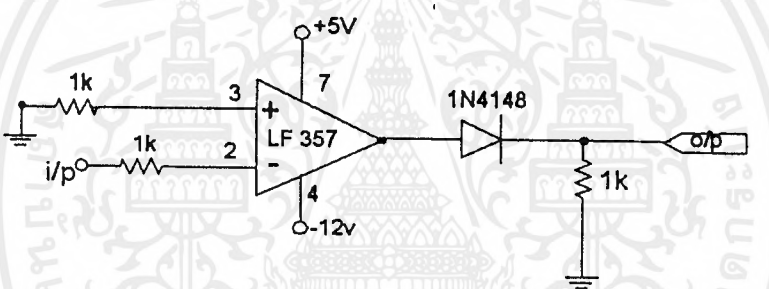
วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

เมื่อเราทำการกรองเอาเฉพาะความถี่ที่ต้องการได้แล้วต่อไป ต้องนำสัญญาณนั้นมาทำการแยกระดับสัญญาณต่างๆ เป็น 2 ระดับเหมือนกันกับสัญญาณก่อนเข้าบาลานซ์มอดูเลเตอร์ทางด้านส่งระดับสัญญาณที่ได้แสดงดังตารางที่ 4.2

Input [V]	Output [V]	Gray Code
+ 4.5	5	1
-4.5	0	0

ตารางที่ 4.2 ระดับสัญญาณ 2 ระดับ

ในส่วนของการทำระดับสัญญาณ 2 ระดับเป็น ระดับ 0 กับ 1 นั้นเราใช้วงจร Comparator จะทำการจัดระดับสัญญาณเป็น 1 ที่ระดับ + 5 V และทำการจัดระดับสัญญาณ 0 ถ้าที่ระดับ -12 V ดังวงจรในรูปที่ 4.8



รูปที่ 4.8 วงจร Comparator

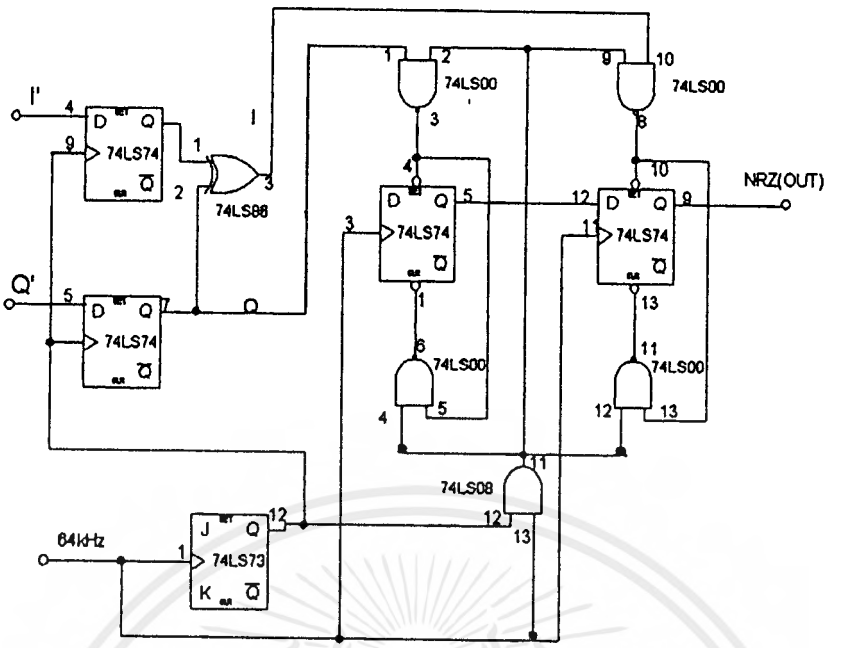
วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกันวงจรแยกสัญญาณดิจิตอลทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทางด้าน Imphase และ Quadrature phase จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรมโดยทำการควบคุมจังหวะการทำงานของฟลิปฟลอบจากสัญญาณนาฬิกาที่ได้มาจากการกู้สัญญาณนาฬิกา

แต่ต้องทำการแปลง Gray code เป็น Binary code ก่อนเพราะทางด้านส่งได้ทำการแปลงจาก Binary code เป็น Gray code ส่งมา เพื่อป้องกันการผิดพลาด โดยใช้ Ex - or Gate

วงจรหน่วงเวลา 2 บิท นั้นจะเป็นตัวควบคุมจังหวะการทำงานของขา Preset และขา Clear ของ D ฟลิปฟลอบ ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND Gate ในการบังคับ D ฟลิปฟลอบ หลักการดังกล่าวเป็นหลักการของวงจรแปลงจากขนานไปเป็นอนุกรมวงจรนี้ได้ทำการทดลองเป็นดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



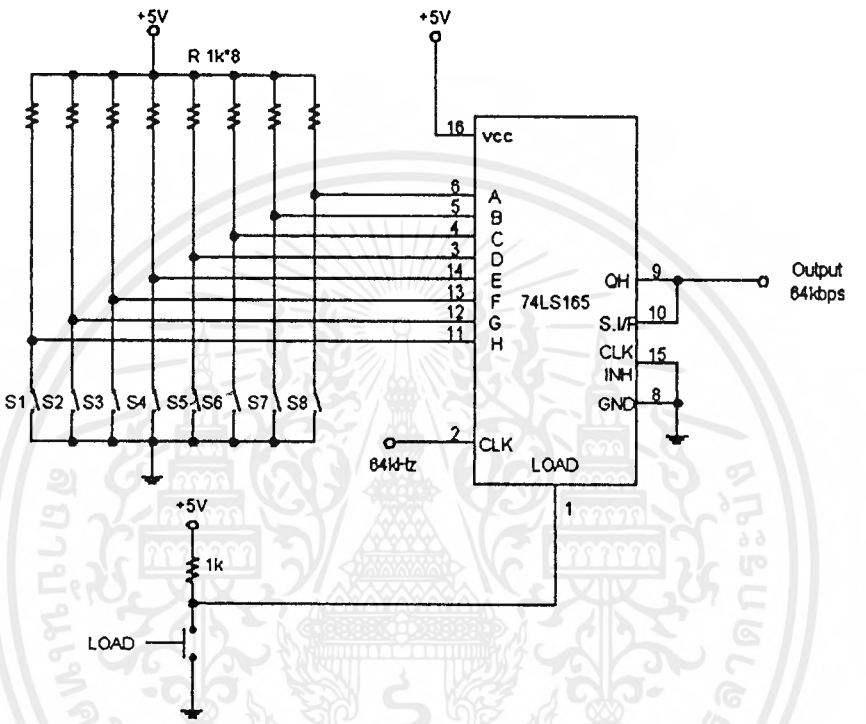
รูปที่ 4.9 วงจรรวมสัญญาณคิวิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการดำเนินงาน

จากการออกแบบทางด้านภาคส่งและภาครับเพื่อการทดลองทดสอบการทำงานของวงจรนั้น ต้องสร้าง ชุดกำเนิดข้อมูลขนาดความเร็ว 64 kbps ขึ้นมาโดยมีวงจรดังรูป



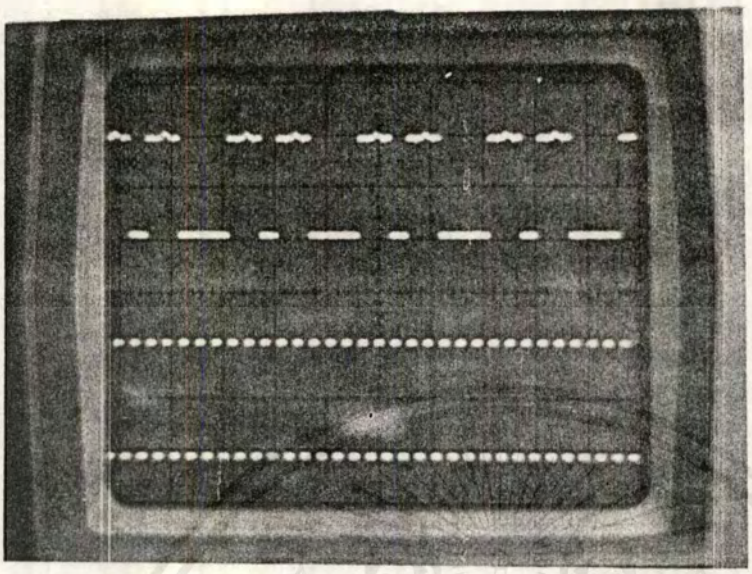
รูปที่ 5.1 รูปวงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps

จากรูปที่ 5.1 ใช้ IC 74LS165 ซึ่งทำงานเป็น Parallel - Load 8 Bit Shift Register ข้อมูลที่จะ โหลดเข้ามาใช้ทดสอบสามารถกำหนดได้ โดยการปรับสวิทช์สัญญาณนาฬิกาที่ใช้ เลื่อนข้อมูล 64 kHz ในการทดลองจะแสดงผลการทดลองออกมาเป็นรูปสัญญาณ ณ. จุด ต่างๆดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

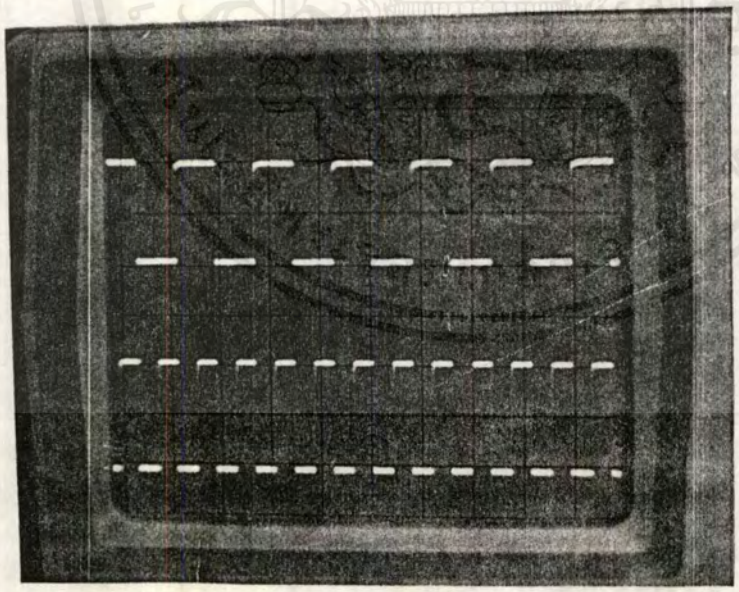
สัญญาณทางด้านภาคส่ง

เมื่อข้อมูลที่เข้ามาทางอินพุทเป็น "11011000"



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 50 μSEC/DIV

รูปที่ 5.2 สัญญาณข้อมูลทางอินพุทเทียบกับสัญญาณนาฬิกา
Ch.1 ข้อมูลทางอินพุทที่ป้อนเข้ามา
Ch.2 สัญญาณนาฬิกา 64 kHz

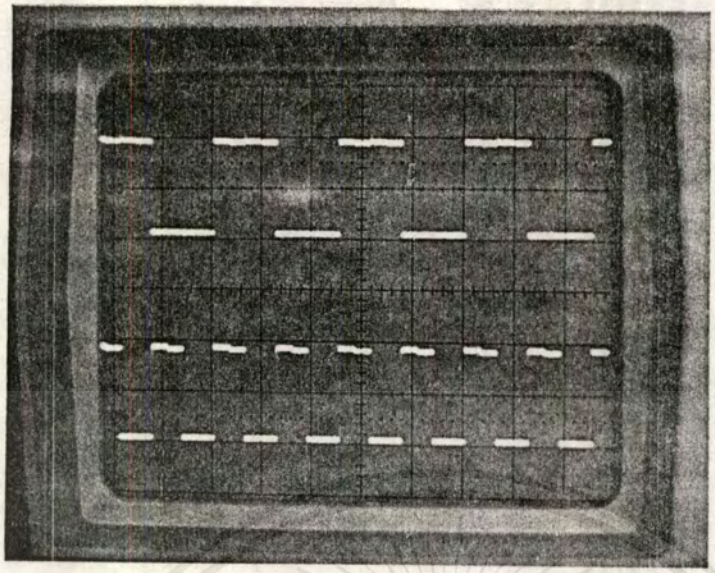


CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 20 μSEC/DIV

รูปที่ 5.3 แสดงการหารสัญญาณนาฬิกา 2 เท่า
Ch.1 สัญญาณนาฬิกาที่หาร 2 เท่า 32 kHz
Ch.2 สัญญาณนาฬิกา 64 kHz

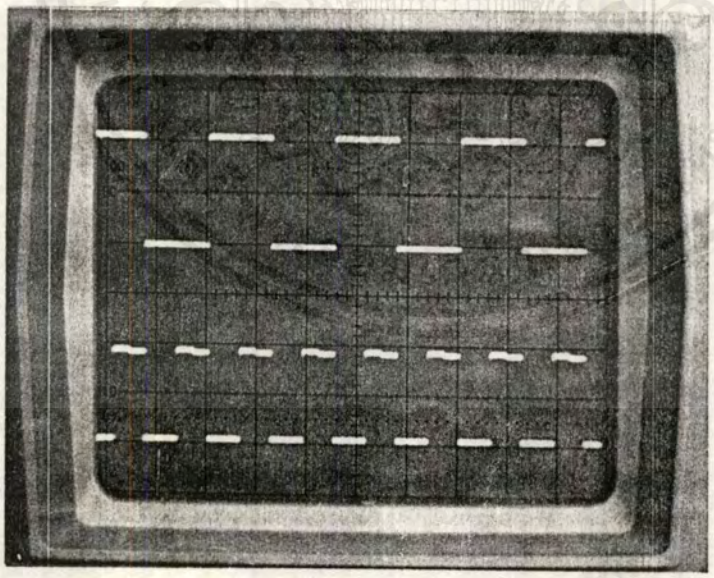
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแยกสัญญาณ ออกเป็นสองด้าน I และ Q สามารถเกิดขึ้นได้ ดังรูปที่ 5.4 ถึง รูปที่ 5.6



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 50 μSEC/DIV

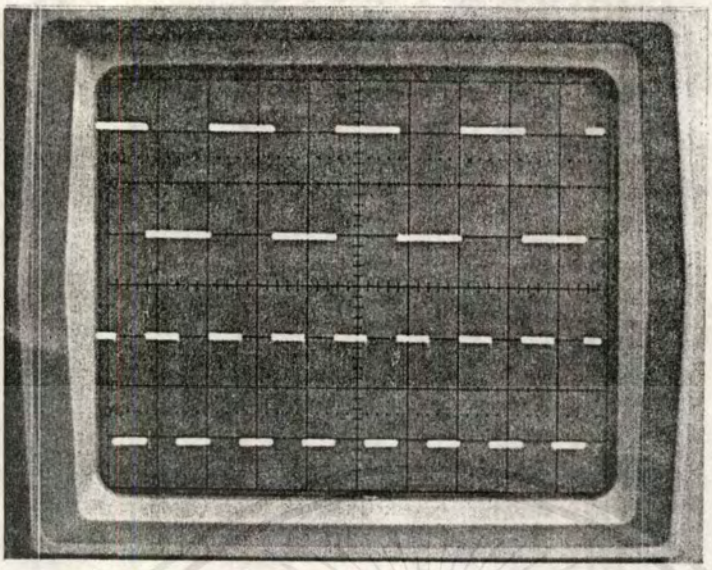
รูปที่ 5.4 สัญญาณ Binary ที่แยกออกมาทางด้าน I' และ Q'
Ch.1 สัญญาณที่แยกออกมาทางด้าน I'
Ch.2 สัญญาณที่แยกออกมาทางด้าน Q'



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 50 μSEC/DIV

รูปที่ 5.5 สัญญาณ Gray Code ทางด้าน I และ Q
Ch.1 สัญญาณ Gray Code ทางด้าน I
Ch.2 สัญญาณ Gray Code ทางด้าน Q

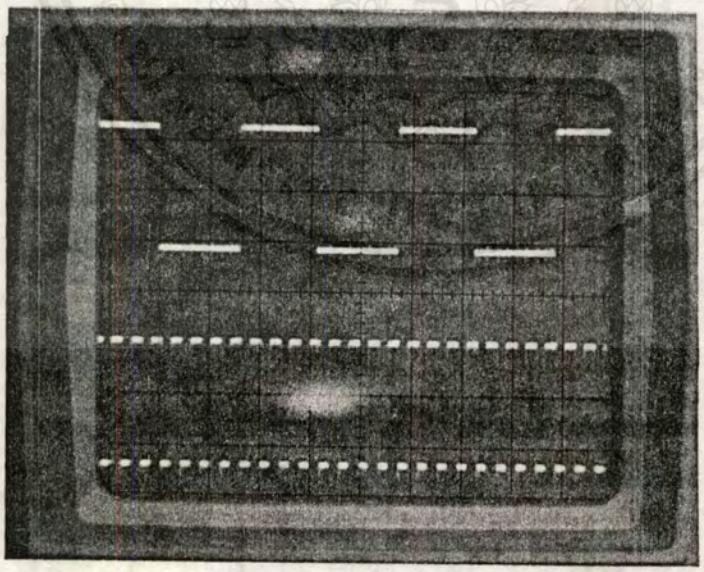
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CH.1 HOR. 10 V/DIV
CH.2 HOR. 10 V/DIV
VERT. 50 μSEC/DIV

รูปที่ 5.6 สัญญาณ 2 ระดับ ทางด้าน I และ Q
Ch.1 สัญญาณ 2 ระดับ ด้าน I
Ch.2 สัญญาณ 2 ระดับ ด้าน Q

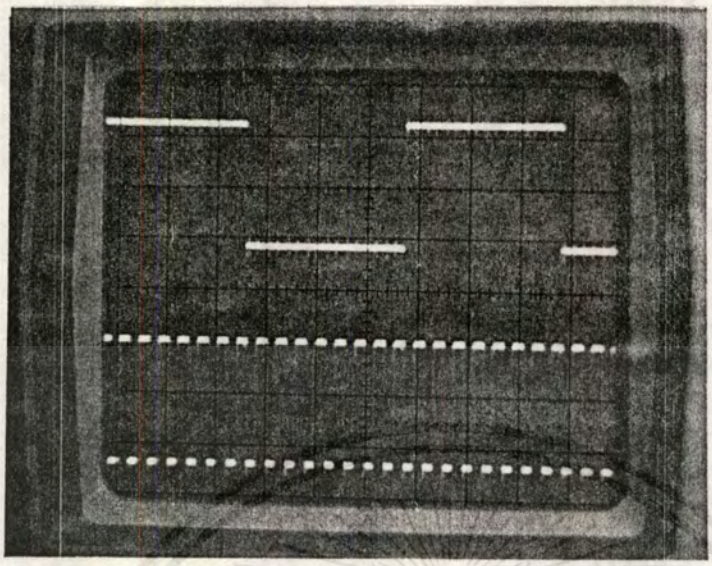
ในส่วนของการทวีคูณสัญญาณนาฬิกาเพื่อมาสร้างเป็นสัญญาณพาหะและสัญญาณนำร่อง 480 kHz แสดงได้ดังรูปที่ 5.7 ถึงรูปที่ 5.10



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 5 μSEC/DIV

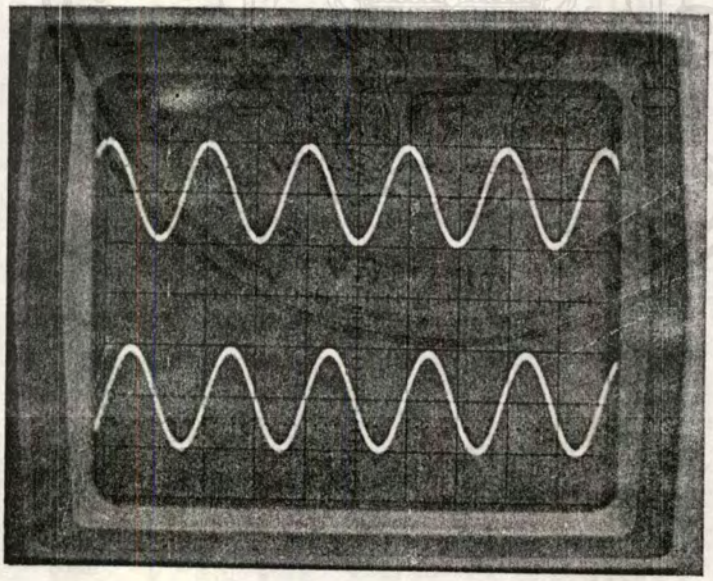
รูปที่ 5.7 การคูณสัญญาณนาฬิกา 8 เท่า 512 kHz
Ch.1 สัญญาณนาฬิกา 64 kHz
Ch.2 8 เท่าของสัญญาณนาฬิกา 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 5 µSEC/DIV

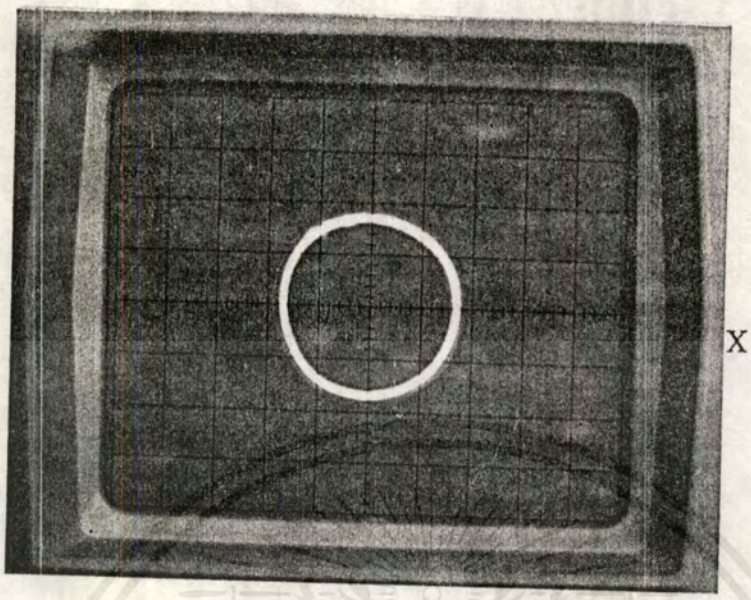
รูปที่ 5.8 การคูณสัญญาณ 32 kHz 15 เท่า 480 kHz
Ch.1 สัญญาณ 32 kHz
Ch.2 สัญญาณที่ถูกทวีคูณ เป็น 480 kHz



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 1 µSEC/DIV

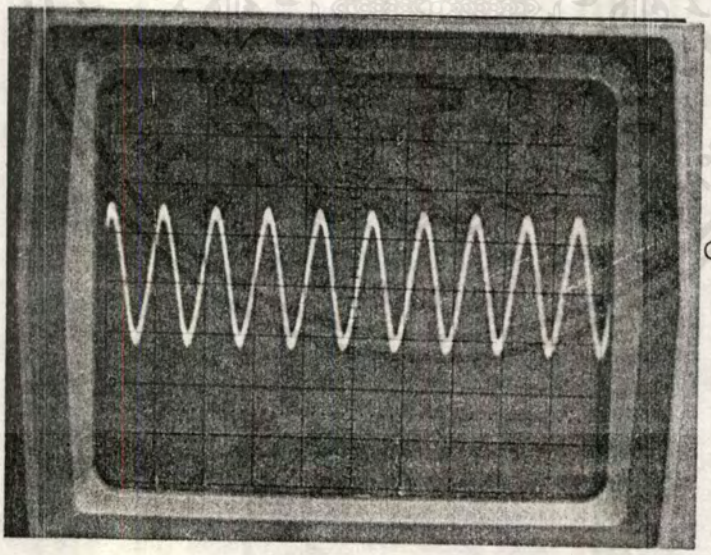
รูปที่ 5.9 สัญญาณพาหะ 512 kHz
Ch.1 สัญญาณ $\cos\omega ct$
Ch.2 สัญญาณ $\sin\omega ct$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



X - Y Oscilloscope

รูปที่ 5.10 สัญญาณ SinΩct และ CosΩct



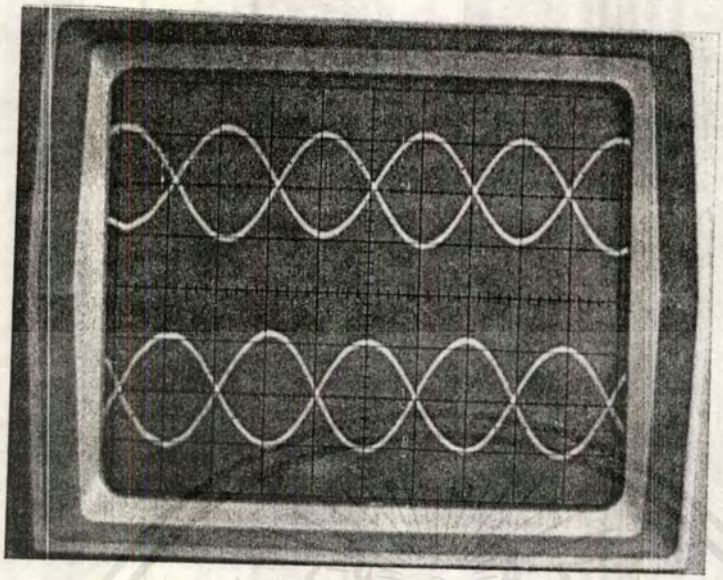
CH.1 HOR. 1 V/DIV

VERT. 2 μSEC/DIV

รูปที่ 5.11 สัญญาณนำร่อง 480 kHz

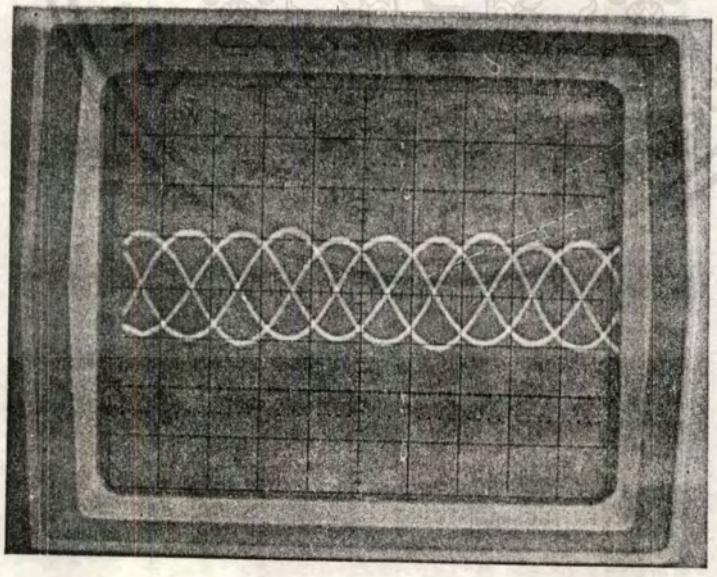
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำสัญญาณพาหะ 512 kHz มามอดดูเลทกับสัญญาณสองระดับด้าน I และ Q และนำสัญญาณที่ได้รวมกับสัญญาณนำร่องสามารถแสดงได้ดังรูป



CH.1 HOR. 0.5 V/DIV
CH.2 HOR. 0.5 V/DIV
VERT. 5 μSEC/DIV

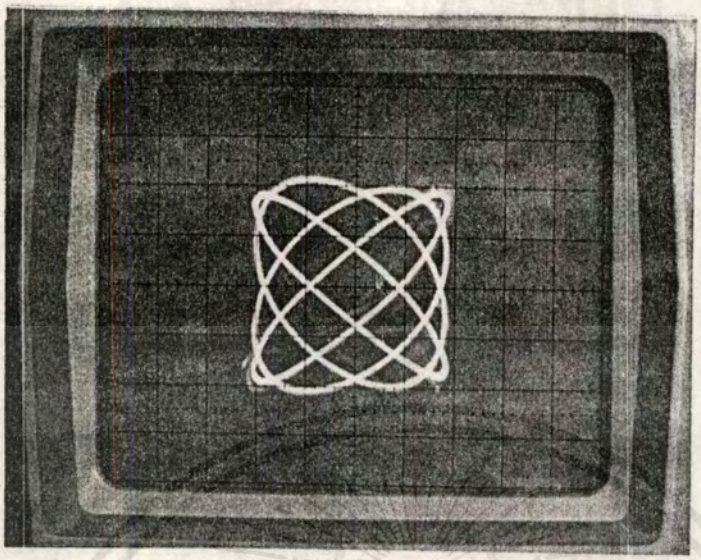
รูปที่ 5.12 สัญญาณที่ผ่านการมอดดูเลททางด้าน I และ Q
Ch.1 สัญญาณที่ผ่านการมอดดูเลททางด้าน I
Ch.2 สัญญาณที่ผ่านการมอดดูเลททางด้าน Q



CH.1 HOR. 0.5 V/DIV
VERT. 50 μSEC/DIV

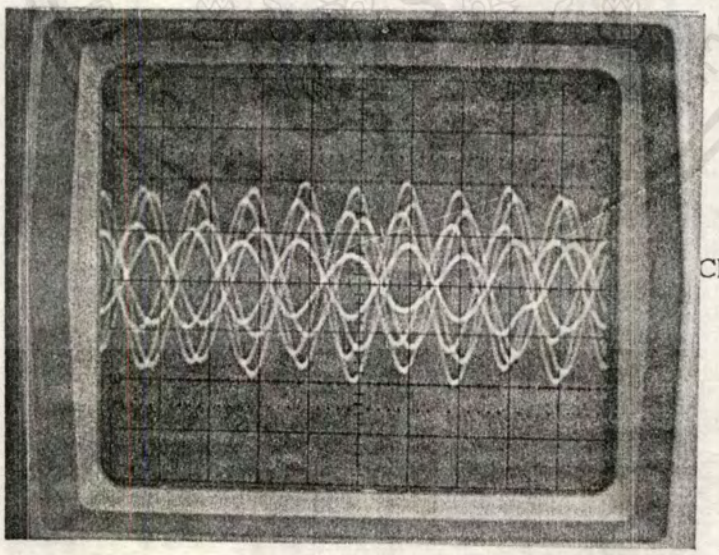
รูปที่ 5.13 สัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x - y Oscilloscope

รูปที่ 5.14 สัญญาณ QPSK เทียบกับสัญญาณพาหะ



CH.1 HOR. 2 V/DIV

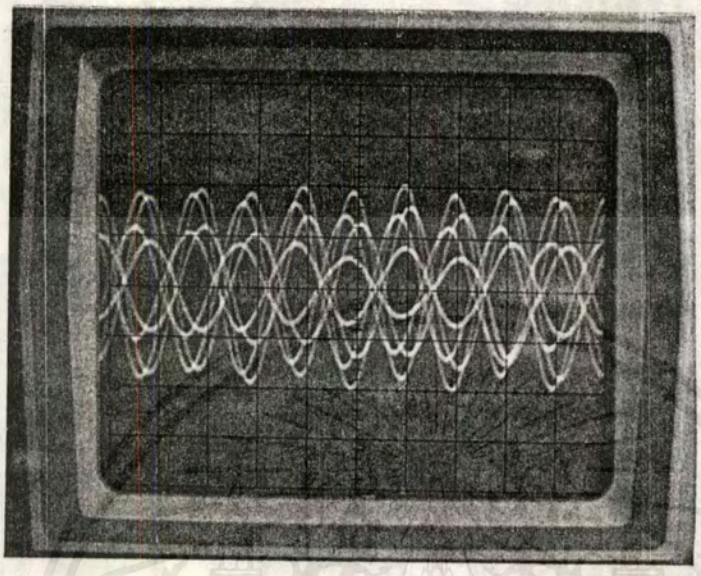
VERT. 1μSEC/DIV

รูปที่ 5.15 สัญญาณ QPSK รวมกับสัญญาณนำร่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

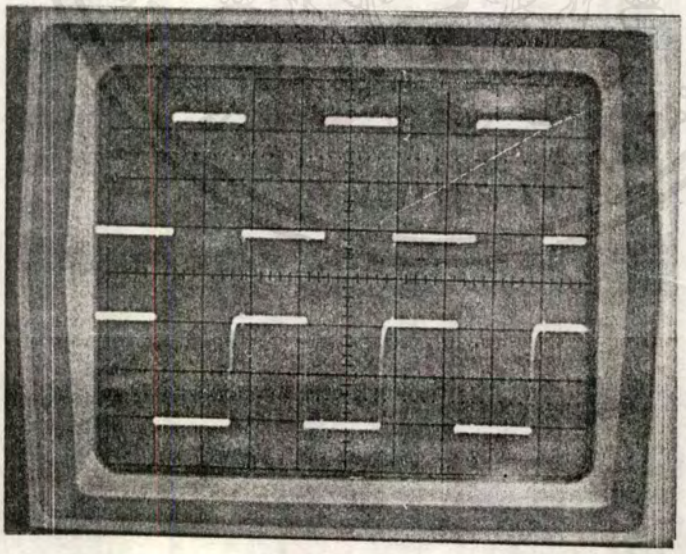
สัญญาณทางด้านภาครับ

เมื่อสัญญาณ QPSK ทางด้านอินพุทเป็นสัญญาณของข้อมูล "11011000" สัญญาณ ณ. จุดต่างๆ เป็นดังรูปต่อไปนี้



CH.1 HOR. 2 V/DIV
VERT. 1 μSEC/DIV

รูปที่ 5.16 สัญญาณ QPSK ที่รับได้



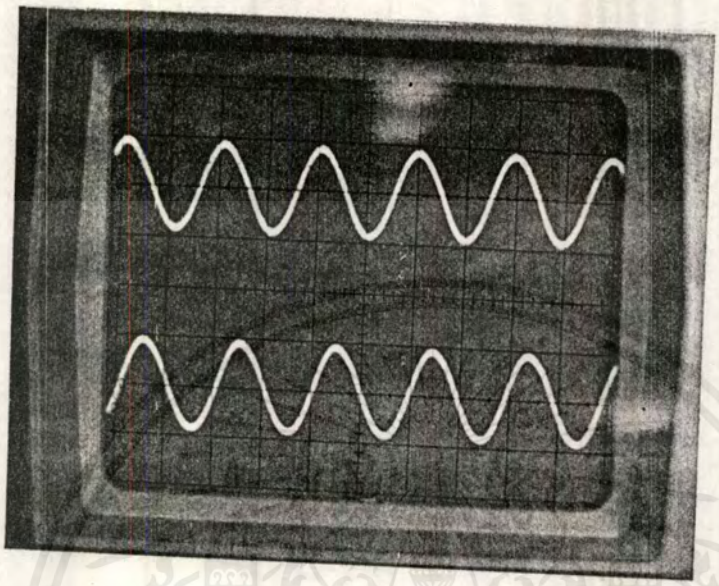
CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 5 μSEC/DIV

รูปที่ 5.17 สัญญาณนาฬิกาที่กู้ได้ , สัญญาณนาฬิกาทางภาคส่ง

Ch.1 สัญญาณนาฬิกากู้ได้

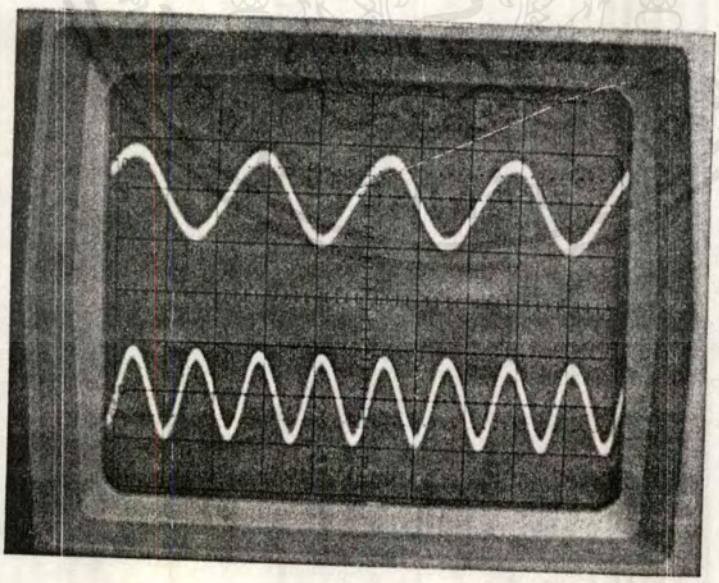
Ch.2 สัญญาณนาฬิกาทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CH.1 HOR. 5 V/DIV
CH.2 HOR. 5 V/DIV
VERT. 1 μSEC/DIV

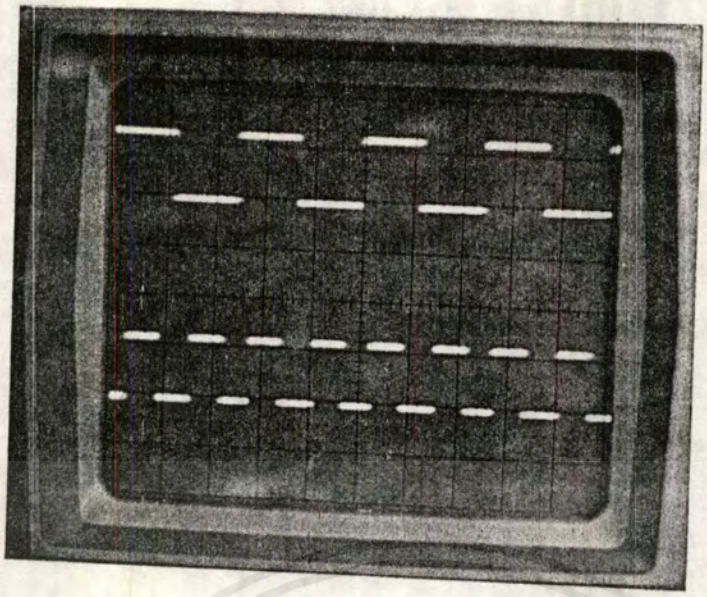
รูปที่ 5.18 สัญญาณพาหะจากวงจรกู้สัญญาณพาหะ
Ch.1 สัญญาณ $Cos\omega ct$
Ch.2 สัญญาณ $Sin\omega ct$



CH.1 HOR. 2 V/DIV
CH.2 HOR. 1 V/DIV
VERT. 50 μSEC/DIV

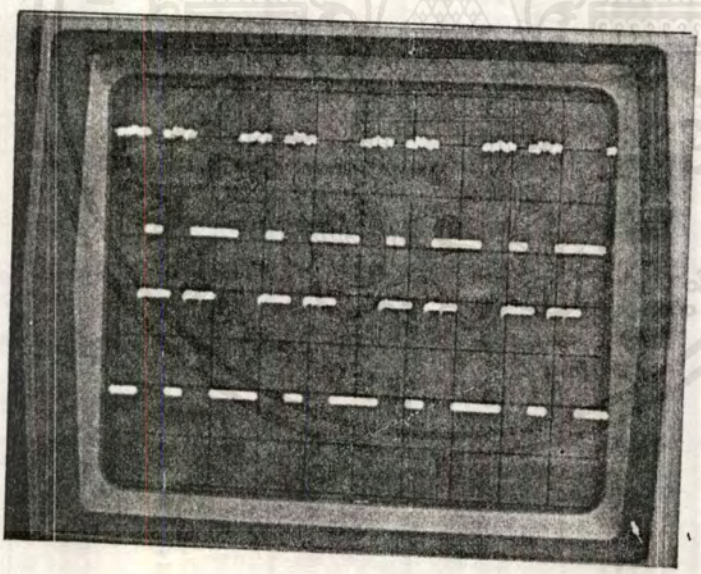
รูปที่ 5.19 สัญญาณที่ทำการดีมอดดูเลทางด้าน I และ Q
Ch.1 สัญญาณที่ทำการดีมอดดูเลทางด้าน I
Ch.2 สัญญาณที่ทำการดีมอดดูเลทางด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 50 μSEC/DIV

รูปที่ 5.20 สัญญาณที่ทำการดีมอดดูเลทปรับเป็นสัญญาณดิจิตอล
Ch.1 สัญญาณ Gray Code ด้าน I′
Ch.2 สัญญาณ Gray Code ด้าน Q′



CH.1 HOR. 2 V/DIV
CH.2 HOR. 2 V/DIV
VERT. 50 μ SEC/DIV

รูปที่ 5.21 สัญญาณเอาท์พุทของเครื่องรับ QPSK เทียบกับสัญญาณอินพุททางเครื่องส่ง
Ch.1 สัญญาณข้อมูล "11011000" ทางเครื่องส่ง
Ch.2 สัญญาณข้อมูล "11011000" ทางเครื่องรับ

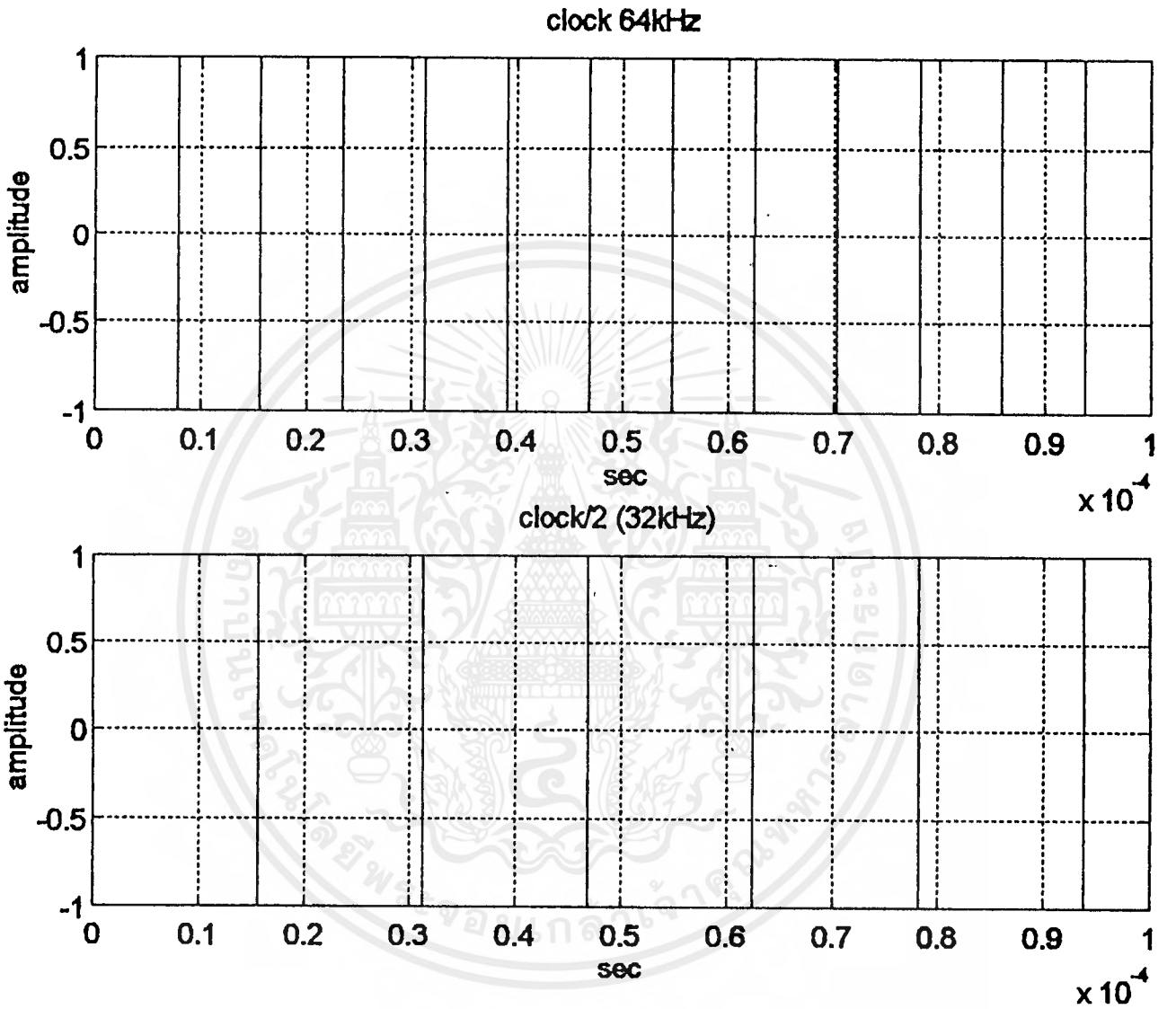
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม MATLAB ที่ออกแบบมาสำหรับการใช้งานในการคำนวณวิเคราะห์ทางด้านสัญญาณต่างๆ ที่เกี่ยวกับวงจรที่ได้ทำการทดลองและออกแบบมาทางด้านภาคส่งและทางด้านภาครับของ QPSK รูปสัญญาณต่างๆ ที่ทำการประมวลผลโดยใช้ MATLAB ได้แสดงไว้ดังต่อไปนี้

```
%clock 64 kHz
clear;
     t     =0:.00000001:0.0001;        % time  axis
    f_c  = 64000;         % frequency 64kHz
     y    = square(2*pi*f_c*t);
     %plot  clock  signal
            subplot(211),  plot (t,y),...
            title('clock 64kHz'),...
            xlabel(' sec'),...
            ylabel('amplitude'),...
            grid
     %plot clock/2  signal
        d = square(2*pi*(f_c./2)*t);
            subplot(212), plot (t,d),...
            title('clock/2 (32kHz) '),...
            xlabel('sec'),...
            ylabel('amplitude'),...
            grid
```

โปรแกรมสัญญาณนาฬิกา 64 kHz และ สัญญาณนาฬิกา 32 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



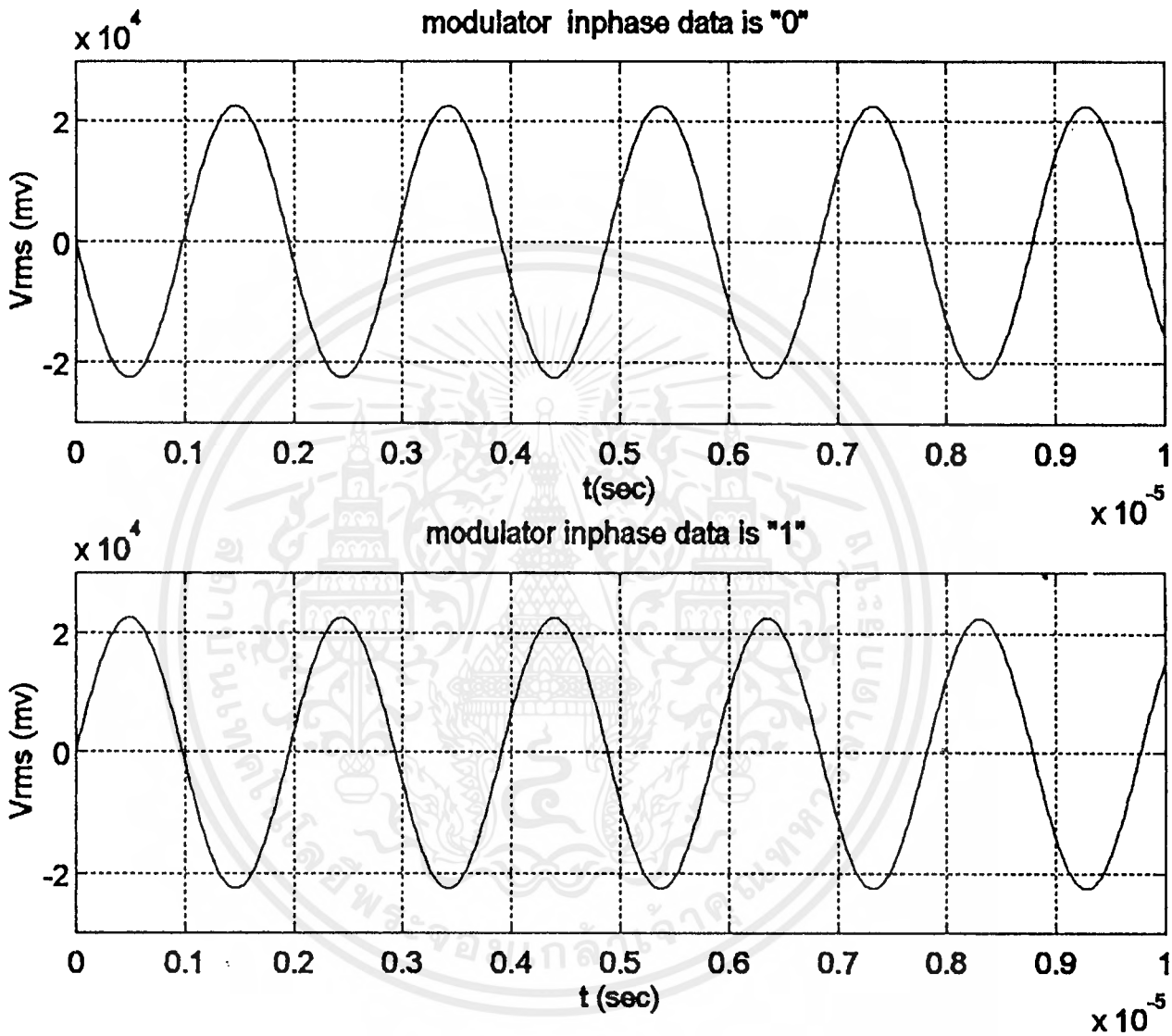
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%  If inphase -150mv modulate with carrier sine wave
%  512kHz

clear;
            t  =   0:0.00000001:0.00001;
            f  =   512000;        %  frequency 512kHz
            w  =   2*pi*f;
          car  = 150* sin(w*t);   % carrier sine wave
           in  =  -150;           % siganl -150mv if data in is '0'
          y1   =  in.*car;
          IN   =   150;           % signal 150mv if data in is '1'
           y2  =   IN.*car;
      %plot  at  inphase =-150mv
            subplot(211), plot(t,y1),...
            title('modulator  inphase data is "0" '),...
            ylabel('Vrms (mv)'),...
            xlabel('t(sec)'),
            axis([0 0.00001 -30000 30000]),grid,...
      % plot   at  inphase =150mv
            subplot(212),plot(t,y2),...
            title('modulator inphase data is "1" '),...
            ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
            axis([0 0.00001 -30000 30000]), grid,...
```

โปรแกรมมอดูเลทสัญญาณทางด้าน Inphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



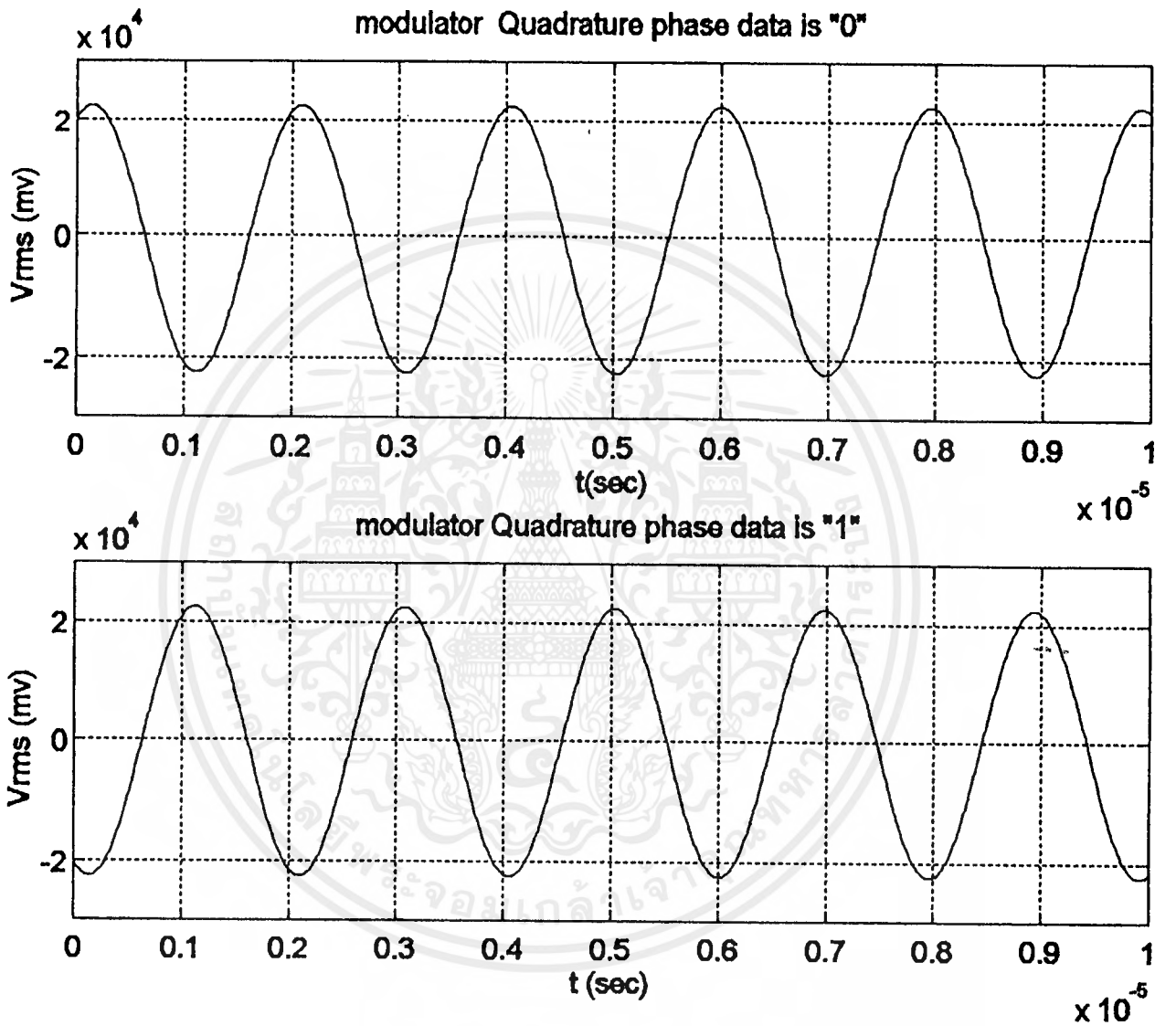
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%  If  quadrature phase -150mv modulate with carrier cosine wave
 %  512kHz

clear;
             t  =   0:0.00000001:0.00001;
             f  =   512000;  %  frequency 512kHz
            w   =   2*pi*f;
          car   = 150* sin((w*t) -90);  % carrier cosine wave
           q    =  -150;    % siganl -150mv  if data in s'0'
          y1    =  q.*car;
           Q    =   150;    % signal 150mv if data in is'1'
           y2   =   Q.*car;
      %plot  at  quadrature phase =-150mv
            subplot(211), plot(t,y1),...
            title('modulator  Quadrature phase data is "0" '),...
            ylabel('Vrms (mv)'),...
            xlabel('t(sec)'),...
            axis([ 0 0.00001 -30000 30000]) ,grid,...
         % plot   at  quadrature phase =150mv
            subplot(212),plot(t,y2),...
            title('modulator Quadrature phase data is "1" '),...
            ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
            axis([0 0.00001 -30000 30000]), grid,...
```

โปรแกรมมอดูเลทสัญญาณทางด้าน Quadrature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

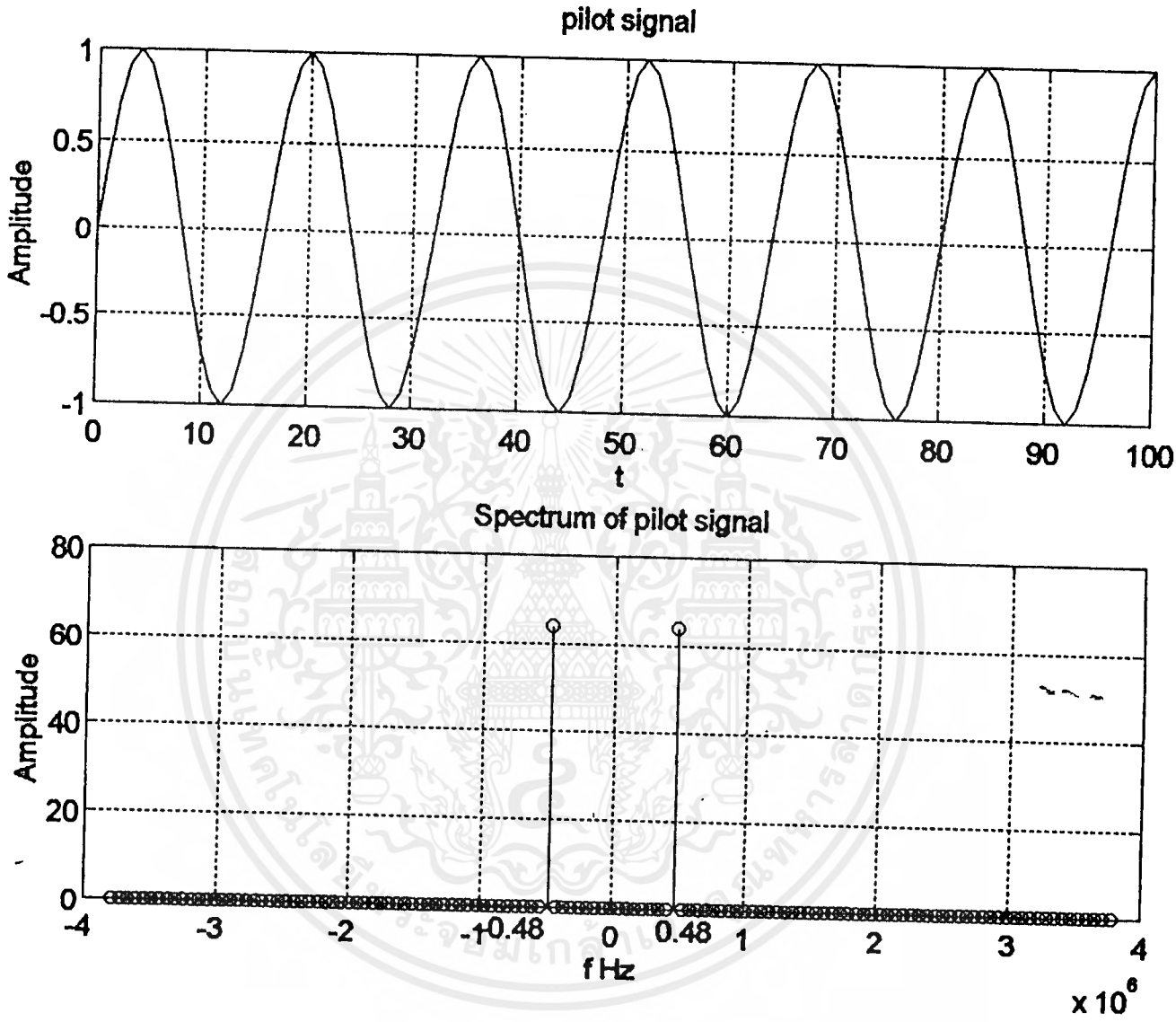


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%pilot signal 480 kHz
        N  = 128;                % number of sample=2^m
        fc = 480000;
        T  = 1/(16*fc);          % sampling time
        K  = 0 : N -1 ;
      freq = K*(1/(N*T));
        f  =   sin(2*pi*fc*K*T);
        F  =   fft (f) ;
      magF =   abs (F);
       %plot in time domain
     subplot(211) , plot(K,f),...
     title( 'pilot signal'),...
     xlabel( 't' ),...
     ylabel('Amplitude'),...
     axis([0 100 -1 1]),grid
        %plot spectrum in frequency domain
     subplot(212), stem(freq(1:N/2),magF(1:N/2)),hold,...
     stem(-freq(1:N/2),magF(1:N/2)),...
     title(' Spectrum of pilot signal'),...
     xlabel('f Hz'),...
     ylabel('Amplitude'),...
     text(350000,-5,'0.48'),...
     text(-1000000,-5,'-0.48'),...
      grid
```

โปรแกรมสัญญาณนำร่อง 480 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

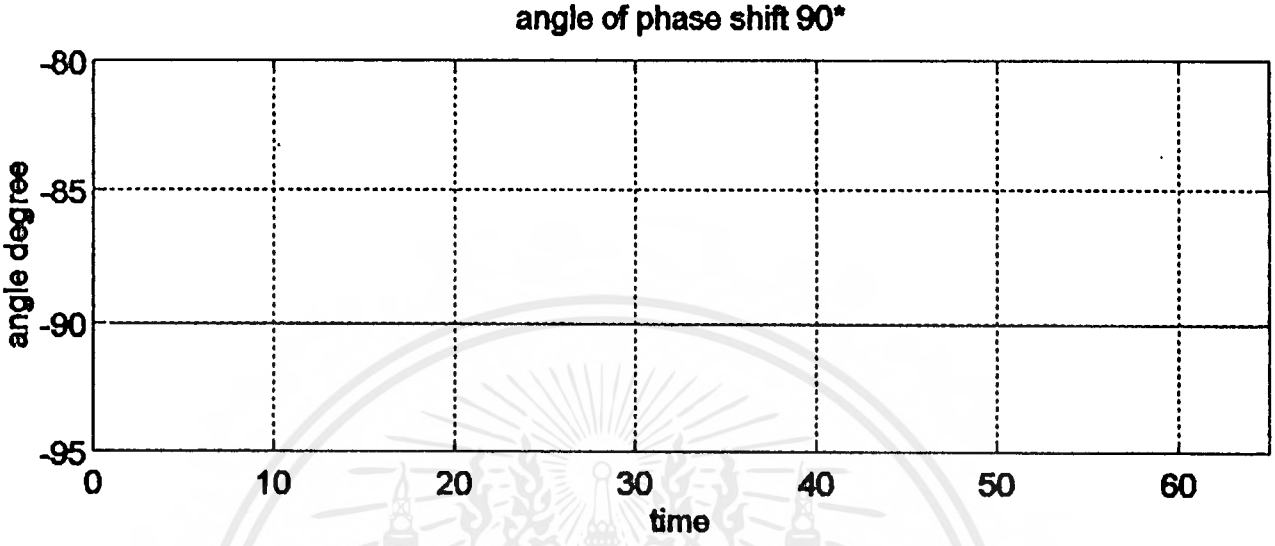


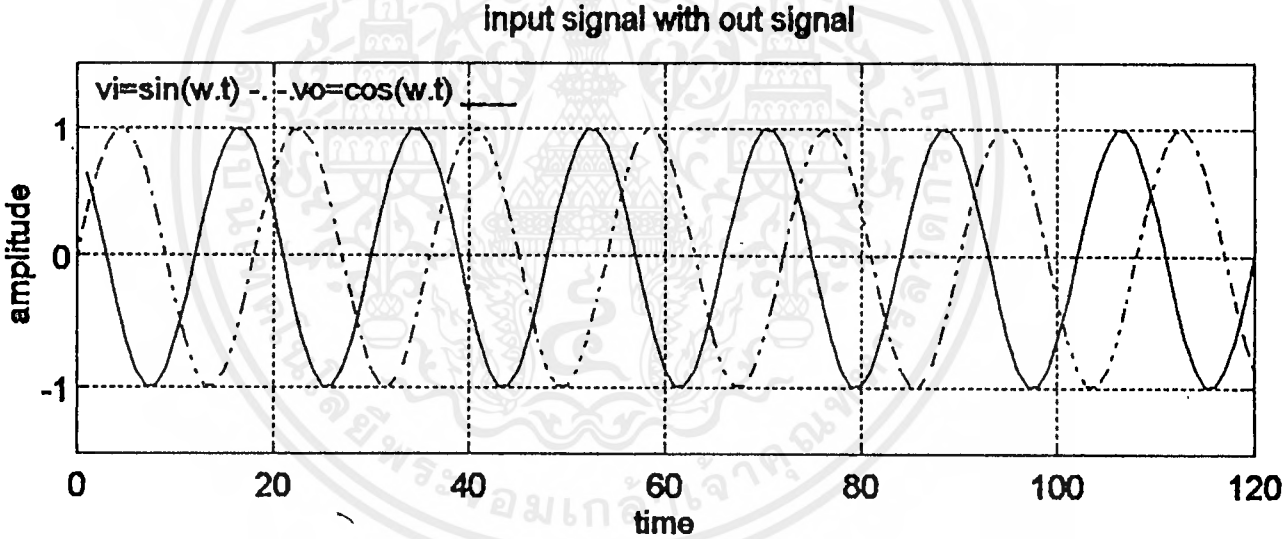
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%   plot phase shift 90*
      fc  =    512000;   % frequency 512kHz
      N   =    2.^7;
      K   =    0:N-1;
      T   =    1/(18*fc);
      t   =    K* T;
      C   =    10*10^(-12);     % C = 100pF
      R   =    31050;            %  R = 31k
      vi  =    sin(2*pi*fc*t);  % input source
      ang =  (-2*(atan2(1,2*pi*fc*R*C*t./t )));  %phase  shift
      deg =  ang*(180/pi);      %  angle degree
       vo =   sin((2*pi*fc*t)-deg);     %output  cos(wt)
    subplot(211),plot(K,deg),...
    xlabel('time'),ylabel('angle degree'),grid
    title('angle of phase shift 90*'),...
    axis([0 65 -95 -80])
    subplot(212),plot(K,vi, '-.';K,vo),...
    xlabel('time'),ylabel('amplitude'),grid,...
    title(' input signal with out signal'),...
    axis([0 120 -1.5 1.5])
    text(2,1.3,'vi=sin(w.t) -. -. -.')
    text(22,1.3,'vo=cos(w.t) ___')
```

โปรแกรมสัญญาณเลื่อนเฟส 90°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



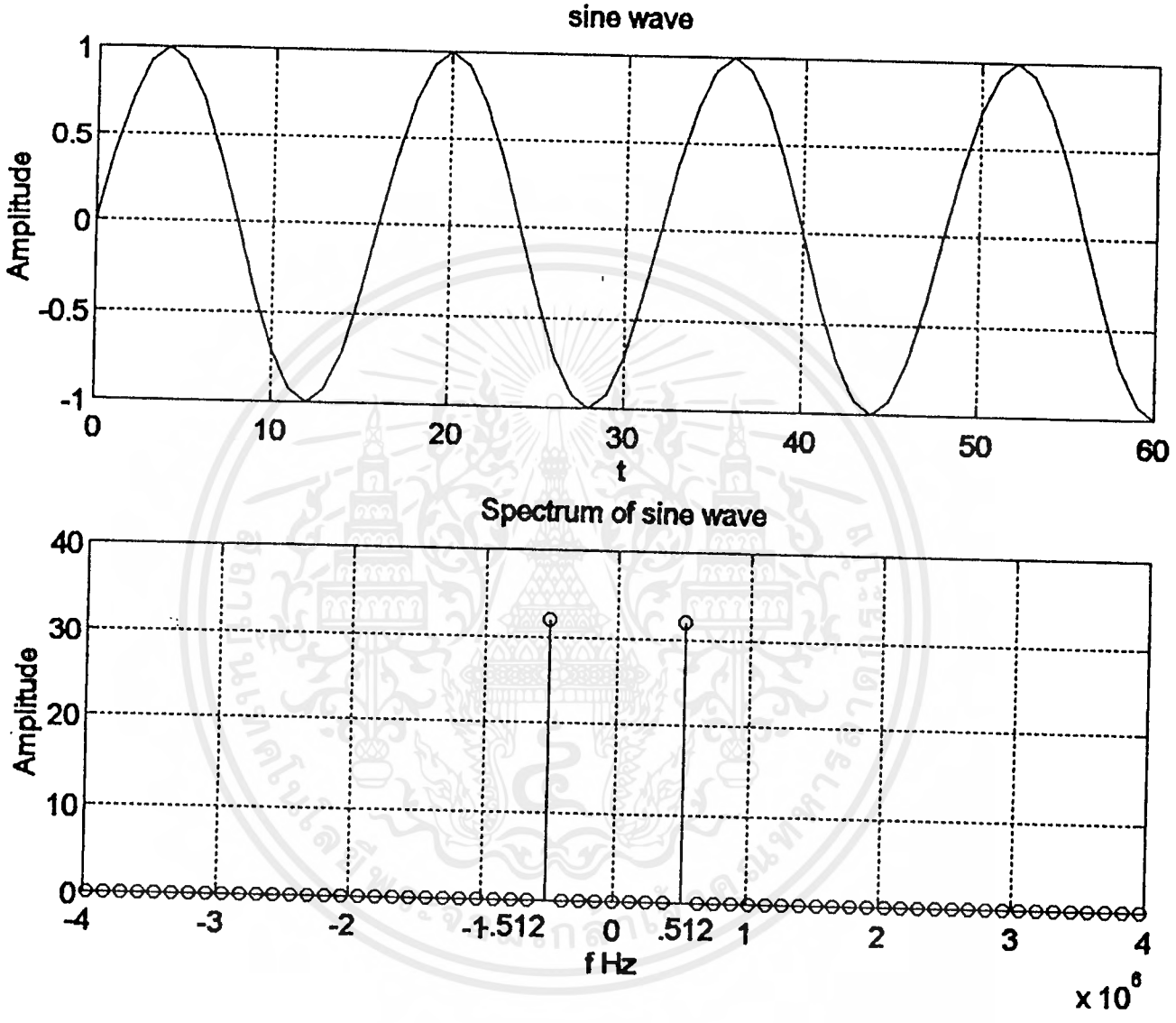


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%carrier signal 512 kHz
        N  = 64;                % number of sample=2^m
        fc = 512000;
        T  = 1/(16*fc);           % sampling time
        K  = 0 : N -1 ;
     freq = K*(1/(N*T));
        f  =   sin(2*pi*fc*K*T);
        F  =   fft (f) ;
     magF =   abs (F);
      %plot in time domain
    subplot(211) , plot(K,f),...
    title( 'sine wave'),...
    xlabel( 't' ),...
    ylabel('Amplitude'),...
    axis([0 60 -1 1]), grid
       %plot spectrum in frequency domain
    subplot(212), stem(freq(1:N/2),magF(1:N/2)),hold,...
    stem(-freq(1:N/2),magF(1:N/2)),...
    title(' Spectrum of sine wave'),...
    xlabel('f Hz'),...
    ylabel('Amplitude'),...
    text ( 350000,-3, '.512'),...
    text ( -1000000,-3,'-.512'),...
    grid
```

โปรแกรมสัญญาณคลื่นพาหะ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

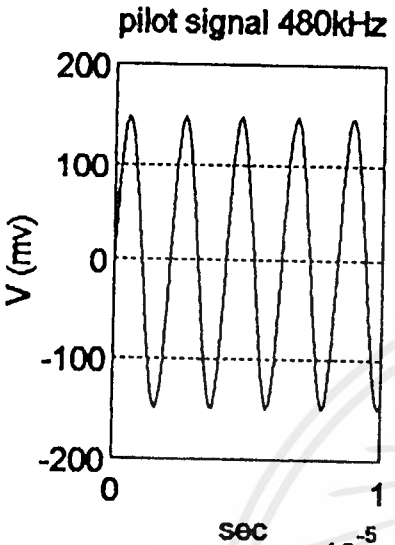


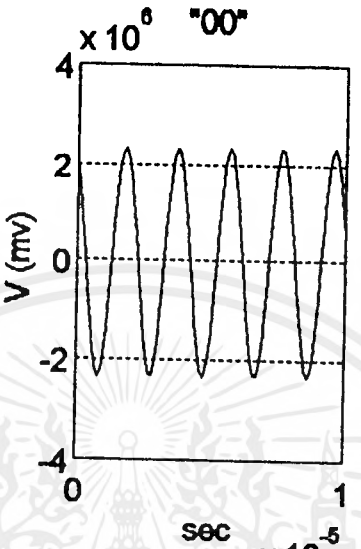
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

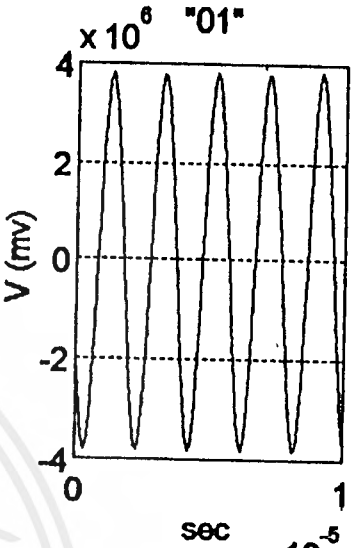
```
% Summing amplifier
 clear;
          t  =  0:0.0000001:0.00001;
          f  =  512000;              % frequency carrier
          F  =  480000;              % frequency pilot
          w  =  2*pi*f;
          W  =  2*pi*F;
          rf =  100000;
          ri =  1000;
  modi0  = (- 150)*(150)*sin(w*t);      % mod. data is  '0'
  modi1  = (150)*(150)*sin(w*t);        % mod. data is  '1'
  modq0  = (-150)*(150)*sin((w*t)-90); % mod. data is '0'
  modq1  = (150)*(150)*sin((w*t)-90);  % mod. data is '1'
  pilot  = 150*sin(W*t);                   % pilot signal 480kHz
  % plot pilot signal
          subplot (231), plot (t,pilot),...
          title ('pilot signal 480kHz'),...
          xlabel('sec'),ylabel('V (mv) '),...
          grid
   % summing if data in "00"
                    vo1  = (rf./ri).*(modi0+modq0+pilot);
          subplot (232), plot (t,vo1),...
          title ('  "00" '),...
          xlabel('sec'),ylabel('V (mv)'),...
          grid
   % summing if data in "01"
                    vo2  =  (rf./ri).*(modi0+modq1+pilot);
          subplot(233), plot (t,vo2),...
          title(' "01" '),...
          xlabel('sec'),ylabel(' V (mv) '),...
          grid
  % summing if data in "10"
                    vo3  =  (rf./ri).*(modi1+modq0+pilot);
          subplot(234), plot(t,vo3),...
          title (' "10" '),...
          xlabel('sec'),ylabel(' V (mv) '),...
          grid
% summing if data is "11"
                   vo4  =  (rf./ri).*(modi1+modq1+pilot);
          subplot(235), plot(t,vo4),...
          title (' "11" '),...
          xlabel('sec'), ylabel(' V (mv) '),...
          grid
% plot carrier signal
                  ca = 150*sin(w*t);    %carrier signal 512kHz
           subplot(236),plot(t,ca),...
           title('carrier signal 512kHz'),...
           xlabel('sec'), ylabel(' V (mv) '),...
           grid
```

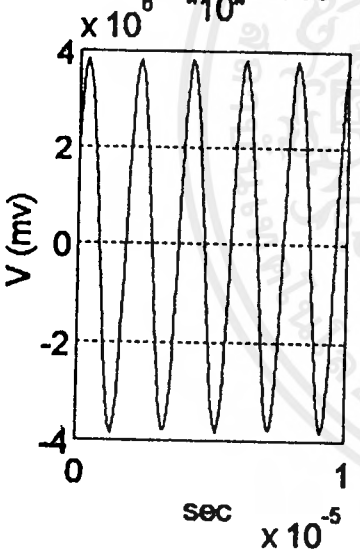
โปรแกรมวงจรรวมสัญญาณ

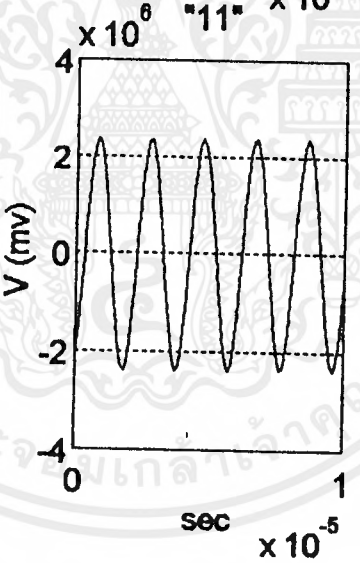
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

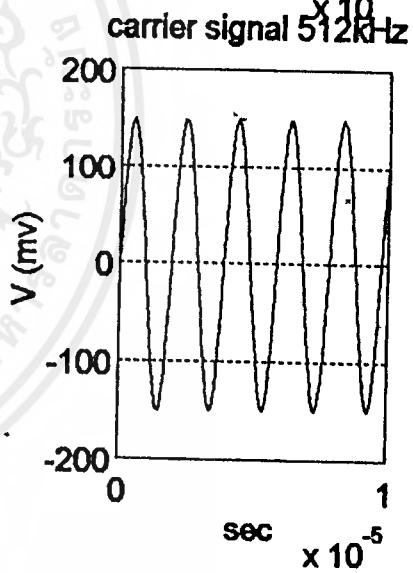










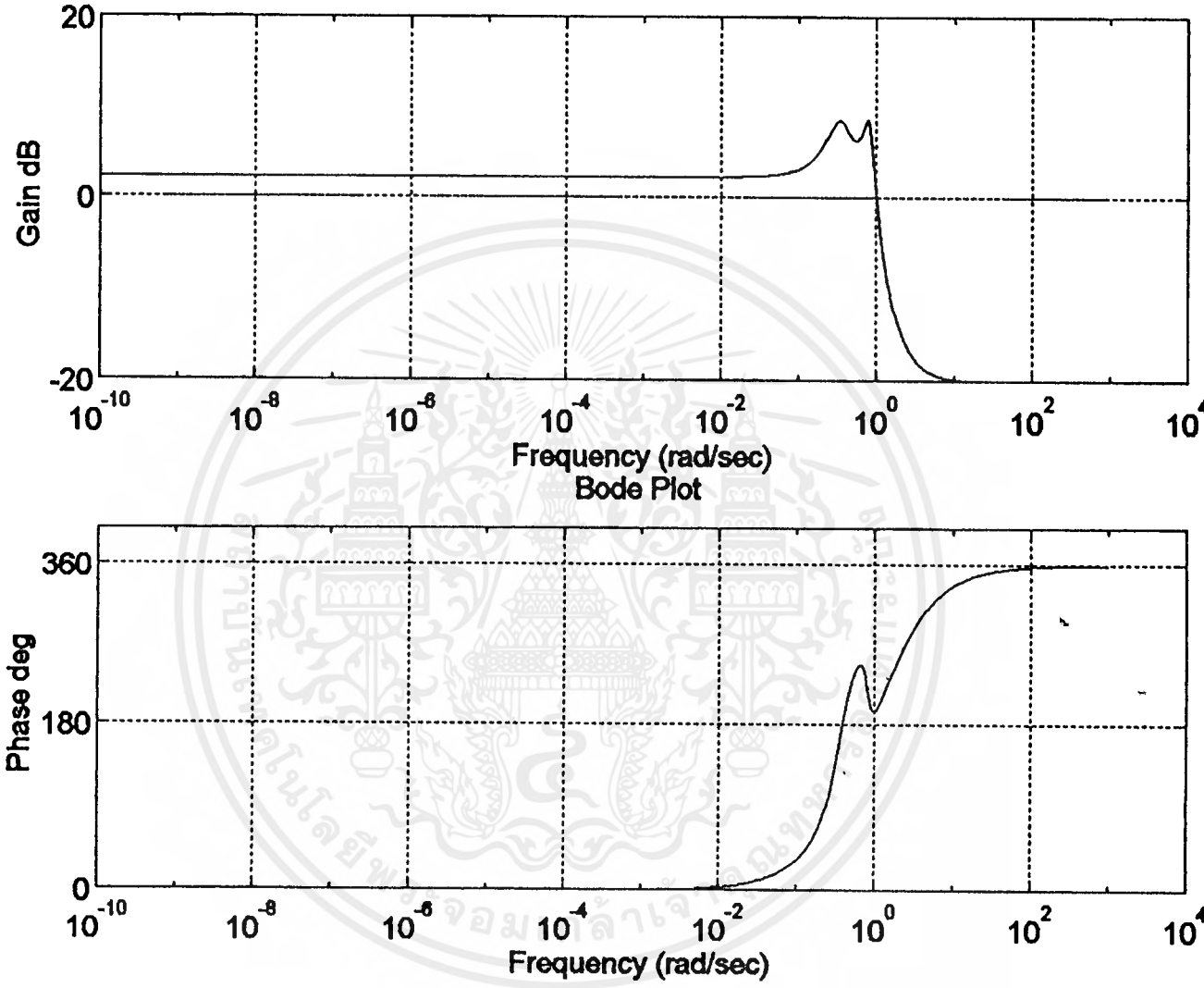


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% Low-pass chebyshev filter
clear;
      [N,D]  =   cheby1(4,0.1,0.5);   %order4,ripple in
passband0.1dB,cutoff 16kHz
%plot frequency response
       w     =   logspace(-10,3,1000); %plot 1to 1000rad/sec
        bode(N,D,w),...
       title('Bode Plot ')
```

โปรแกรมสัญญาณกรองความถี่ต่ำแบบ Chebyshev order 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

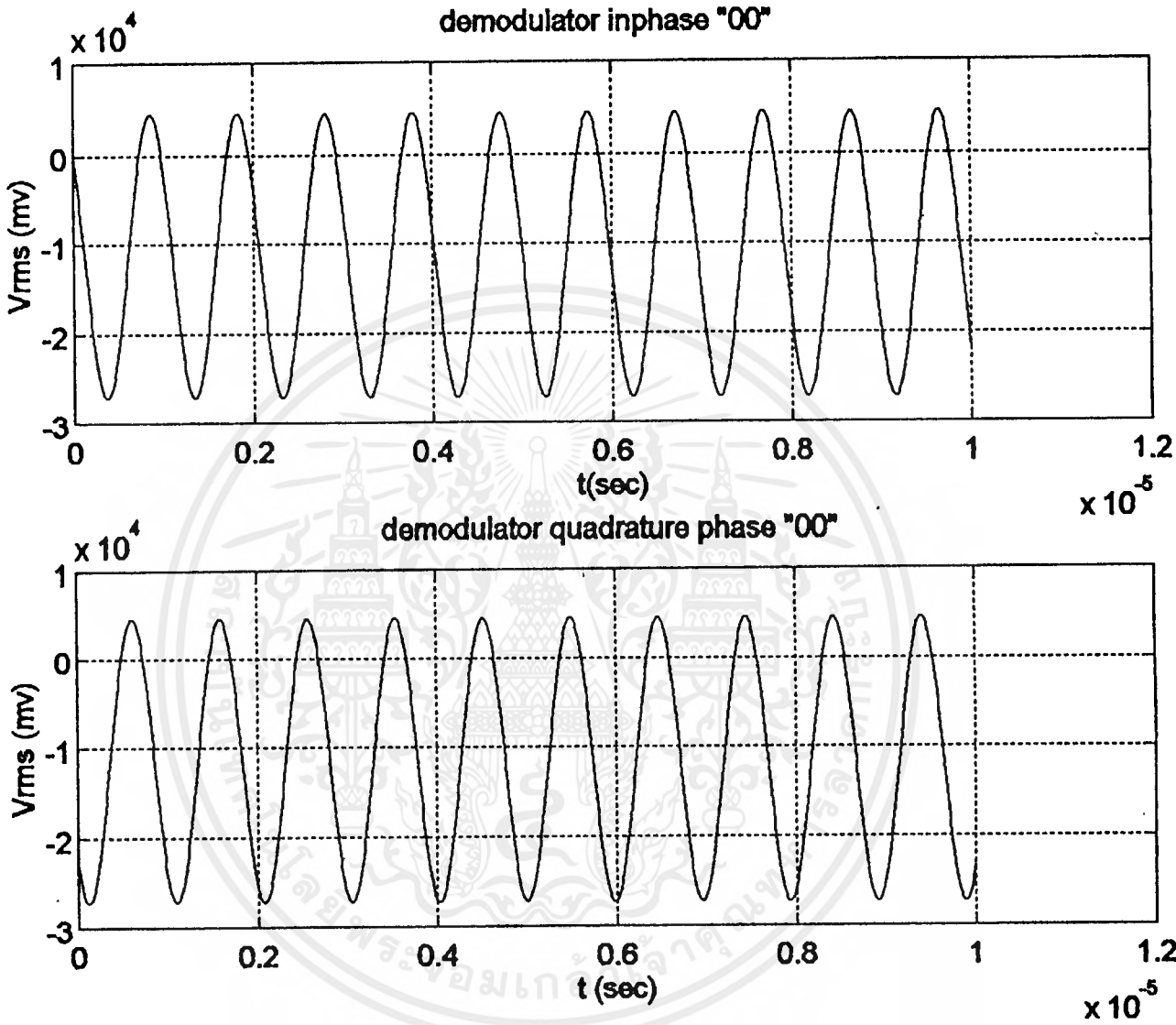


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%demodulator if input was "00"
clear;
          t    =   0:0.00000001:0.00001;
          f    =   512000;          %  frequency 512kHz
          w    =   2*pi*f;
        cari   = 150* sin(w*t);   % carrier sine wave
        carq   =  150*cos(w*t);  %  carrier cosine
        sig    =  -150*sin(w*t)-150*cos(w*t);    % input"00"
         I     =  cari.* sig;          % output demod.
         Q     =  carq.*sig;
      % plot output demod "00"
       subplot(211),plot(t,I),...
       title('demodulator inphase "00" '),...
        ylabel('Vrms (mv)'),...
        xlabel('t(sec)'),...
        grid
        % plot   at  inphase =150mv
        subplot(212),plot(t,Q),...
          title('demodulator quadrature phase "00" '),...
          ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
          grid
```

โปรแกรมคีมอดดูเลทสัญญาณเมื่ออินพุท “00”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

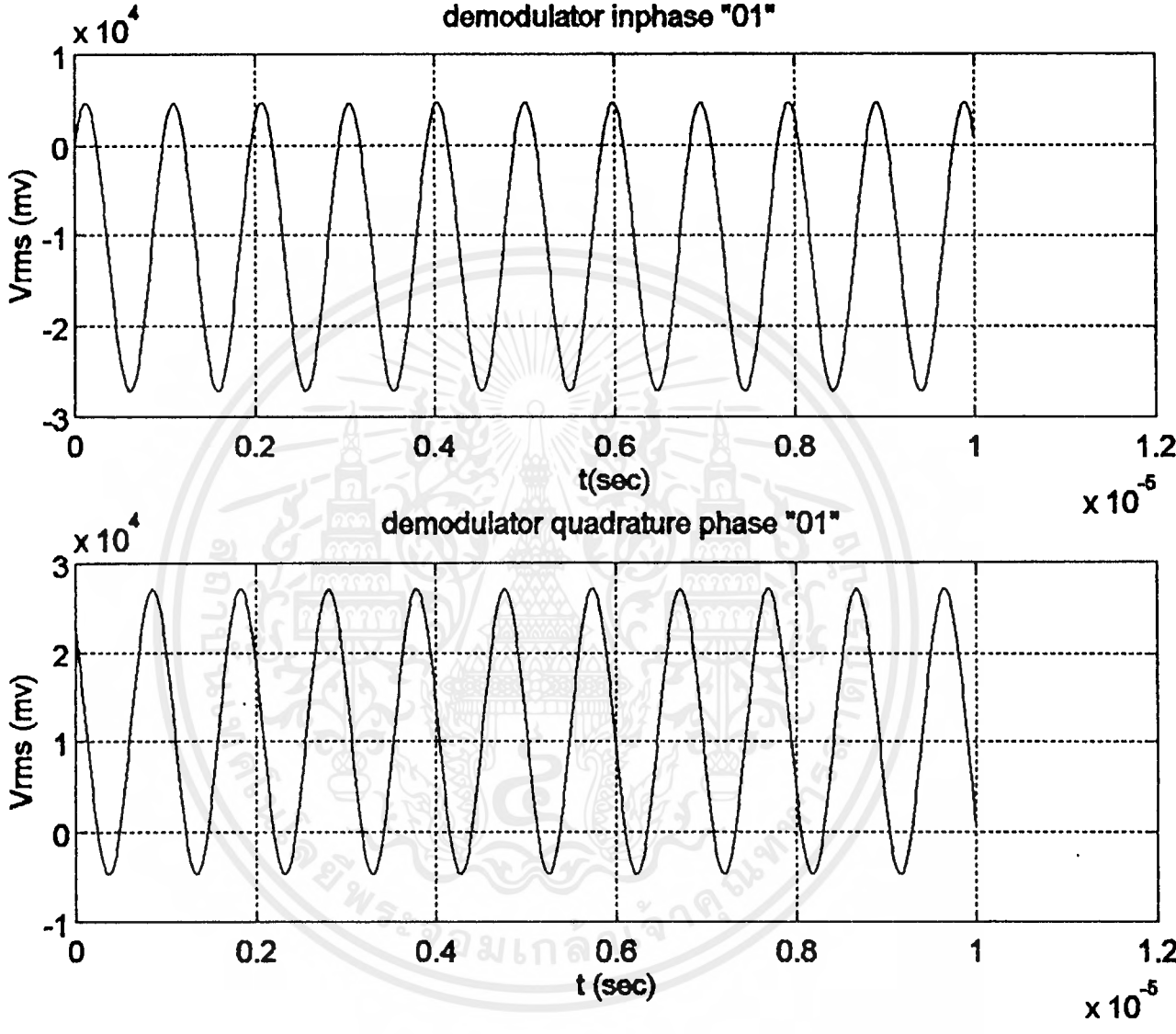


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%demodulator if input was "01"
clear;
          t    =   0:0.00000001:0.00001;
          f    =   512000;          %  frequency 512kHz
          w    =   2*pi*f;
        cari   = 150* sin(w*t);    % carrier sine wave
        carq   =  150*cos(w*t);  %  carrier cosine
        sig    =  -150*sin(w*t)+150*cos(w*t);    % input"01"
         I     =  cari.* sig;          % output demod.
         Q     =  carq.*sig;
      % plot output demod "01"
       subplot(211),plot(t,I),...
       title('demodulator inphase "01" '),...
        ylabel('Vrms (mv)'),...
        xlabel('t(sec)'),...
        grid
        subplot(212),plot(t,Q),...
        title('demodulator quadrature phase "01" '),...
        ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
        grid
```

โปรแกรมดีมอดดูเลทสัญญาณเมื่ออินพุท “01”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

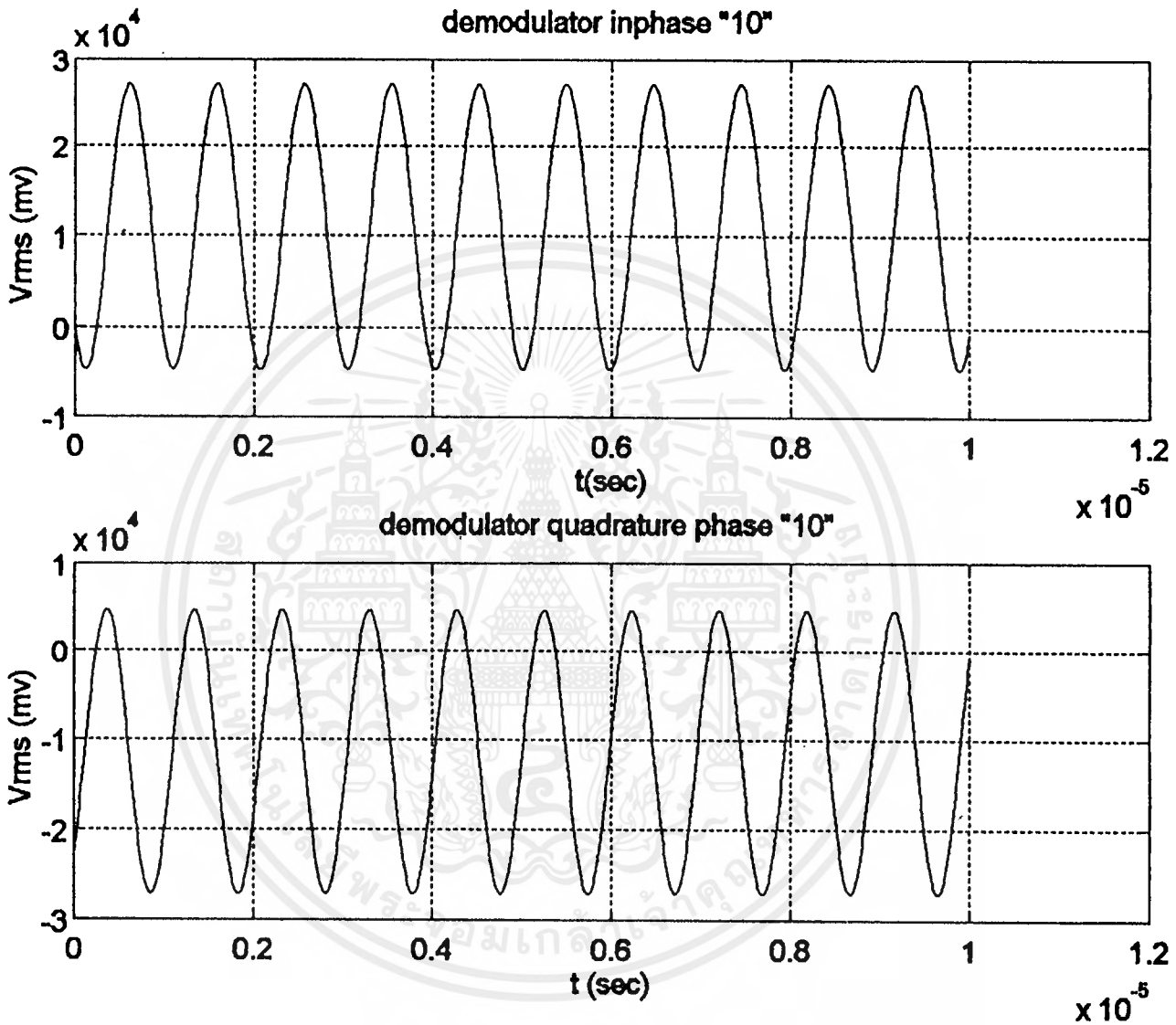


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%demodulator if input was "10"
clear;
          t    =   0:0.00000001:0.00001;
          f    =   512000;          %  frequency 512kHz
          w    =   2*pi*f;
        cari   = 150* sin(w*t);   % carrier sine wave
        carq   =  150*cos(w*t);  %  carrier cosine
        sig    =  150*sin(w*t)-150*cos(w*t);    % input"00"
         I     =  cari.* sig;           % output demod.
         Q     =  carq.*sig;
      % plot output demod "10"
       subplot(211),plot(t,I),...
       title('demodulator inphase "10" '),...
        ylabel('Vrms (mv)'),...
        xlabel('t(sec)'),...
        grid
       subplot(212),plot(t,Q),...
       title('demodulator quadrature phase "10" '),...
       ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
       grid
```

โปรแกรมมอดคูเลทสัญญาณเมื่ออินพุท “10”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

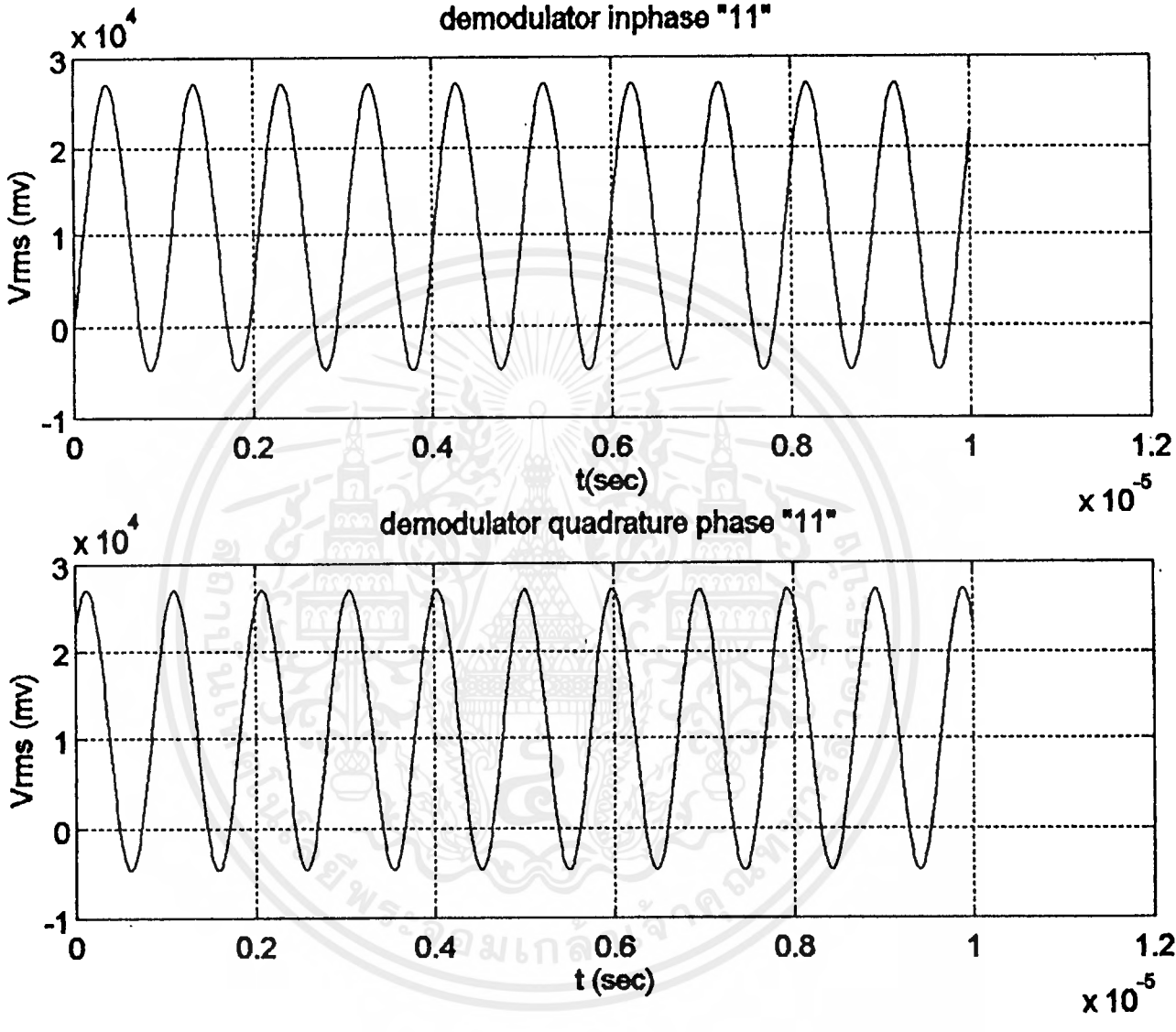


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%demodulator if input was "11"
clear;
          t    =   0:0.00000001:0.00001;
          f    =   512000;          %  frequency 512kHz
          w    =   2*pi*f;
         cari  = 150* sin(w*t);   % carrier sine wave
         carq  =  150*cos(w*t);  %  carrier cosine
         sig   = 150*sin(w*t)+150*cos(w*t);    % input"00"
          I    =  cari.* sig;          % output demod. .
          Q    =  carq.*sig;
       % plot output demod "11"
        subplot(211),plot(t,I),...
        title('demodulator inphase "11" '),...
         ylabel('Vrms (mv)'),...
         xlabel('t(sec)'),...
         grid
         subplot(212),plot(t,Q),...
         title('demodulator quadrature phase "11" '),...
         ylabel('Vrms (mv)'),xlabel ('t (sec)'),...
         grid
```

โปรแกรมดีมอดดูเลทสัญญาณเมื่ออินพุท “11”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปและข้อเสนอแนะ

การทำโครงงานเรื่อง QPSK และการประยุกต์ใช้งานในส่วนแรกจะศึกษาการทำงานของ QPSK ทางด้านภาคส่งก่อนโดยมุ่งเน้นถึงหลักการในการมอดดูเลทแบบ QPSK การออกแบบวงจรภาคต่างๆ โดยอาศัยวงจรพื้นฐานต่างๆ มาประกอบกันเป็นวงจรรวมต่างกันวงจรในแต่ละภาคนั้นบางวงจรนำมาจากคู่มือการใช้งานไอซีบางวงจรนั้นออกแบบเองส่วนในการประกอบวงจรในแต่ละภาคนั้น มีปัญหามากบ้างน้อยบ้างแตกต่างกันไปจะขอสรุปเป็นข้อเสนอแนะเพื่อเป็นประโยชน์แก่ผู้อ่านในแต่ละภาคการทำงานดังนี้

วงจรกำเนิดสัญญาณข้อมูล (Data Generator)

เป็นวงจรที่ออกแบบขึ้นมา เพื่อใช้ในการทดสอบวงจรโดยใช้ ไอซี 74LS165 ซึ่งทำงานเป็นวงจร Parallel - Load 8 bit Shift Register ต่อวงจรให้ทางด้านเอาท์พุท ป้อนกลับเป็นสัญญาณอนุกรมทางด้านอินพุท จึงทำให้ข้อมูลที่โหลดเข้ามาไหลวนเข้าสู่วงจรข้อมูลที่เข้าสู่วงจรนี้สามารถปรับเปลี่ยนรูปแบบได้เพื่อให้แน่ใจได้ว่าวงจร QPSK มอดดูเลชั่นนั้นทำงานได้ถูกต้องในขั้นตอนแรกนั้นตั้งรูปแบบของข้อมูลก่อนจากนั้นจึงโหลดข้อมูลให้มาไหลวนในวงจร Shift Register มีความเร็ว 64 kbps

วงจรแปลงจากอนุกรมเป็นขนาน

ในการออกแบบใช้ D Flip - Flop เบอร์ 74LS74 ทำงานเป็นวงจร Shift Register และมี JK Flip - Flop เบอร์ 74LS73 ทำงานเป็นวงจร หาร ความถี่ 2 เท่า ขอมูลถูกแยกเป็นสองด้านดังด้าน I และด้าน Q และถูกแปลงเป็น Gray Code เพื่อลดความผิดพลาดของข้อมูลโดยใช้ IC 74LS86 ทำงานเป็น Exclusive OR Gate ผลการทดลองในภาคนี้ไม่มีข้อผิดพลาดตรงตามหลักการทางทฤษฎีทุกประการ

วงจรแปลงหนึ่งบิทเป็นสองระดับ

ใช้ IC Op-Amp ทำงานเป็นวงจรเปรียบเทียบแรงดัน (Comparator) เอาท์พุทที่ออกมาจะมี 2 ระดับคือ ถ้าอินพุทเป็น “0” เอาท์พุทเท่ากับ - 5 V และเมื่ออินพุทเป็น “1” เอาท์พุทจะเท่ากับ + 5 V จากนั้นนำแรงดันเอาท์พุทที่ได้ ป้อนเข้าสู่ภาคบาลานซ์มอดดูเลเตอร์ โดยจะต้องลดระดับแรงดันจาก + 5 V ให้เป็น + 150 mV ระดับแรงดัน - 5 V ให้เป็น - 150 mV วงจรตรงส่วนนี้เริ่มมีการผิดเพี้ยนของรูปสัญญาณ เนื่องจากมีการลดขนาดของแรงดันเป็นจำนวนมาก แต่จากการทดลองรูปสัญญาณก็ไม่ผิดเพี้ยนไปมากนัก ซึ่งเมื่อทดลองปรับตัวต้านทานให้เหมาะสมแล้ว รูปสัญญาณเอาท์พุทของภาคนี้ ก็ยังคงเป็นที่น่าพอใจ

วงจรกำเนิดสัญญาณพาหะ

ใช้วงจรเฟสล็อกลูป ทำหน้าที่เป็นวงจรคูณความถี่จากสัญญาณนาฬิกา 64 kHz ให้เป็นความถี่ 512 kHz สัญญาณที่ออกจาก เฟสล็อกลูปเป็นสัญญาณรูปสี่เหลี่ยม ไปเหมาะสมที่จะนำมามอดดูเลทนำสัญญาณนี้ผ่านวงจรกรองความถี่ช่วงผ่าน สัญญาณที่ออกมาจะเป็นสัญญาณรูปไซน์วงจรในส่วนนี้ใช้เวลาทดลองผู่นานพอสมควร เนื่องจากเกิดสัญญาณรบกวนจากภาคกำเนิดสัญญาณนำร่อง 480 kHz แก้ไขโดยการใช้กล่องทองแดงกันระหว่างภาคทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และนำแผ่นกราวด์ปิดป้องกันสัญญาณรบกวนทางด้านล่างของแผ่นวงจร เมื่อทำการแก้ไขดังกล่าวแล้วผลการทดลองเป็นที่น่าพอใจ

วงจรกำเนิดสัญญาณนำร่อง

ใช้วงจรเฟสล็อคลูปอีกเช่นเดียวกัน วงจรออกแบบคล้ายกับวงจรกำเนิดคลื่นพาหะต่างกันตรงสัญญาณที่นำมาเข้า เฟสล็อคลูปคือนำสัญญาณความถี่ 32 kHz จากวงจรหารความถี่ 2 เท่ามาคูณ 15 เท่า โดยใช้เฟสล็อคลูปร่วมกับวงจรหาร 15 ก็จะได้สัญญาณนำร่อง 480 kHz ผ่านวงจรกรองความถี่ช่วงผ่านได้สัญญาณรูปไซน์สิ่งที่จำเป็นมากสำหรับภาคนี้คือ ต้องประกอบวงจรให้ห่างออกจากภาคกำเนิดสัญญาณพาหะไม่ควรใกล้กันเด็ดขาด เนื่องจากเกิดการรบกวนกัน

วงจรเลื่อนเฟสสัญญาณ 90 องศา

การออกแบบใช้วงจร All - Pass Filter ชนิด Vo ล้าหลัง Vin การปรับเลื่อนเฟสนำโดยการปรับตัวต้านทานปรับค่าได้ และในการทดลองใช้ X - Y Oscilloscope ให้ได้รูปวงกลมพอดีจึงทำให้เฟสต่างกัน 90° รูปสัญญาณที่ออกมาก วงจรเลื่อนเฟส 90° มีการผิดเพี้ยนไปเพียงแต่เล็กน้อยเท่านั้น พอที่จะยอมรับได้

วงจรบาลานซ์มอดดูเลเตอร์

ใช้วงจรในคู่มือ ไอซี 1496 และเพิ่มวงจรขยายความแตกต่างทางด้านเอาท์พุทเพื่อให้ขนาดของสัญญาณมีขนาดใหญ่ขึ้น ในการทดลองนั้น ป้อนสัญญาณที่จะนำมามอดดูเลทเป็นรูปสี่เหลี่ยมรูปสัญญาณทางด้านเอาท์พุทที่ได้จะเป็นรูปสัญญาณของ + sin และ - sin รวมอยู่ในรูปเดียวกัน และกำหนดเป็นด้าน Q สัญญาณเอาท์พุทก็จะเป็น + cos และ - cos อยู่ในรูปเดียวกัน วงจรนี้เป็นการทำงานในลักษณะของสัญญาณขนาดเล็กคือเป็นมิลลิโวลท์สัญญาณรบกวนจะเกิดขึ้นได้ง่าย แต่ถ้าหากป้องกันดีแล้วก็จะไม่เกิดปัญหาผลการทดลองเป็นที่น่าพอใจ

. วงจรรวมสัญญาณ

ใช้วงจรขยายผลรวม แบบ Summing noninverting Amplifier สัญญาณทางด้าน อินพุท จะประกอบด้วยสัญญาณที่ผ่านการมอดดูเลททางด้าน I และ Q และสัญญาณ นำร่อง เอาท์พุทที่ได้จะเป็นผลรวมของสัญญาณทั้งสาม เพื่อส่งต่อให้ภาคเพาเวอร์เอาท์พุท และวงจรแมชชิ่งวงจรในส่วนนี้สามารถปรับเกนท์การขยายได้เพื่อให้ไม่เกิดการผิดเพี้ยนของสัญญาณและเหมาะสมในการขยายในภาคเพาเวอร์ เอาท์พุทจากการทดลองผลที่ได้เป็นที่น่าพอใจ

ภาครับ

วงจรกรองความถี่ช่วงผ่านวงจรกรองความถี่ช่วงผ่านแบ่งเป็นสองชุดคือ ชุดแรกกรองความถี่ช่วง 496 - 528 kHz ใช้วงจร Positive Feedback Band - Pass Filtor สองชุดต่อแคสเคดกันเพื่อให้ความสามารถในการกรองเอา สัญญาณนำร่อง 480 kHz ออกได้ดีขึ้น วงจรนี้ยังไม่สามารถตัดสัญญาณนำร่องออกได้ทั้งหมด แต่ใช้งานได้ถ้าจะให้วงจรมีประสิทธิภาพดียิ่งขึ้น ต้องออกแบบวงจรกรองความถี่นี้ใหม่ แต่ในโครงงานนี้ใช้วงจรนี้เพื่อความสะดวกในการออกแบบเพียงครั้งเดียวใช้ได้หลายวงจรผลการทดลองเป็นที่น่าพอใจส่วนวงจรกรองความถี่ 480 kHz นั้นใช้วงจรลักษณะเดียวกัน เพียงแต่ปรับตัวต้านทานให้ความถี่ช่วงผ่านเปลี่ยนไปเป็น 480 kHz วงจรนี้สำคัญเป็นอย่างมากต้องให้มีประสิทธิภาพสูงสุด เนื่องจากจะนำไปแปลงเป็นความถี่พาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสัญญาณนาฬิกา จากการทดลองนั้นต้องทดลองอยู่นานพอสมควรจึงจะทำให้สามารถกรองความถี่ได้อย่างถูกต้อง เนื่องจากความถี่ของสัญญาณพาหะจะเข้ามารบกวนตลอดเวลา

วงจรเฟสล็อกลูปกู้สัญญาณนาฬิกา

วงจรเฟสล็อกลูปในโครงงานนี้ ใช้เพื่อทำงานเป็นวงจรทวีคูณความถี่โดยวงจรใช้เหมือนกับทางด้านภาคส่งเพียงปรับเปลี่ยนวงจรหารความถี่เพียงเล็กน้อย ความถี่ทางด้านเอาพุทจะออกมาตรงและมีเสถียรภาพหรือไม่นั้นขึ้นอยู่กับวงจรกรองความถี่ช่วงผ่านในตอนต้นนั้นมีประสิทธิภาพมากน้อยเพียงไร เทคนิคของวงจรนี้ต้องป้องกันสัญญาณรบกวนที่จะเข้ามาด้วยมิเช่นนั้น แล้วจะทำให้เกิดการเลื่อนเฟสไปมาจะส่งผลต่อภาคต่อไปทำงานได้ไม่ถูกต้อง

วงจรเฟสล็อกลูปกู้สัญญาณพาหะ

ในส่วนนี้จะนำเอาสัญญาณนาฬิกาจากวงจรเฟสล็อกลูป ชุดแรกมาทวีคูณให้ได้ความถี่ 512 kHz จากนั้นผ่านวงจรกรองความถี่ช่วงผ่าน เพื่อทำให้ได้สัญญาณรูปไซน์ เพื่อใช้ในการดีมอดดูเลท ตรงส่วนนี้ถ้าหาก การกู้สัญญาณนาฬิกาไม่เกิดการผิดพลาดแล้ว แล้วในส่วนนี้ก็จะไม่เกิดการผิดพลาดด้วยแต่ก็ไม่ควรลืมการป้องกันสัญญาณรบกวนด้วยเพื่อความมีเสถียรภาพของสัญญาณพาหะ ป้องกันการเลื่อนเฟสอันจะเป็นผลทำให้ การดีมอดดูเลท ผิดพลาดได้

วงจรเลื่อนเฟส 90°

วงจรนี้เหมือนกับวงจรทางด้านภาคส่งทุกประการ ไม่เกิดการผิดเพี้ยนแต่อย่างใด แต่ก็ยังคงต้องป้องกันสัญญาณรบกวนด้วย เพราะมิเช่นนั้นจะเกิดการผิดพลาดในการดีมอดดูเลทอีกเช่นกัน

วงจรบาลานซ์ดีมอดดูเลเตอร์

เนื่องจากวงจรคล้ายกับทางด้านภาคส่งมากในการทดสอบวงจรนั้น ทดสอบโดยทำเป็นวงจรมอดดูเลเตอร์ ให้ถูกต้องก่อนแล้วจึงมาทดลองทำการดีมอดดูเลทโดยจะตรวจสอบค่อนข้างยากว่าถูกหรือผิด ถ้าไม่ได้ต่อวงจรกรองความถี่ต่ำผ่าน เพื่อความสะดวกควรต่อวงจรกรองความถี่ต่ำที่ผ่านการทดสอบแล้วนั้นไว้เลย เพื่อความสะดวกในการตรวจสอบความถูกต้องจากการทดลองมีปัญหาอย่างมากในการดีมอดดูเลทให้ถูกต้อง เพราะเกิดการเลื่อนเฟสของสัญญาณพาหะเนื่องจากสัญญาณรบกวนจากภายนอกด้วย แก้ไขโดยการทำให้สัญญาณรบกวนให้น้อยลง

วงจรกรองความถี่ต่ำ

วงจรนี้เลือกใช้วงจร Cheby shev active Filter Forth - Order เพื่อให้สามารถตัดความถี่สูงออกได้ดี เพราะเนื่องจากถ้าตัดความถี่สูงออกไม่หมดแล้วจะยากในการเปรียบเทียบระดับสัญญาณ สัญญาณจะไม่คงที่เปลี่ยนแปลงอยู่ตลอด จากการทดลองได้ผลในการกรองเป็นที่น่าพอใจ

วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

วงจรนี้ถ้าหากวงจรกรองความถี่ต่ำที่มีประสิทธิภาพดีแล้ว วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต ก็จะไม่เกิดปัญหาอะไร ผลการทดลองเป็นที่น่าพอใจเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมสัญญาณดิจิตอล

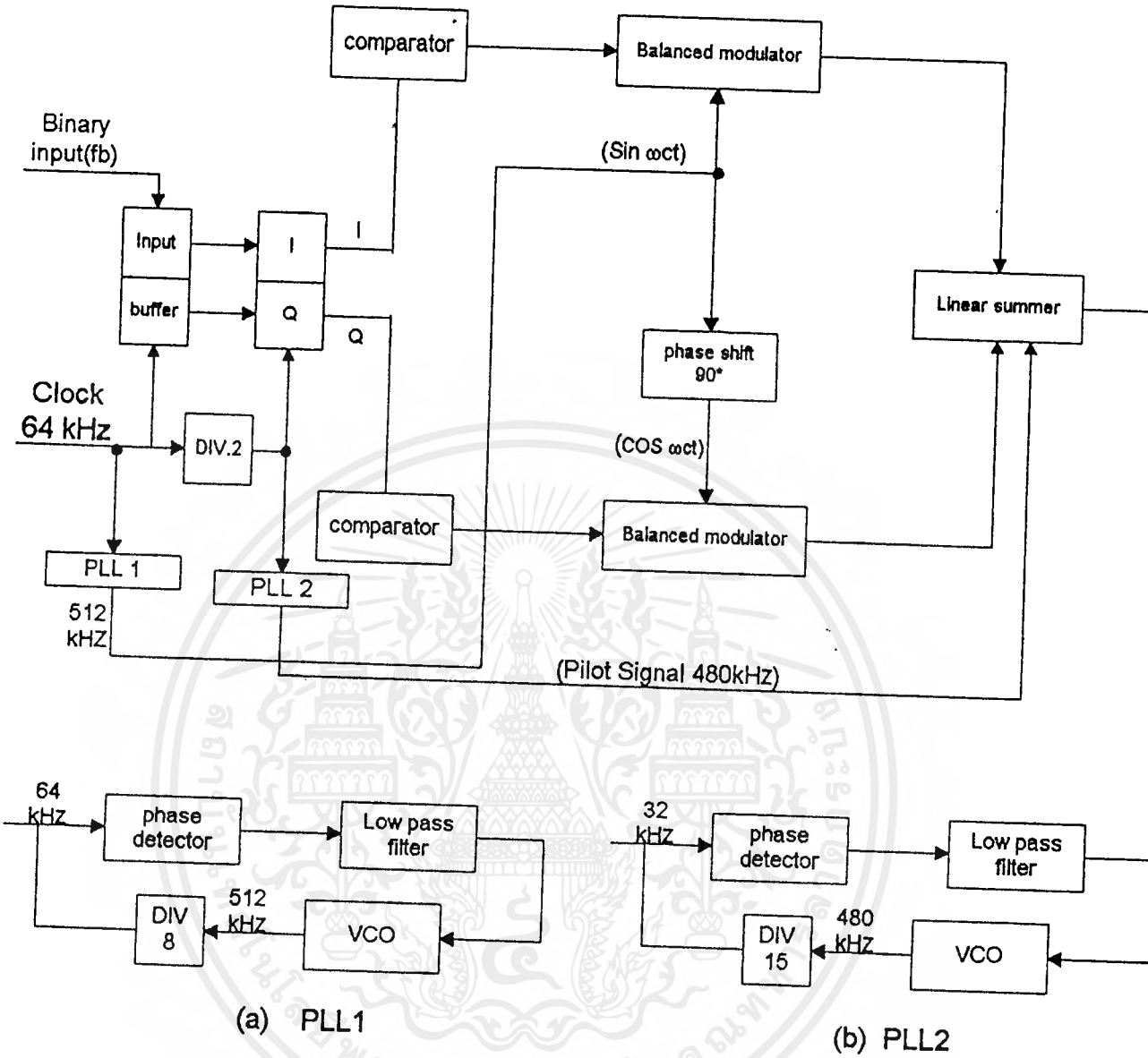
ถ้าหากเฟสของสัญญาณที่จะนำมารวมถูกต้องทั้งทางด้าน I และ Q แล้ว ก็จะไม่เกิดปัญหา แต่ถ้าหากไม่ถูกต้องแล้วจะทำให้ข้อมูลทางด้านเอาท์พุทเกิดการผิดพลาดไปจากเดิมผลการทดลองเป็นที่น่าพอใจ

โดยรวมๆ แล้ววงจรที่ออกแบบมานั้นไม่เกิดปัญหาอะไรมากโดยปัญหาที่ทำให้เสียเวลาในการทำงานส่วนใหญ่แล้วนั้น คือ การรบกวนซึ่งกันและกันของภาคกำเนิดสัญญาณพาหะและกำเนิดสัญญาณนำร่อง หากแก้ปัญหาในส่วนนี้ได้แล้วก็จะทำให้งานประสบความสำเร็จได้ในระดับหนึ่ง แต่ถ้าหากต้องการจะปรับปรุงให้เครื่องมีประสิทธิภาพมากขึ้นแล้วนั้น ต้องใช้เวลาในการศึกษาเพิ่มเติมอีกมากเลยทีเดียว ความเร็วในการส่งข้อมูลของโครงงานนี้ 64 kbps ถ้าต้องการเพิ่มความเร็วในการส่ง สามารถทำได้โดยการปรับเปลี่ยนในภาคของวงจรกรองความถี่ช่วงผ่านก็จะทำให้วงจรนี้ทำงานได้ที่ความเร็วสูงขึ้น แต่ก็มีข้อจำกัดอยู่ในเรื่องของอุปกรณ์ในบางภาคที่นำมาประกอบเป็นวงจรนี้ ทำให้ความเร็วในการส่งข้อมูลเพิ่มขึ้นได้ไม่มากนักแต่ในเมื่อต้องการเพิ่มความเร็วกันจริงๆ แล้วละก็ สามารถทำได้โดยใช้หลักการของวงจรนี้แต่ใช้อุปกรณ์ที่มีคุณภาพสูงขึ้น สามารถตอบสนองความถี่ได้กว้างขึ้น ก็จะทำให้วงจรสามารถส่งที่ความเร็วสูงขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

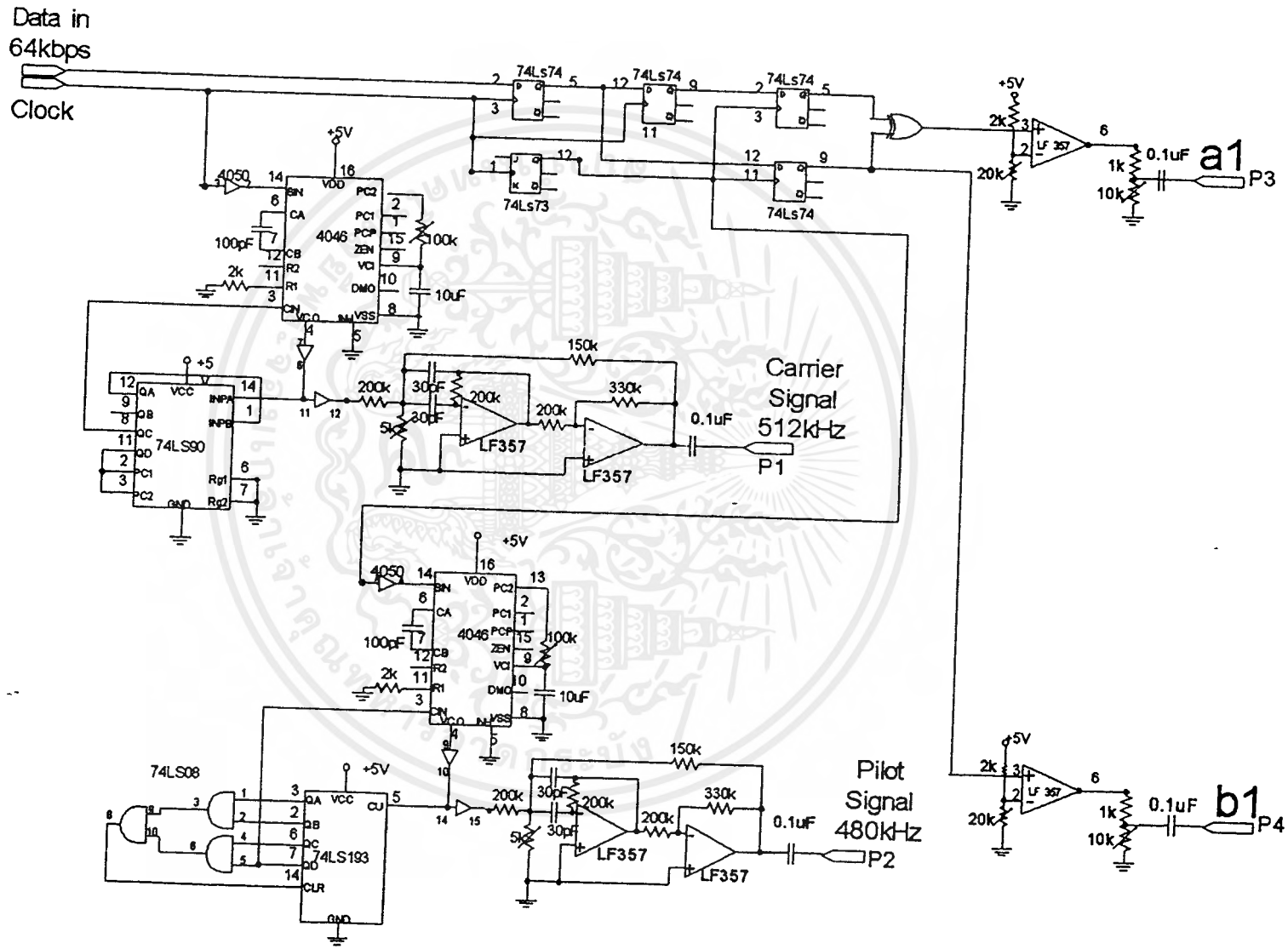
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

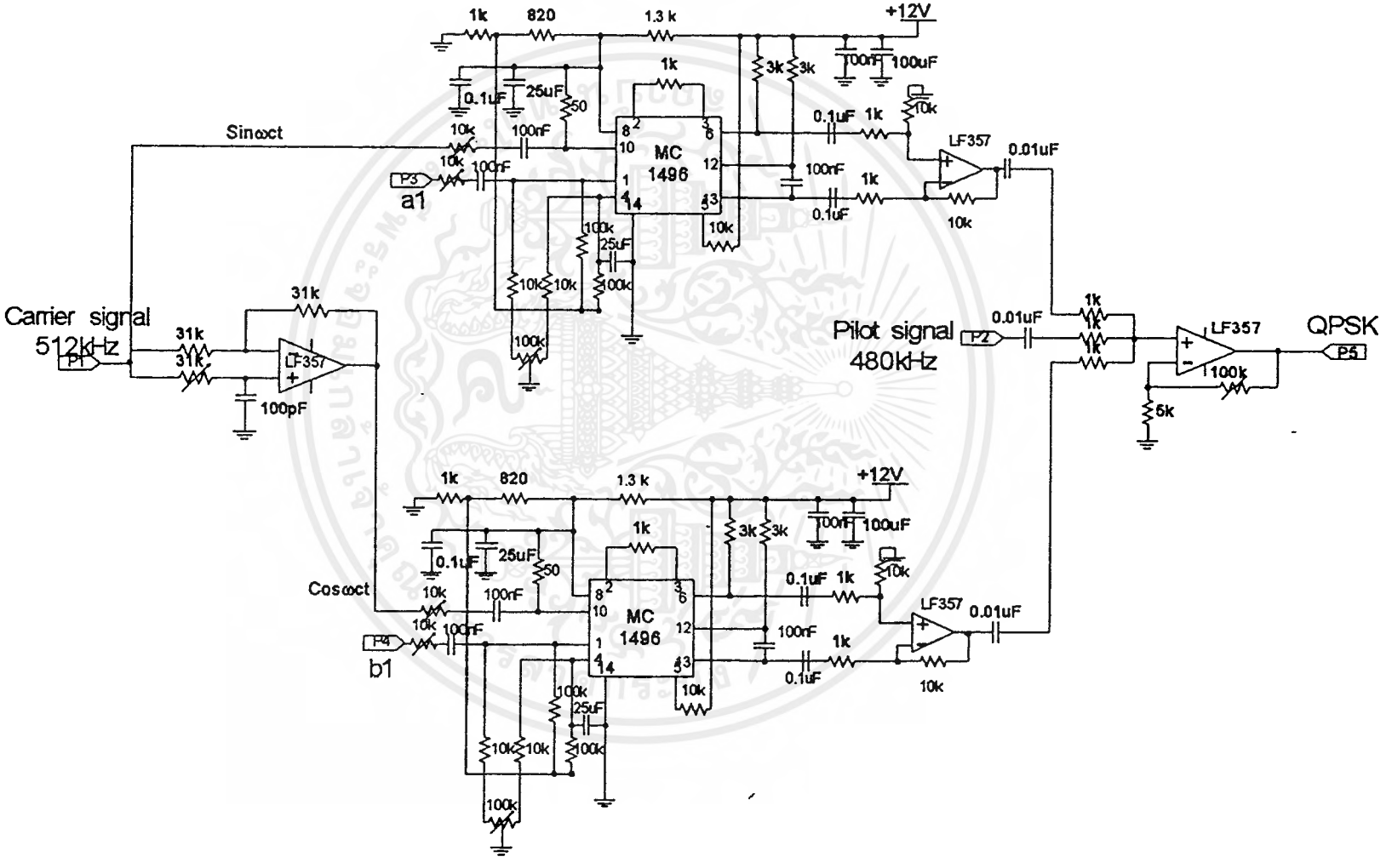


รูปบล็อกไดอะแกรมภาคส่ง QPSK

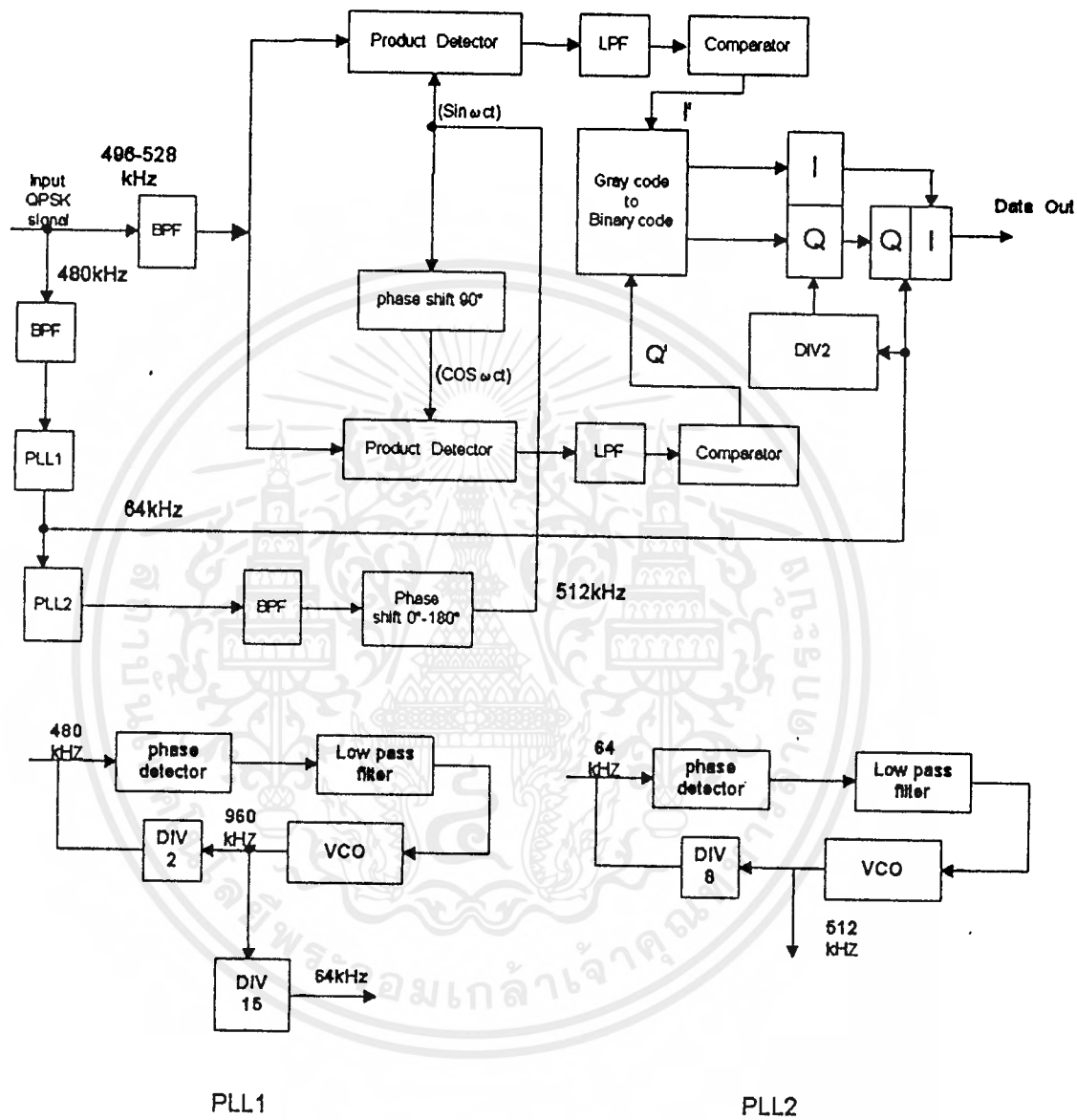
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรภาคส่ง QPSK ส่วนที่ 1

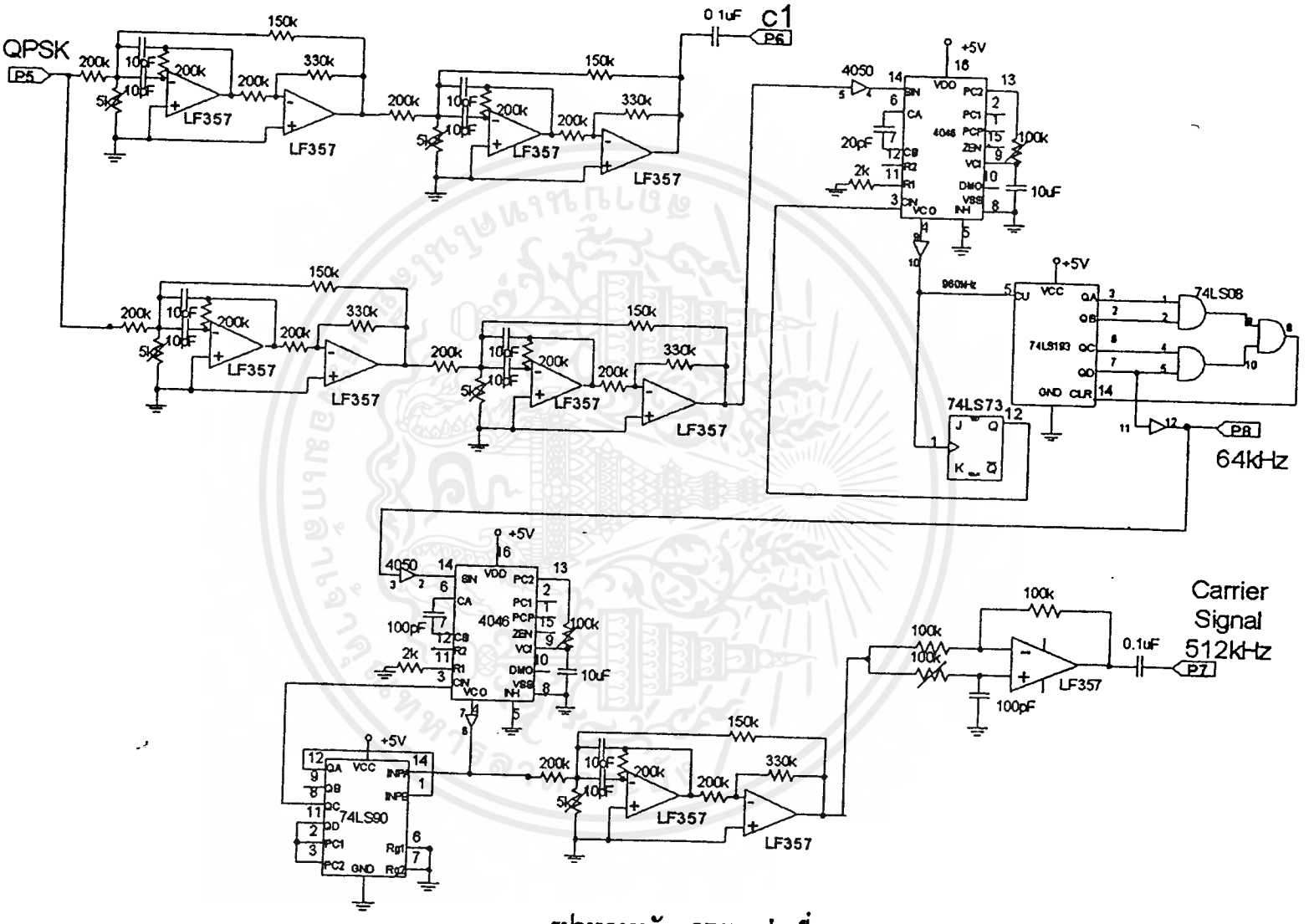


วงจรภาคส่ง QPSK ส่วนที่ 2

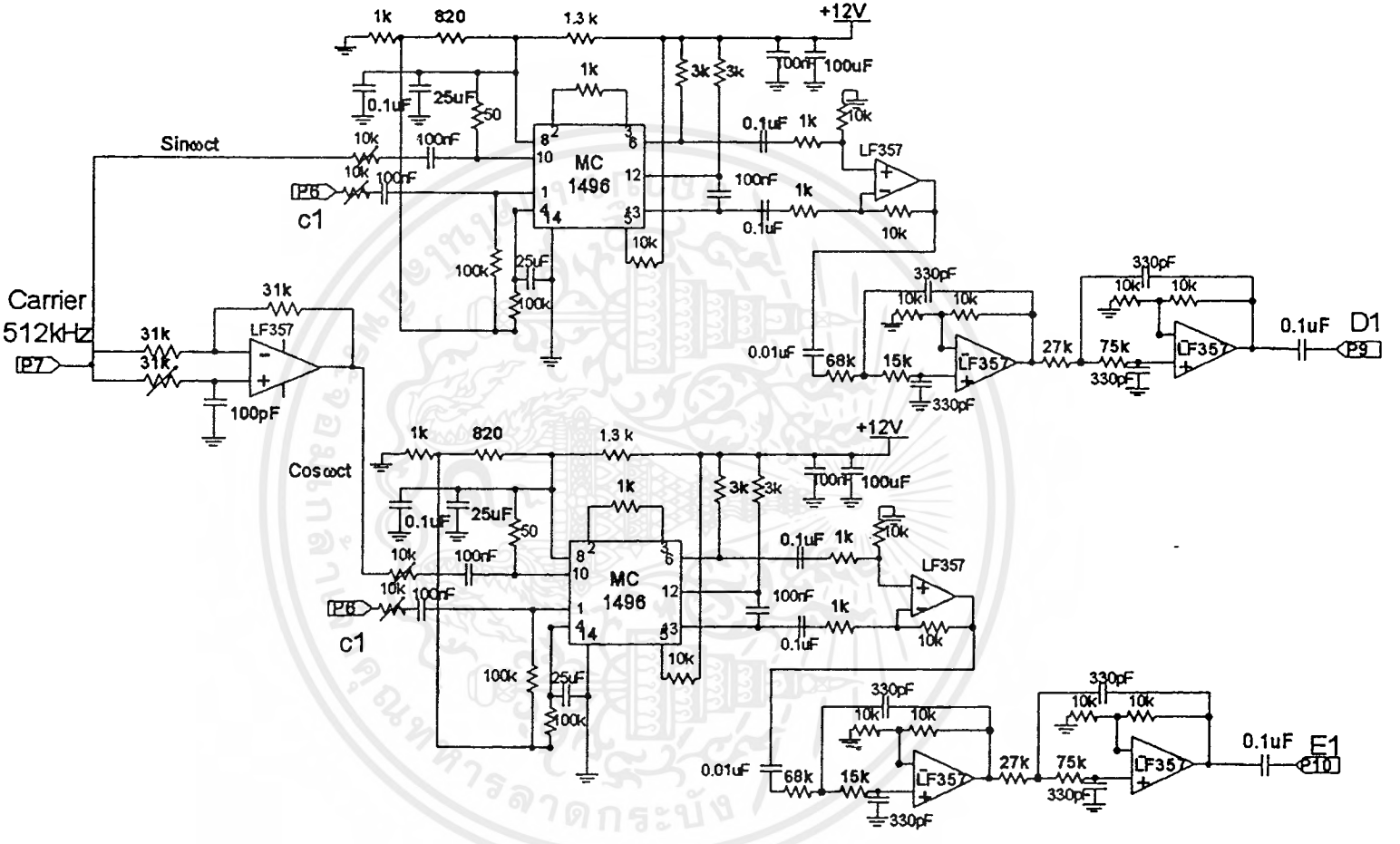


รูปบล็อกไดอะแกรมภาครับ QPSK

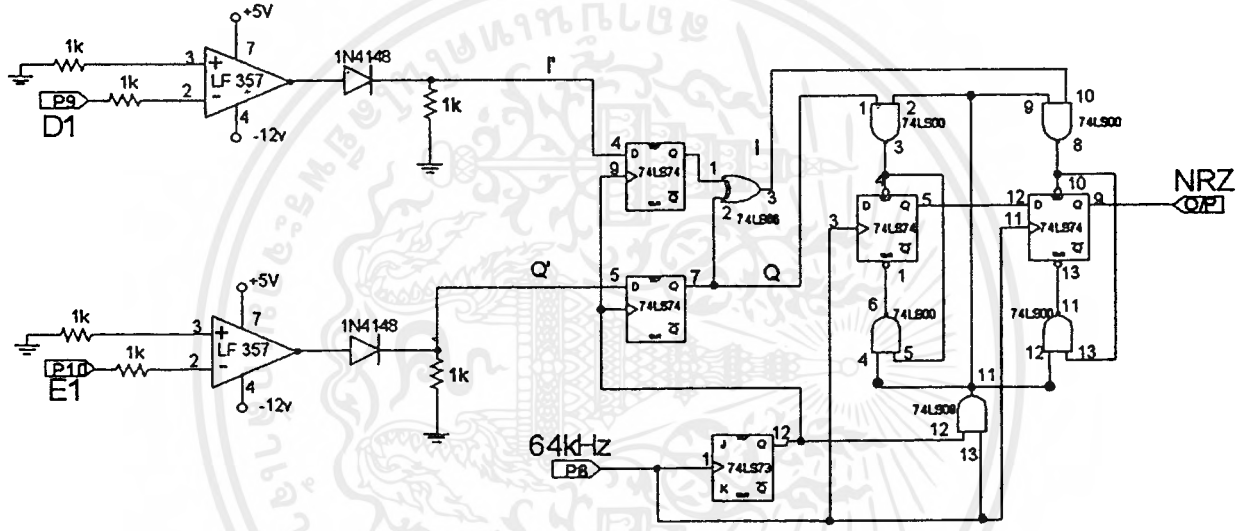
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



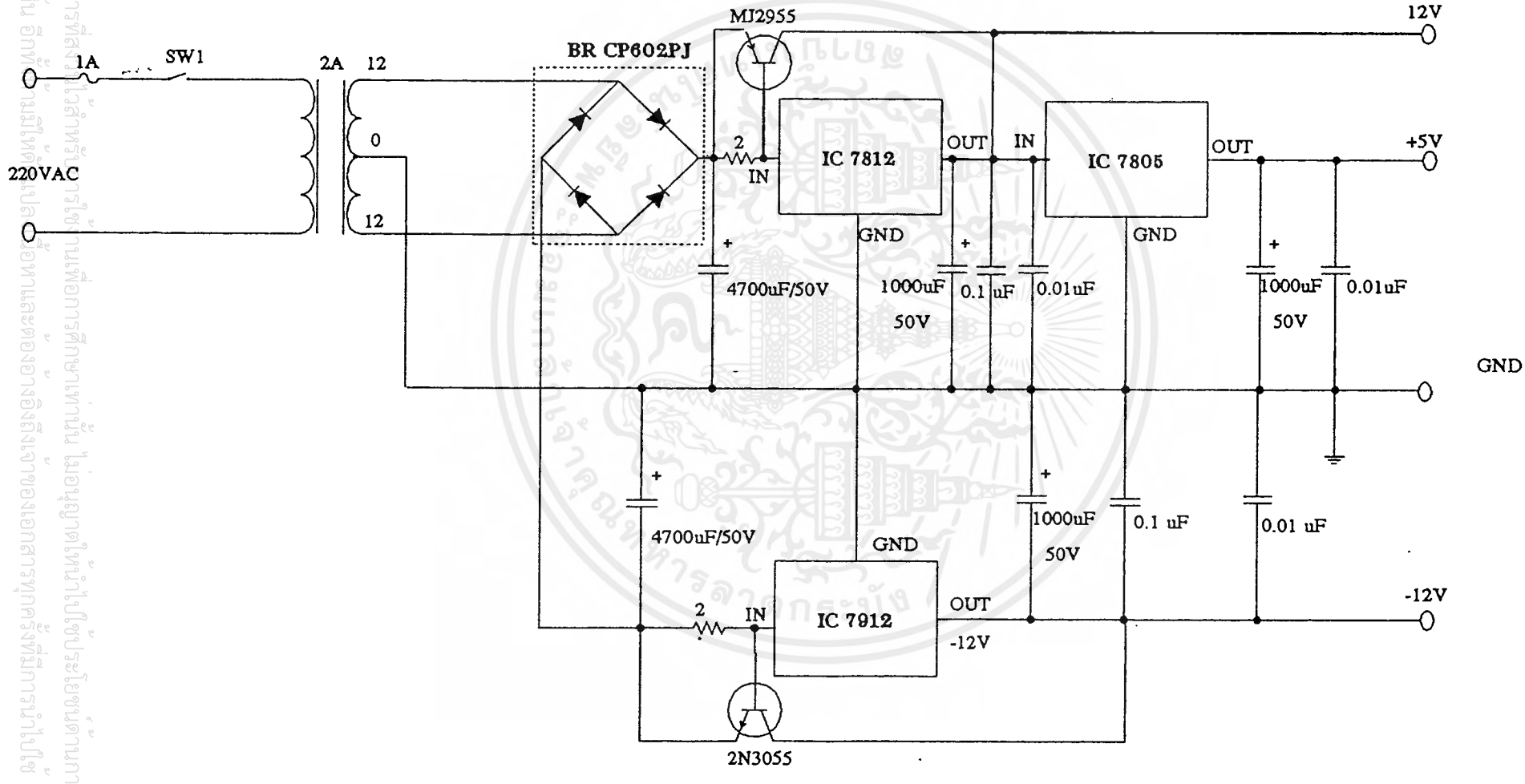
รูปวงจรภาครับ QPSK ส่วนที่ 1



รูปวงจรภาครับ QPSK ส่วนที่ 2



รูปวงจรภาครับ QPSK ส่วนที่ 3



รูปวงจรแหล่งจ่ายแรงดัน

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

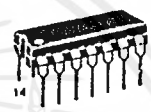
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

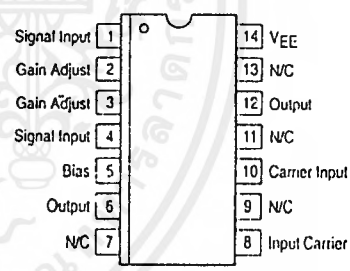
This device contains 8 active transistors.



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



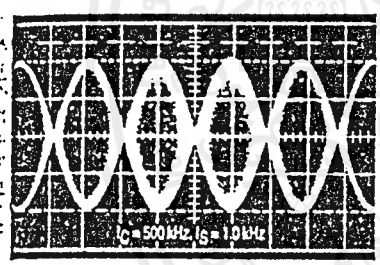


Figure 1. Suppressed Carrier Output Waveform

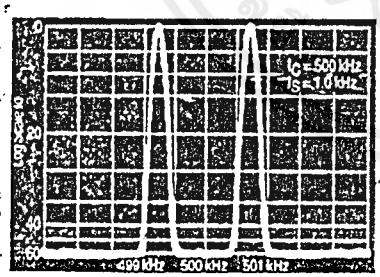


Figure 2. Suppressed Carrier Spectrum

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

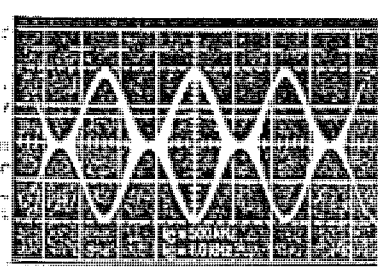
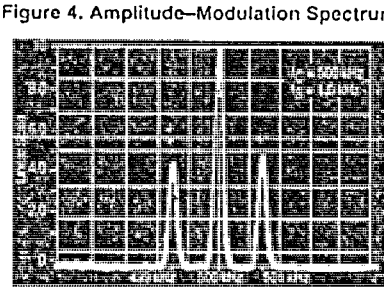


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5Re)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} t
all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max
Carrier Feedthrough	5	1	V_{CFT}			
V_C = 60 mVrms sine wave and f_C = 1.0 kHz				–	40	–
offset adjusted to zero f_C = 10 MHz				–	140	–
V_C = 300 mVpp square wave:						
offset adjusted to zero f_C = 1.0 kHz				–	0.04	0.4
offset not adjusted f_C = 1.0 kHz				–	20	200
Carrier Suppression	5	2	V_{CS}			
f_S = 10 kHz, 300 mVrms						
f_C = 500 kHz, 60 mVrms sine wave				40	65	–
f_C = 10 MHz, 60 mVrms sine wave				–	50	–
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}			
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–
f_S = 1.0 kHz, 300 mVrms sine wave						
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–
$\|V_C\|$ = 0.5 Vdc						
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–				
Parallel Input Resistance			r_{ip}	–	200	–
Parallel Input Capacitance			c_{ip}	–	2.0	–
Single–Ended Output Impedance, f = 10 MHz	6	–				
Parallel Output Resistance			r_{op}	–	40	–
Parallel Output Capacitance			c_{oo}	–	5.0	–
Input Bias Current	7	–				
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30
Input Offset Current	7	–				
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $\|I_{ioC}\|$	– –	0.7 0.7	7.0 7.0
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0
I14			I_{EE}	–	3.0	5.0
DC Power Dissipation	7	5	P_D	–	33	–

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - - \phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

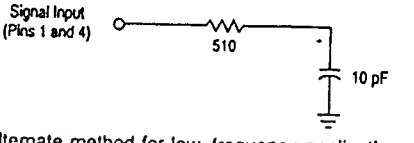
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

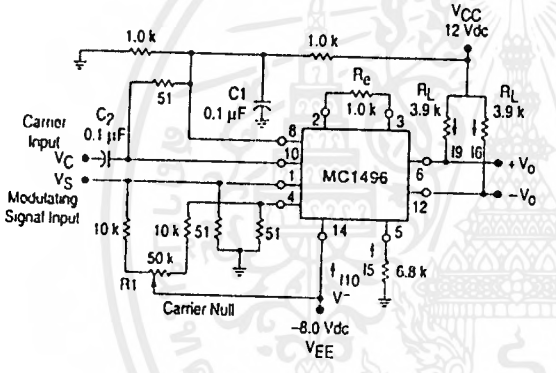
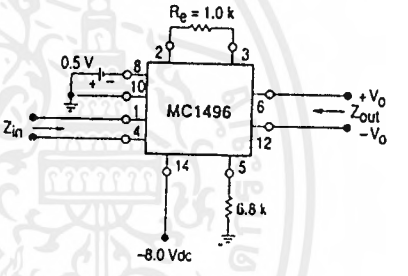


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

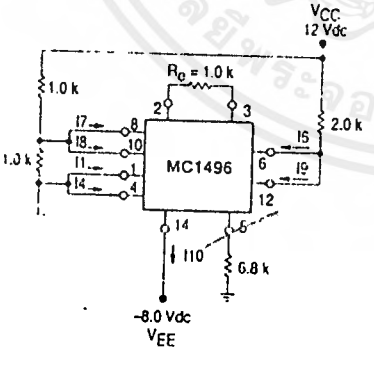
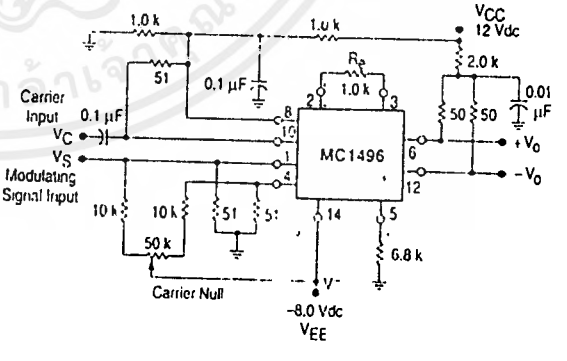


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

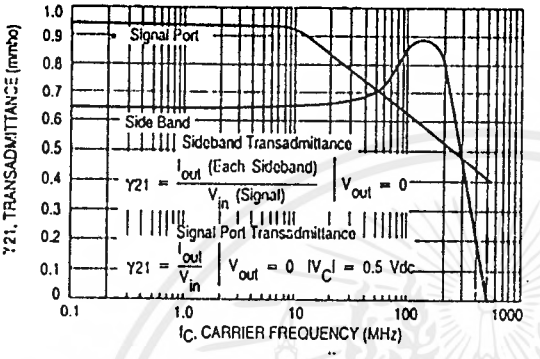


Figure 16. Carrier Suppression versus Temperature

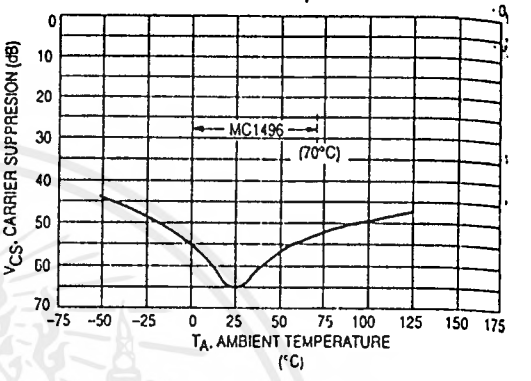


Figure 17. Signal–Port Frequency Response

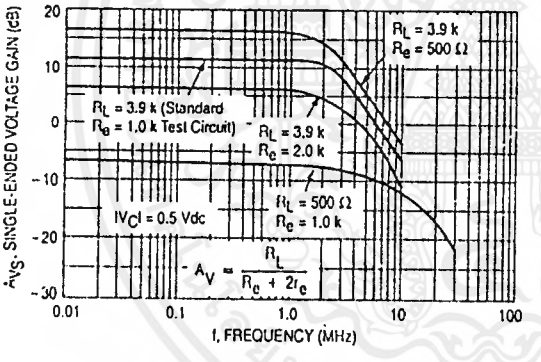


Figure 18. Carrier Suppression versus Frequency

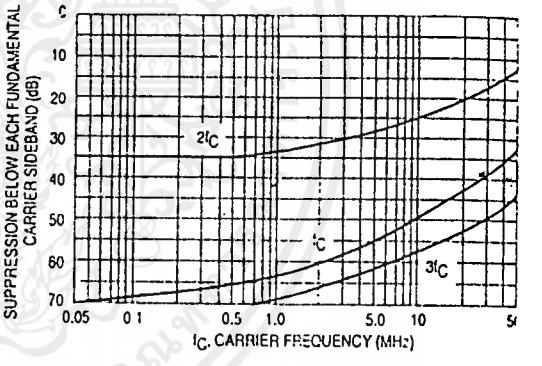


Figure 19. Carrier Feedthrough versus Frequency

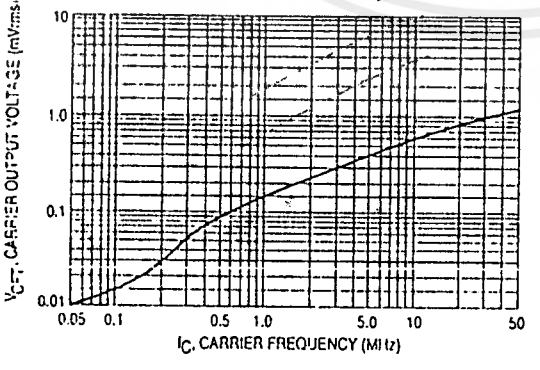
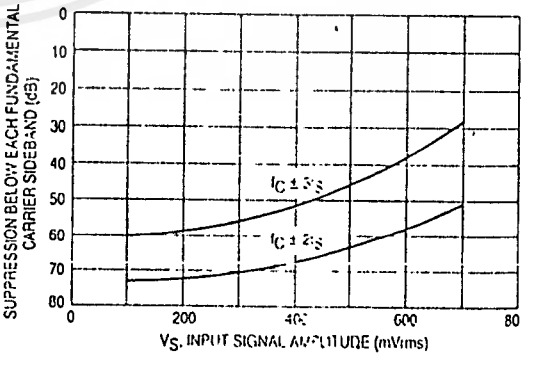


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

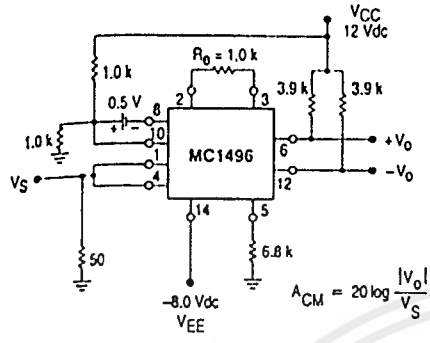
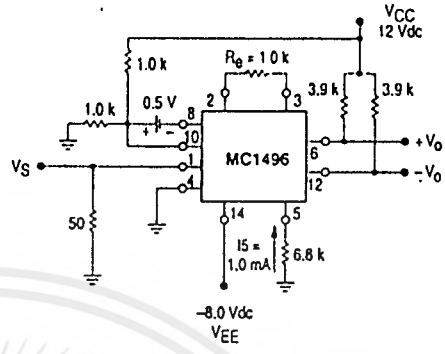


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

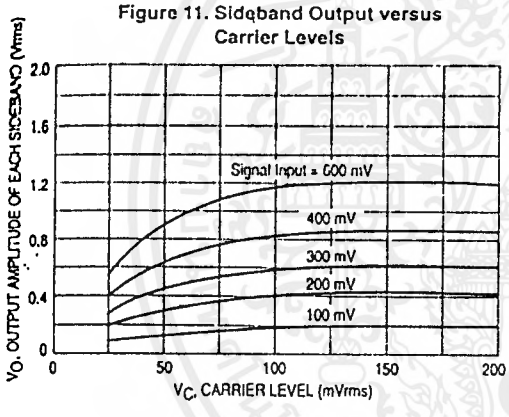


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

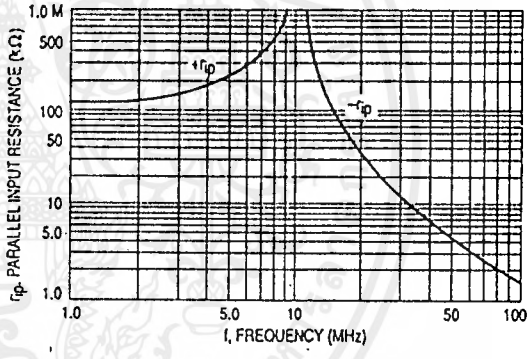


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

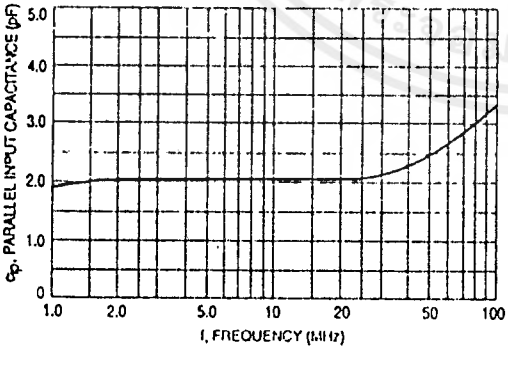
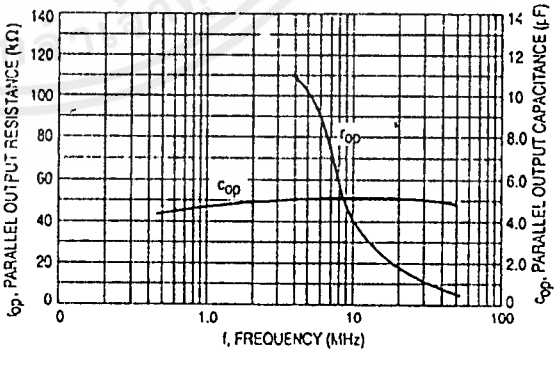


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

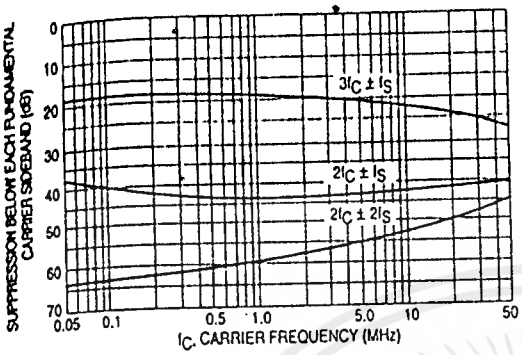
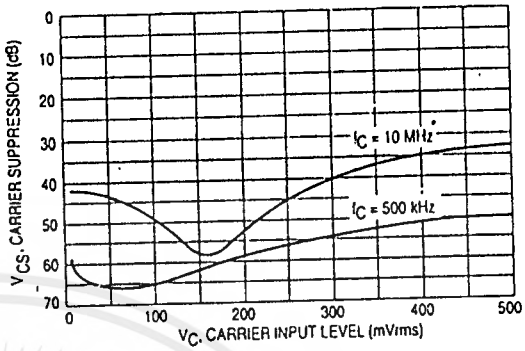


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude

Figure 23. Circuit Schematic

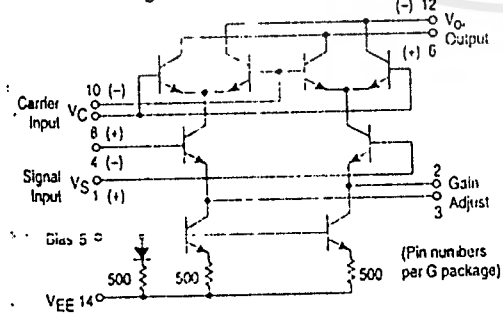
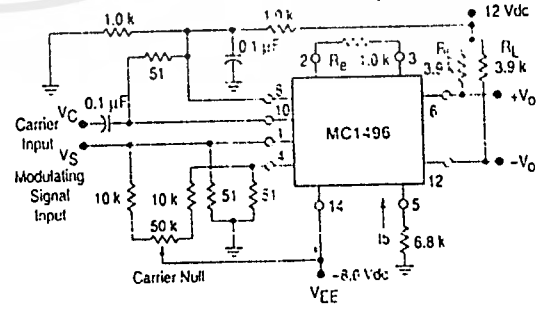


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$re \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

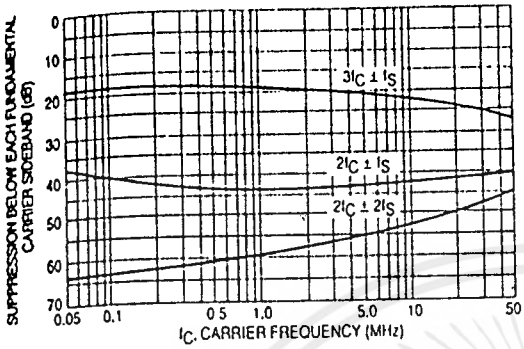
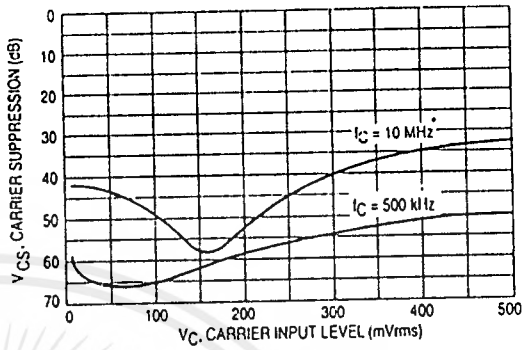


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

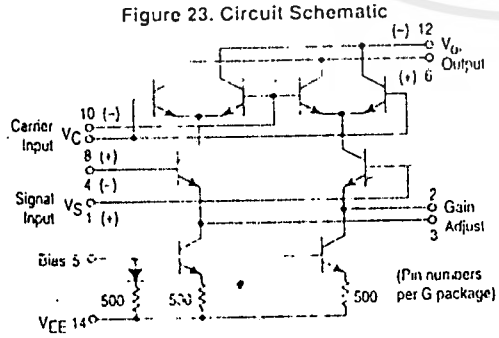
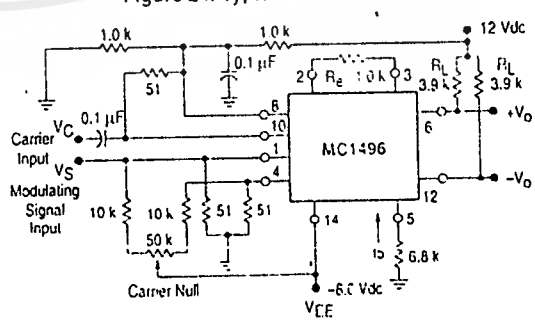


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

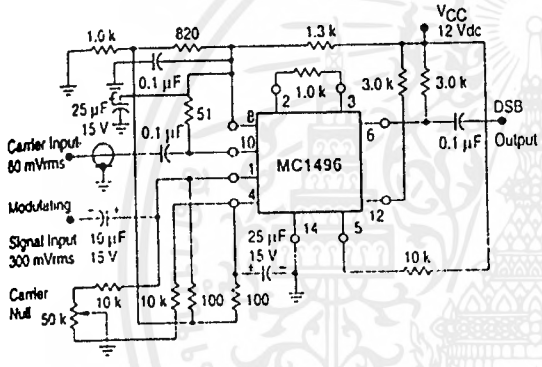


Figure 27. Balanced Modulator–Demodulator

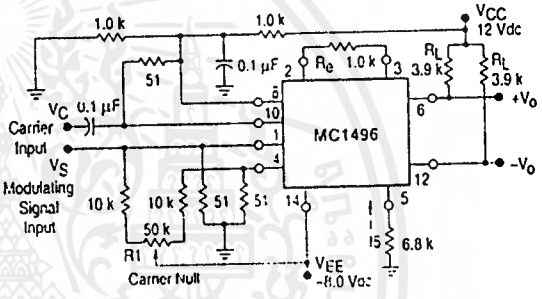


Figure 28. AM Modulator Circuit

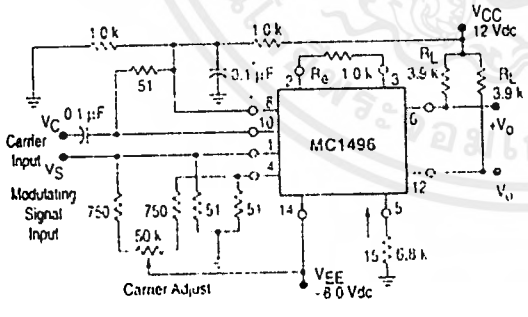
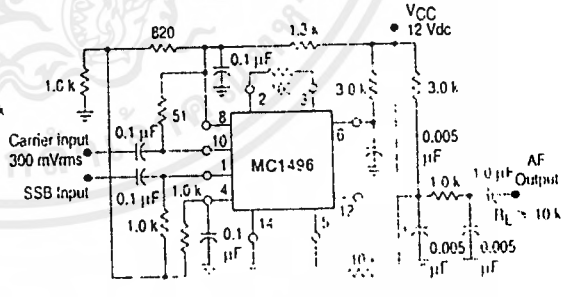
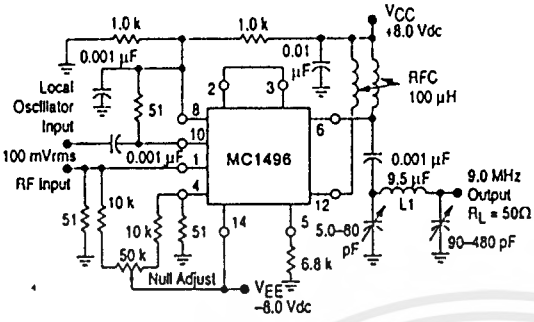


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer
(Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

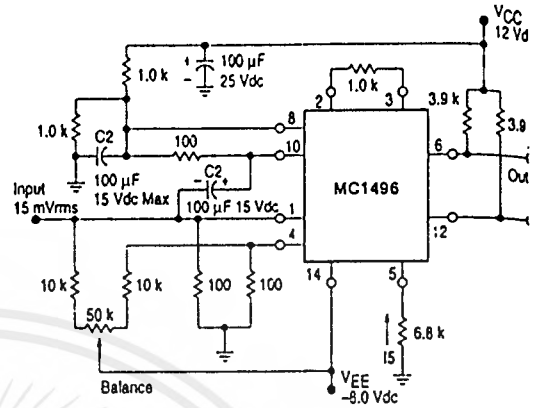
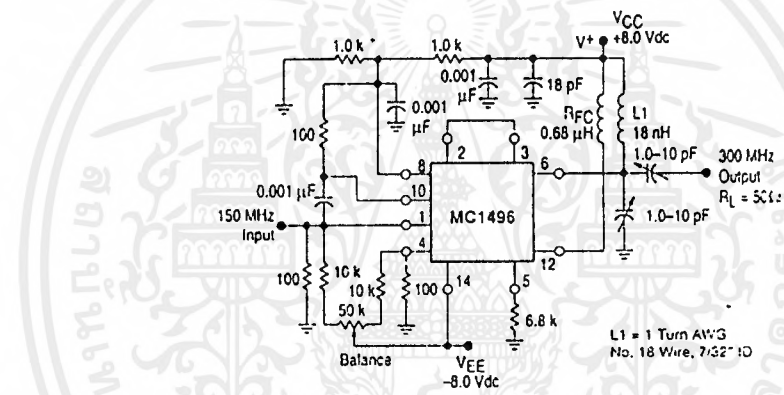
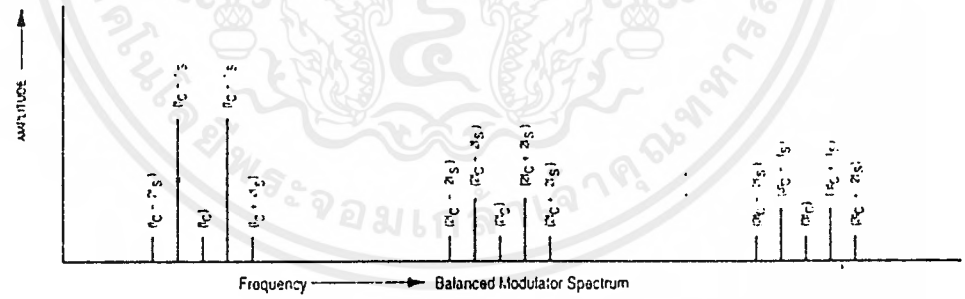


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C Carrier Fundamental
f_S Modulating Signal
$f_C \pm f_S$ Fundamental Carrier Sidebands
$f_C \pm nf_S$ Fundamental Carrier Sideband Harmonics
nf_C Carrier Harmonics
$nf_C \pm nf_S$ Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14046B

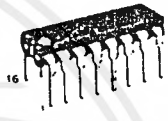
PHASE LOCKED LOOP

The MC14046B phase locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source-follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- Buffered Outputs Compatible with MRTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin-for-Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648

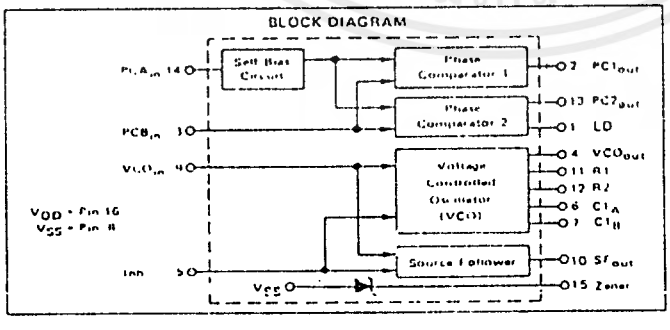
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

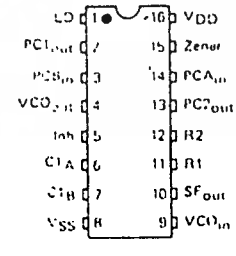
MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

T_A = −55° to 125°C for all packages

BLOCK DIAGRAM



PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} +0.5	Vdc
DC Input Current, per Pin	I_{in}	±10	mAdc
Power Dissipation, per Package†	P_D	500	mW
Operating Temperature Range	T_A	-55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: -7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: -12 mW/°C From 100°C To 125°C

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	-55°C Min	-55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage # "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	-1.2	—	-1.0	-1.7	—	-0.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	-0.25	—	-0.2	-0.36	—	-0.14	—	
(V_{OH} = 9.5 Vdc)		10	-0.62	—	-0.5	-0.9	—	-0.35	—	
(V_{OH} = 13.5 Vdc)		15	-1.8	—	-1.5	-3.5	—	-1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.6	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA_{in} = V_{DD}, Zener = VCO_{in} 0 V, PCB_{in} V_{DD} or 0 V, I_{out} = 0 μA	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current† (Inh = "0", f_o = 10 kHz, C_L = 50 pF, R1 = 1.0 MΩ, R2 = ∞, R_{SF} = ∞, and 50% Duty Cycle)	I_T	5.0	I_T = (1.46 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (2.91 μA/kHz) f + I_{DD}							
		15	I_T = (4.37 μA/kHz) f + I_{DD}							

#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level
1.0 Vdc min @ V_{DD} 5.0 Vdc
2.0 Vdc min @ V_{DD} 10 Vdc
2.5 Vdc min @ V_{DD} 15 Vdc

†To Calculate Total Current in General:

$$I_T = 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3.4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3.4} + 2 \times 10^{-3}(C_L + 9) V_{DD} f +$$

$$1 \times 10^{-1} V_{DD}^2 \left(\frac{\text{100\% Duty Cycle of } PCA_{in}}{100}\right) + I_Q \quad \text{where: } I_T \text{ in } \mu A,\ C_L \text{ in pF},\ VCO_{in},\ V_{DD} \text{ in Vdc},\ f \text{ in kHz, and}$$

R1, R2, R_{SF} in MΩ, C_L on VCO_{out}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

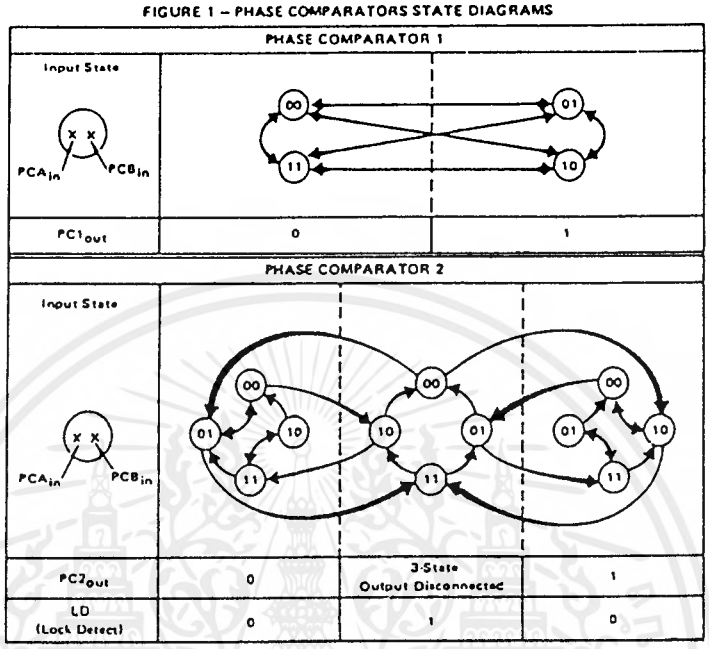
ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p-p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 ≥ 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 ≥ 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE-FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, R_{SF} = 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

*The formula given is for the typical characteristics only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – PHASE COMPARATORS STATE DIAGRAMS



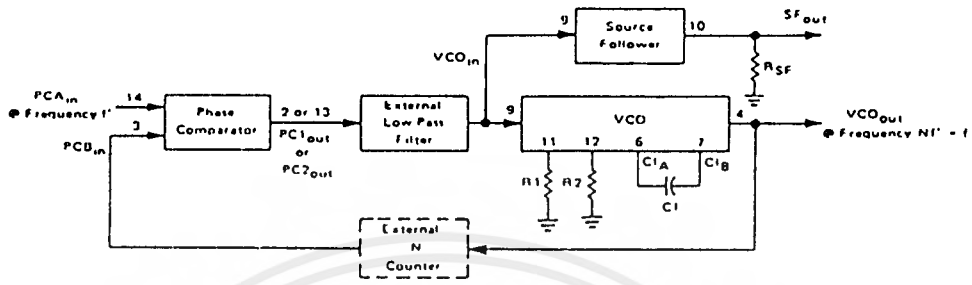
Refer to Waveforms in Figure 3.

FIGURE 2 – DESIGN INFORMATION

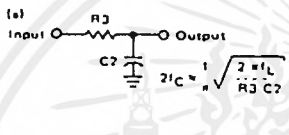
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$).	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock. $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low-pass filter characteristics (see Figure 3). $f_C < f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$ when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f).	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ ($V_{CO\ input} = V_{SS}$)	
Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for final designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{max} = \frac{1}{R_1(C_1 + 32\ pF)}$, f_{min} ($V_{CO\ input} = V_{DD}$)	
	Where: 10K < R_1 < 1M 10K < R_2 < 1M 100pF < C_1 < .01 μF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 GENERAL PHASE-LOCKED LOOP CONNECTIONS AND WAVEFORMS



Typical Low-Pass Filters



Typically

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\, C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

Note Sometimes R3 is split into two series resistors each R3/2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure 8, the ratio of R3 to R4 sets the damping, R4 = (0.1)(R3) for optimum results.

Definitions N = Total division ratio in feedback loop

$K_\Phi = V_{DD}/\pi$ for Phase Comparator 1

$K_\Phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\,V}$$

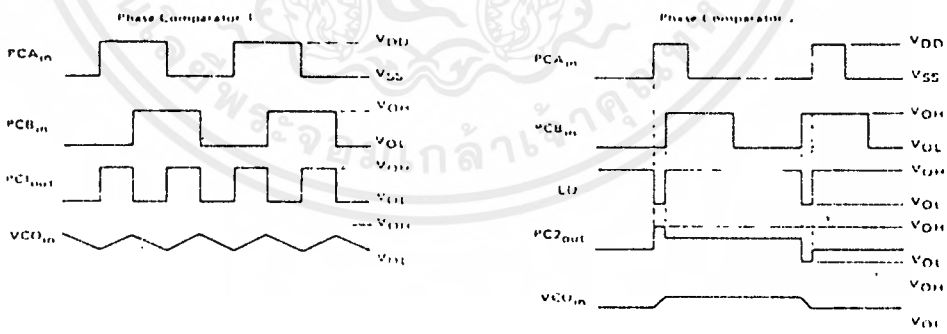
for a typical design $\omega_n = \frac{2\pi f_L}{10}$ (at phase detector input)

$\zeta = 0.707$

LOW-PASS FILTER

Filter A	Filter B
$\omega_n = \sqrt{\frac{K_\Phi K_{VCO}}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K_\Phi K_{VCO}}{NC_2(R_3+R_4)}}$
$\zeta = \frac{N\omega_n}{2K_\Phi K_{VCO}}$	$\zeta = 0.5\,\omega_n(R_3C_2 + \frac{N}{K_\Phi K_{VCO}})$
$F(s) = \frac{1}{R_3C_2S+1}$	$F(s) = \frac{R_3C_2S+1}{S(R_3C_2+R_4C_2)+1}$

Waveforms



Note: for further information, see

(1) F. Gardner, "Phase Lock Techniques", John Wiley and Son, New York, 1966.

(2) G. S. Moschytz, "Miniature RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

(3) Garth Nash, "Phase Lock Loop Design Fundamentals", AN 535, Motorola Inc.

(4) A. B. Przedpelski, "Phase Locked Loop Design Articles", AN254, reprinted by Motorola Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14049B
MC14050B

HEX BUFFER

The MC14049B Hex Inverter/Buffer and MC14050B Noninverting Hex Buffer are constructed with MOS P-Channel and N-Channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic level conversion using only one supply voltage, V_{DD}.

The input-signal high level (V_{IH}) can exceed the V_{DD} supply voltage for logic level conversions. Two TTL/DTL loads can be driven when the devices are used as a CMOS-to-TTL/DTL converter (V_{DD} = 5.0 V, V_{OL} = 0.4 V, I_{OL} = 3.2 mA).

Note that pins 13 and 16 are not connected internally on these devices; consequently connections to these terminals will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Supply Voltage Range = 3.0 V to 18 V
- V_{IN} can exceed V_{DD}
- Meets JEDEC B Specifications
- Improved ESD Protection On All Inputs

L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCL	Ceramic
MC14XXXBCP	Plastic
MC14XXXBD	SOIC

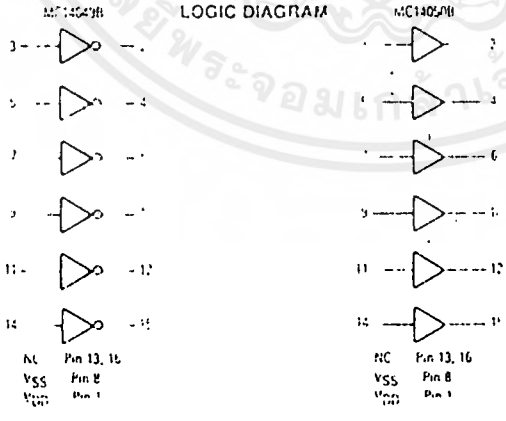
T_A = −55°C to +125°C for all packages

MAXIMUM RATINGS[1] (Voltages referenced to V_{SS})

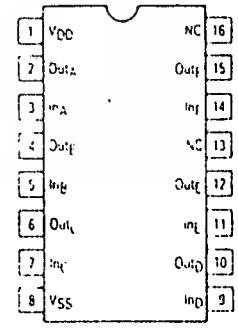
Characteristic	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	−0.5 to +18	Vdc
Input Voltage (DC or Transient)	V_{IN}	−0.5 to +18	Vdc
Output Voltage (DC or Transient)	V_{out}	−0.5 to V_{DD} +0.5	Vdc
Input Current (DC or Transient), per pin	I_{in}	±10	mA
Output Current (DC or Transient), per pin	I_{out}	+45	mA
Power Dissipation, per Package[2] (Plastic/Ceramic) (SOIC)	P_D	825 740	mW
Storage Temperature	T_{stg}	−65 to +150	°C
Lead Temperature (8-Second Soldering)	T_L	260	°C

[1] Maximum Ratings are those values beyond which damage to the device may occur.
[2] Temperature Derating: See Figure 3.

LOGIC DIAGRAM



PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	+25°C Min	+25°C Typ[1]	+25°C Max	+125°C Min	+125°C Max	Unit
Output Voltage V_{in} = V_{DD}	"0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
			10	—	0.05	—	0	0.05	—	0.05	
			15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0	"1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage	"0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc)			5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 Vdc)			10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 Vdc)			15	—	4.0	—	6.75	4.0	—	4.0	
	"1" Level	V_{IH}									Vdc
(V_O = 0.5 Vdc)			5.0	3.5	—	3.5	2.75	—	3.5	—	
(V_O = 1.0 Vdc)			10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 Vdc)			15	11	—	11	8.25	—	11	—	
Output Drive Current		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	−1.6	—	−1.25	−2.5	—	1.0	—	
(V_{OH} = 9.5 Vdc)			10	1.6	—	1.30	−2.6	—	1.0	—	
(V_{OH} = 13.5 Vdc)			15	−4.7	—	−3.75	−10	—	−3.0	—	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	3.75	—	3.2	6.0	—	2.6	—	mAdc
(V_{OL} = 0.5 Vdc)			10	10	—	8.0	16	—	6.6	—	
(V_{OL} = 1.5 Vdc)			15	30	—	24	40		19	—	
Input Current		I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)		C_{in}	—	—	—	—	10	20	—	—	pF
Quiescent Current (Per Package)		I_{DD}	5.0	—	1.0	—	0.002	1.0	—	30	μAdc
			10	—	2.0	—	0.004	2.0	—	60	
			15	—	4.0	—	0.006	4.0	—	120	
Total Supply Current[2,3] (Dynamic plus Quiescent, per package) (C_L = 50 pF on all outputs, all buffers switching		I_T	5.0	I_T = (1.8 μA/kHz) f + I_{DD}							μAdc
			10	I_T = (3.5 μA/kHz) f + I_{DD}							
			15	I_T = (5.3 μA/kHz) f + I_{DD}							

[1] Data labeled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.
[2] The formulas given are for the typical characteristics only at +25°C.
[3] To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + (C_L - 50)$ Vfk
Where: I_T is in μA (per Package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency and k = 0.002

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields referenced to the V_{SS} pin only. Extra precautions must be taken to avoid applications of any voltage higher than the maximum rated voltages to this high-impedance circuit. For proper operation, the ranges $V_{SS} \le V_{in} \le 18$ V and $V_{SS} \le V_{out} \le V_{DD}$ are recommended.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

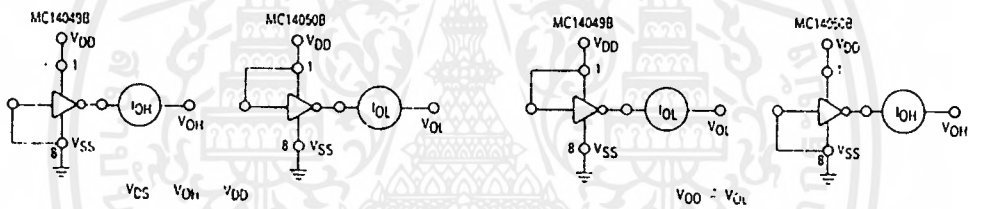
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SWITCHING CHARACTERISTICS[1] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ[2]	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (0.7 ns/pF) C_L + 65 ns		5.0	—	100	160	
t_{TLH} = (0.25 ns/pF) C_L + 37.5 ns		10	—	50	80	
t_{TLH} = (0.2 ns/pF) C_L + 30 ns		15	—	40	60	
Output Fall Time	t_{THL}					ns
t_{THL} = (0.2 ns/pF) C_L + 30 ns		5.0	—	40	60	
t_{THL} = (0.06 ns/pF) C_L + 17 ns		10	—	20	40	
t_{THL} = (0.04 ns/pF) C_L + 13 ns		15	—	15	30	
Propagation Delay Time	t_{PLH}					ns
t_{PLH} = (0.33 ns/pF) C_L + 63.5 ns		5.0	—	80	140	
t_{PLH} = (0.19 ns/pF) C_L + 30.5 ns		10	—	40	80	
t_{PLH} = (0.06 ns/pF) C_L + 27 ns		15	—	30	60	
Propagation Delay Time	t_{PHL}					ns
t_{PHL} = (0.2 ns/pF) C_L + 30 ns		5.0	—	40	80	
t_{PHL} = (0.1 ns/pF) C_L + 15 ns		10	—	20	40	
t_{PHL} = (0.05 ns/pF) C_L + 12.5 ns		15	—	15	30	

[1] The formulas given are for the typical characteristics only at 25°C

[2] Data labeled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance



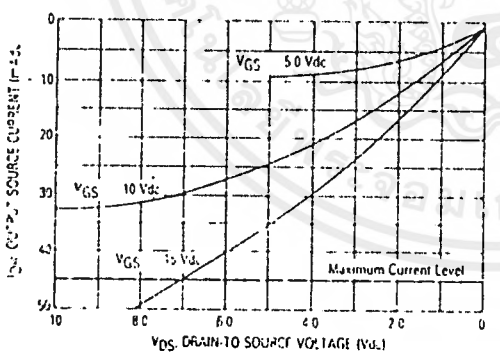


FIGURE 1 — TYPICAL OUTPUT SOURCE CHARACTERISTICS

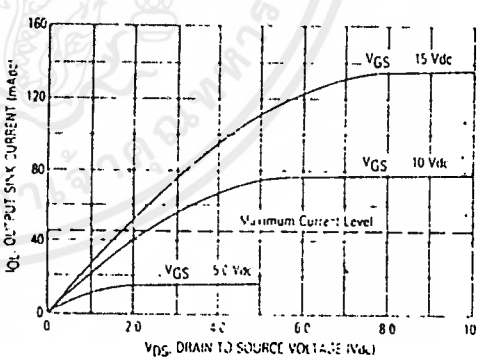


FIGURE 2 — TYPICAL OUTPUT SINK CHARACTERISTICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

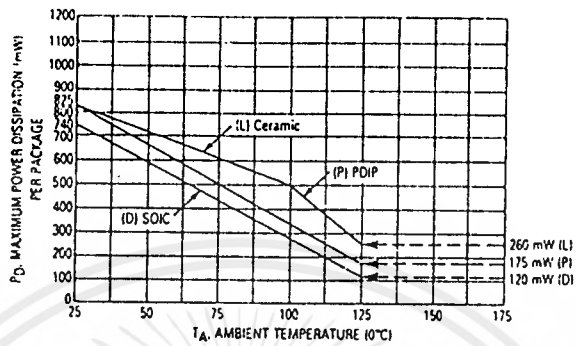


FIGURE 3 — AMBIENT TEMPERATURE POWER DERATING

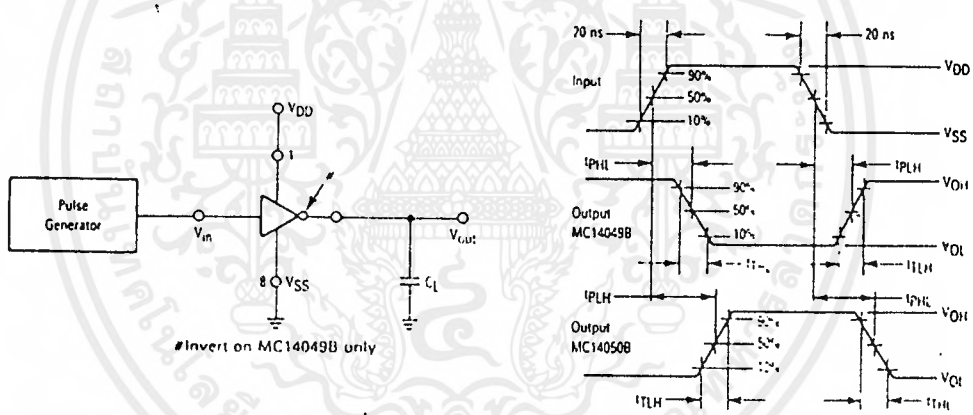


FIGURE 4 — SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

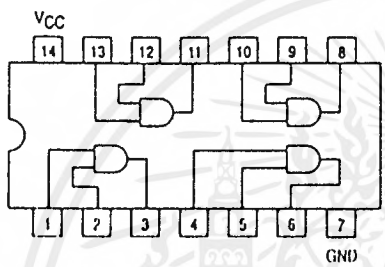
MOTOROLA

QUAD 2-INPUT AND GATE

SN54/74LS08

QUAD 2-INPUT AND GATE

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				4.8	mA	V_{CC} = MAX	
	Total, Output LOW				8.8			

(Note 1: Not more than one output should be shorted at a time, nor for more than 1 second)

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		8.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	20	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

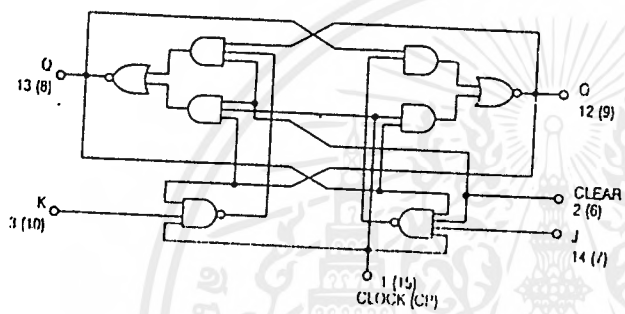
SN54/74LS73A

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY

The SN54LS/74LS73A offers individual J, K, clear, and clock inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

LOGIC DIAGRAM (Each Flip-Flop)



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

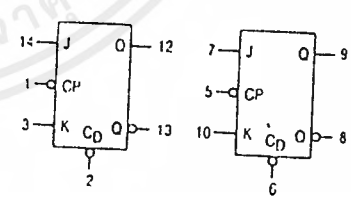
SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{C}_D$	J	K	Q	$\overline{Q}$
Reset (Clear)	L	X	X	L	H
Toggle	H	h	h	q	$\overline{q}$
Load "0" (Reset)	H	l	h	L	H
Load "1" (Set)	H	h	l	H	L
Hold	H	l	l	q	$\overline{q}$

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
(h, l) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition

LOGIC SYMBOL



V_{CC} = PIN 4
GND = PIN 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current	J, K Clear Clock			20 60 80	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
		J, K Clear Clock			0.1 0.3 0.4	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current	J, K Clear, Clock			−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				6.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

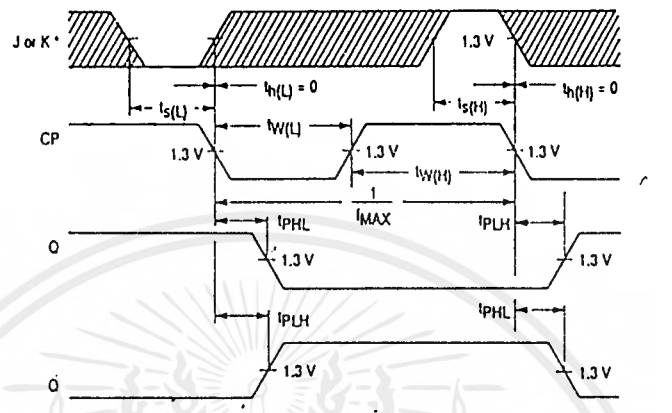
Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	30	45		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay, Clock to Output		15 15	20 20	ns ns	Figure 1	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
t_W	Clock Pulse Width High	20			ns	Figure 1	V_{CC} = 5.0 V
t_W	Clear Pulse Width	25			ns	Figure 2	
t_s	Setup Time	20			ns	Figure 1	
t_h	Hold Time	0			ns		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

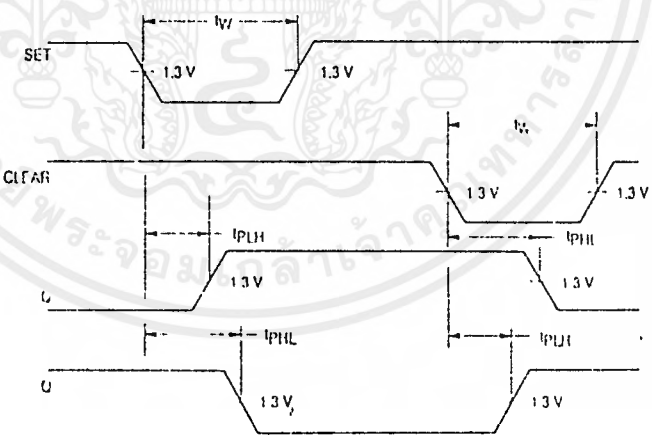


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS74A

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and $\overline{Q}$ outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY

J SUFFIX
CERAMIC
CASE 632-08

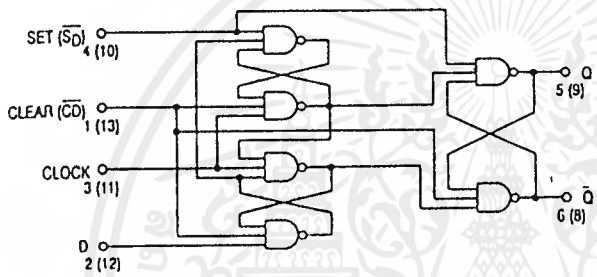
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



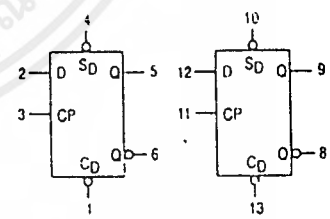
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{S_D}$	$\overline{S_D}$	D	Q	$\overline{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both $\overline{S_D}$ and $\overline{C_D}$ are LOW, but the output states are unpredictable if $\overline{S_D}$ and $\overline{C_D}$ go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

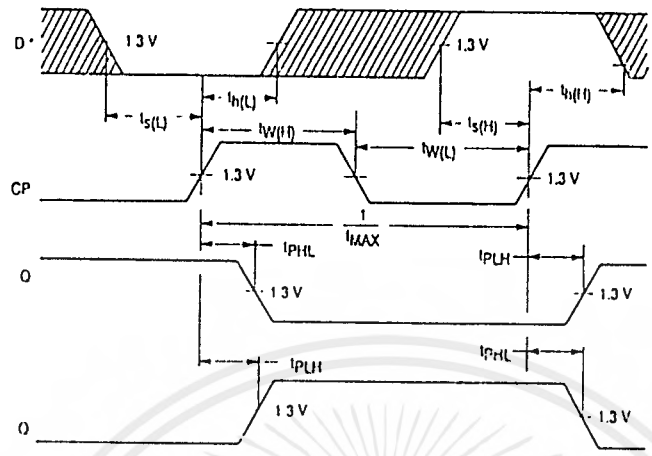
Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH	20			ns	Figure 1	
	LOW	20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

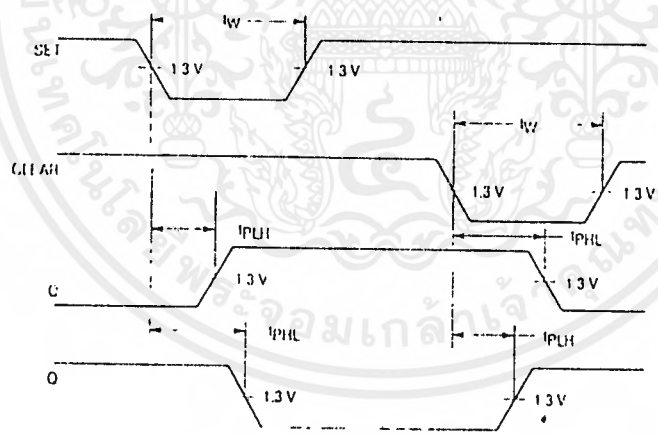


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

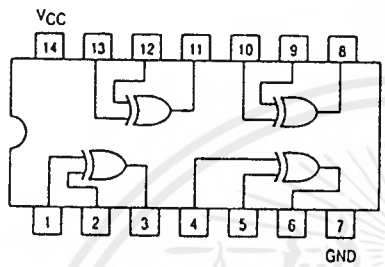
MOTOROLA

QUAD 2-INPUT EXCLUSIVE OR GATE

SN54/74LS86

QUAD 2-INPUT
EXCLUSIVE OR GATE

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08.

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

TRUTH TABLE

IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L

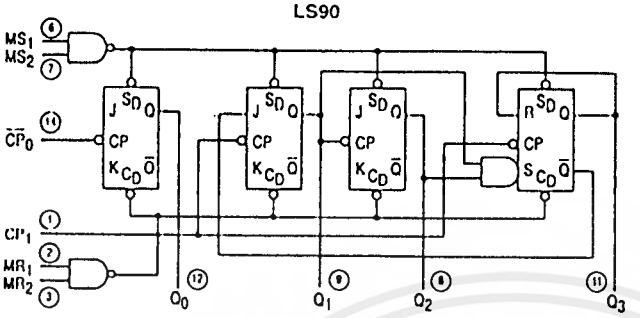
GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

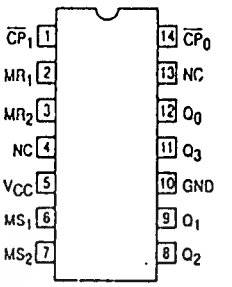
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

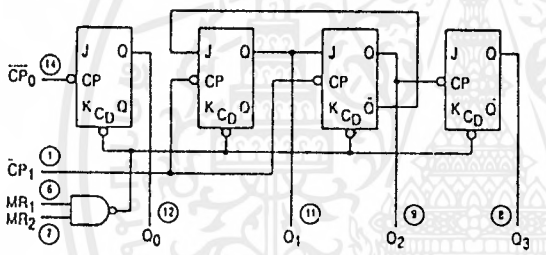


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

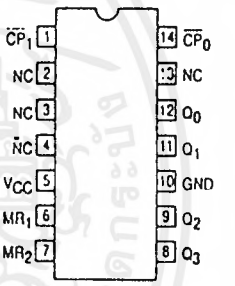
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

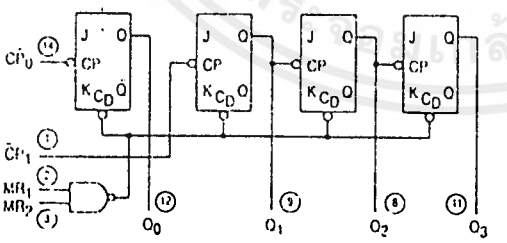


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

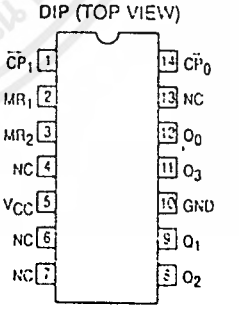
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \cdot MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \cdot MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current MS, MR $\overline{CP}_0$ $\overline{CP}_1$ (LS90, LS92) $\overline{CP}_1$ (LS93)				−0.4 −2.4 −3.2 −1.6	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				15	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, C_L = 15 pF)

Symbol	Parameter	Limits									Unit
		LS90			LS92			LS93			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{MAX}	$\overline{CP}_0$ Input Clock Frequency	32			32			32			MHz
f_{MAX}	$\overline{CP}_1$ Input Clock Frequency	16			16			16			MHz
t_{PLH} t_{PHL}	Propagation Delay, $\overline{CP}_0$ Input to O_0 Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t_{PLH} t_{PHL}	$\overline{CP}_0$ Input to O_3 Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to O_1 Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to O_2 Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to O_3 Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t_{PLH}	MS Input to O_0 and O_3 Outputs		20	30							ns
t_{PHL}	MS Input to O_1 and O_2 Outputs		26	40							ns
t_{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits						Unit
		LS90		LS92		LS93		
		Min	Max	Min	Max	Min	Max	
t_W	$\overline{CP}_0$ Pulse Width	15		15		15		ns
t_W	$\overline{CP}_1$ Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to CP	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs.

AC WAVEFORMS

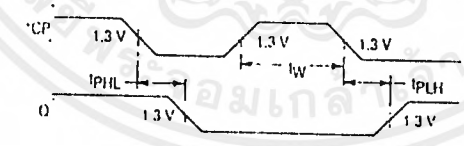


Figure 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables

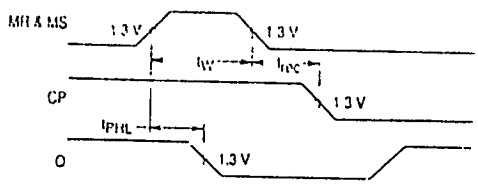


Figure 2

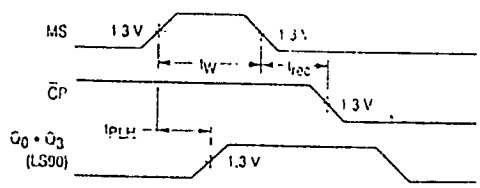


Figure 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS192
SN54/74LS193

PRESETTABLE BCD/DECADE UP/DOWN COUNTER
PRESETTABLE 4-BIT BINARY UP/DOWN COUNTER

PRESETTABLE BCD/DECADE UP/DOWN COUNTER
PRESETTABLE 4-BIT BINARY UP/DOWN COUNTER
LOW POWER SCHOTTKY

The SN54/74LS192 is an UP/DOWN BCD Decade (8421) Counter and the SN54/74LS193 is an UP/DOWN MODULO-16 Binary Counter. Separate Count Up and Count Down Clocks are used and in either counting mode the circuits operate synchronously. The outputs change state synchronous with the LOW-to-HIGH transitions on the clock inputs.

Separate Terminal Count Up and Terminal Count Down outputs are provided which are used as the clocks for a subsequent stages without extra logic, thus simplifying multistage counter designs. Individual preset inputs allow the circuits to be used as programmable counters. Both the Parallel Load (PL) and the Master Reset (MR) inputs asynchronously override the clocks.

- Low Power . . . 95 mW Typical Dissipation
- High Speed . . . 40 MHz Typical Count Frequency
- Synchronous Counting
- Asynchronous Master Reset and Parallel Load
- Individual Preset Inputs
- Cascading Circuitry Internally Provided
- Input Clamp Diodes Limit High Speed Termination Effects

J SUFFIX
CERAMIC
CASE 620-09

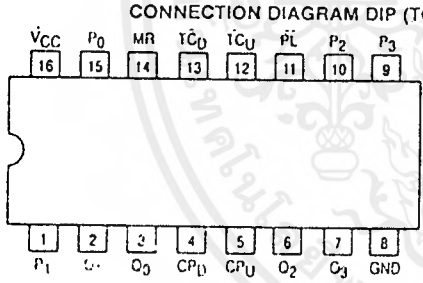
N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



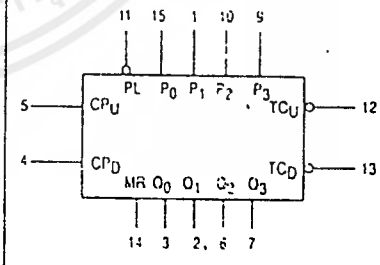
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

PIN NAMES

		LOADING (Note a) HIGH	LOW
CP_U	Count Up Clock Pulse Input	0.5 U.L.	0.25 U.L.
CP_D	Count Down Clock Pulse Input	0.5 U.L.	0.25 U.L.
MR	Asynchronous Master Reset (Clear) Input	0.5 U.L.	0.25 U.L.
PL	Asynchronous Parallel Load (Active LOW) Input	0.5 U.L.	0.25 U.L.
P_n	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_n	Flip-Flop Outputs (Note b)	10 U.L.	5 (2.5) U.L.
TC_D	Terminal Count Down (Borrow) Output (Note b)	10 U.L.	5 (2.5) U.L.
TC_U	Terminal Count Up (Carry) Output (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

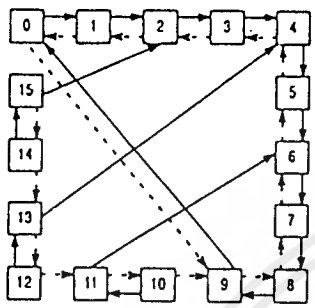
LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATE DIAGRAMS



LS192

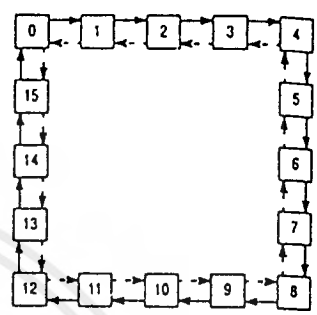
LS192 LOGIC EQUATIONS FOR TERMINAL COUNT

$$\overline{TC_U} = \overline{Q_0} \cdot \overline{Q_3} \cdot \overline{CP_U}$$
$$\overline{TC_D} = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{CP_D}$$

LS193 LOGIC EQUATIONS FOR TERMINAL COUNT

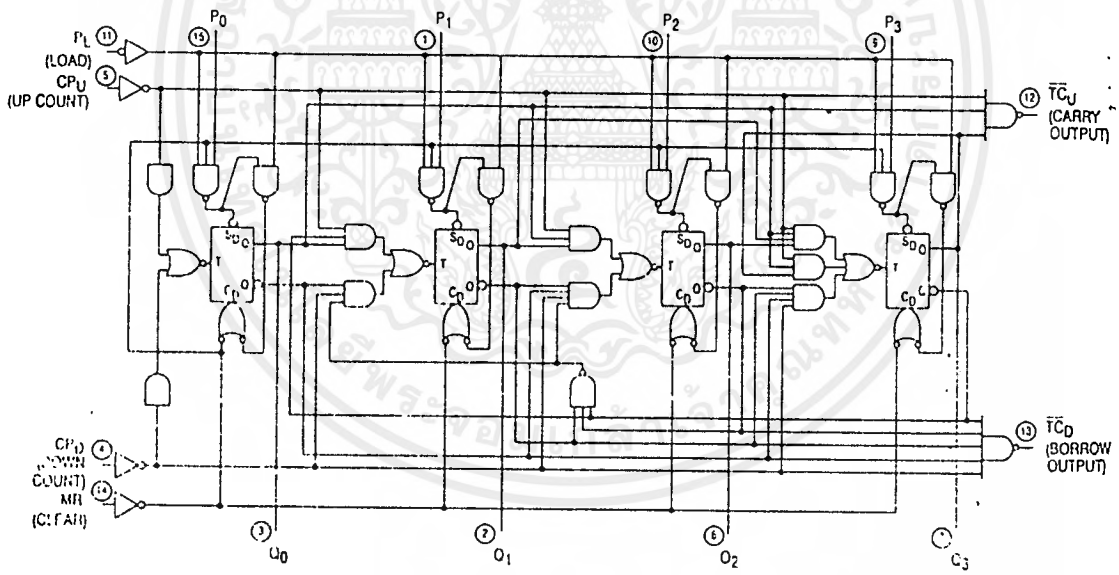
$$\overline{TC_U} = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{CP_U}$$
$$\overline{TC_D} = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{CP_D}$$

COUNT UP ——————
COUNT DOWN - - - - -



LS193

LOGIC DIAGRAMS

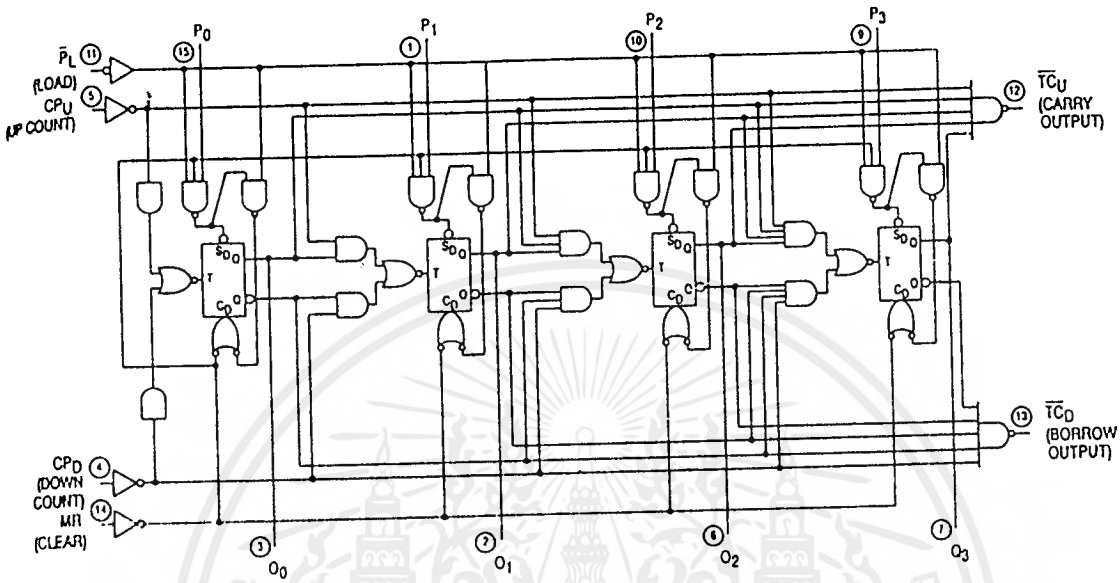


LS192

V_{CC} PIN 16
GND PIN 8
○ = PIN NUMBERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAMS (continued)



LS193

V_{CC} = PIN 16
GND = PIN 8
◯ = PIN NUMBERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS192 and LS193 are Asynchronously Presettable Decade and 4-Bit Binary Synchronous UP/DOWN (Reversable) Counters. The operating modes of the LS192 decade counter and the LS193 binary counter are identical, with the only difference being the count sequences as noted in the State Diagrams. Each circuit contains four master/slave flip-flops, with internal gating and steering logic to provide master reset, individual preset, count up and count down operations.

Each flip-flop contains JK feedback from slave to master such that a LOW-to-HIGH transition on its T input causes the slave, and thus the Q output to change state. Synchronous switching, as opposed to ripple counting, is achieved by driving the steering gates of all stages from a common Count Up line and a common Count Down line, thereby causing all state changes to be initiated simultaneously. A LOW-to-HIGH transition on the Count Up input will advance the count by one; a similar transition on the Count Down input will decrease the count by one. While counting with one clock input, the other should be held HIGH. Otherwise, the circuit will either count by twos or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either Clock input is LOW.

The Terminal Count Up ($\overline{TC}_U$) and Terminal Count Down ($\overline{TC}_D$) outputs are normally HIGH. When a circuit has reached the maximum count state (9 for the LS192, 15 for the LS193) the next HIGH-to-LOW transition of the Count Up Clock will cause $\overline{TC}_U$ to go LOW. $\overline{TC}_U$ will stay LOW until CP_U goes HIGH again, thus effectively repeating the Count Up Clock but delayed by two gate delays. Similarly, the $\overline{TC}_D$ output will go LOW when the circuit is in the zero state and the Count Down Clock goes LOW. Since the TC outputs repeat the clock waveforms, they can be used as the clock input signals to the next higher order circuit in a multistage counter.

Each circuit has an asynchronous parallel load capability permitting the counter to be preset. When the Parallel Load ($\overline{PL}$) and the Master Reset (MR) inputs are LOW, information present on the Parallel Data inputs (P_0, P_3) is loaded into the counter and appears on the outputs regardless of the conditions of the clock inputs. A HIGH signal on the Master Reset input will disable the preset gates, override both Clock inputs, and latch each Q output in the LOW state. If one of the Clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that Clock will be interpreted as a legitimate signal and will be counted.

MODE SELECT TABLE

MR	$\overline{PL}$	CP_U	CP_D	MODE
H	X	X	X	Reset (Asyn.)
L	L	X	X	Preset (Asyn.)
L	H	H	H	No Change
L	H	⎍	H	Count Up
L	H	H	⎍	Count Down

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
⎍ = LOW-to-HIGH Clock Transition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				34	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	25	32		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	CP_U Input to TC_U Output		17 18	26 24	ns	
t_{PLH} t_{PHL}	CP_D Input to TC_D Output		16 15	24 24	ns	
t_{PLH} t_{PHL}	Clock to O		27 30	38 47	ns	
t_{PLH} t_{PHL}	$\overline{PL}$ to O		24 25	40 40	ns	
t_{PHL}	$\overline{MR}$ Input to Any Output		23	35	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	Any Pulse Width	20			ns	V_{CC} = 5.0 V
t_s	Data Setup Time	20			ns	
t_h	Data Hold Time	5.0			ns	
t_{rec}	Recovery Time	40			ns	

DEFINITIONS OF TERMS

SETUP TIME (t_s) is defined as the minimum time required for the correct logic level to be present at the logic input prior to the $\overline{PL}$ transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) is defined as the minimum time following the $\overline{PL}$ transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative HOLD TIME indicates that the correct level may be released prior to the $\overline{PL}$ transition LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) is defined as the minimum required between the end of the reset pulse and the transition from LOW-to-HIGH in order to recognize transfer HIGH data to the Q outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS

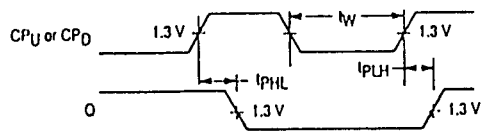


Figure 1

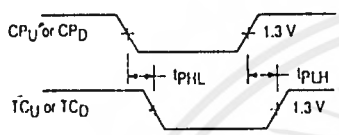
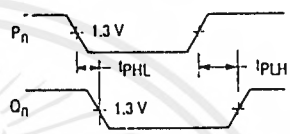


Figure 2



NOTE: $\overline{PL}$ = LOW

Figure 3

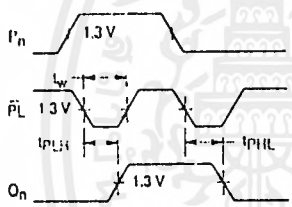


Figure 4

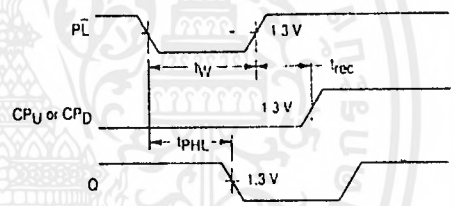
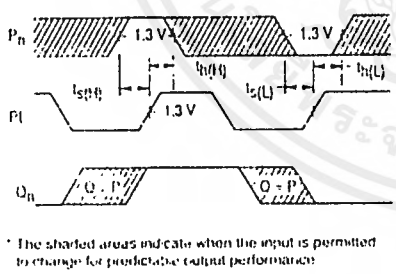


Figure 5



* The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 6

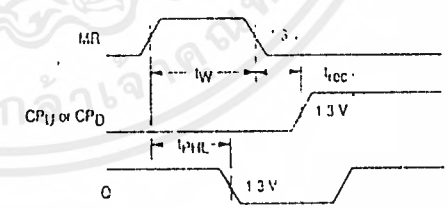


Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ สำเร็จลุล่วงลงได้ ด้วยความตั้งใจและความพยายามในการทำงานของผู้ร่วมงานในกลุ่มโครงงาน ตลอดจนความร่วมมือจากหลายๆคน และได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวทางต่างๆ จึงขอบคุณไว้ ณ. ที่นี้

ขอขอบคุณ อาจารย์ กอบชัย เดชหาญ อาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำรายละเอียดและขอบเขตของโครงงานตลอดจนเอื้อเฟื้อความสะดวกในการจัดซื้ออุปกรณ์

ขอขอบคุณ โรงเรียนเทคโนโลยีกรุงเทพและอาจารย์ประจำ แผนกช่างอิเล็กทรอนิกส์ที่เอื้อเฟื้อเครื่องมือและอุปกรณ์ในการทำโครงงาน

ขอขอบคุณ นายสัญญา แนวทะวิช ช่วยจัดเรียงพิมพ์ปริญญานิพนธ์ และอุปกรณ์ทางคอมพิวเตอร์

ขอขอบคุณ นายสมชาติ ขจิตเพชร ช่วยอำนวยความสะดวกในการทำกล่องอุปกรณ์

แต่จะขาดเสียมิได้ คือ บิดา มารดาและพี่น้องของผู้ทำโครงงานที่ให้การสนับสนุนในทุกๆด้าน จนพบกับความสำเร็จอีกระดับหนึ่ง นับว่าเป็นพระคุณอันยิ่งใหญ่ ที่จะลืมเสียมิได้เลย

นายสุวิทย์ ฤมาคกมลพันธ์
นายอำนาจ หาญประสิทธิ์คำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] นิกร สุขุคมตันติ, *การออกแบบวงจรอิเล็กทรอนิกส์* ตำราชุดวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 1, 74 หน้า, พ.ศ. 2533

[2] สุธรรม ศรีเกษม, เมธินทร์ ทรงชัยกุล และ สง่า ศรีศุภปรีดา, *MATLAB เพื่อแก้ปัญหาทางวิศวกรรม*, 359 หน้า

[3] J. Hilburn and D. E. Johnson, *Manual of Active Filter Design*, Mcgraw-Hill, 1973.

[4] R. A. Gayakwad, *Op-Amps and Linear Integrated Circuits*, secand edition, Prentice-Hall, 1988.

[5] W. Tommasi, *Advanced Electronic Communication Systems*, second edition, Prentice-Hall, Engle Wood Cfiffs, N.J., 1992.

[6] A. B. Williams and F. J. Taylor, *Electronic Filter Design Handbook* , second edition, Mcgraw-Hill, 1979.

[7] D. J. Dailey, *Operational Amplifier and Linear Integrated Circuits Theory and Application*, Prentice-Hall, 1991.

[8] L. W. Couch, *Digital and Analog Communication Systems*, Macmillan Publishing Company, 1987.

[9] A. Biran and M. Breiner, *MATLAB for Engineers*, Addison Wesley, 1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้