ระบบเครื่องรับส่ง DPSK

DPSK TRANSMITTER AND RECEIVER

โดย

นายฉัตรชัย แก้วสี่ดวง

นายดุสิต พิพัฒนพงษ์วงศ์

วัน เดือน ปี 22 ก.ค. 2541

เลขทะเบียน 039095

เลขเรียกหนังสือ โ ล0355 น 231 ร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039095

ระบบเครื่องรับส่ง DPSK
DPSK TRANSMITTER AND RECEIVER

โดย

นายฉัตรชัย แก้วสี่ดวง 38013054

นายดุสิต พิพัฒนพงษ์วงศ์ 38013057

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบเครื่องรับส่ง DPSK

DPSK TRANSMITTER AND RECEIVER

ผู้จัดทำ

1. นาย ฉัตรชัย แก้วสี่ดวง 38013054

2. นาย ดุสิต พิพัฒนพงษ์วงศ์ 38013057

..... อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเครื่องรับส่ง DPSK

DPSK Transmitter and Receiver

โดย นายฉัตรชัย แก้วสี่ควง 38013054
นายดุสิต พิพัฒนพงษ์วงศ์ 38013057

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

ศึกษาเกี่ยวกับ DPSK ทั้งเครื่องส่งและเครื่องรับ เพื่อประยุกต์ใช้งานในด้านระบบสื่อสาร โดยทำการสร้างระบบทั้งเครื่องรับและส่งตลอดจนการทดสอบพร้อมทั้งใช้โปรแกรม MATLAB เลียนแบบการทำงานด้วย

Abstract

Education about DPSK all transmitter and Receiver for application in Communication System make by all transmitter and Receiver System moreover test circuit with used MATLAB program for the same working

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
Abstract	
สารบัญ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 เครื่องส่งดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง	2
2.2 เครื่องรับดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง	3
2.3 การคืนรูปสัญญาณคล็อก	3
2.4 ความน่าจะเป็นของความผิดพลาดและอัตราผิดพลาดของบิท	4
2.4.1 ความผิดพลาดของเฟสชิฟคีย์อิ้ง	7
2.4.2 ความผิดพลาดของควอดเดรนเจอร์	9
2.4.3 ความผิดพลาดของฟรีเควนซีชิฟคีย์อิ้ง	11
2.5 Phase Lock Loop	12
2.5.1 หลักการทำงานของ PLL	12
2.5.2 การนำวงจรเฟสล็อคลูปไปใช้งาน	14
2.5.3 ข้อดีและข้อเสียของวงจรเฟสล็อคลูป	16
2.6 การมอดูเลทสัญญาณดิจิตอล	17
2.6.1 โคฮีเร้นท์ดีเทคชั่น	20
2.6.2 การผิดพลาดทางเฟส	23
2.6.3 ทฤษฎีการเขียนโปรแกรม MATLAB	27
บทที่ 3 การออกแบบวงจรภาคส่ง	36
3.1 การออกแบบวงจร DPSK Modulation	36
3.1.1 วงจรเข้ารหัสสัญญาณ NRZ /NRZ-I	38
3.1.2 วงจรสร้างความถี่ 67.2 kHz	38
3.1.3 การออกแบบวงจรของความถี่แบนด์พาสฟิลเตอร์	41
3.2 การออกแบบวงจรภาครับ	45
3.2.1 การออกแบบวงจรมอดูเลทสัญญาณ DPSK	45
3.2.2 การออกแบบวงจรกรองความถี่ผ่าน	45
3.2.3 วงจรสัญญาณคลื่นพาห์	48
3.2.4 วงจรยกกำลังสอง	49
3.2.5 วงจร PLL	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 วงจร หารสอง 50
3.2.7 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK 51
3.2.8 วงจรอินทิเกรทแอนด์ดัมท์ 52
3.2.9 วงจรกู้สัญญาณนาฬิกา 53
3.2.10 วงจรถอดรหัสสัญญาณ NRZ-I / NRZ 54
บทที่ 4 ผลการทดลอง 59
โปรแกรม MATLAB 78
บทที่ 5 บทวิจารณ์และบทสรุป 85
กิตติกรรมประกาศ
บรรณานุกรม
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การส่งข้อมูลในปัจจุบันมีหลากหลายรูปแบบในการติดต่อสื่อสาร ประโยชน์ของการรับส่งข้อมูลแต่ละอย่างซึ่งแตกต่างกันของลักษณะการใช้งานทั้งนี้ย่อมขึ้นกับตัวเครื่องส่งเครื่องรับและประสิทธิภาพชนิดของการสื่อสารเหล่านั้นด้วยเป็นประการสำคัญ

สิ่งที่จะกล่าวในรายงานฉบับนี้เป็นการมอดูเลทแบบดิจิตอล คือการนำสัญญาณข้อมูลดิจิตอลนำมามอดูเลทกับความถี่คลื่นพาห์ (Carrier) ดังนั้นการมอดูเลทแบบดิจิตอลจะมีอยู่หลายแบบ เช่นฟรีเควนซีเฟสชิฟคีย์อิ้ง (FSK) เฟสชิฟคีย์อิ้ง (PSK) แอมปลิจูดเฟสชิฟคีย์อิ้ง (ASK) แต่ที่กล่าวถึงในส่วนของปริญญานิพนธ์นี้จะกล่าวถึงการมอดูเลททางเฟสของสัญญาณซึ่งสามารถแบ่งออกเป็นส่วนต่างๆ ได้อีก ซึ่งเราสนใจในส่วนของมอดูเลท แบบดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง เป็นการนำเอาสัญญาณอินพุทดาต้า ป้อนให้กับ เอ็กซ์คลูซีฟนอร์เกท แล้วนำเอ้าท์พุทที่ได้ไปป้อนกลับ (Feed Back) โดยการผ่านวงจรหน่วงเวลาหนึ่งบิทเพื่อเปรียบเทียบบิทข้อมูลใหม่ที่เข้ามาสัญญาณที่ ได้จะถูกส่งไปยังวงจรบาลานซ์มอดูเลท ผสมกับความถี่พาห์ (Carrier) สัญญาณเอ้าท์พุทที่ได้จะเป็นสัญญาณความแตกต่างทางเฟสโดยการเปรียบเทียบกับบิทสัญญาณข้างหน้าเป็นบิทอ้างอิง เนื้อหาภายในปริญญานิพนธ์ฉบับนี้แบ่งเป็นส่วนย่อยแต่ละบท ประกอบด้วยเนื้อหาสำคัญดังต่อไปนี้

บทที่ 1 “บทนำ” ในบทนี้จะกล่าวถึงลักษณะทั่วไปของปริญญานิพนธ์อย่างคร่าวๆ เพื่อให้ผู้ที่ต้องการศึกษาได้ทราบถึงลักษณะทั่วๆ ไป และส่วนประกอบของเนื้อหาสำคัญในปริญญานิพนธ์

บทที่ 2 “ทฤษฎีและหลักการ” จะประกอบด้วยทฤษฎีและหลักการต่างๆ เกี่ยวกับเนื้อหาในปริญญานิพนธ์

บทที่ 3 “การออกแบบ” ในบทนี้จะอธิบายหลักการทำงานของวงจรต่างๆ ในแต่ละส่วนที่นำมา ใช้ประกอบในการจัดทำปริญญานิพนธ์เล่มนี้

บทที่ 4 “ การทดลองและผลการทดลอง ” ในบทนี้จะเป็นการกล่าวถึงผลโดยสรุปของการทำปริญญานิพนธ์ที่ได้ทำขึ้นมาเรียบร้อยแล้วมาทำการวัดผลในแต่ละขั้นตอนอย่างละเอียด เพื่อที่จะนำค่าต่างๆที่ได้จากการทดลองไปตรวจสอบอ้างอิงกับทฤษฎีที่ได้ออกแบบไว้ ว่าค่าที่ได้ตรงกันหรือไม่

บทที่ 5 “บทสรุปและแนวทางการพัฒนา” ในบทนี้จะเป็นการกล่าวถึงผลโดยสรุปของการทำปริญญานิพนธ์ เพื่อเปรียบเทียบผลการทำงานกับทฤษฎีและผลประโยชน์ที่คาดว่าจะได้รับจากการทำปริญญานิพนธ์ที่ตั้งเป้าหมายเอาไว้ รวมทั้งการกล่าวถึงปัญหาและอุปสรรคที่เกิดขึ้นในการทำปริญญานิพนธ์และแนวทางในการที่จะพัฒนาปริญญานิพนธ์นี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

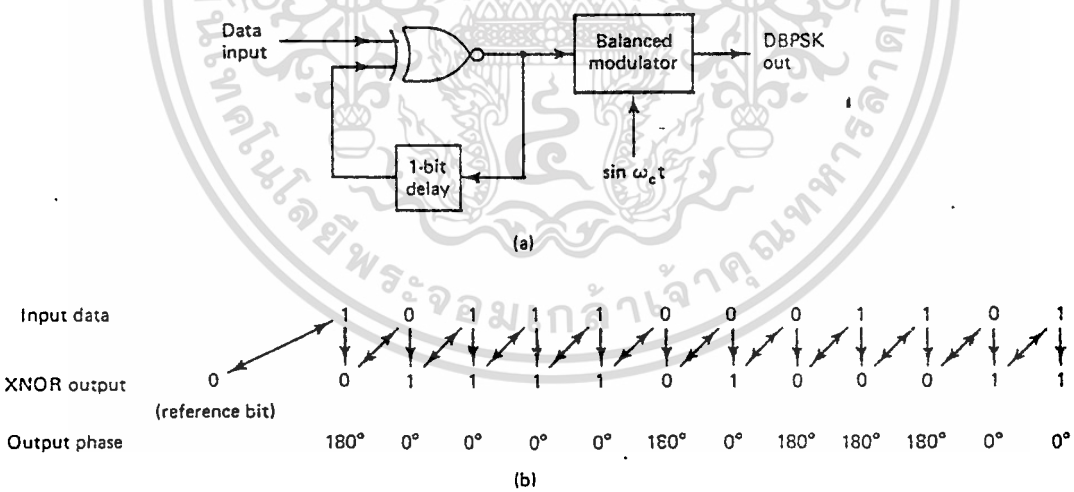
บทที่ 2
ทฤษฎีและหลักการ

หลักการของระบบเครื่องรับส่ง ดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง (DPSK)

ดิฟเฟอเรนเชียลเฟสคีย์อิ้ง (DPSK) เป็นการเปลี่ยนแปลงการมอดูเลทแบบดิจิตอลของข้อมูลไบนารีที่เข้ามาประกอบด้วยความแตกต่างระหว่างส่วนประกอบทั้งสองสัญญาณที่ต่อเนื่องกว่าขนาดของเฟส ดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้งเป็นไปตามทฤษฎี การคืนเฟสคลื่นพาห์ส่วนของการรับหน่วงเวลาไปหนึ่ง บิทแล้วเปรียบเทียบกับบิท ถัดไปที่รับเข้ามา ความแตกต่างของเฟสทั้งสองเป็นผล จากข้อมูลที่ป้อนเข้ามาทางอินพุท

2.1 เครื่องส่ง ดิฟเฟอเรนเชียลไบนารี เฟสชิฟคีย์อิ้ง (DPSK Transmitter)

จากรูป 2.1a แสดงดังบล็อกไดอะแกรมของวงจรดิฟเฟอเรนเชียลไบนารีเฟสชิฟคีย์อิ้ง (DBPSK) ของเครื่องส่งบิทข้อมูลที่เข้ามา เอ็กซ์คลูซีฟนอร์กับตำแหน่งก่อนที่เข้ามาในไบนารีเฟสชิฟคีย์อิ้งมอดูเลเตอร์ สำหรับดาต้าบิทแรกที่เข้ามา ไม่มีบิทที่เปรียบเทียบกับมันดังนั้นจากบิทอ้างอิงสมมติขึ้น จากรูป2.1b แสดงความสัมพันธ์ระหว่างดาต้าอินพุทดาต้าเอ็กคลูซีฟนอร์เอ้าท์พุท และเฟสเอ้าท์พุทของ วงจรบาลานซ์มอดูเลเตอร์ถ้าสมมติให้บิทอ้างอิงเป็นลอจิก "1"เอ้าท์พุทจากวงจรเอ็กซ์คลูซีฟนอร์ดังภาพแสดงประกอบในรูป 2.1b บิทดาต้าบิทแรกของเอ็กซ์คลูซีฟนอร์กับบิทอ้างอิง ถ้าเหมือนกันเอ้าท์พุทของเอ็กซ์คลูซีฟนอร์จะเป็นลอจิก "1" ถ้าต่างกันเอ้าท์พุทของเอ็กซ์คลูซีฟนอร์จะเป็นลอจิก "0" ตัวบาลานซ์มอดูเลเตอร์จะทำงานเหมือนกับเป็นการรวมไบนารีเฟสชิฟคีย์อิ้ง มอดูเลเตอร์ลอจิก "1" เป็น $+\sin\omega_c t$ ที่เอ้าท์พุทและลอจิก "0" เป็น $-\sin\omega_c t$ ที่เอ้าท์พุท

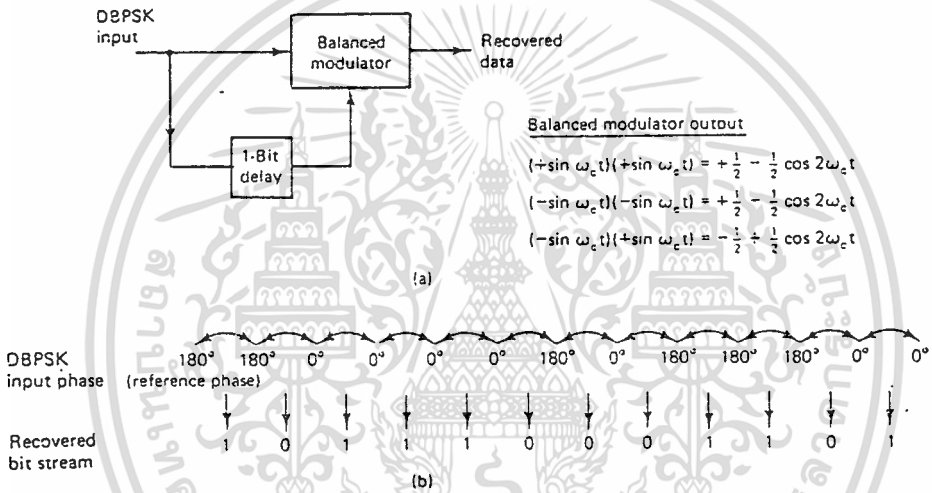


รูปที่ 2.1 DPSK ดีมอดูเลเตอร์ (a) บล็อกไดอะแกรม (b) ไทม์มิ่งไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 เครื่องรับ ดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง (DPSK Receiver)

จากรูป 2.2 แสดงดังบล็อกไดอะแกรมและลำดับเวลาของ เครื่องรับ ดิฟเฟอเรนเชียลชิฟคีย์อิ้ง รับสัญญาณมาหน่วงเวลา 1 บิท แล้วนำไปเปรียบเทียบกับสัญญาณถัดไป ที่เข้ามาไปยังวงจรบาลานซ์มอดูเลเตอร์ ถ้าลอจิกเหมือนกันจะเป็น ลอจิก 1 (+Voltage) ถ้าต่างกันจะเป็นลอจิก 0 (-Voltage) ถ้าเฟสอ้างอิง สมมติว่าบิทเฟสแรกของการดีมอดูเลทก็จะผิดพลาด การเข้ารหัสที่ต่างกันจะมีประสิทธิภาพดีกว่า การมอดูเลท แบบไบนารีดิจิตอลแม้ว่าความแตกต่างของอัลกอริทึมซึ่งมีความซับซ้อนมากกว่า ดิฟเฟอเรนเชียล เฟสชิฟคีย์อิ้ง (DPSK) ข้อดีทางด้านส่งของดิฟเฟอเรนเชียลคีย์อิ้ง(DPSK)ไม่จำเป็นต้องคืนรูปสัญญานคลื่นพาท์(Carrier) ส่วนข้อเสียของ ดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง การกำหนดอยู่ระหว่าง 1 และ 3 ดีบี (dB) มากกว่าอัตราส่วนสัญญาณที่ต้องการต่อสัญญาณรบกวน เหมือนกับอัตราค่าความผิดพลาดของขนาดเฟสชิฟคีย์อิ้ง (PSK)



รูปที่ 2.2 DPSK ดีมอดูเลเตอร์ (a) บล็อกไดอะแกรม (b) ไทม์มิ่งไดอะแกรม

2.3 การคืนรูปสัญญาณคล็อก (Clock Recovery)

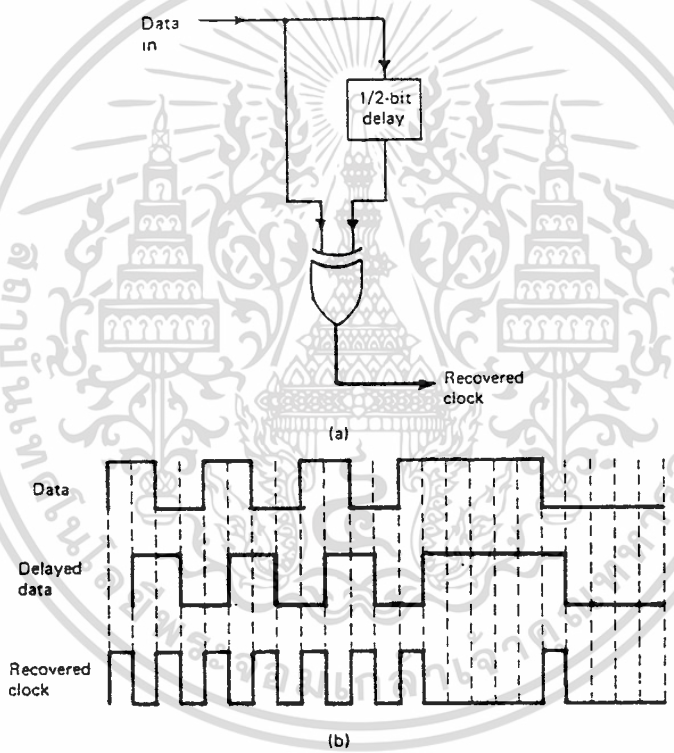
ทุกระบบดิจิตอล สัญญาณดิจิตอล มีความเที่ยงตรงตามเวลาหรือสัญญาณ คล็อกที่ซิงค์โครไนซ์กันระหว่างวงจรส่งและรับเพราะจำเป็นต้องคืนคล็อก (Clock)อีกครั้งหนึ่งที่เครื่องรับให้สอดคล้องกับเครื่องส่ง ดังรูป 2.3 แสดงวงจรตัวอย่างการคืนสัญญาณคล็อก (Clock) ข้อมูลจากคาต้าที่รับมา การคืนข้อมูลโดยการหน่วงเวลาไปครึ่งบิทแล้วนำมาเปรียบเทียบ กับสัญญาณข้อมูลเดิมในวงจรเอ็กซ์คลูซีฟออร์ ความถี่ของสัญญาณ คล็อก ด้วยวิธีการคืนกับอัตราการรับคาต้าเข้ามา (f_b)

จากรูป 2.3b แสดงความสัมพันธ์ระหว่างสัญญาณคาต้าและการกู้สัญญาณเวลากลับคืนมาจากรูป 2.3b จะเห็นว่าการรับข้อมูลเป็นการเปลี่ยนแปลง (ลำดับ 1 / 0) การคืนสัญญาณคล็อกเหมือนเดิมถ้ารับคาต้าที่ผ่านการขยายอย่างต่อเนื่องของ " 1" หรือ "0" การคืนสัญญาณคล็อกจะเกิดการสูญเสีย การป้องกันจากสิ่งที่เกิดขึ้นโดยการเข้ารหัสของเครื่องส่งและถอดรหัสของเครื่องรับ

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ความน่าจะเป็นของความผิดพลาดและอัตราผิดพลาดของบิท

ความน่าจะเป็นของเครื่องความผิดพลาด *P(e)* และอัตราการผิดพลาดของบิท (BER) บ่อยครั้งที่ใช้การเปลี่ยนแปลง แม้ว่าในทางปฏิบัติมีความแตกต่างค่าความน่าจะเป็นของเครื่องความผิดพลาด *P(e)* ตามทฤษฎีทางคณิตศาสตร์ คาดว่าอัตราบิทเป็นจริงการแสดงบิทที่ผิดพลาด สำหรับตัวอย่าง ถ้าระบบมีค่าความน่าจะเป็นของความผิดพลาด เราสามารถคาดว่าค่าผิดพลาดหนึ่งบิทนทุก 100,000บิท การส่งถ้าระบบมีอัตราค่าบิท ผิดพลาดเป็น 10^{-5} นี้หมายถึงที่ผ่านที่สามารถผิดพลาดทุกๆ 100,000บิท ของการส่ง การวัดอัตราผิดพลาดเมื่อเปรียบเทียบและความน่าจะเป็นของการผิดพลาดกรอบที่แสดงให้เห็นของระบบความน่าจะเป็นของค่าความผิดพลาดของฟังก์ชั่นอัตรากำลังคลื่นพาห์ ต่อสัญญาณเสียงรบกวน และค่าความเป็นไปได้ของการเข้ารหัสใช้ *(M-ary)* อัตรากำลังคลื่นพาห์ต่อสัญญาณเสียงรบกวน



รูปที่ 2.3 (a) วงจรกู้สัญญาณนาฬิกา (b) ไทม์มิ่งไดอะแกรม

คืออัตราเฉลี่ย กำลัง คลื่นพาห์ (กำลังงานรวมของคลื่นพาห์และเกี่ยวกับไซด์แบนด์) ของกำลังเสียงรบกวนเกิดจากอุณหภูมิกำลังคลื่นพาห์สามารถวัดได้เป็นวัตต์ (watt) หรือ ดีบีเอ็ม (dBm) ที่

$$C(\text{dBm}) = 10 \log C \text{ watt}/0.001 \qquad (2\text{-}1)$$

กำลังของอุณหภูมิเสียงรบกวนเขียนเป็นสมการได้

$$N = KTB \quad (\text{watts}) \qquad (2\text{-}2a)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N = กำลังของอุณหภูมิเสียงรบกวน (W)

K = ค่าคงที่ของโบล์ทแมน (1.38×10^{-23} J/K)

T = อุณหภูมิ (เคลวิน; 0 เคลวิน = -273 องศาเซลเซียส ณ อุณหภูมิห้อง = 290 K)

B = แบนด์วิดท์ (Hz)

$$N(\text{dBm}) = 10 \log KTB/0.001 \qquad (2\text{-}2b)$$

$$C/N = C/KTB(\textit{unitless ratio}) \qquad (2\text{-}3a)$$

C = กำลังคลื่นพาห์ (W)

N = กำลังสัญญาณรบกวน (W)

$$C/N\ (\text{dB}) = 10 \log C/N \qquad (2\text{-}3b)$$
$$= C(\text{dBm}) - N(\text{dBm})$$

พลังงานต่อบิท เป็นเพียงพลังงานบิทเดียวของข้อมูลค่าทางคณิตศาสตร์พลังต่อบิท คือ

$$E_b = CT_b \quad (\text{J/bit}) \qquad (2\text{-}4a)$$

E_b = พลังงานของบิทเดียว (J/bit)

T_b = เวลาที่ใช้ในหนึ่งบิท (s)

C = กำลังคลื่นพาห์ (W)

$$E_b\ (\text{dBJ}) = 10 \log E_b \qquad (2\text{-}4b)$$

และเพราะว่า $T_b = 1/f_b$, ซึ่ง f_b , บิทเรตในบิทต่อวินาที, E_b สามารถเขียนใหม่ได้เป็น

$$E_b = C/f_b \quad (\text{J/bit}) \qquad (2\text{-}4c)$$

$$E_b\ (\text{dBJ}) = 10 \log C/f_b \qquad (2\text{-}4d)$$
$$\doteq 10 \log C - 10 \log f_b \qquad (2\text{-}4e)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความหนาแน่นของสัญญาณรบกวน เป็นกำลังอุณหภูมิเสียงรบกวน นอร์มัลไลท์ ที่แบนด์วิดท์ 1 เฮิร์ท ความหนาแน่น กำลังงานสัญญาณรบกวน

$$N_o = N/B \text{ (W./Hz)} \quad (2\text{-}5a)$$

N = กำลังงานอุณหภูมิเสียงรบกวน

B = แบนด์วิดท์ (Hz)

$$N_o \text{ (dBm)} = 10 \log N/0.001 - 10 \log B \quad (2\text{-}5b)$$

$$= N(\text{dBm}) - 10 \log B \quad (2\text{-}5c)$$

จากสมการ 2-2a และสมการ 2-5a จะได้

$$N_o = KT/B \text{ (W /Hz)} \quad (2\text{-}5d)$$

$$N \text{ (dBm)} = 10 \log K/0.001 + 10 \log T - 10 \log B \quad (2\text{-}5e)$$

พลังงาน ต่ออัตรากำลังความหนาแน่นของบิทต่อสัญญาณรบกวนเปรียบเทียบด้วยสองสัญญาณหรือมากว่าสองสัญญาณของการมอดูเลทแบบดิจิตอล นั้นใช้อัตราความแตกต่าง ด้านการส่ง (bit rate) รูปแบบการมอดูเลท (FSK,PSK,QAM) หรือเทคนิคการเข้ารหัส (M-ray) พลังงานต่ออัตราความหนาแน่นกำลังงาน บิทต่อสัญญาณรบกวนเป็นเพียงอัตราส่วนของพลังงานบิทเดียวต่อกำลังงานเสียงรบกวนใน 1 เฮิร์ทของ แบนด์วิดท์ ดังนั้น E_b/N_o นอร์มัลไลซ์ การมอดูเลชั่นแบบรวมเฟสไปยังแบนด์วิดท์ ร่วมที่ยอมให้มากกว่าการเปรียบเทียบที่ถูกต้องที่แสดงค่าผิดพลาดทาง คณิตศาสตร์

$$E_b/N_0 = (C/f_b)/(N/B) = CB/Nf_b \quad (2\text{-}6a)$$

ที่ E_b/N_o คือพลังงานต่ออัตราความหนาแน่นของบิท ของสัญญาณรบกวนซึ่งจัดรูปใหม่จากสมการ 2-6a ดังแสดงต่อไปนี้

$$E_b/N_o = CB/Nf_b \quad (2\text{-}6b)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E_b/N_o = พลังงานต่ออัตราความหนาแน่นกำลังงานบิทต่อสัญญาณรบกวน

C/N = อัตรากำลังงาน คลื่นพาห์ ต่อสัญญาณรบกวน

B/f_b = อัตราแบนด์วิดท์สัญญานรบกวนต่อบิท

$$E_b/N_o \text{ (dB)} = \log C/N + 10\log B/f_b \qquad (2\text{-}6c)$$

$$= 10 \log E_b - 10 \log N_o \qquad (2\text{-}6d)$$

จากสมการ 2-6b จะเห็นว่า E_b/N_o เป็นค่าที่เกิดขึ้นในอัตรากำลังคลื่นพาห์ต่อสัญญาณรบกวนและอัตราของสัญญาณแบนด์วิดท์ต่อบิท ดังนั้นจากสมการ 2-6b จะเห็นว่าเมื่อแบนด์วิดท์ เท่ากับอัตราบิท $E_b/N = C/N$

โดยทั่วไปค่าต่ำสุดของอัตรากำลังของคลื่นพาห์ ต่อสัญญาณรบกวนที่กำหนดของระบบ ควอดเดรนเจอร์แอมปลิจูดมอดูเลท มีค่าน้อยกว่าค่าที่กำหนดเมื่อเปรียบเทียบกับระบบเฟสชิฟคีย์อิ้ง ดังนั้นจะใช้การเข้ารหัสที่มีระดับสูงกว่าอัตรากำลังคลื่นพาห์ ต่อสัญญาณรบกวน

2.4.1 ความผิดพลาดของเฟสชิฟคีย์อิ้ง

การแสดงค่าความผิดพลาดของบิทต่างๆ การรวมเฟสของระบบดิจิตอลมอดูเลท จะมีความสัมพันธ์โดยตรงกับระยะทางระหว่างจุดบนสัญญาณสเตจ-สเปซ์ไปซ์ไดอะแกรม สำหรับตัวอย่างบนสัญญาณ สเตท-สเปสไดอะแกรมของดิฟเฟอเรนเชียลเฟสชิฟคีย์อิ้ง (DPSK) แสดงในรูป 2.4 เราจะเห็นได้ว่าสัญญาณทั้งสองบนจุด (ลอจิก 1 และลอจิก 0) ในส่วนประกอบกำลัง (D) ในส่วนประกอบที่สำคัญ ของสัญญาณหนึ่งไบนารีเฟสชิฟคีย์อิ้งสภาวะสัญญาณเป็นลบถูกต้องถ้าแสดงในรูปมีทิศทางของสัญญาณรบกวน(Vn) เมื่อรวมกับทิศทางของสัญญาณ (Vs) ผลของการเลื่อนเฟสที่เป็นส่วนประกอบสัญญาณ (Vse) อัลฟาดีกรีถ้าเลื่อนเฟสไปมากกว่า ± 90 องศา ส่วนประกอบของการเลื่อนเฟสออกไป เป็นระดับจุดต่ำสุดในส่วนที่มีความผิดพลาดสำหรับไบนารีเฟสชิฟคีย์อิ้ง (BPSK) สามารถกำหนดทิศทางสัญญาณรบกวนในแอมปลิจูด ที่เหมาะสมและเฟสที่มีค่ามากกว่า ±90 องศา การเลือกเฟสเป็นสิ่งที่เห็นได้ชัดเจนในค่าผิดพลาด สำหรับระบบเฟสชิฟคีย์อิ้ง (PSK) สูตรทั่วๆ สำหรับจุดต่ำสุด คือ

$$TP = \pm \pi/M \qquad (2\text{-}7)$$

ที่ M คือจำนวนสภาวะระดับสัญญาณ

ความสัมพันธ์ทางเฟส ระหว่างส่วนประกอบของสัญญาณไบนารีเฟสชิฟคีย์อิ้ง(BPSK)แบบที่ดีที่สุด การจัดให้มีสิ่งเดียวเป็น เมื่อส่งสัญญาณที่มีระดับยอมให้และเมื่อหนึ่งสัญญาณเป็นลบที่ถูกต้อง เพราะไม่มีสิ่งอื่นๆ บิทต่อบิทเป็นแบบที่ถูกต้องเป็นที่ดีกว่าซึ่งแสดงแบบตรงข้ามคือใช้เป็นส่วนอ้างอิงการเปรียบเทียบการแสดงค่าความผิดพลาดสำหรับการรวมเฟสต่างๆ ของระบบเฟสชิฟคีย์อิ้ง (PSK)สามารถเปรียบเทียบ กับ ไบนารีเฟสชิฟคีย์อิ้ง โดยการกำหนดความสัมพันธ์การลดค่าผิดพลาดระยะห่างระหว่างจุดซิงเกิ้สเปสไดอะแกรมสำหรับเฟสชิฟคีย์อิ้ง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PSK)มีสูตรสำหรับค่าสูงสุดระยะห่างระหว่างจุดที่ชัดเจนดังนี้

$$\sin = \sin 360°/2M = (d/2)/D \qquad (2\text{-}8)$$

d = ระยะค่าความผิดพลาด

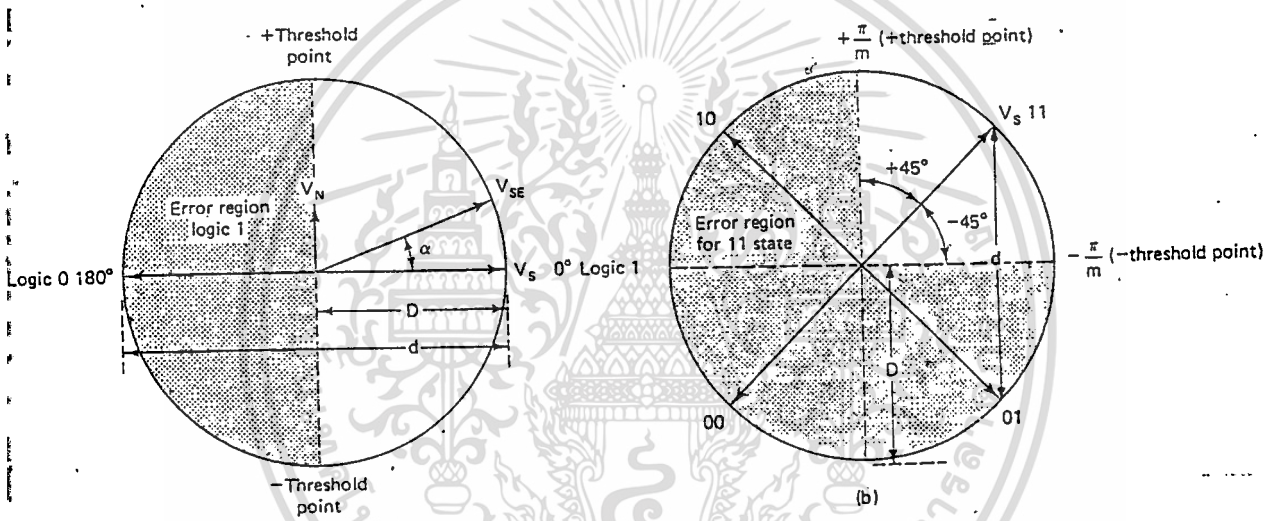
M = จำนวนเฟส

D = ขนาดค่าสูงสุดของสัญญาณ

การจัดสมการ 2-9

$$d = [2\sin 180°/M]xD \qquad (2\text{-}9)$$

ดังรูป 2.4b แสดงสัญญาณสเตท-สเปสไดอะแกรมสำหรับควอดเดรนเฟสชิฟคีย์อิ้ง จากรูป 2.4b



รูปที่ 2.4 แสดงบริเวณที่ PSK ผิดพลาด (a) DPSK (b) QPSK

การเลื่อน เฟส มีค่า ± 45 องศา จาก สมการ 2-7 ค่าสูงสุดของการเลื่อนเฟส 8-PSKและ 16-PSK จะเป็นค่าความต่างเฟส ห่างกัน 22.5 องศา และ 11.25 องศา ด้วยเหตุนี้ ระดับสูงสุดของการมอดูเลท (ค่าที่สุดของ M) กำหนดให้พลังงานมากสุดต่ออัตราความหนาแน่นของกำลังงานบิทต่อสัญญาณรบกวน ผลของการซ้อนทับกัน กับสัญญาณรบกวนสูงกว่าระดับการมอดูเลทค่าของมุมที่น้อยกว่าอยู่ระหว่างจุดสัญญาณ และ เล็กกว่าระยะค่าผิดพลาด โดยทั่วไปแล้วการแสดงความน่าจะเป็นค่าบิท ผิดพลาด ของ M เอ็มเฟส ระบบเฟสชิฟคีย์อิ้ง คือ

$$P(e) = (\log_2 M)^{-1}\mathrm{erf}(z) \qquad (2\text{-}10)$$

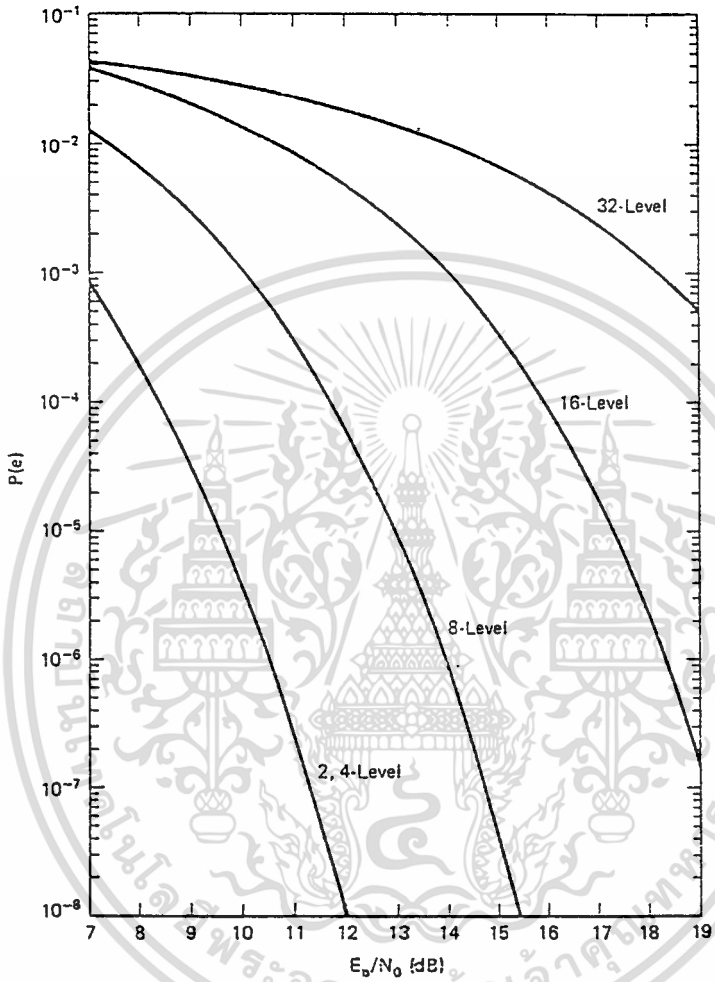
erf = ฟังก์ชั่นความผิดพลาด

$$z = \sin \pi/M \left(\sqrt{\log_2 M}\right)\left(\sqrt{E_b/N_o}\right)$$

โดยการบรรยายสมการ 2-10 สามารถแสดงให้ เห็นเป็นรูป ควอนเดรนเฟสชิสคีย์อิ้ง (QPSK)จะถูกจัดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมือนกับค่าผิดพลาดของไบนารีเฟสชิฟคีย์อิ้ง (BPSK) นั่นเป็นเพราะการลดค่าลง 3ดีบี(dB)ในระยะห่างของค่าผิดพลาดของ QPSK คืออ๊อฟเซ็ทโดยลดลง 3 ดีบี (dB) ในแบนด์วิดท์(ในการเพิ่มระยะค่าผิดพลาด มีความสัมพันธ์ ความกว้าง ของแบนด์วิดท์ สัญญาณรบกวนต้องมีค่าเหมือนกัน ดังนั้น ระบบทั้งสองแบบจะมีจุดดีที่สุดใน รูป 2.5 แสดงผลค่าความผิดพลาดของ 2-, 4-, 8-,16- และ 32 -PSKเป็นฟังก์ชั่นของ E_b/N_o



รูปที่ 2 .5 อัตราค่าผิดพลาดของ ระบบการมอดูเลชั่น แบบ PSK

2.4.2 ความผิดพลาดของควอดเดรนเจอร์

สำหรับตัวเลขที่มีค่ามากของจุดสัญญาณเอ้าท์พุทของ QAM จาก PSK นี่คือระยะทางระหว่างจุดสัญญาณ PSK ระบบที่เล็กกว่าระยะทางระหว่างจุดในการเปรียบเทียบของระบบ QAM โดยทั่วไปความชัดเจนสำหรับ ระยะทางระหว่างที่อยู่ใกล้จุดสัญญาณ ของระบบ QAM กับระยะ L แต่ละแกนคือ

$$d = 2D/(L-1) \qquad (2\text{-}11)$$

d = ระยะที่ผิดพลาด

L = ค่าของระดับแต่ละแกน

D = ขนาดความสูงของสัญญาณ

ในการเปรียบเทียบสมการ 2-10 กับสมการ 2-12 เราจะเห็นได้ว่าระบบ QAM มีข้อดีกว่าระบบ

เอกสารนี้เป็นทรัพย์สินทางปัญญาของ [illegible] ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

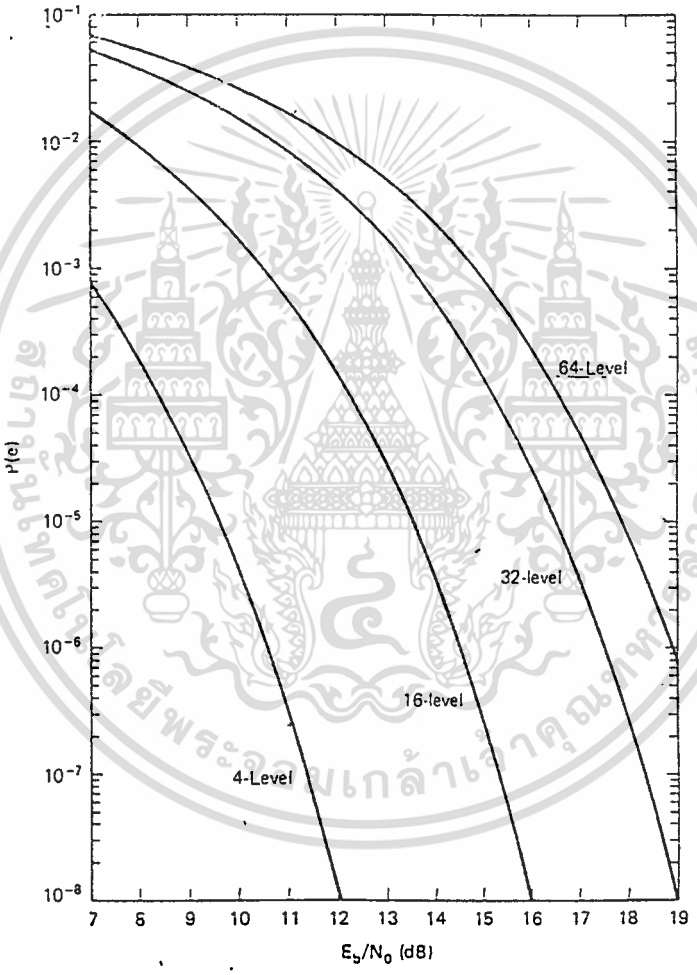
PSK กับขนาดระดับกำลังของสัญญาณแสดงให้เห็นค่าความน่าจะเป็นของบิทผิดพลาดระดับแอล ของระบบ QAM คือ

$$P(e) = (\log_2 L)^{-1} (L\text{-}1/L)\mathrm{erfc}(z) \qquad (2\text{-}12)$$

$\mathrm{erfc}(z)$ = ฟังชันความผิดพลาดที่เสริมเข้าไปให้สมบูรณ์

$$z = \sqrt{\{(E_b \log_2 L)/N_o)\}}/(L\text{-}1)$$

จากรูป 2-6 ให้เห็นแบบค่าผิดพลาดของ 4 -,16 -,32- และ 64 -QAM ของฟังก์ชั่นใน E_b/N_o จากตารางค่าต่ำสุดของอัตรากำลังคลื่นพาห์ต่อสัญญาณรบกวนและพลังงาน ต่ออัตราความหนาแน่นกำลังบิทต่อสัญญาณรบกวนที่กำหนดโดยความน่าจะเป็นของค่าผิดพลาด คือ 10^{-6} สำหรับPSK และ QAM แบบมอดูเลท



รูปที่ 2.6 อัตราความผิดพลาดของระบบการมอดูเลชั่นแบบ QAM

2.4.3 ความผิดพลาดของฟรีเควนซีชิฟคีย์อิ้ง

ค่าความน่าจะเป็นของความผิดพลาดของระบบ FSK ส่วนที่เป็นกรอบที่มีลักษณะความแตกต่างของวิธีการ PSK และ QAM มีปัจจัยพื้นฐาน 2 อย่างในระบบ FSK คือการซิงโครนัสและอะซิงโครนัส กับอะซิงโครนัส FSK เครื่องส่ง และเครื่องรับ ไม่มีความถี่หรือเฟส ที่สอดคล้องกันกับซิงโครนัส FSK เฉพาะเครื่องรับหลายความถี่อ้างอิงและการล็อกเฟสกับการส่งของหลายความถี่อ้างอิง ค่าความน่าจะเป็นของค่าผิดพลาด สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSK คือ ความความน่าจะเป็นของความผิดพลาดแบบ ซิงโครนัส FSK คือ

$$P(e) = \exp (-E_b / 2N_o)/2 \qquad (2\text{-}14)$$

ค่าความน่าจะเป็นของความผิดพลาดจาก โคฮีเร้นท์ FSK คือ

$$P(e) = \text{erfc} \sqrt{(E_b/N_o)} \qquad (2\text{-}15)$$

จากสมการ 2-13 และ 2-14 จะเห็นได้ว่า ค่าความน่าจะเป็น ของความผิดพลาด แบบอะซิงโครนัส FSK ซึ่งกำหนดขอบ เขตมากกว่าซิงโครนัส FSK เท่าพลังงานต่อ อัตราความหนาแน่น กำลังบิทต่อสัญญาณรบกวน รูป 2-7 แสดงดังกราฟ ของความน่าจะเป็นของความผิดพลาด ทั้งแบบ ซิงโครนัส และอะซิงโครนัส FSK มีค่าดังนี้ E_b/N_o

การประยุกต์ใช้งาน แบบดิจิตอลมอดูเลท

การมอดูเลท ของเครื่องและรับใช้ PSK , FSK, QAM มีการประยุกต์ใช้งานมากมายซึ่งเราสามารถใช้ดิจิตอลมอดูเลท กับการสื่อสารของระบบ วิทยุ ไมโครเวฟ และระบบดาวเทียม ที่มีความถี่คลื่นพาห์ จากเมกกะ เฮิร์ทจน ถึงกิกะเฮิร์ทโดยใช้สัญญาณเสียงและสัญญาณข้อมูลกับคลื่นพาห์หลายความถี่ระหว่าง 300 เฮิร์ท จนถึง 3,000 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

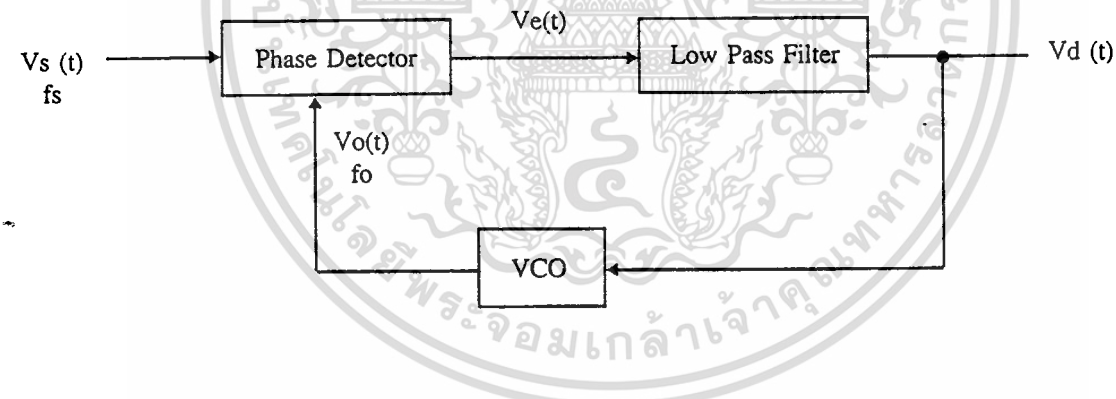
2.5 Phase Lock Loop

Phase Lock Loop (PLL) เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อก หรือซิ้งค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอ้าท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรง และล็อกกับสัญญาณที่เข้ามา ดังนั้น โวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชันของความถี่ของสัญญาณที่เข้ามา อาทิเช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอ้าท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่าน LPF (Low Pass Filter) จะเป็นสัญญาณที่ถูกทำการ Demodulated นั่นเอง

ในปัจจุบัน ด้วยการพัฒนาทางด้านเซมิคอนดัคเตอร์ทำให้วงจร PLL ที่ซับซ้อนสามารถที่จะบรรจุอยู่ใน ไอ.ซี. เล็ก ๆ เพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่าย สะดวกและประหยัดหลายประการ

2.5.1 หลักการของ PLL

หลักการเบื้องต้นของ PLL ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน ดังบล็อกไดอะแกรมในรูปที่ Phase Detector, Low Pass Filter และ Voltage control Oscillator



รูปที่ 2.7 บล็อกไดอะแกรมของวงจร PLL

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์ และ VCO จะผลิตความถี่แบบที่เรียกว่า Freerunning เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่าน LPF เป็น Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อกหรือซิ้งค์ เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของ PLL มีคำที่มักเข้าใจสับสนกันบ่อย ๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกัน ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง PLL ยังสามารถล็อกกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของ PLL ลดลง

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่ PLL เริ่มล็อกกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดท์ของ LPF คือจะลดลงหากแบนด์วิดท์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.7 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL ดังรูป

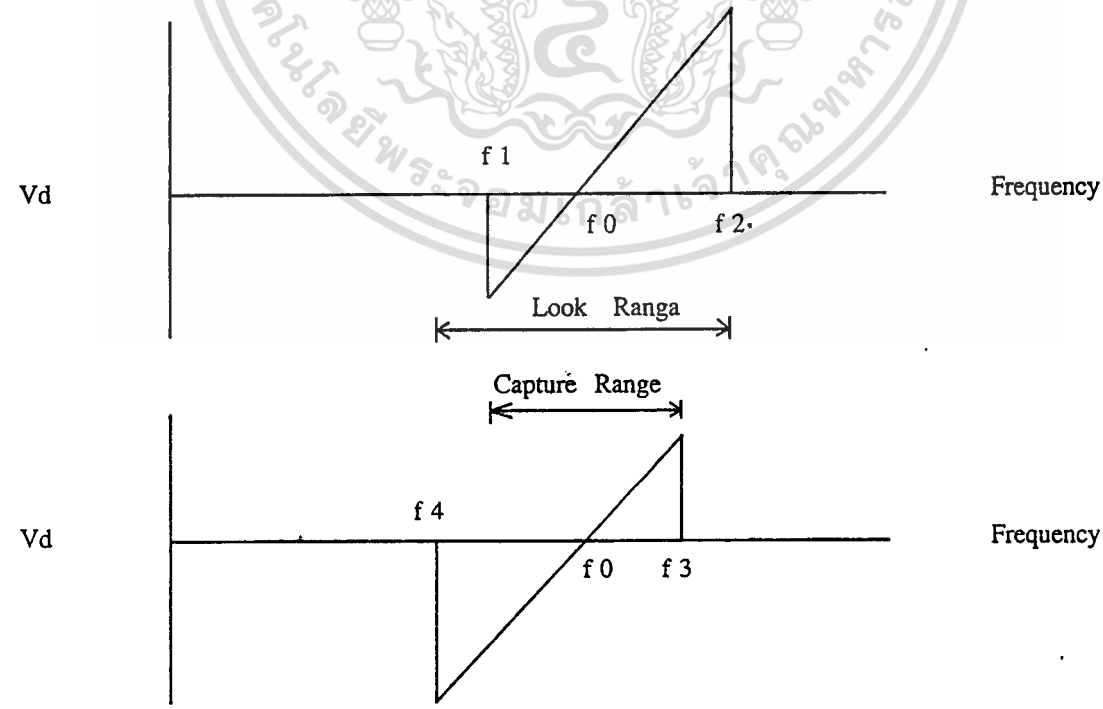
จากส่วนบนของรูปที่ 2.7 สมมติว่า สัญญาณที่เข้ามามีความถี่ค่อย ๆ เปลี่ยนไป จากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ PLL เริ่มล็อคกับ fs และ Vd มีค่าเป็นลบ เพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อย ๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อย ๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดการล็อกและ Vd เท่ากับศูนย์

ในทางกลับกัน ถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2 ส่วนล่าง PLL จะเริ่มล็อคเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อย ๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อกของ PLL และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 - f4

Canture Range = f3 + f1

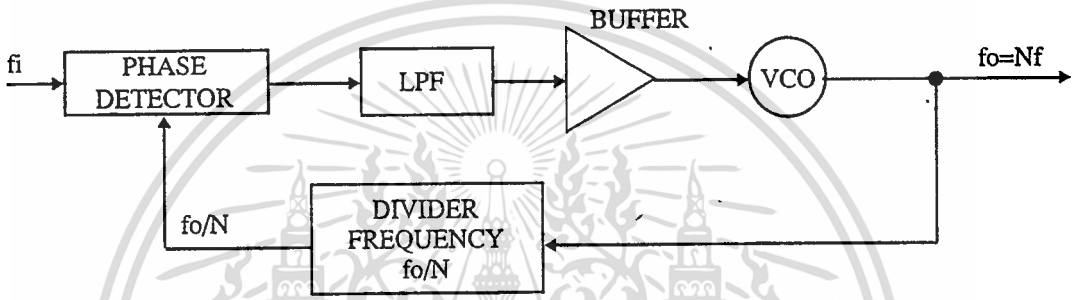


รูปที่ 2.8 คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การนำวงจรเฟสล็อกลูปไปใช้งาน

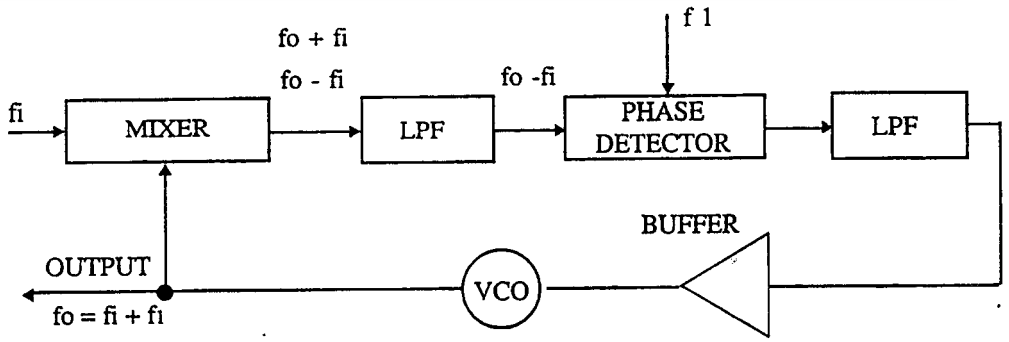
(ก) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจรเฟสล็อกลูปอีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ (Frequency synthesizer) วงจรนี้จะให้สัญญาณออกมีความถี่ซึ่งเลือกได้เป็นค่า ๆ ไป (Discrete) เช่น เลือกได้ระหว่าง 2.0 MHz ถึง 3.0 MHz เป็นขั้น ๆ (Steps) ขั้นละ 0.1 MHz เป็นต้น หลักการของวงจรก็คือ การคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ เช่น คูณความถี่มาตรฐาน 0.1 MHz ด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูปแสดงอยู่ในรูปที่ 2.9 จะเห็นได้ว่า การแทรกวงจรหาความถี่เข้าใน วงรอบจะเป็นการล็อกความถี่ f_o/N เข้ากับความถี่มาตรฐาน f_i ความถี่ของ VCO จะเท่ากับ $f_o = Nf_i$ ตามที่ต้องการ



รูปที่ 2.9 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

ในทำนองคล้ายคลึงกัน ถ้าสัญญาณออกของ VCO มีฮาร์โมนิกอยู่ด้วยมาก เราอาจปรับความถี่มาตรฐานขาเข้า f_i ให้ตรงกับฮาร์โมนิกที่ m ของสัญญาณจาก VCO นั่นคือ $f_i = mf_o$ สภาพการล็อกที่ฮาร์โมนิกเช่นนี้ จะทำให้ได้ความถี่หลักมูลของ VCO เท่ากับ $f_o = f_i/m$ วงจรเฟสล็อกลูปทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนความถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า f_i เป็น $f_i + f_1$ การใช้เทคนิคการผสม (Mixing) จะไม่ได้ผลนัก เพราะถ้า f_1 มีค่าเล็กการกรองเอาแต่ความถี่ $f_i + f_1$ ไว้โดยตัดความถี่ $f_i - f_1$ ออกไปจะทำได้ยาก จึงควรใช้วงจรเฟสล็อกลูป ดังในรูปที่ 2.10 ซึ่งจะทำให้ไม่มีปัญหาในการกรอง



รูปที่ 2.10 วงจรเลื่อนความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฟสล็อกลูปนี้นำสัญญาณออกจาก VCO มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง f0 - f1 ซึ่งจะนำไปเปรียบเทียบกับความถี่ fi

เมื่อเกิดการล็อกจะได้ $f_0 - f_i = f_i$ นั่นคือ $f_0 = f_i + f_i$ ความถี่ของ VCO จะเท่ากับความถี่มาตรฐานเลื่อนไป f_i

(ข) การเข้าจังหวะ (Synchronization) ระบบเฟสล็อกลูป อาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูง แต่เสถียรภาพความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำ ๆ แต่เสถียรภาพดี ก็ให้ได้ใช้วงจรแรกเป็น VCO และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของเฟสล็อกลูป เมื่อเกิดการล็อกแรงดันออกจาก VCO ก็จะมีระดับสูงและมีเสถียรภาพความถี่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ให้ผลึก การเข้าจังหวะอาจทำได้โดยการล็อกความถี่ของ VCO เข้ากับฮาร์โมนิกสูง ๆ ของสัญญาณเข้า การล็อกอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเพียงนิดเดียวจึงไม่มีปัญหาในการล็อกที่ฮาร์โมนิกสูง

หลักการเดียวกันนี้ อาจใช้ในการควบคุมความเร็วของมอเตอร์ได้ ในที่นี้ VCO ก็คือตัวมอเตอร์ซึ่งอาจใช้สวิตช์ไว้ใกล้ ๆ แกน เมื่อมอเตอร์หมุนหนึ่งรอบ สวิตช์ก็จะเปิด-ปิดครั้งหนึ่งหรือหลายครั้ง ทำให้ได้สัญญาณไฟฟ้าออกมามีความถี่เป็นจำนวนเต็มเท่าของความเร็วของมอเตอร์สัญญาณนี้จะนำไปเปรียบเทียบกับความถี่มาตรฐาน ซึ่งอาจได้จากการหารความถี่ของวงจรแกว่งที่ใช้ผลึกสัญญาณที่ได้ออกมา เมื่อผ่านการกรองและการขยายก็จะนำไปใช้ขับนำมอเตอร์ และควบคุมความเร็วของมัน เมื่อเกิดการล็อกความเร็วของมอเตอร์จะมีเสถียรภาพเท่ากับความถี่มาตรฐาน

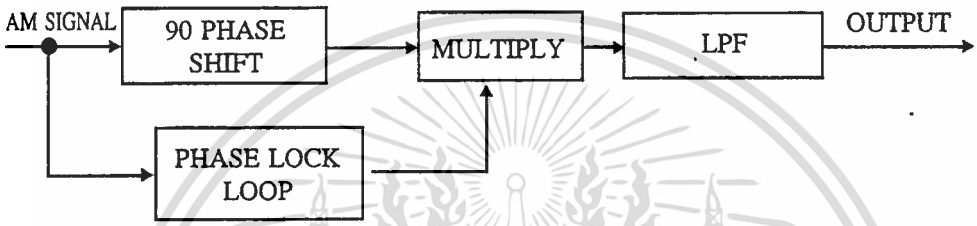
ในบางกรณี สัญญาณเข้าจังหวะมีลักษณะไม่ครบสมบูรณ์ คือขาดเป็นห้วง ๆ ที่ต้องการคือสร้างเสริมขึ้นใหม่ได้ครบรูป เช่น ให้เป็นสัญญาณสี่เหลี่ยมจัตุรัสที่บริบูรณ์ ในกรณีนี้อาจใช้ วงจรเฟสล็อกลูปได้โดยที่ VCO จะให้สัญญาณสี่เหลี่ยมจัตุรัสที่เข้าจังหวะกับสัญญาณที่ได้รับเป็นห้วง ๆ นั้น ในช่วงที่ไม่มีสัญญาณเข้า ยังพอมี "ความทรงจำ" และยังไม่ทันจะเปลี่ยนจากความถี่เดิม ก็มีสัญญาณมาเข้าจังหวะให้เป็นห้วง ๆ ไป ตัวอย่างดังกล่าวนี้จะพบได้ในการเข้าจังหวะสัญญาณของเครื่องรับโทรทัศน์สีในระบบเชิงเลข และในระบบโทรมาตรที่ใช้ PCM (Pulse Code Modulation)

(ค) การตรวจจับสัญญาณ (Detection) หรือวงจรเลือกความถี่ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่และต้องการเลือกเฟ้นเพียงความถี่เดียว ก็อาจทำได้โดยใช้วงจรเฟสล็อกลูป โดยปรับความถี่อิสระให้ตรงกับความถี่ที่ต้องการ และปรับแถบของวงรอบให้แคบ เพื่อว่าวงจรเฟสล็อกลูปจะได้ล็อกกับความถี่นั้นในกรณีนี้ สัญญาณของ VCO จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่น ๆ ที่สัญญาณเข้ามา กล่าวได้ว่า วงจรเฟสล็อกลูปทำหน้าที่เป็นตัวกรองเสียงรบกวนโดยกำเนิด เป็นสัญญาณขึ้นใหม่จากสัญญาณเล็ก ๆ ที่จมอยู่ในเสียงรบกวน

ซึ่งวงจรเฟสล็อกลูปทำหน้าที่คล้ายวงจรเลือกความถี่ ต่างกันที่ว่าสัญญาณออกจาก VCO แม้จะตรงตามสัญญาณเข้าในแง่ความถี่ แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูง เลยพิจารณาในแง่นี้จะเห็นว่า เมื่อใช้วงจรเฟสล็อกลูปสำหรับดีมอดูเลท สัญญาณเอฟเอ็มวงจรก็จะมีอำนาจเลือกสรรความถี่ในตัววงจรเฟสล็อคลูปนี้ อาจใช้ประกอบการดีมอดูเลทสัญญาณเอเอ็มได้อย่างมีคุณภาพ เป็นที่ทราบกันว่า ถ้ามีเสียงรบกวนผนวกกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอเอ็มมาก วิธีหนึ่งที่ใช้ได้ดีในการขจัดเสียงรบกวนคือ การตรวจจับแบบโคฮีเร้นต์ (Coherent detection) กล่าวคือ เอาสัญญาณเอเอ็มคูณกับสัญญาณอ้างอิง มีความถี่เดียวกันแต่ปราศจากเสียงรบกวน ผลคูณที่ได้จะประกอบด้วย ค่าไฟตรงที่เป็นปฏิภาคกับช่วงสูงของสัญญาณเข้า และองค์ประกอบความถี่สูงอื่น ๆ ซึ่งจะถูกขจัดโดยวงจรผ่านต่ำ เสียงรบกวนหรือสัญญาณแทรกที่ความถี่ไม่ตรงกับสัญญาณอ้างดิง จะไม่ให้ค่าไฟตรงจึงถูกวงจรผ่านต่ำกรองอากาศออกหมด ในการดีมอดูเลทเช่นนี้ วงจรเฟสล็อกลูปจะเป็นตัวกำเนิดสัญญาณอ้างอิง ซึ่งมีความถี่ตรงกับสัญญาณเอเอ็มและมีเสียงรบกวนปนอยู่น้อยมาก. แต่สัญญาณจะต่างมุมกับสัญญาณเอเอ็มอยู่ 90 องศา จึงจำเป็นต้องเพิ่มวงจรเลื่อนความถี่เข้าไปก่อนที่จะทำการตรวจกับแบบโคฮีเรนต์



รูปที่ 2.11 การตรวจสัญญาณเอเอ็มแบบโคฮีเรนต์โดยใช้วงจรเฟสล็อกลูป

2.5.3 ข้อดีและข้อเสียของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปมีข้อดีหลายประการสำหรับการใช้งานบางอย่าง ซึ่งไม่มีวงจรอื่นที่จะเทียบเท่าอย่างไรก็ดี ในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบแอลซี (LC) หรืออาร์ซี (RC) แทนได้ ข้อดีของวงจรเฟสล็อกลูปเมื่อเปรียบเทียบกับวงจรกรองในงานแบบอาร์ซี ได้แก่

1. ทำงานได้ดีที่ความถี่สูง วงจรประมวลเฟสล็อกลูปสามารถทำงานได้ที่ความถี่สูงกว่า 100 MHz ส่วนวงจรประมวลที่ต่อเป็นวงจรกรองในงานนั้นจะทำงานได้ถึงความถี่ประมาณ 100 MHz

2. อำนาจเลือกสรร (Selectivity) และความถี่ไม่ขึ้นต่อกัน กล่าวคือ ความถี่กลางกำหนดโดยความถี่อิสระของ VCO ส่วนอำนาจการเลือกสรร ขึ้นอยู่กับลักษณะของวงจรผ่านต่ำ จึงไม่มีปัญหาการเรียงคลื่น (Alignment) อย่างเช่น วงจรเลือกความถี่หลาย ๆ หน่วย

3. องค์ประกอบภายนอก วงจรประมวลผลมีน้อยหรือปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของ VCO กำหนดโดย C ตัวเดียวหรือ C กับ R ซึ่งจะปรับคลื่นได้ตั้งแต่ค่าต่ำกว่า kHz ถึง 100 MHz

อย่างไรก็ดี เมื่อเทียบกับวงจรกรอง LC หรือวงจรกรองในงานแล้ว วงจรเฟสล็อกลูปมีข้อเสียดังนี้

1. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูงวงจรเฟสล็อกลูปสนองตอบต่อความถี่เท่านั้นตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อก วงจรจะไม่สนองตอบต่อช่วงสูงของสัญญาณเข้า

2. สนองตอบต่อฮาร์โมนิก วงจรเฟสล็อกลูปตอบสนองต่อฮาร์โมนิกหรือฮาร์โมนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณไม่สู้ได้ผล นัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับของวงจรเฟสล็อกลูป เป็นแบบไม่เป็นเชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนด จึงเป็นเรื่องที่ยากมาก

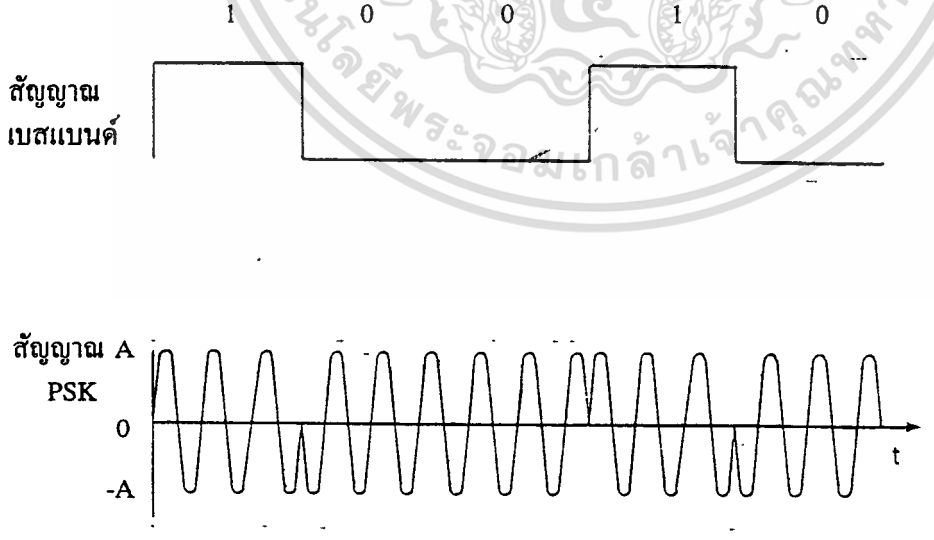
2.6 การมอดูเลทสัญญาณดิจิตอล

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟจำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลทสัญญาณดิจิตอลนี้มี 3 แบบด้วยกัน คือ

1. แอมปลิจูดชิฟคีย์อิ้ง (Amplitude Shift Keying : ASK)
2. ฟรีเควนซีชิฟคีย์อิ้ง (Frequency Shift Keying : FSK)
3. เฟสชิฟคีอิงค์ (Phase Shift Keying : PSK)

ในที่นี้เราจะกล่าวแต่เฉพาะกรณีของพีเอสเค (PSK) คือ แอมปลิจูดและความถี่จะคงที่แต่ อินนิเชียล (Initial phase) เฟสจะต่างกันสำหรับสัญญาณที่เป็น 1 หรือ 0 คือเฟสของคลื่นพาห์ $A\cos(2\pi f_c t + \sigma)$ จะเปลี่ยนไปตามสถานะของสัญญาณ เช่น เฟส σ เป็น 0 กรณีสัญญาณมีสถานะเป็น 1 และเฟส σ เป็น π กรณีสัญญาณมีสถานะเป็น 0 เรียกพีเอสเคแบบนี้ว่า ไบนารีเฟสชิฟคีอิงค์ (Binary Phase Shift Keying : BPSK) ซึ่งจะมีการเปลี่ยนแปลงเพียง 2 ระดับ

$$S(t) = \begin{cases} A\cos 2\pi f_c t & \text{กรณีสัญญาณเป็น } 1 \\ A\cos(2\pi f_c t + \sigma) & \text{กรณีสัญญาณเป็น } 0 \end{cases}$$



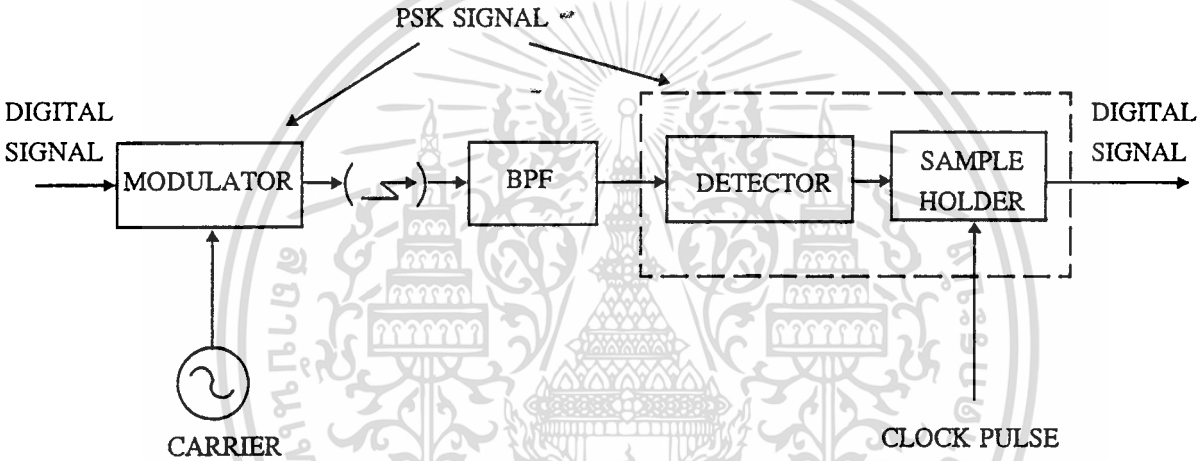
รูปที่ 2.12 ไบนารีเฟสชิฟคีอิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่สัญญาณมีการเปลี่ยนแปลง 4 ระดับ เรียกว่า ควอดเดรนเจอร์เฟสชิฟคีอิงค์ (Quadri Phase Shift Keying : QPSK) ซึ่งจะมีอัตราความเร็วในการส่งข้อมูลได้สูงกว่าไบนารีพีเอสเค โดยสามารถส่งไปพร้อมกันได้ครั้งละ 2 บิท และถ้าต้องการส่งสัญญาณไปครั้งละ 3 บิทพร้อม ๆ กัน ($2^3 = 8$) จะเรียกว่า 8-PSK ซึ่งจะยิ่งมีอัตราการส่งข้อมูลเร็วขึ้นอีก แต่จะทำให้คุณภาพของสัญญาณทางด้านรับต่ำลง แต่ในที่นี้จะใช้เฉพาะไบนารีพีเอสเค จึงอธิบายเรื่องไบนารีพีเอสเคเท่านั้น (ส่งครั้งละ 1 บิท)

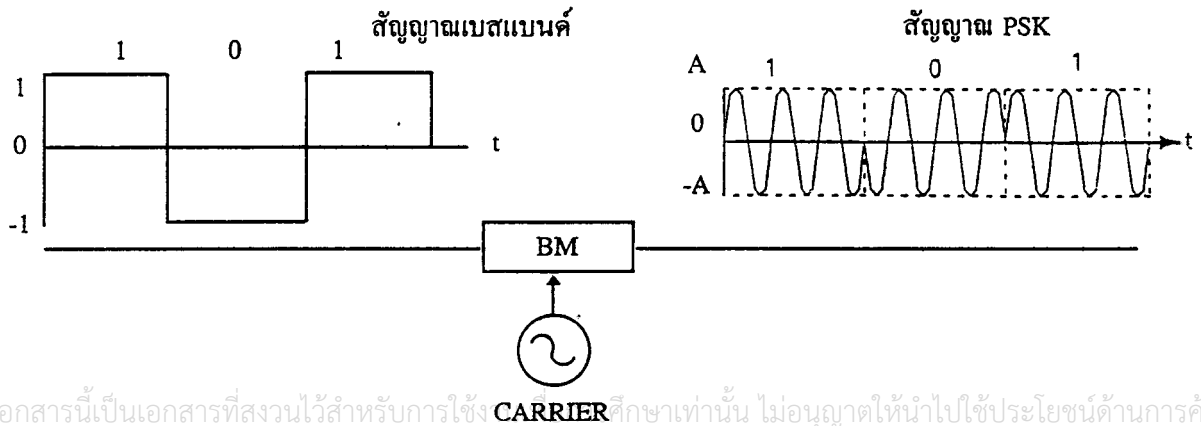
หลักการของไบนารีเฟสชิฟคีอิงค์มอดูเลเตอร์และดีมอดูเลเตอร์

ทางด้านส่ง มีมอดูเลเตอร์ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณพีเอสเค ทางด้านรับมีแบนด์พาสฟิลเตอร์ (Band Pass Filter) และดีมอดูเลเตอร์ ซึ่งจะเปลี่ยนสัญญาณพีเอสเคเป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลเตอร์ประกอบด้วย ดีเทคเตอร์และแซมเปิ้ลโฮลเดอร์ (Sample holder)



รูปที่ 2.13 การรับ - ส่งสัญญาณดิจิตอล

โดยทั่วไปแล้ว การมอดูเลทพีเอสเค จะใช้บาลานซ์มอดูเลเตอร์ (Balance modulator) สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยม มีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ $A\cos 2\pi f_c$ ผ่านวงจรบาลานซ์มอดูเลเตอร์ สัญญาณพีเอสเคที่ได้ แสดงดังในรูปที่ 2.14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.14 การมอดูเลทสัญญาณดิจิตอล

สัญญาณพีเอสเคสำหรับรหัส 1 จะเป็น

$$S(t) = 1 \times A\cos 2\pi f_c t = A\cos 2\pi f_c t$$

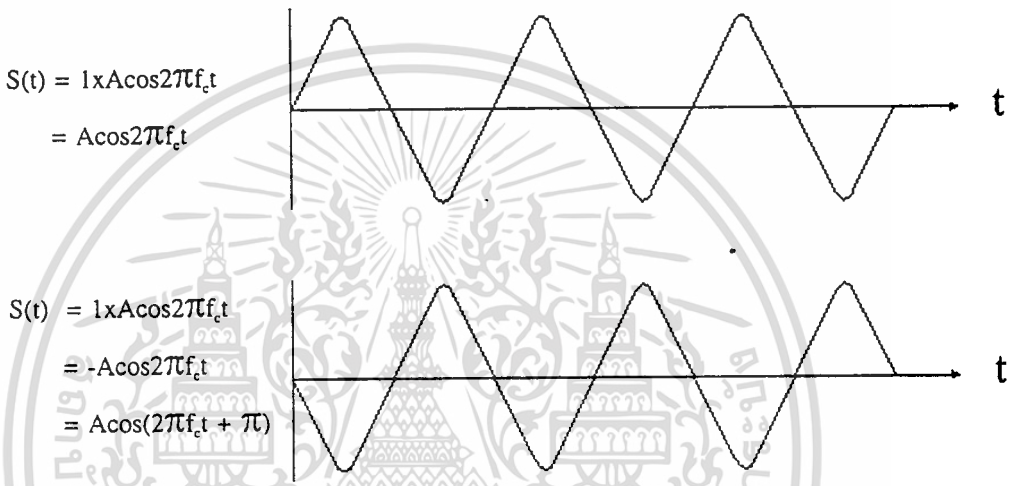
ส่วนสัญญาณพีเอสเคสำหรับรหัส 0 จะเป็น

$$S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$$

เราสามารถเขียน

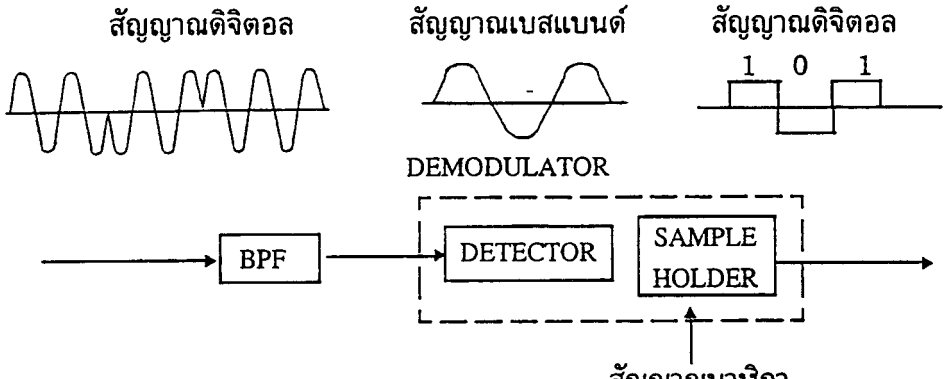
$$-A\cos 2\pi f_c t = -A\cos(2\pi f_c t + \pi)$$

ตามหลักการนี้แสดงว่า สำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัดเจน ดังในรูปที่ 2.15



รูปที่ 2.15 การเปลี่ยนแปลงทางเฟสของคลื่นพาห์

แบนด์พาสฟิลเตอร์ทางด้านรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วย จะถูกดีเทคออกมาที่ดี มอดูเลเตอร์ ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมา โดยตัดแคเรียร์คอมโปเน้นท์ ซึ่งรวมอยู่ในสัญญาณพีเอสเคออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้างโดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงรบกวนแซมเปิ้ลโฮลเดอร์ จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ ผ่านการพิจารณาโพลาริตี้ (Polarity) บวกหรือลบของสัญญาณเบสแบนด์

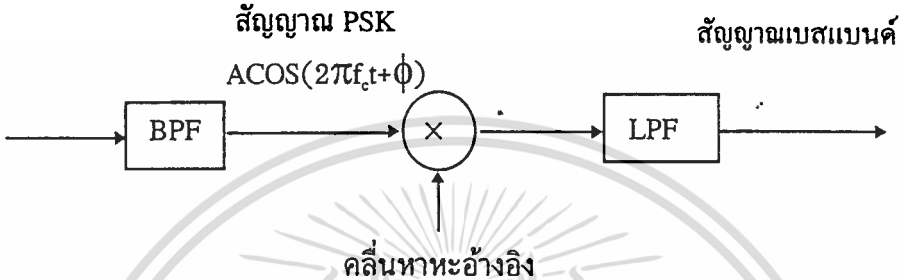


รูปที่ 2.16 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039095

2.6.1 โคฮีเร้นท์ดีเทคชั่น (Coherent detection)

การดีมอดูเลทสัญญาณพีเอสเคทางด้านรับ เป็นแบบโคฮีเร้นท์ดีเทคชั่น ซึ่งมีหลักการดังนี้สัญญาณพีเอสเคที่ได้รับขั้นแรก จะผ่านวงจรคูณ (Muliplier) ซึ่งจะคูณสัญญาณพีเอสเค ที่รับได้ด้วยคลื่นพาห์อ้างอิง (Reference carrier) สำหรับฮาร์โมนิก ซึ่งรวมอยู่ในสัญญาณเอ้าท์พุทจะถูดตัดออกไปโดยผ่านวงจรกรองความถี่ต่ำและได้สัญญาณเบสแบนด์ออกมาทางด้านทางออก ถ้าสัญญาณพีเอสเคที่รับเข้ามาคือ $A\cos(2\pi f_c t + \phi)$ คลื่นพาห์อ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่ง คือ $B\cos 2 f_c t$ สัญญาณทางออกหลังจากผ่านวงจรกรองความถี่ต่ำแล้ว สามารถกำหนดเป็น $(AB/2)\cos\phi$



รูปที่ 2.17 การรับสัญญาณพีเอสเค ทางด้านรับ

ทั้งนี้ เนื่องจาก

$$A\cos(2\pi f_c t + \phi)\ B\cos 2f_c t = (AB/2)\ \{\cos(2\pi f_c t + \phi + 2\pi f_c t) + \cos(2\pi f_c t + \phi - 2\pi f_c t)\}$$

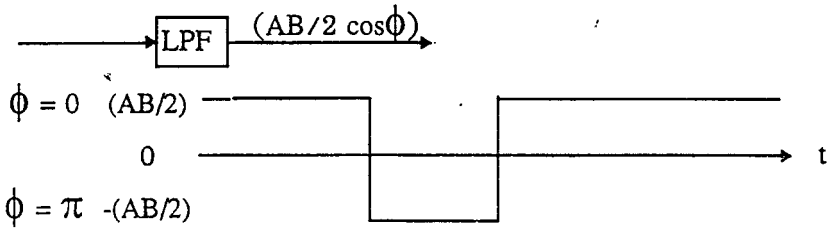
$$= (AB/2)\ \{\cos(4\pi f_c t + \phi) + \cos\phi\}$$

ซึ่ง $(AB/2)\{\cos(4\pi f_c t + \phi) + \cos\phi\}$ นี้คือฮาร์โมนิก โดยมีความถี่เป็น 2 เท่าของความถี่คลื่นพาห์เดิม ซึ่งจะถูกตัดออกไปเมื่อผ่านวงจรกรองความถี่ต่ำ ดังนั้นทางด้านทางออกจึงมีแต่เพียง $(AB/2)\cos\phi$ เท่านั้น

$(AB/2)\cos\phi$ นี้จะได้เป็น $(AB/2)$ เมื่อ $\phi = 0$ และจะได้เป็น $-AB/2$ เมื่อ $\phi = \pi$ ดังรูป 2.18

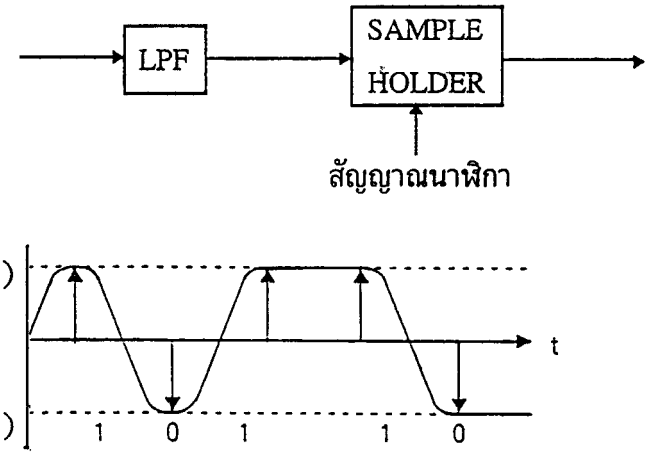
สัญญาณเอ้าท์พุทในรูปข้างบนในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของแบนด์ลิมิตเตอร์ (Band limitation) และเสียงรบกวน

ต่อจากนั้น สัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจรแซมเปิ้ลโฮลเดอร์ ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ ด้วยสัญญาณนาฬิกา (Clock pulse) ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือเป็น 0 โดยการตัดสินหรือพิจารณาจากขั้ว (polarity) ของสัญญาณแซมเปิ้ลนั้น แล้วทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ



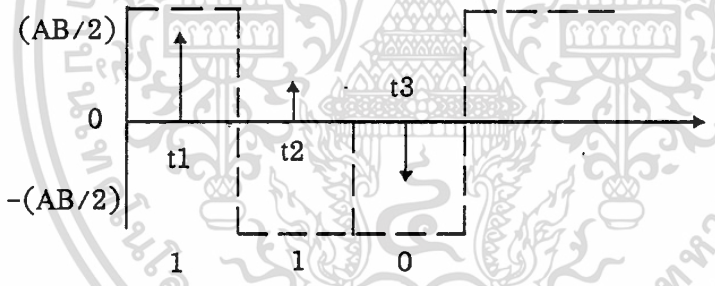
รูปที่ 2.18 สัญญาณเอ้าท์พุทหลังจากผ่านวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 การพิจารณารหัสเป็น 1 หรือ 0 โดยแซมเปิ้ลโฮลเดอร์ (Sample holder)

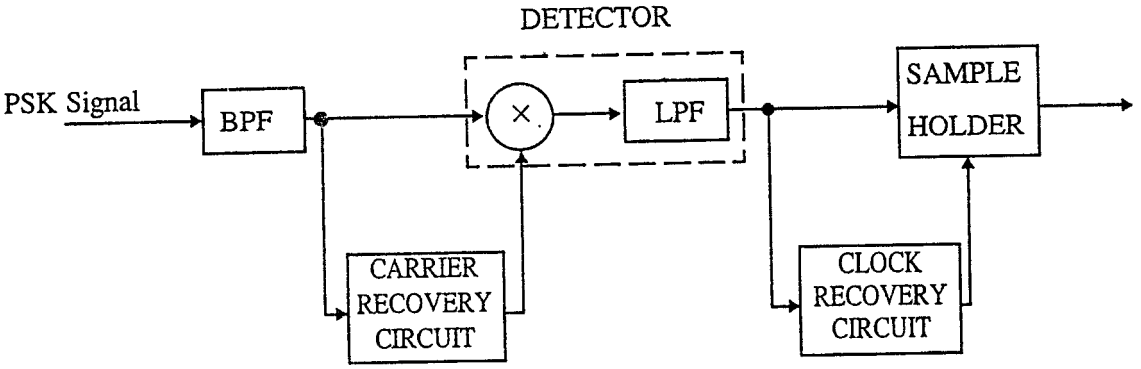
เมื่อสัญญาณมีการผิดเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย ขั้วของสัญญาณก็ไม่เปลี่ยนแปลง เช่นที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 ขั้วของสัญญาณถูกเปลี่ยนไปในทางตรงกันข้าม เนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิมอัตราการผิดพลาดของบิท (Bit error) ก็จะเกิดขึ้น



รูปที่ 2.20 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปต่อไปนี้เป็นบล็อคไดอะแกรมของโคฮีเร้นท์ดีเทคเตอร์ (Coherent detector) มีแบนด์พาสฟิลเตอร์, ดีเทคเตอร์, แซมเปิ้ลโฮลเดอร์, วงจรกู้สัญญาณคลื่นพาห์ (Carrier recovery circuit) และวงจรกู้สัญญาณนาฬิกา (Clock recovery circuit) วงจรกู้สัญญาณพาหะจะสร้างคลื่นพาห์อ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณพีเอสเคที่รับมาได้ ส่วนวงจรกู้สัญญาณนาฬิกา จะสร้างสัญญาณนาฬิกาขึ้นมาใหม่ เพื่อใช้สำหรับแซมเปิ้ลโฮลดิ้งในวิธีการโคฮีเร้นท์ ดีเทคชั่นนี้ทั้งคลื่นพาห์อ้างอิงและสัญญาณนาฬิกาจะถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเคที่รับเข้ามา

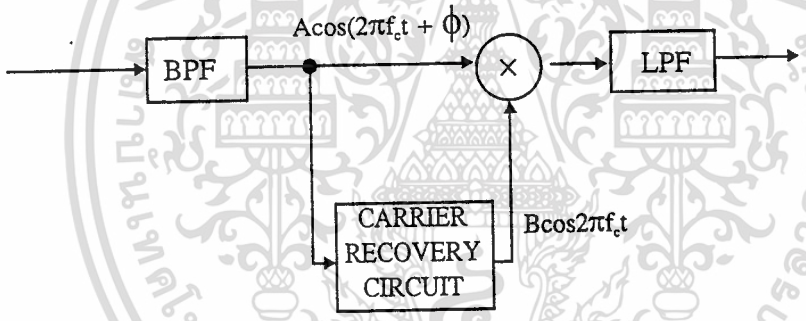
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



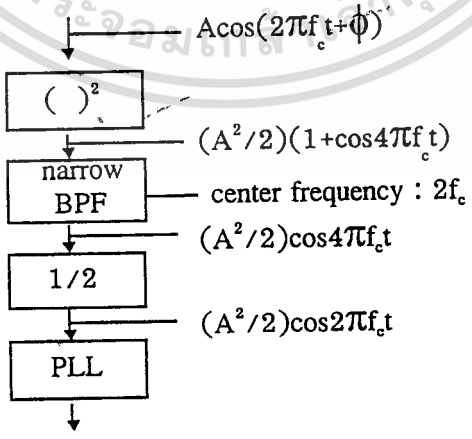
รูปที่ 2.21 บล็อคไดอะแกรมของโคฮีเร้นท์ดีเทคเตอร์

คลื่นพาห์อ้างอิงที่ใช้ในโคฮีเร้นท์ดีเทคชั่นนี้ เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่งเพื่อจุดประสงค์นี้คลื่นพาห์อ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณพีเอสเคที่รับเข้ามา สัญญาณอินพุทที่เข้าวงจรกู้สัญญาณพาหะสามารถกำหนดโดย $A\cos(2\pi f_c t + \phi)$ สัญญาณเอ้าท์พุทคือคลื่นพาห์อ้างอิง กำหนดโดย $B\cos 2f_c t$

วงจรกู้สัญญาณพาหะประกอบด้วยสแควร์ (Square), แนโรแบนด์พาสฟิลเตอร์ (Narrow Band Pass Filter) โดยมีความถี่กึ่งกลางที่ $2f_c$ วงจรหาร 2 ((1/2) frequency divider) และวงจรเฟสล็อกลูป



รูปที่ 2.22 หลักการของวงจรกู้สัญญาณพาหะ



Input : $A\cos(2\pi f_c t + \phi)$

output : $B\cos 2\pi f_c t$

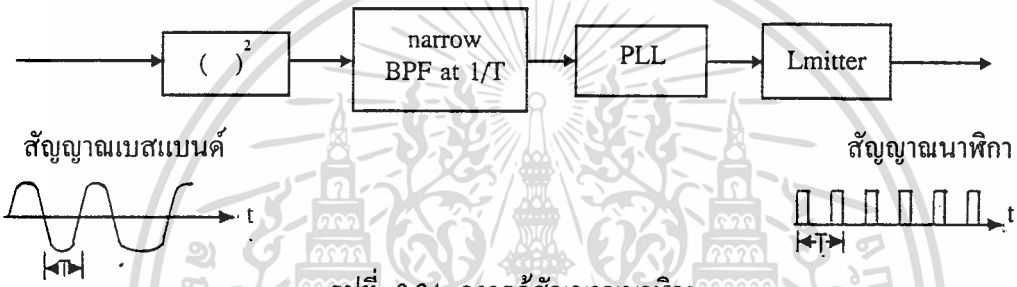
รูปที่ 2.23 วงจรกู้สัญญาณพาหะ และสัญญาณตามจุดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $((A^2/2)\cos 2\pi ct + \phi)$ ที่ออกจากวงจรหาร (divider) ปกติจะมีเสียงรบกวนรวม อยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาห์อ้างอิงปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจรเฟสล็อกลูปช่วย

สัญญาณนาฬิกาที่จำเป็นสำหรับแซมเปิ้ลโฮลเดอร์ ก็ถูกสร้างขึ้นใหม่จากสัญญาณพีเอสเคที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ ต้องใช้วงจรกู้สัญญาณนาฬิกา สัญญาณเบสแบนด์ที่ได้ที่เอ้าพุทของดีเทคเตอร์โดยทั่วไป จะใช้เป็นสัญญาณอินพุทให้กับวงจรกู้สัญญาณนาฬิกา

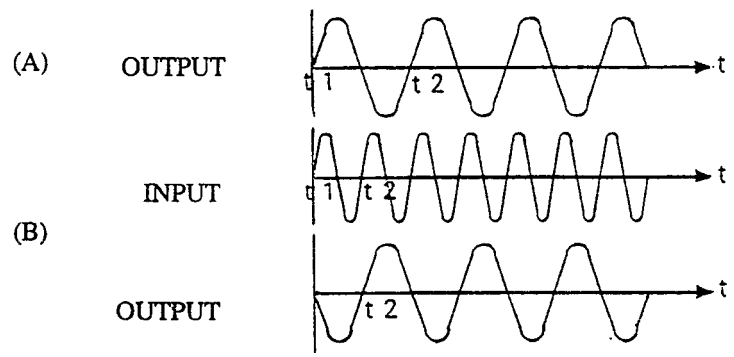
มีอยู่หลายวิธีในการสร้างสัญญาณนาฬิกาขึ้นใหม่ วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจรหนึ่งซึ่งประกอบด้วย สแคว, แนโรแบนด์พาสฟิลเตอร์, เฟสล็อกลูป และลิมิตเตอร์ สำหรับแนโรแบนด์ พลาสฟิลเตอร์ที่ใช้ในวงจรนี้มีความถี่กึ่งกลาง 1/T ซึ่ง T คือความกว้างของรหัสตัวหนึ่ง ๆ ดังนั้น 1/T คือความถี่ของสัญญาณนาฬิกาที่ได้โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับเอ้าท์พุทของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณนาฬิกาที่มีความถี่ 1/T



รูปที่ 2.24 วงจรกู้สัญญาณนาฬิกา

2.6.2 การผิดพลาดทางเฟส (phase ambiguity)

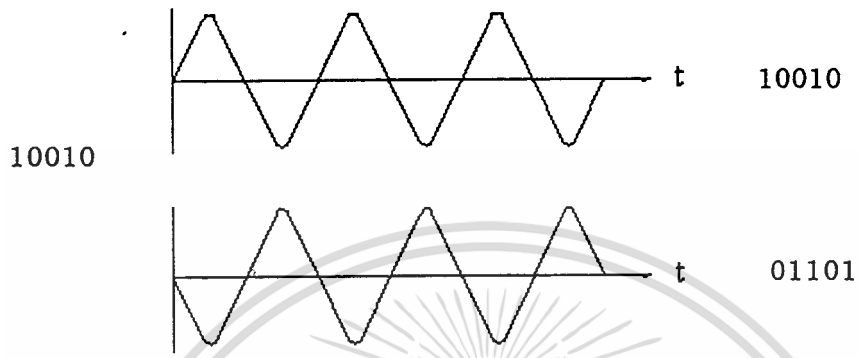
คลื่นพาห์อ้างอิงที่ใช้ในโคฮีเร้นท์ดีเทคชั่นมีความจำเป็นเพื่อล็อกเฟสกับคลื่นพาห์ทางด้านส่ง แต่อย่างไรก็ตาม ปกติแล้ว เป็นไปไม่ได้ที่จะทำให้คลื่นพาห์สองชนิดนี้ มีการล็อกเฟสซึ่งกันและกันอย่างสมบูรณ์ในไบนารีพีเอสเค ความต่างเฟสอาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาห์ทั้งสอง แต่เป็นไปไม่ได้ที่จะรู้ความแตกต่างเฟสนี้ที่ทางด้านรับความไม่สามารถที่จะดีเทค (detect) ความต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาห์อ้างอิงเกิดการกลับเฟส (out of phase) เท่ากับเครื่องหมายข้องบิทที่อยู่ในการดีมอดูเลทสัญญาณดิจิตอลจะเกิดการเปลี่ยนกลับจาก 1 เป็น 0 และจาก 0 เป็น 1



รูปที่ 2.25 เปรียบเทียบเอ้าท์พุท กรณี t1 และ t2 เป็นจุดเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

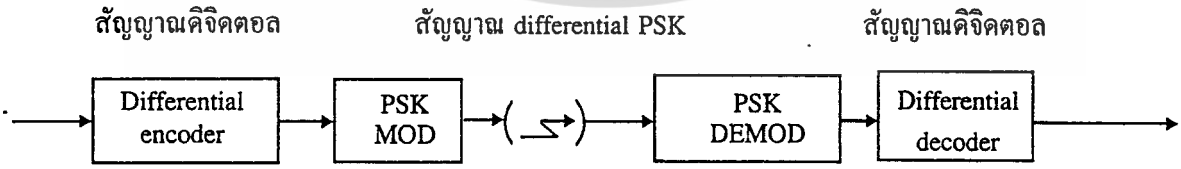
เนื่องจากรูปคลื่นเอ้าท์พุท 2 แบบสามารถทำให้เกิดขึ้นได้ที่เอ้าท์พุทของวงจรหารความถี่ ดังนั้นเราต้องมาพิจารณารูปคลื่นของพาห์อ้างอิง 2 แบบ แบบหนึ่งเฟสตรงกับคลื่นพาห์ทางด้านส่ง และอีกแบบหนึ่งต่างเฟส กับคลื่นพาห์ ตามปกติแล้วแบบใดแบบหนึ่งของคลื่นพาห์อ้างอิงใน 2 แบบนี้ใช้การดีมอดูเลทอยู่แล้ว อย่างไรก็ตาม ไม่มีกำหนดแน่นอนว่า แบบไหนที่ใช้สำหรับการดีมอดูเลท และดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอลที่ได้รับหลังจากผ่านดีมอดูเลทเป็นแบบปกติ หรือแบบกลับเฟส



รูปที่ 2.26 สัญญาณดิจิตอลหลังการดีมอดูเลท

วิธีการที่จะแก้ปัญหาการผิดพลาดทางเฟส คือ ใช้ดิฟเฟอเรนเชียลโคฮีเร้นท์พีเอสเค (Differential coherent PSK) หรือเรียกย่อ ๆ ว่า ดีซีพี พีเอสเค (DCP PSK) โดยวิธีการนี้ ข่าวสารในสัญญาณดิจิตอลที่ส่งจะถูกทำให้เฟสของสัญญาณพีเอสเคเปลี่ยนไป คือ ไม่ให้เป็นอินนิเชียลเฟสของสัญญาณพีเอสเค

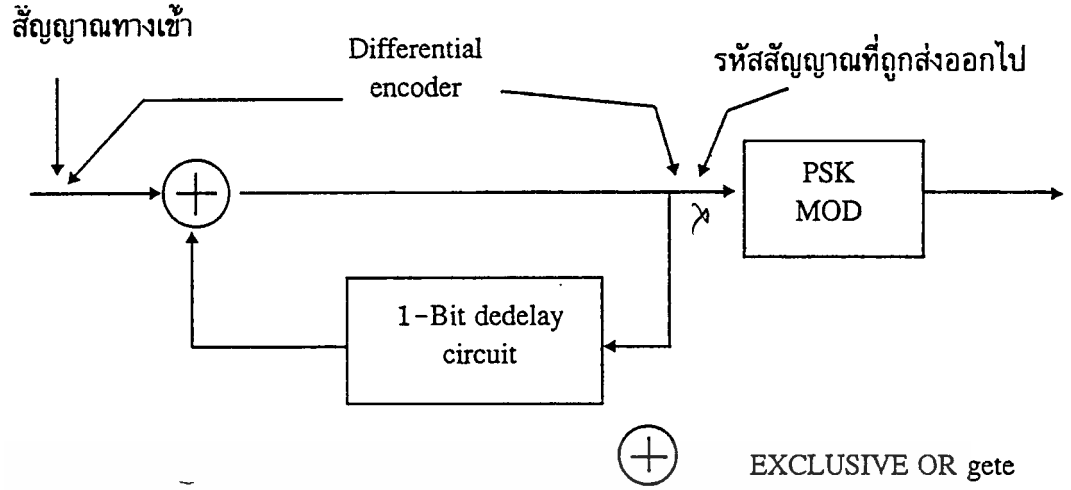
จากรูปสัญญาณดิจิตอลที่จะส่งทางด้านส่งจะถูกดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์(Differential encoder) ก่อนที่จะทำการมอดูเลทแบบพีเอสเค เพื่อจุดประสงค์นี้ ดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์จะอยู่ข้างหน้าวงจรพีเอสเค สำหรับทางด้านรับสัญญาณดิฟเฟอเรนเชียลพีเอสเค (Differential PSK) จะถูกดีมอดูเลทแบบโคฮีเร้นท์ดีมอดูเลท (Coherent demodulate) และป้อนเข้าวงจรดิฟเฟอเรนเชียลดีโค้ดเดอร์ (Differential decoder) เพื่อสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่



รูปที่ 2.27 ดิฟเฟอร์เรนเชียล โคฮีเร้นท์ พีเอสเค

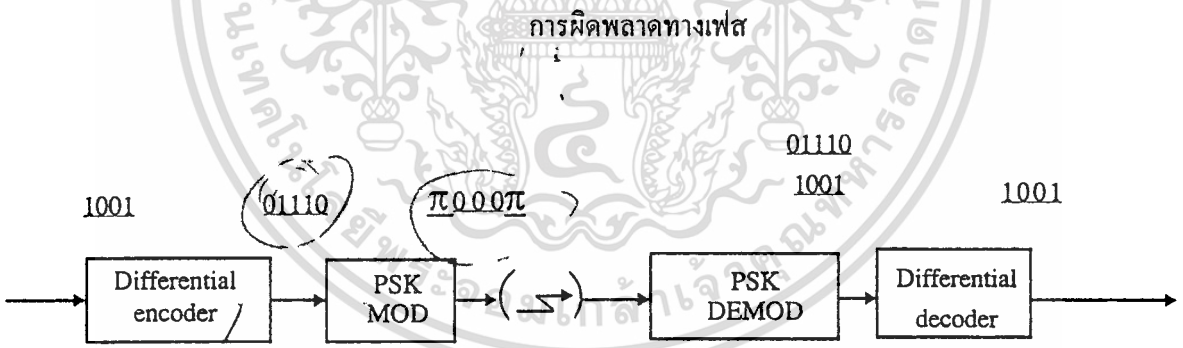
ดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์ที่ใช้ประกอบด้วย เอ็กซ์คลูซีฟออร์เกท(Exclusive-orgate) และวงจร 1 บิทดีเลย์ (One bit delay circuit) รหัสสัญญาณจะถูกส่งไปหนึ่งบิทก่อน และถูกบวกกับแต่ละบิท โดยเอ็กซ์คลูซีฟออร์เกทสร้างรหัสขึ้นมาใหม่ เพื่อจะส่งไป รหัสที่ส่งไปนี้ถูกผ่านพีเอสเค่มอดูเลเตอร์ และในเวลาเดียวกัน จะเข้าวงจร 1 บิทดีเลย์ (One-bit delay) อีกครั้ง เพื่อบวกกับสัญญาณดิจิตอลอินพุทตัวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 วงจรดิฟเฟอร์เรนเชียล เอ็นโค๊ดเดอร์

ลำดับสัญญาณดิฟเฟอเรนเชียล เอ็นโค๊ดเดอร์ คือ พีเอสเคมอดูเลท โดยการทำให้อินนิเชียลเฟส แทนรหัส 0 และอินนิเชียลเฟส 0 แทนรหัส 1 แล้วส่งออกไป ส่วนทางด้านรับสัญญาณดิฟเฟอเรนเชียล พีเอสเค ถูกดีเทคแบบโคฮีเร้นท์ (เพื่อสร้างสัญญาณจากดิจิตอลที่ส่งขึ้นมาใหม่ สัญญาณดิจิตอลที่ได้โดยผ่าน ambiguity) อย่างไรก็ตาม ในดิฟเฟอร์เรนเชี่ยลโคฮีเร้นท์ พีเอสเคลำดับของสัญญาณที่ได้รับหลังจากการ ดิฟเฟอเรนเชียลดีโค้ดดิ้งจะซิ้งค์กับลำดับสัญญาณดั้งเดิมเสมอโดยไม่มีผลจากความผิดพลาดทางเฟส

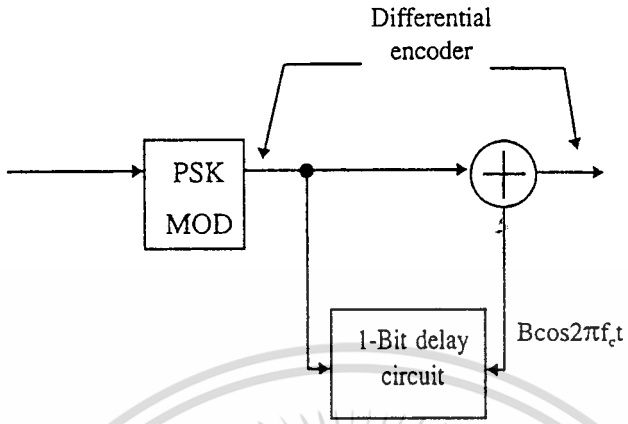


รูปที่ 2.29 รหัสสัญญาณ ณ ตำแหน่งต่าง ๆ

ดิฟเฟอเรนเชียลดีโค๊ดเดอร์ (ประกอบด้วยวงจร 1 บิทดีเลย์และเอ็กซ์คลูซีฟออร์) สัญญาณดิจิตอลที่ถูกดีมอดูเลทผ่านขบวนการโคฮีเร้นท์ดีเทคเตอร์ ถูกป้อนเข้าเอ็กซ์คลูซีฟออร์เกท และในขณะเดียวกันก็ป้อนเข้าวงจร 1 บิทดีเลย์ในเอ็กซ์คลูซีฟออร์เกต (สัญญาณดิจิตอลอินพุทและสัญญาณเอาท์พุทของวงจร 1 บิทดีเลย์ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิทข้างเคียงในลำดับสัญญาณ ดิจิตอลที่ได้ดีมอดูเลท โดยเอ็กซ์คลูซีฟออร์เกท การเปลี่ยนแปลงในทุกๆ 2 บิทข้างเคียงจะถูกตรวจสอบตลอดเวลา ดิฟเฟอเรนเชียลดีโค้ดเดอร์ (ประกอบด้วยวงจร 1 บิทดีเลย์และเอ็กคลูซีฟออร์ สัญญาณดิจิตอลที่ถูกดีมอดูเลทผ่านขบวนการโคฮีเร้นท์ดีเทคเตอร์ถูกป้อนเข้าเอ็กคลูซีฟออร์เกท และในขณะเดียวกันก็ป้อนเข้าวงจร 1 บิทดีเลย์ในเอ็กคลูซีฟออร์เกท (สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลอินพุทและสัญญาณเอ้าท์พุทของวงจร 1 บิทดีเลย์ ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิทข้างเคียงในลำดับสัญญาณดิจิตอลที่ได้ดีมอดูเลท โดยเอ็กซ์คลูซีฟออร์ การเปลี่ยนแปลงในทุก ๆ 2 บิทข้างเคียงจะถูกตรวจสอบเวลา



รูปที่ 2.30 ดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 ทฤษฎีการเขียนโปรแกรม MATLAB

ในการคำนวณเพื่อแก้ไขปัญหาด้านวิศวกรรมและวิทยาศาสตร์นั้น ความง่าย และความรวดเร็วเป็นสิ่งจำเป็นอย่างยิ่ง มีภาษาทางคอมพิวเตอร์หลายตัวที่ถูกสร้างมา เพื่อเป็นเครื่องช่วยในการแก้ไขปัยหาต่างๆ เหล่านั้น เช่น ภาษา FORTRAN หรือภาษา C แต่ภาษาเหล่านี้ จัดเป็นภาษาคอมพิวเตอร์ชั้นสูง (High-level Language) ค่อนข้างจะยุ่งยากซับซ้อน เนื่องจากต้องใช้คำสั่งมากมาย และต้องมีรูปแบบของคำสั่งที่แน่นอน

สำหรับโปรแกรม MATLAB ซึ่งกำลังจะได้ศึกษาต่อไปนี้ ย่อมาจาก Matrix Laboratory ซึ่งในอดีตโปรแกรม MATLAB เป็นโปรแกรมที่ถูกสร้างขึ้นมาเพื่อช่วยคำนวณเฉพาะในส่วนที่เกี่ยวข้องกับเมตริกซ์เท่านั้น

แต่ในปัจจุบันโปรแกรม MATLAB ได้ถูกพัฒนาขึ้นโดยต่างจากโปรแกรม MATLAB ในตอนเริ่มต้นอย่างสิ้นเชิง ซอฟต์แวร์ของ MATLAB ได้ถูกพัฒนาขึ้นเพื่อจุดมุ่งหมายสำหรับใช้ในการแก้ปัญหาทางวิศวกรรมและวิทยาศาสตร์ทั่วๆ ไป ซึ่งทำให้การเขียนโปรแกรมคอมพิวเตอร์สำหรับแก้ไขปัญหาต่างๆ ง่าย และไม่ซับซ้อนเหมือนกับการเขียนด้วยภาษาชั้นสูงของคอมพิวเตอร์ทั่วๆ ไป

ซอฟต์แวร์ของ MATLAB มีอยู่หลาย Version ที่ใช้สำหรับหนังสือเล่มนี้เป็นของ Professional Version ซึ่งเป็น Version ที่ทำงานบนโปรแกรม Windows ** ซึ่งพื้นฐานการทำงานจะเหมือนกับ Version Student เกือบทุกประการ แต่ใน Vesion Student จะถูกจำกัดที่ขนาดของเวกเตอร์หรือเมตริกซ์ จะมีขนาดไม่เกิน 1024 ตัว ไม่สามารถทำกราฟฟิกไฟล์ได้ และทำงานบน DOS เท่านั้น

คำสั่งพื้นฐานทั่วไป

โปรแกรม MATLAB ต้องการใช้ 2 หน้าต่าง

1. หน้าต่างคำสั่ง (Command Windows)
2. หน้าต่างกราฟ (Graphics Windows)

หน้าต่างคำสั่งเป็นหน้าต่างแรกที่พบ เมื่อเปิดโปรแกรม MATLAB การป้อนคำสั่งต่างๆ จะป้อนลงในหน้าต่างนี้ เพื่อทำการคำนวณและประมวลผลต่างๆ และเป็นหน้าต่างที่ใช้แสดงผลที่ได้จากการประมาลผลต่างๆ ยกเว้นรูปกราฟซึ่งจะแยกไปแสดงผลในหน้าต่างกราฟ

ในการป้อนคำสั่งสำหรับการประมวลผลของโปรแกรม MATLAB สามารถป้อนได้ 2 วิธีด้วยกัน คือ หนึ่งเป็นการป้อนคำสั่ง หรือค่าตัวแปรต่างๆ บนหน้าต่างคำสั่งทีละคำสั่งตามขั้นตอน ของการแก้ปัญหาหรือสองเป็นการกำหนดค่าตัวแปรต่างๆ และชุดคำสั่งต่างๆ ที่ใช้ทำการประมาลผลตามขั้นตอนของการคำนวณเพื่อแก้ปัญหาลงในไฟล์ ซึ่งจะต้องเก็บไว้ด้วยนามสกุล .m โดยที่จะเรียกชุดตัวแปรและชุดคำสั่งทั้งหมดที่เขียนในลักษณะนี้ว่า โปรแกรม M-file***

เมื่อเริ่มต้นเข้าสู่โปรแกรม MATLAB เราจะพบเครื่องหมาย MATLAB Prompt (>>) ซึ่งหมายความว่าโปรแกรม MATLAB พร้อมที่จะรับคำสั่งต่างๆ สำหรับคำสั่งที่จะออกจากโปรแกรม MATLAB จะใช้คำสั่ง quit หรือ exit และก่อนที่จะออกจากโปรแกรม ถ้าต้องการเก็บตัวแปรต่างๆ ที่ได้กำหนดค่าไปแล้ว เราสามารถใช้คำสั่ง

SAVE ซึ่งการใช้คำสั่งนี้จะเป็นการเก็บตัวแปรต่างๆ ที่ได้ กำหนดไว้แล้วในหน้าต่างคำสั่งไว้ในไฟล์ที่ชื่อ Matlab.bat และเมื่อเรากลับมาใช้โปรแกรมอีกครั้ง เราสามารถเรียกตัวแปรต่างๆ ที่เก็บไว้มาทำการประมาลผลต่อได้ด้วยการใช้คำสั่ง load

สำหรับผู้ที่ใช้โปรแกรมคำสั่ง MATLAB ครั้งแรก โปรแกรม MATLAB มีคำสั่งซึ่งช่วยดูลักษณะการใช้งาน และความสามารถในการทำงานของโปรแกรม MATLAB และคำสั่ง computer ซึ่งจะแสดงชนิดของเครื่อง Computer ที่เรากำลังใช้งานอยู่ในขณะนั้น นอกจากนี้ ยังมีคำสั่ง help ซึ่งจะอธิบายการใช้คำสั่งต่างๆ รวมถึงรูปแบบคำสั่งที่มีใช้ในโปรแกรม MATLAB

นอกจากนี้ M-file ยังสามารถใช้ในการสร้างฟังก์ชันของ MATLAB ที่เหมาะสมเฉพาะงานขึ้นมาใช้ได้อีกต่างหาก รายละเอียดในการสร้างฟังก์ชันนี้จะมีการศึกษาในบทต่อๆ ไป

คำสั่งต่อไปจะเป็นคำสั่งสำหรับตรวจสอบเกี่ยวกับ M-file โดยถ้าต้องการตรวจสอบว่าใน Directory ที่เรากำลังทำงานอยู่นั้นมีโปรแกรม M-file ใดๆ อยู่บ้าง ก็สามารถตรวจสอบได้โดยใช้คำสั่ง type ซึ่งคำสั่ง type นี้จะต้องถูกพิมพ์ตามด้วยชื่อไฟล์ที่ต้องการดูรายละเอียด ซึ่งในกรณีนี้ถ้าเรากำหนดชื่อไฟล์ โดยไม่มีนามสกุล โปรแกรม MATLAB จะต้องให้ไฟล์ที่ตามหลังคำสั่ง type นี้ เป็นไฟล์มีนามสกุล . m โดยอัตโนมัติ

เมื่อเริ่มต้นใช้โปรแกรม MATLAB เพื่อทำการประมวลผลหน้าต่างคำสั่ง สำหรับโปรแกรม MATLAB มีค่าตัวแปรต่างๆ และค่าของการประมวลผลต่างๆ แสดงอยู่ส่วนในหน้าต่างกราฟ อาจจะมีรูปกราฟแสดงอยู่ในกรณีที่เราได้มีการใช้คำสั่งวาดกราฟ ถ้าต้องการลบหน้าต่างคำสั่งหรือหน้าต่างกราฟ ให้กลับไปยังจุดเริ่มต้น เมื่อเปิดเครื่องใหม่จะมีคำสั่งที่เกี่ยวข้อง 3 คำสั่ง คือ clc (Clear Command Windows) เป็นคำสั่งสำหรับลบค่าต่างๆ ที่แสดงในหน้าต่างคำสั่งและให้ MATLAB Prompt (>>) ไปอยู่ยังตำแหน่งบนสุดของหน้าต่างคำสั่ง แต่คำสั่งนี้ค่าตัวแปรที่ได้กำหนดไว้จะต้องใช้คำสั่ง Clear ส่วนคำสั่งที่ใช้สำหรับลบภาพกราฟในหน้าต่างกราฟ คือ clg (Clear Graphics Windows)

โปรแกรม MATLAB เป็นโปรแกรมที่พัฒนามาจากโปรแกรมที่เกี่ยวข้องกับ Matrix ซึ่งในส่วนที่เกี่ยวข้องกับ Matrix นั้น ส่วนหนึ่งคือการใช้ตัวอักษรตัวใหญ่หรือตัวเล็ก เช่น การใช้ตัวอักษรใหญ่จะหมายถึงเมตริกซ์ ส่วนอักษรตัวเล็กมักจะหมายถึงค่าในเมตริกซ์ โปรแกรม MATLAB ได้มีการนำความแตกต่างของตัวอักษรนี้มาใช้ในการกำหนดค่าตัวแปรต่างๆ นั่นคือ ตัวแปรที่เป็นอักษรตัวพิมพ์กับตัวอักษรตัวเขียนนั้น โปรแกรม MATLAB จะถือว่าไม่ได้เป็นตัวแปรเดียวกัน กรณีที่เราต้องการให้โปรแกรมเข้าใจว่าตัวแปรที่กำหนดด้วยตัวอักษรตัวพิมพ์ กับตัวแปรที่กำหนดด้วยตัวอักษรตัวเขียนเป็นตัวแปรตัวเดียวกัน เราต้องใช้คำสั่ง casesen off (Casesensitive off) และถ้าต้องการลบให้เครื่องแยกความแตกต่างของตัวอักษรอีก ให้ใช้คำสั่ง casesen (Casesensitive) ซึ่งโดยปกติค่าที่ตั้ง เมื่อเริ่มเปิดโปรแกรมจะเป็นคำสั่ง casesen

ในบางครั้ง เมื่อมีการกำหนดค่าตัวแปรต่าง ๆ หรือเมตริกซ์ อาจจำเป็นต้องมีการตรวจสอบค่าหรือขนาดของตัวแปร และเมตริกซ์ใดๆ โปรแกรม MATLAB ได้สร้างคำสั่งเพื่อสะดวกในการตรวจสอบตัวแปรและเมตริกซ์ต่างๆ เหล่านี้ไว้หลายคำสั่ง โดยคำสั่ง WHO จะเป็นการสั่งให้โปรแกรมแสดงค่าตัวแปรและเมตริกซ์ต่างๆ ที่ได้กำหนดไว้แล้ว คำสั่ง whos จะแสดงค่าตัวแปรตามด้วย ขนาดของตัวแปรนั้น ๆ ซึ่งคำสั่ง Who และ Whos นี้จะแสดงค่าตัว

แปร ans ด้วยในกรณีที่มีการใช้ตัวแปรตัวนี้ ตัวแปรที่ชื่อ ans นี้จะเป็นตัวแปรซึ่งคราวที่เครื่องกำหนดให้ ในกรณีที่เราต้องการประมวลผลและไม่ได้กำหนดให้ผลลัพธ์เป็นค่าตัวแปรใด ๆ

ยังมีอีกหนึ่งคำสั่งสำหรับการตรวจสอบขนาดของตัวแปรใดๆ คือคำสั่ง size ซึ่งมีรูปแบบของคำสั่ง คือ size (A) โดย A เป็นค่าตัวแปรใด ๆ ที่เป็นขนาดของตัวแปร A

สัญลักษณ์หนึ่งตัวที่ใช้บ่อยในโปรแกรม MATLAB คือ % สัญลักษณ์ % เมื่อเป็นตัวแรกของคำสั่งหรือข้อความใดๆ จะเป็น เครื่องหมายที่บอกให้เครื่องทราบว่าไม่ต้องทำการประมวลผลใดๆ ต่อคำสั่ง หรือข้อความที่อยู่หลังเครื่องหมายนี้ วัตถุประสงค์ของการใช้เครื่องหมายนี้ก็เพื่อเป็นการเขียนคำอธิบายโปรแกรมในคำสั่ง ของบรรทัดต่อ ๆ ไปที่เราได้เขียนไว้ ดังนี้ เป็นการเตือนความจำของเราเองถึงขั้นตอนการทำงายของ โปรแกรม หรือผู้ที่จะนำโปรแกรมไปใช้ให้เข้าใจถึงตัวโปรแกรมที่เราเขียนขึ้น

การใช้ MATLAB เพื่อพลอดกราฟ

การใช้กราฟจำเป็นอย่างยิ่งในการแสดงและประเมินผลจากข้อมูลที่ได้รวบรวมมา ซึ่งรูปแบบในการนำเสนอมีหลายรูปหลายลักษณะ ได้ศึกษามีรายละเอียดดังนี้คือ

- กราฟ X-Y
- กราฟเชิงขั้ว (Polar)
- กราฟแท่งและกราฟขั้นบันได
- กราฟ 3 มิติ (3D)
- กราฟเส้นโครงร่าง (Contour)

กราฟ X-Y

มีคำสั่งในการใช้งานดังนี้

title (‘text)	คำสั่งนี้ใช้เขียนหัวข้อของกราฟ
xlabel (‘text)	คำสั่งนี้ใช้เขียนข้อความไว้ใต้แกน x
ylabel (‘text)	คำสั่งนี้ใช้เขียนข้อความไว้ใต้แกน y
text (x,y,‘text)	คำสั่งนี้ใช้เขียนข้อความไว้ ณ จุด (x,y,) ที่ต้องการ
text (x,y,’text, ‘sc’)	คำสั่งนี้ใช้เขียนข้อความไว้ ณ จุด (x,y,) ที่ต้องการ โดยมี จุด (0,0) อยู่ด้านล้างซ้าย และจุด (1,1) อยู่ด้านบนขวา
gtext (‘text’)	คำสั่งนี้ใช้เขียนข้อความไว้ ณ จัดที่ใช้เมาส์ชี้หรือใช้ลูกศรชี้
grid	คำสั่งนี้จะเพิ่มเส้นกริดให้กับกราฟ
plot (x,y)	คำสั่งนี้ใช้เพื่อพลอตค่า x และ y ลงบนกราฟ
semilogx (x,y)	คำสั่งนี้ใช้เพื่อพลอตค่า x และ y ลงบนกราฟ โดยใช้ สเกลแบบลอกการิทึมในแกน x และสเกลแบบธรรมดาใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกน y

semilogy (x,y) คำสั่งนี้ใช้เพื่อพลอตค่า x และ y ลงบนกราฟ โดยใช้สเกลแบบลอกการิทึมในแกน y และสเกลแบบธรรมดาในแกน x

loglog (x,y) คำสั่งนี้ใช้เพื่อพลอตค่า x และ y ลงบนกราฟ โดยใช้ สเกลแบบลอกการิทึมในแกน x และ แกน y

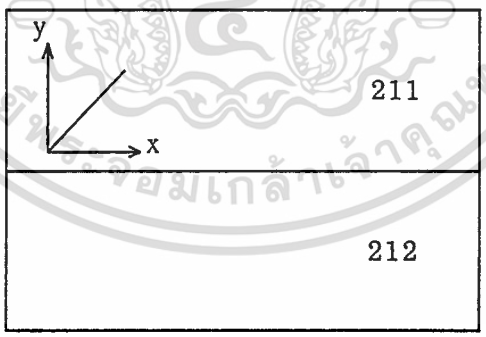
ข้อสังเกตุ ควรใช้เครื่องหมาย '...' ต่อหลังคำสั่ง เพื่อความต่อเนื่องก่อนที่ MATLAB จะทำการพลอตกราฟ

การแบ่ง Window

ใช้คำสั่ง 'subplot' สามารถแบ่ง windows ให้ย่อยลงไปได้เป็นหลาย ๆ Subwindow มีรูปแบบของคำสั่งคือ ***subplot (mmp)*** โดยที่ค่า m และ n จะเป็นตัวบอกถึง Graph Window จะถูกแบ่งเป็น Subwindow โดยมีเส้นกริดขนาด m x n และ p จะเป็นตัวบอกถึงว่ากราฟรูปปัจจุบันว่าอยู่ใน subwindow ไหน โดยเริ่มนับจากซ้ายไปขวาและจากบนลงล่าง เช่น

subplot (211), plot (X,Y)

จะแบ่ง Graph Window เป็น 2 ส่วน ตามแนวนอนและ 1 ส่วนตามแนวตั้งและกราฟรูปปัจจุบันจะอยู่ที่ส่วนที่ 1 นั่นคือข้างบน



การแบ่งสเกล

ถึงแม้ว่า MATLAB จะแบ่งสเกลให้กราฟที่พลอตอย่างอัตโนมัติ แต่บางครั้งถ้าต้องการเปรียบเทียบกราฟหลายเส้น จะเป็นการยากที่จะเปรียบเทียบกัน ถ้าสเกลของแกนไม่เหมือนกัน MATLAB จึงมีคำสั่งช่วยดังนี้

axis คำสั่งนี้จะทำให้กราฟที่จะพลอตตามมาใช้ค่าของสเกลที่ใช้อยู่ตอนนี้คงอยู่ แต่ถ้ากระทำคำสั่งนี้อีกครั้งจะกลับสู่สเกลอัตโนมัติ

axis (v) เป็นการกำหนดค่าของแกนโดย V = [Xmin, Xmax,Ymin,Ymax] คือ กำหนดค่าเริ่มต้นของแกน x ค่าสุดท้ายของแกน x ค่าเริ่มต้นของแกน y และค่าสุดท้ายของแกน y ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

axis ('square') axis ('normal') คำสั่งนี้ใช้เพื่อกำหนด Aspect Ratio ซึ่งสามารถให้เป็น 'square' หรือ 'normal'

Fast Fourier Transform

จุดมุ่งหมายของ fft ก็เพื่อลดเวลาการคำนวณของคอมพิวเตอร์ลง โดยใช้ข้อดีของการคำนวณสัมประสิทธิ์ของ DFT ที่สามารถกระทำได้ในลักษณะซ้ำ (Iterative Manner) ดังนั้น จึงช่วยลดเวลาในการคำนวณ วิธีการของ fft คือ การจัดแบ่งแล้วทำการคำนวณ (Divide and Conquer) และจะให้คำนวนข้อมูล N เป็นค่า 2 ยกกำลัง M(N-2M) โดย M เป็นจำนวนเต็มบวก

ถ้าเปรียบเทียบการคำนวณ DFT จะมี

การคูณจำนวนเชิงซ้อน = N^2 ครั้ง หรือความซับซ้อน = $0(N^2)$

การบวกจำนวนเชิงซ้อน = N(N-1) ครั้ง หรือความซับซ้อน = 0(N(N-1))

ในขณะที่การคำนวณแบบ fft จะมี

การคูณจำนวนเชิงซ้อน = N ครั้ง หรือความซับซ้อน = 0(Nlog2(N))

การบวกจำนวนเชิงซ้อน = $N\log_2 N$ ครั้ง หรือความซับซ้อน = $0(N\log_2 N)$

** ที่มาแลรายละเอียดของ fft สามารถดูได้จากตำราด้าน Signal Processing

ดังนั้นจะเห็นได้ว่า การใช้ fft จะลดการคำนวณลงไปได้เป็น Factor $\frac{\log_2 N}{N}$

∴ ถ้า N มีค่ามากก็จะมีผลต่อระยะเวลาที่ใช้ในการคำนวณได้

การคำนวณ fft ใน MATLAB

MATLAB มีฟังก์ชั่น fft ที่สามารถนำมาใช้ในการคำนวณได้เลย และมีรูปแบบ คือ

<u>แบบ 1 อาร์กิวเมนต์</u>

รูปแบบ คือ y = fft(x)

x คือ Input Argument และเป็นเวกเตอร์ที่แทนจุดสัญญาณใน Time Domain

y คือ Output Argument และเป็นเวกเตอร์ขนาดเดียวกัน ที่มีค่า Complex ที่แทนถึง Frequency Domain Content ของสัญญาณ Input

ถ้าจำนวนค่าของสัญญาณใน Time Domain เป็นค่ายกกำลัง 2 MATLAB ใช้ fft Algorithm ในการคำนวณ

ถ้าจำนวณค่าของสัญญาณใน Time Domain ไม่เป็นค่ายกกำลัง 2 MATLAB ใช้ DFT Algorithm ในการคำนวณ

เอกสารนี้เป็น... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ 2 อาร์กิวเมนต์

รูปแบบ คือ y = fft(x,L)

x คือ Input Argument และเป็นเวกเตอร์ที่แทนจุดสัญญาณใน Time Domain

L คือ Input Argument เป็นจำนวนเต็มซึ่งแสดงถึงจำนวนจุดสำหรับเวกเตอร์เอาท์พุท

y คือ Output Argument และเป็นเวกเตอร์ที่มีค่า Complex ที่แทนถึง Frequency Domain Content ของสัญญาณ Input L ค่า

ถ้าค่า L มีค่าเป็นค่ายกกำลัง 2 MATLAB ใช้ fft Algorithm ในการคำนวณ

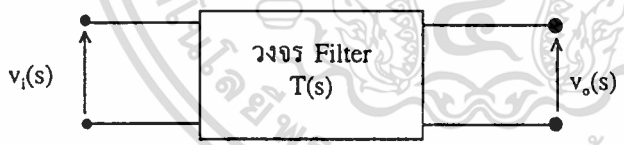
ถ้าค่า L มีค่าไม่เป็นค่ายกกำลัง 2 MATLAB ใช้ DFT Algorithm ในการคำนวณ

Filter

Filter คือ เครื่องกรองสัญญาณ มีคุณสมบัติคือ ยอมให้สัญญาณความถี่ที่ต้องการผ่านไปได้และจะตัดสัญญาณที่มีความถี่ที่ไม่ต้องการออก สามารถแยกพิจารณาได้เป็น 2 ระบบ

1. Analog Filter
2. Digital Filter

สามารถแทนระบ Filter ได้ด้วยระบบ Two-port Network ได้ดังรูป



โดย T(s) = Transfer Function ของ Analon Filter

T(z) = Trander Function ของ Digital Filter

s = $j2\pi f = j\omega$

z = $j2\pi f = e^{j\omega T}$

f = ความถี่ [Hz] , T = Sampling Time

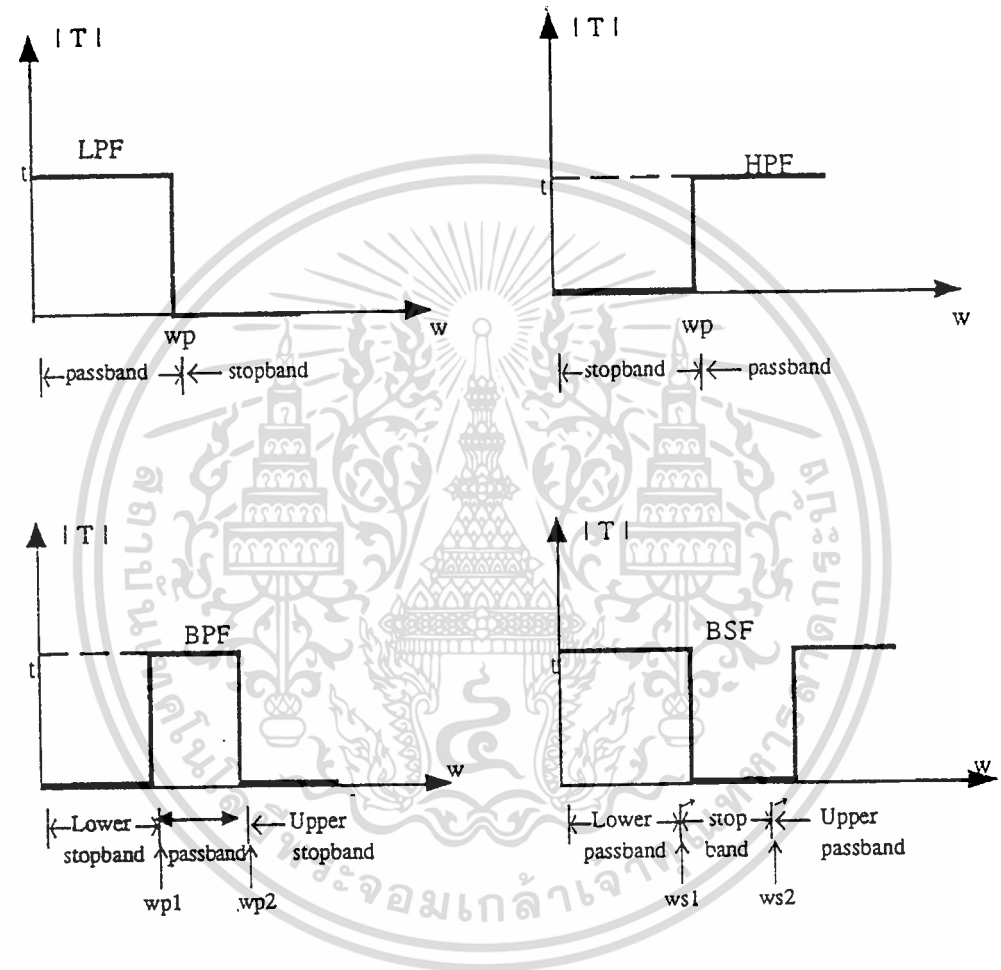
นอกจากนั้น Filter แบ่งเป็น 2 ประเภทแล้ว ยังสามารถแบ่งย่อยลงไปได้อีกตามลักษณะ Tranfer Function ของมัน คือ

- Low-pass Filter (LPF)
- High-pass Filter (HPF)
- Band-pass Filter (BPF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Low-stop Filter (LSF)

ซึ่งแต่ละแบบจะมีลักษณะของ Tranfer Function ต่าง ๆ ดังรูป



<u>คุณสมบัติของ Filter</u>

มีคำจำกัดบางคำที่แสดงถึงคุณสมบัติของ Filter ดังนี้

- Cutoff Frequency
- Passband
- Stopband
- Transition band
- Ripple

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog filter Transfer Function

สามารถแทนได้ด้วยสมการทางคณิตศาสตร์ ดังนี้

$$T(s) = \frac{N(z)}{D(s)} = \frac{N_0S^n + N_1S^{n-1} + N_2S^{n-2} + ... + N_n}{D_0S^n + D_1S^{n-1} + D_2S^{n-2} + ... + D_n}$$

** ค่า n (ดีกรี) ของส่วน (D(s)) จะเป็นตัวบอกถึง Order ของ Filter

Digital filter Transfer Function

สามารถแทนได้ด้วยสมการทางคณิตศาสตร์ ดังนี้

$$T(z) = \frac{N(z)}{D(z)} = \frac{N_0 + N_1Z^{-1} + N_2Z^{-2} + ... + N_nZ^{-n}}{D_0 + D_1Z^{-1} + D_2Z^{-2} + ... + D_nZ^{-n}}$$

การใช้คำสั่ง MATLAB กับ Filter มีรูปแบบ ดังนี้

Ts = ferqs(D,N,W)

ใช้เพื่อคำนวณหาคา Franfer Function T(s) (Analog Filter)

การออกแบบ Filter โดยใช้ MATLAB

MATLAB ได้จัด Function ที่สามารถนำมาใช้ในการออกแบบ Filter หลาย ๆ แบบ ซึ่งแต่ละแบบก็จะมีคุณสมบัติที่แตกต่างกัน เช่น ในเรื่องของความคมในการกรองสัญญาณ ความกระเพื่อมของสัญาณ (Ripple) ซึ่งสามารถแบ่งคร่าว ๆ ได้ คือ

1. แบบ Chebyshev ชนิดที่ 1 (มี Ripple ใน Passband)
2. แบบ Chebyshev ชนิดที่ 2 (มี Ripple ใน Stopband)
3. แบบ Butterworth (มี Stopband และ Passband ที่เรียบที่สุด)
4. แบบ Elliptic (มี Ripple ทั้งใน Passband และ Stopband)

มีรูปแบบคำสั่งในการใช้งานตามประเภทของ Filter ดังนี้

Low-pass Filter

[N,D] = cheby 1 (M,P,wn)

[N,D] = cheby 2 (M,s,wn)

[N,D] = butter (M,wn)

[N,D] = ellip (M,P,s,wn)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย N คือ เวกเตอร์เอาท์พุทที่แทนถึงค่าสัมประสิทธิ์ในสมการโพลีโนเมียลของเศษใน T(z)

D คือ เวกเตอร์เอาท์พุทที่แทนถึงค่าสัมประสิทธิ์ในสมการโพลีโนเมียลของส่วนใน T(z)

P คือ ค่า Ripple ที่เกิดขึ้นใน Pass-band [dB]

s คือ ค่า Ripple ที่เกิดขึ้นใน Stop-band [dB]

M คือ Order ของ Filter

wn คือ Normalized Cut-off Frequency

High-pass Filter

มีรูปแบบเหมือน Low-pass Filter ทุกอย่างยกเว้นให้เติมคำว่า 'high' ต่อท้ายลงไป เช่น

```
[N,D] = cheby1(M,P,wn,'high')
```

Band-pass Filter

มีรูปแบบเหมือน Low-pass Filter ทุกอย่าง

ยกเว้นค่า wn จะเป็น Normalized Cut-off Frequency ที่เป็นเวกเตอร์ที่มี 2 Elements เพื่อบอกถึงย่านของ Pass-band (จุดเริ่มและสิ้นสุดของย่าน)

Band-Stop Filter

มีรูปแบบเหมือน Low-pass Filter ทุกอย่าง

ยกเว้นค่า wn จะเป็น Normalized Cut-off Frequency ที่เป็นเวกเตอร์ที่มี 2 Elements เพื่อบอกถึงย่านของ Stop-band (จุดเริ่มและสิ้นสุดของย่าน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

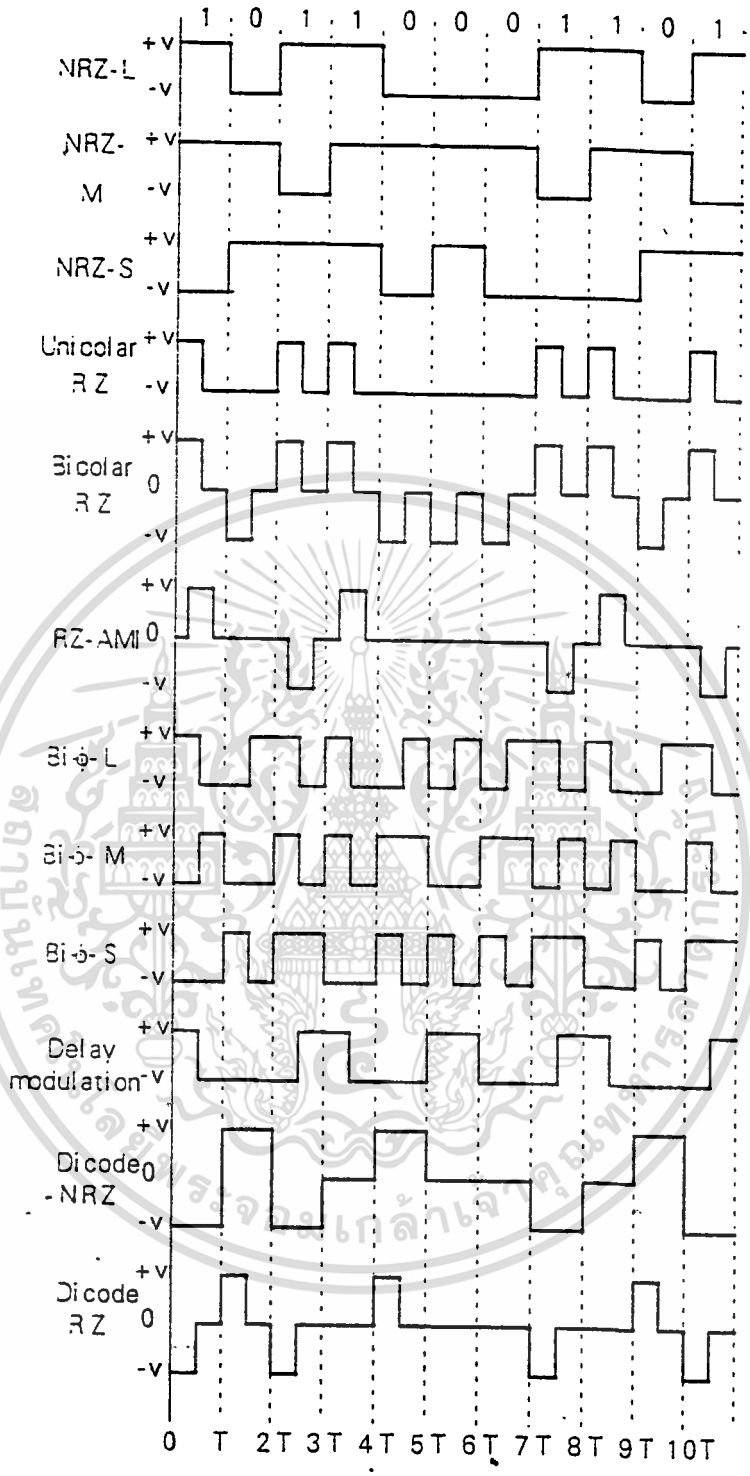
บทที่ 3 การออกแบบวงจร

3.1 การออกแบบวงจรภาคส่ง

3.1.1 การออกแบบวงจร DPSK Modulator

สัญญาณดิจิตอลเบสแบนด์สำหรับการส่งข้อมูลนั้น สามารถจะเลือกเข้ารหัส (encode) ได้หลายประเภทขึ้นอยู่กับความเหมาะสมของช่องสัญญาณความสามารถของภาครับที่สามารถจะกู้สัญญาณนาฬิกา (clock) จากสัญญาณเบสแบนด์ได้หรือไม่ หรืออาจจะเข้ารหัสเพื่อแก้ไขการกลับเฟสของสัญญาณที่ภาครับเนื่องจากการส่งสัญญาณผ่าน วงจรที่ทำให้เกิดการกลับเฟส ในที่นี้จะกล่าวถึงสัญญาณไม่กลับศูนย์แบบระดับ (Non return to zero-level : NRZ-L) เท่านั้น และในโครงงานนี้ได้เลือกใช้การเข้ารหัสแบบ NRZ-I (Non return to zoro-invert) เพื่อป้องกันการกลับเฟสที่ภาครับ หลักการของการเข้ารหัสแบบ NRZ-I คือ การใช้เปลี่ยนระดับ (transition) ของสัญญาณเป็นข้อมูลแทนการใช้ระดับแรงดันแทนข้อมูล โดยสัญญาณเอ้าท์พุทจะเปลี่ยนแปลงระดับทุกครั้งที่ข้อมูลอินพุทมีระดับลอจิก “1” ซึ่งเรียกการเข้าระหัสแบบนี้ว่าสัญญาณไม่กลับศูนย์แบบมาร์ค (Non return to zero-mark : NRZ-M) หรือจะให้สัญญาณเอ้าท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทระดับลอจิก “ 0 ” ซึ่งเรียกการเข้ารหัสแบบนี้ว่าสัญญาณไม่กลับศูนย์แบบบสเปซ (Non return to zero-space : NRZ-S)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

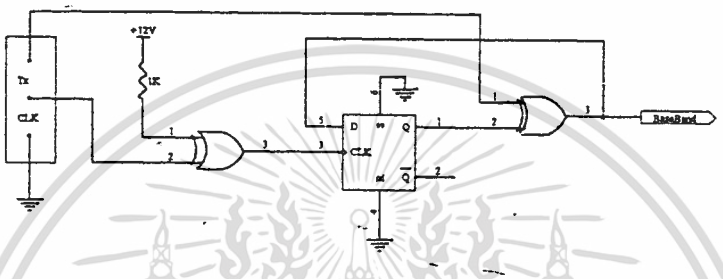


รูปที่ 3.1 แสดงสัญญาณ NRZ,NRZ-M,NRZ-S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.1 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I

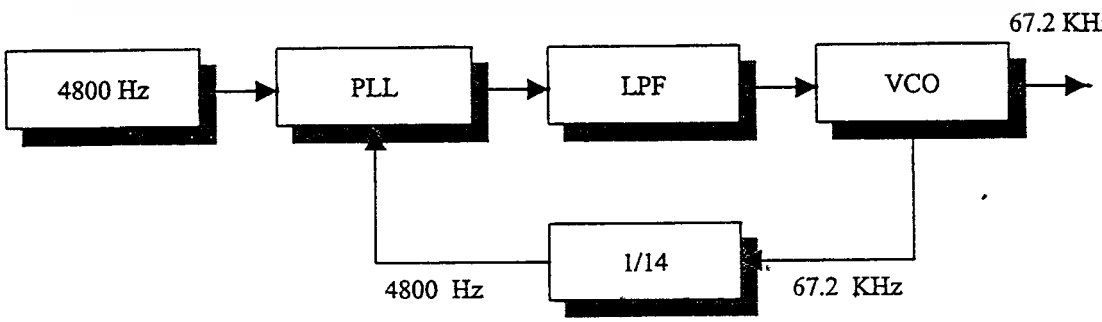
สำหรับสาเหตุที่ต้องเข้ารหัสสัญญาณเบสแบนด์จาก NRZ เป็น NRZ-I หรือ Differential encoder นั้นก็เพื่อป้องกันการสับสนทางเฟส (Phase ambiguity) ซึ่งเป็นผลจากการที่คลื่นพาห์จากวงจร กู้สัญญาณผิดจาก COS $\omega_c t$ เป็น -COS $\omega_c t$ ผลจะทำให้การดีมอดูเลทผิดไปจากความเป็นจริงถ้าหากทำการส่งข้อมูลด้วยสัญญาณ NRZ1 แต่ถ้าหากเราทำการเข้ารหัสแบบ NRZ-I ซึ่งใช้การเปลี่ยนระดับของสัญญาณแทนการส่ง 0 หรือ 1 จะสามารถแก้ปัญหาเนื่องจากการสับสนทางเฟสได้ สำหรับการเข้ารหัส NRZ เป็น NRZ-I แบบ NRZ-M นั้นใช้วงจรดังกล่าวในรูปที่ 3.2



รูปที่ 3.2 วงจรเข้ารหัส NRZ/NRZ-M

3.1.1.2 วงจรสร้างความถี่ 67.2 kHz

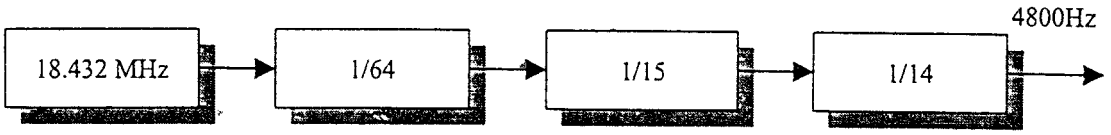
สำหรับการออกแบบวงจรผลิตความถี่ 67.2 kHz นั้นเพื่อจะให้มีการเสถียรภาพความถี่คงที่ จึงใช้การสังเคราะห์ความถี่จากความถี่อ้างอิงที่มีเสถียรภาพคงที่ ซึ่งได้จากคริสตัลออสซิลเลเตอร์ผลิตความถี่ 18.432 MHz แล้วนำมาหารให้เหลือ 4800 Hz ใช้เป็นความถี่อ้างอิงสำหรับวงจรเฟสล็อกลูป ดังรูปที่ 3.3



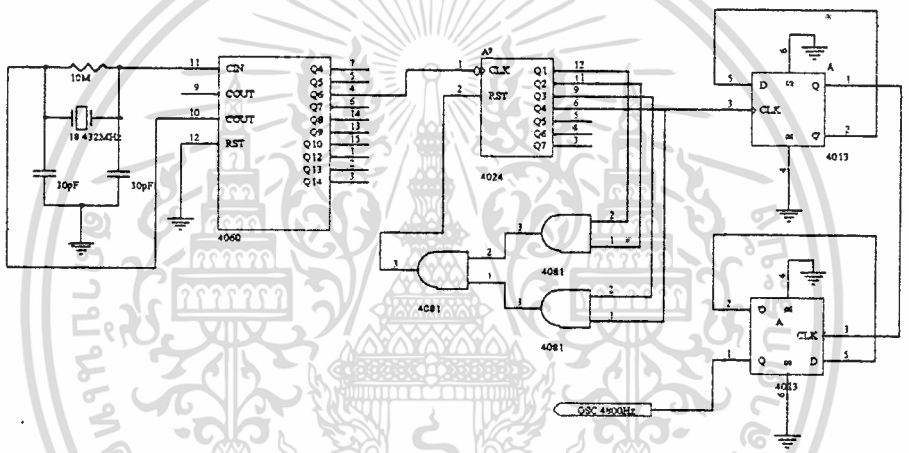
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 แสดง Block diagram ของวงจรสร้างสัญญาณ 67.2 kHz

(ก) วงจรสร้างความถี่อ้างอิง 4800 Hz



รูปที่ 3.4 แสดงวงจรกำหนดสัญญาณ 4800 Hz



รูปที่ 3.5 แสดงวงจรกำเนิดสัญญาณ 4800 Hz

จากรูปที่ 3.5 ความถี่ 18.432 MHz จากคริสตัลออสซิลเลเตอร์จะเข้าไปยังขา 10 และขา 11 ของวงจรรวม 4060 ซึ่งทำหน้าที่เป็นวงจรหาร 64 ซึ่งจะให้เอ้าท์พุท 288 kHz ทางขวา Q6 (ขา 4) จากนั้นจะผ่านวงจรหาร 15 ซึ่งประกอบด้วยวงจรรวม 4024 และแอนด์เกทจำนวนหนึ่ง เอ้าท์พุทออกที่ขา Q5 (ขา 5 ของ 4024) แล้วผ่านเข้าไปวงจรหาร 4 ซึ่งประกอบด้วยวงจรดีฟลิปฟลอป 2ตัว ได้เอ้าท์พุทออกมาเป็น 4800 Hz

(ข) วงจรเฟสล็อกลูปและ VCO

จากรูปที่ 3.6 นั้นวงจรเฟสดีเทคเตอร์นั้นได้เลือกใช้วงจรรวม 4046 ซึ่งเป็นซีมอสเฟสล็อกลูป เอ้าท์พุทของเฟสดีเทคเตอร์คือ PD_2 (ขา 13) ถ้าหากว่าที่ขา 14 (C_{in}) มีเฟสนำหน้าที่ขา 3 (VCO IN) ที่ขา PD_2 จะให้เอ้าท์พุทเป็น 12 โวลท์ และถ้าหากสัญญาณที่ขา 14 มีเฟสหลังสัญญาณที่ขา 13 เอ้าท์พุทที่ขา PD_2 จะให้เป็น 0 โวลท์ สัญญาณที่เอ้าท์พุทของเฟสดีเทคเตอร์จะผ่านไปยัง วงจรโลพาสฟิลเตอร์ ประกอบด้วย $R_1 = 1K\Omega$ และ $C_1 = 1\mu F$ สำหรับ ค่า R และ C นี้เป็นค่าที่เหมาะสมที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจร VCO นั้นเลือกใช้วงจรรวม XR-2206 ทำหน้าที่ผลิตความถี่ 67.2 kHz ความถี่เอ้าท์ของ XR-2206 นั้นกำหนดได้จากสมการ

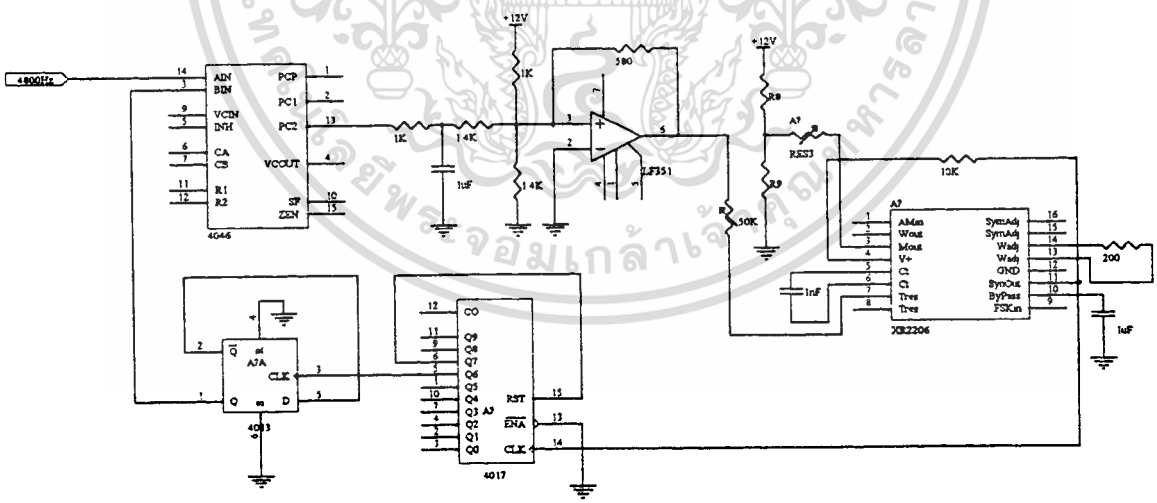
$$f = \frac{0.23I}{C}$$

เมื่อ f = ความถี่ที่ขา 2 (sine wave) และ 11 (square wave)

I = กระแสที่ไหลออกจากขา 7

C = ค่าคาปาซิเตอร์ที่ต่อระหว่างขา 5 และ 6

ที่ขา 7 ของ XR-2206 นั้นภายในตัวของมันได้มีการรักษาระดับแรงดัน (regulate) ให้คงที่ไว้ที่ 3 โวลท์ ดังนั้นวิธีที่เราจะควบคุมความถี่ของ XR-2206 ก็คือควบคุมกระแสที่ไหลออกจากขา 7 นั่นเอง วงจรที่ใช้ควบคุมกระแสที่ใช้ก็คือวงจรผลบวก (summing)

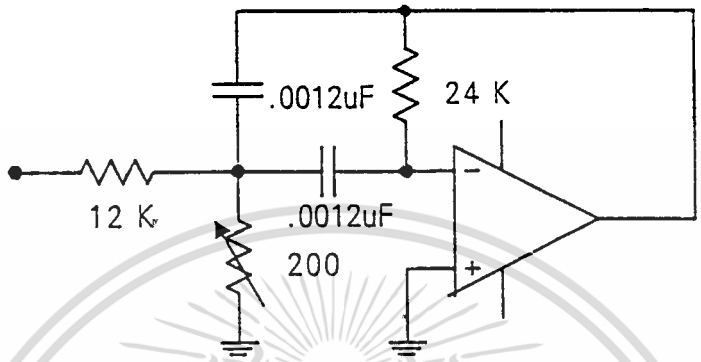


รูปที่ 3.6 แสดงวงจรสร้างความถี่ 67.2 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.3 การออกแบบวงจรกรองความถี่แบนด์พาสฟิลเตอร์

สำหรับวงจรพาสฟิลเตอร์เลือกใช้วงจร Multipie feedback order 2 ที่มีการจัดวงจรดังรูปที่ 3.7



รูปที่ 3.7 แสดงวงจรแบนด์พาสฟิลเตอร์

ถ้าให้ Q เป็นค่า Quality factor ของวงจร

ω_0 เป็นความถี่ศูนย์กลาง

H เป็น Gain ของวงจร

ทรานเฟอร์ฟังชั่นของวงจรแสดงได้คือ

$$\frac{V_0(S)}{Vi(S)} = \frac{H(\omega/Q)S}{S^2 + (\omega/Q)S + \omega_0^2}$$

$$\omega_0^2 = \frac{1}{R_3 C_1 C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)$$

$$Q = \frac{1}{\sqrt{\frac{1}{R_3}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)}\left(\sqrt{\frac{C_1}{C_2}} + \sqrt{\frac{C_2}{C_1}}\right)}$$

$$H = \frac{-R_3 C_3}{R_1 (C_1 + C_2)}$$

สำหรับการออกแบบจะกำหนดค่า Q, ω_0 , H และกำหนดค่า $C_1 C_2$ โดยให้ $C_1 = C_2$ ค่า R_1, R_2 และ R_3 หาได้จาก

$$R_1 = \frac{Q}{|H|\,\omega_0\, C_1}$$

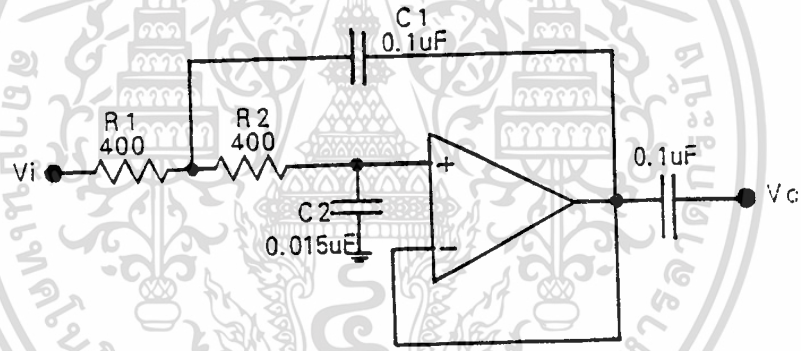
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2 = \frac{Q}{(2Q^2 - |H|)\omega_0 C_1}$$

$$R_3 = \frac{2Q}{\omega_0 C_1}$$

ความถี่ที่ต้องการคือ 67.2 kHz กำหนดอัตราการขยายที่ความถี่ศูนย์กลางมีค่าเท่ากับ 1 สำหรับขนาดของแบนด์วิดท์ต้องให้มีขนาดมากกว่า 2 เท่าของความถี่บิทเรทของสัญญาณเบสแบนด์ดังนั้นค่า Q ของวงจรจึงต้องน้อยกว่า 7 ในการออกแบบเลือกให้ค่า Q มีขนาดเท่ากับ 6 โดยขนาดของแบนด์วิดท์จะประมาณเท่ากับ 11.2 kHz ค่าความต้านทานและค่าคาปาซิแตนซ์ของวงจรได้จากสมการข้างบน

3.1.1.4 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter : LPF)



รูปที่ 3.8 วงจรกรองความถี่ต่ำผ่าน

ตารางที่ 3.1 Unscale Capacitor Values

Type of two-poie LPF	ζ	$C''_1 \cdot F$	$C''_2 \cdot F$
Bessel	0.8659	0.9056	0.6799
Butterworth	0.7072	1.414	0.7071
Chebyshev (0.1 -dB peak)	0.6561	1.638	0.6955
Chebyshev (0.25 -dB peak)	0.6179	1.778	0.6789
Chebyshev (0.5 -dB peak)	0.5789	1.949	0.6533
Chebyshev (1 -dB peak)	0.5228	2.218	0.6061
Chebyshev (2 -dB peak)	0.4431	2.672	0.5246
Chebyshev (3 -dB peak)	0.3833	3.103	0.4558

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีออกแบบวงจรกรองความถี่ต่ำผ่าน

1. เลือกความถี่ Cut Off = 12 kHz

2. จากตารางเลือกใช้ Chebyshev (3 - dB peak) ได้ค่า

$\zeta = 0.3833$, $C''_1F = 3.103$, $C''_2F = 0.4558$

3. คำนวณค่า

$$C''_1 = \frac{C''_1}{2\pi f_c} = \frac{3.103}{2\pi \times 12 \times 10^3} = 4.115 \times 10^{-5}\ F$$

$$C''_2 = \frac{C''_2}{2\pi f_c} = \frac{0.4558}{2\pi \times 12 \times 10^3} = 6.045 \times 10^{-6}\ F$$

4. scale ค่า R เพื่อให้ได้ค่า $C_1 = 0.1\ \mu F$ โดยคำนวนค่าจากสูตร

$$C_1 = \frac{C_1}{R}$$

$$0.1 \times 10^{-6} = \frac{4.115 \times 10^{-5}}{R}$$

เมื่อ R_1, R_2 คือ Determines f_c and ζ

C_1, C_2 คือ Final values for capacitors after volt impedance and frequency,Determines f_c

C''_1, C''_2 คือ Intermediate values for C_1 and C_2 after frequency scaling

f_c คือ Cut off frequency

ζ คือ Damping factor

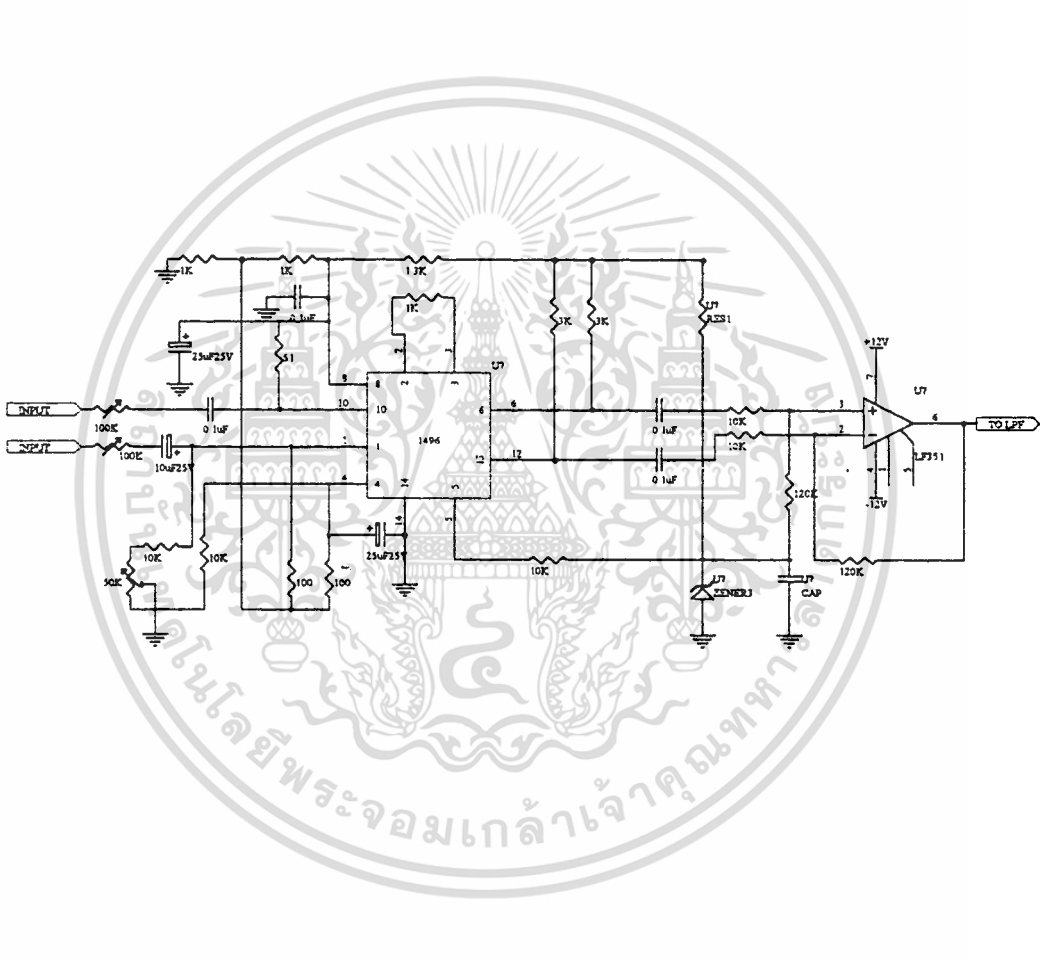
ดังนั้นเราจะเลือกใช้ค่า $R = 400\ \Omega$ $C_1 = 0.1\ \mu F$ $C_2 = 15\ pF$

วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ใช้ในภาครับนี้ จะเป็นวงจรที่เหมือนกันเกือบทุกประการ กับวงจรยกกำลังสองสัญญาณ แต่ต่างกันตรงที่ขา 10 และขา 1 ของวงจรดีมอดูเลเตอร์จะไม่ต่อรวมกันที่ขา 1 ของวงจรดีมอดูเลเตอร์จะได้รับสัญญาณ DPSK ส่วนขา 10 จะรับสัญญาณคลื่นพาห์และ

เอกสารนี้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยเหตุที่ว่าข้อมูลถูกส่งมา 1 ส่วน ดังนั้นในทางด้านภาครับนี้ ก็ต้องมีวงจร ดีมอด 1 วงจร เพื่อที่จะทำหน้าที่ในการดีมอดสัญญาณ ทางด้าน Inphase และ Quadranture Phase โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณพาหะโดยตรง (Sine Wave) คูณกับสัญญาณมอดูเลทที่วงจรบาลานซ์มอดูเลเตอร์ Inphase และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศา คูณกับสัญญาณมอดูเลทที่วงจรบาลานซ์ ด้าน Quadranture Phase



รูปที่ 3.9 วงจรบาลานซ์ดีมอดูเลเตอร์

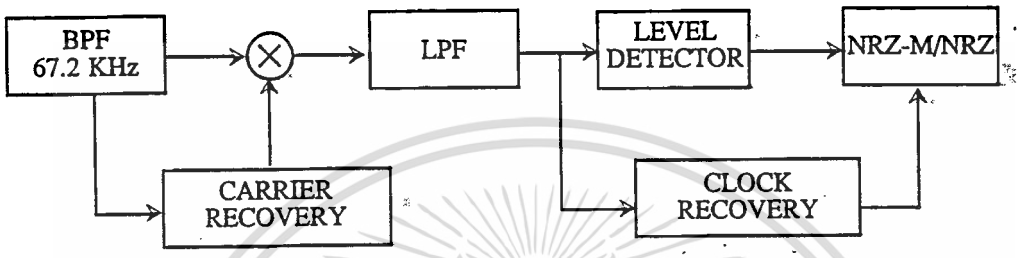
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรภาครับ

วงจรภาครับจะประกอบไปด้วยวงจร DPSK Demodulator, ซึ่งสามารถอธิบายวิธีการออกแบบได้ดังนี้

3.2.1 การออกแบบวงจรดีมอดูเลทสัญญาณ DPSK

สำหรับภาคดีมอดูเลทสัญญาณ DPSK ในโครงงานนี้แสดงโครงสร้างได้ ดังรูปที่ 3.1



รูปที่ 3.1 แสดงโครงสร้างภาคดีมอดูเลทสัญญาณ DPSK

โครงสร้างวงจรดีมอดูเลทสัญญาณ ซึ่งประกอบด้วยส่วนใหญ่ๆ คือ วงจรกรองความถี่วงจรโคฮีเรนท์ดีมอดูเลเตอร์ ซึ่งประกอบด้วยวงจรกู้สัญญาณคลื่นพาห์ วงจรคูณสัญญาณ วงจรตัดสินระดับ และสำหรับการส่งสัญญาณที่ภาคส่งส่วนของสัญญาณเบสแบนด์เข้ารหัสเป็น ดังนั้นเพื่อให้สามารถถอดรหัสเป็น ได้ที่ภาครับจะต้องมีวงจรกู้สัญญาณนาฬิกา และวงจรถอดรหัสสัญญาณ

3.2.2 การออกแบบวงจรกรองความถี่ผ่าน

แบ่งออกได้ 2 ชนิด คือ Wide Band - pass filter และ Narrow Band - pass filter ความแตกต่างอยู่ที่ Quatity factor *(Q)* ถ้าหากค่า Q มีค่าน้อยกว่า 10 จะเป็น Wide Band ถ้าหาก Q มีค่ามากกว่า 10 จะเป็นNarrow Band ค่าของ Q จะมีความสัมพันธ์กับความถี่และแบนด์วิดท์ *(Bw)* ดังสมการข้างล่าง

$$Q = \frac{f_c}{Bw} = \frac{f_c}{f_H - f_c}$$

$$f_c = \sqrt{f_H . f_L}$$

f_H = ความถี่ Cutoff ที่ความถี่สูง

f_L = ความถี่ Cutoff ที่ความถี่ต่ำ

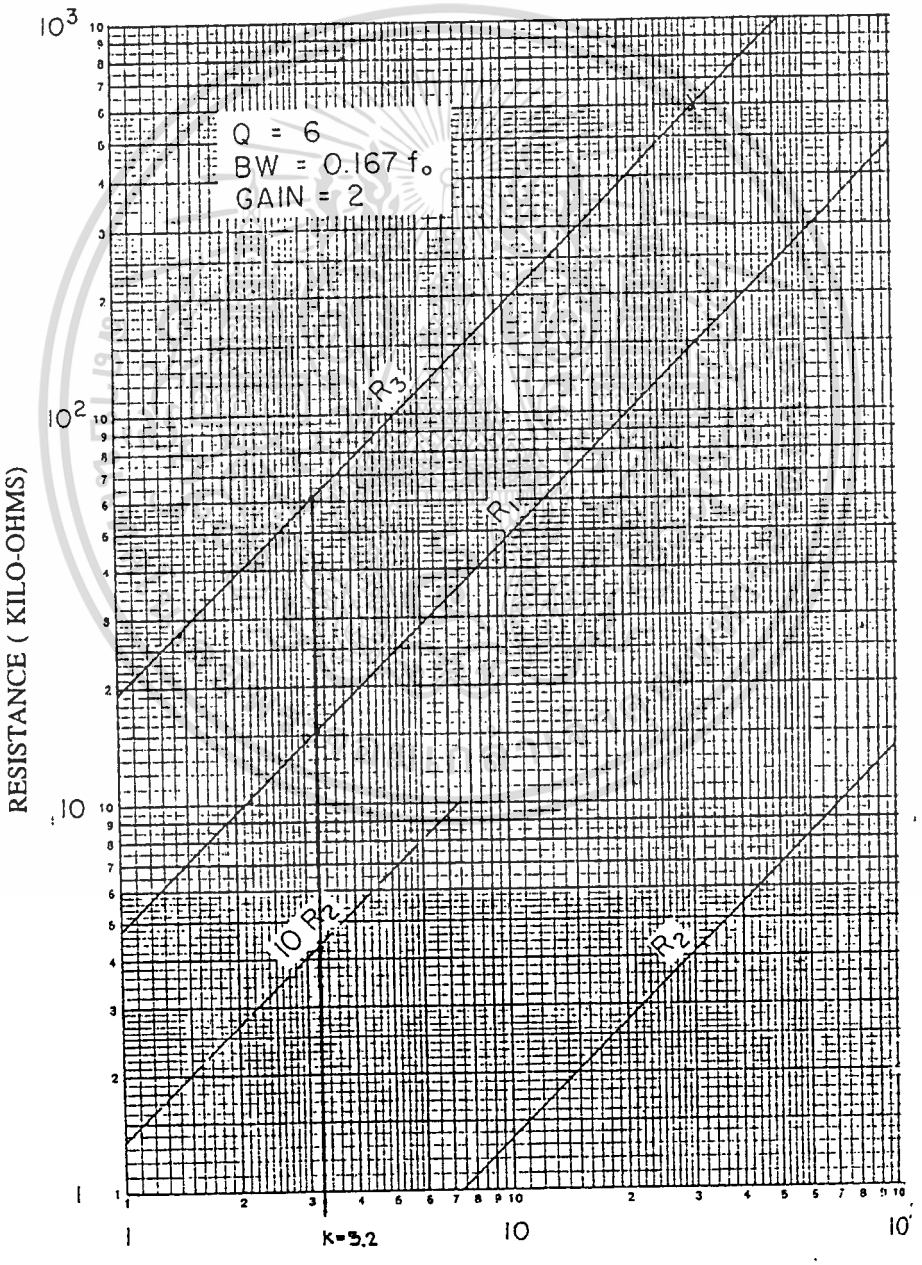
สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการกำหนดค่า $Q = 6$

$Bw = 0.167 f_o$ Gain = 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

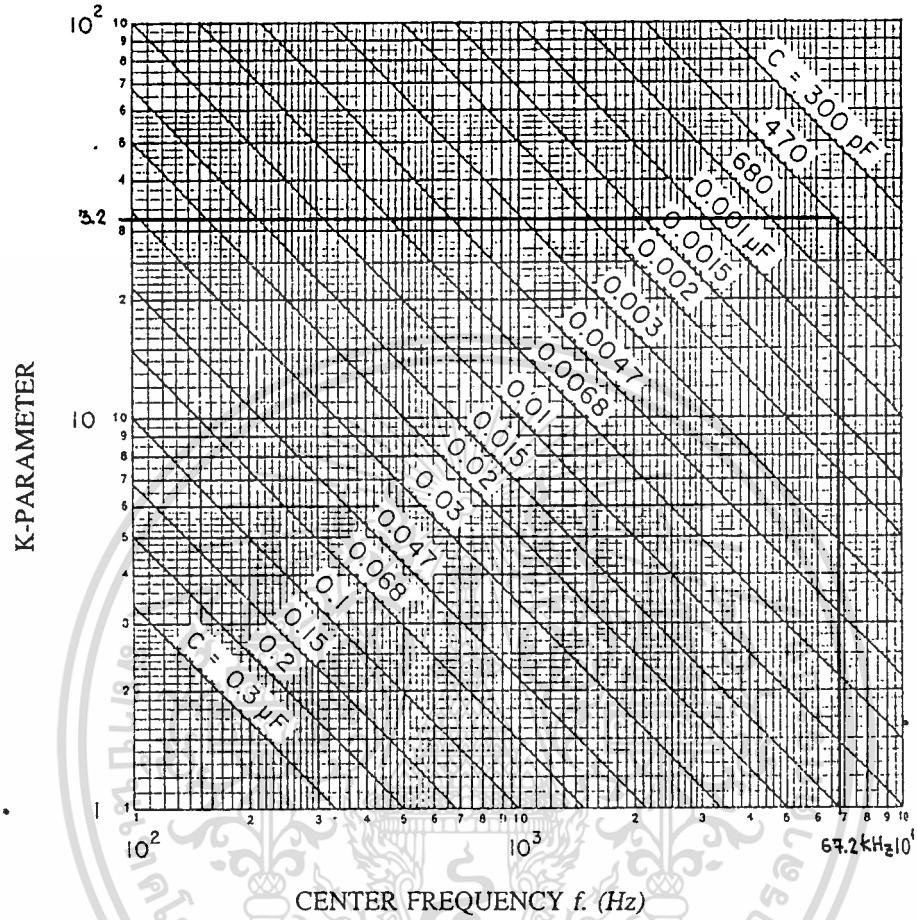
ขั้นตอนการออกแบบ มีดังนี้

1. เลือกค่าคาปาซิเตอร์ และความถี่ที่ต้องการ Band pass filter จะได้ค่า K parameter
2. ใช้ค่า K ที่ได้จากข้อ (1) มาหาค่าความต้านทานต่าง ๆ
3. เลือกค่าความต้านทานได้ตรงตามกราฟที่ได้และทำการสร้างวงจรจากการออกแบบวงจรกรองความถี่ผ่าน 67.2 kHz เลือกใช้ค่า Capacitor เท่ากับ 470 pF

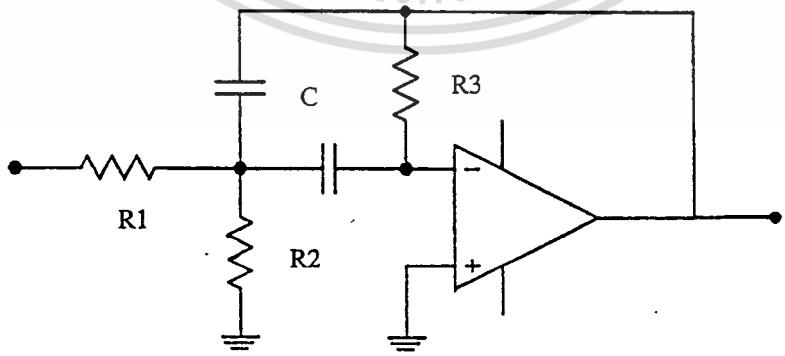


รูปที่ 3.3 แสดง Multiple-feed band-pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดง k Parameter versus frequency



รูปที่ 3.5 วงจรกรองความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

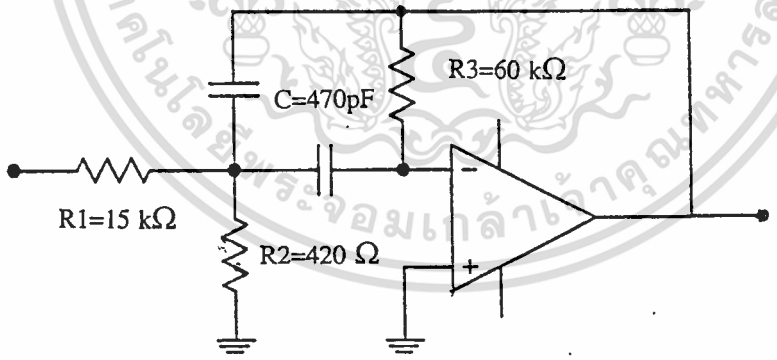
กำหนดให้

C	=	470 pF
k	=	3.2
Q	=	6
Bw	=	0.167fo
Gain	=	2
R3	=	60 KΩ
R1	=	15 KΩ
10R2	=	4.2 KΩ
R2	=	420 Ω

ที่

วงจรกรองความถี่ผ่าน

สำหรับวงจรกรองความถี่ผ่าน 67.2 KHz สำหรับภาคดีมอดูเลทสัญญาณ DPSK กำหนดให้มีค่า Q เท่ากับ 6 และค่าอัตราการขยายที่ความถี่ศูนย์กลางเท่ากับ 1 ขนาดความต้านทานและคาปาซิแตนซ์ของวงจรกรองความถี่ 67.2 KHz มีขนาดเช่นเดียวกับวงจรกรองความถี่ผ่านย่านในภาคมอดูเลทสัญญาณ PSK สำหรับวงจรกรองความถี่ แสดงดังรูป 3.6



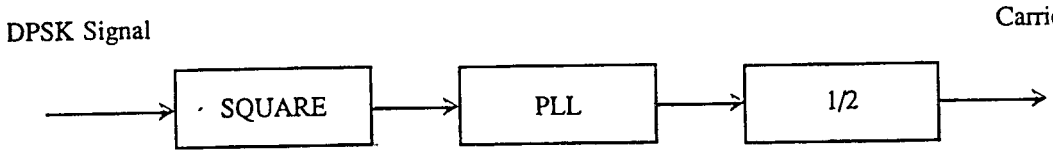
รูปที่ 3.6 วงจรกรองความถี่ สำหรับภาคดีมอดูเลทสัญญาณ

3.2.3 วงจรกู้สัญญาณคลื่นพาห์

วงจรกู้สัญญาณคลื่นพาห์เป็นวงจรสร้างสัญญาณคลื่นพาห์ขึ้นภาครับของวงจรดีมอดูเลทสัญญาณ DPSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสกับคลื่นพาห์ที่ภาคส่งโดยวงจรกู้สัญญาณคลื่นพาห์ หรือวงจรสร้างสัญญาณ $\cos\omega ct$ ขึ้นที่ภาครับ มีหลายชนิดเช่น squaringloop, costas

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

loop แต่ในการทดลองนี้จะกล่าวกับ squaring loop หรือลูปยกกำลังสองสำหรับการกู้สัญญาณคลื่นพาห์ โดยสามารถแสดงหลักการวงจรได้ดังรูป 3.7

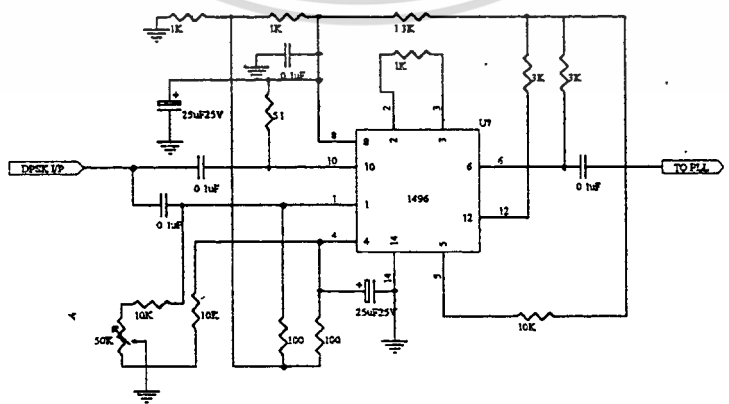


รูปที่ 3.7 แสดงโครงสร้างลูปยกกำลังสองสัญญาณ

โดยลูปยกกำลังสอง (squaring loop) จะประกอบด้วย ภาคยกกำลังสองของสัญญาณ (squaring), วงจร PLL, วงจรหารสอง การทำงานของลูปยกกำลังสองเมื่อรับสัญญาณอินพุท DPSK ซึ่งมีเฟส $\cos\omega ct$ ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสองทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห์ โดยเอ้าท์พุทของวงจรยกกำลังสองจะได้ฮาร์โมนิคที่ 2 ของ $\cos\omega ct$ หรือ $\cos 2\omega ct$, สัญญาณ $\cos 2\omega ct$ จะเป็นอินพุทหรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ $\cos 2\omega ct$ เอาท์พุทของ PLL จะเป็นอินพุทของวงจรหารสอง ซึ่งจะหาความถี่ให้เป็น $\cos\omega ct$ สำหรับเป็นสัญญาณอ้างอิงเพื่อการดีมอดูเลทสัญญาณ DPSK ต่อไปโดยในทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่าง ๆ ได้ดังนี้

3.2.4 วงจรยกกำลังสอง

หลักการวงจรยกกำลังสอง จะใช้วงจรคูณสัญญาณโดยอินพุททั้งสองของวงจรคูณสัญญาณต่อเข้าด้วยกับสัญญาณที่ต้องการยกกำลัง โดยวงจรที่ใช้คูณเป็นวงจรรวมสำหรับคูณสัญญาณขนาดเล็ก ซึ่งใช้วงจรรวม MC 1496 โดยอินพุทมีขนาดสัญญาณ 100 mv

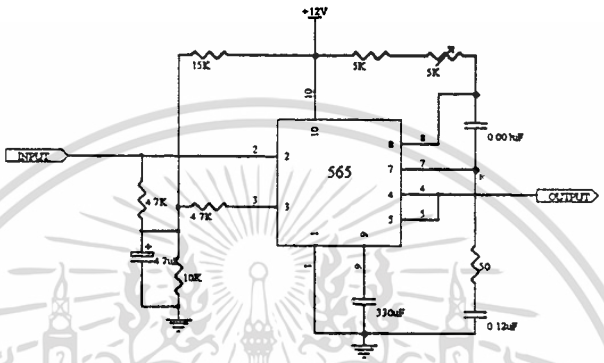


รูปที่ 3.8 แสดงวงจรสำหรับยกกำลังสองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 วงจร PLL

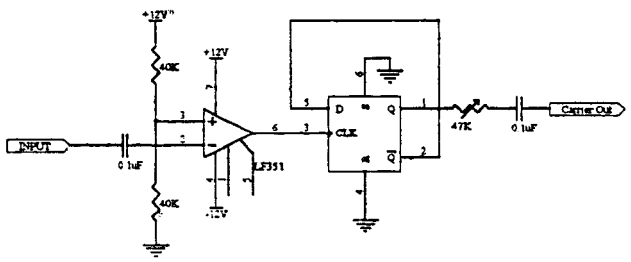
สำหรับวงจร PLL สำหรับล็อคสัญญาณ cos2Ωct นั้นใช้วงจรรวม LM565 โดยแสดงโครงสร้างของวงจรได้ดังรูป 3.9 ค่าความถี่ศูนย์กลาง f_o ของลูปตั้งได้จากค่า R_oC_oตั้งให้มีขนาดเท่ากับ 2 เท่าของ 67.2 KHz หรือเท่ากับ 134.4 KHz



รูปที่ 3.9 แสดงวงจร สำหรับลูปยกกำลังสอง

3.2.6 วงจรหาร 2

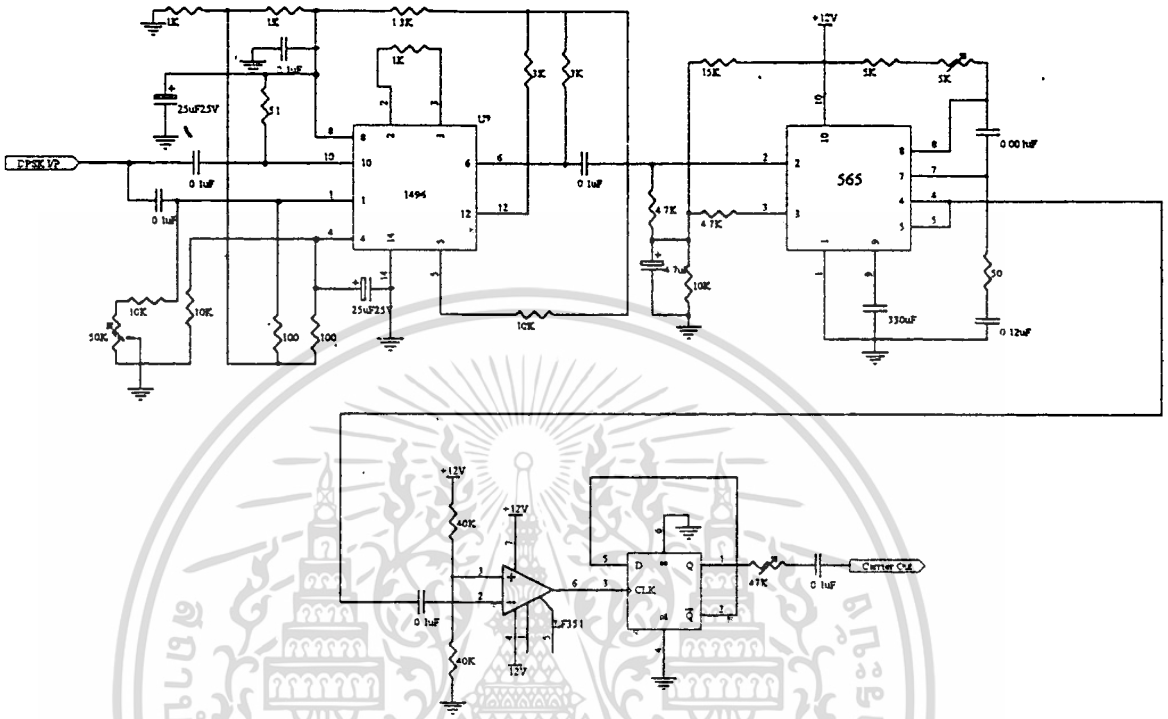
สำหรับวงจรหาร 2 สำหรับเอ้าท์พุทของสัญญาณจากวงจร PLL แสดงได้ดังรูป 3.10 โดยวงจรประกอบด้วยวงจรรวม LF351 สำหรับปรับแรงดันเอ้าท์พุทของวงจร PLL วงจรรวม 4013 สำหรับเป็นวงจรหาร 2 และต่อไปเป็นวงจรบัฟเฟอร์ที่เอ้าท์พุท โดยระดับสัญญาณเอ้าท์พุทของวงจรหาร 2 จะถูกลดระดับแรงดันเหลือประมาณ 100 mv สำหรับวงจรคูณภาคต่อไป



รูปที่ 3.10 แสดงวงจรหารสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรกู้สัญญาณคลื่นพาห์ทั้งหมดแสดงได้ดังรูป

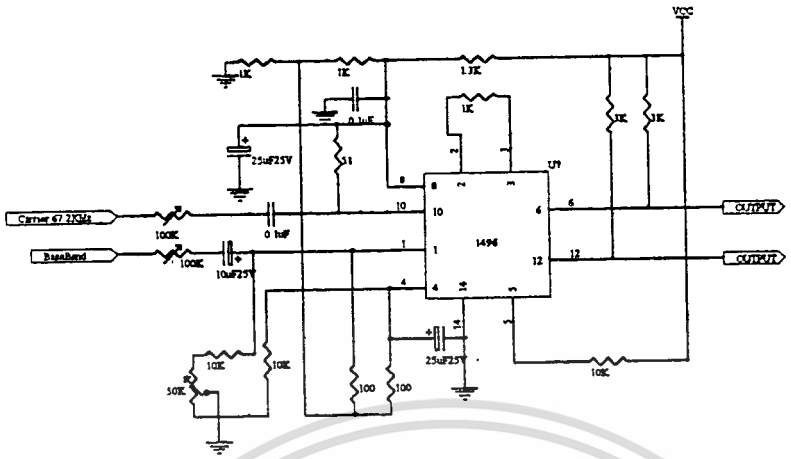


รูปที่ 3.11 แสดงวงจรกู้สัญญาณคลื่นพาห์แบบยกกำลังสอง

3.2.7 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้วงจรรวม MC 1496 เช่นเดียวกับวงจรยกกำลัง (squaring) โดยสัญญาณที่คูณจะป้อนเข้าที่ ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์ โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 100 mv เช่นเดียวกับวงจรยกกำลังสอง ที่ เอ้าท์พุทของวงจรคูณคือขา 6 และขา 12 ให้สัญญาณที่กลับเฟสกันโดยสัญญาณเอ้าท์พุทที่ความถี่สูงจะถูกบายพาสลงกราวด์และสัญญาณเบสแบนด์ที่ดีมอดูเลทได้ ใช้อินพุทอินเวอร์ติ้งและนอนอินเวอร์ติ้ง ของ ออปแอมป์ สำหรับอัตราการขยายออปแอมป์ของสามารถกำหนดได้โดย กำหนดอัตราส่วนระหว่างความต้านทานที่ป้อนกลับและความต้านทานอินพุท โดยในที่นี้ กำหนดอัตราขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อให้ใช้กับแหล่งจ่าย +12V กับกราวน์นั้นที่ ขานอนอินเวอร์ติ้งอินพุทของออปแอมป์ต้องจัดไบอัสแรงดันที่มีขนาดประมาณกึ่งหนึ่งของแหล่งจ่าย VCC ซึ่งกำหนดโดยใช้ซีเนอร์ไดโอด 6.2 V สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK แสดงดังรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

3.2.8 วงจรอินทีเกรทแอนดัมท์ (interated and dump)

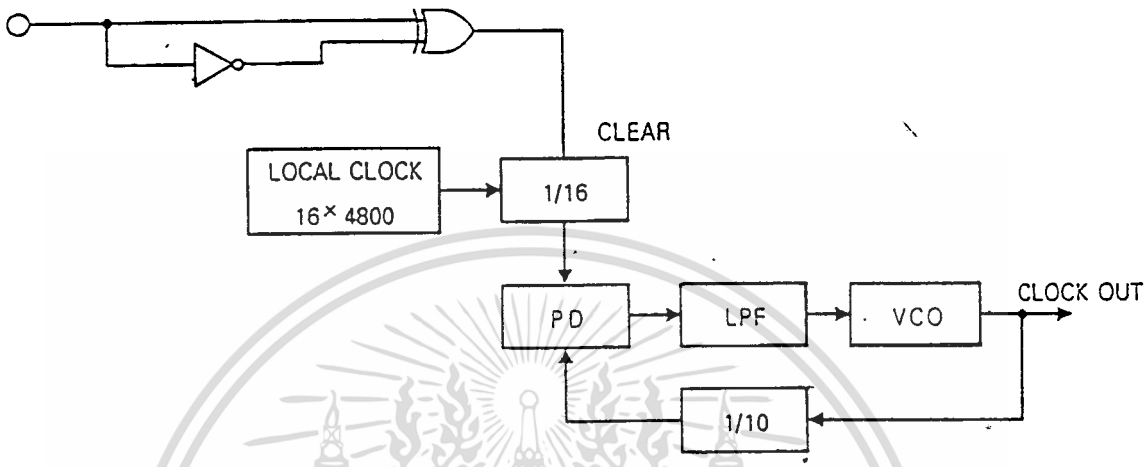
ถึงแม้ว่าสัญญาณเอ้าท์พุทของวงจรคูณ จะเป็นสัญญาณเบสแบนด์ NRZ-I แล้วก็ตามแต่สัญญาณจะเกิดการสั่น (jitter) เนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ-I ที่แน่นอนทางภาครับจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายที่ช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรท สัญญาณลูกต่อไปต้องทำการรีเซ็ท (reset)หรือดัมท์ (dump) ให้วงจรอินทิเกรทที่ค่า 0 ก่อนทุกครั้ง วงจรอินทีเกรทแอนดัมท์ จะประกอบด้วย วงจรอินทีเกรท, ฟลิปฟลอป, อีเล็กทรอนิคส์สวิทซ์ และวงจรสร้างซิงค์พัลซ์ (syn pulse)

PSK จากรูปอินพุทของวงรคือสัญญาณ NRZ_{in} ที่มาจากเอาท์พุทของวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น (jitter) อยู่โดยขึ้นอยู่กับขนาด SNR ของสัญญาณที่อินพุทของวงจรดีมอดูเลท PSK (SNR_i) โดยสัญญาณเบสแบนด์ที่ถูกอินทีเกรทดังแสดงในรูปที่ 3.12 ซึ่งเป็นเอ้าท์พุทของวงจรอินเวอร์ติ้งอินทีเกรท (inverting integrated) จากรูปปลายช่วงสัญญาณเบสแบนด์แต่ละช่วงจะถูกรีเซ็ทโดย syn pulse) ซึ่งสัญญาณ syn pulse จะได้จากวงจรกู้สัญญาณนาฬิกา (clock reovery) สำหรับเอ้าท์พุทของวงจรอินเวอร์ติ้งอินทีเกรเตอร์จะป้อนให้กับฟลิปฟลอปเพื่อให้ตัดสินค่าระดับลอจิกโดยเอ้าท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ NRZ-I ที่ถูกหน่วงเวลาไป 1 บิท โดยขนาดของการสั่นของสัญญาณเบสแบนด์จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.9 วงจรกู้สัญญาณนาฬิกา

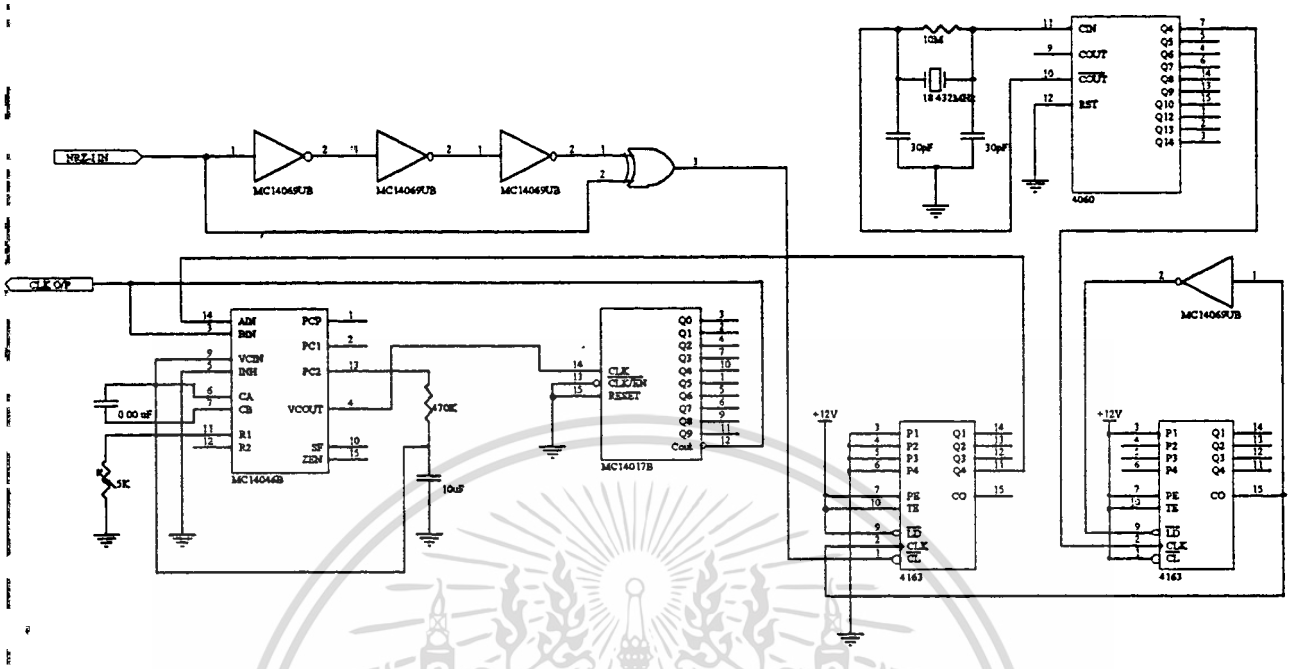
สำหรับการสร้างสัญญาณนาฬิกาที่ภาครับขนาด 4,800 bps ให้สามารถซิงโครไนซ์กับภาคส่งได้ ใช้หลักการแสดงดังรูป 3.13



รูปที่ 3.13 แสดงหลักการวงจรกู้สัญญาณนาฬิกา

จากรูปวงจรประกอบด้วยวงจรสร้างความถี่อ้างอิง (local clock) ซึ่งสร้างความถี่ขนาด 16 เท่า ของ 4,800 Hz. วงจรหาร 16, วงจรหาการเปลี่ยนแปลงของขอบสัญญาณ, วงจร PLL โดยจากอินพุทสัญ ญ า ณ NRZ จะถูกนำมาหาขอบสัญญาณ (transition) โดยใช้วงจรนอทเกทหน่วงสัญญาณ NRZ-I ที่อินพุทแล้ว ทำการเอ็กซ์คลูซีฟออร์เกทเข้ากับสัญญาณ NRZ-I เดิมซึ่งจะทำให้ที่เอ้าท์พุทเอ็กซ์คลูซีฟออร์เกทได้สัญญาณพัลซ์แคบๆ ซึ่งเกิดขึ้นทุกการเปลี่ยนแปลงสัญญาณอินพุท โดยสัญญาณพัลซ์นี้เป็นสัญญาณเคลียร์ (clear) ให้วงจรหาร 16 โดยที่อินพุทเป็นความถี่ขนาด 16 เท่าของความถี่บิทเรท ดังนั้นความถี่ของสัญญาณนาฬิกาที่เอ้าท์พุทวงจรหาร 16 จะเป็นความถี่ของสัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณเบสแบนด์ที่รับเข้ามา โดยขนาดของความถี่สัญญาณนาฬิกาที่เอ้าท์พุทวงจรหาร 16 จะถูกปรับอัตราการหารด้วยขนาดต่างๆ กัน โดยขึ้นอยู่กับขอบของสัญญาณเบสแบนด์ที่อินพุทของวงจรกู้สัญญาณนาฬิกา โดยที่เอ้าท์พุทของวงจรหาร 16 จะเป็นความถี่ขนาด 4,800 Hz แต่ยังมีการสั่น (jitter) ดังนั้นจึงใช้วงจร PLL ซึ่งทำหน้าที่คล้ายวงจรกรองความถี่ผ่านย่านทำการสร้างเฉพาะความถี่นาฬิกาที่ไม่มีการสั่นผ่านไปเป็นสัญญาณนาฬิกาเอ้าท์พุท สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูป 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



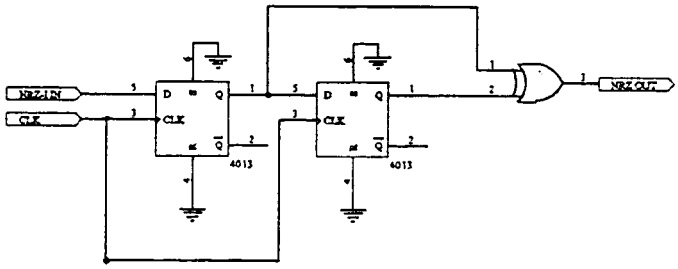
รูปที่ 3.14 แสดงวงจรกู้สัญญาณนาฬิกาใช้ในทางปฏิบัติ

จากรูปวงจรสร้างความถี่อ้างอิง (local clock) สร้างความถี่ 16 เท่าของ 4,800 Hz ประกอบด้วยวงจรรวม 4060 วงจรรวม 4163 โดยวงจรรวม 4060 เป็นวงจรไบนารีและมีเกทออสซิเลทอยู่ภายใน โดยเกทออสซิเลทใช้สร้างความถี่อ้างอิง ซึ่งกำหนดโดยคริสตอลขนาด 18.432 Mhz สำหรับความถี่ 16 เท่าของ 4,800 Hz ได้เอ้าท์พุท Q4 ของ 4060 หาร 15 โดยวงจรรวม 4163 สำหรับวงจรหาร 16 ใช้วงจรรวม 4163 โดยสัญญาณอินพุทเคลียร์ที่ได้จากวงจรหาการเปลี่ยนแปลงของขอบ ซึ่งเป็นการต่อรวมระหว่างนอทเกทและวงจรเอ็กซ์คลูซีฟออร์เกทที่กล่าวมาข้างต้นสำหรับส่วนของวงจร PLL ประกอบด้วยวงจรรวม 4046 และวงจรรวม 40162 โดยวงจรรวม 4046 ประกอบด้วยส่วนวงจร VCO และเฟสดีเทคเตอร์โดยขนาดของความถี่ VCO ตั้งให้มีขนาด 10 เท่าของสัญญาณอินพุทหรือขนาดเท่ากับ 48 KHz โดยวงจรรวม 40162 เป็นวงจรหาร 10 สำหรับป้อนสัญญาณกลับไปเปรียบเทียบเฟสกับอินพุทที่มีจิทเตอร์ขนาด 4,800 Hz โดยเอาสัญญาณป้อนกลับนี้ไปใช้งานเป็นสัญญาณนาฬิกาสำหรับค่า RC สำหรับวงจรกรองในลูปของ PLL ซึ่งต่อที่ขา 13 และ 9 ของวงจร 4046 ทดลองเลือกจากทางปฏิบัติใช้ขนาด 470 KΩ และ 10 μF ตามลำดับ

3.2.10 วงจรถอดรหัสสัญญาณ NRZ-I / NRZ

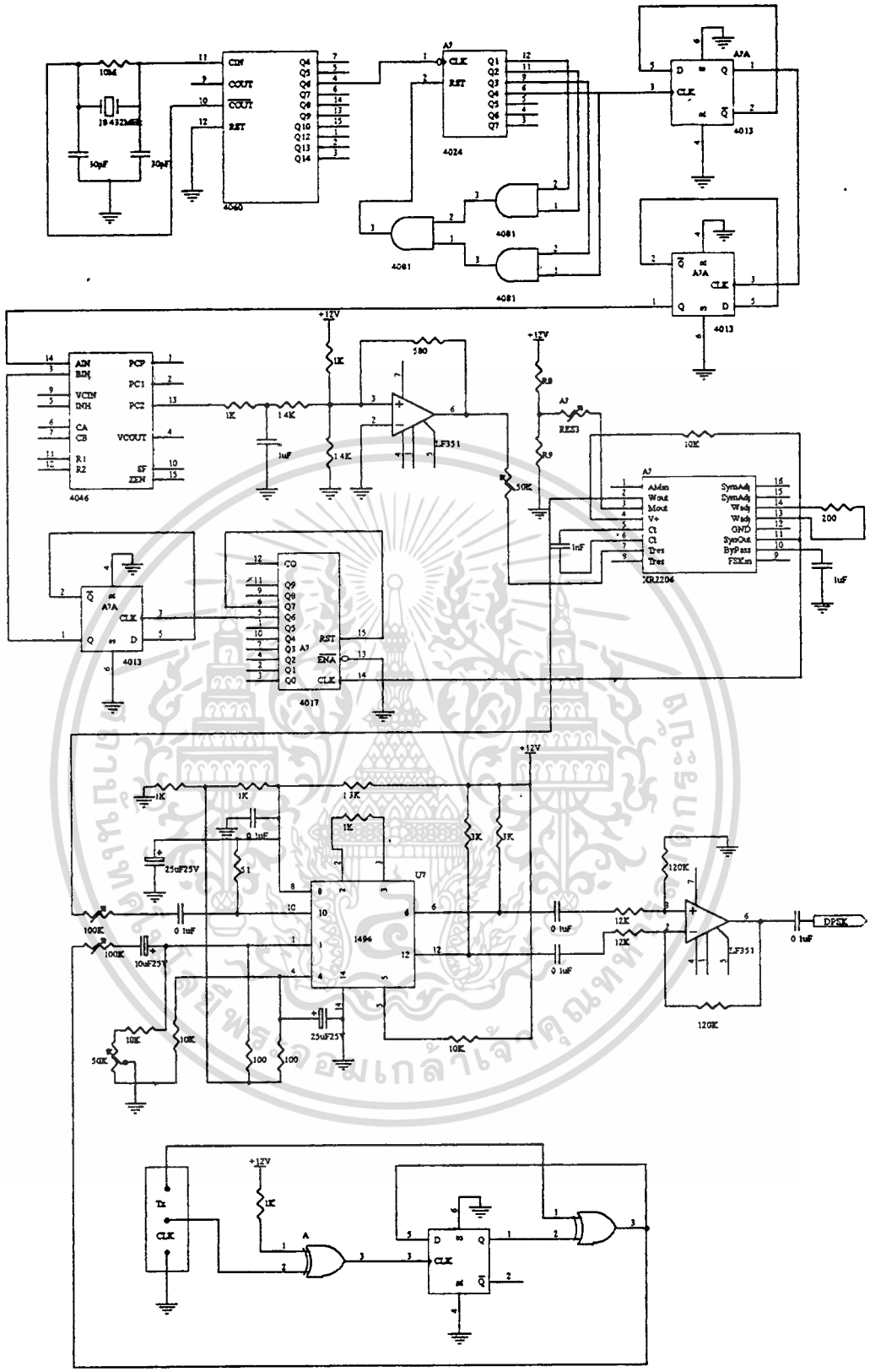
สำหรับการถอดรหัสสัญญาณ NRZ-I ซึ่งใช้ NRZ-S เป็น NRZ-L นั้นใช้วงจร ดังรูป 3.15 จากรูปการมอดูเลทและการหน่วงเวลา 1 บิท ใช้เอ็กซ์คลูซีฟออร์เกท 4070 และดีฟลิปฟลอปเช่นเดียวกับวงจรเข้ารหัสสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



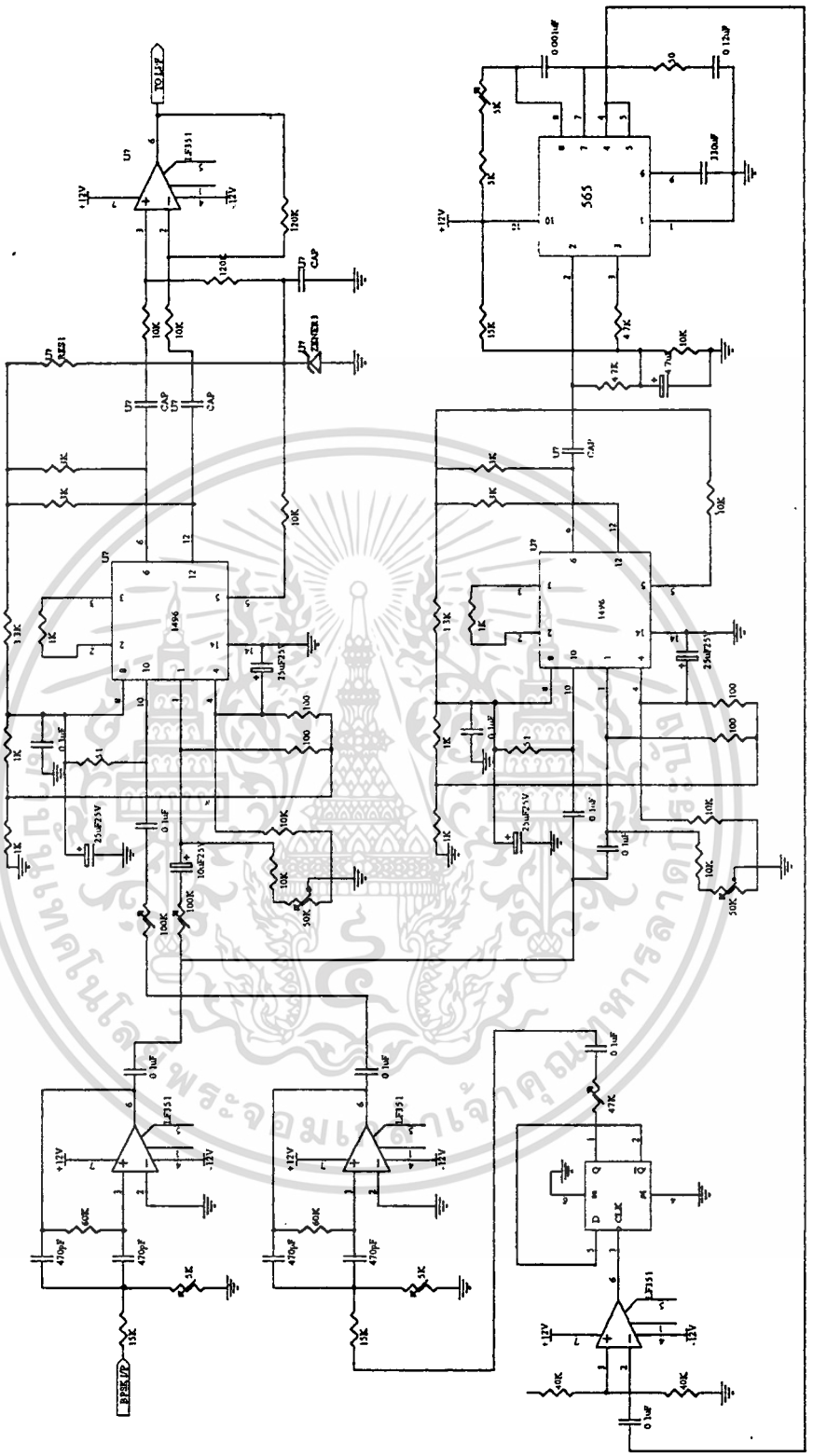
รูปที่ 3.15 วงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



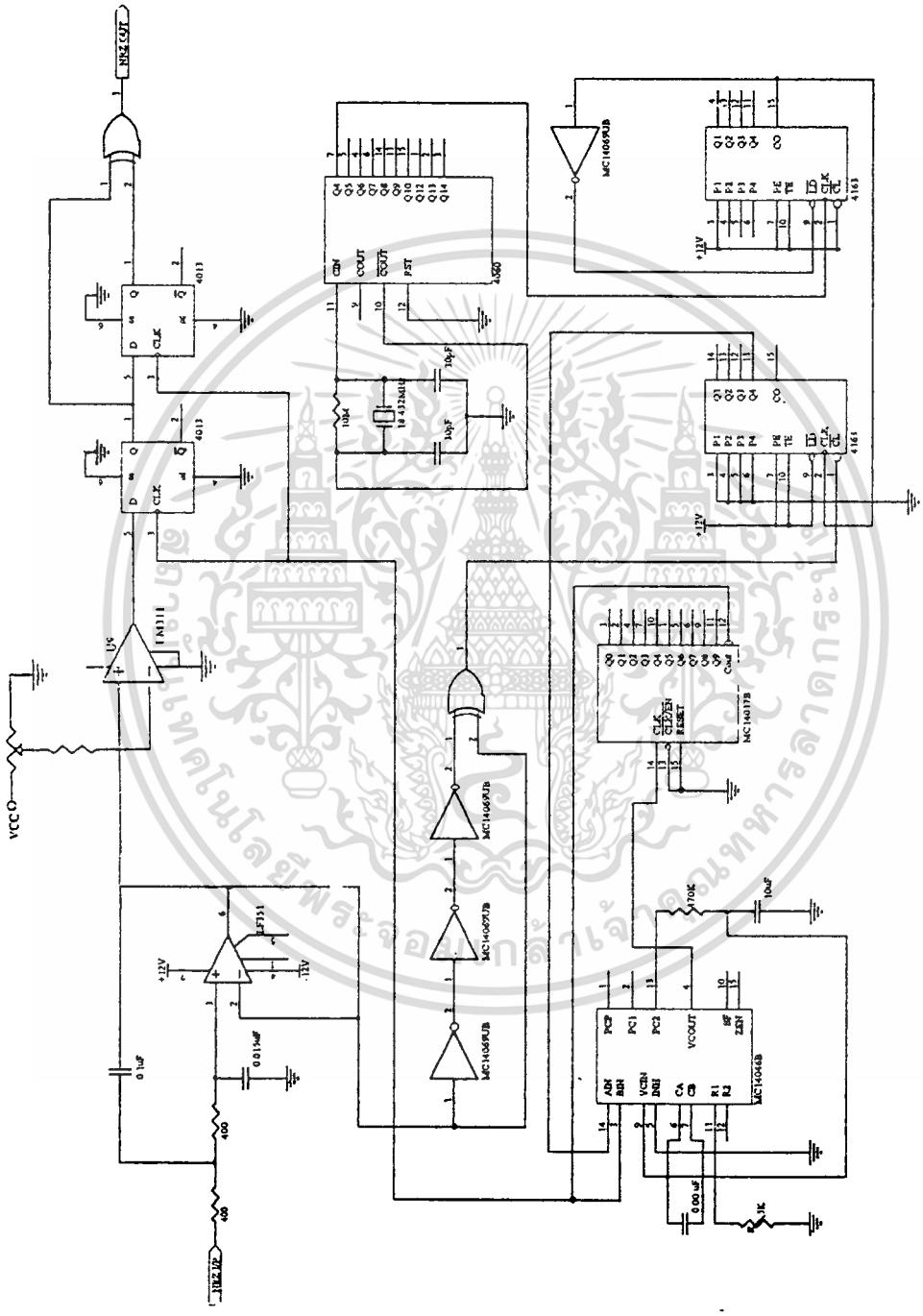
รูปที่ 3.16 วงจรภาคส่งของ DPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 (ก) วงจรภาครับของ DPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 (ข) วงจรภาครับของ DPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

เครื่องมือที่ใช้ในการทดลอง

- Oscilloscope
- Function Genertor
- Power Supply 12 V

ผลการทดลองจะเริ่มตั้งแต่การสร้างชุดเครื่องส่งและเครื่องรับ โดยแบ่งออกเป็น

ชุดเครื่องส่ง ประกอบด้วย

1. วงจรสุ่ม DATA
2. วงจรเข้าสัญญาณ NRZ เป็น NRZ-I
3. ออสซิลเลเตอร์ 4800 Hz และสัญญาณคลื่นพาห์ 67.2 kHz
4. วงจร มอดูเลท DPSK

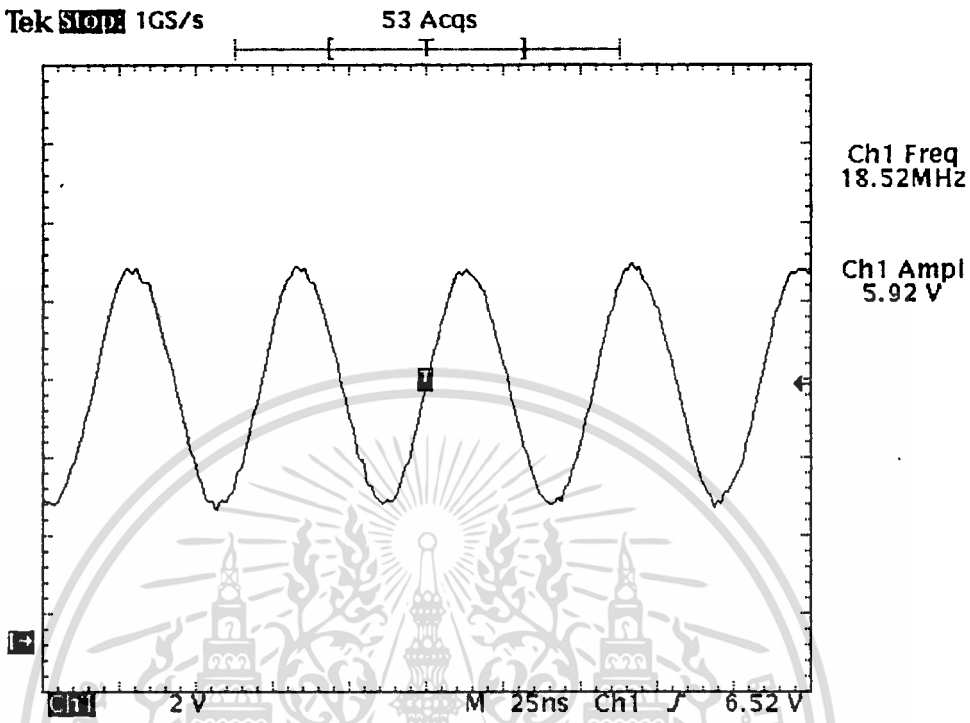
ชุดเครื่องรับ

1. วงจรดีมอดูเลท
2. วงจรกู้สัญญาณนาฬิกา
3. วงจรกู้สัญญาณคลื่นพาห์
4. วงจรแปลงสัญญาณ NRZ-I เป็น NRZ

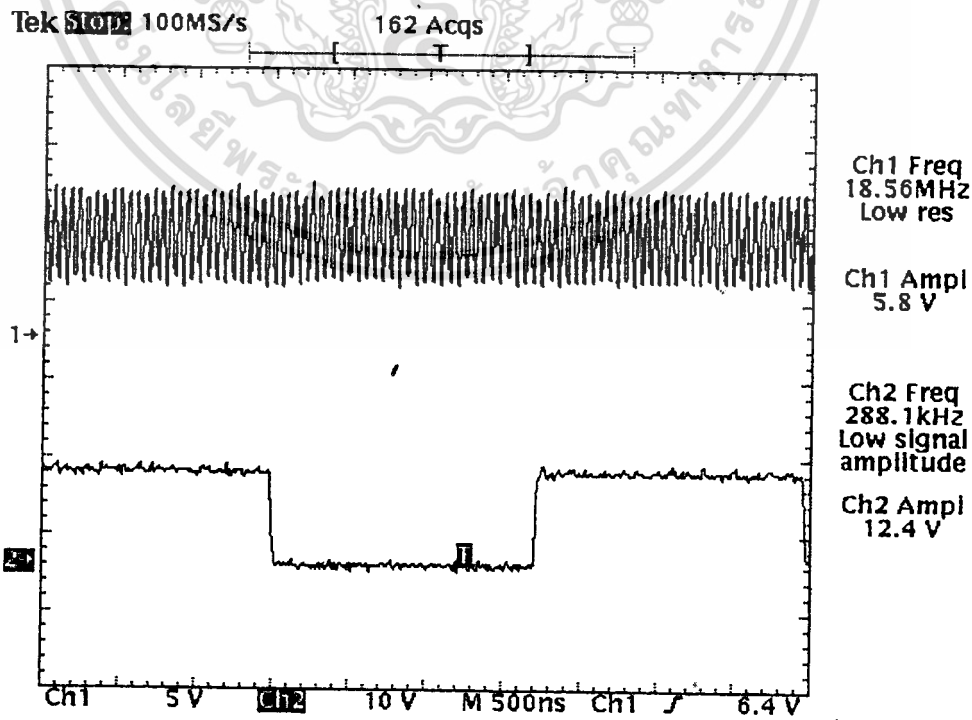
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างและทำการทดลองด้านส่ง

วงจรกำเนิดสัญญาณ 4800 Hz

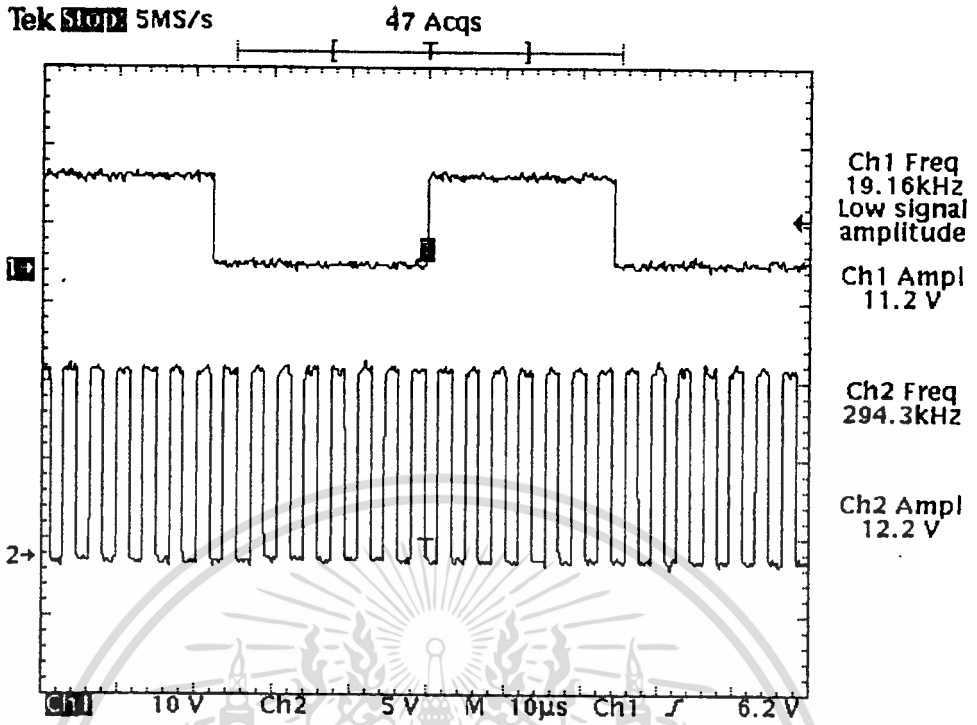


รูปที่ 4.1 ความถี่ 18.432 MHz จากคริสตอลออสซิลเลเตอร์

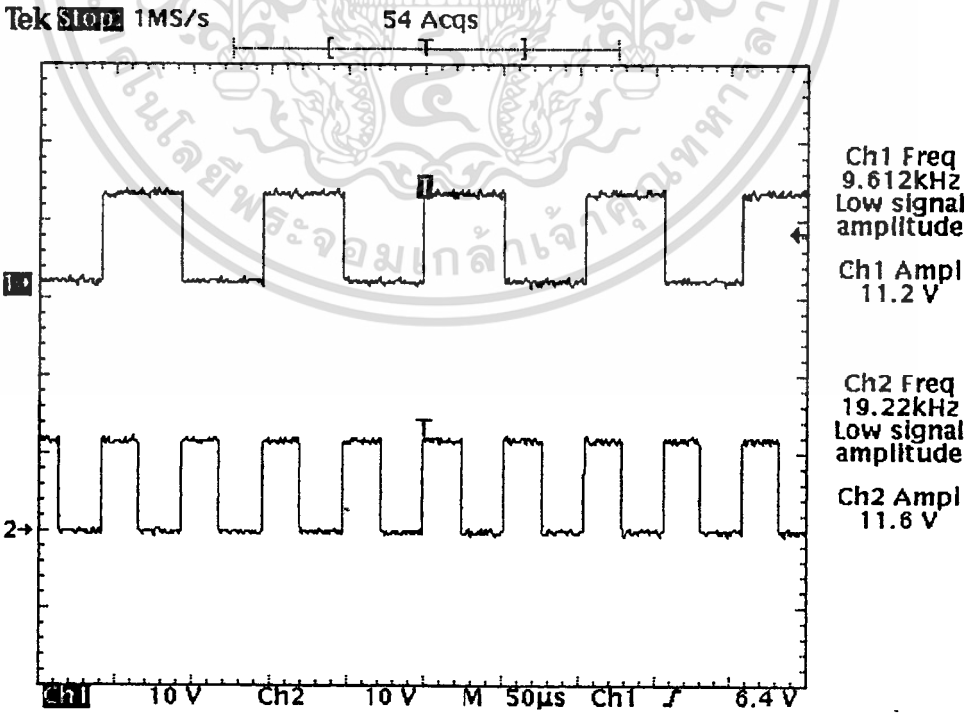


รูปที่ 4.2 ความถี่ 18.432 MHz จากคริสตอลออสซิลเลเตอร์เทียบกับสัญญาณเอ้าท์พุทที่ออกจาก วงจรหาร 64 ของ 4060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

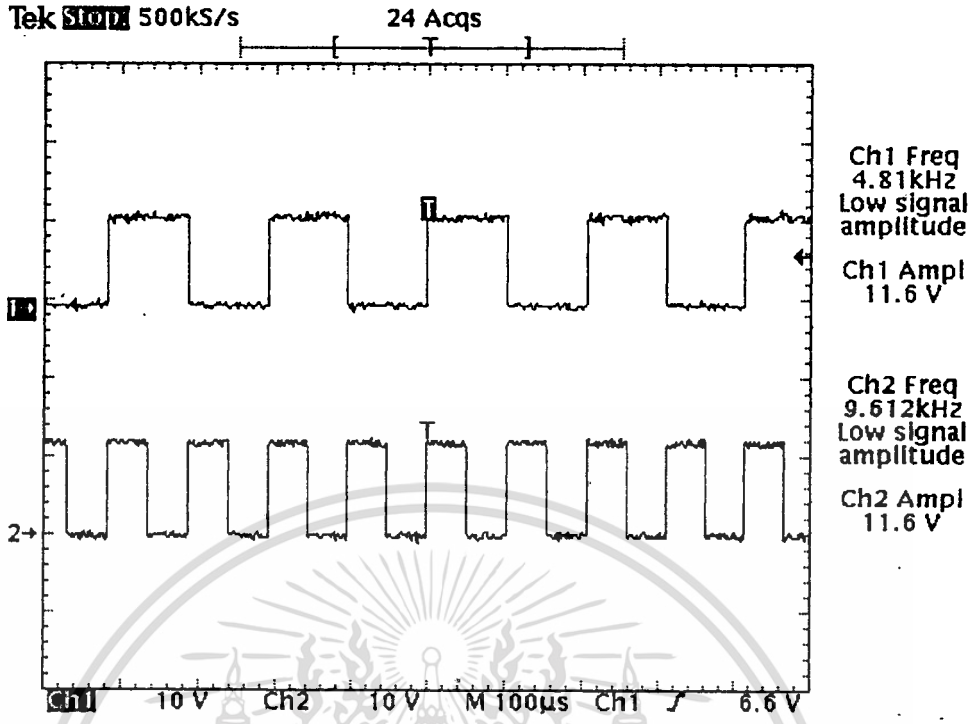


รูปที่ 4.3 เอ้าท์พุทที่ออกจากวงจรหาร 15 ของวงจรรวม 4024 เทียบกับสัญญาณคล็อกที่มาจากวงจรหาร 64

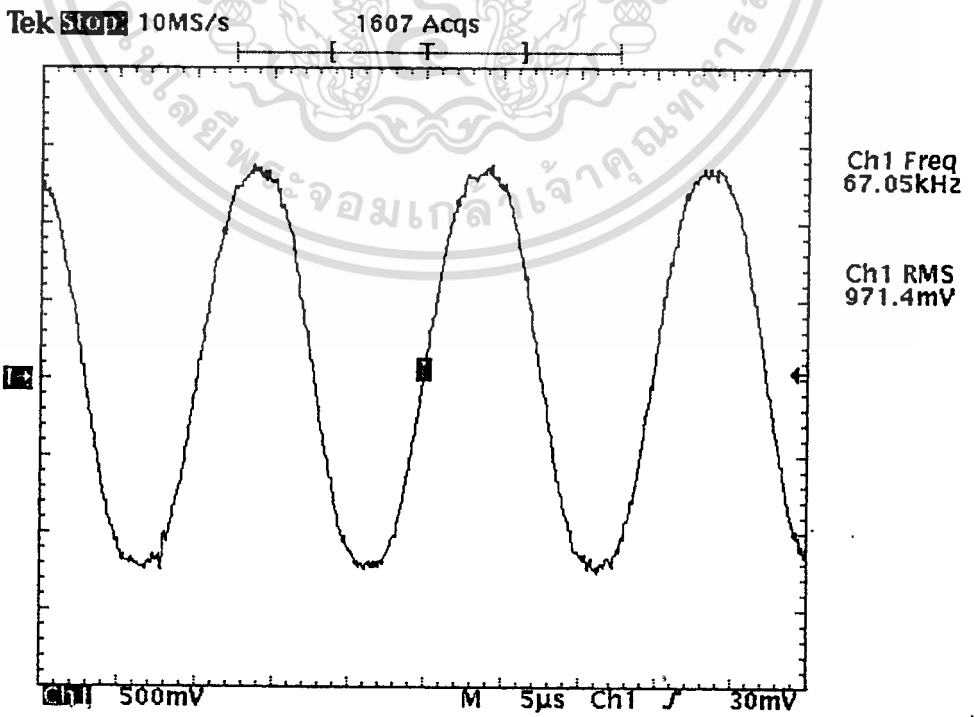


รูปที่ 4.4 สัญญาณเอ้าท์พุทที่ออกมาจากวงจรหาร 2 ตัวที่ 1 กับสัญญาณทางด้านอินพุทจากวงจรหาร 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

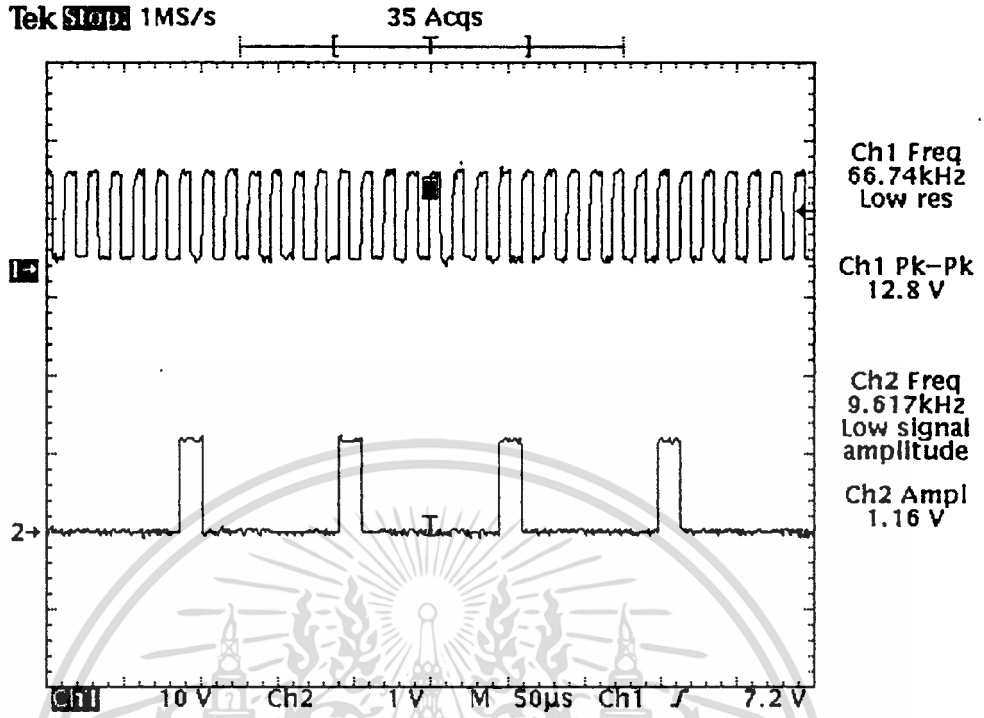


รูปที่ 4.5 สัญญาณความถี่ 4,800 เฮิร์ท เทียบกับสัญญาณทางด้านดินพุทจากวงจรหาร 2 วงจรสร้างความถี่ 67.2 kHz

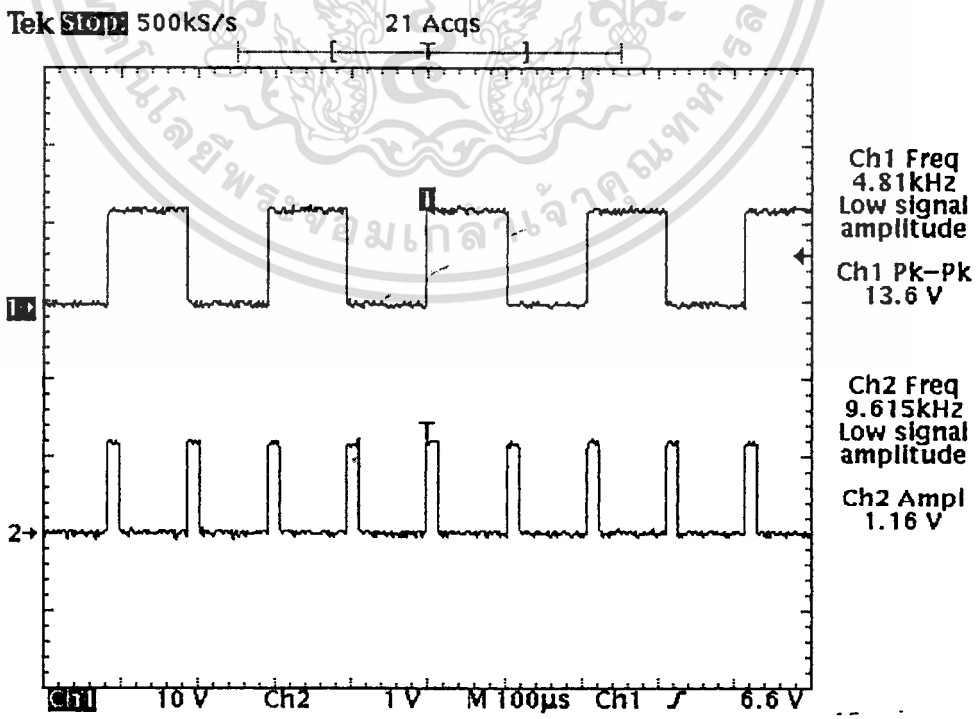


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 สัญญาณความถี่ 67.2 kHz จากขา 2 ของ XR-2206

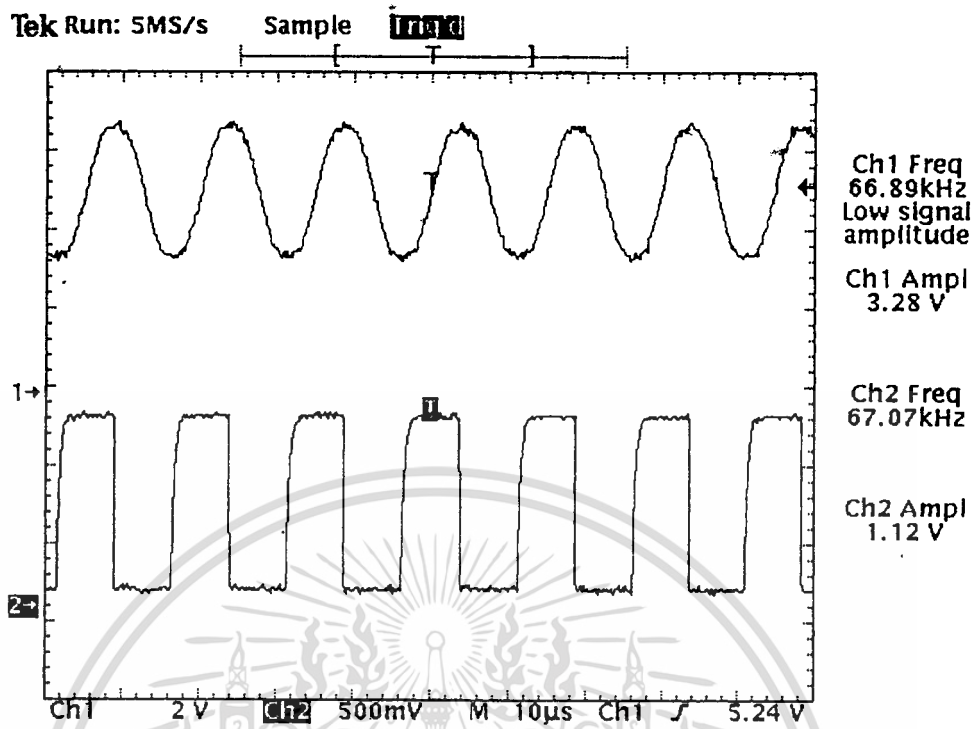


รูปที่ 4.7 สัญญาณ จากขา 11 ของ XR -2206 ซึ่งเป็นสัญญาณเทียบกับสัญญาณเอ้าท์พุทที่ออกจากวงจรหาร 7 ของวงจรรวม 4017

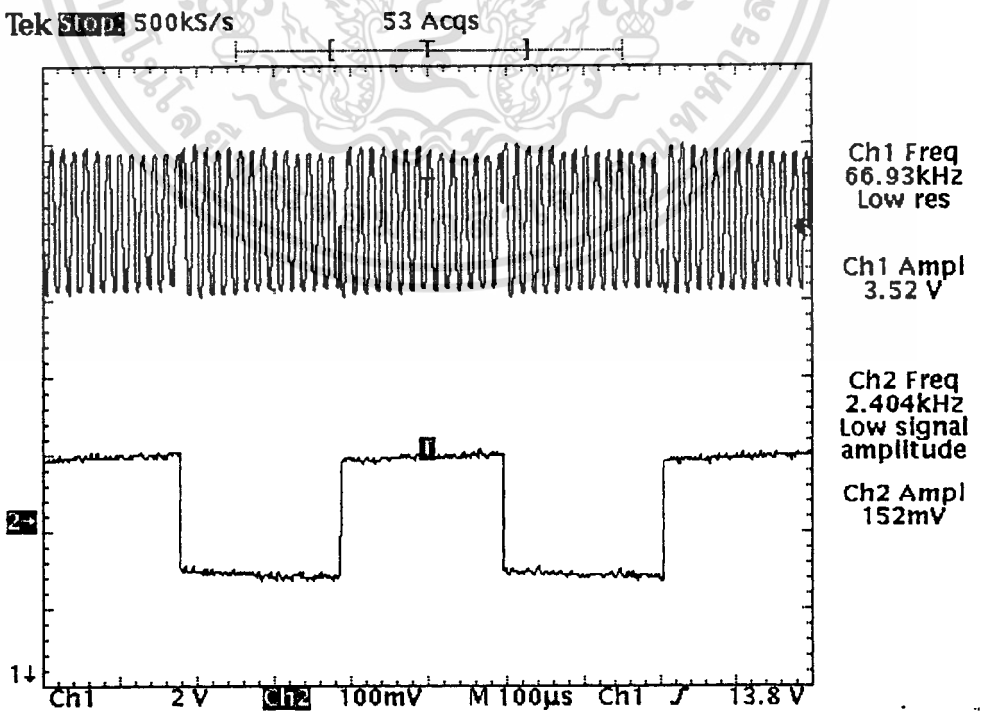


รูปที่ 4.8 สัญญาณเอ้าท์พุท จากวงจรหาร 2 ของไอซี 4013 เทียบกับสัญญาณทางด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

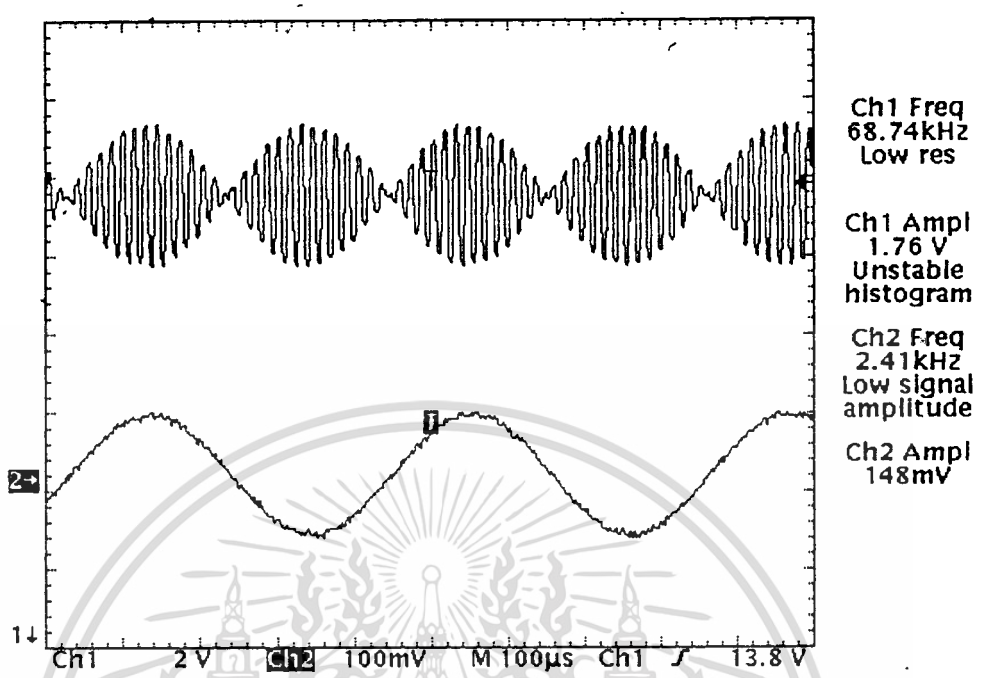


รูปที่ 4.9 สัญญาณความถี่ .67.2 kHz ที่ออกจากไอซี XR-2206 เทียบกับสัญญาณความถี่ 67.2 kHz ของขา 11 ของ XR-2206

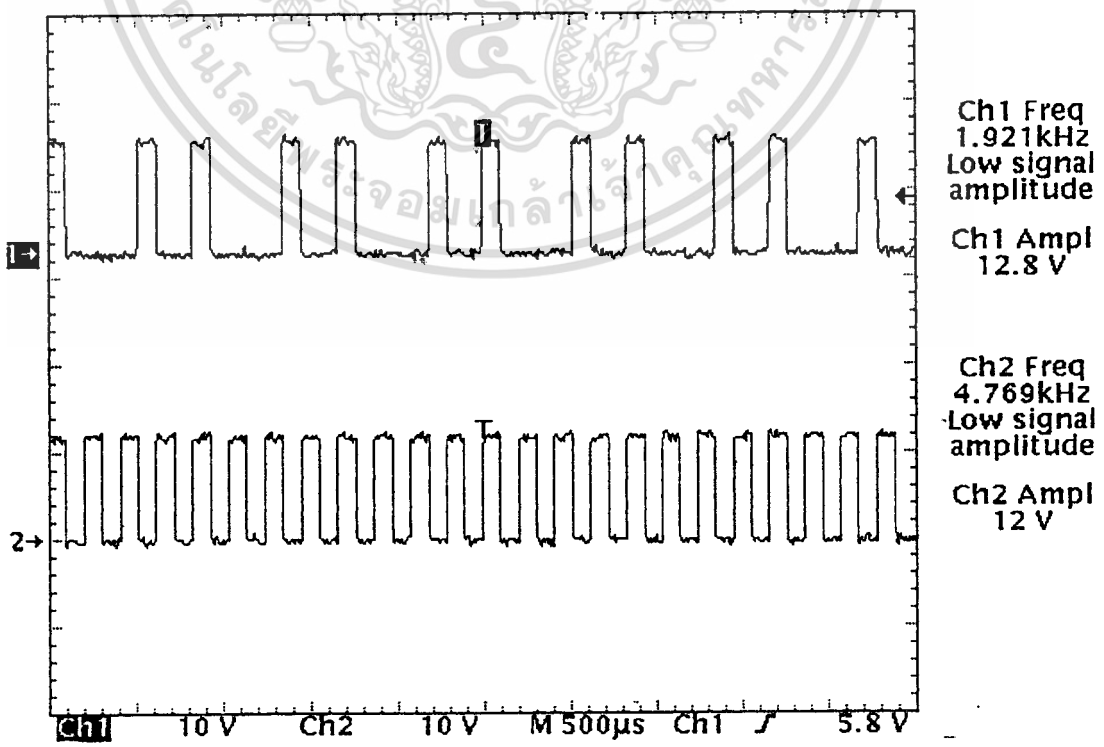


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 สัญญาณที่ได้จากวงจรมอดูเลทเมื่อสัญญาณเบสแบนด์เป็นสัญญาณ Square Wave ขนาด 4800 Hz



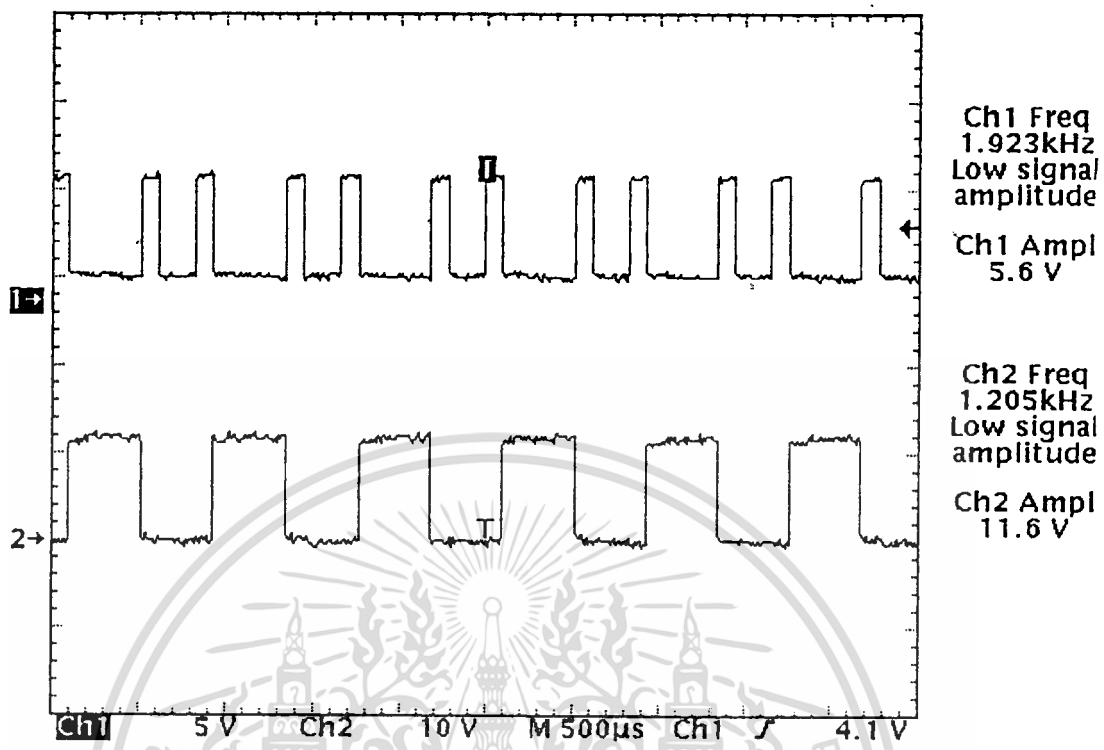
รูปที่ 4.11 สัญญาณที่ได้จากวงจรมอดูเลทเมื่อสัญญาณเบสแบนด์เป็นสัญญาณ Sine Wave ขนาด 2400 Hz วงจรสุ่มดาต้า



รูปที่ 4.12 สัญญาณที่ออกจากวงจรสุ่มดาต้า

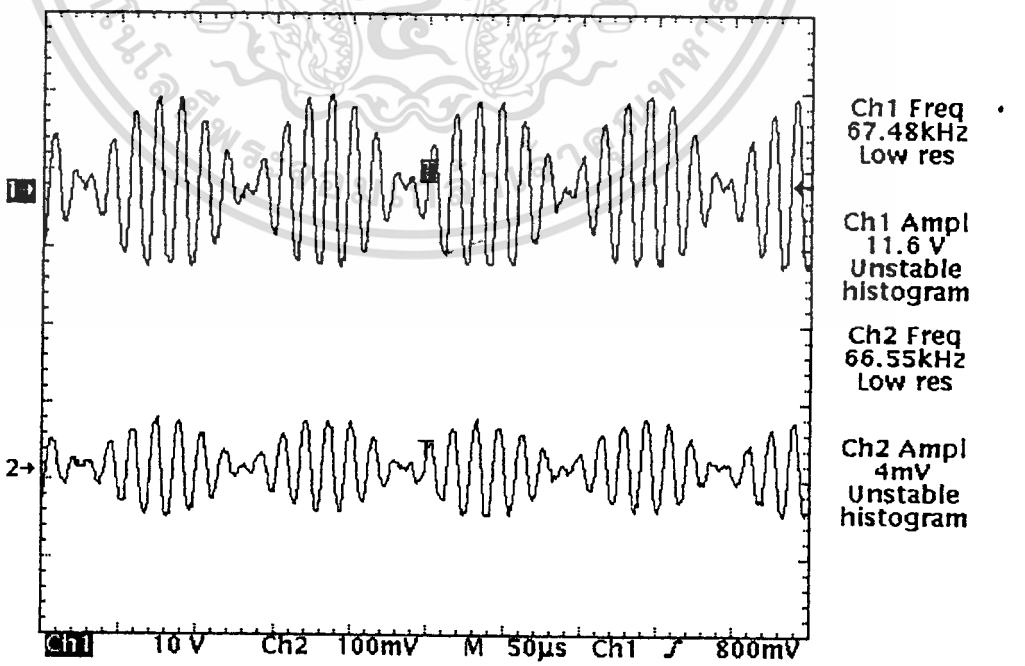
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเข้ารหัสสัญญาณ



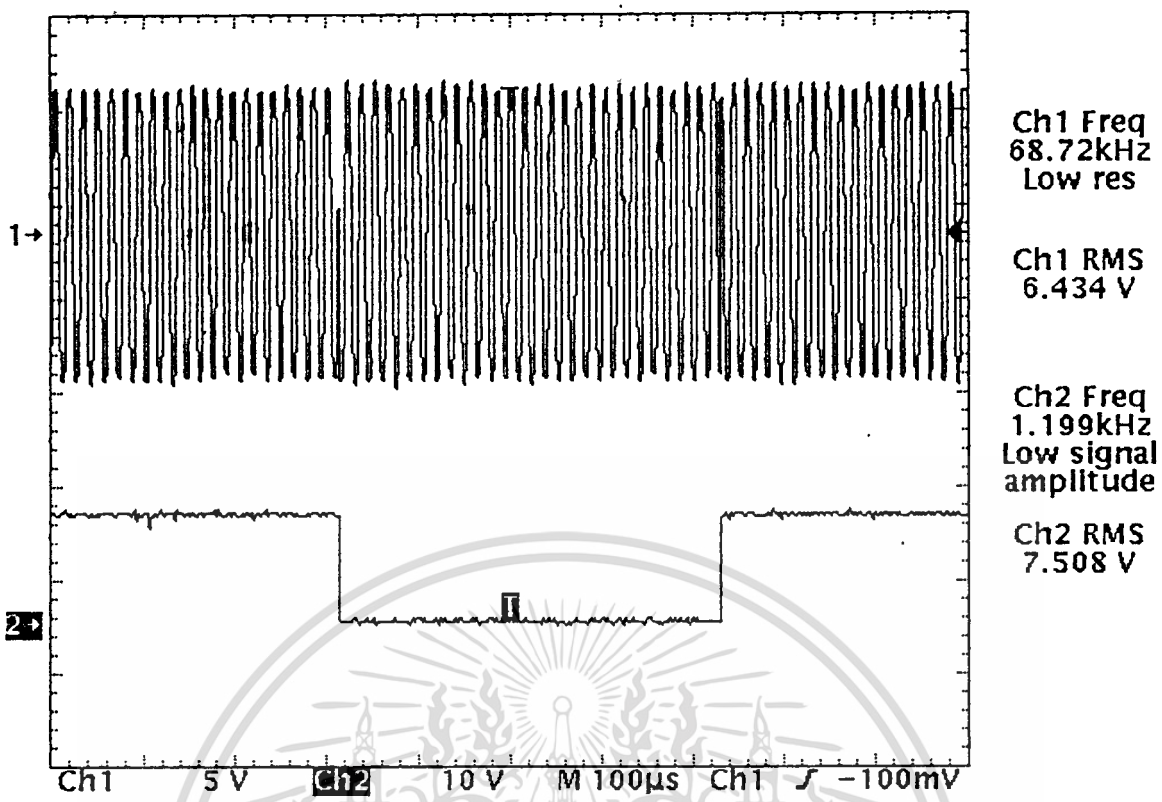
รูปที่ 4.13 สัญญาณเอ้าท์พุทที่ออกจากวงจรเข้ารหัสสัญญาณ

วงจร Difference Amplifier

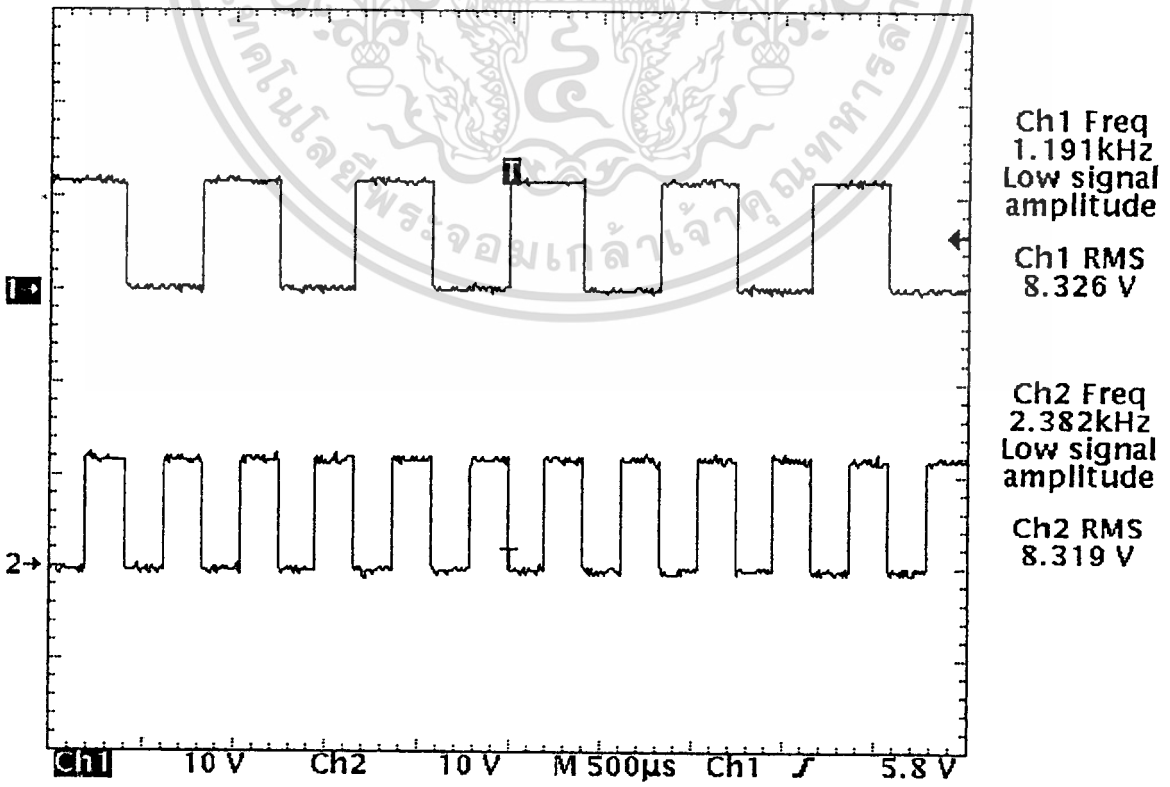


รูปที่ 4.14 สัญญาณที่ออกจากวงจร Difference Amplitier กับสัญญาณที่ออกจากการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

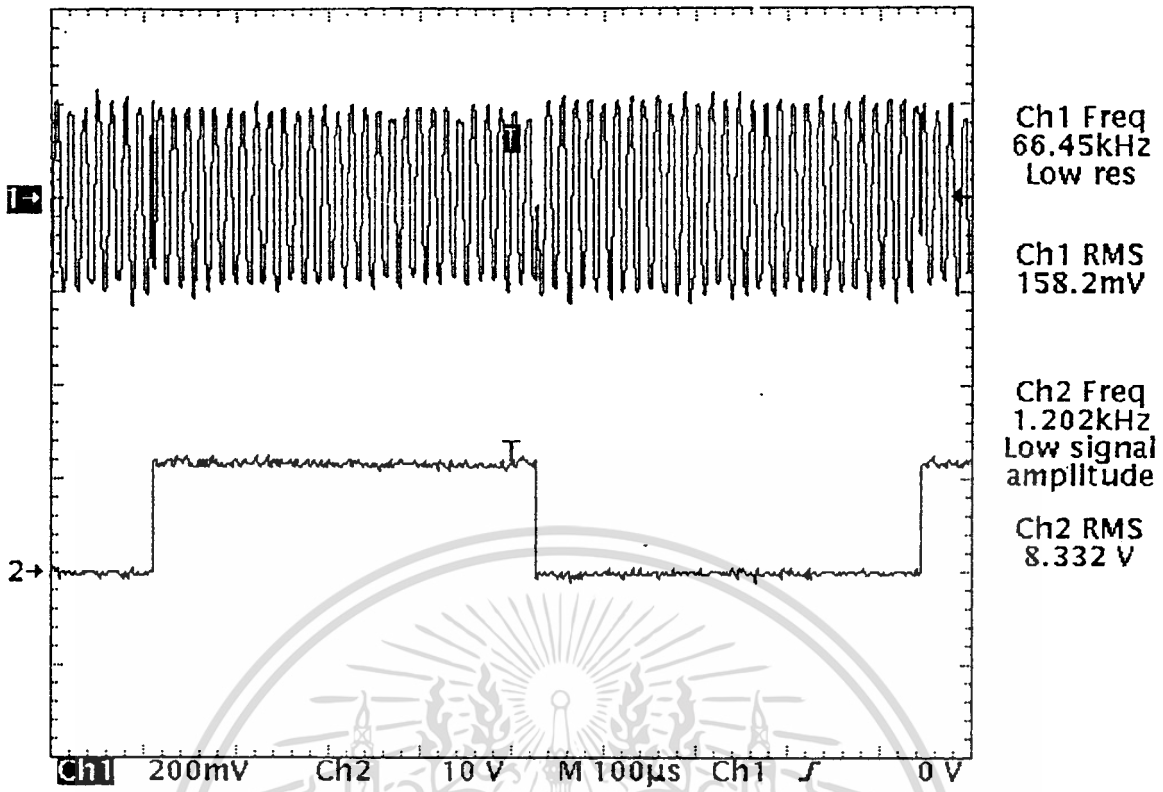


รูปที่ 4.15 แสดงรูปสัญญาณที่ผ่านวงจรขยายความแตกต่างเทียบกับสัญญาณเบสแบนด์

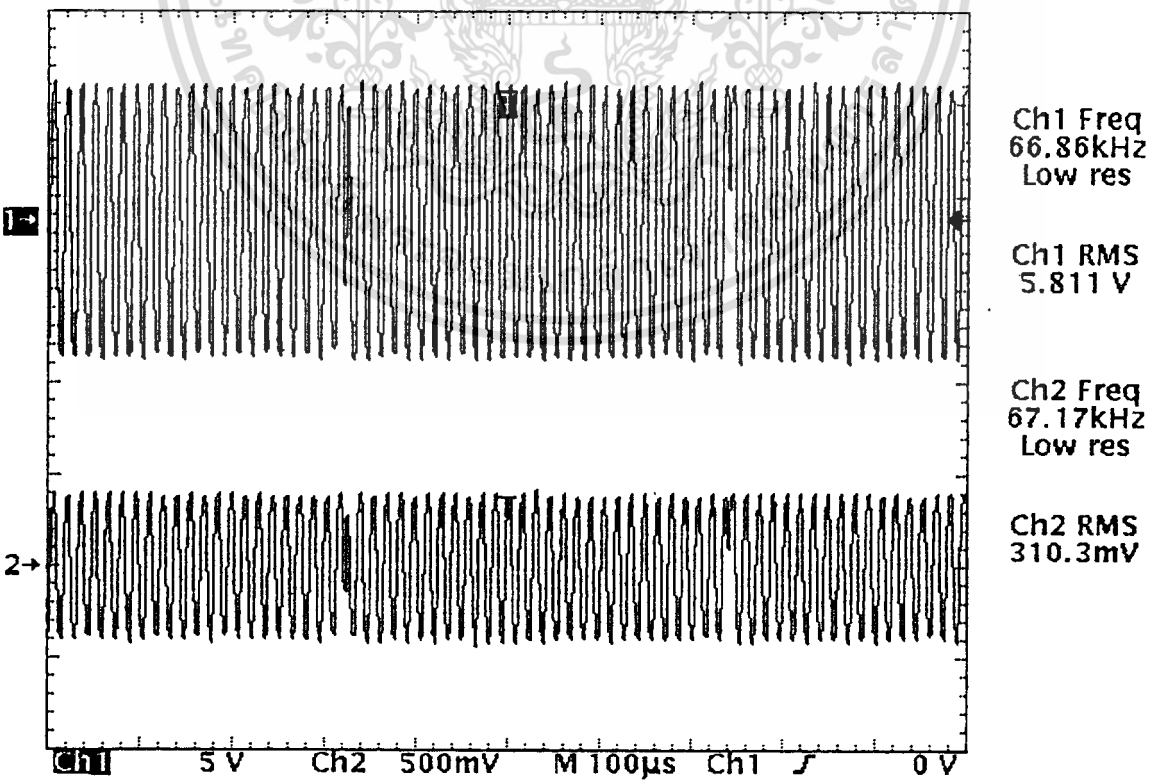


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น การอ้างอิงถึงต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ไปใช้

รูปที่ 4.16 แสดงรูปสัญญาณที่ผ่านวงจรเข้ารหัสสัญญาณกับรูปสัญญาณเบสแบนด์ ที่ป้อนให้กับวงจร

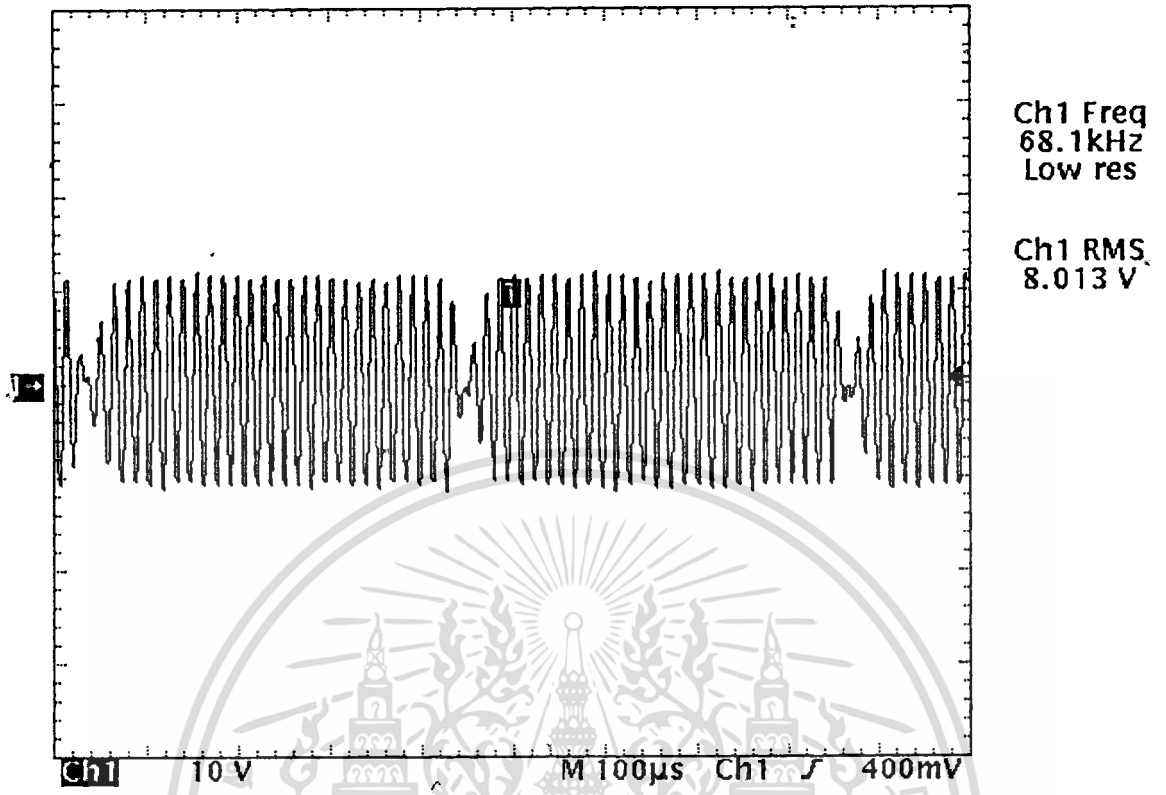


รูปที่ 4.17 แสดงรูปสัญญาณเบสแบนด์ที่ผ่านการ Modulation แล้วเทียบกับสัญญาณที่ผ่านการเข้ารหัส

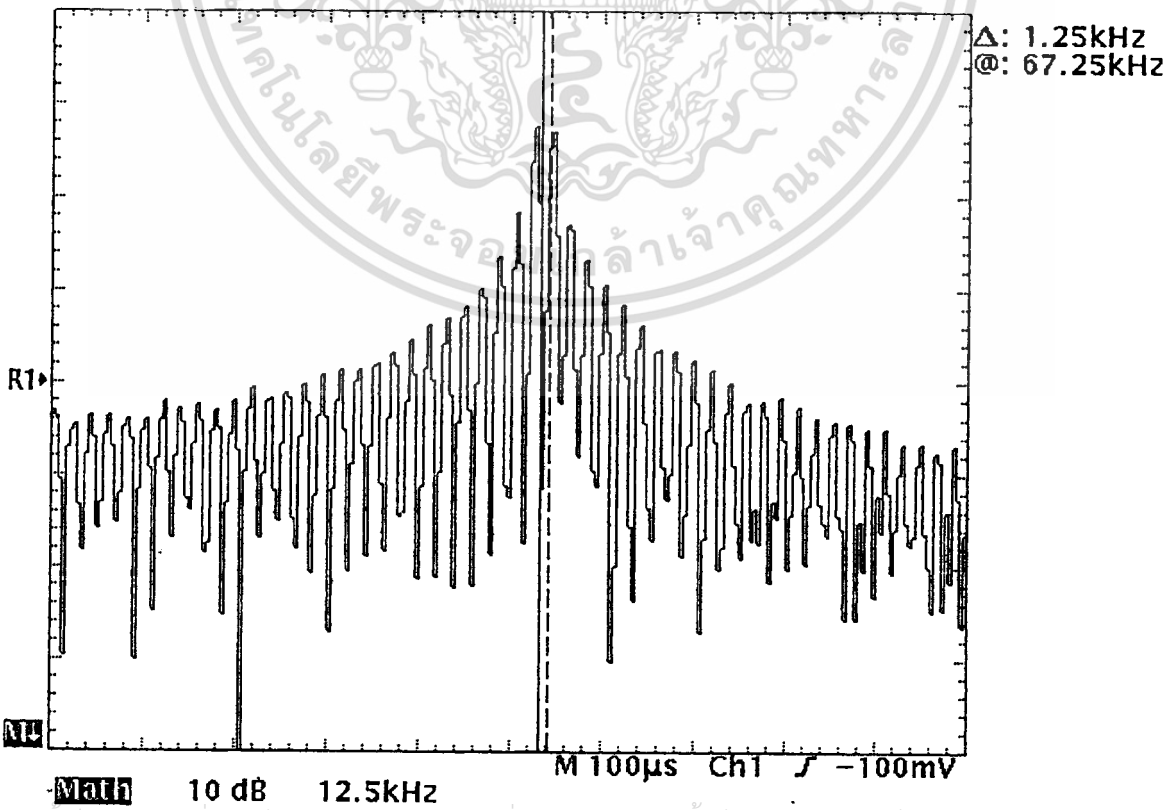


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 แสดงรูปสัญญาณที่เอาท์พุท ของ MC 1496 เทียบกับ สัญญาณที่ผ่านวงจรขยายความแตกต่าง



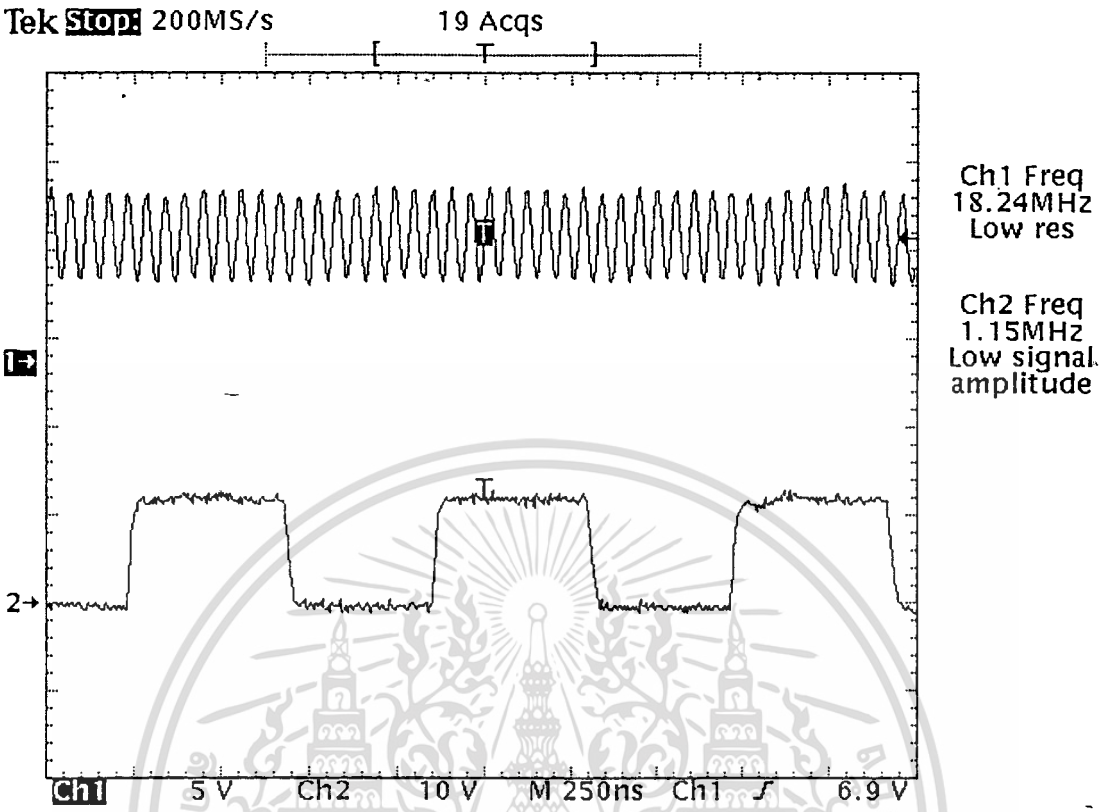
รูปที่ 4.19 แสดงรูปสัญญาณที่ผ่านวงจร BPF ทางภาคส่ง



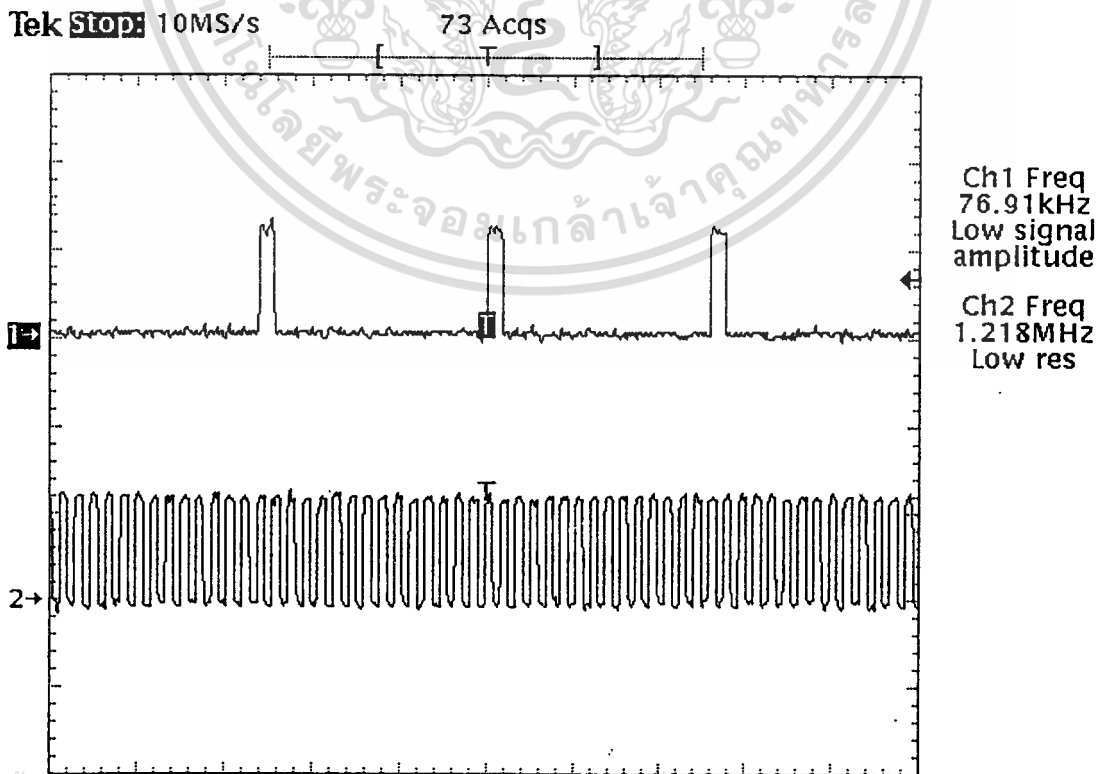
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

รูปที่ 4.20 แสดงรูปสัญญาณที่วิเคราะห์แบบ FFT (Fast Fourier Transform)

การสร้างและทำการทดลองด้านรับ

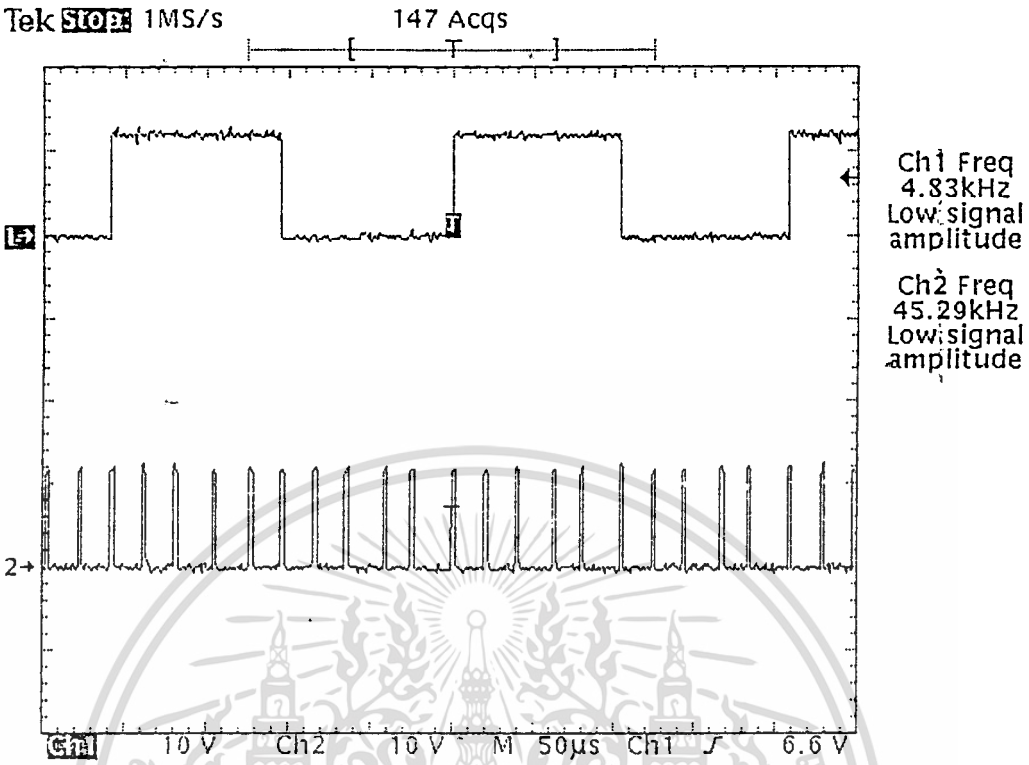


รูปที่ 4.21 ความถี่ 18.432 MHz จากคริสตอลออสซิลเลเตอร์เทียบกับสัญญาณ เอ้าท์พุทที่ออกจากวงจรหาร 16 ของ 4060

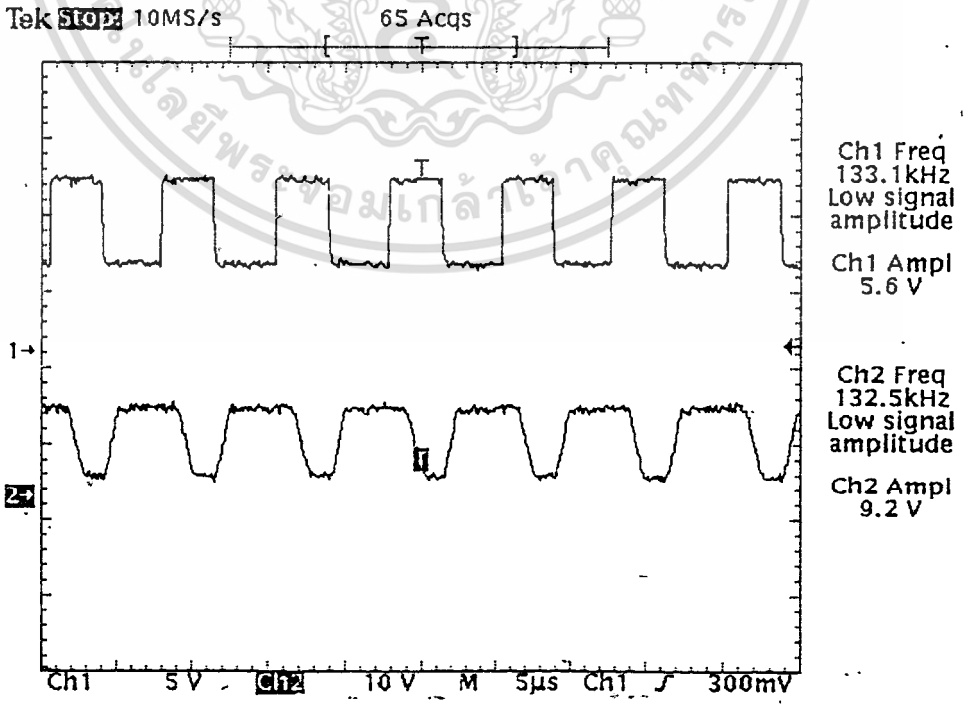


รูปที่ 4.22 สัญญาณที่ออกจากวงจรหาร 15 ของวงจรรวม 40163 เทียบกับสัญญาณทางด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้นำไปดัดแปลง เผยแพร่ หรือนำไปใช้

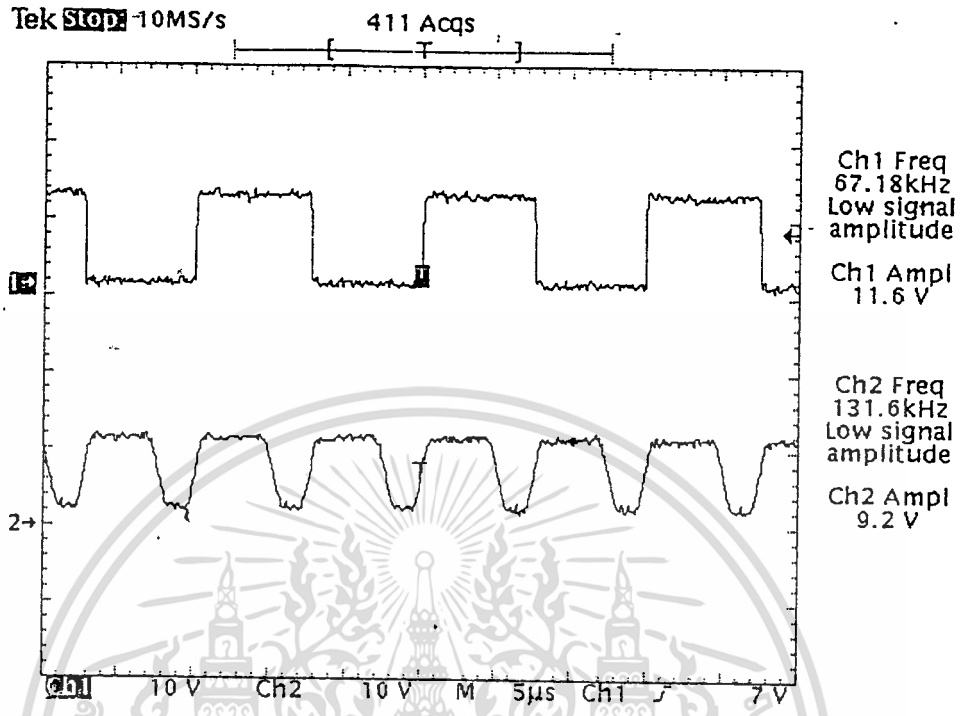


รูปที่ 4.23 สัญญาณที่ออกจากวงจรหาร 10 จากวงจรรวม 4017 กับสัญญาณ จากวงจร VCO วงจรกู้ Carrier

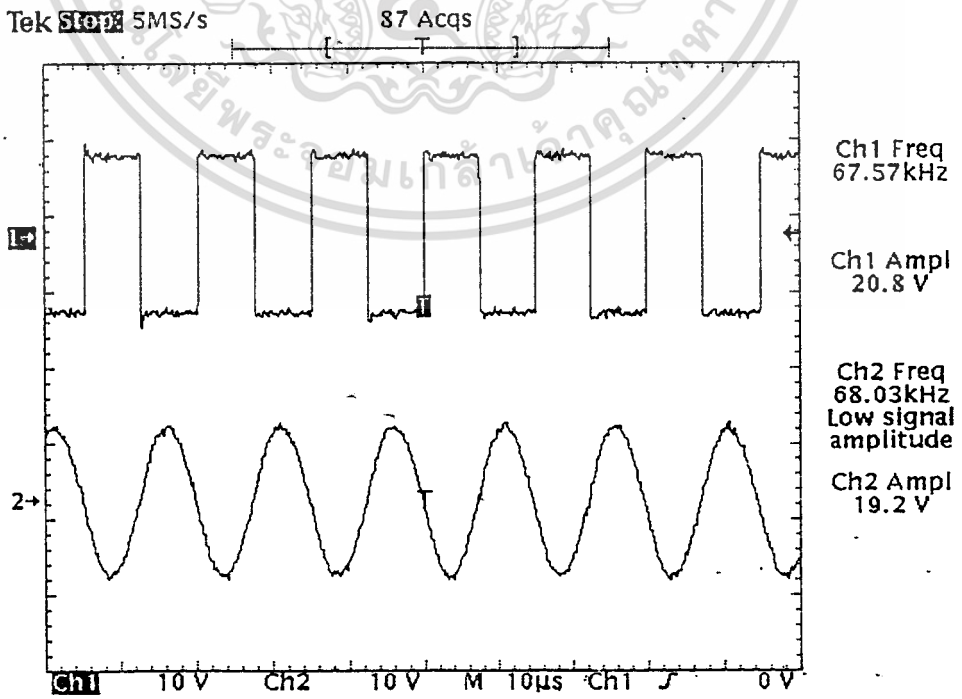


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งนี้ ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารฉบับนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 4.24 สัญญาณที่ออกจาก PLL เทียบกับสัญญาณที่ออกจากวงจรหารสอง



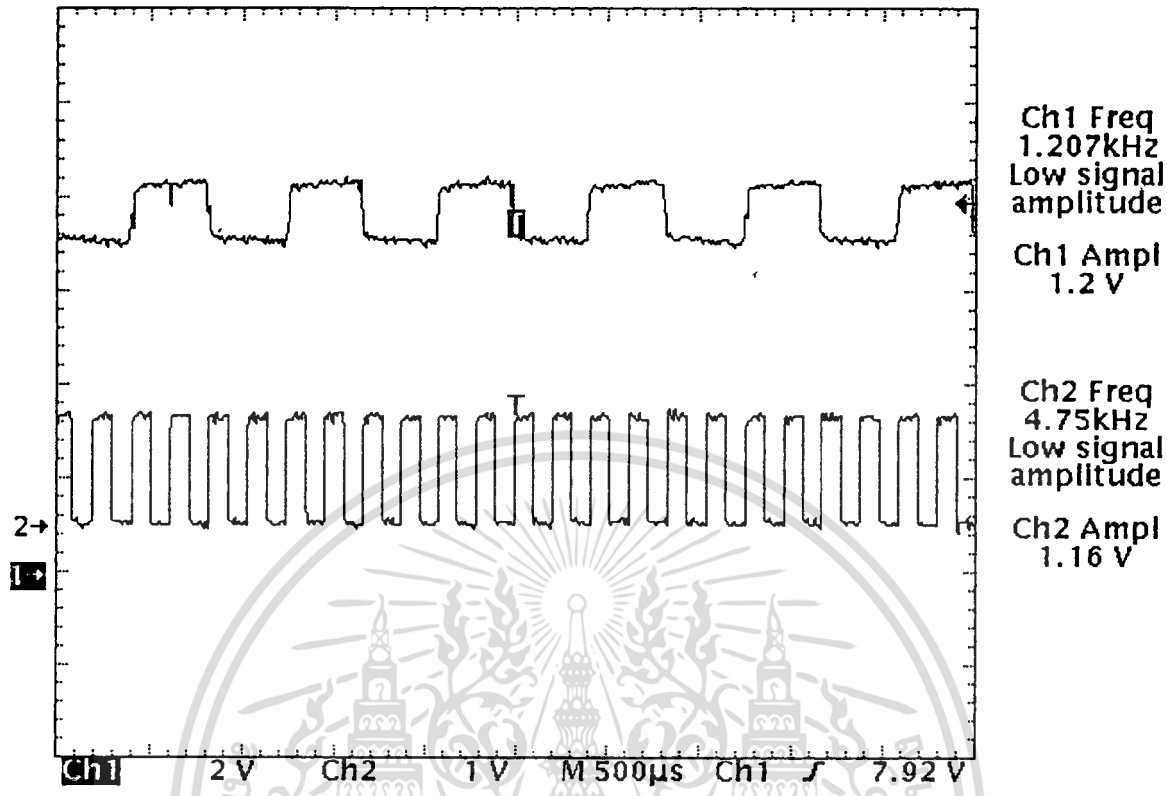
รูปที่ 4.25 ความถี่ที่ออกจากวงจรหาร 2 ของวงจรรวม 4013 เทียบกับสัญญาณทางด้านอินพุท



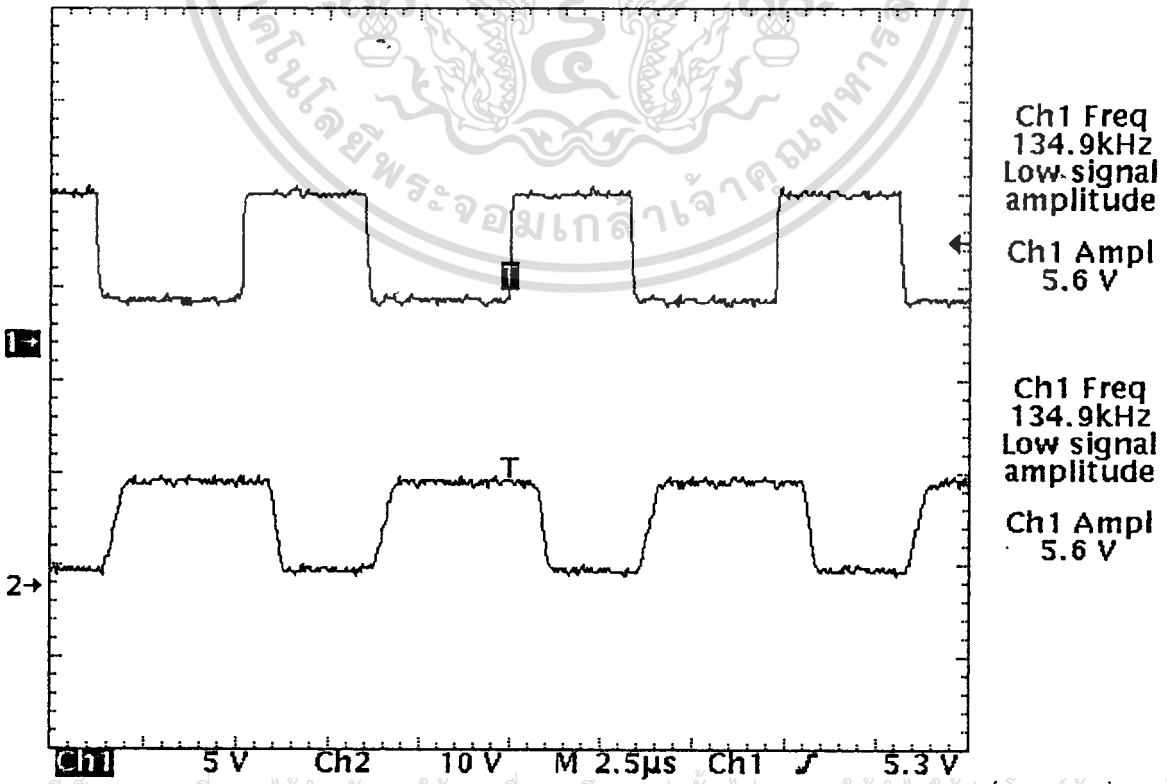
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.26 สัญญาณที่ออกจากวงจรหารสองของไอซี 4013 กับสัญญาณที่ออกจาก BPF

วงจร Clock Recovery

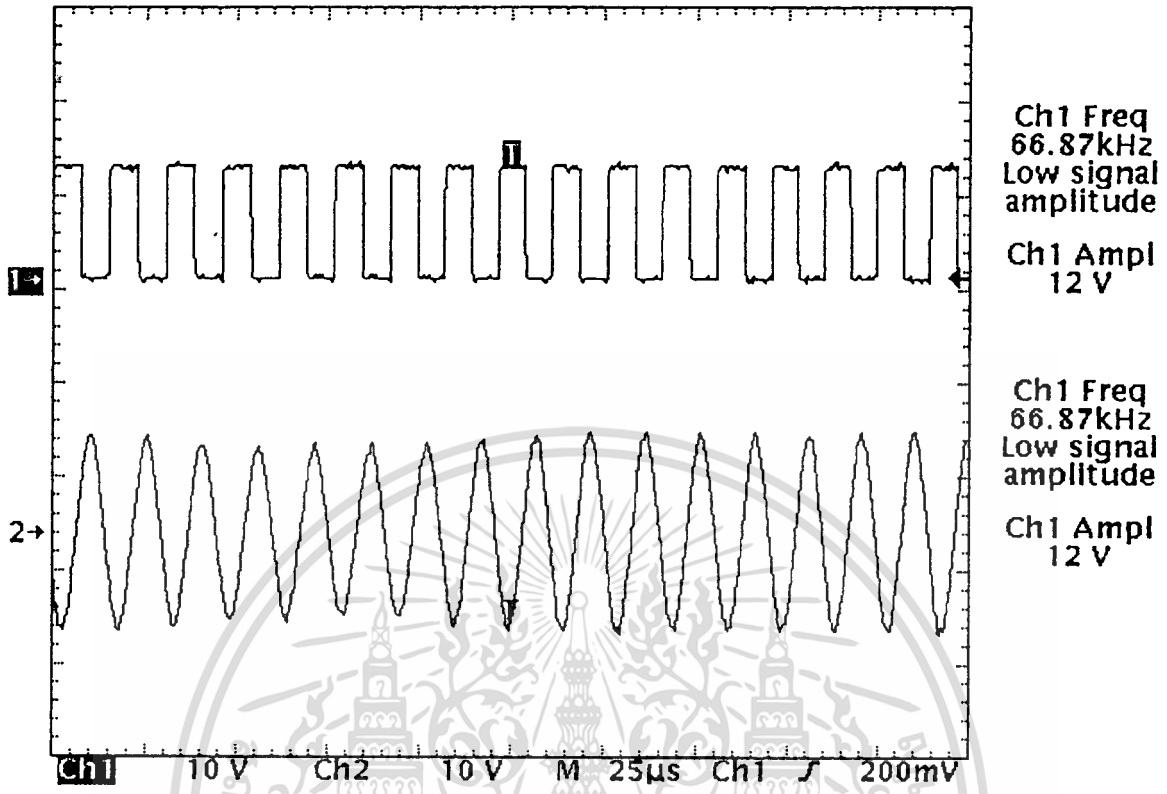


รูปที่ 4.27 แสดงรูปสัญญาณ Data ที่ได้จากวงจรปรับแต่งสัญญาณเทียบกับสัญญาณ Clock ที่ได้จาก วงจร Clock Recovery

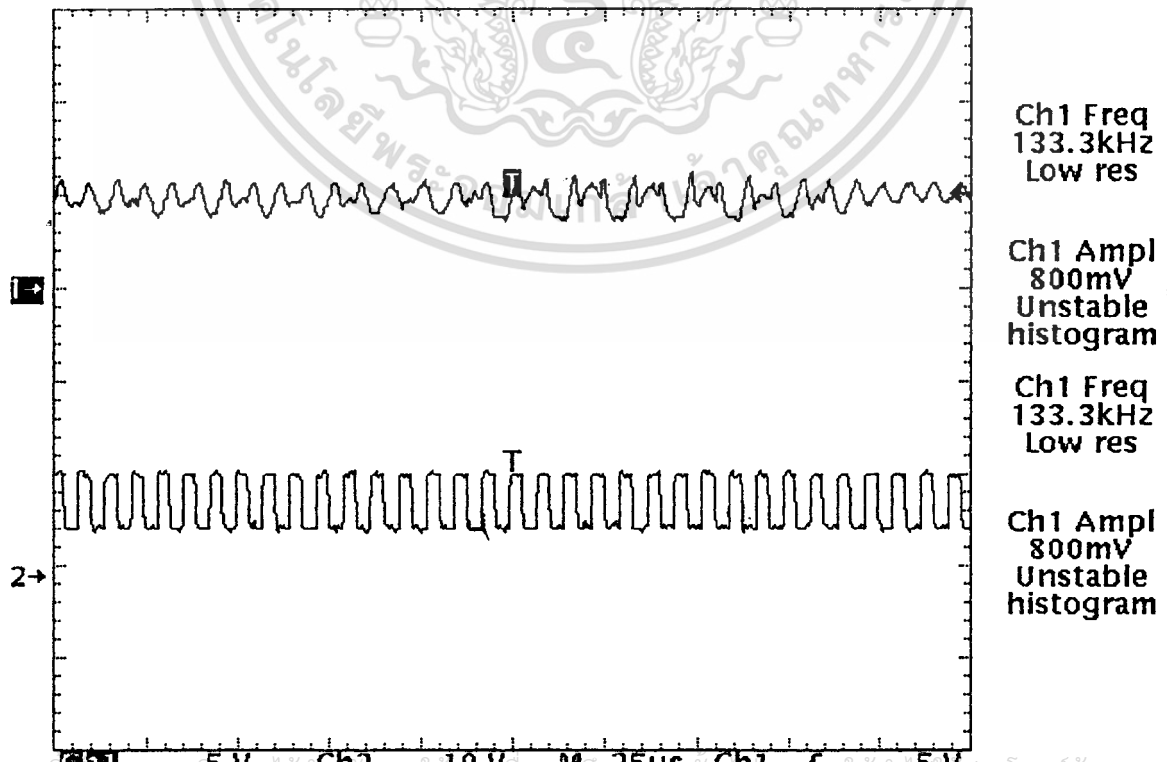


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้นำเนื้อหาไปดัดแปลงต่อเติม หรือเผยแพร่ต่อ ทั้งนี้ขอสงวนสิทธิ์ในการฟ้องร้องดำเนินคดีตามกฎหมายสูงสุด

รูปที่ 4.28 แสดงรูปสัญญาณที่ได้จากวงจร PLL เทียบกับสัญญาณที่ออกจากวงจรจัดขอบรูปสัญญาณ



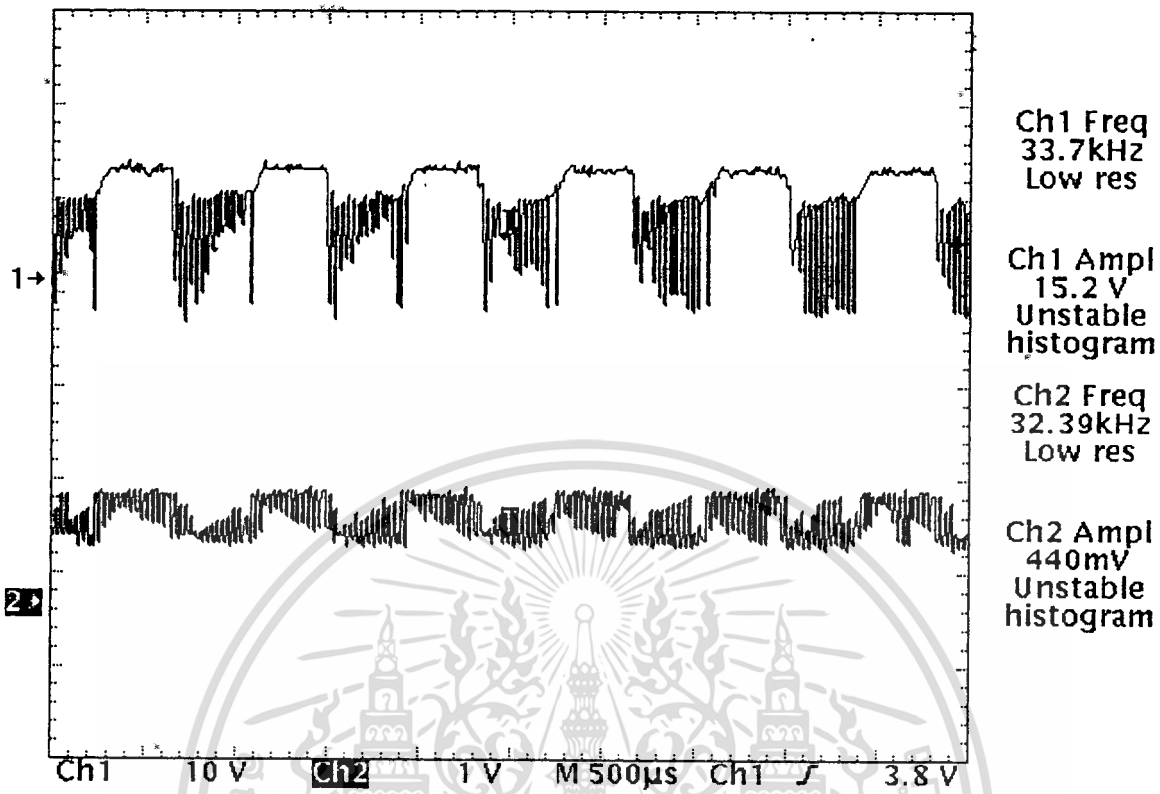
รูปที่ 4.29 แสดงรูปสัญญาณที่ได้จากวงจรหาร 2 กับสัญญาณ Carrier ซึ่งได้จากวงจร BPF ที่ใช้เป็น Carrier ให้กับวงจร Modulation



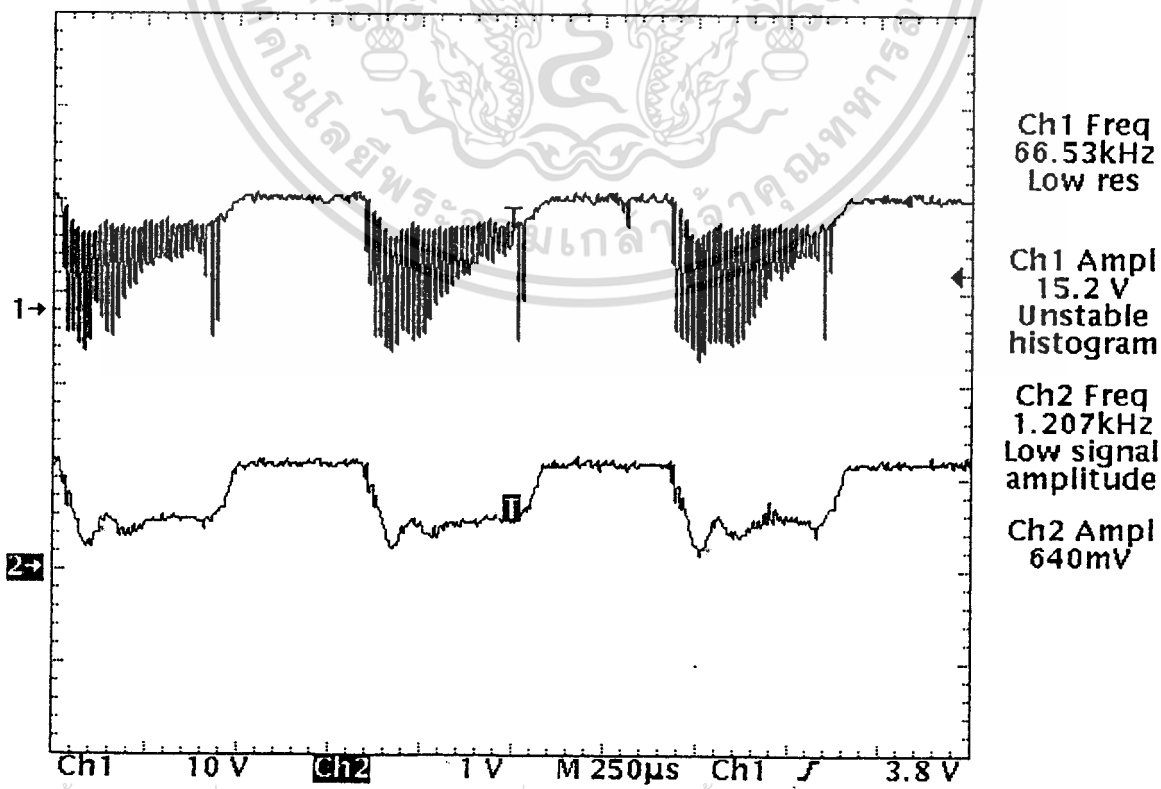
รูปที่ 4.30 แสดงรูปสัญญาณที่ผ่านวงจรยกกำลังสองเทียบกับสัญญาณที่ได้จากวงจร PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Demodulation

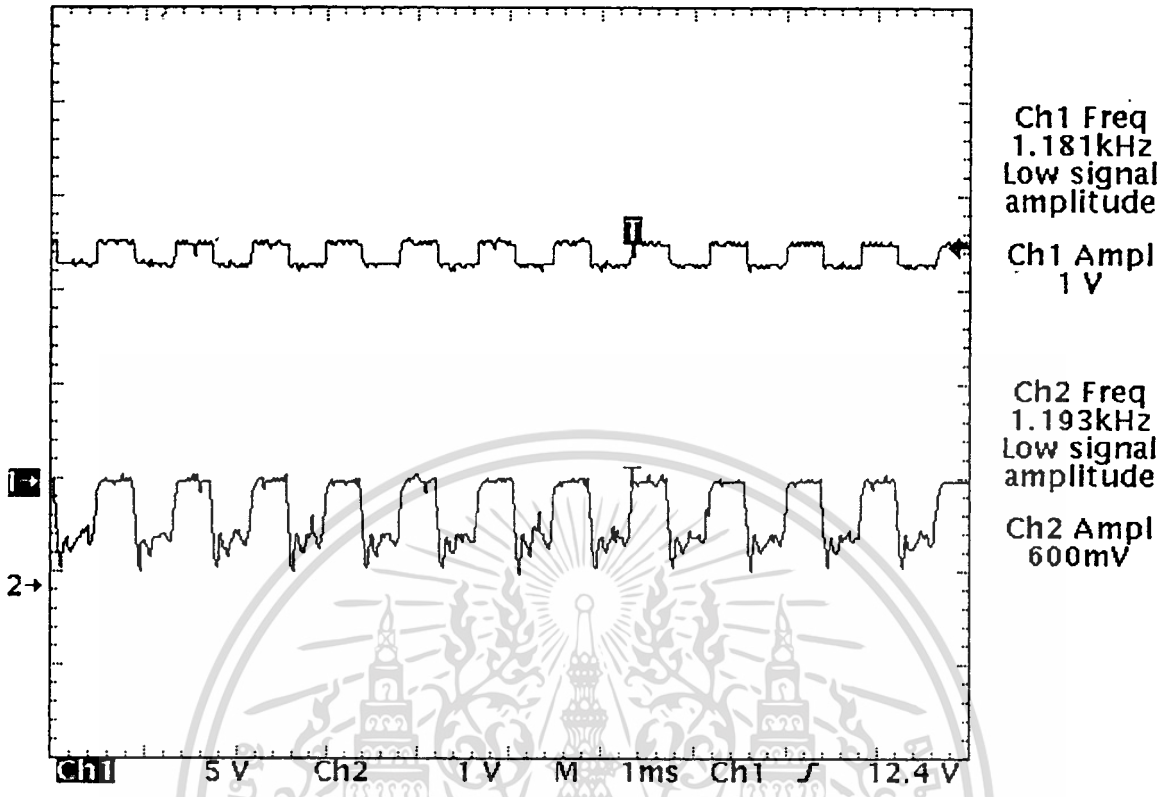


รูปที่ 4.31 แสดงรูปสัญญาณที่ผ่านวงจรขยายความแตกต่างเทียบกับสัญญาณที่ผ่านวงจร Demodulation

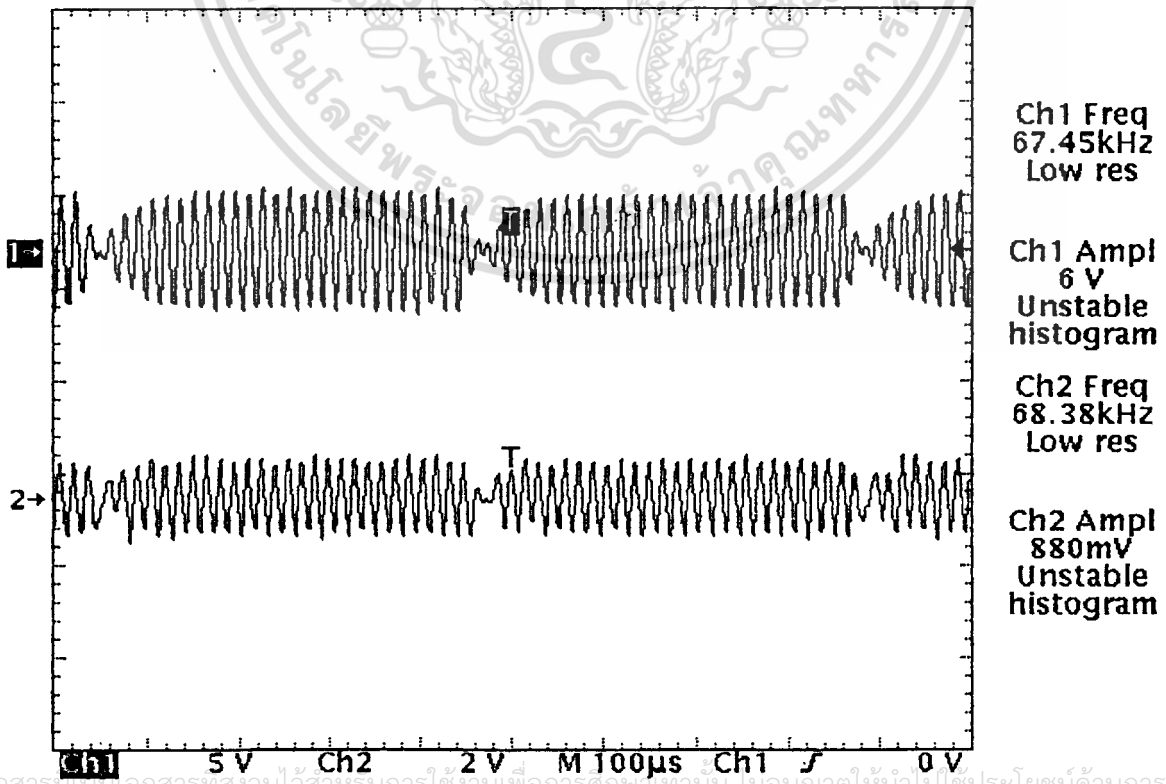


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.32 แสดงรูปสัญญาณที่ได้จากวงจรขยายความแตกต่างเทียบสัญญาณที่ผ่านวงจร LPF



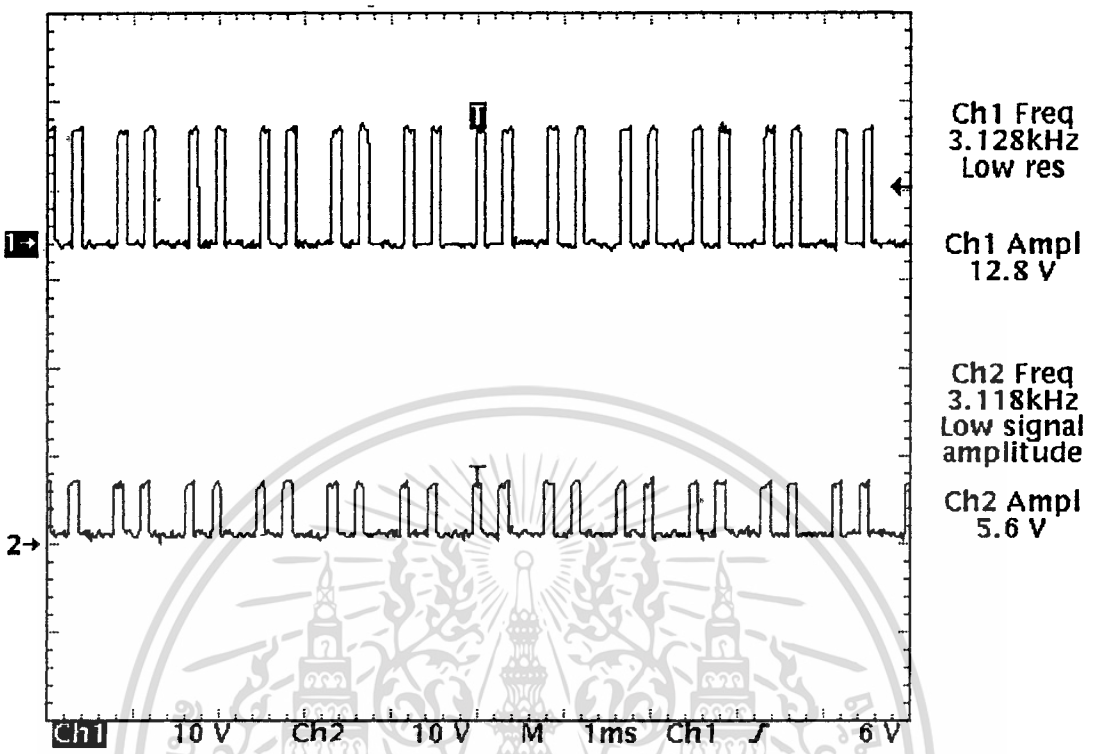
รูปที่ 4.33 แสดงรูปสัญญาณที่ผ่านวงจรปรับแต่งสัญญาณเปรียบเทียบกับสัญญาณที่ผ่าน LPF



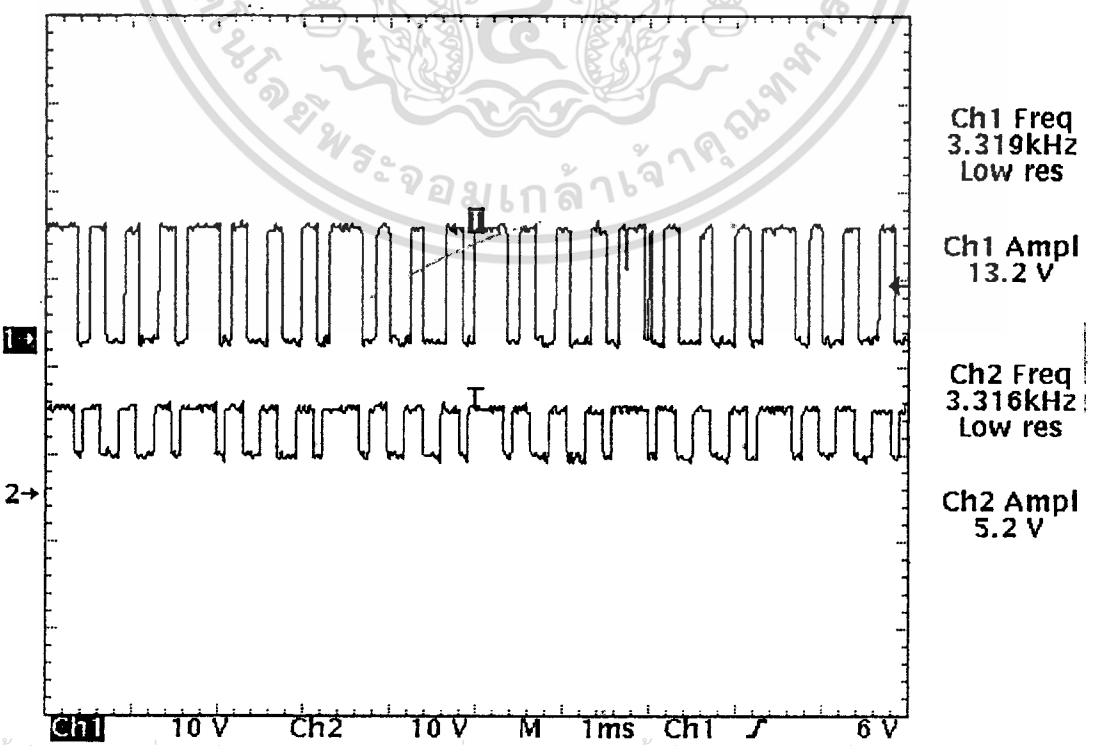
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.34 แสดงรูปสัญญาณที่ป้อนให้กับ เครื่องรับ DPSK เปรียบเทียบกับสัญญาณที่ผ่านวงจร BPF ทางภาครับ

วงจรเข้ารหัสและถอดรหัสสัญญาณ



รูปที่ 4.35 แสดงรูปสัญญาณที่ออกจากวงจรถอดรหัสกับสัญญาณที่ออกจากวงจรเข้ารหัส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 4.36 แสดงรูปสัญญาณการเข้ารหัสและถอดรหัสโดยการสุ่ม DATA แบบอื่น

```
%Random Data
fHz0=[0 10 10 15 15 20 20 25 25 35 35 40 40 45 45 50 50 60 60 65 65 70 70 75 75 85 85 90 90 95 95 100 100 110];
m0 =[0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 ];
    subplot(211),plot(fHz0,m0);
    title('Random Data');
    xlabel('time');
    ylabel('voltage');
    grid
%Random Data
fHz1=[0 2 2 4 4 6 6 8 8 10 10 15 15 17 17 19 19 21 21 23 23 25 25 30 30 32 32 34 34 36 36 38 38 40 40 45 45 47];
m1=[0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0 .5 .5 0 0];
    subplot(212),plot(fHz1,m1);
    title('Random Data');
    xlabel('time');
    ylabel('voltage');
    grid
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% clock 4800 Hz
    clear;
    t=0:.00000001:0.001;      % time axis
    f_c=4800;                 % frequency 4800 Hz
    y=square(2*pi*f_c*t);
% plot clock signal
    subplot(211), plot(t,y),...
    title('clock 4800 Hz'),...
    xlabel('time'),...
    ylabel('amplitude'),...
    grid
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%carrier signal 67.2kHz
    N=64;   %number of sample=2^m
    fc=67200;;
    T=1/(4*fc);    %sample time
    K=0 :N-1;
    freq=K*(1/(N*T));
    f=sin(2*pi*fc*K*T);
    F=fft(f);
    magF=abs(F);
%plot in time domain
    subplot(211),plot(K,f),...
    title('sine wave'),...
    xlabel('t'),...
    ylabel('Amplitude'),...
    axis([0 60 -1 1]),grid
%plot spectrum in frequency domain
    subplot(212),stem((freq(1:N/2)),magF(1:N/2)),hold,...
    stem((-freq(1:N/2)),magF(1:N/2)),...
    title('Spectrum of sine wave'),...
    xlabel('f Hz'),...
    ylabel(Amplitude'),...
    text(350000,-3, '67.2'),...
    text(-100000,-3,'-67.2'),...
    grid
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% if inphase -150mv modulate with carrier sine wave
% 67.2kHz
 clear;
       t = 0:0.000001:0.001;
       f = 67200 ;  %frequency 67.2kHz
       w = 2*pi*f;
      car = 150*sin(w*t); %carrier sine wave
       in = -150;        %signal -150mv if data in is '0'
       y1 = in.*car;
       IN = 150;
       y2 = IN.*car;
%plot at inphase = -150mv
      subplot(211),plot(t,y1),...
      title('modulator inphase data is "1" '),...
      ylabel('Vrms (mv)'),...
      xlabel('time(s)'),
      axis([0 0.0001 -30000 30000]),grid,...
 %plot at inphase =150mv
      subplot(212),plot(t,y2),...
      title('modulator inphase data is "0" '),...
      ylabel('Vrms (mv)'),xlabel ('time (s)'),...
      axis([0 0.0001 -30000 30000]), grid,...
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% Low Pass Filter
    fHz0 = [0 4200 4800 10000];
    m0   = [1 1 0 0];
    fs = 20000;
    f0 = fHz0/(fs/2);
    [bIIR,aIIR] = yulewalk(6,f0,m0);
    fHz1 = linspace(0,10000,1000);
    om1 = 2*pi*fHz1;
    z = exp(sqrt(-1)*om1/fs);
    mIIR = abs(polyval(bIIR,z)./polyval(aIIR,z));
    plot(fHz0,m0,fHz1,mIIR)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% Band Pass Filter
    fHz=[0  40000 50000  84400 94400 140000];
    m0=[0 0 1 1 0 0];
    fs=280000;
    f0=fHz/(fs/2);
    [bIIR,aIIR]= yulewalk(6,f0,m0);
    fHz1=linspace(0,140000,25000);
    om1=2*pi*fHz1;
    z=exp(sqrt(-1)*om1/fs);
    mIIR=abs(polyval(bIIR,z)./polyval(aIIR,z));
    plot(fHz,m0,fHz1,mIIR);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
% demodulatior if input was "0","1"
    clear;
    t = 0:0.00000001:0.0001;
    f = 67200;          % frequency 67.2kHz
    w = 2*pi*f;
    cari = 150*sin(w*t);        % carrier sine wave
    sig0 = -150*cos(w*t);    % input signal "0"
    sig1 = 150*cos(w*t);     % input signal "1"
    I0 = cari.* sig0;
    I1 = cari.* sig1;
% plot output demod "0"
    subplot (211),plot(t,I0),...
    title('demodulator inphase "0" '),...
    ylabel('Vrms (mv)'),...
    xlabel('time (s)'),...
    grid
% plot output demod "1"
    subplot (212),plot(t,I1),...
    title('demodulator inphase "1" '),...
    ylabel('Vrms (mv)'),...
    xlabel('time (s)'),...
    grid
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลองและวิจารณ์

ในการทำโครงงานเรื่อง "ระบบเครื่องรับส่ง DPSK " นี้ส่วนใหญ่จะเป็นการศึกษาเกี่ยวกับ DPSK ทั้งเครื่องส่งและเครื่องรับ เพื่อประยุกต์ใช้งานในด้านระบบการสื่อสาร โดยทำการสร้างระบบทั้งเครื่องรับและเครื่องส่ง รายละเอียดและการออกแบบวงจร เพราะตำราทางด้านวิศวกรรมโทรคมนาคมส่วนใหญ่ จะมีเพียงหลักการและทฤษฎีแบบกว้าง ๆ เท่านั้น การอธิบายรายละเอียดก็จะใช้ภาษาทางคณิตศาสตร์ ซึ่งต้องอาศัยความรู้ความสามารถที่สูงกว่านี้ อีกทั้งมีเพียงบล็อคไดอะแกรมที่ใช้แสดงวงจร รายละเอียดปลีกย่อยก็ต้องทำการค้นคว้าเอาเอง โดยอาศัยพื้นฐานความรู้ที่เป็นประโยชน์ต่อเนื้อหาในเรื่องนี้เป็นสำคัญ

จากหลักการและบล็อกไดอะแกรมของ DPSK ทั้งภาครับและภาคส่ง จะพบว่า บางวงจรที่ใช้ภาคสามารถนำไปใช้ที่ภาครับได้เลย วงจรบางวงจรก็มีอยู่แล้วในคู่มือการใช้งานไอซี เช่น ไอซี 1496 และไอซี 4046 แต่เวลาใช้ในงานจริง ยังต้องมีการดัดแปลงวงจรโดยที่ไม่ทราบมาก่อน ทำให้เสียเวลาในการลองผิดลองถูก อีกส่วนหนึ่งก็ต้องออกแบบวงจรมาใช้เอง ดังเช่น ในส่วนที่เป็นสัญญาณดิจิตอลทั้งภาคส่งและภาครับ ทั้งนี้เพราะสามารถทำความเข้าใจได้อย่างละเอียดและแก้ปัญหาได้ทันท่วงที

บทสรุปในการทำโครงงานและข้อเสนอแนะที่เป็นประโยชน์ จะแบ่งเป็นข้อ ๆ ตามลักษณะความสำคัญและขั้นตอนในการทำงาน ได้ดังต่อไปนี้

การทดลองวงจรภาคส่ง ของเครื่องส่งที่ DPSK

1. วงจรกำเนิดสัญญาณ 4800 Hz.

ทำการสร้างวงจร ออสซิลเลเตอร์ เพื่อผลิตความถี่ 18.432 MHz. สัญญาณที่ได้จะถูกส่งเข้าไปยังวงจรหารความถี่ เพื่อให้ได้รูปสัญญาณ Square Wave ซึ่งมีความถี่ 4800 Hz.

2. วงจรผลิตคลื่นพาห์ 67.2 KHz

จากการประกอบวงจรคลื่นพาห์ และทำการทดลองวงจรผลิตความถี่ 67.2 kHz. เพื่อให้ความถี่คงที่คือความถี่จะไม่มีการเบี่ยงเบน์ เพื่อที่จะทำให้เกิดการผิดพลาดทางเฟสของสัญญาณ DPSK น้อยที่สุด จึงทำการสร้างด้วยวิธีการส่งเคราะห์ความถี่ โดยอาศัยวงจรเฟสล็อคลูป และไอซี XR-2206 โดยการปรับค่า VR 50 กิโลโอห์ม ที่ขา 7 ของ XR-2206 เพื่อทำการปรับความถี่ ทางด้านเอาท์พุทของ XR-2206 ให้ได้ 67.2 kHz. VR 50 กิโลโอห์ม ที่ขา 8 ใช้แอมปลิจูดหรือปรับขนาดของสัญญาณความถี่คลื่นพาห์ 67.2 kHz.

3. วงจร DPSK Modulator

วงจร DPSK Modulator จะใช้ไอซี MC 1496 ซึ่งเป็นตัวคูณสัญญาณข่าวสาร กับสัญญาณคลื่นพาห์เข้าด้วยกัน จากรูปวงจรจะต้องทำการปรับ VR 50 กิโลโอห์ม เพื่อปรับอ๊อฟเซ็ท (offset)เพื่อให้สัญญาณ เอ้าท์พุท จากวงจรคูณ มีความเป็นเชิงเส้นมากที่สุด

4. วงจรเข้ารหัสสัญญาณ

วงจรเข้ารหัสสัญญาณต้องมีการดัดแปลงวงจรเล็กน้อยเพื่อที่จะทำการให้วงจรสามารถหน่วงสัญญาณได้ 1 bit time delay

การทดลองวงจรภาครับ

1. วงจร BPF 67.2 KHz

วงจรนี้ออกแบบตามทฤษฎีของวงจรฟิลเตอร์ วงจรนี้สามารถทำงานได้ดี ในการทดลองวงจร BPF โดยการป้อนสัญญาณ Square Wave 67.2 KHzและทำการปรับ VR สัญญาณทางด้านอินพุทได้สัญญาณ Sine Wave มีขนาดสูงสุด

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรกู้สัญญาณคลื่นพาห์

เป็นส่วนที่สำคัญที่สุดของวงจรภาครับที่จะทำให้ภาครับสามารถทำงานได้หรือไม่ โดยจะกู้เอาคลื่นพาห์ 67.2 KHz. ออกมาซึ่งวงจรกู้สัญญาณคลื่นพาห์นี้ สัญญาณที่ถูกยกกำลังสองแล้วนั้นจะถูกนำไปเข้าไอซี LM565 เฟสล็อกลูปเพื่อล็อกให้ตรงกับความถี่ VCO ที่ตั้งเอาไว้โดยวงจรนี้สามารถล็อกความถี่ได้.

3. วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรนี้ได้จากคู่มือ MC 1496 แต่ต้องทำการเพิ่มเติมหรือดัดแปลงวงจรอีกเล็กน้อย ปัญหาที่พบคือ สัญญาณที่ออกมา จะมีสัญญาณรบกวนอย่างมากมายจนแทบไม่แน่ใจว่าเป็นการทำงานปกติหรือไม่ ซึ่งก็คงเป็นขีดจำกัดในการทำโครงงานนี้ อาจจะมาจากสาเหตุหลายประการ เช่น อุปกรณ์คุณภาพไม่ดีพอ ใช้อุปกรณ์ผิดประเภท การตอบสนองของวงจรไม่เป็นไปตามอุดมคติ รวมไปถึงการออกแบบวงจรและการปรับแต่งไม่สมบูรณ์เท่าไรนัก สิ่งเหล่านี้ผู้ทำโครงการได้พยายามอย่างเต็มที่ ผลที่ได้ออกมาคงต้องยอมรับอยู่ในระดับหนึ่ง

4. ภาคกู้สัญญาณ CLOCK

สามารถกู้สัญญาณ CLOCK แต่มีปัญหาบางครั้งสัญญาณ CLOCK ที่กู้ไม่ Sync กับสัญญาณ NRZ-I อาจจะเป็นเพราะอุปกรณ์ที่ไม่ได้มาตรฐาน

5. วงจรถอดรหัส

สามารถถอดรหัสได้ทดสอบโดยการต่อวงจรเข้ารหัสและวงจรถอดรหัสเข้าด้วยกัน วงจรสามารถถอดรหัสได้ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมการประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ก็ด้วยความช่วยเหลือ ให้ คำแนะนำ และคำปรึกษา จาก รศ.ดร.กอบชัย เดชหาญ และเพื่อน ๆ ทางคณะผู้จัดจึงขอขอบคุณไว้ ณ ที่นี้ด้วย และขอขอบทุก ๆ คน ที่คอยช่วยให้กำลังใจในการทำงาน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

กฤษฎากร กล่อมการ , การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM . กรุงเทพมหานคร : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2536.

ฉรงค์ เหมกรณ์ , การสื่อสารดาวเทียม . กรุงเทพมหานคร : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2533.

บรรเจิด ตันติกัลยากรณ์ , เครื่องรับส่ง 8 . กรุงเทพมหานคร : เครื่องรับส่ง , 2533.

สุชาติ กังวารจิตต์ , เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร . กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น , 2532.

J. G. Proakis, Digital Communications. New York : McGraw-Hill , 1987.

Roland E. best , Phase Lock Loops Application . New York : McGraw-Hill , 1984.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

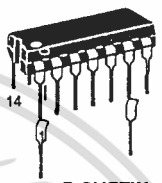
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

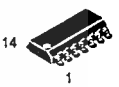
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

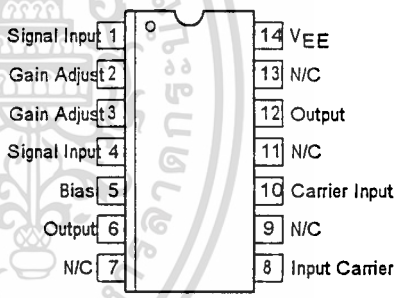


D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646



PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

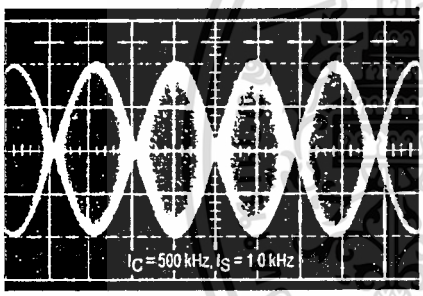


Figure 1. Suppressed Carrier Output Waveform

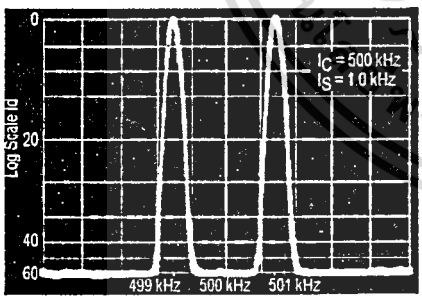


Figure 2. Suppressed Carrier Spectrum

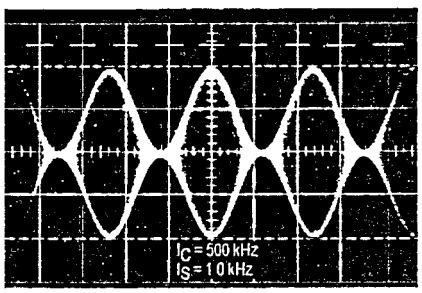
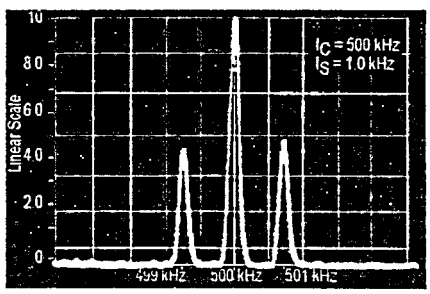


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and f_C = 1.0 kHz				–	40	–	
offset adjusted to zero f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS}	–	12	30	
			I_{bC}	–	12	30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$	–	0.7	7.0	
			$\|I_{ioC}\|$	–	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ \text{mV}}{I5(\text{mA})}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E\ (\text{Volts peak})$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5.

Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground

ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

30 Vdc ≥ [(V6, V12) – (V8, V10)] ≥ 2 Vdc
30 Vdc ≥ [(V8, V10) – (V1, V4)] ≥ 2.7 Vdc
30 Vdc ≥ [(V1, V4) – (V5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg| V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg| V_c = 0.5\ \text{Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

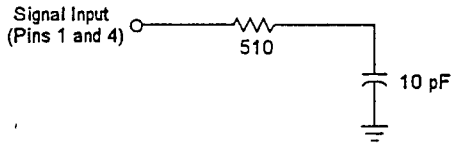
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

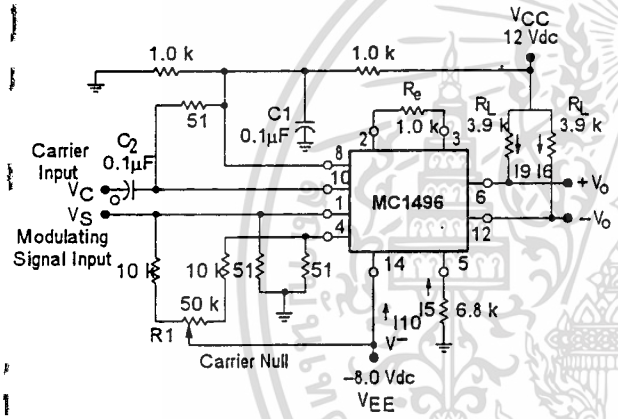
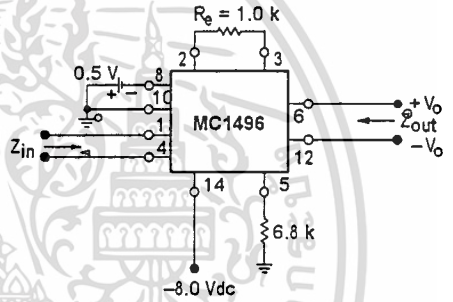


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

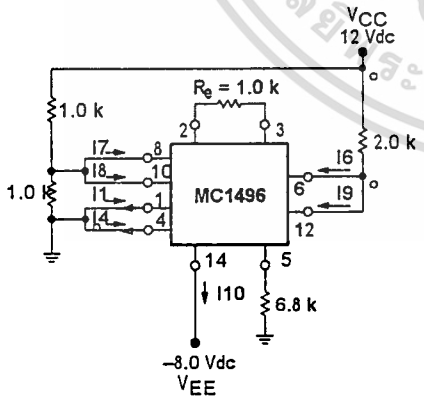
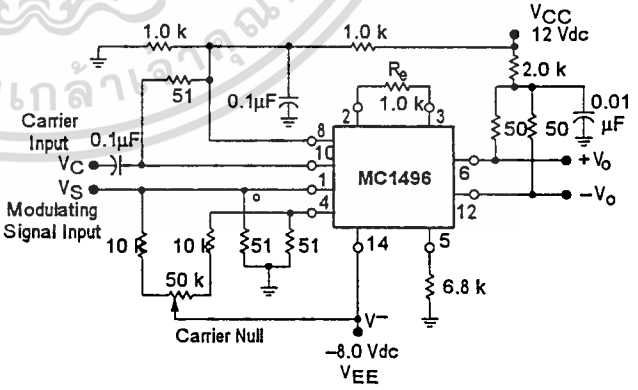


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

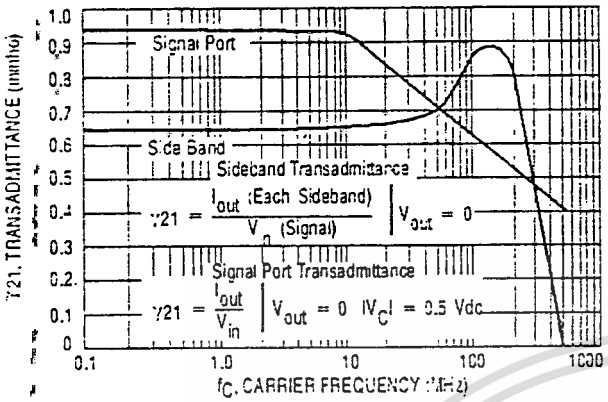


Figure 16. Carrier Suppression versus Temperature

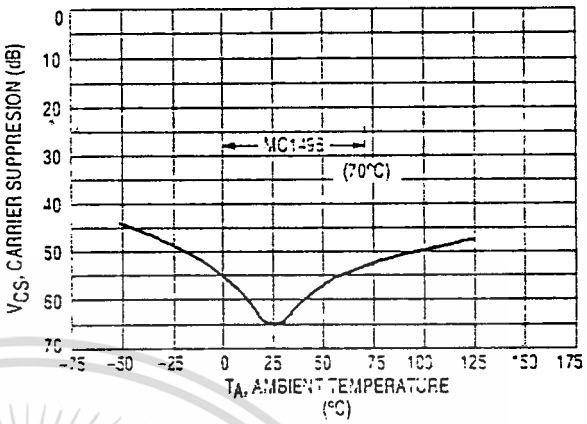


Figure 17. Signal–Port Frequency Response

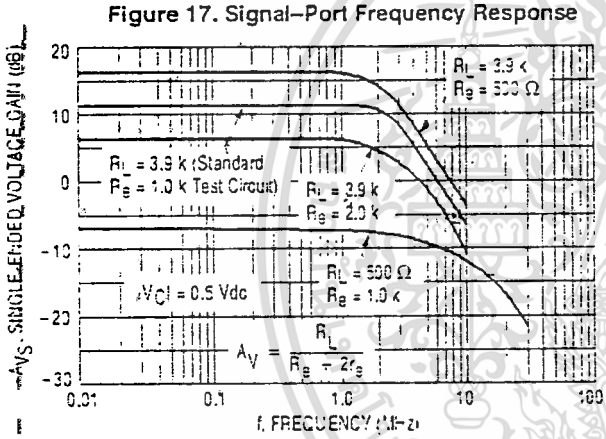


Figure 18. Carrier Suppression versus Frequency

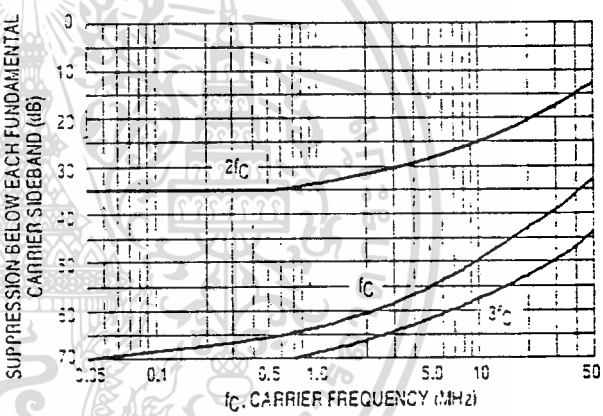


Figure 19. Carrier Feedthrough versus Frequency

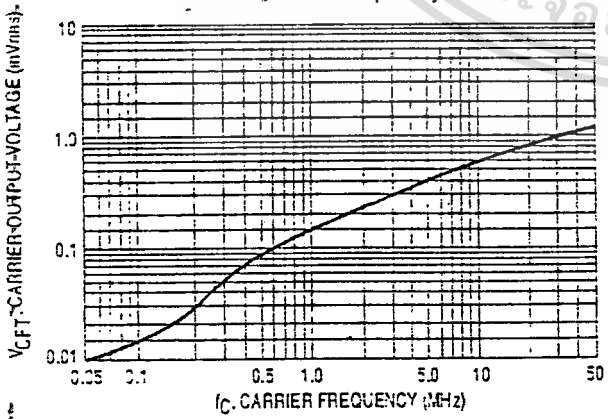
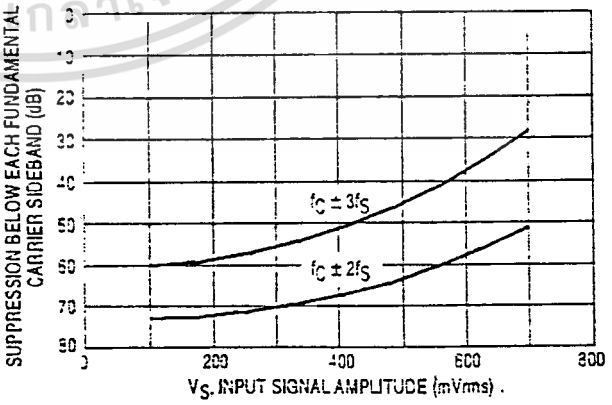


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

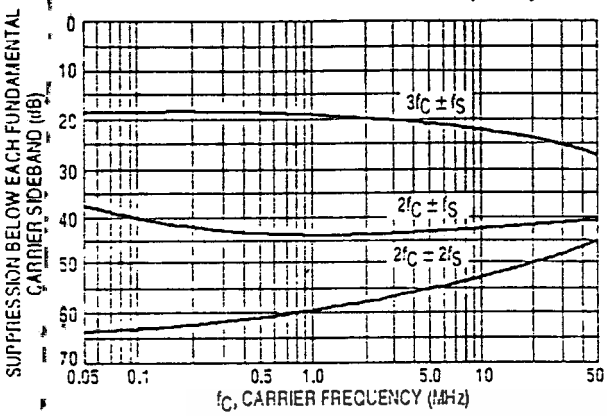
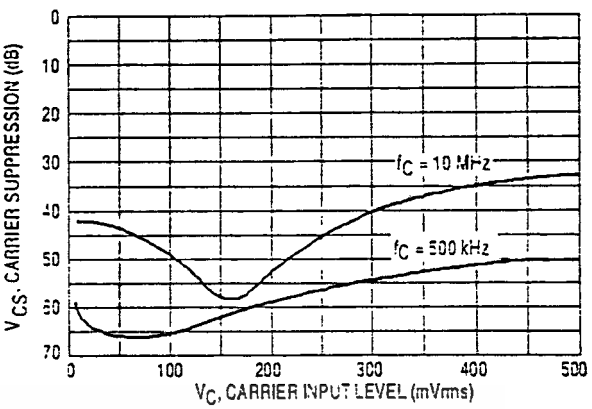


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

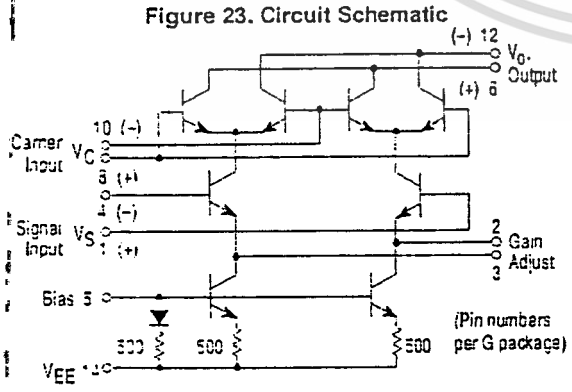
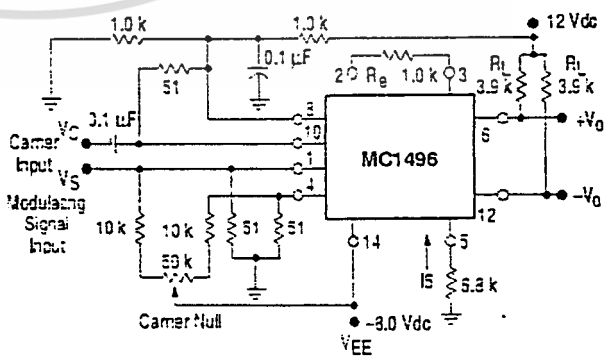


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C:
$$r_e \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} = 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

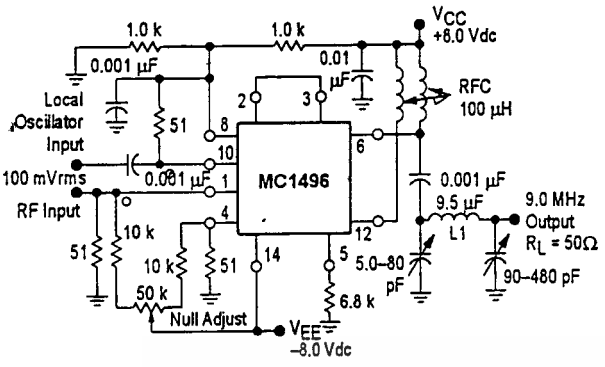
As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

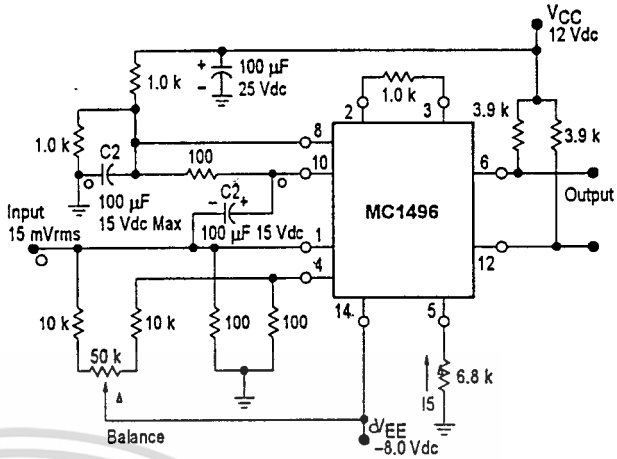
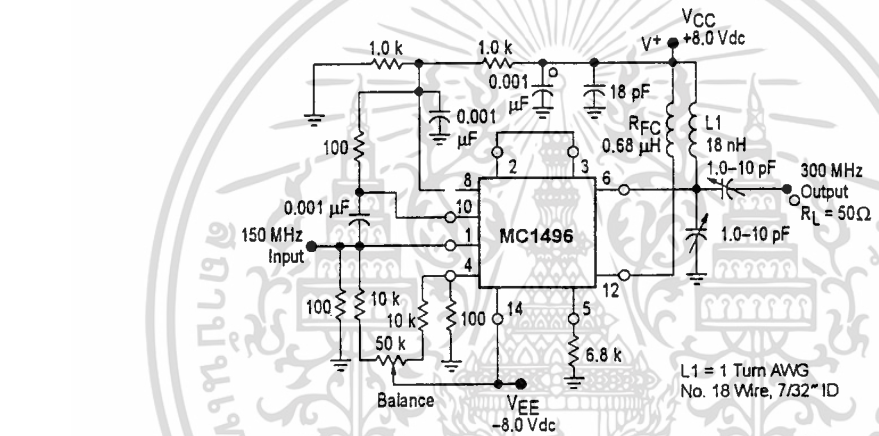
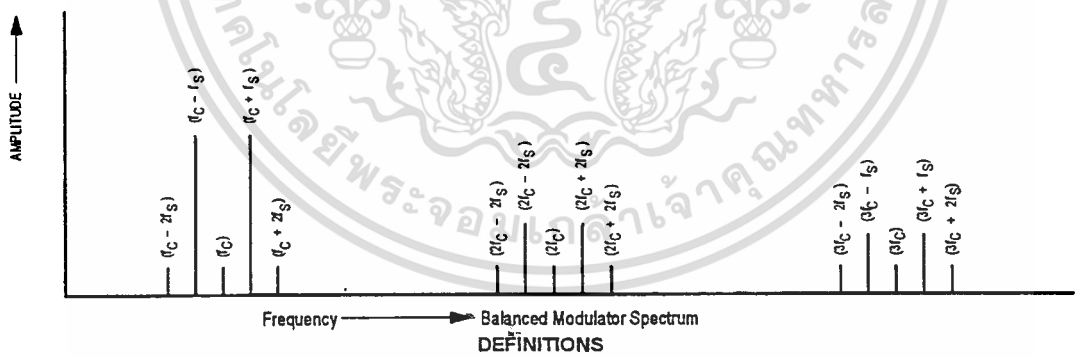


Figure 32. 150 to 300 MHz Doubler





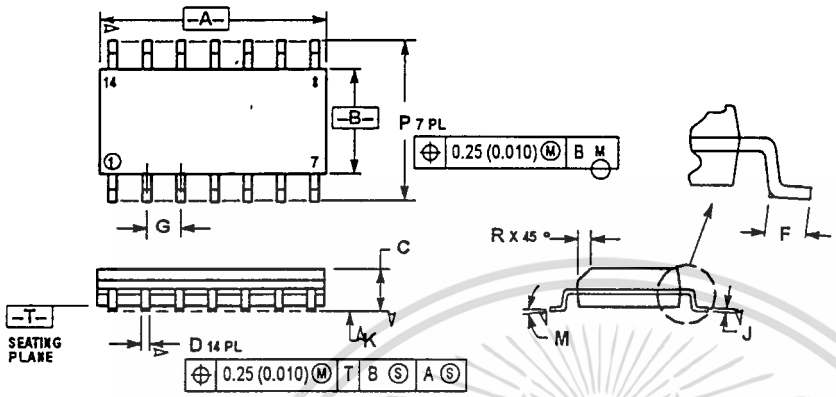
DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

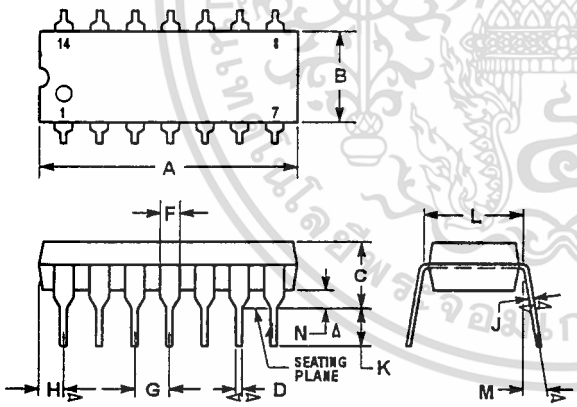
D SUFFIX
PLASTIC PACKAGE
CASE 751A-03
(SO-14)
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 646-06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

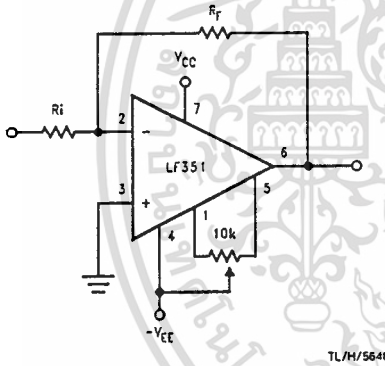
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

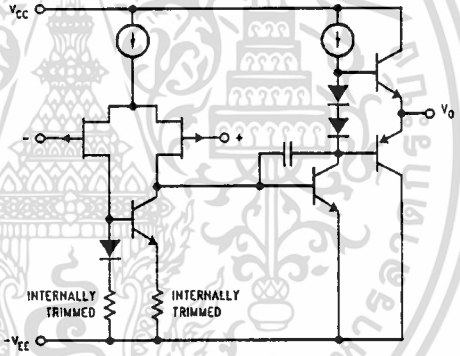
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

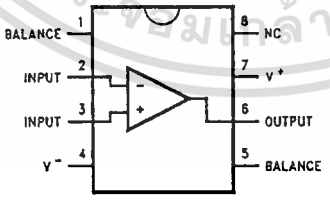
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{jA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

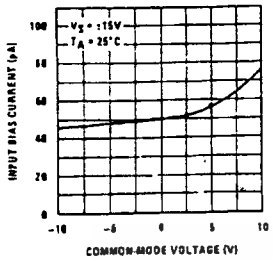
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

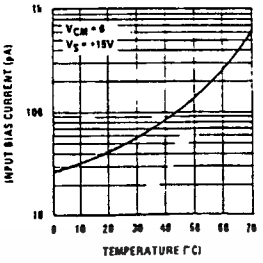
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

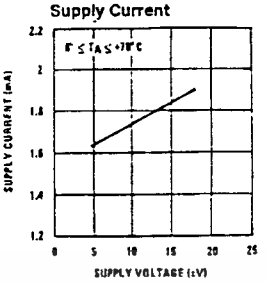
Input Bias Current



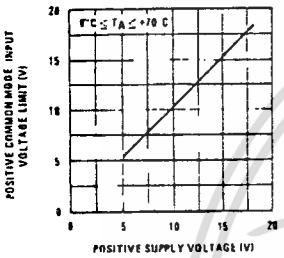
Input Bias Current



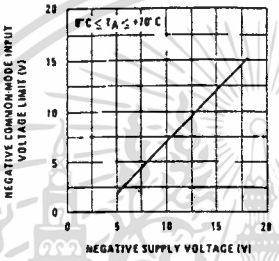
Supply Current



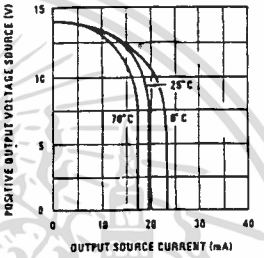
Positive Common-Mode Input Voltage Limit



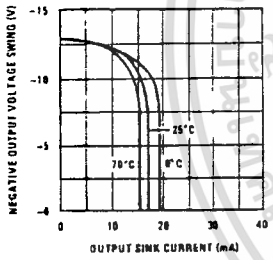
Negative Common-Mode Input Voltage Limit



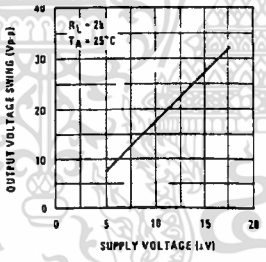
Positive Current Limit



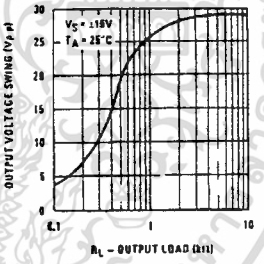
Negative Current Limit



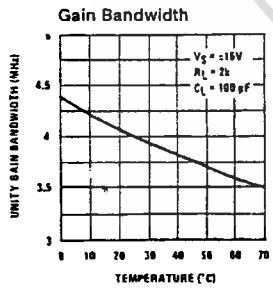
Voltage Swing



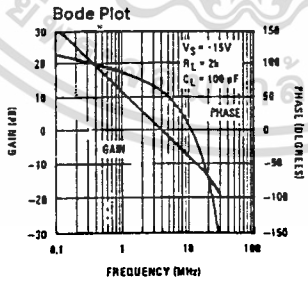
Output Voltage Swing



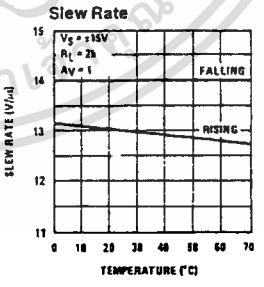
Gain Bandwidth



Bode Plot



Slew Rate

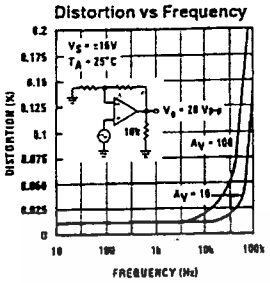


TL/H/5648–2

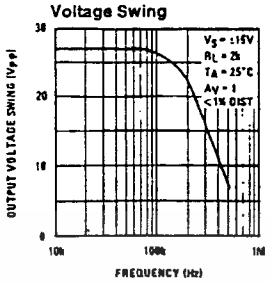
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

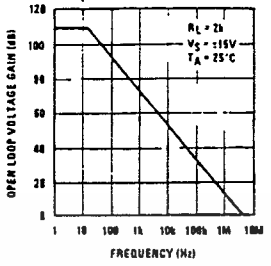
Distortion vs Frequency



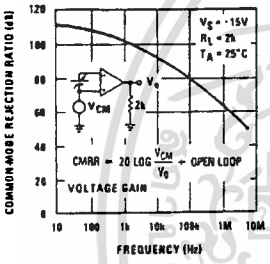
Undistorted Output Voltage Swing



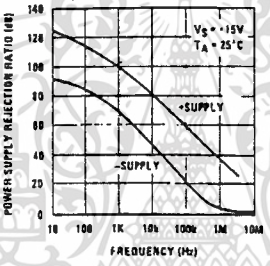
Open Loop Frequency Response



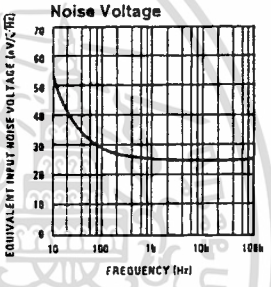
Common-Mode Rejection Ratio



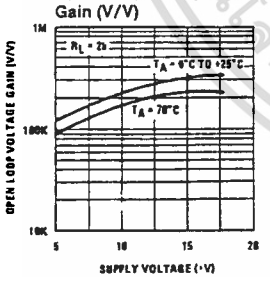
Power Supply Rejection Ratio



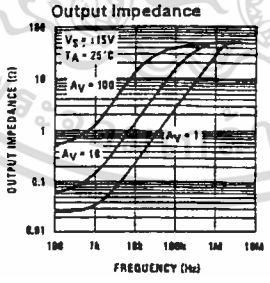
Equivalent Input Noise Voltage



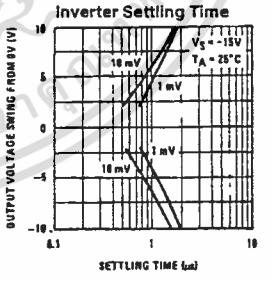
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

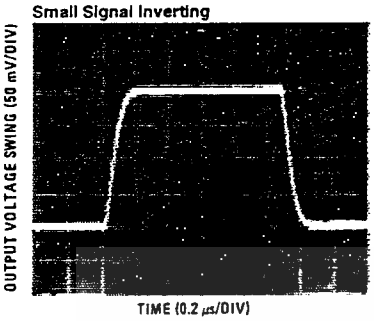


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

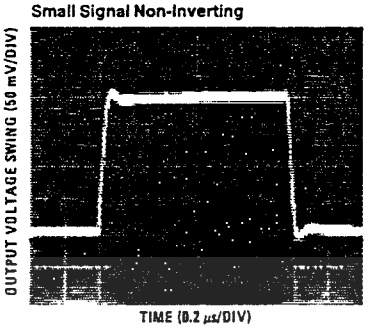
Pulse Response

Small Signal Inverting



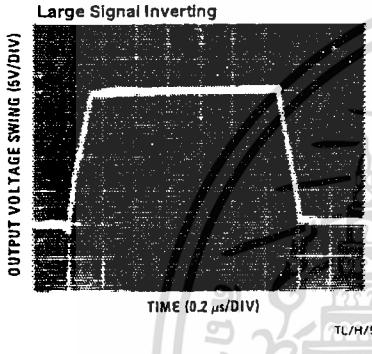
TL/H/5648–4

Small Signal Non-Inverting



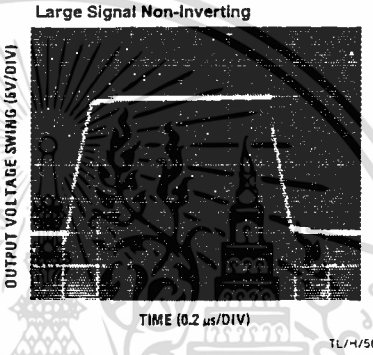
TL/H/5648–5

Large Signal Inverting



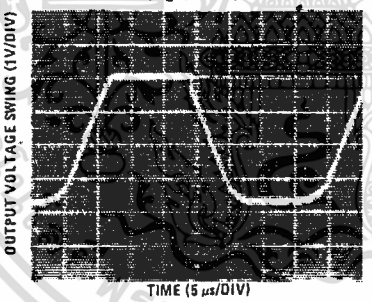
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit (R_L = 100Ω)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

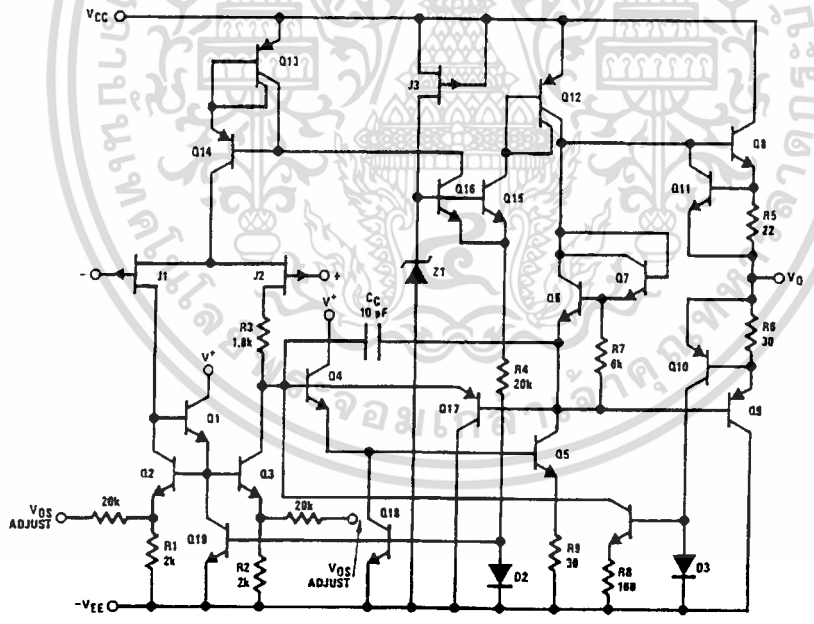
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

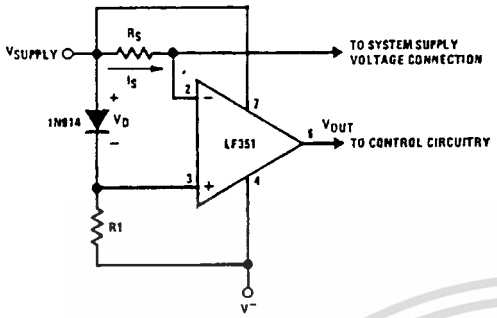


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

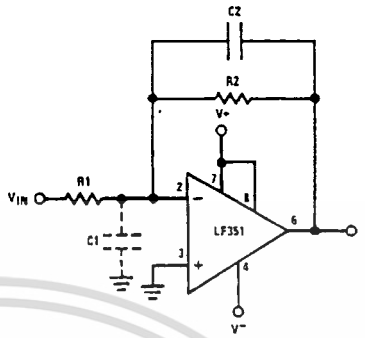
Typical Applications

Supply Current Indicator/Limiter



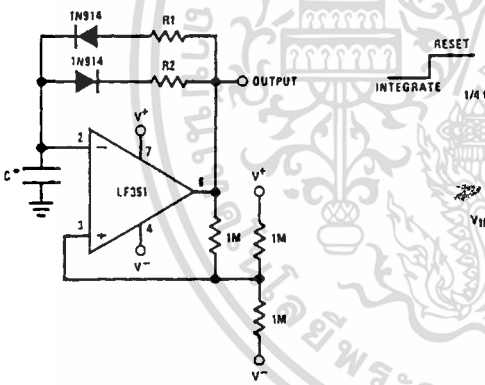
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



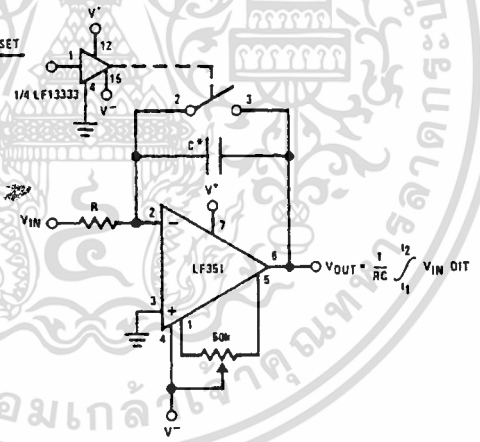
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



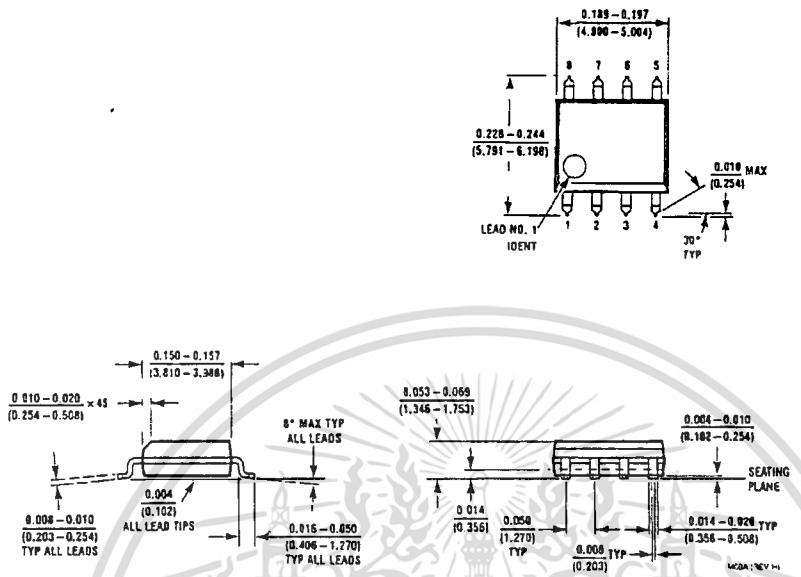
*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

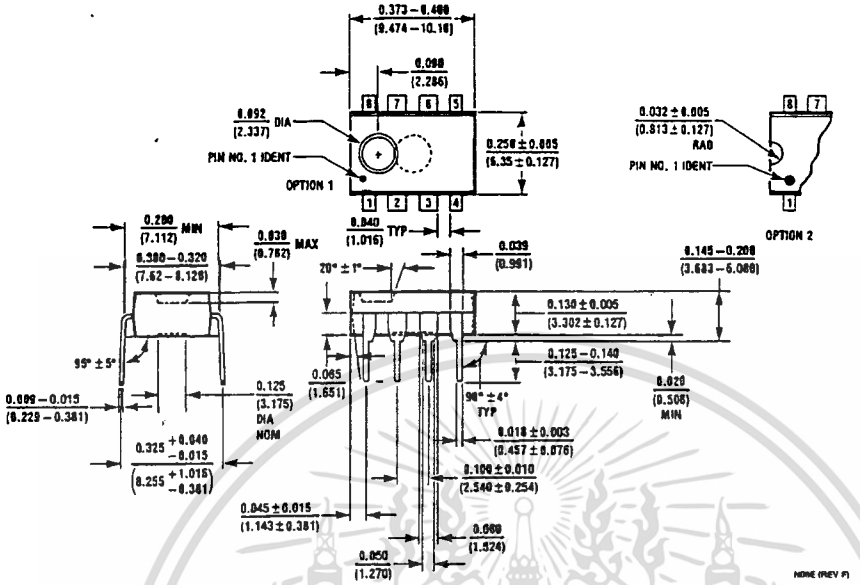
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable-Duty Cycle	1% to 99%

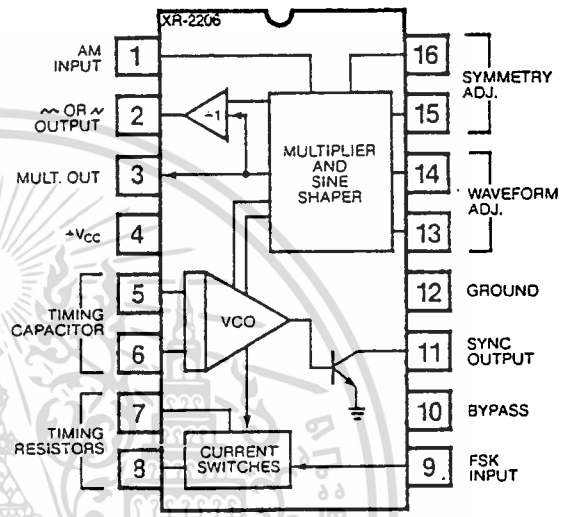
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$. $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ Hz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

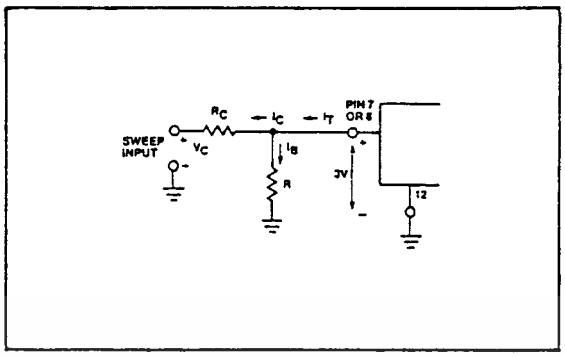


Figure 9: Circuit Connection for Frequency Sweep.

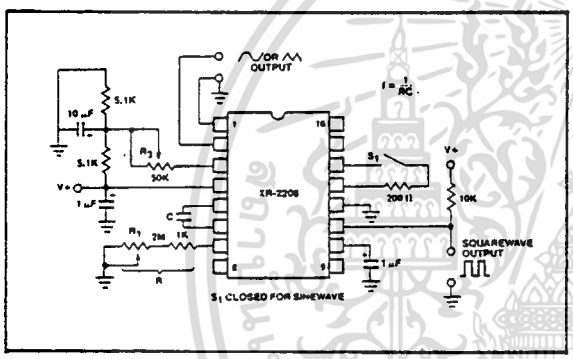


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

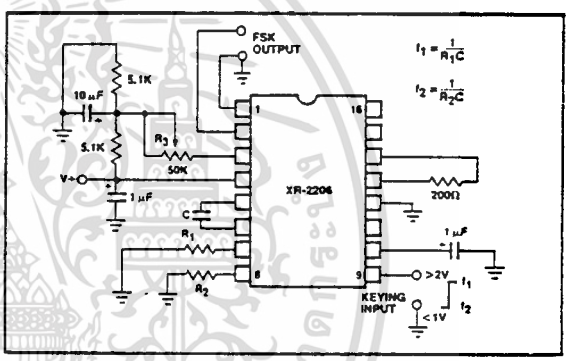


Figure 12: Sinusoidal FSK Generator.

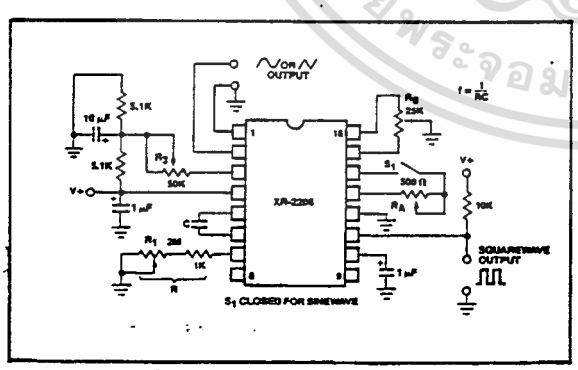


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

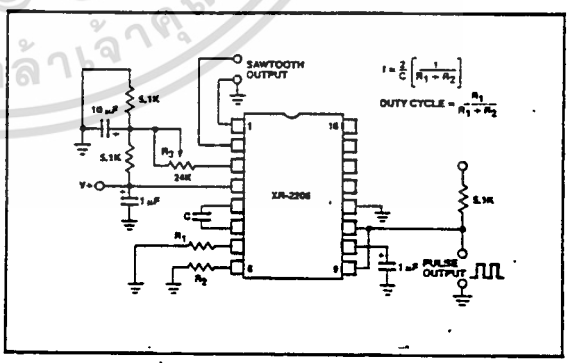


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

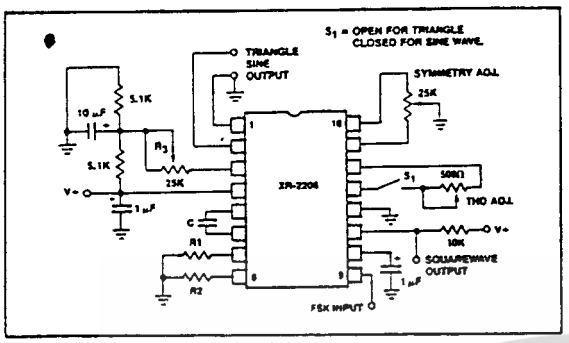


Figure 1: Basic Test Circuit.

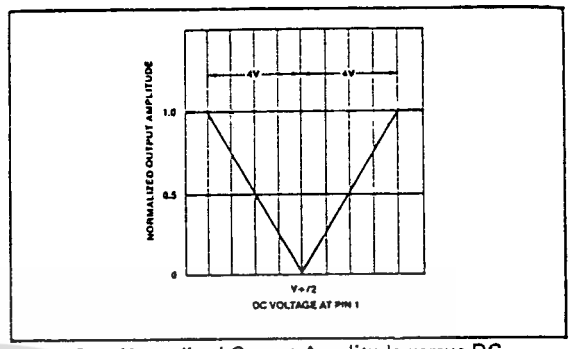


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

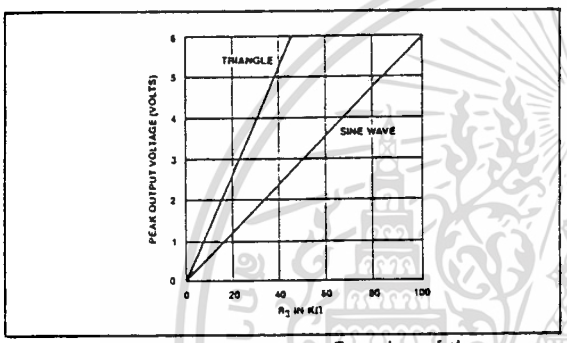


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

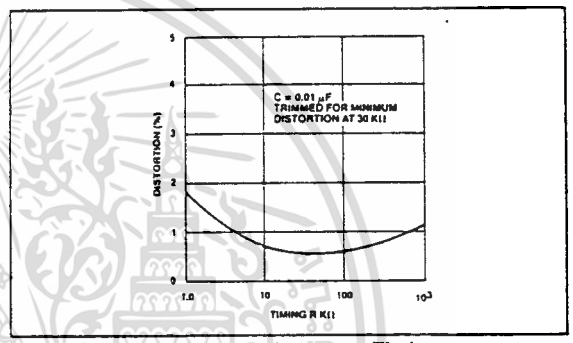


Figure 6: Trimmed Distortion versus Timing Resistor.

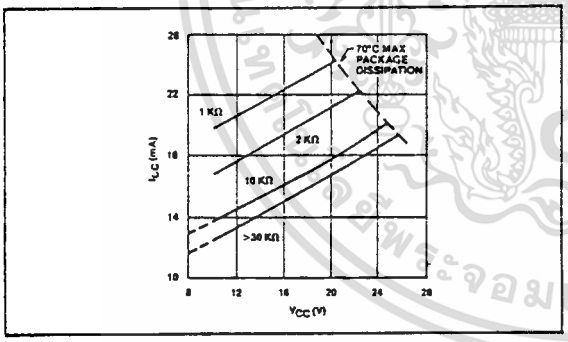


Figure 3: Supply Current versus Supply Voltage, Timing, R.

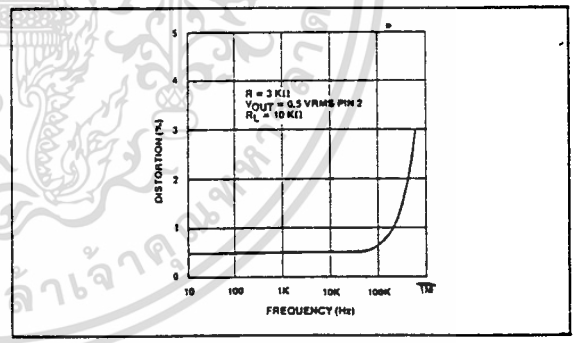


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

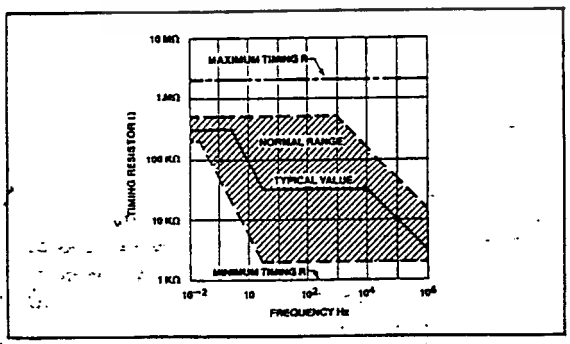


Figure 4: R versus Oscillation Frequency.

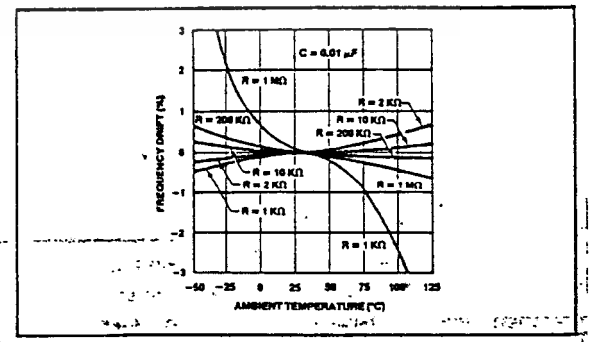


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\ 1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

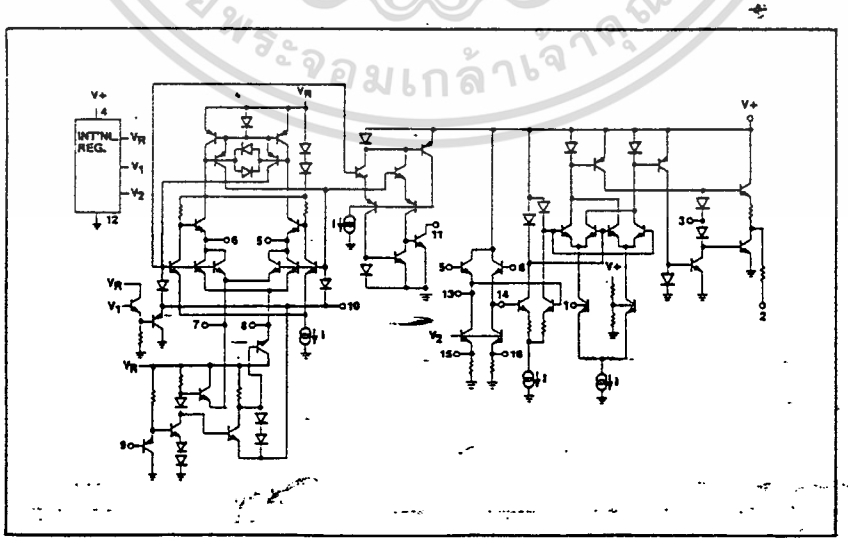
CAUTION: For safe operation of the circuit, I_T should be limited to ≤3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้