(13)
4A

ตัวสังเคราะห์ความถี่ด้วย DPLL

DPLL FREQUENCY SYNTHESIZER

โดย

นางสาวนฤมล สมบุญ

นางสาวปราณี คุ้มอิทธิ

วัน เดือน ปี 22 ก.ค. 2541
เลขทะเบียน 039093
เลขเรียกหนังสือ TA0333 น27ป.ท

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

039093

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวสังเคราะห์ความถี่ด้วย DPLL

DPLL FREQUENCY SYNTHESIZER

โดย

นางสาวนฤมล สมบุญ 37014192

นางสาวปราณี คุ้มอิทธิ 37014242

อาจารย์ที่ปรึกษา

ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ตัวสังเคราะห์ความถี่ด้วย DPLL**

DPLL FREQUENCY SYNTHESIZER

ผู้จัดทำ

1. นางสาวนฤมล สมบุญ 37014192
2. นางสาวปราณี ดุ้มอิทธิ 37014242

..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวสังเคราะห์ความถี่ด้วย DPLL

DPLL FREQUENCY SYNTHESIZER

โดย นางสาวนฤมล สมบุญ 37014192
นางสาวปราณี คุ้มอิทธิ 37014242

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการศึกษาเกี่ยวกับ PLL และ DPLL เพื่อมาประยุกต์ใช้งานด้านไฟฟ้าสื่อสาร ในการนี้จะออกแบบวงจร พร้อมทำการทดสอบคุณสมบัติวงจร ตลอดจนใช้โปรแกรมทำการเลียนแบบการทำงานของวงจรเพื่อเปรียบเทียบคุณสมบัติ

ABSTRACT

The studies of PLL and DPLL for applying in communication system are presented. This project presents a design of PLL including with a mathematical analysis and circuit model. The results have been experimented and simulated by using software for comparing the properties.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 วงจรลิเนียร์เฟสล็อคลูป (LPLL)	2
2.1.1 การทำงานในสภาวะล็อค	2
2.1.2 Hold range	9
2.1.3 Lock range	10
2.1.4 Pull-in range	11
2.2 วงจรดิจิตอลเฟสล็อคลูป (DPLL)	13
2.2.1 บล็อคไดอะแกรมของวงจรดิจิตอลเฟสล็อคลูป	13
2.2.2 คุณสมบัติทางพลวัฒน์ของวงจรดิจิตอลเฟสล็อคลูป	18
- Hold range	20
- Lock range	21
- Pull-in range	22
- Pull-out range	23
2.3 วงจรสังเคราะห์ความถี่	24
2.3.1 ความบริสุทธิ์ของสเปคตรัมของสัญญาณที่ทำการสังเคราะห์(Spectral purity of synthesized signals)	33
บทที่ 3 การคำนวณและการสร้าง	38
3.1 การออกแบบดิจิตอลเฟสล็อคลูป	38
3.2 การออกแบบวงจรสังเคราะห์ความถี่	43
3.2.1 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 1MHz-2MHz	43
3.2.2 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 5MHz-10MHz เมื่อใช้ Prescaler (V=10)	46
3.2.3 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 5MHz-10MHz เมื่อใช้วงจร dual-modulus prescaler (V/V+1) และ V=10	48
บทที่ 4 การทดลองและผลการทดลอง	51
4.1 ผลการทดลองที่ได้จากการต่อวงจรทดลอง	54
4.1.1 ผลจากวงจรทดลองที่ 1	54
4.1.2 ผลจากวงจรทดลองที่ 2	55
4.1.3 ผลจากวงจรทดลองที่ 3	58
4.1.4 ผลจากวงจรทดลองที่ 4	62
4.2 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป	66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้ MATLAB 66
4.2.2 แสดง transient response ของ phase transfer โดยใช้โปรแกรมสำเร็จรูป MATLAB 69
4.2.3 ผลการทดลองที่ได้จากการเลียนแบบการทำงานของวงจรสังเคราะห์ความถี่ โดยใช้ดิจิตอลเฟสล็อคลูป 72
4.2.4 ผลการทดลองที่ได้จากการวัดคุณลักษณะของ VCO 75
บทที่ 5 บทวิจารณ์และบทสรุป 76
หนังสืออ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

บทที่ 2 ทฤษฎีและหลักการ 2

2.1 วงจรลิเนียร์เฟสล็อคลูป

รูปที่ 2.1 แสดงบล็อคไดอะแกรมของลิเนียร์เฟสล็อคลูป 2

รูปที่ 2.2 แสดงวงจรลูปฟิลเตอร์ที่ใช้ในลิเนียร์เฟสล็อคลูป 4

รูปที่ 2.3 แสดงความสัมพันธ์ระหว่างเฟสดีเทคเตอร์เกน(K_d)และU_{10}ของสัญญาณอ้างอิง 5

รูปที่ 2.4 แสดงโมเดลของลิเนียร์เฟสล็อคลูป 6

รูปที่ 2.5 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชัน $H(j\omega)$ 8

รูปที่ 2.6 แสดงโบดไดอะแกรมของเออเรอร์ทรานสเฟอร์ฟังก์ชัน $H_e(j\omega)$ 9

รูปที่ 2.7 แสดงสัญญาณอินพุทของมัลติพลายเออร์เฟสดีเทคเตอร์ 11

2.2 วงจรดิจิตอลเฟสล็อคลูป

รูปที่ 2.8 แสดงบล็อคไดอะแกรมของดิจิตอลเฟสล็อคลูป 13

รูปที่ 2.9 แสดงเฟสดีเทคเตอร์ที่ใช้ในดิจิตอลเฟสล็อคลูป 14

รูปที่ 2.10 แสดงสเตทไดอะแกรมของเฟสฟรีเควนซี่ดีเทคเตอร์ 15

รูปที่ 2.11 แสดงรูปคลื่นของสัญญาณสำหรับเฟสฟรีเควนซี่ดีเทคเตอร์ 17

รูปที่ 2.12 แสดงกราฟระหว่างสัญญาณเอาท์พุทเฉลี่ยของเฟสฟรีเควนซี่ดีเทคเตอร์กับเฟสคลาดเคลื่อน 18

รูปที่ 2.13 แสดงโมเดลของดิจิตอลเฟสล็อคลูป 19

รูปที่ 2.14 แสดงกระบวนการ pull-in ของวงจร DPLL ที่ใช้ PFD 22

รูปที่ 2.15 แสดงวงจรสมมูลของการchargeประจุของตัวเก็บประจุในลูปฟิลเตอร์ 22

2.3 วงจรสังเคราะห์ความถี่

รูปที่ 2.16 แสดงรูปวงจรสังเคราะห์ความถี่แบบต่างๆ 28

รูปที่ 2.17 แสดงปรากฏการณ์ backlash ของเฟสฟรีเควนซี่ดีเทคเตอร์ 36

รูปที่ 2.18 แสดงวงจรลูปฟิลเตอร์ที่มี C_3 ซึ่งทำให้เพิ่มค่าคงตัวเวลา 37

บทที่ 3 การคำนวณและการสร้าง 24

3.1 การออกแบบดิจิตอลเฟสล็อคลูป

รูปที่ 3.1 แสดงคุณลักษณะของ VCO ระหว่างความถี่เชิงมุม ω_2กับโวลเตจคอนโทรลu_f 41

3.2 การออกแบบวงจรสังเคราะห์ความถี่

รูปที่ 3.2 แสดงคุณลักษณะของ VCO สำหรับ CMOS IC ชนิด 74HC/HCT4046 44

รูปที่ 3.3 แสดงวงจรดิจิตอลเฟสล็อคลูปที่ใช้ในการทดลอง 45

รูปที่ 3.4 แสดงวงจรดิจิตอลเฟสล็อคลูปเมื่อใช้ prescaler(V) = 10 47

รูปที่ 3.5 แสดงวงจรดิจิตอลเฟสล็อคลูปเมื่อใช้วงจร dual-modulus prescaler 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4 การทดลองและผลการทดลอง 51

รูปที่ 4.1 แสดงวงจรทดลองในการทดสอบคุณสมบัติของวงจร DPLL 51

รูปที่ 4.2 แสดงวงจรสังเคราะห์ความถี่โดยใช้ DPLL ที่ทำการออกแบบ 52

รูปที่ 4.3 แสดงวงจรสังเคราะห์ความถี่เมื่อเพิ่มวงจร Prescaler, V = 10 52

รูปที่ 4.4 แสดงวงจรสังเคราะห์ความถี่เมื่อใช้วงจร dual-modulus prescaler, V = 10 53

4.1 ผลการทดลองที่ได้จากการต่อวงจรทดลอง

รูปที่ 4.5 แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น 500kHz 54

รูปที่ 4.6 แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น 1MHz 54

รูปที่ 4.7 แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น 2MHz 55

รูปที่ 4.8 แสดงสัญญาณอินพุทมีความถี่เป็น 10kHz 55

รูปที่ 4.9 แสดงสัญญาณเอาท์พุทเมื่อ N = 100 56

รูปที่ 4.10 แสดงสัญญาณเอาท์พุทเมื่อ N = 101 56

รูปที่ 4.11 แสดงสัญญาณเอาท์พุทเมื่อ N = 102 57

รูปที่ 4.12 แสดงสัญญาณเอาท์พุทเมื่อ N = 150 57

รูปที่ 4.13 แสดงสัญญาณเอาท์พุทเมื่อ N = 200 58

รูปที่ 4.14 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 50 58

รูปที่ 4.15 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 51 59

รูปที่ 4.16 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 52 59

รูปที่ 4.17 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 60 60

รูปที่ 4.18 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 70 60

รูปที่ 4.19 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 80 61

รูปที่ 4.20 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 90 61

รูปที่ 4.21 แสดงสัญญาณเอาท์พุทเมื่อ Prescaler = 10, N = 100 62

รูปที่ 4.22 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 500 62

รูปที่ 4.23 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 501 63

รูปที่ 4.24 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 502 63

รูปที่ 4.25 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 600 64

รูปที่ 4.26 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 700 64

รูปที่ 4.27 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 800 65

รูปที่ 4.28 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 900 65

รูปที่ 4.29 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 1000 66

4.2 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป

รูปที่ 4.30 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 2 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.31 แสดงโบดไดอะแกรมของเออเรอร์ทรานสเฟอร์ฟังก์ชันของวงจรทดลองที่ 2 67
รูปที่ 4.32 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 3 67
รูปที่ 4.33 แสดงโบดไดอะแกรมของเออเรอร์ทรานสเฟอร์ฟังก์ชันของวงจรทดลองที่ 3 68
รูปที่ 4.34 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 4 68
รูปที่ 4.35 แสดงโบดไดอะแกรมของเออเรอร์ทรานสเฟอร์ฟังก์ชันของวงจรทดลองที่ 4 69
รูปที่ 4.36 แสดง step responseของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 2 69
รูปที่ 4.37 แสดง step responseของเออเรอร์ทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 2 70
รูปที่ 4.38 แสดง step responseของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 3 70
รูปที่ 4.39 แสดง step responseของเออเรอร์ทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 3 71
รูปที่ 4.40 แสดง step responseของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 4 71
รูปที่ 4.41 แสดง step responseของเออเรอร์ทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 4 72
รูปที่ 4.42 แสดงผลตอบสนองชั่วขณะของวงจรดิจิตอลเฟสล็อคลูป 72
รูปที่ 4.43 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป(N=100)ระบบเข้าสู่สภาวะล็อค 73
รูปที่ 4.44 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป(N=100) ระบบหลุดจากสภาวะล็อค 73
รูปที่ 4.45 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปเมื่อเพิ่มวงจร Prescaler, V=10 (N_T=707) 74
รูปที่ 4.46 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปเมื่อใช้วงจร Dual-modulus prescaler, V=10 (N_T=707) 74
รูปที่ 4.47 กราฟแสดงคุณลักษณะของ VCO ระหว่างความถี่VCO(f_{VCO})และโวลเตจคอนโทรล(V_{vcoin}) 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 2 ทฤษฎีและหลักการ 2

2.2 วงจรดิจิตอลเฟสล็อคลูป (DPLL)

ตาราง 2.1 แสดงสูตรต่างๆของเฟสล็อคลูป 20

ตาราง 4.1 แสดงความสัมพันธ์ระหว่างความถี่(f_{VCO})และโวลเตจคอนโทรล (V_{vcoin}) 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วงจรสังเคราะห์ความถี่เป็นการประยุกต์ใช้งานที่สำคัญอันหนึ่งของวงจรเฟสล็อคลูป (PLL) และวงจรดิจิตอลเฟสล็อคลูป ซึ่งใช้ทั่วไปในการประยุกต์ใช้งานการสื่อสารคลื่นวิทยุ เรดาร์ การสื่อสารดิจิตอล และอื่นๆ

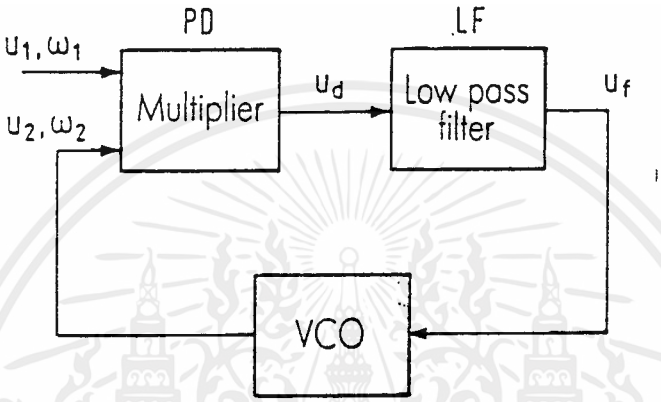
ในปัจจุบัน เนื่องจากมีการพัฒนาทางด้านเซมิคอนดักเตอร์ (semiconductor) สามารถสร้างฟังก์ชันบล็อคต่างๆลงบนชิป เช่น ออสซิลเลเตอร์(oscillator),เฟสดีเทคเตอร์(PD),วงจรหารความถี่ (frequency) และอื่นๆ ฟังก์ชันบล็อคของวงจรเฟสล็อคลูปประกอบด้วยส่วนของเฟสดีเทคเตอร์,ส่วนของวงจรกรองสัญญาณความถี่ต่ำผ่าน และส่วนของวงจรVCO สำหรับวงจรดิจิตอลเฟสล็อคลูปจะมีฟังก์ชันบล็อคที่ประกอบไปด้วยฟังก์ชันบล็อคที่เป็นทั้ง analog และ digital ส่วนที่เป็น digitalจริงๆมีเพียงส่วนเดียวคือ วงจรเฟสดีเทคเตอร์ หลักการทำงานของดิจิตอลเฟสล็อคลูปจะเหมือนกับวงจรลิเนียร์เฟสล็อคลูป (LPLL) ดังนั้นจึงสามารถใช้ทฤษฎีบางส่วนของ LPLLได้ อย่างไรก็ดี การทำงานในบางส่วนของดิจิตอลเฟสล็อคลูปจะแตกต่างจากลิเนียร์เฟสล็อคลูปโดยสิ้นเชิง

ในการศึกษานี้จะทำการศึกษาถึงหลักการทำงานของวงจรเฟสล็อคลูป, วงจรดิจิตอลเฟสล็อคลูป และการประยุกต์ใช้งานของวงจรดิจิตอลเฟสล็อคลูปในการทำเป็นวงจรสังเคราะห์ความถี่ รวมถึงวิธีออกแบบ ได้ทำการออกแบบและทำการทดลองเปรียบเทียบกับผลที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป การออกแบบนี้จะมีการพิจารณา 2 แบบ คือ การออกแบบที่ต้องการการกดสัญญาณรบกวน และ การออกแบบที่ไม่ต้องพิจารณาให้มีการกดสัญญาณรบกวนด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

วงจรเฟสล็อคลูปประกอบด้วยฟังก์ชันบล็อคต่างๆคือ ส่วนที่เป็นเฟสดีเทคเตอร์,ส่วนวงจรกรองสัญญาณความถี่ต่ำผ่านและวงจรโวลเตจคอนโทรลออสซิลเลเตอร์(VCO) เราจะอธิบายหลักการพื้นฐานของเฟสล็อคลูปโดยเริ่มพิจารณาจากวงจรลิเนียร์เฟสล็อคลูปแสดงบล็อคไดอะแกรมดังรูป 2.1



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของลิเนียร์เฟสล็อคลูป (LPLL)

2.1 วงจรลิเนียร์เฟสล็อคลูป (LPLL)

2.1.1 การทำงานในสภาวะล็อค

ถ้าเราสมมุติว่า ลิเนียร์เฟสล็อคลูปอยู่ในสภาวะล็อค และยังคงอยู่ในสภาวะล็อคต่อไปในอนาคตอันใกล้แบบจำลองทางคณิตศาสตร์ ที่ใช้คำนวณหาเฟสทรานเฟอร์ฟังก์ชัน H(s) ซึ่งเป็นความสัมพันธ์ระหว่างเฟสΘ_1ของสัญญาณอินพุท และเฟส Θ_2 ของสัญญาณ เอาท์พุท ดังนี้

$$H(s) = \frac{\Theta_2(s)}{\Theta_1(s)} \qquad (2.1)$$

เมื่อ $\Theta_1(s)$ และ $\Theta_2(s)$ เป็นลาปลาสทรานส์ฟอร์มของเฟส $\theta_1(t)$ และ $\theta_2(t)$ตามลำดับ ซึ่ง H(s) จะถูกเรียกว่า เฟสทรานสเฟอร์ฟังก์ชัน ในการที่จะหา H(s) เราจะต้องรู้ทรานสเฟอร์ฟังก์ชันของแต่ละบล็อก ในรูปที่ 2.1 ซึ่งจะเริ่มจาก เฟสดีเทคเตอร์ (phase detecter) สมมุติว่าสัญญาณอินพุทของ ลิเนียร์เฟสล็อคลูป เป็นสัญญาณไซน์เวฟ (sinewave)

$$u_1(t) = U_{10}\sin(\omega_1 t + \theta_1) \qquad (2.2)$$

และด้วยเหตุที่สัญญาณเอาท์พุท มักจะเป็นสัญญาณ square wave จึงสามารถเขียนในรูปของอนุกรมฟูเรียร์ได้เป็น

$$u_2(t) = U_{20}\left[4/\pi \cos(\omega_2 t + \theta_2) + 4/3\pi \cos(3\omega_2 t + \theta_2 \ldots\ldots) \right. \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอมแรกในวงเล็บจะเป็นส่วนประกอบพื้นฐาน (fundamental component) ดังนั้น สัญญาณเอาท์พุท ที่ได้จากวงจรคูณสัญญาณ u_1 และ u_2 จะได้เป็น

$$u_d(t) = u_1(t)\,u_2(t) = U_{10}\,U_{20}\,\sin(\omega_1 t + \theta_1)$$

$$x\ [\ 4/\pi \cos(\omega_2 t + \theta_2) + 4/3\pi \cos(3\omega_2 t + \theta_2 \ldots\ldots) \qquad (2.4)$$

เมื่อวงจร ลิเนียร์เฟสล็อคลูป อยู่ในสภาวะล็อค ความถี่ ω_1จะเท่ากับ ω_2 และ จะได้สัญญาณ $u_d(t)$ เป็น

$$u_d(t) = U_{10}\,U_{20}\ [\ 2/\pi \sin\theta_e + \ldots\ldots] \qquad (2.5)$$

เมื่อ $\theta_e = \theta_1 - \theta_2$ เป็นเฟสคลาดเคลื่อน (phase error) เทอมแรกของสมการนี้จะเป็นเทอมของสัญญาณไฟตรงที่ต้องการในขณะที่เทอมที่มีความถี่สูงถูกกำจัดทิ้งโดยลูปฟิลเตอร์ กำหนดให้ $K_d = 2U_{10}U_{20}/\pi$ เมื่อไม่พิจารณาสัญญาณความถี่สูงจะได้

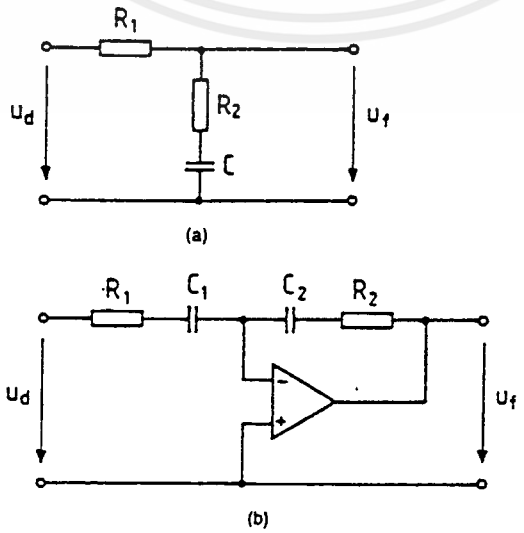
$$U_d(t) \approx K_d \sin\theta_e \qquad (2.6)$$

เมื่อ K_d เรียกว่า อัตราขยายของดีเทคเตอร์ (detecter gain) เมื่อค่าเฟสคลาดเคลื่อนมีค่าน้อยมาก ค่าของฟังก์ชันไซน์จะประมาณได้ว่าเป็นค่ามุมθ_e เราจะได้

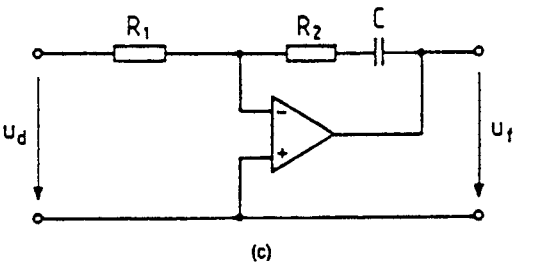
$$U_d(t) \approx K_d \theta_e \qquad (2.7)$$

จากสมการแสดงถึงความเป็นเชิงเส้นของวงจรเฟสดีเทคเตอร์ หน่วยของ K_dจะเป็น rad/V ซึ่ง K_d จะเป็นสัดส่วนกับ U_{10} และ U_{20} แต่โดยปกติแล้ว U_{20} จะเป็นค่าคงที่ ดังนั้น K_d จะเป็นฟังก์ชันเชิงเส้นของระดับสัญญาณ อินพุท U_{10} ซึ่งแสดงดังรูป 2.3 เนื่องจากวงจรคูณสัญญาณจะอิ่มตัวเมื่อสัญญาณเอาท์พุทของมันมีค่าใกล้เคียงกับระดับไฟเลี้ยงที่จ่ายให้กับวงจร ฟังก์ชั่นจะแฟลตที่ระดับสัญญาณสูง ๆ และค่า K_d จะเข้าสู่ค่า asymplot limit

สรุปได้ว่าเมื่อ ลิเนียร์เฟสล็อคลูปเข้าสู่สภาวะล็อค วงจรเฟสดีเทคเตอร์จะแสดงตัวเป็น Zero Order Block ซึ่งมีเกนเป็น K_d



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.2 แสดงวงจรลูปฟิลเตอร์ที่ใช้ในลิเนียร์เฟสล็อคลูป

(a) Passive lag filter

(b) Active lag filter

(c) Active PI filter

สามารถแสดงทรานสเฟอร์ฟังก์ชันของรูป 2.2(a) ได้ดังนี้

$$F(s) = \frac{1+s\tau_2}{1+s(\tau_1+\tau_2)} \qquad (2.8)$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$

สามารถแสดงทรานสเฟอร์ฟังก์ชันของรูป 2.2(b) ได้ดังนี้

$$F(s) = K_a\frac{1+s\tau_2}{1+s\tau_1} \qquad (2.9)$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$, $K_a = -C_1/C_2$

สามารถแสดงทรานสเฟอร์ฟังก์ชันของรูป 2.2(c) ได้ดังนี้

$$F(s) = \frac{1+s\tau_2}{s\tau_1} \qquad (2.10)$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$

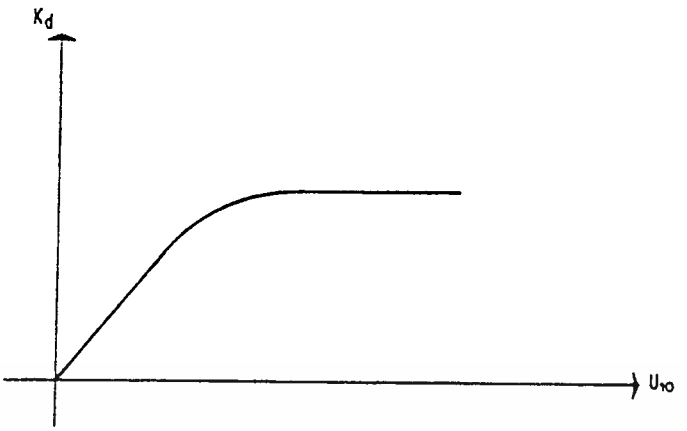
ทรานส์เฟอร์ฟังก์ชั่นของวงจรลูปฟิลเตอร์ทั้ง 3 ซึ่งแสดงในสมการ (2.8) ถึง (2.10) ต่อไปเราต้องการทรานสเฟอร์ฟังก์ชั่นของวงจร VCO ความถี่เชิงมุมของ VCO แสดงดังนี้

$$\omega_2(t) = \omega_o + \Delta\omega_2(t) = \omega_o + K_o u_f(t)$$

เมื่อ K_oเป็นอัตราขยายของวงจร VCO (หน่วยเป็น rad $s^{-1}V^{-1}$) แต่แบบจำลองของวงจร VCO จะต้องเกี่ยวข้องกับเอาท์พุทเฟส θ_2ไม่ใช่ความถี่ ω_2 ดังนั้นจะได้เฟส θ_2 โดยการอินทิเกรด $\Delta\omega_2$

$$\theta_2(t) = \int \Delta\omega_2 dt = K_o \int u_f dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 แสดงความสัมพันธ์ระหว่างเฟสดีเทคเตอร์เกน (K_d) และ ขนาด U_{10}ของสัญญาณอ้างอิง

ในการแปลงลาปลาส การอินทิเกรดเมื่อเทียบกับเวลาจะสอดคล้องกับการหารด้วย S ดังนั้นจะได้ลาปลาสทรานสฟอร์มของ เอาท์พุทเฟส θ_2 เป็น

$$\Theta_2(s) = \frac{K_O}{s} U_f(s) \qquad (2.11)$$

ดังนั้นจะได้ทรานสเฟอร์ฟังก์ชั่นของ VCO เป็นดังนี้

$$\frac{\Theta_2(s)}{U_f(s)} = \frac{K_O}{s} \qquad (2.12)$$

สำหรับสัญญาณเฟสวงจร VCO จะแสดงตัวเป็นอินทิเกรเตอร์ ตอนนี้เราก็สามารถเขียนแบบจำลองของ ลิเนียร์เฟสล็อคลูปได้ ดังรูปที่ 2.4 จากแบบจำลองนี้ ทำให้เราสามารถจะวิเคราะห์การทำงานของวงจรลิเนียร์เฟสล็อคลูปได้ เช่น ความสามารถของระบบในการรักษาการแทร็คกิ้งของเฟสเมื่อมีการเปลี่ยนแปลงเฟสหรือความถี่หรือการกระตุ้นจากสัญญาณอื่น ๆ จากแบบจำลองในรูปที่ 2.4 เฟสทรานสเฟอร์ฟังก์ชั่น H(s) สามารถเขียนได้เป็น

$$H(s) = \frac{\Theta_2(s)}{\Theta_1(s)} = \frac{K_O K_d F(s)}{s + K_O K_d F(s)} \qquad (2.13)$$

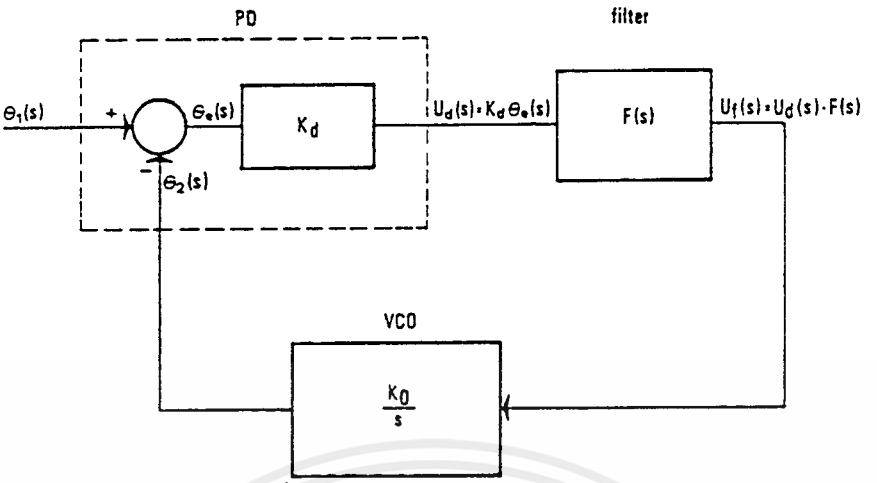
นอกจากนี้ จากเฟสทรานสเฟอร์ฟังก์ชั่น สามารถกำหนด error transfer function $H_e(s)$ ได้ดังนี้

$$H_e(s) = \frac{\Theta_e(s)}{\Theta_1(s)} = \frac{s}{s + K_O K_d F(s)} \qquad (2.14)$$

$H_e(s)$ เป็นความสัมพันธ์ระหว่างเฟสคลาดเคลื่อนกับเฟสอินพุท และความสัมพันธ์ระหว่าง $H_e(s)$ และ H(s) จะเป็น

$$H_e(s) = 1 - H(s) \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 แสดงโมเดลของลิเนียร์เฟสล็อคลูป่

เพื่อที่จะวิเคราะห์เฟสทรานสเฟอร์ฟังก์ชั่น เราจำเป็นต้องเพิ่มทรานสเฟอร์ฟังก์ชั่นของลูปฟิลเตอร์เข้าไป (สมการ (2.8) ถึง (2.10)) ในสมการ (2.13) จะได้สมการต่าง ๆ ดังนี้

- สำหรับวงจร passive lag filter

$$H(s)=\frac{K_OK_d\dfrac{1+s\tau_2}{\tau_1+\tau_2}}{s^2+s\dfrac{1+K_OK_d\tau_2}{\tau_1+\tau_2}+\dfrac{K_OK_d}{\tau_1+\tau_2}} \qquad (2.16)$$

- สำหรับวงจร active lag filter

$$H(s)=\frac{K_OK_dK_a\dfrac{1+s\tau_2}{\tau_1}}{s^2+s\dfrac{1+K_OK_dK_a\tau_2}{\tau_1}+\dfrac{K_OK_dK_a}{\tau_1}} \qquad (2.17)$$

- สำหรับวงจร active PI filter

$$H(s)=\frac{K_OK_d\dfrac{1+s\tau_2}{\tau_1}}{s^2+s\dfrac{K_OK_d\tau_2}{\tau_1}+\dfrac{K_OK_d}{\tau_1}} \qquad (2.18)$$

ในวงจรและทฤษฎี control จะเขียนตัวส่วนของทรานสเฟอร์ฟังก์ชั่นในเทอมของนอมอลไลซ์ ดังนี้

$$\text{ตัวส่วนของทรานเฟอร์ฟังก์ชัน} = s^2 + 2\zeta\omega_n s + \omega_n^2$$

เมื่อ ω_n คือ ความถี่ธรรมชาติ (natural frequency) และ ζ เป็น damping factor ตัวส่วนของสมการ (2.16), (2.17),(2.18) สามารถเขียนโดยใช้รูปแบบดังกล่าวได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับ passive lag filter

$$\omega_n = \sqrt{\frac{K_O K_d}{\tau_1 + \tau_2}} \qquad \zeta = \frac{\omega_n}{2}\left(\tau_2 + \frac{1}{K_O K_d}\right) \tag{2.19}$$

- สำหรับ active lag filter

$$\omega_n = \sqrt{\frac{K_O K_d K_a}{\tau_1}} \qquad \zeta = \frac{\omega_n}{2}\left(\tau_2 + \frac{1}{K_O K_d K_a}\right) \tag{2.20}$$

- สำหรับ active PI filter

$$\omega_n = \sqrt{\frac{K_O K_d}{\tau_1}} \qquad \zeta = \frac{\omega_n \tau_2}{2} \tag{2.21}$$

เมื่อเราแทน ω_n และ ζ ลงในสมการ (2.16) , (2.17) ,(2.18) จะได้เฟสทรานสเฟอร์ฟังก์ชั่นเป็นดังนี้

- สำหรับ passive lag filter

$$H(s) = \frac{s\omega_n\left(2\zeta - \frac{\omega_n}{K_O K_d}\right) + \omega_n^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \tag{2.22}$$

- สำหรับ active lag filter

$$H(s) = \frac{s\omega_n\left(2\zeta - \frac{\omega_n}{K_O K_d K_a}\right) + \omega_n^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \tag{2.23}$$

- สำหรับ active PI filter

$$H(s) = \frac{2s\zeta\omega_n + \omega_n^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \tag{2.24}$$

เทอม $K_d K_O$ ในสมการ (2.22) และ (2.24) จะเรียกว่าอัตราขยายวนรอบและสมการ (2.23) เทอม $K_d K_O K_a$ จะเป็นอัตราขยายวนรอบ

กรณีที่เงื่อนไข $K_d K_O >> \omega_n$ หรือ $K_d K_O K_a >> \omega_n$ เป็นจริง ระบบลิเนียร์เฟสล็อคลูปนี้จะเป็นระบบที่มีอัตราขยายวนรอบที่สูง (high-gain loop) ถ้าเงื่อนไขเป็นตรงกันข้าม ระบบนี้จะถูกเรียกว่า ระบบที่มีอัตราขยายวนรอบต่ำ (low - gain loop) ในทางปฏิบัติส่วนมากวงจร ลิเนียร์เฟสล็อคลูปจะเป็น high-gain loop สำหรับ high-gain loop สมการ(2.22) ถึง (2.24) จะประมาณได้เท่ากัน คือ

$$H(s) \approx \frac{2s\zeta\omega_n + \omega_n^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \tag{2.25}$$

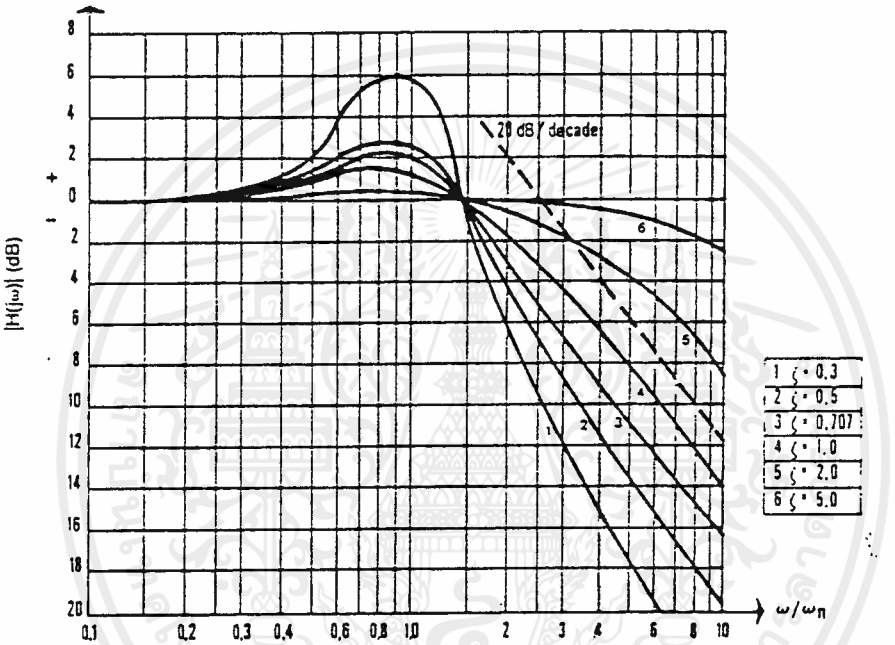
ในทำนองเดียวกัน กรณีสมมุติว่าเป็น high-gain loop เราจะได้ เออเรอร์ทรานสเฟอร์ฟังก์ชั่น $H_e(s)$สำหรับฟิลเตอร์ทั้ง3ชนิดเหมือนกันเป็นดังนี้

$$H_e(s) \approx \frac{s^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \tag{2.26}$$

เพื่อที่จะดูผลตอบสนองชั่วขณะ (transient response) ของระบบสามารถทำได้โดยการพล็อตโบดพล็อตของทรานสเฟอร์ฟังก์ชั่น โดยแทน $s = j\omega$ ในสมการ (2.25)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราพล็อตกราฟขนาด (magnitude: absolute value) $|H(j\omega)|$ ในรูปของ ω(รูป 2.5)ซึ่ง scale ทั้ง 2 แกนเป็น scale log แกนความถี่จะถูกทำการนอมอไลซ์ไปที่ความถี่ธรรมชาติ ω_n เราจะเห็นว่าวงจรเฟสล็อคลูปอันดับที่ 2 แสดงตัวเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านสำหรับสัญญาณเฟสอินพุท$\theta_1(t)$ ซึ่งมีความถี่อยู่ระหว่างศูนย์ไปจนถึงประมาณ ω_n นั่นหมายความว่าวงจรอันดับที่2(2^{nd} order)เฟสล็อคลูปสามารถจะแทร็คตามเฟสโมดูเลชันและความถี่โมดูเลชัน ซึ่งเป็นสัญญาณอ้างอิงไปเรื่อยๆ ตราบเท่าที่ความถี่ของสัญญาณนั้นยังคงอยู่ภายในช่วงความถี่เชิงมุมระหว่าง 0 และ ω_n

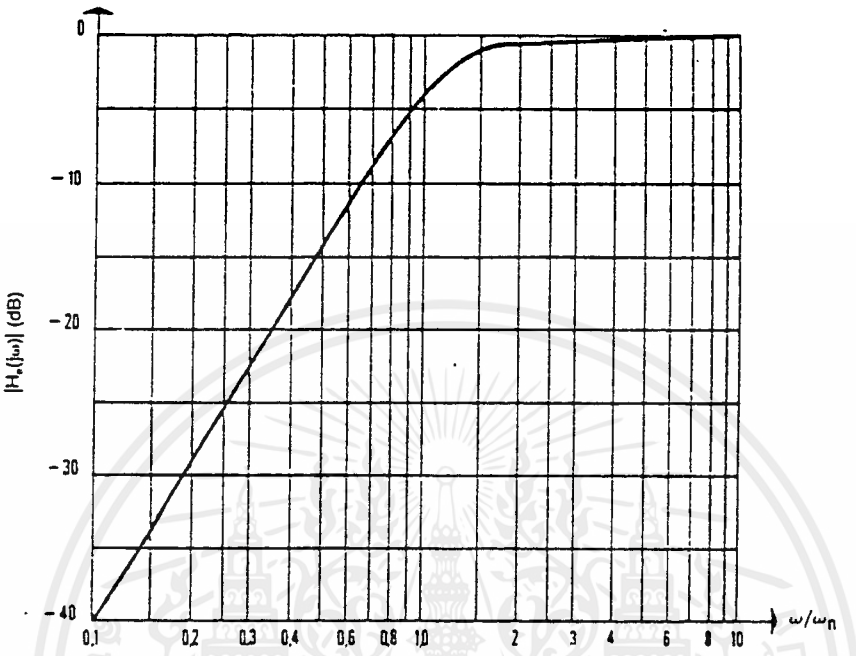


รูป 2.5 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชัน $H(j\omega)$

damping factor (ζ) มีความสำคัญต่อการทำงานของลิเนียร์เฟสล็อคลูป สำหรับ $\zeta = 1$ ระบบจะอยู่ในสภาวะ critical damp ถ้าค่า ζ มีค่าน้อยกว่า 1 ผลตอบสนองทางความถี่ชั่วขณะจะเริ่มออสซิลเลต ถ้ามีค่ามากกว่า 1 จะเป็นสภาวะ overshoot ในทางปฏิบัติทั่วไป ต้องการผลตอบสนองทางความถี่ที่ราบเรียบ ซึ่งทรานสเฟอร์ฟังก์ชั่นที่ได้ผลดังกล่าวจะมีค่า $\zeta = 1/\sqrt{2} = 0.7$ ซึ่งจะสอดคล้องกับวงจรกรองสัญญาณความถี่ต่ำผ่านชนิดบัตเตอร์เวิร์ธ อันดับที่2 ถ้า ζ มีค่ามากกว่า 1 กราฟของทรานสเฟอร์ฟังก์ชั่นจะเรียบและจะเข้าสู่สภาวะที่เสถียรช้า

โบดพล็อตของ $H_c(s)$ แสดงดังรูปที่ 2.6 โดยเลือกค่า $\zeta = 0.707$ จากกราฟแสดงให้เห็นว่า เมื่อความถี่ที่ทำการมอดมีค่าต่ำกว่าค่าความถี่ธรรมชาติ ω_n ค่าเฟสคลาดเคลื่อน จะยังคงมีค่าน้อยๆ เมื่อความถี่เพิ่มขึ้นเฟสคลาดเคลื่อนจะเริ่มมากขึ้น จนมีค่าเท่ากับเฟสอ้างอิง θ_1 ซึ่งนั่นจะหมายความว่าวงจรเฟสล็อคลูป จะไม่สามารถคงสภาวะเฟสแทรคกิ้งได้อีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.6 แสดงโบดไดอะแกรมของเออเรอร์ทรานสเฟอร์ฟังก์ชัน $H_e(j\omega)$

จากที่กล่าวมาเราจะเห็นว่าแบบจำลองแบบเป็นเชิงเส้นเหมาะสมที่สุดที่จะอธิบายพฤติกรรมการแทรคกิ้งของเฟสล็อคลูป ถ้าสมมุติว่าเฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าเฟสล็อคลูปไม่อยู่ในสภาวะล็อค ค่าเฟสคลาดเคลื่อนจะมีค่ามากและแบบจำลองเชิงเส้นจะไม่แปรผันอยู่นาน (longer valid) เมื่อเราคำนวณกระบวนการแอคควิซิชัน (acquisition process) ของเฟสล็อคลูป เราจะต้องใช้แบบจำลองเฟสดีเทคเตอร์ที่ไม่เป็นเชิงเส้น

2.1.2 Hold range

ขนาดของ hold range สามารถคำนวณได้ เมื่อมีค่าเฟสคลาดเคลื่อนเป็น $\pi/2$ ในกรณีนี้เราจะได้

$$\omega_1 = \omega_O + \Delta\omega_H \qquad (2.27)$$

เมื่อ $\Delta\omega_H$ เป็น hold range สำหรับสัญญาณเฟส $\theta_1(t)$ จะได้เป็น

$$\theta_1(t) = \Delta\omega_H \cdot t \qquad (2.28)$$

เมื่อทำการแปลงลาปลาสของสมการ (2.28) จะได้

$$\theta_1(s) = \frac{\Delta\omega}{s^2} \qquad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเราสามารถคำนวณหาค่าเฟสคลาดเคลื่อนจากสมการ (2.14) ได้ว่า

$$\theta_e(s) = \theta_1(s)H_e(s) = \frac{\Delta\omega_H}{s^2} \cdot \frac{s}{s + K_O K_d F(s)} \qquad (2.30)$$

ใช้ทฤษฎีการหาค่าสุดท้ายของการแปลงลาปลาส จะได้ค่าเฟสคลาดเคลื่อนในแกนของเวลา(time domain)เป็น

$$\lim_{t\to\infty} \theta_e(t) = \lim_{s\to 0} s\theta_e(s) = \frac{\Delta\omega}{K_O K_d F(0)} \qquad (2.31)$$

เราทราบมาแล้วว่า วงจรเฟสล็อคลูปจะเป็นเชิงเส้นเมื่อใช้การแปลงลาปลาส ดังนั้นสมการ (2.31) จะใช้กับค่า θ_e ที่มีค่าน้อย ๆ เท่านั้น ถ้าค่าเฟสคลาดเคลื่อนมีค่ามากกว่านี้เราจะได้ว่า

$$\lim_{t\to\infty} \sin\theta_e(t) = \frac{\Delta\omega_H}{K_O K_d F(0)} \qquad (2.32)$$

ที่ค่าจำกัดของ hold range , $\theta_e = \pi/2$ ดังนั้น $\sin\theta_e$ จะเท่ากับ 1 จะทำให้ได้ว่า

$$\Delta\omega_H = K_d K_O F(0) \qquad (2.33)$$

ค่าอัตราขยายไฟตรง (DC gain) ของลูปฟิลเตอร์ จะมีค่าขึ้นกับชนิดของวงจรกรองสัญญาณที่ใช้ สำหรับวงจร passive lag filter ค่าอัตราขยายไฟตรง F(0) = 1 สำหรับวงจร active lag filter ค่าอัตราขยายไฟตรง F(0) = K_a และสำหรับ active PI filter จะมีค่าอย่างน้อยที่สุดตามทฤษฎีเป็น ∞ ดังนั้น เราจะได้ค่า hold range เป็น

- สำหรับ passive lag filter

$$\Delta\omega_H = K_d K_O \qquad (2.34)$$

- สำหรับ active lag filter

$$\Delta\omega_H = K_d K_O K_a \qquad (2.35)$$

- สำหรับ active PI filter

$$\Delta\omega_H \rightarrow \infty \qquad (2.36)$$

สำหรับการใช้งานจริงของวงจร active PI filter ค่า hold range จริงๆ จะถูกจำกัดโดยช่วงความถี่ใช้งานของวงจร VCO

2.1.3 Lock range

เราสมมุติว่าวงจรลิเนียร์เฟสล็อคลูป ยังไม่อยู่ในสภาวะล็อคและความถี่อ้างอิงเป็น $\omega_1 = \omega_o + \Delta\omega$ และให้สัญญาณอ้างอิงของลิเนียร์เฟสล็อคลูปเป็น

$$u_1(t) = U_{10} \sin(\omega_o t + \Delta\omega t)$$

และสัญญาณเอาท์พุทเป็น

$$u_2(t) = U_{20} W(\omega_o t)$$

เมื่อ $W(\omega_o t)$ เป็น Walsh function แสดงดังเส้นประในรูปที่ 2.7(b) จากสมการที่ (2.2)และ (2.3) วงจรเฟสดีเทคเตอร์จะให้สัญญาณเอาท์พุท เป็น

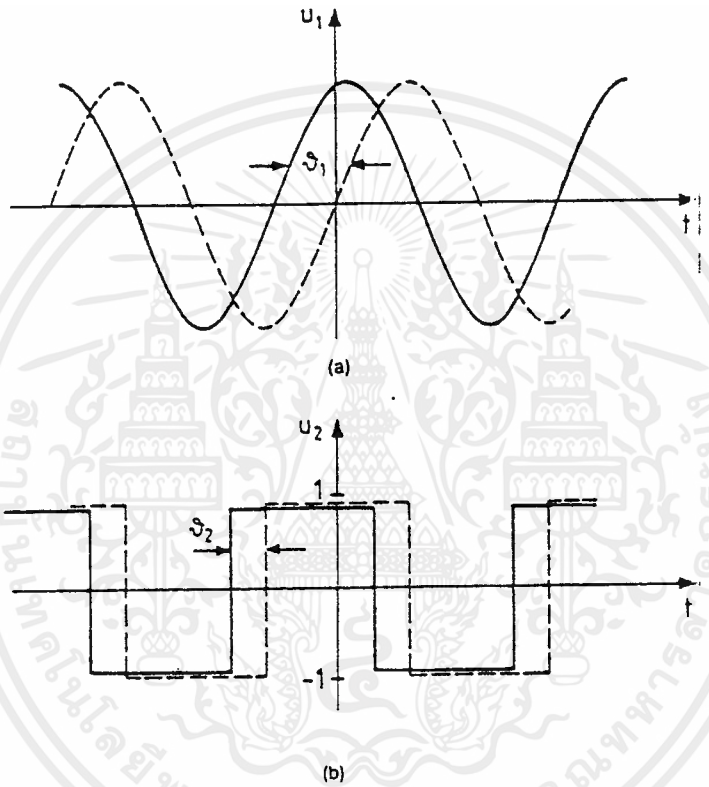
$$u_d(t) = K_d \sin(\Delta\omega t) + \text{เทอมที่มีความถี่สูงขึ้น}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่เทอมที่มีความถี่สูงขึ้นจะถูกกำจัดทิ้งไปโดยวงจรลูปฟิลเตอร์ ที่เอาท์พุทของลูปฟิลเตอร์จะได้สัญญาณ $u_f(t)$เป็น

$$u_f(t) \approx K_d \left| F(\Delta\omega) \right| \sin(\Delta\omega t) \qquad (2.37)$$

ซึ่งเป็นสัญญาณไฟสลับ ที่จะถูกนำไปมอดูเลตแบบ ฟรีเควนซีมอดูเลต ที่ VCO ค่าพีคของการเบี่ยงเบนความถี่จะเท่ากับ $K_d K_o \left| F(\Delta\omega) \right|$



รูป 2.7 แสดงสัญญาณอินพุทของมัลติพลายเออร์เฟสดีเทคเตอร์

(a) สัญญาณ $u_1(t)$คือ ไซน์เวฟ เส้นประ : เฟส $\theta_1 = 0$, เส้นทึบ : เฟส $\theta_1 > 0$

(b) สัญญาณ $u_2(t)$ คือ ซิมเมทรีสแควเวฟ เส้นประ : $\theta_2 = 0$, เส้นทึบ : $\theta_2 > 0$

2.1.4 Pull-in range

สมมุติว่า ลิเนียร์เฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค ความถี่ของสัญญาณอ้างอิงเป็น $\omega_1 = \omega_o + \Delta\omega$ วงจร VCO ออสซิเลตที่ความถี่กลาง ω_o ดังนั้นสัญญาณเอาท์พุท u_dของวงจรเฟสดีเทคเตอร์จะเป็นไซน์เวฟมีความถี่ $\Delta\omega$ ซึ่งเป็นสัญญาณไฟสลับ สมมุติว่า $\Delta\omega$ มีค่ามากจนกระบวนการล็อคอินไม่เกิดขึ้น และสมมุติว่าใช้วงจรกรองสัญญาณแบบ passive lag สัญญาณ u_d จะถูกลดทอนโดยลูปฟิลเตอร์ สัญญาณเอาท์พุท u_f จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณไฟสลับและจะไปมอดูเลตแบบ FM ที่ VCO ในช่วงครึ่งไซเคิลบวกของ u_dความถี่ของสัญญาณเอาท์พุท ω_2จะเพิ่มขึ้น และจะมีค่าลดลงในครึ่งไซเคิลลบ เนื่องจากค่าพีคของความถี่เอาท์พุทω_2 จะไม่เท่ากับความถี่ ω_1เลย เราก็จะคิดได้ว่า ลิเนียร์เฟสล็อคลูป จะไม่เข้าสู่สภาวะล็อค

เราจะเห็นว่าค่า $\Delta\omega$ ระหว่างความถี่อ้างอิง ω_1 และความถี่เอาท์พุท ω_2 ไม่เป็นค่าคงที่ ซึ่งจะแปรผันโดยความถี่ที่ทำการมอดจากสัญญาณเอาท์พุทของ VCO ถ้าความถี่ $\omega_2(t)$ ถูกมอดในทิศทางบวก ค่า $\Delta\omega$ จะน้อยลง และเข้าสู่ค่าที่น้อยที่สุด $\Delta\omega_{min}$ ถ้า$\omega_2(t)$ ถูกมอด ในทิศทางลบ $\Delta\omega$จะมีค่าเพิ่มขึ้นจนเข้าถึงค่าสูงสุด $\Delta\omega_{max}$ เพราะว่าค่า $\Delta\omega$ (t) จะมีค่าไม่คงที่ ค่าที่ได้จากการมอดกับ VCO จะเป็นดังนี้ คือ ระยะเวลาของครึ่งไซเคิลที่$\omega_2(t)$ ถูกมอดในทิศทางบวก จะยาวนานกว่าครึ่งไซเคิลซึ่ง $\omega_2(t)$ ถูกมอดในทางลบ ดังนั้นค่าความถี่เฉลี่ย ω_2 ของ VCO จะมีค่าสูงกว่าที่ไม่มีการมอด ความถี่ของ VCO ก็จะถูกดึงเข้าสู่ทิศทางที่ใกล้กับสัญญาณอ้างอิง

ความไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะขึ้นอยู่กับค่าเฉลี่ยของ $\Delta\omega$ การไม่สมมาตรจะมีมากขึ้นถ้า $\Delta\omega$ มีค่าลดลง ถ้าค่าเฉลี่ยของ $\omega_2(t)$ ดึงไปในทิศทางที่เข้าใกล้ ω_1 (ซึ่งสมมุติว่ามากกว่า $\overline{\omega}_2$) การไม่สมมาตรของสัญญาณ ω_2 (t)จะมีมากขึ้น ซึ่งจะทำให้ $\overline{\omega}_2$ ถูกดึงไปในทิศทางบวกมากขึ้น กระบวนการนี้จะเกิดขึ้นใหม่เรื่อยๆภายใต้เงื่อนไขที่แน่นอน ดังนั้นความถี่เอาท์พุท ω_2 ก็จะเข้าถึงความถี่อ้างอิง ω_1 ได้ในที่สุด ปรากฏการณ์นี้เราจะเรียกว่า pull-in process

การวิเคราะห์ทางคณิตศาสตร์แสดงให้เห็นว่า กระบวนการ pull - in นี้ จะเกิดขึ้นเมื่อไรก็ตามที่ $\Delta\omega$ มีค่าน้อยกว่าค่าวิกฤต คือค่า pull - in range $\Delta\omega_p$ ส่วนในกรณีที่ค่า $\Delta\omega$ มีค่ามากกว่า $\Delta\omega_p$ กระบวนการ pull - in จะไม่เกิดขึ้น เพราะว่าปรากฏการณ์ดึงไม่สามารถจะเกิดขึ้นได้อีก การพิสูจน์ทางคณิตศาสตร์ในการหา pull - in range ทำได้ยาก ซึ่งเราจะยกมาเพียงผลลัพธ์เท่านั้น สิ่งสำคัญที่ต้องจำไว้คือ ค่า pull - in range นั้นจะขึ้นอยู่กับชนิดของลูปฟิลเตอร์ ต่อไปนี้เป็นสูตรในการหา pull - in range

- สำหรับ passive lag filter

Low-gain loops

$$\Delta\omega_P \approx \frac{4}{\pi}\sqrt{2\zeta\omega_n K_O K_d - \omega_n^2} \qquad (2.38)$$

High-gain loops

$$\Delta\omega_P \approx \frac{4\sqrt{2}}{\pi}\sqrt{\zeta\omega_n K_O K_d}$$

- สำหรับ active lag filter

Low-gain loops

$$\Delta\omega_P \approx \frac{4}{\pi}\sqrt{2\zeta\omega_n K_O K_d - \frac{\omega_n^2}{K_a}} \qquad (2.39)$$

High-gain loops

$$\Delta\omega_P \approx \frac{4\sqrt{2}}{\pi}\sqrt{\zeta\omega_n K_O K_d}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับ active PI filter (ทั้ง low gain loop และ high gain loop)

$$\Delta\omega_p \rightarrow \infty \qquad (2.40)$$

2.1.5 Pull - out range

โดยความหมายแล้วจะหมายถึง step ของความถี่ ซึ่งเป็นสาเหตุให้หลุดจากสภาวะล็อค เราไม่สามารถคำนวณได้ในกรณีของลิเนียร์เฟสล็อคลูป แต่ผลที่ได้จากการ simulate จากคอมพิวเตอร์จะได้เป็น

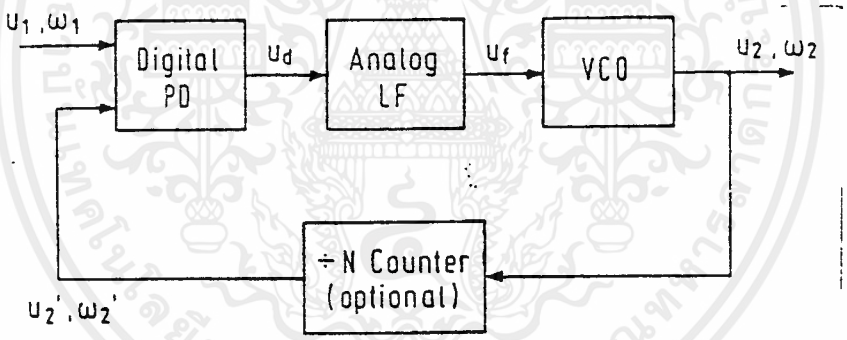
$$\Delta\omega_{PO} = 1.8\,\omega_n(\zeta + 1) \qquad (2.41)$$

ในทางปฏิบัติทั่วไป pull-out range จะอยู่ระหว่าง lock range และ pull-in range

2.2 วงจรดิจิตอลเฟสล็อคลูป์ (DPLL)

2.2.1 บล็อกไดอะแกรมของวงจรดิจิตอลเฟสล็อคลูป

แสดงได้ดังรูปที่2.8 ซึ่งประกอบด้วยฟังก์ชันบล็อกที่รู้จักกันดี 3 บล็อก คือ เฟสดีเทคเตอร์(phase detecter),ลูปฟิลเตอร์ (loop filter) และ โวลเตจคอนโทรลออสซิลเลเตอร์(VCO)

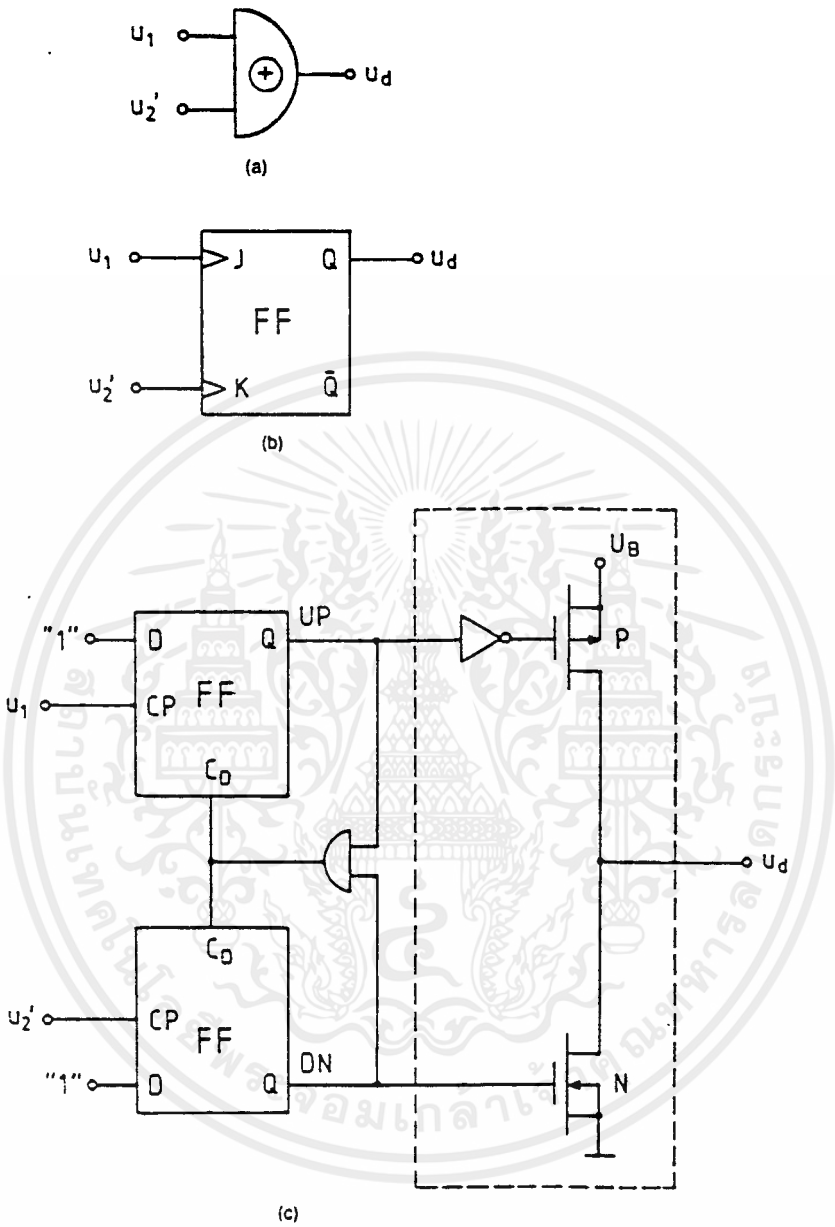


รูปที่ 2.8 แสดงบล็อคไดอะแกรมของดิจิตอลเฟสล็อคลูป

ในการประยุกต์ใช้งานของดิจิตอลเฟสล็อคลูปหลายๆ กรณี วงจรหารNเคาน์เตอร์ถูกใส่แทรกเข้ามาระหว่าง VCO และเฟสดีเทคเตอร์ เมื่อเราใช้วงจรเคาน์เตอร์แล้ว VCO จะกำเนิดสัญญาณความถี่มีค่าเป็น N เท่าของความถี่อ้างอิง วงจรลูปฟิลเตอร์ที่ใช้ในดิจิตอลเฟสล็อคลูปจะเหมือนกันกับที่กล่าวมาข้างต้น สำหรับวงจรเฟสดีเทคเตอร์จะใช้วงจรลอจิกที่สำคัญๆ 3 วงจร ดังแสดงในรูปที่ 2.9 ดังนี้

- EXOR เกท (รูป 2.9(a))
- JK - flipflop (edge - triggered) (รูป 2.9(b))
- วงจรเฟส - ฟรีเควนซี ดีเทคเตอร์ (phase - frequency defector) (รูป 2.9(c))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 แสดงเฟสดีเทคเตอร์ที่ใช้ในดิจิตอลเฟสล็อคลูป

(a) EXOR เกท

(b) JK ฟลิปฟลอป

(c) เฟสฟรีเควนซีดีเทคเตอร์

ในการทดลองนี้จะเลือกใช้วงจรเฟสฟรีเควนซีดีเทคเตอร์ วงจรเฟสฟรีเควนซีดีเทคเตอร์ จะมีการทำงานที่ไม่จำกัดช่วง pull -in range ซึ่งทำให้วงจรเฟสล็อคลูปสามารถทำงานได้ แม้จะเป็นภายใต้เงื่อนไขการ

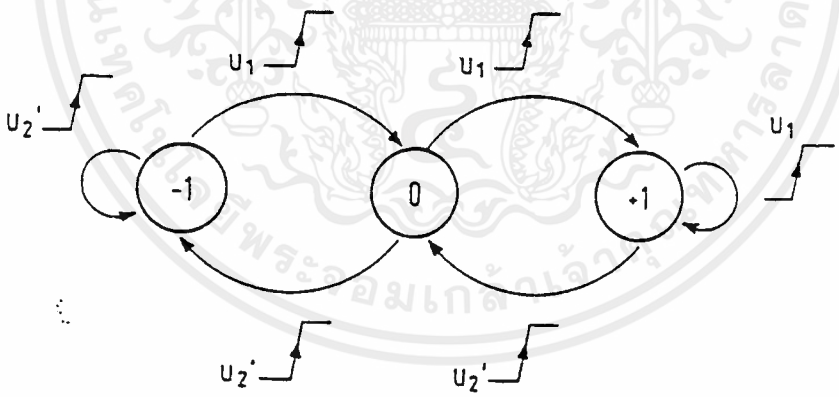
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานที่เลวร้ายที่สุด วงจรเฟสฟรีเควนซีดีเทคเตอร์ จะมีความแตกต่างอย่างมากจากวงจรเฟสดีเทคเตอร์ชนิดอื่น จากชื่อของมันแสดงว่าสัญญาณเอาท์พุทไม่เพียงแต่จะขึ้นกับเฟสคลาดเคลื่อนเท่านั้น แต่ยังขึ้นกับความถี่คลาดเคลื่อน ($\Delta\omega = \omega_1 - \omega_2'$) อีกด้วย เมื่อดิจิตอลเฟสล็อคลูปยังไม่เข้าสู่สภาวะการล็อค รูปที่ 2.9(c) แสดงถึงวงจรของเฟสฟรีเควนซีดีเทคเตอร์ ซึ่งประกอบด้วย D-ฟลิปฟลอป2 ตัว ซึ่งเอาท์พุทของมันแสดงโดย "UP"และ "DN"(down) จากรูป ตามลำดับ วงจรเฟสฟรีเควนซีดีเทคเตอร์สามารถเกิดสภาวะต่างๆกันดังนี้

- UP = 0 , DN = 0
- UP = 1 , DN = 0
- UP = 0 , DN = 1
- UP = 1 , DN = 1

สภาวะทั้ง 4 จะถูกยับยั้งโดยการเพิ่ม AND เกทเข้าไป เมื่อใดก็ตามที่ฟลิปฟลอปทั้ง 2 มี เอาท์พุทเป็น1 จะเกิดสถานะ high ขึ้นที่ C_D(clear direct) อินพุทของแต่ละตัว ซึ่งฟลิปฟลอปทั้งคู่จะถูกรีเซ็ต ดังนั้นอุปกรณ์นี้จะแสดงตัวเป็นเหมือน 3 สถานะ(Tristate) เราจะกำหนดสัญลักษณ์ -1, 0 และ 1 สำหรับ 3 สถานะ ดังนี้

- DN = 1 , UP = 0 → state = -1
- UP = 0 , DN = 0 → state = 0
- UP = 1 , DN = 0 → state = +1



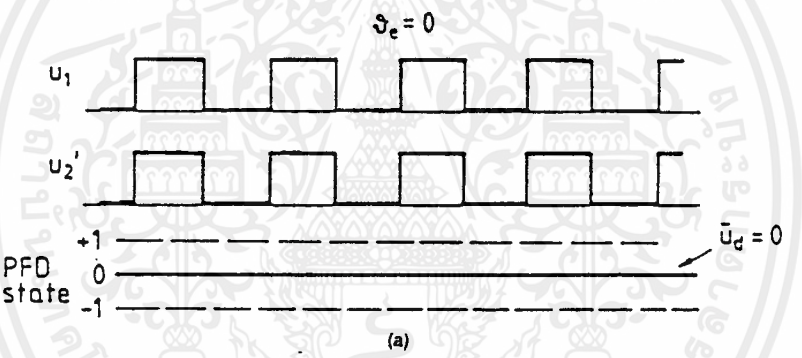
รูปที่ 2.10 แสดงสเตทไดอะแกรมของเฟสฟรีเควนซีดีเทคเตอร์

สภาวะที่แท้จริงของวงจรเฟสฟรีเควนซีดีเทคเตอร์ จะถูกกำหนดโดยขอบขาขึ้นของสัญญาณ u_1 และ u_2' ในสภาวะชั่วขณะนั้นๆดังแสดงโดยสเตทไดอะแกรมดังรูป 2.10 (ในตัวอย่างนี้เราสมมุติว่า เฟสฟรีเควนซีดีเทคเตอร์ทำงานโดยขอบขาขึ้นของสัญญาณเท่านั้น) จากรูปแสดงให้เห็นว่าขอบขาขึ้นของสัญญาณ u_1 ทำให้เฟสฟรีเควนซีดีเทคเตอร์มีสภาวะที่สูงขึ้น เว้นเสียแต่ว่ามันจะอยู่ที่สภาวะ +1 แล้วเท่านั้น ในทำนองเดียวกันขอบขาขึ้นของสัญญาณ u_2' จะทำให้วงจรเฟสฟรีเควนซีดีเทคเตอร์มีสภาวะที่ต่ำลง เว้นเสียแต่ว่ามันจะอยู่ใน

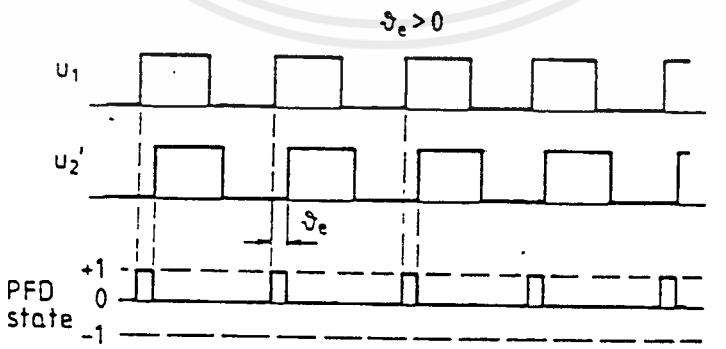
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะ -1 แล้วเช่นกัน สัญญาณเอาท์พุท u_d จะเป็นฟังก์ชั่นลอจิกคอลของสภาวะของเฟสฟรีเควนซีดีเทคเตอร์ เมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ +1 สัญญาณจะต้องเป็นบวก เมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ -1 สัญญาณ u_d ต้องเป็นลบ และเมื่อมันอยู่ในสภาวะ 0 สัญญาณ u_d ต้องเป็นศูนย์ ตามทฤษฎีแล้วสัญญาณ u_d เป็นสัญญาณที่มี 3 ระดับ ซึ่งวงจรลอจิกโดยทั่วไปจะกำเนิดสัญญาณไบนารี ซึ่งมี 2 ระดับโดยที่สภาวะที่ 3 $u_d = 0$) สามารถแทนได้โดยสภาวะความต้านทานสูง (high - impedance) วงจรภายในเส้นประในรูปที่ 2.9(c) แสดงถึงการกำเนิดสัญญาณ u_d ว่ามาได้อย่างไร เมื่อสัญญาณที่ UP อยู่ในสถานะสูง P- channel ของ MOS ทรานซิสเตอร์จะคอนดัค (conduct) ดังนั้น u_d จะมีค่าเท่ากับแรงดันไฟบวก U_B เมื่อสัญญาณที่ DN อยู่ในสถานะสูง N - channel ของ MOS ทรานซิสเตอร์จะคอนดัค ดังนั้น สัญญาณ u_d จะมีศักย์เป็นกราวน์

ถ้าสัญญาณจาก UP และ DN อยู่ในสภาวะสูงทั้งคู่ ทรานซิสเตอร์ทั้ง 2 ตัว จะไม่ทำงาน และสัญญาณเอาท์พุทจะลอยตัว (float) คืออยู่ในสภาวะความต้านทานสูง เป็นต้น ดังนั้น สัญญาณ เอาท์พุท u_d จะแสดงตัวเป็นสัญญาณไตรสเตท

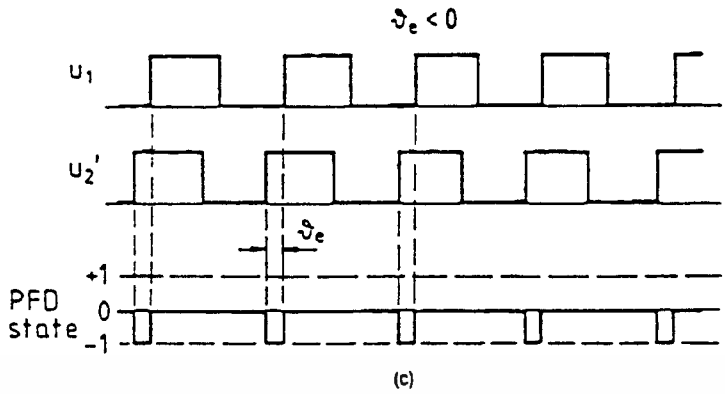


(a)



(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงรูปคลื่นของสัญญาณสำหรับเฟสฟรีเควนซีดีเทคเตอร์

(a) เมื่อเฟสคลาดเคลื่อนเท่ากับ 0

(b) เมื่อเฟสคลาดเคลื่อนมากกว่า 0

(c) เมื่อเฟสคลาดเคลื่อนน้อยกว่า 0

ต่อไปเราจะมาดูว่า วงจรเฟสฟรีเควนซีดีเทคเตอร์ทำงานอย่างไรในระบบดิจิตอลเฟสล็อคลูป เราจะพิจารณาสัญญาณในรูปที่ 2.11 รูป 2.11(a) แสดงถึงกรณีที่ค่าเฟสคลาดเคลื่อนเป็น 0 ในตอนเริ่มต้นจะสมมติว่าวงจรเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ 0 ตอนนี้สัญญาณ u_1 และ u_2' จะมีเฟสตรงกันจริง ๆ ดังนั้นขอบขาขึ้นของสัญญาณ u_1 และ u_2' จะเกิดขึ้นในเวลาเดียวกัน ด้วยเหตุนี้เองจึงไม่มีผลการเปลี่ยนแปลง วงจรเฟสฟรีเควนซีดีเทคเตอร์จะยังคงอยู่ในสภาวะ0ต่อไป รูปที่ 2.11(b)แสดงถึงกรณีที่สัญญาณ u_1 มีเฟสนำสัญญาณu_2'วงจรเฟสฟรีเควนซีดีเทคเตอร์จะเปลี่ยนสลับกันอยู่ระหว่างสภาวะ 0และ +1ถ้าสัญญาณu_1มีเฟสตามสัญญาณu_2'ดังแสดงในรูปที่ 2.11(c) วงจรเฟสฟรีเควนซีดีเทคเตอร์จะเปลี่ยนสลับกันอยู่ระหว่างสภาวะ - 1 และ 0 ซึ่งสังเกตุได้จากรูป 2.11(b) และ (c) ว่า สัญญาณ u_dจะมีค่ามากที่สุด เมื่อเฟสคลาดเคลื่อนมีค่าเป็นบวก และมีค่าเพิ่มถึง 360°(รูป 2.11(b)) และมีค่าน้อยสุดเมื่อเฟสคลาดเคลื่อนมีค่าเป็นลบ และมีค่าถึง -360° (รูป 2.11(c)) ถ้าเราพล็อตค่าเฉลี่ยของสัญญาณ u_d กับค่าเฟสคลาดเคลื่อน เราจะได้ฟังก์ชั่นฟันเลื่อยดังรูปที่ 2.12 ซึ่งแสดงค่าเฉลี่ยของสัญญาณเอาท์พุทที่ดีเทคได้ สำหรับค่าเฟสคลาดเคลื่อนที่มากกว่า 2π วงจรก็จะให้ผลเหมือนตอนเริ่มต้นที่ค่าเฟสคลาดเคลื่อนเป็น 0 ใหม่ ดังนั้นเส้นกราฟแสดงคุณลักษณะของวงจรเฟสฟรีเควนซีดีเทคเตอร์จะเป็นกราฟที่มีคาบเป็น 2π และเมื่อเฟสคลาดเคลื่อนมีค่าน้อยกว่า -2π ก็พิจารณาในทำนองเดียวกัน เมื่อค่าเฟสคลาดเคลื่อนถูกจำกัดอยู่ในช่วง $-2\pi < \theta_e < 2\pi$ ค่าเฉลี่ยของสัญญาณ u_d จะเป็น

$$\overline{u_d} = K_d \theta_e$$

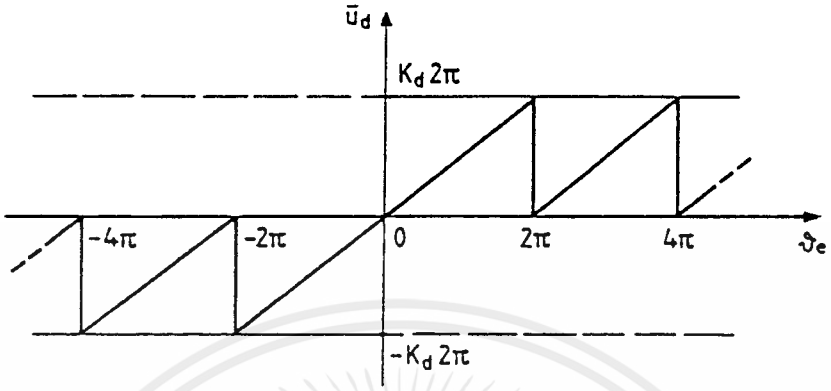
และค่าอัตราขยายของเฟสดีเทคเตอร์สามารถคำนวณได้จาก

$$K_d = \frac{U_B}{4\pi}$$

เมื่อระดับของสัญญาณลอจิกเป็น U_B และ 0 ตามลำดับ ถ้าระดับสัญญาณนี้ถูกจำกัดโดยการอิ่มตัวอัตราขยายของเฟสดีเทคเตอร์ต้องคำนวณจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{U_{sat+} - U_{sat-}}{4\pi}$$



รูป 2.12 แสดงกราฟระหว่างสัญญาณเอาท์พุทเฉลี่ยของเฟสฟรีเควนซีดีเทคเตอร์กับเฟสคลาดเคลื่อน

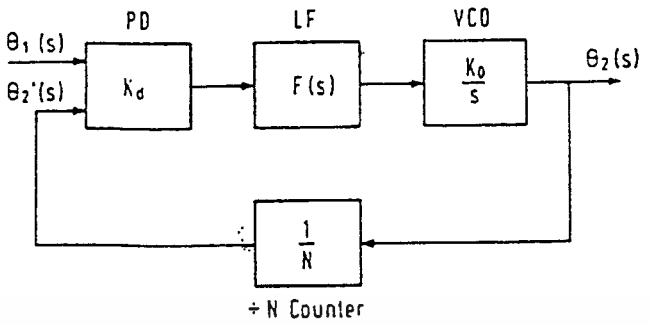
เพื่อที่จะพิจารณาข้อดีของเฟสฟรีเควนซีดีเทคเตอร์ เราต้องสมมติว่าวงจรดิจิตอลเฟสล็อคลูปในสภาวะเริ่มแรกยังไม่อยู่ในสภาวะล็อค และเราจะสมมติว่าความถี่อ้างอิง ω_1 มีค่ามากกว่าความถี่เอาท์พุทω_2'สัญญาณ u_1 จึงมีขอบขาขึ้นต่อหน่วยเวลามากกว่าสัญญาณ u_2'เมื่อพิจารณาจากรูป 2.10 เห็นว่าวงจรเฟสฟรีเควนซีดีเทคเตอร์สามารถสลับค่าระหว่างสภาวะ 0 และ +1 เท่านั้น ภายใต้เงื่อนไขนี้ ถ้าความถี่ ω_1 มีค่ามากกว่าความω_2' มากยิ่งขึ้น เอาท์พุทของวงจรเฟสฟรีเควนซีดีเทคเตอร์ส่วนมากจะอยู่ในสภาวะ +1 เมื่อ ω_1 น้อยกว่า ω_2' วงจรเฟสฟรีเควนซีดีเทคเตอร์ จะมีสภาวะสลับอยู่ระหว่าง -1 และ 0 เมื่อ ω_1ต่ำกว่า ω_2'มากยิ่งขึ้น เอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์ส่วนใหญ่จะอยู่ในสภาวะ -1 ดังนั้น เราสามารถสรุปได้ว่า ค่าเฉลี่ยของสัญญาณเอาท์พุท u_dของเฟสฟรีเควนซีดีเทคเตอร์ จะมีค่าแปรเปลี่ยนอยู่ที่ค่าหนึ่ง เนื่องจากความถี่คลาดเคลื่อน (frequencyerror) $\Delta\omega$ เมื่อดิจิตอลเฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค ซึ่งเป็นที่มาของคำว่า phase--frequency detector

เนื่องจากสัญญาณ เอาท์พุท $\overline{u_d}$ ของวงจรเฟสฟรีเควนซีดีเทคเตอร์ จะขึ้นอยู่กับค่าเฟสคลาดเคลื่อนในระหว่างสภาวะล็อคของดิจิตอลเฟสล็อคลูป และจะขึ้นกับความถี่คลาดเคลื่อนในสภาวะที่ยังไม่เข้าสู่การล็อควงจรดิจิตอลเฟสล็อคลูปซึ่งใช้เฟสฟรีเควนซีดีเทคเตอร์จะเข้าสู่สภาวะล็อคภายใต้เงื่อนไขใดเงื่อนไขหนึ่งโดยไม่สนใจชนิดของลูปฟิลเตอร์ที่ใช้ สำหรับเหตุผลนี้วงจรเฟสฟรีเควนซีดีเทคเตอร์จึงดีกว่าที่จะนำมาใช้ในดิจิตอลเฟสล็อคลูป

2.2.2 คุณสมบัติทางพลวัฒน์ของวงจรดิจิตอลเฟสล็อคลูป (Dynamic Performance of the DPLL)

เมื่อวงจรดิจิตอลเฟสล็อคลูปเข้าสู่สภาวะล็อคและไม่หลุดจากสภาวะโดยความต่างเฟสและต่างความถี่ที่มากไป (หรือเฟสของสัญญาณรบกวนที่ได้รับมาจากทางอินพุท) สามารถแสดงบล็อคไดอะแกรมในสภาวะล็อคได้ดังรูปที่ 2.13 ซึ่งต่างจากลิเนียร์เฟสล็อคลูปเพียงแต่เพิ่มวงจรหาร N เคาน์เตอร์เข้าไปเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.13 แสดงโมเดลของดิจิตอลเฟสล็อคลูป

ดังนั้นสมการสำหรับหาเฟสทรานสเฟอร์ฟังก์ชันH(s) และเออเรอร์ทรานสเฟอร์ฟังก์ชัน $H_e(s)$ ของดิจิตอล์เฟสล็อคลูปสามารถพิสูจน์หาได้ในทำนองเดียวกันเมื่อเปรียบเทียบกับลิเนียร์เฟสล็อคลูป จะพิเศษกว่าตรงที่วงจรลูปฟิลเตอร์ได้รับสัญญาณขับจากวงจรเฟสฟรีเควนซีดีเทคเตอร์ สมมติว่า วงจรลูปฟิลเตอร์เป็น passive lag ซึ่งมีทราสเฟอร์ฟังก์ชั่นเป็น

$$F(S) = \frac{1+s\tau_2}{1+s(\tau_1+\tau_2)}$$

เมื่อเฟสฟรีเควนซีดีเทคเตอร์ถูกใช้ขับวงจรฟิลเตอร์นี้ จะไม่มีกระแสไหลใน R_1 และ R_2เมื่อเอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะความต้านทานสูงภายใต้เงื่อนไขนี้ แรงดันตกคร่อมตัวเก็บประจุจะยังคงเดิมไม่เปลี่ยนแปลง ไม่พิจารณากระแสรั่วไหล สัญญาณเอาท์พุท u_f จากวงจรกรองสัญญาณจะมีระดับแรงดันเล็กน้อย ขณะที่สัญญาณอินพุทเป็น 0 (เช่น ขณะที่วงจรเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ 0) ด้วยเหตุนี้วงจร passive lag filter จะกระทำตัวเป็นเหมือนวงจรอินทิเกรเตอร์ในอุดมคติ ซึ่งมีทรานสเฟอร์ฟังก์ชั่นโดยประมาณเป็น

$$F(S) = \frac{1+s\tau_2}{s(\tau_1+\tau_2)}$$

แสดงว่า อัตราขยายวงจร passive lag filter ไม่คงที่ แต่จะขึ้นอยู่กับแรงดันตกคร่อมตัวเก็บประจุ สมมติว่าเฟสฟรีเควนซีดีเทคเตอร์ ได้รับสัญญาณไฟเลี้ยง 5V จากแหล่งจ่ายไฟ unipolar และแรงดันตกคร่อมตัวเก็บประจุเป็น 2.5V เมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ +1 สัญญาณเอาท์พุทของมันจะเพิ่มขึ้นจนถึงประมาณ 5V แรงดันที่ตกคร่อมจุดต่ออนุกรมระหว่าง R_1 และ R_2เป็น 2.5V ดังนั้นเมื่อเฟสฟรีเควนซีดีเทคเตอร์ส่งสัญญาณพัลซ์ที่เป็นบวกเข้ามา ตัวเก็บประจุจะถูกชาร์จให้มีระดับแรงดันที่สูงขึ้น สมมติเป็น 4 V ซึ่งตอนนี้เราจะเห็นว่ามีแรงดันเพียง 1V เท่านั้นตกคร่อมความต้านทาน ซึ่งสามารถทำนายได้ว่า ค่า damping factor จากเดิม 0.7 จะลดลงเหลือ 0.3 เนื่องจากการลดลงของ ζ เราจึงต้องชดเชยโดยการเพิ่มค่าคงตัวเวลา τ_2 ของลูปฟิลเตอร์ให้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039093

เมื่อเรารู้ทรานสเฟอร์ฟังก์ชั่นของแต่ละบล็อกแล้ว ก็สามารถหาเฟสทรานสเฟอร์ฟังก์ชั่น H(s), ความถี่ธรรมชาติ ω_n , damping factor ζ ได้ สำหรับ ω_n และ ζ จะได้เหมือนกับวงจรลิเนียร์เฟสล็อคลูปดังสมการ (2.19) ถึง (2.21) สูตรของ ω_n และ ζ แสดงดังตาราง2.1

เงื่อนไข	สูตรสำหรับ 2nd order		
	ชนิดของลูปฟิลเตอร์		
	Passive lag	Active lag	Active PI
เฟสดีเทคเตอร์เป็น PFD	$\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1+\tau_2)}}$ $\zeta = \frac{\omega_n}{2}\left(\tau_2 + \frac{N}{K_o K_d}\right)$ $\zeta = \frac{\omega_n \tau_2}{2}$	$\omega_n = \sqrt{\frac{K_o K_d dK_a}{N\tau_1}}$ $\zeta = \frac{\omega_n}{2}\left(\tau_2 + \frac{N}{K_o K_d K_a}\right)$ $\zeta = \frac{\omega_n \tau_2}{2}$	$\omega_n = \sqrt{\frac{K_o K_d}{N\tau_1}}$ $\zeta = \frac{\omega_n \tau_2}{2}$ $\zeta = \frac{\omega_n \tau_2}{2}$

ตาราง 2.1 แสดงสูตรต่างๆของเฟสล็อคลูป

- **Hold range**

hold range $\Delta\omega_H$ เป็นช่วงความถี่ซึ่งภายในช่วงนี้ การทำงานของเฟสล็อคลูปจะมีเสถียรภาพภายใต้เงื่อนไขการทำงานตามปกติ วงจรเฟสล็อคลูปจะไม่ทำงานที่ขีดจำกัดของ hold range เพื่อจะให้เข้าถึงขีดจำกัดความเสถียรภาพนี้ จำเป็นต้องกวาดความถี่อ้างอิงให้เพิ่มขึ้นหรือลดลงอย่างช้าๆ ถ้าความถี่อ้างอิงเพิ่มขึ้นและค่าอัตราขยายไฟตรงของวงจรลูปฟิลเตอร์มีค่าจำกัดอยู่ค่าหนึ่งแล้วค่าเฟสคลาดเคลื่อนก็จะเพิ่มขึ้นเป็นสัดส่วนกันเมื่อมันมีค่าถึงค่าสูงสุดของการทำงานของวงจรเฟสดีเทคเตอร์แบบเชิงเส้นก็จะเข้าสู่ช่วง hold range ด้วย

ถ้าใช้เฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์นั้น เอาท์พุทของมันจะอยู่ในสภาวะความต้านทานสูงเมื่อไม่มีสัญญาณเอาท์พุท UP และ DN ค่าการชาร์จของตัวเก็บประจุของลูปฟิลเตอร์จะยังคงไม่เปลี่ยนแปลง เมื่อเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะ 0 ดังนั้น สัญญาณ เอาท์พุท u_f ของวงจรลูปฟิลเตอร์ อาจจะไม่เป็น 0 ถึงแม้ว่าสัญญาณเฉลี่ยของ u_d จะเป็น 0 ก็ตาม เมื่อถูกขับโดยแหล่งกำเนิดที่มี 3 สภาวะ วงจรลูปฟิลเตอร์จะทำตัวเป็นอินทิเกรเตอร์ (เช่น ฟิลเตอร์ซึ่งทรานสเฟอร์ฟังก์ชั่นมี pole ที่ S = 0) ค่า hold range ของดิจิตอลเฟสล็อคลูปที่ใช้เฟสฟรีเควนซีดีเทคเตอร์ จะเป็น ∞ ดังนั้น เฟสดีเทคเตอร์ สำหรับลูปฟิลเตอร์ทุกชนิด จะได้ว่า

$$\Delta\omega_H = \infty \qquad (2.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **Lock range**

จากคำจำกัดความของ lock range คือ ความแตกต่างระหว่างความถี่อ้างอิงและความถี่ของ VCO ซึ่งเป็นสาเหตุให้ดิจิตอลเฟสล็อคลูปอยู่ในสภาวะล็อค คือมีความถี่ตรงกันระหว่างสัญญาณอ้างอิงและสัญญาณเอาท์พุท เราสมมุติว่าดิจิตอลเฟสล็อคลูปยังไม่เข้าสู่สภาวะล็อคในตอนเริ่มต้น และ VCO จะออสซิเลตที่ความถี่กลางของมัน $N\omega_o$ ความถี่อ้างอิงมีความแตกต่างจาก ω_o เป็นค่า $\Delta\omega$ คือ $\omega_1 = \omega_o + \Delta\omega$ สัญญาณ u_1และ u'_2 แสดงโดย Walsh function ได้ดังนี้

$$u_1(t) = U_{10}W[(\omega_o + \Delta\omega)t]$$

และ

$$u_2'(t) = U_{20}W(\omega_o t)$$

เมื่อ U_{10} และ U_{20} เป็นขนาดของสัญญาณ square - wave ค่าเฟสคลาดเคลื่อน เป็นค่าความแตกต่างของเฟสของสัญญาณทั้ง 2 คือ

$$\theta_e(t) = \omega_o t$$

ซึ่งเป็น ramp function

สามารถคำนวณ lock range ของดิจิตอลเฟสล็อคลูป ซึ่งใช้เฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์ได้ดังนี้

$$\Delta\omega_L = 4\pi\zeta\omega_n \qquad (2.43)$$

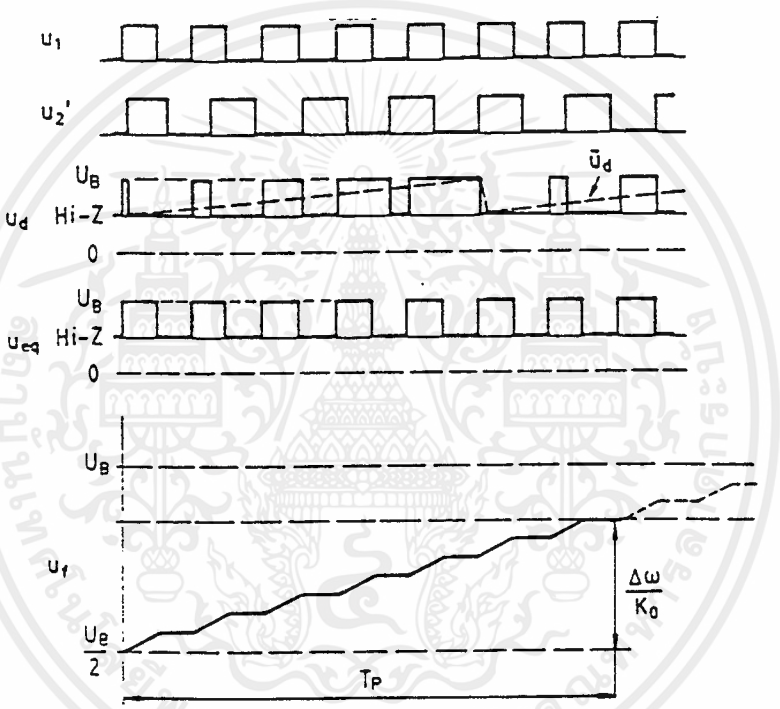
- **Pull - in range**

จากที่กล่าวมาแล้วว่า กระบวนการ pull - in เป็นปรากฏการณ์ที่ไม่เป็นเชิงเส้นและยุ่งยากมากในการคำนวณ ในที่นี้เราจะนำเฉพาะผลลัพธ์ที่สำคัญๆ มากล่าวเท่านั้น มีพารามิเตอร์ที่น่าสนใจอยู่ 2 พารามิเตอร์ด้วยกัน คือ pull-in range $\Delta\omega_p$ และ pull - in time T_p ซึ่งพารามิเตอร์ทั้ง 2 นี้ขึ้นกับชนิดของวงจรเฟสดีเทคเตอร์ที่ใช้ เพื่อที่จะสรุปการวิเคราะห์นี้ เราต้องพิจารณากรณีที่ใช้เป็นเฟสดีเทคเตอร์ จากหัวข้อที่เกี่ยวกับ pull in range ของ DPLL ที่กล่าวมาแล้วข้างต้น ค่า pull - in range จะเป็น ∞ เนื่องจากวงจรลูปฟิลเตอร์ถูกขับโดยแหล่งกำเนิดไตรสเตท ค่าที่ตัวเก็บประจุชาร์จไว้ จะยังคงมีค่าไม่เปลี่ยนแปลง เมื่อเอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์อยู่ในสภาวะความต้านทานสูง ด้วยเหตุผลนี้ วงจร passive lag filter จะทำงานเหมือนเป็นอินทิเกรเตอร์

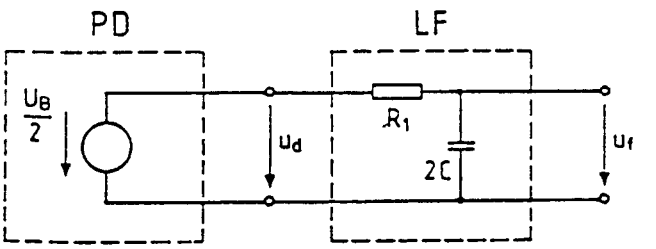
สมมติว่า ดิจิตอลเฟสล็อคลูปยังไม่อยู่ในสภาวะล็อคในตอนเริ่มต้น และความถี่ ω_1 ของสัญญาณอ้างอิง u_1มีค่ามากกว่าความถี่เอาท์พุท ω'_2 อย่างเห็นได้ชัด แสดงดังสองรูปบนของรูป 2.14 จากที่ได้กล่าวมาแล้วและรูปที่ 2.10 ว่า สัญญาณ เอาท์พุท u_d ของเฟสฟรีเควนซีดีเทคเตอร์ จะเปลี่ยนแปลงไปมาระหว่างสภาวะ 0 และ +1 กราฟรูปที่ 3 ของรูป 2.14 แสดงสัญญาณ u_d จะสมมติว่าเฟสฟรีเควนซีดีเทคเตอร์ถูกจ่ายไฟโดย unipolar supply ดังนั้นระดับลอจิก "สูง" จะเป็น U_B ส่วนระดับลอจิก "ต่ำ" จะเป็น 0V (กราวน์) เส้นกลางของสัญญาณ u_d จะแสดงสภาวะความต้านทานสูงของวงจรเฟสฟรีเควนซีดีเทคเตอร์ สัญญาณเฉลี่ยของu_d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงดังเส้นประ ซึ่งจะมีรูปร่างเป็นสัญญาณฟันเลื่อย ค่าความลาดชันของมันจะเพิ่มจาก 0 ไปถึง 1 ค่า duty cycle เฉลี่ยของ u_d จะเป็น 50 % เนื่องจาก τ_1 ของวงจรลูปฟิลเตอร์จะมีค่ามากกว่าคาบเวลาของสัญญาณ u_1 มาก ในรูป 2.14 สัญญาณสมมูลย์ u_{EQ} จะมีค่า duty cycle คงที่ที่ 50% ซึ่งเหมือนกับที่เกิดที่ลูปฟิลเตอร์ ตอนนี้เราจะสมมติว่าวงจรลูปฟิลเตอร์เป็นแบบพาสซีฟ เนื่องจาก τ_2 มีค่าน้อยกว่า τ_1มาก จนไม่นำมาพิจารณา ถ้าสัญญาณสมมูลย์ u_{EQ} มี duty cycle 100 % ตัวเก็บประจุ ของวงจรลูปฟิลเตอร์จะถูกชาร์จขึ้นไปเป็นค่า U_Bด้วยค่าคงตัวเวลา $\tau_1 = R_1C$ เนื่องจากค่า duty cycle เป็นแค่ 50 % ดังนั้น ตัวเก็บประจุจะต้องถูกชาร์จมากกว่า 2 ครั้ง ดังนั้นวงจรลูปฟิลเตอร์จะกระทำตัวเป็นวงจร RC filter ที่มีค่าคงตัวเวลาเป็น $2\tau_1$ แทนที่จะเป็น τ_1 แบบจำลองสมมูลย์ของรูปที่ 2.15 สามารถที่จะใช้ในการคำนวณสัญญาณ u_fที่ตกคร่อมตัวเก็บประจุ



รูป 2.14 รูปแสดงกระบวนการ pull-in ของวงจร DPLL ที่ใช้ PFD



รูป 2.15 รูปแสดงวงจรสมมูลของการ chargeประจุของตัวเก็บประจุในลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากเราสมมุติว่า วงจร VCOของ ดิจิตอลเฟสล็อคลูป ทำงานอยู่ที่ความถี่กลางของมัน $N\omega_O$ เมื่อเริ่มกระบวนการ pull - in ค่าเริ่มต้นของ u_f เป็น $U_B/2$ ดังนั้น ตัวเก็บประจุจะพยายามที่จะชาร์จจาก $U_B/2$ ถึง U_B ในระหว่างกระบวนการ pull - in แรงดันที่เกิดขึ้นจริงๆจากวงจร RC filter ในรูปที่ 2.15 จะเป็น $U_B/2$ หลังจากเวลาผ่านไป u_f จะมีค่าเข้าถึงระดับซึ่งจะทำให้ VCO กำเนิดความถี่ที่ถูกต้องแสดงดังรูป 2.14 ซึ่งจะเกิดขึ้นเมื่อค่าแรงดันตกคร่อมตัวเก็บประจุเพิ่มขึ้นด้วยค่าประมาณ $\Delta\omega/K_O$ เมื่อเราใช้ลูปฟิลเตอร์เป็น passive lag filter จะได้

$$T_P = 2\tau_1 \ln \frac{K_0(U_B/2)}{K_0(U_B/2) - \Delta\omega_0} \qquad (2.44)$$

เมื่อ $\Delta\omega = \omega_1 - \omega_O$ ซึ่งสูตรนี้พิสูจน์ภายใต้เงื่อนไขที่เฟสฟรีเควนซีดีเทคเตอร์ ถูกขับโดย Unipolar Power Supply

- **Pull - out range**

ค่า pull - out range จะเป็นขนาดของช่วงความถี่ที่เราใช้เป็นสัญญาณอินพุทอ้างอิง ซึ่งจะทำให้เฟสล็อคลูปสูญเสียการแทร็คกิ้งไป ลิเนียร์เฟสล็อคลูปจะสูญเสียการซิงโครไนซ์เมื่อค่าพีคของเฟสคลาดเคลื่อนเกิน π เราจะใช้การประมาณค่าโดยการประยุกต์จากสูตรของลิเนียร์เฟสล็อคลูป แต่ว่าค่า pull - out rangeของดิจิตอลเฟสล็อคลูป จะมีค่ามากกว่าเล็กน้อย

การคำนวณค่า pull - out range เมื่อใช้เฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์นั้น ค่า pull- out range จะเป็นช่วงความถี่ซึ่งเป็นสาเหตุให้ค่าพีคของเฟสคลาดเคลื่อนมีค่าเป็น 2π เนื่องจากสัญญาณเอาท์พุทเฉลี่ย u_d จะเป็นเชิงเส้นในช่วง $-2\pi < \theta_e < 2\pi$

ค่า pull - out range สามารถคำนวณได้โดยการใช้แบบจำลองเชิงเส้นของดิจิตอลเฟสล็อคลูป (รูป2.8 และ 2.10) ค่าเฟสคลาดเคลื่อนจะถูกคำนวณเมื่อ $\Delta\omega$ ถูกป้อนเข้ามาเป็นอินพุทอ้างอิง ผลลัพธ์จะได้เป็น damp oscillation ใช้กฎของดิฟเฟอเรนเชียลแคลคูลัส เราจะคำนวณค่าสูงสุดของเฟสคลาดเคลื่อน หลังจากนั้นจะเป็นการง่ายที่จะคำนวณขนาดของช่วงความถี่ซึ่งจะนำไปสู่ค่าพีคของเฟสคลาดเคลื่อนเป็น 2π สมมติว่า ดิจิตอลเฟสล็อคลูปเป็นแบบ high gain loop เราจะได้

$$\Delta\omega_{PO} = 2\pi\omega_n \exp\left(\frac{\zeta}{\sqrt{1-\zeta^2}} \tan^{-1}\frac{\sqrt{1-\zeta^2}}{\zeta}\right) \quad ,\zeta < 1 \qquad (2.45)$$

$$\Delta\omega_{PO} = 2\pi\omega_n e \quad ,\zeta = 1 \qquad (2.46)$$

$$\Delta\omega_{PO} = 2\pi\omega_n \exp\left(\frac{\zeta}{\sqrt{\zeta^2-1}} \tanh^{-1}\frac{\sqrt{\zeta^2-1}}{\zeta}\right) \quad ,\zeta > 1 \qquad (2.47)$$

ซึ่งจะได้ค่าการประมาณเป็น

$$\Delta\omega_{PO} = 11.55\omega_n(\zeta + 0.5) \qquad (2.48)$$

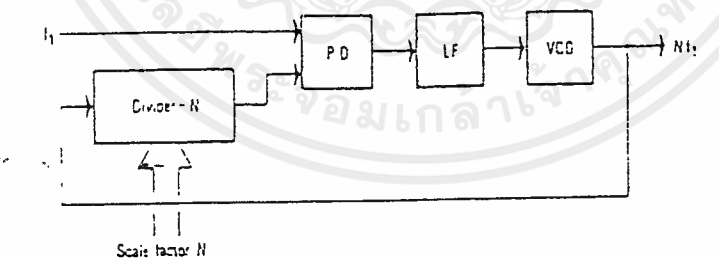
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรสังเคราะห์ความถี่

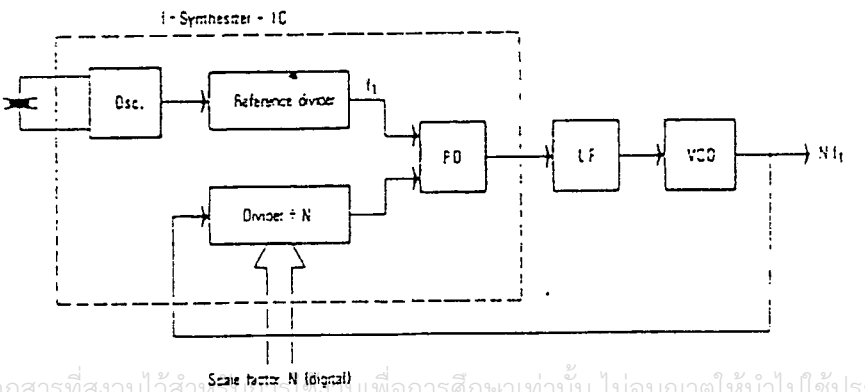
วงจรสังเคราะห์ความถี่เป็นการประยุกต์ใช้งานหลักอันหนึ่งของวงจรเฟสล็อคลูป โครงสร้างพื้นฐานของวงจรสังเคราะห์ความถี่แสดงดังรูป2.16a ซึ่งระบบนี้สามารถที่จะกำเนิดความถี่เอาท์พุท ซึ่งมีความถี่เป็นจำนวนเต็มเท่าของความถี่อ้างอิง

วงจรสังเคราะห์ความถี่จะพบทั่วไปในเครื่องรับFM เครื่องรับส่งวิทยุย่านCB เครื่องรับโทรทัศน์ เป็นต้น ในการประยุกต์ใช้งานนี้จำเป็นต้องกำเนิดความถี่จำนวนมากมายหลายความถี่ ซึ่งมีช่วงห่างแต่ละความถี่แคบเพียง10.5 หรือแม้แต่1kHz ถ้าเราใช้ช่วงห่างของความถี่เป็น10kHzในการออกแบบ และโดยปกติเราจะใช้ความถี่อ้างอิงเป็น10kHz วงจรออสซิลเลเตอร์ส่วนใหญ่จะเป็นquartz-crystalที่มีความถี่ค่อนข้างคงที่ และวงจร quartz-crystal oscillatorในย่านความถี่เป็นkHzนี้จะมีขนาดใหญ่ ดังนั้นเพื่อความสะดวกเราจะใช้ออสซิลเลเตอร์ที่กำเนิดความถี่สูงขึ้น เช่น 5 ถึง 10 MHz และทำการหารความถี่ลงมายังความถี่อ้างอิงที่ต้องการ วงจรสังเคราะห์ความถี่นี้ส่วนมากจะถูกทำเป็นIC ซึ่งรวมเอาวงจรหารความถี่อ้างอิงเอาไว้ในตัวชิพด้วยแสดงดังรูป2.16b จะเห็นว่าวงจรออสซิลเลเตอร์ถูกรวมไว้ในICด้วย การรวมฟังก์ชันต่างๆไว้ในชิพเริ่มเป็นไปได้โดยรวมฟังก์ชันที่เป็นดิจิตอลทั้งหมดลงบนชิพเช่น ออสซิลเลเตอร์ เฟสดีเทคเตอร์ วงจรหารความถี่และอื่นๆแสดงดังเส้นประรูป2.16b เทคโนโลยีCMOS เป็นที่นิยมในปัจจุบันเนื่องจากใช้กำลังงานต่ำ มีภูมิคุ้มกันต่อสัญญาณรบกวนสูง และมีช่วงของแรงดันไฟเลี้ยงที่กว้าง ปัญหาเรื่องขีดจำกัดความเร็วในการทำงานสามารถตัดไปได้เนื่องจากสามารถกำเนิดความถี่ได้ถึงในช่วง100GHzหรือมากกว่านั้น เพื่อจะกำเนิดความถี่สูงขึ้นจะใช้วงจรพรีสเกลเลอร์ ซึ่งถูกสร้างมาจากเทคโนโลยีอีกตัวหนึ่งเช่นECLหรือSchottky TTL (รูป2.16c) วงจรพรีสเกลนี้สามารถขยายช่วงความถี่ออกไปได้เกินกว่า 1 GHz โดยไม่มีการใช้เทคนิคการmixing ถ้าแฟคเตอร์ของวงจรพรีสเกลเลอร์เป็นV (รูป2.16c)ความถี่เอาท์พุทของวงจรสังเคราะห์ความถี่จะเป็น

$$f_{out} = NVf_1$$

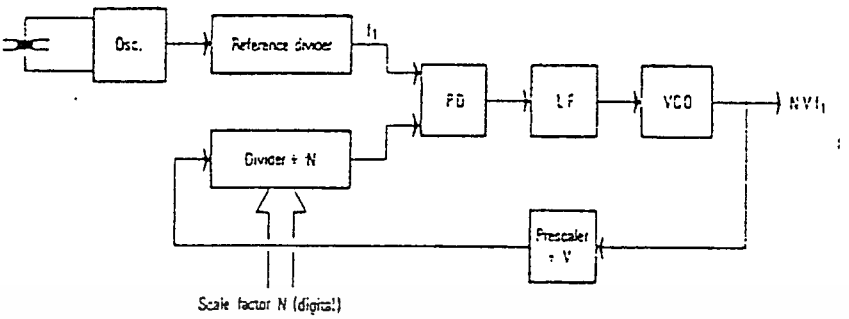


(a)

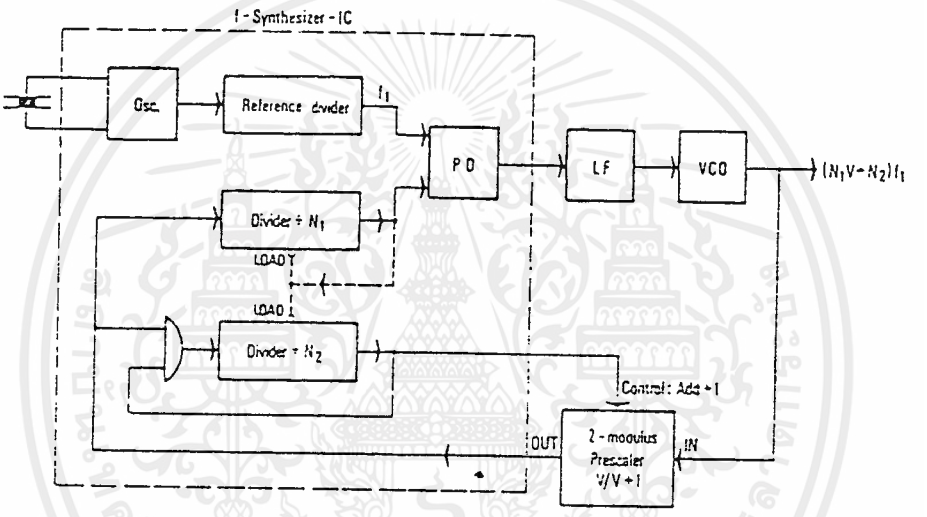


(b)

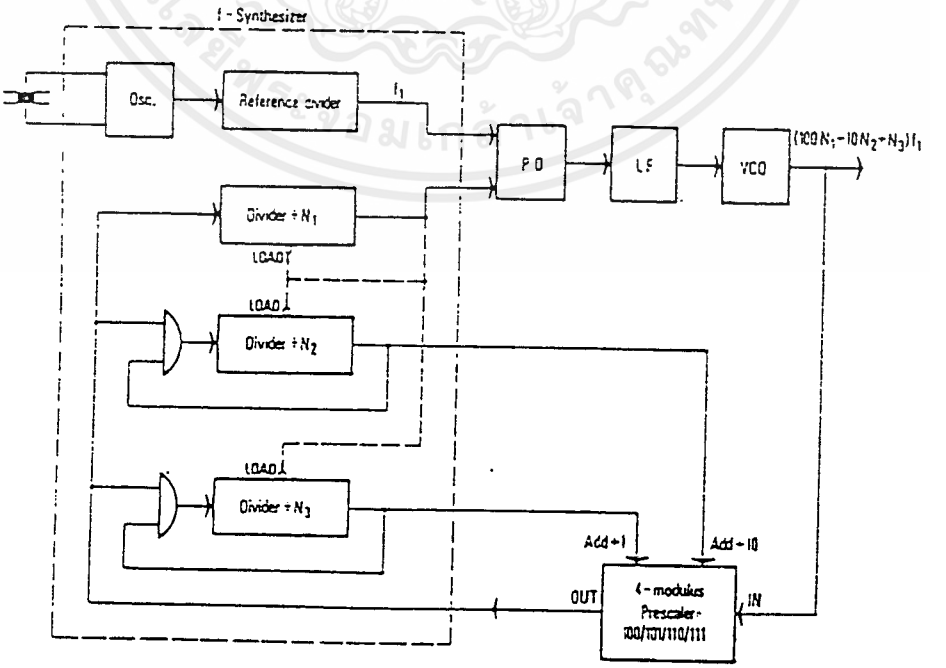
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(c)

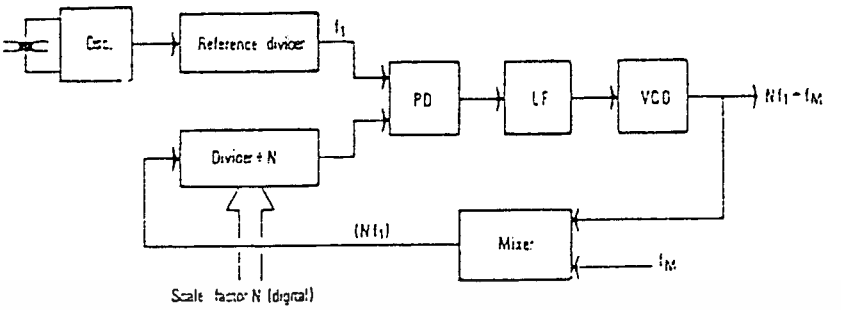


(d)

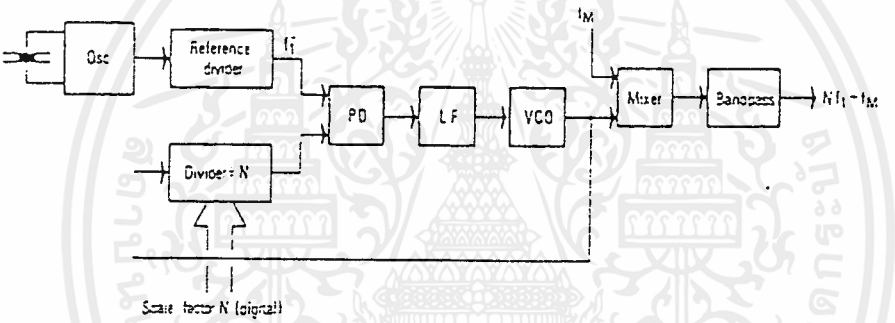


(e)

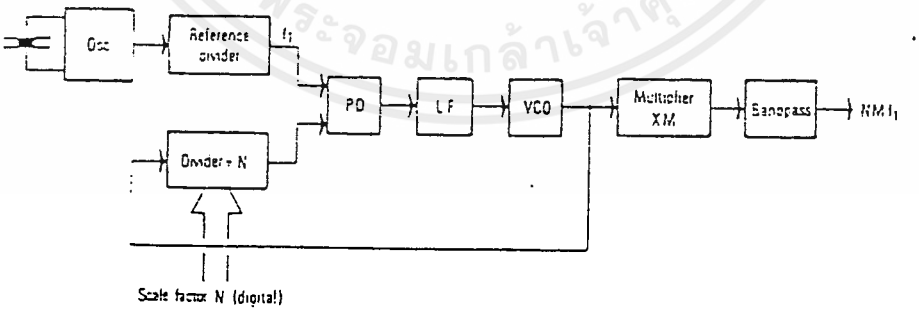
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(f)

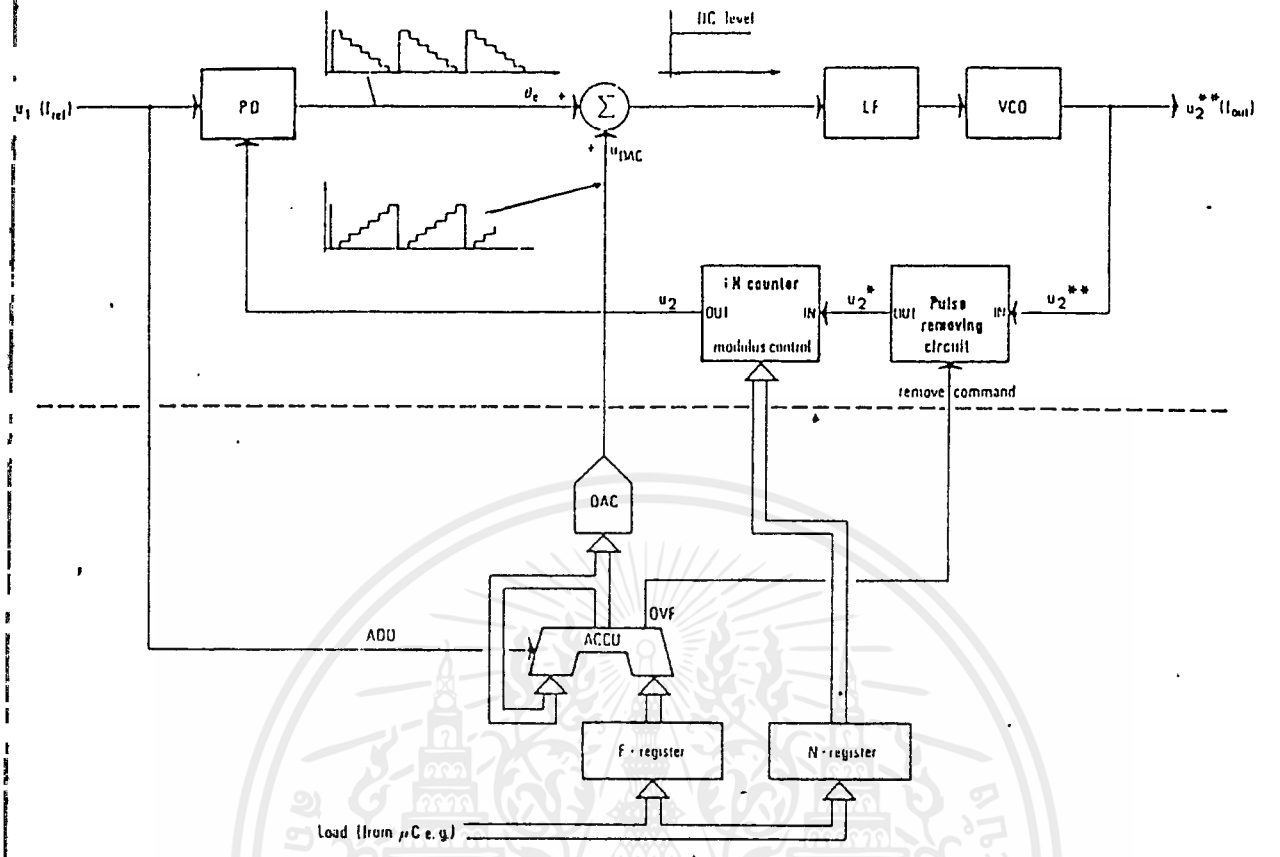


(g)

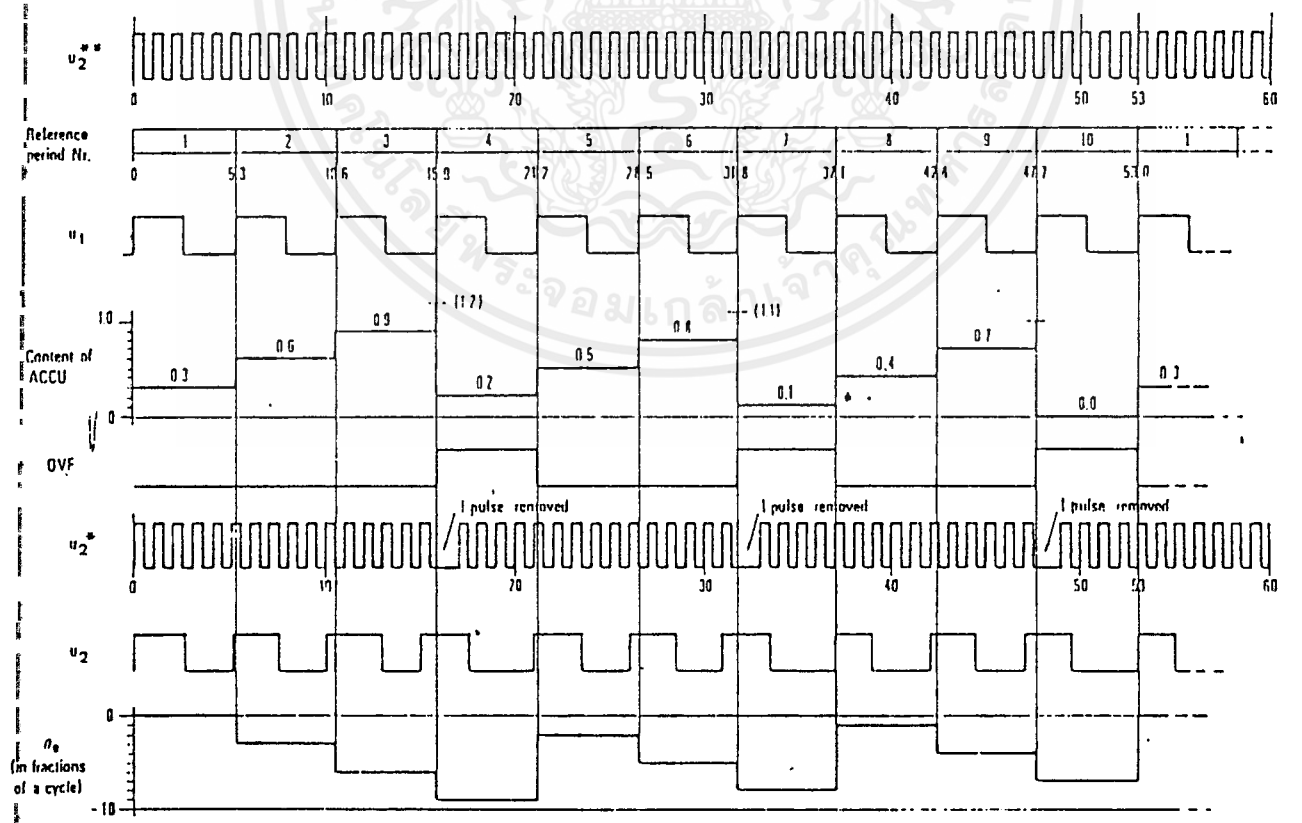


(h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(i)



(j)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป2.16 แสดงรูปวงจรสังเคราะห์ความถี่แบบต่างๆ

(a) แสดงวงจรสังเคราะห์ความถี่พื้นฐาน

(b) แสดงวงจรสังเคราะห์ความถี่ซึ่งรวมเอาวงจรหารความถี่อ้างอิงไว้ในตัวชิพด้วย

(c) แสดงระบบเมื่อเพิ่มวงจรพรีสเกลเลอร์ความเร็วสูง

(d) แสดงวงจรเมื่อใช้dual-modulus prescaler

(e) แสดงวงจรเมื่อใช้four-modulus prescaler

(f) แสดงวงจรเมื่อใช้mixer

(g) แสดงวงจรเมื่อใช้mixerอีกแบบเปรียบเทียบกับรูป(f)

(h) แสดงวงจรเมื่อใช้วงจรคูณความถี่(frequency multiplier)

(i) แสดงบล็อคไดอะแกรมของ fractional N loop

(j) แสดงวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่เป็นNเท่าของความถี่อ้างอิง

จากที่กล่าวมาแล้วค่าscaling factor Vของวงจรพรีสเกลเลอร์ส่วนใหญ่จะมากกว่า1มากๆ แสดงให้เห็นว่าจะไม่สามารถสังเคราะห์ความถี่ที่เป็นจำนวนเต็มเท่าของความถี่ได้ทุกๆความถี่อีกต่อไป เช่นถ้าVเป็น10 ความถี่เอาท์พุทที่ได้จะมีแต่10f,20f,30f,....ที่ถูกสังเคราะห์ขึ้นมาได้ ข้อเสียนี้สามารถแก้ไขได้โดยใช้dual-modulus prescaler แสดงดังรูป2.16d

วงจรdual-modulus prescaler เป็นวงจรนับซึ่งอัตราส่วนตัวหารสามารถที่จะเปลี่ยนแปลงจากค่าหนึ่งไปอีกค่าหนึ่งได้โดยใช้สัญญาณควบคุมจากภายนอก ตัวอย่างเช่น วงจรพรีสเลเลอร์ในรูป2.16d สามารถที่จะหารด้วยค่าแฟคเตอร์เป็น11 เมื่อสัญญาณควบคุมที่ใช้มีสถานะสูง หรือโดยค่าแฟคเตอร์เป็น10เมื่อสัญญาณควบคุมมีสถานะต่ำ แสดงให้เห็นได้ว่าวงจรdual-modulus prescaler สามารถกำเนิดความถี่เอาท์พุทซึ่งมีช่วงห่างความถี่เพียงf_1 ได้ เงื่อนไขเหล่านี้จะใช้สำหรับรูป2.16d

1.ทั้งวงจรหารN_1 และหาร N_2 เป็นวงจรนับลง(Down counters)

2.สัญญาณเอาท์พุทของวงจรนับทั้งสองตัวนี้จะมีสถานะสูง ถ้าวงจรนับตัวอื่นที่เกี่ยวข้องยังไม่นับลงถึง0

3.เมื่อวงจรหาร N_1 นับลงถึง0แล้ว เอาท์พุทของมันจะมีสถานะต่ำ ซึ่งจะทำให้มีการโหลดค่าpresetให้กับวงจรนับทั้งสองตัว คือหารN_1และN_2ตามลำดับ

4.N_1จะต้องมากกว่าหรือเท่ากับ N_2 เสมอ

5.AND gateนี้ แสดงให้เห็นว่าถ้าวงจรหารN_2 ลงถึง0 counting pulse ต่อไปจะถูกยับยั้ง

กระบวนการทำงานของระบบดังรูป2.16d สามารถอธิบายได้มากขึ้น ถ้าเราสมมุติว่าวงจรหารN เพิ่งจะนับลงถึง0 และวงจรนับทั้งสองถูกโหลดด้วยค่าpresetของมันคือN_1และN_2ตามลำดับ ต่อไปต้องหาจำนวนรอบที่VCOต้องผลิตจนกว่าจะเข้าสู่สภาวะเดิมอีกครั้ง ค่านี้คือค่าของscaling factorทั้งหมดนั่นเอง ตราบใดที่วงจรหารN_2ยังไม่นับลงถึง0 วงจรพรีสเกลจะหารด้วยV+1 ดังนั้นทั้งวงจรหาร N_1และวงจรหารN_2จะนับถอยหลังลง1ค่า เมื่อวงจรVCOกำเนิดพัลซ์ V+1พัลซ์ ดังนั้นวงจรหารN_2จะนับลงถึง0 เมื่อวงจรVCOกำเนิดพัลซ์ N_2(V+1)พัลซ์ ซึ่งในเวลาเดียวกันนั้นวงจรหารN_1 ก็จะนับถอยหลังไปเป็นค่าN_2ครั้งแล้ว นั่นคือตอนนี้จะเหลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่จะต้องนับอีก N_1-N_2ค่าจึงจะนับลงถึง0 เมื่อถึงตอนนี้ค่าscaling factor ของวงจรdual-modulus พรีสเกลจะเปลี่ยนเป็นV ดังนั้นวงจรVCOจะต้องกำเนิดพัลซ์อีก(N_1-N_2)Vพัลซ์ วงจรหารN_1จึงจะนับลงถึง0

เมื่อค่าของN_1เป็น0 ทั้งวงจรหารN_1และวงจรหารN_2จะถูกโหลดค่าpresetอีกครั้งหนึ่งและก็จะดำเนินตามกระบวนการเดิมซ้ำอีก จำนวนพัลซ์ทั้งหมดที่วงจรVCOผลิตใน1รอบการทำงานคือ

$$N_{tot} = N_2(V+1)+(N_1 - N_2)V$$

ซึ่งคือ

$$N_{tot} = N_1 V + N_2 \qquad (2.49)$$

จากที่กล่าวมาข้างต้น N_1จะต้องมากกว่าหรือเท่ากับN_2เสมอ ถ้าไม่เป็นเช่นนี้วงจรหารN_1จะนับลงถึง0ก่อนวงจรหารN_2 และวงจรนับทั้งสองตัวจะถูกโหลดค่าpresetของมันเข้าไปอีกครั้ง วงจรdual-modulusพรีสเกลก็จะไม่เปลี่ยนค่าจากV+1ไปเป็นVได้ ดังนั้นระบบก็จะไม่ทำงานไปตามที่เราต้องการ

ถ้า V=10สมการ(2.49)จะเป็น

$$N_{tot} = 10N_1 + N_2 \qquad (2.50)$$

จากสมการนี้N_2จะเป็นหลักหน่วยและN_1จะเป็นหลักสิบของอัตราส่วนตัวหารทั้งหมดN_{tot} เมื่อ N_2ต้องอยู่ในช่วง0-9และN_1จะสมมติให้เป็นค่าที่มากกว่าหรือเท่ากับ9 นั่นคือ N_{1min}=9 ดังนั้นค่าอัตราส่วนตัวหารที่น้อยที่สุดจะเป็น

$$N_{tot\,min} = N_{1\,min} V = 9*10 = 90$$

วงจรสังเคราะห์ความถี่ในรูป2.16dจึงสามารถที่จะสังเคราะห์ความถี่ที่มีความถี่เป็นจำนวนเต็มเท่าของความถี่อ้างอิงf_1 เริ่มจาก N_{tot}=90

สามารถเลือกค่าVอื่นๆได้ เช่นถ้าV=16วงจรdual-modulusพรีสเกลก็จะหารด้วย16หรือ17 ค่าอัตราส่วนตัวหารทั้งหมดจะเป็น

$$N_{tot} = 16N_1 + N_2$$

ตอนนี้ N_2จะต้องอยู่ในช่วง0-15และค่าN_1ต่ำสุดจะเป็นN_{1min}=15 ในกรณีนี้ค่าอัตราส่วนตัวหารต่ำสุดN_{totmin}จะเป็น240

สมมติว่าV=10อีกครั้ง และค่าความถี่อ้างอิง(ที่ถูกหารด้วยreference dividerแล้ว) ของระบบในรูป2.16dเป็น10kHz ค่าความถี่เอาท์พุทต่ำสุดจะเป็น90f_1=900kHz

สำหรับวงจรภายในเส้นประ ปกติจะใช้CMOS ความถี่ที่ใช้สำหรับIC CMOSรุ่นเก่าๆ (เช่น รุ่น74xxx) จะถูกจำกัดอยู่ที่ประมาณ3MHz ดังนั้นถ้าใช้อุปกรณ์ตัวนี้ ค่าความถี่สูงสุดที่ได้จะเป็นเพียง30MHz สำหรับV=10เท่านั้น เพื่อที่จะขยายช่วงความถี่ออกไปอีกต้องใช้อัตราส่วนของพรีสเกลที่สูงขึ้น เช่น V=100จะได้N_{tot}เป็น

$$N_{tot} = 100N_1 + N_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อN_2อยู่ในช่วง0-99 และN_1ต้องมีค่าอย่างน้อยที่สุดเป็น99 แสดงให้เห็นว่าขณะนี้ค่าอัตราส่วนตัวหารต่ำสุดN_{totmin} ไม่ใช่มีค่าเพียง90 แต่จะเพิ่มขึ้นเป็น

$$N_{tot\,min} = 100N_{1\,min} = 100 * 99 = 9900$$

ถ้าความถี่อ้างอิงf_1ยังคงเป็น10kHz ความถี่ต่ำสุดที่สังเคราะห์ได้จะเป็น99MHz

นอกจากนี้ยังมีวิธีอื่นที่จะขยายช่วงความถี่สูงขึ้นไปอีกโดยที่ยังคงใช้การสังเคราะห์จากความถี่อ้างอิงที่ต่ำเช่นเดิม โดยการใช้four-modulus prescaler (รูป2.16c) วงจรfour-modulus prescaleนี้เป็นการขยายทางลอจิกของวงจรdual-modulus prescale ซึ่งจะให้ค่าscaling factorที่ต่างกันถึง4ค่า และจะใช้สัญญาณควบคุม2สัญญาณเพื่อที่จะเลือกค่าscaling factor 1ใน4ค่าที่มีอยู่นั้น ตัวอย่างเช่น วงจรfour-modulus prescaleแสดงดังรูป2.16e สามารถที่จะหารด้วยค่าแฟคเตอร์100,101,110และ111 ซึ่งวงจรนี้จะหารด้วย100เมื่อสัญญาณควบคุมทั้งคู่มีสถานะต่ำ ลอจิกภายในของวงจรfour-modulus prescale ถูกออกแบบให้ค่าพรีสเกลแฟคเตอร์เพิ่มขึ้น1 เมื่อสัญญาณควบคุมสัญญาณหนึ่งมีสถานะสูงหรือเพิ่มขึ้น10 เมื่อสัญญาณควบคุมอีกสัญญาณหนึ่งมีสถานะสูง ถ้าสัญญาณควบคุมทั้ง2มีสถานะสูง scaling factor จะเพิ่มด้วยค่า1+10=11

จากรูป2.16eจะมีวงจรหารถึง3ตัวคือหารN_1,หารN_2และหารN_3ค่าอัตราส่วนตัวหารทั้งหมดจะเป็น

$$N_{tot} = 100N_1 + 10N_2 + N_3$$

จากสมการN_3 แสดงหลักหน่วย N_2จะเป็นหลักสิบและN_3 เป็นหลักร้อยของอัตราส่วนตัวหารN_{tot} ค่าN_2และN_3ต้องอยู่ในช่วง0-9 และN_1ต้องมีค่าอย่างน้อยที่สุดมากเท่าๆกับทั้งN_2และN_3 สำหรับเหตุผลได้อธิบายมาแล้วในตัวอย่างก่อนหน้านี้($N_{1min} = 9$)

ดังนั้นค่าอัตราส่วนตัวหารต่ำสุดที่เป็นได้คือ

$$N_{tot\,min} = 100 * 9 = 900$$

ซึ่งสูงกว่าตัวอย่างที่แล้วถึง10เท่า

สำหรับที่ความถี่อ้างอิงf_1เป็น10kHz ความถี่ต่ำสุดที่สามารถสังเคราะห์ได้จะเป็น900f_1=9MHz ยกตัวอย่างการทำงานของระบบในรูป2.16e ซึ่งต้องการที่จะกำเนิดสัญญาณที่มีความถี่เป็น1023เท่าของความถี่อ้างอิง ดังนั้นอัตราส่วนตัวหารN_{tot}จะต้องเป็น1023 N_1=10,N_2=2,N_3=3 สมมติว่าวงจรหารN_1เพิ่งจะนับลงถึง0 ดังนั้นวงจรนับทั้ง3ตัวจะถูกโหลดค่าpresetของมัน เอาท์พุทของวงจรหารN_2และN_3 ตอนนี้จะมีสถานะสูง ภายใต้เงื่อนไขนี้ทำให้วงจรfour-moduluspresprescale จะทำการหารด้วย111 หลังจากที่พัลซ์N_2.111=2x111=222 พัลซ์ถูกสร้างขึ้นโดยวงจรVCO วงจรหารN_2จะนับลงถึง0 ดังนั้นตอนนี้วงจรพรีสเกลจะทำการหารด้วย101 ในเวลาเดียวกันค่าของวงจรหารN_3ที่เหลือจะเป็น3-2=1 ภายหลังจากที่อีก101พัลซ์ถูกสร้างขึ้นโดยวงจรVCO วงจรหารN_3ก็จะนับลงถึง0ด้วย ดังนั้นวงจรพรีสเกลตอนนี้จะทำการหารด้วย100 ค่าของวงจรหารN_1ขณะนี้จะเหลือค่าเป็น7 หลังจากที่พัลซ์700พัลซ์ถูกสร้างขึ้นโดยVCO วงจรหารN_1ก็จะนับลงถึง0และการทำงานก็จะทำซ้ำเช่นนี้ไปเรื่อยๆ ดังนั้นในการทำงานครบ1รอบ วงจรVCOต้องกำเนิดพัลซ์ทั้งหมดเป็น

N_{tot}=2.111+1.101+7.100=1023 พัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นตัวเลขที่เราต้องการในการออกแบบ ในระบบของวงจรสังเคราะห์ความถี่ที่ได้พิจารณามาแล้วข้างต้น การกำเนิดความถี่เป็นจำนวนเต็มเท่าของความถี่อ้างอิงต้องใช้วงจรนับหลายตัวเพื่อทำการลดสเกล สัญญาณเอาท์พุทของVCO การที่จะสังเคราะห์ความถี่ในช่วง98.7-118.7MHzด้วยช่วงห่างของความถี่เป็น10kHz การออกแบบต้องใช้อัตราส่วนตัวหารทั้งหมดอยู่ในช่วง987-1187 เพื่อให้ได้ผลเช่นเดียวกันนี้สามารถสังเคราะห์ความถี่ในช่วง8.7-18.7MHz โดยใช้ค่าอัตราส่วนตัวหารเป็น87-187 แล้วทำการผสมย่านความถี่ที่ได้นี้ไปยังย่านความถี่ที่ต้องการ โดยใช้วงจรโลคอลออสซิลเลเตอร์กำเนิดความถี่90MHzอีกตัวหนึ่ง

วงจรสังเคราะห์ความถี่ที่ใช้การผสมความถี่ให้สูงขึ้นแสดงดังรูป2.16fซึ่งวงจรสังเคราะห์ความถี่ที่ใช้นี้จะเหมือนกับที่อธิบายแล้วในรูป2.16b รวมถึงวงจรสังเคราะห์ความถี่ที่ใช้dualและfour-modulus prescalerก็สามารถใช้กับmixerนี้เช่นกัน ระบบนี้แสดงดังรูป2.16f ความถี่ของวงจรโลคอลออสซิลเลเตอร์คือ f_Mดังนั้นความถี่เอาท์พุทของระบบสังเคราะห์ความถี่นี้จะเป็น

$$f_{out} = Nf_1 + f_M$$

วงจรmixerจะกำเนิดองค์ประกอบทางความถี่อื่นด้วย โดยทั่วไปเป็นดังนี้

$$f_{mix} = \pm nf_{out} \pm mf_M$$

เมื่อnและmเป็นจำนวนเต็มบวกซึ่งองค์ประกอบทางความถี่อื่นๆจะมีความถี่สูงกว่าสัญญาณที่เราต้องการ(f_{out}-f_M)มาก ดังนั้นจึงตัดทิ้งได้โดยวงจรกรองสัญญาณความถี่ต่ำผ่านหรือถูกตัดโดยระบบของเฟสล็อคลูปเอง

อีกวิธีหนึ่งในการใช้วงจรmixerแสดงดังรูป2.16gเปรียบเทียบกับระบบที่อธิบายก่อนหน้านี้จะเห็นว่าวงจรmixerจะอยู่นอกลูป ระบบจะกำเนิดความถี่เช่นเดียวกับรูป2.16f แต่ต้องกรองความถี่ที่ต้องการโดยใช้วงจรกรองสัญญาณความถี่กลางผ่าน

นอกจากนี้ยังมีวิธีหนึ่งในการขยายช่วงความถี่ของวงจรสังเคราะห์ความถี่ให้สูงขึ้น คือใช้วงจรคูณความถี่(frequency multiplier)แสดงดังรูป2.16h

วงจรคูณความถี่โดยปกติแล้วจะสร้างจากองค์ประกอบที่ไม่เป็นเชิงเส้น(nonlinear element) ซึ่งจะทำให้เกิดฮาร์โมนิคเช่นพวกvaractor diode,step-recovery diode เป็นต้น ซึ่งอุปกรณ์เหล่านี้จะทำให้เกิดสเปคตรัมของฮาร์โมนิคต่างๆเป็นช่วงกว้าง ความถี่ที่ต้องการจะถูกกรองออกโดยใช้วงจรกรองสัญญาณความถี่กลางผ่าน ถ้าMเป็นค่าแฟคเตอร์ตัวคูณความถี่ ดังนั้นความถี่เอาท์พุทของวงจรสังเคราะห์ความถี่จะเป็น

$$f_{out} = MNf_1$$

สังเกตว่าตอนนี้ช่วงห่างของความถี่จะไม่เท่ากับค่าความถี่อ้างอิงแต่จะเท่ากับMf_1

จากที่กล่าวมาทั้งหมดดูเหมือนว่าวงจรหารNสามารถที่จะหารความถี่ที่เข้ามาด้วยค่าแฟคเตอร์ที่เป็นจำนวนเต็มเท่านั้น ไม่สามารถจะเป็นจุดทศนิยมได้ เช่น 10.5 การหารด้วย10.5สามารถทำได้ ถ้าเราทำการใช้ตัวหารNด้วย10แล้วหารด้วย11 ซึ่งค่าเฉลี่ยของการหารความถี่นี้จะทำการหารความถี่อินพุทด้วย10.5 อัตราส่วนตัวหารอื่นๆก็สามารถทำได้เช่นหารด้วย5.3ทำได้โดยวงจรหารNทำการหารด้วย5ใน7รอบของแต่ละกลุ่มที่มี10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รอบ และหารด้วย6ในอีก3รอบที่เหลือ ตัวหาร27.35ทำได้โดยหารด้วย28ใน35รอบของแต่ละกลุ่มที่มี100รอบ และหารด้วย27ในอีก65รอบที่เหลือ

วงจรสังเคราะห์ความถี่ที่สามารถกำเนิดความถี่เอาท์พุทซึ่งมีความถี่เป็นจำนวนเท่าที่ไม่เป็นจำนวนเต็มของความถี่อ้างอิง เรียกว่า fractional N loop รูปที่2.16iแสดงบล็อคไดอะแกรมของfractional N loop อัตราส่วนตัวหารของมันคือN.F. เมื่อ N คือส่วนที่เป็นจำนวนเต็มและFคือส่วนที่เป็นจุดทศนิยม

ตัวอย่างเช่น ถ้าค่าอัตราส่วนตัวหารเป็น26.47 จะได้N=26,F=0.47 ส่วนบนของรูปที่2.16i(แบ่งโดยเส้นประ)แสดงวงจรสังเคราะห์ความถี่ซึ่งกำเนิดสัญญาณที่มีความถี่เป็นNเท่าของความถี่อ้างอิงf_{ref} ตอนนี้จะไม่พิจารณาบล็อคของ pulse-removing circuit และบล็อคsummingΣชั่วคราว ค่าจำนวนเต็ม(N)และจุดทศนิยม(F)ของอัตราส่วนตัวหารN:Fจะถูกเก็บไว้ในbuffer register แสดงดังส่วนล่างของรูป2.16i ค่าของ Nและ F จะถูกโหลดผ่านทางlinkข้อมูลขนานหรืออนุกรมจากไมโครโปรเซสเซอร์

F register จะเก็บค่าของจุดทศนิยมซึ่งสามารถจะเก็บเป็นรหัสเช่น binary,hexadecimal เป็นต้น ถ้าF เป็นเลขจุดทศนิยมBCD2หลักเช่นFregisterเป็นรีจิสเตอร์8บิทซึ่งแต่ละตำแหน่งจะมีค่าเป็น0.8,0.4,0.2,0.1และ 0.08,0.04,0.02,0.01

ต่อไปจะพิจารณาว่าวงจรสังเคราะห์ความถี่นี้สามารถหารความถี่เอาท์พุทโดยเลขทศนิยมได้อย่างไร พิจารณาตัวอย่างเช่น ระบบสามารถที่จะกำเนิดสัญญาณที่มีความถี่เป็น $f_{out}=5.3f_{ref}$ ได้อย่างไร ในที่นี้จะพิจารณารูปร่างสัญญาณดังรูป2.16j สมมติว่าความถี่เอาท์พุทมีค่าเป็น5.3เท่าของความถี่อ้างอิงแล้ว แสดงดดยรูปสัญญาณ u_2^{**}(ความถี่เอาท์พุทของ VCO) และ u_1 (ความถี่อ้างอิง) ในรูปที่ 2.16j

สัญญาณ u_2^{**}แสดงสัญญาณ53ไซเคิล ในระหว่างเวลาที่ใช้สัญญาณอ้างอิง u_1 10 ไซเคิล (ต่อไปจะใช้เทอม reference cycle หรือ reference period แสดงการออสซิเลทใน 1 รอบของสัญญาณอ้างอิง u_1)สมมติให้การทำงานของระบบเริ่มขึ้นที่t=0 ระหว่างช่วงเวลาที่สัญญาณu_1ได้ถูกสร้างเป็นreference cycleแรก วงจรหารNจะต้องทำการหารสัญญาณu_2^{**}ด้วยค่าแฟคเตอร์5.3ซึ่งเป็นไปไม่ได้ วงจรหารNจะหารแค่5เท่านั้น ดังนั้นในreference cycleแรก0.3พัลซ์จะหายไป ค่าerrorนี้จะต้องถูกเก็บที่ใดที่หนึ่งในระบบ ซึ่งในที่นี้จะใช้accumulator (ACCU)

accumulatorจะใช้รหัสเช่นเดียวกับF registerถ้าเราใช้เลขทศนิยมแบบBCD2หลัก วงจรaccumulatorก็จะสามารถเก็บเลขจุดทศนิยมที่เป็นBCDได้ภายในช่วง0.00-0.99 แสดงดังรูป2.16i

วงจรaccumulatorจะทำการเพิ่มค่า0.Fที่ได้จากF register เข้าไปเก็บไว้ในตัวACCU เมื่อใดที่มีขอบขาขึ้นของสัญญาณADDเข้ามา ดังเช่นเวลาเริ่มต้นของแต่ละreference period ถ้าสมมติว่าค่าเริ่มต้นของaccumulatorมีค่าเป็น0ที่ t=0 วงจรaccumulatorก็จะทำการสะสมค่าที่ผิดพลาด0.3รอบนี้เอาไว้ในช่วงของreference periodแรก แสดงให้เห็นว่าวงจรสังเคราะห์ความถี่นี้จะเกิดพัลซ์หายไป0.3พัลซ์ในช่วงreference periodแรก

ในช่วงreference periodที่2 วงจรหาร ก็ยังต้องการที่จะหารด้วย5.3อีกครั้ง และเพราะว่าไม่สามารถจะทำได้ ระบบก็จะยังคงทำการหาร5แทนอีก ดังนั้นตอนนี้ค่าผิดพลาดทั้งหมดก็จะถูกสะสมเป็น0.6รอบ ในช่วงreference periodที่3ก็จะสะสมเป็น0.9รอบ และในช่วงreference periodที่4จะกลายเป็น1.2รอบ แต่อย่างไรก็ตามวงจรaccumulatorจะไม่สามารถสะสมค่าได้เกิน1 ดังนั้นจะเกิดโอเวอร์โฟลทำให้เกิดสัญญาณOVFขึ้น(รูป 2.16i) ตอนนี้ค่าสะสมของACCUจะเป็น0.2 แสดงดังรูป2.16j OVFพัลซ์ที่ถูกสร้างขึ้นโดยวงจรACCUเป็นเหตุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้วงจร pulse-removing อยู่ในสภาวะแอคทีฟ และพัลซ์ที่จะถูกสร้างถัดไปโดย VCO จะถูกถอดออกไปจากวงจรหาร ซึ่งการถูกถอดออกไปของพัลซ์นี้จะทำให้มีผลเหมือนว่าวงจรหาร ทำการหารด้วย 6 แทนที่จะเป็น 5

จากรูปที่ 2.16j วงจร ACCU จะเกิดโอเวอร์โฟลอีกในช่วงเวลาของ reference period ที่ 7 และ10 ดังนั้นพัลซ์3พัลซ์จะถูกถอดออกไปจากวงจรหาร ในช่วงของ 10 reference period เนื่องจากว่าวงจรหาร จะทำการหารด้วย5ตลอดอยู่แล้ว จะได้ว่า 10.5+3=53 พัลซ์จะถูกสร้างขึ้นโดยวงจร VCO ภายในช่วงของ10reference period แต่มีปัญหาหนึ่งที่ถูกมองข้ามไป ถ้าวงจรVCOออสซิลเลตที่ความถี่ 5.3 เท่าของความถี่อ้างอิง มันจะกำเนิดพัลซ์ 5.3 รอบระหว่าง 1 reference period วงจรเฟสดีเทคเตอร์ในรูปที่ 2.16iจะทำการวัดค่าเฟสเออเรอเป็น -0.3 รอบ(หรือ$-0.3*2\pi$rad) หลังจากช่วงreference periodแรกในรูปที่ 2.16j ดังนั้นค่าเฟสเออเรอจะมีพาริตี้เป็นลบเพราะสัญญาณอ้างอิง u_1 มีเฟสตามสัญญาณ u_2 อยู่

หลังจาก reference cycleที่ 2 ค่าเฟสเออเรอจะเพิ่มขึ้นเป็น -0.6 รอบและเป็นเช่นนี้ไปเรื่อยๆ เมื่อพล็อตค่าเฟสเออเรอเทียบกับเวลาตามรูปที่ 2.16j รูปร่างจะเป็นขั้นบันได ค่าเฟสเออเรอนี้จะเป็นอินพุทให้กับวงจร์ลูปฟิลเตอร์และจะถูกมอดกับความถี่ของวงจรVCO การที่ลักษณะของสัญญาณเป็นขั้นบันไดเมื่อนำไปมอดกับความถี่ของ VCO จะไม่เป็นไปตามที่เราต้องการ เนื่องจากการใช้เทคนิค pulse removingดังที่กล่าวแล้วเป็นการทดแทนในส่วนของเฟสเออเรอไปแล้ว วิธีที่จะหลีกเลี่ยงการมอดที่ไม่ต้องการนี้ดูจากรูปที่ 2.16j จะเห็นว่าค่าของ accu จะมีขนาดเท่ากับค่าเฟสเออเรอ แต่มีพาริตี้ตรงข้ามกัน ค่าของACCUจะถูกเปลี่ยนเป็นสัญญาณอนาลอกโดยใช้ DAC(digital-to-analog converter) สัญญาณเอาพุท u_{DAC} จะถูกนำไปรวมกับสัญญาณเอาพุทของเฟสดีเทคเตอร์ เนื่องจากสัญญาณทั้ง 2 จะหักล้างกันเองทำให้สัญญาณอินพุทของลูปฟิลเตอร์เป็นระดับแรงดันไฟตรง เมื่อลูปการทำงานแบบหารด้วยเลขทศนิยมเข้าสู่สภาวะเสถียร

2.3.1 ความบริสุทธ์ของสเปคตรัมของสัญญาณที่ทำการสังเคราะห์(Spectral purity of synthesized signals)

วงจรสังเคราะห์ความถี่ที่แสดงในรูปที่ 2.16a จะกำเนิดสัญญาณที่มีความถี่เป็น N เท่าของความถี่อ้างอิง ในทางอุดมคติเมื่อวงจร VCO ทำงานที่ความถี่กลางของมัน สัญญาณเอาพุทของวงจรลูปฟิลเตอร์จะมีค่าเป็น0 ภายใต้เงื่อนไขนี้ สัญญาณเอาพุทของวงจร VCO จะเป็นสัญญาณ square waveที่บริสุทธิ์(pure square wave)คือเป็นสัญญาณที่ไม่มีเฟสจิตเตอร์ สเปคตรัมของสัญญาณนี้จะประกอบด้วยองค์ประกอบทางความถี่ที่ $f=f_0$ และองค์ประกอบฮาร์โมนิคอื่นๆภายใต้การทำงานของวงจรเฟสล็อคลูปทั่วไปวงจรเฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสของสัญญาณตราบเท่าที่เฟสของสัญญาณเอาพุทของVCOมีการเปลี่ยนแปลงจากเฟสในอุดมคติ ถ้าใช้ EXOR เกทเป็นเฟสดีเทคเตอร์ สัญญาณเอาพุทที่ได้จะเป็นสัญญาณ square wave ที่มีความถี่เป็น 2 เท่าของความถี่อ้างอิงแสดง เนื่องจากอัตราขยายของลูปฟิลเตอร์ทุกๆแบบไม่เป็น0ที่ความถี่ดังกล่าวสัญญาณrippleจะเกิดที่อินพุทของ VCO และมอดกับสัญญาณเอาพุทของ VCO ซึ่งเป็นสาเหตุให้เกิด side bandแปลกปลอมในสัญญาณเอาพุทของ VCO ซึ่งมีผลกระทบต่อความบริสุทธิ์ของสเปคตรัม ผลจากการกระเพื่อมของสัญญาณจะให้ผลที่ต่างกันสำหรับเฟสดีเทคเตอร์ที่ต่างกัน ดังนั้นจึงต้องพิจารณาแยกกัน

ขั้นแรกจะพิจารณาเมื่อใช้ EXOR เกทในวงจร(รูป2.16)เมื่อใช้ตัวหารN=1เฟสชั่วขณะของสัญญาณเอาพุทของVCOจะถูกมอดโดยสัญญาณที่มีความถี่เป็น2เท่าของความถี่ดังกล่าว กรณีนี้จะไม่มีผลกระทบต่อความถี่ของVCO เมื่อ N=2ก็ไม่มีอะไรเกิดขึ้นอีกเนื่องจากเฟสชั่วขณะของเอาพุทVCOถูกมอดโดยสัญญาณที่มีความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ท่ากับความถี่ของ VCO แต่จะเริ่มมีผลกระทบเมื่อNมีค่าเท่ากับหรือมากกว่า3 โดยทั่วไปความถี่เอาท์พุทของ VCO จะเป็นNf และสัญญาณrippleจะมีความถี่fundamentalอยู่ที่ $2f_{ref}$ สำหรับ $N\geq 3$ จะเกิดไซด์แบนด์แปลกปลอมที่เอาพุทของ VCO ซึ่งจะมีความถี่เป็น $Nf_{ref} \pm 2f_{ref}, Nf_{ref} \pm 4f_{ref}$ เป็นต้น

คุณสมบัติจะเหมือนเดิมเมื่อใช้JK-ฟลิปฟลอป ในสภาวะล็อค JK-FF จะกำเนิดสัญญาณเอาพุทที่มีความถี่เท่าความถี่อ้างอิง ถ้าค่าอัตราส่วนตัวหารของวงจรสังเคราะห์ความถี่เป็น 1 การกระเพื่อมของสัญญาณอินพุทของ VCO จะมีผลทำให้ duty cycle ของสัญญาณเอาพุทของ VCO เปลี่ยนแปลงเท่านั้น แต่จะไม่ทำให้เกิดไซด์แบนด์แปลกปลอม แต่จะเกิดเมื่อNมีค่าเป็น2และมากกว่านี้จะทำให้สเปคตรัมของสัญญาณเอาท์พุทปรากฏองค์ประกอบทางความถี่ที่ $Nf_{ref} \pm f_{ref}, Nf_{ref} \pm 2f_{ref}$ เป็นต้น

เมื่อใช้เฟสฟรีเควนซีดีเทคเตอร์สัญญาณเอาพุทของมันจะอยู่ในสภาวะ 0 ในทางทฤษฎี เมื่อ VCO ทำงานที่ความถี่กลางของมันดังรูปที่ 2.11a ในการทำงานตามปกติของวงจร DPLL เฟสฟรีเควนซีดีเทคเตอร์จะให้สัญญาณเอาพุทเป็นไปตามรูปที่ 2.11b และ 2.11c

ช่วงระยะเวลาของแต่ละพัลซ์จะสั้นมากเมื่อวงจร DPLL อยู่ในสภาวะล็อค ดังนั้นการกระเพื่อมของสัญญาณอินพุทของ VCO จะเกิดขึ้นน้อยกว่า2กรณีแรกอย่างมาก

เมื่อพิจารณาขนาดไซด์แบนด์ เนื่องจากขนาดไซด์แบนด์คู่แรกจะมีค่ามากกว่าลำดับที่สูงขึ้น ในที่นี้จะพิจารณาเพียงขนาดของสัญญาณไซด์แบนด์คู่แรกเท่านั้น ในทำนองเดียวกันกับสัญญาณรบกวน เราสามารถหาการกดสัญญาณไซด์แบนด์ได้เป็นอัตราส่วนของกำลังของสัญญาณต่อกำลังของไซด์แบนด์คู่แรก

$$S_1 = \frac{P_s}{P_{sb1}} \qquad (2.51a)$$

เมื่อ P_s เป็นกำลังของสัญญาณที่สังเคราะห์ขึ้น และ P_{sb1} เป็นกำลังของไซด์แบนด์แปลกปลอมคู่แรก ถ้าคิดเป็น dBจะได้เป็น

$$S_{1(dB)} = 10\log S_1 \qquad (2.51b)$$

ถ้าใช้ EXOR หรือ JK-FF เป็นเฟสดีเทคเตอร์ ค่า $S_{1(dB)}$ โดยประมาณจะได้เป็น

$$S_{1(dB)} = 20\log\frac{K_o U_B}{2\pi^2 f_r}\left|F(2\pi f_r)\right|(dB) \qquad (2.52)$$

เมื่อ f_r แสดงถึงความถี่ripple $F(2\pi f_r)$ เป็นอัตราขยายของวงจรลูปฟิลเตอร์ที่ความถี่ripple และU_Bเป็นแรงดันไฟเลี้ยงของเฟสดีเทคเตอร์ ในกรณีที่ใช้ EXOR เกท f_r จะมีค่าเป็น2เท่าของความถี่อ้างอิง เมื่อใช้ JK-FF f_rจะมีค่าเท่ากับความถี่อ้างอิง และเมื่อใช้เฟสฟรีเควนซีดีเทคเตอร์จะได้เป็นดังนี้

$$S_{1(dB)} = 20\log(K_o U_B \tau)\left|F(2\pi f_r)\right|(dB) \qquad (2.53)$$

ขณะที่ความถี่ripple f_r ไม่จำเป็นต้องเท่ากับความถี่อ้างอิง แต่สามารถพิจารณาว่ามีค่าต่ำกว่าซึ่งจะได้กล่าวต่อไปτ คือความกว้างของเอาพุทพัลซ์ เมื่อ DPLL ใช้เฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์ทำงานที่ความถี่กลางของมัน สัญญาณเอาพุทของเฟสฟรีเควนซีดีเทคเตอร์จะมีสภาวะ 0 ตามทฤษฎีตลอดเวลา สัญญาณ

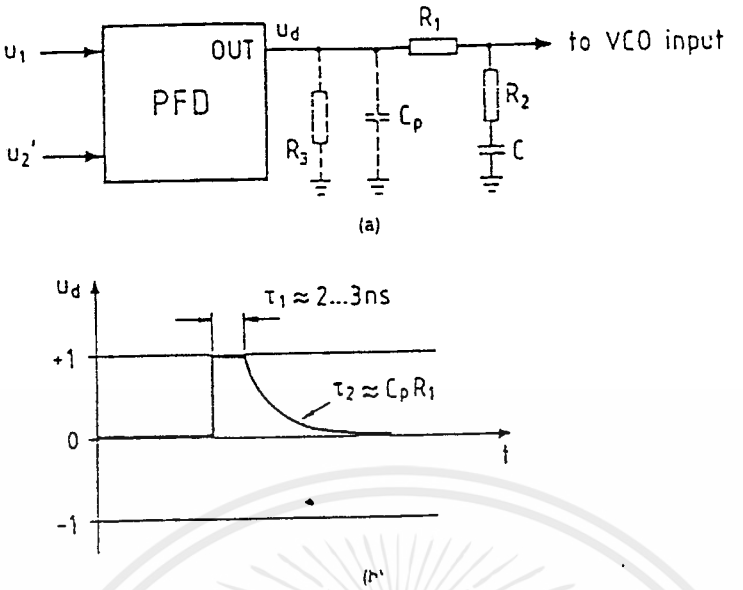
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ้างอิง u_1และสัญญาณเอาพุท(ที่ถูกหารความถี่แล้ว)u'_2 (แสดงดังรูป2.17a)จะมีเฟสตรงกัน ในความเป็นจริง ความถี่เอาพุทของVCOจะค่อยๆเลื่อนออกไปอย่างช้าๆ ซึ่งจะทำให้เกิดtime lagระหว่างสัญญาณทั้งสอง สมมติว่า time lagเป็น10ps วงจรเฟสฟรีเควนซีดีเทคเตอร์จะกำเนิดพัลซ์ที่มีคาบเวลาเป็น 10ps

เนื่องจากวงจรทางลอจิกภายในเฟสฟรีเควนซีดีเทคเตอร์มีคุณสมบัติของค่าดีเลย์และrise timeที่ไม่เป็น 0 ดังนั้นเฟสฟรีเควนซีดีเทคเตอร์ไม่สามารถกำเนิดพัลซ์ที่มีคาบเวลาแคบๆได้ ซึ่งจะกำเนิดพัลซ์เฉพาะเมื่อค่าดีเลย์ระหว่างสัญญาณ และ มีค่ามากกว่าระยะห่างของเวลาที่เรียกว่า backlashจะอยู่ในช่วง 2-3ns วงจรเฟสฟรีเควนซีดีเทคเตอร์จะไม่สามารถกำเนิดเอาพุทพัลซีที่มีคาบเวลาสั้นกว่าค่าbacklashซึ่งแสดงโดยτ_1 ในกรณีนี้ความกว้างของพัลซ์จะมีค่าใกล้เคียงกับ τ_1ในทางปฏิบัติตัวอุปกรณ์จะมีค่าparasitic capacitance ในที่นี้คือC_P (รูป2.17a)ซึ่งจะชาร์ตแรงดันไฟเลี้ยงโดยเอาพุทพัลซ์ ทำให้เกิดดีเลย์ที่ช้าลงของขอบพัลซ์ โดยปกติ C_Pจะมีค่าระหว่าง 5-10pf ค่าคงตัวเวลาของขอบพัลซ์ที่เกิดจากอิทธิพลของ C_P จะมีค่าประมาณ $\tau_2=R_1C_P$ค่านี้สามารถลดโดยเลือกค่าความต้านทาน R_1ให้มีค่าน้อยๆ ในขณะเดียวกันค่า R_1 ก็ไม่สามารถเลือกให้ต่ำได้ตามต้องการ เนื่องจากจะทำให้เอาพุทของเฟสฟรีเควนซีดีเทคเตอร์เกิดโอเวอร์โหลดได้ โดยทั่วไปแล้วค่า R_1ต้องมีค่ามากกว่า500Ω ดังนั้น τ_2จะมีค่าประมาณ 5ns หรือมากกว่า นั่นหมายความว่าค่าของτ ในสมการ(2.53)สามารถประมาณได้โดยผลรวมของ$\tau_1+\tau_2$และโดยทั่วไปจะมีค่าประมาณ10ns

เนื่องจากความกว้างของพัลซ์ไม่สามารถทำให้แคบเท่าไรก็ได้ตามต้องการ พัลซ์ที่แสดงในรูปที่ 2.17b จะทำให้ความถี่ชั่วขณะของ VCOเปลี่ยนแปลงไปมากกว่าที่ต้องการตามตัวอย่างในรูปที่ 2.17b ความถี่ของ VCOจะถูกทำให้เพิ่มขึ้น ดังนั้นค่าtime delayระหว่างขอบของสัญญาณu_1และu'_2 จะมีค่าน้อยลงใน1รอบของสัญญาณอ้างอิง เมื่อเวลาผ่านไปค่าdelayจะมีค่าผ่าน 0 และเริ่มที่จะเป็นลบ นั่นคือขณะที่สัญญาณ จะมีเฟสนำสัญญาณ วงจรเฟสฟรีเควนซีดีเทคเตอร์จะกำเนิดพัลซ์ที่มีแต่โพลาริตี้ลบเท่านั้น เมื่อค่า time lagมีค่ามากกว่า backlashอีกครั้ง ซึ่งไม่เป็นที่ต้องการ เมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์กำเนิดพัลซ์ที่มีโพลาริตี้เป็นบวกในขณะหนึ่งอยู่ที่สภาวะ 0 ระหว่างเวลาที่ครบรอบการทำงาน(อาจเป็น10)ต่อมาจะกำเนิดพัลซ์ที่มีโพลาริตี้เป็นลบเป็นเช่นนี้ไปเรื่อยๆ ความถี่ของสัญญาณ ripple จะเป็น subharmonic ของสัญญาณอ้างอิง และถ้าค่าความถี่ของsubharmonicที่มีค่าต่ำมากการกระเพื่อมนี้จะไม่ถูกลดทอนโดยวงจรกรองสัญญาณความถี่ต่ำผ่านซึ่งไม่เป็นที่ต้องการในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงปรากฏการณ์ backlash ของเฟสฟรีเควนซีดีเทคเตอร์

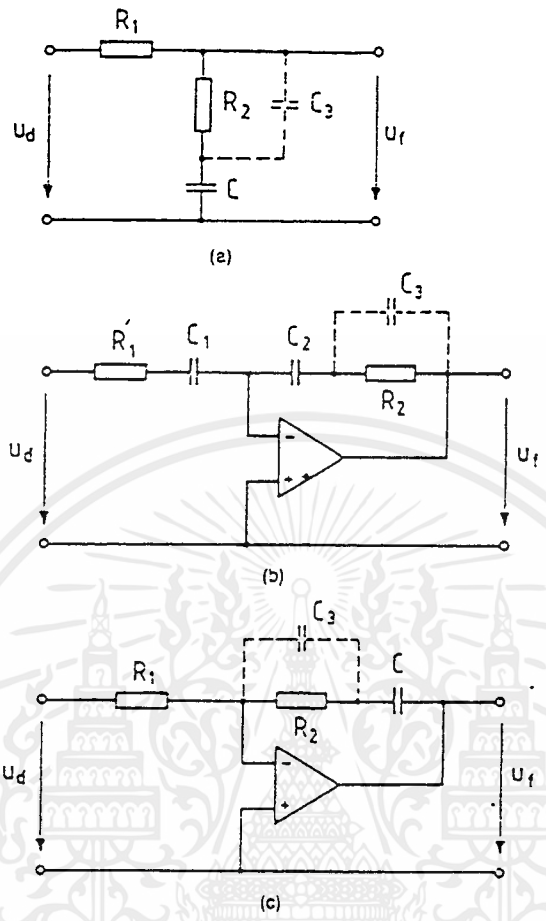
(a) แสดงวงจรเฟสฟรีเควนซีดีเทคเตอร์ที่มีparasitic capacitance

(b) แสดงความกว้างของพัลซ์ซึ่งทำให้ความถี่ชั่วขณะของVCOเปลี่ยนแปลงไป

ความถี่ subharmonicจะไปมอดกับความถี่ของ VCO และถูกตัดทิ้งไปได้โดยการเพิ่มตัวความต้านทาน R_3 ในรูปที่ 2.17a โดยทั่วไป R_3จะมีค่าสูงซึ่งจะทำให้เกิดการ discharge ของตัวเก็บประจุในวงจรกรองสัญญาณลงกราวด์อย่างช้าๆแต่มีเสถียรภาพค่ากระแสที่ถูกdischargeมีค่าสูงกว่ากระแสที่ถูกchargeโดยparasitic capacitance เฟสฟรีเควนซีดีเทคเตอร์จะถูกเร่งให้เกิดพัลซ์ที่มีโพลาริตี้เป็นบวกในทุกๆรอบของสัญญาณอ้างอิง ความถี่ rippleจะมีค่าเท่ากับความถี่ของสัญญาณอ้างอิง เนื่องจากความถี่คัทออฟของวงจรลูปฟิลเตอร์มีค่าต่ำกว่าความถี่ของสัญญาณอ้างอิง สัญญาณrippleจะถูกลดทอนไปโดยลูปฟิลเตอร์ ซึ่งจะเป็นการลดไซด์แบนด์แปลกปลอมด้วย เมื่อใช้ตัวความต้านทานR_3ไซด์แบนด์แปลกปลอมจะเกิดขึ้นที่ความถี่ $Nf_{ref} \pm f_{ref}, Nf_{ref} \pm 2f_{ref}$ เป็นต้น

สำหรับวงจรสังเคราะห์ความถี่ที่มีคุณภาพสูง ระดับของไซด์แบนด์แปลกปลอมไม่สามารถยอมรับให้เกิดขึ้นได้ นอกจากวิธีที่แนะนำแล้วยังสามารถทำให้ลดลงได้โดยการลดอัตราขยายของลูปฟิลเตอร์ที่ความถี่ rippleลง วิธีที่ง่ายที่สุดคือการเพิ่มpoleในลูปฟิลเตอร์แสดงดังรูปที่ 2.18a-2.18c ตัวเก็บประจุ C_3จะเป็นตัวเพิ่มค่าคงตัวเวลา $\tau_3=R_2C_3$ โดยทั่วไปค่าτ_3จะมีค่าประมาณ$\tau_2/10$ภายใต้เงื่อนไขนี้วงจรลูปฟิลเตอร์จะมีค่าความถี่คัทออฟที่ $\omega = 1/\tau_3$ วงจรลูปฟิลเตอร์ที่แสดงในรูปที่ 2.18 เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับที่ 2 ถ้าต้องการกำจัดสัญญาณ ripple ให้ได้ดียิ่งขึ้นทำได้โดยใช้วงจรลูปฟิลเตอร์ที่มีอันดับสูงขึ้น(ปกติใช้ถึงอันดับ5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงวงจรลูปฟิลเตอร์ที่มี C_3 ซึ่งทำให้เพิ่มค่าคงตัวเวลา

(a) Passive lag filter

(b) Active lag filter

(c) Active PI filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบดิจิตอลเฟสล็อคลูป

วงจรดิจิตอลเฟสล็อคลูปได้ถูกนำมาประยุกต์ใช้ในทางการสื่อสารอย่างกว้างขวาง เมื่อระบบต้องการสร้างสัญญาณนาฬิกาจากสัญญาณข้อมูลที่เต็มไปด้วยสัญญาณรบกวน ซึ่งการประยุกต์ใช้งานในระบบต่างๆนั้น เราจะใช้ดิจิตอลเฟสล็อคลูปในการสังเคราะห์ความถี่ การใช้งานจะไม่เกี่ยวข้องกับสัญญาณรบกวนอ้างอิง แต่วงจรสังเคราะห์ความถี่นี้ควรจะสามารถเปลี่ยนจากความถี่หนึ่งไปยังอีกความถี่หนึ่งได้อย่างรวดเร็ว ด้วยเหตุที่ค่าเวลา pull - in จะเป็นพารามิเตอร์ที่มีความสัมพันธ์กับเงื่อนไขนี้มากที่สุด จากเหตุผลดังกล่าวทำให้เป็นการยากที่จะทำให้การออกแบบได้ผลดีที่สุด สำหรับระบบดิจิตอลเฟสล็อคลูปทุกระบบ เราจะออกแบบตามขั้นตอนต่างๆ ซึ่งเป็นขั้นตอนคร่าวๆไม่ได้ใช้ตายตัวเสมอไป โดยในการออกแบบจะใช้วงจร ICเบอร์ 74HC/HCT4046A และ 74HC/HCT 7046A

กระบวนการออกแบบดิจิตอลเฟสล็อคลูปประกอบด้วยขั้นตอนดังนี้

ขั้นตอน1

ทำการกำหนดความถี่อินพุทและความถี่เอาท์พุทของวงจรดิจิตอลเฟสล็อคลูป ซึ่งจะมีทั้งกรณีความถี่อินพุทและเอาท์พุทคงที่แต่ไม่จำเป็นต้องมีค่าเท่ากัน ในการใช้งานอื่นๆ(เช่นวงจรสังเคราะห์ความถี่) ความถี่อินพุทจะเหมือนเดิมตลอด แต่ความถี่เอาท์พุทจะเปลี่ยนแปลงไป และกรณีสุดท้ายทั้งความถี่อินพุทและเอาท์พุทเปลี่ยนแปลงให้ f_{1min} และ f_{1max} เป็นค่าความถี่ อินพุทที่ต่ำสุดและสูงสุด f_{2min}และ f_{2max}เป็นค่าความถี่ เอาท์พุท ที่ต่ำสุดและสูงสุด ตามลำดับ

ขั้นตอน2

ทำการกำหนด scaler ratio ในบางกรณีที่อัตราส่วนของความถี่เอาท์พุทต่อความถี่อ้างอิงมีค่ามากกว่า 1 แต่คงที่ เราจำเป็นต้องทำdown-scaleด้วยตัวหารที่มีค่าคงที่ N เมื่อเราใช้ดิจิตอลเฟสล็อคลูป ทำวงจรสังเคราะห์ความถี่ อัตราส่วนของความถี่เอาท์พุทต่อความถี่อ้างอิงจะไม่คงที่ ดังนั้น ต้องกำหนดช่วงของค่า N ขึ้น ($N_{min} \leq N \leq N_{max}$) เมื่อค่า N มีการเปลี่ยนแปลงความถี่ธรรมชาติ ω_n และค่า damping factor ζ จะแปรผันตาม N ด้วย ดังสมการความสัมพันธ์ในตาราง 2.1 ซึ่งพารามิเตอร์ทั้ง2จะเปลี่ยนแปลงตามค่าประมาณ $1/\sqrt{N}$ ดังนั้น ω_n จะมีการเปลี่ยนแปลงอยู่ในช่วง $\omega_{nmin} < \omega_n < \omega_{nmax}$ และ ζ จะแปรผันอยู่ระหว่างช่วง $\zeta_{min} < \zeta < \zeta_{max}$ เราจะได้ความสัมพันธ์เป็น

$$\frac{\omega_{n\max}}{\omega_{n\min}} = \sqrt{\frac{N_{\max}}{N_{\min}}} \qquad (3.1)$$

และ

$$\frac{\zeta_{\max}}{\zeta_{\min}} = \sqrt{\frac{N_{\max}}{N_{\min}}} \qquad (3.2)$$

เราทราบว่าค่า ζ ที่มีค่าระหว่าง 0.5 และ1 จะให้ผลการทำงานดีที่สุด ตราบใดที่ค่าอัตราส่วน N_{max}/ N_{min} มีค่าไม่มากเกินไปนัก การเปลี่ยนแปลงไม่คงที่ของ damping factor ก็สามารถจะยอมรับได้ เรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควรหลีกเลี่ยงค่า ζ ที่มีการเปลี่ยนแปลงมากๆ เนื่องจากลูปจะเกิดการออสซิลเลต สำหรับค่าζที่มีค่ามากที่สุดเมื่อค่า N เปลี่ยนแปลงอยู่ในช่วงกว้าง(เช่น1:100)มักต้องกำหนดช่วงของความถี่มากกว่า1ช่วง สำหรับดิจิตอลเฟสล็อคลูป และทำการสลับช่วงไปให้สอดคล้องกัน

ในการออกแบบที่ง่ายที่สุดสำหรับค่า N ที่ไม่คงที่ เราจะระบุพารามิเตอร์ต่างๆของดิจิตอลเฟสล็อคลูป เช่น ζ ให้มีค่าเหมาะสมที่สุดสำหรับ divider ratio N_{mean} คือ

$$N_{mean} = \sqrt{N_{\min} . N_{\max}} \qquad (3.3)$$

(สำหรับค่า N ที่คงที่ , N_{mean}= N) เช่น N_{min}= 10 , N_{max} = 100 ค่า N_{mean}จะเป็น 31.6 ถึง32 เลือก ζ = 0.7 สำหรับ N = 32 จะให้ค่า ζ_{min} = 0.4 และ ζ_{max} = 1.2

ขั้นตอน3

หาค่า damping factor ζ โดยเมื่อN มีค่าคงที่ ζก็จะคงที่ด้วย และสามารถกำหนดขึ้นเองได้ ค่าที่เหมาะสมที่สุดจะเลือก ζ=0.7วงจรดิจิตอลเฟสล็อคลูปจะมีผลตอบสนองเป็นแบบบัตเตอร์เวิร์ธ ถ้าNมีค่าไม่คงที่ แนะนำว่าควรเลือกค่า ζ = 0.7 สำหรับ N = N_{mean}ดังอธิบายในขั้นตอน 2

ขั้นตอน4

ขั้นตอนนี้เราจะคิดว่ามีคุณสมบัติของการกดสัญญาณรบกวนหรือไม่เช่นถ้าเราสร้างวงจรสังเคราะห์ความถี่ดิจิตอล เรื่องของสัญญาณรบกวนก็จะไม่พิจารณา เพราะฉะนั้นถ้าพิจารณาสัญญาณรบกวน ขั้นตอนต่อไป คือขั้นตอนที่5 ถ้าไม่พิจารณาสัญญาณรบกวนก็ข้ามไปขั้นตอน 12

ขั้นตอน5

ดังที่กล่าวมาแล้วว่า วงจรเฟสดีเทคเตอร์แต่ละชนิดจะให้ผลตอบสนองต่อสัญญาณรบกวนแตกต่างกัน ในกรณีที่ขอบของสัญญาณอ้างอิง u_1 เกิดการสูญเสีย วงจรที่ทำงานโดยใช้ขอบของสัญญาณอย่าง JK ฟลิปฟลอป หรือ เฟสฟรีเควนซีดีเทคเตอร์ ทำให้เอาท์พุทของJK ฟลิปฟลอปเปลี่ยนไปที่สภาวะต่ำและเอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์จะเปลี่ยนไปที่สภาวะ–1 ในเวลาสั้นๆ ดังนั้นความถี่ของVCOจะเปลี่ยนแปลงอย่างรวดเร็ว ซึ่งไม่เป็นที่ต้องการในการออกแบบ สัญญาณเอาท์พุทเฉลี่ยของวงจรEXORเฟสดีเทคเตอร์จะอยู่ที่0 เมื่อขอบของ u_1 หายไป ถ้าขอบของสัญญาณ u_1 มีการขาดหายไปจะทำตามขั้นตอนที่6 ส่วนกรณีอื่นข้ามไปขั้นตอน 7

ขั้นตอน6

เมื่อเลือก EXOR เฟสดีเทคเตอร์ ต้องหาค่า K_d ถ้าEXOR ทำงานโดยแหล่งจ่ายไฟunipolar ค่า K_dจะมีค่าเท่ากับ U_B/πเมื่อ U_B เป็นค่าแรงดันที่จ่ายให้แก่วงจร เมื่อใช้แหล่งจ่ายไฟ bipolarหรือเมื่อEXORอิ่มตัว จะใช้สมการในหัวข้อ 2.6แล้วทำขั้นตอน8ต่อไป

ขั้นตอน7

ขั้นตอนนี้เราจะเลือกJKฟลิปฟลอปหรือเฟสฟรีเควนซีดีเทคเตอร์ เนื่องจากคุณสมบัติของเฟสฟรีเควนซีดีเทคเตอร์จะมีค่า pull-in range เป็น∞ จึงนิยมใช้แบบนี้มากกว่า เมื่อใช้แหล่งจ่ายไฟแบบ unipolar ค่าK_dจะเท่ากับ$U_B/4\pi$(เมื่อU_Bเป็นแรงดันไฟเลี้ยง)เมื่อใช้แหล่งจ่ายไฟแบบbipolarหรือเมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์อิ่มตัว เราจะใช้สมการในหัวข้อ 2.6 ต่อไปทำขั้นตอนที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน8

หาค่า B_L จากสมการ

$$(SNR)_L = (SNR)_I \frac{B_I}{2B_L} \qquad (3.4)$$

ค่าB_Lควรเลือกเพื่อให้ $(SNR)_L$ มีค่ามากกว่าค่าน้อยที่สุดเล็กน้อย โดยปกติจะมากกว่า 4 (ซึ่งจะสัมพันธ์กับ 6 dB) ในกรณีทั่วไป S/N ที่อินพุทของPLL $(SNR)_I$ จะไม่สามารถรู้ได้ล่วงหน้า โดยประมาณได้จากการวัดอินพุทเฟสจิตเตอร์θ_{ni} และสุดท้ายเราจะได้ค่า B_I ที่อินพุทของดิจิตอลเฟสล็อคลูป ค่าB_I จะเป็นแบนด์วิทของสัญญาณแหล่งกำเนิด หรือแบนด์วิทของพรีฟิลเตอร์ หลังจากที่หาค่า $(SNR)_I$ และ B_I ได้แล้ว ก็สามารถคำนวณค่า B_L ได้จากสมการ (3.4)

ปัญหาที่ตามมาก็คือ เมื่อค่า N เปลี่ยนแปลงได้ จากทฤษฎีของสัญญาณรบกวน ค่า B_Lจะมีความสัมพันธ์กับ ω_n และ ζโดยสมการดังนี้

$$B_L = \frac{\omega_n}{2}\left(\zeta + \frac{1}{4\zeta}\right) \qquad (3.5)$$

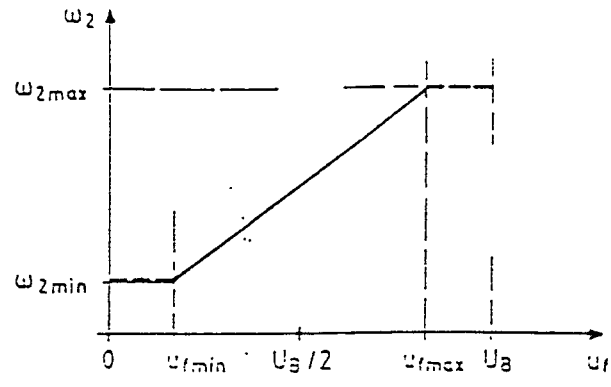
เมื่อค่า N เปลี่ยนแปลงไป ทั้ง ω_n และ ζ จะเปลี่ยนไปตาม N ด้วย ด้วยเหตุนี้ค่า B_Lจะขึ้นกับ N ด้วย ในกรณีนี้จะหา B_L จากกรณีที่ $N = N_{mean}$ เพื่อให้แน่ใจว่าค่า B_L จะไม่ตกลงมาต่ำจนถึงค่าน้อยที่สุดที่ยอมรับได้ เราควรจะเช็คค่าของมันที่ค่าปลายสุดของอัตราส่วน N ด้วย โดยใช้สมการ3.5 ถ้าค่า B_L มีค่าน้อยเกินไป ที่ค่าปลายสุดของ N ค่าเริ่มต้นที่กำหนดให้ $N = N_{mean}$ควรจะมีค่าเพิ่มขึ้นอีก

ขั้นตอน 9

ในขั้นตอนนี้จะกำหนดคุณลักษณะต่างๆ ของวงจร VCO เนื่องจากเรารู้ความถี่กลาง (center frequency) ω_o (หรือช่วงของความถี่ ω_o) และช่วงของอัตราส่วนNแล้ว เราสามารถคำนวณช่วงความถี่ของสัญญาณเอาท์พุทได้ ซึ่งจะต้องถูกสร้างโดยวงจร VCO ให้ค่า ω_{2min}และ ω_{2max}เป็นค่าความถี่เอาท์พุทต่ำสุดและสูงสุดของ VCO ตามลำดับ ก่อนอื่นต้องเลือกวงจร VCO ที่เหมาะสม ส่วนมากวงจร VCO ที่ใช้เป็นส่วนหนึ่งของเฟสล็อคลูป จะเป็นไอซี เมื่อจ่ายแรงดันไฟเลี้ยงให้กับ VCO เราจะดูช่วงของแรงดันควบคุมได้จากดาต้าชีท (เช่นสำหรับแหล่งจ่ายไฟ unipolar ซึ่ง U_B = 5V ช่วงของมันจะเป็น 1-4V) ให้ u_{fmin}และ u_{fmax}เป็นช่วงจำกัดต่ำสุด และสูงสุดของช่วง ตามลำดับ วงจร VCO จะถูกออกแบบให้สร้างความถี่เอาท์พุท $\omega_2 = \omega_{2min}$ สำหรับ $u_f = u_{fmin}$และความถี่เอาท์พุท $\omega_2 = \omega_{2max}$ สำหรับ $u_f = u_{fmax}$ คุณลักษณะของวงจร VCO แสดงดังกราฟรูป 3.1 สามารถหาอัตราขยายของ VCO ได้โดยการคำนวณจากความชันของกราฟคือ

$$K_O = \frac{\omega_{2\max} - \omega_{2\min}}{u_{f\max} - u_{f\min}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 กราฟแสดงคุณลักษณะของ VCO ระหว่างความถี่เชิงมุม ω_2 กับโวลเตจคอนโทรล u_f

นอกจากนี้ ต้องหาค่าองค์ประกอบภายนอกต่างๆของ VCO ด้วย ซึ่งสามารถหาวิธีคำนวณได้จากคาต้าชีท

ขั้นตอน 10

คำนวณค่าความถี่ธรรมชาติ ω_nจาก

$$B_L = \frac{\omega_n}{2}\left(\zeta + \frac{1}{4\zeta}\right)$$

เมื่อค่า N ไม่คงที่ ทั้ง B_Lและ ζ จะหาที่ค่า N $=N_{mean}$ ดังนั้นค่าที่นำมาหา ω_n จะแปรผันอยู่ที่ N= N_{mean} เท่านั้น

ขั้นตอน 11

สร้างวงจรลูปฟิลเตอร์ ก่อนอื่นต้องเลือกชนิดของวงจรกรองสัญญาณที่เหมาะสม วงจร passive loop filter เป็นวงจรที่ง่ายที่สุด ถ้าใช้ EXOR หรือ JK ฟลิปฟลอปเป็นเฟสดีเทคเตอร์ แต่มีข้อเสียคือ pull-in range จะถูกจำกัด ถ้าเราออกแบบให้มีช่วง pull-in range เป็น∞ ควรเลือกวงจรกรองสัญญาณแบบ active PI ถ้ารู้ค่า ω_n ,ζ ,K_O,K_d และ N จะสามารถคำนวณค่าคงตัวเวลา τ_1และ τ_2ได้จากตาราง 2.1 เมื่อเราใช้ active lag filter เราต้องเลือกค่า K_aให้เหมาะสมด้วย ต้องเลือก K_a >1จึงจะใช้ได้ โดยทั่วไปค่า K_aจะอยู่ในช่วง 2-10 ขั้นตอนต่อไปเป็นขั้นตอน 19

ขั้นตอน12

(ต่อจากขั้นตอน4)เนื่องจากในการทดลองนี้ไม่สนใจเรื่องสัญญาณรบกวน วงจรเฟสดีเทคเตอร์ที่ดีที่สุดที่ควรเลือกใช้คือวงจรเฟสฟรีเควนซีดีเทคเตอร์ เมื่อวงจรเฟสฟรีเควนซีดีเทคเตอร์ทำงานโดยใช้แหล่งจ่ายไฟแบบ unipolar ซึ่งมีขนาดแรงดันไฟเลี้ยงเป็น U_Bจะได้ค่าอัตราขยายของเฟสดีเทคเตอร์ $K_d = U_B/ 4\pi$ ถ้าใช้แหล่งจ่ายแบบ bipolarหรือระดับแรงดันแตกต่างจากแรงดันไฟเลี้ยง ให้ใช้สูตรตามหัวข้อ 2.6

ขั้นตอน13

ในขั้นตอนนี้จะพิจารณาคุณลักษณะของวงจรVCO เนื่องจากเรารู้ค่าความถี่กลางω_O(หรือช่วงของ ω_O) และค่าอัตราส่วนตัวหาร N แล้ว เราสามารถคำนวณช่วงของความถี่เอาท์พุทซึ่งจะถูกสร้างโดยวงจร VCO ได้ให้ ω_{2min}และ ω_{2max}เป็นความถี่เอาท์พุทต่ำสุดและสูงสุดของวงจร VCO ตามลำดับ ตอนนี้เราสามารถเลือกวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรVCO ที่เหมาะสมได้ โดยทั่วไปแล้ววงจร VCO ที่ใช้ในดิจิตอลเฟสล็อคลูปจะเป็นIC เมื่อจ่ายแรงดันไฟเลี้ยงให้แก่ VCO เราจะดูช่วงของแรงดันควบคุม u_f ได้จากดาต้าชีท (สำหรับแหล่งจ่ายไฟแบบunipolarซึ่ง U_B = 5V ช่วงของมันจะเป็น1 - 4 V)

ให้ $u_{f\,min}$และ $u_{f\,max}$เป็นค่าจำกัดด้านต่ำและค่าจำกัดด้านสูงของช่วงตามลำดับ เราจะได้ว่าวงจร VCOจะกำเนิดสัญญาณความถี่เอาท์พุท $\omega_2=\omega_{2\,min}$เมื่อ $u_f = u_{f\,min}$ และความถี่เอาท์พุท $\omega_2 =\omega_{2\,max}$สำหรับ $u_f = u_{f\,max}$ คุณลักษณะของวงจร VCO ดูได้จากกราฟรูป 3.1 เราสามารถคำนวณค่าอัตราขยายของวงจร VCO K_Oได้จากความชันของเส้นกราฟดังนี้

$$K_O = \frac{\omega_{2\max} - \omega_{2\min}}{u_{f\max} - u_{f\min}}$$

และองค์ประกอบภายนอกของ VCO ก็สามารถหาได้ โดยดูจากดาต้าชีท

ขั้นตอน14

เลือกชนิดของลูปฟิลเตอร์ เนื่องจากเราใช้วงจรเฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์ โดยส่วนมากเราจะใช้วงจรลูปฟิลเตอร์แบบ passive lag ซึ่งส่วนประกอบทั้ง 2 นี้ จะทำให้ได้ค่า pull-in rangeและ hold range เป็น ∞ ดังอธิบายในหัวข้อ 2.7 ส่วนลูปฟิลเตอร์ชนิดอื่นจะไม่พิจารณาในที่นี้

ขั้นตอน15

หาองค์ประกอบทางไดนามิคของดิจิตอลเฟสล็อคลูปเพื่อเลือกค่าที่เหมาะสมของ ω_n เราต้องรู้ว่าวงจรดิจิตอลเฟสล็อคลูปมีการกระทำทางไดนามิคเป็นอย่างไร เช่นการเปลี่ยนแปลงของค่าแฟคเตอร์ตัวหารN เป็นต้น สำหรับขั้นตอนในการออกแบบจะมีอย่างน้อย 3 วิธี ที่จะหาผลตอบสนองทางไดนามิคของดิจิตอลเฟสล็อคลูป

- กรณี 1

วงจรดิจิตอลเฟสล็อคลูปถูกใช้เป็นวงจรสังเคราะห์ความถี่ดิจิตอลซึ่งเราจะต้องออกแบบให้ดิจิตอลเฟสล็อคลูปเปลี่ยนจากความถี่เอาท์พุทหนึ่ง(f_{21})ไปยังอีกความถี่เอาท์พุทหนึ่ง(f_{22})ได้อย่างรวดเร็ว ถ้าผลต่าง $|f_{21} - f_{22}|$ มีขนาดมาก อาจจะหลุดจากสภาวะล็อคได้ ผู้ใช้จะต้องกำหนดค่าสูงสุดของ pull - in time T_Pที่ระบบต้องการใช้ในการล็อคสู่ความถี่เอาท์พุทใหม่ซึ่ง T_p นั้นจะใช้หาพารามิเตอร์ต่างๆของ ดิจิตอลเฟสล็อคลูปต่อไป และทำขั้นตอน 16 ต่อไป

- กรณี2

วงจรดิจิตอลเฟสล็อคลูปถูกใช้เป็นวงจรสังเคราะห์ความถี่ซึ่งสร้างความถี่เป็นจำนวนเต็มเท่าของความถี่อ้างอิง f_{ref} คือ ความถี่เอาท์พุทของ VCOจะเป็น $f_2 = Nf_{ref}$ เมื่อค่า N เปลี่ยนแปลงได้ ถ้าความถี่เอาท์พุทเปลี่ยนจากความถี่หนึ่งไปยังความถี่ใกล้เคียง เช่น f_2เปลี่ยนจาก N_of_{ref} ไปเป็น $(N_O + 1)f_{ref}$ ในกรณีนี้ค่า pull-out range $\Delta\omega_{PO}$ จะต้องน้อยกว่า f_{ref} ถ้าเลือก $\Delta\omega_{PO}$เป็นหลัก ก็ทำขั้นตอน 20 ต่อไป

- กรณี 3

เป็นกรณีที่ไม่พิจารณาค่า pull - in range และ pull-out rangeวิธีที่ง่ายที่สุด คือการสมมติ lock-in time T_L หรือกำหนดความถี่ธรรมชาติชั่วขณะ ถ้าเลือกกรณีนี้ก็ทำตามขั้นตอน 21 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน 16

กำหนดค่า pull - in time T_P สูงสุด ที่จะทำให้เกิดช่วงความถี่สูงสุดที่เอาท์พุทของVCO ค่าคงตัวเวลา τ_1 ของวงจรลูปฟิลเตอร์ สามารถคำนวณได้โดยใช้สูตรสำหรับ T_P ในตาราง 2.1

เราต้องแทน$\Delta\omega_O$ ค่าช่วงความถี่เชิงมุมสูงสุดที่เอาท์พุทของVCO เข้าไป แล้วทำขั้นตอน 17 ต่อไป

ขั้นตอน 17

เมื่อรู้ค่าคงตัวเวลา τ_1 แล้วก็สามารถประมาณค่า ω_nได้ สูตรสำหรับหา ω_n ดูได้จากตาราง 2.1 ซึ่งสมการนี้มี τ_2 รวมอยู่ด้วย ถ้าใช้ลูปฟิลเตอร์แบบpassive lag เราจะไม่ทราบค่าτ_2 แต่สามารถประมาณค่าโดยตัดทิ้งไปได้($\tau_2 = 0$)เพราะโดยทั่วไปแล้ว τ_2 จะมีค่าน้อยกว่าτ_1 มากๆ ต่อไปเป็นขั้นตอน 18

ขั้นตอน 18

เมื่อรู้ค่า ω_n และ ζ แล้ว เราสามารถหาค่า τ_2 ได้โดยใช้ตาราง 2.1

ขั้นตอน 19

เมื่อรู้ τ_1 และ τ_2 ก็สามารถหาองค์ประกอบต่างๆของลูปฟิลเตอร์ได้

ขั้นตอน 20

เมื่อรู้ค่า$\Delta\omega_{PO}$และζ ก็สามารถหาω_n ได้จากสมการสำหรับ $\Delta\omega_{PO}$ในตาราง 2.1 และทำขั้นตอน 22 ต่อไป

ขั้นตอน 21

เมื่อรู้ค่า T_L ค่า ω_n ก็สามารถหาได้จากสูตรสำหรับ T_L ในตาราง 2.1 ขั้นตอนต่อไปเป็นขั้นตอน22

ขั้นตอน 22

เมื่อรู้ค่า ω_n และ ζ แล้ว ค่า τ_1สามารถหาได้จากสูตรสำหรับ ω_nในตาราง 2.1 ถ้าใช้ลูปฟิลเตอร์แบบ passive ก็สามารถรู้ τ_2 ได้เลย การออกแบบจะดำเนินต่อไปในขั้นตอน 18

3.2 การออกแบบวงจรสังเคราะห์ความถี่

3.2.1 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 1MHz - 2MHz

ในตอนนี้เราจะใช้กระบวนการต่างๆในหัวข้อ3.1ในการออกแบบตัวสังเคราะห์ความถี่ซึ่งใช้ดิจิตอลเฟสล็อคลูป ตัวอย่างเช่นวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง1ถึง2MHz โดยมีค่า channel spacing เป็น10kHz ในการออกแบบนี้เราจะใช้อุปกรณ์ 74 HC/HCT4076 CMOS วงจรนี้จะมีเฟสดีเทคเตอร์ 3 แบบคือ EXOR เกท, JK-ฟลิปฟลอปและเฟสฟรีเควนซีดีเทคเตอร์ เนื่องจากการออกแบบนี้ต้องพิจารณาถึงเรื่องของสัญญาณรบกวนด้วย เราจะใช้เฟสฟรีเควนซีดีเทคเตอร์เป็นเฟสดีเทคเตอร์ เนื่องจากวงจรนี้จะให้ค่า pull - in range เป็น $\propto$ สำหรับลูปฟิลเตอร์ทุกชนิด ซึ่งเราจะใช้ชนิดที่ง่ายที่สุดคือpassive lag filter ค่าแรงดันไฟเลี้ยง U_B เราจะใช้ 5 V เราจะดำเนินตามขั้นตอนดังนี้

ขั้นตอน 1

กำหนดช่วงความถี่อินพุทและความถี่เอาท์พุท ความถี่อินพุทจะคงที่ f_1 =10kHz ความถี่เอาท์พุทอยู่ในช่วง1ถึง 2 MHz ดังนั้นf_{2min}= 1 MHz และf_{2max} = 2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน 2

อัตราส่วนตัวหารจะต้องเปลี่ยนแปลงได้อยู่ในช่วงN=100ถึง200 วงจรดิจิตอลเฟสล็อคลูปจะต้องทำงานได้ดีที่สุด ($\zeta = 0.7$) สำหรับอัตราส่วนตัวหาร $N_{mean} = \sqrt{N_{\min} . N_{\max}}$ =141ดังแสดงในขั้นตอน 3

ขั้นตอน 3

กำหนดค่า ζโดยเลือก ζ= 0.7 ที่ $N = N_{mean}$ จะได้ค่า ζ_{min} และ ζ_{max} ดังนี้

ζ_{min} = 0.59 สำหรับ N = 200

ζ_{max} = 0.83 สำหรับ N = 100

ซึ่งช่วงนี้สามารถที่จะยอมรับได้

ขั้นตอน 4

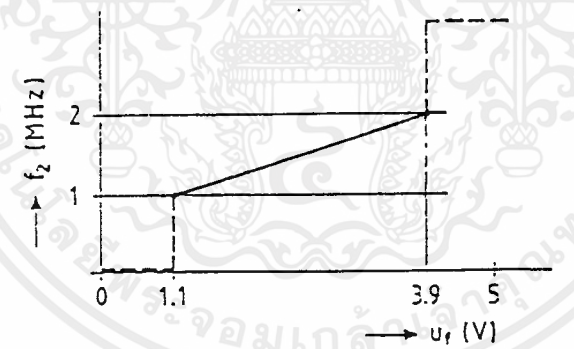
ในที่นี้ไม่พิจารณาเรื่องสัญญาณรบกวน ดังนั้นเราจะข้ามไปขั้นตอน 12

ขั้นตอน 12

เลือกชนิดของวงจรเฟสดีเทคเตอร์ ซึ่งเลือกเฟสฟรีเควนซีดีเทคเตอร์ดังเหตุผลที่ได้กล่าวมาแล้ว ค่าอัตราขยายของเฟสดีเทคเตอร์จะเป็น $K_d = 5/4\pi = 0.4$ V/rad

ขั้นตอน 13

คุณสมบัติของVCO เมื่อดูจากดาต้าชีทของ74 HC 4046A IC วงจรVCO จะทำงานเป็นเชิงเส้น เมื่อแรงดันอยู่ในช่วง u_f =1.1 ถึง3.9 Vโดยประมาณ ดังนั้นเราจะพล็อตกราฟแสดงคุณลักษณะได้ดังรูป3.2



รูป 3.2 แสดงคุณลักษณะของ VCO สำหรับCMOS ICชนิด 74HC/HCT4046

ถ้าแรงดันอินพุทของวงจร VCO เกิน 3.9 V วงจร VCO จะกำเนิดความถี่ที่สูงมาก (ประมาณ 30 MHz) ถ้าแรงดันตกลงต่ำกว่า 1.1 V ความถี่ของ VCO ก็จะมีค่าต่ำมาก เช่น เป็น Hz จากคุณลักษณะนี้ ค่าอัตราขยายของ VCO จะเป็น K_O= 2.24 x 10^6 rad/s/V ตามสูตรในดาต้าชีท ค่าความต้านทาน R_1 R_2 และ C_1 (รูป 3.4) สามารถหาได้จากกราฟ ค่าความต้านทานจะต้องเลือกในช่วง 3 - 300 kΩ จุดเชื่อมต่อขนานของ R_1 และ R_2 จะต้องมีความต้านทานสมมูลมากกว่า 2.7 kΩ เราจะได้

R_1 = 47 kΩ

R_2 = 130 kΩ

C_1 = 100 pF

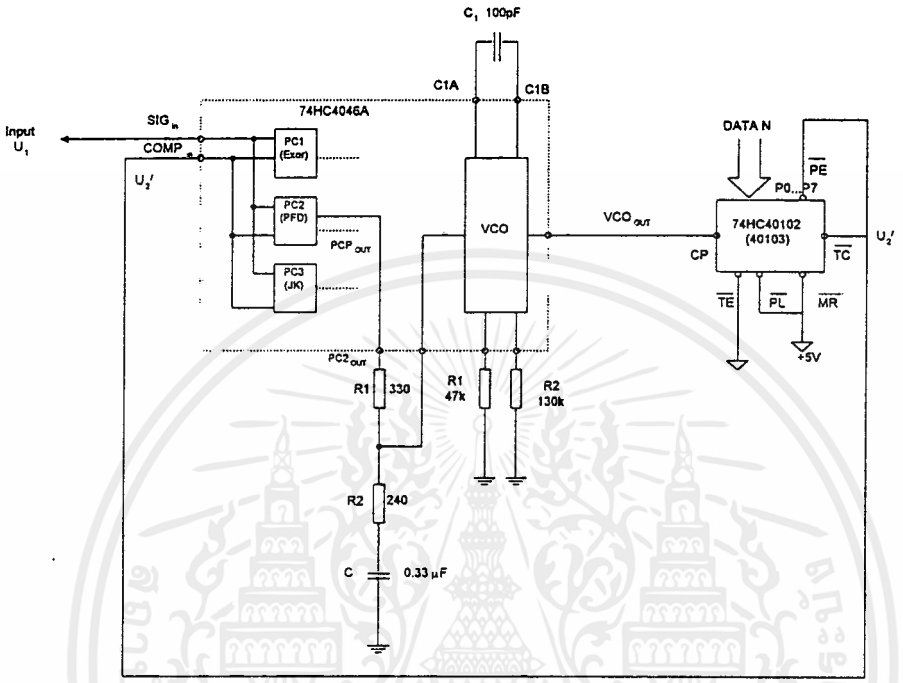
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน 14

เลือกวงจรลูปฟิลเตอร์ดังแสดงข้างต้น โดยเลือก passive lag filter

ขั้นตอน 15

เราจะสมมุติค่าบางอย่างสำหรับการกระทำทางไดนามิคของดิจิตอลเฟสล็อคลูปโดยเราสมมุติว่าวงจรเข้าสู่สภาวะล็อคภายในระยะเวลา 1 ms เราจะให้ T_L = 1 ms ดำเนินการต่อไปยังขั้นตอน 21



รูป 3.3 แสดงวงจรดิจิตอลเฟสล็อคลูปที่ใช้ในการทดลอง

ขั้นตอน 21

เมื่อกำหนดค่า T_L แล้ว ค่า ω_nสามารถคำนวณได้จาก

$$\omega_n = 2\pi / T_L \approx 6300 \ s^{-1}$$

ขั้นตอน 22

คำนวณค่าคงตัวเวลาτ_1โดยเราให้ $\tau_2 = 0$ และใช้สูตร ω_n ในตาราง 2.1 เพื่อคำนวณ τ_1จะได้

$$\tau_1 = 160 \ \mu s$$

ขั้นตอน 18

เมื่อทราบค่าτ_1 และω_nเราจะใช้สูตรสำหรับζ ในตาราง 2.1 คำนวณ τ_2 จะได้

$$\tau_2 = 67 \ \mu s$$

(ตอนนี้เราจะกลับไปที่ขั้นตอน 22 อีกครั้ง เพื่อคำนวณค่าτ_1ให้มีค่าถูกต้องยิ่งขึ้น โดยใช้ค่า ω_n = 6300 s^{-1} เหมือนเดิม จะได้ τ_1เป็น 93 μs)

ขั้นตอน 19

คำนวณองค์ประกอบต่างๆของวงจรลูปฟิลเตอร์ เมื่อรู้ค่า τ_1 และτ_2 แล้ว ค่าC, R_1 , R_2ของวงจรลูปฟิลเตอร์ก็สามารถคำนวณได้ สำหรับการกดสัญญาณไซด์แบนด์ ตัวเก็บประจุCจะเลือกให้มีค่ามาก และ R_1 , R_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้มีค่าต่ำเท่าที่จะเป็นไปได้ เลือก C = 0.33 μF จะได้

$$R_1 = 330 \quad \Omega$$

$$R_2 = 240 \quad \Omega$$

ผลบวกของ R_1 และ R_2 จะต้องต่ำกว่าค่า load resistanceต่ำสุดที่อนุญาตให้ใช้ได้(470 Ω)

การออกแบบแสดงดังรูปที่ 3.3 IC เบอร์ 74HC4046A นั้นประกอบด้วยเฟสดีเทคเตอร์ 3 ชนิด คือ PC1 (EXOR) , PC2(เฟสฟรีเควนซีดีเทคเตอร์)และ PC3 (JK - ฟลิปฟลอป)PC2 จะมี 2 เอาท์พุท คือ $PC2_{OUT}$และ PCP_{OUT} โดย $PC2_{OUT}$ จะเป็นเอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์และ $PC2_{OUT}$ นี้จะเป็น in - lock detection signal (จะจับสัญญาณที่เข้าสู่สภาวะล็อคแล้ว) คือ เมื่อสัญญาณทางลอจิกมีสภาวะ high และเฟสล็อคลูป เริ่มเข้าสู่สภาวะล็อค $PC2_{OUT}$ จะใช้ในกรณีนี้เท่านั้น สำหรับวงจร down-scaler 8 bitของ74HC40103หรือ74 HC40102 ตัว 74HC40102 ประกอบด้วยวงจร BDC counterต่อกันอย่างcascade 2 ตัว

3.2.2 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 5MHz - 10MHz เมื่อใช้Prescaler(V=10)

ในวงจรนี้เป็นวงจรสังเคราะห์ความถี่โดยใช้ DPLL สังเคราะห์ความถี่ได้ในช่วง 5MHz-10MHz โดยมี channel spacing เป็น 100kHz ใช้ Prescaler(V) เท่ากับ10 และวงจรหารNปรับค่าได้ ($50 \le N \le 100$) ขั้นตอนต่างๆเป็นดังนี้

<u>ขั้นตอน1</u>

กำหนดความถี่อ้างอิง f_1=10kHz , f_{2min}= 5MHz , f_{2max}= 10MHz , channel spacing = 100kHz

<u>ขั้นตอน2</u>

กำหนด scaler ratio N_T ($N_T = V.N$)

$N_{Tmin} = 500$, $N_{Tmax} = 1000$

$$N_{Tmean} = \sqrt{N_{Tmin} \cdot N_{Tmax}} = \sqrt{500x1000} = 707$$

<u>ขั้นตอน3</u>

กำหนดค่า ζ เลือก $\zeta = 0.7$ ที่ $N_T = N_{tmean}$

$$\sqrt{\zeta_{max} \cdot \zeta_{min}} = \zeta_{mean} = 0.7$$

$$\zeta_{max} = \frac{0.49}{\zeta_{min}} \quad \text{.....(1)}$$

$$\frac{\zeta_{max}}{\zeta_{min}} = \sqrt{\frac{N_{Tmax}}{N_{Tmin}}} = \sqrt{\frac{1000}{500}} = 1.414 \quad \text{.....(2)}$$

แทน(1)ใน(2)จะได้

$\zeta_{min} = 0.59$ สำหรับ $N_T = 1000$

$\zeta_{max} = 0.83$ สำหรับ $N_T = 500$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน4

ตัดสินใจว่าจะพิจารณาสัญญาณรบกวน (noise) หรือไม่ สำหรับวงจรสังเคราะห์ความถี่ดิจิตอลเราสามารถที่จะไม่พิจารณาถึงสัญญาณรบกวนได้ ข้ามไปทำขั้นตอนที่12

ขั้นตอน12

เลือกวงจรแบบ PD เป็น PFD เฟสดีเทคเตอร์เกน $K_d = U_B/4\pi = 5/4\pi = 0.4$ V/rad

ขั้นตอน13

ออกแบบวงจร VCO เมื่อกำหนดค่าต่างๆดังนี้

$f_o = 7.5$MHz , $R_1 = 47k\Omega$, $R_2 = 130k\Omega$, $C_1 = 33$pF

หาค่า K_Oดังนี้

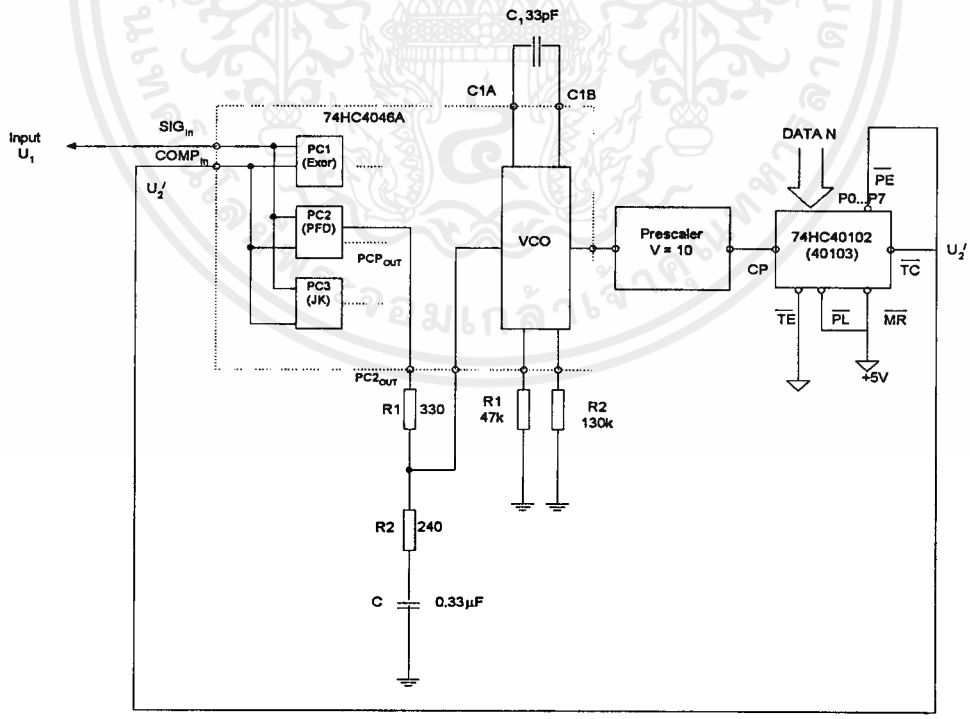
$$K_O = \frac{f_{max} - f_{min}}{vco_{in\,max} - vco_{in\,min}} = \frac{10MHz - 5MHz}{3.9 - 1.1} = 11.22 * 10^6 \text{ rad/s/v}$$

ขั้นตอน14

เลือกวงจรลูปฟิลเตอร์ดังแสดงข้างต้น โดยเลือก passive lag filter

ขั้นตอน 15

เราจะสมมุติค่าบางอย่างสำหรับการกระทำทางไดนามิคของดิจิตอลเฟสล็อคลูป โดยเราสมมุติว่า วงจรเข้าสู่สภาวะล็อคภายในระยะเวลา 1 ms เราจะให้ $T_L = 1$ ms ดำเนินการต่อไปยังขั้นตอน 21



รูปที่ 3.4 แสดงวงจรดิจิตอลเฟสล็อคลูปเมื่อใช้ Prescaler(V) = 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน 21

เมื่อกำหนดค่า T_L แล้ว ค่า ω_nสามารถคำนวณได้จาก

$$\omega_n = 2\pi / T_L \approx 6300 \ s^{-1}$$

ขั้นตอน 22

คำนวณค่าคงตัวเวลา τ_1 โดยเราให้ $\tau_2 = 0$ และใช้สูตร ω_n ในตาราง 2.1เพื่อคำนวณ τ_1จะได้

$$\tau_1 = 160 \ \mu s$$

ขั้นตอน 18

เมื่อทราบค่าτ_1 และω_nเราจะใช้สูตรสำหรับ ζในตาราง 2.1 คำนวณ τ_2 จะได้

$$\tau_2 = 67 \ \mu s$$

(ตอนนี้เราจะกลับไปที่ขั้นตอน 22 อีกครั้ง เพื่อคำนวณค่า τ_1 ให้มีค่าถูกต้องยิ่งขึ้น โดยใช้ค่า $\omega_n = 6300 \ s^{-1}$ เหมือนเดิม จะได้τ_1 เป็น 93 μs)

ขั้นตอน 19

คำนวณองค์ประกอบต่างๆของวงจรลูปฟิลเตอร์ เมื่อรู้ค่าτ_1 และτ_2 แล้ว ค่า C , R_1 , R_2 ของวงจรลูปฟิลเตอร์ก็สามารถคำนวณได้ สำหรับการกดสัญญาณไซด์แบนด์ ตัวเก็บประจุ C จะเลือกให้มีค่ามาก และ R_1 , R_2 ให้มีค่าต่ำเท่าที่จะเป็นไปได้ เลือก C = 0.33 μF จะได้

$$R_1 = 330 \ \Omega$$

$$R_2 = 240 \ \Omega$$

3.2.3 การออกแบบวงจรสังเคราะห์ความถี่ที่กำเนิดความถี่ได้ในช่วง 5MHz - 10MHz เมื่อใช้วงจร dual-modulus prescaler (V/V+1) และ V = 10

วงจรนี้เป็นวงจรสังเคราะห์ความถี่โดยใช้ DPLL สังเคราะห์ความถี่ได้ในช่วง 5MHz - 10MHzโดยมี channel spacing เป็น10kHz โดยใช้วงจร dual-modulus prescaler(V/V+1) ซึ่งจะหารด้วยค่า V=10

ขั้นตอน1

กำหนดความถี่อ้างอิง f_1=10kHz , f_{2min}=5MHz , f_{2max}=10MHz , channel spacing = 10kHz

ขั้นตอน2

กำหนด scaler ratio N_T ($N_T = V.N$)

$N_{Tmin} = 500$, $N_{Tmax} = 1000$

$$N_{Tmean} = \sqrt{N_{Tmin} \cdot N_{Tmax}} = \sqrt{500 \text{x} 1000} = 707$$

เมื่อ $N_T = N_1 V + N_2$

ในการทดลองนี้ใช้วงจร dual-modulus prescaler V=10 จะได้

$N_T = 10N_1 + N_2$, $(N_1 \geq N_2)$

เมื่อ N_2 มีค่าอยู่ระหว่าง 0 ถึง 9 ในที่นี้ N_1จะมีค่าเป็นเท่าไรก็ได้ แต่ต้องมากกว่าหรือเท่ากับ 9

ขั้นตอน3

กำหนดค่า ζ เลือก $\zeta = 0.7$ ที่ $N_T = N_{Tmean}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sqrt{\zeta_{max} \cdot \zeta_{min}} = \zeta_{mean} = 0.7$$

$$\zeta_{max} = \frac{0.49}{\zeta_{min}} \text{.....(1)}$$

$$\frac{\zeta_{max}}{\zeta_{min}} = \sqrt{\frac{N_{Tmax}}{N_{Tmin}}} = \sqrt{\frac{1000}{500}} = 1.414 \text{.....(2)}$$

แทน(1)ใน(2)จะได้

$\zeta_{min} = 0.59$ สำหรับ $N_T = 1000$

$\zeta_{max} = 0.83$ สำหรับ $N_T = 500$

ขั้นตอน4

ตัดสินใจว่าจะพิจารณาสัญญาณรบกวน(noise)หรือไม่ สำหรับวงจรสังเคราะห์ความถี่ดิจิตอลเราสามารถที่จะไม่พิจารณาถึงสัญญาณรบกวนได้ ข้ามไปทำขั้นตอนที่12

ขั้นตอน12

เลือกวงจรแบบ PD เป็น PFD เฟสดีเทคเตอร์เกน $K_d = U_B/4\pi = 5/4\pi = 0.4V/rad$

ขั้นตอน13

ออกแบบวงจร VCO เมื่อกำหนดค่าต่างๆดังนี้

$f_o = 7.5MHz$, $R_1 = 47k\Omega$, $R_2 = 130k\Omega$, $C_1 = 33pF$

หาค่า K_Oดังนี้

$$K_O = \frac{f_{max} - f_{min}}{vco_{in\,max} - vco_{in\,min}} = \frac{10MHz - 5MHz}{3.9 - 1.1} = 11.22 * 10^6 \, rad/s/v$$

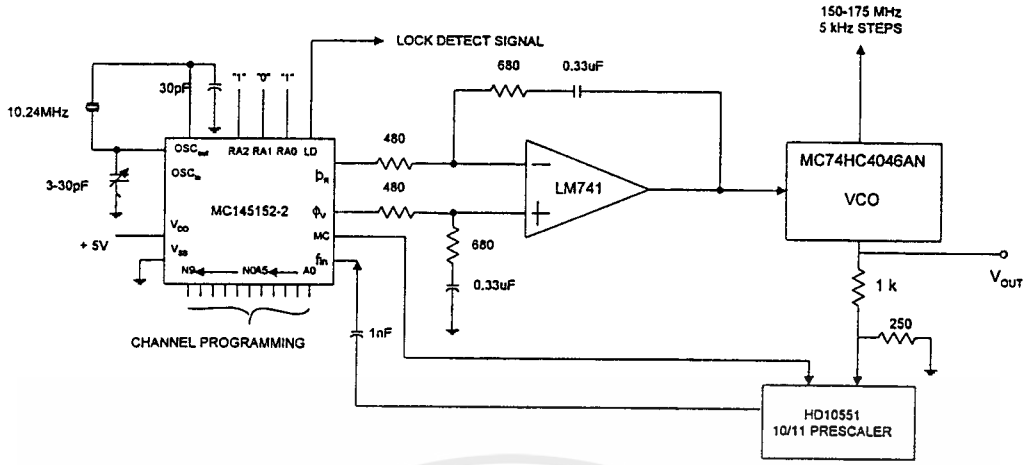
ขั้นตอน14

เลือกวงจรลูปฟิลเตอร์ดังแสดงข้างต้น โดยเลือก passive lag filter

ขั้นตอน 15

เราจะสมมุติค่าบางอย่างสำหรับการกระทำทางไดนามิคของดิจิตอลเฟสล็อคลูป โดยเราสมมุติวงจรเข้าสู่สภาวะล็อคภายในระยะเวลา 1 ms เราจะให้ $T_L = 1$ ms ดำเนินการต่อไปยังขั้นตอน 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรดิจิตอลเฟสล็อคลูปเมื่อใช้วงจร dual-modulus prescaler

ขั้นตอน 21

เมื่อกำหนดค่าT_Lแล้ว ค่า ω_nสามารถคำนวณได้จาก

$$\omega_n = 2\pi / T_L \approx 6300 \ s^{-1}$$

ขั้นตอน 22

คำนวณค่าคงตัวเวลา τ_1โดยเราให้ $\tau_2 = 0$และใช้สูตร ω_n ในตาราง 2.1 เพื่อคำนวณ τ_1จะได้

$$\tau_1 = 160 \ \mu s$$

ขั้นตอน 18

เมื่อทราบค่าτ_1และω_nเราจะใช้สูตรสำหรับζในตาราง 2.1 คำนวณτ_2จะได้

$$\tau_2 = 67 \ \mu s$$

(ตอนนี้เราจะกลับไปที่ขั้นตอน 22 อีกครั้ง เพื่อคำนวณค่าτ_1ให้มีค่าถูกต้องยิ่งขึ้น โดยใช้ค่า$\omega_n = 6300$ s^{-1} เหมือนเดิม จะได้ τ_1 เป็น 93 μs)

ขั้นตอน 19

คำนวณองค์ประกอบต่างๆของวงจรลูปฟิลเตอร์ เมื่อรู้ค่าτ_1 และτ_2แล้ว ค่าC ,R_1 ,R_2ของวงจรลูปฟิลเตอร์ก็สามารถคำนวณได้ สำหรับการกดสัญญาณไซด์แบนด์ ตัวเก็บประจุ C จะเลือกให้มีค่ามาก และ R_1 ,R_2 ให้มีค่าต่ำเท่าที่จะเป็นไปได้ เลือก C = 0.33 μF จะได้

$$R_1 = 330 \ \Omega$$

$$R_2 = 240 \ \Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

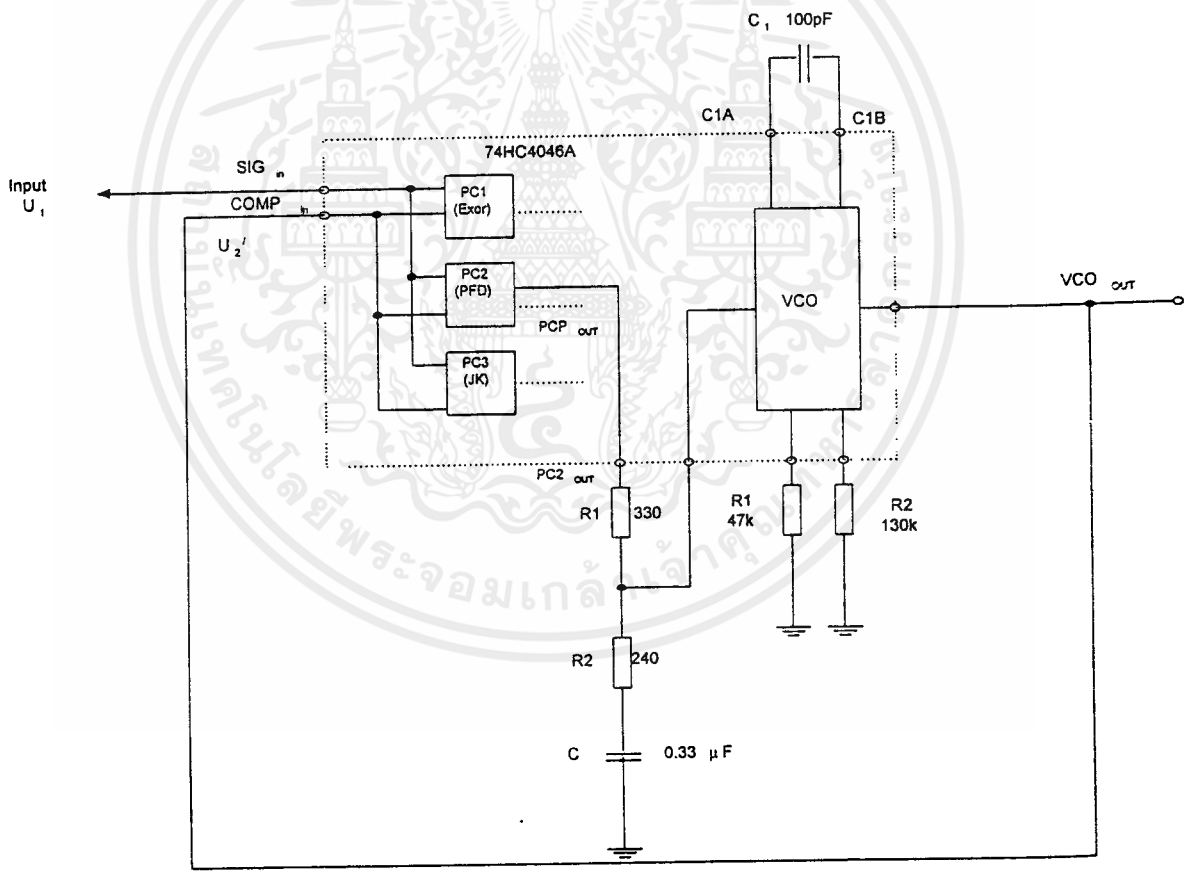
การทดลองและผลการทดลอง

วัตถุประสงค์ เพื่อทำการศึกษาและเปรียบเทียบผลการทดลอง โดยใช้โปรแกรมสำเร็จรูปเลียนแบบการทำงานและผลทางปฏิบัติจากวงจรทดลองจริง

การทดลอง

เมื่อทำการออกแบบวงจรสังเคราะห์ความถี่ตามขั้นตอนต่างๆในบทที่ 3 แล้ว จะทำการต่อวงจรทดลองดังนี้

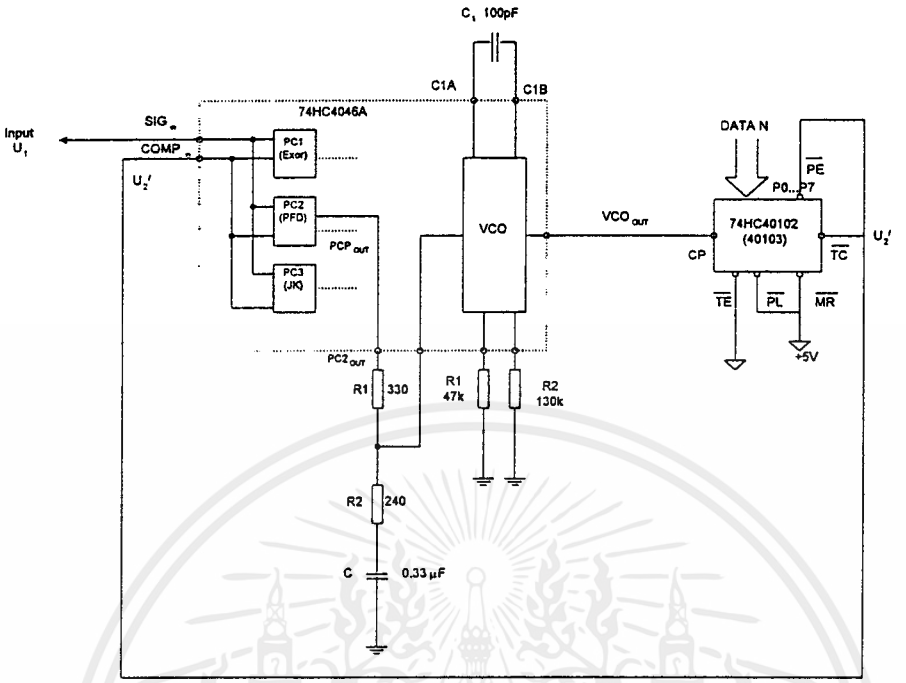
1.วงจรดิจิตอลเฟสล็อคลูป



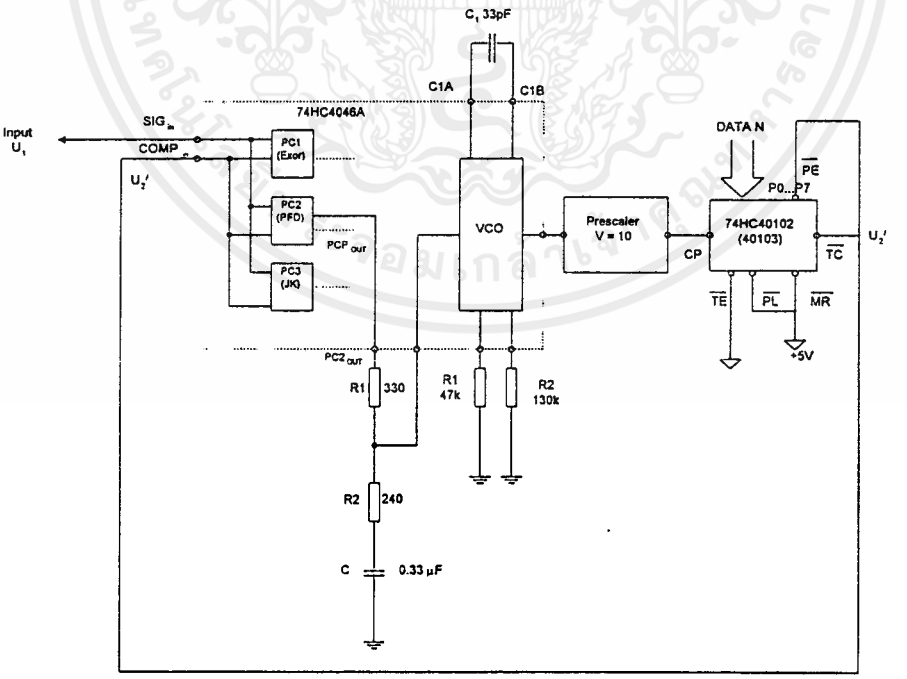
รูปที่4.1 แสดงวงจรทดลองในการทดสอบคุณสมบัติของวงจรDPLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.วงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป

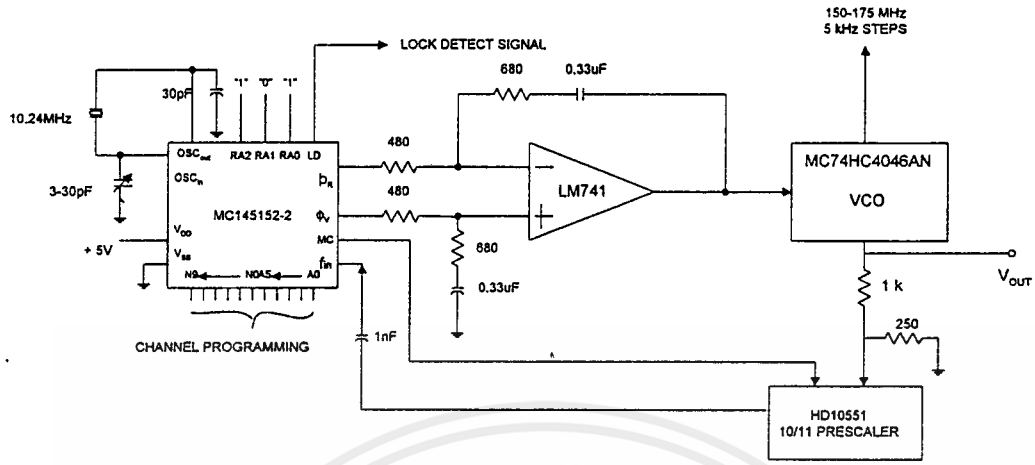


รูปที่ 4.2 แสดงวงจรสังเคราะห์ความถี่โดยใช้ DPLLที่ทำการออกแบบ



รูปที่ 4.3 แสดงวงจรสังเคราะห์ความถี่เมื่อเพิ่มวงจร Prescaler, V = 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



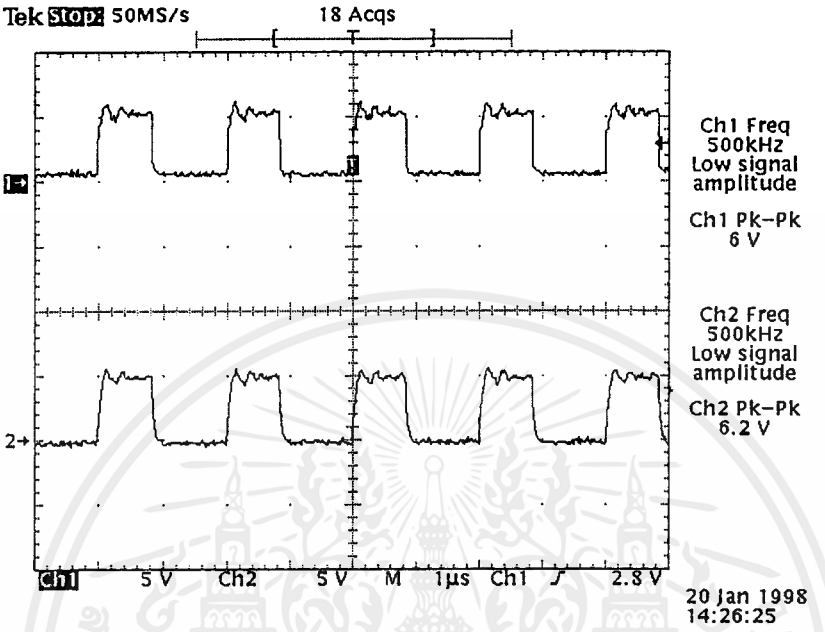
รูปที่ 4.4 แสดงวงจรสังเคราะห์ความถี่เมื่อใช้วงจร dual-modulus prescaler, V=10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

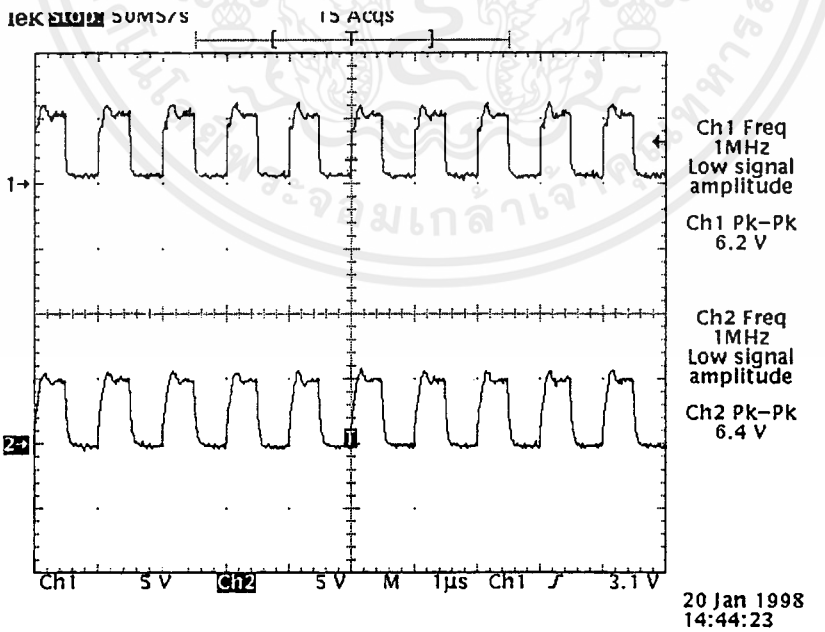
ผลการทดลอง

4.1 ผลการทดลองที่ได้จากการต่อวงจรทดลอง

4.1.1ผลที่ได้จากวงจรทดลองที่1

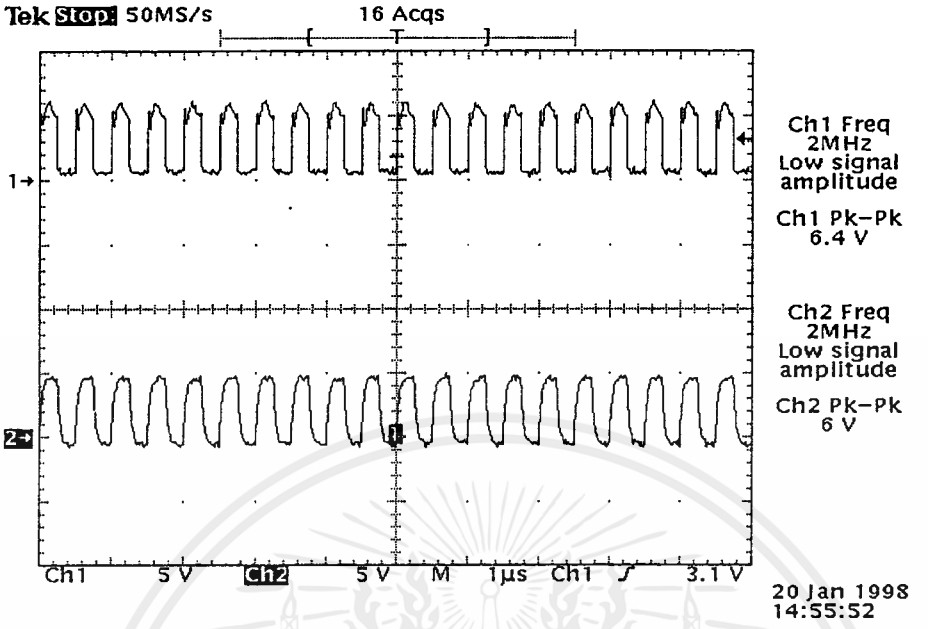


รูปที่4.5แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น500kHz



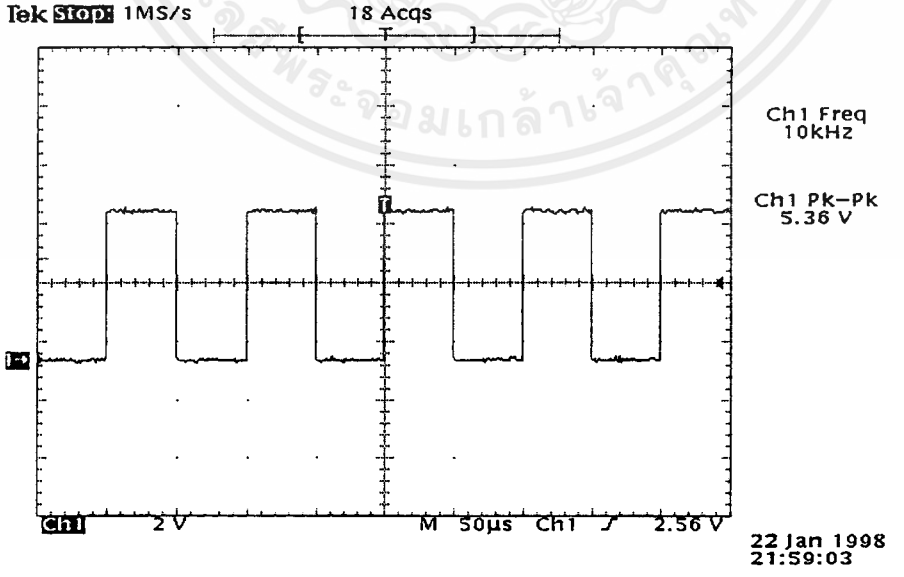
รูปที่4.6 แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น1MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



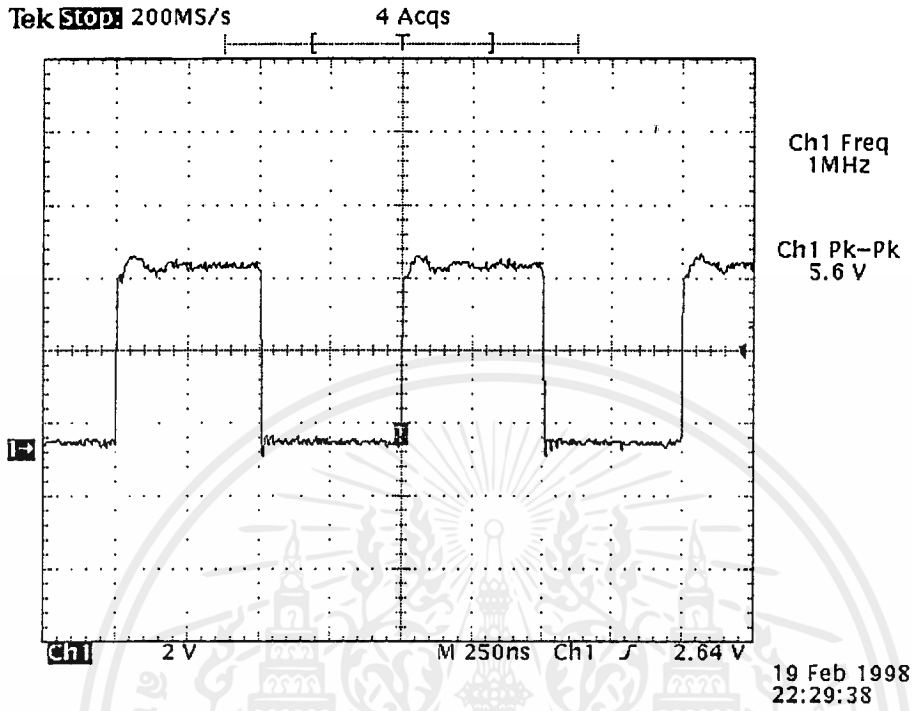
รูปที่ 4.7 แสดงสัญญาณเอาท์พุทเมื่อสัญญาณอินพุทมีความถี่เป็น 2 MHz

4.1.2 ผลที่ได้จากวงจรทดลองที่2

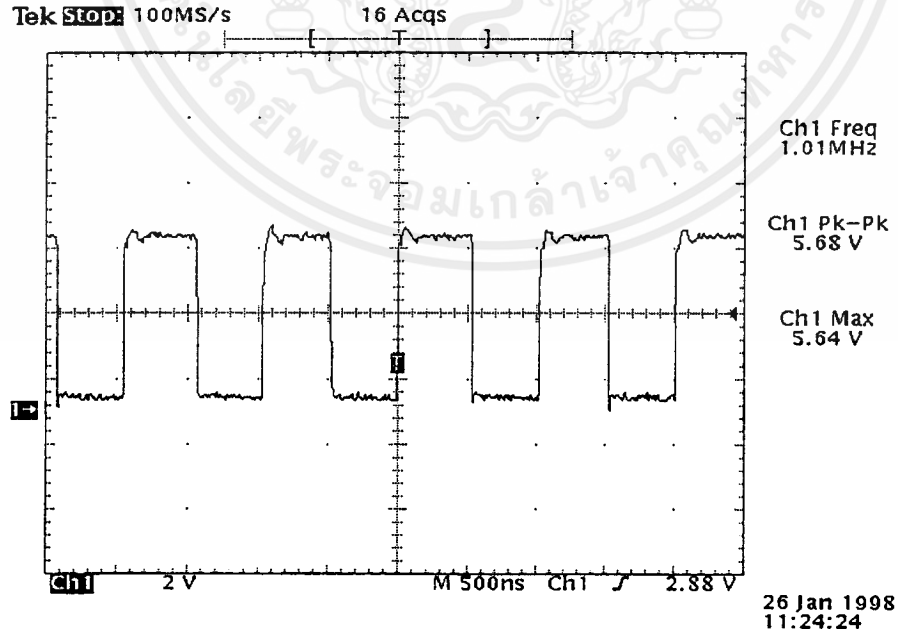


รูปที่ 4.8 แสดงสัญญาณอินพุทมีความถี่เป็น 10kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

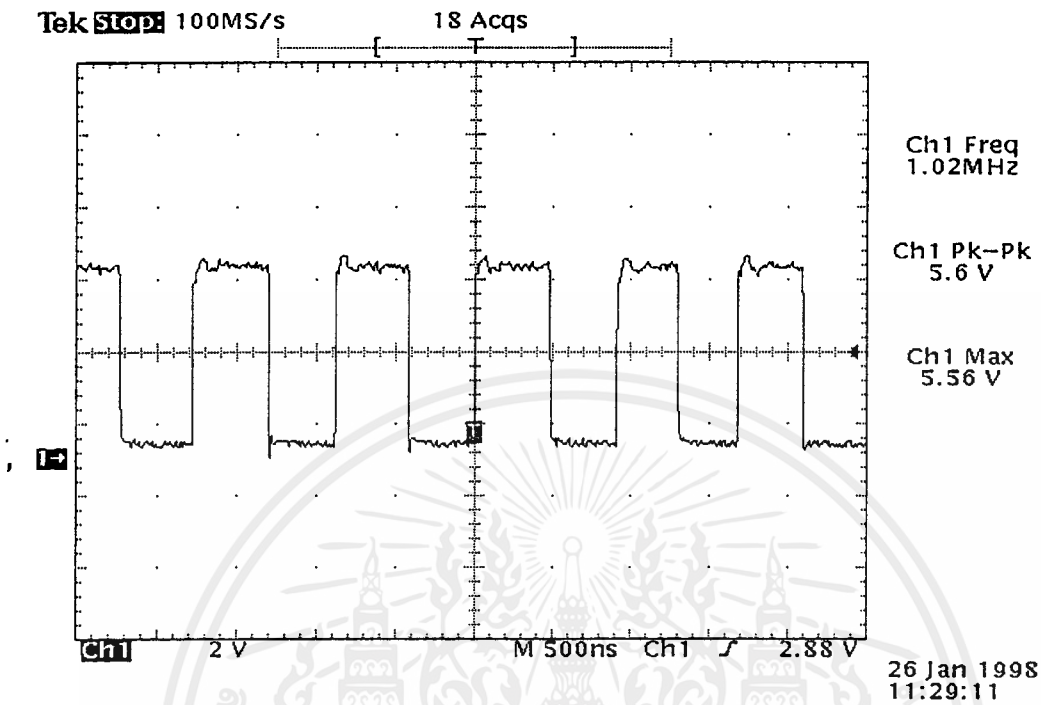


รูปที่ 4.9 แสดงสัญญาณเอาท์พุทเมื่อ N=100

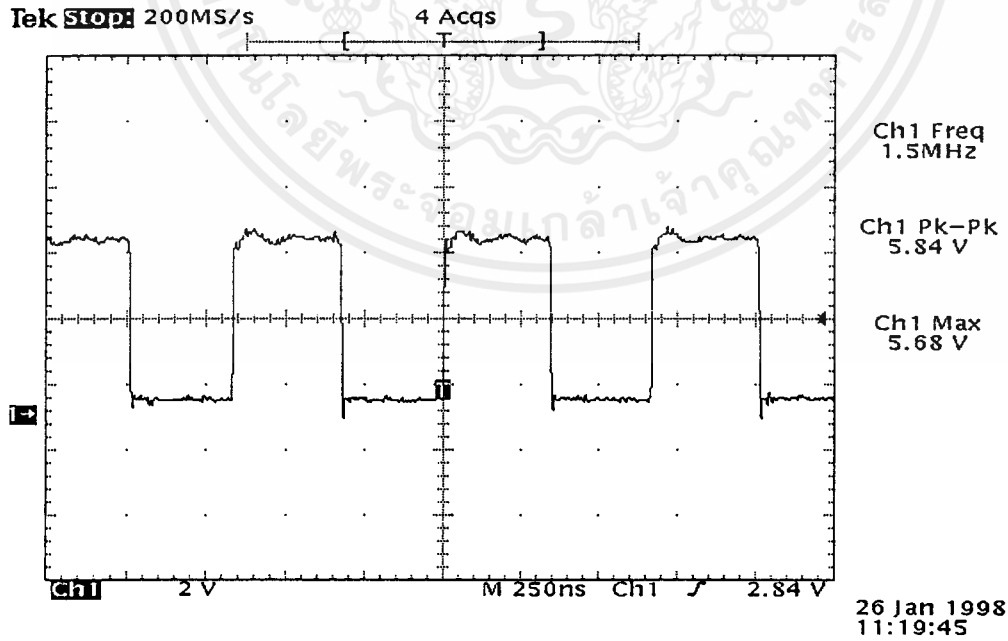


รูปที่ 4.10 แสดงสัญญาณเอาท์พุทเมื่อ N=101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

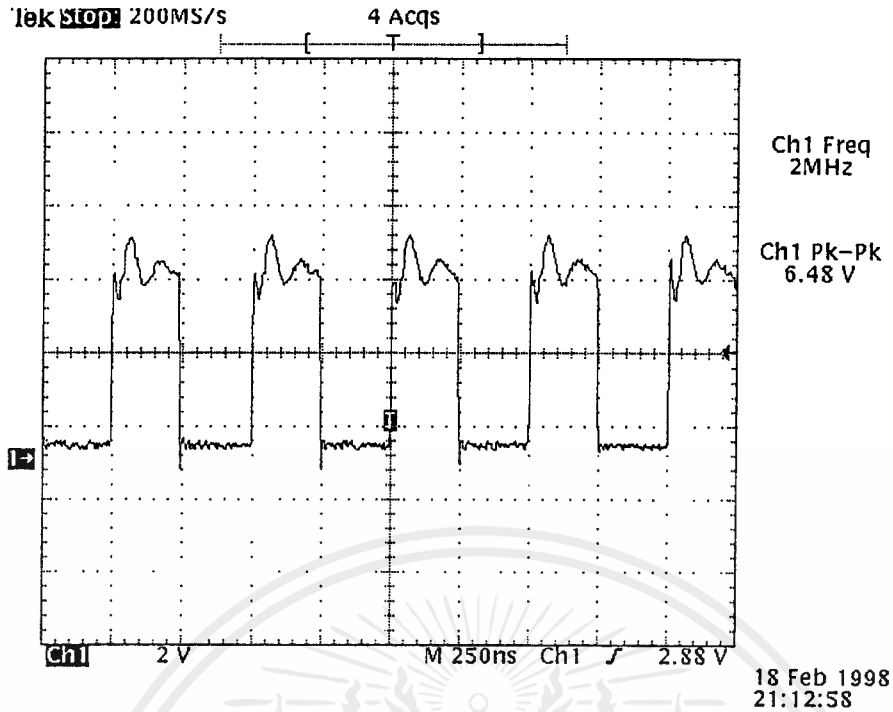


รูปที่ 4.11 แสดงสัญญาณเอาท์พุทเมื่อ N=102



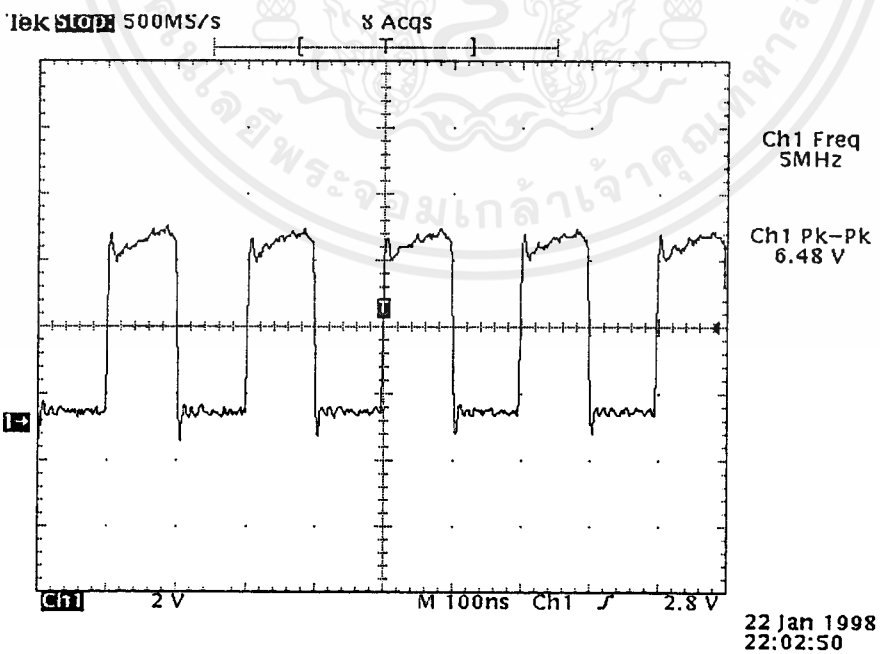
รูปที่ 4.12 แสดงสัญญาณเอาท์พุทเมื่อ N=150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



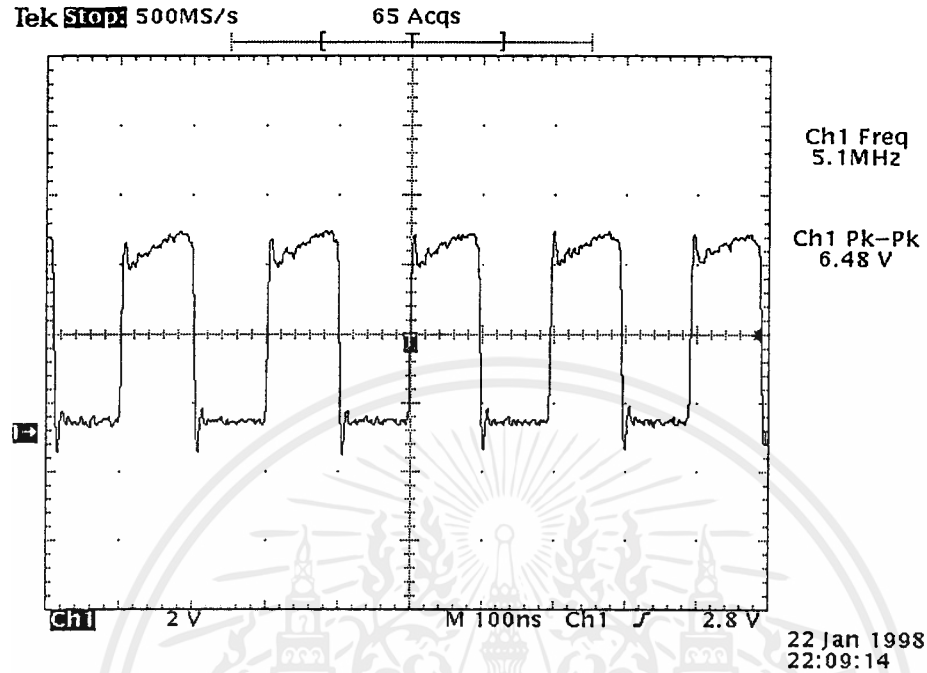
รูปที่4.13 แสดงสัญญาณเอาท์พุทเมื่อ N=200

4.1.3 ผลที่ได้จากวงจรทดลองที่ 3

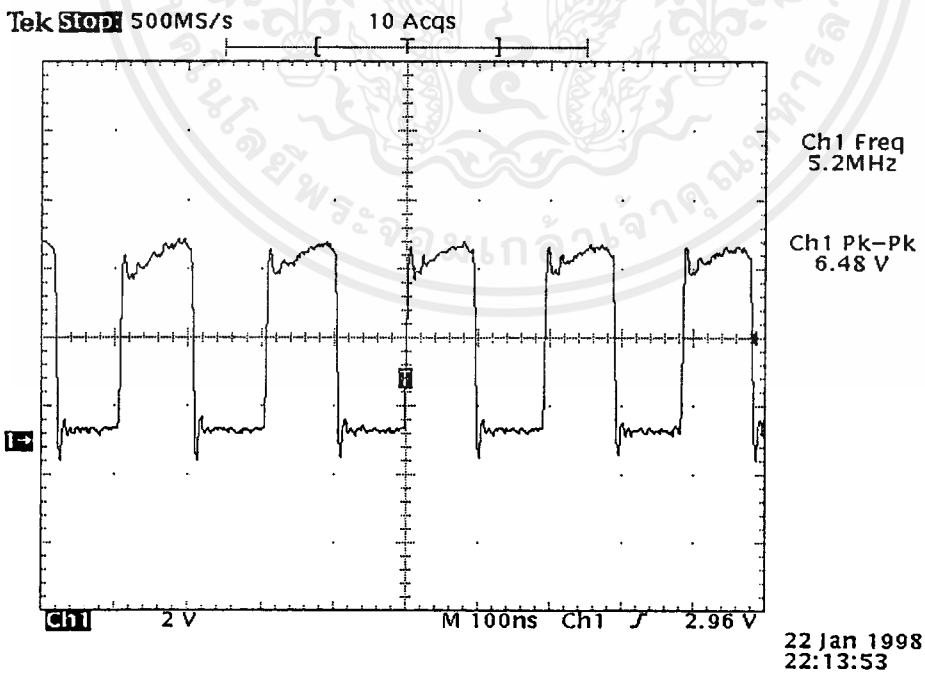


รูปที่4.14 แสดงสัญญาณเอาท์พุทเมื่อprescaler=10, N=50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

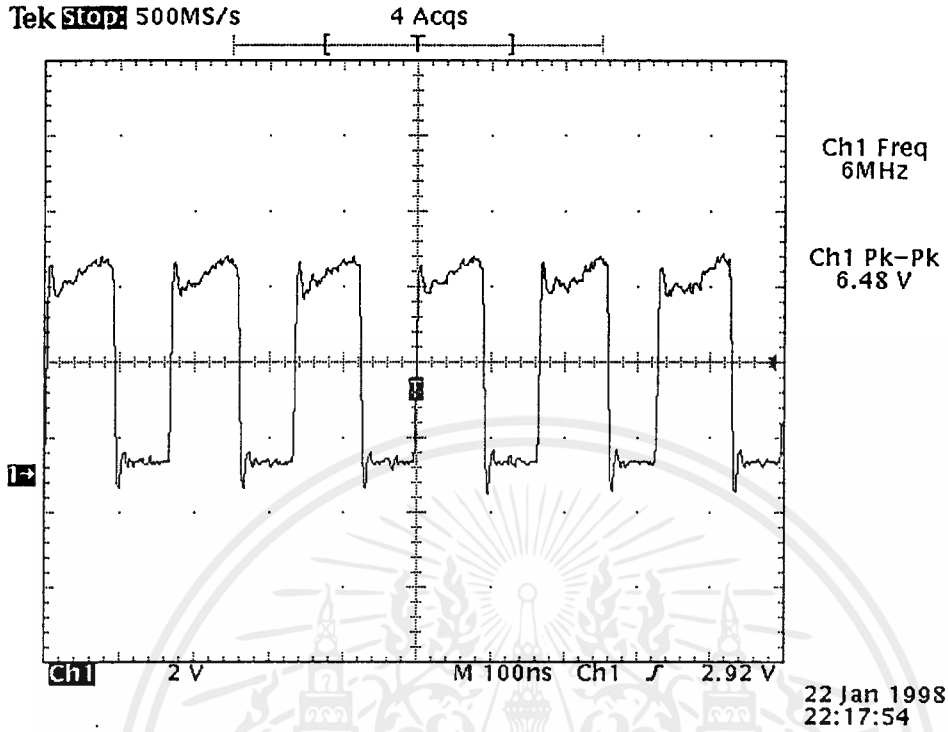


รูปที่4.15 แสดงสัญญาณเอาท์พุทเมื่อ prescaler=10, N=51

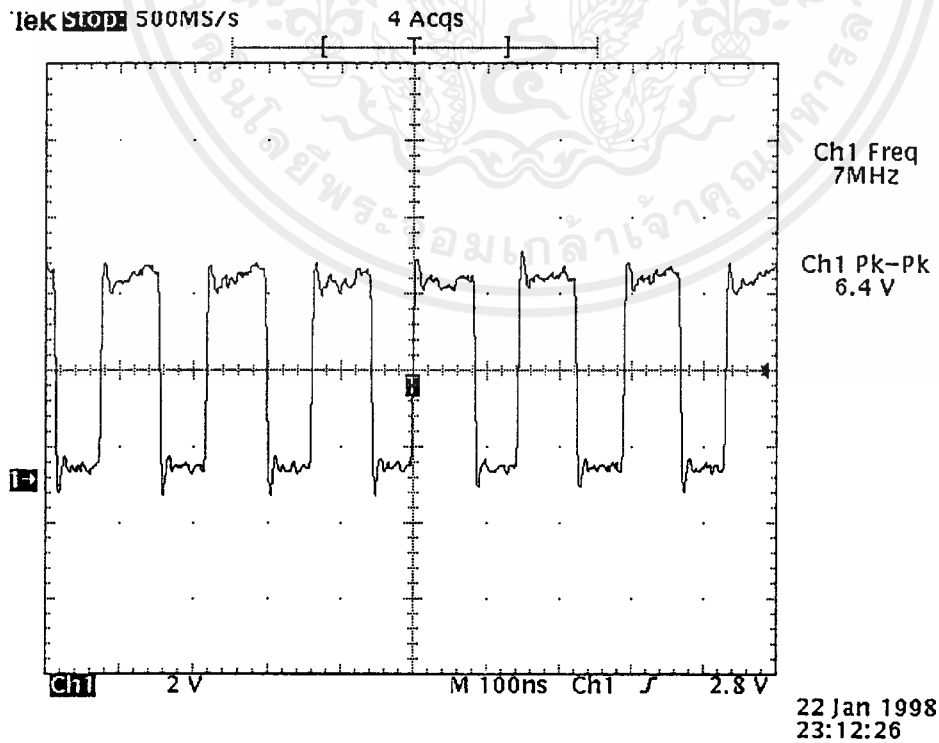


รูปที่4.16 แสดงสัญญาณเอาท์พุทเมื่อprescaler=10, N=52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

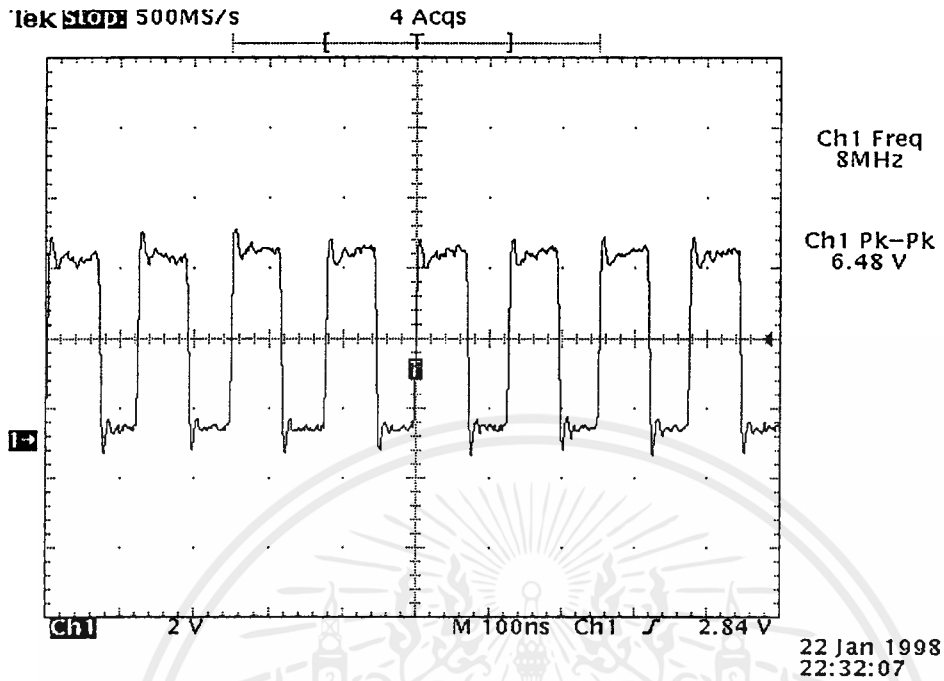


รูปที่4.17 แสดงสัญญาณเอาท์พุทเมื่อprescaler=10, N=60

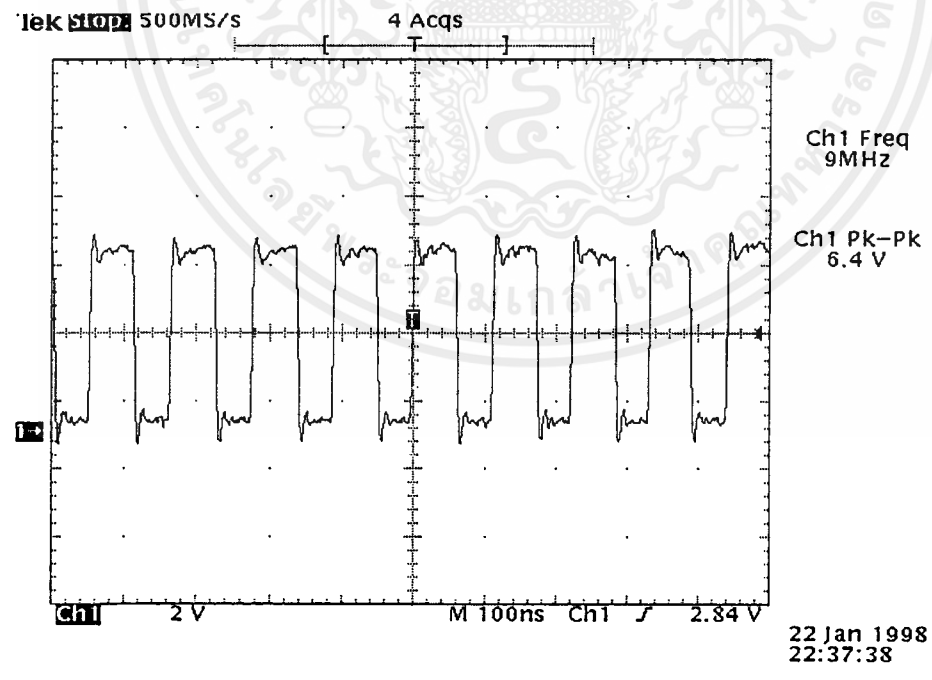


รูปที่4.18 แสดงสัญญาณเอาท์พุทเมื่อprescaler=10, N=70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

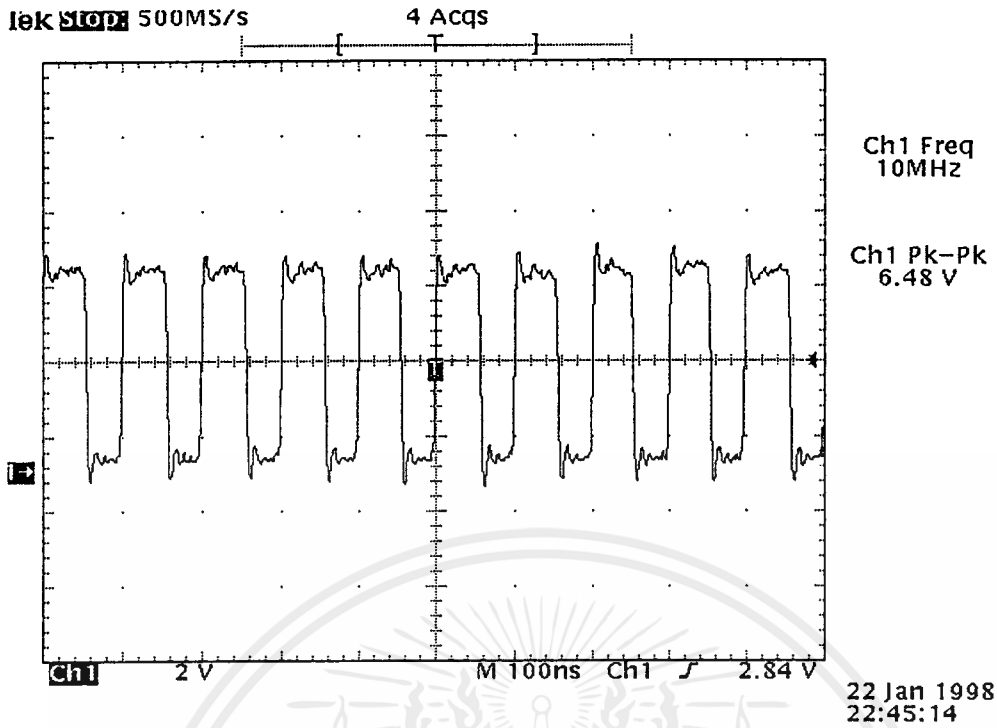


รูปที่4.19 แสดงสัญญาณเอาท์พุทเมื่อ prescaler=10, N=80



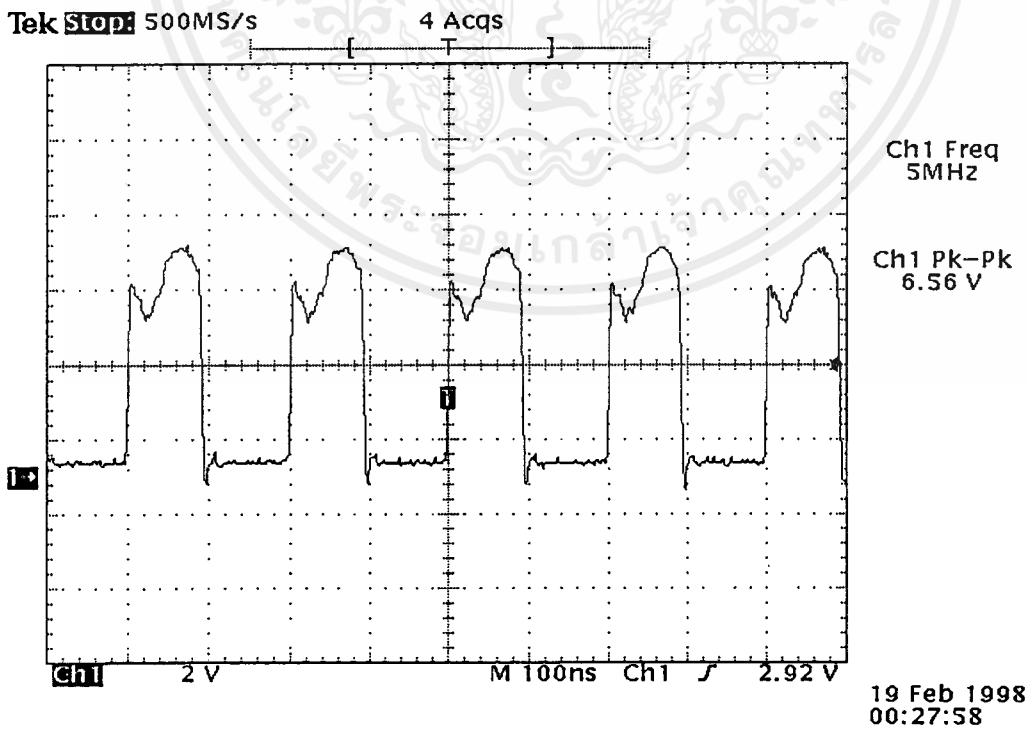
รูปที่4.20 แสดงสัญญาณเอาท์พุทเมื่อ prescaler=10, N=90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



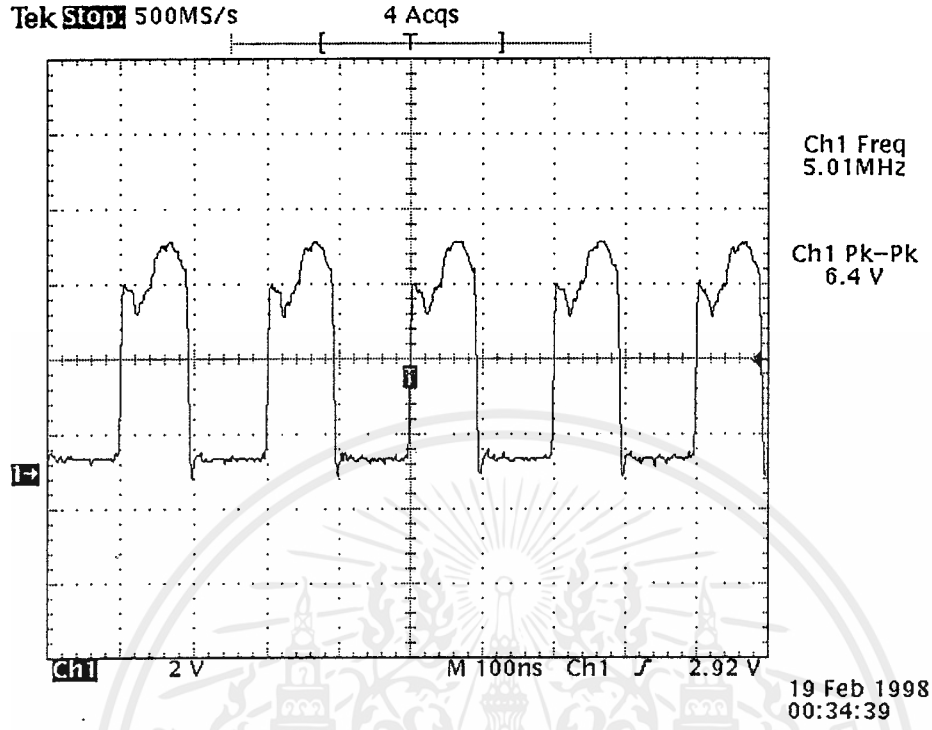
รูปที่4.21 แสดงสัญญาณเอาท์พุทเมื่อ prescaler=10, N=100

4.1.4 ผลที่ได้จากวงจรทดลองที่ 4

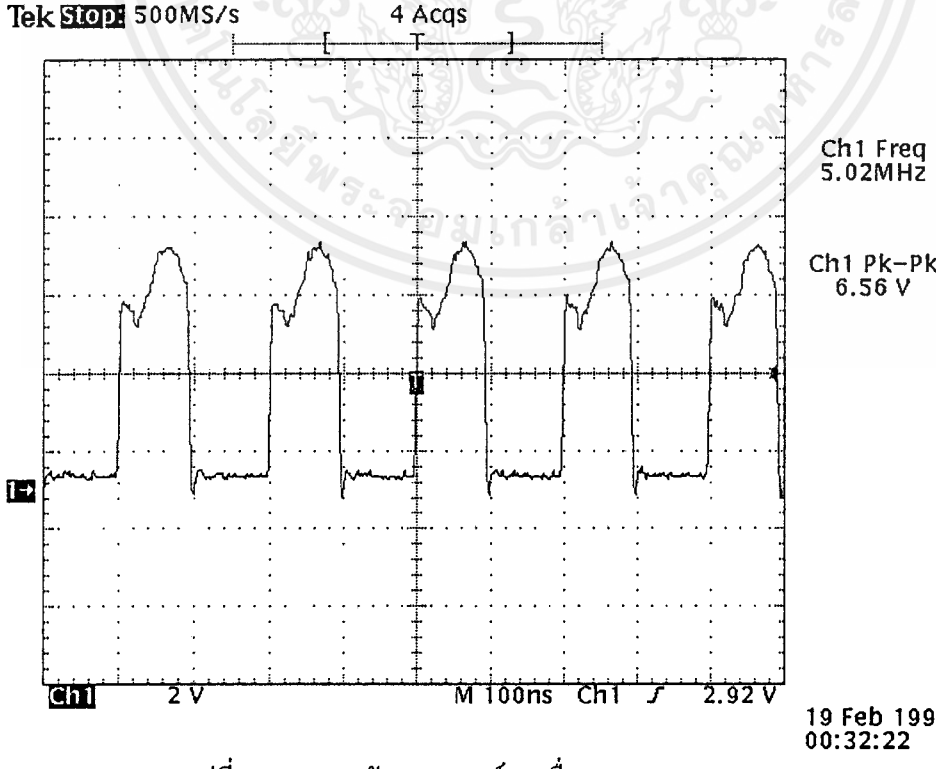


รูปที่ 4.22 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 500

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

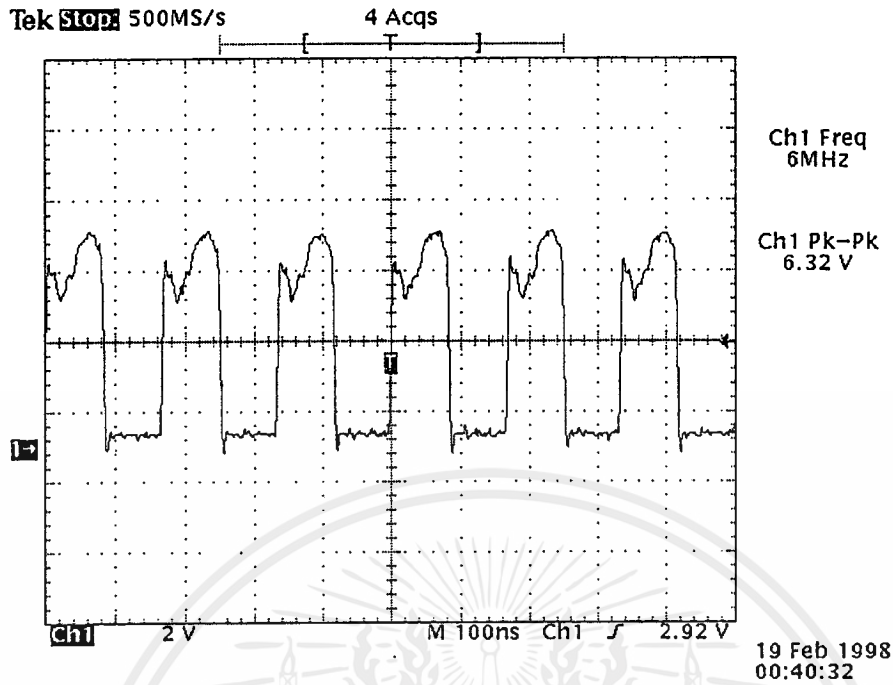


รูปที่ 4.23 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 501

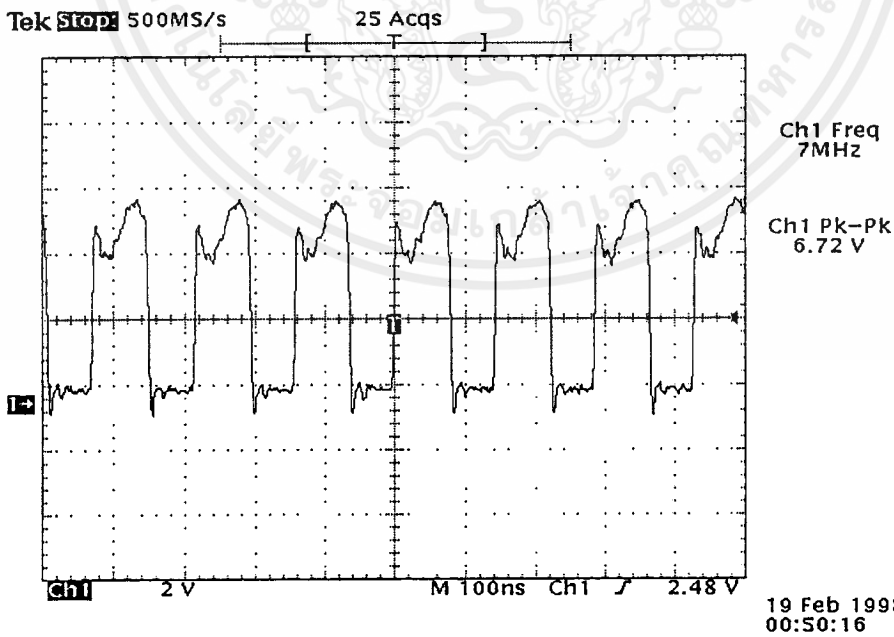


รูปที่ 4.24 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 502

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

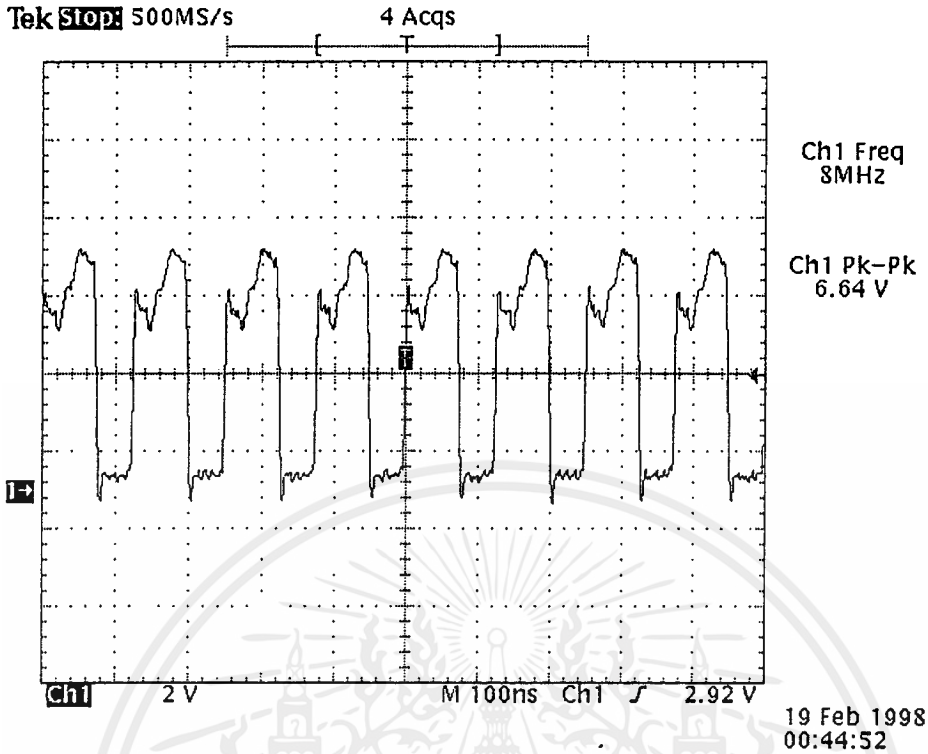


รูปที่ 4.25 แสดงสัญญาณเอาท์พุทเมื่อ $N_T = 600$

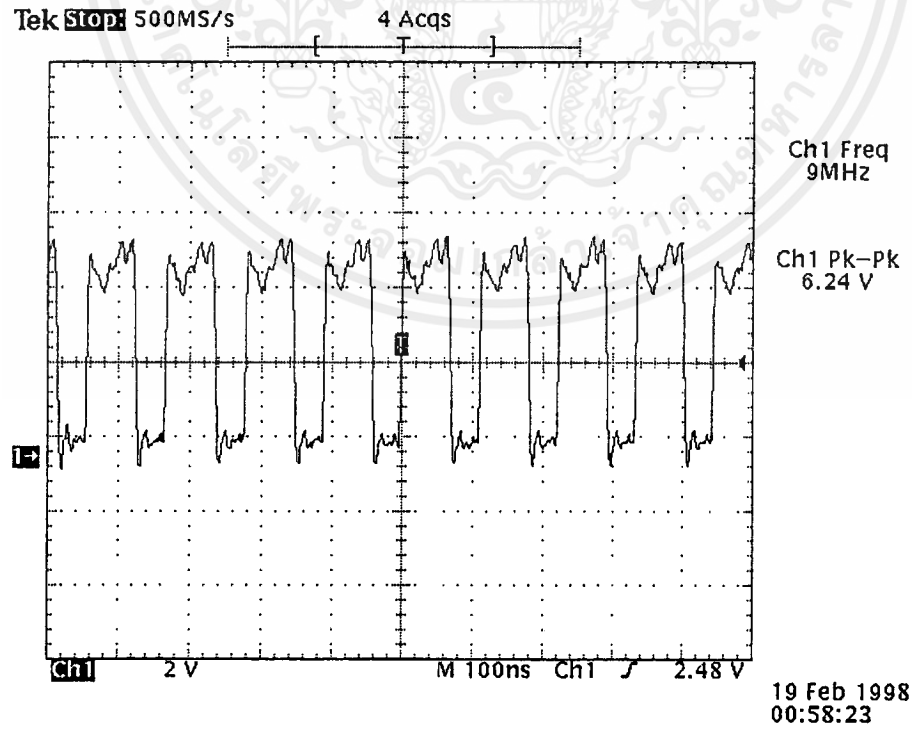


รูปที่ 4.26 แสดงสัญญาณเอาท์พุทเมื่อ $N_T = 700$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

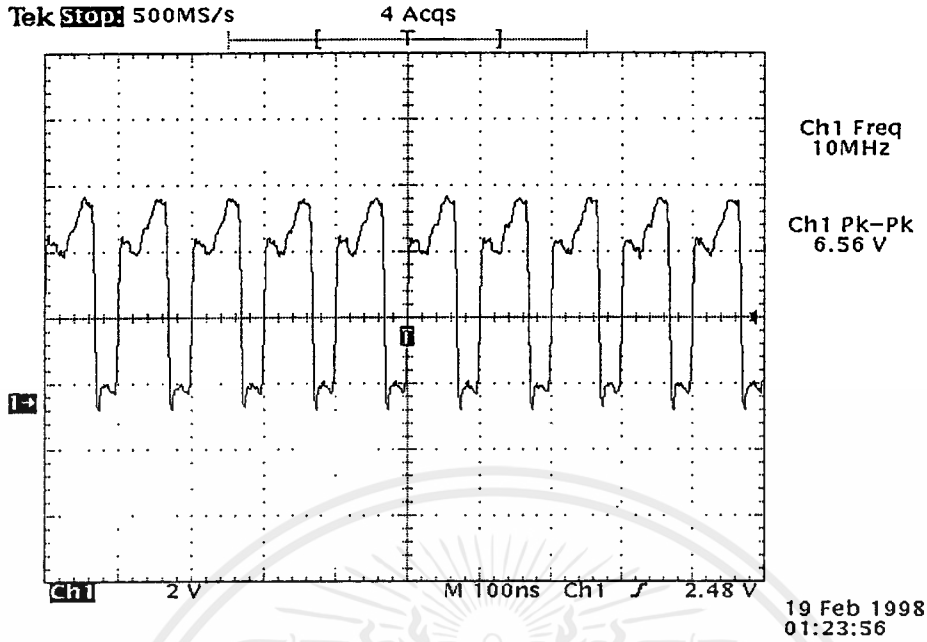


รูปที่ 4.27 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 800



รูปที่ 4.28 แสดงสัญญาณเอาท์พุทเมื่อ N_T = 900

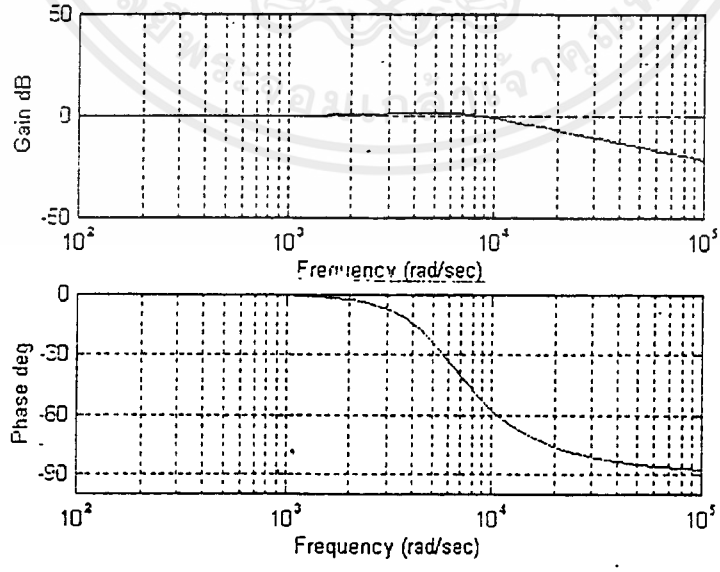
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงสัญญาณเอาท์พุทเมื่อ $N_T = 1000$

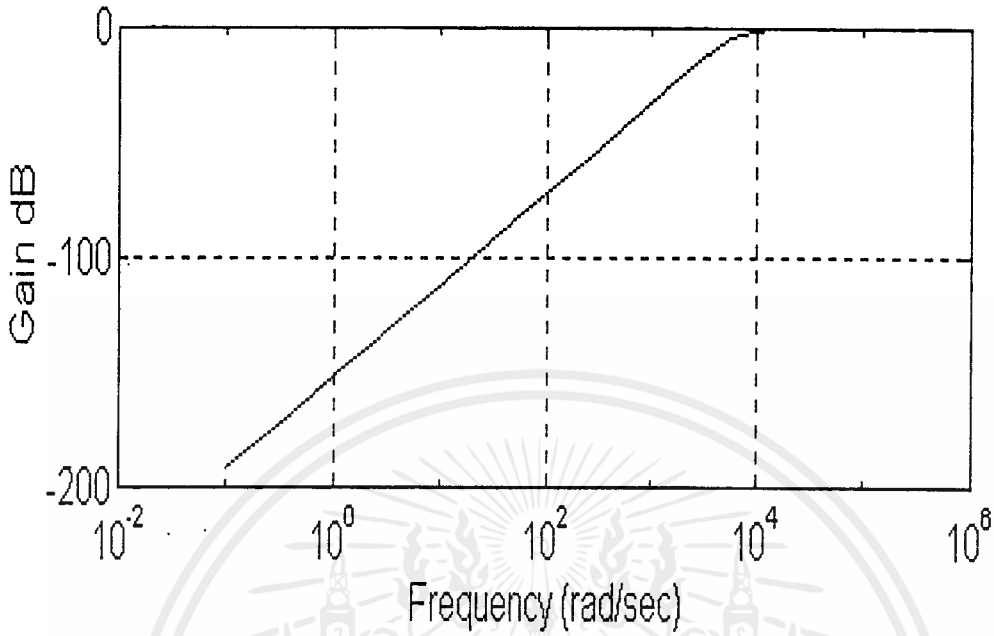
4.2 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป

4.2.1 ผลที่ได้จากการเลียนแบบการทำงานจากสมการทรานสเฟอร์ฟังก์ชันโดยใช้โปรแกรมสำเร็จรูป MATLAB

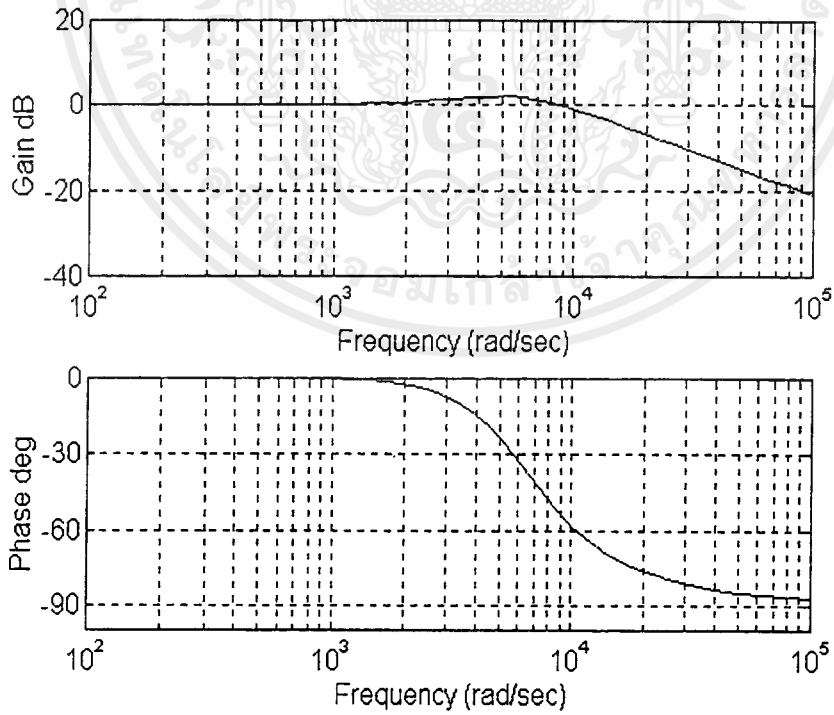


รูปที่ 4.30 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

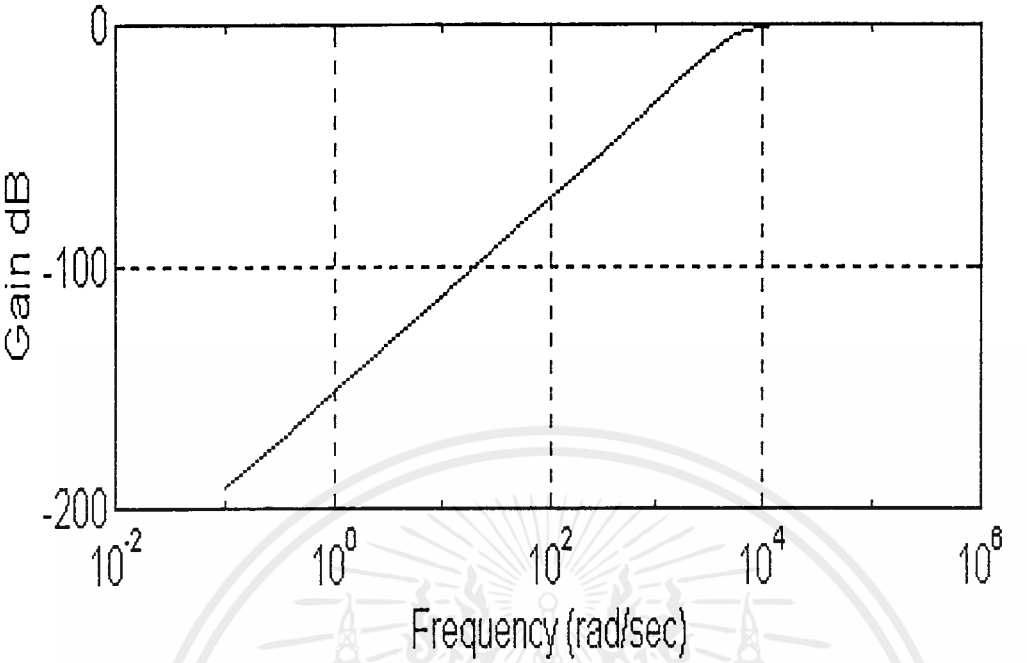


รูปที่ 4.31 แสดงโบดไดอะแกรมของ Error transfer functionของวงจรทดลองที่2

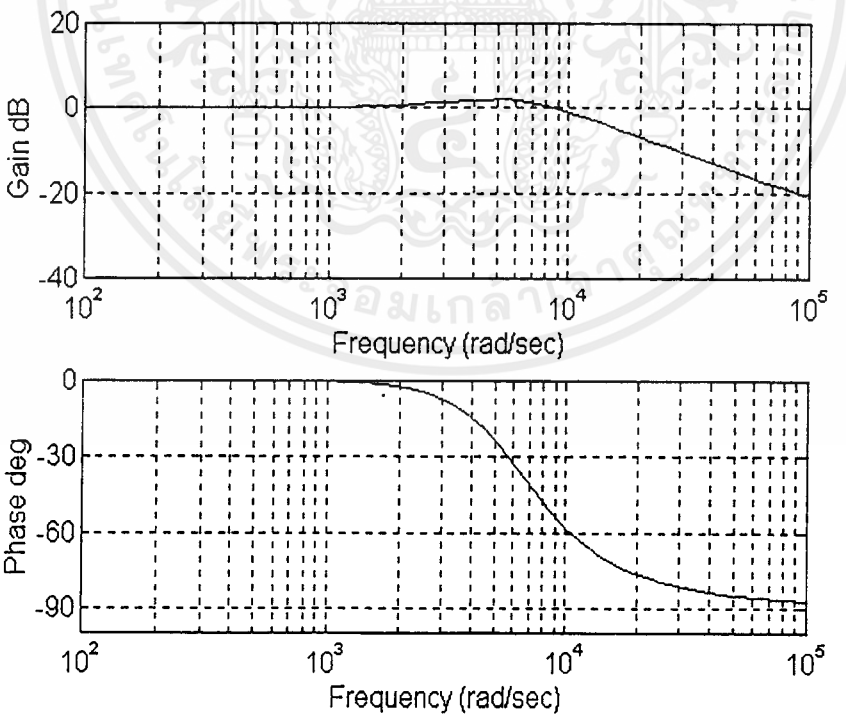


รูปที่ 4.32 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

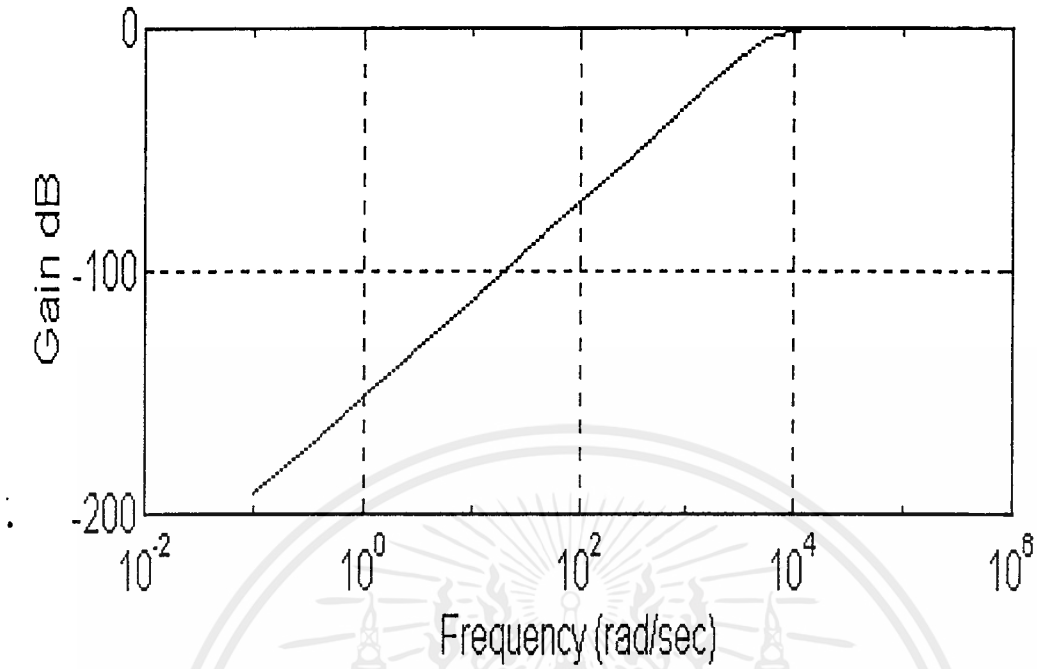


รูปที่ 4.33 แสดงโบดไดอะแกรมของ Error transfer functionของวงจรทดลองที่3



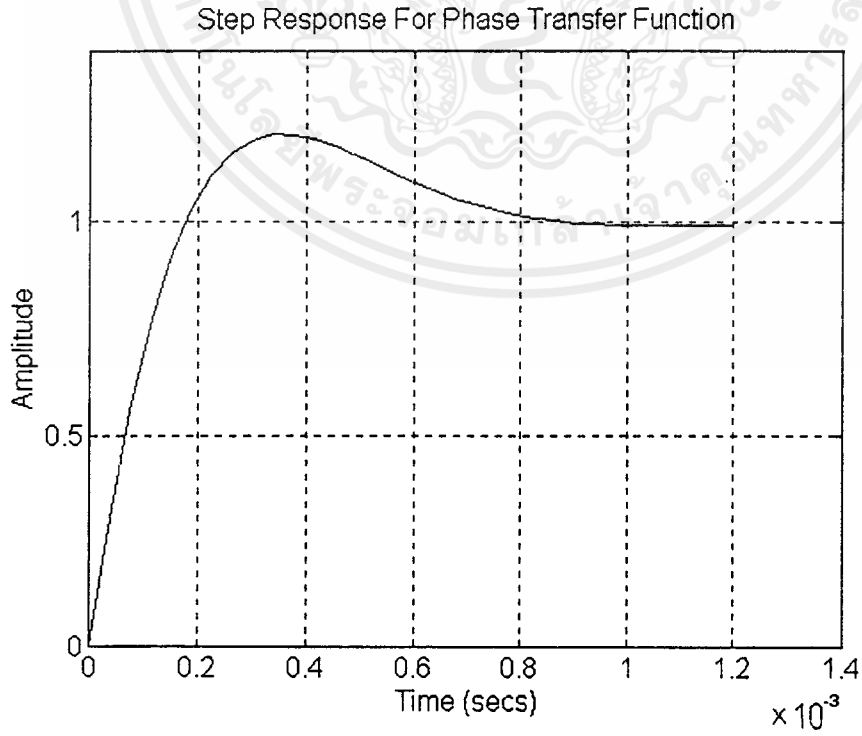
รูปที่ 4.34 แสดงโบดไดอะแกรมของเฟสทรานสเฟอร์ฟังก์ชันวงจรทดลองที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



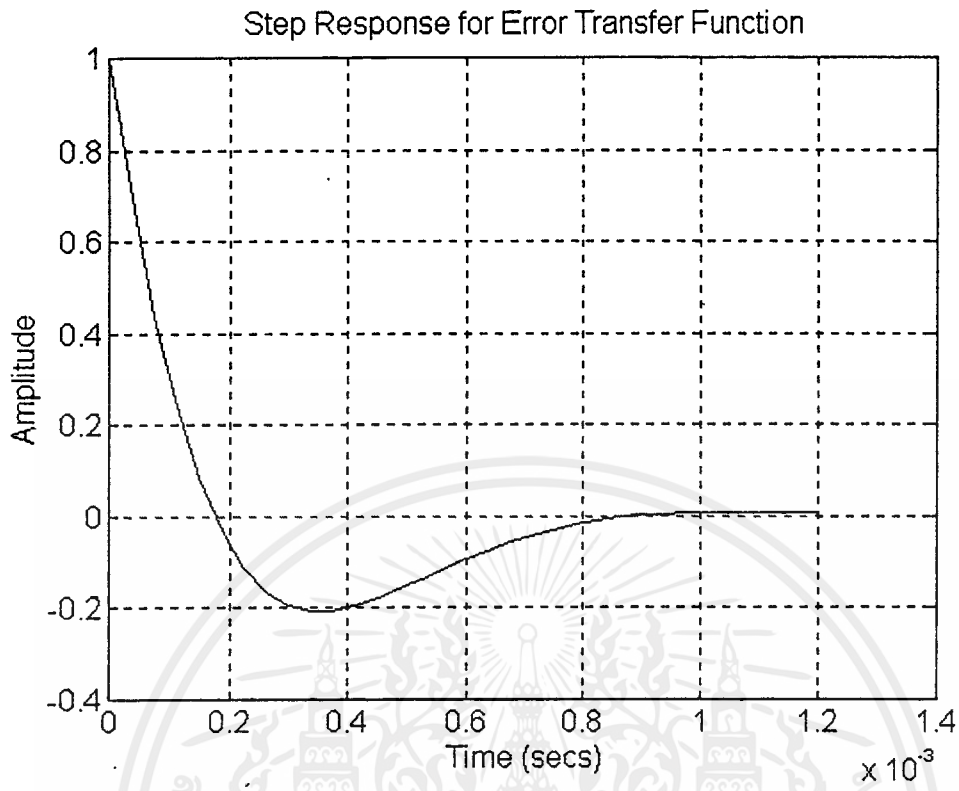
รูปที่ 4.35 แสดงโบดไดอะแกรมของ Error transfer functionของวงจรทดลองที่4

4.2.2 รูปแสดง transient response ของ phase transfer โดยใช้โปรแกรมสำเร็จรูป MATLAB

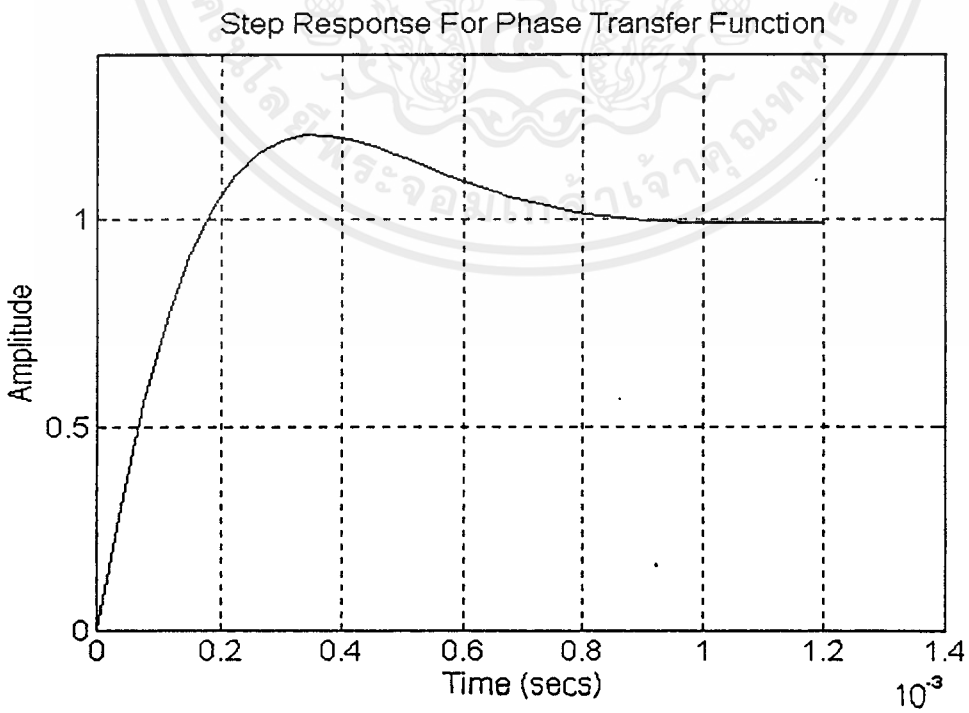


รูปที่ 4.36 แสดง step response ของ phase transfer function ของวงจรทดลองที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

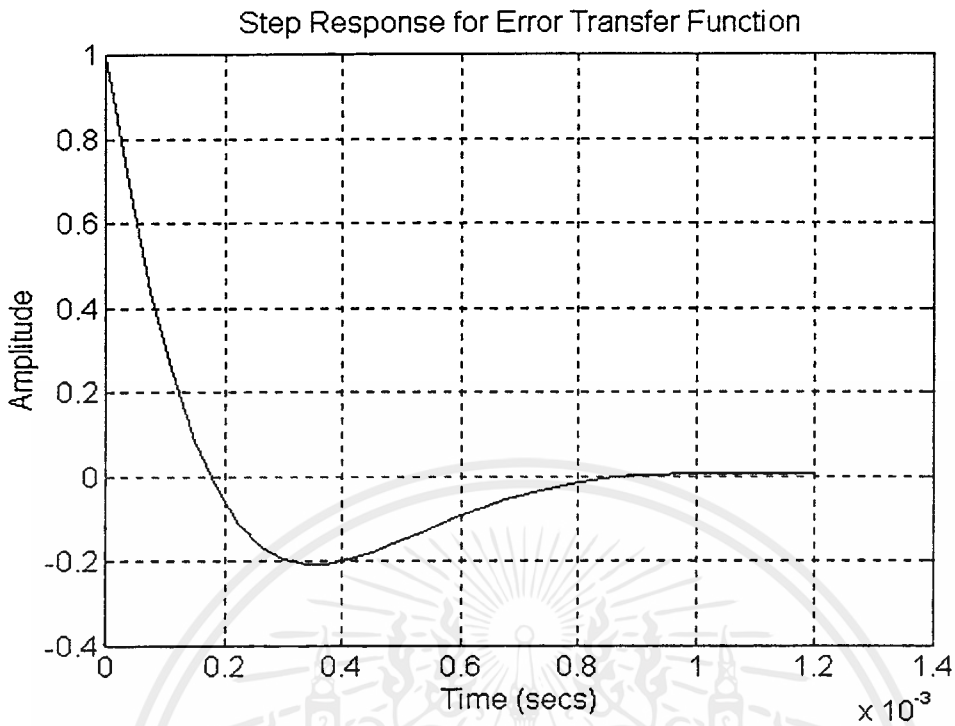


รูปที่ 4.37 **แสดง** step response **ของ** error transfer function **ของวงจรทดลองที่**2

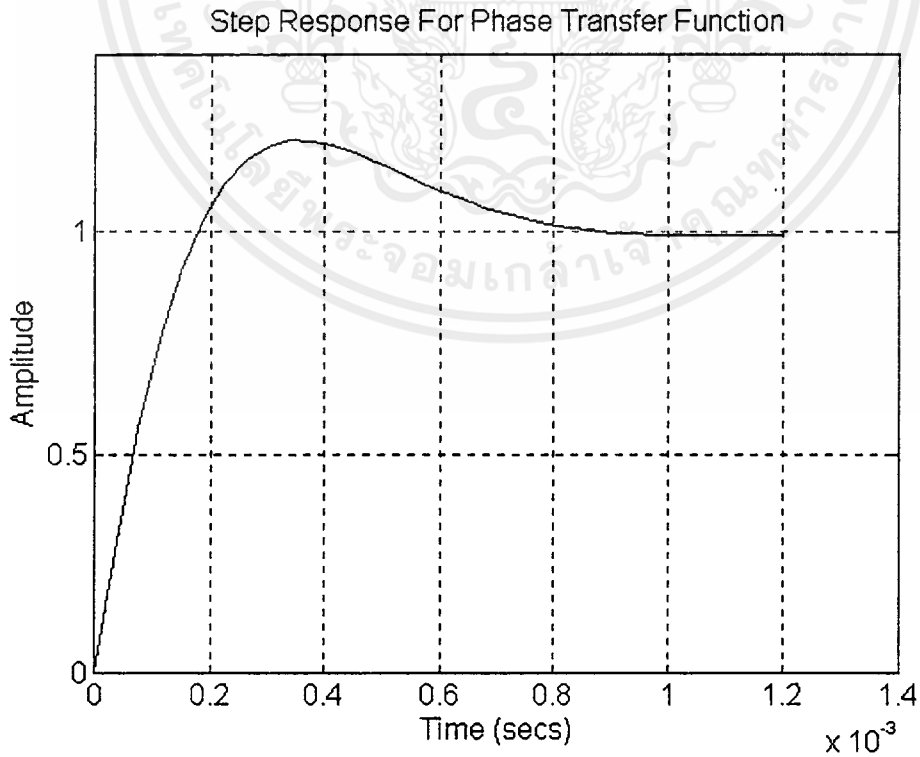


รูปที่ 4.38 **แสดง** step response **ของ** phase transfer function **ของวงจรทดลองที่**3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

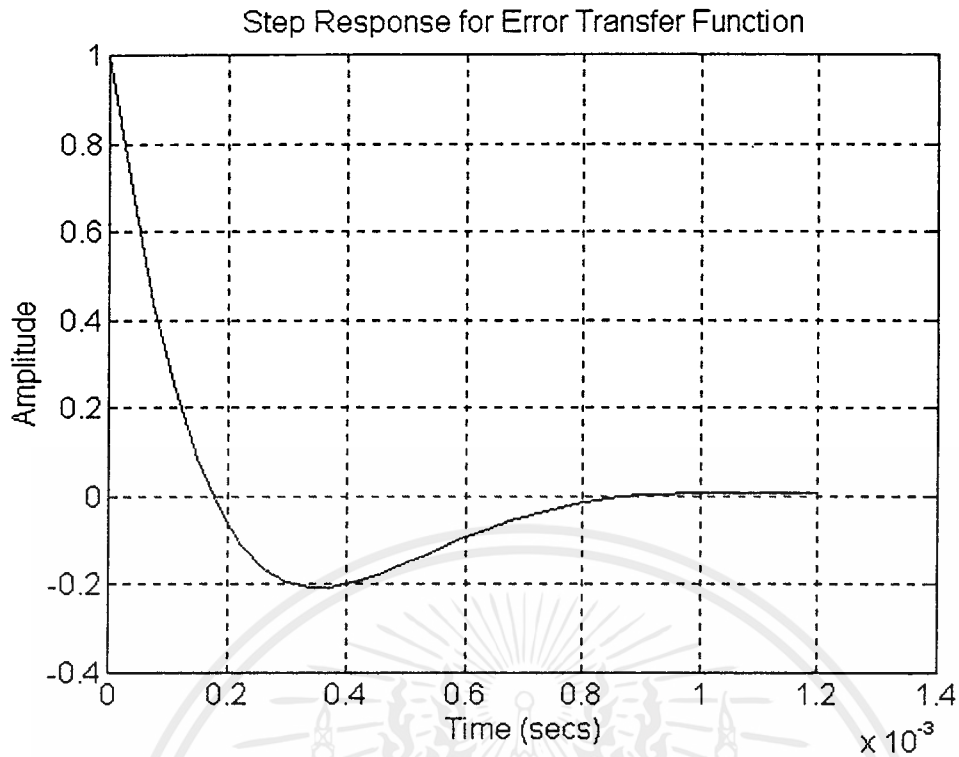


รูปที่ 4.39 แสดง step response ของ error transfer function ของวงจรทดลองที่3



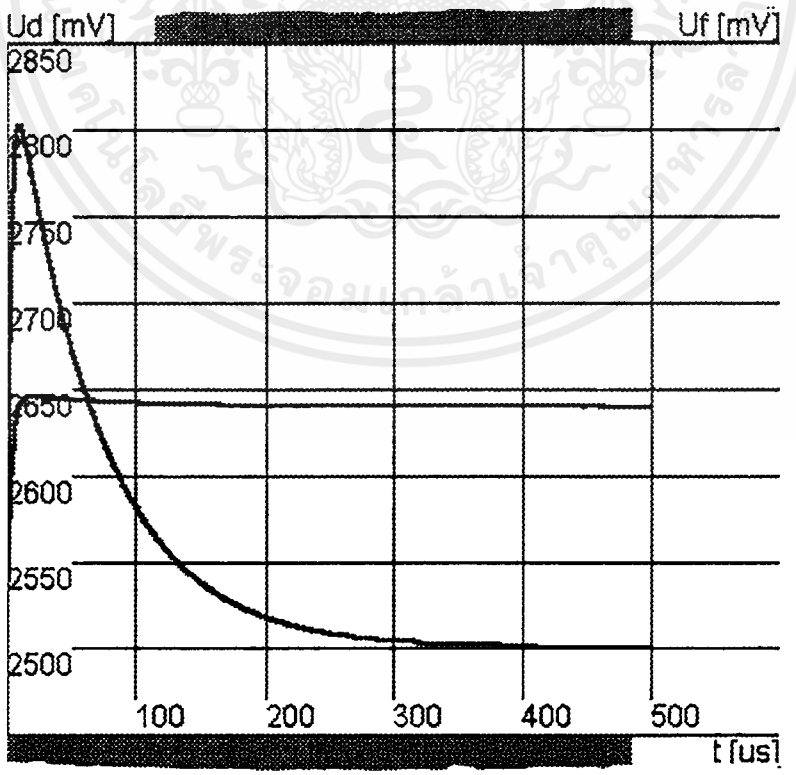
รูปที่ 4.40 แสดง step response ของ phase transfer function ของวงจรทดลองที่4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



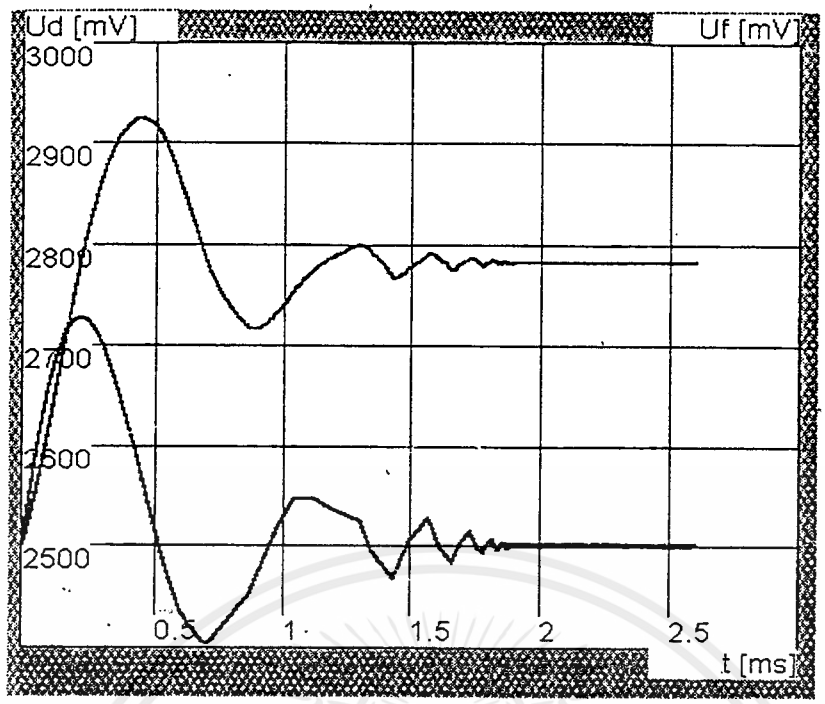
รูปที่ 4.41 แสดงstep response ของ error transfer function ของวงจรทดลองที่4

4.2.3 ผลที่ได้จากการเลียนแบบการทำงานของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป

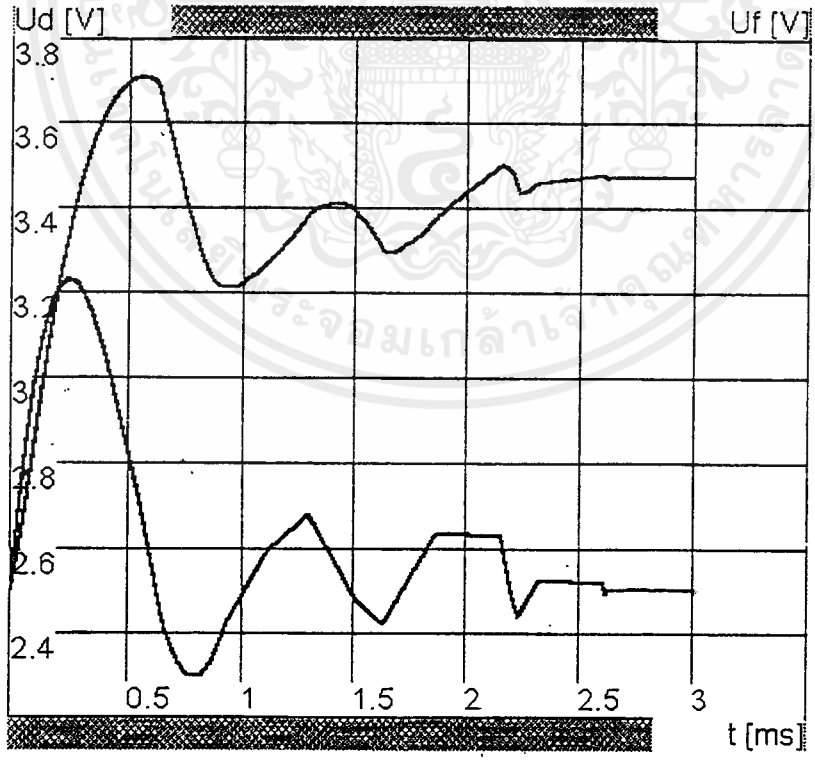


รูปที่ 4.42 แสดงผลตอบสนองชั่วขณะของวงจรดิจิตอลเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

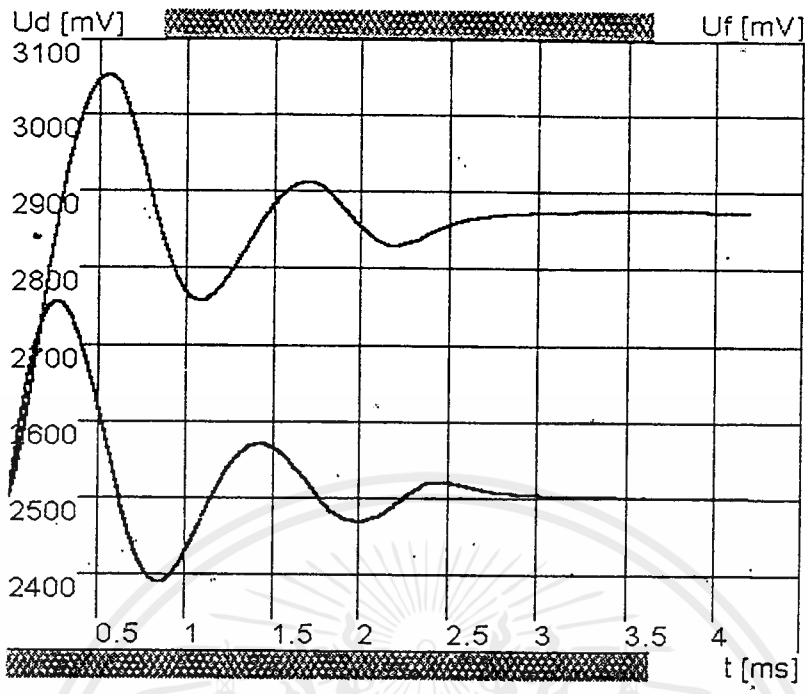


รูปที่ 4.43 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป(N=100) ระบบเข้าสู่สภาวะล็อค

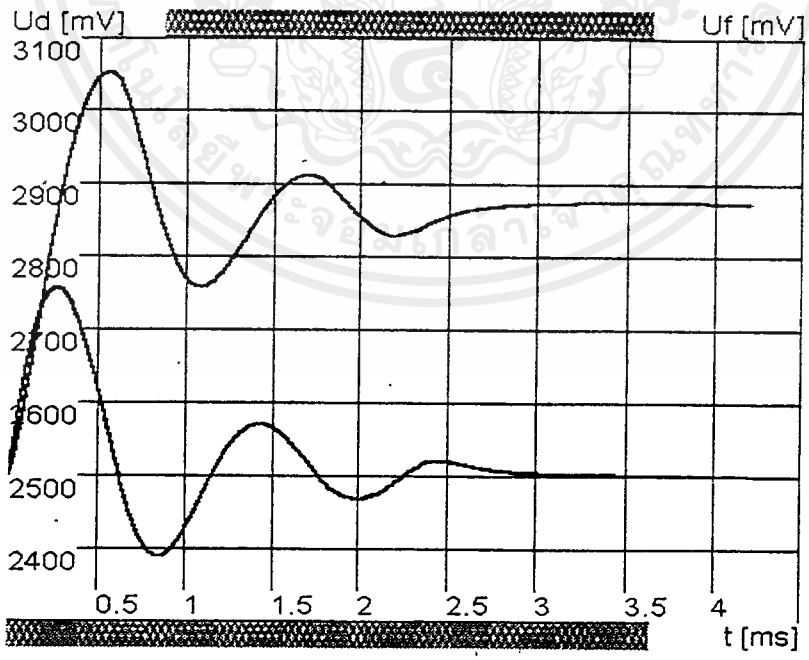


รูปที่ 4.44 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูป(N=100) ระบบหลุดจากสภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปเมื่อเพิ่มวงจร Prescaler, V=10 (N_T =707)



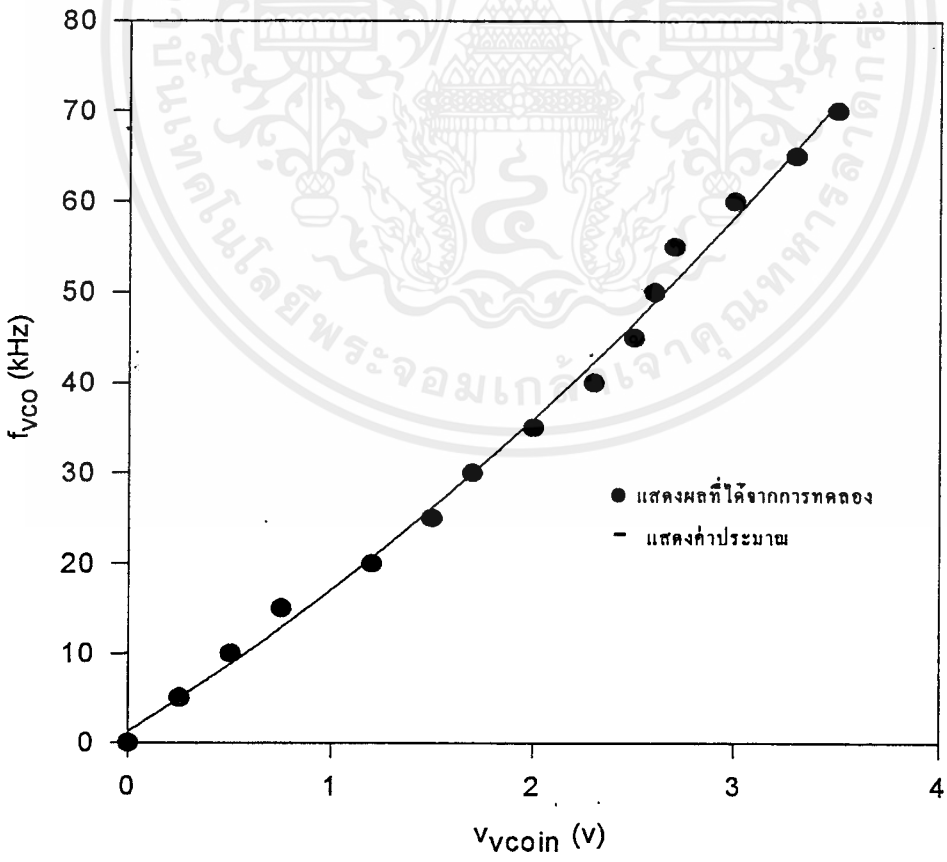
รูปที่ 4.46 แสดงผลตอบสนองชั่วขณะของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปเมื่อใช้วงจร dual-modulus prescaler, V=10 (N_T =707)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ผลการทดลองที่ได้จากการวัดคุณลักษณะของ VCO

f_{vco} (kHz)	V_{vcoin} (v)
0	0
5	0.25
10	0.5
15	0.75
20	1.2
25	1.5
30	1.7
35	2
40	2.3
45	2.5
50	2.6
55	2.7
60	3
65	3.3
70	3.5

ตาราง 4.1 แสดงความสัมพันธ์ระหว่างความถี่ (f_{vco})และโวลเตจคอนโทรล (V_{vcoin})



รูปที่ 4.47 กราฟแสดงคุณลักษณะของ VCO ระหว่างความถี่ (f_{vco}) และโวลเตจคอนโทรล (V_{vcoin})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

วงจรเฟสล็อคลูปเป็นวงจรที่มีความสำคัญวงจรหนึ่ง ซึ่งใช้กันมากในระบบสื่อสาร จากผลการทดลองผลที่ได้จากการทดสอบคุณสมบัติของวงจรเฟสล็อคลูป ที่ได้ออกแบบมาโดยใช้ความถี่กลางของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์เป็น 1.5 MHz และทำการทดลองปรับความถี่อินพุทไปเรื่อยๆ พบว่าความถี่เอาท์พุทที่ได้ จะสามารถแทรกกิ้งตามความถี่อินพุทได้เกือบตลอดช่วงการทำงานของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (ที่ค่าจำกัด ω_{2min} และ ω_{2max} จะมีการผิดพลาดเกิดขึ้นเล็กน้อย) ในทางทฤษฎีนั้นค่าpull-in range และ hold-in rangeของวงจรเฟสล็อคลูปซึ่งออกแบบโดยใช้เฟสดีเท็คเตอร์เป็นแบบเฟส-ฟรีเควนซีดีเทคเตอร์(PFD) และใช้วงจรกรองสัญญาณ(ลูปฟิลเตอร์)แบบพาสซีพแล็ค(passive lag)นั้นจะมีค่าเข้าสู่อนันต์แต่ในทางปฏิบัติจริงนั้นจะถูกจำกัดโดยช่วงการทำงานของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ ส่วนผลการทดลองที่ได้จากวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปนั้น ในส่วนของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปที่ออกแบบให้สังเคราะห์ความถี่ได้ในช่วง 1MHz - 2MHz สามารถปรับค่าความถี่เอาท์พุทของวงจรสังเคราะห์ความถี่ได้ตามต้องการ โดยการปรับค่าตัวหาร N(ซึ่งในการทดลองนี้จะใช้ 8-stage presettable synchronous down counter เบอร์ HCC/HCF40102BE) สัญญาณเอาท์พุทที่ได้จะมีความถี่เป็น N เท่าของความถี่อ้างอิง(10kHz) ซึ่งความถี่และเฟสคงที่แต่จะมีสัญญาณรบกวนเกิดขึ้นเล็กน้อย เนื่องจากในการออกแบบครั้งนี้ไม่ได้พิจารณาให้มีการกดสัญญาณรบกวนด้วยช่วงห่างความถี่(channel spacing) เป็น 10kHz เท่ากับความถี่อ้างอิง

สำหรับผลการทดลองของวงจรสังเคราะห์ความถี่โดยใช้ดิจิตอลเฟสล็อคลูปที่ออกแบบให้สังเคราะห์ความถี่ได้ในช่วง 5MHz - 10MHz นั้นเป็นการออกแบบเพื่อให้สามารถสังเคราะห์ความถี่เอาท์พุทที่สูงขึ้น โดยจากวงจรทดลองที่ 3 นั้น จะใช้การเพิ่มวงจรหารเข้ามาอีกตัวหนึ่ง คือวงจรพรีสเกลเลอร์ (V =10) สามารถสังเคราะห์ความถี่ได้ตามต้องการ โดยการปรับค่า N ซึ่งสำหรับวงจรนี้ N จะอยู่ในช่วง50-100 สัญญาณเอาท์พุทที่ได้จะมีความถี่เป็น N*V เท่าของความถี่อ้างอิง ช่วงห่างของความถี่เป็น V*10kHz คือ 100kHz จะเห็นได้ว่าการเพิ่มความถี่ของสัญญาณเอาท์พุทโดยวิธีการใช้วงจรพรีสเกลเลอร์ที่มีค่าคงที่ V นี้ จะมีข้อเสียคือ ช่วงห่างของความถี่มีค่าเพิ่มมากขึ้น นั่นคือไม่สามารถทำให้ช่วงห่างของความถี่มีค่าเท่ากับค่าความถี่อ้างอิง เพื่อแก้ข้อเสียในเรื่องช่วงห่างของความถี่ที่เพิ่มขึ้นนี้ ทำได้โดยออกแบบโดยใช้วงจรdual-modulus prescaler ดังวงจรทดลองที่ 4 ซึ่งในการออกแบบนี้จะออกแบบโดยใช้ค่าพารามิเตอร์ต่างๆเหมือนวงจรทดลองที่ 3 สังเคราะห์ความถี่เอาท์พุท 5MHz - 10MHz เช่นเดียวกัน ซึ่งใช้วงจร dual-modulus prescaler (V/V+1) โดย V มีค่าเท่ากับ 10 จากผลการทดลองที่ได้ จะเห็นได้ว่าสามารถลดช่วงห่างของความถี่ลงมาเป็น 10kHz คือเท่ากับความถี่อ้างอิงเดิม

สำหรับการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป เมื่อทำการพล็อตโบดไดอะแกรมของเฟสทรานเฟอร์ฟังก์ชัน (phase transfer function) และเออเรอร์ทรานเฟอร์ฟังก์ชัน(Error transfer function) จะได้ผลเช่นเดียวกันกับรูปที่ 4.10 และ 4.11 ตามลำดับ นอกจากนี้ ยังทำการพล็อตผลตอบสนองชั่วขณะโดยใช้โปรแกรมสำเร็จรูป MATLAB ของเฟสทรานเฟอร์ฟังก์ชันและเออเรอร์ทรานเฟอร์ฟังก์ชัน จะเห็นว่าได้ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาล็อคอิน (T_L) เท่ากับ 1 msec ตามที่ได้กำหนดไว้ในการคำนวณ และผลที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรมสำเร็จรูป PLL ได้ผลในลักษณะเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Roland E. Best, "Phase-Locked Loops Design, Simulation, and Applications," McGraw-Hill, 1997.

[2] Volgers, R.: "Phase-Locked Loop Circuits:74HC/HCT4046A&74HC/HCT7046A,"Phillips, Components, 1989.

[3] D.M.Etter, "Engineering Problem Solving with MATLAB, " Prentice Hall, 1993

[4] Gardner, Floyd M.: Phaselock Techniques, 2d., John Wiley and Sons, New York, 1979

[5] Lindsey, William C., and Chak Ming Chie: "A survey of Digital Phase-Locked Loops," Proc. IEEE, vol. 69, April 1981.

[6] Phase-Locked Loop Data Book, 2d ed., Motorola Semiconductor Products Inc., Phoenix, AZ, August 1973.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

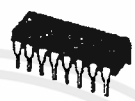
SGS-THOMSON MICROELECTRONICS

HCC/HCF40102B
HCC/HCF40103B

8-STAGE PRESETTABLE SYNCHRONOUS DOWN COUNTERS

40102B 2-DECADE BCD TYPE
40103B 8-BIT BINARY TYPE

- SYNCHRONOUS OR ASYNCHRONOUS PRESET
- MEDIUM-SPEED OPERATION : f_{CL} = 3.6MHz (TYP.) @ V_{DD} = 10V
- CASCADABLE
- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- 5V, 10V AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD N°. 13 A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"



EY
(Plastic Package)

F
(Ceramic Package)

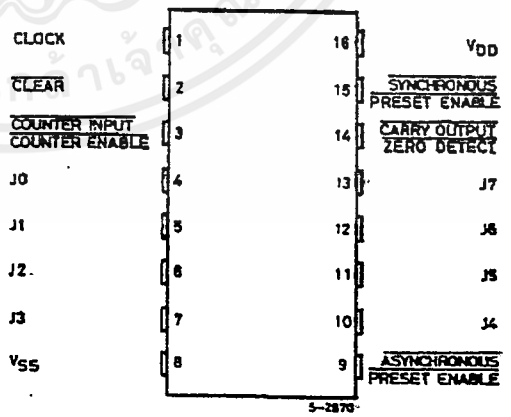
C1
(Chip Carrier)

ORDER CODES :
HCC401XXBF HCF401XXBEY
HCF401XXBC1

DESCRIPTION

The **HCC40102B**, **HCC40103B**, (extended temperature range) and the **HCF40102B**, **HCF40103B** (intermediate temperature range) are monolithic integrated circuits, available in 16-lead dual in-line plastic or ceramic package. The **HCC/HCF40102B**, and **HCC/HCF40103B** consist of an 8-stage synchronous down counter with a single output which is active when the internal count is zero. The **HCC/HCF40102B** is configured as two cascaded 4-bit BCD counters, and the **HCC/HCF40103B** contains a single 8-bit binary counter. Each type has control inputs for enabling or disabling the clock, for clearing the counter to its maximum count, and for presetting the counter either synchronously or asynchronously. All control inputs and the CARRY-OUT/ZERO-DETECT output are active-low logic. In normal operation, the counter is decremented by one count on each positive transition of the CLOCK. Counting is inhibited when the CARRY-IN/COUNTER ENABLE (CI/CE) input is high. The CARRY-OUT/ZERO-DETEC (CO/ZD) output goes low when the count reaches zero if the CI/CE input is low, and remains low for one full clock period. When the SYNCHRONOUS PRESET-ENABLE (SPE) input is low, data at the JAM input is clocked into the counter on the next positive clock transition regardless of the state of the CI/CE input. When the ASYNCHRONOUS PRESET-ENABLE (APE) input is low, data at the

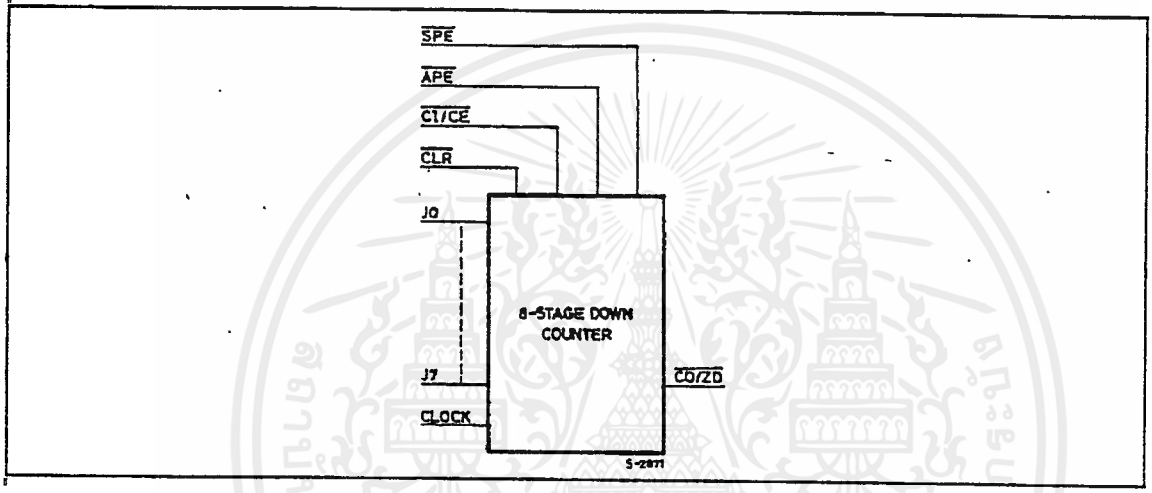
PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JAM inputs is asynchronously forced into the counter regardless of the state of the SPE, CI/CE, or CLOCK inputs. JAM inputs JO-J7 represent two 4-bit BCD words for the HCC/HCF40102B and a single 8-bit binary word for the HCC/HCF40103B. When the CLEAR (CLR) input is low, the counter is asynchronously cleared to its maximum count (99_{10} for the HCC/HCF40102B and 255_{10} for theHCC/HCF40103B) regardless of the state of any other input. The precedence relationship between control input is indicated in the truth table. If all control inputs are high at the tieme of zero count, the counters will jump to the maximum count, giving a counting sequence of 100 or 256 clock pulses long. The HCC/HCF40102B and HCC/HCF40103B may be cascaded using the CI/CE input and the

FUNCTIONAL DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_{DD}*	Supply Voltage : HCC Types HCF Types	− 0.5 to + 20 − 0.5 to + 18	V V
V_I	Input Voltage	− 0.5 to V_{DD} + 0.5	V
I_I	DC Input Current (any one input)	± 10	mA
P_{tot}	Total Power Dissipation (per package) Dissipation per Output Transistor for T_{op} = Full Package-temperature Range	200 100	mW mW
T_{op}	Operating Temperature : HCC Types HCF Types	− 55 to + 125 − 40 to + 85	°C °C
T_{stg}	Storage Temperature	− 65 to + 150	°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absdute maximum rating conditions for external periods may affect device reliability.
* All voltages are with respect to V_{SS} (GND).

RECOMMENDED OPERATING CONDITIONS

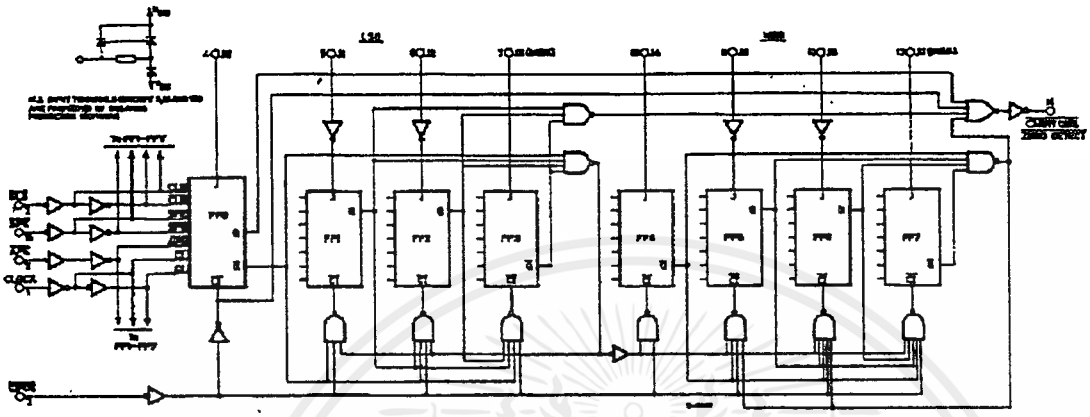
Symbol	Parameter	Value	Unit
V_{DD}	Supply Voltage : HCC Types HCF Types	3 to 18 3 to 15	V V
V_I	Input Voltage	0 to V_{DD}	V
T_{op}	Operating Temperature : HCC Types HCF Types	− 55 to + 125 − 40 to + 85	°C °C

SGS-THOMSON MICROELECTRONICS

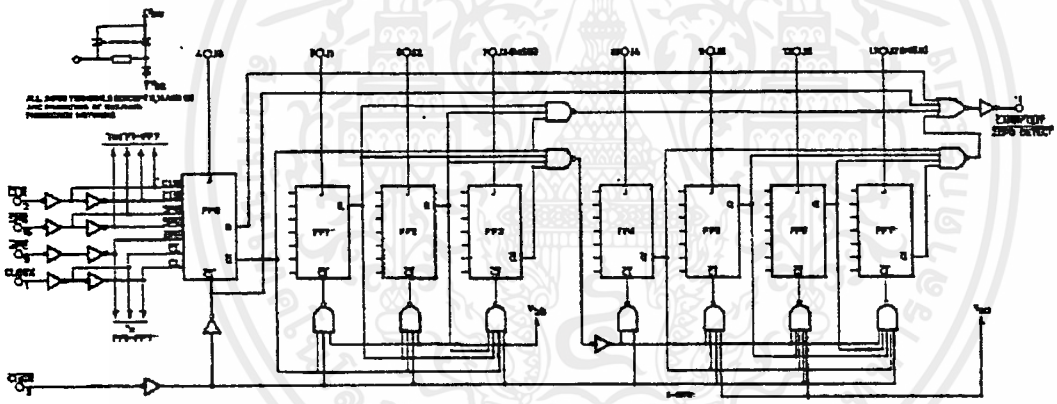
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAMS

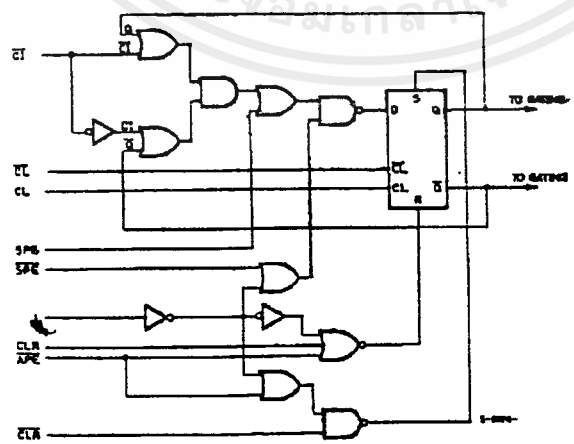
40102B



40103B



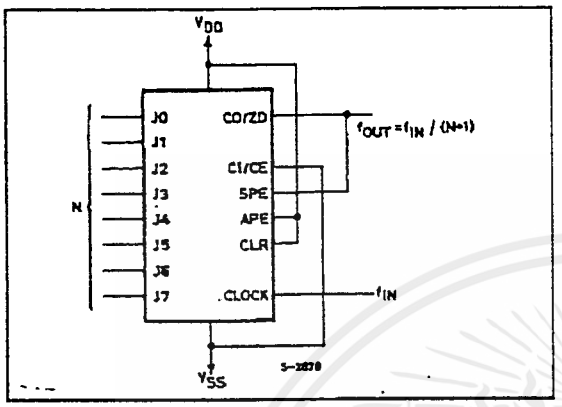
Detail logic diagram for flip-flops, FF0-FF7 used in logic diagrams for 40102B and 40103B.



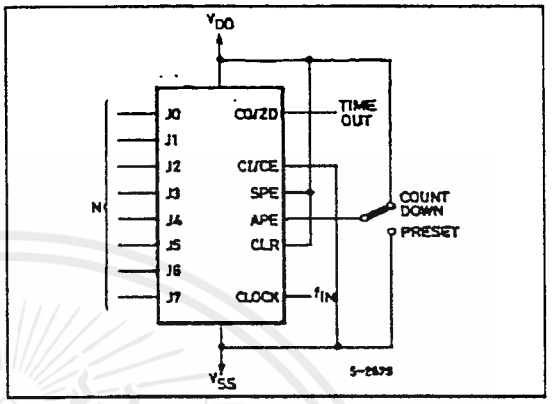
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

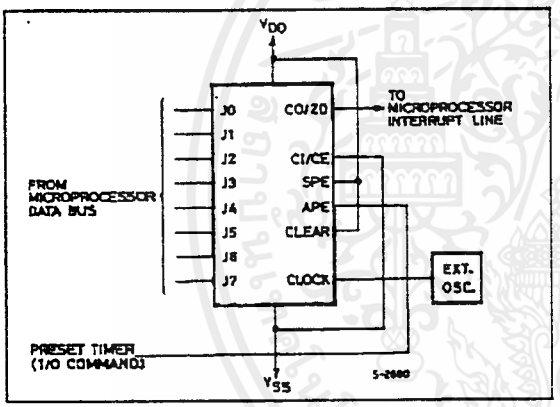
Divide-by-"N" Counter.



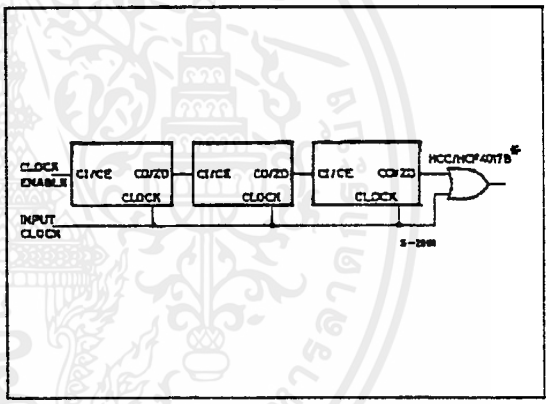
Programmable Timer.



Microprocessor Interrupt Timer.

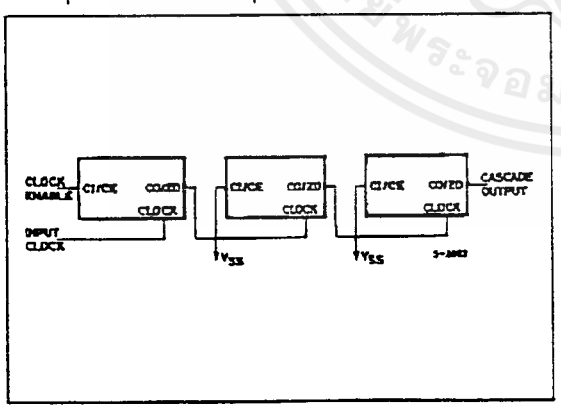


Synchronous Cascading.



* An output spike (160ns @ V_{DD} = 5V) occurs wherever two or more devices are cascaded in the parallel-clocked mode because the clock-to-carry out delay is greater than the carry-in-to-carry out delay. This spike is eliminated by gating the out put of the last device with the clock as shown

Microprocessor Interrupt Timer.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4046A

Phase-Locked Loop

High–Performance Silicon–Gate CMOS

The MC574HC4046A is similar in function to the MC14046 Metal gate CMOS device. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4046A phase–locked loop contains three phase comparators, a voltage–controlled oscillator (VCO) and unity gain op–amp DEM_{OUT}. The comparators have two common signal inputs, $COMP_{IN}$, and SIG_{IN}. Input SIG_{IN} and $COMP_{IN}$ can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor to small voltage signals). The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{OUT}$ and maintains 90 degrees phase shift at the center frequency between SIG_{IN} and $COMP_{IN}$ signals (both at 50% duty cycle). Phase comparator 2 (with leading–edge sensing logic) provides digital error signals $PC2_{OUT}$ and PCP_{OUT} and maintains a 0 degree phase shift between SIG_{IN} and $COMP_{IN}$ signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} signal and the capacitor and resistors connected to pins C1A, C1B, R1 and R2. The unity gain op–amp output DEM_{OUT} with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input, when high, disables the VCO and all op–amps to minimize standby power consumption.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Output Drive Capability: 10 LSTTL Loads
- Low Power Consumption Characteristic of CMOS Devices
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 3.0 to 6.0 V
- Low Input Current: 1.0 µA Maximum (except SIG_{IN} and $COMP_{IN}$)
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Low Quiescent Current: 80 µA Maximum (VCO disabled)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on all Inputs
- Chip Complexity: 279 FETs or 70 Equivalent Gates

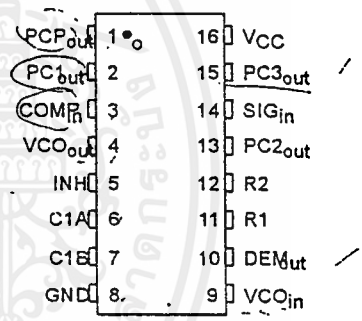
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

ORDERING INFORMATION

MC74HCXXXXAN	Plastic
MC74HCXXXXAD	SOIC

PIN ASSIGNMENT



Pin No.	Symbol	Name and Function
1	PCP_{OUT}	Phase Comparator Pulse Output
2	$PC1_{OUT}$	Phase Comparator 1 Output
3	$COMP_{IN}$	Comparator Input
4	VCO_{OUT}	VCO Output
5	INH	Inhibit Input
6	C1A	Capacitor C1 Connection A
7	C1B	Capacitor C1 Connection B
8	GND	Ground (0 V) V_{SS}
9	VCO_{IN}	VCO Input
10	DEM_{OUT}	Demodulator Output
11	R1	Resistor R1 Connection
12	R2	Resistor R2 Connection
13	$PC2_{OUT}$	Phase Comparator 2 Output
14	SIG_{IN}	Signal Input
15	$PC3_{OUT}$	Phase Comparator 3 Output
16	V_{CC}	Positive Supply Voltage

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air — Plastic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds — Plastic DIP and SOIC Package†	260	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	3.0	6.0	V
V_{CC}	DC Supply Voltage (Referenced to GND) NON–VCO	2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V_{CC}	V
T_A	Operating Temperature, All Package Types	−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Pin 5) — V_{CC} = 2.0 V	0	1000	ns
	V_{CC} = 4.5 V	0	500	
	V_{CC} = 6.0 V	0	400	

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit −55 to 25°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High–Level Input Voltage DC Coupled SIG$_{IN}$, COMP$_{IN}$	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage DC Coupled SIG$_{IN}$, COMP$_{IN}$	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.5	0.5	0.5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High–Level Output Voltage PCP$_{OUT}$, PCn$_{OUT}$	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.7	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.2	

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

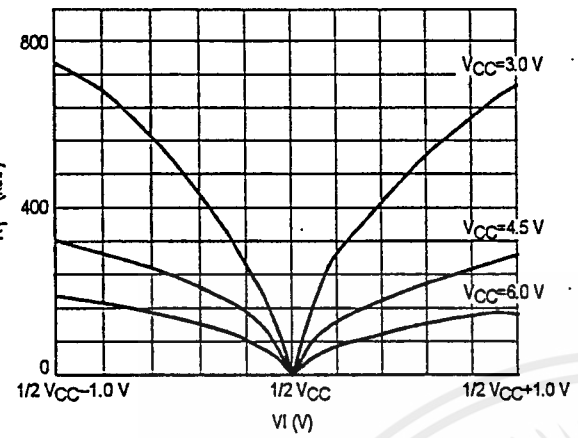


Figure 10. Input Resistance at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 1.0 V at Self–Bias Point

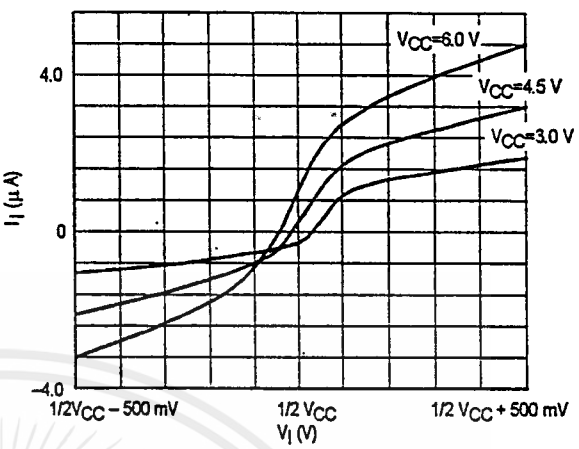


Figure 11. Input Current at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 500 mV at Self–Bias Point

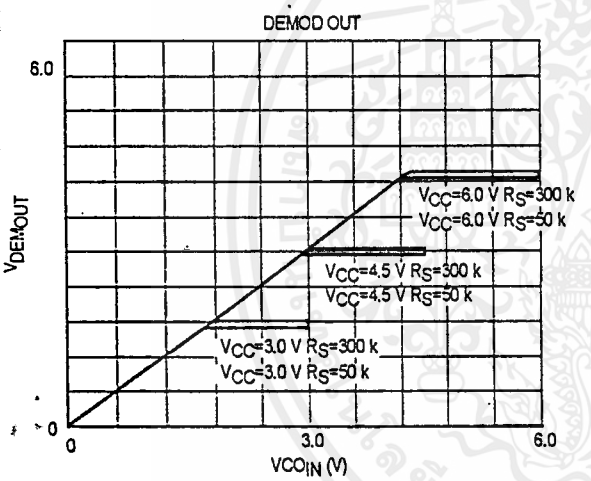


Figure 12. Offset Voltage at Demodulator Output as a Function of VCO_{IN} and R_S

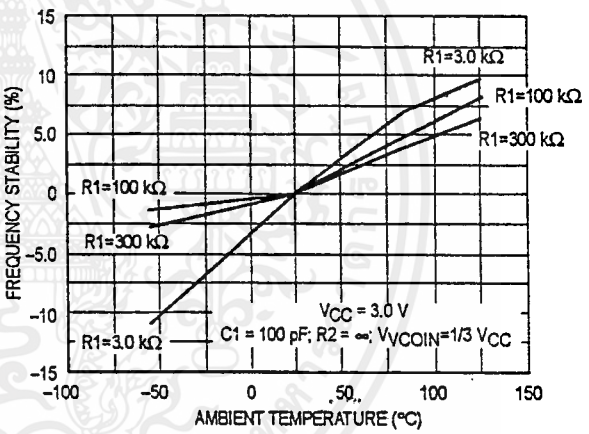


Figure 13A. Frequency Stability versus Ambient Temperature: V_{CC} = 3.0 V

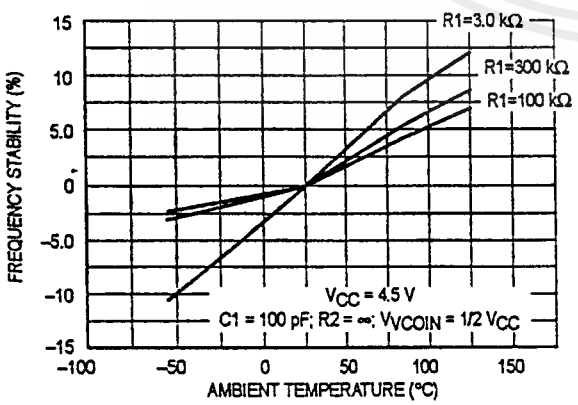


Figure 13B. Frequency Stability versus Ambient Temperature: V_{CC} = 4.5 V

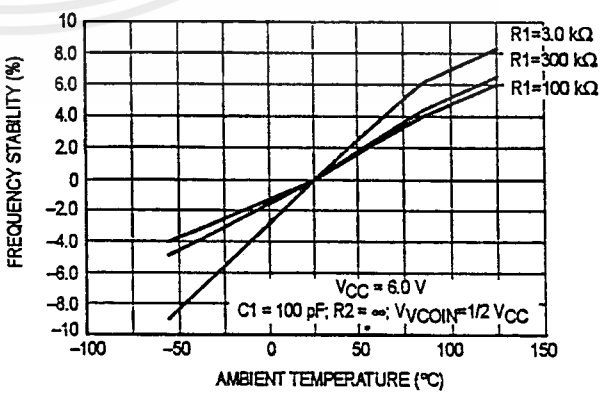


Figure 13C. Frequency Stability versus Ambient Temperature: V_{CC} = 6.0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

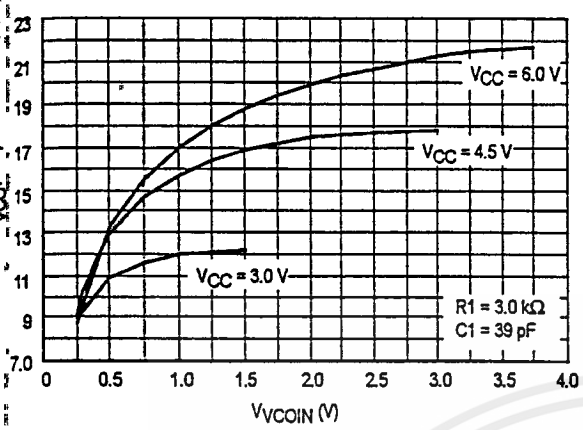


Figure 14A. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

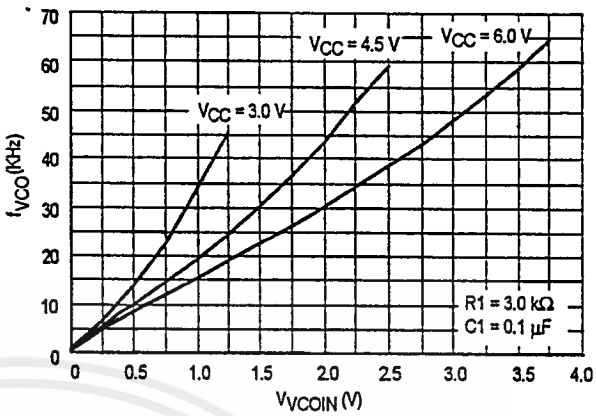


Figure 14B. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

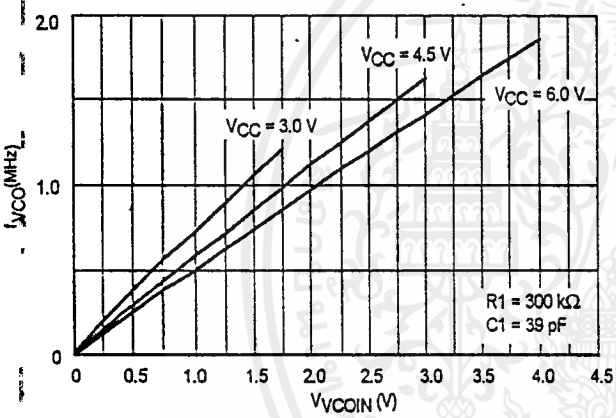


Figure 14C. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

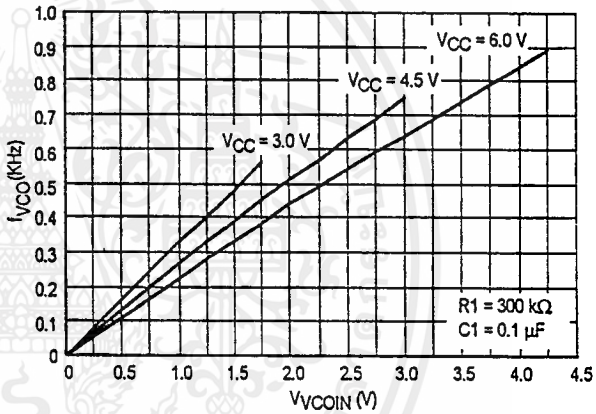


Figure 14D. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

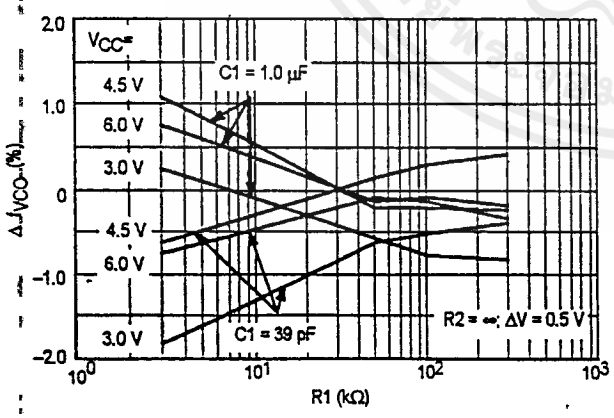
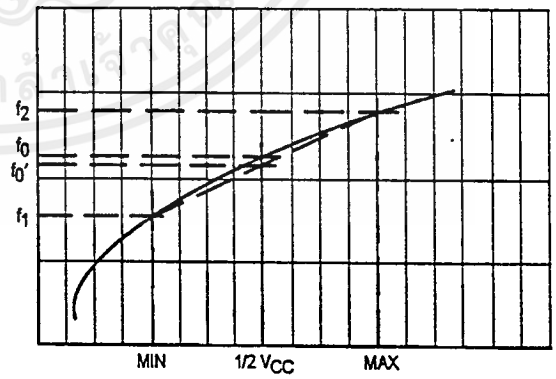


Figure 15A. Frequency Linearity versus R1, C1 and V_{CC}



ΔV = 0.5 V OVER THE V_{CC} RANGE: FOR VCO LINEARITY

$f_0' = (f_1 + f_2) / 2$

LINEARITY = $(f_0' - f_0) / f_0' \times 100\%$

Figure 15B. Definition of VCO Frequency Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

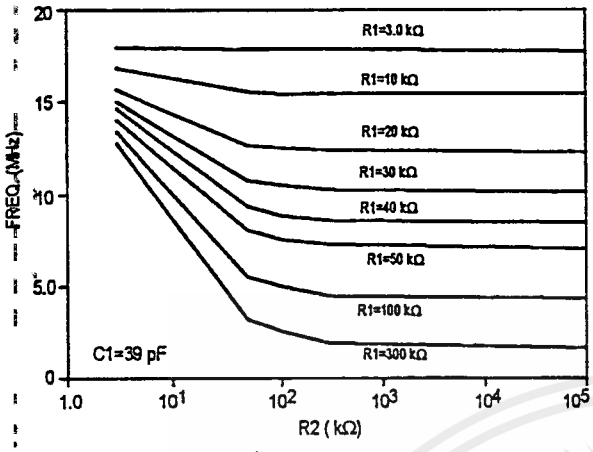


Figure 22. R2 versus f_{max}

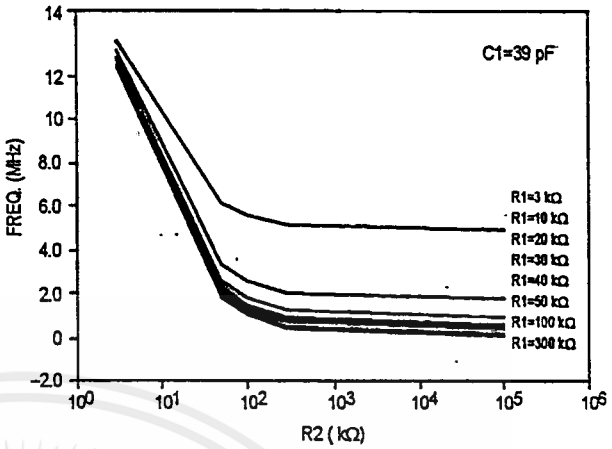


Figure 23. R2 versus f_{min}

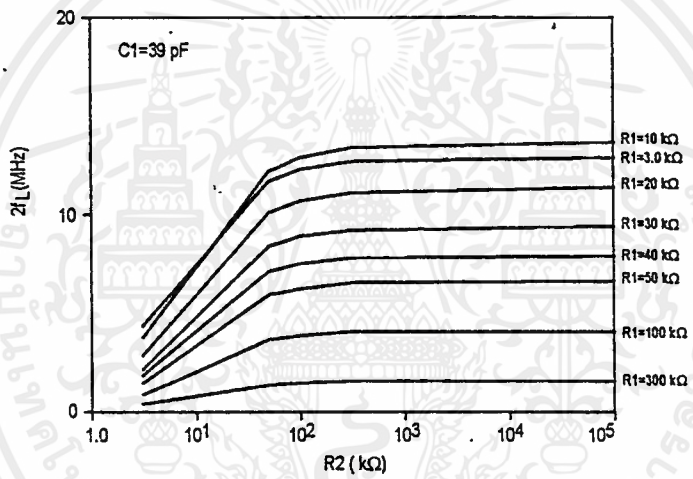


Figure 24. R2 versus Frequency Lock Range ($2f_L$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

The following information is a guide for approximate values of R1, R2, and C1. Figures 19, 20, and 21 should be used as references as indicated below, also the values of R1, R2, and C1 should not violate the Maximum values indicated in the DC ELECTRICAL CHARACTERISTICS tables.

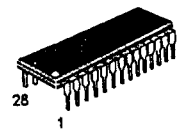
Phase Comparator 1		Phase Comparator 2		Phase Comparator 3	
R_2 =	R_2	R_2 =	R_2	R_2 =	R_2
Given f0	Given f0 and fL	Given f_{max} and f0	Given f0 and fL	Given f_{max} and f0	Given f0 and fL
Use f0 with Figure 19 to determine R1 and C1.	Calculate f_{min} f_{min} = f0–fL	Determine the value of R1 and C1 using Figure 19 and use Figure 21 to obtain 2fL and then use this to calculate f_{min}.	Calculate f_{min} f_{min} = f0–fL	Determine the value of R1 and C1 using Figure 19 and Figure 21 to obtain 2fL and then use this to calculate f_{min}.	Calculate f_{min}: f_{min} = f0–fL
(see Figure 23 for characteristics of the VCO operation)	Determine values of C1 and R2 from Figure 20.		Determine values of C1 and R2 from Figure 20.		Determine values of C1 and R2 from Figure 20.
	Determine R1–C1 from Figure 21.		Determine R1–C1 from Figure 21.		Determine R1–C1 from Figure 21.
	Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21.		Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21.		Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21.
	(see Figure 24 for characteristics of the VCO operation)		(see Figure 24 for characteristics of the VCO operation)		(see Figure 24 for characteristics of the VCO operation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

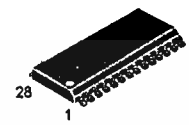
MC145152-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers



P SUFFIX
PLASTIC DIP
CASE 710



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

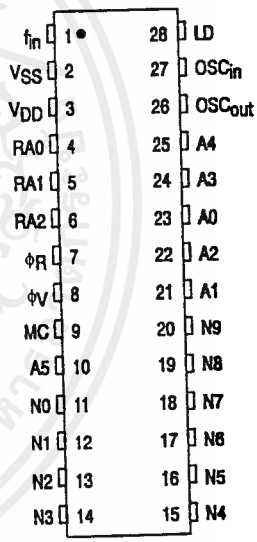
MC145152P2	Plastic DIP
MC145152DW2	SOG Package

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980

PIN ASSIGNMENT

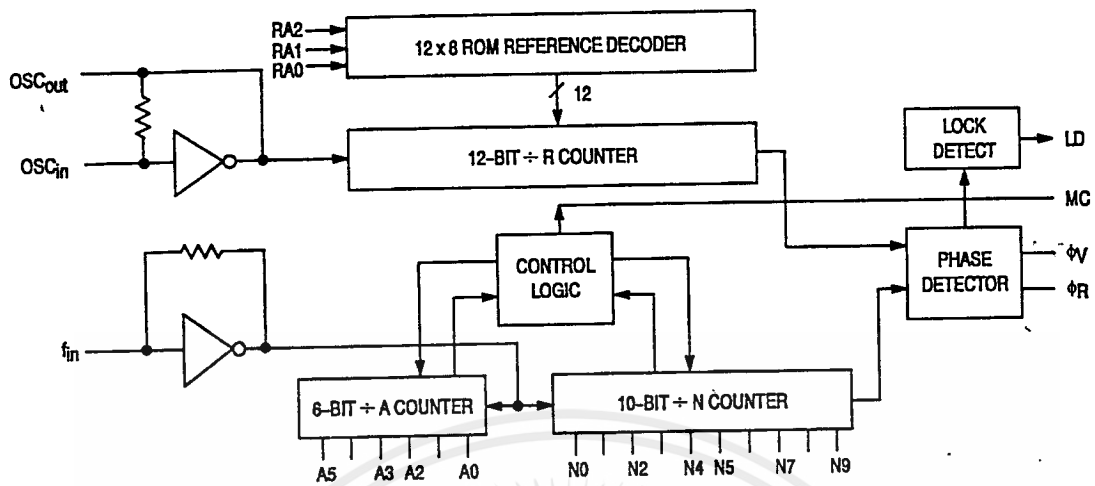


MOTOROLA

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs (Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

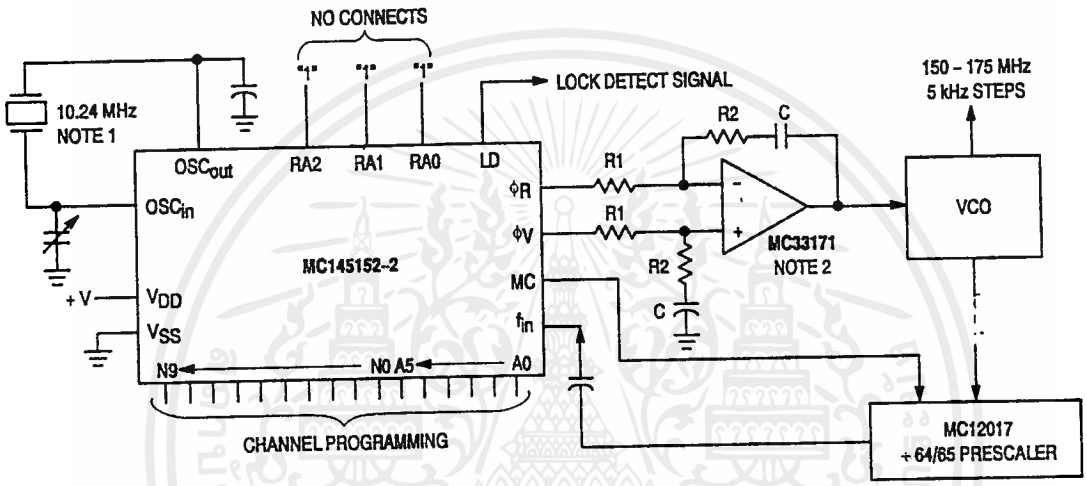
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

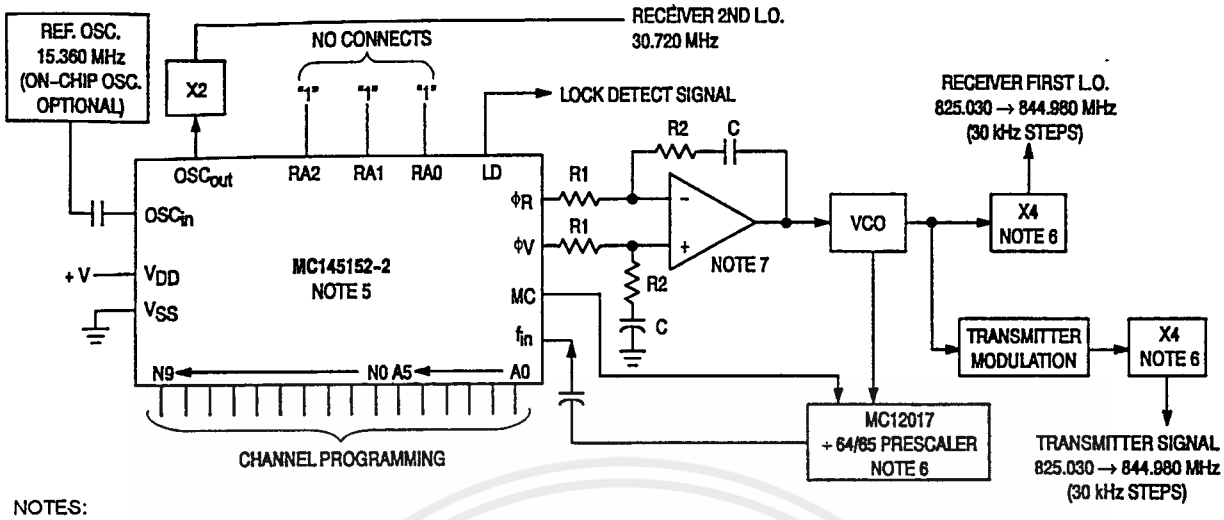
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V output's swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

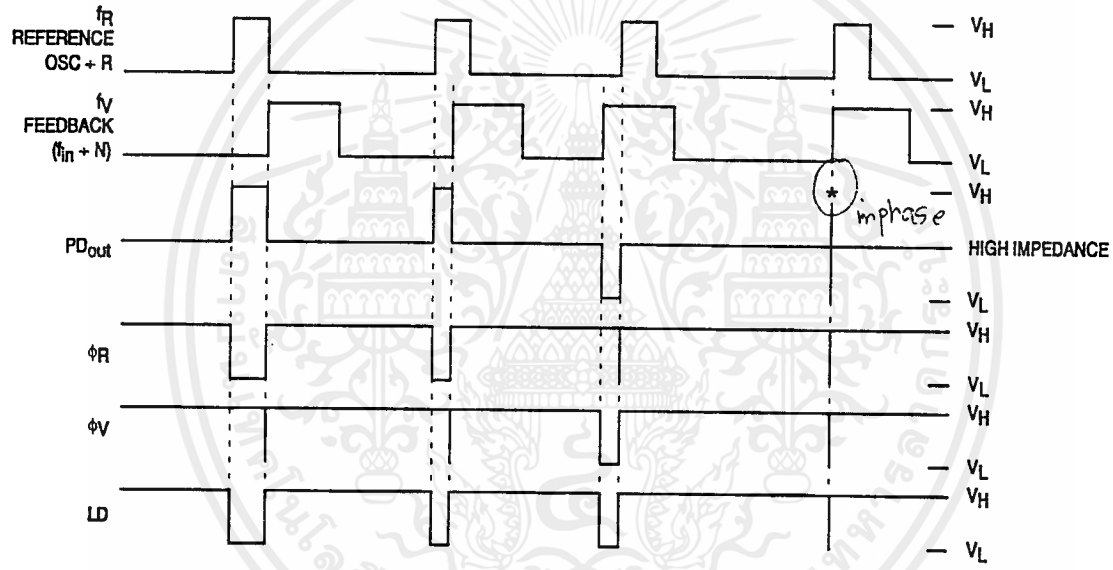
MC145152–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้