การออกแบบโครงสร้างข่ายสวิตซ์ชิ่ง

HARDWARE DESIGN OF SWITCHING NETWORK

โดย

นาย โฆษิต	แก้วรองบน	38013002
นาย ทรงกลด	ทับทิมหลาย	38013015
นาย ขวัญชัย	ชมชื่น	38013050

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

วัน เดือน ปี 22 ตค 2541
เลขทะเบียน 039089
เลขเรียกหนังสือ T A0330 ม 859ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039089

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การออกแบบโครงข่ายสวิตซ์ชิ่ง**

Hardware Design of Switching network

จัดทำโดย

1. นายโมษิต	**แก้วรองบน**	**38013002**
2. นายทรงกลด	**ทับทิมพลาย**	**38013015**
3. นายขวัญชัย	**ชมชื่น**	**38.13050**

ลายเซ็นของอาจารย์ที่ปรึกษา **อาจารย์ที่ปรึกษา**

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโครงสร้างข่ายสวิตช์ชิ่ง

Hardware Design of Switching network

โดย

นายไพบูลย์ แก้วรองบน 38013002

นายทรงกลด ทับทิมพลาย 38013015

นายขวัญชัย ชมชื่น 38013050

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชาเกษ

บทคัดย่อ

ศึกษาเกี่ยวกับการออกแบบวงจรสวิตช์ชิ่ง เพื่อประยุกต์ใช้งานในด้านระบบการสื่อสาร เช่น ระบบโทรศัพท์ การแลกเปลี่ยนข้อมูลในระบบคอมพิวเตอร์ ในการคำนวณเชิงเลขความเร็วสูง โดยทำการสร้างวงจรแบตเชอร์ กับ บานยาน ตลอดจนการทดสอบพร้อมทั้งใช้โปรแกรม Pspice เลียนแบบการทำงานด้วย

ABSTRACT

Study about switch circuit design for using in communication system work i.e., telephone system. Data exchange in computer is in high speed calculation by making a circuit including Batcher and Banyan. To test with Pspice program simulate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่		หน้า
1	บทนำ	1
	วัตถุประสงค์การทำปริญญานิพนธ์	1
	หลักการใหม่ในปริญญานิพนธ์	1
	รายละเอียดในปริญญานิพนธ์	2
2	โครงข่ายเชื่อมต่อภายใน	3
	บทนำ	3
	การออกแบบโครงข่าย	3
	แนวความคิดของโครงข่ายเชื่อมต่อภายใน	5
	วงจรสวิตซ์	9
	ชุดข้อมูล	10
3	โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน	11
	บทนำ	11
	โครงข่ายแบตเชอร์	11
	แนวความคิดในการเชื่อมโยงของวงจรสวิตซ์แบตเชอร์	13
	การทำงานของโครงข่ายแบตเชอร์	14
	วงจรสวิตซ์แบตเชอร์	15
	โครงข่ายบานยาน	17
	แนวความคิดในการเชื่อมโยงของวงจรสวิตซ์บานยาน	18
	การทำงานของวงจรโครงข่ายบานยาน	19
	วงจรสวิตซ์บานยาน	21
4	การทดลอง และ ผลการทดลอง	23
	การทดสอบและผลการทดสอบ	31
	การทดลองและการทดสอบวงจรโดยใช้วงจรจริง	34
5	บทสรุป	47
	ปัญหาที่เกิดขึ้น และ แนวทางแก้ไข	47
	ภาคผนวก	
	บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
1. แสดงโทโปโลยีของโครงข่ายเชื่อมต่อภายใน	5
2. แสดงตัวอย่างโทโปโลยีของโครงข่ายแบบสแตติก	6
3. แสดงแนวความคิดของ Single stage interconnection network	7
4. แสดงวงจรสวิตซ์แบบ 2 ด้าน	8
5. แสดงสัญญลักษณ์ของวงจรสวิตซ์	10
6. แสดงรายละเอียดของชุดข้อมูล	10
7. แสดงโครงข่ายแบตเชอร์ขนาด 16 วงจร	12
8. แสดงขนาดต่าง ๆ ของโครงข่ายแบตเชอร์	12
9. แสดงแนวความคิดในการเชื่อมโยงของวงจรสวิตซ์แบตเชอร์	13
10. แสดงการทำงานของโครงข่ายแบตเชอร์ขนาด 16 วงจร	14
11. แสดงสัญญลักษณ์ของวงจรสวิตซ์แบตเชอร์	15
12. แสดงสภาวะการทำงานของวงจรสวิตซ์แบตเชอร์	15
13. แสดงบล็อกไดอะแกรมของวงจรสวิตซ์แบตเชอร์	16
14. แสดงโครงข่ายบานยานขนาด 16 วงจร	17
15. แสดงขนาดต่าง ๆ ของโครงข่ายบานยาน	18
16. แสดงความคิดในการเชื่อมโยงของวงจรสวิตซ์บานยาน	19
17. แสดงการทำงานของโครงข่ายบานยานขนาด 16 วงจร	20
18. แสดงสถานะและสัญญลักษณ์ของวงจรสวิตซ์บานยาน	21
19. แสดงบล็อกไดอะแกรมของโครงข่ายบานยาน	21
20. แสดงพื้นฐานการออกแบบ และ รูปแบบของชุดข้อมูล	24
21. แสดงโครงข่ายแบตเชอร์ และ บานยาน ขนาด 4 อินพุต และ 4 เอ้าพุต	25
22. แสดงการทำงานของ วงจรสวิตซ์ และ สัญญลักษณ์	26
23. แสดงบล็อกไดอะแกรม ของ Batcher switching element	27
24. แสดง Batcher switching circuit และ timing diagram	28
25. แสดงบล็อกไดอะแกรม ของ Banyan switching element	29
26. แสดง Banyan processing element circuit และ timing diagram	30
27. แสดงสัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตซ์แบตเชอร์	31-32
28. แสดงสัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตซ์บานยาน	32-33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

กล่าวนำ

ในการก้าวเข้าสู่ยุคโลกาภิวัฒน์ การสื่อสารติดต่อแลกเปลี่ยนข่าวสารเป็นสิ่งสำคัญ จึงได้มีการพัฒนาเทคโนโลยีสื่อสารโทรคมนาคมใหม่ ๆ เพื่อตอบสนองต่อความต้องการของมนุษย์ ในด้านการรับส่งสัญญาณให้มีความเร็วสูงและมีประสิทธิภาพมากขึ้น และเป็นมาตรฐานเดียวกันของเครือข่ายทั่วโลก

การพัฒนาการเชื่อมต่อเครือข่ายมีบางอย่างต่อเนื่อง เพื่อให้สามารถรับส่งสัญญาณให้มีความเร็วสูงขึ้น เพื่อเพิ่มความยืดหยุ่นของเครือข่าย ในปริญญานิพนธ์ฉบับนี้ได้นำเสนอ การออกแบบโครงข่ายเชื่อมต่อ 2 ชนิดที่นิยมใช้ในเครือข่าย คือโครงข่ายแบตเชอร์ และโครงข่ายบานยาน การออกแบบจะใช้ IC TTL เพราะมีข้อดีคือ การสูญเสียกำลังงานต่ำ มีความเร็วในการทำงานสูง และสามารถนำไปทำเป็นวงจรรวมได้ ซึ่งจะทำให้ชิพมีขนาดเล็กลง แต่มีความเร็วสูงขึ้น

วัตถุประสงค์ในการทำปริญญานิพนธ์

ในการทำปริญญานิพนธ์เรื่อง "การออกแบบสร้างวงจรโครงข่ายสวิตช์ชิ่ง" มีเนื้อหาเกี่ยวกับการออกแบบโครงข่ายแบตเชอร์ การออกแบบโครงข่ายบานยาน เป็นการออกแบบโดยใช้ IC TTL ลอจิกเกต แล้วประยุกต์ใช้งานในลักษณะเป็นโครงข่ายเชื่อมต่อภายในด้วยตนเอง (Self Routing Network) โดยกำหนดวัตถุประสงค์ไว้ดังนี้

1. เพื่อศึกษาค้นคว้าวิจัยการออกแบบโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน
2. สามารถนำวงจรดังกล่าวมาประยุกต์ใช้งานได้
3. ออกแบบโดยใช้ลอจิกเกต ตามการประยุกต์ใช้งาน
4. ใช้จำนวนอุปกรณ์ให้น้อยที่สุด เพื่อให้มีขนาดเล็กและความเร็วสูง
5. สามารถนำไปทำเป็นวงจรรวมได้

หลักการใหม่ในปริญญานิพนธ์

ในการออกแบบโครงข่ายแต่ละโครงข่ายในปริญญานิพนธ์ฉบับนี้ จะนำเสนอแนวทางใหม่ในการออกแบบโครงข่ายทั้งสองซึ่งแตกต่างจากงานวิจัยอื่น ๆ

ในงานวิจัยโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน ก่อน ๆ ใช้ TTL ในส่วนของวงจรเกตต่าง ๆ ทำให้ความเร็วในการทำงานจำกัด สูญเสียพลังงานมาก สัญญาณที่ใช้ควบคุมโครงข่ายมีความซับซ้อน ทำให้โปรโตคอลในชั้นกายภาพ และ ชั้นเชื่อมโยงข้อมูล มีความซับซ้อนยุ่งยาก จึงทำการออกแบบโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้ IC TTL ทั้งหมด เพื่อให้ได้ความเร็วในการทำงานสูงขึ้น ใช้พลังงานน้อยลง เพิ่มการควบคุมส่วนฮาร์ดแวร์ เพื่อลดภาระของโปรโตคอล ทำให้โครงข่ายทำงานได้อย่างมีประสิทธิภาพ และ รวดเร็วขึ้น

<u>รายละเอียดในปริญญานิพนธ์</u>

ในปริญญานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็นบททั้งหมด 6 บท โดยในบทที่ 1. เป็นการกล่าวนำวัตถุประสงค์ในการจัดทำปริญญานิพนธ์ หลักการใหม่ในปริญญานิพนธ์ และ เนื้อหาโดยย่อของแต่ละบท ในบทอื่น ๆ จะมีเนื้อหาดังนี้

บทที่ 2. กล่าวถึงโครงข่ายเชื่อมต่อภายใน การออกแบบ โหมดการทำงาน การควบคุม วิธีการสวิตช์ชิ่ง โทโปโลยี แนวความคิดของโครงข่ายเชื่อมต่อภายใน ชนิดของโครงข่ายเชื่อมต่อภายใน วงจรสวิตช์ และรูปแบบของชุดข้อมูล

บทที่ 3. กล่าวถึงโครงข่ายแบตเชอร์ การแบ่งส่วนของโครงข่ายแบตเชอร์ แนวความคิดในการเชื่อมต่อของโครงข่าย การทำงานของโครงข่าย และวงจรสวิตช์ของโครงข่าย

บทที่ 4. กล่าวถึงโครงข่ายบานยาน การแบ่งส่วนของโครงข่ายบานยาน แนวความคิดในการเชื่อมต่อของโครงข่าย การทำงานของโครงข่าย

บทที่ 5. การทดลองโดยการทดสอบโครงข่ายแบตเชอร์ และโครงข่ายบานยาน เพื่อดูลักษณะการทำงาน และผลการทดลอง

บทที่ 6. กล่าวสรุปรายละเอียดที่สำคัญต่าง ๆ ของปริญญานิพนธ์ทั้งหมด ปัญหาที่เกิดขึ้น และแนวทางแก้ไข

ภาคผนวก

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
โครงข่ายเชื่อมต่อภายใน

บทนำ

โครงข่ายเชื่อมต่อภายใน Interconnection network เป็นโครงข่ายที่นำไปประยุกต์ใช้งานได้อย่างกว้างขวาง เช่นการสื่อสารภายในและการประมวลผลของโปรเซสเซอร์ การประมวลผลแบบขนาน (Parallel Processing) โครงข่ายเชื่อมต่อด้วยตัวเอง (Self-routing switching) โครงข่ายสื่อสารร่วมดิจิตอล (Integrated Service Digital Network, ISDN) โครงข่ายสื่อสารร่วมดิจิตอลแถบกว้าง (Broadband Integrated Service Digital Network, B-ISDN) โครงข่ายเชื่อมต่อภายในเป็นโครงข่ายสำหรับการถ่ายโอนข้อมูลด้วยความเร็วสูงที่มีลักษณะเป็นชุด (Packet) ชุดของข้อมูลที่ป้อนทางอินพุตจะหาเส้นทางการเชื่อมต่อไปยังเอ้าพุต โดยอาศัยข้อมูลในส่วนหัวของชุดข้อมูล (Header) มาควบคุมการเชื่อมต่อ โดยชุดข้อมูลที่ปรากฏที่เอ้าพุต ยังคงมีลักษณะเช่นเดียวกับชุดข้อมูลที่รับมาทางอินพุต หรือเป็นการเลื่อนชุดข้อมูลทางอินพุตผ่านโครงข่ายไปยังเอ้าพุตที่ต้องการโดยอัตโนมัตินั่นเอง

การออกแบบโครงข่าย

โครงข่ายเชื่อมต่อภายในมีการพิจารณาในหลาย ๆ แบบ ในปริญญานิพนธ์ฉบับนี้จะพิจารณาโครงข่ายต่อภายในจากหลักในการออกแบบ ซึ่งพิจารณาจากลักษณะการใช้งาน โดยสำรวจจากโทโปโลยี (Topology) การพิจารณาโครงข่ายสำหรับใช้งานเป็นโครงข่ายเชื่อมต่อภายใน มีข้อกำหนดในการพิจารณาที่เหมาะสมทางสถาปัตยกรรมของโครงข่าย คือโหมดการทำงาน (Operation mode), การควบคุม (Control strategy), วิธีการสวิตช์ชิ่ง(Switching methodology) และโทโปโลยี (Topology)

โหมดการทำงาน

เราสามารถแบ่งโหมดการทำงานของการสื่อสารโดยทั่วไปออกเป็น 2 ประเภท คือ ซิงโครนัสโหมด (Synchronous mode) และ อะซิงโครนัสโหมด (Asynchronous mode)

1. ซิงโครนัสโหมด เหมาะสำหรับระบบการสื่อสารที่ต้องการถ่ายเทข้อมูลหรือการกระจายข้อมูล ที่เข้าจังหวะหรือการกระทำพร้อม ๆ กันไป โดยสามารถส่งผ่านข้อมูลได้ด้วยความเร็วสูง
2. อะซิงโครนัสโหมด เหมาะสำหรับระบบการสื่อสารที่การติดต่อที่เปลี่ยนแปลงอยู่เสมอ มีความสามารถส่งถ่ายข้อมูลที่ความเร็วสูงได้ไม่ดีนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการสื่อสารอาจจะออกแบบให้สะดวก โดยการออกแบบให้ใช้ทั้งระบบซิงโครนัส และระบบอะซิงโครนัส ดังนั้นในการใช้งานของโครงข่าย สามารถแบ่งออกเป็น 3 ระบบ คือ ซิงโครนัส อะซิงโครนัส และระบบผสม (Combination mode)

การควบคุม

โครงข่ายเชื่อมต่อภายในที่นิยมใช้กันอยู่ประกอบด้วย จำนวนของวงจรสวิตช์จำนวนมาก รูปแบบการเชื่อมโยงของโครงข่าย (Interconnection Link) ใช้สำหรับการเชื่อมโยงวงจรสวิตช์ในลักษณะต่าง ๆ กัน ตามลักษณะของโทโปโลยี และการควบคุม (Interconnection Function) ทำหน้าที่ควบคุมวงจรสวิตช์โดยการควบคุมจากศูนย์กลาง (Centralized Control) หรือ การควบคุมวงจรสวิตช์แต่ละตัวจะกระทำโดยหน่วยควบคุม (Control Unit)

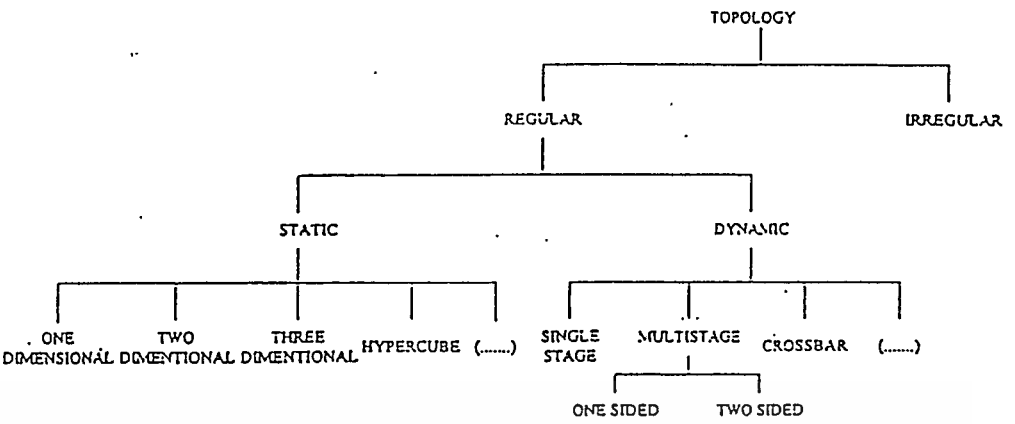
วิธีการสวิตช์ชิ่ง

วิธีการสวิตช์ชิ่งของโครงข่ายมีสองวิธีการใหญ่ๆ ด้วยกัน คือเซอร์กิตสวิตช์ชิ่ง (Circuit Switching) และ แพคเกตสวิตช์ชิ่ง (Packet Switching) กรณีของเซอร์กิตสวิตช์ชิ่ง จะมีการเชื่อมโยงทางกายภาพ (Physical) ระหว่างต้นทางไปจนถึงปลายทาง ส่วนกรณีของแพคเกตสวิตช์ชิ่ง จะไม่มีการเชื่อมโยงทางกายภาพ ข้อมูลจะถูกส่งไปยังปลายทางโดยแบ่งเป็นชุดข้อมูล (Packet) แล้วส่งผ่านโครงข่าย โดยปราศจากการสร้างเส้นทางทางกายภาพไปยังปลายทาง ชุดข้อมูลจะถูกรวบรวมที่ปลายทางอีกครั้งหนึ่ง โดยทั่วไปแล้วการส่งข้อมูลแบบเซอร์กิตสวิตช์ชิ่งแบบร่วม (Integrated Switching) โดยการรวมเอาความสามารถของเซอร์กิตสวิตช์ชิ่งและแพคเกตสวิตช์ชิ่งเข้าไว้ด้วยกัน ดังนั้นจึงแบ่งวิธีการสวิตช์ชิ่งได้ 3 แบบ คือ เซอร์กิตสวิตช์ชิ่ง แพคเกตสวิตช์ชิ่ง และสวิตช์ชิ่งแบบรวม

โทโปโลยี

รูปแบบของโครงข่ายสามารถแสดงด้วยกราฟโดยโหนด (Nodes) จะแทนแบบของสวิตช์ชิ่ง (Switching Point) และ เอดจ์ (Edges) จะแทนรูปแบบการเชื่อมโยง (Communication Link Topology) จากรูปที่ 1. สามารถแบ่งได้สองลักษณะคือ แบบที่ไม่นิยม ในปริญญานิพนธ์ฉบับนี้จะพิจารณาเฉพาะแบบที่นิยม ซึ่งแบ่งออกได้สองระดับชั้นคือ สแตติก และแบบไดนามิค ในรูปแบบของสแตติก การเชื่อมโยงระหว่างวงจรสวิตช์แต่ละตัวจะไม่แสดงอะไรและไม่สามารถเปลี่ยนแปลงรูปแบบในการเชื่อมโยงได้หรือเป็นการต่อโดยตรงกับวงจรสวิตช์ตัวอื่นนั้นเอง ในทางกลับกันการเชื่อมโยงในรูปแบบของไดนามิคสามารถเปลี่ยนแปลงรูปแบบการเชื่อมโยงได้ เช่น การเปลี่ยนแปลงการเชื่อมโยงของวงจรครอสบาร์ เป็นต้น โทโปโลยีเป็นกุญแจสำคัญ ในการกำหนดรูปแบบของโครงสร้างของสถาปัตยกรรมของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



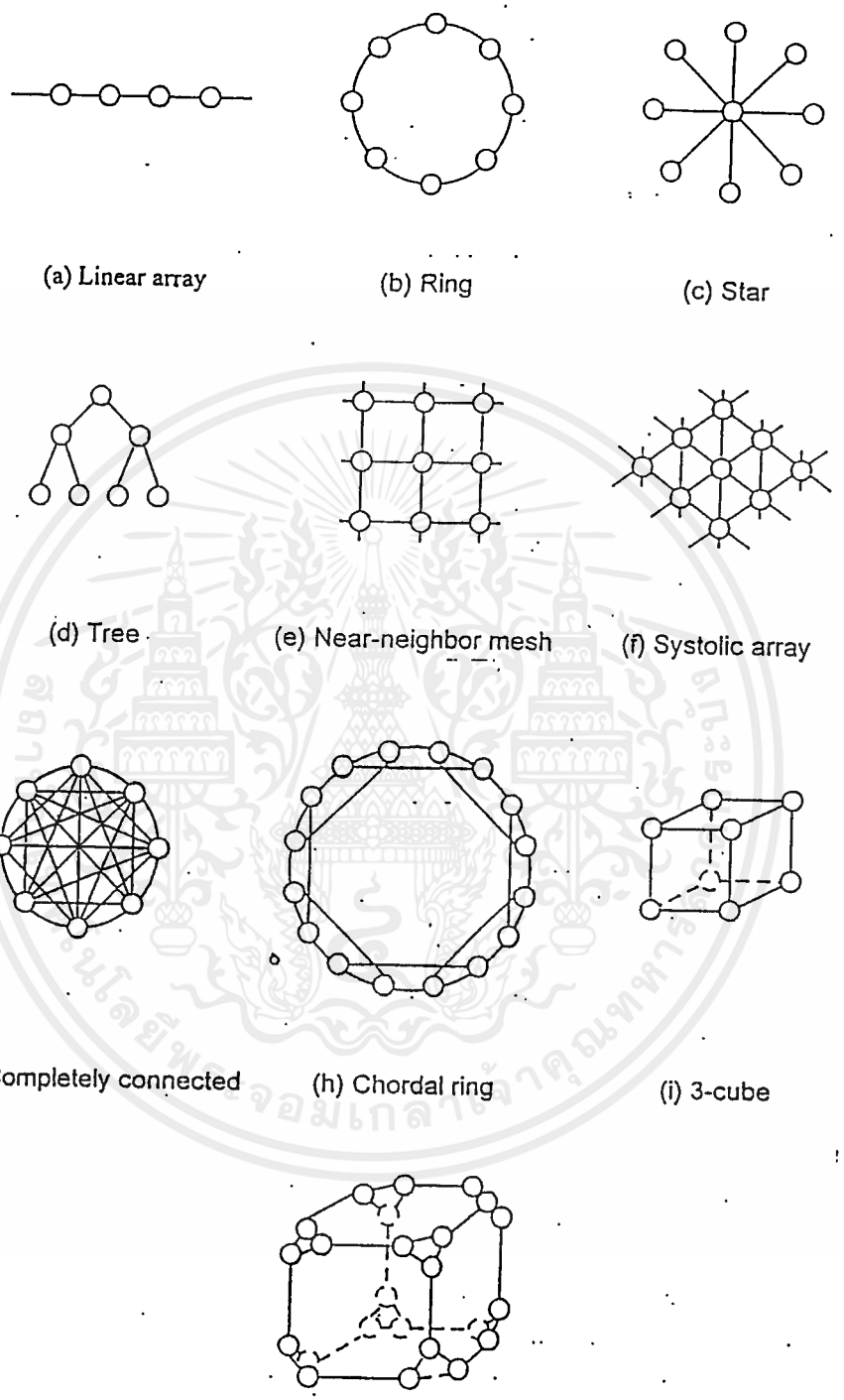
รูปที่ 1 แสดงโทโปโลยีของโครงข่ายเชื่อมต่อภายใน

<u>แนวความคิดของโครงข่ายเชื่อมต่อภายใน</u>

โครงสร้างทางโทโปโลยีของโครงข่ายเชื่อมต่อภายในสามารถแบ่งออกเป็น 2 ลำดับชั้น บนพื้นฐานของโทโปโลยีของโครงข่ายคือ โครงข่ายไดนามิค และโครงข่ายสแตติก

โครงข่ายแบบสแตติก แบ่งออกได้ตามขนาดทางมิติของแต่ละแบบ แสดงได้เป็น 1 มิติ 2 มิติ 3 มิติ และมิติที่สูงกว่าสี่เหลี่ยมลูกบาศก์ (Hypercube) ดังแสดงในรูปที่ 1. ตัวอย่างของโทโปโลยีแบบ 1 มิติ คือ Linear array ใช้ในงานสถาปัตยกรรมแบบ Pipeline บางอย่าง ดังแสดงในรูปที่ 2. (a) โทโปโลยีแบบ 2 มิติ ประกอบด้วย Ring, Star, Tree, Mesh และ Systolic array โครงสร้างแต่ละแบบแสดงในรูปที่ 2. (b-f) โทโปโลยีแบบ 3 มิติ ประกอบด้วย Completely connected, Chordal ring, 3-cube และ 3-cube connected Cycle network ดังแสดงไว้ในรูปที่ 2. (g-j) เมื่อ D เป็นมิติ, W เป็นความกว้าง Hypercube จะประกอบด้วย W โหนดในแต่ละมิติ และมีการเชื่อมต่อของโหนดในแต่ละมิติแบบตาข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

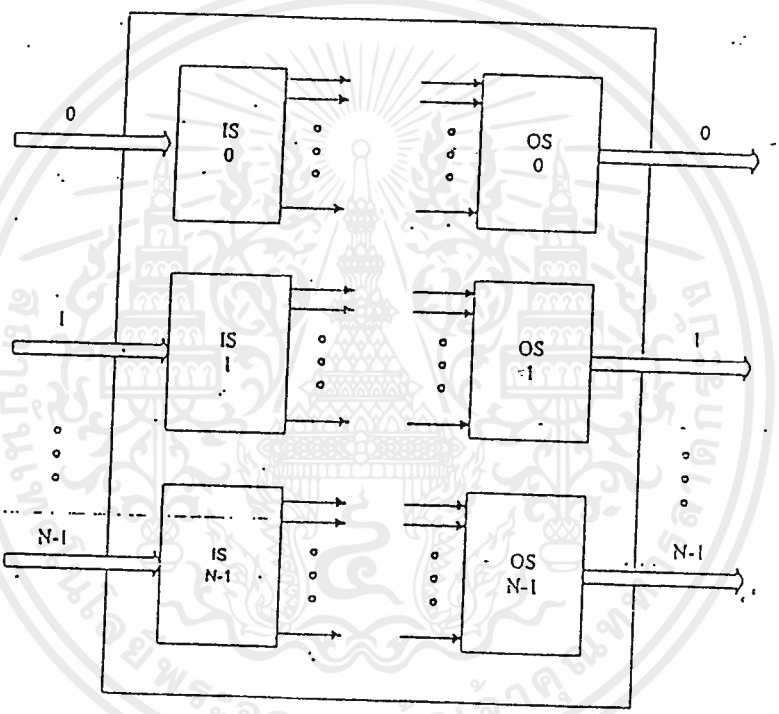


รูปที่ 2 แสดงตัวอย่างโทโปโลยีของโครงข่ายแบบสแตติก : (a) 1 มิติ (b-f) 2 มิติ (g-j) 3 มิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Network topology

ในโครงข่ายแบบไดนามิคจะพิจารณาเป็น 2 ลำดับชั้น คือ แบบสเตจเดียว (Single Stage) และแบบหลายสเตจ (Multistage) Single Stage Network ที่ประกอบด้วย N input selector (IS) และ N output selector (OS) ดังแสดงในรูปที่ 3. และ IS จำเป็นต้องมี Demultiplexer 1 to D และแต่ละ OS จะต้องมี Multiplexer M to 1 โดยที่ 1<D<N และ 1<M<N ดังเช่นสวิตซ์ชิ่งแบบครอสบาร์เป็น Single Stage network ที่มี N=D=M เป็นต้น



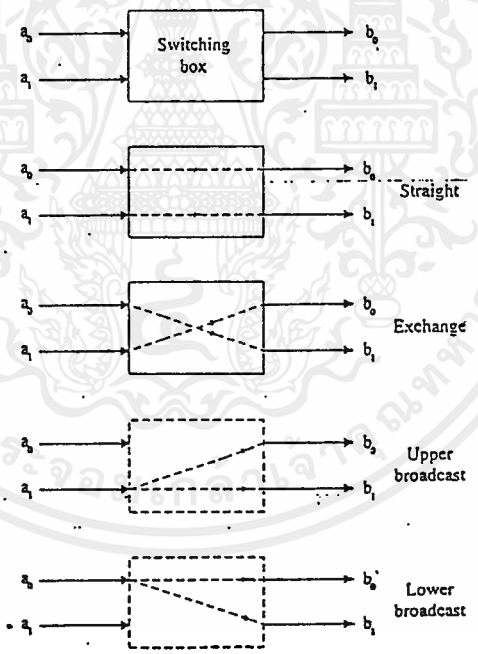
รูปที่ 3 แสดงแนวความคิดของ Single stage Interconnection Network

Single stage network บางครั้งเรียกว่า Recirculating Network เนื่องจากชุดข้อมูลแต่ละตัวอาจจะวนผ่าน Single stage หลายครั้งก่อนจะไปถึงปลายทาง จำนวน Recirculation ขึ้นอยู่กับความต้องการ การเชื่อมโยงใน Single stage network โดยทั่ว ๆ ไปการเชื่อมต่อทางฮาร์ดแวร์มีสูงและจำนวน Recirculation จะน้อย ตัวอย่างเช่นสวิตซ์แบบครอสบาร์มีเพียง Circulation เดียว ในการสร้างเส้นทางการเชื่อมโยงไปที่ปลายทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Multistage network

มีชุดของวงจรสวิตช์ (Switching element) หลายชุด โดยพิจารณาคุณลักษณะของ Multistage Network 3 ประการ คือ วงจรสวิตช์, โทโปโลยี (Topology) และโครงสร้างการควบคุม (Control Structure) มีวงจรจำนวนมากที่ใช้กับ Multistage network วงจรสวิตช์แต่ละตัวจะมีการแลกเปลี่ยนกันระหว่าง 2 อินพุตและ 2 เอ๊าพุต ดังแสดงในรูป 4. แสดงสภาวะพื้นฐานของวงจรสวิตช์ 4 สภาวะด้วยกัน คือ Straigh, Exchange, Upper broadcast และ Lower broadcast วงจรสวิตช์บางวงจรที่ใช้กับโครงข่ายเชื่อมโยงในบางชนิด ใช้ลักษณะการทำงานเพียง 2 สภาวะ คือ Straight (pass) หรือ Exchange (Cross) เท่านั้น ความสามารถด้านการเชื่อมต่อของ Multistage network ไม่มีกฎเกณฑ์ทางอินพุตและเอ๊าพุต โดยมีได้ทั้งแบบด้านเดียวและแบบ 2 ด้าน แบบด้านเดียวบางครั้งเรียกว่า Full Switch โดยมีอินพุตพอร์ตอยู่ด้านเดียวกัน แบบ 2 ด้าน จะแยกด้วยอินพุต เอ๊าพุต และแบ่งคุณลักษณะได้ 3 ประการคือ Blocking, Rerangable และ Nonblocking



รูปที่ 4 แสดงวงจรสวิตช์แบบ 2 ด้าน มีสภาวะการทำงาน 4 สภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Blocking network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทางด้านอินพุตในเวลาเดียวกันมากกว่า 1 คู่ ผลที่ได้อาจจะขัดแย้งกัน หรือเกิดการชนกันของชุดข้อมูลในระหว่างการเชื่อมโยงชุดข้อมูลได้
2. Rerangable network เป็นโครงข่ายที่สามารถทำงานเชื่อมต่อชุดข้อมูลทั้งหมดที่เป็นไปได้จากอินพุตไปยังเอ้าพุต โดย Rerangable ยังคงต่ออยู่ ดังนั้นเส้นทางการเชื่อมต่อสำหรับอินพุตและเอ้าพุตใหม่สามารถสร้างได้เสมอ
3. Nonblocking network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทางด้านอินพุต ไปยังเอ้าพุตในเวลาเดียวกันได้มากกว่า 1 คู่ โดยไม่มีการขัดแย้งซึ่งกันและกัน หรือเกิดการชนกันของชุดข้อมูลในระหว่างการสร้างเส้นทางการเชื่อมโยงนั้น

ขนาดของ Multistage network มีขนาดเป็น $N = 2^n$ โดยที่ n เป็นจำนวน stage N เป็นจำนวนของอินพุตหรือเอ้าพุต แต่ละ stage จะใช้วงจรสวิตช์จำนวน N/2 รูปแบบการเชื่อมโยงของแต่ละ Stage สามารถกำหนดได้จากโทโปโลยีของโครงข่าย โครงข่ายสร้างการควบคุม (Control structure) ของโครงข่ายขึ้นอยู่กับสถานะของวงจรสวิตช์ที่ใช้ โครงสร้างการควบคุมมี 2 ชนิดใหญ่ ๆ ที่ใช้ในโครงข่ายคือ ควบคุมแต่ละสเตจเอง (Individual Stage Control) โดยสัญญาณที่ใช้ควบคุมวงจรสวิตช์แต่ละตัวจะเหมือน ๆ กันในสเตจเดียว ดังนั้นจะต้องใช้สัญญาณ n ชุด เพื่อควบคุม n stage แบบที่สองใช้สัญญาณควบคุมแต่ละวงจรสวิตช์เอง (Individual box Control) ในแต่ละวงจรสวิตช์ต้องใช้สัญญาณควบคุมแต่ละวงจรสวิตช์เอง ทำให้มีความอ่อนตัวสูงในการกำหนดเส้นทางการเชื่อมโยง แต่มันต้องการสัญญาณควบคุมถึง $N^2/2$ สัญญาณ ซึ่งเป็นส่วนประกอบของวงจรที่จะต้องเพิ่มขึ้น

ข้อตกลงในการติดต่อสื่อสาร (Communication Protocols) วิธีการสวิตช์และวิธีการควบคุมจะเป็นตัวกำหนดสภาวะของวงจรสวิตช์ แต่ละวงจรสวิตช์ก็ต้องการข้อตกลงในการติดต่อสื่อสารกัน ข้อตกลงนี้สามารถแบ่งออกได้เป็น 2 ระดับคือ ระดับแรก จะเป็นแนวความคิดที่ใช้ควบคุมวงจรสวิตช์ (Switching Control Algorithm) ซึ่งเป็นจำนวนมากในการกำหนดการควบคุมวงจรสวิตช์ เพื่อให้มีความสัมพันธ์กับการถ่ายโอนข้อมูลจากต้นทางไปยังปลายทาง ระดับที่สองจะพิจารณารูปแบบการติดต่อเชื่อมโยง (Link control procedure) ที่จัดเตรียมไว้สำหรับการตรวจสอบกันระหว่างวงจรสวิตช์ (hand checking) ซึ่งการตรวจสอบนี้เป็นหน้าที่พื้นฐานของวงจรสวิตช์

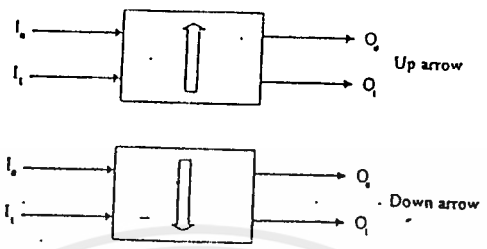
เทคนิคการเชื่อมโยง (Routing techniques) ขึ้นอยู่กับโทโปโลยีและโหมดการทำงานของโครงข่ายที่ใช้ แต่ละวงจรสวิตช์ต้องการวิธีการเชื่อมโยง เพื่อให้การเชื่อมโยงเป็นไปตามวัตถุประสงค์ที่ตั้งไว้

<u>วงจรสวิตช์</u>

วงจรสวิตช์เป็นวงจรขนาดเล็กที่ใช้เชื่อมโยงข้อมูลภายในโครงข่าย วิธีการเชื่อมโยงภายในวงจรสวิตช์ฉะนั้นขึ้นกับโทโปโลยี และข้อตกลงในการเชื่อมโยงของแต่ละโครงข่าย โดยทั่วไปมีลักษณะการทำงานอยู่ 4 ประเภท คือ Straight, Exchange, Upper broadcast และ Lower broadcast โดยมีลักษณะการทำงานที่ไม่ควรเกิดขึ้น 2 กรณี คือ Upper case และ Lower cast ดังแสดงในรูปที่ 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

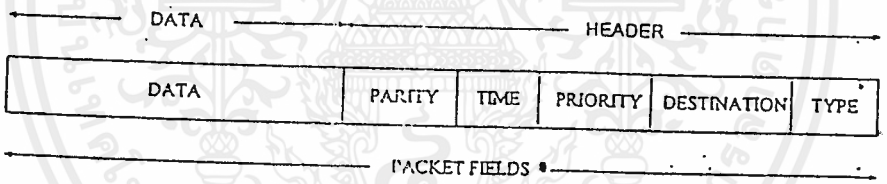
สัญญลักษณ์ที่นิยมใช้แทนลักษณะการทำงานที่มักพบบ่อยๆได้แก่การใช้ลูกศรแทนลักษณะการทำงาน ดังนี้คือ ลูกศรชี้ขึ้น (Up arrow) ใช้แทนวงจรสวิตซ์ที่มีสภาวะการทำงานให้เอ๊าพุตที่มีค่าสูงกว่าออกไปด้านบน (O0) และให้เอ๊าพุตที่มีค่าต่ำกว่ามาออกด้านล่าง (O1) ลูกศรชี้ลง (Down arrow) ใช้แทนสภาวะของวงจรสวิตซ์ที่ให้เอ๊าพุตที่มีค่าต่ำกว่าไปออกด้านบน (O0) และให้เอ๊าพุตที่มีค่าสูงไปออกด้านล่าง ดังแสดงได้ในรูปที่ 5.



รูปที่ 5 แสดงสัญญลักษณ์ของวงจรสวิตซ์

ชุดข้อมูล

รูปแบบของชุดข้อมูลที่นิยมใช้ทั่วไปแสดงได้ ดังรูปที่ 6.



รูปที่ 6 แสดงรายละเอียดของชุดข้อมูล

ชุดข้อมูล ประกอบด้วย (Type) เป็นส่วนเริ่มต้นของชุดข้อมูล ใช้แสดงว่าชุดข้อมูลนั้นมีข้อมูลหรือไม่ (Active, Inactive) โดยปกติแล้วจะมีค่าเท่ากับ 7E หลายเลขปลายทาง เป็นส่วนที่ใช้กำหนดตำแหน่งปลายทางของชุดข้อมูล ส่วนลำดับความสำคัญใช้กำหนดลำดับความสำคัญของแต่ละชุดข้อมูล ส่วนเวลาใช้แสดงเวลาที่ใช้ขณะจัดส่งชุดข้อมูล ส่วนตรวจสอบความผิดพลาด ใช้สำหรับตรวจสอบความผิดพลาดของชุดข้อมูลที่ส่งไปยังปลายทาง ส่วนข้อมูล ใช้บรรจุข้อมูลที่ต้องการส่งไปยังปลายทางตามหมายเลขปลายทาง ความยาวของข้อมูลขึ้นอยู่กับความต้องการของแต่ละระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน

บทนำ

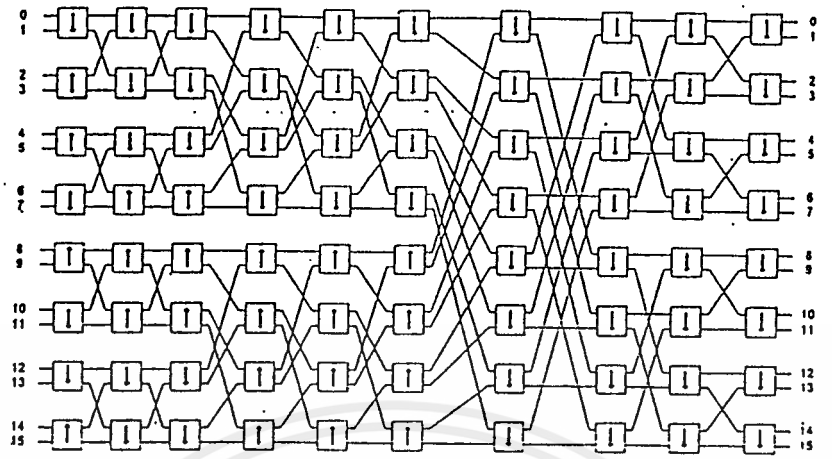
โครงข่ายแบตเชอร์ (batcher) เป็นโครงข่ายที่มีจุดประสงค์ในการเรียงลำดับชุดข้อมูลที่รับเข้ามาทางอินพุตให้ไปออกที่เอ๊าพุต ตามหมายเลขปลายทางของชุดข้อมูล โดยเรียงจำนวนน้อยไปมากหรือมากไปน้อยขึ้นอยู่กับการจัดวงจรภายในโครงข่ายแบตเชอร์เอง โครงข่ายแบตเชอร์ใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดซิงโครนัส การควบคุมวงจรสวิตซ์ใช้การควบคุมจากศูนย์กลาง โครงข่ายแบตเชอร์ประกอบด้วย วงจรสวิตซ์แบตเชอร์ (Batcher switching element) จำนวนมากต่ออยู่ระหว่างอินพุตกับเอ๊าพุต เรียงกันไปหลายภาคแต่ละภาคจะเชื่อมต่อกันในลักษณะพิเศษ คือการต่อแบบสลับและแลกเปลี่ยน (Shuffle exchange) เพื่อให้ได้คุณสมบัติในการเรียงลำดับชุดข้อมูลของโครงข่าย

โครงข่ายแบตเชอร์

ขนาดของโครงข่ายแบตเชอร์ ขึ้นอยู่กับขนาดของอินพุตของโครงข่ายแบตเชอร์ที่ต้องการ เราสามารถคำนวณหาขนาดของวงจรสวิตซ์แบตเชอร์ที่จำเป็นต้องใช้ในการสร้างโครงข่ายแบตเชอร์ ตามขนาดอินพุตที่ต้องการได้ดังนี้

Row	=	N/2	(3.1)
Column	=	$\log_2 N (\log_2 N+1)/2$	(3.2)
Processing element	=	Row x Column	(3.3)
N	=	Channel	

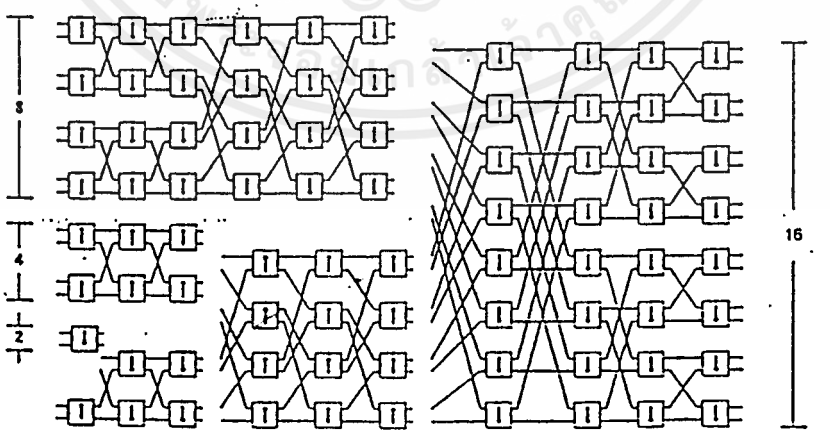
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงโครงข่ายแบตเชอร์ขนาด 16 อินพุตและ 16 เอ๊าพุต

การแบ่งส่วนของโครงข่ายแบตเชอร์

โครงข่ายแบตเชอร์สามารถสร้างได้หลายขนาดบนพื้นฐานของวงจรสวิตช์แบตเชอร์หลาย ๆ วงจรประกอบกับเป็นโครงข่ายแบตเชอร์หลาย ๆ ขนาด ตามความต้องการของผู้ออกแบบ จำนวนของวงจรสวิตช์ที่ใช้สามารถคำนวณหาได้จากสมการที่ (3.3) นำมาเชื่อมต่อกันแบบสลับและแลกเปลี่ยน เพื่อให้ได้โครงข่ายแบตเชอร์ตามขนาดที่ต้องการ



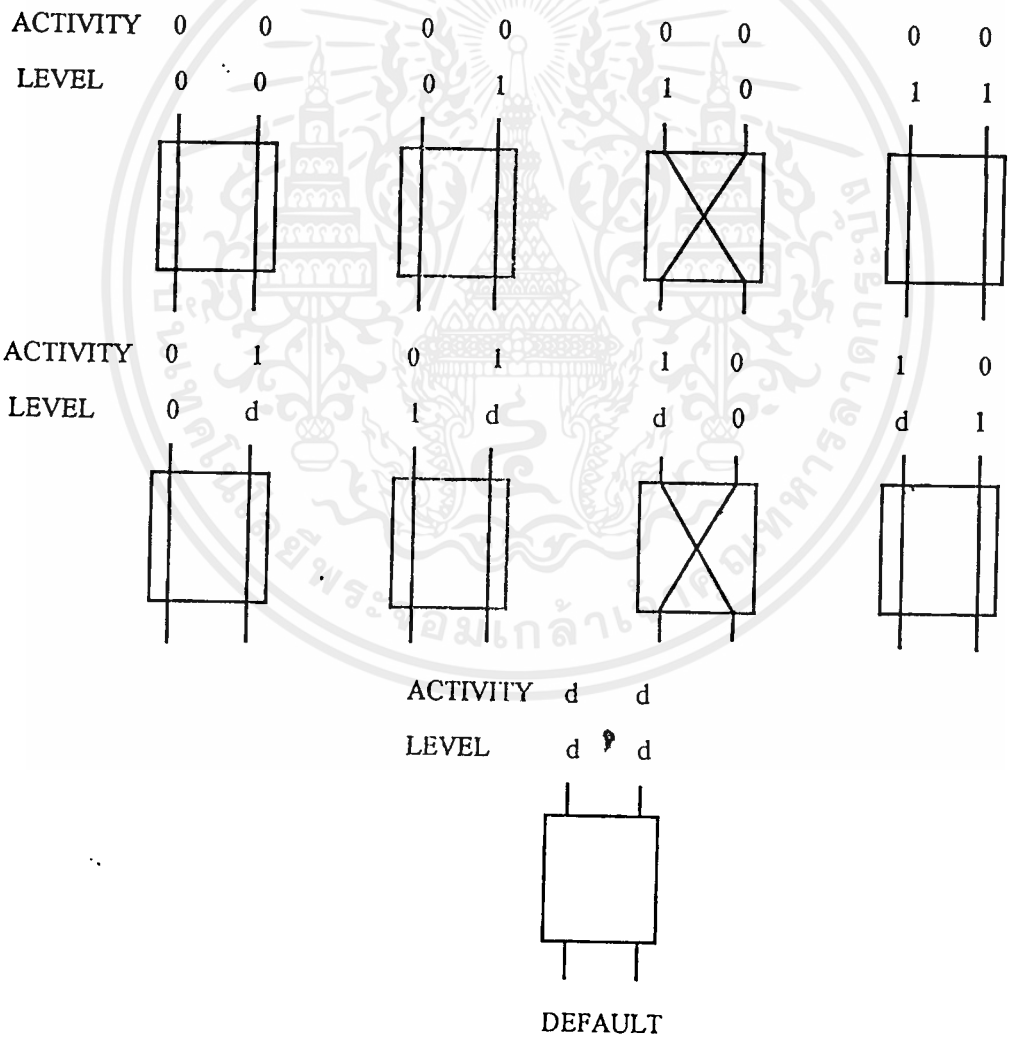
รูปที่ 8 แสดงขนาดต่าง ๆ ของโครงข่ายแบตเชอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงขนาดต่าง ๆ ของโครงข่ายแบตเชอร์ สามารถมีได้หลายขนาดจากขนาดเล็ก (2 x 2) ไปจนถึงขนาด (16 x 16) สามารถสร้างโครงข่ายแบตเชอร์ที่มีขนาดใหญ่กว่าที่แสดงได้ โดยวงจรสวิตซ์แบตเชอร์แต่ละวงจรมีลักษณะเหมือนกันทุกประการ

<u>แนวความคิดในการเชื่อมโยงของวงจรสวิตซ์แบตเชอร์</u>

แนวความคิดที่ใช้ในการเชื่อมโยงดังรูปที่แสดง จะใช้ความสัมพันธ์ของ Activity bit และบิตต่าง ๆ ในส่วนหัวของชุดข้อมูล เป็นตัวกำหนดเส้นทางการเชื่อมโยงของชุดข้อมูล ข้อมูลบิตแรกในส่วนหัวของชุดข้อมูลในบิตที่มีนัยสำคัญสูงสุด (MSB) บิตสุดท้ายเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) สภาวะในการเชื่อมโยงของวงจรสวิตซ์แบตเชอร์ถูกกำหนด โดยการเปรียบเทียบบิตส่วนหัวของชุดข้อมูลกับสถานะของ Activity bit ตามเงื่อนไขที่กำหนด สภาวะที่เป็นไปได้ในการเชื่อมโยงมีด้วยกัน 2 สภาวะ คือ Straight และ Exchange ในสภาวะปกติจะกำหนดให้วงจรสวิตซ์มีสภาวะเป็น Straight

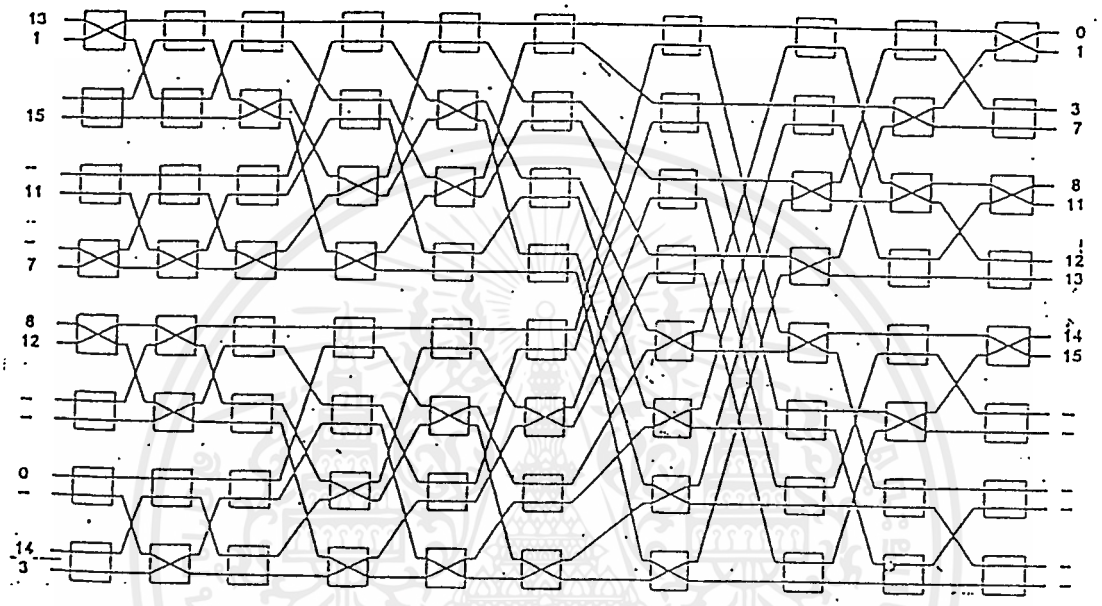


รูปที่ 9 แสดงแนวความคิดในการเชื่อมโยงของวงจรสวิตซ์แบตเชอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของโครงข่ายแบตเชอร์

ชุดข้อมูลที่ถูกป้อนที่อินพุต ของโครงข่ายแบตเชอร์นั้น จะต้องมีหมายเลขปลายทางไม่มากไปกว่าจำนวนวงจรของโครงข่าย และจะต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน เมื่อพิจารณาจากรูปจะพบว่าชุดข้อมูลทางอินพุต จะมีหมายเลขปลายทางที่ปนกันมา โดยยังไม่ได้เรียงลำดับ โดยจะใช้โครงข่าย แบตเชอร์เรียงลำดับชุดข้อมูลดังกล่าว



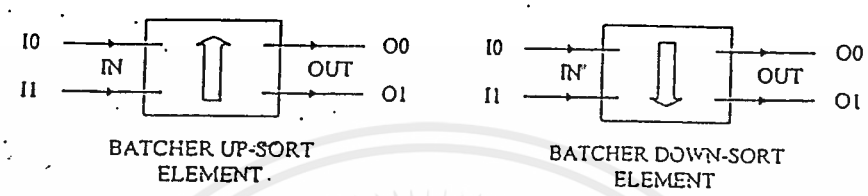
รูปที่ 10 แสดงการทำงานของแบตเชอร์ขนาด 16 x 16 วงจร

พิจารณาการทำงานของโครงข่ายแบตเชอร์จากรูปที่ 10 โดยใช้ชุดข้อมูลที่มีหมายเลขปลายทาง 11 (1011b) เป็นตัวอย่าง ชุดข้อมูลจะถูกป้อนทางอินพุต 5 ในภาคแรกชุดข้อมูลดังกล่าวทำการเปรียบเทียบกับ Inactive packet ที่อินพุต 4 วงจรสวิตช์ส่วนนี้ใช้แบบ Up sort จากเงื่อนไขที่ใช้ในการเปรียบเทียบทำให้วงจรสวิตช์มีสภาวะเป็น Straight ชุดข้อมูลจะไปปรากฏที่เอ๊าพุต O1 ในภาคที่ 2 ก็ถูกเปรียบเทียบกับ Inactive packet เช่นกันแต่เงื่อนไขที่ใช้ต่างกันทำให้ได้สภาวะเป็น Exchange ภาคที่ 3 ทำการเปรียบเทียบกับชุดข้อมูลที่มีหมายเลขปลายทาง 7 ได้สภาวะ Exchange เช่นกัน ส่วนในภาคอื่น ๆ เป็นไปตามสภาวะของวงจรสวิตช์ที่แสดงไว้บนสัญญลักษณ์ของวงจรสวิตช์ตามเส้นทางการเชื่อมโยง ของชุดข้อมูลต่าง ๆ ผลรวมที่ปรากฏที่เอ๊าพุตเป็นไปตามวัตถุประสงค์ คือชุดข้อมูลถูกจัดเรียงจากน้อยไปมากตามด้วย Inactive packet ดังที่แสดงในรูป 10 จะเห็นว่าไม่มีชุดข้อมูลใด เชื่อมหรือชนกันในขณะที่ทำการเชื่อมโยงผ่านโครงข่ายซึ่งเหตุการณ์นี้เป็นคุณสมบัติอย่างหนึ่งของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

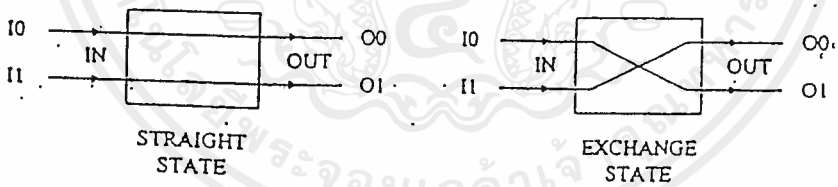
วงจรสวิตซ์แบตเชอร์

วงจรสวิตซ์แบตเชอร์จะใช้สัญญลักษณ์ดังแสดงในรูปที่ 11. แนวความคิดที่ใช้ในการเชื่อมโยงจะใช้ความสัมพันธ์ของ Activity bit และบิตในส่วนหัวของชุดข้อมูล ถ้าเป็นไปตามเงื่อนไขใดก็ทำการปรับปรุงวงจรสวิตซ์ให้อยู่ในสถานะเชื่อมโยงนั้น



รูปที่ 11 แสดงสัญญลักษณ์ของวงจรสวิตซ์แบตเชอร์

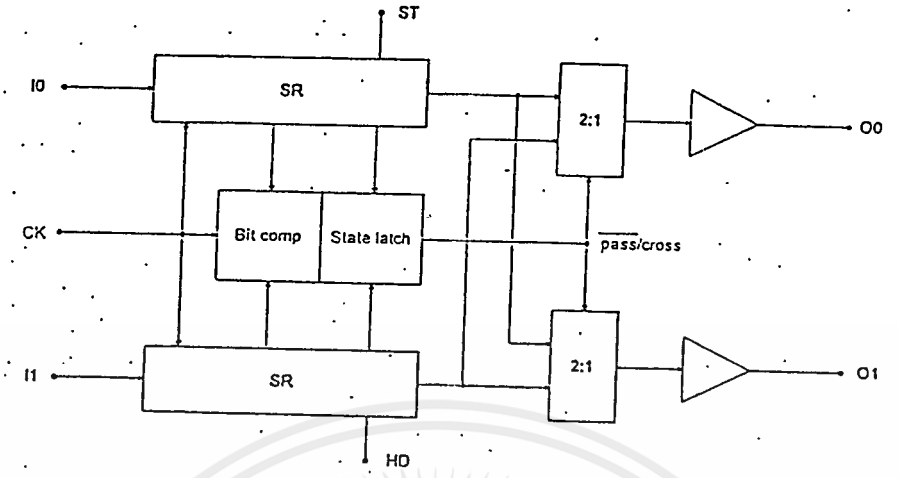
วงจรสวิตซ์แบตเชอร์ที่ใช้ในโครงข่ายนั้น ใช้ทั้งชนิด Up-sort และ Down-sort เพื่อให้การเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลที่มีความแตกต่างกัน และจำนวนภาคของวงจรน้อยที่สุด วงจรสวิตซ์จะมีสภาวะการทำงานของวงจรสวิตซ์แบตเชอร์ ถูกออกแบบให้มีสภาวะการทำงาน 2 สภาวะดังรูปที่ 12.



รูปที่ 12 แสดงสภาวะการทำงานของวงจรสวิตซ์แบตเชอร์

สภาวะการทำงานของวงจรสวิตซ์แบตเชอร์ ถูกปรับปรุงให้มีสภาวะการทำงานเพียง 2 สภาวะ เพื่อป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เพราะจะทำให้ชุดข้อมูลที่ได้เกิดการผิดพลาดขึ้นได้ การป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เป็นคุณสมบัติของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 แสดงบล็อกไดอะแกรมของวงจรสวิตช์แบตเชอร์

บล็อกไดอะแกรมของวงจรสวิตช์แบตเชอร์ ประกอบด้วย Shift register, Bit comparater, State latch และ 2:1 Multiplexer เมื่อมีชุดข้อมูลป้อนมาทางอินพุต I0 และ I1 Bit comparater จะทำการเก็บสภาวะของ Activity bit ไว้เพื่อตรวจสอบเงื่อนไขกับบิตในส่วนหัวของชุดข้อมูล ถ้าส่วนตรวจสอบบิตตรวจพบความแตกต่างของบิตในขณะที่อยู่ในช่วงหัวของชุดข้อมูล ก็จะทำการเปรียบเทียบกับ Activity bit ว่าเป็นไปตามเงื่อนไขใด และส่งผลที่ได้ไปควบคุมให้ 2:1 Multiplexer ปรับปรุงเส้นทางการเชื่อมโยง เมื่อวงจรสวิตช์ถูกปรับปรุงเส้นทาง จะค้างสถานะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไปจนหมดเฟรมก่อน ส่วนควบคุมจึงจะทำการ Reset สภาวะของวงจรสวิตช์ให้เป็นการเชื่อมต่อโดยตรง

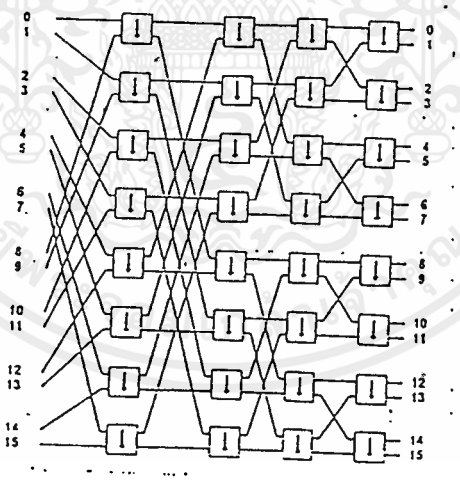
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายบานยาน (Banyan network) เป็นโครงข่ายที่มีวัตถุประสงค์ในการจัดส่งชุดข้อมูลไปยังตำแหน่งปลายทางที่ถูกต้องตามหมายเลขปลายทางของชุดข้อมูล หรือเรียกโครงข่ายนี้ว่า Expander network โครงข่ายบานยานใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดซิงโครนัส ใช้การควบคุมจากศูนย์กลาง โครงข่ายบานยานประกอบด้วยวงจรสวิตซ์บานยาน (Banyan switching element) จำนวนมากต่อระหว่างอินพุตและเอ้าพุตเรียงกันไป แต่ละภาคเชื่อมต่อกันในลักษณะพิเศษ เพื่อให้ได้คุณสมบัติของโครงข่ายบานยาน

<u>โครงข่ายบานยาน</u>

ขนาดของโครงข่ายบานยานนี้ขึ้นอยู่กับ จำนวนของอินพุตและเอ้าพุตที่ต้องการ โดยสามารถคำนวณหาจำนวนของวงจรสวิตซ์บานยาน ที่จำเป็นต้องใช้ในการเชื่อมต่อเป็นโครงข่ายบานยานได้ดังนี้

Row	=	N/2	(4.1)
Column	=	$\log_2 N$	(4.2)
Processing element	=	Row x Column	(4.3)
N	=	Channel	

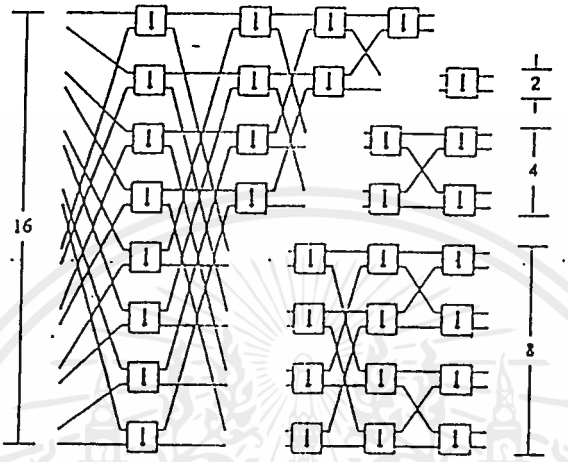


รูปที่ 14 แสดงโครงข่ายบานยานขนาด 16 x 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งส่วนของโครงข่ายบานยาน

โครงข่ายบานยานสามารถสร้างได้หลายขนาด ขึ้นอยู่กับ จำนวนอินพุตเอ๊าพุตที่ต้องการ โดยสร้างจากจำนวนของวงจรสวิตช์ที่คำนวณได้จากสมการที่ (4.3) การเชื่อมโยงระหว่างวงจรสวิตช์ใช้การเชื่อมโยงแบบ Perfect shuffle เพื่อให้การเชื่อมโยงเป็นไปตามคุณสมบัติของโครงข่ายบานยาน



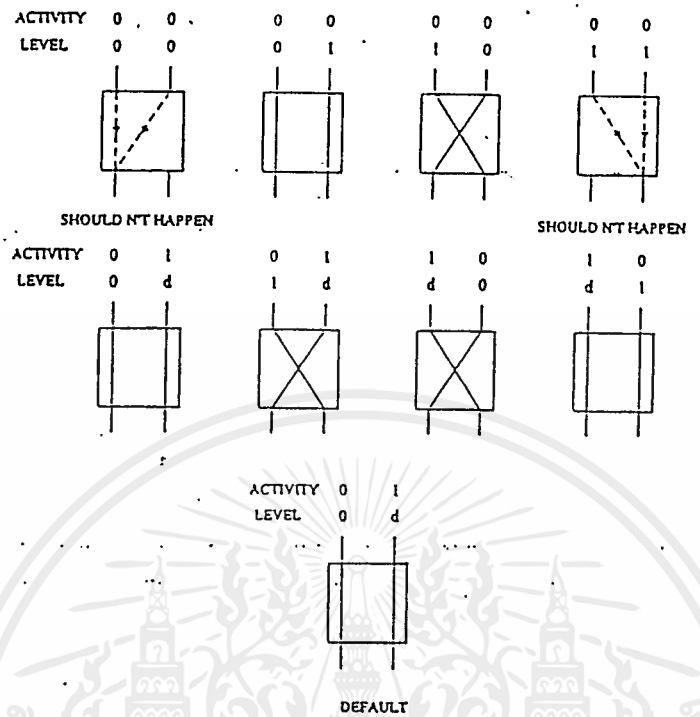
รูปที่ 15 แสดงขนาดต่าง ๆ ของโครงข่ายบานยาน

ขนาดต่าง ๆ ของโครงข่ายบานยานตามที่แสดงในรูปที่ 15. สามารถมีได้หลายขนาด จากขนาดเล็กที่สุด 2 x 2 ไปจนถึงขนาด 16 x 16 หรือตามความต้องการในการใช้งาน

แนวความคิดในการเชื่อมโยงของวงจรสวิตช์บานยาน

แนวความคิดที่ใช้ในการเชื่อมโยงแสดงได้ดังรูปที่ 16. โดยใช้ความสัมพันธ์ของ Activity bit และบิตต่าง ๆ ในส่วนหัวของชุดข้อมูล ข้อมูลบิตแรกของส่วนหัวของชุดข้อมูลเป็นบิตที่มีนัยสำคัญสูงสุด (MSB) และบิตสุดท้ายของส่วนหัวเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) ข้อมูลส่วนหัวของชุดข้อมูลแต่ละบิตจะใช้กำหนดการเชื่อมโยงในแต่ละภาคของโครงข่าย วงจรสวิตช์จะมีสถานะการเชื่อมต่อที่เป็นไปได้ 6 สถานะ ดังแสดงในรูป 16. มีทั้งสถานะที่ควรเกิดขึ้นและไม่ควรเกิดขึ้น จึงปรับปรุงให้เป็นการเชื่อมต่อที่ไม่ควรเกิดขึ้นให้มีลักษณะเป็นการเชื่อมต่อโดยตรง (Straight) เหตุการณ์เชื่อมต่อที่เป็นไปได้จึงเหลือเพียง 2 สภาวะ คือ straight และ exchange ในสภาวะปกติสวิตช์ถูกกำหนดให้มีสถานะการเชื่อมโยงโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

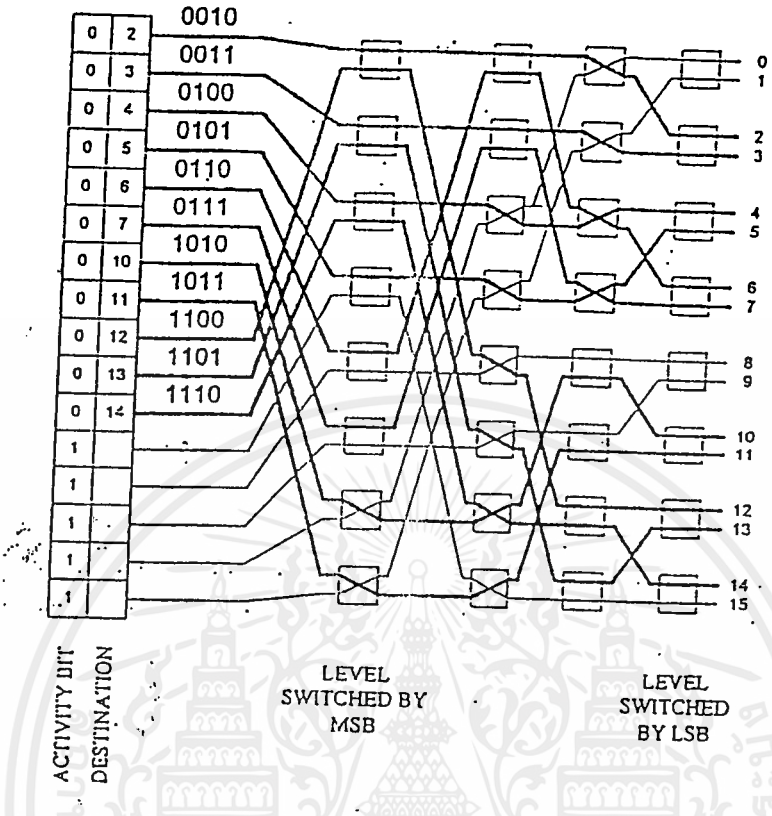


รูปที่ 16 แสดงแนวความคิดที่ใช้ในการเชื่อมโยงของวงจรสวิตซ์บานยาน

การทำงานของโครงข่ายบานยาน

การทำงานของโครงข่ายบานยานสามารถพิจารณาได้จากรูปที่ 17. โดยชุดข้อมูลที่จะป้อนที่อินพุตของโครงข่ายบานยานนั้น จะต้องมีการเรียงลำดับจากน้อยไปมากมาแล้ว และไม่มีหมายเลขปลายทางซ้ำกันด้วย เมื่อพิจารณาจากรูปที่ 17. จะเห็นว่าชุดข้อมูลที่มีข้อมูล (Active packet) จะอยู่ทางด้านซ้ายและเรียงจากน้อยไปมาก ส่วนชุดข้อมูลที่ไม่มีข้อมูล (Inactive packet) จะอยู่ด้านขวาทั้งหมด การสร้างเส้นทางการเชื่อมโยงผ่านโครงข่ายนั้น จะใช้สถานะในแต่ละบิต ของส่วนหัวของชุดข้อมูล มาเป็นตัวกำหนดเส้นทางโดยมีความสัมพันธ์กับ Active หรือ Inactive ของชุดข้อมูล โดยบิตแรก (MSB) จะใช้กำหนดสถานะของวงจรสวิตซ์ในภาคแรกของโครงข่าย และบิตที่สองก็กำหนดเส้นทางการเชื่อมโยงในภาคที่สองและบิตสุดท้ายของส่วนหัวของชุดข้อมูลก็ใช้กำหนดเส้นทางในภาคสุดท้ายตามลำดับ เมื่อวงจรสวิตซ์ทำการปรับปรุงเส้นทางการเชื่อมโยงและจะค้างสถานะไว้ จนกว่าชุดข้อมูลจะเลื่อนผ่านโครงข่ายแล้วจึงจะปรับสถานะของโครงข่ายให้พร้อม เพื่อรอรับข้อมูลอื่นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039089



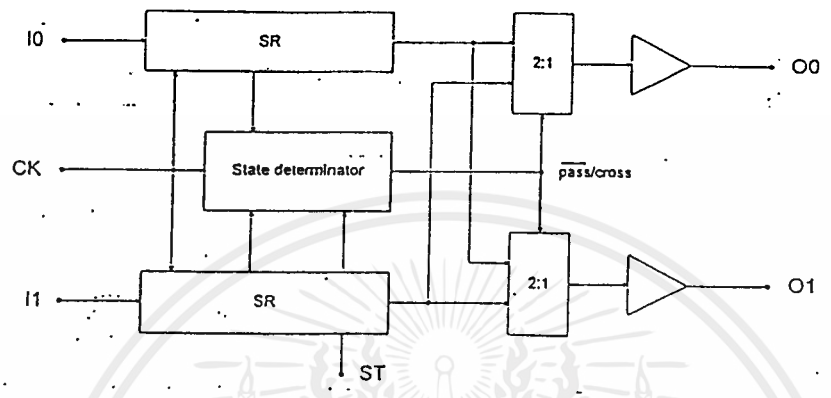
รูปที่ 17 แสดงการทำงานของโครงข่ายบานยานขนาด 16x16 วงจร

จากรูปพิจารณาชุดข้อมูลที่มีหมายเลขปลายทาง 2 (0010b) จะพบว่ามี Activity bit เท่ากับ "0" เนื่องจากเป็น Active packet มี MSB เท่ากัน "0" ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 12 (1100b) เป็น Active packet เช่นกัน ทำให้ได้เงื่อนไขในการเชื่อมโยงเป็น "0001" ซึ่งวงจรสวิตช์จะอยู่ในสภาวะ straight เอ๊าพุตที่ได้ ชุดข้อมูลหมายเลข 2 จะปรากฏที่เอ๊าพุต "0" ซึ่งอยู่ทางด้านบน ชุดข้อมูลหมายเลข 12 จะปรากฏที่เอ๊าพุต "1" ทางด้านล่างของวงจรสวิตช์ดังรูปที่ 17 ส่วนบิตถัดจาก MSB นั้นชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 6 สถานะของวงจรสวิตช์เป็น Straight เช่นกัน ในระดับที่ 3 ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลที่เป็น Inactive packet สถานะของวงจรสวิตช์เป็น Exchange ระดับสุดท้าย (LSB) ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูล 3 สถานะเป็น Straight เช่นกัน เมื่อชุดข้อมูลหมายเลข 2 เคลื่อนที่ผ่านโครงข่ายจะไปปรากฏที่เอ๊าพุตหมายเลข 2 ซึ่งตรงกับหมายเลขปลายทาง ที่ถูกระบุไว้ในส่วนหัวของชุดข้อมูลจากต้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

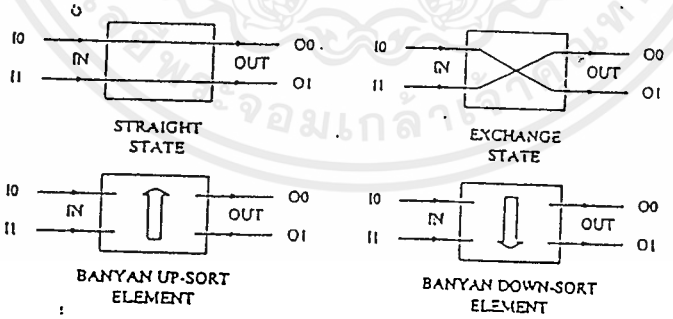
วงจรสวิตซ์บานยาน

วงจรสวิตซ์ของบานยานจะใช้วงจรสวิตซ์ที่แสดงในรูปที่ 18. สัญญลักษณ์ของวงจรสวิตซ์บานยานมีลักษณะเหมือนกับสัญญลักษณ์ของวงจรแบตเชอร์ เพียงแต่เปลี่ยนแนวความคิด ที่ใช้ในการเชื่อมโยงเส้นทางของวงจรสวิตซ์



รูปที่ 18 แสดงสถานะและสัญญลักษณ์ของวงจรสวิตซ์บานยาน

วงจรสวิตซ์บานยานที่ใช้ในโครงข่ายบานยานนั้นเป็น Banyan down-sort element มาควบคุม การหาเส้นทางการเชื่อมโยงของโครงข่าย ส่วนประกอบภายในของวงจรสวิตซ์แสดงได้ดังรูปต่อไปนี้



รูปที่ 19 แสดงบล็อกไดอะแกรมของวงจรสวิตซ์บานยาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมของวงจรสวิตซ์บานยาน ประกอบด้วย Shift register, State determinator, State latch และ 2:1 Multiplexer เมื่อมีชุดข้อมูลทางอินพุต Activity bit จะถูกเก็บไว้ตรวจสอบกับบิตต่าง ๆ ในส่วนหัวของชุดข้อมูล ใน State determinator เพื่อนำผลที่ได้ไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูลใน 2:1 Multiplexer โดยชุดข้อมูลที่ปรากฏที่เอ๊าพุตยังคงมีลักษณะเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และ ผลการทดสอบ

บทนำ

การทดสอบโครงข่ายเชื่อมโยงภายใน ประกอบด้วย Sorting network บนพื้นฐานของ Batcher bitonic sorting algorithm เชื่อมต่อแบบ Perfect shuffle กับ Expander network โดยใช้ Banyan network

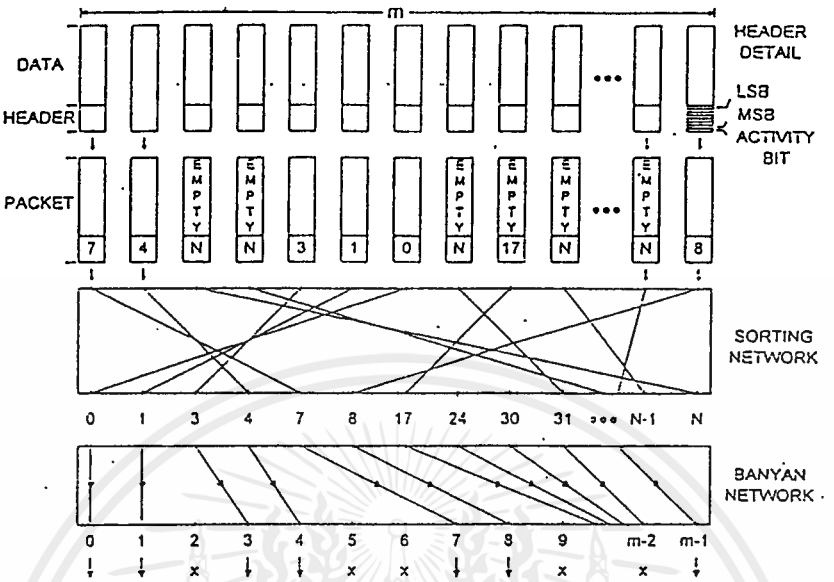
การออกแบบจะแยกออกเป็นสองส่วนคือ โครงข่ายแบตเชอร์ขนาด 4*4 และโครงข่ายบานยานขนาด 4*4 นำมาเชื่อมต่อกันเป็นโครงข่ายเชื่อมโยงตัวเองขนาด 4*4 ซึ่งเป็นขนาดพื้นฐานที่สามารถนำไปสร้างโครงข่ายเชื่อมโยงด้วยตนเองได้

แนวความคิดในการเชื่อมโยง

แนวความคิดพื้นฐานในการเชื่อมโยงชุดข้อมูล จากอินพุตไปยังเอ้าพุตผ่านโครงข่ายแบตเชอร์ และโครงข่ายบานยาน โดยพิจารณาจากชุดข้อมูล ซึ่งมีขนาดและความยาวเท่ากันอยู่บน Time slot เดียวกัน (Synchronous)ชุดข้อมูลประกอบด้วยส่วนที่สำคัญ 3 ส่วน คือ Activity bit Header และ Data ในส่วนของ Activity bit นั้นถ้าเป็น " 0 " หมายถึง Active packet (มีชุดข้อมูล) ถ้าเป็น " 1 " หมายถึง Inactive Packet (ไม่มีชุดข้อมูล)Sorting network จะจัดการกับชุดข้อมูลขนาด m packet ในแต่ละ Time frame ให้เรียงลำดับจากน้อยไปมากและแยกไปตามอินพุตต่างๆ ตามข้อมูลที่ระบุไว้ในส่วนหัวของชุดข้อมูล โดยโครงข่ายแบตเชอร์และโครงข่ายบานยาน ตามลำดับ

ในการใช้งานจริง อินพุตอาจไม่ได้รับ ชุดข้อมูล เข้ามาหรือไม่ได้เรียกปลายทาง แต่ผลที่ได้จากโครงข่ายแบตเชอร์ ชุดข้อมูลจะเรียงลำดับจากน้อยไปมาก แต่ไม่มากไปกว่าขนาดสูงสุดของโครงข่ายเอ้าพุตจะมีความสัมพันธ์กันและไม่จำเป็นจะต้องมีตัวเลขที่เรียงติดกัน พิจารณาจากรูปที่ 20. จะเห็นว่าไม่มีชุดข้อมูลหมายเลขปลายทาง 2 ป้อนเข้าทางอินพุต ฉะนั้นเอ้าพุตของโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน จะไม่มีชุดข้อมูลหมายเลขปลายทาง 2 นอกนั้น โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน จะทำการจัดส่งชุดข้อมูลไปยัง เอ้าพุตที่ตำแหน่งที่ถูกต้องตามหมายเลขปลายทางของมัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



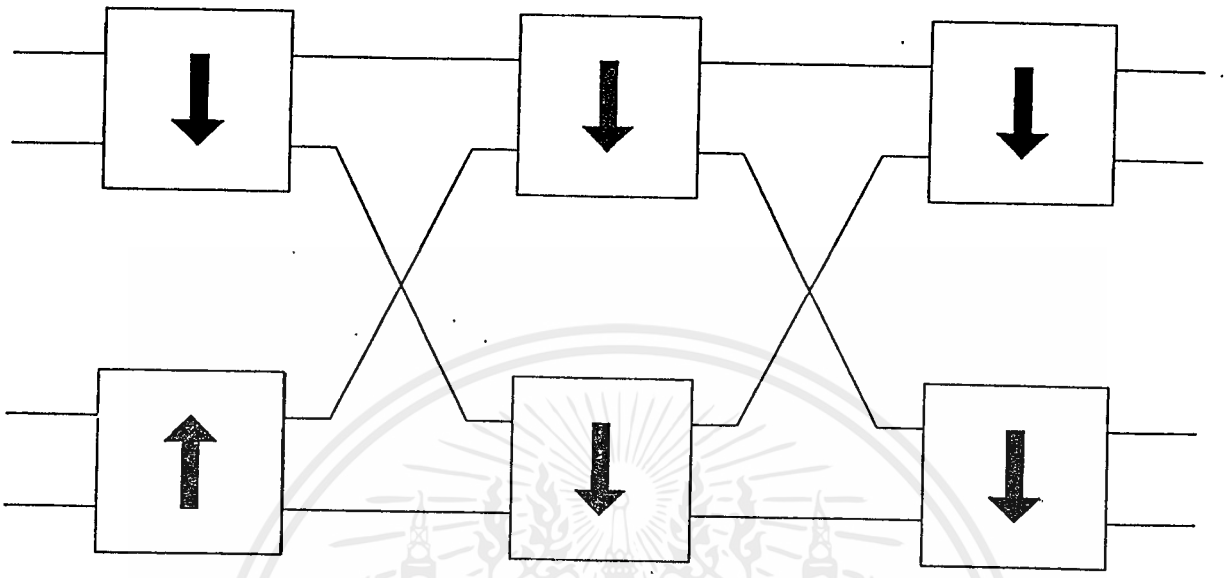
รูปที่ 20 แสดงพื้นฐานการออกแบบ และ รูปแบบของชุดข้อมูล

โครงข่ายเชื่อมโยงภายใน มีคุณสมบัติในการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุตได้ด้วยตัวเอง ทำงานโดยการอ่านค่าจากส่วนหัวของชุดข้อมูลมากำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่าย คุณสมบัติของโครงข่ายจะมีลักษณะเป็น Non-blocking หมายถึง Active packet จำนวนมากถูกต่อเข้ามาทางอินพุตของโครงข่าย ทำให้การปรับตัวของสวิตช์เพื่อการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุต ได้โดยไม่มีการเชื่อมหรือชนกันกับ ชุดข้อมูล อื่นๆ การหน่วงเวลา (Delay time) มีค่าการหน่วงเวลาของชุดข้อมูลที่เคลื่อนที่ผ่านโครงข่ายเท่ากัน สามารถเชื่อมโยงชุดข้อมูลทั้งหมดที่อินพุตไปยังเอ๊าพุตได้ทุกช่องทางของการเชื่อมโยงตามขนาดของโครงข่าย

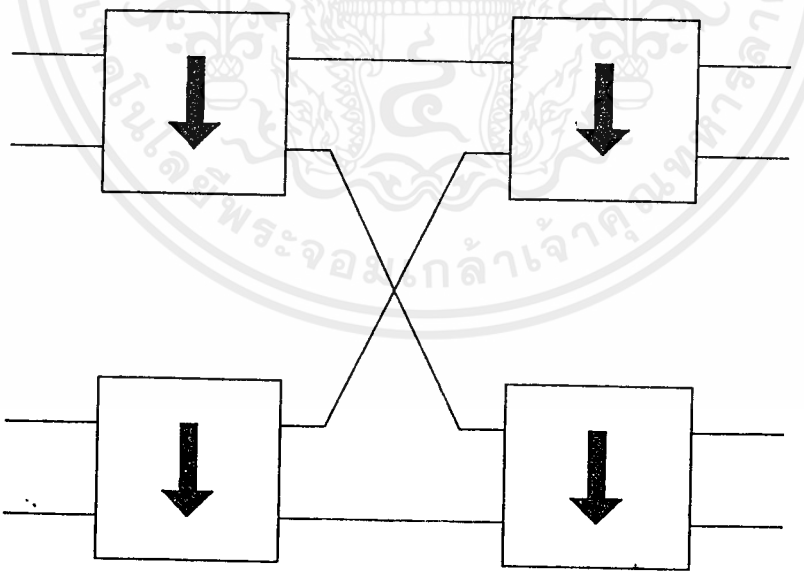
<u>โครงข่ายเชื่อมโยงภายใน</u>

โครงข่ายเชื่อมโยงภายในประกอบด้วยโครงข่ายแบตเชอร์ขนาด 4*4 เชื่อมต่อกับโครงข่ายบานยานขนาด 4*4 เช่นกัน ผลที่ได้จากการเชื่อมโยงของโครงข่ายทั้งสองเข้าด้วยกันนั้นทำให้ได้คุณสมบัติของโครงข่ายเชื่อมโยงภายในขนาด 4*4 วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



โครงข่ายแบตเชอร์ขนาด 4 อินพุตและ 4 เอ๊าพุต



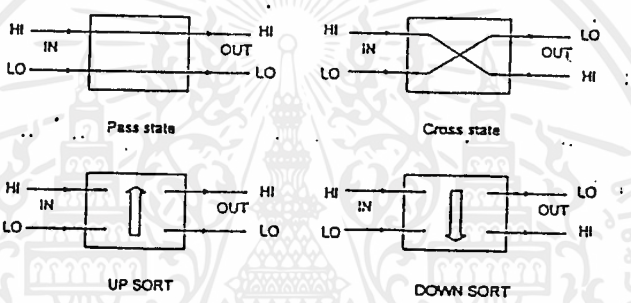
โครงข่ายบานยานขนาด 4 อินพุตและ 4 เอ๊าพุต

รูปที่ 21 แสดงโครงข่ายแบตเชอร์และโครงข่ายบานยานขนาด 4x4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสวิตซ์

วงจรสวิตซ์ (Switching element) จะมีลักษณะการทำงาน 2 แบบ คือ Pass และ Cross ดังรูปที่ 22 สถานะการทำงานนี้จะสัมพันธ์กับสัญญลักษณ์ลูกศรบนตัวของวงจรสวิตซ์ ลูกศรบนตัววงจรสวิตซ์นั้นมี 2 ชนิด คือ ลูกศรชี้ขึ้น (Upsort switching element) ลูกศรชี้ลง (Downsort switching element) โดยทั้งสองจะทำการเรียงลำดับหมายเลขปลายทางของชุดข้อมูลให้ไปปรากฏที่เอ้าพุตตามทิศทางของลูกศรคือ ทางหัวของลูกศรจะมี หมายเลขปลายทางมากกว่าทางด้านหางลูกศร ทำให้วงจรสวิตซ์ มีลักษณะการทำงาน 2 แบบ คือ Pass และ Cross นั้นเอง

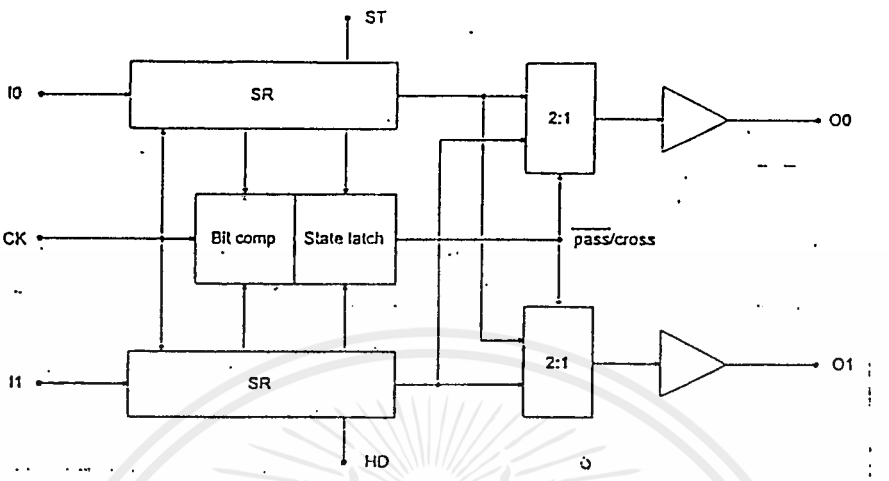


รูปที่ 22 แสดงการทำงานของ วงจรสวิตซ์ และ สัญญลักษณ์

วงจรสวิตซ์แบตเชอร์

เมื่อพิจารณาวงจรสวิตซ์ มีขนาด 2 อินพุต 2 เอ้าพุต (2*2) จะพบว่ามี 2 ลักษณะ คือ Batcher upsort element และ Batcher downsort element สังเกตุได้จากทิศทางของลูกศรที่แสดงภายใน Switching block โดยที่ Batcher upsort element จะทำการเรียงลำดับชุดข้อมูลที่มีหมายเลขปลายทางมากกว่าไปออกด้านบน และให้ชุดข้อมูล ที่มีหมายเลขปลายทางน้อยกว่าไปออกด้านล่าง ส่วน Batcher downsort element จะทำให้ได้คุณลักษณะตรงกันข้าม เมื่อนำมาเชื่อมต่อกันในลักษณะที่เหมาะสม (โครงข่ายแบตเชอร์) จะทำให้ได้คุณสมบัติของ Sorting network ดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



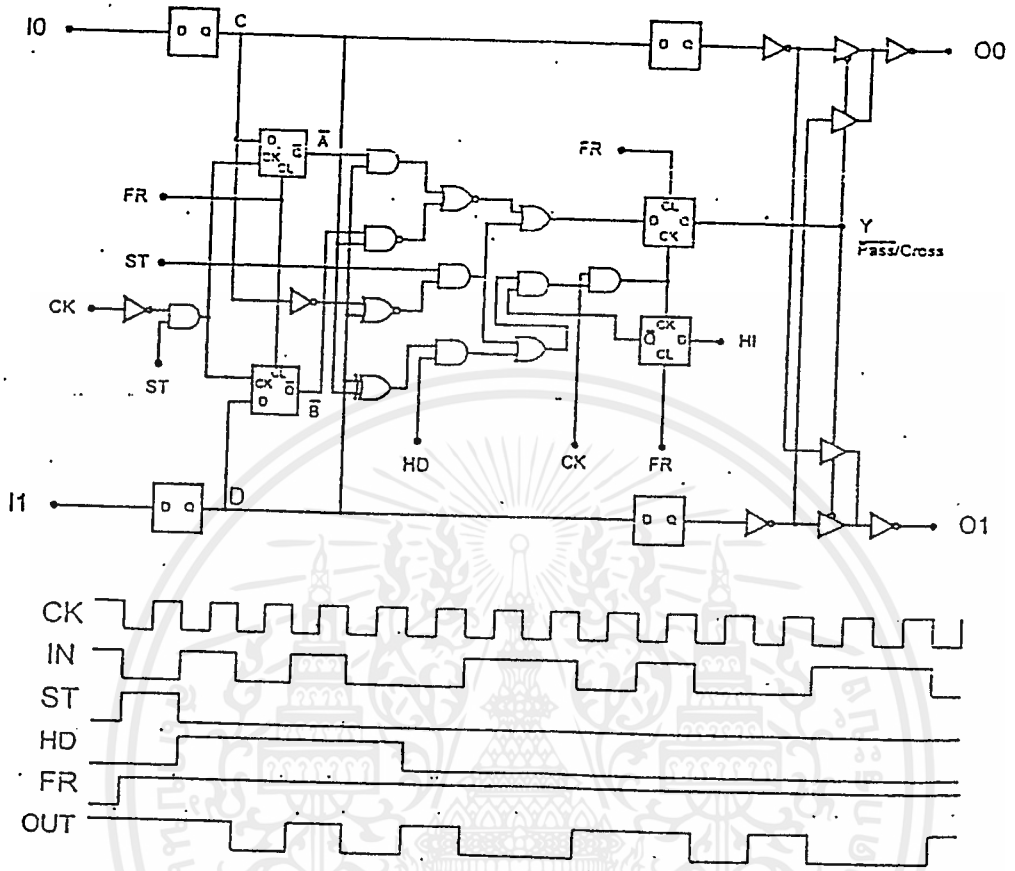
รูปที่ 23 แสดงบล็อกไดอะแกรม ของ Batcher switching element

บล็อกไดอะแกรม ของ Batcher switching element แสดงดังรูป 23. ภายใน วงจรสวิตช์ ประกอบด้วย Shift register (SR) , Bit comparator (BC) , State latch (SL) และ 2:1 Multiplexer เมื่อ ชุดข้อมูลถูกป้อนมาที่อินพุต I0 และ I1 (Synchronous mode) ส่วนของวงจรเปรียบเทียบบิต จะทำการเปรียบเทียบบิต ของหมายเลขปลายทางที่ส่วนหัวของชุดข้อมูล ถ้าตรวจพบความแตกต่างของบิต ที่เป็นไปตามเงื่อนไข จะทำการปรับเส้นทางของการเชื่อมโยงชุดข้อมูลไปยังเอ้าพุตที่เหมาะสม โดยส่งสัญญาณไปที่ Latch สถานะของ MUX ที่ SL จนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไป โดยผ่าน SR ชุดข้อมูลที่ปรากฏที่เอ้าพุตของวงจรสวิตช์ยังคงมีลักษณะเดียวกันกับ ชุดข้อมูลที่รับเข้ามาทางอินพุต แต่จะเรียงลำดับตามคุณสมบัติของโครงข่าย และจะปรับ (Reset) กลับมาเป็น Pass state เพื่อรอรับ Packet อื่นๆต่อไป

A	1	1	1	0	0	0	0	0	0
B	1	0	0	1	1	0	0	0	0
C	1	1	1	0	1	0	0	1	1
D	1	0	1	1	1	0	1	0	1
Y	0	1	1	0	0	0	0	1	0

ตารางที่ 1 แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์แบตเชอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



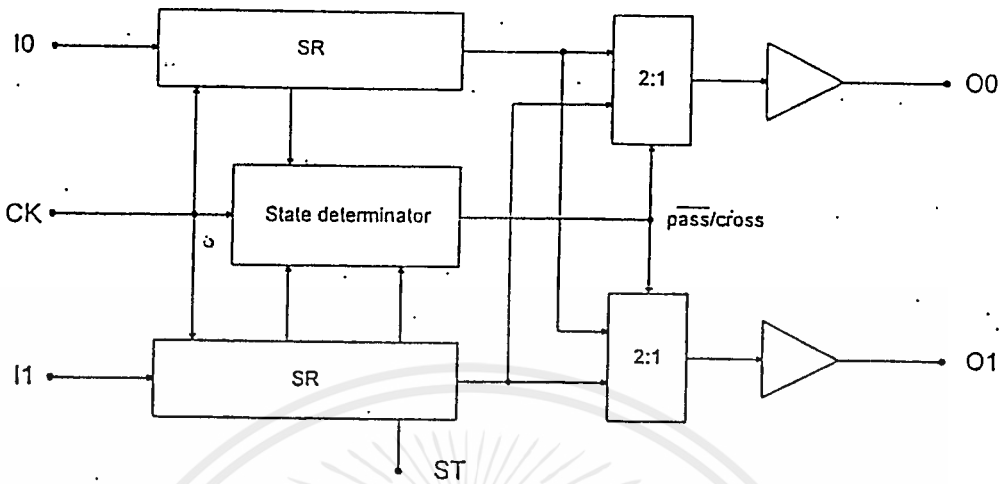
รูปที่ 24 แสดง Batcher switching circuit และ Timing diagram

ในส่วนของวงจรเปรียบเทียบบิต นั้นประกอบด้วยส่วนของวงจรที่ใช้ 3 ส่วนคือ ส่วนตรวจสอบ Activity หรือ Inactivity packet ส่วนตรวจสอบความแตกต่างของบิต ในส่วนหัวของชุดข้อมูล และส่วนตรวจสอบตามเงื่อนไขปกติ โดยใช้สัญญาณ ST HD และ FR ผลที่ได้ส่งไป Latch ที่ State latch เพื่อควบคุมสถานะของ 2:1 Multiplexer แต่ละวงจรสวิตช์จะใช้ Delay time ประมาณ 2 Clock

<u>วงจรสวิตช์บานยาน</u>

วงจรสวิตช์บานยาน ที่ใช้ในโครงข่ายบานยานนั้นเป็น Banyan upsort element หรือ Banyan downsort element การควบคุมการหาเส้นทางการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ้าพุต ใช้หลักการควบคุมดังนี้คือ ใช้บิตแรก (MSB) ของชุดข้อมูลมาเป็นตัวกำหนดสถานะของวงจรสวิตช์ใน State แรก และบิตต่อๆ ไป ใน State ต่อๆ ไป จนกระทั่ง บิตสุดท้าย (LSB) จะใช้ควบคุมใน State สุดท้ายก่อนที่ชุดข้อมูลจะไปออกที่เอ้าพุตตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



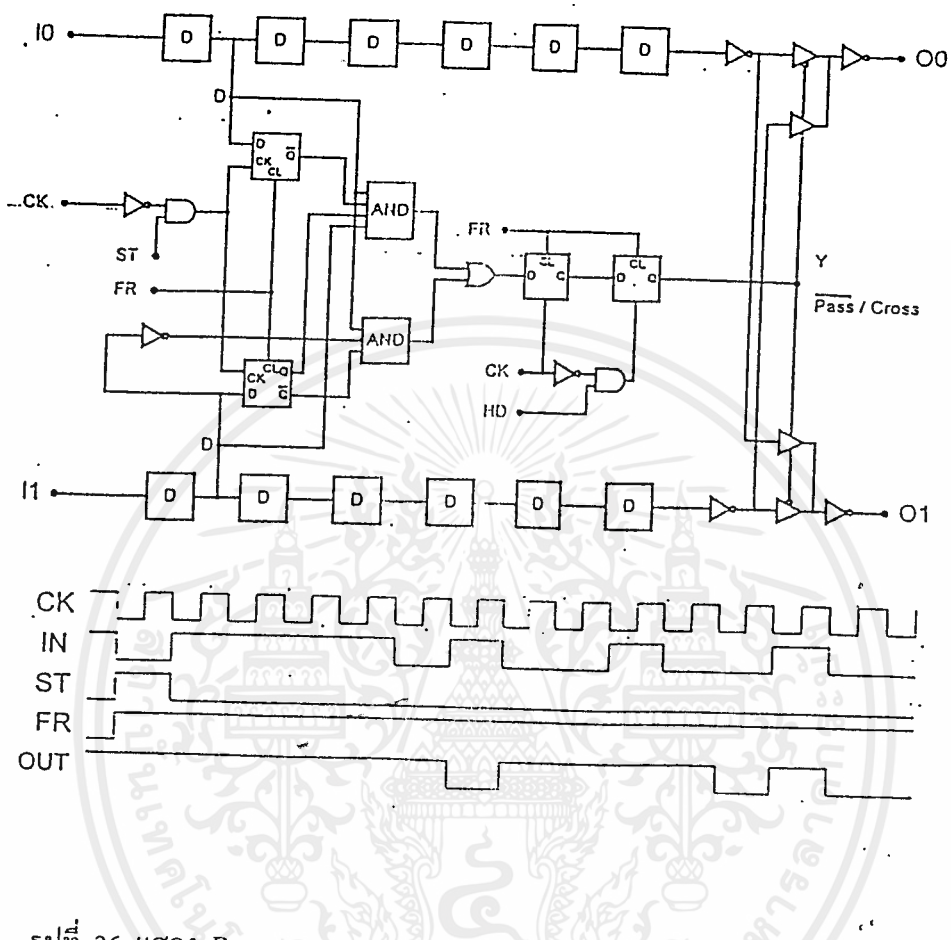
รูปที่ 25 แสดงบล็อกไดอะแกรม ของ Banyan processing element.

บล็อกไดอะแกรม ของ Banyan processing element ประกอบด้วย Shift register (SR) , State determinater (SD) , State latch (SL) และ 2:1 Multiplexer เมื่อมีชุดข้อมูลเข้ามาทางอินพุต I0 และ I1 Activity bit จะถูกเก็บไว้ตรวจสอบกับ Bit ต่างๆ ในส่วนหัวของชุดข้อมูล เพื่อนำผลไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูล โดยส่งสัญญาณไปควบคุม 2:1 Multiplexer สัญญาณมีค่าเป็น " 0 " หมายถึง วงจรสวิตซ์มีสภาวะเป็นการเชื่อมต่อโดยตรง ถ้ามีค่าเป็น " 1 " วงจรสวิตซ์จะสลับเส้นทางให้ชุดข้อมูลเปลี่ยนทิศทางไปออกอีกทางหนึ่ง เมื่อวงจรสวิตซ์ปรับปรุงเส้นทางในการเชื่อมโยงแล้ว ก็จะค้างสภาวะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรไปก่อนจึงปรับเส้นทางให้เป็นการเชื่อมต่อโดยตรง โดยชุดข้อมูลที่ปรากฏที่เอ้าพุตนั้นยังคงมีลักษณะเช่นเดียวกับอินพุตที่รับเข้ามา

A	0	0	0	0	0	0	1	1	1
B	0	0	0	0	1	1	0	0	1
C	0	0	1	1	0	1	1	1	1
D	0	1	0	1	1	1	0	1	1
Y	0	0	1	0	0	1	1	0	0

ตารางที่ 2 แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตซ์บานยาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 26 แสดง Banyan processing element circuit และ timing digram

ในส่วนของ SR นั้นจะใช้ขนาดที่เพียงพอจะเก็บ Activity bit และ Header ทั้งหมดไว้ก่อนที่จะส่งไปให้ 2:1 MUX เพื่อให้ข้อมูลที่ปรากฏที่เอ้าพุต มีลักษณะเช่นเดียวกับที่รับเข้ามาทางอินพุต การควบคุมแต่ละ State ของ โครงข่าย จะใช้สัญญาณ ST ผ่าน Shift register ไปควบคุมแต่ละ State เพื่อให้การปรับตัวของวงจรสวิตซ์แต่ละ State เป็นไปอย่างเหมาะสม

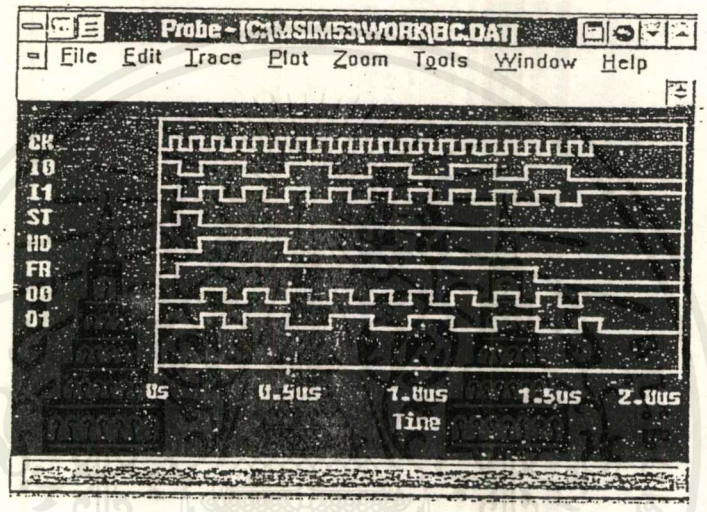
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การทดสอบและผลการทดลอง</u>

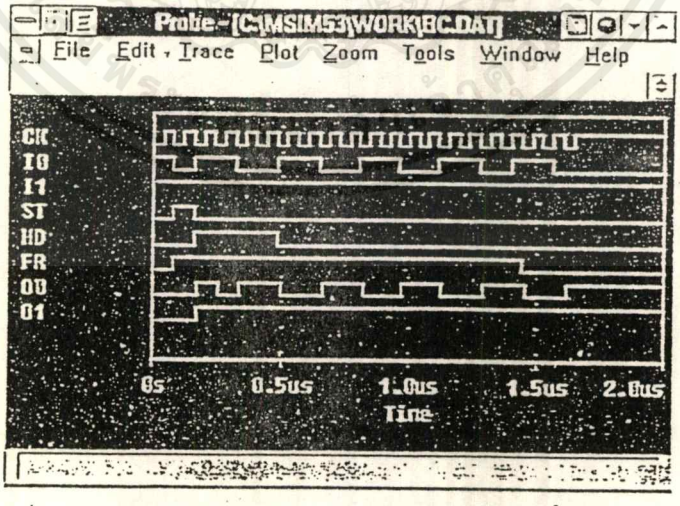
การทดสอบของวงจรสวิตซ์ได้แบ่งเป็น 2 ส่วนคือ

1. การทดสอบโดยใช้การเลียนแบบการทำงานด้วยโปรแกรม Pspice ในส่วนของวงจรสวิตซ์แบตเซอร์
2. การทดสอบโดยใช้การเลียนแบบการทำงานด้วยโปรแกรม Pspice ในส่วนของวงจรสวิตซ์บานยาน โดย ทั้ง 2 วงจรสวิตซ์ประกอบขึ้นจากวงจรลอจิกเกตพื้นฐาน

จากการทดสอบวงจรสวิตซ์แบตเซอร์ และวงจรสวิตซ์บานยาน โดยทำการทดสอบเงื่อนไขต่างๆ ที่ใช้ในการเชื่อมโยงของวงจรสวิตซ์ ผลที่ได้จากการเลียนแบบการทำงานวงจรสวิตซ์ทั้งสอง สามารถทำงานได้ตามวัตถุประสงค์ที่ได้ออกแบบไว้

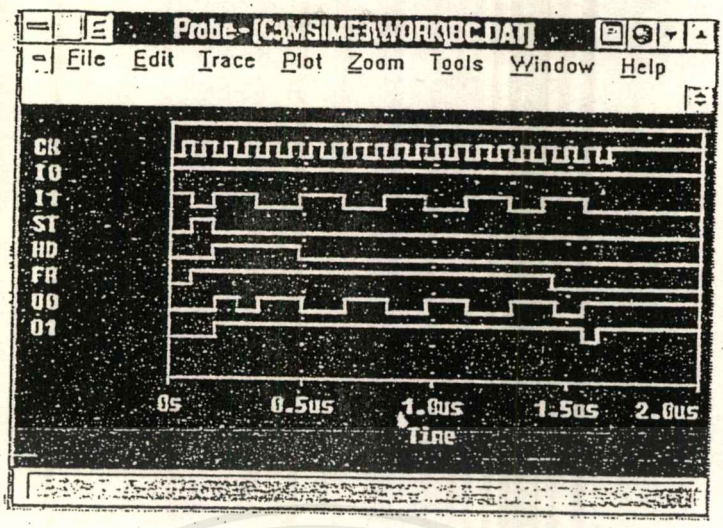


(1)



(2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



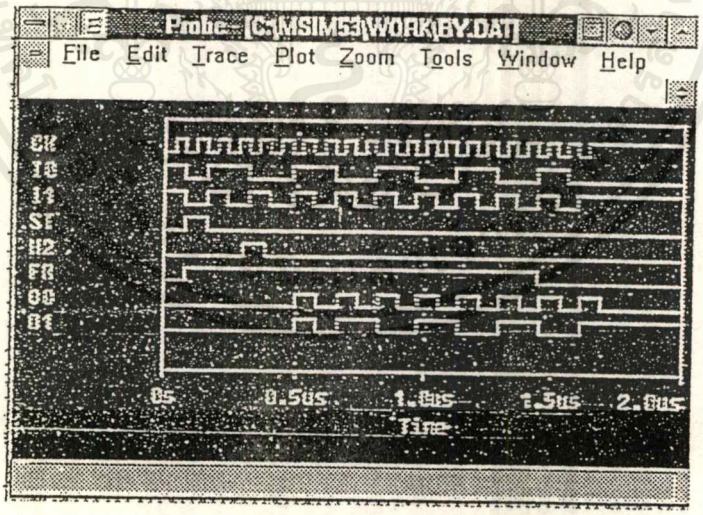
(3)

รูปที่ 27 แสดงสัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตซ์แบตเชอร์

(1) Packet มีการ Cross ที่ตำแหน่งบิตที่ 2

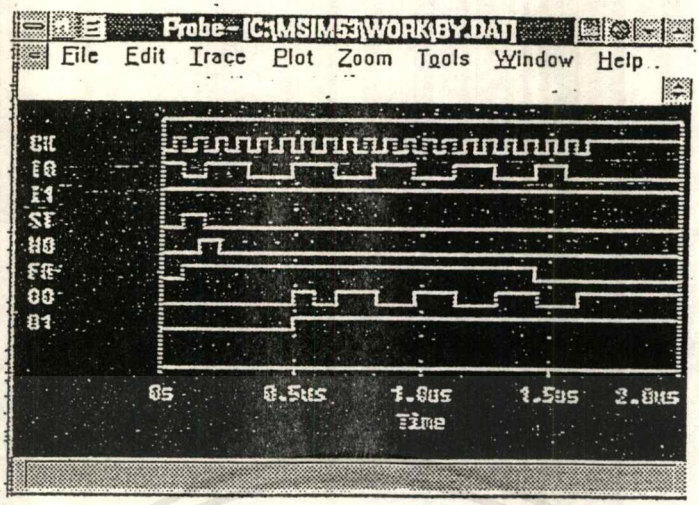
(2) I1 เป็น Inactive Packet สถานะ Pass

(3) I0 เป็น Inactive Packet สถานะ Cross

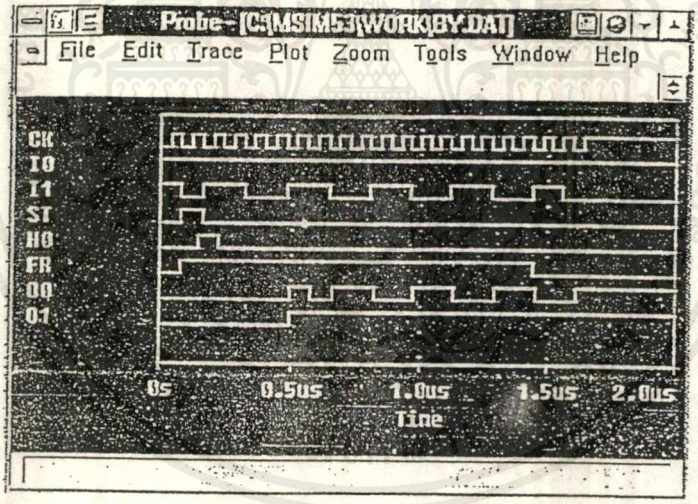


(1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(2)



(3)

รูปที่ 28 แสดงสัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตซ์บานยาน

(1) Packet ที่มีการ Cross ที่ตำแหน่งบิตที่ 2

(2) I1 เป็น Inactive Packet สถานะ Cross

(3) I0 เป็น Inactive Packet สถานะ Pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

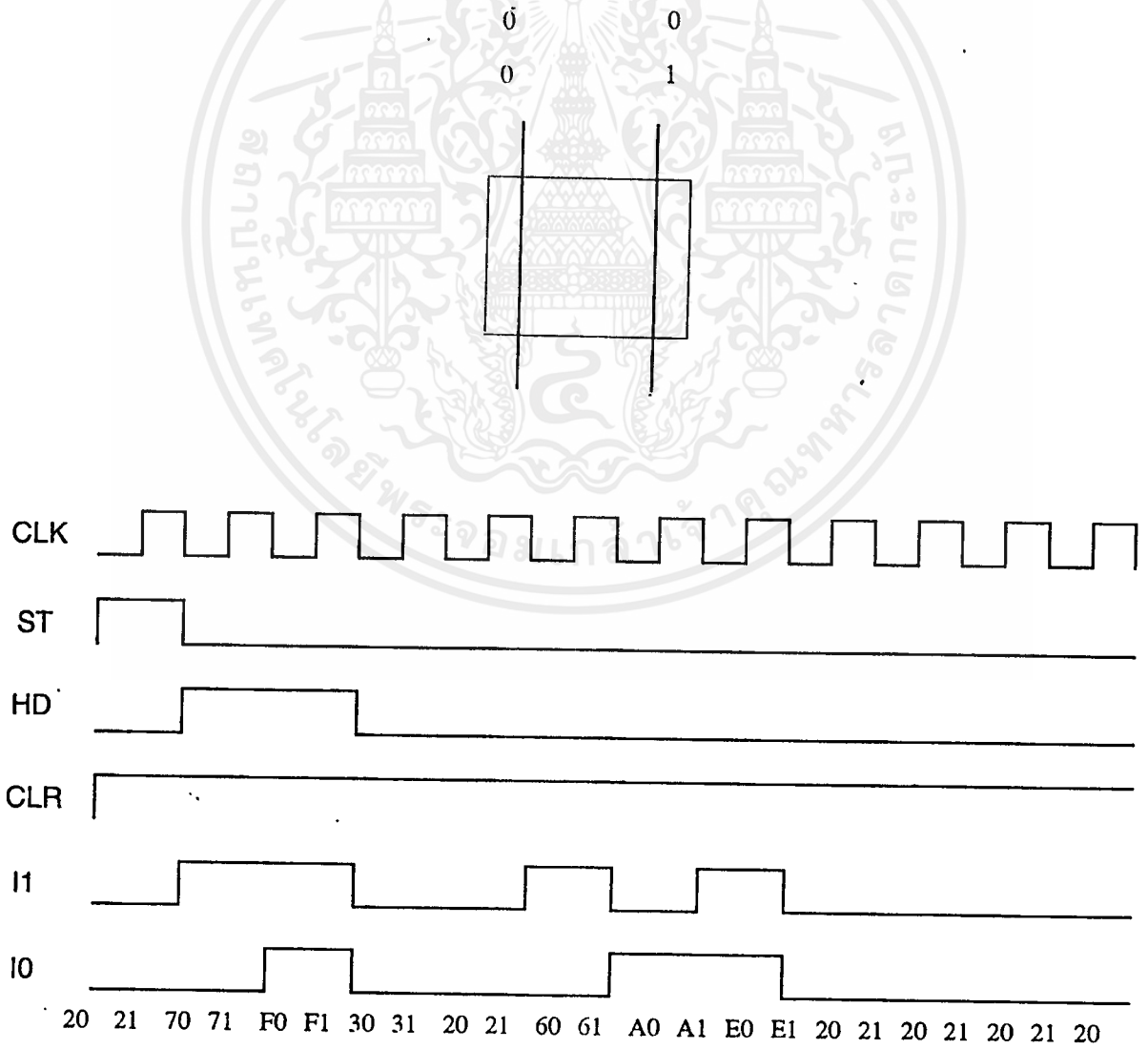
การทดลองและการทดสอบวงจรโดยใช้วงจรจริง

ในการทดลองจะทำการทดสอบวงจร แบตเซอร์และบานยาน ตามลักษณะการทำงานว่า Pass/Cross ตามเงื่อนไขของวงจร

การทดสอบจะนำแผงควบคุม Z-80 มาควบคุมการทำงานดูลักษณะการสวิตซ์ ซึ่งเงื่อนไขที่ใช้จะนำไปรวมกับสัญญาณข้อมูลต่อรวมกับ Activity bit รวมเป็นข้อมูล 1 ชุด แล้วทดสอบส่งข้อมูลเข้าไปในวงจรดูลักษณะสถานะต่างๆ จะทำตามเงื่อนไข หรือไม่ โดยทำการเขียนโปรแกรม เพื่อใช้ให้ Z-80 ส่งสัญญาณมา ทดสอบเงื่อนไข

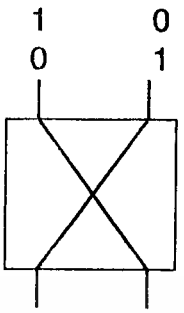
การทดสอบวงจร Batcher

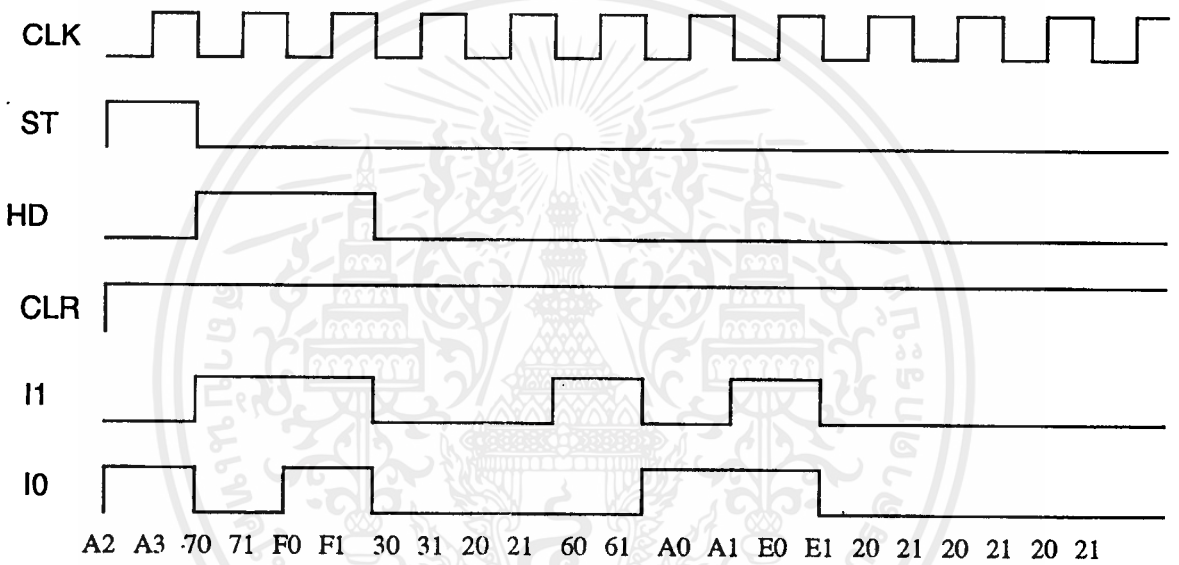
เงื่อนไข การ Pass



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไข การ Cross



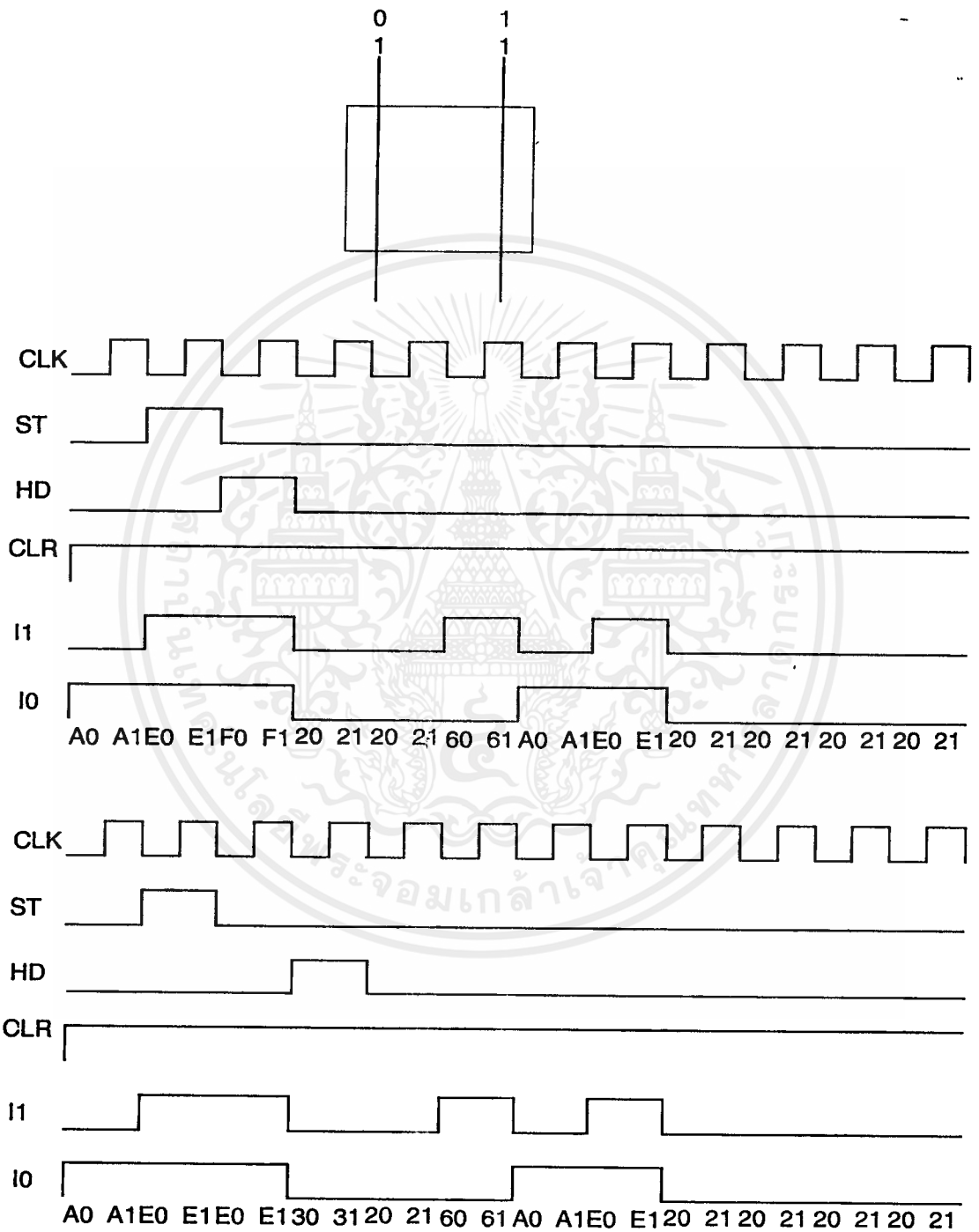


Program test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

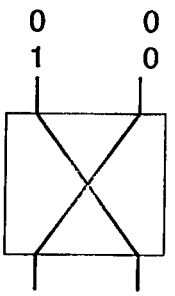
การทดสอบวงจร Banyan

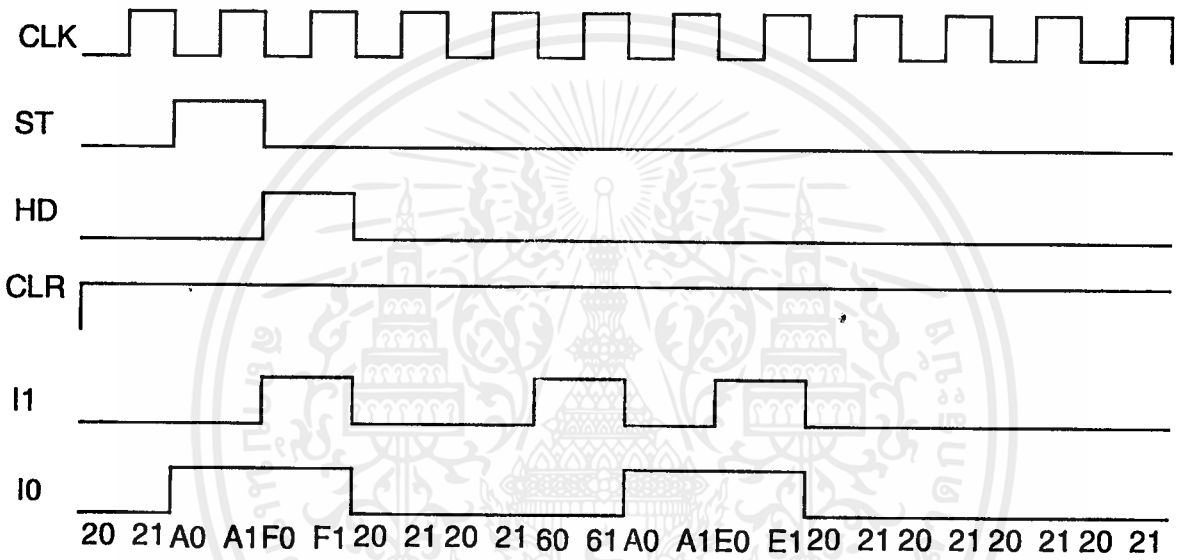
เงื่อนไข การ Pass

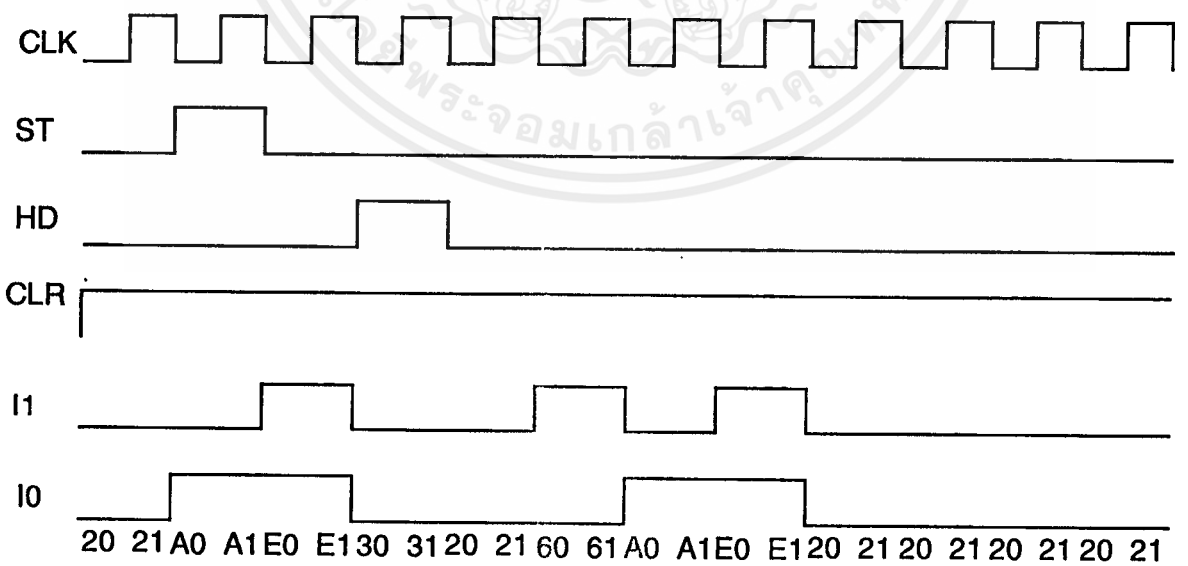


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไข การ Cross







เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองต้องทดสอบทุกเงื่อนไข เพื่อให้แน่ใจว่าไม่เกิดเหตุการณ์ในลักษณะทำให้ข้อมูลชนกันได้ ซึ่งในกราฟที่แสดงจะยกมาเพียงบางเงื่อนไข ดูลักษณะการสวิตซ์ของวงจรแบตเชอร์และบานยาน จากกราฟจะนำข้อมูลมาเขียนโปรแกรมเพื่อให้แผงควบคุม Z-80 ส่งสัญญาณไปควบคุมการทำงาน โดยส่วนหัวของข้อมูลจะเป็น Activity bit จะทำการเปรียบเทียบระหว่าง I0 กับ I1 ที่ 2 บิตแรก ว่าจะ Pass/Cross ส่วนที่เหลือของชุดข้อมูลจะเป็นข้อมูลที่ใช้ส่ง

การทดสอบวงจรแบตเชอร์ มีสัญญาณที่ใช้ในการส่งคือ CLK, ST, HD, CLR, I1, I0 จากการทดลองสังเกตุเห็นว่า ถ้า 2 บิตแรกของ I0 หรือ I1 อินพุตไหนมีค่ามากเอ๊าพุตที่ได้จะไปออก O1 หมายถึงถ้าI0 มีค่ามากกว่า I1 จะเกิดสถานะ Cross แต่ถ้า I1 มีค่ามากกว่า I0 เกิดสถานะ Pass

การทดสอบวงจรบานยาน มีสัญญาณที่ใช้ในการส่งคือ CLK, ST, HD, CLR, I0, I1 จากการทดลองจะมีลักษณะการทำงานที่แตกต่างจากวงจรแบตเชอร์ คือมีเงื่อนไขเฉพาะบังคับการทำงานว่าเงื่อนไขไหนทำให้เกิดสภาวะ Pass/Cross ขึ้น เนื่องจากวงจรบานยานจะมีการเลื่อน HD ซึ่งอาจจะทำให้เกิดสภาวะนี้ขึ้นได้ จึงต้องทำการทดสอบทุกเงื่อนไขซ้ำใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทดลอง

การทดลองที่ 1 ทดสอบ Batcher board และ Banyan board

วัตถุประสงค์ 1. เพื่อทดสอบ Batcher board ว่าทำงานตามเงื่อนไขถูกต้องหรือไม่

2. เพื่อทดสอบ Banyan board ว่าทำงานตามเงื่อนไขถูกต้องหรือไม่

อุปกรณ์ 1. บอร์ดวงจร Batcher

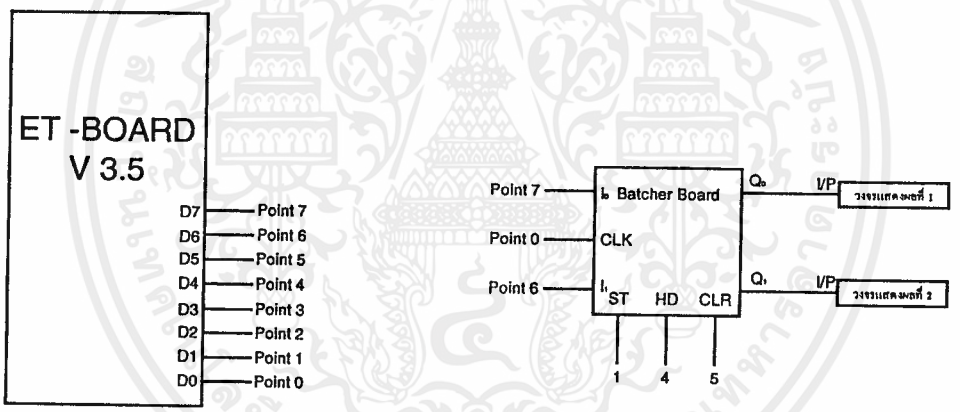
2. บอร์ดวงจร Banyan

3. ET – BOARD V3.5

4. วงจรแสดงผล

การทดลอง

1. ต่อวงจรตาม



2. เขียนโปรแกรมทดสอบวงจร

3. กำหนดเงื่อนไขการจำลองสัญญาณต่างๆดังนี้

3.1 กำหนดรูปแบบขบวนสัญญาณของ I_0 , I_1 ดังนี้

I0

Activity bit	MSB Adds	LSB Adds	0	0	1	0	1

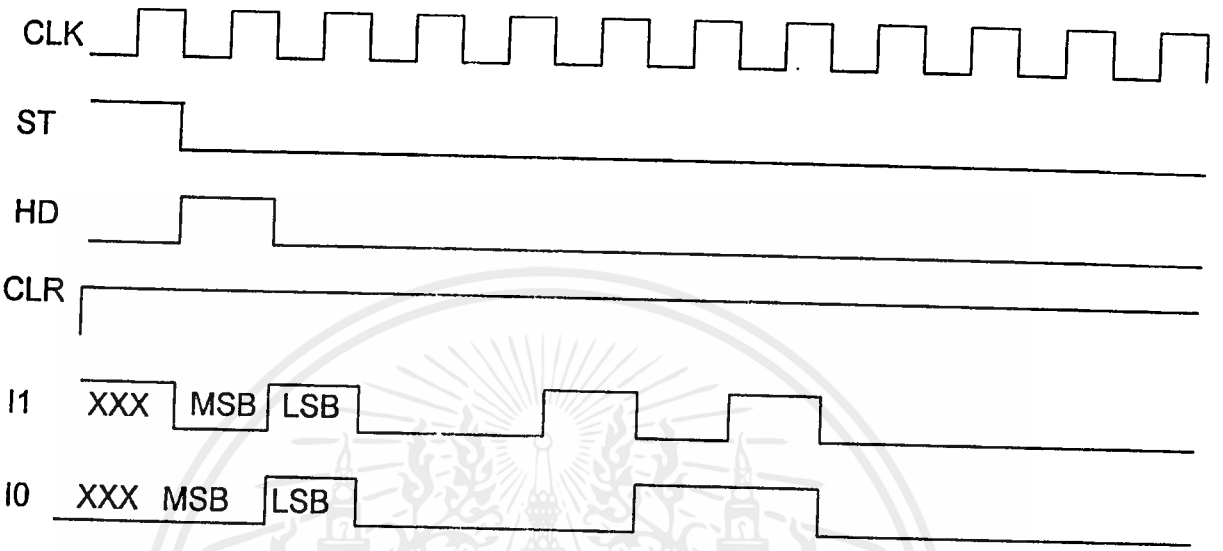
I1

Activity bit	-	-	0	0	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 คำนวณข้อมูลเพื่อเขียนโปรแกรม ตามรูปแบบเงื่อนไขของวงจร

โครงข่าย Batcher



ตัวอย่างการคำนวณโปรแกรม

Add	Io	I1	CLR	HD	-	-	ST	CLK	ข้อมูลที่ได้
2100	0	1	1	0	0	0	1	0	62
2101	0	1	1	0	0	0	1	1	63
2102	0	0	1	1	0	0	0	0	30
2103	0	0	1	1	0	0	0	1	31
2104	1	1	1	0	0	0	0	0	E0
2105	1	1	1	0	0	0	0	1	E1
2106	0	0	1	0	0	0	0	0	20
2107	0	0	1	0	0	0	0	1	21
2108	0	0	1	0	0	0	0	0	20
2109	0	0	1	0	0	0	0	1	21
210A	0	1	1	0	0	0	0	0	60
210B	0	1	1	0	0	0	0	1	61
210C	1	0	1	0	0	0	0	0	A0
210D	1	0	1	0	0	0	0	1	A1
210E	1	1	1	0	0	0	0	0	E0
210F	1	1	1	0	0	0	0	1	E1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 กำหนดตำแหน่ง 2009 เป็น 16H เพื่อให้การทำงานหยุดพอดีที่วงจรแสดงผลที่ 1 ได้ข้อมูลครบถ้วน

4. ป้อนค่าของข้อมูลที่ได้จากการคำนวณในข้อ 3.2 ลงในส่วนข้อมูลทดลองที่ตำแหน่ง 2100 ขึ้นไปจนครบแล้วทำการ RUN ทดสอบวงจร
5. ตรวจสอบผลที่ปรากฏบนวงจรแสดงผลที่ 1 ว่าตรงกับเงื่อนไขหรือไม่
6. เปลี่ยนข้อมูลในส่วนของ I0 กับ I1 ที่ตำแหน่ง Activity bit , MSB Adds และ LSB Adds แล้วกลับไปทำข้อที่ 4 ใหม่จนครบทุกกรณีที่เกิดขึ้น

ผลการทดลอง

เงื่อนไขที่เกิด

I0	I1	Batcher	Banyan
00	00	Pass	SHOULD NT HAPPEN
00	01	Pass	Pass
00	10	Pass	Pass
00	11	Pass	SHOULD NT HAPPEN
01	00	Cross	Cross
01	01	Pass	Pass
01	10	Pass	Cross
01	11	Pass	Cross
10	00	Cross	Cross
10	01	Cross	Pass
10	10	Pass	Pass
10	11	Pass	Pass
11	00	Cross	Cross
11	01	Cross	Pass
11	10	Cross	Cross
11	11	Pass	Pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 2 ทดสอบโครงข่าย Batcher และ Banyan ขนาด 4*4

วัตถุประสงค์ 1. เพื่อทดสอบโครงข่าย Batcher ขนาด 4*4 ว่าทำงานตามเงื่อนไขหรือไม่

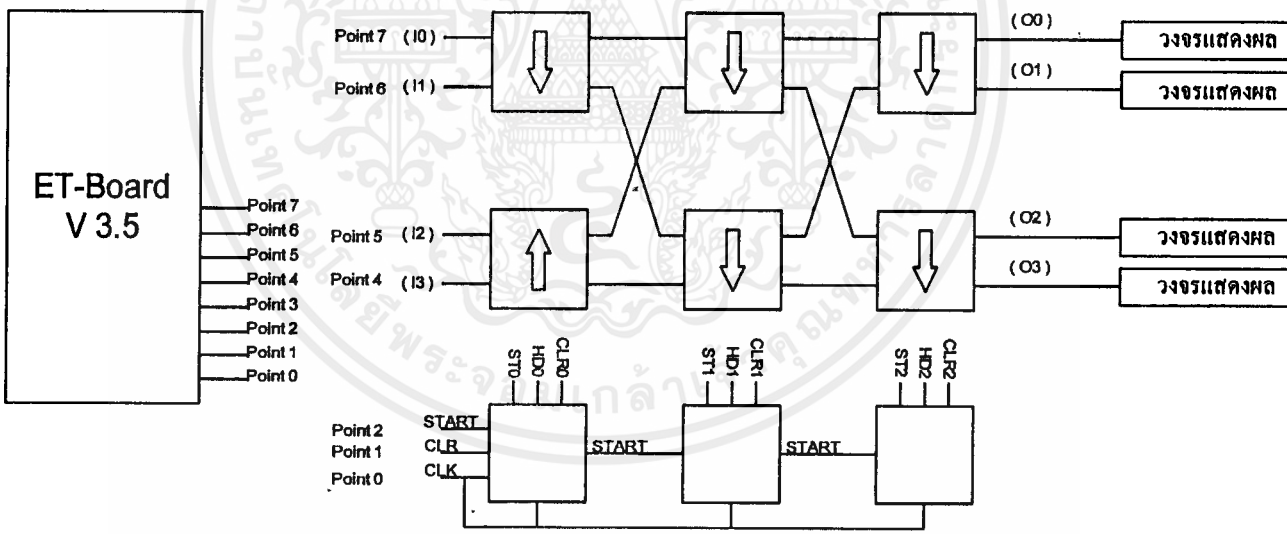
2. เพื่อทดสอบโครงข่าย Banyan ขนาด 4*4 ว่าทำงานตามเงื่อนไขหรือไม่

อุปกรณ์

1.	Batcher board	6 บอร์ด
2.	Banyan board	4 บอร์ด
3.	ET Board V3.5	
4.	วงจรแสดงผล	4 บอร์ด
5.	วงจรสร้างสัญญาณควบคุม	3 บอร์ด

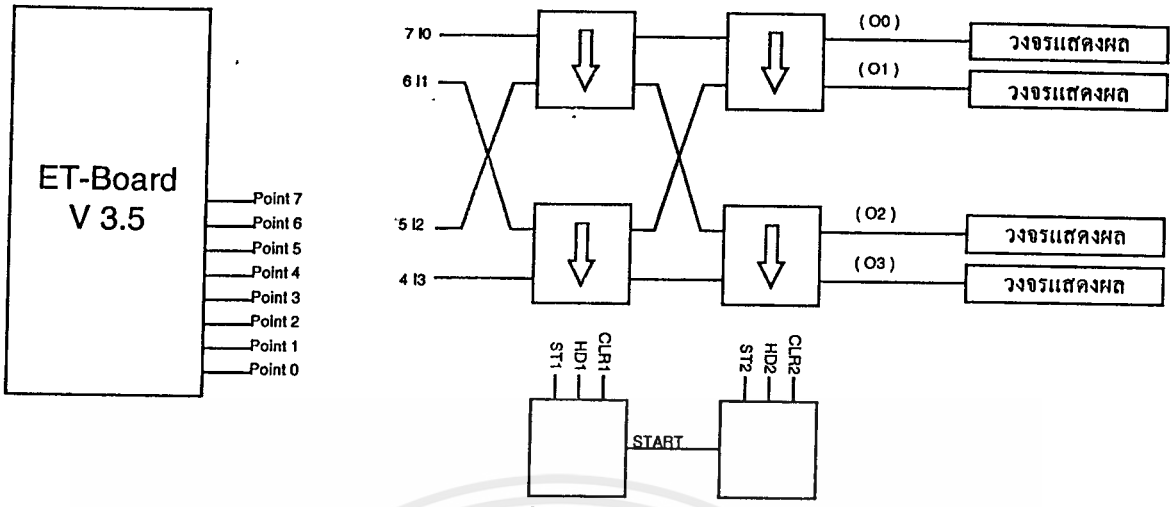
การทดลอง

1. ต่อวงจรตามรูป



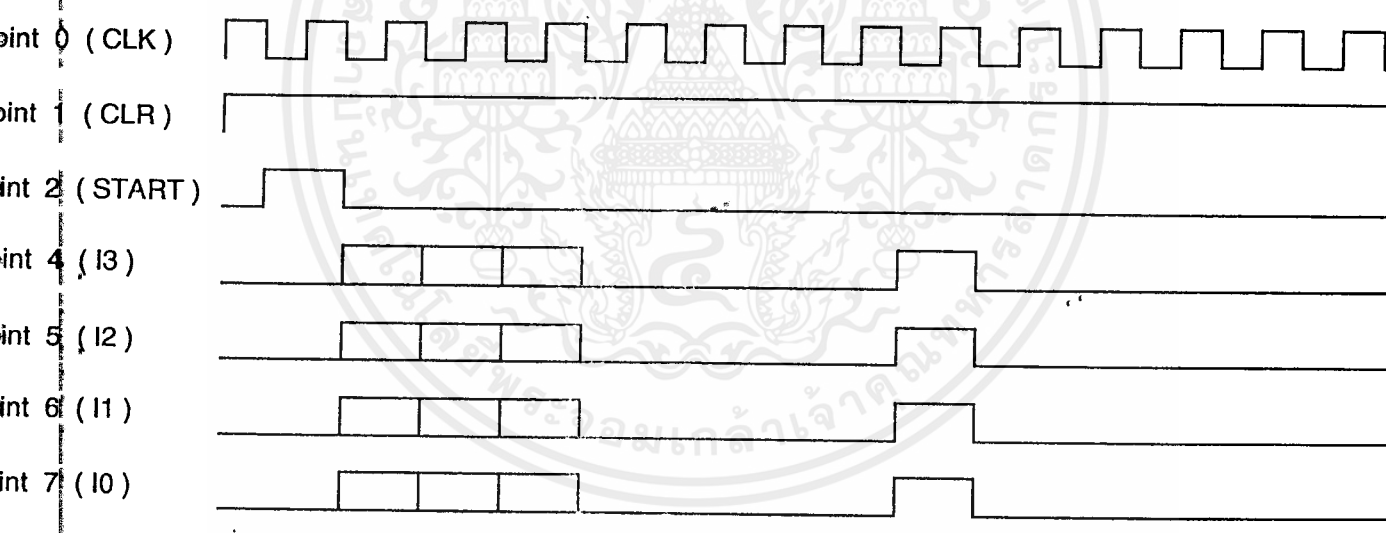
รูปที่ 2 วงจรโครงข่าย Batcher ขนาด 4 x 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรโครงข่าย Banyan ขนาด 4*4

2. เขียนโปรแกรมทดสอบ ลงใน ET Board V 3.5 (ภาคผนวก)
3. กำหนดเงื่อนไขการจำลองสัญญาณทดสอบโครงข่าย



4. คำนวณข้อมูลที่ต้องป้อนให้โปรแกรมข้อมูลเหมือนในการทดลองที่ 1 ข้อ 3.2
5. เปลี่ยนข้อมูล I0,I1,I2 และ I3 จนครบทุกกรณีตามเงื่อนไขของโครงข่าย แล้วตรวจสอบผลการทดลองที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางผลการทดลอง

INPUT				OUTPUT BATCHER				OUTPUT BANYAN			
I0	I1	I2	I3	O0	O1	O2	O3	O0	O1	O2	O3
-	-	-	0	0	-	-	-	0	-	-	-
-	-	0	-	0	-	-	-	0	-	-	-
-	0	-	-	0	-	-	-	0	-	-	-
0	-	-	-	0	-	-	-	0	-	-	-
-	-	-	1	1	-	-	-	-	1	-	-
-	-	1	-	1	-	-	-	-	1	-	-
-	1	-	-	1	-	-	-	-	1	-	-
1	-	-	-	1	-	-	-	-	1	-	-
-	-	-	2	2	-	-	-	-	-	2	-
-	-	2	-	2	-	-	-	-	-	2	-
-	2	-	-	2	-	-	-	-	-	2	-
2	-	-	-	2	-	-	-	-	-	2	-
-	-	-	3	3	-	-	-	-	-	-	3
-	-	3	-	3	-	-	-	-	-	-	3
-	3	-	-	3	-	-	-	-	-	-	3
3	-	-	-	3	-	-	-	-	-	-	3
-	-	0	1	0	1	-	-	0	1	-	-
-	-	1	0	0	1	-	-	0	1	-	-
-	0	1	-	0	1	-	-	0	1	-	-
-	1	0	-	0	1	-	-	0	1	-	-
0	1	-	-	0	1	-	-	0	1	-	-
1	0	-	-	0	1	-	-	0	1	-	-
0	3	1	2	0	1	2	3	0	1	2	3
-	3	1	-	1	3	-	-	-	1	-	3
3	1	2	-	1	2	3	-	-	1	2	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3 ทดสอบโครงข่ายสวิตซ์ชิ่งขนาด 4 x 4

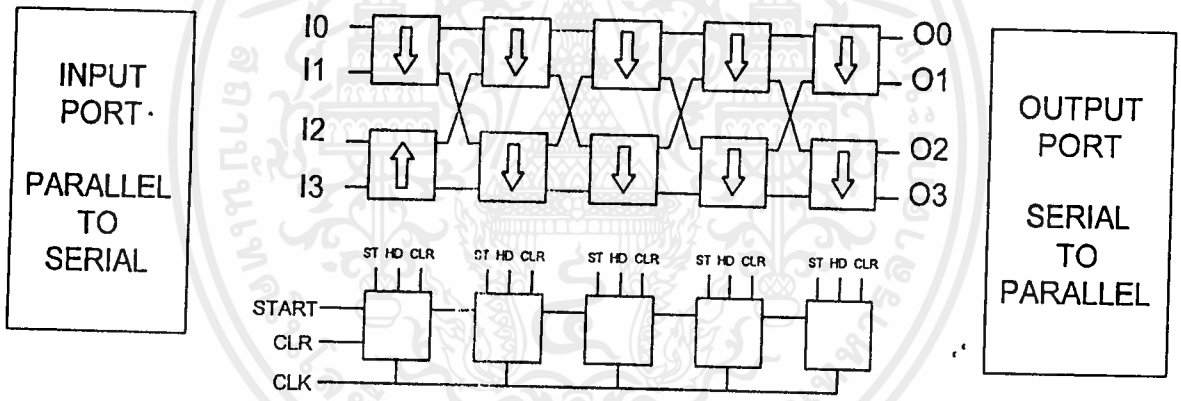
วัตถุประสงค์ เพื่อทดสอบโครงข่ายสวิตซ์ชิ่งขนาด 4 x 4

อุปกรณ์

1. Batcher board 6 บอร์ด
2. Banyan board 4 บอร์ด
3. ET Board V3.5
4. วงจรแสดงผล 4 บอร์ด
5. วงจรสร้างสัญญาณควบคุม 5 บอร์ด
6. วงจรขับสัญญาณ Parallel to serial 4 บอร์ด

การทดลอง

1 ต่อวงจรตาม Block diagram



รูปที่ 4 Block diagram ของโครงข่าย สวิตซ์ชิ่งขนาด 4 x 4

2 เขียนโปรแกรมทดสอบ ลงใน ET Board V3.5

3 กำหนดเงื่อนไข โดยการป้อนข้อมูล I0 , I1 , I2 , I3 ทดสอบการทำงานของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางผลการทดลอง

INPUT				OUTPUT			
I0	I1	I2	I3	O0	O1	O2	O3
0	1	2	3	0	1	2	3
0	1	3	2	0	1	2	3
0	2	1	3	0	1	2	3
0	2	3	1	0	1	2	3
0	3	2	1	0	1	2	3
0	3	1	2	0	1	2	3
1	0	2	3	0	1	2	3
1	0	3	2	0	1	2	3
1	2	0	3	0	1	2	3
1	2	3	0	0	1	2	3
1	3	0	2	0	1	2	3
1	3	2	0	0	1	2	3
2	0	1	3	0	1	2	3
2	0	3	1	0	1	2	3
2	1	0	3	0	1	2	3
2	1	3	0	0	1	2	3
2	3	0	1	0	1	2	3
2	3	1	0	0	1	2	3
3	0	1	2	0	1	2	3
3	0	2	1	0	1	2	3
3	1	0	2	0	1	2	3
3	1	2	0	0	1	2	3
3	2	0	1	0	1	2	3
3	2	1	0	0	1	2	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

บทสรุป

ปริญญานิพนธ์ฉบับนี้เสนอการออกแบบโครงข่ายเชื่อมต่อภายใน ประกอบด้วยโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน การออกแบบโครงข่ายพิจารณาจาก โหมดในการทำงาน วิธีการควบคุม วิธีการสวิตช์ชิ่ง โทโปโลยี และคุณสมบัติของโครงข่าย เพื่อให้ได้โครงข่ายที่ใช้จำนวนอุปกรณ์น้อยลง โดยการแทนวงจรเกตที่ได้ออกแบบด้วยซีมอสทรานซิสเตอร์ ทำให้วงจรสวิตช์ที่มีขนาดเล็กและมีความเร็วสูง

สรุปเนื้อหาในปริญญานิพนธ์ฉบับนี้เป็นส่วน ๆ ดังนี้

1.โครงข่ายเชื่อมต่อภายใน จะพิจารณาจากหลักในการออกแบบ ลักษณะการใช้งาน โดยสำรวจจากโทโปโลยี โดยมีข้อกำหนดในการพิจารณาที่เหมาะสมทางสถาปัตยกรรมของโครงข่าย คือ โหมดการทำงาน การควบคุม วิธีการสวิตช์ชิ่ง และโทโปโลยี

2.โครงข่ายแบตเชอร์ ซึ่งมีจุดประสงค์ในการเรียงลำดับชุดข้อมูลที่รับเข้ามาทางอินพุตให้ออกที่เอ้าพุต ตามเลขหมายปลายทางของชุดข้อมูล โดยเรียงจำนวนน้อยไปมาก หรือมากไปน้อย ซึ่งขึ้นอยู่กับการจัดวงจรภายในโครงข่ายแบตเชอร์เอง โดยการเชื่อมโยงจะใช้ความสัมพันธ์ของ Activity bit และบิตต่าง ๆ ในส่วนหัวของชุดข้อมูล เป็นตัวกำหนดเส้นทางการเชื่อมโยงของชุดข้อมูล

3.โครงข่ายบานยาน เป็นโครงข่ายที่มีวัตถุประสงค์ในการจัดชุดข้อมูลไปยังตำแหน่งปลายทางที่ถูกต้องตามเลขหมายปลายทางของชุดข้อมูล แนวความคิดที่ใช้ในการเชื่อมโยงโดยใช้ความสัมพันธ์ของ Activity bit และบิตต่าง ๆ ในส่วนหัวของชุดข้อมูล แต่ละบิตจะใช้กำหนดการเชื่อมโยงในแต่ละภาคของโครงข่าย

ปัญหาที่เกิดขึ้นและแนวทางแก้ไข

ในการทำปริญญานิพนธ์ฉบับนี้ ได้ทดสอบวงจรที่ได้ทำการออกแบบโดยใช้โปรแกรมเลียนแบบการทำงานของวงจร ทำให้เกิดปัญหาและข้อจำกัดในการเลียนแบบการทำงานของวงจรพอสมควร พอที่จะแก้ไขได้ โดยแบ่งปัญหาและข้อจำกัดที่เกิดขึ้นและแนวทางแก้ไขเป็นข้อ ๆ ดังนี้

1. ปัญหาด้านขีดจำกัดของโปรแกรมที่ใช้เลียนแบบการทำงานของวงจร โดยใช้โปรแกรม Pspice ของ Microsim version 5.3 ทำให้เกิดข้อจำกัดในการเลียนแบบการทำงาน คือ จำนวนอุปกรณ์ที่ใช้ในวงจรจะมีจำกัดจำนวน

แนวทางแก้ไข โดยแยกการเลียนแบบการทำงานออกเป็นส่วน ๆ

2. ความต่อเนื่องของสัญญาณในการเลียนแบบการทำงานของวงจรสวิตช์ เนื่องจากการออกแบบของวงจรสวิตช์ โดยใช้ IC TTL ทำงานแบบดิจิตอล ลอจิก ในโหมด Synchronous ทำให้สัญญาณขาดหายเป็นช่วง ๆ ในจังหวะของสัญญาณนาฬิกาแต่ละลูก ทำให้เกิดสภาวะ High Impedance ขึ้น แต่ในการใช้งานจริง IC TTL จะมีคุณสมบัติในการเก็บสภาวะทางลอจิกไว้ระยะเวลาหนึ่ง ทำให้ไม่เกิดปัญหาดังกล่าวในการใช้งานจริงของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางแก้ไข แทนส่วนต่าง ๆ ของวงจรสวิตซ์โดยใช้ลอจิกเกต และเลียนแบบการทำงานในโหมดดิจิตอล ทำให้สามารถเลียนแบบการทำงานของวงจรสวิตซ์ได้ โดยใช้ส่วนของ Shift register จะแทนด้วย D-flipflop และ ใช้วงจรเกตต่าง ๆ แทนในส่วนต่าง ๆ ของวงจรสวิตซ์ แล้วแยกการเลียนแบบการทำงานในส่วนของวงจรเกตแต่ละตัว ผลที่ได้สามารถสนันสนุนการทำงานของวงจรสวิตซ์โดยรวมได้

3. สัญญาณที่ใช้ควบคุมการทำงานของโครงข่าย ในการนำโครงข่ายไปใช้งานนั้นจำเป็นจะต้องใช้สัญญาณมาควบคุมให้โครงข่ายสามารถทำงานได้ตามวัตถุประสงค์ โดยได้จากชิพควบคุมจากภายนอก ในการเลียนแบบการทำงานนั้น สัญญาณที่ใช้กำหนดขึ้นเอง ในโปรแกรมทำให้เกิดปัญหาในการ Sync กับสัญญาณนาฬิกาในระบบ และ ส่วนต่างๆ ภายในวงจรสวิตซ์เอง ทำให้เงื่อนไขในการทำงานของวงจรสวิตซ์ผิดพลาดขึ้นได้

แนวทางแก้ไข ทำการ Sync สัญญาณควบคุมกับสัญญาณนาฬิกาก่อนป้อนเข้าไปควบคุมในส่วนต่างๆ ของวงจรสวิตซ์ และจะต้องสัมพันธ์กับช่วงเวลาของชุดข้อมูลด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

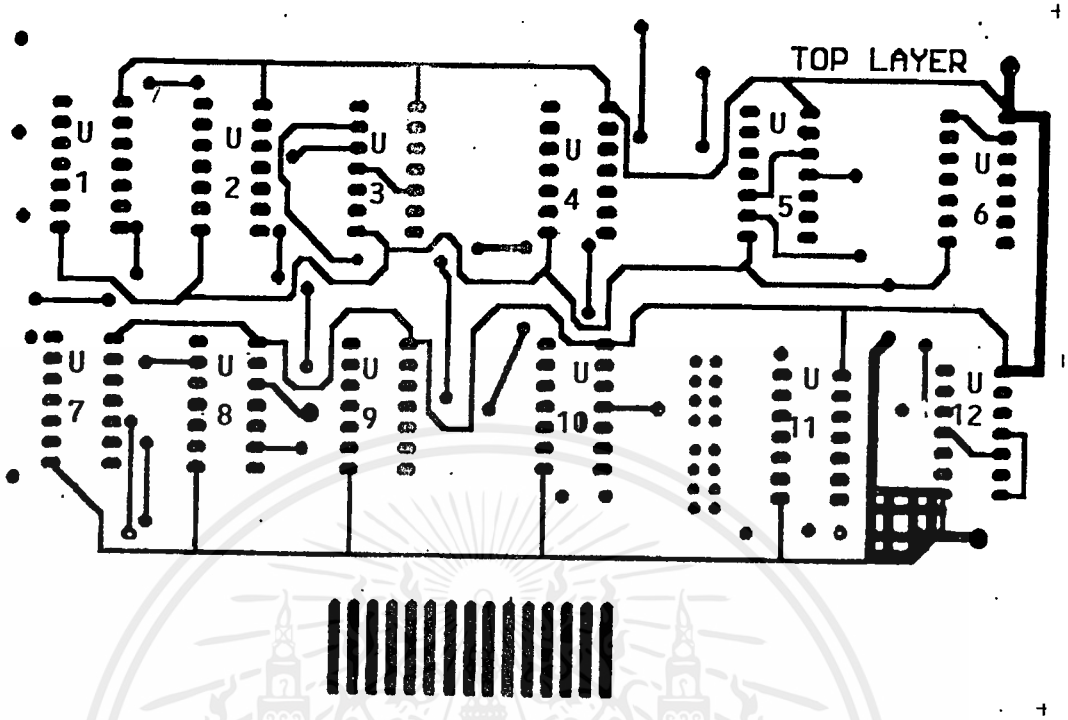
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทดสอบวงจร

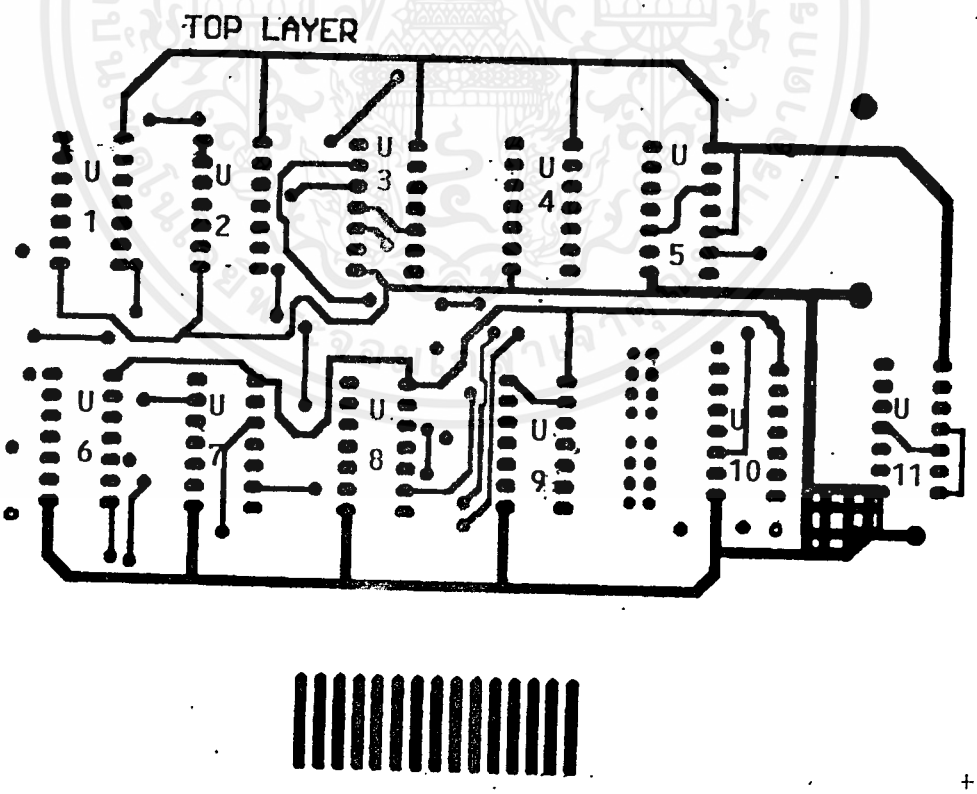
```
2000   3E 80          LD  A, 80H          : รหัสควบคุม
2002   D3 03          OUT(03H), A         : โปรแกรม 8255 ให้ Port A, B, C
                                             เป็น O/P
2004   3E 06          LD  A, 06H          : รหัสควบคุม
2006   D3 02          OUT(02H), A         : เพื่อเลือกให้ U11 Action ที่ขา 6
2008   06 **          LD  B, **H          : กำหนดรอบการทำงาน
200A   11 00 21       LD  DE, 2100H       : กำหนดตำแหน่งเริ่มต้นของข้อมูล
200D   1A        LOOP : LD  A, (DE)
200E   D3 01          OUT(01H), A         : นำข้อมูลมาแสดงที่ LED (out put ที่
                                             ต้องการ)
2010   CD 50 20       CALL  DELAY         : เรียกโปรแกรมหน่วงเวลา
2013   1C             INC  E
2014   05             DEC  B              : เลื่อนตำแหน่งแสดงข้อมูลถัดมา
2015   AF             XOR  A              : ลดรอบการทำงานลง 1 ค่า
2016   B8             CP   B
2017   C2 0D 20       JPNZ, LOOP          : ตรวจสอบ
201A   76             HALT                : หยุดการทำงาน
2050   26 **    DELAY : LD  H, **H        : กำหนดระยะเวลาการหน่วงเวลา
2052   2E **    DELAY2: LD  L, **H        : กำหนดระยะเวลาการหน่วงเวลา
2054   2D       DELAY1: DEC  L            : เริ่มต้นหน่วงเวลา
2055   AF             XOR  A
2056   BD             CP   L
2057   C2 54 20       JPNZ, DELAY 1
205A   25             DEC  H
205B   AF             XOR  A
205C   BC             CP   H
205D   C2 52 20       JPNZ, DELAY 2
2060   C9             RET                 : กลับโปรแกรมหลัก
2100   **                                 : เริ่มต้นตำแหน่งข้อมูลทดสอบวงจร
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการวางอุปกรณ์

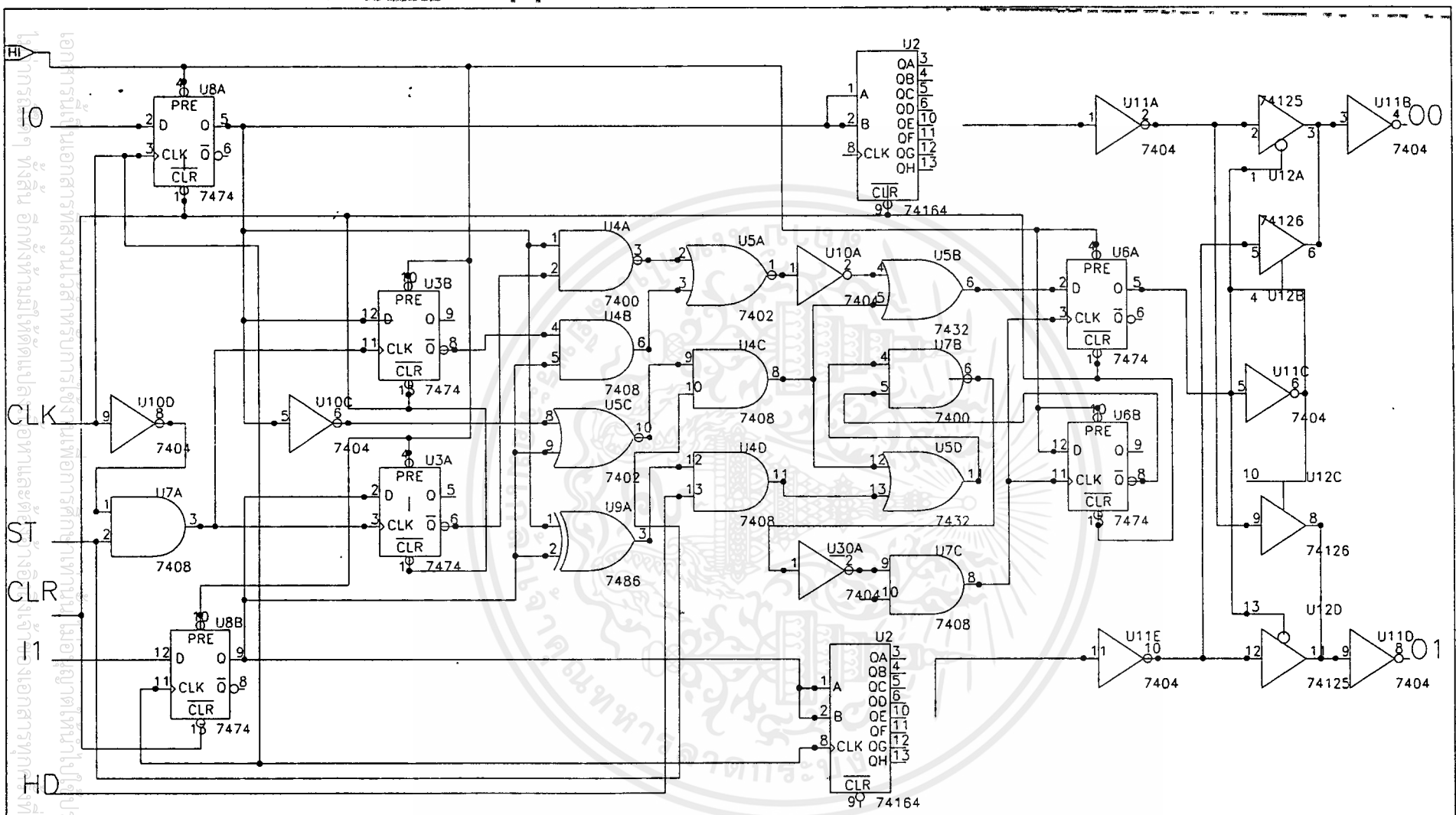


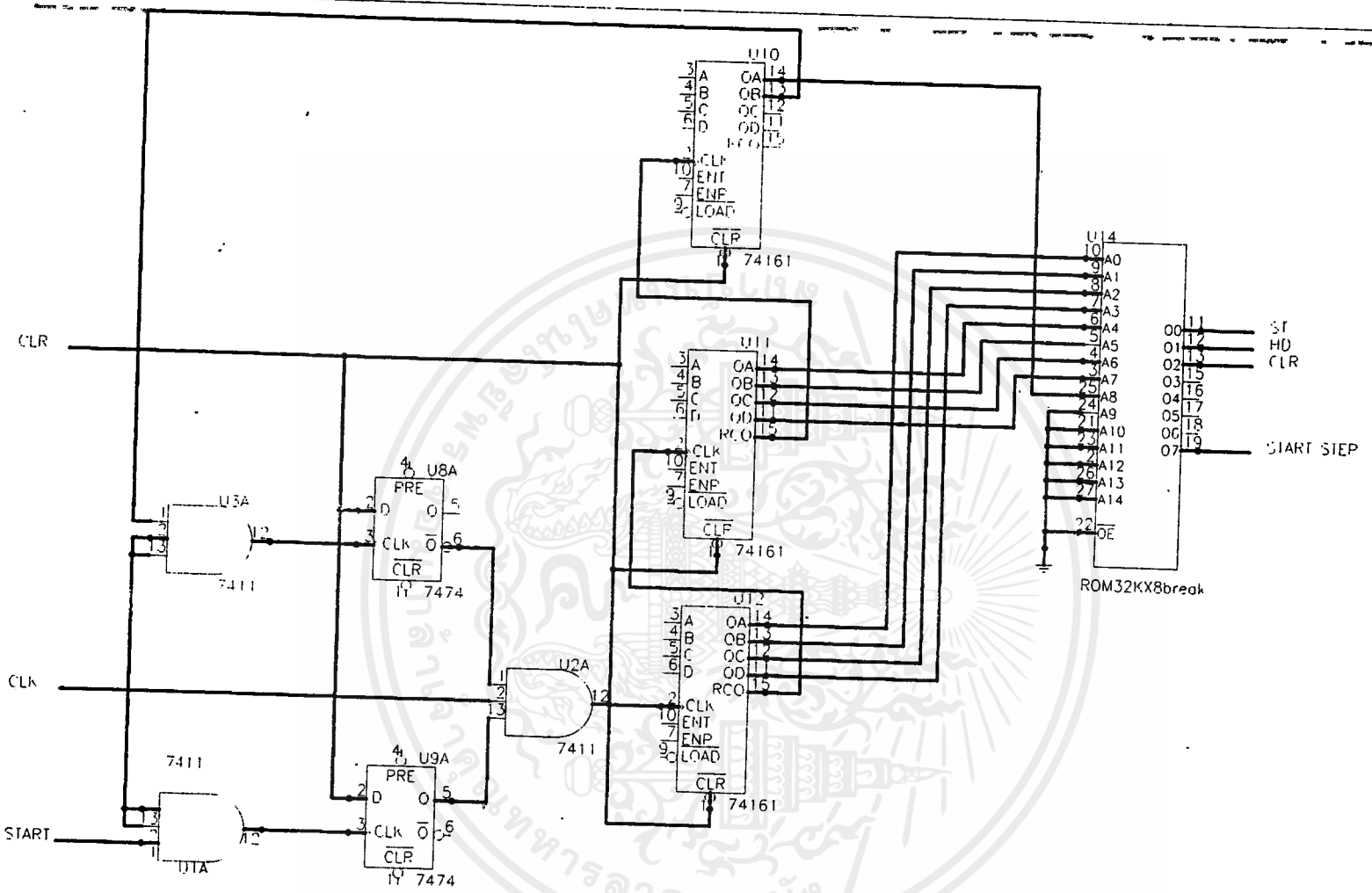
การวางอุปกรณ์ของวงจรแบตเชอร์



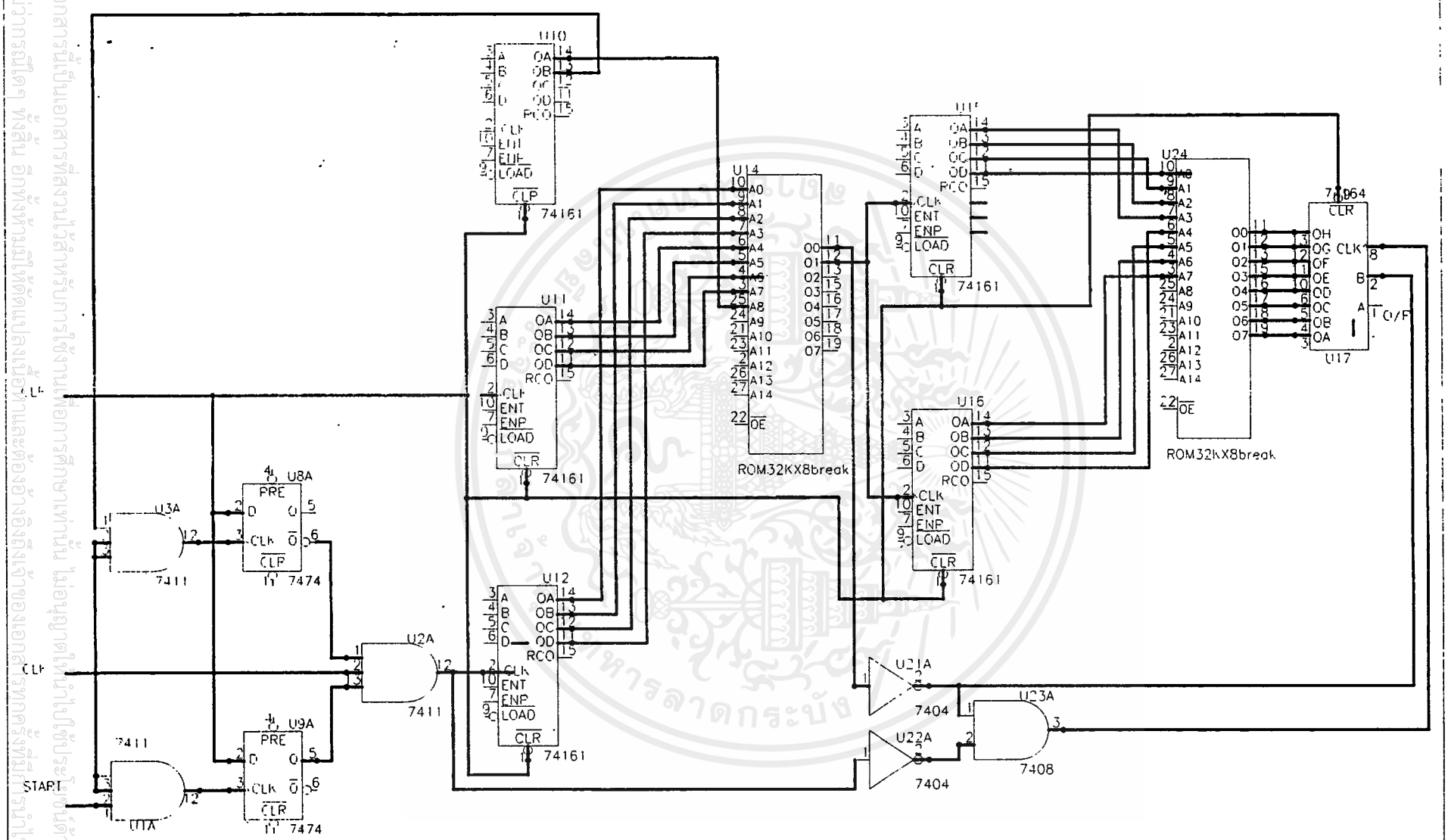
การวางอุปกรณ์ของวงจรบานยาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


HI
I0
CLK
ST
CLR
I1
HD
U8A
PRE
D
Q
CLK
CLR
7474
U2
A
B
CLK
QA
QB
QC
QD
QE
QF
QG
QH
74164
U11A
7404
74125
U11B
O0
U12A
74126
U3B
U4A
7400
U5A
7402
U10A
U5B
7432
U6A
U4B
7408
U4C
U7B
7400
U10D
U10C
U5C
U3A
U4D
U5D
U6B
U11C
U7A
U9A
7486
U30A
U7C
U8B
U11E
O1
U12B
U12C
U12D
BATCHER

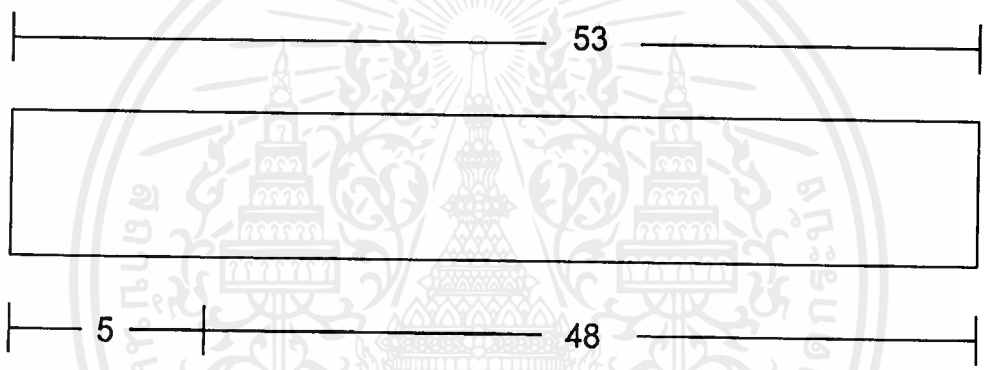


CONTROL SIGNAL


U10
74161
U11
74161
U12
74161
U14
ROM32KX8break
U15
74161
U16
74161
U24
ROM32kX8break
U17
74964
U/D
U3A
7411
U8A
7474
U9A
7474
U2A
7411
U1A
7411
START
CLK
U21A
7404
U22A
7404
U23A
7408
PARALAR TO SERIAL

เทคนิคพื้นฐานของ ATM (Asynchronous Transfer Mode)

ATM มีเทคนิคพื้นฐานมาจากแพ็คเกตสวิตช์ชิ่ง และ การมัลติเพล็กซ์แบบ Asynchronous Time Divition (ATD) รวมกันเมื่อผู้ใช้ต้องการส่งข่าวสาร อาจจะอยู่ในรูปของ เสียง ภาพนิ่ง หรือ ภาพเคลื่อนไหว ก็ตาม เครื่องต้นทางปลายทางจะเปลี่ยนข่าวสารเหล่านี้ให้อยู่ในของข้อมูลดิจิตอล ซึ่งต้องการความเร็วในการส่งไม่เท่ากัน เช่น เสียงสามารถส่งได้ที่ความเร็ว 32-64 Kb/s ส่วนภาพเคลื่อนไหวนั้นต้องการความเร็ว ในการส่งถึง 40 Mb/s แทนที่จะส่งข้อมูลดิจิตอลนี้ออกไปอย่างต่อเนื่องเหมือนการส่งในแบบ เซอร์กิตสวิตช์ชิ่ง เครื่องต้นทางปลายทางจะแบ่งข่าวสารเหล่านี้ออกเป็นส่วนย่อย ๆ แล้วสร้างเป็นรูปแบบแพ็กเกตขึ้นมา โดยการเติมข้อมูลที่ใช้ในการควบคุมการส่งเข้าไปในข้อมูลดิจิตอลแต่ละชิ้น แพ็กเกตที่สร้างขึ้นมานี้แตกต่างจากแพ็กเกตทั่วๆ ไป เพราะมีขนาดเล็กและมีความยาวคงที่จึงเรียกว่า เซลล์ (Cell)



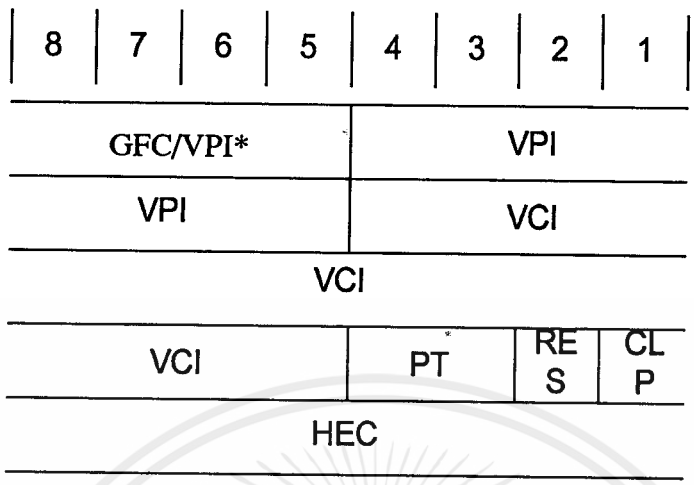
แสดง ATM cell

CCITT ได้กำหนดความยาวของเซลล์เป็นมาตราฐาน ที่ความยาว 53 ไบต์ โดยแบ่งเป็นส่วน Payload ที่ใช้บรรจุข้อมูลดิจิตอลของผู้ใช้มีความยาว 48 ไบต์ และส่วน Header ที่บรรจุข้อมูลที่ใช้ควบคุมในการส่งอีก 5 ไบต์ ดังแสดงในรูป ความเร็วในการรับส่งข้อมูลของโครงข่าย ATM ที่ CCITT กำหนดเป็นมาตรฐานไว้มีสองค่าคือ 155 Mb/s และ 622 Mb/s

ATM cell header

ในการกำหนดมาตรฐานเกี่ยวกับเซลล์ นอกจากจะกำหนดความยาวของเซลล์ Header และ Payload แล้วยังมีการกำหนดโครงสร้างของ Header ไว้ด้วย ดังแสดงในตาราง หน้าที่หลักของ Header คือ บอกให้โหนดในโครงข่าย ATM รู้ว่าเมื่อรับเซลล์นั้นเข้ามาแล้วจะต้องส่งเซลล์ต่อไปที่โหนดใดสามารถเลือกเส้นทางที่เซลล์จะผ่านโดยดูจากค่าของ VCI/VPI ในโครงข่าย ATM เซลล์ที่มีค่า VCI/VPI หมือนกันจะถูกส่งไปยังปลายทางโดยผ่านเส้นทางเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VPI : Virtual part identifier

VCI : Virtual channel identifier

PT : Payload type

RES : Reserved bit

CLP : Cell loss priority

HEC : Header error control

แสดง ATM cell header

ถ้าจำนวนเซลล์ที่รับส่งผ่านโหนดมีมากจนกระทั่งหน่วยความจำในโหนดเต็ม โหนดจำเป็นจะต้องเลือกเซลล์บางเซลล์ทิ้งไปโดยดูจาก CLP ของแต่ละเซลล์ ถ้า CLP ของเซลล์ถูกเซ็ตไว้เท่ากัน "1" เซลล์นั้นจะถูกทิ้งไปก่อนเกิดความคับคั่งขึ้นในโหนด อีกส่วนของ Header คือ Payload Type (PT) ซึ่งบอกให้รู้ว่าเซลล์นั้นมีข้อมูลที่ผู้ใช้ต้องการส่ง หรือเป็นข้อมูลที่ใช้ในการควบคุมและบำรุงรักษาโครงข่าย ส่วน GFC ของ Header จะปรากฏเฉพาะเซลล์ที่รับส่งระหว่างเครื่องต้นทางปลายทางของผู้ใช้กับโครงข่ายเท่านั้น และใช้ในการแยกแยะเซลล์ที่มาจากผู้ใช้หลาย ๆ รายที่เชื่อมต่อเข้ากับโครงข่ายที่จุดเชื่อมต่อของโครงข่ายเดียวกัน

ในระหว่างที่เซลล์ถูกส่งจากโหนดหนึ่งไปยังอีกโหนดหนึ่ง ในโครงข่าย ATM อาจเกิดข้อผิดพลาดกับส่วนใดส่วนหนึ่งของเซลล์ได้ไม่ว่าจะเป็นส่วน Header หรือ Payload ก็ได้ถ้าความผิดพลาดเกิดขึ้นที่ส่วน Payload เมื่อเซลล์ถูกส่งไปจนถึงปลายทาง เครื่องปลายทางจะตรวจพบและดำเนินการแก้ไขเอง แต่ถ้าความผิดพลาดเกิดขึ้นที่ Header อาจจะทำให้ค่า VCI/VPI ผิดไปและตามมาด้วยการส่งเซลล์นั้นให้ผู้ใช้ผิดราย เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้องกันปัญหาดังกล่าวเครื่องปลายทางของผู้ใช้ หรือ โหนดที่จะส่งเซลล์จะคำนวณค่า Header error control (HEC) ใน Header โดยใช้หลักการ Cyclic Redundancy Check (CRC) แล้วจึงส่งเซลล์นั้นออกไปโหนด หรือ เครื่องปลายทางของผู้ใช้ที่รับเซลล์จะใช้ HEC เพื่อตรวจสอบข้อมูลใน Header ผิดไปเพียงบิตเดียว เครื่องปลายทางของผู้ใช้ หรือ โหนดก็จะสามารถแก้ไขให้ถูกต้องได้ แต่ถ้าสุดวิสัยที่จะแก้ไขก็จะทิ้งทั้งเซลล์ โดยให้เครื่องต้นทางส่งเซลล์นั้นมาใหม่

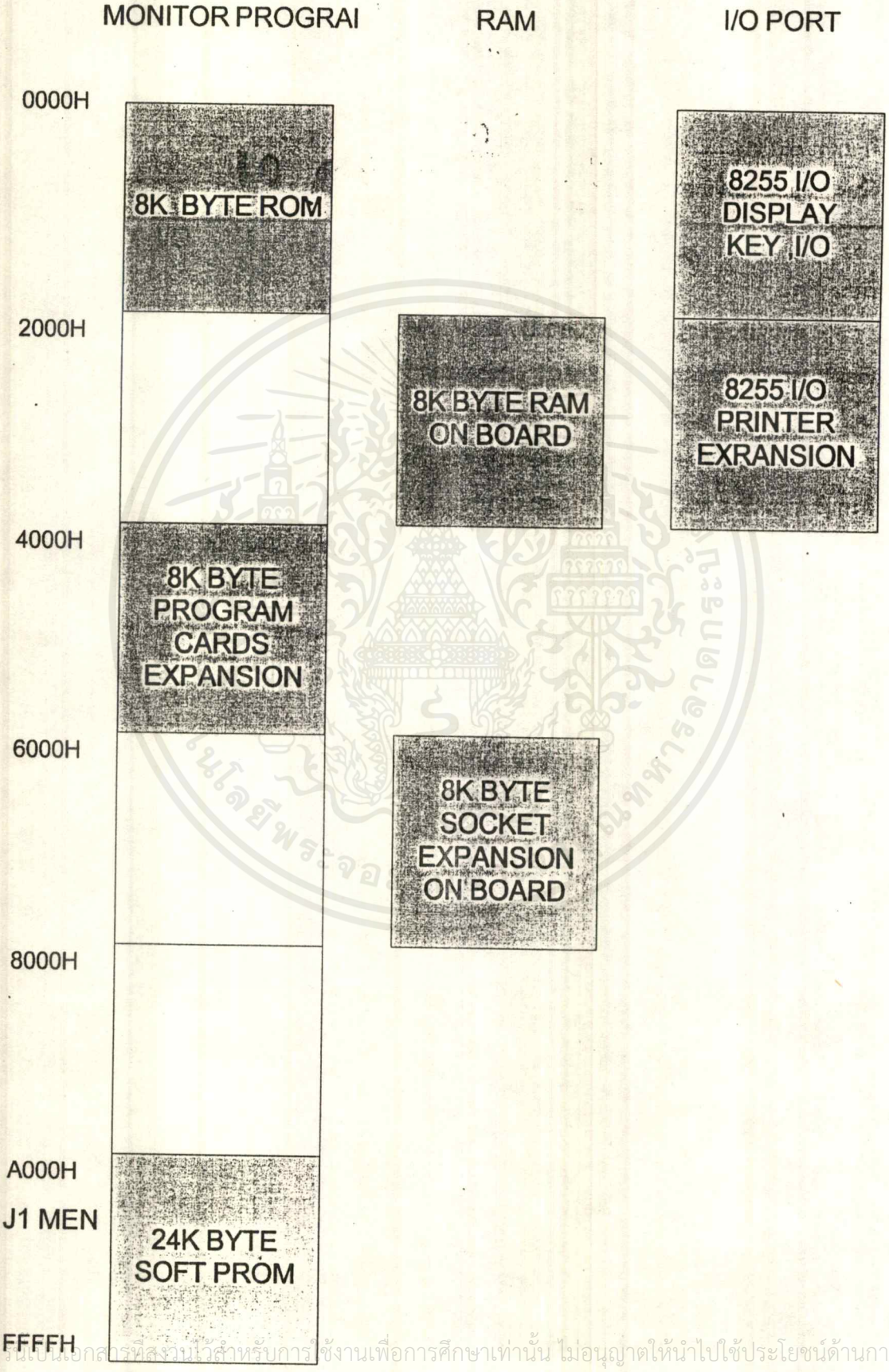
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATION ET-BOARD V3.5

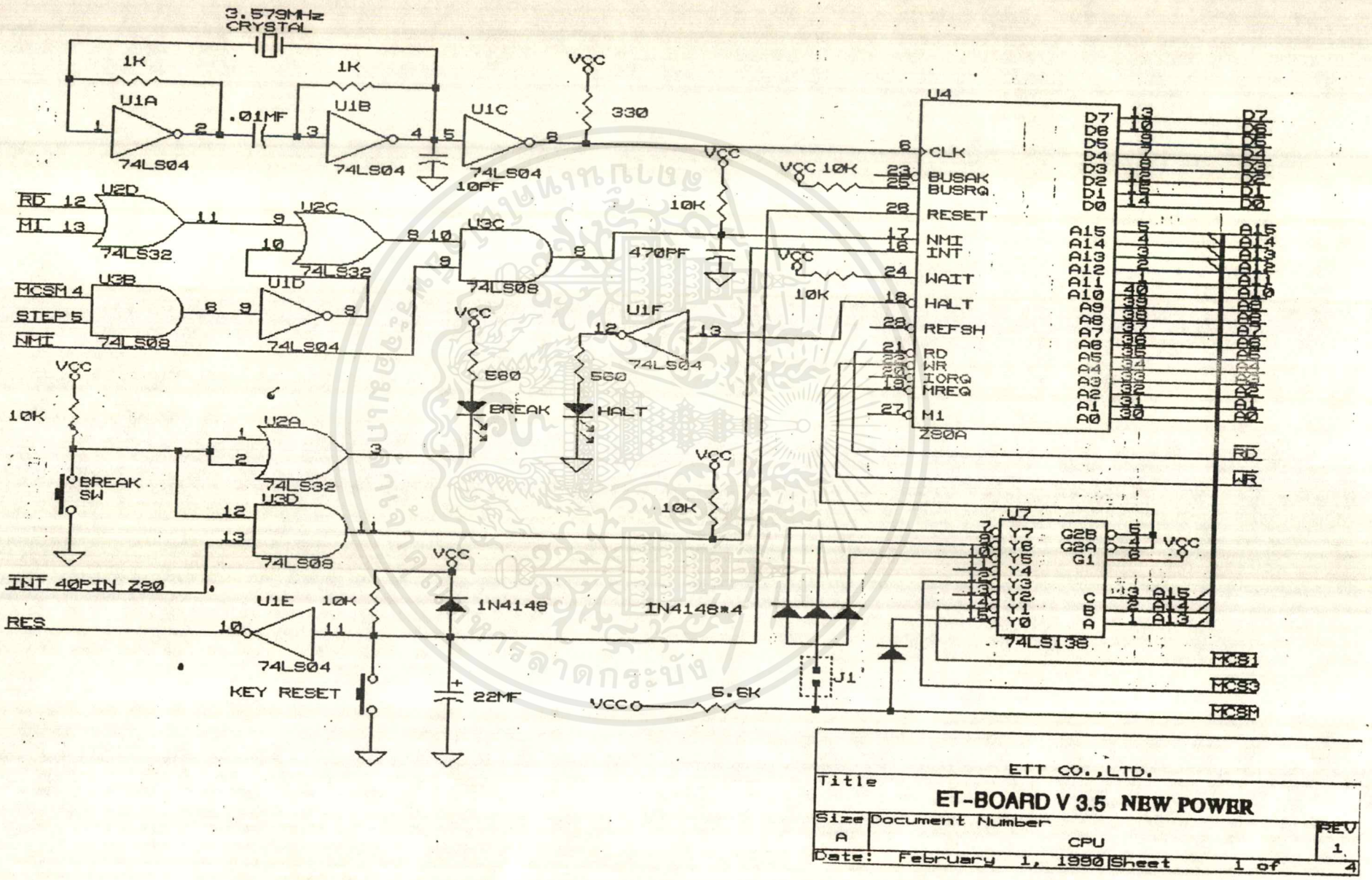
CPU	Z80A
ROM	2725632 K BYTE
RAM	6264 8 K BYTE
PORT	8255 3 PORT * 2
KEYBOARD	24 KEYS (8 DIRECT KEYS , 16 HEXADECIMAL KEY , 32 FUNCTION KEYS)
DISPLAY	6 DIGITS 0.5 " 7-SECMENT LED
LED	1 HALF GREEN LED
	1 POWER RED LED
	1 INT YELLOW LED
	8 FLAG RED LED
TRANSISTER	5 BC547A , 1 BC557A
TTL IC	7
LINEAR IC	2
REGULATOR IC	1
SPEAKER	2.25"
CONNECTOR	1 40 PIN HEADER STRIP FOR SYSTEM EXPANSION
	1 40 PIN HEADER STRIP FOR 8255 EXPANSION
	1 20 PIN HEADER STRIP FOR PRINTER
	2 JACK FOR TAPE INTERFACE
	1 4 PIN RS232 INTERFACE
	1 JACK FOR DC SUPPLY
	1 JUMPER DECODE MEMORY ROM
DIP SWITCH	8 PIN
CLOCK RATE	3.579 MHz
POWER SUPLY	CONSUMPTION 5 V MAIN INPUT 9 V
TAPE INTERFACE	83 BIT/SEC
RS232 INTERFACE	TRANFER INTEL-HEX FILE FOR MATE
BACKUP RAM	8 K BYTE
EXPANSION MEMORY	8 K BYTE (6116 , 6264 , 2716 , 2732 , 2764)

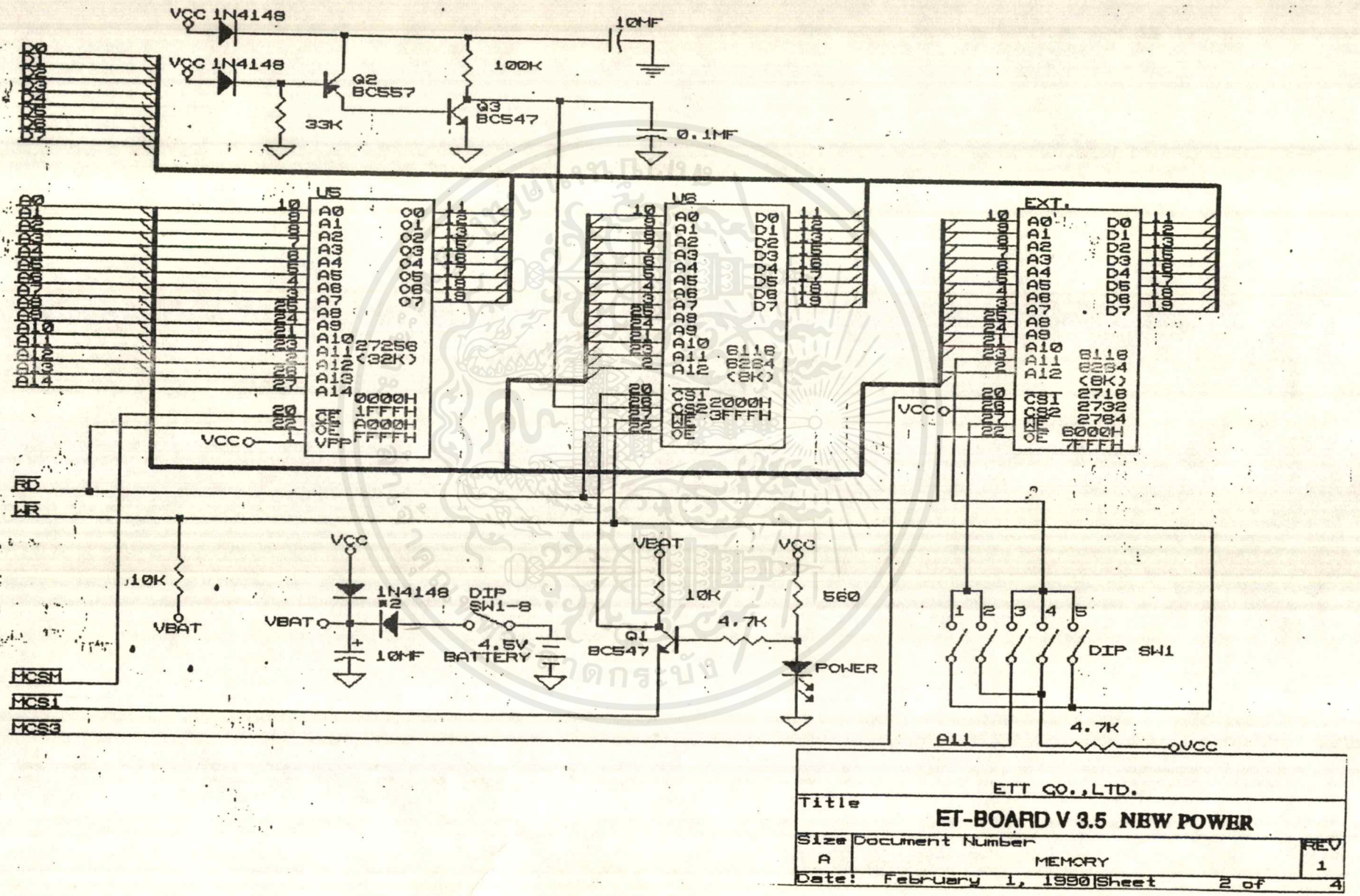
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

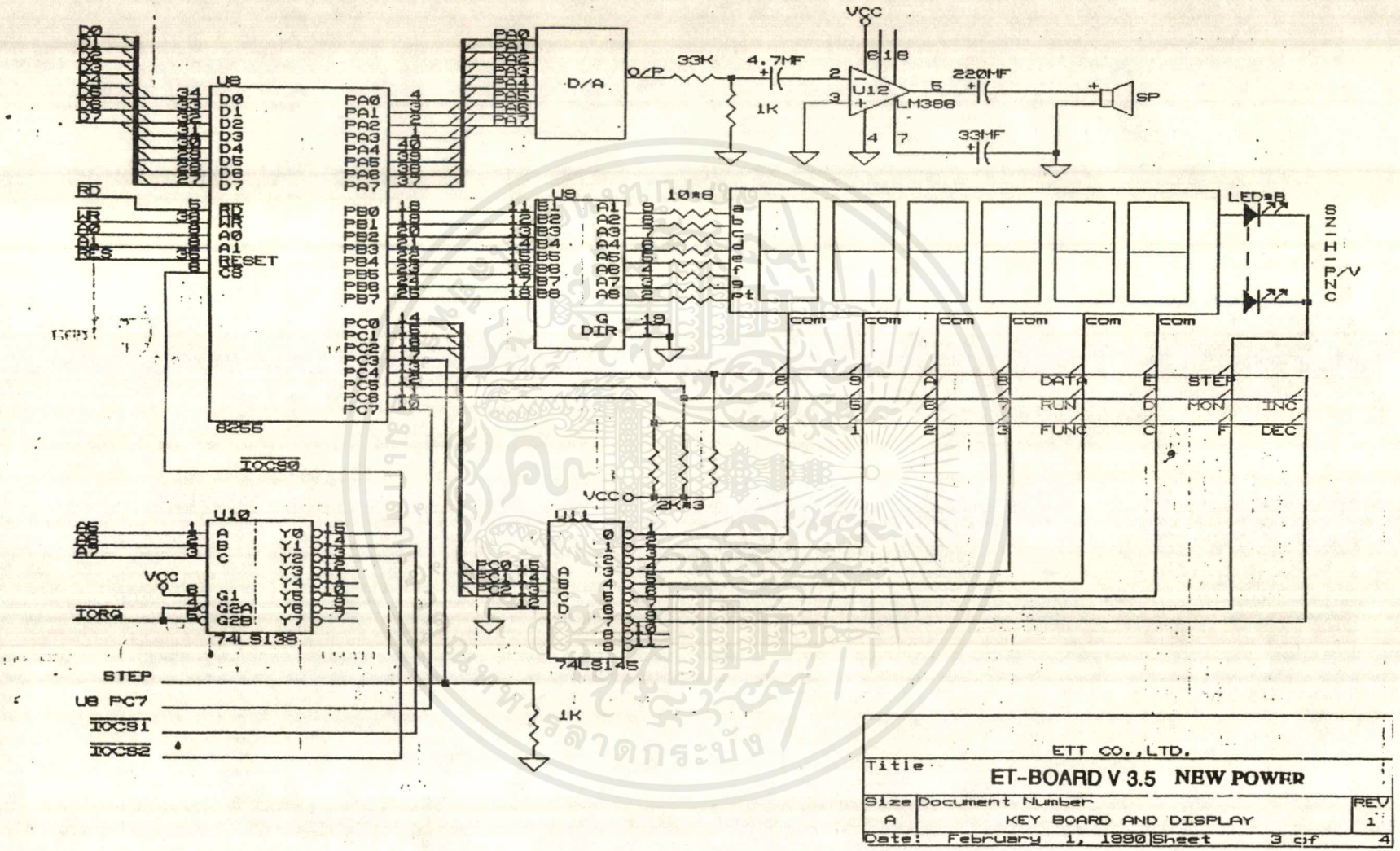
MEMORY AND I/O MAP
ET-BOARD V3.5 NEW POWER



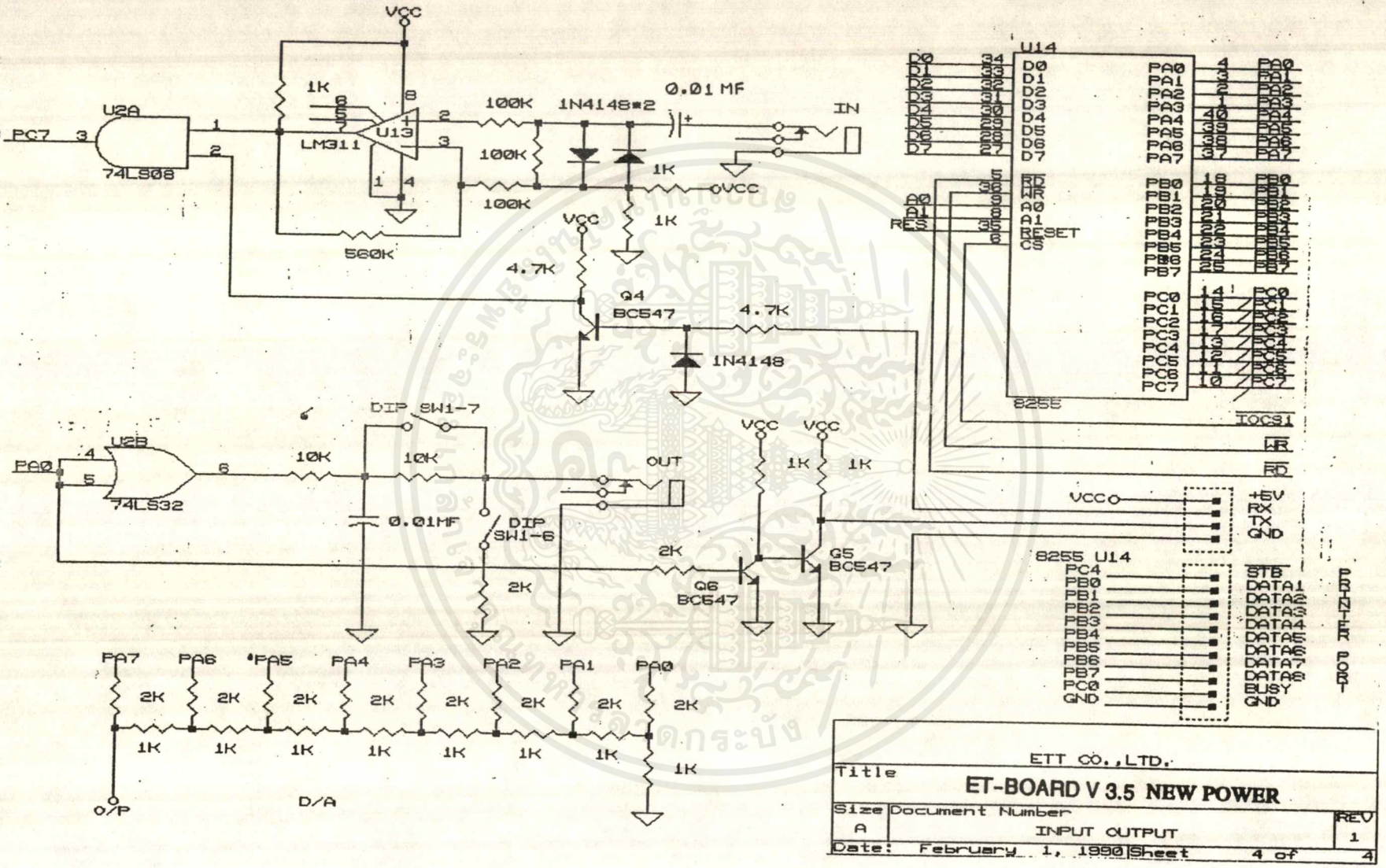
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


3.579MHz
CRYSTAL
1K
1K
U1A
U1B
U1C
.01MF
74LS04
74LS04
74LS04
10PF
VCC
330
U4
CLK
BUSAK
BUSRQ
RESET
NMI
INT
WAIT
HALT
REFSH
RD
WR
IORQ
MREQ
M1
Z80A
D7
D6
D5
D4
D3
D2
D1
D0
A15
A14
A13
A12
A11
A10
A9
A8
A7
A6
A5
A4
A3
A2
A1
A0
VCC 10K
10K
470PF
RD 12
MI 13
U2D
U2C
U3C
74LS32
74LS32
74LS08
MCSM 4
STEP 5
NMI
U3B
U1D
74LS08
74LS04
U1F
74LS04
VCC
560
560
BREAK
HALT
10K
BREAK SW
U2A
U3D
74LS32
74LS08
INT 40PIN Z80
RES
U1E
10K
74LS04
KEY RESET
1N4148
IN4148*4
22MF
VCC
5.6K
J1
U7
Y7
Y6
Y5
Y4
Y3
Y2
Y1
Y0
G2B
G2A
G1
C
B
A
74LS138
MCS1
MCS3
MCSM
ETT CO.,LTD.
Title
ET-BOARD V 3.5 NEW POWER
Size
A
Document Number
CPU
REV
1.
Date: February 1, 1990
Sheet 1 of 4


VCC 1N4148
VCC 1N4148
Q2
BC557
33K
Q3
BC547
100K
10MF
0.1MF
D0
D1
D2
D3
D4
D5
D6
D7
U5
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
27256
(32K)
0000H
1FFFH
A000H
FFFFH
VCC
U6
6116
6264
(8K)
2000H
3FFFH
EXT.
2718
2732
2764
6000H
7FFFH
RD
WR
10K
VBAT
VCC
1N4148
#2
DIP
SW1-8
4.5V
BATTERY
10MF
VBAT
10K
4.7K
560
Q1
BC547
POWER
1
2
3
4
5
DIP SW1
4.7K
VCC
A11
MCSM
MCS1
MCS3
ETT CO.,LTD.
Title
ET-BOARD V 3.5 NEW POWER
Size
A
Document Number
MEMORY
REV
1
Date: February 1, 1998
Sheet 2 of 4



	ETT CO.,LTD.	
Title	ET-BOARD V 3.5 NEW POWER	
Size: A	Document Number: KEY BOARD AND DISPLAY	REV: 1
Date: February 1, 1990	Sheet 3 of 4	


VCC
1K
U2A
U8 PC7
74LS08
LM311
U13
100K
1N4148*2
0.01 MF
IN
560K
4.7K
Q4
BC547
1N4148
U14
8255
RD
WR
RESET
CS
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC4
PC5
PC6
PC7
IOCS1
+5V
RX
TX
GND
STB
DATA1
DATA2
DATA3
DATA4
DATA5
DATA6
DATA7
DATA8
BUSY
PRINTER PORT
U2B
74LS32
10K
DIP SW1-7
DIP SW1-6
OUT
0.01MF
2K
Q5
BC547
Q6
BC547
D/A
O/P
ETT CO.,LTD.
ET-BOARD V 3.5 NEW POWER
INPUT OUTPUT
February 1, 1990
4 of 4

บรรณานุกรม

(1) C. L.. Wu and T.Y. Feng , " Interconnect Network for Parallel and Distributed processing , " IEEE Computer society press , 1984 , pp. 1-162

(2) D.P.Agrawal and J.S.Leu, "Interconnection Networks, " Proc. Int Conf. Comp System, 1984, pp. 266-277.

(3) M.a. Franklin , "VLSI Performance Comparision of Banyan and Crossbar Communication network , " IEEE Trans on Computer Vol. C-30.no.4,April,1981,pp 283-290.

(4) R. Goke, and G. J. Lipovski, "Banyan Networks for Partitioning on Multiprocessor System," Proc. 1st Ann. Symp. Computer Architecture, 1973, pp. 21-30.

(5) W.S.Marcus, "CMOS Batcher and Banyan chip for B-ISDN Packet Switching , " IEEE Solid State circuit , Vol. 25, no. 6,December , 1990 , pp.1426-1432.

(6) W.Marcus and J. Hickey , "A CMOS Batcher and Banyan Chip Set for B-ISDN , " ISSCC Dig. Tech. Papers, 1990, pp. 32-33.

(7) ดร.กำธร ไวทยกุล."Asynchronous Transfer Mode," Wireless Communication Journal. ปีที่ 1. ฉบับที่ 2.ตุลาคม 2536. หน้า 97-115.

(8) ชัชวาล ภูรินันทน์, รศ.ดร.กอบชัย เดชหาญ, " การออกแบบโครงข่ายเชื่อมต่อภายในด้วยฮาร์ดแวร์," วารสารคอมพิวเตอร์ สมาคมคอมพิวเตอร์แห่งประเทศไทย ในพระบรมราชูปถัมภ์.

(9) ดร.ประสิทธิ์ ทีฆพุฒิ.โครงข่ายบริการสื่อสารร่วมระบบดิจิตอล. พิมพ์ครั้งที่1. สิงหาคม 2535. วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้