เครื่องรับวิทยุติดตามตัว

Direct Conversion Pager

โดย

นายเจตน์ เจียรธนะกานนท์

นายณัฐพล จินดา

นายพงษ์ชัย ศิระสุข

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039070

เครื่องรับวิทยุติดตามตัว

Direct Conversion Pager

โดย

นายเจตน์	เจียรธนะกานนท์	37014067
นายณัฐพล	จินดา	37014114
นายพงษ์ชัย	ศิระสุข	37014272

อาจารย์ที่ปรึกษา

ดร. ทองทด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับวิทยุติดตามตัว**

Direct Conversion Pager

ผู้จัดทำ

1. นายเจตน์ เจียรธนะกานนท์ 37014067
2. นายณัฐพล จินดา 37014114
3. นายพงษ์ชัย ศิระสุข 37014272

ทองทด วานิชศรี อาจารย์ที่ปรึกษา

(ดร. ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับวิทยุติดตามตัว

Direct Conversion Pager

โดย นายเจตน์ เจียรธนะกานนท์ 37014067
นายณัฐพล จินดา 37014114
นายพงษ์ชัย ศิระสุข 37014272
อาจารย์ที่ปรึกษา ดร. ทองทด วานิชศรี

บทคัดย่อ

โครงงานนี้นำเสนอการออกแบบ และการสร้างวิทยุติดตามตัวในส่วนของภาครับสัญญาณ โดยใช้วิธี Direct Conversion ซึ่งจะรับสัญญาณ 2-FSK ที่ความถี่ 139.875 เมกะเฮิร์ต โดยแยกสัญญาณที่รับออกเป็น 2 ทาง แล้วนำมาผสมกับสัญญาณโลคัลออสซิลเลเตอร์ที่มีความถี่เดียวกันกับความถี่ที่รับ วงจรออสซิลเลเตอร์จะใช้วงจรสังเคราะห์ความถี่เป็นตัวควบคุมความถี่ สัญญาณ IF ทั้งสองที่ได้จะนำไปผ่านวงจรโลพาสฟิลเตอร์ และนำ IF ตัวหนึ่งผ่านวงจรชิฟเฟส 90 องศาแล้วนำไปคูณกับ IF อีกตัวหนึ่ง นำผลคูณที่ได้ผ่านวงจรโลพาสฟิลเตอร์ได้เป็นพัลส์ข้อมูลตามต้องการ ในโครงงานนี้จะไม่รวมส่วน POCSAG DECODER และส่วนแสดงผล

ABSTRACT

This project presents to design and create of pager in the receive part in Direct Conversion method. It will receive 2-FSK signal at 139.875 Megahertz and divide to put in 2 mixers for mix with signal from local oscillator at same frequency of receive signal. The oscillator uses Synthesizer circuit to control frequency

Both IF signal are filtered by LPF, put one IF signal in shift phase 90 degree circuit and mixed with another one . Put the result in LPF to receive pulse of digital signal. This project does not include POGSAG decoder and DISPLAY part.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	
2.1 วงจรขยาย(Small signal amplifier design)	2
2.2 วงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO)	11
2.3 การสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป	14
2.4 วงจรชิฟเฟส(Shift phase)	21
2.5 วงจรคูณสัญญาณ	21
2.6 บาลานซ์มอดูเลตชั่น	29
2.7 วงจรขยายผลต่าง	30
2.8 วงจรกรองสัญญาณความถี่ต่ำแบบบัตเตอร์เวิร์ท	31
2.9 วงจรขยายแบบไม่กลับเฟส	37
2.10 วงจรแบนด์พาสฟิลเตอร์ (BPF)	38
2.11 วงจรชิฟเฟส 90 องศา (ใช้ออปแอมป์)	40
2.12 วงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ท	41
2.13 วงจรสายอากาศ	42
บทที่ 3 การคำนวณและการสร้าง	
3.1 บล็อกไดอะแกรมของระบบ	43
3.2 การออกแบบวงจร LNA	44
3.3 การออกแบบวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO)	48
3.4 การออกแบบวงจรเฟสล็อคลูป	50
3.5 การออกแบบวงจรชิฟเฟส	53
3.6 การออกแบบวงจรคูณสัญญาณ	53
3.7 การออกแบบวงจรกรองสัญญาณความถี่ต่ำ	54
3.8 การออกแบบวงจรขยายสัญญาณ	55
3.9 การออกแบบวงจรชิฟเฟส 90 องศา (โดยใช้ออลพาสฟิลเตอร์)	56
3.10 การออกแบบวงจรกรองความถี่ต่ำอันดับสอง	56
3.11 การออกแบบวงจรแบนพาสฟิลเตอร์	56
3.12 การออกแบบวงจรขยาย	57
3.13 การออกแบบวงจรคอมพาราเตอร์	58
3.14 การออกแบบวงจรสายอากาศ	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลองและผลการทดลอง
4.1 ผลการทดลองของวงจร LNA 59
4.2 ผลการทดลองของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO) 61
4.3 ผลการทดลองของวงจรเฟสล็อคลูป 62
4.4 ผลการทดลองของวงจรชิฟเฟส 63
4.5 ผลการทดลองของวงจรคูณสัญญาณ 63
4.6 ผลการทดลองของวงจรกรองความถี่ต่ำ 65
4.7 ผลการทดลองของวงจรขยายสัญญาณ 67
4.8 ผลการทดลองของวงจรชิฟเฟส 90 องศา 67
4.9 ผลการทดลองของวงจรแบนด์พาสฟิลเตอร์ 68
4.10 ผลการทดลองของวงจรบาลานซ์มอดูเลเตอร์ 71
4.11 ผลการทดลองของวงจรกรองความถี่ต่ำ 72
4.12 ผลการทดลองของวงจรคอมพาราเตอร์ 74
4.13 ผลการทดลองของวงจรสายอากาศ 75
บทที่ 5 บทวิจารณ์และบทสรุป 77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้าที่
รูปที่ 2.1 Two port S พารามิเตอร์	2
รูปที่ 2.2 แสดงวงจรไบอัส	4
รูปที่ 2.3 แสดงการทำงานของวงจรขยายสำหรับ $S_{12} = 0$	6
รูปที่ 2.4 วงกลมอัตราขยายทางด้านอินพุท	7
รูปที่ 2.5 วงกลมเสถียรภาพ	9
รูปที่ 2.6 อัตราขยายและวงกลม NF	10
รูปที่ 2.7 วงจรคอลปิทออสซิลเลเตอร์	11
รูปที่ 2.8 วงจร VCO	12
รูปที่ 2.9 วงจรรีโซเนเตอร์	12
รูปที่ 2.10 วงจรเสมือนของ L ที่ความถี่สูง	13
รูปที่ 2.11 วงจรเสมือนของ C ที่ความถี่สูง	13
รูปที่ 2.12 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป	14
รูปที่ 2.13 องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป	16
รูปที่ 2.14 ทรานเฟอร์คาแร็กเตอร์ริสติคระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป	17
รูปที่ 2.15 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์	20
รูปที่ 2.16 วงจรชิฟเฟส 90°	21
รูปที่ 2.17 วงจรดิฟเฟอเรนท์เชียลแพร์	22
รูปที่ 2.18 เปรียบเทียบการทำงานของวงจรดิฟเฟอเรนท์เชียลแพร์	23
รูปที่ 2.19 แสดงลักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของวงจรดิฟเฟอเรนท์เชียลแพร์	25
รูปที่ 2.20 แสดงการทำงานของสัญญาณเล็กของ BJT ดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์	25
รูปที่ 2.21 แสดงอินพุทดิฟเฟอเรนท์เชียลรีซีสแตนท์	28
รูปที่ 2.22 แสดงอินพุทดิฟเฟอเรนท์เชียลรีซีสแตนท์	28
รูปที่ 2.23 บาลานซ์ทรานซิสเตอร์ที่ใช้วงจรดิฟเฟอเรนท์เชียล	30
รูปที่ 2.24 ก วงจรขยายผลต่าง	30
รูปที่ 2.24 ข วงจรขยายผลต่างที่มีอัตราส่วนความต้านทานเท่ากัน	31
รูปที่ 2.25 การต่อวงจรแบบแคสโคด	31
รูปที่ 2.26 กราฟแสดงผลตอบสนองทางความถี่ของวงจรแคสโคด	32
รูปที่ 2.27 แสดงลักษณะเฉพาะของวงจรกรองความถี่	34
รูปที่ 2.28 วงจร Sallen and Key	35
รูปที่ 2.29 วงจรการออกแบบที่ 1	36
รูปที่ 2.30 วงจรการออกแบบที่ 2	37
รูปที่ 2.31 วงจรขยายแบบไม่กลับเฟส	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.32 a แสดง WBPF 38
รูปที่ 2.32 b แสดงผลการตอบสนองความถี่ของ WBPF 39
รูปที่ 2.33 a แสดง NBPF 39
รูปที่ 2.33 b ผลตอบสนองความถี่ของ NBPF 39
รูปที่ 2.34 วงจรแอคทีฟออลพาสฟิลเตอร์ 40
รูปที่ 2.35 a วงจรชิฟเฟสแบบตาม 40
รูปที่ 2.35 b วงจรชิฟเฟสแบบนำ 41
รูปที่ 2.36 a วงจร LPF อันดับ 2 41
รูปที่ 2.36 b ผลตอบสนองความถี่ของ LPF 41
รูปที่ 2.37 วงจรสายอากาศ 42
รูปที่ 3.1 บล็อกไดอะแกรมของระบบรวม 43
รูปที่ 3.2 วงกลมอัตราขยายกำลังงาน 46
รูปที่ 3.3 วงจรแมทซ์ชิ่งทางด้านอินพุท 47
รูปที่ 3.4 วงจรแมทซ์ชิ่งทางด้านเอาท์พุท 47
รูปที่ 3.5 วงจรรวมของ LNA 48
รูปที่ 3.6 วงจร VCO 49
รูปที่ 3.7 วงจรเฟสล็อคลูปโดยใช้ IC เบอร์ MC145152 50
รูปที่ 3.8 วงจรเฟสล็อคลูป 52
รูปที่ 3.9 วงจรชิฟเฟส 90° 53
รูปที่ 3.10 วงจรคูณสัญญาณ 53
รูปที่ 3.11 วงจรนอร์มอลไลซ์ของวงจร LPF 55
รูปที่ 3.12 วงจรที่ใช้งานของ LPF 55
รูปที่ 3.13 วงจรออปแอมป์ชนิดไม่กลับเฟส 55
รูปที่ 3.14 วงจรชิฟเฟส 56
รูปที่ 3.15 วงจร LPF 56
รูปที่ 3.16 วงจร BPF 57
รูปที่ 3.17 วงจรขยาย 57
รูปที่ 3.18 วงจรคอมพาราเตอร์ 58
รูปที่ 3.19 วงจรสายอากาศ 58
รูปที่ 4.1 การจัดอุปกรณ์เพื่อทดสอบ LNA 59
รูปที่ 4.2 สัญญาณความถี่วิทยุ 139.875 MHz ที่ป้อนเข้าวงจร LNA 59
รูปที่ 4.3 สัญญาณเอาท์พุทจากวงจร LNA ที่มีอัตราขยายประมาณ 17 dB 60
รูปที่ 4.4 กราฟแสดงผลตอบสนองทางความถี่ของวงจร LNA 61
รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ของวงจร VCO 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 แสดงการล็อคความถี่ที่ความถี่ 139.875 MHz 62
รูปที่ 4.7 ผลการทดลองของวงจรชิฟเฟส 90° ที่ความถี่ 139.875 MHz 63
รูปที่ 4.8 รูปสัญญาณความถี่เอาท์พุท 139.875 MHz ที่ป้อนทางอินพุท 63
รูปที่ 4.9 รูปสัญญาณเอาท์พุทจากวงจรคูณสัญญาณ 64
รูปที่ 4.10 กราฟแสดงผลตอบสนองทางความถี่ของวงจรคูณสัญญาณ 65
รูปที่ 4.11 รูปสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทของวงจร LPF ที่ความถี่ 1 kHz 65
รูปที่ 4.12 รูปสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทของวงจร LPF ที่ความถี่ 5 kHz 66
รูปที่ 4.13 กราฟแสดงผลตอบสนองทางความถี่ของวงจร LPF 67
รูปที่ 4.14 รูปแสดงสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทของวงจรขยาย 67
รูปที่ 4.15 แสดงสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทของวงจรชิฟเฟส 90 องศา 68
รูปที่ 4.16 แสดงผลของวงจร BPF ที่ความถี่ 800 Hz 68
รูปที่ 4.17 แสดงผลของวงจร BPF ที่ความถี่ 1 kHz 69
รูปที่ 4.18 แสดงผลของวงจร BPF ที่ความถี่ 1.1 kHz 69
รูปที่ 4.19 กราฟแสดงผลการตอบสนองทางความถี่ของวงจร BPF 70
รูปที่ 4.20 แสดงผลของวงจรบาลานซ์มอดูเลเตอร์เมื่อป้อนอินพุทของ LNA เป็น 139.873 เมกะเฮิร์ท 71
รูปที่ 4.21 แสดงผลของวงจรบาลานซ์มอดูเลเตอร์เทียบกับผลของสัญญาณเมื่อป้อนผ่าน LPF 72
รูปที่ 4.22 แสดงผลการทดลองของวงจร LPF ที่ความถี่ 1 kHz 72
รูปที่ 4.23 แสดงผลการทดลองของวงจร LPF ที่ความถี่ 500 Hz 73
รูปที่ 4.24 กราฟแสดงผลการตอบสนองทางความถี่ของวงจร LPF ที่มีดัทออฟ ฟรีเควนซี 1 kHz 74
รูปที่ 4.25 แสดงผลจากวงจร LPF เมื่อป้อนสัญญาณ FSK ของพัลส์ 300 Hz แก่ LNA 74
รูปที่ 4.26 แสดงผลจากวงจรคอมพาราเตอร์เมื่อป้อนสัญญาณ FSK ของพัลส์ 300 Hz แก่ LNA 75
รูปที่ 4.27 แสดงผลจากวงจรสายอากาศเมื่อผ่าน LNA แล้ว 75
รูปที่ 4.28 แสดงผลจากวงจรรวมได้พัลส์ข้อมูลเป็นรหัสดิจิตอล 0,1 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้าที่
ตารางที่ 4.1 แสดงผลตอบสนองทางความถี่ของวงจร LNA	60
ตารางที่ 4.2 แสดงผลตอบสนองทางความถี่ของวงจรคูณสัญญาณ	61
ตารางที่ 4.3 ความสัมพันธ์ระหว่างแรงดันควบคุมและความถี่ของวงจร VCO	64
ตารางที่ 4.4 แสดงผลตอบสนองทางความถี่ของวงจร LPF	66
ตารางที่ 4.5 แสดงผลตอบสนองทางความถี่ของวงจร BPF	70
ตารางที่ 4.6 แสดงผลตอบสนองทางความถี่ของวงจร LPF ที่มีดัทออฟ ฟรีเควนซี 1 kHz	73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบการติดต่อสื่อสารจากอดีตจนถึงปัจจุบัน ได้มีการพัฒนาอุปกรณ์ที่ใช้ในการสื่อสารมากมายหลายชนิดตั้งแต่อุปกรณ์สื่อสารแบบมีสาย จนกระทั่งถึงอุปกรณ์สื่อสารแบบไร้สาย และความเจริญก้าวหน้าทางเทคโนโลยี ก็ได้มีการพัฒนาอุปกรณ์เหล่านี้ เพื่ออำนวยความสะดวกแก่ผู้ใช้มากขึ้น ไม่ว่าจะเป็นการเพิ่มรัศมีการติดต่อสื่อสาร การลดขนาดเพื่อให้เล็กกระทัดรัด

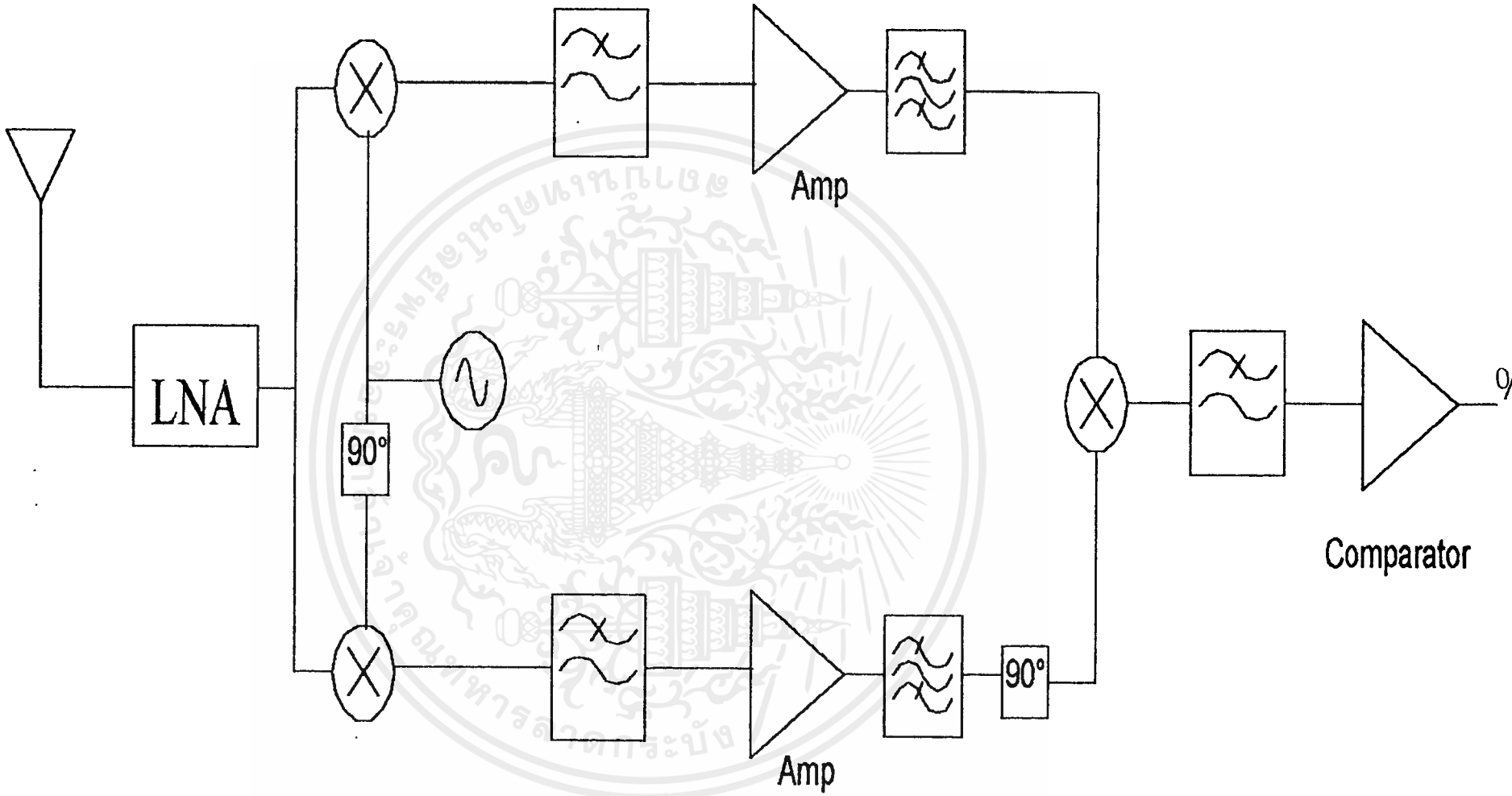
วิทยุติดตามตัวหรือเพจเจอร์ (PAGER) ก็ได้รับการพัฒนามาจนถึงในปัจจุบันนี้เป็นที่นิยมแพร่หลายเหมาะกับผู้ที่มีภาระหน้าที่ไม่ค่อยประจำที่แต่จำเป็นต้องมีการติดต่อได้ตลอดเวลา ข้อเด่นของเพจเจอร์คือ สามารถพกติดตัวได้ตลอดเวลาเนื่องจากมีขนาดเล็กและน้ำหนักเบา และ เครื่องรับสามารถเก็บข่าวสารที่รับมาแล้วได้อีกด้วย เพจเจอร์ที่ใช้โดยทั่วๆไปมี 5 ชนิดคือ

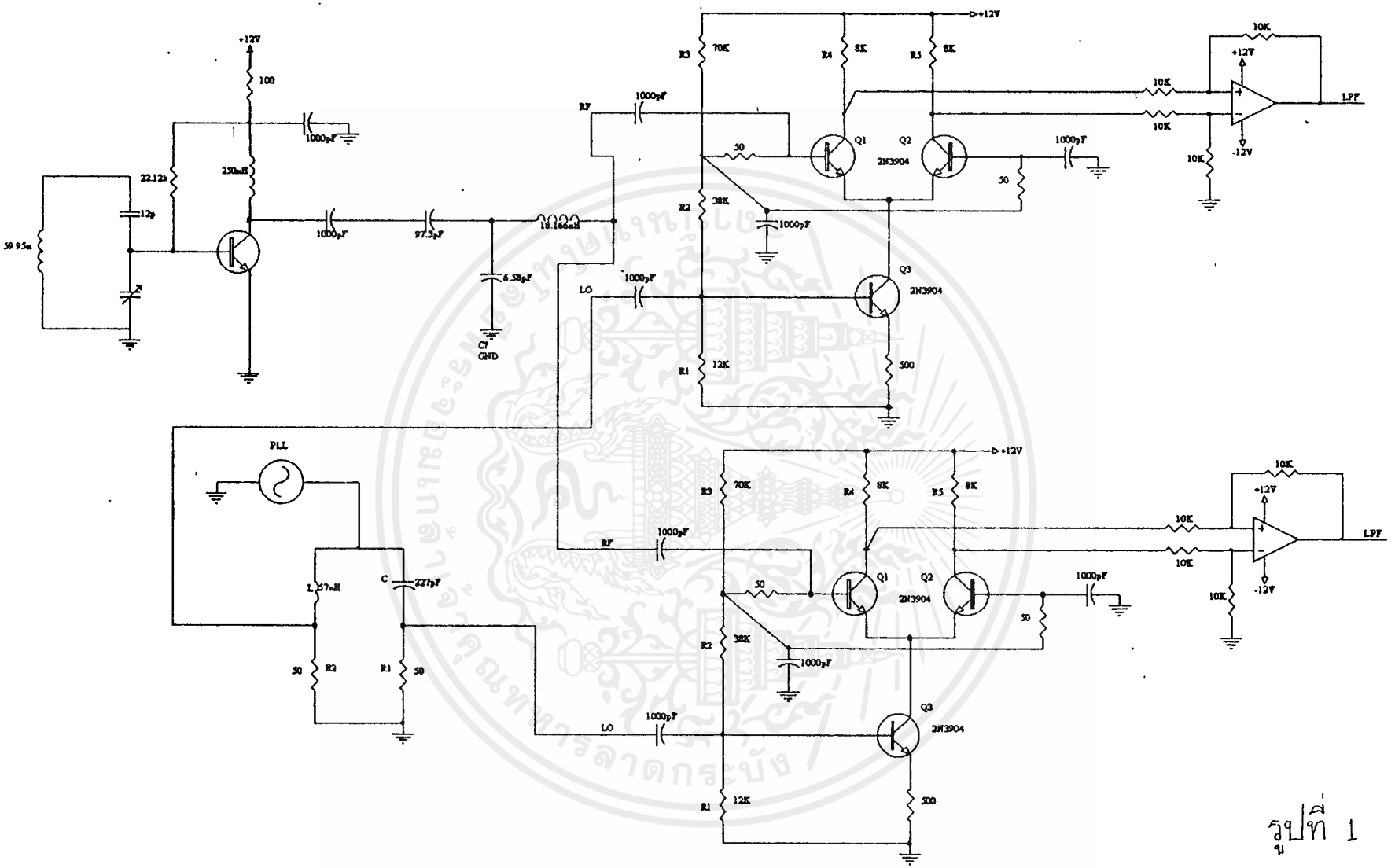
1. แบบตัวอักษร (Alpha Numeric Pager) เป็นแบบที่ได้รับความนิยมสูง สามารถรับข่าวสารได้ทั้งตัวอักษรและตัวเลข
2. แบบตัวเลข (Numeric Pager) เป็นแบบที่รับได้เฉพาะข่าวสารที่เป็นตัวเลข
3. แบบใช้เสียง (Tone Pager) เป็นการส่งเสียงเตือนบอกผู้รับให้ติดต่อไปยังศูนย์เพื่อรับข่าวสาร
4. แบบหลายเสียง (Multi Address Pager) คล้ายกับเครื่องแบบใช้เสียง แต่มีเสียงเตือนหลายเสียงแตกต่างกันเพื่อแยกความแตกต่างของเสียงที่ให้โทรกลับ
5. แบบฝากเสียงพูด (Voice Messaging Pager) ส่งข่าวสารเป็นเสียงพูดไปยังผู้รับ

ในโครงงานนี้ได้ศึกษาทฤษฎีและหลักการการออกแบบวงจรต่างๆซึ่งประกอบกันเป็นวิทยุติดตามตัวแบบไดเร็กคอนเวอร์ชั่น (Direct Conversion Pager) โดยเครื่องรับวิทยุติดตามตัวรับสัญญาณแบบ FSK ที่ความถี่ 139.875 MHz แปลงสัญญาณเป็นสัญญาณดิจิตอล เข้าสู่วงจรภาคดีโค้ดเดอร์(Decoder) และวงจรภาคแสดงผล (Display) ต่อไป

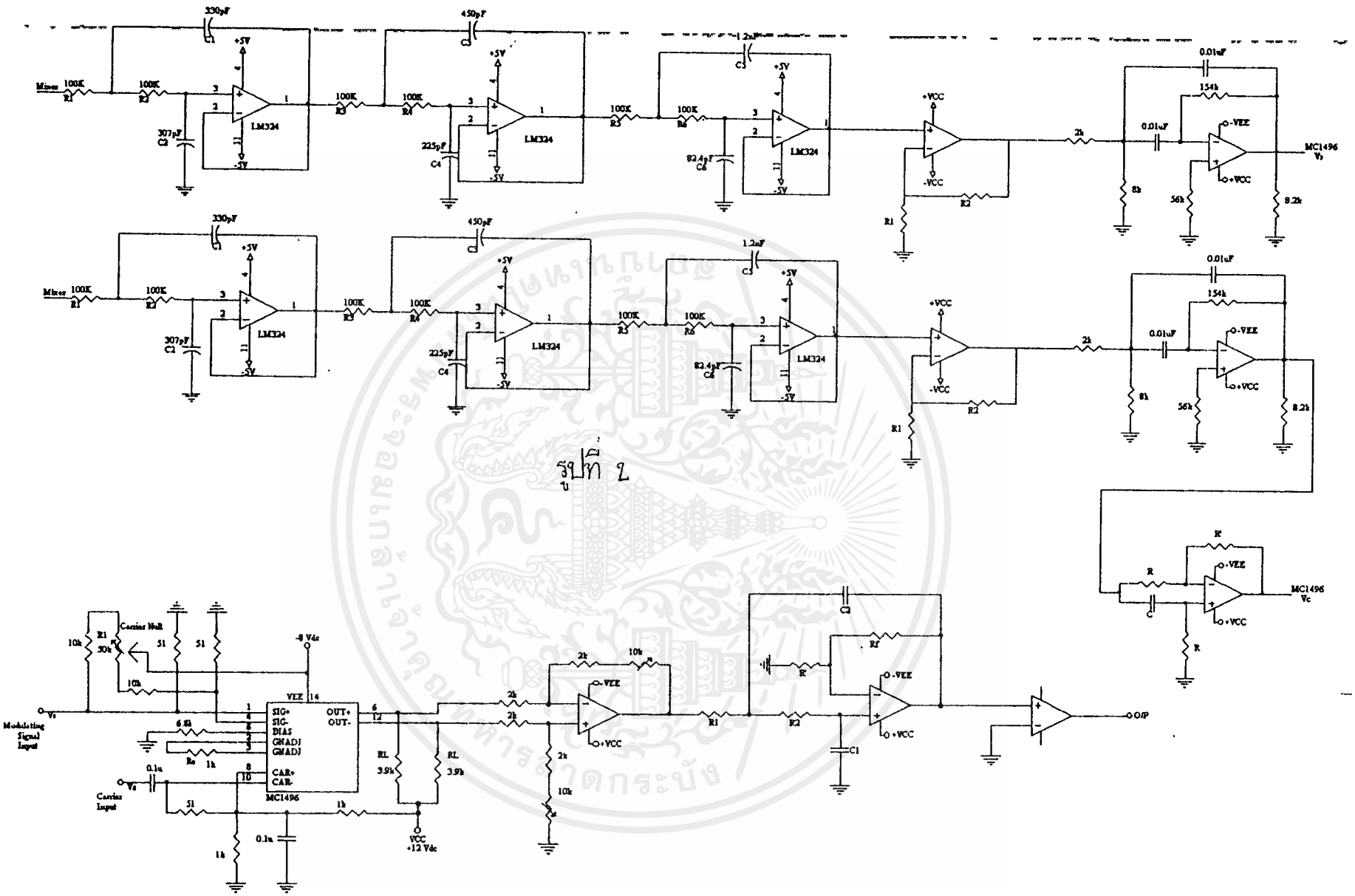
เริ่มจากการทำสายอากาศเพื่อรับเอาสัญญาณความถี่วิทยุที่ส่งข่าวสารมาในลักษณะฟรีเควนซี ชิฟคีย์อิงค์ ที่ความถี่ ณ เวลาใดๆของสัญญาณคลื่นพาหะถูกสับเปลี่ยนระหว่าง 2 ค่าดอบสนอง PCM ที่ส่งมาถูกขยายโดย LNA แยกสัญญาณไปยังวงจรคูณสัญญาณ 2 ตัว เพื่อผสมกับโลคัลออสซิลเลเตอร์ที่ชิฟเฟสกับ 90 องศา แล้วนำสัญญาณที่ได้ป้อนเข้าวงจร LPF และวงจรขยายสัญญาณ ได้เป็นสัญญาณ IF ที่ชิฟเฟสกัน 90 องศา แล้วนำสัญญาณ IF ตัวหนึ่งผ่านวงจรชิฟเฟส 90 องศาแล้วป้อนเข้า วงจรคูณสัญญาณเพื่อคูณกับ IF อีกตัวหนึ่ง แล้วนำผลลัพธ์ที่ได้ผ่าน LPF เพื่อกรองเอาระดับ ไฟตรงที่ต่างกันไปตามความถี่ 2 ค่าของ FSK ที่ผสมมากับ ความถี่วิทยุที่รับได้จากสายอากาศ ได้เป็นพัลส์ข้อมูลดิจิตอล 0,1 ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


LNA
90°
Amp
Amp
90°
Comparator


+12V
100
1000pF
22.12k
230nH
12p
59.95n
1000pF
97.5pF
18.166nH
6.58pF
C7
GND
RF
1000pF
LO
1000pF
R3
70K
R4
8K
R5
8K
Q1
Q2
2N3904
50
1000pF
50
R2
38K
1000pF
Q3
2N3904
R1
12K
500
10K
+12V
10K
LPF
10K
-12V
10K
PLL
L
57nH
C
227pF
50
R2
R1
50
RF
1000pF
LO
1000pF
R3
70K
R4
8K
R5
8K
Q1
Q2
2N3904
50
1000pF
50
R2
38K
1000pF
Q3
2N3904
R1
12K
500
10K
+12V
10K
LPF
10K
-12V
10K

รูปที่ 1



รูปที่ 2

รูปที่ 3

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 วงจรขยาย (Small signal amplifier design)

การออกแบบสร้างวงจรขยายสัญญาณคลื่นวิทยุกำลังต่ำ (low power radio frequency amplifier) อย่างง่ายมีส่วนประกอบพื้นฐาน 3 ส่วนของการออกแบบคือ

- การเลือกจุดไบอัส (Bias)
- การใช้ค่าพารามิเตอร์การกระจาย : S-parameter
- นอยส์พารามิเตอร์

ซึ่งการเลือกใช้ทรานซิสเตอร์ขึ้นอยู่กับความต้องการค่า กำลังขยาย (gain) ค่าการรบกวน (noise)

2.1.1 พารามิเตอร์การกระจาย

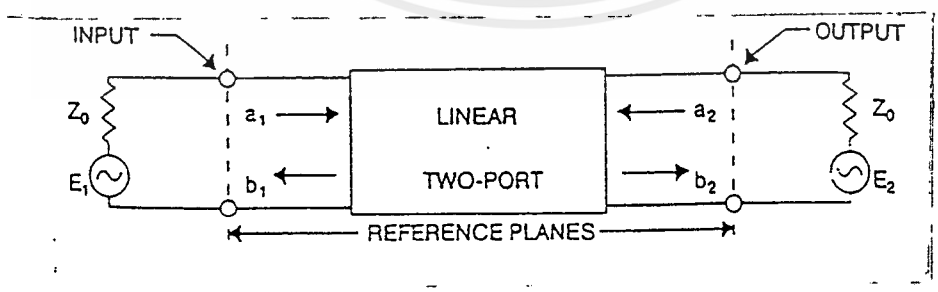
ปัจจุบันทรานซิสเตอร์สำหรับความถี่วิทยุกำลังงานต่ำทั้งหมดในตลาดถูกกำหนดคุณลักษณะด้วย two-ports พารามิเตอร์ชนิด S พารามิเตอร์เนื่องจากสามารถวัดหาค่าได้ อย่างรวดเร็วและถูกต้องแม่นยำด้วยอุปกรณ์สำหรับทดสอบโดยเฉพาะ

S พารามิเตอร์แสดงถึงคุณสมบัติทุกประการเกี่ยวกับการออกแบบวงจรขยายเช่น อิมพีแดนซ์ แมทซ์ชิ่ง (impedance matching), อัตราการขยาย (gain) ,VSWR (voltage standing wave ratio)ขาเข้าและขาออก และเสถียรภาพ ยกเว้น ค่าการรบกวน(noise) การเดินทางของคลื่นที่สร้างโดยแหล่งกำเนิด ส่งไปยังโหลดผ่านทางสายส่งคือ คลื่นตรง (incident wave) ส่วนคลื่นสะท้อน(Reflected wave) เกิดจากการ มิสแมทช์ ทำให้คลื่นตรงสะท้อนกลับไปยังตัวกำเนิดทางด้านส่ง สำหรับ two-port network เช่นทรานซิสเตอร์ ถ้าอยู่ในระบบการวัด 50 Ω S พารามิเตอร์จะเป็นสัมประสิทธิ์ธรรมดาของคลื่นตรงและคลื่นสะท้อนดังรูป 2.1

S11 และ S12 ในระบบ 50 Ω เป็น voltage reflection coefficients ทางขาเข้าและขาออกตามลำดับ ซึ่งสัมพันธ์กับ VSWR ทางขาเข้า และขาออกตามสูตร

$$VSWR = [1+|\Gamma|]/[1-|\Gamma|] \qquad 2\text{-}1$$

ซึ่ง $|\Gamma|$ เป็นค่าขนาดของ voltage reflection coefficient ปริมาณ $|S21^2|$ เป็นกำลังขยายของทรานซิสเตอร์ที่สภาวะไบอัสเฉพาะ (specified bias)



รูป 2.1 two-ports S พารามิเตอร์

S11	=	Input reflection coefficient	=	b1/a1	a2=0
S22	=	Output reflection coefficient	=	b2/a2	a1=0
S21	=	Forward transmission coefficient	=	b2/a1	a2=0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S12 = Reverse transmission coefficient = $b1/a2 \mid a1=0$

2.1.2 นอยส์พารามิเตอร์

มีนอยส์พารามิเตอร์พื้นฐาน 3 ตัว ที่อธิบายถึงคุณลักษณะของ นอยส์ ใน ทรานซิสเตอร์กำลังงานต่ำ ค่าน้อยที่สุดที่เป็นไปได้ของ นอยส์ฟิกเกอร์ที่ได้จากทรานซิสเตอร์เรียกว่า NFmin ค่าความต้านทานเสมือนของทรานซิสเตอร์เรียก Rn และค่าสัมประสิทธิ์การสะท้อน ของแหล่งกำเนิดที่เหมาะสมเรียก Γ_{opt} บางครั้งอาจอ้างถึง นอยส์ พารามิเตอร์ พื้นฐาน 4 ตัวเพราะปริมาณ Γ_{opt} เป็นจำนวณเชิงซ้อนและอ้างถึงมันในรูป ขนาด (magnitude) และมุม(angle) ของเลขเชิงซ้อนนั้น

ดังนั้นปริมาณ Rn ในบางครั้งถูกนอร์มอลไลซ์เป็น คุณสมบัติของอิมพีแดนท์ โดยหารด้วย Zo แล้วใช้ "r" แทนค่านอร์มอลไลซ์นั้นคือ

$$m = Rn/Zo \qquad 2\text{-}2$$

ค่า นอยส์ ฟิกเกอร์ :NF หาได้จากสมการ

$$NF = NFmin + 4m\{|\Gamma s - \Gamma opt|^2 / (1 - |\Gamma s|^2)(|1 + \Gamma opt|^2)\} \qquad 2\text{-}3$$

จากสมการข้างบนได้ว่า นอยส์ฟิกเกอร์ ของทรานซิสเตอร์สำหรับสภาวะ ไบอัสเฉพาะ และความถี่จะขึ้นอยู่กับ อิมพีแดนซ์ของแหล่งกำเนิด ที่มองจากตัวทรานซิสเตอร์ (Γs) ถ้ากำหนดค่า NF ไว้สามารถแสดงได้ว่าตำแหน่งของจุดที่แสดงค่าที่เป็นไปได้ของ Γs จะเป็นวงกลมบนสมิทชาร์ท รัศมีของวงกลม นอยส์ จะเพิ่มขึ้นตามค่า NF ที่เพิ่มขึ้นซึ่งวงกลมจะมีจุดรัศมี = 0 ที่จุด Γopt แสดงว่าจุดศูนย์กลางของวงกลม NFทั้งหมด วางตามเวคเตอร์ Γopt ที่ซึ่งมีจุดกำเนิดอยู่ที่จุดศูนย์กลางของสมิทชาร์ทและสิ้นสุดที่ตำแหน่งของ Γopt

การพล็อตวงกลม นอยส์ฟิกเกอร์ ควรดำเนินการด้วยคอมพิวเตอร์ที่สามารถแสดงผลร่วมกับสมิทชาร์ท ซึ่งส่วนใหญ่จะได้มาจากผู้ผลิตโดยตรง

2.1.3 การพิจารณาการไบอัส

เริ่มแรกนั้นผู้ผลิตจะมีกราฟแสดงความสัมพันธ์ระหว่าง f_τ กับกระแสคอลเลคเตอร์สำหรับไบโพลาร์ทรานซิสเตอร์ เพื่อให้ได้คุณลักษณะของอัตราขยายที่ดีนั้นจำเป็นต้องไบอัสทรานซิสเตอร์ด้วยค่ากระแสที่ทำให้ได้ค่าสูงสุดของ f_τ จุดไบอัสจะต้องอยู่ที่ระดับกระแส (หรือแรงดัน) ที่เพียงพอต่อการป้องกันแรงดันของสัญญาณอินพุทจากการแกว่งของกระแส คอลเลคเตอร์ที่ออกจากบริเวณการปฏิบัติงานที่เป็นเชิงเส้น

ทรานซิสเตอร์ที่เลือกควรมีระดับกระแสการปฏิบัติการที่ไม่ขับตัวทรานซิส เตอร์ให้เกิดการอิ่มตัว ซึ่งจะทำให้ทรานซิสเตอร์ไม่ปฏิบัติงานแบบ คลาส เอ (เชิงเส้น) อีกต่อไป ถ้าวงจรขยายปฏิบัติงานในช่วงของอุณหภูมิที่เปลี่ยนแปลง จะต้องพยายามออกแบบวงจรไบอัสที่รักษาจุด ดีซีไบอัส ในขณะที่อุณหภูมิเปลี่ยนแปลงไป

คุณลักษณะภายในของทรานซิสเตอร์ที่มีผลกระทบสำคัญต่อจุด ดีซีไบอัสคือ ΔV_{BE} และ $\Delta\beta$ ค่าความต่างศักย์ระหว่าง เบส-อิมิเตอร์ของไบโพลาร์ทรานซิสเตอร์ลดลงด้วยการเพิ่มอุณหภูมิที่อัตราประมาณ 2.5 mV/°C ถ้ากระแสไบอัสเพิ่ม (คือVbeลด) กระแสคอลเลคเตอร์จะเพิ่มเป็นสาเหตุให้ VE เพิ่มด้วย

$$\Delta Ic = \Delta V_{BE}\, Ic / V_E \qquad 2\text{-}4$$

ซึ่ง ΔIc = การเปลี่ยนแปลงใน Ic

ΔV_{BE} = การเปลี่ยนแปลงในความต่างศักย์ ระหว่างเบส-อิมิตเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_C = quiescent collector current

V_E = quiescent emitter voltage

เช่นเดียวกัน อัตราขยายกระแส DC ของทรานซิสเตอร์ (β) เพิ่มขึ้นตามการเพิ่มของอุณหภูมิ ที่อัตราประมาณ 0.5% ต่อองศาเซลเซียส

สามารถแสดงได้ว่าการเปลี่ยนแปลงในกระแสคอลเลคเตอร์สัมพันธ์กับค่า β ดังนี้

$$\Delta I_C = I_{C1}[\Delta\beta/\beta_1.\beta_2][1 + R_B/R_E] \qquad 2\text{-}5$$

ซึ่ง I_{C1} = กระแสคอลเลคเตอร์ที่ $\beta = \beta_1$

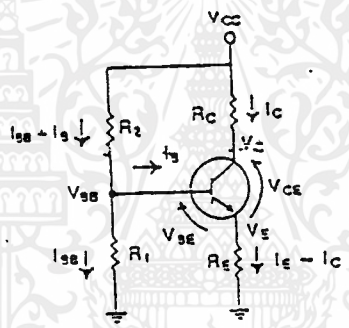
β_1 = ค่าต่ำสุดของ β

β_2 = ค่าสูงสุดของ β

$\Delta\beta$ = $\beta_2 - \beta_1$

R_B = R ขนาน ของ R1และ R2 ในวงจรไบอัส

จากสมการยิ่ง$\Delta\beta$ มีค่าน้อยเท่าไรการเปลี่ยนแปลงในกระแสคอลเลคเตอร์จะยิ่งต่ำ ส่วนที่เหลือให้ผู้ออกแบบควบคุมคืออัตราส่วน R_B / R_E จะเห็นว่ายิ่งอัตราส่วนมีค่าน้อยกระแสคอลเลคเตอร์ยิ่งเปลี่ยนแปลงต่ำ รูปวงจรไบอัสแสดงดังรูป 2.2



รูป 2.2 แสดงวงจรไบอัส

2.1.4 อัตราขยายกำลังงาน

อัตราการขยายกำลังงานของเครื่องแปลงกำลัง (transducer) Gt นิยามว่าเป็นกำลังที่ถูกส่งให้กับโหลดหารด้วยกำลังที่ออกจากแหล่งกำเนิดสมการแสดงการหาอัตราการขยายของทรานดิวเซอร์ (หรือวงจรขยาย) หาได้จาก

$$G_t = \frac{|S21|^2(1 - |\Gamma_s|^2)(1 - |\Gamma_L|)^2}{|(1 - S11\Gamma_s)(1 - S22\Gamma_L) - S12\,S21\Gamma_s\Gamma_L|^2} \qquad 2\text{-}6$$

สมการนี้แจกแจงได้หลายวิธี (จากการคำนวณทางคณิตศาสตร์) ดังนี้

$$G_t = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{in}\Gamma_s|^2} * |S21|^{\wedge}2 * \frac{1 - |\Gamma_L|^2}{|1 - S22\Gamma_L|^2} \qquad 2\text{-}7$$

ที่ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Gamma_{in} = \frac{S11 + S12.S21.\Gamma_L}{1 - S22\Gamma_L} \qquad 2\text{-}8$$

หรือ

$$Gt = \frac{1 - |\Gamma_s|^2}{|1 - S11\Gamma_s|^2} * |S21|^2 * \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{out}\Gamma_L|^2} \qquad 2\text{-}9$$

ที่ซึ่ง

$$\Gamma_{out} = \frac{S22 + S12.S21.\Gamma_s}{1 - S11\Gamma_s} \qquad 2\text{-}10$$

สมการ 2-10 เป็นความสัมพันธ์ของ Gt กับ เทอมอินพุท $\{(1 - |\Gamma_s|^2)/|1 - \Gamma_{in}\Gamma_s|^2\}$,เทอมของอุปกรณ์ ($|S21|^2$) และเทอมของเอาท์พุท$\{(1 - |\Gamma_L|^2)/|1 - S22\Gamma_L|^2\}$ ซึ่งเทอมอินพุทขึ้นอยู่กับปริมาณทางเอาท์พุท

สมการ 2-12 แสดงลักษณะที่คล้ายๆกันยกเว้นว่าในกรณีนี้ เทอมเอาท์พุทขึ้นอยู่กับปริมาณทางด้านอินพุท เช่นเดียวกันสามารถแสดงได้ว่าถ้า สัมประสิทธิ์การสะท้อนแหล่งกำเนิด ;Γ_s ถูกทำให้เท่ากับค่าคอนจูเกต ของ สัมประสิทธิ์การสะท้อนทางด้านอินพุท ;Γ_{in} ของทรานซิสเตอร์ เราจะได้ค่า Gp ซึ่งเป็นค่าอัตราขยายกำลังงานในช่วงปฏิบัติการ ซึ่งจุดที่สำคัญของ Gp คือมันไม่ขึ้นอยู่กับอิมพีแดนซ์ของแหล่งกำเนิด เพราะเราบังคับใช้ $\Gamma_s = S11^*$

$$Gp = \frac{1}{1 - |\Gamma_{in}|^2} * |S21|^2 * \frac{1 - |\Gamma_L|^2}{|1 - S22\Gamma_L|^2} \qquad 2\text{-}11$$

สมการ 2-9 และ 2-10 หรือ 2-12 สามารถแก้ได้ถ้ารู้ค่าของ Γ_L,Γ_s

ปัญหาของเราคือเทอม S21 ซึ่งเป็นสาเหตุของความสัมพันธ์ของอินพุทและเอาท์พุท ในบางกรณี S12 มีค่าน้อยมากพอที่จะพิจารณาเท่ากับศูนย์เช่นวงจรที่เรียกว่า unilateral network แต่ในบางกรณี S12 ไม่สามารถตัดทิ้งได้ ถ้าเราต้องการหาผลลัพธ์ที่แท้จริง (S12 ไม่เท่ากับ 0) ต้องกลับไปที่สมการ 2-14 และเปลี่ยนแปลงกระบวนการเพื่อพิจารณาค่า Γ_L

สมมุติว่าระบบของเราเป็น unilateral เพื่อให้ได้การทำงานของวงจรขยายที่เราต้องการดังนั้นจะได้เทอมของ unilateral figure of merit :U ดังสมการ

$$U = \frac{|S11||S21||S12||S22|}{(1 - |S11|^2)(1 - |S22|^2)} \qquad 2\text{-}12$$

ถ้าเราให้ Gtu เป็นอัตราขยายกำลังของทรานซิสเตอร์ที่ S12=0 และ Gt เป็นอัตราขยายกำลังของทรานซิสเตอร์จริงๆ ค่าผิดพลาดที่มากที่สุดเมื่อใช้ Gtu แทน Gt จะได้ดังนี้

$$1/(1 + U)^2 < Gt/Gtu < 1/(1 - U)^2$$

สาธิตการใช้สมการ 2-16 ใช้ MRF 571 ที่ 1GHz และไบอัสด้วยไฟ 6 โวลต์ ,50 mA จาก คาต้าชีทจะได้

$|S11| = 0.6$ $|S21| = 4.4$

$|S12| = 0.09$ $|S22| = 0.11$

จากสมการ2-15พิจารณาค่าของ U

$$U = (0.6*0.9*4.4*0.11)/[1 - (0.6)^2][1 - (0.11)^2]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 0.0413

และจาก2-16 คำนวณค่าผิดพลาดสูงสุด,ต่ำสุดได้เป็น -0.35dB และ +0.37dB ซึ่งมีบ่อยครั้งที่ค่าผิดพลาดน้อยกว่า 0.25 dB และน้อยจนพอที่จะใช้เป็น Gtu (S12=0)

กลับไปที่สมการ 2-9 สมมุติ S12 = 0 จะได้ว่า

$$Gtu = \frac{1 - |\Gamma s|^2}{|1 - S11\Gamma s|^2} * |S21|^2 * \frac{1 - |\Gamma L|^2}{|1 - S22\Gamma L|^2} \qquad 2\text{-}13$$

ซึ่งสมการนี้แตกออกเป็น อัตราการขยาย 3 ตัว

$$Go = |S21|^2$$

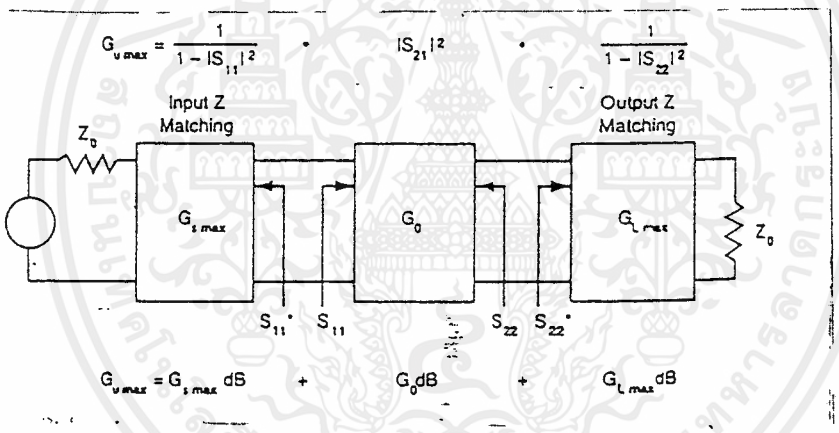
เป็นอัตราขยายจากตัวของทรานซิสเตอร์เอง

$$Gs = (1 - |\Gamma s|^2)/|1 - S11\Gamma s|^2$$

เป็นอัตราขยายจากวงจรอินพุท

$$Gl = (1 - |\Gamma L|^2)/|1 - S22\Gamma L|^2$$

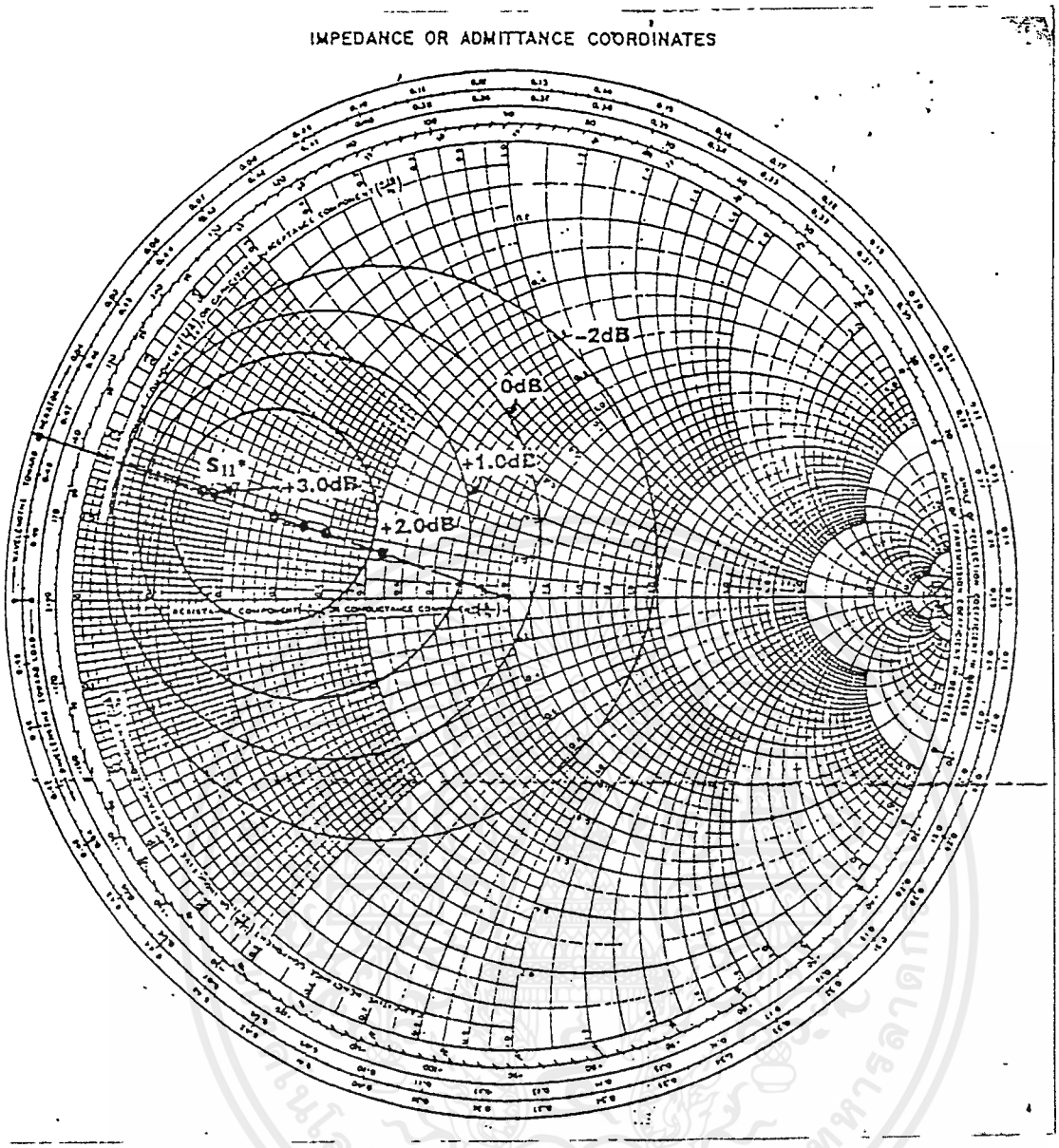
เป็นอัตราขยายจากวงจรเอาท์พุท แสดงได้ดังรูป



รูป 2.3 การแสดงการทำงานของวงจรขยายสำหรับ S12 = 0

ถ้าการออกแบบวงจรเป็นแบนด์แคบ และต้องการค่ากำลังขยายสูงสุดสิ่งที่ต้องการทั้งหมดคือกำหนดค่า $\Gamma s = S11^*$ และ $\Gamma L = S22^*$ ถ้าวงจรเป็นบอร์ดแบนด์ และต้องการค่าที่แน่นอนของอัตราขยายในช่วงความถี่นั้นมี 2 วิธีคือ การใช้ การป้อนกลับ (feedback) และการใช้การมิสแมทช์ในการเลือก ใช้วิธีหลัง ค่าอัตราขยายทางด้านอินพุท,เอาท์พุทมีค่าเปลี่ยนแปลงไปตามความถี่ของทรานซิสเตอร์ที่แสดงโดย $|S21|^2$ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 วงกลมอัตราขยายทางด้านอินพุท

เช่นเราเปลี่ยนค่า Γs จะทำให้ Gs ซึ่งเป็นอัตราขยายจากวงจรทางการแมทซ์ทางด้านอินพุท มีค่าเปลี่ยนแปลงระหว่าง 0 - Gs,max ค่าของ Gs ที่ได้จะมีตำแหน่งของจุดที่แสดงค่า Γs เป็นวงกลม และเหมือนกับวงกลมนอยส์ จุดศูนย์กลางของวงกลมที่มีรัศมี =0 อยู่ที่จุดS11* จุดศูนย์กลางของวงกลมของอัตราขยาย ทั้งหมดวางตามแนวเวคเตอร์ S11* ที่มีจุดกำเนิดบนศูนย์กลางของสมิทชาร์ทและสิ้นสุดที่ตำแหน่งของ S11*

และ วงกลม GI จากการแมทซ์ชิ่งทางด้านอินพุทก็จะมีศูนย์กลาง วางไปตามเวคเตอร์ S22* สามารถเขียนบนสมิทชาร์ทได้โดยใช้สูตรดังต่อไปนี้

สำหรับแมทซ์ชิ่งทางด้านอินพุท

$$ds = gs|S11| / [1 - |S11|^2(1 - gs)] \quad 2\text{-}14$$

$$Rs = (1 - gs)^{1/2}(1 - |S11|^2) / [1 - |S11|^2(1 - gs)] \quad 2\text{-}15$$

ที่ซึ่ง

$$gs = Gs/Gs,max \quad 2\text{-}16$$

$$Gs = [1 - |\Gamma s|^2]/|1 - \Gamma s\, S11|^2 \quad 2\text{-}17$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

Gs: อัตราขยายที่แสดงโดยวงกลม

ds: ระยะจากจุดศูนย์กลางของสมิทชาร์ทถึงจุดศูนย์กลางของวงกลมอัตราขยายในแนวเวคเตอร์ S11*

Rs: รัศมีของวงกลม

gs: ค่านอร์มอลไลซ์ของกำลังขยาย

ทำนองเดียวกันสำหรับการแมทซ์ชิ่งทางด้านเอาท์พุท

$$dl = gl|S22|/[1 - |S22|^2(1 - gl)] \quad 2\text{-}18$$

$$Rl = (1 - gl)^{1/2}(1 - |S22|^2)/[1 - |S22|^2(1 - gl) \quad 2\text{-}19$$

ซึ่ง

$$gl = Gl / Gl,max \quad 2\text{-}20$$

$$Gl = [1 - |\Gamma L|^2/|1 - \Gamma L.S22|^2 \quad 2\text{-}21$$

โดยที่

Gl: อัตราขยายแสดงโดยวงกลม

dl: ระยะจากศูนย์กลางของสมิทชาร์ทไปยังจุดศูนย์กลางของวงกลมอัตราขยายตามแนวเวคเตอร์ S22*

Rl: รัศมีของวงกลม

gl: ค่านอร์มอลไลซ์ของ อัตราขยาย

วงกลมนี้แทนค่าที่ต่างกันของ Gs, Gl ของวงจรแมทซ์ชิ่งทางด้านอินพุทและเอาท์พุทซึ่งนำมาใช้ในการออกแบบวงจรขยาย 2 ชนิด

1) การออกแบบวงจรขยายด้วยค่าอัตราขยายที่กำหนด

2) การออกแบบวงจรขยายบรอดแบนด์ที่มีค่าอัตราขยายที่กำหนดของช่วงความถี่นั้นซึ่งค่าอัตราขยายสูงสุดพิจารณาจากกรณีคอนจูเกตแมทซ์ชิ่งที่ความถี่ที่ใช้งาน

2.1.5 เสถียรภาพ

การคำนวณออกแบบวงจรขยายซึ่งไม่ได้รวมอุปกรณ์ (หรือวงจร) ป้อนกลับเข้าไปด้วยนั้นเป็นเพียงการประมาณค่าซึ่งทำให้เกิดการแก้ปัญหาที่ผิดพลาดและอาจเกิดการออสซิลเลตของวงจรเมื่อนำไปใช้งาน ดังนั้น S พารามิเตอร์ได้นำมาช่วยในการคำนวณเสถียรภาพของอุปกรณ์ด้วยการพิจารณาเทอมที่เรียกว่า Rollet Stability factor (K) ซึ่งการทำให้สมการง่ายขึ้นจะต้องคำนวณปริมาณกลาง Ds

$$Ds = S11.S22 - S12.S21 \quad 2\text{-}22$$

แฟคเตอร์ของเสถียรภาพ Kจะคำนวณได้จาก

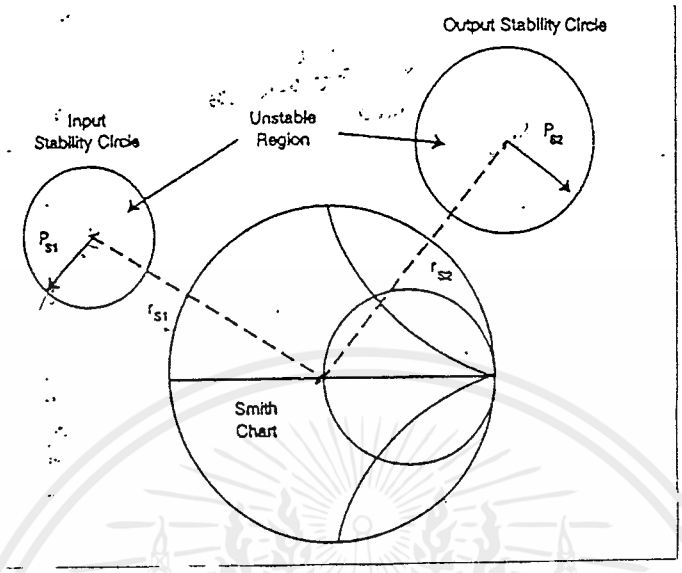
$$K = (1 + |Ds|^2 - |S11|^2 - |S22|^2) / 2|S21||S12| \quad 2\text{-}23$$

ถ้าค่า K มากกว่า 1 อุปกรณ์จะเสถียรโดยไม่มีเงื่อนไข สำหรับการรวมของ อิมพีแดนซ์ทางแหล่งกำเนิดและโหลด แต่ถ้า Kน้อยกว่า1 อุปกรณ์จะไม่เสถียรและจะมีลักษณะคล้ายกับการออสซิลเลตด้วยการผสมรวมของ อิมพีแดนซ์ทางแหล่งกำเนิดและโหลด

ต่อมาจะคำนวณ วงกลมแสดงเสถียรภาพ (Stability Circle) ซึ่งสามารถพล็อตลงบนสมิทชาร์ทและแยกขอบเขต ของเสถียรภาพและไม่เสถียรภาพ โดยทั่วไปจะมีเพียงส่วนหนึ่งของวงกลมเท่านั้นที่ปรากฏบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมิทชาร์ท ดังนั้นเมื่อเราเลือกอิมพีแดนซ์ทางแหล่งกำเนิดและโหลด จะต้องหลีกเลี่ยงค่าที่อยู่ในบริเวณของความไม่เสถียรภาพ ผู้ผลิตที่ให้ข้อมูลวงกลมของ กำลังขยาย, สัญญาณรบกวนมาพร้อมกับทรานซิสเตอร์จะ พล็อต บริเวณของความไม่เสถียรภาพ เป็นเส้นประ ซึ่งการคำนวณและพล็อต วงกลมดังกล่าวดูได้จากรูป 2.5



รูป 2.5 วงกลมเสถียรภาพ

สำหรับตำแหน่งของจุดศูนย์กลางของวงกลมไม่เสถียรภาพทางด้านอินพุทและเอาท์พุทเป็นดังสมการ

$$Rs1 = C1^* / \left|S11\right|^2 - \left|Ds\right|^2 \qquad 2\text{-}24$$

ซึ่ง $Ds = S11.S22 - S12.S21$

$$C1 = S11 - Ds.S22^* \qquad 2\text{-}25$$

Rs1 เป็นตำแหน่งของจุดศูนย์กลาง ของ วงกลมเสถียรภาพทางด้านอินพุท

$$Ps1 = \left| S12.S21/[\left|S11\right|^2 - \left|Ds\right|^2] \right| \qquad 2\text{-}26$$

Ps1 เป็นรัศมีของวงกลมเสถียรภาพทางด้านอินพุท

ในทำนองเดียวกัน

$$Rs2 = C2^* / \left|S22\right|^2 - \left|Ds\right|^2 \qquad 2\text{-}27$$

$$C2 = S22\text{-}Ds.S11^* \qquad 2\text{-}28$$

และ Rs2 เป็นตำแหน่งของจุดศูนย์กลางของวงกลมเสถียรภาพทางด้านเอาท์พุท

$$Ps2 = S12.S21/ [S22\left|^2 - \right|Ds\left|^2\right] \qquad 2\text{-}29$$

ซึ่ง Ps2 เป็นรัศมีของวงกลมเสถียรภาพทางเอาท์พุท

การพิจารณา อิมพีแดนซ์ของ แหล่งกำเนิดและโหลดทำให้ง่ายเมื่อทรานซิสเตอร์พิจารณาเป็น unilateral แต่ถ้าไม่สามารถสมมติให้ S12 = 0 สมการ 2- 11จะถูกใช้เพื่อปรับปรุงกระบวนการทางคณิตศาสตร์ สำหรับการพิจารณาค่าของ Γ_L เมื่อ$[\Gamma_s = \Gamma_{in}^*]$ โดยการคำนวณที่คำนึงถึงค่าคงที่ของอัตราขยายกำลังที่มี Rp ดังนี้

$$Rp = \frac{[1 - 2K\left|S12.S21\right|gp + \left|S12.\ S21\right|^2 (gp\text{^}2)]^{1/2}}{\left|1 + gp(\left|S22\right|^2 - \left|Ds\right|^2)\right|} \qquad 2\text{-}30$$

K คือ Rollett Stability Factor และ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$gp = Gp/|S21|^2 \quad 2\text{-}31$$

ตำแหน่งของจุดศูนย์กลางของวงกลม :Cp คือ

$$Cp = gp.C2^*/ [1 + gp(|S22|^2 - |Ds|^2)| \quad 2\text{-}32$$

สังเกตุว่า อัตราขยายกำลังสูงสุดเกิดเมื่อ Rp = 0 และกรณีที่ K มากกว่า 1 (วงจรเสถียรโดยไม่มีเงื่อนไข) แสดงได้ว่า

$$Gp,max = [|S21|/|S12|].(K - \sqrt{K^2 - 1}) \quad 2\text{-}33$$

ซึ่งเราสมมุติ $\Gamma s = \Gamma in^*$ ภายใต้เงื่อนไขนี้

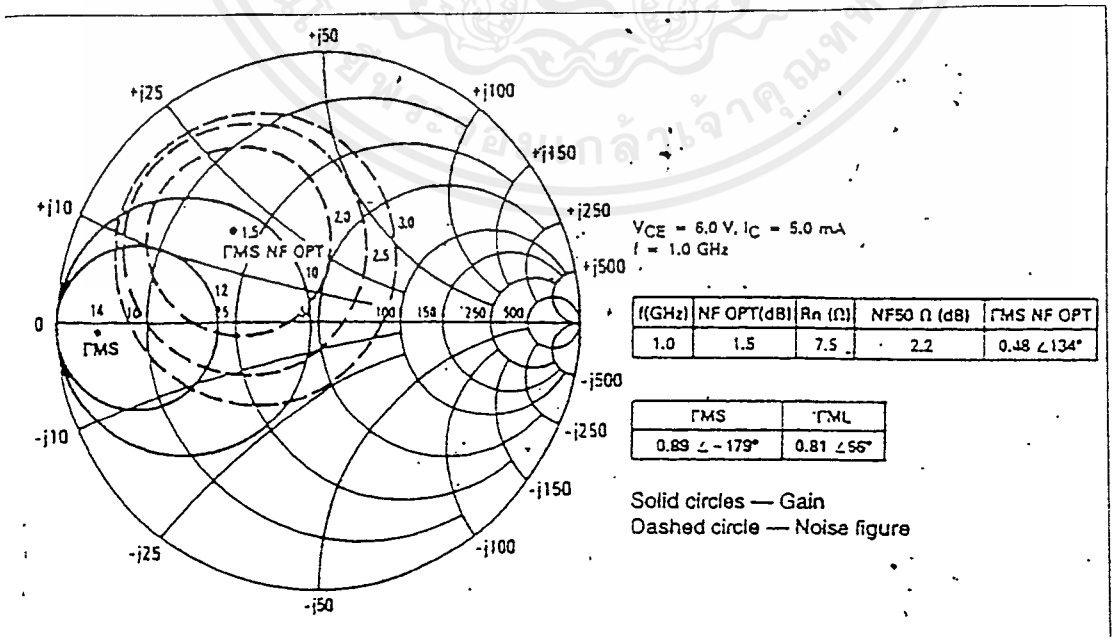
$$Gp,max = Gt,max$$

กระบวนการทีละขั้นตอนในการพล็อตหาค่า วงกลม ของอัตราขยายกำลัง

1) เลือกค่าที่ต้องการของ Gp
2) คำนวณค่า gp จากสมการ 2-31
3) คำนวณค่า K จากสมการ 2-23
4) คำนวณค่า Ds จากสมการ 2-22
5) พิจารณาค่า Rp จากสมการ 2-13
6) พิจารณาค่า Cp จากสมการ 2-32

เมื่อเราเลือกค่า ΓL จากจุดหนึ่งบน gain circle จะสามารถพิจารณาว่า $\Gamma s = \Gamma in^*$ ในการใช้ 2-8 เพราะวงกลมของอัตราขยายกำลังมีความสัมพันธ์กับ ΓL กระบวนการพล็อตวงกลมอัตราขยายกำลังงานมีค่าคงที่ ซึ่งมีความสัมพันธ์กับ Γs ก็จะมีลักษณะคล้ายคลึงกัน

การเปรียบเทียบ วงกลมของอัตราขยาย ,วงกลมของ นอยส์ ฟิกเกอร์ เป็นดังรูป 2.6 ซึ่งแสดงได้ว่า LNA (วงจรขยายที่มีสัญญาณรบกวนต่ำ) ไม่สามารถออกแบบให้มีค่า นอยส์ฟิกเกอร์ ที่ต่ำที่สุดในขณะที่มีค่าอัตราขยายกำลังงานสูงสุดได้ต้องออกแบบให้ค่าทั้งสองอยู่ในช่วงที่ยอมรับได้



รูป 2.6 อัตราขยายและวงกลม NF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

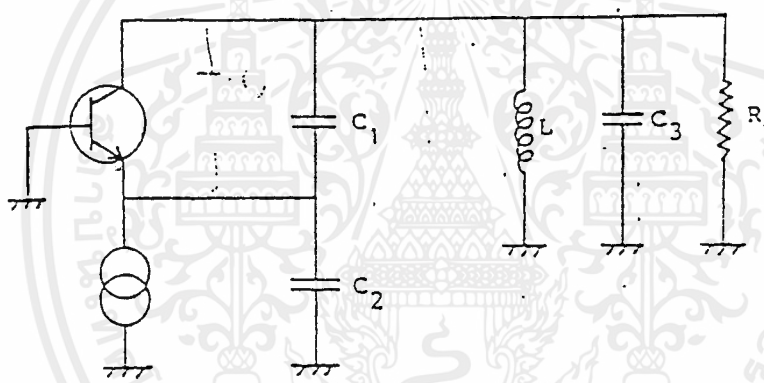
2.2วงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO)

VCO เป็นที่ใช้ปรับแต่งความถี่ของวงจรออสซิลเลเตอร์โดยใช้ค่าแรงดันที่ป้อนให้กับวาริแค็ปเป็นตัวควบคุมความถี่การออสซิลเลตของวงจรตามที่ต้องการ

วงจรออสซิลเลเตอร์จะแบ่งการทำงานเป็น 2 ช่วง คือ ช่วงเริ่มต้นซึ่งมีค่าลูปเกน $A\beta = 1$ และ $\phi \approx 0$ ดังนั้นย่านการทำงานของวงจรขยายจะต้องเป็นชนิดไม่เป็นเชิงเส้น ทั้งนี้เพื่อรักษาเสถียรภาพของขนาดของสัญญาณเอาท์พุทไว้ ซึ่งเป็นเหตุให้สัญญาณที่ได้ออกมานั้นมีฮาร์โมนิคต่าง ๆ ร่วมอยู่มาก

เพื่อลดขนาดของฮาร์โมนิคต่าง ๆ ให้น้อยลงนั้น เราใช้วิธีลดค่าอัตราขยายเริ่มต้นเพื่อไม่ให้วงจรขยายทำงานเข้าสู่ย่านที่ไม่เป็นเชิงเส้นมากเกินไปอย่างหนึ่ง และอีกอย่างหนึ่งก็คือใช้วงจรรีโซเนเตอร์ที่มีค่า Q สูง เพื่อที่จะได้มีคุณสมบัติเสมือนเป็นแบนด์พาสฟิลเตอร์ ซึ่งมีช่วงความถี่ผ่านได้แคบช่วยกรองฮาร์โมนิค ซึ่งไม่ต้องการทิ้งไป

เพื่อให้เข้าใจวิธีการดียิ่งขึ้น จะใช้วงจรคอลปิทออสซิลเลเตอร์ ดังแสดงในรูป 2.7 มาประกอบการพิจารณาเป็นหลัก

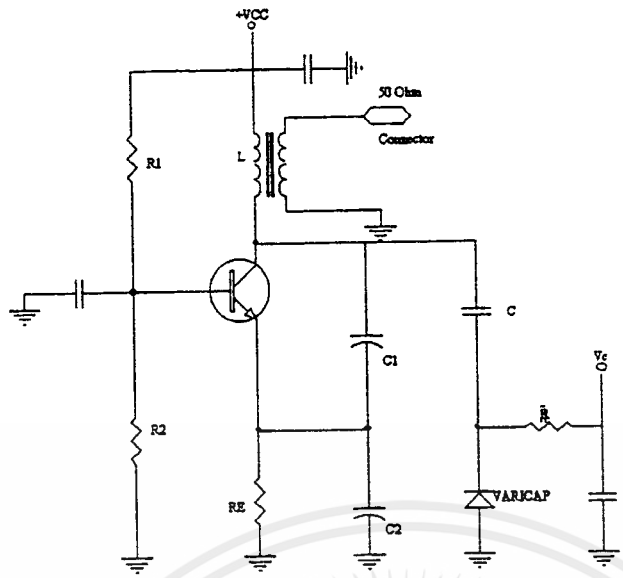


รูปที่ 2.7 วงจรคอลปิทออสซิลเลเตอร์

ปกติเราจะใช้คอมมอนเบสทรานซิสเตอร์ เป็นวงจรขยาย เพราะมีการตอบสนองต่อความถี่ได้สูง และมีเฟสชิฟ (ϕ) ระหว่างอินพุทกับเอาท์พุทน้อย

คาปาซิทีฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแค็ป หรือ วาแรคเตอร์ ซึ่งคุณสมบัติของไดโอดชนิดนี้ ค่าคาปาซิแตนท์จะแปรผันตามแรงดันไฟฟ้ารีเวอร์สที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อต่อวาแรคเตอร์คร่อมขดลวดตัวนำในวงจรจูนของออสซิลเลเตอร์จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



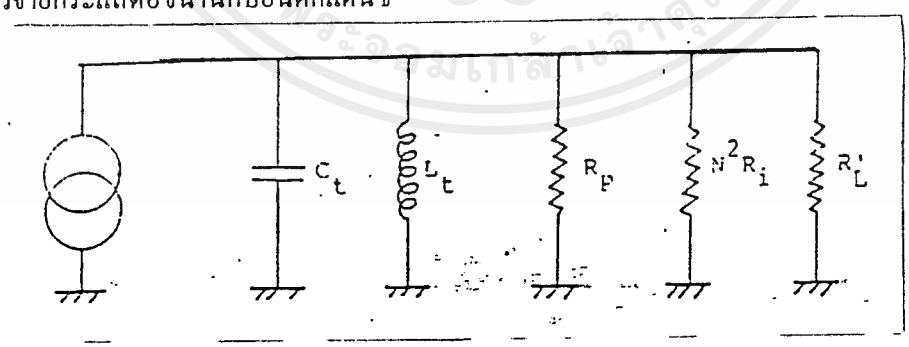
รูปที่ 2.8 วงจร VCO

2.2.1 การแก้ไขไม่ให้ทรานซิสเตอร์ทำงานเข้าสู่ย่านไม่เป็นเชิงเส้นมากเกินไป

เนื่องจากต่อวงจรชนิดคอมมอนเบสดังนั้นความต้านทานอินพุทจะมีค่าประมาณเท่ากับ (KT/q) / I_{EQ} ≈ 0.026 / I_{EQ} ที่ 25 °C ซึ่งมีค่าน้อย ฉะนั้นจะเห็นว่าจะต้องใช้อัตราส่วนของแรงดันสำหรับคาปาซิทีฟ โวลท์เตจดีวายเดอร์ที่มาก ซึ่งทำได้ยาก และวงจรจะมีค่าอัตราขยายเริ่มต้นที่สูงมากเกินไป เราอาจแก้ไขได้โดยการต่อความต้านทานอนุกรมกับความต้านทานอินพุท ซึ่งจะทำให้สามารถลดค่าอัตราขยายเริ่มต้นได้ โดยค่าความต้านทานนี้ขึ้นอยู่กับทรานซิสเตอร์และการทดลอง โดยปรกติอยู่ในช่วงน้อยกว่า 100 โอห์ม และควรใช้ความต้านทานชนิดคอมโพสิชั่น เนื่องจากความต้านทานชนิดนี้มีค่าพาราซิติกอินดักแตนซ์น้อย

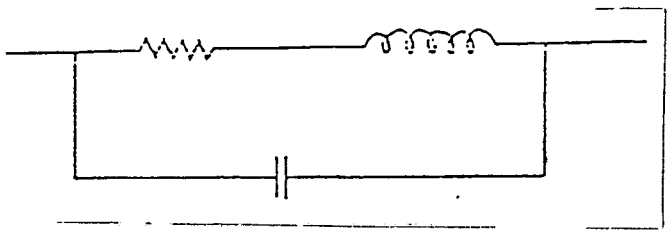
2.2.2 การทำให้รีโซเนเตอร์มีค่า Q สูง

จากรูป 2.9 เนื่องจากการต่อวงจรเป็นชนิดคอมมอนเบส เราอาจพิจารณาได้ว่าทรานซิสเตอร์จะทำตัวเสมือนเป็นตัวจ่ายกระแสต่อขนานกับอินดัคแตนซ์



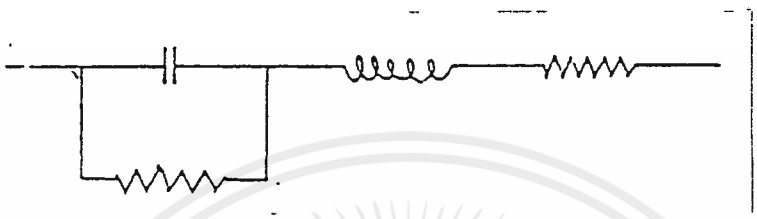
รูปที่ 2.9 วงจรรีโซเนเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรเสมือนของ L ที่ความถี่สูง

และในทางปฏิบัติ ไม่สามารถเลือก C ที่มีค่ามาก ๆ ได้เนื่องจาก C จะเกิดเรโซแนนท์ในตัวเอง



รูปที่ 2.11 วงจรเสมือนของ C ที่ความถี่สูง

จากรูปที่ 2.11 วงจรเสมือนของ C จะมี L และ R อนุกรมอยู่ด้วย เนื่องจากความยาวขาและ R ที่ขนานกับ C นั้นแทนค่าการสูญเสียเนื่องจากสารไดอิเลคตริค X_L จะเพิ่มขึ้นเมื่อความถี่สูงขึ้นเมื่อความถี่สูงขึ้น ในขณะที่ X_C ลดลง ถ้า $X_L = X_C$ ก็จะเกิดเรโซแนนท์ในตัวเองที่ความถี่สูงกว่าความถี่เรโซแนนท์ในตัวเอง ตัว C จะกลายเป็น L ค่า C ยิ่งมากความถี่เรโซแนนท์ในตัวเองจะลดลง

2.2.3 ประสิทธิภาพ

พิจารณารูปที่ 2.9 จะเห็นว่าวงจร RLC เรโซเนเตอร์มีความต้านทาน 3 ตัวขนานกันอยู่ เราต้องการให้กำลังงานไปตกคร่อมโหลด (R_L) มากที่สุด นั่นคือ $R_L = R_P // N^2 R_i$ จากสมการนี้เราสามารถหาค่า N ที่เหมาะสมได้ว่า $N = [R_L R_P / R_i(R_P - R_L)]^{1/2}$ เมื่อวงจรต่อให้ทำงานคลาสเอที่จุดไบอัส คาปาซิแตนซ์ และความต้านทาน 3 ตัวคือ

1)ความต้านทานซึ่งแทนค่าการสูญเสียของ L

2)ความต้านทานซึ่งถูกแปลงจากความต้านทานอินพุทของทรานซิสเตอร์โดยคาปาซิที ฟโวลท์เตจดีวายเดอร์และ

3)โหลด

อุปกรณ์เหล่านี้ จะประกอบเป็นวงจรขนานเรโซแนนท์ หรือรีโซเนเตอร์ที่มีค่า $Q = R/X = R_0 \omega C = R_0 / \omega L$ ดังนั้นการที่จะทำให้ Q มีค่าสูงได้ก็โดยการทำ R_0 ให้มีค่ามาก L มีค่าน้อยหรือ / และทำให้ C มีค่ามาก แต่อย่างไรก็ตาม ในทางปฏิบัติเราไม่สามารถเลือกค่า Q ที่สูงมากได้เนื่องจาก R_P (การสูญเสียเนื่องจากความต้านทานใน L) มีค่าจำกัด ทั้งนี้เพราะเมื่อดูจากวงจรเสมือนของ L ที่ความถี่สูง ดังรูป 2.9

ที่ความถี่สูง กระแสจะไหลที่ผิวของตัวนำมากกว่าภายใน ทำให้ R_{ac} มีค่ามากกว่า R_{dc} ซึ่งค่าความต้านทานนี้ทำให้เกิดการสูญเสียใน L วิธีแก้ไขคือ ใช้ลวดทองแดงชุบเงินที่ผิว สร้าง L และมีรูปร่างที่เหมาะสม

$$V_{CBQ}/I_{CQ} = R_0 \ (R_0 = R_L // R_P // N^2 R_i)$$

$$V_P = 2\ V_{CBQ}$$

$$I_P = 2\ I_{CQ}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่กำลังงานตกคร่อมโหลดมากที่สุดได้ก็ต่อเมื่อ R = R / 2 ดังนั้น

$$P_L = \frac{I_{CQ}^2}{2}\frac{R_L}{4}$$

กำลังงานที่สูญเสียที่ทรานซิสเตอร์ = $V_{CEQ} I_{CQ}$

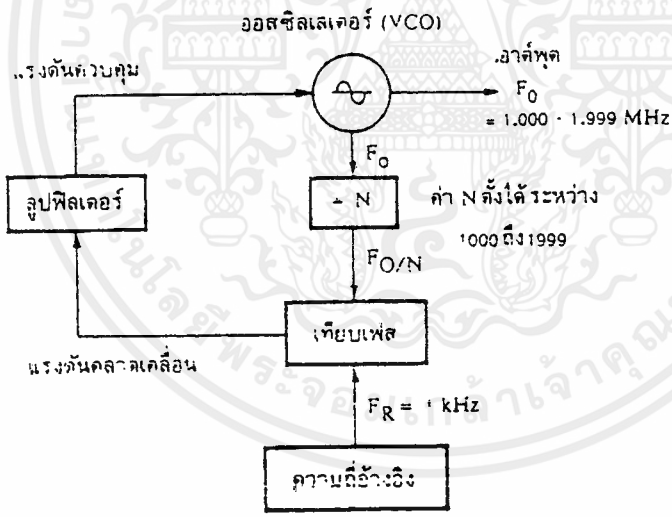
$= I_{CQ} R_0 /2 \qquad = (I_{CQ})^2 R_L / 4$

$\therefore$ ประสิทธิภาพสูงสุด $= 25\ \%$

2.3 การสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานเฟสล็อคลูปซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปที่ 2.12 ประกอบด้วยส่วนสำคัญ 5 ส่วนดังนี้

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO)
2. ลูปฟิลเตอร์
3. วงจรหารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้
4. ส่วนกำเนิดความถี่อ้างอิง
5. ส่วนเปรียบเทียบเฟส



รูปที่ 2.12 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

จากรูปที่ 2.12 จะเห็นว่า สัญญาณอินพุทของส่วนเปรียบเทียบเฟสมาจาก 2 แหล่งคือ จากวีซีโอมีความถี่เท่ากับ F_0 / N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบก็คือผลต่างระหว่างสัญญาณ F_0 / N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้นเพื่อบังคับการออสซิลเลตของวงจรวีซีโอให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อกความถี่ของวีซีโอเมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_0 = NF_R$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(คำนวณ จาก $F_O / N = F_R$ ที่วงจรเทียบเฟส)

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ที่ละขั้นซึ่งเรียกว่ารีโซลูชั่น (resolution)

2.3.1 เฟสล็อคลูป (Phase Lock Loop :PLL)

คุณสมบัติของวงจร PLL คือทำให้ออสซิลเลเตอร์ที่สามารถออสซิลเลตได้หลายๆ ความถี่ถูกล็อคไว้ ณ สภาวะหนึ่งที่มีความถี่และมุมเฟสของสัญญาณตรงกับความถี่และมุมเฟสมาตรฐานที่ใช้อ้างอิงซึ่งทำให้ออสซิลเลเตอร์มีความเที่ยงตรงเช่นเดียวกับสัญญาณมาตรฐานได้

PLL ประกอบด้วยองค์ประกอบพื้นฐาน 3 ส่วนดังแสดงในรูปที่ 2.13 คือ

1. เฟสดีเทกเตอร์ หรือคอมพาราเตอร์

ประกอบด้วย 2 อินพุท ที่รับสัญญาณมาจากวีซีโอด้วยความถี่ของสัญญาณเท่ากับ f_O และมีออสซิลเตอร์ที่มีความถี่ f_S เป็นตัวอ้างอิง เอาท์พุทเป็นตัวชี้ให้เห็นว่าสัญญาณ f_O มีเฟสเหมือนหรือแตกต่างจาก f_S

2. โลว์พาสฟิลเตอร์ หรือ วงจรกรองความถี่ต่ำผ่าน

เป็นวงจรRC มีคุณสมบัติในการกำจัดสัญญาณไฟสลับของวงจรออสซิลเลเตอร์ทั้ง 2 วงจรออกไปจากแรงดันเอาท์พุทของวงจรเฟสดีเทกเตอร์ สัญญาณอินพุทที่เข้ามาที่วงจรฟิลเตอร์นั้นเป็นสัญญาณไฟตรงผิดพลาด (error signal) พร้อมกับแรงดันไฟสลับกระเพื่อม จะได้สัญญาณเอาท์พุทเป็นแรงดันไฟตรงที่กรองสัญญาณแล้วเพื่อป้อนต่อไปยังวงจรขยายสัญญาณไฟตรงต่อไป

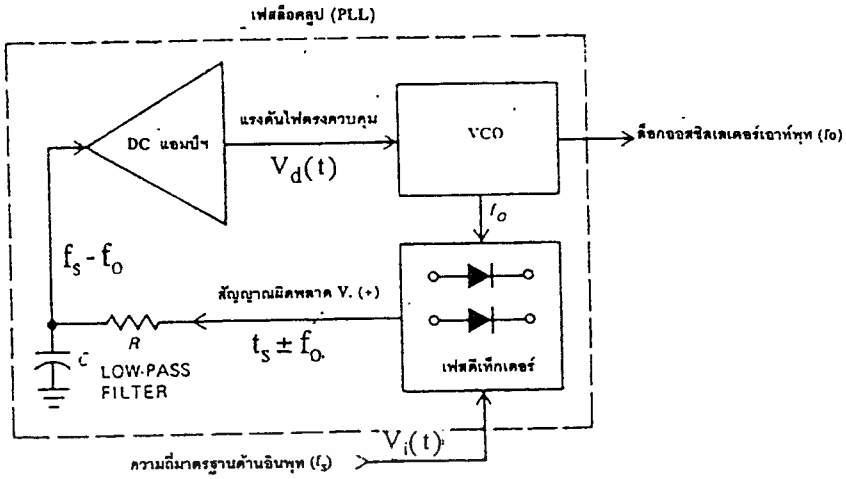
3. วงจรขยายสัญญาณไฟตรง

เป็นตัวเพิ่มระดับแรงดันไฟฟ้า เพื่อช่วยให้การควบคุมดีขึ้น เอาท์พุทของวงจรขยายสัญญาณจะจ่ายแรงดันไฟตรงตามระดับที่ต้องการเพื่อป้อนให้แก่วาแร็กเตอร์ในวงจรวีซีโอ

4. วีซีโอ

วงจรวีซีโอซึ่งความถี่ถูกควบคุมด้วยระดับแรงดันไฟฟ้าจากภายนอกระดับแรงดันไฟฟ้าจากวงจรขยายสัญญาณจะล็อคให้วีซีโอมีความถี่และเฟสเหมือนกับออสซิลเตอร์มาตรฐาน วงจร PLL มีโหมดการทำงานของวีซีโออยู่ทั้งหมด 3 โหมดด้วยกันคือ ฟรีรันนิ่ง แค็ปเจอร์ และโหมดล็อคอิน หรือแทร็กกิ้ง ถ้าความถี่ f_O มีค่าแตกต่างจาก f_S มากวงจร PLL จะไม่สามารถถูกทำให้อยู่ในสภาวะล็อคได้ และเมื่อปราศจากการทำงานในสภาวะล็อคอินแล้ววงจรวีซีโอจะกลับกลายเป็นฟรีรันนิ่งออสซิลเตอร์ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป

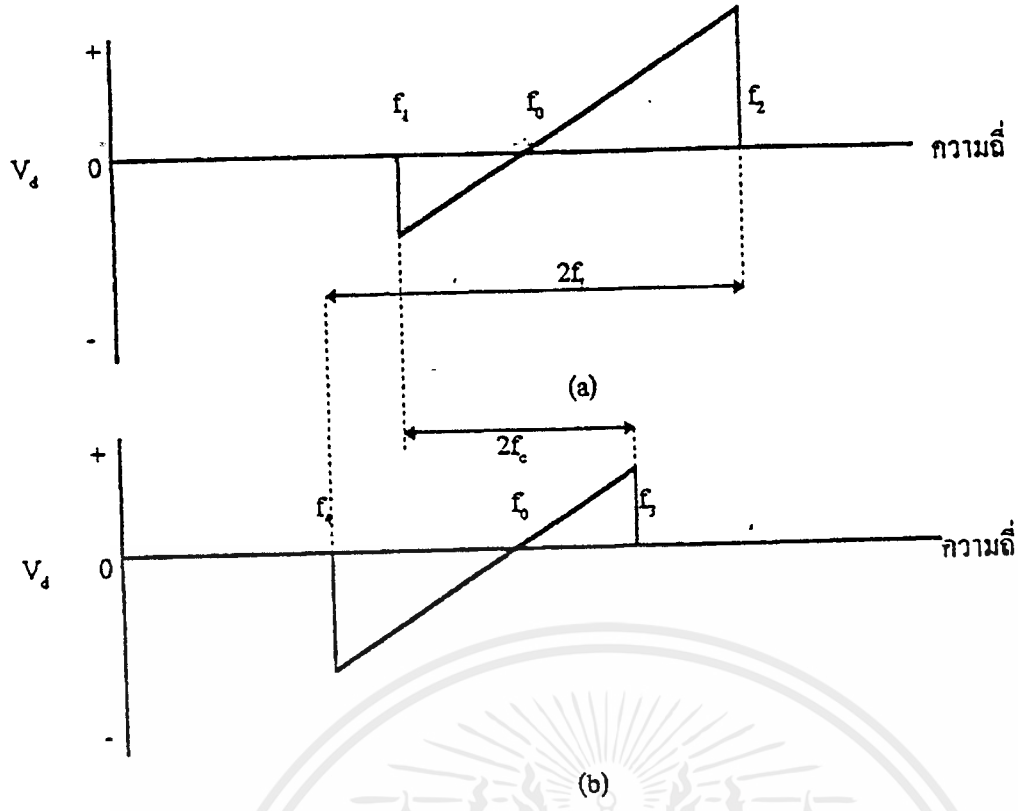
2.3.2 หลักการทำงานของวงจร PLL

ดังกล่าวมาแล้วว่าเฟสล็อกลูปเป็นระบบอิเลกทรอนิกส์ ที่มีหลักการทำให้ความถี่เอาท์พุทของลูปมีลักษณะเป็นไปตามความถี่ของสัญญาณอินพุทโดยเปรียบเทียบกันระหว่างสัญญาณทั้งสอง ถ้าเฟสไม่ตรงกันก็จะมีแรงดันไฟฟ้าเกิดขึ้นเพื่อแก้ไขความถี่ของออสซิลเลเตอร์ใหม่ให้เฟสต่างกันน้อยลงและจะเป็นอย่างนี้ตลอดไป จึงทำให้เฟสล็อคกันอยู่ได้

จากทฤษฎีเกี่ยวกับระบบควบคุมและการป้อนกลับ เฟสดีเทกเตอร์หรือเฟสคอมพาราเตอร์ LPF และวงจรขยายสัญญาณคลาดเคลื่อน จะอยู่ในส่วนฟอร์เวิร์ด และวีซีโออยู่ในส่วนป้อนกลับ จากรูปเมื่อยังไม่มีสัญญาณอินพุทป้อนในระบบ แรงดันไฟฟ้าควบคุม : $V_d(t)$ จะเป็นศูนย์ วีซีโอจะทำงานตามความถี่ f_o ที่ตั้งไว้ซึ่งเรียกว่าความถี่ศูนย์กลาง หรือความถี่ฟรีรันนิ่ง ถ้ามีสัญญาณอินพุทป้อนให้ระบบ เฟสคอมพาราเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณวีซีโอกับอินพุท แล้วสร้างแรงดันไฟคลาดเคลื่อน : $V_o(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ของสัญญาณทั้งสอง แรงดันไฟฟ้าลักษณะเช่นนี้ แรงดันไฟฟ้าควบคุม $V_d(t)$ จะไปบังคับให้ความถี่ของวีซีโอแปรไปในทิศทางที่สดความแตกต่างระหว่างความถี่ f_o กับความถี่ f_s ลงจากนั้นด้วยคุณสมบัติการป้อนกลับของเฟสล็อคลูปถ้าความถี่อินพุท (f_s) ใกล้เคียงกับ f_o ก็จะทำให้วีซีโอซิงโครไนซ์หรือล็อคกับสัญญาณอินพุทได้และเมื่ออยู่ในสภาวะล็อคอย่างนี้ ความถี่ของวีซีโอจะเท่ากันกับความถี่ของสัญญาณอินพุทแต่เฟสแตกต่างกันเล็กน้อย เฟสที่ต่างกันนี้จะทำให้ความถี่ ฟรีรันนิ่งของวีซีโอเลื่อนเข้าไปใกล้ไปหาความถี่สัญญาณอินพุท f_s เพื่อรักษาสภาพการล็อคเอาไว้ให้ได้

ด้วยความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบ ขณะที่ลูปของวงจรอยู่ในสภาวะล็อคจะทำให้ลูปสามารถตามรอยการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ ซึ่งช่วงความถี่โดยตลอดที่ลูปสามารถคงการล็อคกับสัญญาณอินพุทไว้ได้นี้เราเรียกว่า พิสัยในภาวะล็อค (Locked Range) ของระบบ ส่วนช่วงความถี่โดยตลอดซึ่งลูปสามารถเข้ายึดการล็อคกับสัญญาณอินพุท (เริ่มล็อค) ได้ เรียกว่า พิสัยการเข้าสู่ภาวะล็อค (Captured Range) ของระบบและพิสัยนี้จะไม่กว้างไปกว่า พิสัยในภาวะล็อคอย่างแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูปที่ 2.14 ทรานเฟอร์คาร์แร็กเตอร์ริสติค ระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป

(a) เมื่อเพิ่มความถี่สัญญาณอินพุท

(b) เมื่อลดความถี่สัญญาณอินพุท

2.3.2.1 การเข้าสู่สภาวะล็อคและภาวะขณะที่เฟสล็อค

จากรูปที่ 2.14 แสดงถึงทรานเฟอร์คาร์แร็กเตอร์ริสติคของเฟสล็อคระหว่างความถี่กับแรงดันไฟฟ้าที่เกิดขึ้นในลูป ในตอนแรกเราจะพิจารณาถึงสภาวะขณะที่ลูปยังไม่ได้อยู่ในสภาวะล็อคก่อน โดยเฟสคอมพาราเตอร์ซึ่งจะเป็นตัวผสมสัญญาณอินพุทเข้ากับสัญญาณวีซีโอ ทำให้เกิดผลบวก ($f_o + f_s$) และผลต่าง ($f_o - f_s$) ของสัญญาณทั้งสองอย่างไรก็ตามในช่วงแรกทั้งผลบวกและผลต่างของสัญญาณทั้งสอง ($f_o + f_s$) ยังอยู่นอกขอบเขตของ LPF ที่จะตอบสนองได้ จึงถูกกรองทิ้งไปหมดไม่มีสัญญาณไหลภายในลูป ดังนั้นในสภาวะนี้วีซีโอ จะยังคงทำงานที่ความถี่เริ่มต้นเดิมคือความถี่ฟรีรันนิ่ง (f_o)

ต่อมาเมื่อความถี่อินพุทเข้าใกล้ความถี่ของวีซีโอ คือเท่ากับ f(s) ดังรูปความถี่ผลต่าง ($f_o - f_s$) จะลดลงเข้าใกล้ขอบเขตของความถี่ที่ LPF สามารถตอบสนองได้ ดังนั้นในช่วงนี้บางส่วนของสัญญาณผลต่าง จะผ่าน LPF ไปได้ ซึ่งจะไปขับวีซีโอให้มีความถี่เข้าหาสัญญาณอินพุท (f_s)ในขณะนั้นความถี่ผลต่าง ($f_o - f_s$) จะลดลงเรื่อยๆ (เนื่องจากวีซีโอถูกขับให้มีความถี่เข้าใกล้ f_s มากขึ้น) ทำให้สัญญาณที่ส่งผ่าน LPF มีผลต่อวีซีโอมากขึ้น ความถี่ของวีซีโอก็จะยิ่งเข้าใกล้ f_s จนในที่สุด ลูปก็จะเข้าสู่สภาวะเฟสล็อคได้เมื่อ $f_s = f_o$

ตอนที่ระดับแรงดันคลาดเคลื่อน : V_e (t) เริ่มผ่าน LPF ได้แสดงว่าลูปเริ่มตรวจจับ (Capture) ได้ (เราสังเกตได้จากวีซีโอจะเริ่มเปลี่ยนความถี่ไปเพราะเพิ่งจะมีแรงดันไฟฟ้าผ่านเข้ามาขับเป็นครั้งแรก) จากนั้นแรงดันไฟฟ้าควบคุม : V_d (t) จะทำให้ความถี่ f_o ของวีซีโอเปลี่ยนเข้าใกล้ f_s ยิ่งขึ้นและในที่สุดความถี่ทั้งสองก็จะเท่ากัน ($f_o = f_s$) ที่สภาวะนี้เรียกว่าลูปอยู่ในภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ลูปอยู่ในภาวะล็อค แรงดันไฟฟ้าคลาดเคลื่อน : V_e (t) ซึ่งเกิดจากความต่างเฟสดังที่กล่าวมาแล้ว โดยเฉลี่ยจะมีค่าค่อนข้างคงที่ ทำให้แรงดันไฟฟ้าควบคุม : V_d (t) ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : V_e (t) มีค่าคงที่ไปด้วย เพื่อเป็นแรงดันไฟตรง ขับให้วีซีโอมีความถี่เท่ากับความถี่ของสัญญาณอินพุทอยู่ตลอดเวลา

ตอนแรกที่ลูปเริ่มล็อคกับสัญญาณอินพุท ความถี่ของวีซีโอจะลดลงก่อน จากนั้นไปเมื่อเพิ่มความถี่ f_S ขึ้นการล็อคจะขึ้นอยู่กับความสามารถของวีซีโอที่จะเปลี่ยนความถี่ไปโดยมีความลาดชันของการเปลี่ยนแปลงระหว่างความถี่กับแรงดันไฟฟ้าควบคุม : V_d (t) เท่ากับ 1 / k_O (k_O : คอนเวอร์ชั่นเกนของวีซีโอ มีหน่วยเป็นเรเดียน / วินาที / โวลท์) และเมื่อเพิ่มความถี่ไปจนถึงความถี่ศูนย์กลาง = f_O แรงดันไฟฟ้าควบคุม : V_d (t) จะมีค่าเป็นศูนย์โวลท์ ลูปจะตามรอยสัญญาณอินพุทไปจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของพิสัยในสภาวะล็อค แล้วก็จะหลุดจากสภาวะล็อคไป แรงดันไฟฟ้าคลาดเคลื่อน : V_e (t) จะมีค่าเท่ากับศูนย์

หลังจากนั้นถ้าลดความถี่สัญญาณอินพุทลงมาก็จะเกิดวัฏจักรขึ้นอีกดังแสดงในรูป สัญญาณจะเริ่มกลับเข้าสู่การตรวจจับของลูปอีกที่ f_S และลูปจะตามรอยสัญญาณอินพุทได้แค่ถึง f_4 ช่วงความถี่จาก f_1 ถึง f_3 นี้เรียกว่า พิสัยการเข้าสู่ภาวะล็อค และช่วงความถี่จาก f_2 กับ f_4 เรียกว่า พิสัยในการล็อค จากรูปคือ

$$f_3 - f_1 = 2 f_C = \text{Capture Range}$$

$$f_2 - f_4 = 2 f_L = \text{Locked Range}$$

จากทรานเฟอร์คาร์แร็กเตอร์ริสติค เราสามารถกำหนดความถี่ศูนย์กลางให้ลูปได้โดยการตั้งความถี่ฟรีรันนิ่งที่วีซีโอ และลูปจะตอบสนองเฉพาะความถี่ของสัญญาณที่อยู่ในช่วงจาก f_O ถึง f_C หรือ f_L เท่านั้น ทั้งนี้ขึ้นอยู่กับเงื่อนไขที่ว่าลูปเริ่มต้นด้วยการล็อคหรือไม่ ในทางปฏิบัติ การใช้งานของเฟสล็อคลูปโดยมากต้องการวีซีโอ ที่มีคุณสมบัติในการแปลงแรงดันไฟฟ้าให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้นอย่างแท้จริงด้วยเพื่อประโยชน์ในการตามรอยสัญญาณอินพุท

2.3.2.2 พิสัยการเข้าสู่ภาวะล็อค

นิยามได้ว่า คือพิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่เริ่มต้นของวีซีโอ (คือความถี่ฟรีรันนิ่งที่ตั้งไว้) ตลอดพิสัยนี้ลูปสามารถดึงเข้าสู่การล็อคกับสัญญาณอินพุทได้ พิสัยการเข้าสู่ภาวะล็อคนี้อาจเรียกได้อีกอย่างว่า ล็อคอินเรนจ์ ก็ได้ ซึ่งเป็นการวัดว่าสัญญาณอินพุทจะต้องมีความถี่ใกล้เคียงกับศูนย์กลางของวีซีโอ : f_O มากน้อยเพียงใดลูปจึงจะเข้าสู่ภาวะล็อคได้ล็อคอินเรนจ์นี้จะเป็นครึ่งหนึ่งของพิสัยการเข้าสู่ภาวะล็อค (หรือเท่ากับ f_C)

พิสัยการเข้าสู่ภาวะล็อคถือได้ว่าเป็นความถี่ใดๆ ที่อยู่ใน พิสัยในภาวะล็อค และขึ้นอยู่กับขอบเขตของ LPF กับอัตราขยายลูปปิดของระบบซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุทนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือกความถี่ของลูปด้วย

2.3.2.3 พิสัยในภาวะล็อค

คือพิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ตลอดพิสัยนี้ลูปสามารถตามรอยสัญญาณอินพุทได้ในขณะที่ลูปอยู่ในภาวะล็อค พิสัยในภาวะล็อคอาจเรียกว่าแทร็กกิ้งเรนจ์ ซึ่งมีความหมายว่าความถี่ของลูปสามารถจะไกลห่างออกไปจากความถี่ศูนย์กลางเท่าไร แทร็กกิ้งเรนจ์มีค่าเป็นครึ่งหนึ่งของพิสัยในภาวะล็อค หรือเท่ากับ f_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะได้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือล็อคความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อคสั้น คุณสมบัติการล็อคความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง(รับ) มาเป็นสภาวะรับ(ส่ง) หรือในกรณีการสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) นั่นคือความถี่ฮาร์มอนิกและสปิวเรียสต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว ในช่วงใกล้เคียงกับความถี่ที่ต้องการนอยส์ดังกล่าวนี้เรียกว่าเฟสนอยส์

ความเที่ยงตรง และเสถียรภาพทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่าคริสตอลออสซิลเลเตอร์

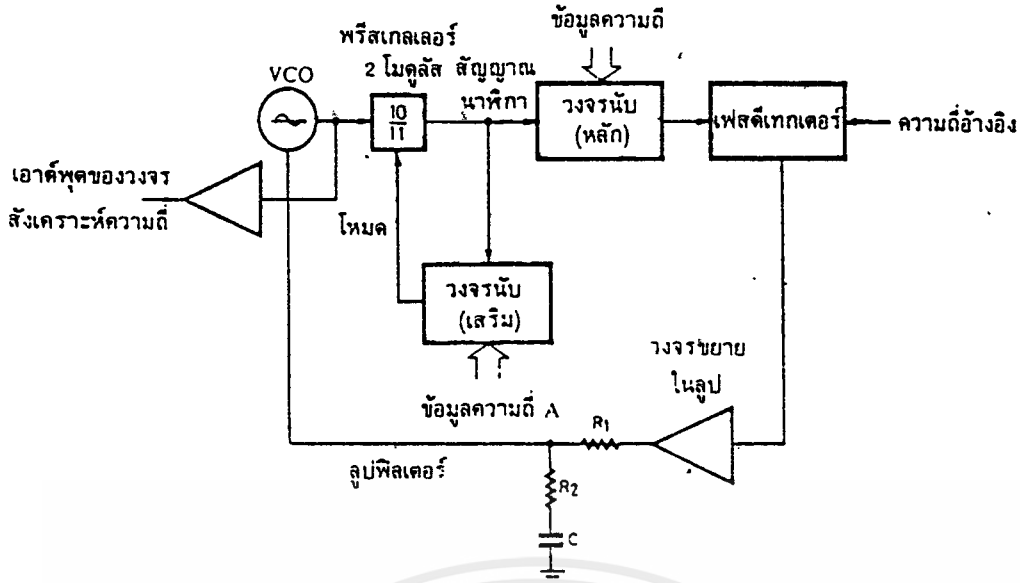
2.3.4 วงจรหารแบบพรีสเกลเลอร์

วงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบโมดูล้ส เป็นวิธีที่ทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้า (พรีสเกลเลอร์) ก่อน หมายถึงการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ดังแสดงในรูป 2.15 เอาท์พุทของพรีสเกลเลอร์จะป้อนให้กับวงจรนับสองตัวตัวหนึ่งเป็นตัวนับหลัก อีกตัวหนึ่งเป็นตัวนับเสริม

ตัวเคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหารตัวใด คือหารด้วย 10 หรือหารด้วย 11 เช่น สมมติว่าป้อนข้อมูล(ความถี่) หรือพรีเซตตัวเลขให้เคาน์เตอร์เสริม และในขณะนี้พรีสเกลเลอร์ใช้ 11 เป็นตัวหาร เมื่อเคาน์เตอร์เสริมหยุดนับ จึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10 ตัวเคาน์เตอร์หลักก็เช่นเดียวกัน จะค่อยๆ นับถอยหลังไปเรื่อยๆ จนเป็นศูนย์ เมื่อเคาน์เตอร์ทั้งตัวหลักและตัวเสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล(ความถี่) เนื่องจากเคาน์เตอร์เสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039070



รูปที่ 2.15 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์

สมมติว่าตัวเลขที่พรีเซตเป็น M ให้แก่เคาน์เตอร์หลัก และ A ให้แก่เคาน์เตอร์เสริม เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ซึ่งจะยังคงหารตัวหาร 11 ไปจนกว่าเคาน์เตอร์เสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของเคาน์เตอร์เสริมเป็นศูนย์คิดเป็นจำนวนไซเกิล (ของวีซีโอ) ที่ผ่านไป จะเท่ากับ 11 คูณด้วย A ไซเกิล หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 (โดยเคาน์เตอร์เสริม) เช่นกัน ยังเหลืออยู่อีก (M-A) ไซเกิลก่อนที่นับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับเคาน์เตอร์หลักเป็นศูนย์ต่อไปอีก คิดเป็นจำนวนไซเกิล (ของวีซีโอ) ที่ผ่านไปเท่ากับ 10 คูณด้วย (M-A)

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้น คือ

$$\text{VCO ไซเกิล} = 11A + 10(M-A) = 10M + A$$

ความถี่ของวีซีโอจะเท่ากับ (10M + A) เท่าของความถี่อ้างอิง หรือ

$$F_{synth} = F_{ref}(10M + A)$$

สังเกตว่าผลตัวเลข M มีผลต่อความถี่ F_{synth} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร 10 (M - A) ก็ไม่สามารถหาได้ครบตัวเลขทุกค่า เนื่องจากมีข้อจำกัดตรงที่ M จะต้องมากกว่า (หรือเท่ากับ) A ในที่นี้ตัวหาร (10M + A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่ยกตัวอย่างมาข้างต้นใช้กับพรีสเกลเลอร์แบบ 10/11 ในกรณีที่พรีสเกลเลอร์ชนิดสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

ตัวหารของระบบสังเคราะห์ความถี่ $= PM + A$

ตัวหารต่ำสุด $= P(P-1)$

ตัวหารสูงสุด $= P M_{max} + A_{max}$

ถ้าตัวหารของพรีสเกลเลอร์มีค่ามากตัวหารต่ำสุดก็จะมากยิ่งขึ้นไปอีก ซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูงๆ และช่วงห่างระหว่างช่องแคบ

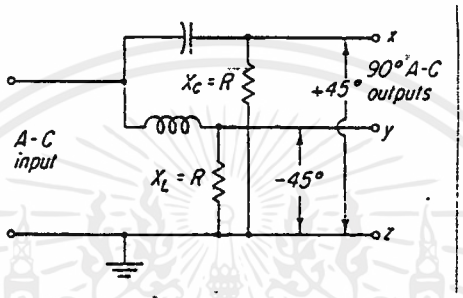
เหตุผลสำคัญในการใช้พรีเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ ถ้าใช้พรีสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพรีสเกลเลอร์ชนิดสองโมดูลัสก็คือ ทำให้การกำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดงเช่นในสภาวะรับ โล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่ง เช่น ในกรณีของการเลื่อนความถี่ภาคส่งสำหรับรีพีตเตอร์ เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้ก็คือสามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย

2.4 วงจรชิฟเฟส (shift phase)

วงจรชิฟเฟส 90 องศาโดยทั่วไปแสดงดังรูป 2.16 ด้วยค่ารีแอกแตนซ์ที่เท่ากับค่าความต้านทาน จะทำให้กระแสตาม (lag) 45 องศาในวงจรอินดักทีฟ และกระแสนำ (lead) 45 องศาในวงจรคาปาซิทีฟ ผลรวมเป็น 90 องศา สัญญาณ AC ที่ เข้ามาจะได้เป็น 2 สัญญาณที่ชิฟกัน 90 องศา โดยความสัมพันธ์นี้จะเป็นจริงสำหรับความถี่เดี่ยว (Single frequency)เพียงความถี่เดียว



รูป 2.16 วงจรชิฟเฟส 90 องศา

วงจรนี้สามารถชิฟความถี่คงที่ของคลื่นพาหะ (carrier) ซึ่งเป็นคลื่นวิทยุโดยการเลือกปรับค่า C ,R ,L โดยความสัมพันธ์

Xc = R = $1/2\pi fC$

Xl = R = $2\pi fL$; f = ความถี่ที่ใช้งาน

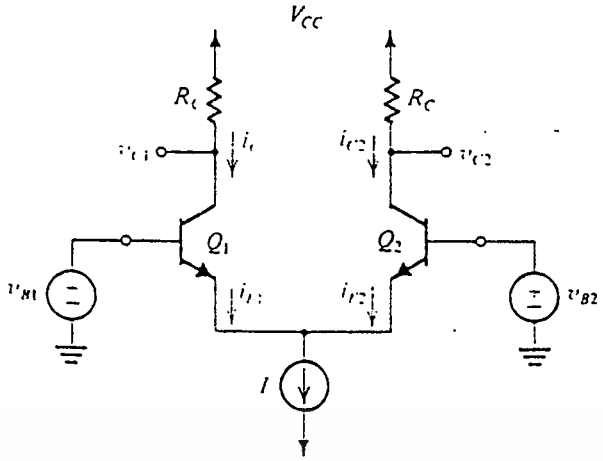
2.5 วงจรกูณสัญญาณ

2.5.1 BJT ดิฟเฟอเรนท์แพร์

2.5.1.1 คำอธิบายคุณลักษณะเฉพาะของการดำเนินการ

รูปที่ 2.17 แสดงถึงโครงสร้างของ BJT ดิฟเฟอเรนท์เชียลแพร์ขั้นพื้นฐาน ซึ่งประกอบด้วยทรานซิสเตอร์ 2 คู่ ก็คือ Q_1 กับ Q_2 ซึ่งอิมิตเตอร์ทรานซิสเตอร์จะเชื่อมต่อกัน และไบแอสโดยแหล่งไฟฟ้าคงที่ I อันหลังจะดำเนินการ ถึงแม้ว่าคอลเลคเตอร์ทรานซิสเตอร์แต่ละอันจะเชื่อมต่อกับความดันของเครื่องจ่ายขั้วบวก (V_{CC}) โดยผ่านการต้านทานกระแสไฟฟ้า R_C การเชื่อมต่อนี้ไม่มีความสำคัญต่อการดำเนินการของดิฟเฟอเรนท์เชียลแพร์ นั่นก็คือในการใช้บางครั้ง คอลเลคเตอร์ทรานซิสเตอร์ทั้งสองอาจจะเชื่อมต่อกับทรานซิสเตอร์อื่นๆ มากกว่ารีซิสติฟโหลด ถึงแม้ว่ามันจะสำคัญที่ว่าวงจรคอลเลคเตอร์ของทรานซิสเตอร์จะเป็นแบบ Q_1 และ Q_2 ก็ไม่เคยมีจุดอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรดิฟเฟอเรนท์เชียลแพร์

ดิฟเฟอเรนท์เชียลแพร์ทำงานอย่างไร ก่อนอื่นต้องพิจารณากรณีที่ซึ่งเบสของทรานซิสเตอร์ทั้งสอง จะต้องเชื่อมต่อกันและเชื่อมต่อกับแรงดัน v_{CM} ที่เรียกว่าคอมมอนโหมดโวลท์เตจนั่นก็คือ สิ่งที่เห็นในรูป 2.18(a) $v_{B1} = v_{B2} = v_{CM}$ ตั้งแต่ Q_1 กับ Q_2 เข้ากัน มันเป็นผลมาจากสมมาตร ซึ่งกระแสไฟฟ้า I จะแบ่งอุปกรณ์ออกเป็น 2 ส่วนเท่าๆกัน ดังนั้น $i_{E1} = i_{E2} = I/2$ และแรงดันที่ขั้วทรานซิสเตอร์จะเป็น $v_{CM} - V_{BE}$ที่ซึ่ง V_{BE} เป็นเบส-อิมิดเตอร์โวลท์เตจ (สมมุติในรูป 2.18 a ประมาณ 0.7 โวลท์) ซึ่งตรงกับกระแสอิมิดเตอร์ I/2 แรงดัน ที่แต่ละคอลเลคเตอร์ของทรานซิสเตอร์จะเป็น Vcc - 1/2 (αIR_C) และ ความแตกต่างในแรงดันระหว่างคอลเลคเตอร์ทั้งสอง จะเท่ากับศูนย์

ค่าของสัญญาณอินพุทคอมมอนโหมด v_{CM} แตกต่างกันออกไป จะเห็นได้ชัดว่า ตราบใดที่ Q_1 กับ Q_2 ยังคงอยู่ในขอบเขตแอคทีฟกระแส I จะยังคงแบ่ง Q_1 กับ Q_2 เท่าๆกันเป็น 2 ส่วน และแรงดันที่แต่ละคอลเลคเตอร์ของทรานซิสเตอร์ก็จะไม่เปลี่ยนไป ดังนั้นดิฟเฟอเรนท์เชียลแพร์ก็จะไม่สอดคล้องกับสัญญาณอินพุทคอมมอนโหมด

ในขณะที่การทดลองอื่นๆ จะมีการตั้งแรงดัน v_{B2} ให้เป็นค่าคงที่ ก็คือ 0 (โดยการกราวน์ B2) และให้ v_{B1} เท่ากับ +1 โวลท์ (สังเกตในรูป 2.18 b) ด้วยเหตุผลจำนวนเล็กน้อย จะเห็นได้ว่า Q_1 จะเปิดและนำไปสู่กระแสไฟฟ้า I ทั้งหมด ส่วน Q_2 จะปิดอยู่ สำหรับ Q_1 ที่เปิดอยู่ อิมิดเตอร์ของทรานซิสเตอร์จะมีค่าประมาณ +0.3 โวลท์ ซึ่งสามารถเก็บ EBJ ของ Q_2 รีเวอร์สไบอัสโวลท์เตจในคอลเลคเตอร์ของทรานซิสเตอร์จะเท่ากับ $v_{C1} = V_{CC} - \alpha IR_C$ และ $v_{C2} = V_{CC}$

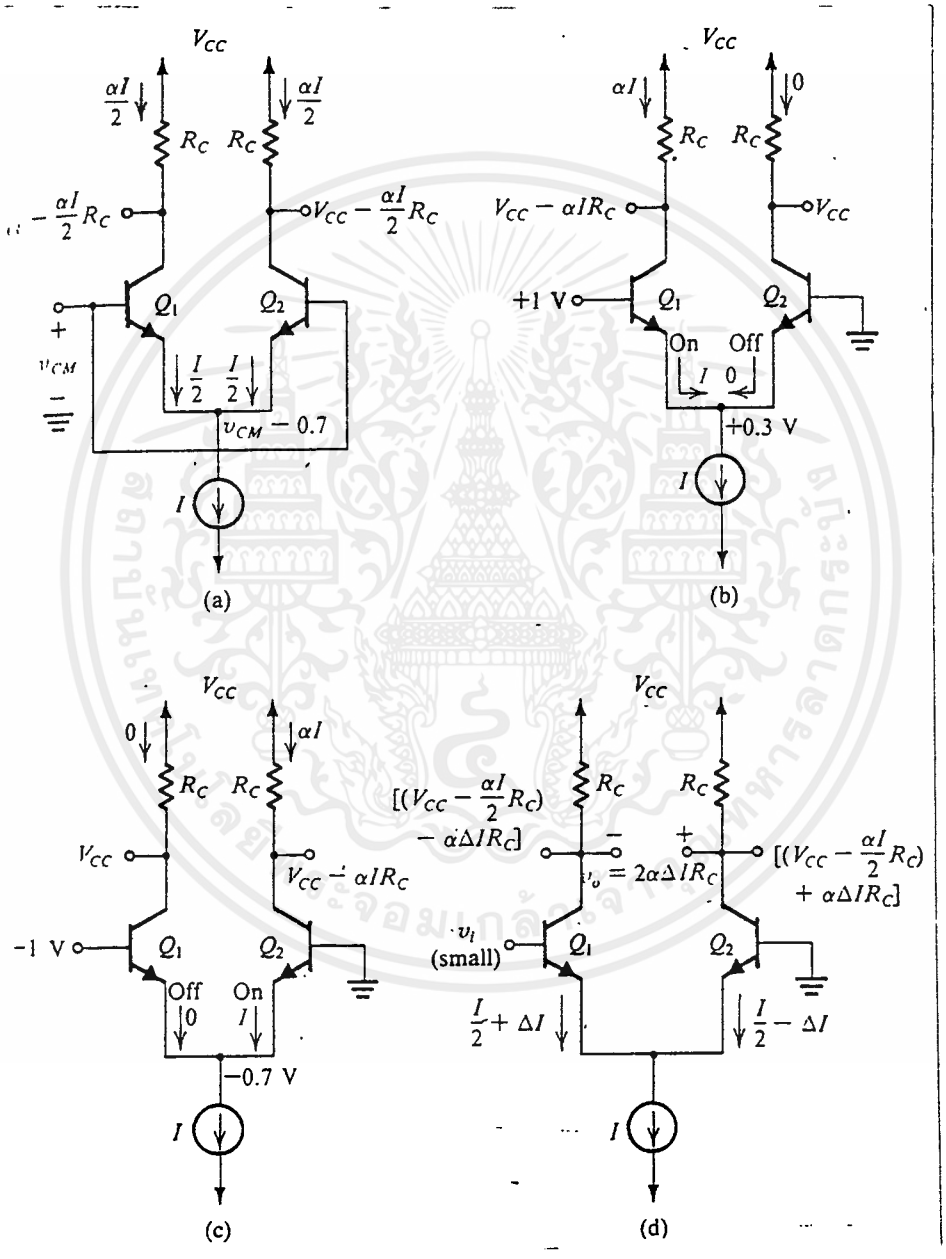
ถ้าเปลี่ยน v_{B1} ให้เป็น -1 โวลท์ (ในรูป 2.18 c) เช่นเดียวกัน ด้วยเหตุผลบางประการ เราจะเห็นได้ว่า EBJ Q_1 จะปิด และ Q_2 จะส่งกระแส I ทั้งหมด อิมิดเตอร์ทรานซิสเตอร์ทั่วๆไป จะอยู่ที่ -0.7 โวลท์ ซึ่งหมายความว่า BJ ของ Q_1 จะรีเวอร์สไบอัสโดย 0.3 โวลท์ แรงดันของคอลเลคเตอร์ทรานซิสเตอร์จะเป็น $v_{C1} = Vcc$

และ $v_{C2} = Vcc - \alpha IR_C$

จากที่กล่าวมาแล้วข้างต้น เราจะเห็นได้ว่าดิฟเฟอเรนท์เชียลแพร์จะสอดคล้องกับดิฟเฟอเรนท์โหมด หรือ สัญญาณดิฟเฟอเรนท์เชียลในความเป็นจริง ความแตกต่างของแรงดันเล็กน้อย เราสามารถนำกระแสไบอัสทั้งหมด จากด้านหนึ่งของแพร์ไปยังอีกด้านหนึ่ง คุณสมบัติการนำกระแสไฟฟ้าของ ดิฟเฟอเรนท์เชียลแพร์นี้สามารถนำไปใช้ในวงจรโลจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้ ดิฟเฟอเรนท์เชียลแพร์ เป็นลิเนียร์แอมปลิฟายเราจะใช้สัญญาณดิฟเฟอเรนท์เชียล ขนาดเล็กมาก ที่มีมัลติโวลท์น้อย ซึ่งจะทำให้เกิดขึ้นในทรานซิสเตอร์ตัวหนึ่ง ซึ่งจะนำกระแสไฟฟ้า I/2 + ΔI กระแสไฟฟ้าในทรานซิสเตอร์จะเป็น I/2 - ΔI ที่มี ΔI ที่เป็นสัดส่วนกันกับดิฟเฟอเรนท์อินพุท โวลท์เตจ (ในรูป 2.18 d) เอาท์พุทโวลท์เตจ ได้รับระหว่างคอลเลคเตอร์ทั้งสองขั้วจะเป็น $2\alpha\Delta IR_C$ ซึ่งมีสัดส่วนต่อสัญญาณดิฟเฟอเรนท์เชียลอินพุท v_p การทำงานของ สัญญาณขนาดเล็ก ของ ดิฟเฟอเรนท์เชียลแพร์ จะกล่าวใน 2.4.2



รูปที่ 2.18 เปรียบเทียบการทำงานของวงจรดิฟเฟอเรนท์เชียลแพร์

2.5.1.2 การทำงานของ สัญญาณขนาดใหญ่ ของ BJT ดิฟเฟอเรนท์เชียลแพร์

เราเสนอการวิเคราะห์ทั่วๆไปของ BJT ดิฟเฟอเรนท์เชียลแพร์ ในรูป 2.12 ถ้าเราใช้ v_E แทนแรงดันที่อิมิตเตอร์ทั่วๆไป ความสัมพันธ์ของสมการเกี่ยวข้องกับทรานซิสเตอร์ทั้งสองของแต่ละอันเขียนได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{E1} = \frac{I_s}{\alpha} e^{(v_{B1} - v_E)/V_T}$$

$$i_{E2} = \frac{I_S}{\alpha} e^{(v_{B2} - v_E)/V_T}$$

ทั้งสองสมการนำมารวมกันได้ดังนี้

$$\frac{i_{E1}}{i_{E2}} = e^{(v_{B1} - v_{B2})/V_T}$$

ซึ่งจะสามารถใช้ให้เกิดประโยชน์ได้ดังนี้

$$\frac{i_{E1}}{i_{E1} + i_{E2}} = \frac{1}{1 + e^{(v_{B2} - v_{B1})/V_T}}$$

$$\frac{i_{E1}}{i_{E1} + i_{E2}} = \frac{1}{1 + e^{(v_{B1} - v_{B2})/V_T}}$$

โดยที่

$$i_{E1} + i_{E2} = I$$

รวมสมการจะได้

$$i_{E1} = \frac{1}{1 + e^{(v_{B2} - v_{B1})/V_T}}$$

$$i_{E2} = \frac{1}{1 + e^{(v_{B1} - v_{B2})/V_T}}$$

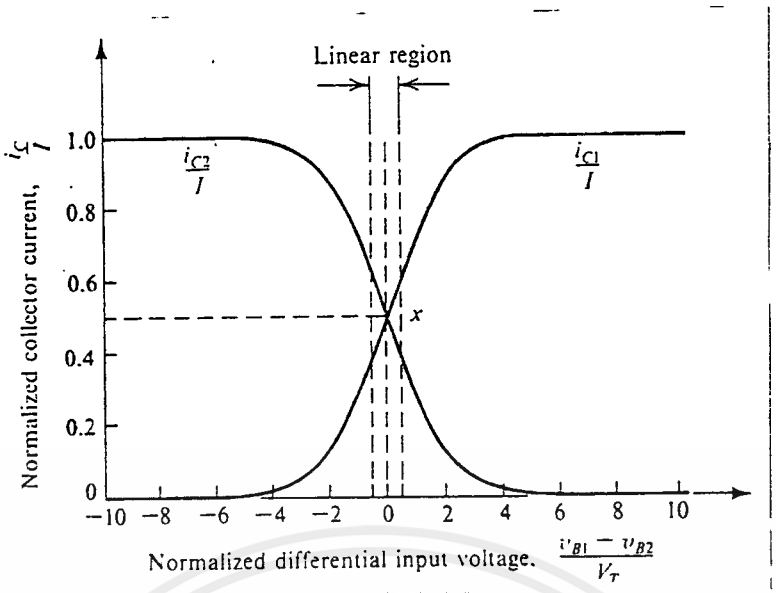
กระแสคอลเลคเตอร์ i_{C1} และ i_{C2} จะได้โดยการคูณกระแสไฟฟ้าอิมิตเตอร์ โดย α ซึ่งปกติแล้วจะใกล้เคียงกับหนึ่ง

การทำงานขั้นพื้นฐานของ ดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์ แสดงให้เห็นดังสมการข้างต้น อย่างแรกสังเกตว่า แอมปลิฟายเออร์ จะมีปฏิกิริยาดิฟเฟอเรนท์เชียลโวลท์เตจ $v_{B1} - v_{B2}$ เท่านั้น นั่นก็คือ ถ้า $v_{B1} = v_{B2} = v_{CM}$ กระแสไฟฟ้า I จะแบ่งเท่ากันระหว่างสองทรานซิสเตอร์ โดยไม่คำนึงถึงค่าของคอมมอนโหมดโวลท์เตจ v_{CM} นี่คือสาระสำคัญของการทำงานของ ดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์ ซึ่งก่อให้เกิดชื่อของมันเอง

ข้อสังเกตที่สำคัญอื่นๆ ก็คือ ความแตกต่างที่ค่อนข้างเล็กน้อยของแรงดัน $v_{B1} - v_{B2}$ ก่อให้เกิดกระแสไฟฟ้า I ที่ไหลลงในทรานซิสเตอร์ตัวหนึ่ง รูป 2.19 แสดงถึงโครงสร้างกระแสไฟฟ้าของคอลเลค เตอร์ทั้งสอง (สมมุติให้ $\alpha \approx 1$) ใช้ทำหน้าที่ของสัญญาณดิฟเฟอเรนท์นี่คือ โครงสร้างปกติซึ่งใช้กันทั่วโลก สังเกตว่า ดิฟเฟอเรนท์โวลท์เตจ ประมาณ $4V_T$ ($\approx$ 100 มิลลิโวลท์) เพียงพอที่จะสับเปลี่ยนกระแสไฟฟ้าเกือบทั้งหมดสู่ด้านใดด้านหนึ่งของแพร์

ลักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของ ดิฟเฟอเรนท์เชียลแพร์ ซึ่งแสดงในรูป 2.19 ไม่สามารถนำไปใช้ประโยชน์ได้มากในบทนี้ ที่จะกล่าวต่อไปนี้เราจะเน้นเฉพาะในการใช้ ดิฟเฟอเรนท์เชียล แพร์ เป็นแอมปลิฟายเออร์ สัญญาณขนาดเล็ก ด้วยจุดประสงค์นี้สัญญาณอินพุทดิฟเฟอเรนท์จะถูกกำหนดให้น้อยกว่า $V_T/2$ เพื่อว่า เราอาจจะปฏิบัติงานบนลักษณะเฉพาะของเซ็คเม้นท์เชิงเส้นรอบๆจุดกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

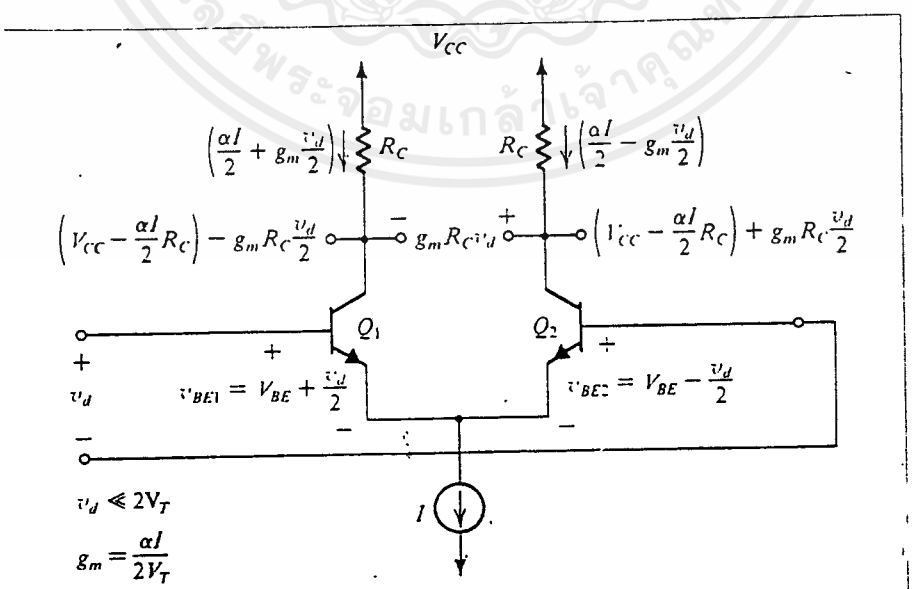


รูปที่ 2.19 แสดงลักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของวงจรดิฟเฟอเรนท์เชียลแพร์

2.5.2 การทำงานของ สัญญาณขนาดเล็ก ของ BJT ดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์

ในส่วนนี้ จะศึกษาเกี่ยวกับการประยุกต์ใช้ของ BJT ดิฟเฟอเรนท์เชียลแพร์ใน สัญญาณขนาดเล็ก แอมปลิฟิเคชั่น รูปที่ 2.20 แสดงให้เห็นถึงดิฟเฟอเรนท์เชียลแพร์ที่มีสัญญาณดิฟเฟอเรนท์โวลท์เตจ v_d นำมาใช้ระหว่างเบสของทรานซิสเตอร์ทั้งสอง มีความหมายว่าระดับดีซีที่อินพุทนั่นก็คือสัญญาณคอมมอนโหมดอินพุทจะถูกตั้งขึ้นไม่วิธีใดก็วิธีหนึ่ง

ตัวอย่างเช่นส่วนหนึ่งส่วนใดของอินพุทเทอร์มินอลทั้งสองสามารถยึดเป็นหลัก และ v_d จะประยุกต์ใช้กับอินพุทเทอร์มินอลอื่น ๆ อีกทางหนึ่งดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์อาจจะถูกป้อนจากเอาท์พุทของดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์อื่น ในกรณีนี้แรงดันที่อินพุทเทอร์มินอลใดอันหนึ่งจะเป็น $v_{CM} + v_d/2$ เราจะพิจารณาการทำงานของคอมมอนโหมดที่ขั้นตอนต่อมา



รูปที่ 2.20 แสดงการทำงานของสัญญาณเล็กของ BJT ดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2.1 กระแสไฟฟ้าคอลเลคเตอร์เมื่อ v_d ถูกนำมาใช้

เมื่อกลับไปสู่วงจรไฟฟ้าในรูป 2.20 อาจจะใช้สมการเพื่อที่จะหากระแสไฟฟ้าทั้งหมด i_{C1} และ i_{C2} ที่ทำหน้าที่ของสัญญาณดิฟเฟอเรนท์เชียล v_d โดยแทนค่า $v_{B1} - v_{B2} = v_d$ เข้าไป

$$i_{C1} = \frac{\alpha I}{1+e^{-v_d/V_T}}$$

$$i_{C2} = \frac{\alpha I}{1+e^{v_d/V_T}}$$

ให้คูณเศษและส่วนของด้านขวาของสมการแรกด้วย $e^{(vd/2Vt)}$ จะได้

$$i_{C1} = \frac{\alpha I e^{(v_d/2V_T)}}{e^{(v_d/2V_T)}+e^{(-v_d/2V_T)}}$$

สมมุติว่า $v_d << 2V_T$ ดังนั้นเราอาจจะขยายเอ็กโปเนนเชียล $e^{\pm(vd/2Vt)}$ ในอนุกรมและเก็บได้แค่ 2 พจน์แรกไว้เท่านั้น

$$i_{C1} \approx \frac{\alpha I(1+v_d/2V_T)}{e^{(v_d/2V_T)}+e^{(-v_d/2V_T)}}$$

ดังนั้น

$$i_{C1} = \frac{\alpha I}{2} + \frac{\alpha I}{2V_T}\frac{v_d}{2}$$

ในการถ่ายเทที่คล้ายคลึงกันสามารถนำไปใช้เพื่อที่จะได้

$$i_{C2} = \frac{\alpha I}{2} - \frac{\alpha I}{2V_T}\frac{v_d}{2}$$

แสดงว่า เมื่อ $V_d = 0$ กระแสไบอัส I จะแบ่งทรานซิสเตอร์ทั้ง 2 ของแพร์ออกเท่า ๆ กัน ดังนั้นทรานซิสเตอร์แต่ละอันจะไบอัสที่กระแสอิมิตเตอร์ I/2 เมื่อ สัญญาณขนาดเล็ก V_d นำมาใช้แตกต่างกันระหว่างทั้ง 2 กระแสเบสของทรานซิสเตอร์คอลเลคเตอร์ของ Q_1 จะเพิ่มขึ้นโดยการเพิ่มขึ้นของ i_C และ Q_2 จะลดลงโดยจำนวนที่เท่า ๆ กัน สิ่งนี้จะแสดงให้แน่ใจว่าผลรวมของกระแสไฟฟ้าทั้งหมดใน Q_1 และ Q_2 จะยังคงที่อยู่ ขณะที่ถูกกำหนดโดยแหล่งจ่ายกระแสไบอัส ส่วนประกอบของกระแสสัญญาณ i_C จะได้มาโดย

$$i_C = \frac{\alpha I}{2V_T}\frac{v_d}{2}$$

จากสมการมีการแปรออกมาง่าย ๆ ก็คือ อย่างแรกสังเกตจากสมมาตรของวงจรไฟฟ้า (รูป 2.20) ซึ่งสัญญาณดิฟเฟอเรนท์เชียล v_d จะแบ่งเท่ากันระหว่างตัวเชื่อมเบส-อิมิตเตอร์ของทรานซิสเตอร์ทั้งสอง ดังนั้นแรงดันของเบส-อิมิตเตอร์ทั้งหมดจะเป็น

$$v_{BE}|_{Q1} = V_{BE} + \frac{v_d}{2}$$

$$v_{BE}|_{Q2} = V_{BE} - \frac{v_d}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ซึ่ง V_{BE} เป็นดีซี BE โวลท์เตจสอดคล้องกับกระแสอิมิตเตอร์ของ I/2 ดังนั้นกระแสคอลเลคเตอร์ของ Q_1 จะเพิ่มขึ้นโดย $g_m v_d /2$ และกระแสคอลเลคเตอร์ของ Q_2 จะลดลงโดย $g_m v_d /2$ ซึ่ง g_m แสดงถึงทรานคอนดักแตนซ์ของ Q_1 และของQ_2 ซึ่งมีค่าเท่ากันโดยได้สมการดังต่อไปนี้

$$g_m = \frac{I_C}{V_T} = \frac{\alpha I/2}{V_T}$$

ดังนั้นออกมาง่าย ๆ ว่า $i_C = g_m v_d /2$

2.5.2.2 แง่คิดในทางกลับกัน

การแปลความหมายทางเลือกอื่นที่มีประโยชน์ ของผลลัพธ์จากข้างต้น สมมุติแหล่งจ่ายกระแสเป็นอุดมคติ ความต้านทานที่เพิ่มขึ้นของมันจะไม่มีที่สิ้นสุด ดังนั้นแรงดัน v_d จะปรากฏขึ้นตัดกับความต้านทานรวมของ $2r_e$ ที่ซึ่ง

$$r_e = \frac{V_T}{I_E} = \frac{V_T}{I/2}$$

ตามส่วนจะเป็นกระแสสัญญาณ i_e ซึ่งแสดงในรูป 2.21 โดยได้สมการ

$$i_e = \frac{v_d}{2r_e}$$

ดังนั้นคอลเลคเตอร์ของ Q_1 จะแสดงการเพิ่มขึ้นของกระแส i_c และคอลเลคเตอร์ของ Q_2 จะแสดงการลดลงของกระแส i_c

$$i_c = \alpha i_e = \frac{\alpha v_d}{2r_e} = g_m \frac{v_d}{2}$$

สังเกตว่าในรูป 2.21 เราจะแสดงจำนวนกระแสเท่านั้น แน่นอนซึ่งมันหมายความว่า แต่ละทรานซิสเตอร์จะไบอัสที่กระแสอิมิตเตอร์ของ I/2

การวิเคราะห์ด้วยวิธีนี้จะมีประโยชน์ก็ต่อเมื่อความต้านทานรวมเข้าไปด้วยในอิมิตเตอร์ซึ่งแสดงในรูป 2.22 สำหรับวงจรนี้เราจะได้

$$i_e = \frac{v_d}{2r_e + 2R_E}$$

2.5.2.3 อินพุทดิฟเฟอเรนเชียลรีซิสแตนท์

อินพุทรีซิสเตอร์รีซิสแตนท์คือความต้านทานที่เห็นระหว่างเบสทั้ง 2 นั่นก็คือการต้านทานที่เห็นโดยสัญญาณดิฟเฟอเรนท์อินพุท v_d สำหรับดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์ในรูป 2.20 และ 2.21 จะเห็นได้ว่ากระแสเบสของ Q_1 แสดงการเพิ่มขึ้น i_b และกระแสเบสของ Q_2 แสดงการลดลงที่เท่ากัน

$$i_b = \frac{i_e}{\beta + 1} = \frac{v_d/2r_e}{\beta + 1}$$

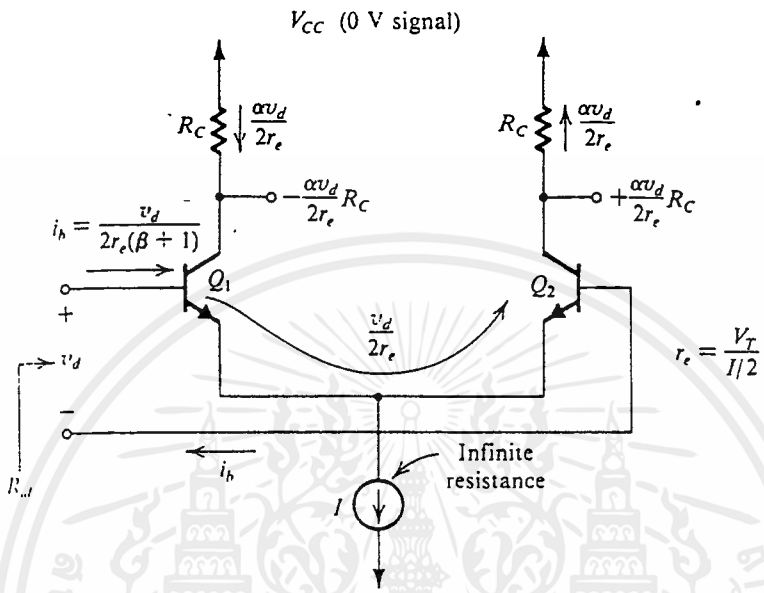
ดังนั้นดิฟเฟอเรนท์เชียลรีซิสแตนท์ R_{id} ถูกกำหนดโดย

$$R_{id} \equiv \frac{v_d}{i_b} = (\beta + 1)2r_e = 2r_\pi$$

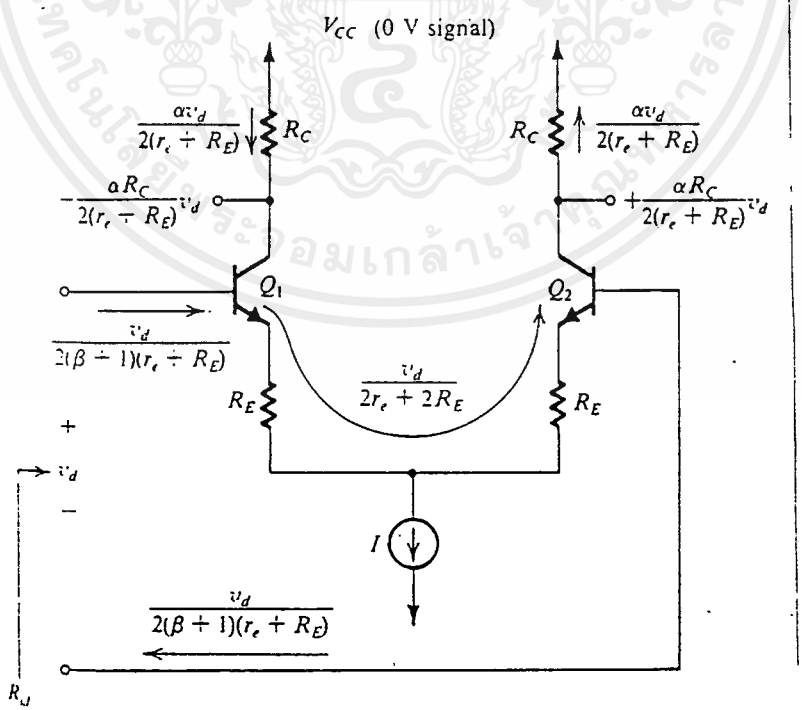
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลลัพธ์นี้เป็นการเรียบเรียงใหม่ของกฎการสะท้อนการต้านทานที่รู้จักกันดี กล่าวคือความต้านทานที่เห็นระหว่างเบสทั้ง 2 จะเท่ากับการต้านทานทั้งหมดในวงจรไฟฟ้าอิมิตเตอร์คูณโดย $\beta + 1$ เราใช้กฎนี้เพื่อหาอินพุทดิฟเฟอเรนท์เชียลรีซิสแตนท์ต่อวงจรไฟฟ้าในรูป 2.22 ดังนั้น

$$R_{id} = (\beta+1)(2r_e + 2R_e)$$



รูปที่ 2.21แสดงอินพุทดิฟเฟอเรนท์เชียลรีซิสแตนท์



รูปที่ 2.22แสดงอินพุทดิฟเฟอเรนท์เชียลรีซิสแตนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราได้สร้างแรงดันอินพุทดิฟเฟอเรนท์ขนาดเล็ก ($v_d << 2V_T$;นั่นคือ v_d เล็กกว่าประมาณ 20 มิลลิโวลท์) กระแสคอลเลคเตอร์จะกำหนดโดย

$$i_{C1} = I_C + g_m \frac{v_d}{2}$$

$$i_{C2} = I_C - g_m \frac{v_d}{2}$$

ที่ซึ่ง

$$I_C = \frac{\alpha I}{2}$$

ดังนั้นแรงดันทั้งหมดที่คอลเลตเตอร์จะเป็น

$$v_{C1} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_d}{2}$$

$$v_{C2} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_d}{2}$$

จำนวนในวงเล็บเป็นดีซีโวลท์เตจที่แต่ละคอลเลคเตอร์ของทั้งสอง

สัญญาณเอาท์พุทโวลท์เตจของดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์สามารถได้รับดิฟเฟอเรนท์เชียล (ระหว่างคอลเลคเตอร์ทั้ง 2) หรือ ซิงเกิ้ล-เอน (ระหว่างหนึ่งคอลเลคเตอร์และกราวน์) ถ้าผลลัพธ์ได้รับดิฟเฟอเรนท์เชียล ดังนั้นจะได้ดิฟเฟอเรนท์เชียลเกน(ซึ่งตรงกันข้ามกับคอมมอนโหมดเกน)ของดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์จะเป็น

$$A_d = \frac{v_{C1} - v_{C2}}{v_d} = -g_m R_C$$

ในทางตรงกันข้าม ถ้าเราได้รับเอาท์พุทซิงเกิ้ล-เอน(ระหว่างคอลเลคเตอร์ของ Q_1 กับกราวน์) ดังนั้นดิฟเฟอเรนท์เชียลเกนจะถูกกำหนดโดย

$$A_d = \frac{v_{C1}}{v_d} = -\tfrac{1}{2} g_m R_C$$

สำหรับดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์พร้อมความต้านทานในอิมิตเตอร์จะนำ (ในรูป 2.17) ดิฟเฟอเรนท์เชียลเกน เมื่อผลลัพธ์ได้รับดิฟเฟอเรนท์เชียลโดยกำหนดได้เป็น

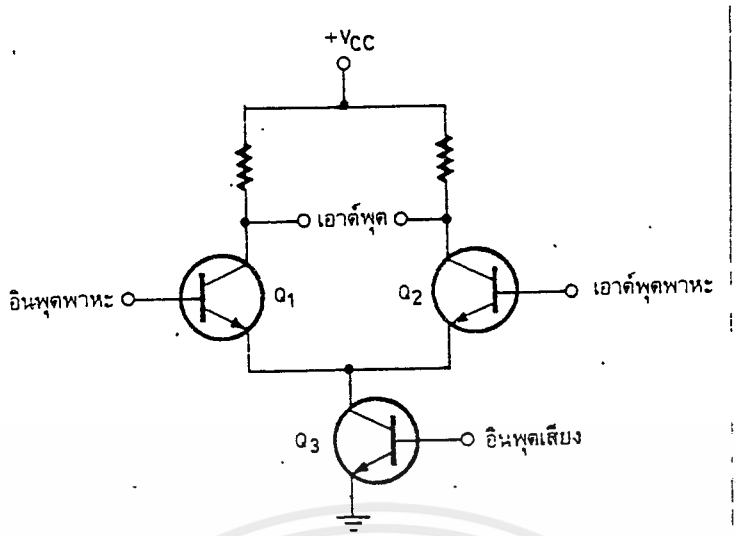
$$A_d = -\frac{\alpha(2R_C)}{2r_e + 2R_E} = -\frac{R_C}{r_e + R_E}$$

สมการนี้เป็นที่รู้จักกันดี ซึ่งกำหนดโวลท์เตจเกนจะเท่ากับอัตราส่วนของการต้านทานทั้งหมดในกระแสคอลเลคเตอร์($2R_C$) ต่อ การต้านทานทั้งหมดในกระแสอิมิตเตอร์ ($2r_e + 2R_E$)

2.6 บาลานซ์มอดูเลเตอร์

วงจรอีกแบบหนึ่งที่เหมาะที่จะนำมาใช้เป็น BM ก็คือ วงจรดิฟเฟอเรนท์เชียล(รูปที่ 2.23) Q_3 เป็นแหล่งจ่ายกระแสให้แก่ Q_1 กับ Q_2 ถ้าสัญญาณ RF ป้อนให้แก่ Q_1 และ Q_2 มีเฟสตรงกัน กระแสไหลในทรานซิสเตอร์ทั้งคู่ก็จะเท่ากัน และไม่มีแรงดันผลต่างเกิดขึ้นที่เอาท์พุท สภาวะนี้เป็นการกำจัดโหมดร่วมของวงจร พาหะจึงหักล้างกันเองหมดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 บาลานซ์ทรานซิสเตอร์ที่ใช้วงจรดิฟเฟอเรนท์เชียล

เมื่อป้อนสัญญาณเสียงที่เบสของ Q_3 สมดุลของวงจรจะเสียไป ทำให้สัญญาณเสียงและ RF เกิดการผสมกันขึ้นที่ Q_1 กับ Q_2 การผสมแบบนอนลิเนียร์นี้ทำให้เกิดไซด์แบนด์ขึ้นที่เอาท์พุท อย่างไรก็ตามพาหะก็ยังเป็นศูนย์เช่นเดิม เนื่องจากสัญญาณโหมดร่วมถูกกำจัดออกไปตามที่อธิบายมาในตอนต้น

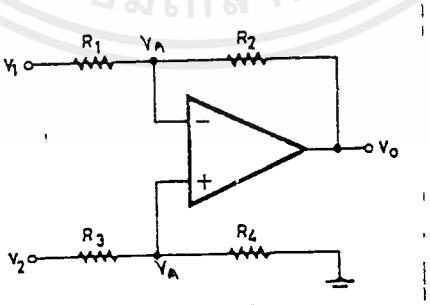
2.7 วงจรขยายผลต่าง

รูปที่ 2.24 แสดงการใช้วงจรออปแอมป์เป็นวงจรขยายผลต่าง นั่นคือแรงดันขาออก Vo ขึ้นอยู่กับผลต่างระหว่างแรงดันขาเข้า V1 และ V2 จากวงจรทั่วไปในรูป 2.24 เราสามารถคำนวณแรงดันขาออกโดยใช้ทฤษฎีบทของการซ้อนทับ (superposition) ดังนี้

จากคุณสมบัติของออปแอมป์

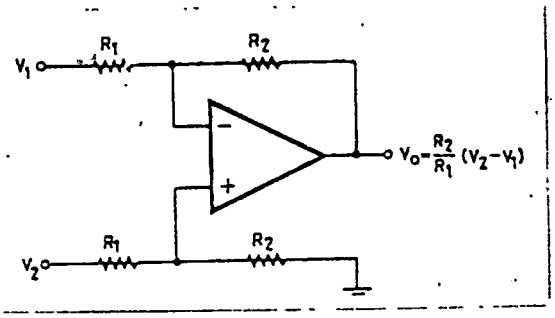
- กระแสไหลเข้าขั้ว +,- เป็นศูนย์
- ความต่างศักย์ตกคร่อมอินพุทเป็นศูนย์

$$Vo = -(R1/R2)\,V1 + R4/(R3+R4) * [(R1+R2)/R1]V2$$



รูป 2.24 (ก)วงจรขยายผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.24 (ข)วงจรขยายผลต่างที่มีอัตราส่วนความต้านทานเท่ากัน

ในกรณีที่อัตราส่วนความต้านทานเท่ากัน หรือ R1/R2 = R3/R4 ดังรูป (2.24ข) จะได้

Vo = - R1/R2(V1 - V2)

เมื่อ เปรียบเทียบกับสมการก่อนหน้านี้ จะเห็นว่าในกรณีอุดมคติ วงจรขยายจะให้อัตราขยายผลร่วม Ac= 0 และอัตราขยายผลต่าง Ad ที่มีค่าจำกัดเท่ากับ - R2/R1

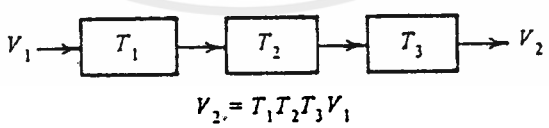
2.8 วงจรกรองสัญญาณความถี่ต่ำแบบบัตเตอร์เวิร์ท

2.8.1 วงจรกรองสัญญาณความถี่ต่ำในทางอุดมคติ

สัญญาณอินพุทบรรจุสัญญาณความถี่ต่ำและสัญญาณที่ไม่ต้องการความถี่สูง เพื่อกำจัดสัญญาณเหลือเพียงสัญญาณความถี่ต่ำ ต้องมีวงจรกรองสัญญาณที่สามารถผ่านความถี่ต่ำและกำจัดความถี่สูง มีแรงดัน V_i บรรจุสัญญาณความถี่ต่ำ ต้องการออกแบบวงจรกรองสัญญาณให้ส่งผ่านสัญญาณโดยแอมปลิจูดไม่เปลี่ยนแปลง

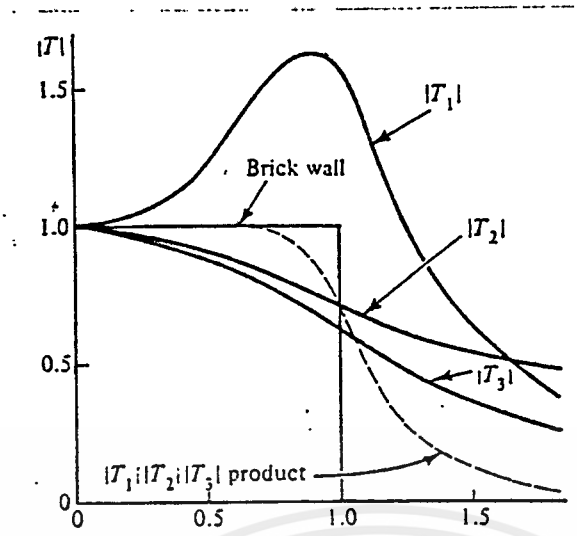
ในการพิจารณาคุณสมบัติของวงจรกรองสัญญาณในอุดมคติ เราพบว่าถ้าความถี่นอร์มอลไลซ์ $\omega_0 = 1$ และแอมปลิจูด $T(j\omega)$ เป็นค่าคงที่ เหนือความถี่ดังกล่าวจะมีแอมปลิจูดเป็น 0 ในส่วนของสต็อบแบนด์ เราต้องการ n-pole โรลออฟเมื่อ n เป็นเลขจำนวนมาก เราต้องการให้มีการเปลี่ยนแปลงระหว่างพาสแบนด์สู่สต็อบแบนด์มากเท่าที่จะเป็นไปได้

วิธีการที่เราจะต้องใช้เพื่อเข้าสู่ปัญหานี้ แสดงดังรูป 2.25 และ 2.26 สมมุติเราใช้การต่อแบบแคสโคด จะมีทรานเฟอร์ฟังก์ชั่นรวม T ซึ่งเท่ากับผลคูณของ $T_1T_2T_3$ โดยทรานเฟอร์ฟังก์ชั่นรวมแสดงเป็นเส้นประในรูป 2.26 ทรานเฟอร์ฟังก์ชั่นแต่ละส่วนจะมีค่า ω_0 ที่เหมือนกัน แต่มีค่า Q ที่ต่างกัน



รูปที่ 2.25การต่อแบบแคสโคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 กราฟแสดงผลตอบสนองทางความถี่ของวงจรแคสโคด

2.8.2 ผลตอบสนองของบัตเตอร์เวิร์ด

กำหนดให้ส่วนจริงและส่วนจินตภาพของทรานเฟอร์ฟังก์ชั่นเชิงซ้อนดังสมการ

$$T(j\omega) = \mathrm{Re}(T(j\omega) + j\,\mathrm{Im}(T(j\omega)'$$

แทน $j\omega$ ด้วย $-j\omega$

$$T(-j\omega) = \mathrm{Re}(T(-j\omega) - j\,\mathrm{Im}(j\omega)$$

ซึ่ง ฟังก์ชั่น ดังสมการข้างต้น เป็นคอนจูเกตของ $T(j\omega)$

$$T(-j\omega) = T^*(j\omega)$$

$$T(j\omega)T^*(j\omega) = (\mathrm{Re}\,T)^2 + (\mathrm{Im}\,T)^2 = |T(j\omega)|^2$$

$$|T(j\omega)|^2 = T(j\omega)T(-j\omega)$$

แทน $s = j\omega$ ดังนั้น

$$|T(j\omega)|^2 = T(s)T(-s)$$

โดยขนาดกำลังสองของฟังก์ชั่นเป็นฟังก์ชั่นคู่ $|T(j\omega)|^2 = |T(-j\omega)|^2$ ถ้าแสดงขนาดกำลังสองของฟังก์ชั่นด้วยเศษส่วนของพหุนาม ทั้งเศษและส่วนของพหุนามต้องเป็นฟังก์ชั่นคู่ ให้เศษส่วนเป็นดังนี้

$$|T_n(j\omega)|^2 = \frac{A(\omega^2)}{B(\omega^2)}$$

เลือกให้รูปแบบง่ายๆสำหรับ $A(\omega^2)$ เป็นค่าคงที่ A_0 ดังนั้น

$$|T_n(j\omega)|^2 = \frac{A_0}{B_0 + B_2\omega^2 + B_4\omega^4 + \ldots + B_{2n}\omega^{2n}}$$

เหตุผลที่เลือกแบบนี้เพื่อที่จะทำให้โรลออฟของ $|T_n(j\omega)|$ มากสำหรับ n ที่มีค่ามากโดยการทำให้ความแตกต่างระหว่างดีกรีของ A และ ดีกรีของ B มีค่ามากเท่าที่เป็นไปได้ ดังนั้นเราจึงให้สัมประสิทธิของ B ทุกตัวยกเว้น B_0 และ B_n มีค่าเท่ากับ 0. $A_0 = B_0$, $T(j0) = 1$ และ

$$B_{2n} = \left(\frac{1}{\omega_0}\right)^{2n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$|T_n(j\omega)| = \frac{1}{\sqrt{1+\left(\omega/\omega_0\right)^{2n}}}$$

ผลตอบสนองนี้ถูกเรียกว่าผลตอบสนองบัตเตอร์เวิร์ท ให้ความถี่ถูกนอร์มอลไลซ์ที่ $\omega_0 = 1$ จะได้

$$|T_n(j\omega)| = \frac{1}{\sqrt{1+\omega^{2n}}}$$

2.8.3 ตำแหน่งของโพลแบบบัตเตอร์เวิร์ท

จุดประสงค์ต่อไปต้องหาตำแหน่งของโพลของผลตอบสนองแบบบัตเตอร์เวิร์ทโดยให้ $\omega = 1$ และ $\omega = s/j$:

$$T_n(s)T_n(-s) = \frac{1}{1+(s/j)^{2n}}$$

$$= \frac{1}{1+(-1)^n s^{2n}}$$

โพลของสมการข้างบน คือรากของสมการ

$$B_n(s)B_n(-s) = 1+(-1)^n s^{2n} = 0$$

เมื่อ B_n เป็น พหุนามของบัตเตอร์เวิร์ท

การแสดงผลเฉลยโดยพิจารณาบางตัวอย่าง

ให้ n=1 จะได้

$$1 - s^2 = (1+s)(1-s) = 0$$

ดังนั้นโพลจะอยู่ที่ s=+1,-1 โพลที่อยู่ทางครึ่งขวาของระนาบเป็นระบบที่ไม่เสถียร ดังนั้นจึงเลือกโพลที่อยู่ทางครึ่งซ้ายของระนาบ หา B_1 และ T_1 ได้เป็น

$$B_1 = s+1 \qquad \text{and} \qquad T_1 = \frac{1}{s+1}$$

ถ้าให้ n=2 จะได้

$$s^4 + 1 = 0 \qquad \text{or} \qquad s^4 = -1$$

ถ้าเราจะเขียน -1+j0 ในรูปของโพล่าร์

$$-1 = 1\angle 180° + k360°$$

สำหรับค่าจำนวนเต็ม k และ k=0, 1, 2, ..., 2n-1 จะได้มุมจากสมการนี้คือ

$$\theta_k = \frac{180° + k360°}{4} = 45°, 135°, 225°, 315°$$

พิจารณาเหมือนกรณีที่ n=1 จะได้

$$\psi_k = 135°, 225°$$

โดยที่ ψ_k เป็นมุมที่อยู่ในครึ่งซ้ายของระนาบ

$$B_2(s) = (s + 0.707 + j0.707)(s + 0.707 - j0.707) = s^2 + \sqrt{2}s + 1$$

$$T_2 = \frac{1}{s^2 + \sqrt{2}s + 1}$$

จากการคำนวณจะได้

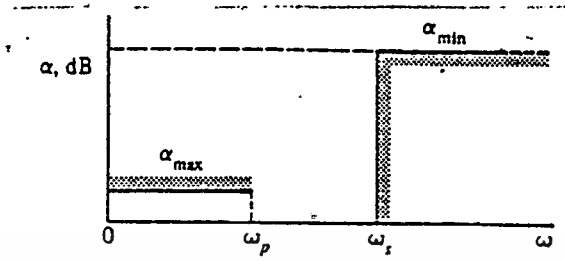
$$Q = \frac{1}{2\cos\psi_k}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งของโพลอยู่ที่

$$\cos\psi + j\sin\psi$$

2.8.4 ลักษณะเฉพาะของวงจรกรองความถี่



รูปที่ 2.27แสดงลักษณะเฉพาะของวงจรกรองความถี่

กำหนดให้

$$\alpha = -A \quad \text{dB}$$

เมื่อ

$$A = 20\log|T(j\omega)| \quad \text{dB}$$

การออกแบบวงจรกรองความถี่ต่ำนั้น จะต้องให้คุณลักษณะดังรูป 2.27 สำหรับพาสแบนด์ซึ่งมี ω =0 ถึง $\omega = \omega_p$ จะต้องลดทอนไม่เกินค่า α_{max} จาก ω_p ถึง ω_s เป็นช่วงที่ใช้ในการส่งผ่านและคุณลักษณะจาก ω_s รวมไปถึงความถี่ที่สูงกว่าทุกความถี่ การลดทอนจะต้องไม่น้อยกว่า α_{min} นำข้อมูลที่ได้นี้ไปหาค่า n และ ω_0 จะได้

$$\alpha = 10\log\left[1+\left(\frac{\omega}{\omega_0}\right)^{2n}\right] \quad \text{dB}$$

$$10^{\alpha/10} = 1+\left(\frac{\omega}{\omega_0}\right)^{2n}$$

$$\omega_0 = \frac{\omega_p}{\left[10^{\alpha_{max}/10}-1\right]^{1/2n}}$$

การพิจารณา n แทนค่าของ α และ ω ได้เป็น

$$\left(\frac{\omega_p}{\omega_0}\right)^{2n} = 10^{\alpha_{max}/10}-1$$

$$\left(\frac{\omega_s}{\omega_0}\right)^{2n} = 10^{\alpha_{min}/10}-1$$

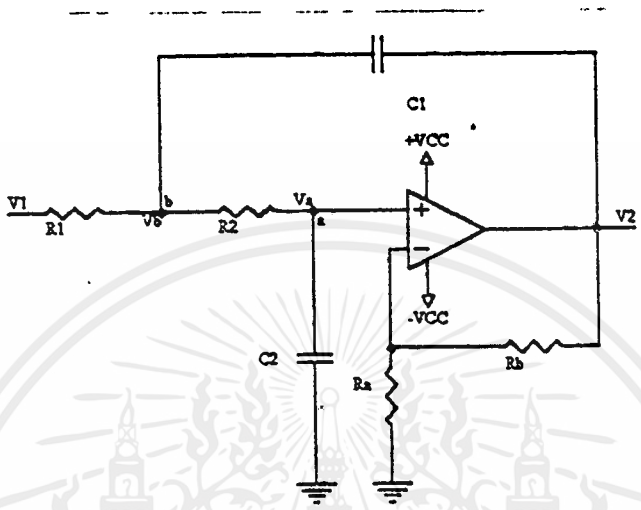
$$\left(\frac{\omega_s}{\omega_p}\right)^{2n} = \frac{10^{\alpha_{min}/10}-1}{10^{\alpha_{max}/10}-1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n = \frac{\log\left[\left(10^{\alpha_{min}/10} - 1\right)\Big/\left(10^{\alpha_{max}/10} - 1\right)\right]}{2\log\left(\omega_s/\omega_p\right)}$$

เมื่อคำนวณค่า n ได้แล้วก็คำนวณหา ω_0 ตำแหน่งของโพล และค่า Q ของวงจรเพื่อสร้างวงจรต่อไป

2.8.5 วงจร Sallen and Key



รูปที่ 2.28 วงจร Sallen and Key

วงจรแสดงดังรูป 2.28 เป็นหนึ่งในหลายวงจรที่ถูกอธิบายโดย Sallen และ Key ในวงจรนี้ วงจรออปแอมป์แบบไม่กลับเฟส ให้ความสัมพันธ์ค่าคงที่ระหว่าง V2 และ Va ดังสมการ

$$\frac{V_2}{V_a} = 1 + \frac{R_b}{R_a} = K$$

ที่โหนด a ผลรวมของกระแสที่ไหลออกจากโหนดต้องเท่ากับ 0 หรือ

$$\frac{1}{R_2}\left(\frac{V_2}{K} - V_b\right) + \left(\frac{V_2}{K} - 0\right)C_2 s = 0$$

ในทำนองเดียวกัน ผลรวมของกระแสที่โหนด b คือ

$$\frac{1}{R_2}\left(V_b - \frac{V_2}{K}\right) + C_1 s\left(V_b - V_2\right) + \frac{1}{R_1}\left(V_b - V_1\right) = 0$$

จัดรูปของสมการเพื่อหาผลเฉลยได้ดังนี้

$$\left(\frac{1}{R_1} + \frac{1}{R_2} + C_1 s\right)V_b - \frac{1}{R_2}\frac{V_2}{K} = \frac{V_1}{R_1} + C_1 s V_2$$

$$-\frac{1}{R_2}V_b + \left(\frac{1}{R_2} + C_2 s\right)\frac{V_2}{K} = 0$$

กำจัดแรงดัน Vb และแก้สมการให้อยู่ในรูป V2/V1 = T ผลเฉลยคือ

$$T(s) = \frac{V_2}{V_1} = \frac{K / R_1 R_2 C_1 C_2}{s^2 + \left(1/R_1 C_1 + 1/R_2 C_1 + 1/R_2 C_2 - K/R_2 C_2\right)s + 1/R_1 R_2 C_1 C_2}$$

ทรานเฟอร์ฟังก์ชั่นในรูปแบบทั่วไปดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T(s) = \frac{K\omega^2}{s^2 + (\omega_0 / Q)s + \omega_0^2}$$

นำสมการ ข้างต้นมาเปรียบเทียบกันแล้วนำมาใช้ในการออกแบบโดยใช้พารามิเตอร์ที่หาได้แล้ว คือ ω_0 และ Q กำหนดค่า K จะได้วงจรออกแบบดังนี้

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$$

$$\frac{\omega_0}{Q} = \frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} + \frac{1}{R_2 C_2} - \frac{K}{R_2 C_2}$$

วงจรออกแบบ 1

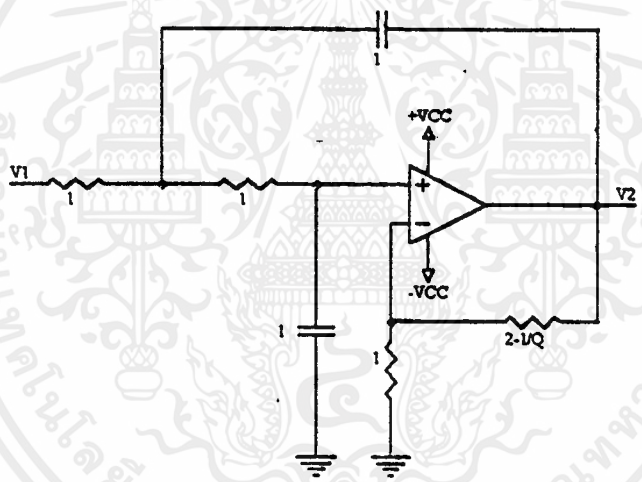
สำหรับการออกแบบนี้ กำหนดค่า ω_o=1, R1=R2=1, C1=C2=1 จะได้

$$K = 3 - \frac{1}{Q} = 1 + \frac{R_a}{R_b}$$

เลือกให้ Ra=1 ดังนั้น Rb จะถูกกำหนดโดย

$$R_b = 2 - \frac{1}{Q}$$

วงจรการออกแบบแสดงดังรูป 2.29



รูปที่ 2.29วงจรการออกแบบที่ 1

วงจรออกแบบ 2

เลือก K=1 ซึ่งจะทำให้ออปแอมป์แบบไม่กลับเฟสถูกแทนที่ด้วยโวลท์เตจฟอลโลเวอร์ ซึ่งแสดงดังรูป กำหนดให้ R1=R2=1 และω_0 =1 จะได้เงื่อนไข 2 ประการคือ

$$\frac{2}{C_1} = \frac{1}{Q} \quad \text{และ} \quad C_1 C_2 = 1$$

จากเงื่อนไขทั้ง 2 นี้ จะได้

$$C_1 = 2Q \quad \text{และ} \quad C_2 = \frac{1}{2Q}$$

วงจรการออกแบบนี้แสดงดังรูป 2.30

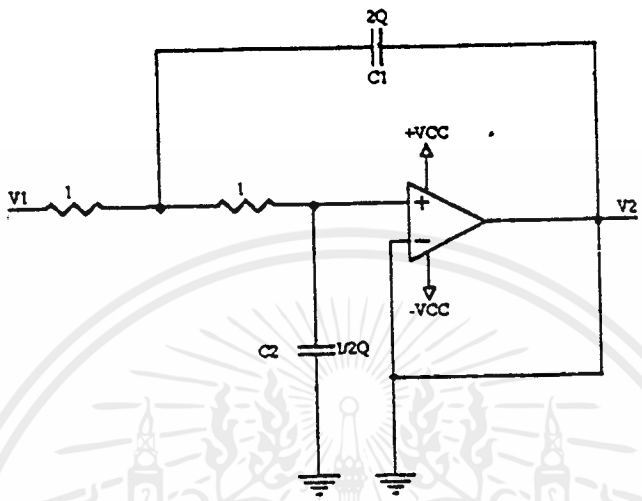
จากวงจรออกแบบทั้ง 2 เลือกใช้เพียงแบบเดียว วงจรที่ได้จะเป็นวงจรนอร์มอลไลซ์ จะต้องทำไปทำการสเกลลิ่ง เพื่อที่จะได้ค่า R,C ที่นำไปใช้งานจริงโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

โดยค่า Km คือค่าอินพุทอิมพีแดนซ์ของออปแอมป์ กำหนดประมาณ 1-100 กิโลโอห์ม และค่า Kf คือค่าสเกลลิ่งทางความถี่ซึ่งมีค่าเท่ากับ ω_0 ที่หาได้ในหัวข้อ 2.7.4



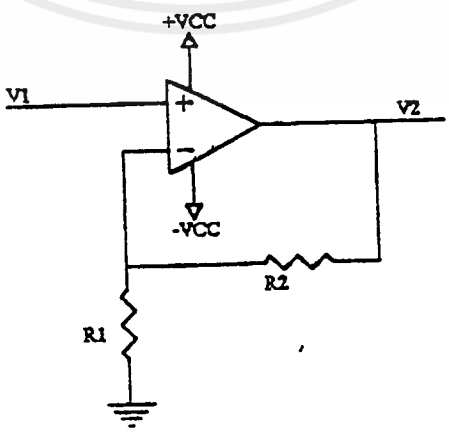
รูป 2.30 วงจรการออกแบบที่ 2

2.9 วงจรขยายแบบไม่กลับเฟส

จากรูป 2.31 เป็นรูปของวงจรขยายแบบไม่กลับเฟส ซึ่งมีค่าความต้านทานอินพุทสูงมาก และอัตราขยายแรงดันของวงจรจะกำหนดด้วยค่าตัวต้านทาน โดยจะเท่ากับค่าอัตราส่วนระหว่าง $R_1 + R_2$ กับ R_1

สิ่งที่ทำให้วงจรนี้แตกต่างจากวงจรขยายชนิดกลับคือเอาท์พุทเกิดขึ้นจะมีเฟสเดียวกับสัญญาณอินพุท นอกจากนี้วงจรนี้ยังให้ค่าความต้านทานอินพุทสูงมาก

ในขณะที่อินพุทอยู่ลอยๆเฉยๆจะเห็นได้ว่าจะทำให้เอาท์พุทเกิดการอิ่มตัวทันทีนั้นหมายความว่าระดับแรงดันเอาท์พุทจะเป็นค่าเท่ากับแรงดันไฟเลี้ยงด้านบวกทันที



รูปที่ 2.31 วงจรขยายแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10วงจรแบนด์พาสฟิลเตอร์ (BPF)

BPF มีช่วงความถี่ผ่านอยู่ระหว่างความถี่คัตออฟ 2 ความถี่คือ f_H และ f_L ที่ซึ่ง ความถี่อินพุทอื่นใดนอกเหนือช่วงความถี่ผ่านนี้จะถูกลดทอนไป

โดยทั่วไป มี BPF อยู่ 2 ชนิดคือ วายด์แบนด์พาส(WBPF) และแนโรว์แบนด์พาส(NBPF) เราจะนิยาม WBPF ถ้าค่าฟิกเกอร์ออฟเมอร์ริท หรือ ควอลิตี้แฟคเตอร์ :Q <10 ในทางตรงข้าม ถ้าQ >10 เราจะเรียกว่า NBPF ดังนั้นค่า Q เป็นตัววัดค่า ซีเลคทิวิตี้ หมายความว่ายิ่งค่า Q สูงมากเท่าใด ค่าซีเลคทิวิตี้จะยิงมากหรือ แบนด์วิทจะยิ่งแคบลง ความสัมพันธ์ระหว่างค่า Q ,3-dB Bandwidth และเซนเตอร์ฟรีเควนซี่:fc เป็นดังสมการ

$$Q = f_C/BW = f_C/(f_H - f_L)$$

สำหรับ WBPF ค่า f_C นิยามได้ว่า

$$f_C = \sqrt{f_H f_L}$$

ซึ่ง f_H = คัทออฟฟรีเควนซี่ด้านสูง (Hz)

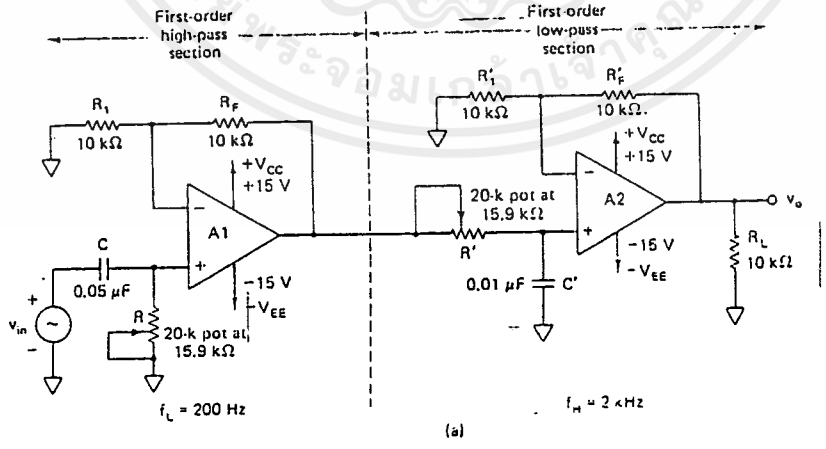
f_L = คัทออฟฟรีเควนซี่ด้านต่ำ(Hz)

ใน NBPF ค่าความต่างศักย์สูงสุดของเอาท์พุทเกิดที่ เซนเตอร์ฟรีเควนซี่

2.10.1วายด์แบนด์พาสฟิลเตอร์ (WBPF)

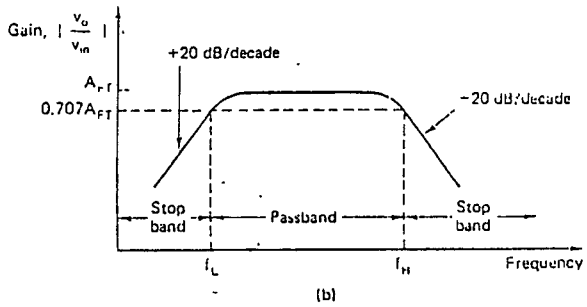
WBPF สามารถสร้างได้ง่ายๆโดยการต่อส่วน ช่วงความถี่สูงผ่าน และช่วงความถี่ต่ำผ่านเข้าด้วยกันและเป็นการออกแบบใช้งานพื้นฐาน เพื่อการสร้างวงจรแบนด์พาส 20 dB/decade จะทำการต่อ วงจรกรองความถี่ต่ำอันดับหนึ่ง และวงจรกรองความถี่สูงอันดับหนึ่ง ส่วนการสร้างแบนด์พาส dB/decade จะใช้วงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำอันดับสองมาต่อกันแบบอนุกรมซึ่งกล่าวได้อีกอย่างหนึ่งว่า อันดับของแบนด์พาสฟิลเตอร์ขึ้นอยู่กับอันดับของส่วนของ HPF,LPF

รูป2.32 แสดงWBPF +20 dB/decade ซึ่งประกอบด้วย HPF,LPF อันดับหนึ่งเพื่อการตอบสนองที่ถูกต้องของ BPF นั้น f_H ต้องมากกว่า f_L



รูปที่ 2.32 a แสดงWBPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 b แสดงผลตอบสนองความถี่ของ WBPF

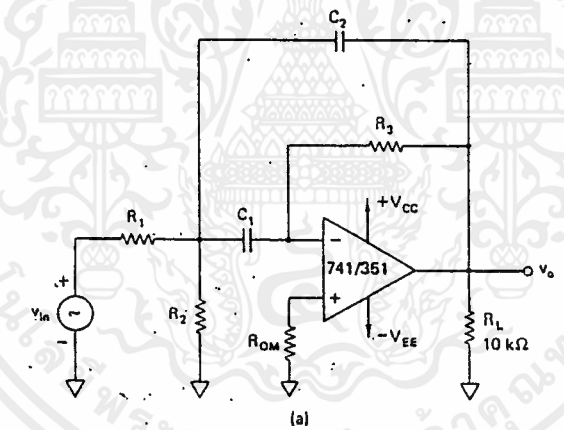
2.10.2แนโรว์แบนด์พาสฟิลเตอร์(NBPF)

สำหรับ NBPF ใช้การป้อนกลับแบบ มัลติเปิล ดังแสดงในรูป ซึ่งจากรูปเห็นว่าใช้ ออปแอมป์เพียงตัวเดียว เปรียบเทียบกับ ฟิลเตอร์ทั้งหลายแล้ว ฟิลเตอร์แบบนี้มีความแตกต่างคือ

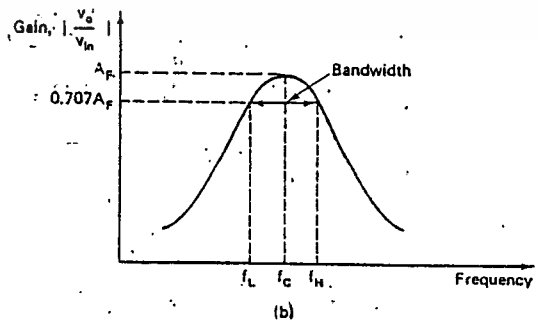
1> มีเส้นทางป้อนกลับ 2 เส้นจึงเรียกว่า มัลติเปิลฟีทแบคฟิลเตอร์

2> ออปแอมป์นี้ใช้งานใน อินเวอร์ติ้งโหมด

โดยทั่วไปแล้ว NBPF ถูกออกแบบสำหรับค่าเฉพาะของเซนเตอร์ฟรีเควนซี่และ ควอลิตี้แฟคเตอร์ หรือเซนเตอร์ฟรีเควนซีและแบนด์วิท ซึ่งส่วนประกอบของวงจรพิจารณาได้จากความสัมพันธ์ดังต่อไปนี้



รูปที่ 2.33 a แสดง NBPF



รูปที่ 2.33 b ผลตอบสนองความถี่ของNBPF

สำหรับการออกแบบทั่วๆไปเลือก $C_1 = C_2 = C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_1 = Q / (2\pi f_c C A_F)$$

$$R_2 = Q / (2\pi f_c C(2Q^2 - A_F))$$

$$R_3 = Q / \pi f_c C$$

ซึ่ง A_F เป็นอัตราขยายที่ f_c

$$A_F = R_3 / 2R_1$$

ซึ่งต้องอยู่ภายใต้เงื่อนไข

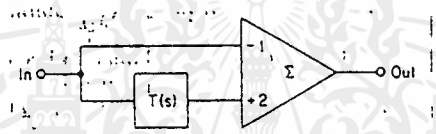
$$A_F < 2Q^2$$

ข้อดีของ BPF ป้อนกลับแบบ มัลติเปิลคือเซนเตอร์ฟรีเควนซี่สามารถเปลี่ยนได้โดยไม่มีการเปลี่ยนอัตราการขยายหรือแบนด์วิธ โดยการเปลี่ยน R_2 ดังนี้

$$R_2' = R_2 (f_C / f_C')^2$$

2.11 วงจรชิฟเฟส 90 องศา (ใช้ออปแอมป์)

ใช้ แอคทีฟออลพาส สตรัคเจอร์แบบ อับดับหนึ่ง



รูปที่ 2.34 วงจร แอคทีฟออลพาสฟิลเตอร์

ทรานเฟอร์ฟังก์ชันของวงจรรูป หาได้จาก

$$E_{out} / E_{in} = 2T(s) - 1$$

ถ้า T(s) คือ วงจรกรองความถี่สูง RC อันดับหนึ่งมทรานเฟอร์ฟังก์ชั่น sCR / (sCR +1) จะได้

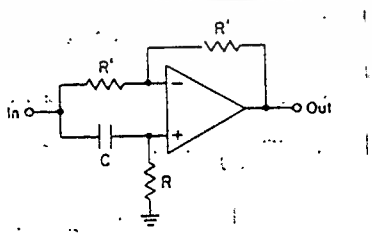
$$E_{out} / E_{in} = (s - 1/RC) / (s + 1/RC)$$

ซึ่งการอธิบายนี้อ้างถึง ออลพาสฟิลเตอร์ อันดับหนึ่ง ซึ่งสามารถหา ดีเลย์ได้จาก

$$Tgd = 2RC / (WRC)^2 + 1$$

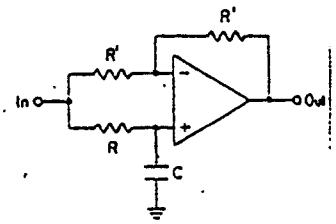
ที่ DC นั้นค่า ดีเลย์สูงสุดและคำนวณได้จาก

$$Tgd = 2RC$$



รูปที่ 2.35 a วงจร ชิฟเฟสแบบตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



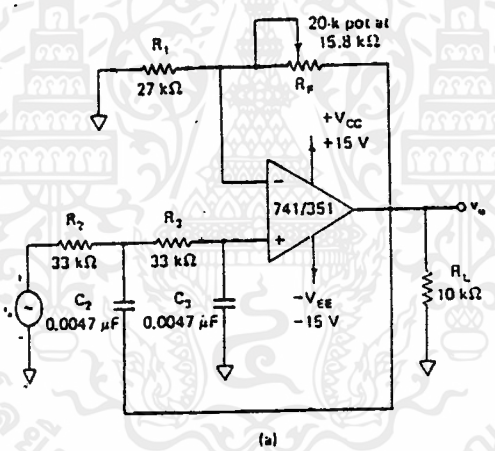
รูปที่ 2.35 b วงจรชิฟเฟสแบบนำ

จากรูป เฟสชิฟ 90 องศา เกิดขึ้นที่ w = 1/RC และเข้ามาใกล้ -180 องศาและ 0 องศาที่ DC และ w = อินฟินิทตามลำดับ โดยการใช้ตัวต้านทานปรับค่า วงจร ออลพาสสามารถปรับการเปลี่ยนการชิฟเฟส ได้ระหว่าง 0 - 180 องศา

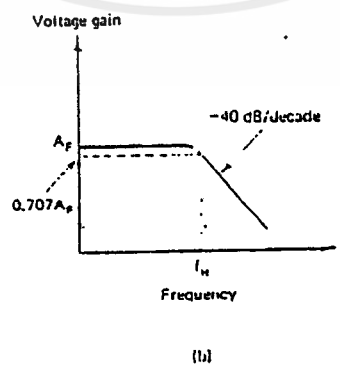
เฟสตรงข้ามจะเกิดขึ้นได้จากวงจรรูปb ซึ่งยังคงเป็นออลพาสอันดับหนึ่ง และค่า ดีเลย์ยังหาได้จากสมการเดิม

2.12 วงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ท

ผลตอบสนองทางความถี่ที่ได้จาก LPF อันดับสอง = 40 dB/decade ซึ่ง LPF อันดับหนึ่งสามารถเปลี่ยนได้เป็นอันดับสองโดยการเพิ่มส่วนของวงจร RC ดังรูป



รูปที่ 2.36 a วงจร LPF อันดับสอง



รูปที่2.36 b ผลตอบสนองความถี่ของ LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรฟิลเตอร์อันดับสองมีความสำคัญเนื่อง จากวงจรฟิลเตอร์อันดับสูงๆจะถูกสร้างขึ้นโดยใช้วงจรฟิลเตอร์อันดับสอง กำลังขยายของวงจรกำหนดได้จาก R_1 , R_F ขณะที่ เซนเตอร์ฟรีเควนซี่ค่าสูง ถูกกำหนดโดย R_2 , C_1 , R_3 , และ C_3 ดังนี้

$$f_H = 1 / 2\pi\sqrt{R_2R_3C_2C_3}$$

นอกจากนี้ สำหรับผลตอบสนองของ LPF อันดับสองขนาดของอัตราการขยายความต่างศักย์เป็นดังนี้

$$|Vo / Vin| = A_f / \sqrt{1 + (f/f_H)^4}$$

ซึ่ง $A_F = 1 + R_F / R_1$ = อัตราการขยายของช่วงความถี่ผ่านของฟิลเตอร์

f = ความถี่ของสัญญาณอินพุท (Hz)

f_H = คัทออฟฟรีเควนซี่ด้านสูง (Hz)

การออกแบบวงจร

นอกจากมีอัตราการลดลงเป็นสองเท่าของ LPF อันดับสองแล้ว ผลตอบสนองทางความถี่ของ LPF อันดับสองจะเหมือนกับ LPF อันดับหนึ่งทุกประการ ดังนั้นขั้นตอนการออกแบบจึงใช้ได้เหมือนกันดังนี้

1> เลือกค่า คัทออฟฟรีเควนซี่ด้านสูง : f_H

2> สำหรับการคำนวณทั่วๆไป กำหนด $R_2 = R_3 = R$ และ $C_2 = C_3 = C$ และเลือกค่า C ที่ไม่เกิน 1 μF

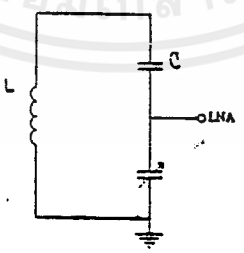
3> คำนวณค่า R โดยใช้สมการ

$$R = 1 / 2\pi f_H C$$

ท้ายสุดนั้น เนื่องจากการเท่ากันของความต้านทาน ($R_2 = R_3$) และตัวเก็บประจุ ($C_2 = C_3$) ค่าอัตราขยายแรงดันของช่วงความถี่ผ่าน $A_F = (1 + R_F / R_1)$ ของ LPF อันดับสองจะต้องเท่ากับ 1.586 นั่นคือ $R_F = 0.586R_1$ อัตราขยายนี้จำเป็นในการการันตีผลตอบสนองของบัทเตอร์เวิร์ท ควรเลือกค่า R_1 ไม่เกิน 100 kΩ แล้วจึงคำนวณค่า R_F

2.13วงจรสายอากาศ

โครงงานนี้ในส่วนของสายอากาศใช้ ลูปแอนเทนนา ที่เป็นแทงค์เซอร์กิต จูนความถี่ที่ต้องการคือ 139.875 เมกกะเฮิร์ตซึ่งมีวงจรดังรูป



รูปที่2.37วงจร สายอากาศ

จะคำนวณค่าต่างๆได้จากความสัมพันธ์

$$f_{res} = 1/ 2\pi\sqrt{LC}$$

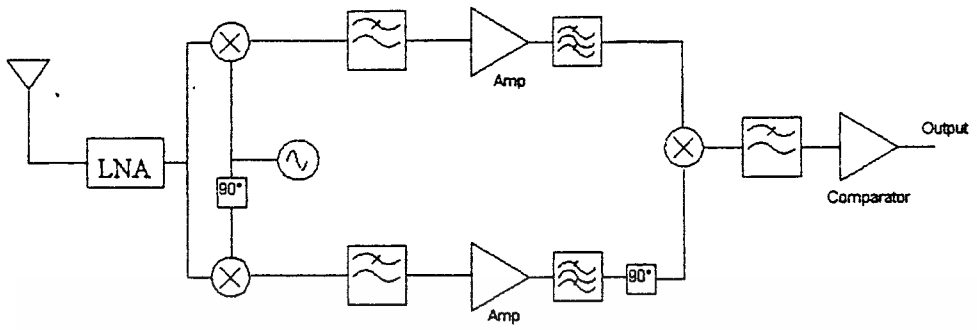
โดยการพันขดลวดค่าหนึ่งให้เป็นลูปที่มีขนาดไม่ใหญ่นัก นำไปหาค่าโดยใช้กริดมิเตอร์ แล้วจึงคำนวณค่า C ที่ต้องใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 บล็อกไดอะแกรมของระบบ



รูปที่ 3.1 บล็อกไดอะแกรมของระบบ

สมการทางคณิตศาสตร์แสดงการดีเทคพัลส์ข้อมูลจากสัญญาณ FSK เป็นดังนี้

สมมุติให้สัญญาณ $f(t) = \cos(\omega_m t)$

ด้านบน $f(t)\cos(\omega_c t) = \cos(\omega_m t)\cos(\omega_c t)$

$$= \frac{1}{2}\cos\{(\omega_m + \omega_c)t\} + \frac{1}{2}\cos\{(\omega_m - \omega_c)t\}$$

เมื่อผ่าน LPF ได้ $\phi_1 = \frac{1}{2}\cos\{(\omega_m - \omega_c)t\}$

ด้านล่าง $f(t)\cos(\omega_c t - \frac{\pi}{2}) = \frac{1}{2}\cos\left\{(\omega_m + \omega_c)t - \frac{\pi}{2}\right\} + \frac{1}{2}\cos\left\{(\omega_m - \omega_c)t - \frac{\pi}{2}\right\}$

เมื่อผ่าน LPF ได้ $\phi_2 = \frac{1}{2}\cos\left\{(\omega_m - \omega_c)t - \frac{\pi}{2}\right\}$

กรณีที่ 1 $f_m = 139.875MHz - 1KHz$

$$\phi_1 = \frac{1}{2}\cos\{-2\pi t\}$$

$$= \frac{1}{2}\cos\{2\pi t\}$$

$$\phi_2 = \frac{1}{2}\cos\left\{-2\pi t - \frac{\pi}{2}\right\}$$

$$= \frac{1}{2}\cos\left\{2\pi t + \frac{\pi}{2}\right\}$$

กรณีที่ 2 $f_m = 139.875MHz + 1KHz$

$$\phi_1 = \frac{1}{2}\cos\{2\pi t\}$$

$$\phi_2 = \frac{1}{2}\cos\left\{2\pi t - \frac{\pi}{2}\right\}$$

ในกรณีที่ 1 นั้นเมื่อผ่านวงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_1\phi_2 = \cos(\omega t)\cos(\omega t + \pi) = \frac{1}{2}\cos\left\{2\omega t + \pi\right\} + \frac{1}{2}\cos(-\pi)$$

เมื่อผ่าน LPF $= -\frac{1}{2}(DC)$

ในกรณีที่ 2 นั้นเมื่อผ่านวงจรบาลานซ์มอดูเลเตอร์

$$\phi_1\phi_2 = \cos(\omega t)\cos(\omega t) = \frac{1}{2}\cos\{2\omega t\} + \frac{1}{2}\cos(0)$$

เมื่อผ่านวงจร LPF $= \frac{1}{2}$ (DC)

ดังนั้นเมื่อสัญญาณ FSK ซึ่งเป็นสัญญาณความถี่ 139.875 เมกะเฮิร์ต +/- 1กิโลเฮิร์ต เข้ามาทาง อินพุทสามารถดีเทคดาต้าพัลส์ออกมาได้

3.2 การออกแบบวงจร LNA

ในการออกแบบเราใช้ทรานซิสเตอร์ BFG540W ในการสร้างวงจร LNA ที่ความถี่ 139.875 MHz จากดาต้าชีทสามารถหา S พารามิเตอร์ออกมาได้ดังนี้

S11 = $0.65\angle -51^\circ$ = 0.40906 - j0.50514

S21 = $5.0\angle 149^\circ$ = -4.28583 + j2.57519

S12 = $0.02\angle 64^\circ$ = 0.008767 + j0.0179

S22 = $0.65\angle -30^\circ$ = 0.562916 - j0.325

จากสมการ 2-22 D_s = $S11.S22 - S12.S21$

= $0.392\angle -67.5^\circ$

จากสมการ 2-23 K = $(1 + |D_s|^2 - |S11|^2 - |S22|^2)/2|S21||S12|$

= 0.308/0.2 = 1.54

$\therefore$ K > 1 คือเสถียรโดยปราศจากเงื่อนไขจึงไม่จำเป็นต้องหาวงกลมเสถียรภาพ

$\therefore$ จากสมการ 2-33

$G_{p,max}$ = $\{|S21| / |S12|\}\ [K - \sqrt{K^2 - 1}]$

= 92.21

= 19.64dB

เลือก Gp = 17 dB = 50.1

$\therefore$ gp = $Gp/|S21|^2$ = 2

ดังนั้นสามารถพล็อตวงกลมอัตราขยายกำลังงาน ได้โดย ใช้สมการ 2-30 หารัศมี และสมการ 2-32 หาจุดศูนย์กลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(รัศมีของวงกลม) Rp = 0.424

(เส้นผ่าศูนย์กลาง)Cp = $0.529\angle 38.42^\circ$

แล้วนำไปเขียน วงกลมของอัตราขยายกำลังงาน บนสมิทชาร์ทได้ดังรูป 3.2 ทำการเลือกค่า Γ_L:สัมประสิทธิ์การสะท้อนของโหลดภายในวงกลม อัตราขยายกำลังงาน = $0.12\angle 60^\circ$และเลือกค่า Γ_s:สัมประสิทธิ์การสะท้อนของแหล่งกำเนิดจากวงกลมนอยส์ฟิกเกอร์ในดาต้าชีทที่ประมาณ 1.5dB ได้ = $0.44\angle 60^\circ$ แล้วแทนค่าทั้งสองในสมการ1-7 ทำการคำนวณโดยโปรแกรมคอมพิวเตอร์ได้ Gt $\approx$ 16dB

การแมทช์ซิ่ง

จากค่าสัมประสิทธิ์การสะท้อนของแหล่งกำเนิดและโหลดที่คำนวณได้คือ

$\Gamma_L = 0.12\angle 60^\circ = 0.06 + j0.1039$

$\Gamma_s = 0.44\angle 60^\circ = 0.22 + j0.38105$

จาก $Z_x = Z_o (1 + \Gamma)/(1 - \Gamma)$

จะได้ว่า

$Z_l = Z_o (1 + \Gamma_L)/(1 - \Gamma_L)$

$= 56.31\angle 11.908^\circ = 55.098 + j11.619$

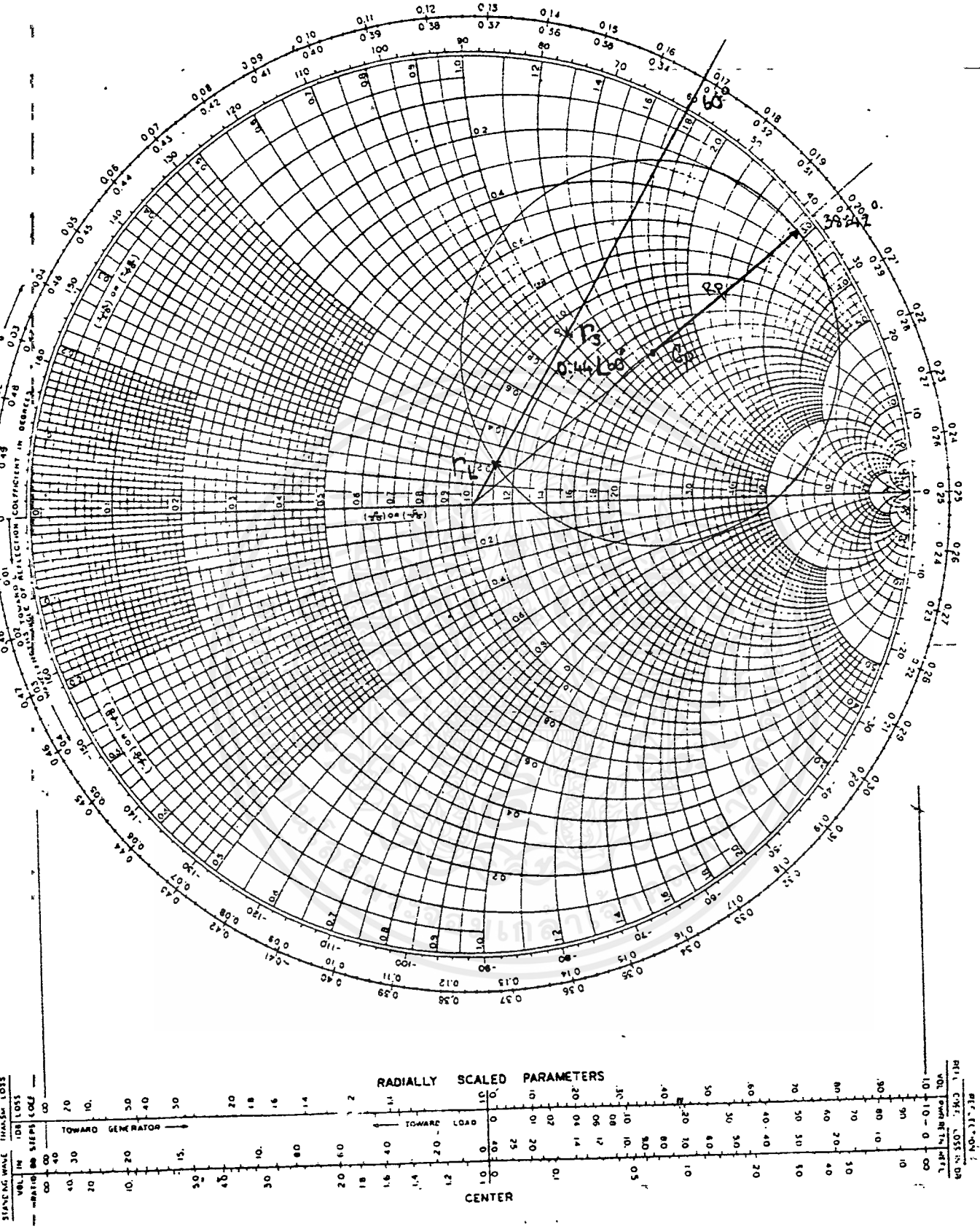
$Z_s = Z_o (1 + \Gamma_s)/(1 - \Gamma_s)$

$= 73.156\angle 43.375 = 52.937 + j50.491$

การแมทช์ซิ่งทางด้านอินพุท

$Y = 1/Z_s = 1/ 73.156\angle 43.375 = 0.0093 - j0.00938$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงกลมอัตราขยายกำลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ Rl = 100.64Ω ; Xc = -j106.52

Qs = Qp = $\sqrt{(Rp/Rs) - 1}$ = 1.01

Qs = Xs/Rs ; Xs = j50.54

Qp = Rp/Xp ; Xp = -j99.64

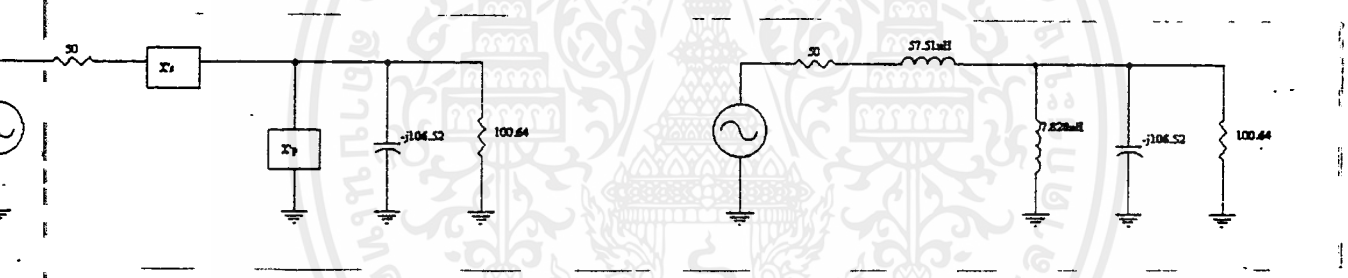
∴ X'p - j106.52 = -j99.64

X'p = j6.88 = $2\pi * 139.875 * 10^{6} * L$

L = 7.828 nH #

X's = j50.54 = $2\pi * 139.875 * 10^{6} * L$

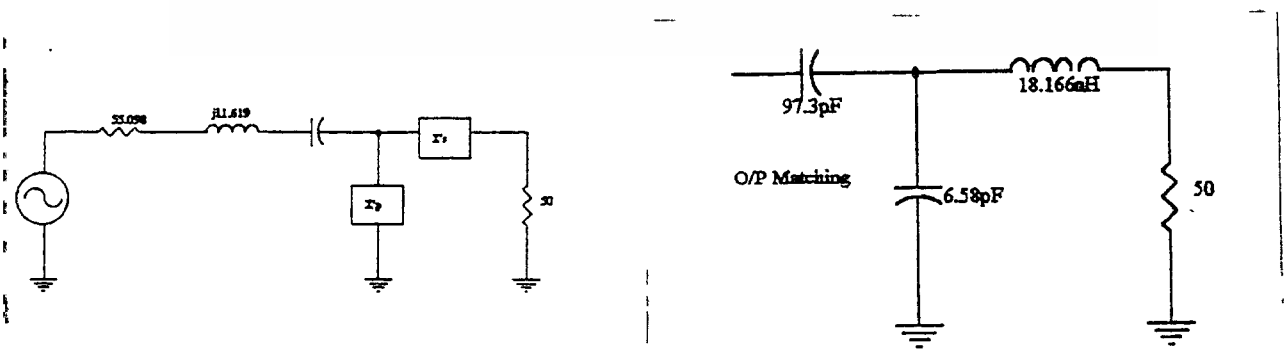
L = 57.51 nH # (ได้ดังรูป3.3 ข)



รูปที่ 3.3 วงจรแมทซ์ชิ่งทางด้านอินพุท

การแมทซ์ชิ่งทางเอาท์พุท

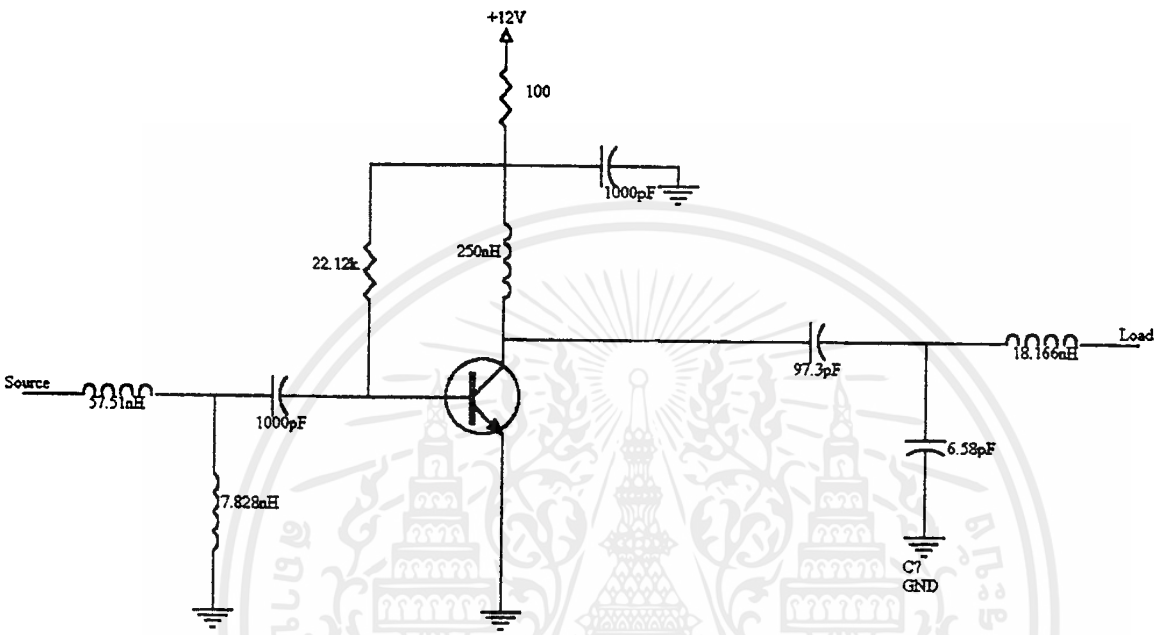
ด้วยวิธีการที่คล้ายคลึงกับการแมทซ์ทางด้านอินพุทโดยคำนวณจาก Zl จะได้วงจรดังรูป 3.4



รูป 3.4 การแมทซ์ชิ่งทางเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจะได้วงจร LNA ที่มีการไบอัสและแมทซ์ชิ่งทางด้านอินพุทและเอาท์พุทเป็นดังรูป 3.5



รูป 3.5 วงจรรวมของ LNA

3.3 การออกแบบโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO)

จากหลักการในบทที่ 2 สามารถสรุปเป็นขั้นตอนการออกแบบได้ดังนี้ ใช้วงจรดังรูปที่ 3.6

1. กำหนดความถี่และกำลังงานที่ต้องการ (ปรกติประมาณ 10 mW)

2. เลือกทรานซิสเตอร์ที่มี f_T อย่างน้อยมากกว่า 2 เท่าของความถี่ที่ใช้

3. เลือกทรานซิสเตอร์ที่สามารถทนการสูญเสียได้มากกว่า 4 เท่าของกำลังงานที่ต้องการ และสามารถทนแรงดันและกระแสสูงสุดได้

4. กำหนดค่า Q (ควรมากกว่า 50 เพื่อให้ T.H.D.มีค่าน้อย)

5. กำหนดค่า R_L' (สำหรับย่าน VHF ควรสูงกว่า 1 k)

6. หาค่า C_t และ L_t

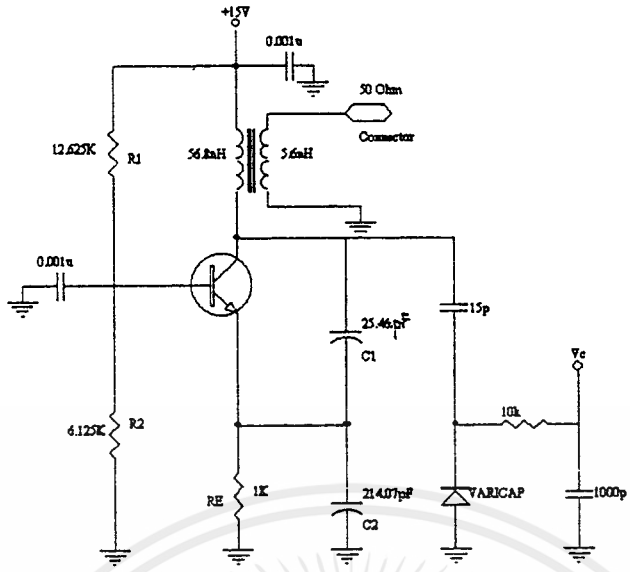
$$C_t = Q/(2\pi f_0 R_0) \quad , \quad R_0 = R_L' / 2$$

$$L_t = 1/ (2\pi f_0)^2 C_t$$

7. หาค่า I_{CQ}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{CQ} = (8P_L / R_L')^{1/2}$$



รูปที่ 3.6 วงจร VCO

8. กำหนด R_i

$$R_i = R_e + r_e$$

$$r_e = 0.026 / I_{CQ}$$

9. หาค่าอัตราส่วนของแรงดันของคาปาซิทีฟโวลท์เตจดีวายเดอร์(N) เนื่องจากค่า R_p ของ L นั้นหาได้ยาก ดังนั้นจึงละทิ้งไว้ก่อน ซึ่งในทางปฏิบัติถ้าไม่เลือกค่า Q มากเกินไปก็จะไม่ทำให้ผลการออกแบบผิดพลาดมากเกินไป

$$N \approx (R_L' / R_i)^{1/2}$$

10. เลือกค่า C_f (ใช้ปรับความถี่)

$$C_t = C_S + C_f + C_{CB}$$

C_{CB} คือค่าคาปาซิเตอร์ระหว่างขาเบสและคอลเลคเตอร์ของทรานซิสเตอร์(ทราบจากดาต้าชีทของทรานซิสเตอร์) เราจะเลือก C_S ประมาณ 50 %ของ C_t

11. หาค่า C_1 และ C_2

$$C_1 = NC_S/N\text{-}1$$

$$C_2 = NC_S$$

12. กำหนดค่า R_E

R_E เป็นความต้านทานไบอัสที่ขาอิมิตเตอร์ ควรมีค่ามากกว่า 500 โอห์ม

13. หาค่า $V_{CC\ min}$

$$V_{CBQ} = I_{CQ} R_0$$

$$V_{CC\ min} = V_{CBQ} + V_{BE} + I_{CQ} (R_E + R_e)$$

$$V_{BE} = 0.7\ V$$

14. หาค่า R_1 , R_2

$$V_E = I_{CQ} (R_E + R_e)$$

$$V_B = V_E + V_{BE}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกกระแสบรีดเดอร์ควรมีค่ามากกว่า 1/10 ของ I_{CQ}

$$R_2 = V_B / I_{bleeder}$$

$$R_1 = (V_{CC} - V_B) / I_{bleeder}$$

ในการออกแบบวงจรออสซิลเลเตอร์เราจะกำหนดค่าต่าง ๆ ดังนี้

f = 139.875 Mhz

P = 10 mW

$R_L = 50\ \Omega$

Q = 50

$R_0 = R_L'/2 = 2.5\ K\Omega$

$R_e = 50\ \Omega$,$R_E = 1K\Omega$

จะได้ $R_1 = 12.625\ K\Omega$,$R_2 = 6.125\ K\Omega$

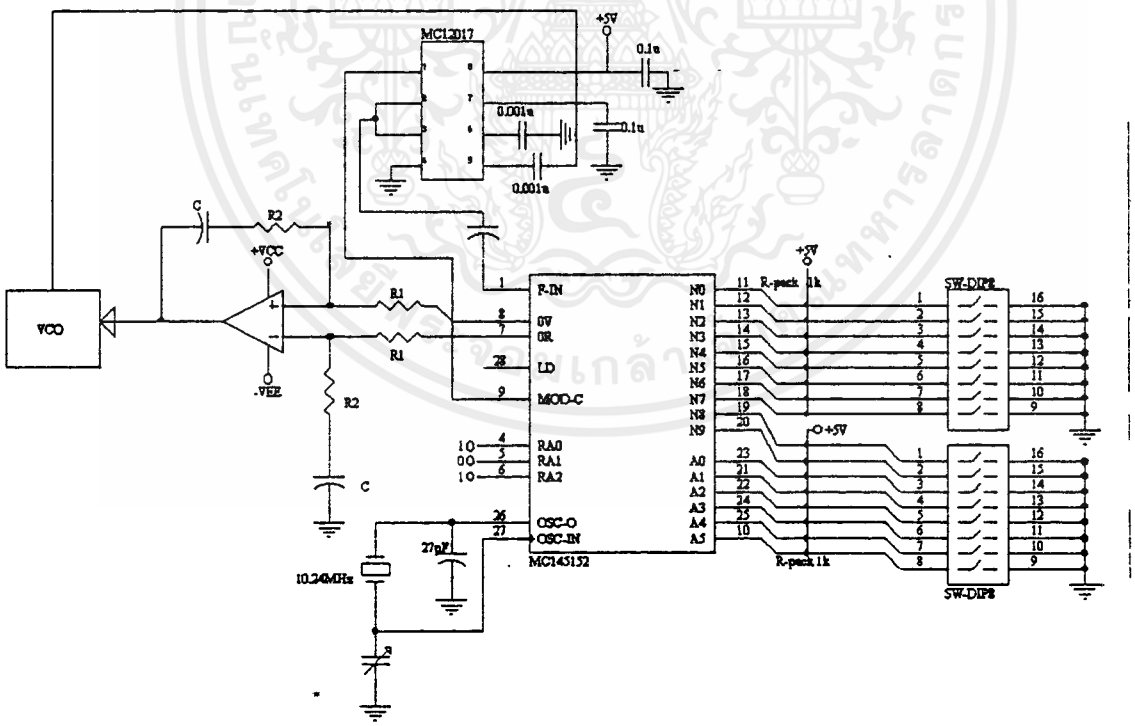
$V_{CC\ min} = 14.7$ V

$C_1 = 25.46$ pF ,$C_2 = 214.46$ pF

L = 56.89 nH

จะได้วงจรที่มีค่าต่างๆตามรูป 3.6

3.4 การออกแบบวงจรเฟสล็อคลูป



รูปที่ 3.7 วงจรเฟสล็อคลูปโดยใช้ IC เบอร์ MC145152

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 เราได้ออกแบบวงจรเฟสล็อคลูปโดยใช้ IC เบอร์ MC145152 ซึ่งใช้ค่าตัวหารที่มีการโปรแกรมทั้งหมด 16 บิต คือ ตัวหาร N 10 บิต และ ตัวหาร A 6 บิต มีตัวหาร R ใช้เป็นตัวหารคริสตัลให้เป็นความถี่อ้างอิง และใช้ตัวหารพรีสเกลโดย IC เบอร์ MC12017 ซึ่งมีค่าหาร P = 64

การคำนวณการโปรแกรมตัวหาร N และตัวหาร A ได้มาจากดังสมการ

Nt = ความถี่ที่เข้าสู่พรีสเกล / ความถี่อ้างอิง = N*P + A

โดยที่ความถี่อ้างอิงที่ใช้เป็น 10 kHz และความถี่ที่เข้าสู่พรีสเกล (ความถี่ที่ต้องการ) เป็น 139.875 MHz ดังนั้นจะได้

N = 218 หรือ 0011011010

และ A = 35 หรือ 100011

ในส่วนของลูปฟิลเตอร์ซึ่งอยู่ในรูปที่ 3.7 มีการคำนวณดังนี้

$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\xi = \frac{\omega_n R_2 C}{2}$$

โดยที่ N คือค่าตัวหารที่ได้โปรแกรมไว้

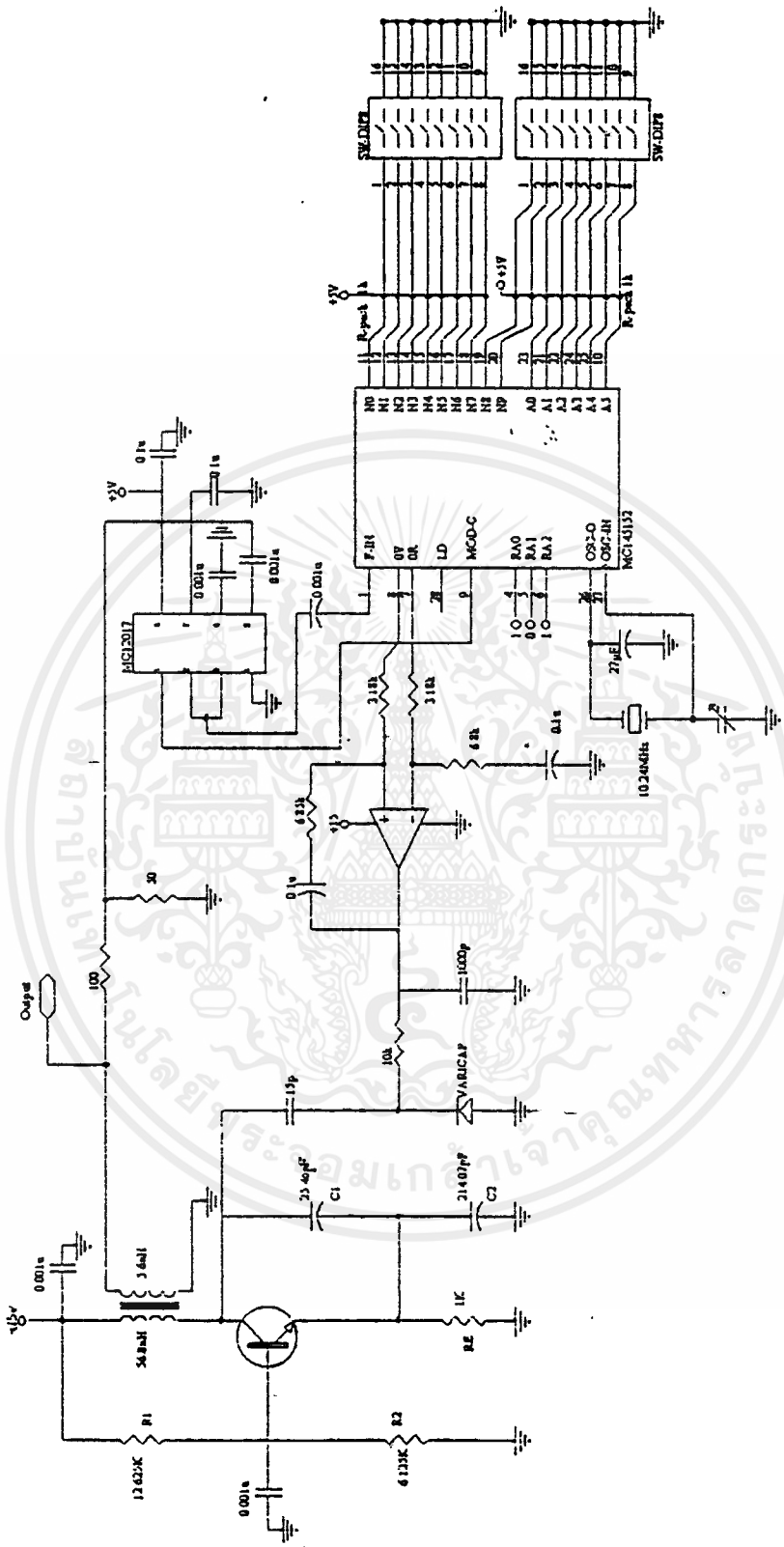
$$K_\phi = \frac{V_{DD}}{2\pi}$$

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$$

$$\omega_n \approx \frac{2\pi f_r}{10} \qquad \xi \cong 1$$

จากการคำนวณทั้งหมดจะได้วงจรเฟสล็อคลูปที่สมบรูณ์ดังรูปที่ 3.8

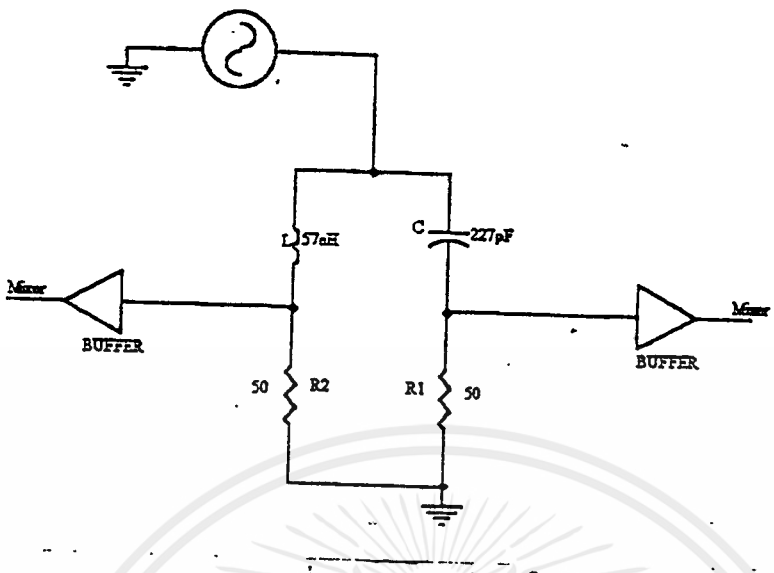
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรชิฟเฟส



รูปที่ 3.9 วงจรชิฟเฟส 90°

จากรูปที่ 3.9 สามารถออกแบบจากการคำนวณดังต่อไปนี้

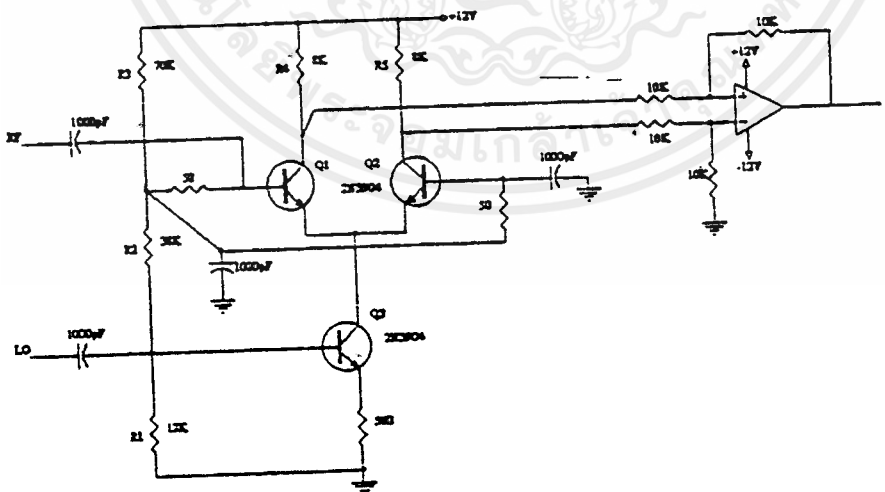
$$X_C = R = 50\Omega$$

$$\therefore C = 1/2\pi * 139.875MHz * 50\Omega = 22.75 \text{ pF}$$

$$X_l = R = 50\Omega$$

$$\therefore L = (1/2\pi * 139.875MHz) * 50\Omega = 57 \text{ nH}$$

3.6 การออกแบบวงจรคูณสัญญาณ



รูปที่ 3.10 วงจรคูณสัญญาณ

จากรูปที่ 3.10 สามารถออกแบบวงจรได้ค่าดังต่อไปนี้

พิจารณา Q_3 ; $V_E = 0.5$, $R_E = 500\ \Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\therefore I_{EE} = 0.5/500 = 1mA = I_C$

$I_C = \beta I_b \quad ; \beta = 10$

$\therefore I_b = 0.1\ mA \quad ; V_b = 0.5 + V_{BE} = 1.2\ V$

จะได้ค่า R1 $= 1.2/0.1x10^{-3} = 12\ k\Omega$

พิจารณา Q_1 , Q_2 ; จาก $V_{CE} = 3\ V$

$\therefore V_E$ ของ Q_1 ; $Q_2 = 1.2\ V + V_{BC} = 4.2\ V$

$V_b = 4.2 + 0.7 = 5\ V$

จะได้ค่า R2 $= (5-12)/0.1x10^{-3} = 38\ k\Omega$

R3 $= (12-5)/0.1x10^{-3} = 70\ k\Omega$

จาก $V_C = 5+3 = 8\ V$

จะได้ R4 = R5 $= (12-8)/0.5x10^{-3} = 8\ k\Omega$

3.7 การออกแบบวงจรกรองสัญญาณความถี่ต่ำ

ออกแบบวงจรกรองความถี่ต่ำที่มีผลตอบสนองแบบบัตเตอร์เวิร์ท โดย n=6 และ $f_c = 5$ kHz มีวิธีการออกแบบดังนี้

3.7.1 หาตำแหน่งของโพล

$$1 + (-1)^n s^{2n} = 0$$

แทนค่า n=6 จะได้

$$1 + s^{12} = 0$$

$$s^{12} = -1 = 1\angle 180° + k360°$$

$$\theta_k = (180° + k360°)/12$$

$$\Psi_k = 105°, 135°, 165°, 195°, 225°, 255°$$

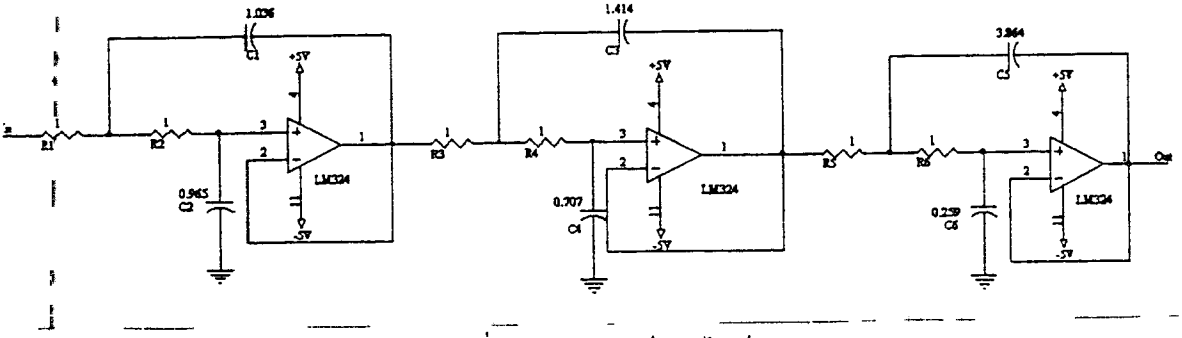
ดังนั้นตำแหน่งของโพลอยู่ที่ -0.966±j0.258, -0.707±j0.707, -0.258±j0.966 และได้ค่า Q ของวงจรคือ 0.518, 0.707, 1.932

ดังนั้นต้องออกแบบวงจร 3 วงจรที่มีค่า ω_o เดียวกันคือ $2*\pi*f_c$ kHz และค่า Q ของวงจรเท่ากับ 0.518, 0.707 และ 1.932

3.7.2 ออกแบบวงจร

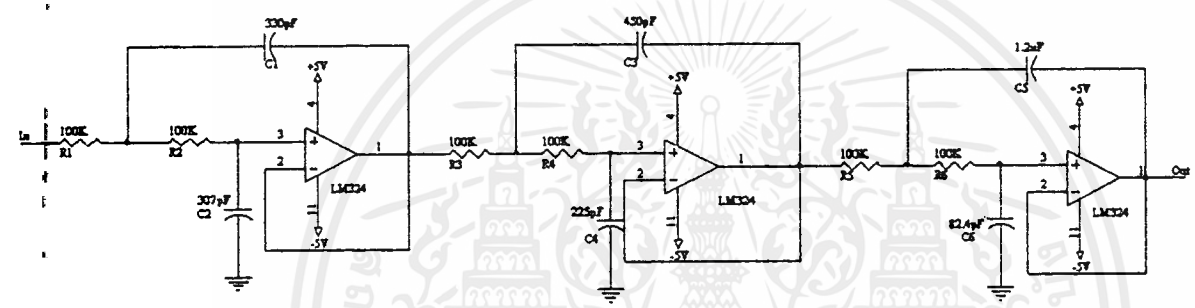
ใช้วงจร Sallen and Key ในการออกแบบโดยใช้วงจรการออกแบบ 2 ดังรูป 2.25 จะได้วงจรนอร์มอลไลซ์ดังรูป 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรนอร์มอลไลซ์ของวงจร LPF

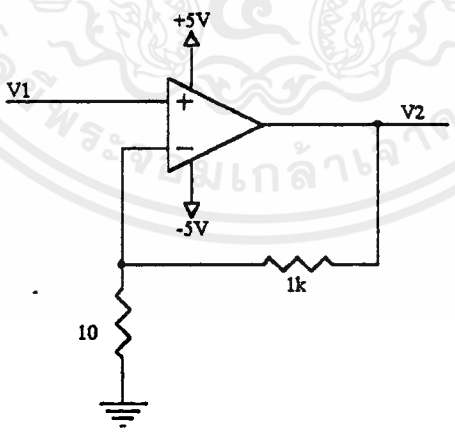
จากวงจรนอร์มอลไลซ์ทำการสเกลลิ่งโดยให้ K_m = 100 kΩ และ K_f = 2*π*5000 Hz จะได้วงจรที่ใช้งานดังรูป 3.12



รูปที่ 3.12 วงจรที่ใช้งานของ LPF

3.8 การออกแบบวงจรขยายสัญญาณ

ใช้ออปแอมป์ชนิดไม่กลับเฟสในการออกแบบวงจรดังรูป 3.13



รูปที่ 3.13 วงจรออปแอมป์ชนิดไม่กลับเฟส

Gain = $1+R_2/R_1$

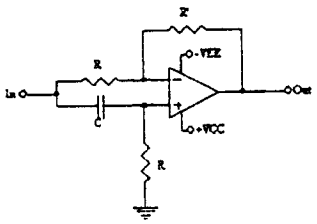
ใช้ $R_1 = 10\Omega$, $R_2 = 1k\Omega$

$\therefore$ gain = 1+1000/10 = 101 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกแบบวงจร ชิฟเฟส 90 องศา(โดยใช้ออลพาสฟิลเตอร์)

ใช้ในส่วนของการเมคดิชชั่น เพื่อนำพัลส์ข้อมูลออกมา



รูปที่ 3.14 วงจรชิฟเฟส

จากรูปใช้ $R' = 50\ \Omega$

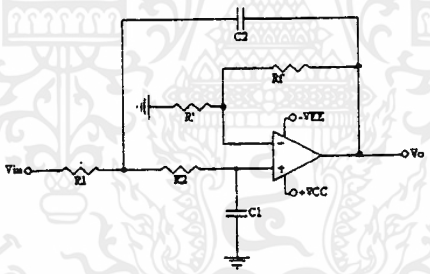
เนื่องจากการที่วงจรจะชิฟเฟส 90 องศานั้น $w = 1 / RC$

กำหนด $C = 0.1\ \mu F$

R ใช้ $150\ k\Omega$ ต่ออนุกรมกับ ความต้านทานปรับค่า $1\ k\Omega$

3.10 การออกแบบวงจรกรองความถี่ต่ำอันดับสอง

ใช้กรองสัญญาณจากวงจร บาลานซ์มอทดูเลเตอร์ ที่มีความถี่ของข่าวสารข้อมูลผสมอยู่กับความถี่สองเท่าของ สัญญาณ IF



รูปที่ 3.15 วงจร LPF

จากสมการความสัมพันธ์

$$f_H = 1 / 2\pi\sqrt{R_1R_2C_1C_2}$$

ใช้ $R_1 = R_2 = 1\ M\Omega$

$C_1 = 100\ pF$

$C_2 = 2C_1 = 200pF$

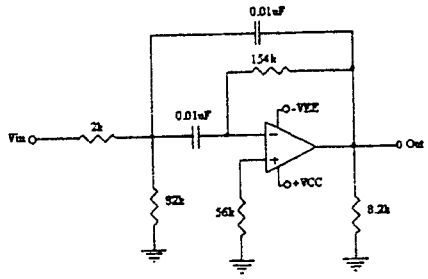
$\therefore\ f_H = 1 / 2\pi RC\sqrt{2}$

ดังนั้นจึงใช้กรองความถี่ 2 เท่าของ IF (ประมาณ 3 กิโลเฮิร์ต) ออกจากข้อมูลข่าวสารได้

3.11 การออกแบบวงจรแบนด์พาสฟิลเตอร์

ใช้ในการเพิ่ม เซนซิติวิตี้ ของเครื่องรับ เพื่อกำจัดสัญญาณรบกวนออกจากความถี่ IF โดยมีอัตราขยายภายใน 40 เท่า และยังกำจัดไฟตรงที่ปนมากับความถี่ IF แล้วจึงนำไปขยายก่อนเข้าวงจร บาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรBPF

กำหนด f_C = 1 kHz ; Q = 5 ; A_F = 40

$C_2 = C_1 = C = 0.01\mu F$

R_1 = $Q / (2\pi f_c C A_F)$

= $5 / 2\pi * 10^{3} * 10^{-8} * 40$ = 1.48 kΩ (2 kΩ)

R_2 = $Q / (2\pi f_C C(2Q^{2} - A_F))$

= $5 / 2\pi * 10^{3} * 10^{-8} * (50-40)$

= 7.95 kΩ (8 kΩ)

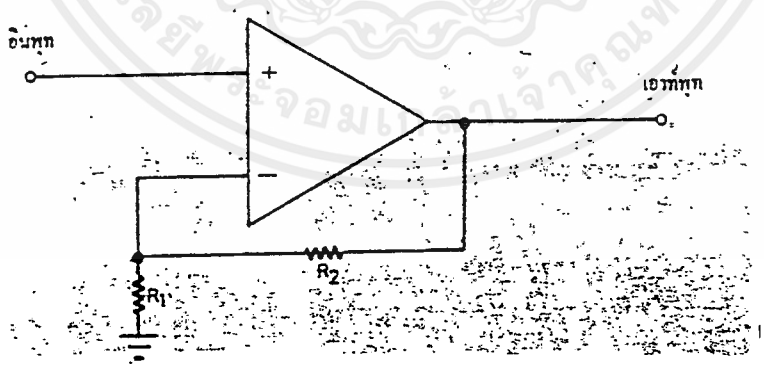
R_3 = $Q / \pi f_c C$

= $5 / 2\pi * 10^{3} * 10^{-8}$

= 159.15 kΩ (154 kΩ)

3.12 การออกแบบวงจรขยาย

ใช้ขยายสัญญาณ IF ที่ได้จาก BPF เพื่อให้แรงขึ้นจนสามารถขับวงจร บาลานซ์มอดูเลเตอร์ ให้ทำงานได้



รูปที่ 3.17 วงจรขยาย

ต้องการกำลังขยาย 60 เท่า

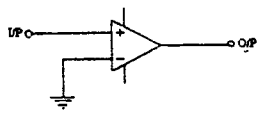
จาก $(R_1 + R_2)/ R_1$ = 60

กำหนด R_1 = 68 Ω

R_2 ≈ 3.9 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.13 การออกแบบวงจรคอมพาราเตอร์

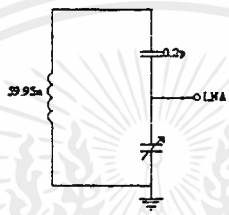


รูปที่ 3.18 วงจรคอมพาราเตอร์

เนื่องจากสัญญาณข่าวสารที่ได้จาก LPF อันดับสองยังมี ไฟตรงปนอยู่จึงต้องใช้ ตัวเก็บประจุกำจัดไฟตรงก่อนเข้าตัวคอมพาราเตอร์ที่มี เทรชโฮล = 0 โวลต์ (กราวด์) ได้เป็นพัลส์ข้อมูลข่าวสารตามต้องการ

3.14 การออกแบบวงจรสายอากาศ

ใช้รับสัญญาณวิทยุ 139.875 เมกะเฮิร์ต จากอากาศมีวงจรดังรูป



รูปที่ 3.19 วงจรสายอากาศ

โดยการนำเส้นลวดมาทำเป็นลูปขนาดไม่ใหญ่นักแล้ววัดค่าโดยใช้กริดมิเตอร์ได้ = 59.95 นาโนเฮนรี่ และจาก $f_{res} = 1/2\pi\sqrt{LC}$

จะได้ $C_1 = 12$ pF

แล้วใช้ C_2 ปรับค่าจนจูนได้ความถี่ใกล้เคียงกับ 139.875 เมกกะเฮิร์ต แล้วต่อเข้ากับวงจร LNA โดยตรง คือนำส่วนแมทชิ่งทางด้านอินพุทของ LNA ออกไปแล้วต่อเข้ากับสายอากาศ

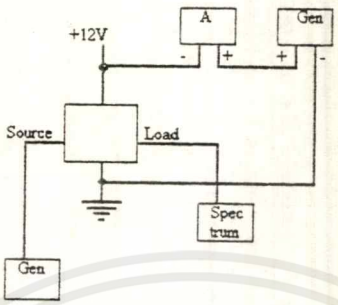
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

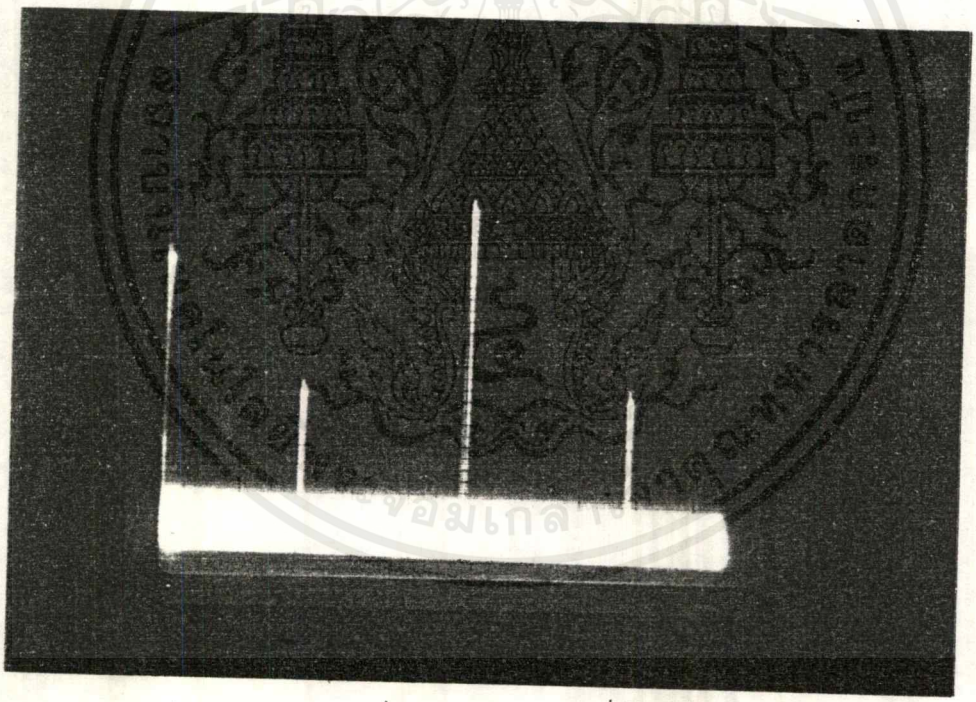
4.1 ผลการทดลองของวงจร LNA

ในการทดสอบวงจร LNA นั้นมีการจัดอุปกรณ์ดังรูป



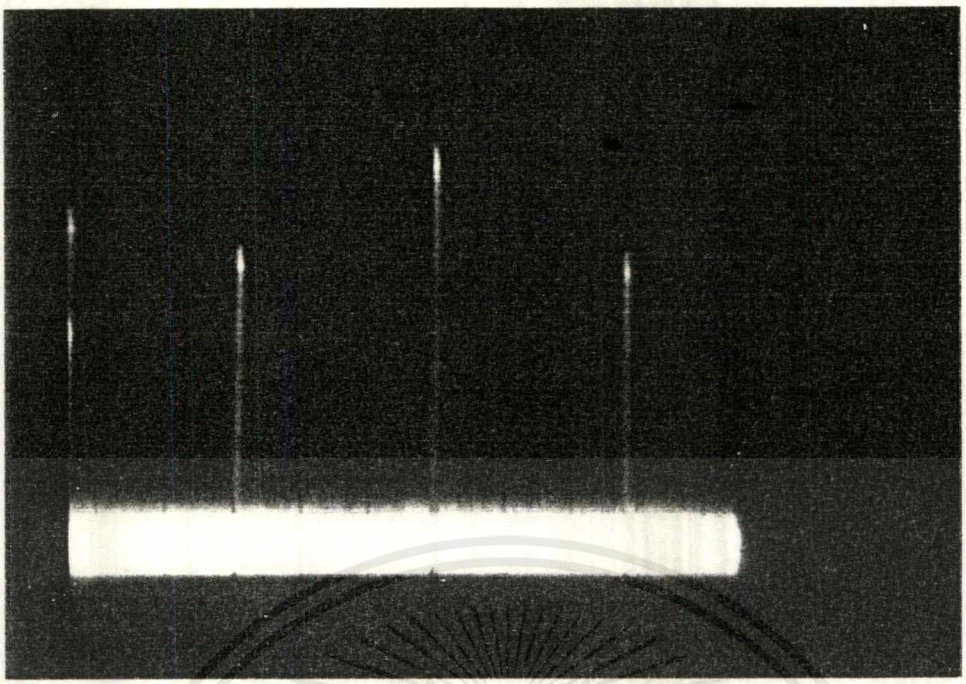
รูปที่ 4.1 การจัดอุปกรณ์เพื่อทดสอบวงจร LNA

จากแอมป์มิเตอร์วัดกระแส I_c ได้ประมาณ 40 mA และจากเครื่อง Spectrum Analyzer ได้อัตราขยายของวงจร LNA ประมาณ 17 dB และไม่มีความถี่อื่นเกิดขึ้น จึงสรุปได้ว่า วงจรนี้เสถียรดังรูป 4.3



รูปที่ 4.2 สัญญาณความถี่วิทยุ 139.875 MHz ที่ป้อนเข้าวงจร LNA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 สัญญาณเอาท์พุทจากวงจร LNA ที่มีอัตราขยายประมาณ 17 dB

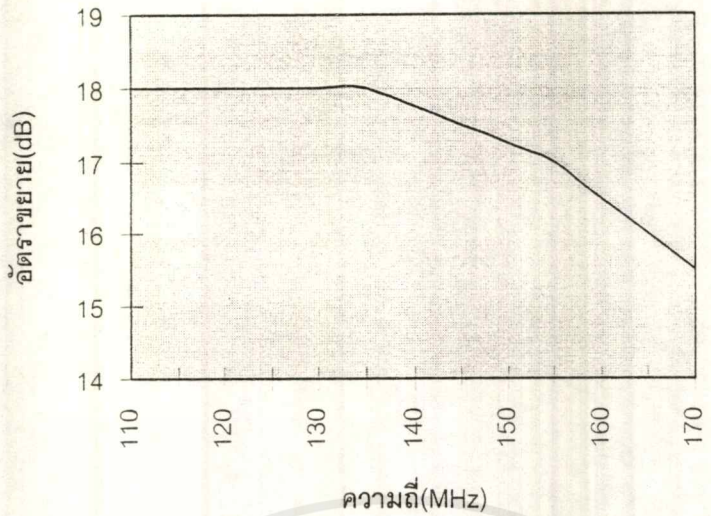
เราสามารถพิจารณาผลตอบสนองทางความถี่ของวงจร LNA ได้ดังตาราง 4.1

ความถี่ (MHz)	อัตราขยาย(dB)
110	18
115	18
120	18
125	18
130	18
135	18
140	17.75
145	17.5
150	17.25
155	17
160	16.5
165	16
170	15.5

ตารางที่ 4.1

จากข้อมูลที่ได้ดังตารางที่ 4.1 สามารถนำมาพล็อตกราฟ ได้ดังรูป 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 กราฟแสดงผลตอบสนองทางความถี่ของวงจร LNA

4.2 ผลการทดลองของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO)

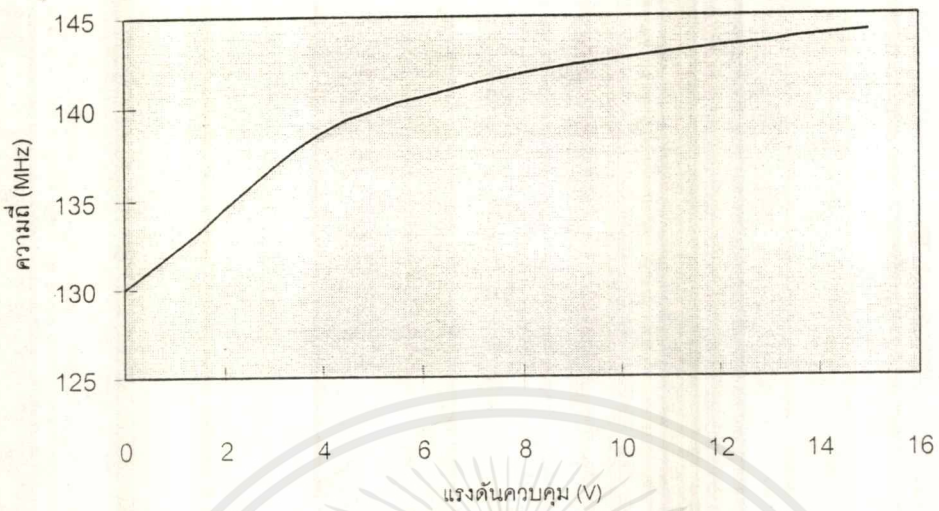
จากการออกแบบวงจร VCO เมื่อป้อนแรงดัน +15V และแรงดันควบคุม 0-15 V จะได้ผลการทดลองดังตารางที่ 4.2

แรงดันควบคุม (V)	ความถี่ที่วัดได้ (MHz)
0	129.94
1	132.12
2	134.50
3	136.71
4	138.66
5	139.84
6	140.62
7	141.26
8	141.78
9	142.25
10	142.65
11	142.97
12	143.30
13	143.58
14	143.84
15	144.10

ตารางที่ 4.2 แสดงความสัมพันธ์ระหว่างแรงดันควบคุมและความถี่ของวงจร VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

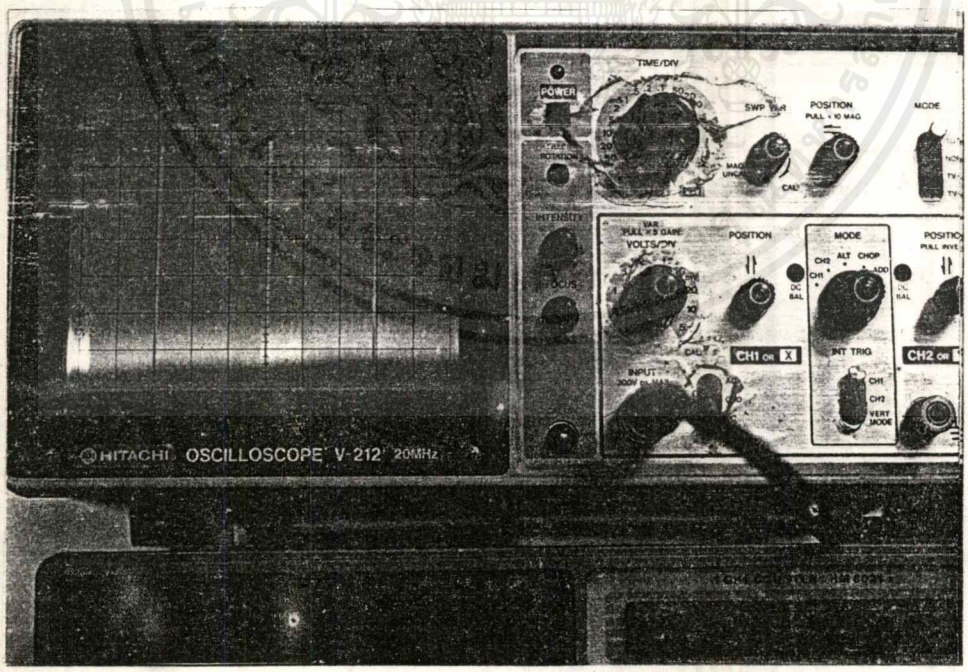
จากตารางที่ 4.2 นำมาพล็อตกราฟจะได้ดังรูป 4.5



รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมและความถี่ของวงจร VCO

4.3 ผลการทดลองของวงจรเฟสล็อกลูป

จากการทดลองโดยป้อนแรงดัน +15V เข้าวงจร VCO และ +5V เข้าที่ IC เบอร์ MC145152 จะพบว่าความถี่ล็อคที่ความถี่ 139.87 MHz ดังแสดงในรูป 4.6

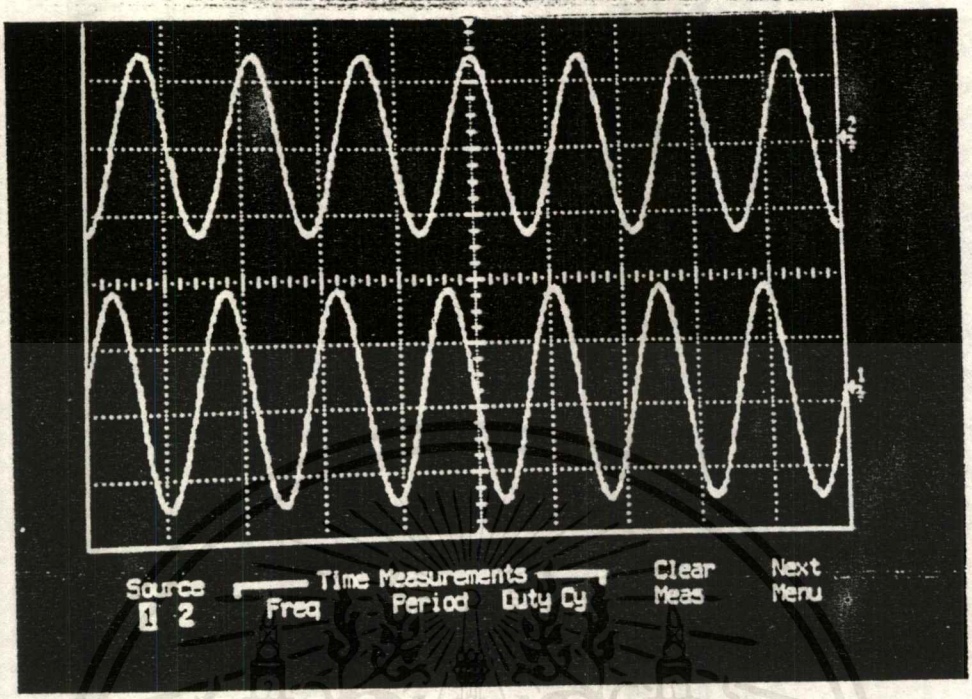


รูปที่ 4.6 แสดงการล็อคความถี่ที่ความถี่ 139.87 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองของวงจรชิฟเฟส

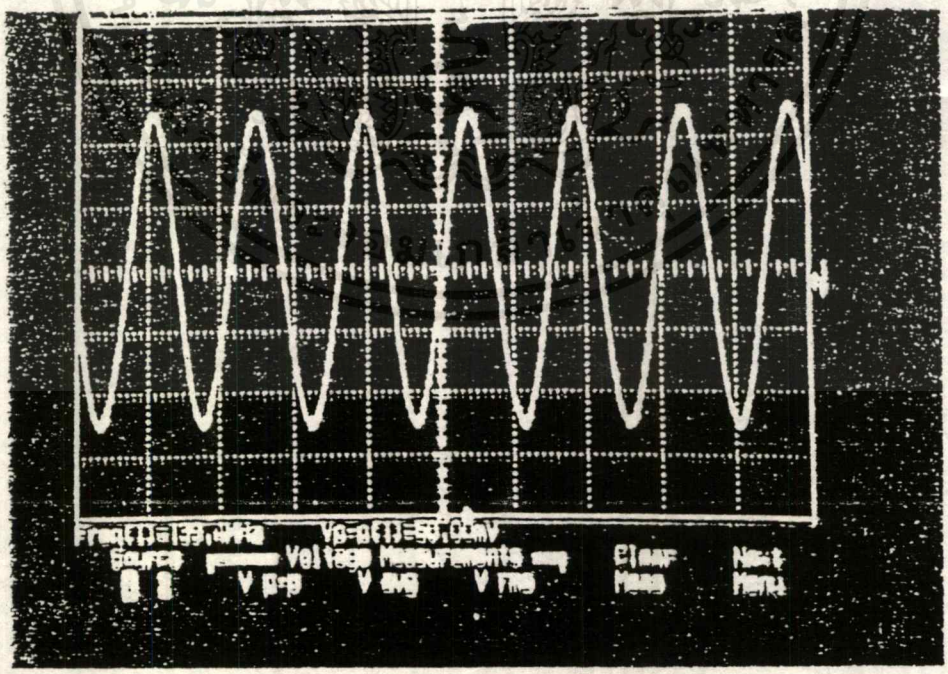
จากวงจรชิฟเฟส 90°ชนิด RLC ที่ได้ออกแบบมาแล้ว ได้ผลการทดลองดังรูป 4.7



รูปที่ 4.7 ผลการทดลองของวงจรชิฟเฟส 90° ที่ความถี่ 139.874 MHz

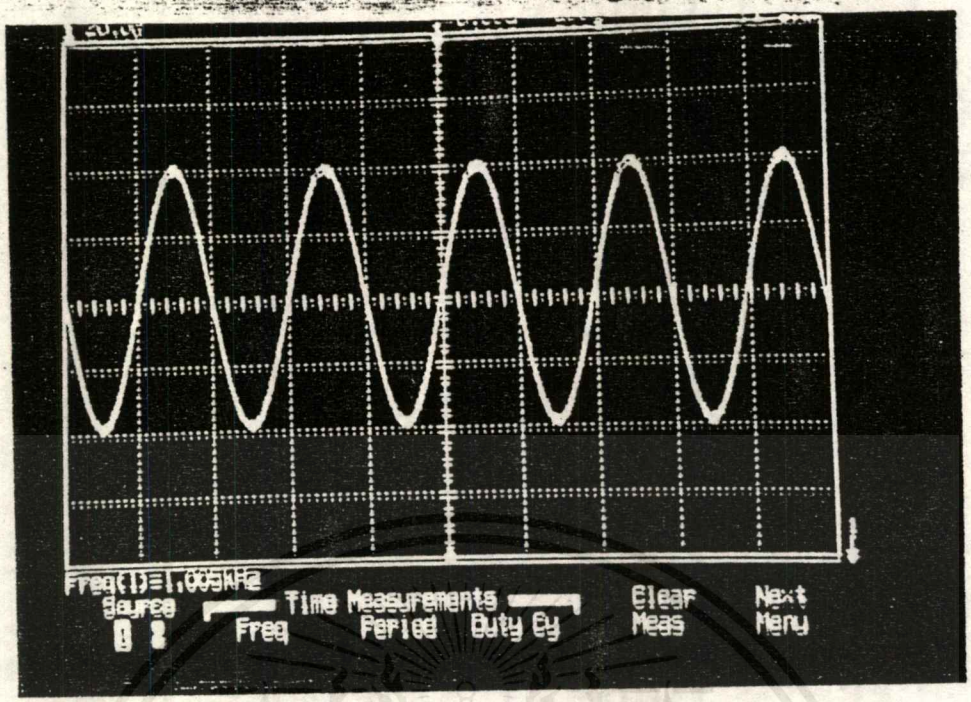
4.5 ผลการทดลองของวงจรคูณสัญญาณ

เมื่อป้อนสัญญาณความถี่วิทยุดังรูป 4.8 เข้าไปผสมกับสัญญาณโลคัลออสซิลเลเตอร์ที่ความถี่ 139.875 MHz จะได้สัญญาณเอาท์พุทจากวงจรคูณสัญญาณ 1 kHz ดังรูป 4.9



รูป 4.8 รูปสัญญาณความถี่วิทยุ 139.875 MHz ที่ป้อนทางด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 รูปสัญญาณเอาท์พุทจากวงจรคูณสัญญาณ

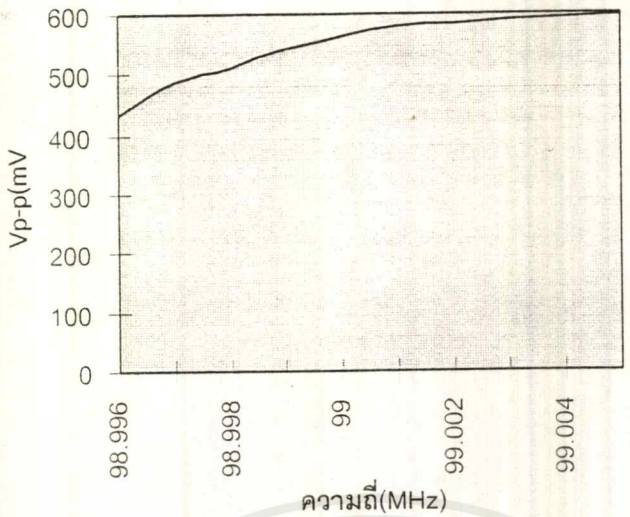
ซึ่งสามารถพิจารณาผลตอบสนองทางความถี่ของวงจรคูณสัญญาณได้ดังตาราง 4.3

ความถี่ (MHz)	ความถี่เอาท์พุท(kHz)	Vp-p(mV)
98.996	4	434.1
98.997	3	485.9
98.998	2	512.4
98.999	1	543.7
99.000	0	562.5
99.001	1	581.1
99.002	2	584.4
99.003	3	590.0
99.004	4	593.7
99.005	5	596.5

ตารางที่ 4.3แสดงผลตอบสนองทางความถี่ของวงจรคูณสัญญาณ

นำข้อมูลจากตารางที่ 4.3 มาพล็อตกราฟ จะได้ดังรูป 4.10

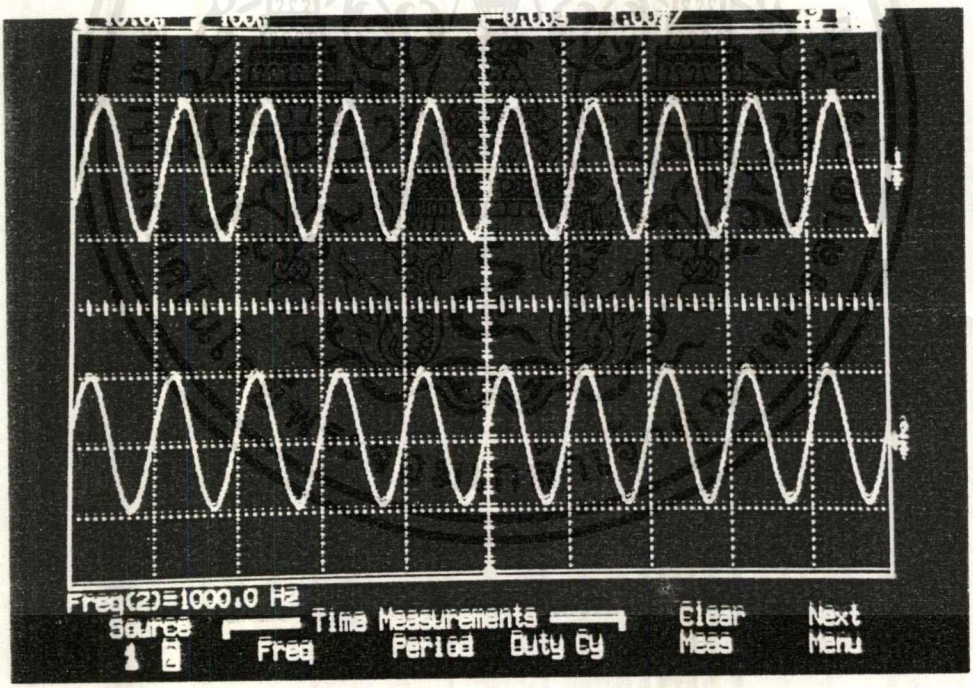
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 กราฟแสดงผลตอบสนองทางความถี่ของวงจรคูณสัญญาณ

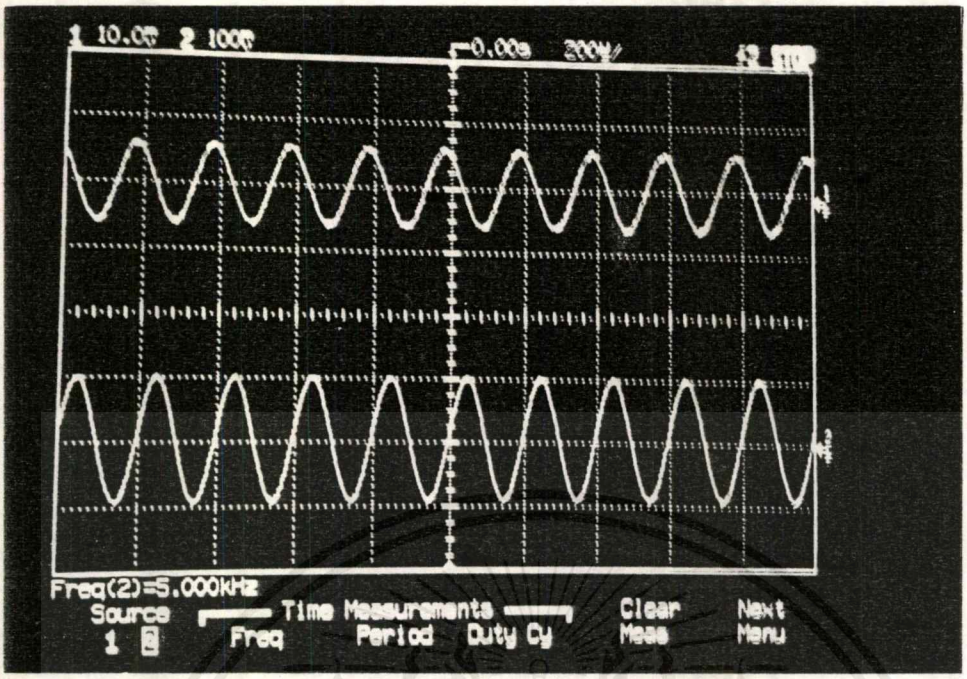
4.6 ผลการทดลองของวงจรกรองความถี่ต่ำ

จากการออกแบบวงจร LPF แบบบัตเตอร์เวิร์ทอันดับที่ 6 ซึ่งมีความถี่คัทออฟที่ 5 kHz จะได้สัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทที่ความถี่ 1 kHz และ 5 kHz ดังรูปที่ 4.11 และ 4.12 ตามลำดับ



รูปที่ 4.11 รูปสัญญาณอินพุทเทียบกับเอาท์พุทของวงจร LPF ที่ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 รูปสัญญาณอินพุทเทียบกับเอาท์พุทของวงจร LPF ที่ความถี่ 5 kHz

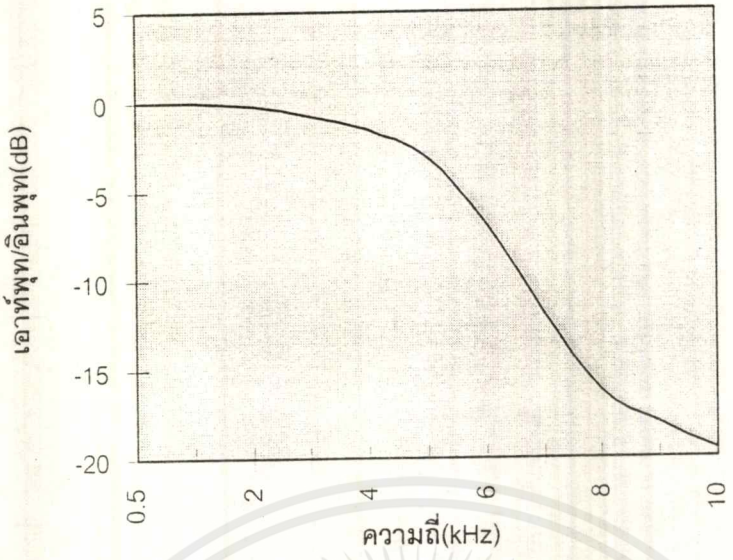
ซึ่งเราสามารถพิจารณาผลตอบสนองทางความถี่ของวงจร LPF ได้ดังตาราง 4.4

ความถี่(kHz)	ขนาดของสัญญาณ (mV)		เอาท์พุท/
	อินพุท	เอาท์พุท	อินพุท (dB)
0.5	200	200	0
1	200	200	0
2	200	194	-0.264
3	200	183	-0.771
4	200	165	-1.671
5	200	137.5	-3.20
6	200	90.5	-6.88
7	200	50.5	-11.95
8	200	31	-16.19
9	200	25	-18.06
10	200	21	-19.576

ตารางที่ 4.4 แสดงผลตอบสนองทางความถี่ของวงจร LPF

นำข้อมูลจากตารางที่ 4.4 มาพล็อตกราฟ ได้ดังรูป 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

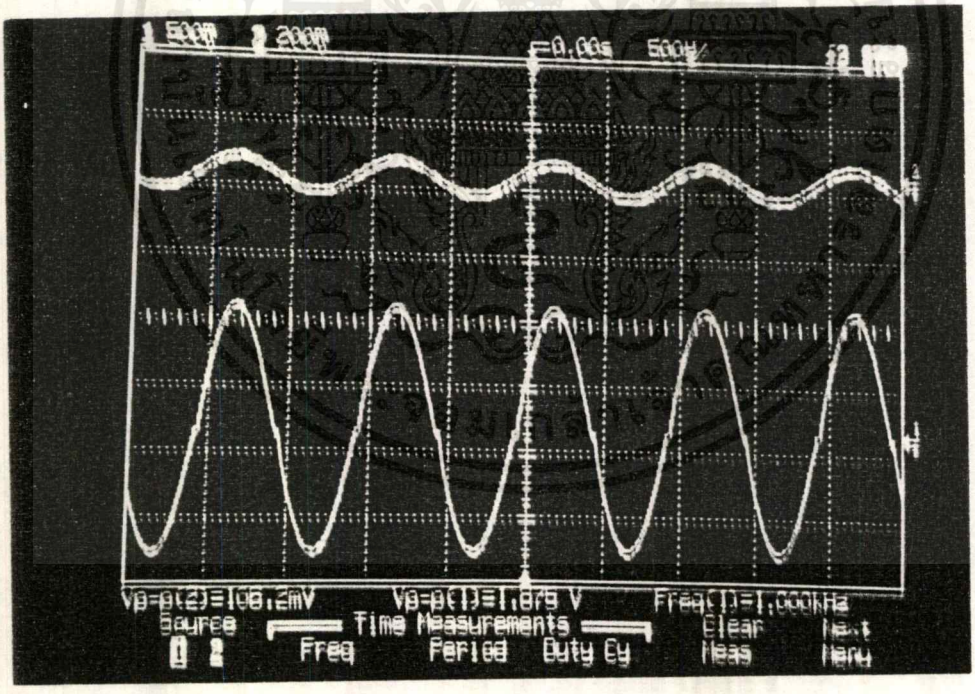


รูปที่ 4.13 กราฟแสดงผลตอบสนองทางความถี่ของวงจร LPF

ซึ่งจะเห็นว่าที่ความถี่ 5 kHz มีสัญญาณเอาท์พุทต่อสัญญาณอินพุทประมาณ -3 dB ตามที่ได้คำนวณมา

4.7 ผลการทดลองของวงจรขยายสัญญาณ

จากวงจรขยายสัญญาณได้สัญญาณอินพุทเทียบกับเอาท์พุทดังรูป 4.14

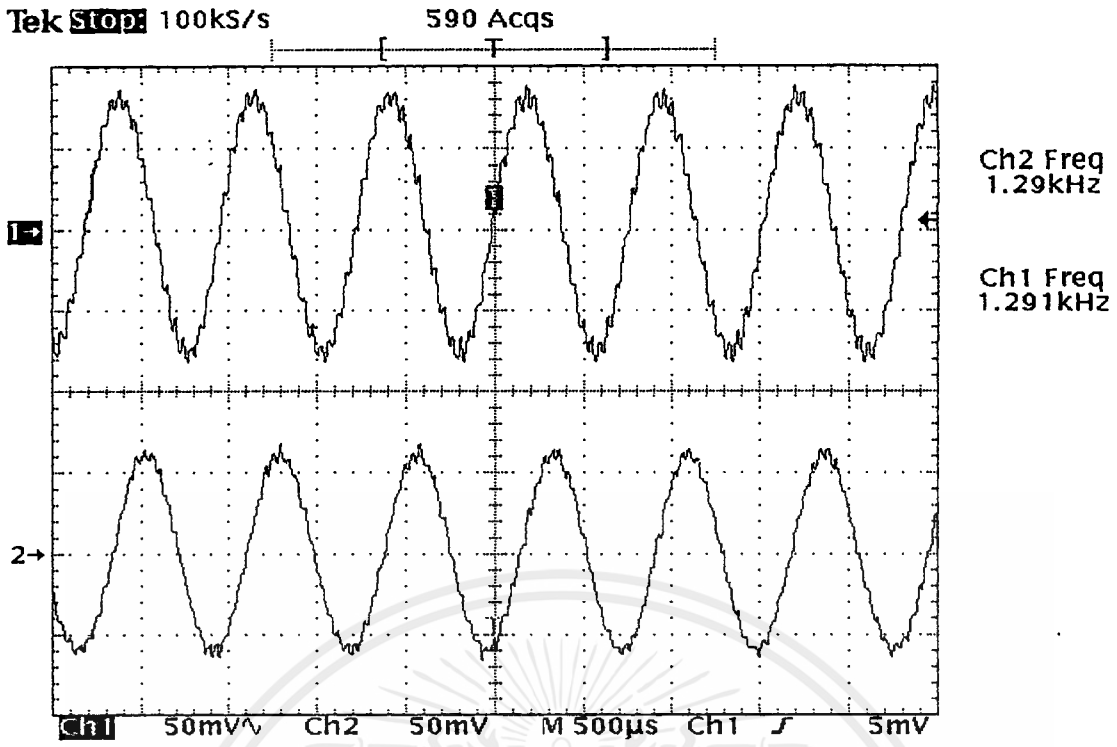


รูปที่ 4.14 รูปแสดงสัญญาณอินพุทเทียบกับเอาท์พุทของวงจรขยาย

4.8 ผลการทดลองของวงจรชิฟเฟส 90 องศาโดยใช้ออลพาสฟิลเตอร์

จากวงจรชิฟเฟส 90 องศาที่เราได้ออกแบบไว้แล้วได้ผลการทดลองดังรูป

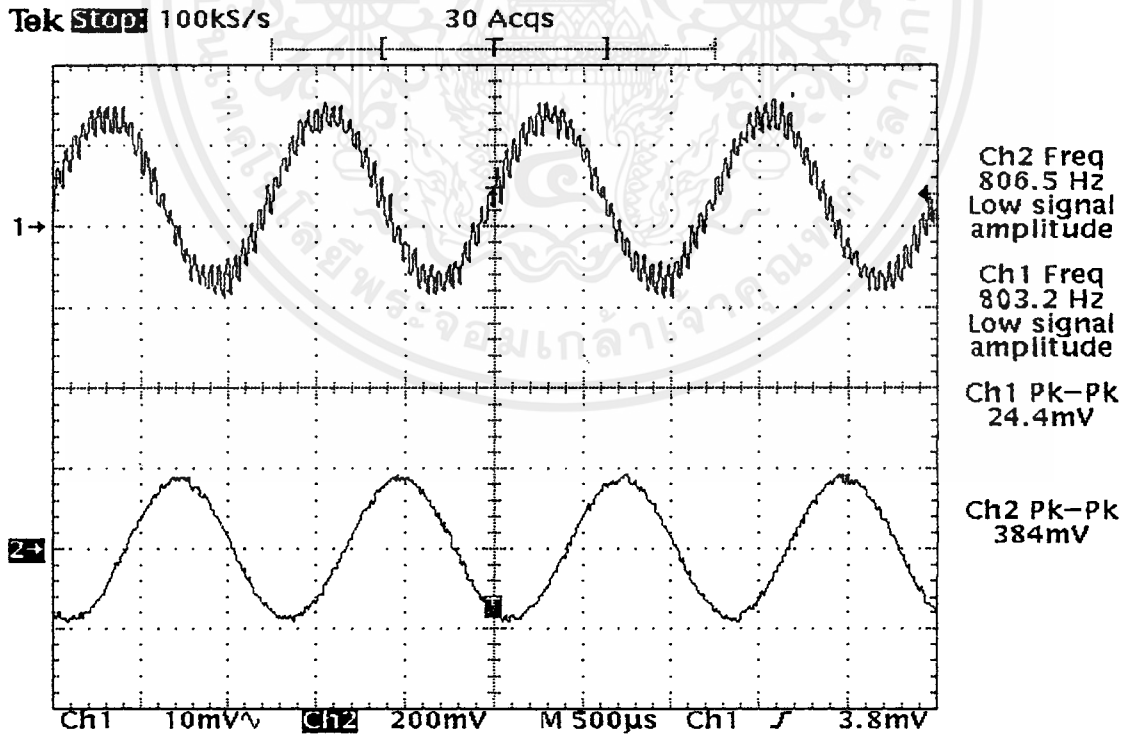
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.15 แสดงสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทของวงจรชิฟเฟส 90 องศา

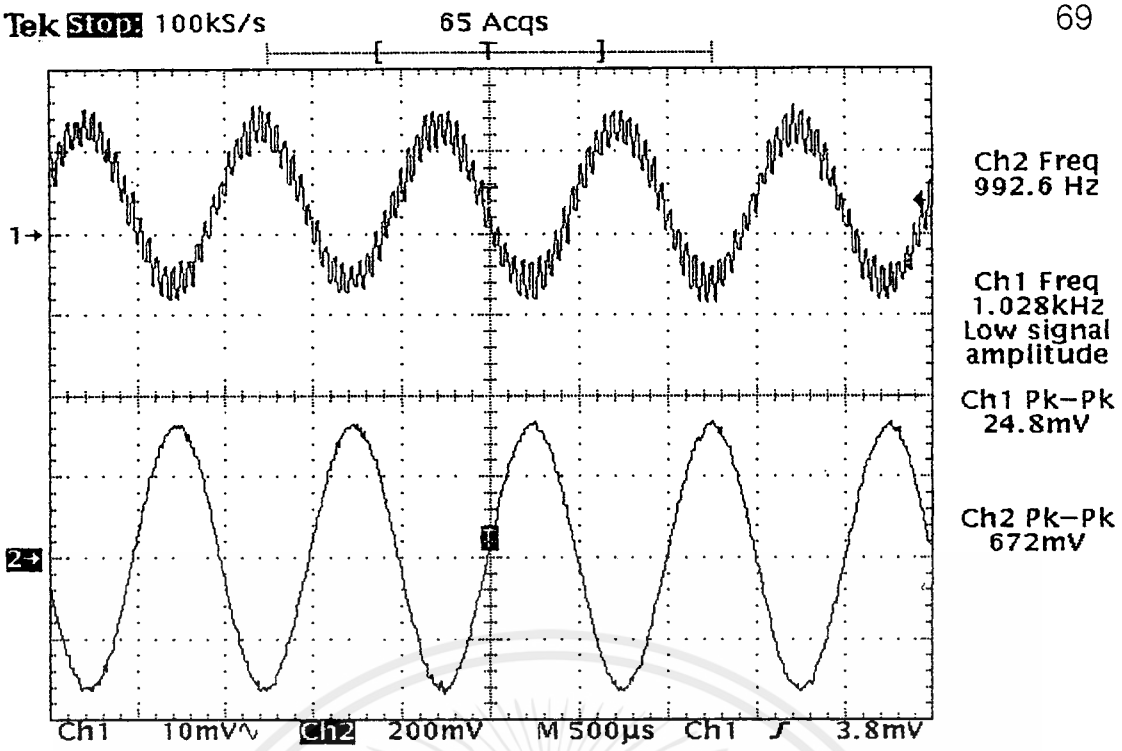
4.9 ผลการทดลองของวงจร แบนด์พาสฟิลเตอร์

วงจร BPF ที่มีเซนเตอร์ฟรีเควนซี่ เท่ากับ 1 kHz ได้ผลการทดลองดังรูป

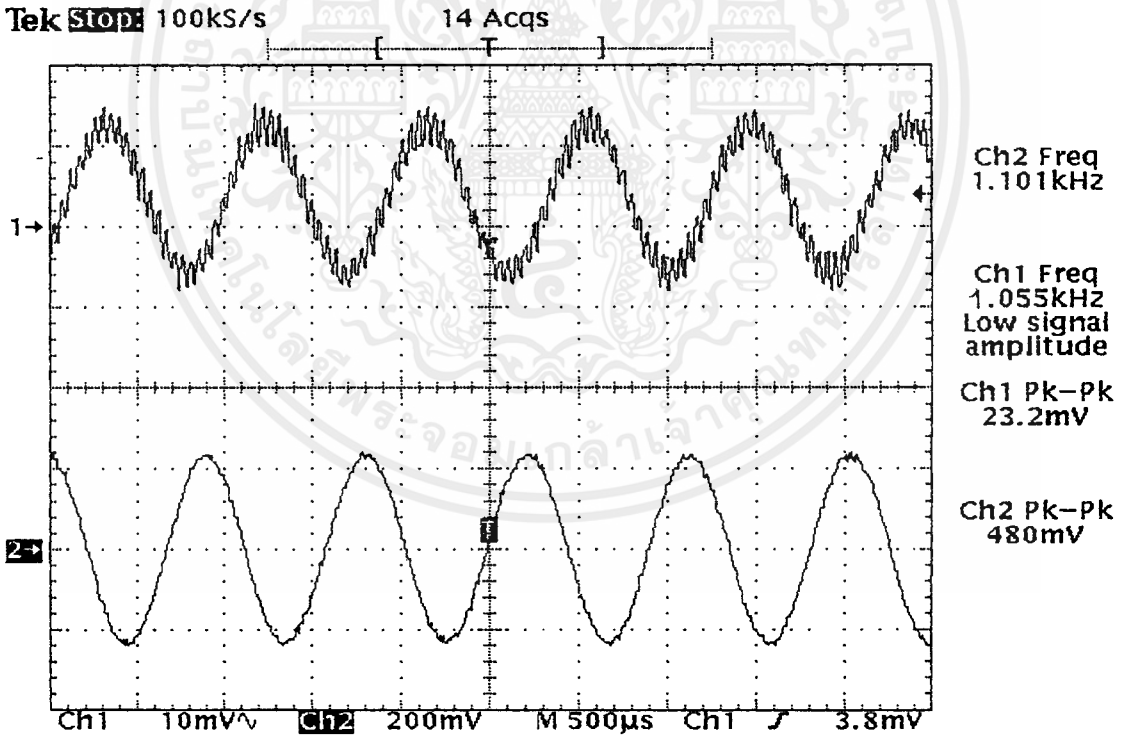


รูปที่4.16 แสดงผลของวงจร BPF ที่ความถี่ 800 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.17แสดงผลของวงจร BPF ที่ความถี่ 1 kHz

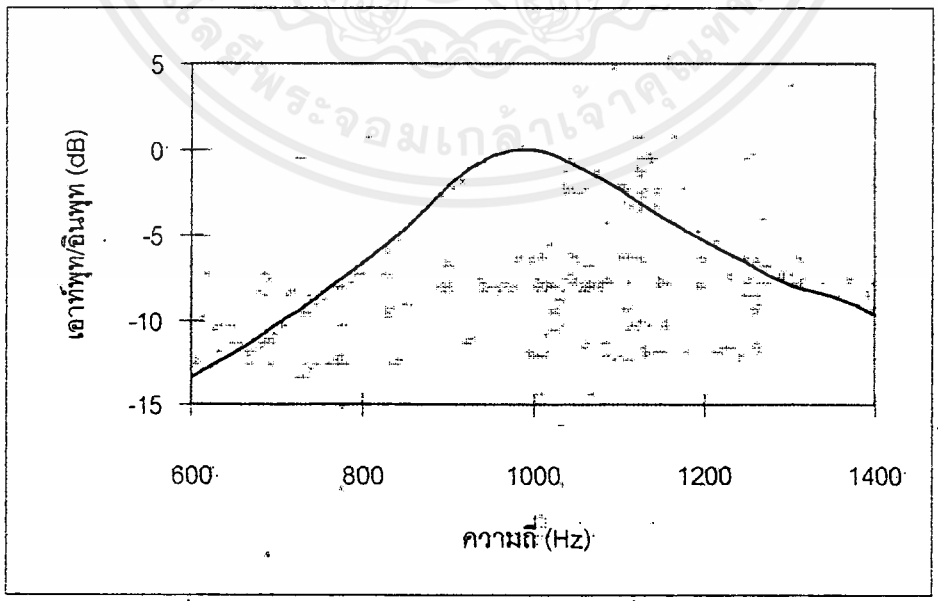


รูปที่4.18แสดงผลของวงจร BPF ที่ความถี่ 1.1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (Hz)	ขนาดของสัญญาณ (V)		เอาท์พุท/ อินพุท (dB)
	อินพุท	เอาท์พุท	
600	160m	1.4	-13.3
650	160m	1.65	-11.9
700	160m	2	-10.2
750	160m	2.44	-8.5
800	160m	3	-6.7
850	160m	3.87	-4.5
900	160m	5.12	-2.07
950	160m	6.18	-0.43
1000	160m	6.5	0
1050	160m	5.8	-0.98
1100	160m	5	-2.27
1150	160m	4.125	-3.9
1200	160m	2.5	-5.4
1250	160m	3	-6.7
1300	160m	2.6	-7.9
1350	160m	2.375	-8.7
1400	160m	2.125	-9.71

ตารางที่ 4.5 แสดงผลตอบสนองทางความถี่ของวงจร BPF

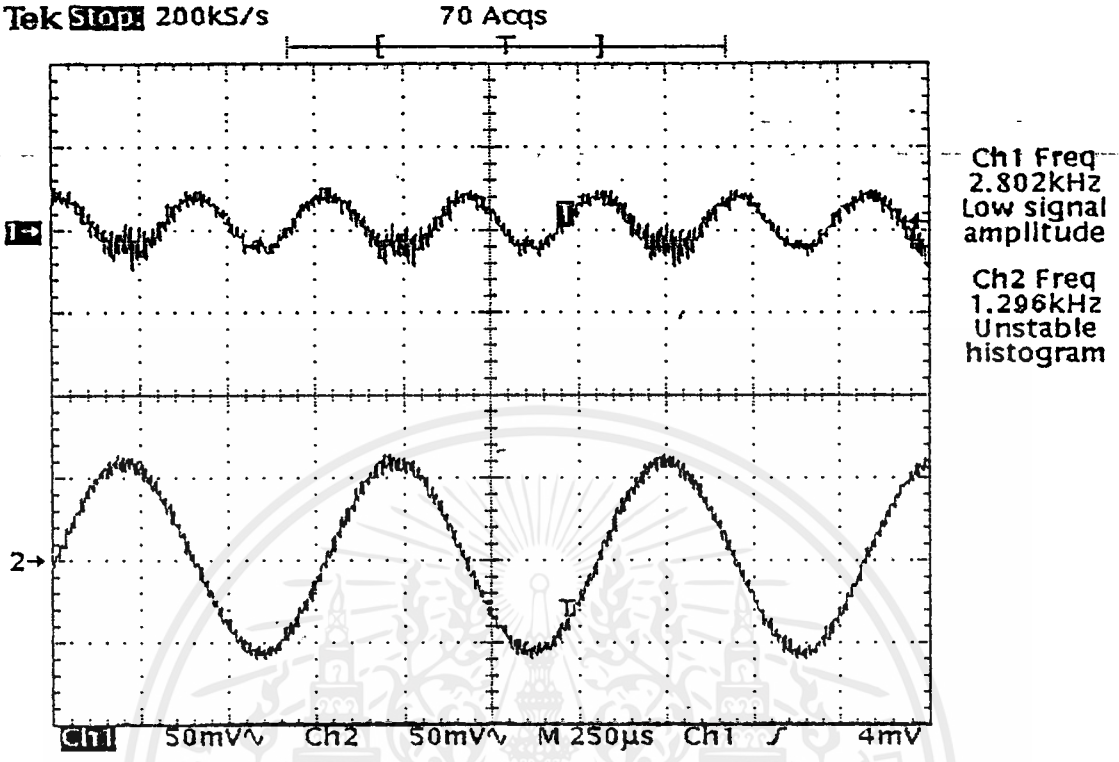


รูปที่ 4.19 กราฟแสดงผลตอบสนองทางความถี่ของวงจร BPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

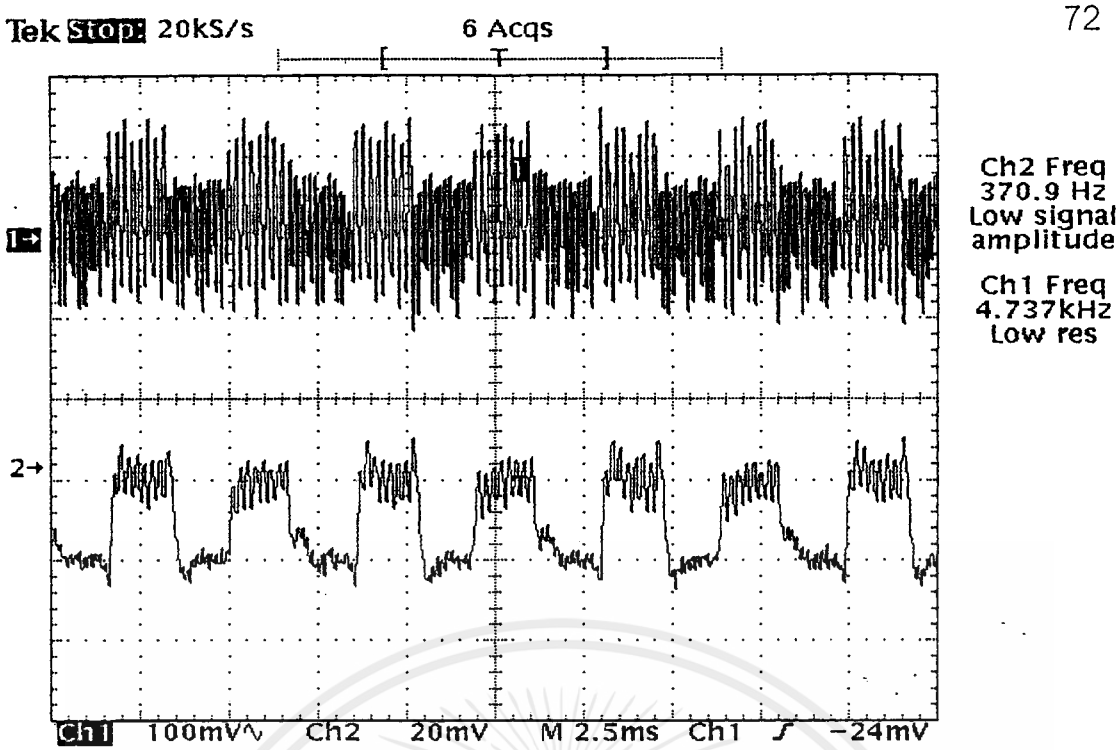
4.10 ผลการทดลองของวงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์โดยใช้ไอซีเบอร์ 1496 เมื่อป้อนความถี่ทางอินพุทของ LNA 139.874 เมกะเฮิร์ตและได้ IF 1 kHz ที่ชิฟเฟสกันสองตัว เมื่อนำ IF ตัวหนึ่งผ่านวงจรชิฟเฟส 90 องศาแล้วป้อนเข้าวงจรบาลานซ์มอดูเลเตอร์เพื่อคูณกับ IF อีกตัวหนึ่งจะได้เอาท์พุทเป็นความถี่ 2 เท่าของ IF ดังรูป



รูปที่4.20 แสดงผลของวงจรบาลานซ์มอดูเลเตอร์เมื่อป้อนอินพุทของ LNA เป็น 139.874 เมกะเฮิร์ต จากนั้นทำการป้อนสัญญาณพัลส์ 300 Hz ที่มอดูเลตกับความถี่ 139.875 เมกะเฮิร์ตแบบ FSK ให้กับวงจร LNA จะได้เอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ดังรูป

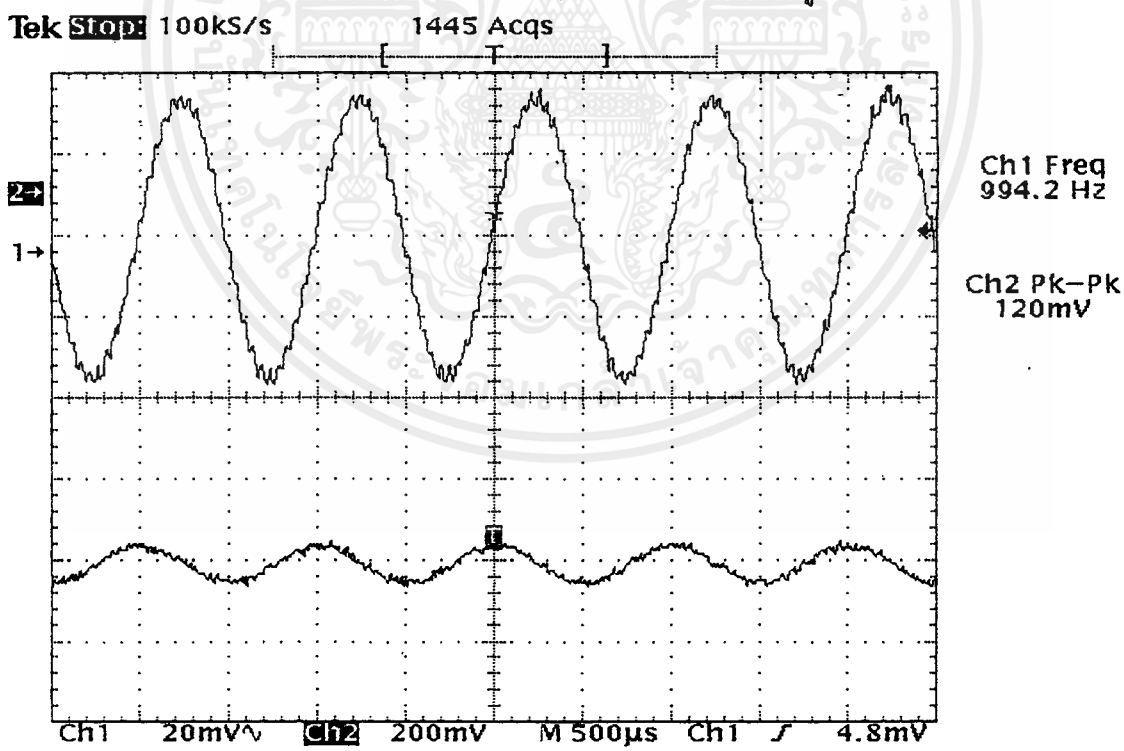
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.21 แสดงผลของวงจรบาลานซ์มอดูเลเตอร์เทียบกับผลของสัญญาณเมื่อผ่าน LPF

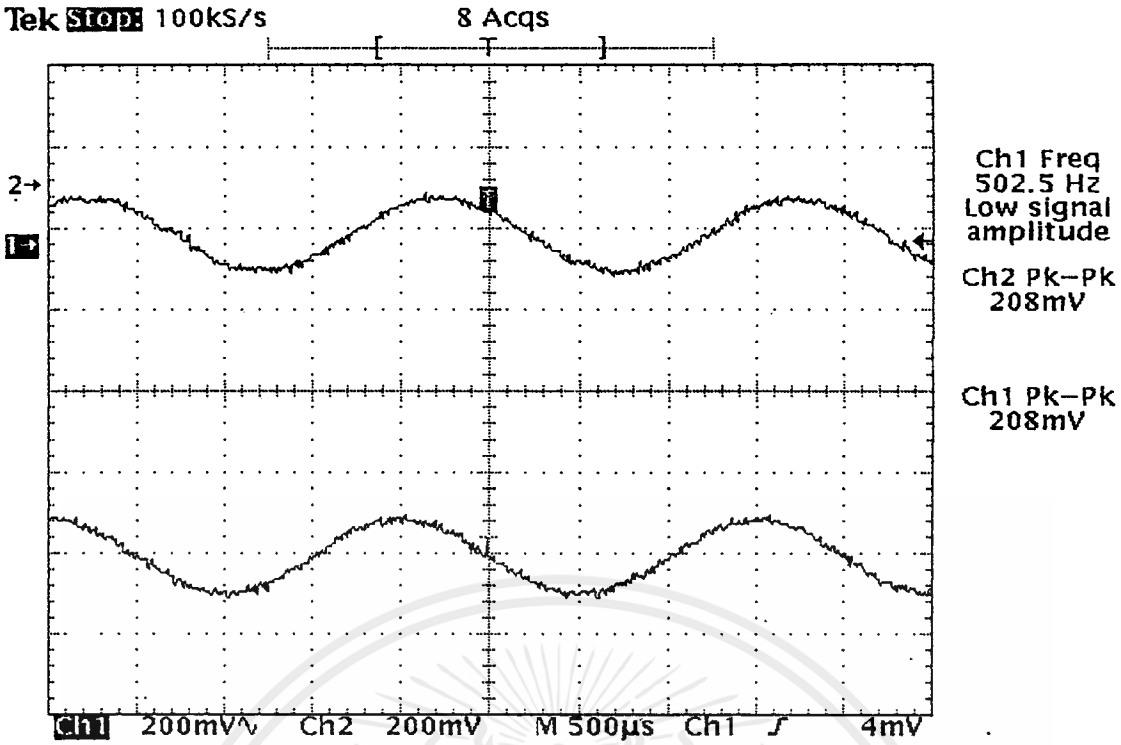
4.11 ผลการทดลองของวงจรกรองความถี่ต่ำ

วงจร LPF ที่มีคัทออฟฟรีเควนซี่เท่ากับ 1 kHz ได้ผลการทดลองดังรูป



รูปที่4.22 แสดงผลการทดลองของวงจร LPF ที่ความถี่1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

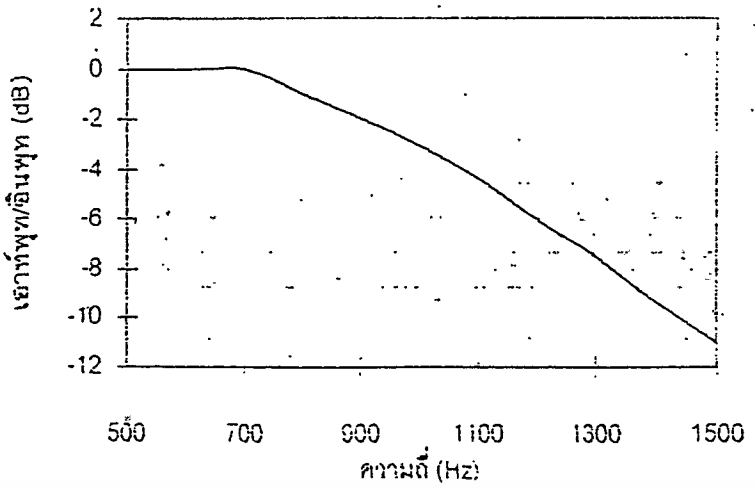


รูปที่ 4.23 แสดงผลการทดลองของวงจร LPF ที่ความถี่500 Hz

ความถี่ (Hz)	ขนาดของสัญญาณ (mV)		เอาท์พุท/
	อินพุท	เอาท์พุท	อินพุท (dB)
500	200	200	0
600	200	200	0
700	200	200	0
800	200	178	-1.012
900	200	159.4	-1.99
1000	200	140.8	-3.04
1100	200	121	-4.36
1200	200	100	-6.02
1300	200	84	-7.53
1400	200	68	-9.37
1500	200	56	-11.05

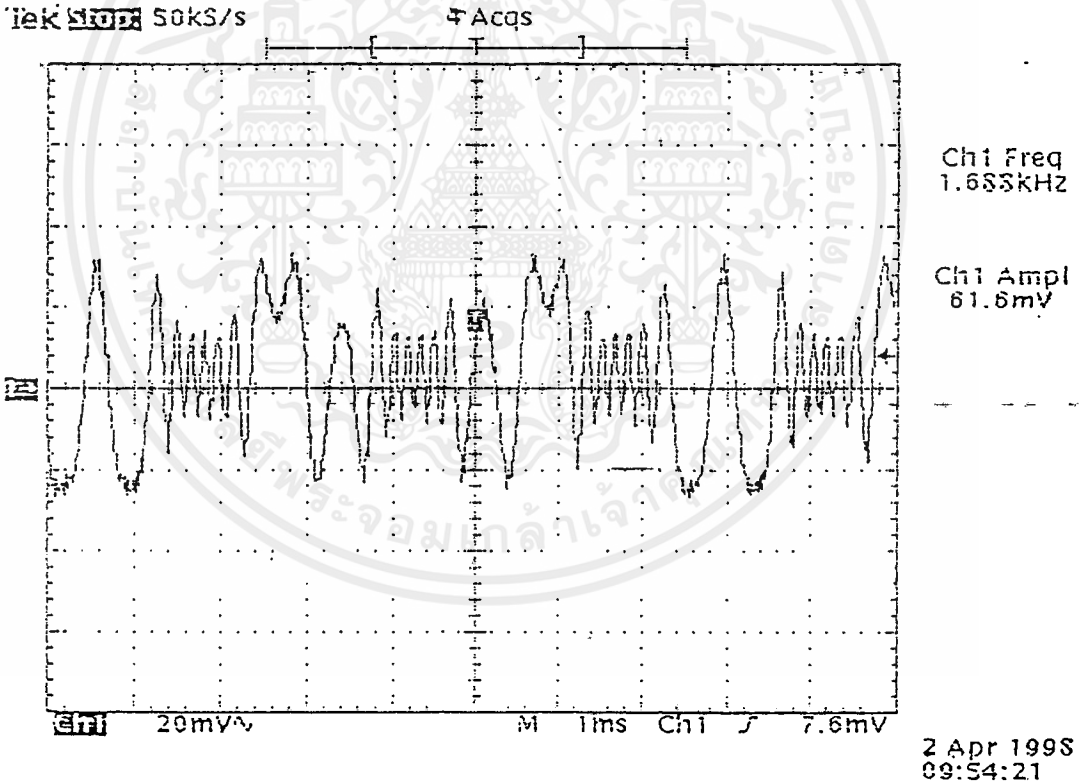
ตารางที่ 4.6 แสดงผลตอบสนองทางความถี่ของวงจร LPF ที่มีคัทออฟฟรีเควนซี 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 กราฟแสดงผลตอบสนองทางความถี่ของวงจร LPF ที่มีคัทออฟฟรีเควนซี 1 kHz

และเมื่อป้อนสัญญาณพัลส์ 300 Hz ที่มอดูเลตกับความถี่ 139.875 เมกะเฮิร์ตแบบ FSK ให้กับวงจร LNA แล้วผสมกับสัญญาณจากโลคอลออสซิลเลเตอร์จะได้สัญญาณ IF ที่เป็น FSK 2 ความถี่ ดังรูป

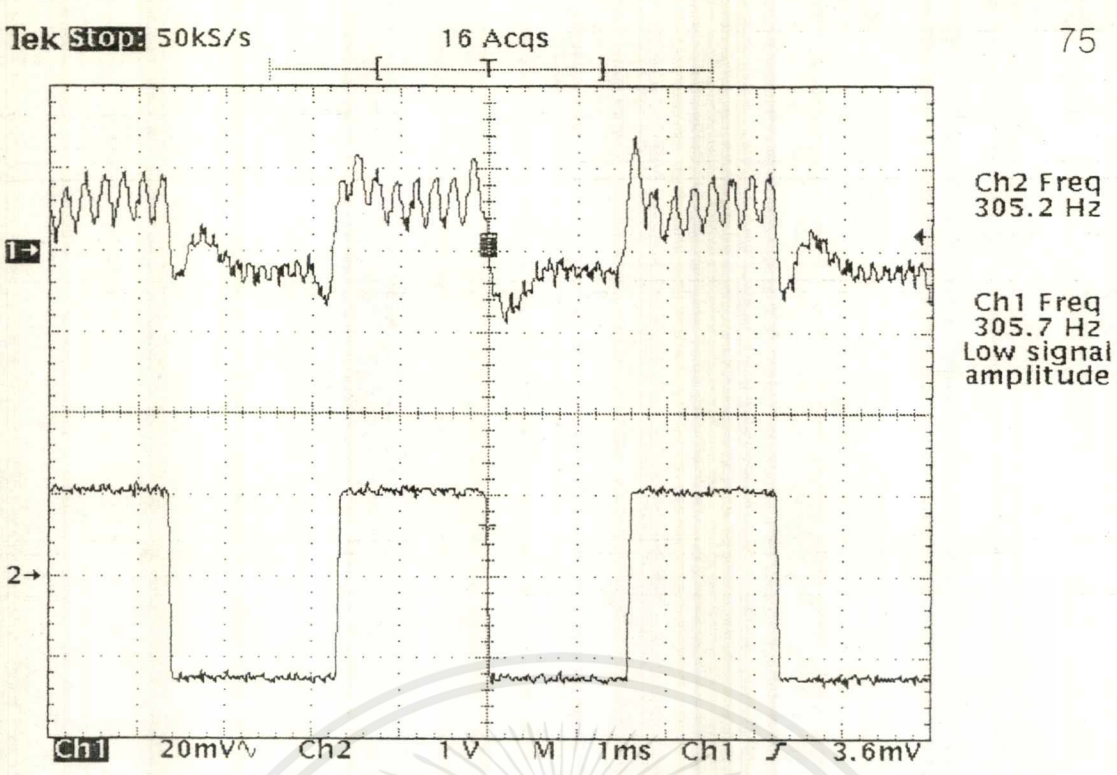


รูปที่ 4.25 แสดงผลของสัญญาณเอาท์พุทจากวงจรมิกเซอร์ที่ผสมสัญญาณ FSK กับสัญญาณโลคัลออสซิลเลเตอร์ความถี่ 139.875 MHz

4.12ผลการทดลองของวงจรคอมพาราเตอร์

เมื่อนำสัญญาณจาก LPF มาป้อนให้กับวงจรเปรียบเทียบระดับสัญญาณจะได้ผลดังรูป

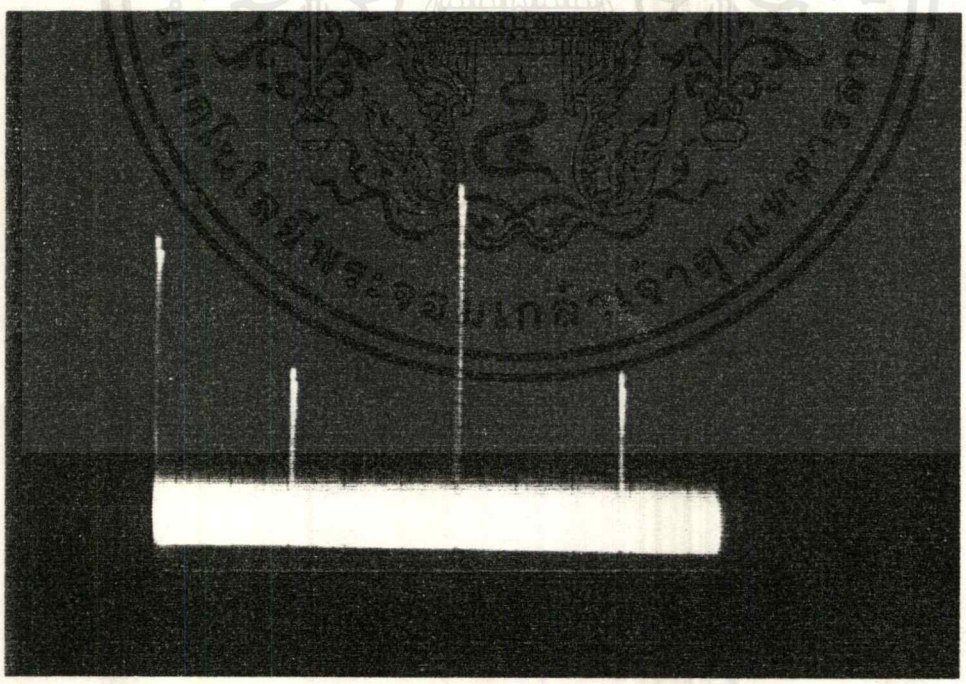
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.26 แสดงผลจากวงจรคอมพาราเตอร์ เมื่อป้อน สัญญาณ FSKของพัลส์ 300 Hz แก่ LNA

4.13ผลการทดลองของวงจรสายอากาศ

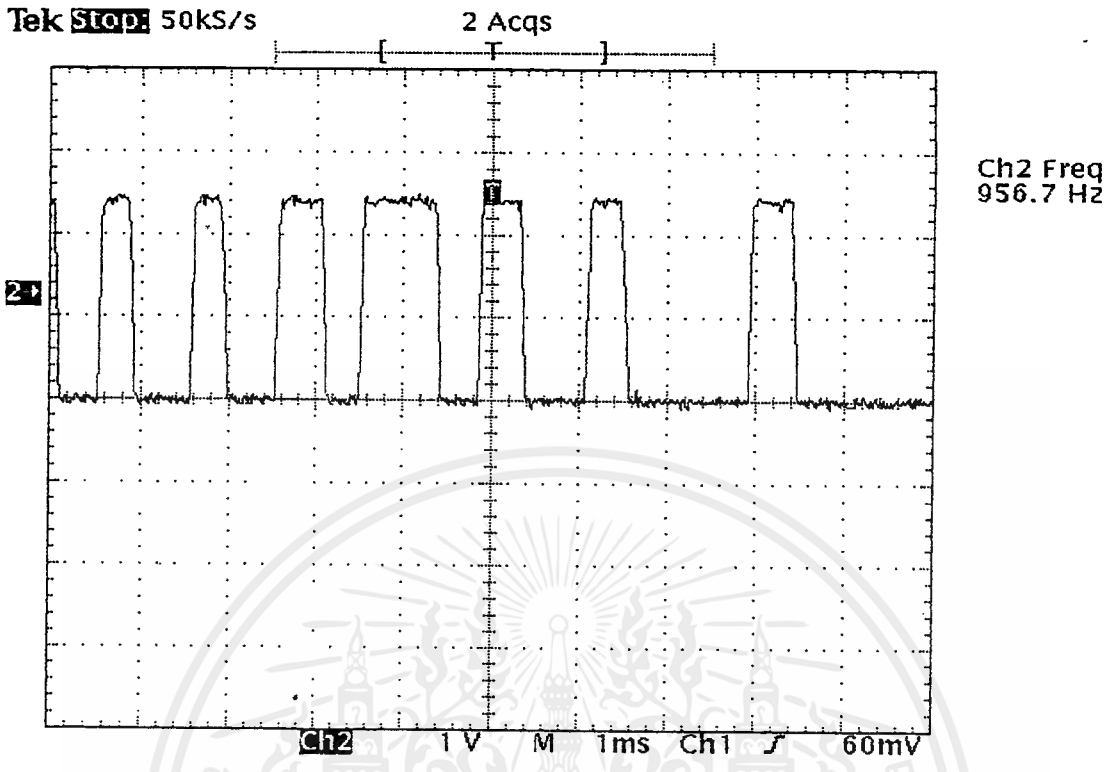
เมื่อนำลูปแอนเทนนาที่จูนความถี่ประมาณ 139.875 MHz มาต่อเชื่อมกับวงจร LNA โดยนำส่วนแมทชิ่งทางด้าน อินพุทออก สามารถวัดเอาท์พุทของวงจร LNA ได้ดังรูป



รูปที่4.27 แสดงสัญญาณจากวงจรสายอากาศเมื่อผ่าน LNA แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่ อนำวงจรทั้งหมดมารวมกันเพื่อรับสัญญาณ FSK ของพัลส์ข้อมูลที่ส่งมาจากต้นทางที่ส่งมาในอากาศ ความถี่ 139.875 MHz จะได้เอาท์พุทของวงจรคอมพาราเตอร์เป็นกระบวนพัลส์ข้อมูลดังรูป



รูปที่4.28 แสดงผลของวงจรรวมได้ พัลส์ข้อมูลเป็นรหัสดิจิตอล 0,1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

จากโครงงานทั้งหมดได้ทำในส่วนสายอากาศเพื่อรับเอาสัญญาณความถี่วิทยุที่ส่งข่าวสารมาในลักษณะฟรีเควนซี ชิฟ คีย์อิงค์ ที่ความถี่ ณ เวลาใดๆของสัญญาณคลื่นพาหะถูกสับเปลี่ยนระหว่าง 2 ค่าตอบสนอง PCM ที่ส่งมาถูกขยายโดย LNA แยกสัญญาณไปยังวงจรคูณสัญญาณ 2 ตัว เพื่อผสมกับโลคัลออสซิลเลเตอร์ที่ชิฟเฟสกัน 90 องศา แล้วนำสัญญาณที่ได้ป้อนเข้าวงจร LPF และวงจรขยายสัญญาณ ได้เป็นสัญญาณ IF ที่ชิฟเฟสกัน 90 องศา แล้วนำสัญญาณ IF ตัวหนึ่งผ่านวงจรชิฟเฟส 90 องศาแล้วป้อนเข้า วงจรคูณสัญญาณเพื่อคูณกับ IF อีกตัวหนึ่ง แล้วนำผลลัพธ์ที่ได้ผ่าน LPF เพื่อกรองเอาระดับ ไฟ่ตรงที่ต่างกันไปตามความถี่ 2 ค่าของ FSK ที่ผสมมากับ ความถี่วิทยุที่รับได้จากสายอากาศ ได้เป็นพัลส์ข้อมูลตามต้องการ

เนื่องจากความถี่ของโลคัลออสซิลเลเตอร์มีค่า 139.875 MHz ซึ่งเป็น VHF และวงจร LNA, วงจรคูณสัญญาณ, วงจรชิฟเฟสก็ทำงานด้วยความถี่สูง จึงจำเป็นต้องจัดคอมโพเนนท์ให้ชิดกันเพื่อให้ขาของคาปาซิเตอร์และ อินดักเตอร์ที่เป็นทางผ่านของความถี่สูงมีความยาวน้อยที่สุดเพื่อให้เอาท์พุทที่ได้เป็นไปตามต้องการ และในส่วนของ LNA ที่ใช้ S พารามิเตอร์ในการออกแบบ ต้องมีการพิจารณาถึงส่วนของการแมทช์ซึ่งให้เหมาะสมทั้งทางด้านอินพุทและเอาท์พุทเพื่อให้เกิดการถ่ายเทพลังงานของสัญญาณสูงสุด

อีกทั้งในส่วนของวงจรบาลานซ์มอดูเลเตอร์ซึ่งใช้ ไอซีเบอร์ 1496 นั้นต้องทำการต่อวงจรให้สมดุลกันระหว่างแต่ละส่วนจึงต้องพิถีพิถันในการวางคอมโพเนนซ์มาก การที่แบนด์วิธของวงจรต่างๆตกลงที่ความถี่สูงทำให้ด้านอินพุทลดลง จึงต้องมีการขยายสัญญาณให้เพียงพอต่อการขับวงจรส่วนต่อไปให้ทำงาน ซึ่งการลดทอนและสัญญาณรบกวนของวงจรสามารถลดลงได้โดยการออกแบบส่วนบายพาสไฟเลี้ยงของวงจรและเชื่อมต่อวงจรอย่างถูกต้อง ซึ่งอาจมีการปรับเปลี่ยนค่าของ คอมโพเนนท์ต่างๆเพื่อให้ได้สัญญาณเอาท์พุทตามต้องการและมีการลดทอนน้อยที่สุดเพื่อเพิ่มเซนซิติวิตี้ของวงจรรับให้สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

BFG540W
BFG540W/X; BFG540W/XR
NPN 9 GHz wideband transistor

Product specification
File under Discrete Semiconductors, SC14

October 1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

FEATURES

- High power gain
- Low noise figure
- High transition frequency
- Gold metallization ensures excellent reliability.

APPLICATIONS

They are intended for applications in the RF front end, in wideband applications in the GHz range such as analog and digital cellular telephones, cordless telephones (CT2, CT3, PCN, DECT, etc.), radar detectors, pagers, satellite television tuners (SATV), MATV/CATV amplifiers and repeater amplifiers in fibre-optic systems.

DESCRIPTION

NPN silicon planar epitaxial transistors in plastic, 4-pin dual-emitter SOT343 and SOT343R packages.

MARKING

TYPE NUMBER	CODE
BFG540W	N9
BFG540W/X	N7
BFG540W/XR	N8

PINNING

PIN	DESCRIPTION
BFG540W (see Fig.1)	
1	collector
2	base
3	emitter
4	emitter
BFG540W/X (see Fig.1)	
1	collector
2	emitter
3	base
4	emitter
BFG540W/XR (see Fig.2)	
1	collector
2	emitter
3	base
4	emitter

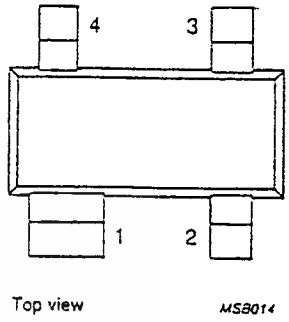


Fig.1 SOT343.

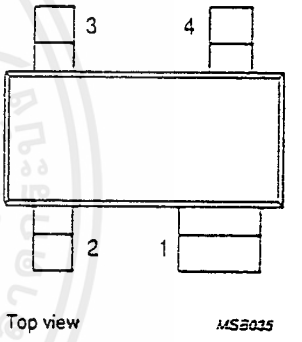


Fig.2 SOT343R.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	–	20	V
V_{CEO}	collector-emitter voltage	open base	–	–	15	V
I_C	collector current (DC)		–	–	120	mA
P_{tot}	total power dissipation	up to T_s = 60 °C	–	–	500	mW
h_{FE}	DC current gain	I_C = 40 mA; V_{CE} = 8 V	60	120	250	
C_{re}	feedback capacitance	I_C = 0; V_{CB} = 8 V; f = 1 MHz	–	0.5	–	pF
f_T	transition frequency	I_C = 40 mA; V_{CE} = 8 V; f = 1 GHz; T_{amb} = 25 °C	–	9	–	GHz
G_{UM}	maximum unilateral power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	16	–	dB
		I_C = 40 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C		10	–	dB
$\|s_{21}\|^2$	insertion power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	14	15	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 2 GHz	–	2.1	–	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

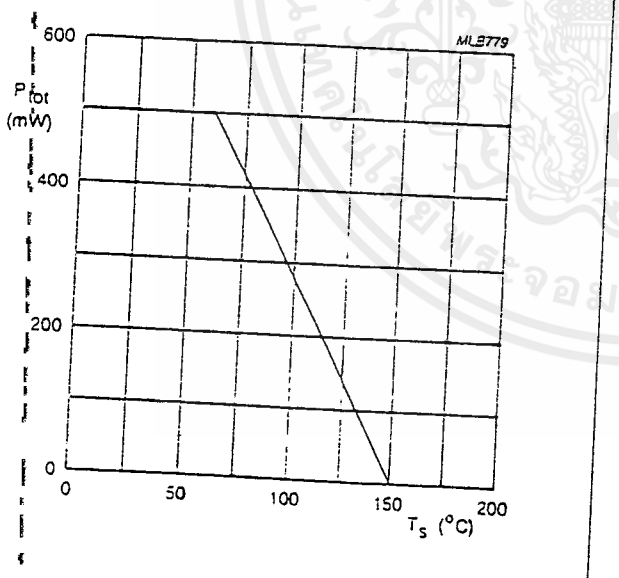
SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	20	V
V_{CEO}	collector-emitter voltage	open base	–	15	V
V_{EBO}	emitter-base voltage	open collector	–	2.5	V
I_C	collector current (DC)		–	120	mA
P_{tot}	total power dissipation	up to T_s = 60 °C; see Fig.3; note 1	–	500	mW
T_{stg}	storage temperature		−65	+150	°C
T_j	junction temperature		–	150	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j\text{-}s}$	thermal resistance from junction to soldering point	up to T_s = 60 °C; note 1	180	K/W

Note to the "Limiting values" and "Thermal characteristics"

1. T_s is the temperature at the soldering point of the collector pin.



$V_{CE} \leq 10$ V.

Fig.3 Power derating curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

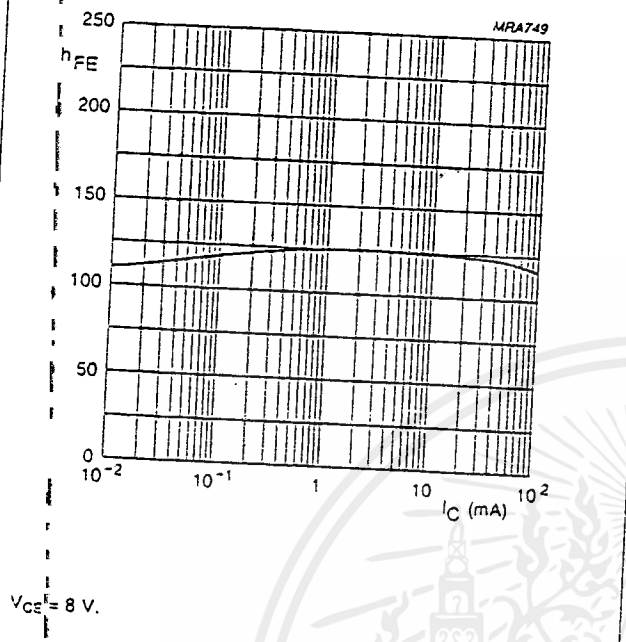
T_j = 25 °C (unless otherwise specified).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{(BR)CBO}$	collector-base breakdown voltage	open emitter; I_C = 10 μA ; I_E = 0	–	–	20	V
$V_{(BR)CEO}$	collector-emitter breakdown voltage	open base; I_C = 100 μA; I_B = 0	–	–	15	V
$V_{(BR)EBO}$	emitter-base breakdown voltage	open collector; I_E = 10 μA; I_C = 0	–	–	2.5	V
I_{CBO}	collector cut-off current	open emitter; V_{CB} = 8 V; I_E = 0	–	–	50	nA
h_{FE}	DC current gain	I_C = 40 mA; V_{CE} = 8 V	60	120	250	
f_T	transition frequency	I_C = 40 mA; V_{CE} = 8 V; f = 1 GHz; T_{amb} = 25 °C	–	9	–	GHz
C_c	collector capacitance	$I_E = i_e$ = 0; V_{CB} = 8 V; f = 1 MHz	–	0.9	–	pF
C_e	emitter capacitance	$I_C = i_c$ = 0; V_{EB} = 0.5 V; f = 1 MHz	–	2	–	pF
C_{re}	feedback capacitance	I_C = 0; V_{CB} = 8 V; f = 1 MHz	–	0.5	–	pF
G_{UM}	maximum unilateral power gain; note 1	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	16	–	dB
		I_C = 40 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	10	–	dB
$\lvert s_{21}\rvert^2$	insertion power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	14	15	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 900 MHz	–	1.3	1.8	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz	–	1.9	2.4	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 2 GHz	–	2.1	–	dB
P_{L1}	output power at 1 dB gain compression	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; R_L = 50 Ω; T_{amb} = 25 °C	–	21	–	dBm
ITO	third order intercept point	note 2	–	34	–	dBm
V_o	output voltage	note 3	–	500	–	mV
d_2	second order intermodulation distortion	note 4	–	−50	–	dB

Notes

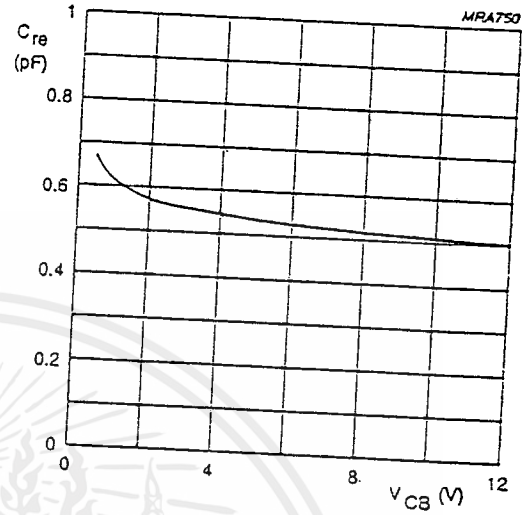
1. G_{UM} is the maximum unilateral power gain, assuming s_{12} is zero. $G_{UM} = 10 \log \frac{|s_{21}|^2}{(1-|s_{11}|^2)(1-|s_{22}|^2)}$ dB.
2. I_C = 40 mA; V_{CE} = 8 V; R_L = 50 Ω; T_{amb} = 25 °C;
   f_p = 900 MHz; f_q = 902 MHz; measured at $f_{(2p-q)}$ = 898 MHz and $f_{(2q-p)}$ = 904 MHz.
3. d_{im} = −60 dB (DIN45004B); $V_p = V_o$; $V_q = V_o$ −6 dB; $V_r = V_o$ −6 dB; R_L = 75 Ω; V_{CE} = 8 V; I_C = 40 mA;
   f_p = 795.25 MHz; f_q = 803.25 MHz; f_r = 805.25 MHz; measured at $f_{(p+q-r)}$ = 793.25 MHz.
4. I_C = 40 mA; V_{CE} = 8 V; V_o = 275 mV; R_L = 75 Ω; T_{amb} = 25 °C;
   f_p = 250 MHz; f_q = 560 MHz; measured at $f_{(p-q)}$ = 810 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



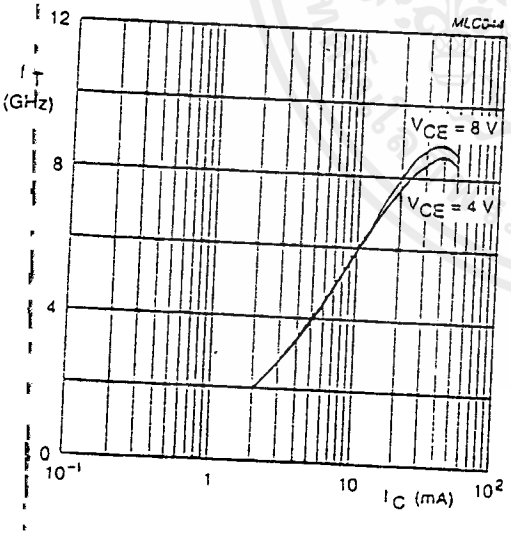
V_{CE} = 8 V.

Fig.4 DC current gain as a function of collector current: typical values.



I_C = 0; f = 1 MHz.

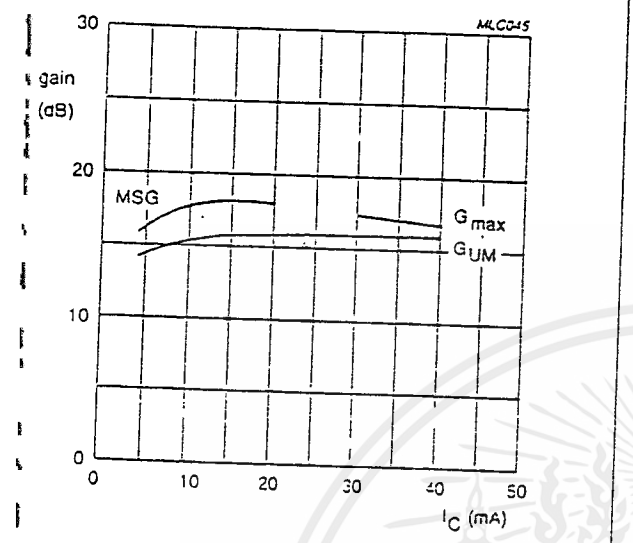
Fig.5 Feedback capacitance as a function of collector-base voltage; typical values.



f = 1 GHz; T_{amb} = 25 °C.

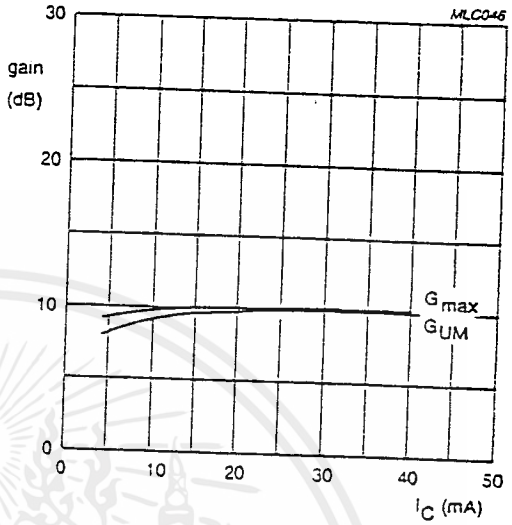
Fig.6 Transition frequency as a function of collector current: typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



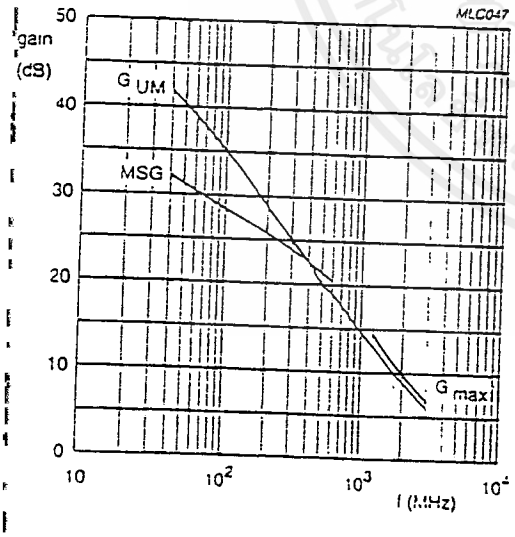
f = 900 MHz; V_{CE} = 8 V.

Fig.7 Gain as a function of collector current; typical values.



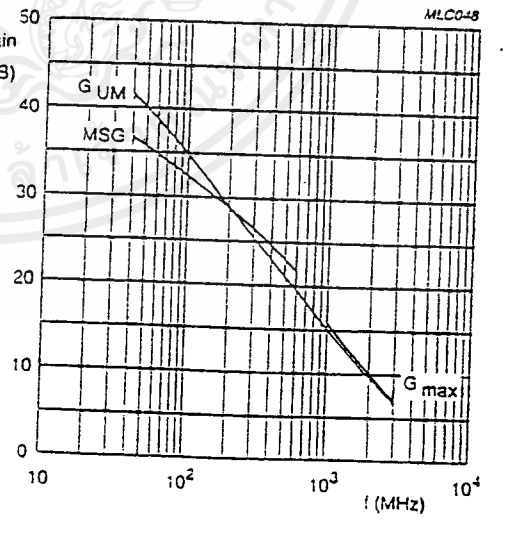
f = 2 GHz; V_{CE} = 8 V.

Fig.8 Gain as a function of collector current; typical values.



I_C = 10 mA; V_{CE} = 8 V.

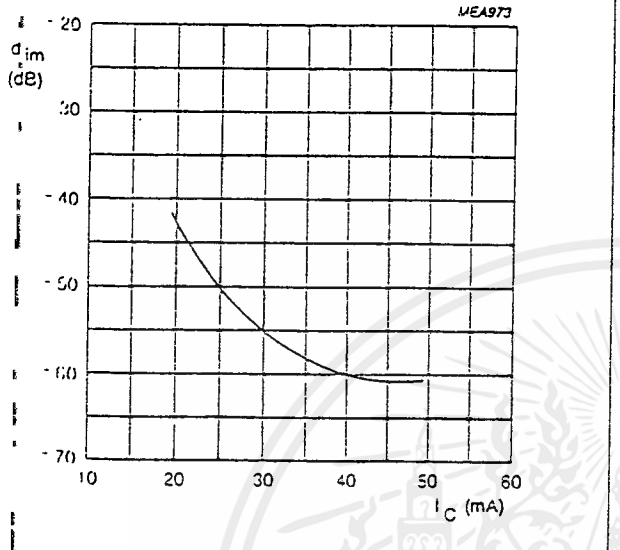
Fig.9 Gain as a function of frequency; typical values.



I_C = 40 mA; V_{CE} = 8 V.

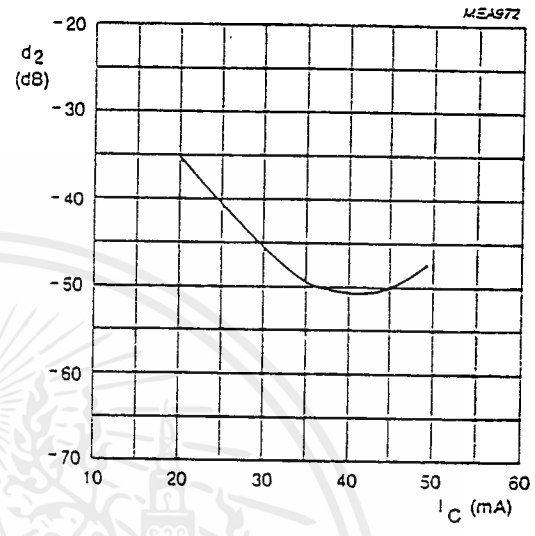
Fig.10 Gain as a function of frequency; typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



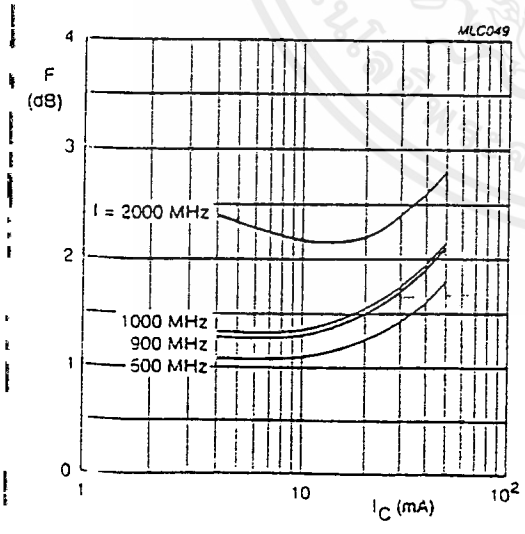
V_o = 500 mV; $f_{(p+q-r)}$ = 793.25 MHz; V_{CE} = 8 V; T_{amb} = 25 °C; R_L = 75 Ω.

Fig.11 Intermodulation distortion as a function of collector current; typical values.



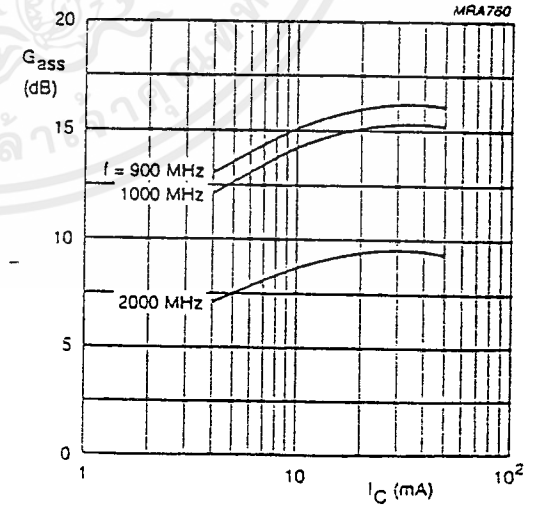
V_o = 275 mV; $f_{(p+q)}$ = 810 MHz; V_{CE} = 8 V; T_{amb} = 25 °C; R_L = 75 Ω.

Fig.12 Second order intermodulation distortion as a function of collector current; typical values.



V_{CE} = 8 V

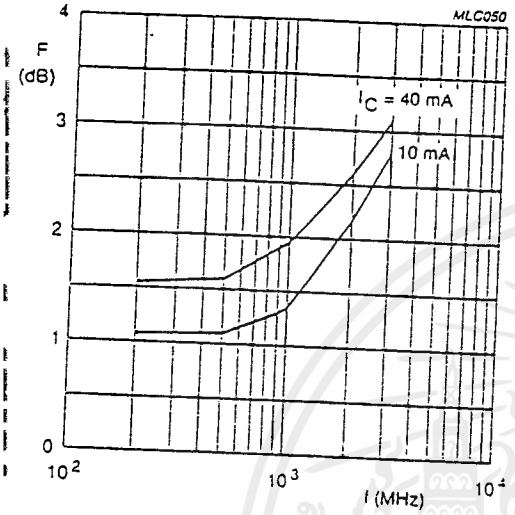
Fig.13 Minimum noise figure as a function of collector current; typical values.



V_{CE} = 8 V.

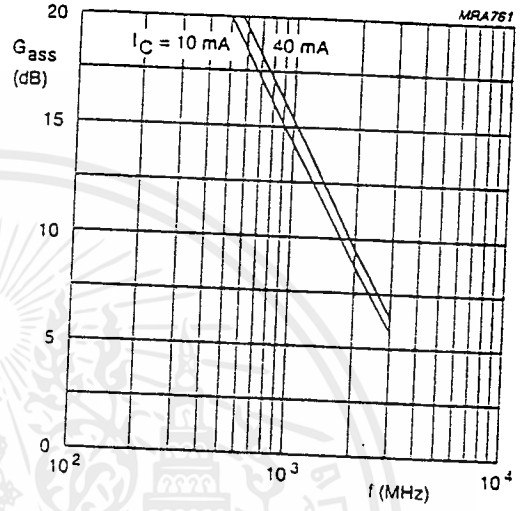
Fig.14 Associated available gain as a function of collector current; typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_{CE} = 8 V

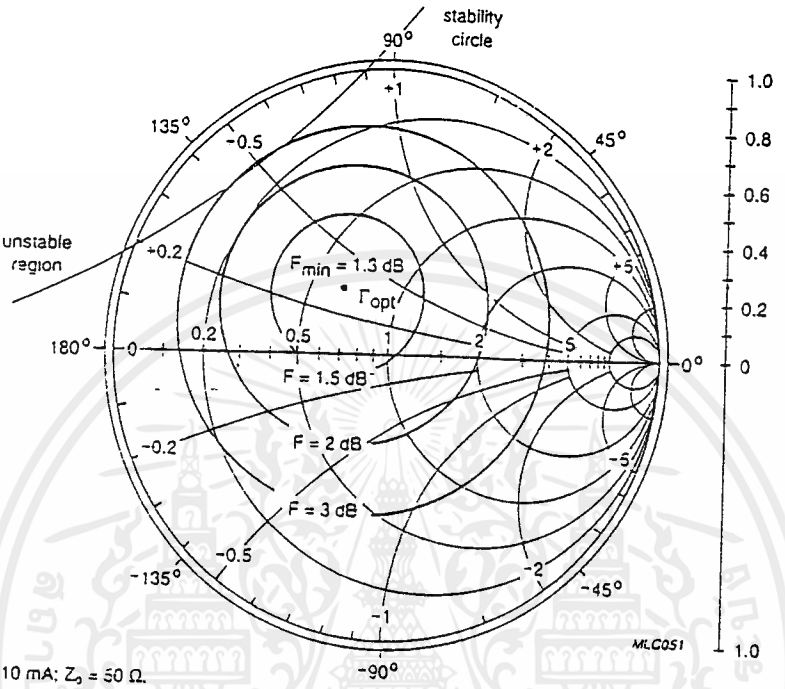
Fig.15 Minimum noise figure as a function of frequency; typical values.



V_{CE} = 8 V.

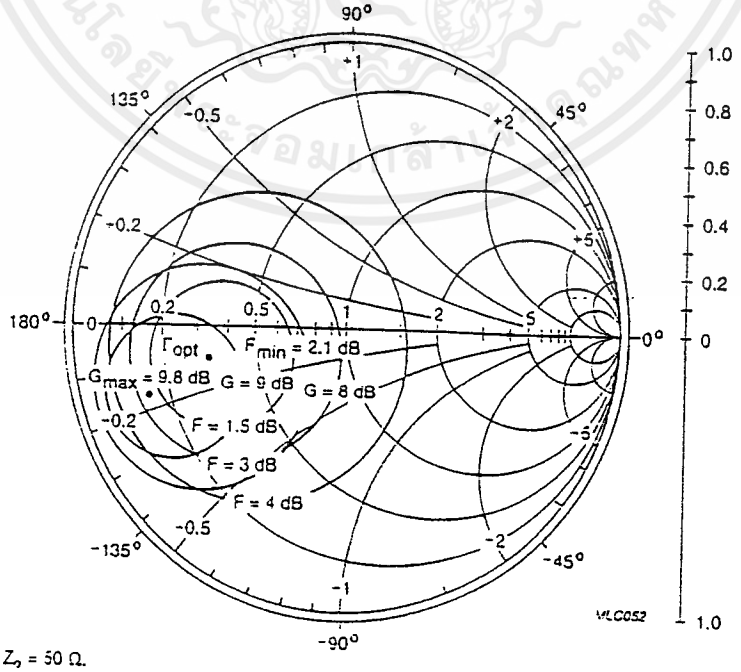
Fig.16 Associated available gain as a function of frequency; typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



f = 900 MHz; V_{CE} = 8 V; I_C = 10 mA; Z_o = 50 Ω.

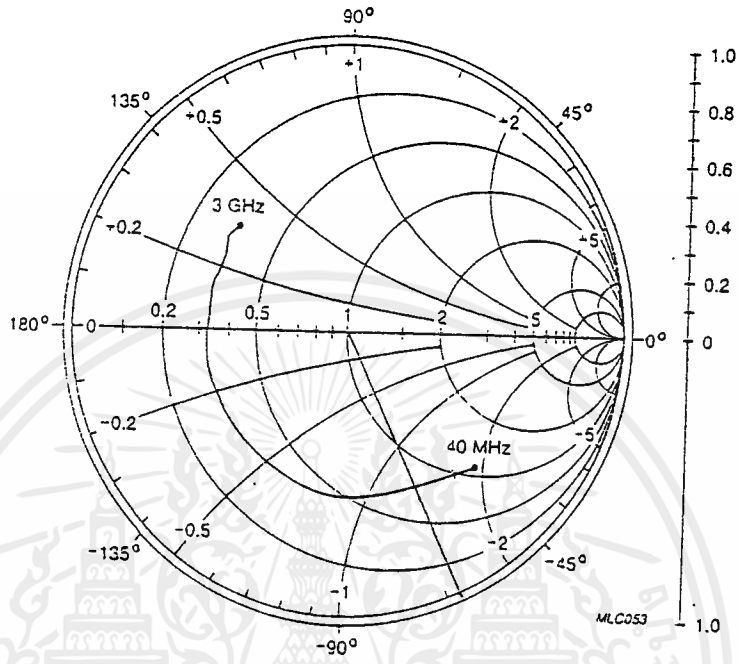
Fig.17 Common emitter noise figure circles; typical values.



f = 2 GHz; V_{CE} = 8 V; I_C = 10 mA; Z_o = 50 Ω.

Fig.18 Common emitter noise figure circles; typical values.

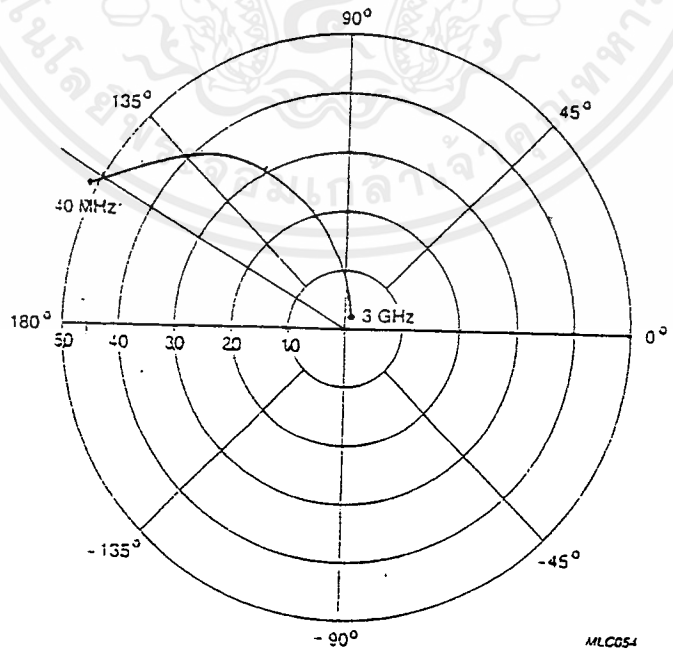
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$S_{11} = 0.63 \angle -51°$

V_{CE} = 8 V; I_C = 40 mA; Z_o = 50 Ω.

Fig.19 Common emitter input reflection coefficient (s_{11}); typical values.

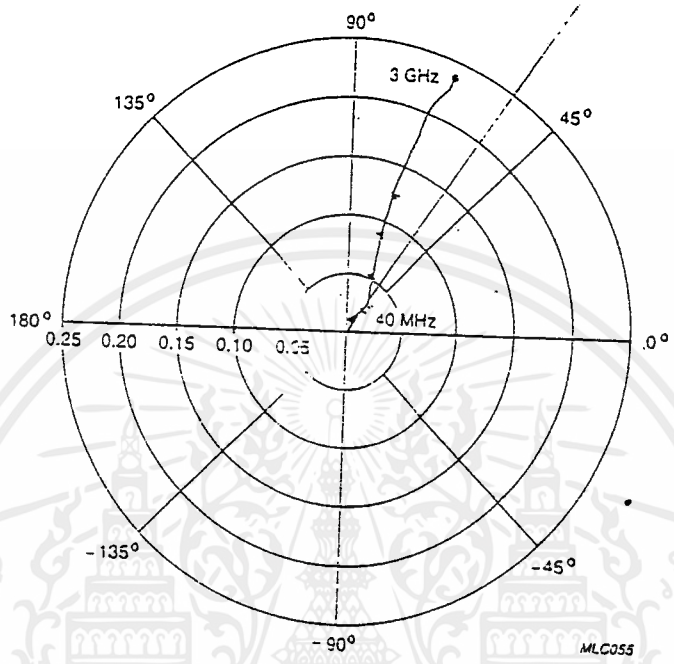


S_{21} 4.6 ∠ 149°

V_{CE} = 8 V; I_C = 40 mA

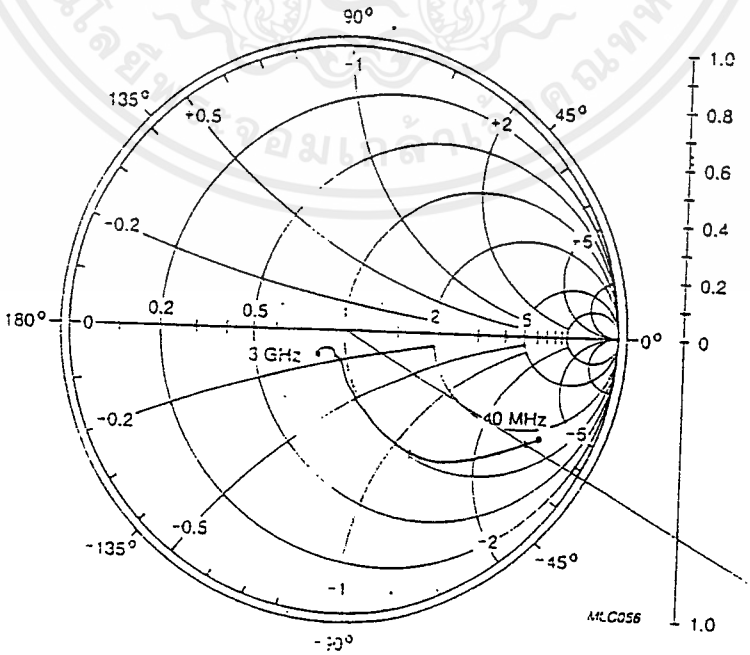
Fig.20 Common emitter forward transmission coefficient (s_{21}); typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_{CE} = 8 V; I_C = 40 mA.

Fig.21 Common emitter reverse transmission coefficient (s_{12}); typical values.



V_{CE} = 8 V; I_C = 40 mA; Z_o = 50 Ω.

Fig.22 Common emitter output reflection coefficient (s_{22}); typical values.

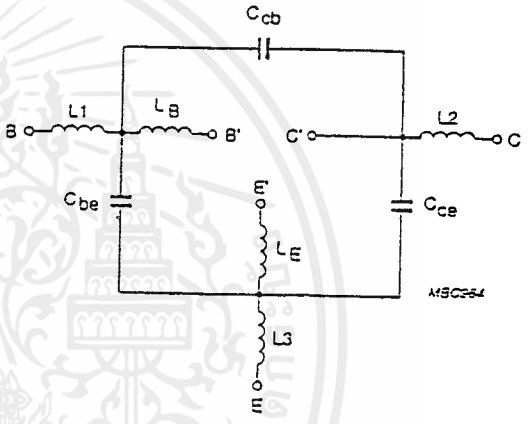
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPICE parameters for the BFG540W crystal

SEQUENCE No.	PARAMETER	VALUE	UNIT
1	IS	1.045	fA
2	BF	184.3	–
3	NF	0.981	–
4	VAF	41.69	V
5	IKF	10.00	mA
6	ISE	232.4	fA
7	NE	2.028	–
8	BR	43.99	–
9	NR	0.992	–
10	VAR	2.097	V
11	IKR	166.2	mA
12	ISC	129.8	aA
13	NC	1.064	–
14	RB	5.000	Ω
15	IRB	1.000	μA
16	RBM	5.000	Ω
17	RE	353.5	mΩ
18	RC	1.340	Ω
19 (1)	XTB	0.000	–
20 (1)	EG	1.110	eV
21 (1)	XTI	3.000	–
22	CJE	1.978	pF
23	VJE	600.0	mV
24	MJE	0.332	–
25	TF	7.457	ps
26	XTF	11.40	–
27	VTF	3.158	V
28	ITF	156.9	mA
29	PTF	0.000	deg
30	CJC	793.7	fF
31	VJC	185.5	mV
32	MJC	0.084	–
33	XCJC	0.150	–
34	TR	1.598	ns
35 (1)	CJS	0.000	F
36 (1)	VJS	750.0	mV
37 (1)	MJS	0.000	–
38	FC	0.814	–

Note

1. These parameters have not been extracted, the default values are shown.



$QL_B = 50$; $QL_E = 50$; $QL_{B,E}(f) = QL_{B,E}\sqrt{(f/f_c)}$
f_c = scaling frequency = 1 GHz.

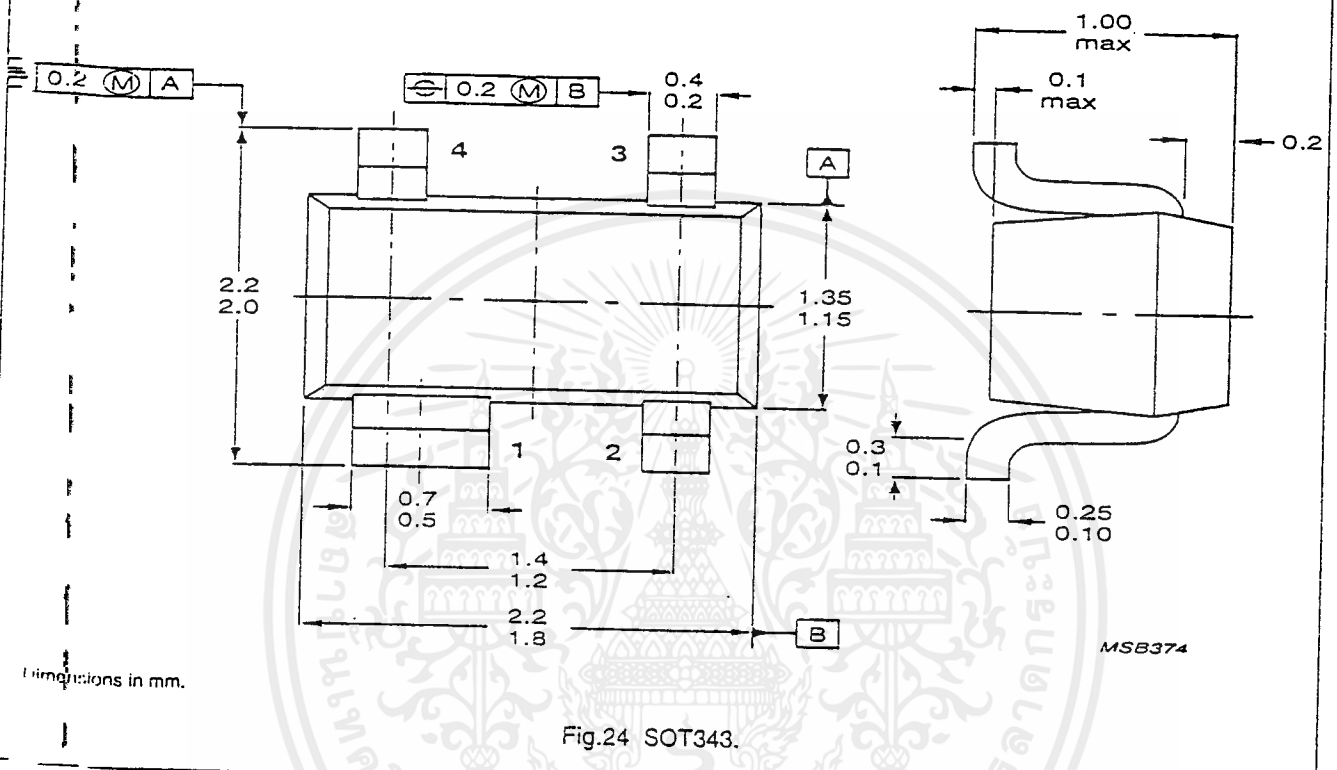
Fig.23 Package equivalent circuit SOT343; SOT343R.

List of components (see Fig.23).

DESIGNATION	VALUE	UNIT
C_{be}	70	fF
C_{cb}	50	fF
C_{ce}	115	fF
L1	0.34	nH
L2	0.10	nH
L3	0.25	nH
L_B	0.40	nH
L_E	0.40	nH

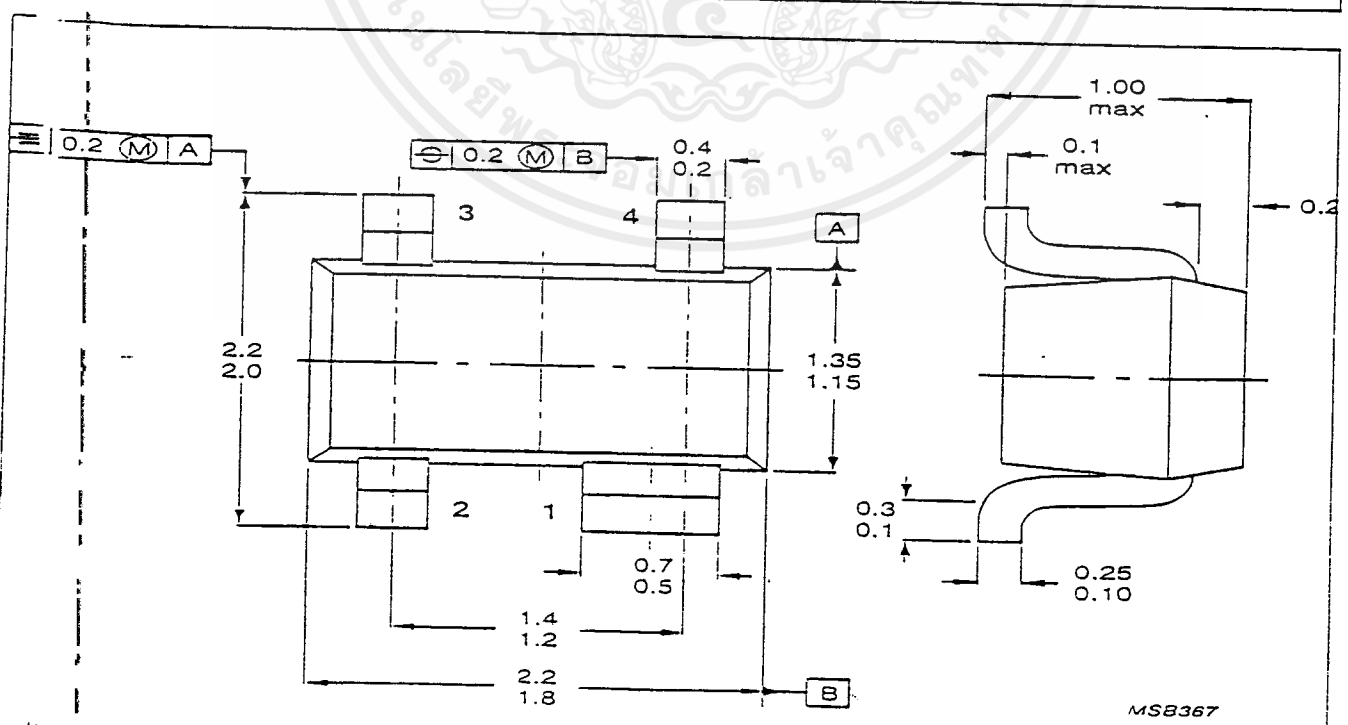
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES



Dimensions in mm.

Fig.24 SOT343.



Dimensions in mm.

Fig.25 SOT343R.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data Sheet Status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Modulus Prescaler

MC12015
MC12016
MC12017

MECL PLL COMPONENTS

DUAL MODULUS PRESCALER

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5Vdc to Pin 8.

- 225MHz Toggle Frequency
- Low–Power 7.5mA Maximum at 6.8V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5V to 9.5V

P SUFFIX
PLASTIC PACKAGE
CASE 626–05

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05

MAXIMUM RATINGS

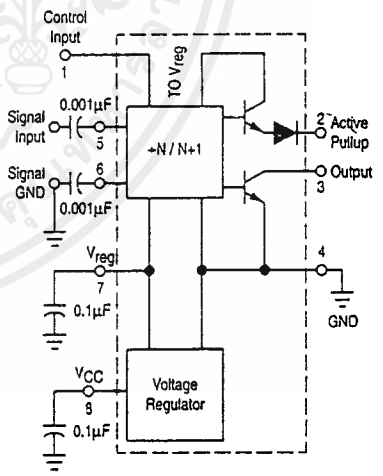
Symbol	Characteristic	Range	Unit
V_{reg}	Regulated Voltage, Pin 7	8.0	Vdc
V_{CC}	Power Supply Voltage, Pin 8	10.0	Vdc
T_A	Operating Temperature Range	–40 to +85	°C
T_{stg}	Storage Temperature Range	–65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5V; V_{reg} = 4.5 to 5.5V; T_A = –40 to +85°C)

Symbol	Characteristic	Min	Typ	Max	Unit
f_{max} f_{min}	Toggle Frequency (Sine Wave Input)	225		 35	MHz
I_{CC}	Supply Current		6.0	7.8	mA
V_{IH}	Control Input HIGH (÷32, 40 or 64)	2.0			V
V_{IL}	Control Input LOW (÷33, 41 or 65)			0.8	V
V_{OH}	Output Voltage HIGH[1] (I_{source} = 50µA)	2.5			V
V_{OL}	Output Voltage LOW[1] (I_{sink} = 2mA)			0.5	V
V_{in}	Input Voltage Sensitivity 35MHz 50–225MHz	 400 200		 800 800	mVPP
t_{PLL}	PLL Response Time (Notes 2 and 3)			t_{out}70	ns

1. Pin 2 connected to Pin 3
2. t_{PLL} = the period of time the PLL has from the prescaler rising output transistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection
3. t_{out} = period of output waveform

PRESCALER BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

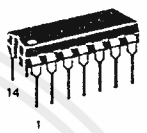
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

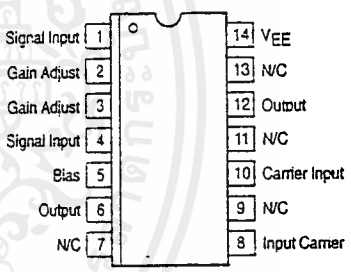
This device contains 8 active transistors.



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

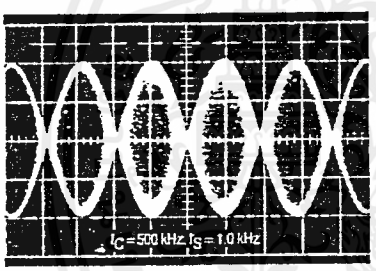


Figure 1. Suppressed Carrier Output Waveform

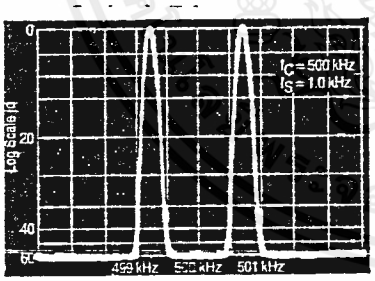


Figure 2. Suppressed Carrier Spectrum

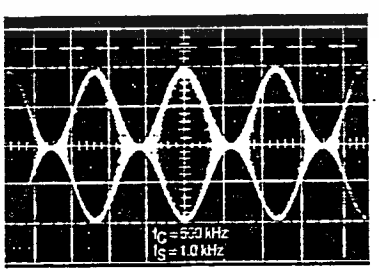


Figure 3. Amplitude Modulation Output Waveform

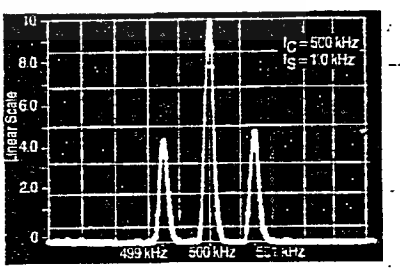


Figure 4. Amplitude–Modulation Spectrum

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 =(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero: f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave: offset adjusted to zero: f_C = 1.0 kHz				–	0.04	0.4	mVrms
offset not adjusted: f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω) Carrier Input Port, V_C = 60 mVrms sine wave	8	8	BW_{3dB}				MHz
f_S = 1.0 kHz, 300 mVrms sine wave				–	300	–	
Signal Input Port, V_S = 300 mVrms sine wave |V_C| = 0.5 Vdc				–	80	–	
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C| = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	–	r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	–	r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current $I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$	7	–	I_{bS} I_{bC}	– –	12 12	30 30	μA
Input Offset Current I_{ioS} = I1–I4; I_{ioC} = I8–I10	7	–	|I_{ioS}| |I_{ioC}|	– –	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz; |V_C| = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain.

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

30 Vdc ≥ [(V6, V12) – (V8, V10)] ≥ 2 Vdc
30 Vdc ≥ [(V8, V10) – (V1, V4)] ≥ 2.7 Vdc
30 Vdc ≥ [(V1, V4) – (V5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_S\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_S\ (\text{signal})} \Bigg|\ V_C = 0.5\ \text{Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

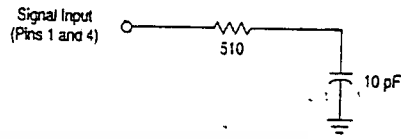
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

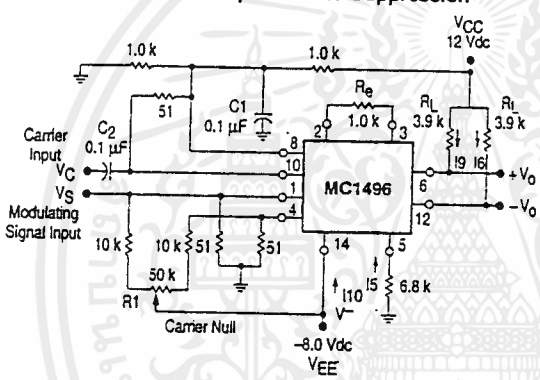
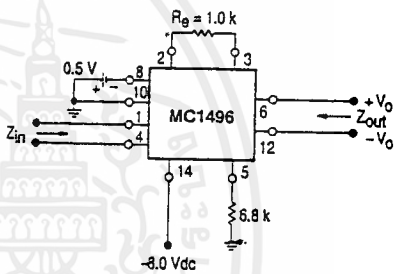


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

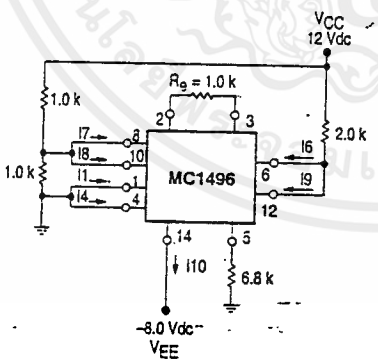
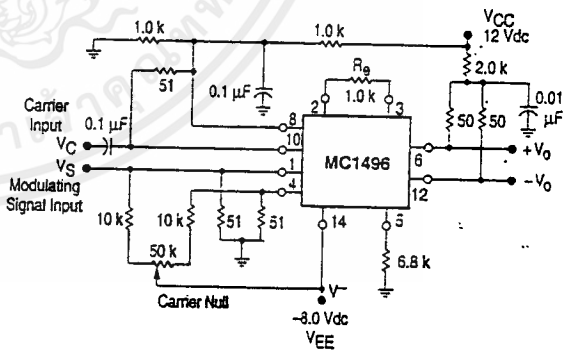


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

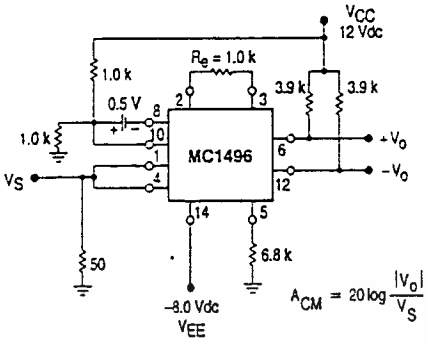
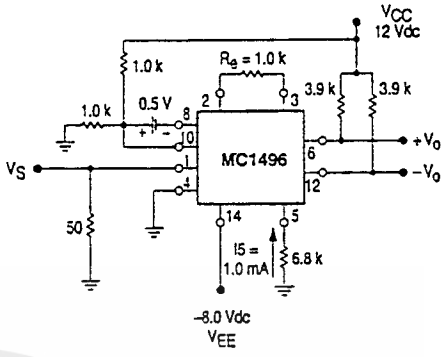


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

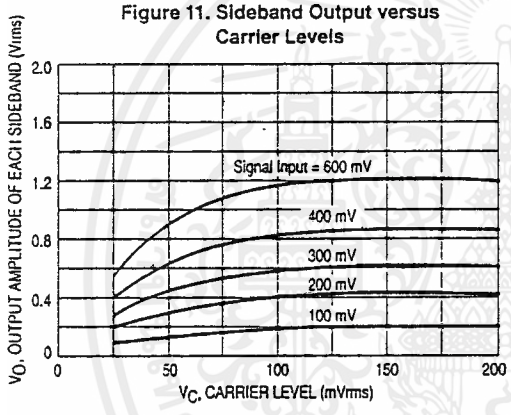


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

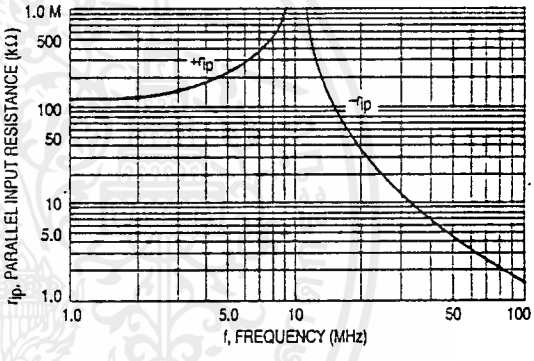


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

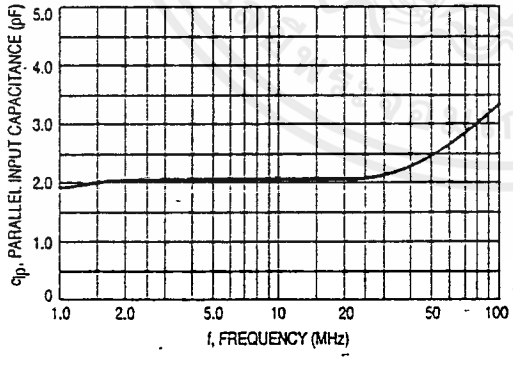
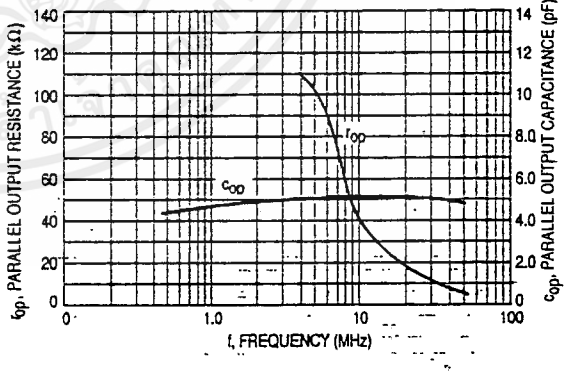


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

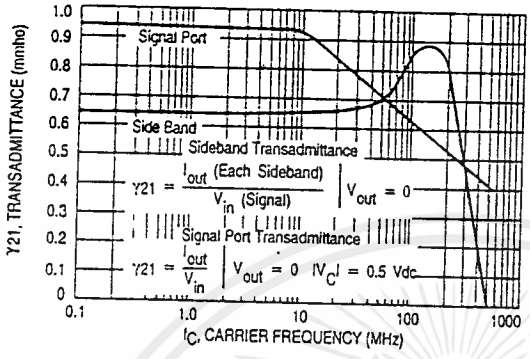


Figure 16. Carrier Suppression versus Temperature

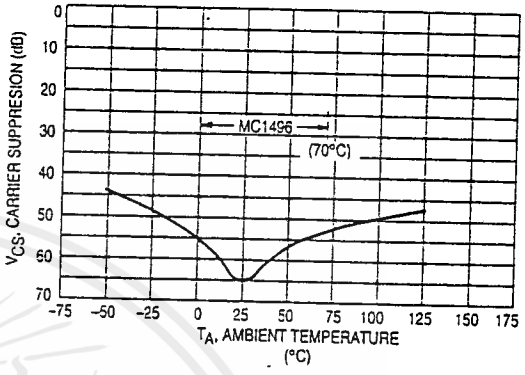


Figure 17. Signal–Port Frequency Response

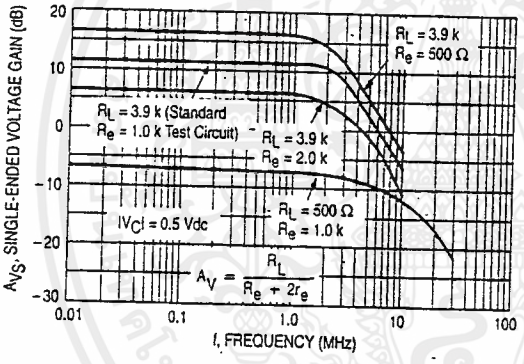


Figure 18. Carrier Suppression versus Frequency

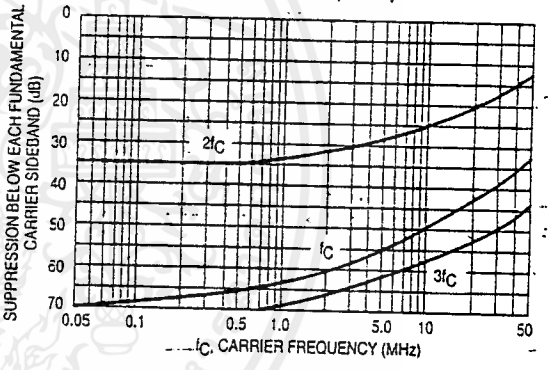


Figure 19. Carrier Feedthrough versus Frequency

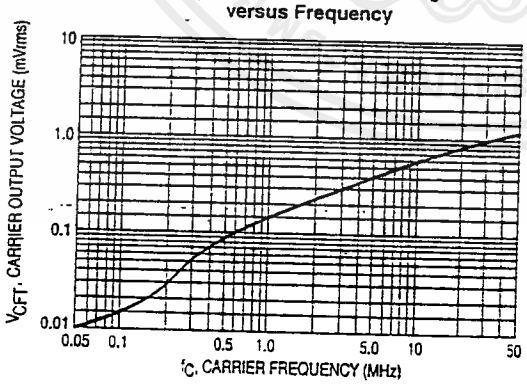
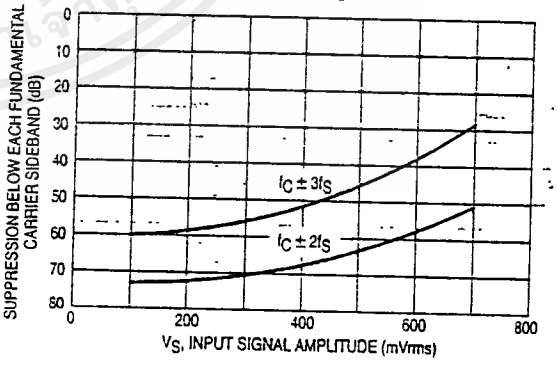


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

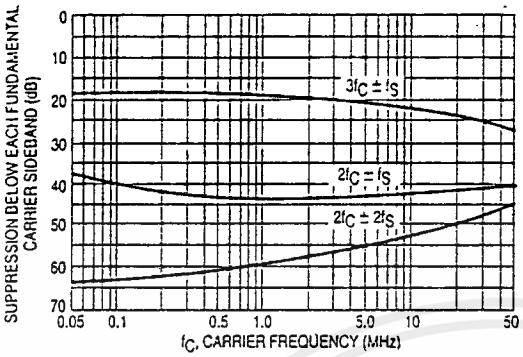
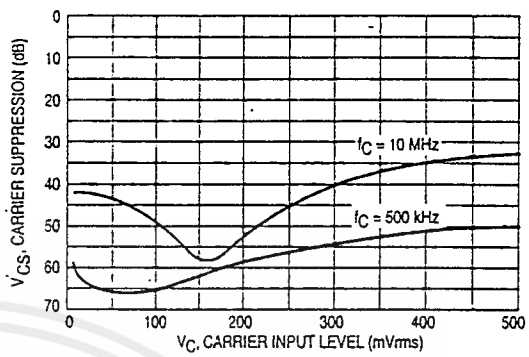


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

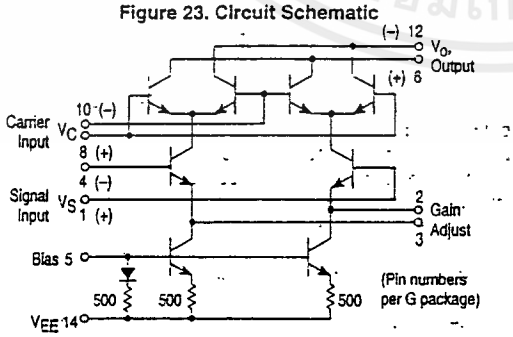
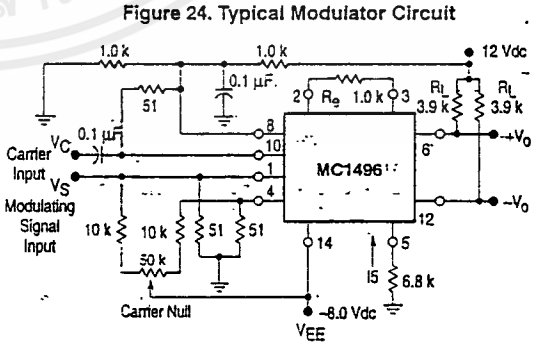


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C = f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C:
$$re \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

8

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

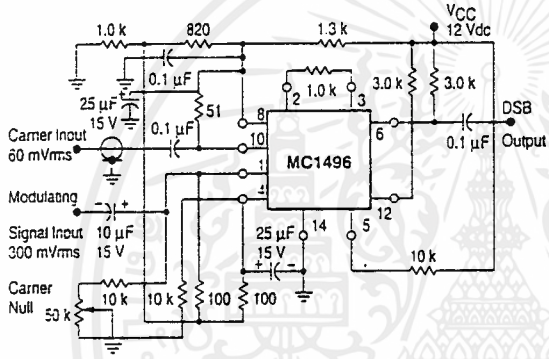


Figure 27. Balanced Modulator–Demodulator

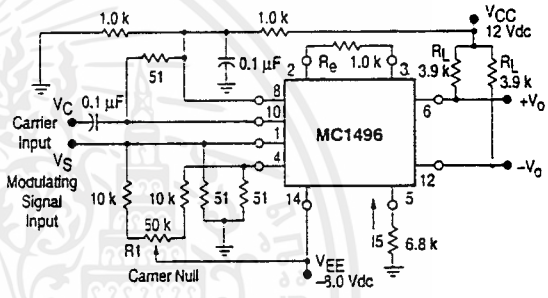


Figure 28. AM Modulator Circuit

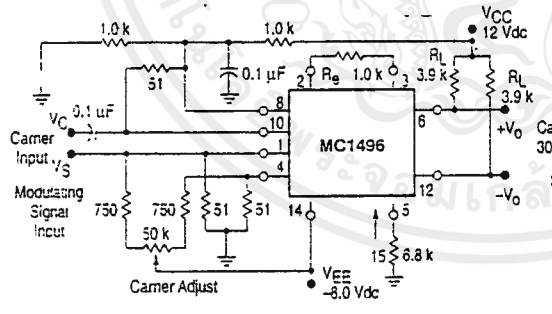
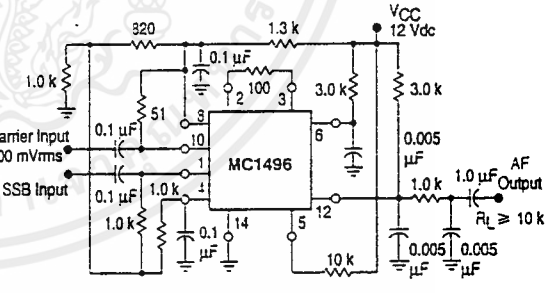
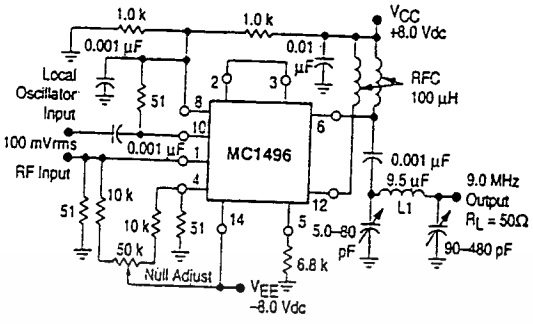


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer
(Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

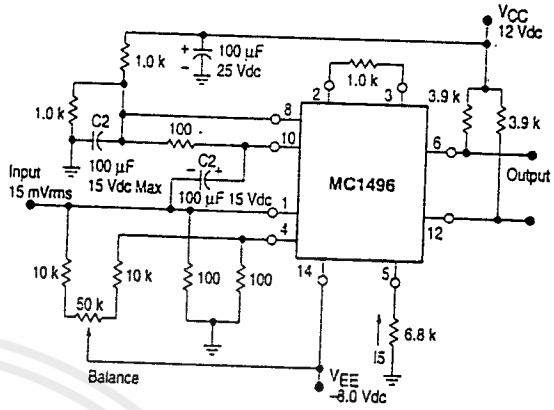
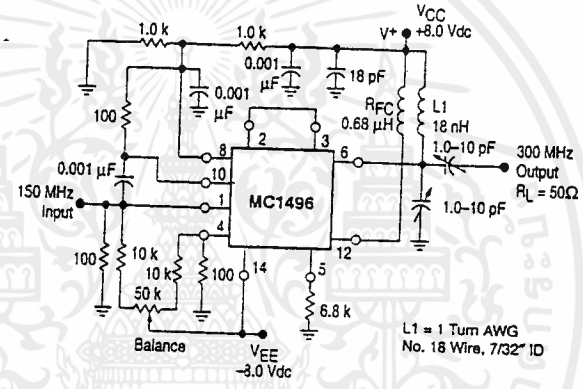
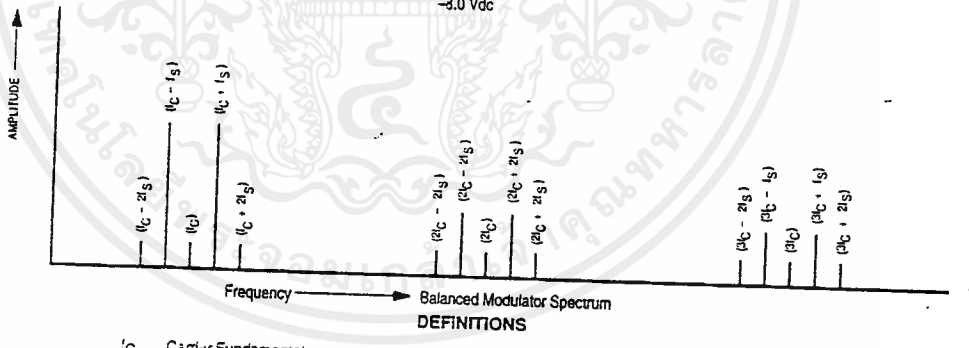


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C Carrier Fundamental
f_S Modulating Signal
$f_C \pm f_S$ Fundamental Carrier Sidebands
$f_C \pm nf_S$ Fundamental Carrier Sideband Harmonics
nf_C Carrier Harmonics
$nf_C \pm nf_S$ Carrier Harmonic Sidebands

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

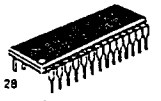
Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

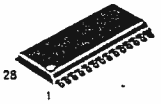
The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



P SUFFIX
PLASTIC DIP
CASE 710

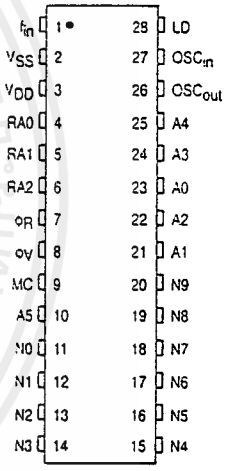


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

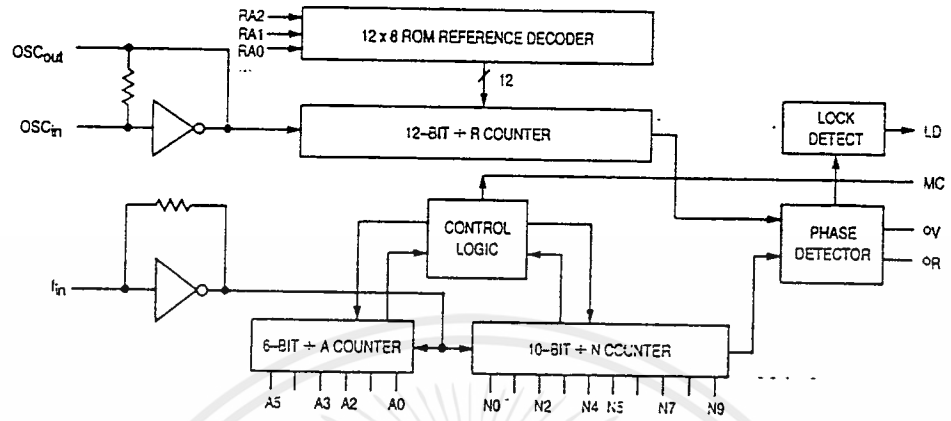
PIN ASSIGNMENT



REV 1
8/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min.	Max	
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	$V_{in} = V_{DD}$ or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	$V_{in} = V_{SS}$	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	− 20	− 400	− 20	− 200	− 20	− 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} = 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} = 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} = 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} = 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.60 − 0.90 − 1.50	— — —	− 0.50 − 0.75 − 1.25	— — —	− 0.30 − 0.50 − 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.25 − 0.64 − 1.30	— — —	− 0.20 − 0.51 − 1.00	— — —	− 0.15 − 0.36 − 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.44 − 0.64 − 1.30	— — —	− 0.35 − 0.51 − 1.00	— — —	− 0.22 − 0.36 − 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_w	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

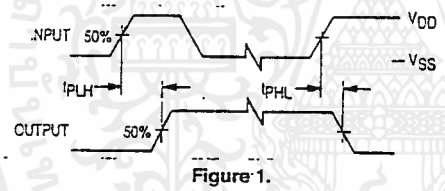
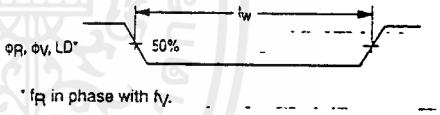


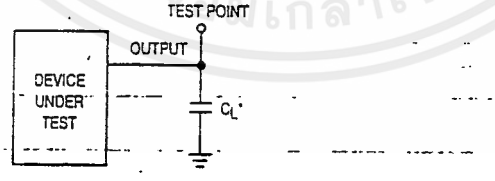
Figure 1.



* f_R in phase with f_V.

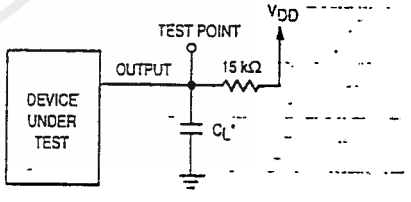
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

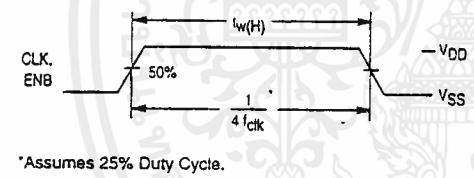
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

Figure 8.

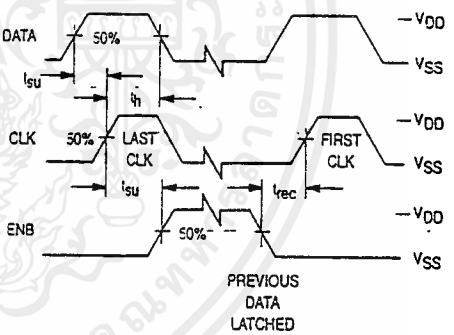


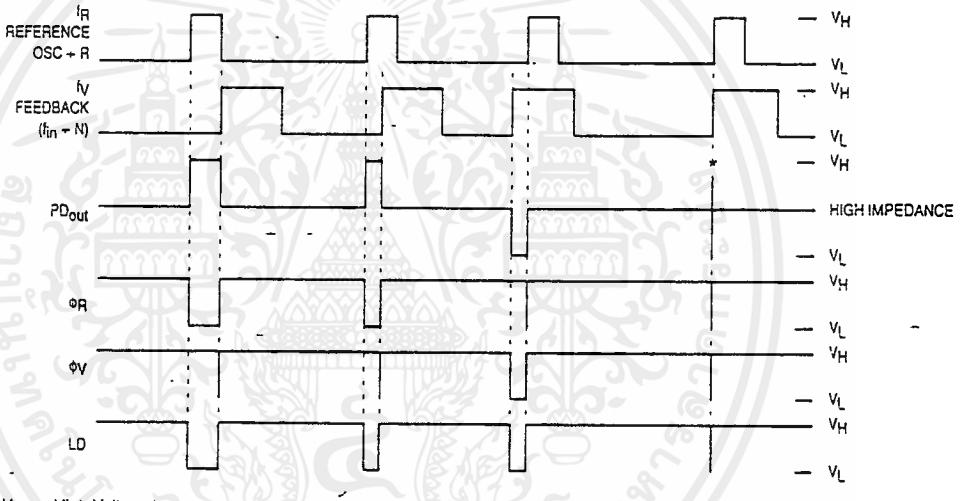
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_p + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_p is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_p + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

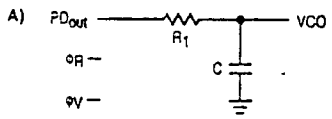
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

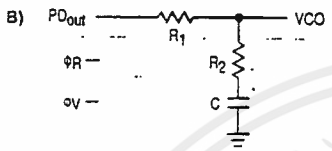


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

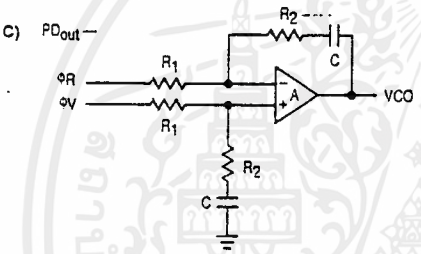


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n\left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors; each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) = $\frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*. New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

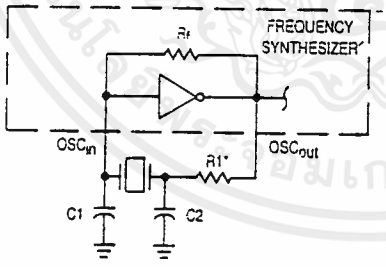
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

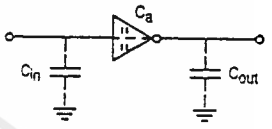
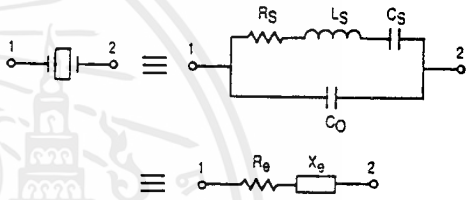


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Name	Address	Phone
United States Crystal Corp.	3605 McCart Ave., Ft. Worth, TX 76110	(817) 921–3013
Crystek Crystal	2351 Crystal Dr., Ft. Myers, FL 33907	(813) 936–2109
Statek Corp.	512 N. Main St., Orange, CA 92668	(714) 639–7810

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12022A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12032A	÷ 64/65 or ÷ 129/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P + A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

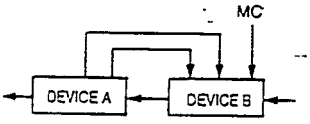
1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.
3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101
MC10154	÷ 40/÷ 41 OR ÷ 80/÷ 81	÷ 64/÷ 65 OR ÷ 128/÷ 129	÷ 80/÷ 81

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels. N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD

Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}

Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

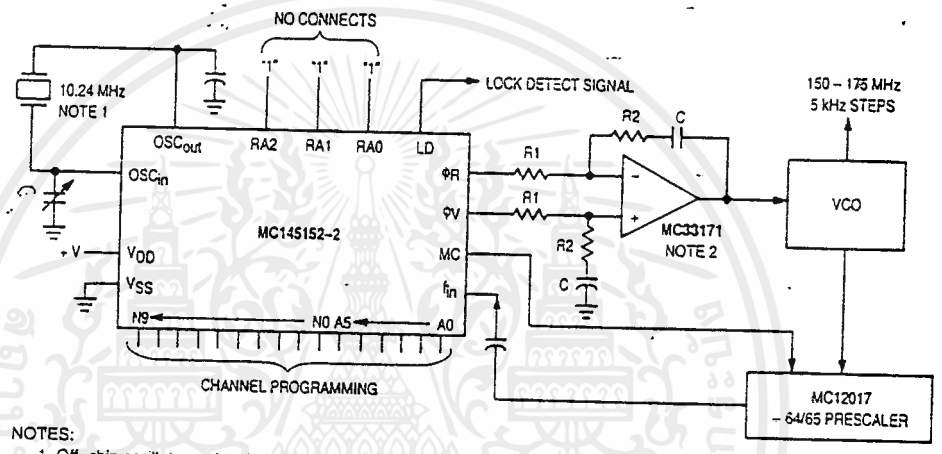
V_{SS}

Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

2

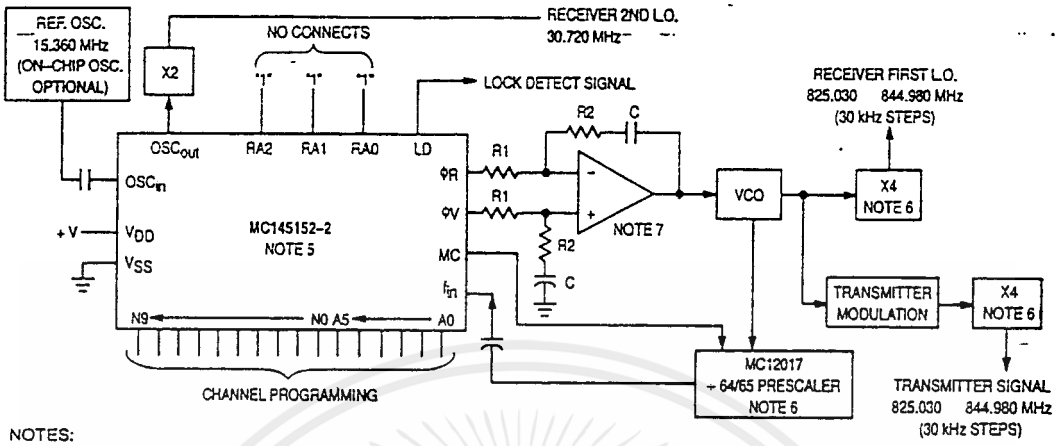
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากได้รับความรู้และคำแนะนำจาก ดร.ทองทด วานิชศรี์ และ เครื่องพิมพ์เอกสารคอมพิวเตอร์ จากนายชัยธร สิมาภรณ์วานิช จึงขอขอบคุณมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Couch, Leon W., "Modern communication systems.", Englewood dliffs, New Jersey: Prentice Hall, 1995

[2] Schweber, William, "Electronic communication systems", Englewood dliffs, N.J.,: Prentice Hall, 1997

[3] Jemes, Lloyd, "Electronic communication", New York: McGraw-Hill, 1979

[4] Sedra, Adel S. Kenneth, C. Smith, "Microelectronic circuits", New York : Holt,Rinehart and winston, 1987

[5] M.E. Van Valkenburg, "Analog filter design", New York: Holt-Saunder international edition, 1982

[6] B. Williams Fred J. Tayler, "Electronic Filter Design Handbook", McGraw Hill Publishing Company.

[7] ดร.มงคล เดชนครินทร์, ดร.ชาตรี ศรีไพพรรณ, "อิเล็กทรอนิกส์พื้นฐาน", กรุงเทพฯ: สำนักพิมพ์ซีเอ็ดยูเคชั่น จำกัด

[8] นายชูชัย ธนสารตั้งเจริญ, นายพิชัย ภักดีพานิชเจริญ, "ระบบสื่อสารวิทยุ", กรุงเทพฯ: สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

[9] นายสุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร", กรุงเทพฯ: สำนักพิมพ์ซีเอ็ดยูเคชั่น จำกัด, 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้