



เครื่องรับโทรศัพท์เคลื่อนที่ระบบAMPS

AMPS RECEIVER

โดย

นายไชยยศ

เกียรติพิมลกุล

นางสาววราภรณ์

สุขแสนชนานันท์

นายสุวคิน

วิทยวิจักขณ์

วัน เดือน ปี..... 18.ค.ค. 2541
เลขทะเบียน..... 039069
เลขเรียกหนังสือ..... T 10010 มธ82ด

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

HARDWARE OK
[Signature]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039069

เครื่องรับโทรศัพท์เคลื่อนที่ระบบAMPS

AMPS RECEIVER

โดย

นายไชยยศ	เกียรติพิมลกุล	37014101
นางสาววรารักษ์	สุขแสนชนานันท์	37014380
นายสุวสิน	วิทยวิจักขณ์	37014583

อาจารย์ที่ปรึกษา
ดร.ทองทอด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS

AMPS RECEIVER

โดย นายไชยยศ เกียรติพิมลกุล
นางสาววราภรณ์ สุขแสนชนานันท์
นายสุวสิน วิชาวิจิษฐ์
อาจารย์ที่ปรึกษา คร.ทองทศ วานิชศรี

บทคัดย่อ

โครงการนี้เป็นการออกแบบภาครับของเครื่องโทรศัพท์เคลื่อนที่ระบบ AMPS (ADVANCED MOBILE TELEPHONE SYSTEMS) โดยเครื่องรับจะสามารถรับความถี่ตั้งแต่ 869.0 เมกะเฮิรซ์ ถึง 894.0 เมกะเฮิรซ์ มีช่วงห่างของความถี่ 30 กิโลเฮิรซ์ต่อช่องสัญญาณ โดยเครื่องรับจะเป็นระบบ Double Superheterodyne โดยมีความถี่ First IF เท่ากับ 45 เมกะเฮิรซ์ และ Second IF เท่ากับ 450 กิโลเฮิรซ์ ระบบการ Demodulation เป็นแบบ FM ความไวของเครื่องรับมีค่าดีกว่า -90 dBm

โครงการนี้เป็นโครงการต่อเนื่องโดยได้เริ่มทำบางส่วนในภาคเรียนที่ 1 และได้ดำเนินการต่อจนเสร็จสมบูรณ์ในภาคเรียนที่ 2

ABSTRACT

This project is a designment of AMPS system receiver. The receiver received capability is from 869 to 894 MHz, space per channel is 30 kHz. It is double superheterodyne system including first IF frequency 45 MHz, second IF frequency 450 MHz, using FM demodulation and the sensitivity of this receiver is better than -90 dBm. This project is for 2 semesters. Some section is made in semester 1/2540 and will complete in semester 2/2540

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS

AMPS RECEIVER

ผู้จัดทำ

- | | |
|----------------|--------------------------|
| 1. นายโชคชัย | เกียรติพิมลฤกษ์ 37014101 |
| 2. นางสาววรารณ | สุขแสนชนานันท์ 37014380 |
| 3. นายสุวสิน | วิทยวิภักษ์ 37014538 |

ทอช วิ่งพร

(ดร. ทองทศ วานิชศรี)

อาจารย์ที่ปรึกษา



สารบัญ

หน้า

บทที่1. บทนำ	1
บทที่2. ทฤษฎีและหลักการ	2
2.1 การออกแบบวงจรขยายสัญญาณแบบใช้ S พารามิเตอร์	2
2.2 ไมโครเวฟ-ออสซิลเลเตอร์	18
2.3 ระบบส่งเคราะห์ความถี่	25
2.4 วงจรมิกเซอร์	41
2.5 การออกแบบระบบส่งเคราะห์ความถี่	42
2.6 ขั้นตอนการออกแบบวงจรขยายสัญญาณที่มีการถ่ายสัญญาณโดยวงจร CR	45
2.7 การหาค่าต่างๆ ที่ใช้ในวงจร	47
2.8 ความถี่เสียง	53
บทที่3. การคำนวณและการสร้าง	55
3.1 การสร้างวงจรวิธีโอฮ่านความถี่ 881.5 ± 45 MHz	55
3.2 การออกแบบวงจรระบบส่งเคราะห์ความถี่ย่าน 881.5 ± 45 MHz	55
3.3 วงจร LNA (Low Noise Amplifier)	59
3.4 วงจรเฟสล็อกกลุ่ปย่านความถี่ 45 MHz	61
3.5 วงจรแบนด์พาสฟิลเตอร์ย่านความถี่ 45 MHz	66
3.6 วงจรคิเทกสัญญาณ Audio	67
3.7 วงจรขยายสัญญาณคลาส A	67
3.8 วงจรขยายกำลัง (Power Amplifier) ภาสสุททัย	69
3.9 วงจรมิกเซอร์	70
บทที่4. การทดลองและผลการทดลอง	71
4.1 วงจรเฟสล็อกกลุ่ปย่านความถี่ 881.5 ± 45 MHz	71
4.2 วงจรแบนด์พาสฟิลเตอร์ย่านความถี่ 45 MHz	77
4.3 วงจรมิกเซอร์	79
4.4 วงจร LNA (Low Noise Amplifier)	81
4.5 วงจรคิเทกสัญญาณ Audio โดยใช้ไอซีเบอร์ MC3362	82
4.6 วงจรขยายเสียง (Audio Amplifier)	84
4.7 วงจรรวมของเครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS	85
บทที่5. บทสรุปและวิจารณ์	93

ภาคผนวก

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่

หน้า

1.1	บล็อกโคอะแกรมแสดงการทำงานของเครื่องรับ โทรศัพท์เคลื่อนที่ระบบAMPS	1
2.1.1	แสดงการพล็อตหาค่าแอมป์ซึ่งอิมพีแดนซ์ทางค่านอินพุต	4
2.1.2	แสดงการพล็อตหาค่าแอมป์ซึ่งอิมพีแดนซ์ทางค่านเอาต์พุต	5
2.1.3	แสดงวงจรที่ได้จากการคำนวณตามตัวอย่างที่ 2.1	5
2.1.4	แสดงผลของเอาต์พุตโดยการหาค่าของวงกลมในสมิทชาร์ท	7
2.1.5	การหาค่าของจุดปลาย (D) ในสมิทชาร์ท	8
2.1.6	แสดงวงจรสมมูลสุดท้ายจากตัวอย่างที่ 2.2	10
2.1.7	แสดง stability circles ของทรานซิสเตอร์ซึ่งทำงานในช่วง ไม่มีเสถียรภาพ	11
2.1.8	แสดงวงกลมเสถียรภาพของทรานซิสเตอร์ที่มีแนวโน้มว่าจะเกิดการออสซิลเลท	13
2.1.9	แสดงวงกลมเสถียรภาพและอัตราขยายของทรานซิสเตอร์ในตัวอย่างที่ 2.3	14
2.1.10	แสดงการพล็อตออกแบบวงจรอินพุตของวงจรขยายสัญญาณตามตัวอย่างที่ 2.4	16
2.1.11	แสดงการพล็อตสมิทชาร์ทเพื่อหาค่าวงจรทางเอาต์พุตในตัวอย่างที่ 2.4	17
2.1.12	แสดงวงจรสมมูลจากการคำนวณในตัวอย่างที่ 2.4	18
2.2.1	Incident wave and reflected waves on a transmission line	19
2.2.2	Incident and reflected wave for a two-port device	19
2.2.3	Two-Port Connected To a Generator	21
2.2.4	Oscillator-equivalent circuits (a);(b) Parallel-resonant	22
2.2.5	Block Diagram For Oscillator Design	23
2.2.6	A) วงจรออสซิลเลเตอร์ , B) ลายวงจรMicrostrip	25
2.3.2.1	แผนผังของเฟสล็อกคัล	26
2.3.3.1	แผนผังของหน่วยสังเคราะห์ความถี่	27
2.3.4.1	เฟสโนยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆ กับความถี่เอาต์พุต	28
2.3.5.1	แสดงวงจร โคลพิทซ์ออสซิลเลเตอร์ซึ่งใช้เฟท	29
2.3.5.2	แสดงการใช้วารีเตปกับวงจรออสซิลเลเตอร์	30
2.3.5.3	แสดงการต่อวงจรเพื่อให้แก้ปัญหาการเรกคิไฟร์	30
2.3.5.4	PLL แบบพรีสเกลเลอร์	31
2.3.5.5	แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์	32
2.3.5.6	(ก) วงจรออสซิลเลเตอร์อ้างอิง CMOS เบอร์ 4060	33
	(ข) ตัวอย่างไอซี ที่ใช้กำเนิดความถี่อ้างอิงเบอร์ TC5082P	33
2.3.5.7	ภาคเฟตติเทคเตอร์แบบ ไอซีของ Plessey เบอร์ NT8811	34
2.3.5.8	ตัวอย่างวงจรรูปฟิลเตอร์	35

2.3.5.9 คุณสมบัติ dynamic characteristic ในการเปลี่ยนความถี่ของ PLL	35
2.3.5.10 ตัวอย่าง โปรแกรมเมเบิล (Programmable) โดยใช้ไอซีตระกูล TTL	36
2.3.5.11 ตัวอย่างวงจรหาร N ชนิดความเร็วสูง เป็นไอซีตัวเดียวเบอร์ Toshiba TC9122	36
2.3.6.1 ภาพหน้าตัดแสดงกระบอกคอยล์มีสลักฐานทั่วไป	37
2.3.6.2 ภาพ A แสดงหน้าตัด ภาพ B แสดงส่วนประกอบกระบอกคอยล์	39
2.3.6.3 เป็นตัวอย่างแสดงให้เห็นการพันขดลวดแบบมีการแท็ปคอยล์	40
2.3.6.4 แสดงความหมายของ a และ b ของขดลวด	41
2.4.1 แสดงตัวอย่างมิกเซอร์ (ก) มิกเซอร์ภาคเครื่องรับ (ข) มิกเซอร์ภาคเครื่องส่ง	42
2.5.1 บล็อกไดอะแกรมของ MC145152	42
2.5.2 บล็อกไดอะแกรมของ MC12017	43
2.5.3 แสดงวงจรสังเคราะห์ความถี่	43
2.6.1 เบดเตอร์ค่าขยายและการตอบสนองต่อความถี่	46
2.7.1 แสดงวงจรขยายสัญญาณที่ใช้กับสัญญาณขนาดเล็กย่านความถี่ต่ำ	47
2.7.2 เส้นแสดงสถานะของโหลด (Load line)	48
2.7.3 แสดงลักษณะของโหลดทางค่านไฟตรงและไฟสลับ	49
2.7.4 แสดงเส้นแสดงสถานะของโหลดทางค่านไฟตรงและไฟสลับ	49
2.7.5 แสดงกราฟของเส้นสถานะของโหลดของ Tr_2	50
2.7.6 การหาค่าของ R_b	51
2.7.7 แสดงกราฟของเส้นแสดงสถานะของโหลดของ Tr_1	52
3.1.1 แสดงวงจรวิธีโอเชียนความถี่ 881.5MHz	55
3.2.1 แสดงวงจรสังเคราะห์ความถี่	56
3.3.1 วงจร Low Noise Amplifier	61
3.4.1 แผนผังหน่วยสังเคราะห์ความถี่	61
3.4.2 วงจรวิธีโอเชียนความถี่ 45 เมกะเฮิรตซ์	63
3.4.3 แสดงการต่อไอซี TC9122	64
3.4.4 แสดงการต่อไอซี HD10551	64
3.4.5 แสดงการต่อไอซีเบอร์ TC5082	64
3.4.6 ไทม์มิงไดอะแกรมของตัวเปรียบเทียบเฟส	65
3.4.7 วงจรเปรียบเทียบเฟส	65
3.4.8 วงจรรูปฟิลเตอร์	66
3.5.1 แสดงการต่อวงจร LC ฐาน	66
3.6.1 แสดงการต่อวงจรเทกสัญญาณ Audio โดยใช้ไอซีเบอร์ MC3362	67

3.7.1 แสดงวงจรไบอัสแบบอัสซึกระแสป้อนกลับควมคุม	68
3.7.2 แสดงวงจรสมมูล AC	68
3.7.3 แสดงวงจรขยายโดยออกแบบให้มีอัตราขยายกำลัง 20 dB	69
3.8.1 รูปแสดงการต่อวงจรขยายสัญญาณ Audio ด้วยไอซี LM386	69
3.9.1 แสดงการต่อวงจรมิกเซอร์แบบบาลานซ์มิกเซอร์โดยใช้ไอซีเบอร์ TUF-5	70
4.1.1.1 แสดงการต่อวงจรวิธีโอเชียนความถี่ 881.5 ± 45 MHz	71
4.1.1.2 แสดงกราฟระหว่างความถี่เอาต์พุตของวงจรวิธีโอเชียนกับโวลต์เดจควมคุม	72
4.1.2.1 แสดงการต่อวงจรหรร MC12033	73
4.1.2.2 แสดงสัญญาณเอาต์พุตที่ได้จากวงจรหรรพรีเทเลเลอร์ (MC12033)	73
4.1.3.1 แสดงการต่อวงจรเฟตลือกูลความถี่ 881.5 ± 45 MHz	74
4.1.3.2 แสดงสัญญาณเอาต์พุตของเฟตลือกูล 914 เมกะเฮิรซ์	74
4.1.3.3 แสดงสัญญาณเอาต์พุตของเฟตลือกูล 914 เมกะเฮิรซ์ ในรูปของเทาน์เตอร์	75
4.1.3.4 แสดงสัญญาณเอาต์พุตของเฟตลือกูล 939 เมกะเฮิรซ์	75
4.1.3.5 แสดงสัญญาณเอาต์พุตของเฟตลือกูล 939 เมกะเฮิรซ์ ในรูปของเทาน์เตอร์	76
4.1.3.6 แสดง side band ที่ความถี่ 939 เมกะเฮิรซ์	76
4.2.1 แสดงวงจรเบนด์พาสฟิลเตอร์ย่าน 45 เมกะเฮิรซ์	77
4.2.2 แสดงกราฟระหว่างระดับสัญญาณเอาต์พุตของวงจรเบนด์พาสฟิลเตอร์ ย่านความถี่ 45 เมกะเฮิรซ์	79
4.3.1 แสดงการต่อวงจรมิกเซอร์เพื่อทำการทดลอง	79
4.3.2 แสดงผล โดยการใช้สเปกตรัมอนาลิเซอร์ ที่ความถี่เอาต์พุต 45 เมกะเฮิรซ์	80
4.4.1 แสดงการต่อวงจรLNA (Low Noise Amplifier)	81
4.4.2 แสดงสัญญาณอินพุตของ LNA (Low Noise Amplifier) ที่ความถี่ 900 เมกะเฮิรซ์ ระดับกำลังสัญญาณ -60dBm	81
4.4.3 แสดงสัญญาณเอาต์พุตของ LNA (Low Noise Amplifier) ที่ความถี่ 900 เมกะเฮิรซ์ ที่มีอัตราขยายกำลังเท่ากับ +10dBm	82
4.5.1 แสดงการต่อวงจรคิเทคสัญญาณ Audio โดยใช้ไอซี MC3362	83
4.5.2 แสดงสัญญาณเอาต์พุต Audio ที่ได้จากสัญญาณอินพุต 45 เมกะเฮิรซ์ ที่ระดับ -60 dBm	83
4.5.3 แสดงสัญญาณเอาต์พุต Audio ที่ได้จากสัญญาณอินพุต 45 เมกะเฮิรซ์ ที่ระดับ -100 dBm	84
4.6.1 แสดงการต่อวงจร โดยใช้ไอซีเบอร์ LM386	84

4.6.2 แสดงสัญญาณเอาต์พุตซึ่งผ่านวงจรขยายย่าน Audio	85
4.7.1 แสดงการต่อวงจรรวมของเครื่องรับ โทรศัพท์เคลื่อนที่ระบบ AMPS	86
4.7.2 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -40 dBm	87
4.7.3 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -40 dBm	87
4.7.4 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -50 dBm	88
4.7.5 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -50 dBm	88
4.7.6 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -65 dBm	89
4.7.7 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 869 MHz ที่ระดับสัญญาณ -65 dBm	89
4.7.8 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -40 dBm	90
4.7.9 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -40 dBm	90
4.7.10 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -50 dBm	91
4.7.11 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -50 dBm	91
4.7.12 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -65 dBm	92
4.7.13 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 894 MHz ที่ระดับสัญญาณ -65 dBm	92

สารบัญตาราง

	หน้า
ตารางที่ 2.3.6.1 ข้อมูลเฉพาะของกระบอกคอยล์ AMIDON	38
ตารางที่ 3.2.1 แสดงค่าตัวหาร N และ A ในแต่ละความถี่	59
ตารางที่ 4.1.1.1 แสดงผลการทดลองวงจรวีซีโอที่ความถี่ 881.5 ± 45 MHz	72
ตารางที่ 4.2.1 แสดงระดับสัญญาณเอาต์พุตของวงจรแบนด์พาสฟิลเตอร์ย่านความถี่ 45 MHz	78
ตารางที่ 4.3.1 แสดงเอาต์พุตของวงจรมิกเซอร์ (first conversion)	80
ตารางที่ 4.6.1 แสดงสัญญาณเอาต์พุตซึ่งผ่านวงจรขยายย่าน Audio	84



บทที่ 1

บทนำ

ในปัจจุบัน โทรศัพท์เคลื่อนที่ได้เข้ามามีบทบาทสำคัญมากขึ้น เนื่องจากความเจริญเติบโตทางด้านเศรษฐกิจ โทรศัพท์เคลื่อนที่ที่มีทั้งระบบอนาล็อกและระบบดิจิทัล

โทรศัพท์เคลื่อนที่รุ่นล่าสุดที่กำลังใช้อยู่เป็นระบบ TDMA (Time Division Multiple Access) นำเข้ามาโดยการสื่อสารแห่งประเทศไทย

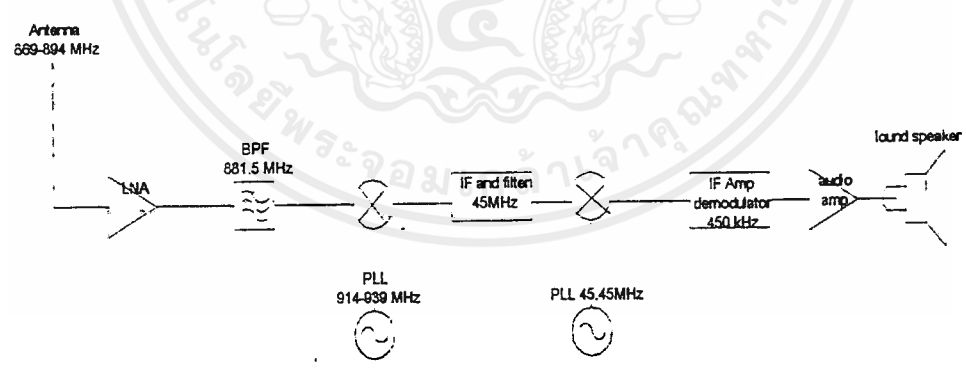
โทรศัพท์เคลื่อนที่รุ่นแรกๆ ที่องค์การโทรศัพท์นำเข้ามาเป็นระบบ NMT 450 MHz (Nodic Mobile Telephone) แต่เนื่องจากความถี่ 450 MHz เป็นความถี่ที่ใช้กับการทหาร จึงได้เปลี่ยนมาใช้เป็นความถี่ 470 MHz ประเภทของโทรศัพท์เคลื่อนที่เริ่มแรกจะเป็นโทรศัพท์เคลื่อนที่แบบดิครถยนต์มีมือถือ ต่อมามีการพัฒนามาเป็นแบบมือถือ โดยบริษัท AMPS เป็นระบบ 800 MHz ความถี่ที่ใช้ ถ้างี้สูงขึ้น อุปกรณ์ประกอบเครื่องก็ยิ่งเล็กลง แคร่ราคาจึงคงสูงอยู่ รูปแบบของโทรศัพท์เคลื่อนที่จึงเปลี่ยนไปเป็นคล้ายกระดิกน้ำมือถือขนาดเล็กลงได้ ต่อมาบริษัท NMT ผลิตโทรศัพท์เคลื่อนที่ระบบ 900 MHz ขึ้นมาแข่งกับ AMPS

AMPS มีช่องทำงาน 3 channel ได้แก่

- 1. control channel
- 2. reverse channel
- 3. forward channel

ชนิดของสัญญาณทั้ง 3 channel เป็น analog ทั้งหมด

รายงานฉบับนี้ขอเสนอเครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS รับความถี่ได้ตั้งแต่ 869 ถึง 894 MHz มีการ demodulate แบบ FM ซึ่งมีหลักการทำงานตามบล็อกไดอะแกรมดังต่อไปนี้



รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS

บทที่ 2

ทฤษฎีและหลักการ

2.1 การออกแบบวงจรขยายสัญญาณแบบใช้ S พารามิเตอร์

ในคู่มือทรานซิสเตอร์บางครั้งจะให้ข้อมูลมาเป็น S พารามิเตอร์ การคำนวณหาเสถียรภาพของวงจรจึงใช้วิธีหาค่า C หรือ k ไม่ได้ ต้องใช้หาค่า D_s (Intermediate quantity) ในสมการที่ 2.1.1

$$D_s = S_{11}S_{22} - S_{12}S_{21} \quad (2.1.1)$$

จากนั้นจึงเอาค่า D_s มาหาค่า K (Rollett stability factor) ในสมการที่ (2.1.2).

$$K = [1 + |D_s|^2 - |S_{11}|^2 - |S_{22}|^2] / [2 * |S_{21}| |S_{12}|] \quad (2.1.2)$$

ถ้าค่า K มากกว่า 1 แสดงว่าวงจรมีเสถียรภาพดีถ้าค่า K น้อยกว่า 1 แสดงว่าวงจรไม่มีเสถียรภาพอาจเกิดการออสซิลเลตบางความถี่ได้

ถ้าคำนวณออกมาแล้วค่า K น้อยกว่า 1 ให้จัดการดังนี้เลือกจุดไบอัสใหม่

1. เลือกทรานซิสเตอร์ที่แตกต่างออกไป

2. ทำการลดอัตราขยายโดยให้วงจรไม่แม็ชกัน

ส่วนค่าอัตราขยายสูงสุดที่ทำได้ดูจากสมการที่ 2.1.3

$$MAG = 10 \log \left[\frac{|S_{21}|}{|S_{12}|} \right] + 10 \log |k + k^2 - 1| \text{ dB} \quad (2.1.3)$$

จากสมการที่ 2.1.3 จะเห็นว่าค่า $k + k^2 - 1$ จะมีปัญหาในการคำนวณ เพราะต้องเลือกเครื่องหมายเดียว การเลือกเครื่องหมายสามารถทำได้โดยหาค่า B_1 เสียก่อนจากสมการที่ 2.1.4

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |D_s|^2 \quad (2.1.4)$$

ถ้าค่า B_1 มีเครื่องหมายลงก็ให้ใช้ $+k^2 - 1$ ถ้า B_1 มีเครื่องหมายเป็นบวกก็ให้ใช้ $-k^2 - 1$

บางครั้งการออกแบบวงจรยังไม่แม็ชกันดีระหว่างทรานซิสเตอร์กับโหลด เราสามารถหาการสะท้อนกลับของคลื่นได้จากสมการที่ 2.1.5

$$C_2 = S_{22} - (D_{11} S_{11}) \quad (2.1.5)$$

โดยค่า D_s หาได้จากสมการที่ 2.1.6

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |D_s|^2 \quad (2.1.6)$$

ส่วนค่าแมกนิจูดของสัญญาณสะท้อนกลับหาได้จากสมการที่ 2.1.7

$$|\xi_L| = [B_2 + B_2 - 4|C_2|^2] / 2|C_2| \quad (2.1.7)$$

ในทำนองเดียวกันก็สามารถหาค่าของสัญญาณสะท้อนกลับด้านขอสได้ ดังสมการที่ 2.1.8

$$|\xi_S| = [S_{11} + \{S_{12}S_{21} \xi_L\} / \{1 - (\xi_L - S_{22})\}] \quad (2.1.8)$$

ค่าของ ξ_L และ ξ_S สามารถพล็อตในสมิทชาร์ทได้ดังตัวอย่างที่ 2.1

ตัวอย่างที่ 2.1

จงออกแบบวงจรขยายสัญญาณที่มีความถี่ 200 MHz โดยให้มีวงจรแมชชิงทั้งทางค่านอินพุตและเอาต์พุต เพื่อให้ได้ค่าอัตราขยายสูงสุดที่โหลด 50 โอห์ม และกำหนดให้ $V_{CE} = 10\text{ V}$, $V = 20\text{ V}$ และ $I_C = 10\text{ mA}$

$$S_{11} = 0.4 \angle 162^\circ$$

$$S_{22} = 0.35 \angle -39^\circ$$

$$S_{12} = 0.04 \angle 60^\circ$$

$$S_{21} = 5.2 \angle 63^\circ$$

วิธีทำขั้นแรก หาค่า D_s จากสมการที่ 2.1.1 ได้

$$\begin{aligned} D_s &= (0.4 \angle 162^\circ)(0.35 \angle -39^\circ) - (0.04 \angle 60^\circ)(5.2 \angle 63^\circ) \\ &= 0.14 \angle 123^\circ - 0.208 \angle 123^\circ \\ &= 0.068 \angle -57^\circ \end{aligned}$$

จากนั้นหาค่าแมกนิจูดของ D_s โดยคำนวณหาค่า K

$$\begin{aligned} K &= [1 + (0.068)^2 - (0.4)^2 - (0.35)^2] / [2(5.2)(0.04)] \\ &= 1.74 \end{aligned}$$

เมื่อ K มากกว่า 1 แสดงว่าวงจรมีเสถียรภาพดี

หาค่า B_1 จากสมการที่ 2.1.4 ได้

$$\begin{aligned} B_1 &= [1 + (0.4)^2 - (0.35)^2 - (0.068)^2] \\ &= 1.03 \end{aligned}$$

จะหาค่า MAG จึงหาได้ดังนี้

$$\begin{aligned} \text{MAG} &= [10 \log (5.2/0.04) + 10 \log |1.74 - (1.74)^2 - 1|] \\ &= 1.61 \text{ dB} \dots \dots \dots * \end{aligned}$$

จากนั้นหาค่า C_2 และ B_2 เพื่อจะหาค่าสัญญาณสะท้อนกลับทั้งด้านโหลดและซอร์สได้ดังนี้

$$\begin{aligned} C_2 &= 0.35 \angle -39^\circ - [(0.068 \angle -57^\circ)(0.04 \angle -162^\circ)] \\ &= 0.272 - j0.22 - [-0.021 + j0.017] \\ &= 0.377 \angle -39^\circ \end{aligned}$$

และหาค่า B_2 ได้

$$\begin{aligned} B_2 &= 1 + (0.35)^2 - (0.4)^2 - (0.068)^2 \\ &= 0.958 \end{aligned}$$

จากนั้นหาค่า ξ_L ได้

$$\begin{aligned} |\xi_L| &= [0.958 - (0.958)^2 - 4(0.377)^2] / 2(0.377) \\ &= 0.487 \end{aligned}$$

เนื่องจาก C_2 มีมุมเป็น -39° ดังนั้น ξ_L จึงมีมุมเป็นบวก จะได้ค่า ξ_L คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\xi_L = 0.487 \angle 39^\circ \dots\dots\dots *$$

จาก ξ_L คำนวณหาค่า ξ_s ได้ดังนี้

$$\begin{aligned}\xi_s &= [0.4 \angle 162^\circ + (0.04 \angle 60^\circ)(5.2 \angle 63^\circ)(0.487 \angle 39^\circ)] / [1 - (0.487 \angle 39^\circ)(0.35 \angle -39^\circ)] \\ &= [0.522 \angle 162^\circ]^* \\ &= 0.522 \angle -162^\circ\end{aligned}$$

ส่วนการแม็ชวงจรอินพุตดูได้จากการหาค่าสมิททาร์ทรูปที่ 2.1.1 ค่าที่อ่านได้จากสมิททาร์ทจะเป็น $0.32 - j0.14$ แต่ค่าจริงจะเป็น $50(0.32 - j0.14)$ นั่นก็คือ $16 - j7$ โอห์ม

จากชาร์ทรูปที่ 2.1.1 จะอ่านส่วนโค้ง AB และ BC ได้

$$AB = C \text{ คอขนาน} = j1.45 \text{ mbos}$$

$$BC = L \text{ คออนุกรม} = j0.33 \text{ โอห์ม}$$

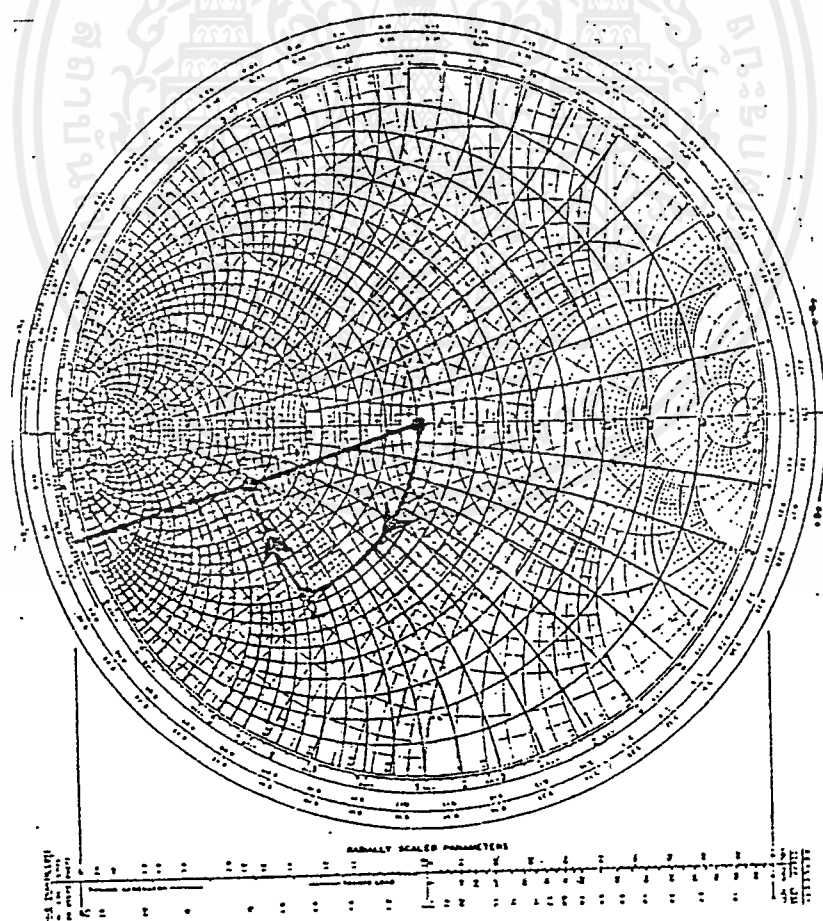
ค่า C_1 และ L_1 ของวงจรอินพุตแม็ชชิง หาได้ดังนี้

$$C_1 = 1.45 / [2\pi(200 \times 10^6)50]$$

$$= 23 \text{ pF} \dots\dots\dots *$$

$$L_1 = [(0.33)(50)] / [2\pi(200 \times 10^6)]$$

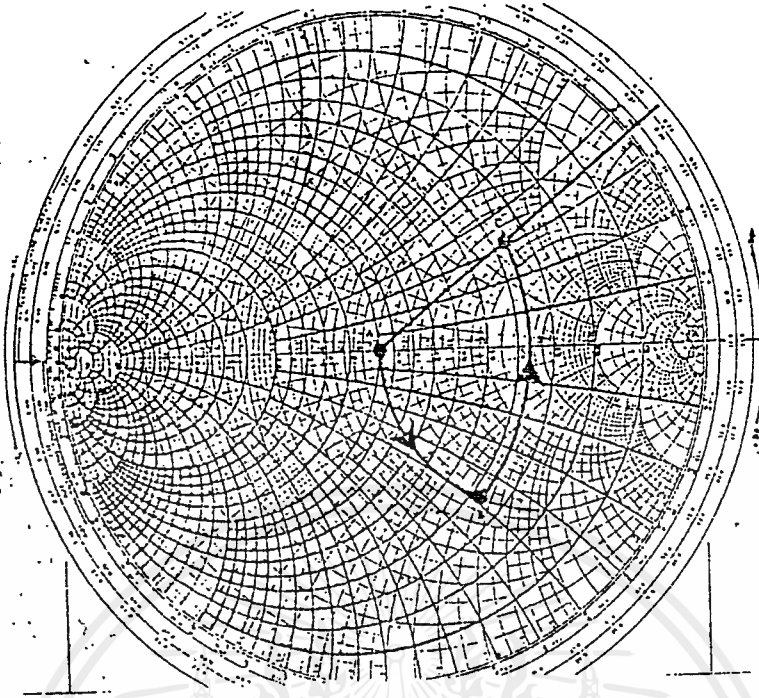
$$= 13 \text{ nH} \dots\dots\dots *$$



รูปที่ 2.1.1 แสดงการหาค่าแม็ชชิงอิมพีแดนซ์ทางด้านอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านเข้าที่ทุกเม็ซซึ่งสามารถดูได้จากกราฟรูปที่ 2.1.2



รูป 2.1.2 แสดงการพล็อตหาค่าเม็ซซึ่งอิมพีแดนซ์ทางด้านเข้าที่ทุก

จากรูป 2.1.2 จะอ่านค่าส่วนโค้ง AB และ BC ได้คือ

$$AB = C \text{ คออนุกรม} = -j1.3 \text{ โอห์ม}$$

$$BC = L \text{ คอขนาน} = -j0.78 \text{ mho}$$

และหาค่า C_2 และ L_2 ได้ดังนี้

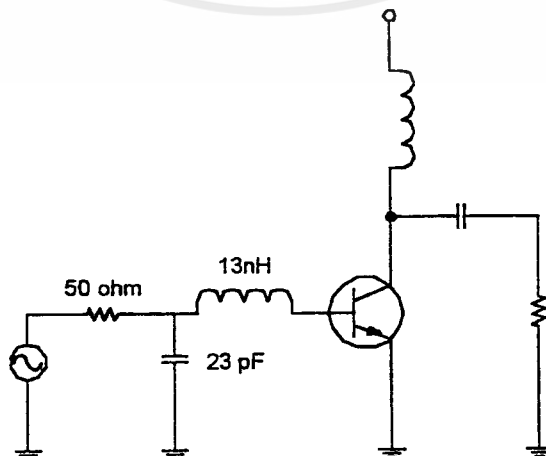
$$C_2 = 1/[2\pi(200 \times 10^6)(1.3)(50)]$$

$$= 12 \text{ pF} \dots \dots \dots *$$

$$L_2 = 50/[2\pi(200 \times 10^6)(0.78)]$$

$$= 51 \text{ nH} \dots \dots \dots *$$

จากค่าที่หามาได้ทั้งหมดเขียนวงจรได้ตามรูปที่ 2.1.3



รูปที่ 2.1.3 แสดงวงจรที่ได้จากการคำนวณตามตัวอย่างที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการหาค่าอัตราขยายรวม (Transducer gain) หาได้จากสมการที่ (2.1.9)

$$G_T = [|S_{21}|^2 (1 - |S_{12}|^2)(1 - |S_{12}|^2) / |(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}|^2] \quad (2.1.9)$$

ตัวอย่างการหาค่า G_T ทดลองหาค่า G_T คำนวณจากตัวอย่างที่ 2.1 ได้ค่า

$$G_T = [(5.2)^2 \{1 - (0.522)^2\} \{1 - (0.487)^2\}] / |(1 - 0.2088)(1 - 0.1070) - (0.04 \angle 60^\circ)(5.2 \angle 63^\circ)(0.487 \angle 39^\circ)(0.522 \angle -162^\circ)|^2$$

$$G_T = 41.15$$

$$= 16.1 \text{ dB}$$

การออกแบบวงจรขยายโดยกำหนดค่าอัตราขยายไว้แล้วสามารถทำได้ โดยการคำนวณและใช้สมิทชาร์ทช่วย ดังรายละเอียดในการคำนวณดังต่อไปนี้

1. คำนวณหาค่า D_s โดยใช้สมการที่ 2.1.1

2. คำนวณหาค่าของ D_2 โดย

$$D_2 = |S_{22}|^2 - |D_s|^2 \quad (2.1.10)$$

3. คำนวณหา C_2 โดย

$$C_2 = S_{22} - D_s S_{11}^* \quad (2.1.11)$$

4. คำนวณหาค่า G โดย

$$G = \text{ค่าอัตราขยายที่กำหนดขึ้น} / |S_{21}|^2 \quad (2.1.12)$$

โดยค่าอัตราขยายใช้เฉพาะค่าบวกและเป็นเท่าไมใช่ dB

5. หาจุดศูนย์กลางของวงกลมในสมิทชาร์ทได้จาก

$$r_o = GC_2^* / 1 + D_2 G \quad (2.1.13)$$

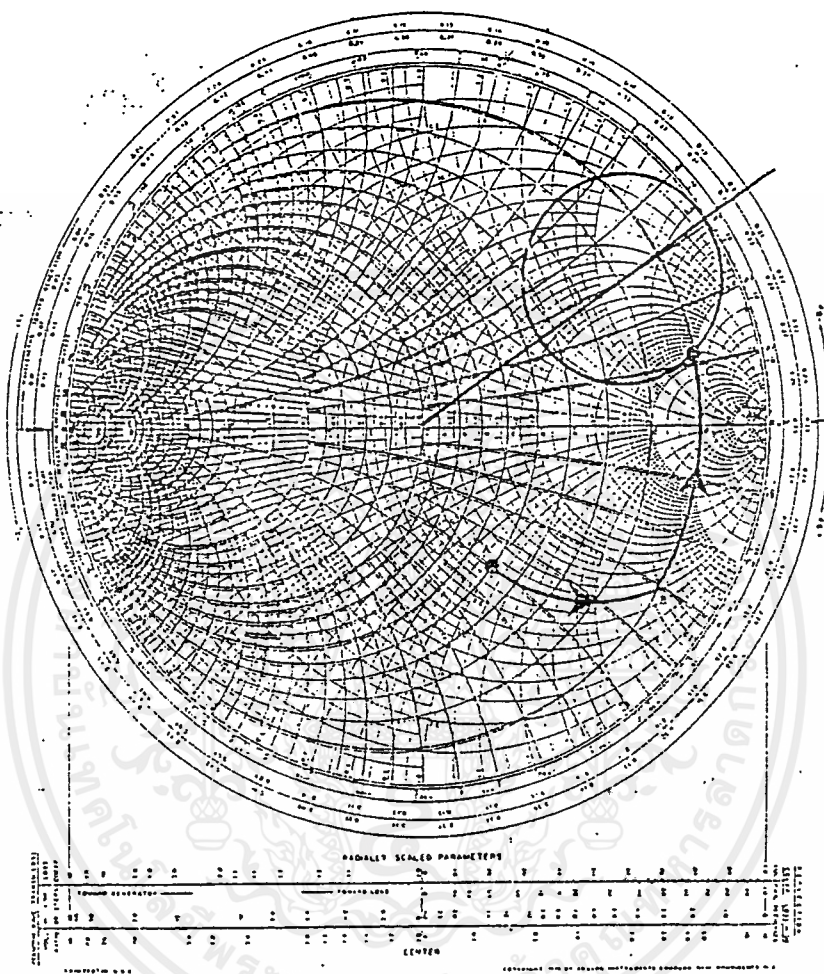
6. คำนวณหารัศมีของรัศมีของวงกลมในสมิทชาร์ทจาก

$$P_o = [1 - (2k|S_{12}S_{21}|G) + |S_{12}S_{21}|^2 G^2] / 1 + G_2 G \quad (2.1.14)$$

EXAMPLE 6-6—Cont.

NAME	TITLE	DWG. NO.
SMITH CHART FORM 27-14-1 ANALOG INSTRUMENTS COMPANY, NEW PROVIDENCE, N.J. 07112		DATE

NORMALIZED IMPEDANCE AND ADMITTANCE COORDINATES



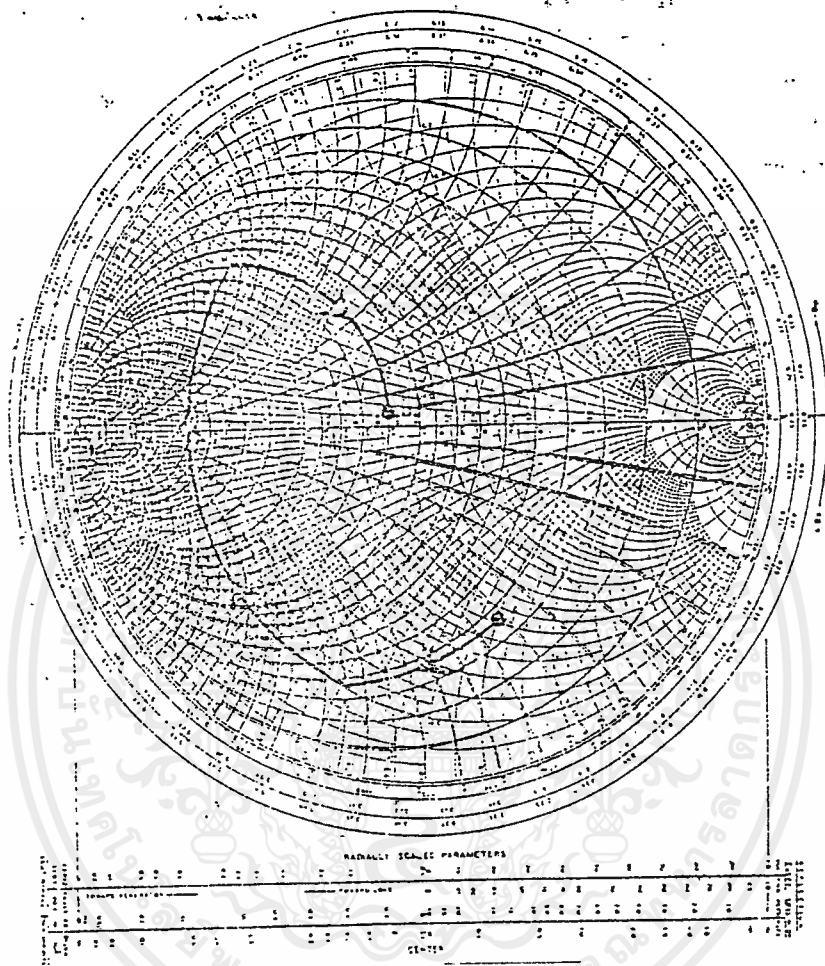
รูปที่ 2.1.4 แสดงผลของเอทท์ทู โดยการหาค่าของวงกลมในสมิทชาร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAMPLE 8-6—Cont.

NAME	TITLE	DOC. NO.
SMITH CHART FORM (IEEE) ANALOG INSTRUMENTS COMPANY, NEW PROVIDENCE, N.J. 08834		DATE

NORMALIZED IMPEDANCE AND ADMITTANCE COORDINATES



รูป 2.1.5 การหาค่าของจุดปลาย (D) ในสมิทชาร์ท

ตัวอย่างที่ 2.2

จากคู่มือทรานซิสเตอร์ให้ทำงานที่ 250 MHz ด้วยค่า $V_{CE} = 5\text{ V}$ และ $I_C = 5\text{ mA}$ โดยมี S พารามิเตอร์

ดังนี้

$$S_{11} = 0.277 \angle -59^\circ$$

$$S_{22} = 0.848 \angle -31^\circ$$

$$S_{12} = 0.078 \angle 93^\circ$$

$$S_{21} = 1.92 \angle 64^\circ$$

โดยให้ออกแบบเป็นวงจรขยายที่มีอัตราขยาย 9 dB ที่ซอสอิมพีแดนซ์ $Z_s = 35 - j60$ โอห์ม และ โหลดอิมพีแดนซ์ $Z_L = 50 - j50$ โอห์ม $K = 1.033$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.1.1 หาค่า D_s ได้

$$\begin{aligned} D_s &= S_{11}S_{22} - S_{12}S_{21} \\ &= (0.277 \angle -59^\circ)(0.848 \angle -31^\circ) - (0.078 \angle 93^\circ)(1.92 \angle 64^\circ) \\ &= 0.324 \angle -64.8^\circ \dots\dots\dots * \end{aligned}$$

หาค่า $D_2 = (0.848)^2 - (0.324)^2$

$$= 0.614 \dots\dots\dots *$$

หาค่า $C_2 = (0.848 \angle -31^\circ) - (0.324 \angle -64.8^\circ)(0.277 \angle -59^\circ)$

$$= 0.768 \angle -33.9^\circ \dots\dots\dots *$$

หาค่า $G = 7.94/(1.92)^2$

$$= 2.15 \dots\dots\dots *$$

หาค่าจุดศูนย์กลางได้

$$\begin{aligned} r_0 &= [2.15(0.768 \angle 33.9^\circ)] / [1 + (0.614)(2.15)] \\ &= 0.712 \angle 33.9^\circ \end{aligned}$$

จากสมิทาร์รูปที่ 2.1.4 หารัศมีของวงกลมได้

$$\begin{aligned} P_0 &= [1 - 2(1.033)(0.078)(1.92)(2.15) + (0.15)^2(2.15)^2] / [1 + (0.614)(2.15)] \\ &= 0.285 \end{aligned}$$

จากสมิทาร์ทลิตโพลคอมพิแคนซ์ที่ 50-j50 เมื่อนอร์มอลไลซ์แล้วจะได้ 1-j1 (ที่จุด A ในสมิทาร์ท) จากนั้นจึงลากส่วนโค้ง AB และ BC ได้ส่วนโค้ง AB และ BC ดังนี้

$$AB = C \text{ คอออนุกรม} = -j2 \text{ โอห์ม}$$

$$BC = L \text{ คอขนาน} = -j0.425 \text{ โมห์}$$

จากนั้นหาค่า C_1 และ L_1 ได้ดังนี้

$$\begin{aligned} C_1 &= 1/[2\pi(250 \times 10^6)(2)(50)] \\ &= 6.4 \text{ pF} \dots\dots\dots * \end{aligned}$$

$$\begin{aligned} L_1 &= 50/[2\pi(250 \times 10^6)(0.425)] \\ &= 75 \text{ nH} \dots\dots\dots * \end{aligned}$$

หาค่า ξ_s ได้เท่ากับ $0.82 \angle 14.2^\circ$ (จุด C ในสมิทาร์ท)

หาค่า $\xi_s = [0.277 \angle -59^\circ + \{(0.078 \angle 93^\circ)(1.92 \angle 64^\circ)(0.82 \angle 14.2^\circ)\}]$

$$\{1 - (0.82 \angle 14.2^\circ)(0.848 \angle -31^\circ)\}$$

$$= 0.105 \angle 160^\circ$$

จากค่า ξ_s สามารถหาค่าที่จุด D ในสมิทาร์รูปที่ 2.1.5 ได้ และจากส่วนโค้ง AB, BC และ C_1 สามารถหาค่า C_2 , L_2 และ C_3 ได้

ส่วนโค้ง $AB = C_2 \text{ คอขนาน} = j0.62 \text{ โมห์}$

ส่วนโค้ง $BC = L_2 \text{ คอออนุกรม} = j1.09 \text{ โอห์ม}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนโค้ง

$$CD = C_3 \text{ คอชานาน} = j2.1 \text{ โหมห์}$$

$$C_2 = (0.62)/[2\pi(250 \times 10^6)(50)]$$

$$= 7.9 \text{ pF} \dots \dots \dots *$$

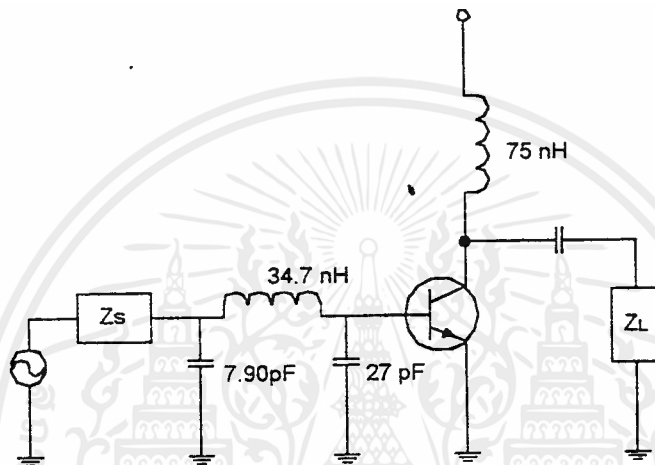
$$C_3 = 2.1/[2\pi(250 \times 10^6)(50)]$$

$$= 27 \text{ pF} \dots \dots \dots *$$

$$L_2 = [(1.09)(50)]/[2\pi(250 \times 10^6)]$$

$$= 34.7 \text{ nH} \dots \dots \dots *$$

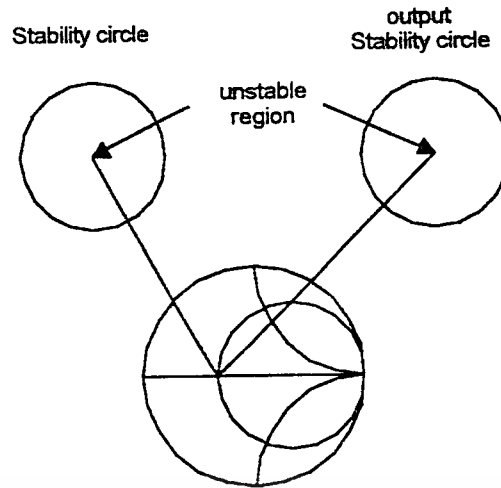
วงจรจากการคำนวณข้างต้นจะได้วงจรรูปที่ 2.1.6



รูปที่ 2.1.6 แสดงวงจรสมบูณ์สุดท้ายจากตัวอย่างที่ 2.2

- วิธีหาขอบเขตของความเสถียรภาพบนกราฟสมิทชาร์ท

วิธีหาขอบเขตของความเสถียรภาพบนกราฟสมิทชาร์ท เป็นวิธีที่ดีที่สุดในการตรวจสอบเสถียรภาพของวงจร เพราะจากวิธีการหาค่า C และ K เพื่อตรวจสอบเสถียรภาพนั้นยังมีขีดจำกัดอยู่ เมื่อเกิดการเปลี่ยนแปลงค่าซอสและโหลดอิมพีแดนซ์ขึ้นทรานซิสเตอร์มักจะออสซิลเลต ถ้าใช้วิธีพล็อตลงบนสมิทชาร์ทเราก็จะพบพื้นที่ที่ปลอดภัยได้ โดยรู้ว่าโหลดและซอสอิมพีแดนซ์จะเปลี่ยนแปลงได้ช่วงใด ช่วงวงกลมที่วงจรมีเสถียรภาพเราเรียกว่า stability circle ซึ่งโดยปกติจะมีทั้งวงกลมเสถียรภาพของอินพุตและเอาต์พุต ถ้าวงกลมเสถียรภาพของอินพุตและเอาต์พุตอยู่นอกสมิทชาร์ท แสดงว่าวงจรไม่มีเสถียรภาพดูตามรูปที่ 2.1.7



รูปที่ 2.1.7 แสดง Stability circles ของทรานซิสเตอร์ซึ่งทำงานในช่วงไม่มีเสถียรภาพ
วิธีการคำนวณดูเสถียรภาพของวงจร โดยการนำค่าที่คำนวณไปพล็อตในสมิทชาร์ท ทำได้ดังนี้

1.คำนวณค่า D_s โดยใช้สมการที่ 2.1.1

2.คำนวณค่า C_1 โดย

$$C_1 = S_{11} - D_s S_{22}^* \quad (2.1.15)$$

3.คำนวณค่า C_2 จากสมการ (2.1.5)

4.คำนวณหาจุดศูนย์กลางของวงกลมเสถียรภาพทางค่านอินพุตโดย

$$R_{s1} = C_1^* / [|S_{11}|^2 - |D_s|^2] \quad (2.1.16)$$

5.คำนวณหารัศมีจาก

$$P_{s1} = |S_{12} S_{21}| / [|S_{11}|^2 - |D_s|^2] \quad (2.1.17)$$

6.คำนวณจุดศูนย์กลางของวงกลมเสถียรภาพทางเอาต์พุตจาก

$$r_{s2} = |C_2^*| / [|S_{22}|^2 - |D_s|^2] \quad (2.1.18)$$

7.คำนวณรัศมีจาก

$$P_{s2} = |S_{12} S_{21}| / [|S_{22}|^2 - |D_s|^2] \quad (2.1.19)$$

ตัวอย่างที่ 2.3

ในการออกแบบวงจรขยายสัญญาณที่ความถี่ 200 MHz $V_{CE} = 6$ โวลท์ $I_C = 5$ mA
กำหนดให้มีเพาเวอร์เกนเท่ากับ 12 dB และมี S พารามิเตอร์ดังนี้ (TR เบอร์ 2N5179)

$$S_{11} = 0.4 \angle 280^\circ$$

$$S_{22} = 0.78 \angle 345^\circ$$

$$S_{12} = 0.048 \angle 65^\circ$$

$$S_{21} = 5.4 \angle 103^\circ$$

ทำการคำนวณค่า K ของทรานซิสเตอร์ได้ $K = 0.802$ จะเห็นว่า K มีค่าต่ำกว่า 1 มีแนวโน้มจะเกิดการออสซิลเลต ดังนั้นจึงทำการหาพื้นที่บนสมิทชาร์ทที่แน่ใจว่า วงจรจะไม่เกิดการออสซิลเลตขึ้น

คำนวณหาค่า $D_s = (0.4 \angle 280^\circ)(0.78 \angle 345^\circ) - (0.048 \angle 65^\circ)(5.4 \angle 103^\circ)$
 $= 0.429 \angle -58.18^\circ \dots\dots\dots *$

คำนวณหาค่า $C_1 = 0.4 \angle 280^\circ - (0.429 - 58.2)(0.78 \angle -345^\circ)$
 $= 0.241 \angle -136.6^\circ \dots\dots\dots *$

คำนวณหาค่า $C_2 = 0.78 \angle 345^\circ - (0.429 - \angle 58.2^\circ)(0.4 \angle -280^\circ)$
 $= 0.65 \angle -24^\circ \dots\dots\dots *$

จากนั้นหาจุดศูนย์กลางวงกลมเสถียรภาพได้

$$r_{s1} = [0.241 \angle 136.6^\circ] / [(0.4)^2 - (0.429)^2]$$

$$= 10 \angle 136.6^\circ \dots\dots\dots *$$

หารัศมีได้

$$P_{s1} = |(0.048 \angle 65^\circ)(5.4 \angle 103^\circ) / [(0.4)^2 - (0.429)^2]|$$

$$= 10.78$$

ส่วนทางด้านเอาท์พุทหาจุดศูนย์กลางและรัศมีของวงกลมเสถียรภาพได้

$$r_{s2} = 0.65 \angle 24^\circ / [(0.78)^2 - (0.429)^2]$$

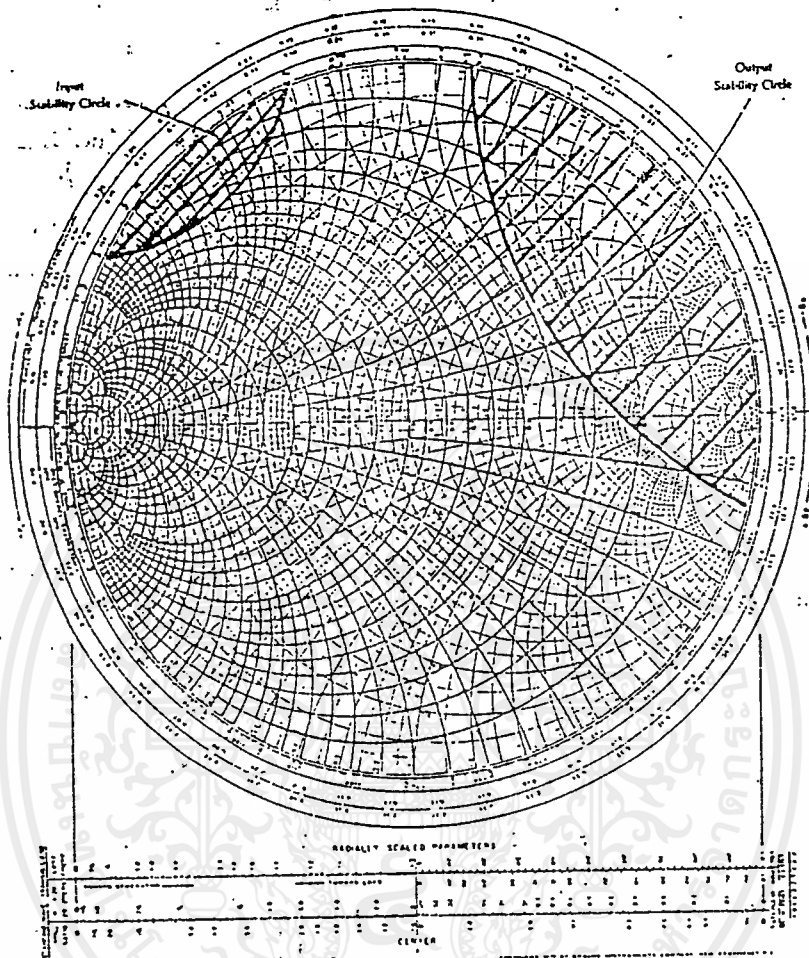
$$= 1.53 \angle 24^\circ$$

$$P_{s2} = |(0.048 \angle 65^\circ)(5.4 \angle 103^\circ) / [(0.78)^2 - (0.429)^2]|$$

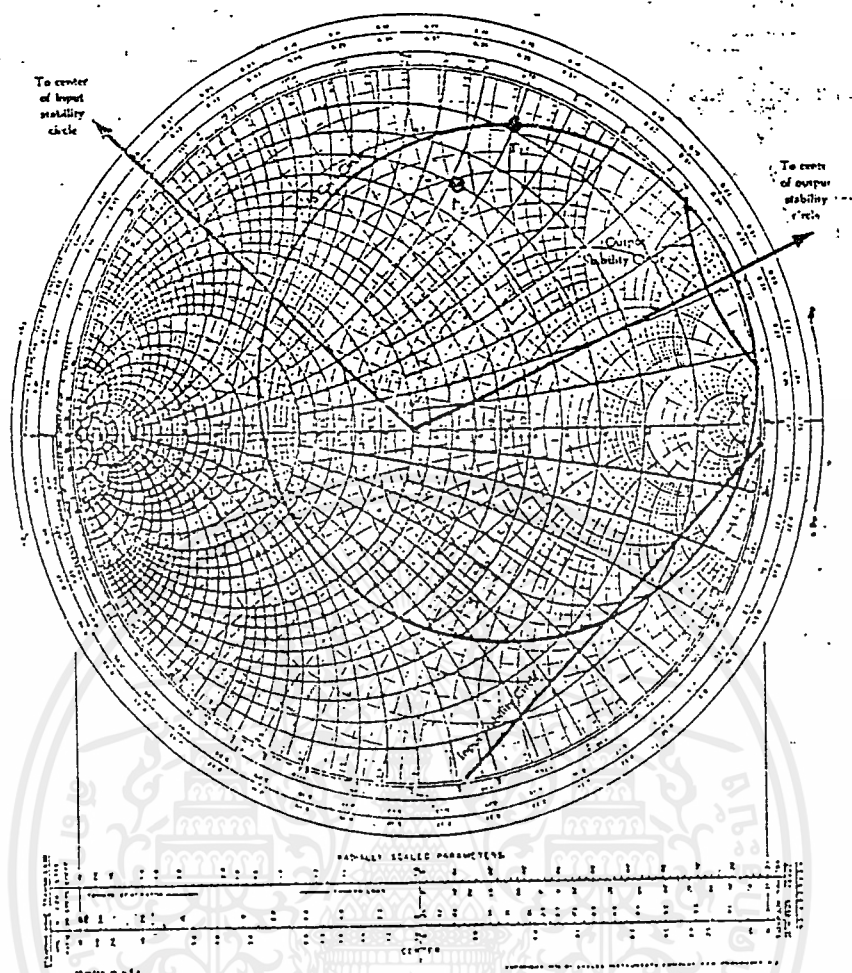
$$= 0.610$$

วงกลมเสถียรภาพที่ได้จากการคำนวณนี้ สามารถพล็อตในสมิทชาร์ทได้ตามรูปที่ 2.1.7 ในรูปใช้เส้น
 ครึ่งแทนส่วน โคลงของวงกลมเสถียรภาพทางอินพุท เพราะถือได้ว่ารัศมีมีค่ามาก ส่วนของวงกลมอัตราขยาย 12
 dB หาได้โดยใช้สมการที่ 2.1.1 และ 2.1.10 แทนลงใน 2.1.14 จะได้จุดศูนย์กลางที่

$$r_0 = 0.287 \angle 24^\circ$$



รูปที่ 2.1.8 แสดงวงกลมเสถียรภาพของทรานซิสเตอร์ที่มีแนวโน้มว่าจะเกิดการออสซิลเลท



รูปที่ 2.1.9 แสดงวงกลมเสถียรภาพและอัตรายของทรานซิสเตอร์ในตัวอย่างที่ 2.3

รัศมีที่

$$P_0 = 0.724$$

เลือกค่า ξ_L ที่วงกลมอัตราย 12 dB ได้

$$\xi_L = 0.89 \angle 70^\circ$$

คำนวณหาค่าสัมประสิทธิ์การสะท้อนของสัญญาณชอส แล้วพล็อตลงในสมิทชาร์ทรูปที่ 2.1.9 ได้

$$\xi_s = 0.678 \angle 79.4^\circ$$

จะเห็นว่า ξ_s อยู่ในขอบเขตของวงกลมเสถียรภาพทางอินพุต จึงไม่มีปัญหาการออสซิลเลตที่ความถี่ต่างๆ

การออกแบบวงจรขยายสัญญาณความถี่สูงให้มีค่า NF น้อยที่สุดสามารถทำได้โดยดูจากคู่มือทรานซิสเตอร์เป็นอันดับแรก จากนั้นหาจุดไบอัสให้ได้ NF น้อยที่สุด (ดูตัวอย่างที่ 2.4 ประกอบ) จากนั้นคำนวณหาค่า K ถ้าค่า K มีค่าน้อยกว่า 1 ต้องเลือกโหลดและซอสอิมพีแดนซ์อย่างระมัดระวัง โดยลองเขียนวงกลมเสถียรภาพในสมิทชาร์ท จากนั้นก็ทำการหาค่า ξ_L ได้โดย

$$\xi_L = |(S_{22} + S_{12}S_{21L}) / (1 - S_{11S})|^* \quad (2.1.20)$$

โดยที่กำหนด S เป็นค่าสัมประสิทธิ์การสะท้อนกลับสัญญาณชอสเมื่อ NF มีค่าต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2.4

จงออกแบบวงจรขยายความถี่สูงที่มีความถี่ 200 MHz ที่ค่า $V_{CB} = 10\text{ V}$, $I_c = 5\text{ mA}$ และ $S = 0.7\ 140^\circ$ (ที่ค่า NF ต่ำสุด) และ S มีค่าพารามิเตอร์ดังนี้

$$S_{11} = 0.4 \angle 162^\circ$$

$$S_{22} = 0.35 \angle -39^\circ$$

$$S_{12} = 0.04 \angle 60^\circ$$

$$S_{21} = 5.2 \angle 63^\circ$$

โดยกำหนดให้เป็นวงจรขยายที่มี noise ต่ำ ทำงานที่ชอตอิมพีแดนซ์ 75 โอห์ม และโหลดอิมพีแดนซ์ 100 โอห์ม ส่วนค่าอัตราขยายให้ใช้ค่าที่เหมาะสมเมื่อลองคำนวณแล้ว

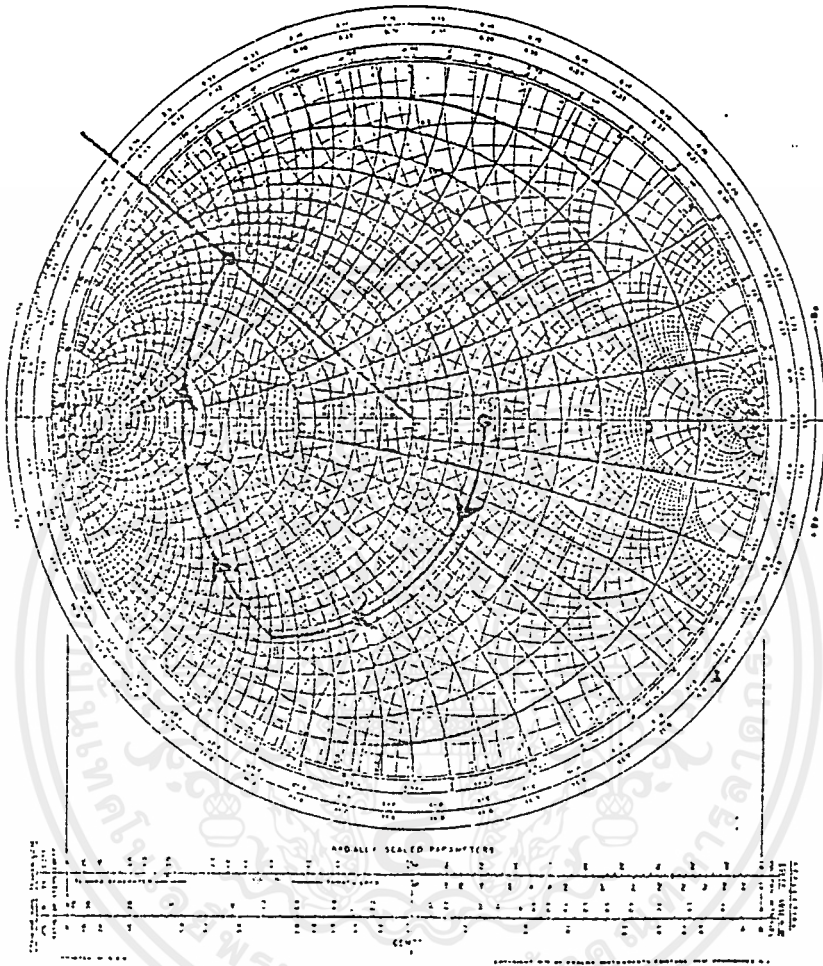
เริ่มการคำนวณด้วยการหาค่า K ได้ 174 แสดงว่ามีเสถียรภาพพอใช้ได้

ต่อจากนั้น ทำการหาวงจรเม็ชทางอินพุต โดยใช้สมิทชาร์ทพล็อตที่ $Z_{in} = 75$ โอห์ม และ ξ ที่กำหนดให้ (สมิทชาร์ทรูปที่ 2.1.10) ได้ค่า

ส่วนโค้ง AB = C ต่อขนาน = $j1.7\text{ mhos}$

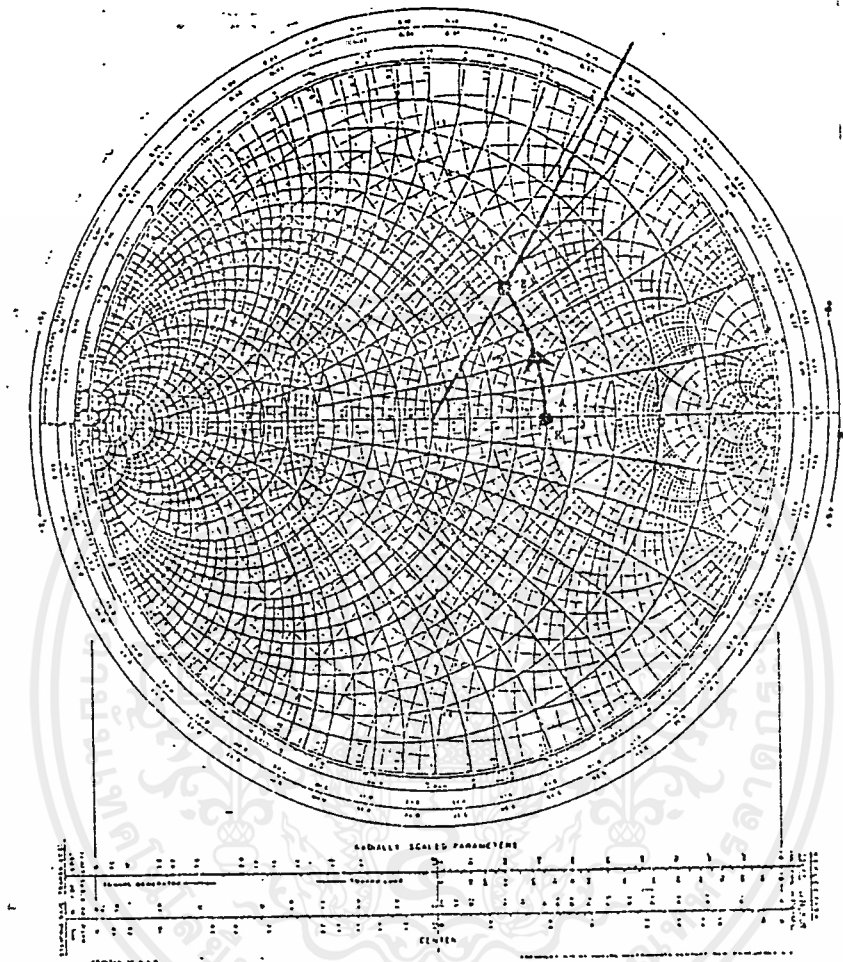
ส่วนโค้ง BC = L ต่ออนุกรม = $j0.86$ โอห์ม

NORMALIZED IMPEDANCE AND ADMITTANCE COORDINATES



รูปที่ 2.1.10 แสดงการพล็อตออกแบบวงจรอินพุทของวงจรขยายสัญญาณตามตัวอย่างที่ 2.4

NORMALIZED IMPEDANCE AND ADMITTANCE COORDINATES



รูปที่ 2.1.11 แสดงการพล็อตสมิทชาร์ทเพื่อหาค่าวงจรทางเอาท์พุทในตัวอย่างที่ 2.4

หาค่า C_1 ได้

$$\begin{aligned} C_1 &= 1.7 / [(50)(2\pi)(200 \times 10^6)] \\ &= 27 \text{ pF} \dots\dots\dots * \end{aligned}$$

หาค่า L_1 ได้

$$\begin{aligned} L_1 &= [(0.86)(50)] / [2\pi(200 \times 10^6)] \\ &= 34 \text{ nH} \dots\dots\dots * \end{aligned}$$

หาค่า L โดยใช้สมการที่ 2.1.20 จะได้

$$\begin{aligned} L &= |[0.35 \angle -39^\circ + (0.04 \angle 60^\circ)(5.2 \angle 63^\circ)(0.7 \angle 140^\circ)] / [1 - (0.4 \angle 162^\circ)(0.7 \angle 140^\circ)]| \\ &= 0.427 \angle 60.7^\circ \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้น พล็อตลงในสมิทชาร์ทรูปที่ 2.1.11 และหาค่า ส่วนโค้ง AB ได้

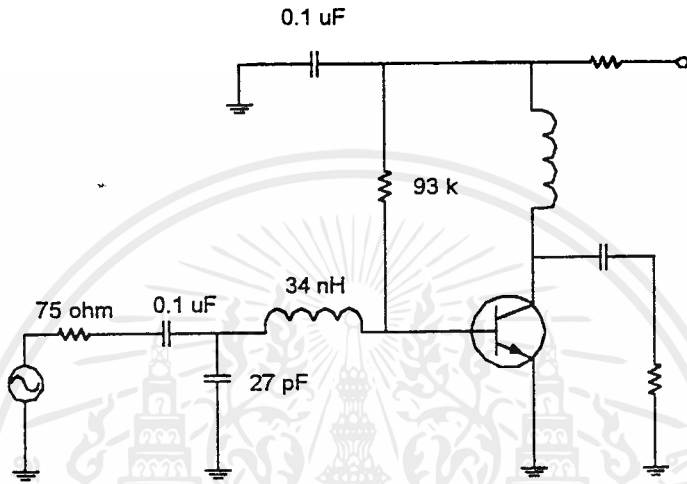
$$AB = L \text{ คำนวน} = -j0.48 \text{ โหมห์}$$

หาค่า L_2 ได้

$$L_2 = 50 / [2\pi(200 \times 10^6)(0.48)]$$

$$= 83 \text{ nH} \dots \dots \dots *$$

วงจรสุดท้ายจึงได้วงจรรูปที่ 2.1.12 ซึ่งมีการปรับปรุงบางจุด โดยใช้ C ค่า 1 μF เป็นตัวบายพาส สัญญาณ และคลิปปิ่งถึงสัญญาณและมีค่าเกินขยาย 13.3 dB (ใช้สมการที่ 2.1.19 หาค่าเกิน)



รูปที่ 2.1.12 แสดงวงจรสมบูรณ์จากการคำนวณในตัวอย่างที่ 2.4

2.2 ไมโครเวฟ - ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์มีความสำคัญในระบบการสื่อสารเป็นอย่างมาก ในที่นี้จะกล่าวถึงทฤษฎี และการออกแบบ วงจรออสซิลเลเตอร์ ในย่านความถี่ 1 GHz โดยใช้ S-Parameter ของอุปกรณ์แอคทีฟในการออกแบบ

1. S-Parameter

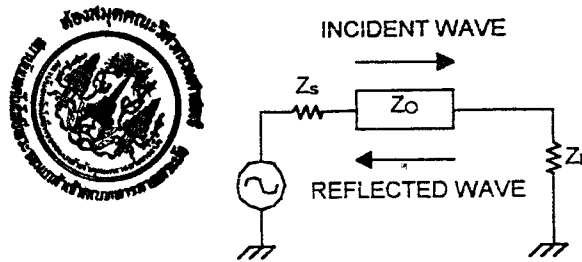
S-Scattering parameter มีประโยชน์อย่างมากในการออกแบบวงจร ความถี่สูงและเป็นค่าตัวแปรที่ผู้ผลิตอุปกรณ์แอคทีฟ (เช่น ทรานซิสเตอร์) ให้มา S-Parameter ใช้มากเพราะว่าสามารถวัดได้ถูกต้องและง่ายกว่า Y-Parameter และสามารถเข้าใจได้ง่ายกว่าอีกด้วย

ขณะที่ Y-Parameter ใช้การวัดของความสัมพันธ์ระหว่างโวลต์และกระแสในการอธิบายคุณสมบัติของวงจร 2-PORT แต่ S-Parameter ใช้คลื่นตกกระทบ และคลื่นสะท้อนกลับที่แต่ละพอร์ท ในการอธิบายคุณสมบัติของพอร์ท ดังนั้นไม่จำเป็นต้องวัดวงจรของอุปกรณ์ 2-PORT แต่จะต่อด้วยโหลดที่มีค่า $Z = Z_0$ (Characteristic impedance) โดย Z_0 มาตรฐานมีค่าเท่ากับ 50 โอห์ม (pure resistance)

ซึ่งสามารถทำได้ง่ายกว่าและควบคุมง่ายกว่าการวัดวงจรของการวัด Y-Parameter และเนื่องจากการต่อโหลดจะทำให้อุปกรณ์แอคทีฟมีเสถียรภาพดีกว่าการวัดวงจร ซึ่งถ้าวงจรเกิดการออสซิลเลตจะไม่สามารถวัดหาค่าตัวแปรต่างๆได้

TRANSMISSION LINE BACKGROUND

ในการที่จะเข้าใจหลักการของ S-Parameter ควรจะรู้เกี่ยวกับคุณสมบัติของสายนำคลื่น



รูปที่ 2.2.1 INCIDENT WAVE AND REFLECTED WAVES ON A TRANSMISSION LINE

จากรูปที่ 2.2.1 โวลต์แดง, กระแส, กำลังงาน ถูกส่งจากซอร์ส (มีค่า source impedance $= Z_s$) ไปยังโหลด (Z_L) สามารถพิจารณาเป็นคลื่นที่ส่งไป และคลื่นที่สะท้อนกลับ ในทิศทางตรงกันข้ามในสายนำคลื่น ซึ่งมีคุณสมบัติของอิมพีแดนซ์ $= Z_o$

โดยกำหนดให้

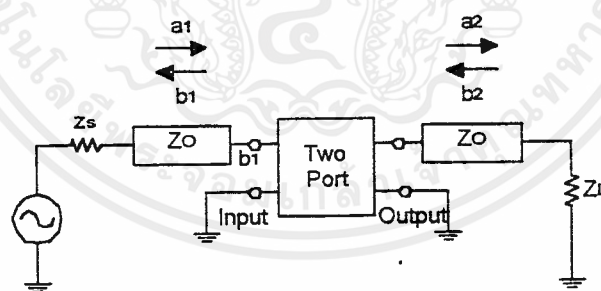
$$\Gamma = \frac{V_{reflect}}{V_{incident}}$$

$$= \rho \angle \phi$$

$$\text{จะได้ว่า } \Gamma = \frac{Z_L - Z_o}{Z_L + Z_o}$$

S-Parameter AND THE TWO-PORT NETWORK

ถ้าเราใส่วงจร 2-PORT ระหว่าง Z_s และ Z_L จากรูปที่ 2.2.2



รูปที่ 2.2.2 Incident and reflected wave for a two-port device

จะได้ว่า

- 1) ส่วนหนึ่งของคลื่นที่ส่งจากซอร์ส และส่งไปตกกระทบที่อุปกรณ์ 2-PORT (a_1) จะถูกสะท้อนกลับ (b_1) และอีกส่วนหนึ่งส่งผ่านเข้าไปในอุปกรณ์ 2-PORT
- 2) ส่วนหนึ่งของคลื่นที่ส่งผ่านเข้าไปในอุปกรณ์ 2-PORT จะถูกสะท้อนกลับจากโหลดและกลายเป็นคลื่นที่ส่งเข้ามาที่เอาต์พุตของอุปกรณ์ 2-PORT (a_2)
- 3) ส่วนหนึ่งของคลื่น (a_2) จะสะท้อนกลับไปยังโหลด (b_2) ขณะที่อีกส่วนหนึ่งจะส่งผ่านกลับไปยังซอร์ส

จะได้สมการเป็น

$$b_1 = s_{11}a_1 + s_{12}a_2$$

$$b_2 = s_{21}a_1 + s_{22}a_2$$

- เมื่อ
- S_{11}

=

the input reflection coefficient
- S_{12}
- =
- the reverse transmission coefficient
- S_{21}
- =
- the forward transmission coefficient
- S_{22}
- =
- the output reflection coefficient

- เมื่อ
- S_{11}

=

$\frac{b_1}{a_1} \Big|_{a_2=0}$
- S_{22}
- =
- $\frac{b_2}{a_2} \Big|_{a_1=0}$
- S_{21}
- =
- $\frac{b_2}{a_1} \Big|_{a_2=0}$
- S_{12}
- =
- $\frac{b_1}{a_2} \Big|_{a_1=0}$

จะเห็นว่าสมการข้างบนต้องการให้ a_1, a_2 เป็นศูนย์ เพื่อที่จะวัดค่า S-Parameter ซึ่งสามารถทำได้ง่าย ๆ โดยการต่อ Z_S และ Z_L ให้มีค่าเท่ากับ Z_0 ของระบบเครื่องมือวัด

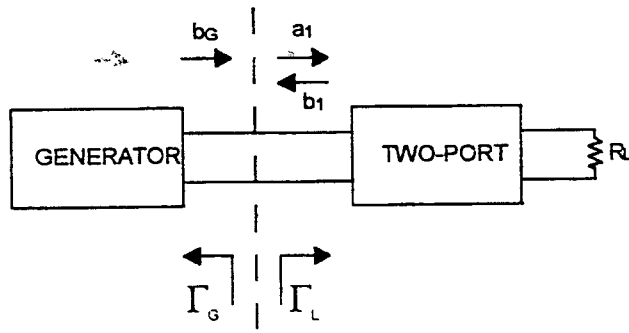
2. วงจรออสซิลเลเตอร์

จากทฤษฎีของการออสซิลเลท กรณีที่จะเกิดการออสซิลเลทได้ เป็นดังนี้

1. $K < 1$
2. $\Gamma_G S'_{11} = 1$
3. $\Gamma_L S'_{22} = 1$

โดยค่า K คือ stern stability factor

ค่าเสถียรภาพจะต้องน้อยกว่า 1 ดังนั้นถ้าค่า S-Parameter ของอุปกรณ์แอคทีฟไม่สามารถทำให้ K น้อยกว่า 1 จะต้องใช้การฟีดแบคทางบวกช่วย โดยที่อินพุตและเอาต์พุตของอุปกรณ์แอคทีฟ จะคู่กับอุปกรณ์พาสซีฟ เพื่อกำหนดความถี่ของการออสซิลเลท โดยทั่วไปกำลังงานจะส่งไปยังโหลดเพียงพอร์ทเดียว เพราะค่า $|\Gamma_G|$ และ $|\Gamma_L| < 1$ ดังนั้นจากสมการ $\Gamma_G S'_{11} = 1$ และ $\Gamma_L S'_{22} = 1$ จะได้ว่า $|S'_{11}| > 1$ และ $|S'_{22}| > 1$



รูปที่ 2.2.3 TWO-PORT CONNECTED TO A GENERATOR

สภาวะสำหรับการออสซิลเลต ทิศทางจากรูปที่ 2.11.3 เมื่ออินพุตของเจนเนอเรเตอร์ต่อกับวงจร 2-PORT จะได้ว่า

$$\begin{aligned}
 a_1 &= b_G + \Gamma_L \Gamma_G a_1 \\
 \text{ให้} \quad \Gamma_L &= S'_{11} \\
 S'_{11} &= \frac{b_1}{a_1} \\
 \text{จะได้ว่า} \quad b_G &= a_1 (1 - \Gamma_L \Gamma_G) \\
 &= \frac{b_1}{S'_{11} (1 - S'_{11} \Gamma_G)} \\
 \frac{b_1}{b_G} &= \frac{S'_{11}}{1 - S'_{11} \Gamma_G}
 \end{aligned}$$

จะเห็นว่าคลื่นที่สะท้อนจากวงจร 2-PORT จะขึ้นอยู่กับ b_G , S'_{11} และ Γ_G ถ้าสมการ $\Gamma_G S'_{11} = 1$ เป็นจริง b_G จะต้องเป็นศูนย์ ซึ่งกล่าวได้ว่า วงจร 2-PORT เกิดการออสซิลเลต โดยปกติ Γ_G มีค่าน้อยกว่าหรือเท่ากับหนึ่ง ดังนั้นกรณีที่จะเกิดการออสซิลเลตได้ S'_{11} จะต้องมากกว่าหรือเท่ากับ 1

การออกแบบวงจรออสซิลเลเตอร์ จะต้องทำให้ค่าเสถียรภาพน้อยกว่าหนึ่งเสมอ และรีโซแนนซ์อินพุทเทอร์ท เพื่อทำให้สมการ $\Gamma_G S'_{11} = 1$ เป็นจริง ซึ่งจะทำให้สมการ $\Gamma_L S'_{22} = 1$ เป็นจริงด้วยอีกวิธีหนึ่งที่จะอธิบายสภาวะที่จำเป็นของการออสซิลเลตตามสมการ $\Gamma_G S'_{11} = 1$ เป็นดังนี้

$$\begin{aligned}
 R_{in} + R_G &= 0 \\
 X_{in} + X_G &= 0 \\
 \text{จะได้ว่า} \quad S'_{11} &= \frac{R_{in} + jX_{in} - Z_o}{R_{in} + jX_{in} + Z_o} \\
 \Gamma_G &= \frac{R_G + jX_G - Z_o}{R_G + jX_G + Z_o} \\
 &= \frac{-R_{in} - Z_o - jX_{in}}{-R_{in} + Z_o - jX_{in}}
 \end{aligned}$$

จะได้ว่า

$$\Gamma_G S'_{11} = \frac{-R_{in} - Z_o - jX_{in}}{-R_{in} + Z_o - jX_{in}} \times \frac{R_{in} + jX_{in} - Z_o}{R_{in} + Z_o - jX_{in}} = 1$$

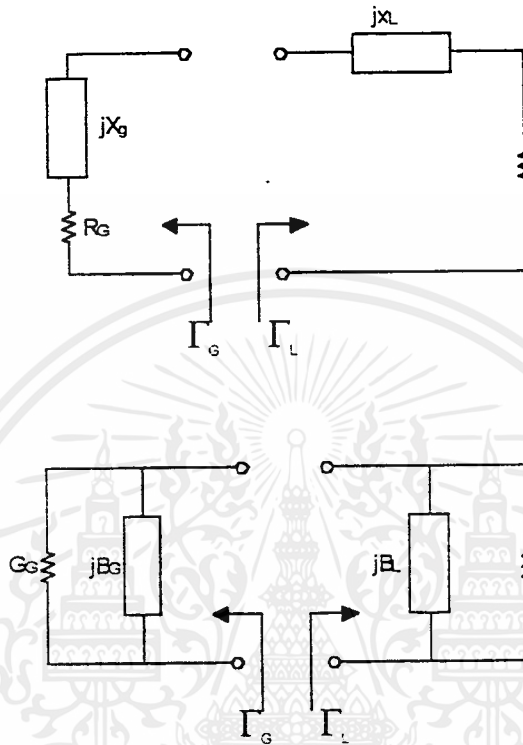
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นการพิสูจน์สมการ $\Gamma_G S'_{11} = 1, R_{in} + R_G = 0$ และ $X_{in} + X_G = 0$

- SERIES OR PARALLEL RESONANCE

วงจรออสซิลเลเตอร์ สามารถแบ่งออกเป็นชนิดใหญ่ๆ ได้เป็น 2 ชนิด คือ

1. ชนิดรีโซแนนซ์อนุกรม
2. ชนิดรีโซแนนซ์ขนาน ดังแสดงในรูปที่ 2.2.4



รูปที่ 2.2.4 Oscillator-equivalent circuits(a) ; (b) Parallel-resonant

วงจรเสมือนของอุปกรณ์แอคทีฟ เลือกจากการตอบสนองช่วงความถี่ของเอาต์พุตพอร์ทนั้นคือ การตอบสนองความถี่ของ Γ_G สำหรับกรณีรีโซแนนซ์อนุกรม ค่าความต้านทานขั้วลบของอุปกรณ์แอคทีฟ จะต้องมีความมากกว่าความต้านทานโหลด (R_L) ประมาณ 20% ที่จุดเริ่มต้นการทำงานเมื่อถึงสภาวะเสถียร ค่า R_G จะลดลงเท่ากับ R_L เนื่องจากเมื่อสัญญาณมีขนาดมากขึ้น, อัตราขยายของอุปกรณ์แอคทีฟจะลดลงสำหรับกรณีเริ่มต้น

$$R_G > 1.2R_L$$

ที่สภาวะการออสซิลเลทอย่างมีเสถียรภาพ

$$R_G + R_L = 0$$

$$X_G + X_L = 0$$

ในทำนองเดียวกัน ในกรณีของรีโซแนนซ์ขนาน
กรณีเริ่มต้น

$$G_G > 1.2G_L$$

ที่สภาวะการออสซิลเลทอย่างมีประสิทธิภาพ

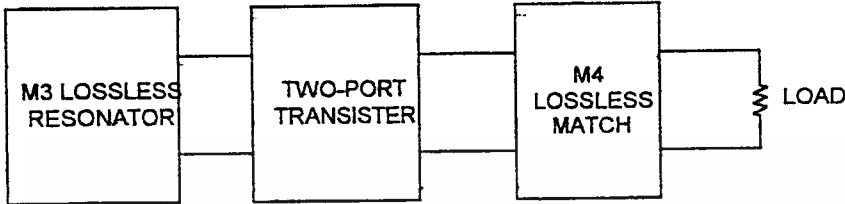
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G_G + G_L = 0$$

$$B_G + B_L = 0$$

- TWO-PORT OSCILLATOR DESIGN

วิธีหนึ่งที่ใช้ออกแบบวงจรออสซิลเลเตอร์คือ จะต่อวงจรรีโซแนนซ์ที่มีค่า Q สูง ที่ความถี่ที่ต้องการที่อินพุทพอร์ททรานซิสเตอร์ จะออสซิลเลตทั้งสองพอร์ทพร้อมกัน โดยโหลดจะต่อกับเอาต์พุทพอร์ท วงจรออสซิลเลเตอร์จะพิจารณาในลักษณะ 2-PORT ดังแสดงในรูปที่ 2.2.5



รูปที่ 2.2.5 BLOCK DIAGRAM FOR OSCILLATOR DESIGN

M_3 เป็นวงจรรีโซแนนซ์ที่ไม่มีการสูญเสีย, M_4 คือวงจรแมตชิ่ง ซึ่งหลังงานของการออสซิลเลตจะส่ง

ไปยังโหลด

การออสซิลเลตพร้อมกันทั้งสองพอร์ทสามารถแสดงได้ดังนี้

สมมุติให้เกิดการออสซิลเลตที่พอร์ท 1

$$\frac{1}{S'_{11}} = \Gamma_G$$

จาก

$$S'_{11} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} = \frac{S_{11} - D\Gamma_L}{1 - S_{22}\Gamma_L}$$

$$\frac{1}{S'_{11}} = \frac{1 - S_{22}\Gamma_L}{S_{11} - D\Gamma_L} = \Gamma_G$$

จากสมการข้างบนจะได้ว่า

$$\Gamma_G S_{11} - D\Gamma_L \Gamma_G = 1 - S_{22}\Gamma_L$$

$$\Gamma_L (S_{22} - D\Gamma_G) = 1 - S_{11}\Gamma_G$$

$$\Gamma_L = \frac{1 - S_{11}\Gamma_G}{S_{22} - D\Gamma_G}$$

$$S'_{22} = S_{22} + \frac{S_{12}S_{21}\Gamma_G}{1 - S_{11}\Gamma_G} = \frac{S_{22} - D\Gamma_G}{1 - S_{11}\Gamma_G}$$

$$\frac{1}{S'_{22}} = \frac{1 - S_{11}\Gamma_G}{S_{22} - D\Gamma_G}$$

เปรียบเทียบกับสมการ $\Gamma_L = \frac{1 - S_{11}\Gamma_G}{S_{22} - D\Gamma_G}$ กับ $\frac{1}{S'_{22}} = \frac{1 - S_{11}\Gamma_G}{S_{22} - D\Gamma_G}$ จะได้ว่า

$$\frac{1}{S'_{22}} = \Gamma_L$$

หมายความว่าเกิดการออสซิลเลตที่พอร์ท 2

สำหรับกำลังจากวงจรจะใช้คุณสมบัติของวงจรขยายชนิด อิมิตเตอร์ร่วม เพื่อที่จะให้ได้กำลังมากที่สุด จะต้องทำให้ $(P_{out}-P_{in})$ มีค่ามากที่สุด จะได้กำลังเอาต์พุตของวงจรขยายชนิดอิมิตเตอร์ร่วมเป็น

$$P_{out} = P_{SAT} \left(1 - \exp \frac{-GP_{in}}{P_{SAT}} \right)$$

P_{SAT} = Saturated output Power of the amplifier

G = tuned small - signal common - source transducer gain of the amplifier

$$G = |S_{21}|^2$$

ซึ่งจะได้ว่า กำลังสูงสุดที่ได้จากวงจรออสซิลเลเตอร์

$$P_{osc} = P_{SAT} \left(1 - \frac{1}{G} - \frac{\ln G}{G} \right)$$

3. การออกแบบวงจรออสซิลเลเตอร์ที่ความถี่ 1 GHz

เลือกใช้ทรานซิสเตอร์ MRF901

S-Parameter CE $V_{cc} = 10 \text{ V}$ $I_C = 5 \text{ MA}$

$$S_{11} = 0.47 \angle -175$$

$$S_{12} = 0.07 \angle 51$$

$$S_{21} = 3.5 \angle 75$$

$$S_{22} = 0.5 \angle -37$$

แปลงเป็น S-Parameter CB $V_{cc} = 10 \text{ V}$ $I_V = 5 \text{ MA}$

$$S_{11} = 0.92 \angle 162$$

$$S_{12} = 0.071 \angle 136$$

$$S_{21} = 1.914 \angle -33$$

$$S_{22} = 1.11 \angle 339.8$$

$$K = -0.875$$

ใส่ feedback ($L_D = 8 \text{ NH}$) จะได้ว่า

$$S_{11} = 2.566 \angle 142$$

$$S_{12} = 0.773 \angle 150$$

$$S_{21} = 3.549 \angle 303$$

$$S_{22} = 1.800 \angle 323$$

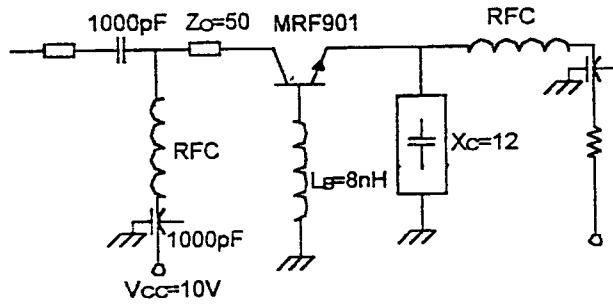
$$K = -0.865$$

เลือก $\Gamma_L = 0 \angle 0$

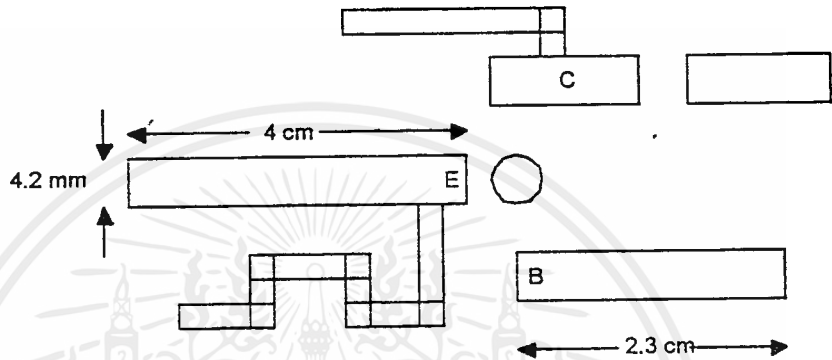
จะได้ว่า $S'_{11} = 2.566 \angle 142.9$

$$\Gamma_G = 0.389 \angle 217$$

ใช้ Microstrip line เป็นรีโซแนนซ์ โดยเลือก $Z_0 = 50 \Omega$ จะได้วงจรดังแสดงในรูปที่ 2.2.6



A) วงจรออสซิลเลเตอร์



B) ภาววงจร Microstrip

รูปที่ 2.2.6

แผ่นวงจรชนิด TEFLON FIBER-GLASS

ความหนา 1.5 mm.

E_r 2.55

W 4.2 mm ($Z_0 = 50 \Omega$)

2.3 ระบบสังเคราะห์ความถี่

2.3.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด(คือตั้งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือกดปุ่มช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้นเรียกว่า เรโซลูชัน (RESOLUTION)

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

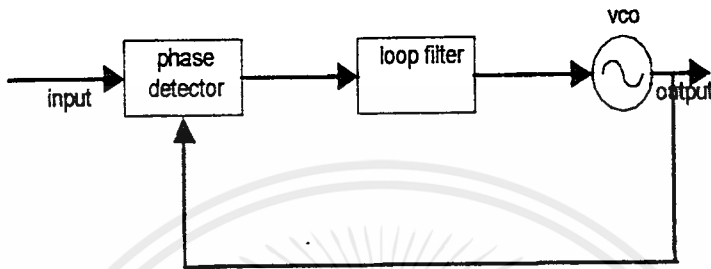
1.วิธีสังเคราะห์โดยตรง (DIRECT SYNTHESIS) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แอมป์ความถี่หลายชุด

2.วิธีสังเคราะห์โดยอ้อม (INDIRECT SYNTHESIS) วิธีนี้อาศัยเฟสล็อกลูป (PHASE LOCK LOOP) เรียกย่อว่า PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 เฟสล็อกกลูป

เฟสล็อกกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่ หรือเฟสของสัญญาณอ้างอิงภายนอกเฟสล็อกกลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียช หรือ เฟสดีเทกเตอร์ (PHASE DETECTOR) ภาคลูปฟิลเตอร์ (LOOP FILTER) และภาควีซีโอ (VCO) (ดูรูปข้างล่าง) ในที่นี้สมมติว่า เราต่อเอาท์พุทจากวงจรวีซีโอ



รูปที่ 2.3.2.1 แผนผังของเฟสล็อกกลูป

สมมติว่า มีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (PERIODIC) เข้ามาที่อินพุท ภาคเทียชเฟสมีหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจากวีซีโอ เอาท์พุทที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสอง ที่ทำการเปรียบเทียบแรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ชนิดโลพาสกรองความถี่เอาต์เฉพาะความถี่ต่างๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของวีซีโอต่อไป

เมื่อลูปอยู่ในสถานะล็อก (lock) ความถี่ของวีซีโอ จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างกันไป แต่ค่าเฟสที่ภาคเฟสดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุทแตกต่างกันจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกัน

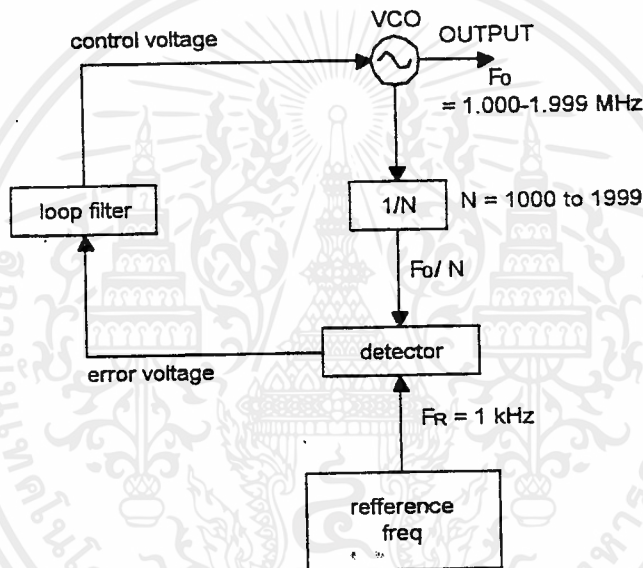
เราสามารถนำเฟสล็อกกลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท (จากวีซีโอ) ให้มีความถี่ตามต้องการ ได้หลายความถี่โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตัลออสซิลเลเตอร์

เฟสล็อกกลูปยังมีประโยชน์อื่นๆอีกเช่น ในการคิมอดสัญญาณเอฟเอ็ม (หรือทีเอ็ม) เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์มีค่าสัมพันธ์กับการเปลี่ยนแปลงเฟสของคลื่นพาหะ

2.3.3 การใช้เฟสล็อกกลูปในการสังเคราะห์ความถี่

เฟสล็อกกลูปเป็นหัวใจในการสังเคราะห์ความถี่เสมอ รูปข้างล่างเป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่าย ประกอบด้วย 5 ภาค คือ ภาควีซีโอ เป็นออสซิลเลเตอร์ กำเนิดสัญญาณเอาต์พุตของระบบสังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบคั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตัลออสซิลเลเตอร์หรือสัญญาณอื่นๆ (reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ค่าไปใช้

แผนผังนี้ สัญญาณอินพุตของภาคเทียบเฟสมาจาก 2 แหล่งคือ จากวีซีโอ มีความถี่เท่ากับ F_o/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_r เอาท์พุตจากการเปรียบเทียบ ก็คือ ผลต่างระหว่างสัญญาณ F_o/N กับ F_r ซึ่งจะกรองเอาเฉพาะความถี่ค่าเท่านั้น เพื่อบังคับการออสซิลเลเตอร์ของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน



รูปที่ 2.3.3.1 แผนผังของหน่วยสังเคราะห์ความถี่

ในสถานะล็อก (lock) ความถี่ของวีซีโอ เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$VCO = NF_r$$

(คำนวณจาก $F_o/N = F_r$ ที่วงจรเทียบเฟส)

กล่าวอีกนัยหนึ่งว่า เอาท์พุตจะมีความถี่เป็น N เท่าของความถี่อ้างอิงสมมติว่า $F_r = 1$ กิโลเฮิร์ตซ์ $N=1000$ จะได้ $F_o = 1$ เมกะเฮิร์ตซ์ ถ้า N เพิ่มขึ้น 1 เป็น 1.001, 1.002, 1.003 ค่า F_o จะเพิ่มขึ้น 1 กิโลเฮิร์ตซ์ ไปเรื่อยๆ เป็น 1.001, 1.002, 1.003....เมกะเฮิร์ตซ์ ตามลำดับ

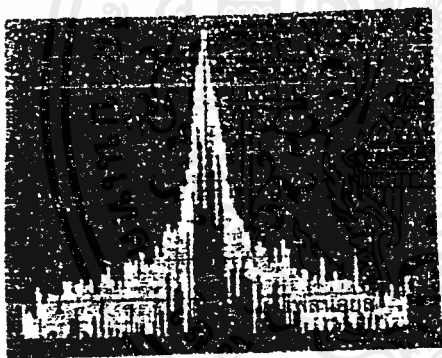
สังเกตว่า เฟสล็อกกลูปดังกล่าว สามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ N) ย่อมเป็นเลขจำนวนเต็มเสมอ

2.3.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

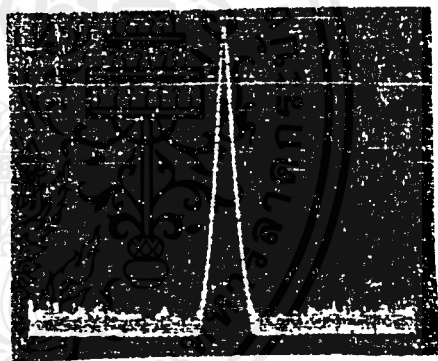
โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชันในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนคามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือ ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อก (lock-up time) ดังนั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนี้มีความจำเป็นอย่างยิ่งสำหรับเครื่องรับวิทยุ

วงจรสังเคราะห์ความถี่ที่จะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) คือความถี่ฮาร์โมนิกและสปีวเรียสต่างๆจะถูกกำจัดให้เหลือน้อยที่สุด นอกจากนั้นนอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว (ดูรูปข้างล่าง) ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟส นอยส์ (phase noise)

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิง มักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่ จะมีเสถียรภาพและความเที่ยงตรงทางความถี่ เทียบเท่ากับคริสตัลออสซิลเลเตอร์



ก. เอาท์พุทมีเฟส นอยส์



ข. เอาท์พุทบริสุทธิ์

รูปที่ 2.3.4.1 เฟส นอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆ กับความถี่เอาท์พุท

2.3.5 วงจรในเฟส ล็อก ลูป

ก. วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage Control Oscillator - VCO)

คุณสมบัติหลักของวงจรผลิตความถี่ควบคุมแรงดัน

1. การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของแคปเจอร์เรนจ์ จะเท่ากับเกนการขยายของลูปเปิด (Open Loop Gain)

2. เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulate Sensitivity) ควรจะมีค่าสูง

3. การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณ ได้ดีและไม่ควรให้มีผลต่อ

คุณสมบัติด้านเสถียรภาพของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) จะต้องมิตัวส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็นเชิงเส้น (Linear)

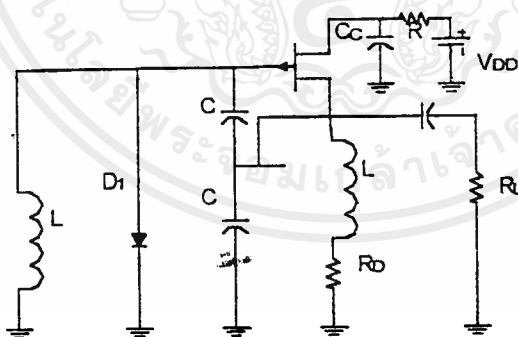
5. Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาล็อก วงจร VCO ควรจะมีสัญญาณเอาต์พุตที่บริสุทธิ์คือถ้าเป็นคลื่นรูปไซน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

ในการออกแบบเฟสล็อกกลูป ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่ต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่รวมทั้งการดัดแปลงเลทคลีนเอฟเฟกต์ ความปรกติจะขึ้นกับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด

VCO จะต้องมิตัวคุณสมบัตินี้

1. ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น
2. เสถียรภาพของความถี่ที่ดี
3. สามารถใช้กับความถี่สูงได้
4. อัตราการขยายสูง
5. พิสัยการติดตามกว้าง
6. การตั้งความถี่กระทำได้ง่าย

การวิเคราะห์ที่กล่าวมาจะแสดงให้เห็นเฉพาะวงจรเชิงไอซี ในการใช้งานจริงต้องมีการไบอัสทางดีซีเพื่อให้วงจรทำงานได้ ณ จุดเอาต์พุตนั้น การคัปปลิงด้วยโวลต์จะมีผลต่อวงจรเช่นกัน ในการออกแบบจะกำหนดให้รูปเกนของวงจรที่วิเคราะห์เชิงเส้น มีมากเป็น 3-4 เท่า เมื่อวงจรเกิดการออสซิลเลชันแล้ว gm ของอุปกรณ์แอคทีฟ จะลดลงจนถึงสภาวะเสถียรซึ่งในขณะนี้ขนาดของสัญญาณจะคงที่ โขยปรกติกำลังของสัญญาณที่ได้มักจะไม่เกิน 25% ของกำลังงานคิซีที่วงจรดึงมาจากแหล่งจ่าย อุปกรณ์แอคทีฟที่ใช้สามารถนำ FET หรือ MOSFET มาใช้งาน ก็จะทำงานได้ผลดีเช่นเดียวกัน

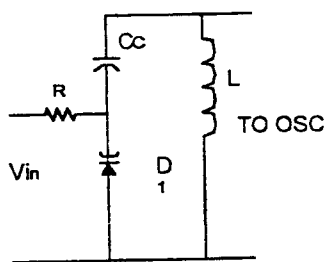


รูปที่ 2.3.5.1 แสดงวงจร โคลทิตที่ออสซิลเลเตอร์ซึ่งใช้เฟต

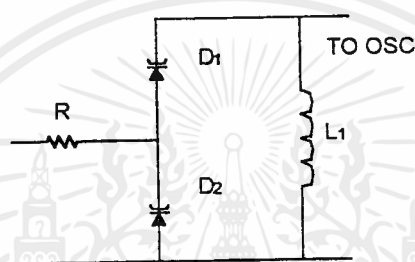
วงจรที่ใช้ FET แสดงในรูปที่ 2.3.5.1 R_D ทำหน้าที่สร้างแรงดันไบอัสให้กับ FET และ RF CHOCK ทำให้ R_D มีอิมพีแดนซ์สูงมากที่ความถี่ใช้งาน ซึ่งจะทำให้ R_D ไม่มีผลต่อวงจร D_1 ทำหน้าที่จำกัดขนาดแรงดันเอซีที่เกิดจากการออสซิลเลชันไม่ให้มีขนาดใหญ่มากเกินไป จนทำให้รอยต่อระหว่างขาเกตและซอร์สของ FET นำกระแสได้ซึ่งไม่จำเป็นต้องมีในกรณีที่แรงดันเอซีมีขนาดเล็กหรือในกรณีที่ เป็น MOS-FET วงจรสามารถรับโหลดที่เป็นค่าความต้านทานสูงๆ ได้เท่านั้น สำหรับโหลดที่มีค่าความต้านทานต่ำๆ ค่าของ C_0 จะเล็กลงเพื่อให้ VCO ที่ความถี่ที่ใช้งานมีค่าสูงทำให้โหลดไม่มีผลต่อวงจรและ R กับ C ทำหน้าที่บายพาสแรงดันเอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร VCO เป็นส่วนประกอบที่สำคัญของระบบเฟสล็อกลูป ความถี่เอาต์พุตของ VCO จะแปรตามแรงดันอินพุตที่ควบคุมซึ่งจะใช้วิธีเปลี่ยนแรงดันไบอัสให้กับวาริแคป



รูปที่ 2.3.5.2 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์



รูปที่ 2.3.5.3 แสดงการต่อวงจรเพื่อใช้แก้ปัญหาวาริแคปไฟร์

รูปที่ 2.3.5.2 คาปาซิเตอร์ จะมีค่าอิมพีแดนซ์ต่ำที่ความถี่ใช้งาน ทำหน้าที่แยกแรงดันดีซีออกจากวงจรรีโซแนนซ์ วงจรในรูปที่ 2.3.5.2 มีข้อจำกัดที่แรงดันเอซีคร่อม D1 ต้องมีค่าน้อย (น้อยกว่า 600 mV_{rms}) ไม่งั้น D1 อาจจะทำให้การเรคตีไฟร์แรงดันคร่อม L1 ซึ่งจะทำให้ความถี่ขึ้นเกิดขึ้นกับความถี่ที่ใช้งาน

วิธีแก้ไขทำได้ดังรูปที่ 2.3.5.3 ไดโอด D1, D2 ค่อกลับกัน ทำให้แก้ปัญหาวาริแคปไฟร์ แต่ค่าความจุ (Capacitance) รวมของ D1, D2 จะลดลงครึ่งหนึ่งและ D1, D2 ต้องมีคุณสมบัติใกล้เคียงกันมากที่สุดหรืออาจจะรวมกันอยู่ในตัวถังเดียวกัน

เมื่อใช้วงจรวาริแคปร่วมกับวงจรออสซิลเลเตอร์ ในรูปที่ 2.3.5.2 ค่าความจุของวาริแคปต้องนำไปรวมกับ C1, C2 และในทางปฏิบัติกรณี FET ก็รวมค่า CISS (Common Source Input Capacitance) เข้ากับ C1 และ COSS (Common Source Output Capacitance) เข้ากับ C2 โดยกำหนดว่าค่าจริงของ Y₁₁ และ Y₂₂ ไม่มีผลกับวงจร

จากสมการ

$$f_0 = (r(L * C_T) / 2 - 1)$$

โดยที่ C_T คือ

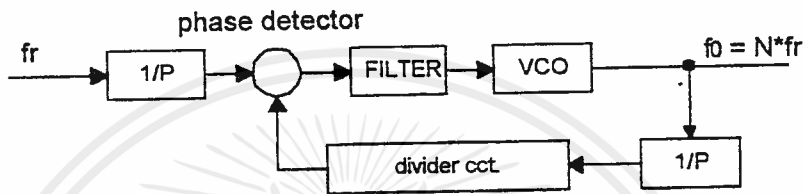
$$C_T = [C_D + ((C_1 + CISS) * (C_2 + COSS))] / [(C_1 + CISS) + (C_2 + COSS)]$$

ซึ่ง C_D คือ ค่าความจุของวาริแคปที่แรงดันอินพุตใดๆ

ข. วงจรหารพรีสเกลเลอร์ (PRESCALE)

เป็นวิธีที่จะทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่ได้สูงมากอีกวิธีหนึ่งซึ่งส่วนสำคัญของวงจรหารแบบนี้คือ ไอซีตระกูล ECL ซึ่งมีความสามารถในการทำงานที่ความถี่สูงกว่าตระกูล TL หลายเท่า ไอซีที่กล่าวถึงจะทำการหารล่วงหน้า (Prescale) ก่อน โดยการหารความถี่อ้างอิง f_r ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และใช้วิธีคูณความถี่ขึ้น ไป P เท่า ภายในลูปซึ่งจะทำงานถึงความถี่ที่ใช้งานโดยไม่ต้องมีวงจรมัลติพลาย

วงจรนับหาร P เป็นชุดวงจรฟลิปฟล็อปธรรมดา ซึ่งสามารถกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารให้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับเฟสล็อกลูปในรูปที่ 2.3.5.4

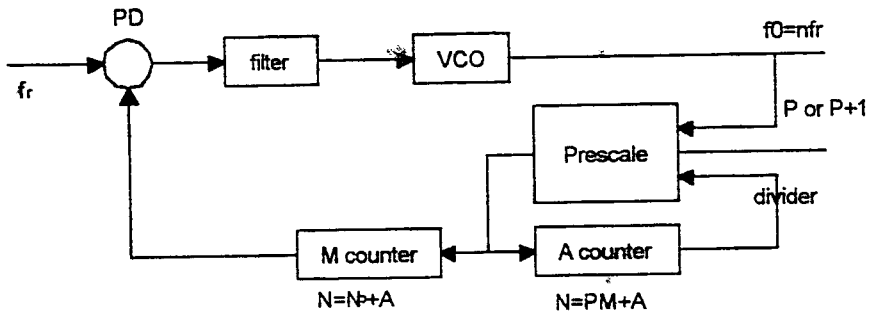


รูปที่ 2.3.5.4 PLLแบบพรีสเกลเลอร์

จากที่ได้กล่าวมาแล้วว่าวงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบ โมดูลัส (modulus divider) เป็นวิธีที่ทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้า (prescale) ก่อน ซึ่งหมายถึงว่ามีการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ ดังแสดงในรูป 2.3.5.5 เอาท์พุทของพรีสเกลเลอร์จะป้อนให้กับวงจรนับ (counter) สองตัวตัวหนึ่งเป็นคาน์นับหลัก (main counter) อีกตัวหนึ่งเป็นคาน์นับเสริม (auxiliary counter)

คาน์นับเสริมจะเป็นคาน์นับค้ำให้พรีสเกลเลอร์หารด้วยตัวหารใดคือหารด้วย 10 หรือ 11 เช่นสมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้คาน์นับเสริม และในขณะนี้จะใช้ 11 เป็นตัวหารเมื่อคาน์นับเสริมหยุดนับจึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10 คาน์นับหลักก็เช่นเดียวกันจะค่อยๆ นับถอยหลังไปเรื่อยๆ เมื่อคาน์นับหลักและคาน์นับเสริมนับถึงศูนย์ ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล เนื่องจากคาน์นับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้แก่คาน์นับเสริมจะต้องน้อยกว่าค่าตัวเลขที่พรีเซตให้กับคาน์นับหลัก



รูปที่ 2.3.5.5 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบทริสเทจเลเตอร์

สมมติให้ตัวเลขที่ทริสเทจให้กับตัวนับหลักเป็น M และตัวนับเสริมเป็น A เริ่มแรกใช้ทริสเทจเลเตอร์อยู่ในสถานะหาร 11 ไปจนตัวนับเสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมคิดเป็นจำนวนไซเคิลของ VCO ที่ผ่านไปแล้วเท่ากับ 11 คูณด้วย A ไซเคิล หลังจากนั้นทริสเทจเลเตอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 โดยตัวนับเสริม ในขณะที่ตัวนับหลักผ่าน A ไปแล้ว พร้อมกับตัวนับเสริมยังเหลืออยู่อีก (M-A) ไซเคิลก่อนที่จะนับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวนับหลักเป็นค่อไปอีกคิดเป็นจำนวนไซเคิลที่ผ่านไปแล้วของ VCO เท่ากับ 10 คูณด้วย (M-A)

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้นคือ

$$\begin{aligned} \text{VCO ไซเคิล} &= 11A + 10(M-A) \\ &= 10M + A \end{aligned}$$

ความถี่ของ VCO จะเท่ากับ (10M+A) เท่าของความถี่อ้างอิงหรือ

$$F_{\text{SYNTH}} = F_{\text{ref}}(10M+A)$$

สังเกตว่าผลของตัวเลข M มีผลต่อความถี่ F_{SYNTH} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร (10M+A) ก็ไม่สามารถหารได้ครบทุกค่าตัวเลขเนื่องจากมีจำกัดครั้งที่ M จะต้องมากกว่าหรือเท่ากับ A ในที่นี้ตัวหาร (10M+A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่บอกตัวอย่างข้างต้นใช้ทริสเทจเลเตอร์แบบ 10/11 ในกรณีที่ใช้ทริสเทจเลเตอร์ชนิดหารสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

$$\text{ตัวหารของระบบสังเคราะห์ความถี่} = PM + A$$

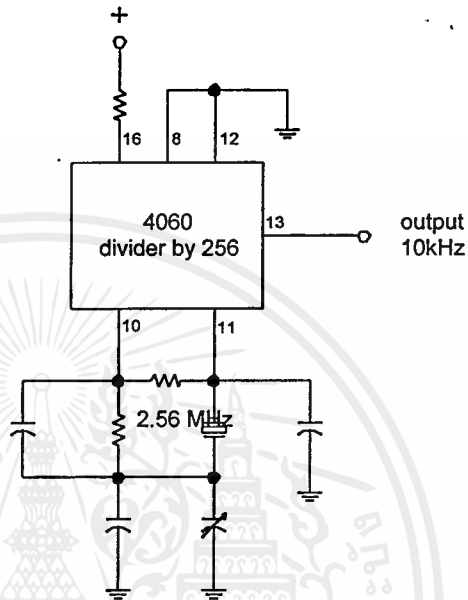
$$\text{ตัวหารต่ำสุด} = P(P-1)$$

$$\text{ตัวหารสูงสุด} = P_{\text{max}} - A_{\text{max}}$$

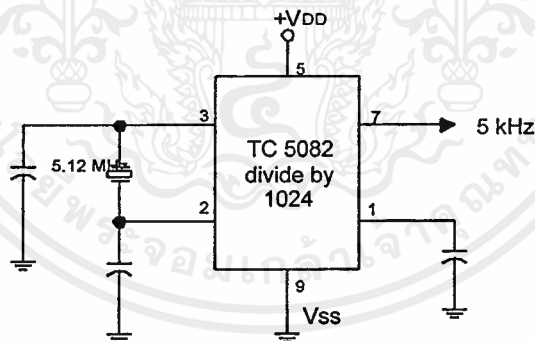
ถ้าตัวหารของทริสเทจเลเตอร์มีค่ามาก ตัวหารต่ำสุดก็จะยิ่งมากขึ้นไปอีกซึ่งเหมาะสมกับระบบ

สังเคราะห์ความถี่ที่ผลิต ความถี่สูงๆ และช่วงห่างระหว่างแถบ

เหตุผลสำคัญในการใช้พริสเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ ถ้าใช้พริสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพริสเกลเลอร์ชนิดหารสองโมดูลัสคือ การให้กำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดงเช่นในภาวะรับ โคลลออสซิลเลเตอร์จะผลิตความถี่ที่แตกต่างกับความถี่ที่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่ง เช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับ รีพิตเตอร์เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้คือ สามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย



(ก) วงจรออสซิลเลเตอร์อ้างอิง CMOS เบอร์ 4060



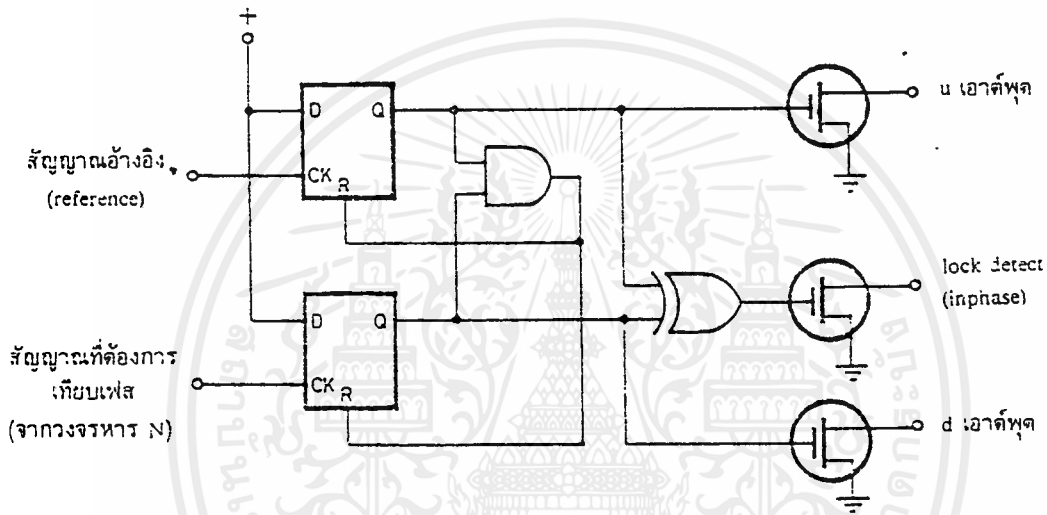
(ข) ตัวอย่าง IC ที่ใช้กำเนิดความถี่ อ้างอิง เบอร์ TC 5082 P

รูปที่ 2.3.5.6

ค. ภาคความถี่อ้างอิงนิยม ใช้คริสตอลออสซิลเลเตอร์ และมีวงจรหารความถี่ค่าตายตัวส่วนใหญ่เป็น ไอซี ดูตัวอย่างในรูป 2.3.5.6 (ก) แสดงตัวอย่างวงจรออสซิลเลเตอร์ ซึ่งใช้แร่ความถี่ 2.56 เมกะเฮิรซ์แล้วหารออกมาเป็น 10 กิโลเฮิรซ์ ทั้งวงจรออสซิลเลเตอร์และวงจรหารความถี่จะอยู่ภายในตัวไอซีทั้งหมดมีแต่เฉพาะ R กับ C เท่านั้นที่ต่อภายนอก ส่วนรูปที่ 2.3.5.6 (ข) เป็นไอซีที่ใช้งานแบบเดียวกัน

ความถี่ออสซิลเลเตอร์อ้างอิงนี้ เป็นตัวกำหนดเรโซลูชันและเสถียรภาพของความถี่อ้างอิงที่ดี จึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพดีด้วย

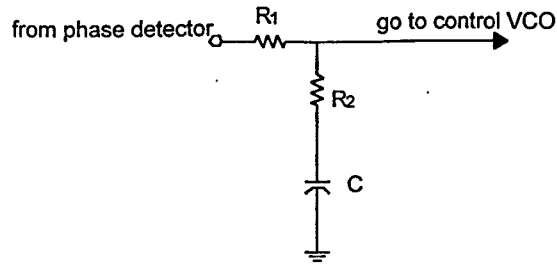
จ. ภาคเทียมนเฟสส่วนใหญ่จะเป็นแบบคิวดอล ซึ่งเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณที่ได้จาก วิชีโอ (หลังจากหาร N) เอาท์พุทที่ได้จากการเปรียบเทียบจะเป็นพัลส์ที่มีวัฏจักรหน้าที่ (duty cycle) เปลี่ยนแปลง รูปที่ 2.3.5.7 ซึ่งแสดงไอซีที่ทำหน้าที่เป็นวงจรถักเก็บเฟสจะประกอบด้วยเกต exclusive or, D - flipflop ฯลฯ ปกติจะมีเอาท์พุทพิเศษแสดงสถานะล็อกด้วย สถานะล็อกในที่นี้หมายถึง สถานะที่ความถี่หรือเฟสของสัญญาณจากวิชีโอ (หาร N) กับสัญญาณอ้างอิงตรงกันพอดี



รูปที่ 2.3.5.7 ภาคเฟสดีเทกเตอร์แบบ IC ของ PLESSEY เบอร์ NT 8811

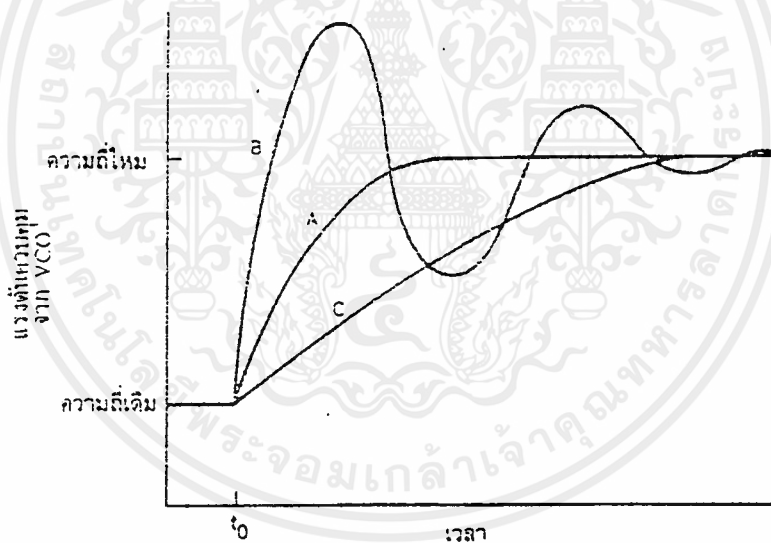
จ. วงจรเทียมนเฟส นี้จะเรียกว่า เทียมนเฟส หรือ เฟสความถี่ก็ได้ เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์ขึ้นอยู่กับผลต่างเฟส หรือความถี่ของสัญญาณอินพุท 2 สัญญาณ ผลลัพธ์ที่ได้จากเฟสดีเทกเตอร์จะเป็นพัลส์ ซึ่งมีส่วนผสมของไฟลิซิปนอยู่ ส่วนที่เป็นไฟลิซิปนี้จะนำไปใช้ควบคุมความถี่ของวิชีโอ ไม่ว่าความถี่ของวิชีโอ จะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรเฟสล็อกสามารถแก้ไขได้เรียกว่า แคลเจอร์เรนจ์ (capture range)

ฉ. ลูปฟีดแบ็ค เป็นวงจรฟีดแบ็คชนิดโพลาสรรรมคา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของวิชีโอ โดยทั่วไปมักใช้ลูปฟีดแบ็คประเภทพาสซีฟ (มีแค่ R กับ C หรือ อาจใช้ฟีดแบ็คชนิดแอคทีฟก็ได้) รูปที่ 2.3.5.8 เรียกว่า คุณสมบัติชั่วคราว (transient) ถ้าเลือกอัตราขยายลูป (loop gain) และค่าคงตัวเวลาของลูป (loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อกจะ ไม่ล็อกและจะเปลี่ยนไปเปลี่ยนมา



รูปที่ 2.3.5.8 ตัวอย่างวงจรรูปฟิลเตอร์

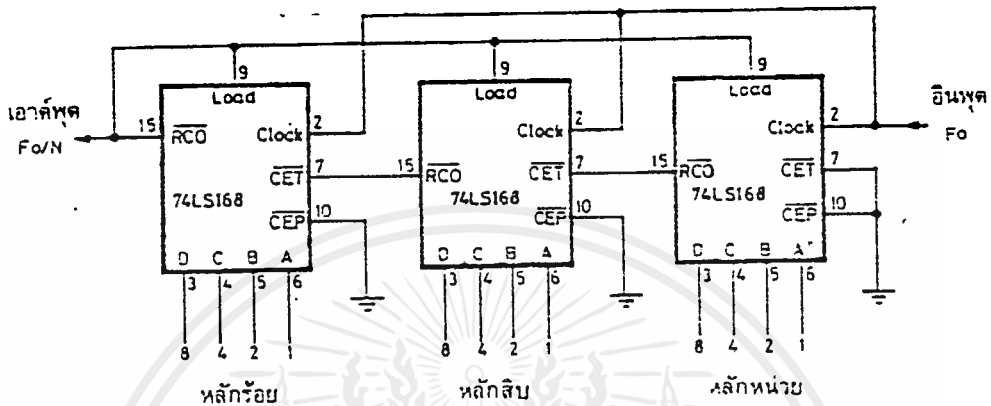
ดังนั้น ค่าคงตัวของเวลาของรูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนเฟสล็อกรูปจะต้องล็อกได้เร็ว โดยไม่มีการสะบัด (overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวของเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (jitter) รูปที่ 2.3.5.9 ซึ่งแสดงการเปลี่ยนแปลงความถี่ของวิธีโอ จะเห็นว่าเส้นทางการเปลี่ยนแรงดันมี 3 เส้นทาง A เป็นเส้นทางคริติคอลแดมป์ (critically damped) ใช้เวลาในการเปลี่ยนสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าอันเดอร์แดมป์ (underdamped) มีการสะบัด (ออสซิลเลต) เนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทางโอเวอร์แดมป์ (overdamped) ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวของเวลาของวงจรรูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



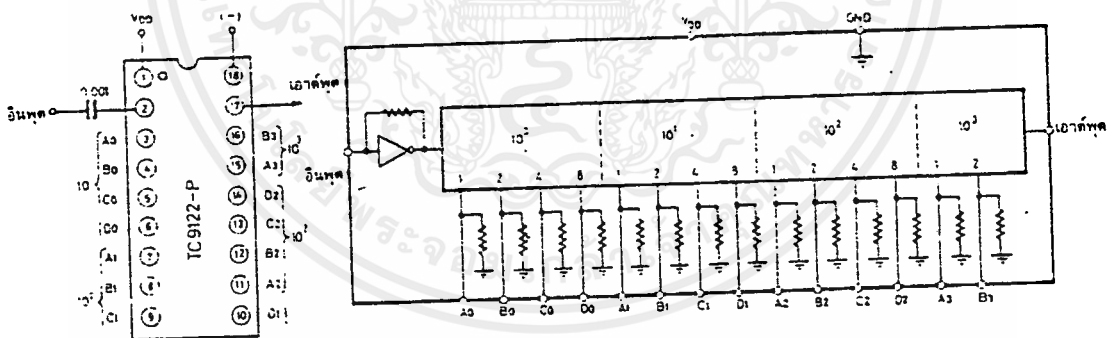
รูปที่ 2.3.5.9 คุณลักษณะ (dynamic characteristics) ในการเปลี่ยนความถี่ของเฟสล็อกรูป

ข. ภาคหาร N (หรือ programmable divider) เป็นภาคที่มีผลต่อช่วงเวลาที่ใช้ในการล็อกความถี่เวลาที่ใช้ในการล็อกความถี่เมื่อ N มีค่าน้อยที่สุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (decade counter) หลายๆ ชุดมาต่อรวมกันเกิดต่างๆ เพื่อให้สามารถเลือกตั้งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

วงจรหาร N นี้ เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดค่าความถี่ และจำนวนช่องความถี่ ในรูปที่ 2.3.5.10 แสดงวงจรหารชนิดที่ใช้ไอซีตระกูล TTL ส่วนในรูปที่ 2.3.5.11 เป็นวงจรหาร N สำเร็จรูปในตัวไอซีตัวเดียว สังเกตว่าลักษณะการป้อนข้อมูล N ให้กับวงจรหาร N เป็นแบบขนาน (parallel) กล่าวคือ ข้อมูลแต่ละบิตจะป้อนเข้าพร้อมๆ กัน



รูปที่ 2.3.5.10 ตัวอย่างโปรแกรมเมเบิล (PROGRAMMABLE) โดยใช้ IC ตระกูล TTL



รูปที่ 2.3.5.11 ตัวอย่างวงจรหาร N ชนิดความเร็วสูง เป็น IC ตัวเดียวเบอร์ Toshiba TC9122

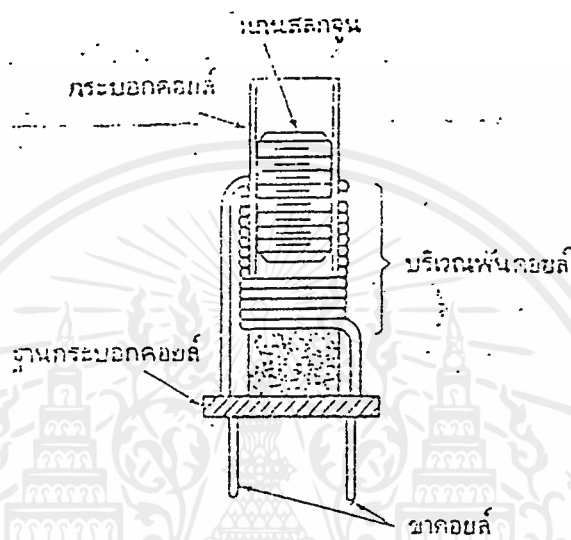
ปัญหาสำคัญของวงจรงัดเคราะห์ความถี่อีกอย่างหนึ่งคือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรหาร N ทำงานได้ วิธีต่างๆ ที่นิยมใช้ได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งคือ ใช้วิธีทริสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

2.3.6 การพันคอยล์

วิธีการพันคอยล์ให้มีค่าตามต้องการ

1.การพันคอยล์แบบปรับค่าได้

ตามปกติแล้วตัวเหนี่ยวนำหรือคอยล์ปรับค่าได้จะเป็นชนิดที่มีแกนเฟอร์ไรท์ หรือแกนผงเหล็กเป็นตัวปรับจูนค่า



รูปที่ 2.3.6.1 ภาพหน้าตัดแสดงกระบอกคอยล์มีสลักจูนทั่วไป

ในรูปที่ 2.3.6.1 แสดงกระบอกคอยล์ที่มีแกนสลักจูนเป็นตัวปรับค่าแบบพื้นฐานทั่วไป โดยตัวกระบอกคอยล์อาจจะทำมาจากพลาสติก, พีโนลิก, ไฟเบอร์กลาส, หรือเซรามิก ส่วนตัวแกนสลักจูนที่อยู่ภายในกระบอกคอยล์จะมีร่องบาก สำหรับเป็นที่ปรับจูนด้วยไขควงปากแบน หรืออาจทำเป็นรูหกเหลี่ยมสำหรับให้ใช้ปรับจูนด้วยไขควงหกเหลี่ยม ขดลวดที่ใช้พันคอยล์ จะถูกพันลงบนรอบนอกของกระบอกคอยล์และค่าคอยล์ที่ได้จะขึ้นอยู่กับจำนวนขดลวดที่พัน และชนิดของแกนสลักจูนที่อยู่ภายในกระบอกคอยล์

การพันคอยล์ปรับค่าได้ซึ่งมีแกนสำหรับจูนอยู่ภายในกระบอกคอยล์นี้ เราจะต้องทราบรายละเอียดคุณลักษณะเฉพาะ (Specification) ของชุดกระบอกคอยล์ที่นำมาใช้พันคอยล์ก่อน

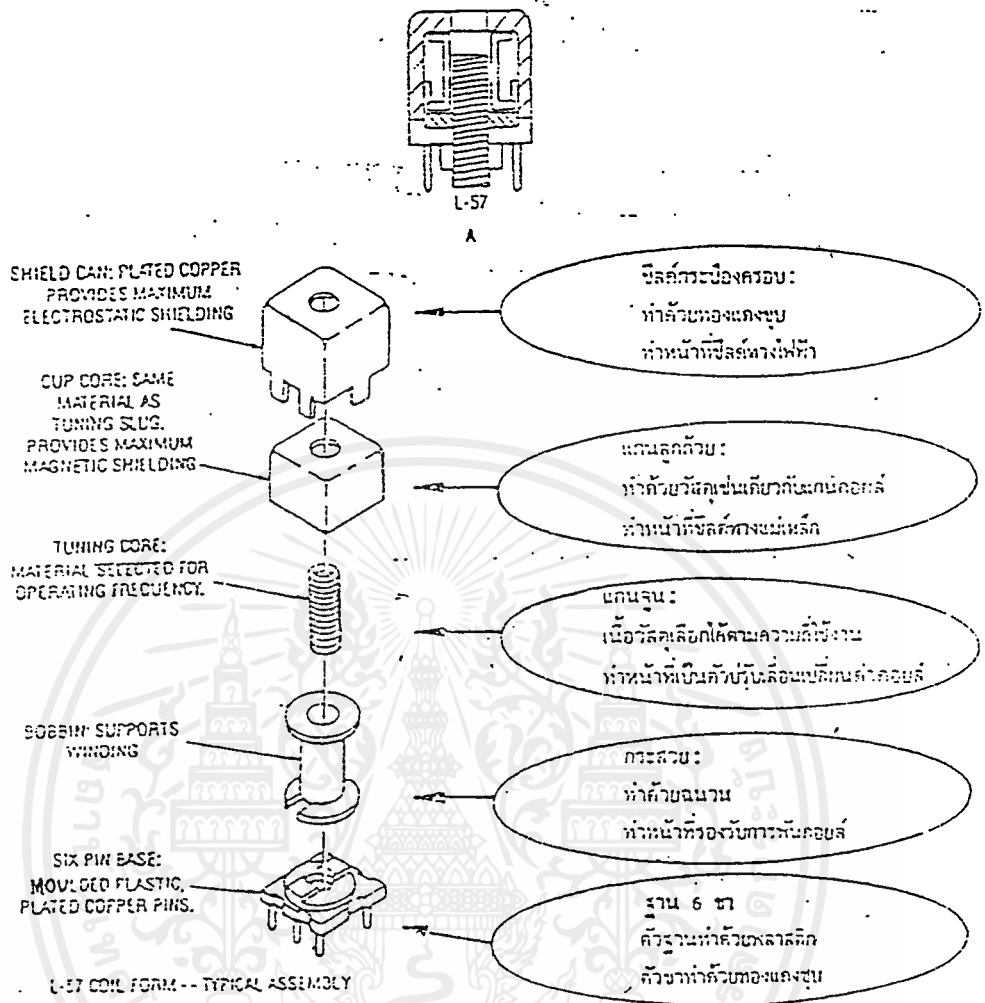
ตามตัวอย่างการพันคอยล์นี้ได้ใช้กระบอกคอยล์สำเร็จรูปของบริษัท Amidon Associates Inc (สหรัฐอเมริกา) ดังตัวอย่างกระบอกคอยล์หมายเลข L-33-X จะมีขนาดหน้าตัดสี่เหลี่ยมด้านละ 0.31 นิ้ว และสูง 0.40 นิ้ว ส่วนเครื่องหมาย “ X ” ในเบอร์กระบอกคอยล์นี้ใช้สำหรับแสดงตัวเลขตามชนิดของวัสดุที่นำมาทำเป็นแกนสลักจูน ซึ่งค่าตัวเลขนี้จะเปลี่ยนไปตามความถี่ใช้งานของกระบอกคอยล์ดังที่แสดงในตารางที่

2.3.6.1

Part Number หมายเลขคอยล์	Frequency Range ย่านความถี่ (MHz)	A_1 Value ค่า A_1	Ratio อัตราส่วน	Q_{max} ค่า Q สูงสุด
L-33-1	0.30-1.0	75	1.0:1	80
L-33-2	1.00-10	68	1.5:1	90
L-33-3	0.01-0.5	80	1.8:1	70
L-33-6	10-50	60	1.5:1	100
L-33-10	25-100	54	1.4:1	120
L-33-17	50-200	48	1.3:1	130
L-43-1	0.30-100	115	1.6:1	110
L-43-2	1.00-10	98	1.6:1	120
L-43-3	0.01-0.5	133	1.8:1	90
L-43-6	10-50	85	1.4:1	130
L-43-10	25-100	72	1.3:1	150
L-43-17	50-200	56	1.2:1	200
L-57-1	0.30-1.0	175	3:1	-
L-57-2	1.00-10	125	2:1	-
L-57-3	0.01-0.5	204	3:1	-
L-57-6	10-50	115	2:1	-
L-57-10	25-100	100	2:1	-
L-57-17	50-200	67	1.2:1	-

ตารางที่ 2.3.6.1 ข้อมูลเฉพาะของกระบอกคอยล์ AMIDON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.6.2 ภาพ A แสดงหน้าตัด ภาพ B แสดงส่วนประกอบกระบอกคอยล์

แบบ L - 57 ของบริษัท Amidon Associate Inc

ตัวอย่างการพันคอยล์ในที่นี้ ต้องการให้ได้ค่าคอยล์สำหรับใช้ในวงจรจูนที่ความถี่ 15 เมกะเฮิร์ซ และค่าตัวเก็บประจุในวงจรจูน 56 pF ซึ่งจะคำนวณค่า L ณ ความถี่เรโซแนนซ์นี้ได้ค่า L ประมาณ 2 μH ขึ้นต่อไปเป็นการหาจำนวนรอบ (N)

$$\text{โดยใช้สูตร} \quad N = 100 \sqrt{L \div 0.9 A}$$

เมื่อ L คือค่าอินดักแตนซ์ของคอยล์ที่ต้องการ หน่วยเป็นไมโครเฮนรี (μH)

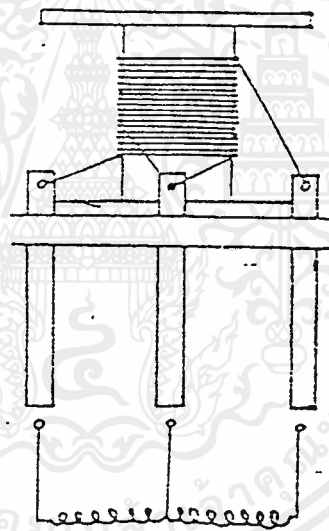
A_L เป็นฟังก์ชันคุณสมบัติของวัสดุที่ใช้ทำแกนคอยล์ซึ่งได้กำหนดมาในค่า ไมโครเฮนรี

ต่อ 100 รอบ (ค่า A_L ของกระบอกคอยล์เบอร์ต่าง ๆ แสดงในตารางที่ 2.2.6.1)

ตัวอย่างนี้ใช้กระบอกคอยล์เบอร์ L-57-6 (จากตารางที่ 2.3.6.1 จะเห็นว่ากระบอกคอยล์เบอร์นี้มีความถี่ใช้งานอยู่ในช่วง 10-50 เมกะเฮิร์ซ ที่เราต้องการ) และค่า A_L ของกระบอกคอยล์นี้มีค่าเท่ากับ $115 \mu\text{H} / 100$ รอบ เมื่อนำไปแทนค่าในสูตรหาจำนวนรอบ ผลลัพธ์ที่ได้คือ 14 รอบ

ในการพันคอยล์จะต้องใช้ลวดเบอร์ละเอียดเนื่องจากกระบอกคอยล์มีขนาดเล็ก ซึ่งมีให้เลือกระหว่างเบอร์ 26-32 ลวดดิ่งกล่าวเป็นลวดทองแดงเคลือบน้ำยาแบบทั่วไป (ลวดแบบเดียวกับที่ใช้ในการพันมอเตอร์)

BOBBIN กระสวยที่ใช้พันคอยล์



รูปที่ 2.3.6.3 เป็นตัวอย่างแสดงให้เห็นการพันลวดแบบมีการแท๊ปคอยล์

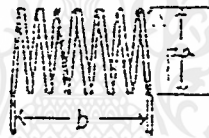
เริ่มจากการมัดกรีเส้นลวดเข้ากับขาคอยล์ทางด้านซ้ายมือก่อน พันเส้นลวดลงบนกระสวยของกระบอกคอยล์จนครบถึงรอบที่ต้องการมีแท๊ปคอยล์ แล้ววกเส้นลวดมาร้อยและมัดกรีเข้ากับขากลาง จากนั้นจึงวกสายกลับเข้าไปพันลงบนกระสวยอีกครั้งจนครบจำนวนรอบที่ต้องการ แล้วโยงสายเส้นลวดมามัดกรีเข้ากับขาข้างขวาของกระบอกคอยล์ เมื่อพันคอยล์เสร็จแล้วหยอดกาวลงบนขาคอยล์เล็กน้อย เพื่อป้องกันไม่ให้ขาคอยล์หลุดหลวมได้ง่าย

จุดสำคัญของการพันคอยล์ปรับค่าได้ ด้วยวิธีการคำนวณจากสูตรตามนี้ เราจะต้องทราบข้อมูลลักษณะเฉพาะ (Specification) ของกระบอกคอยล์ที่ใช้ในการพันคอยล์ แต่ในบ้านเรานั้น เป็นที่ทราบกันดีว่ากระบอกคอยล์สำเร็จรูปทั่ว ๆ ไป ที่มีวางขายกันตามร้านขายอะไหล่บ้านหม้อจะไม่มีรายละเอียดของกระบอกคอยล์ให้กับผู้ซื้อ ดังนั้นการพันคอยล์ให้ได้ค่าตามต้องการแบบง่าย ๆ ด้วยการลองดูจำนวนขดลวดพันลงบนกระบอกคอยล์ แล้ววัดค่าคอยล์ด้วยเครื่องค่าอินดักแตนซ์ (มิเตอร์วัดค่า RLC ขนาดเล็กราคาไม่กี่พันบาทมีขายกันหลายร้านในย่านบ้านหม้อ) ทดลองเปลี่ยนจำนวนรอบขดคอยล์จนได้ค่าคอยล์ตามที่ต้องการ หรือบางคนอาจจะใช้ดิฟมิเตอร์ เป็นตัวทดสอบหาค่าความถี่รีโซแนนซ์ของวงจร LC ที่สร้างขึ้น

2. การพันคอยล์แบบแกนอากาศ

อินดักเตอร์แกนอากาศ (Air Core Inductor) เป็นเส้นลวดโต ๆ ที่พันกันเปล่า ๆ โดยไม่ต้องมีแกน ซึ่งเราจะหาจำนวนรอบตามค่าอินดักแตนซ์ที่ต้องการได้

จากสูตร	$N = \sqrt{[L(9a + 10b)] \div a^2}$
เมื่อ	L = ค่าอินดักแตนซ์ มีหน่วยเป็น μH
	a = รัศมีของคอยล์ มีหน่วยเป็นนิ้ว
	b = ความยาวในการพันขดลวด มีหน่วยเป็นนิ้ว
	N = จำนวนรอบขดลวด

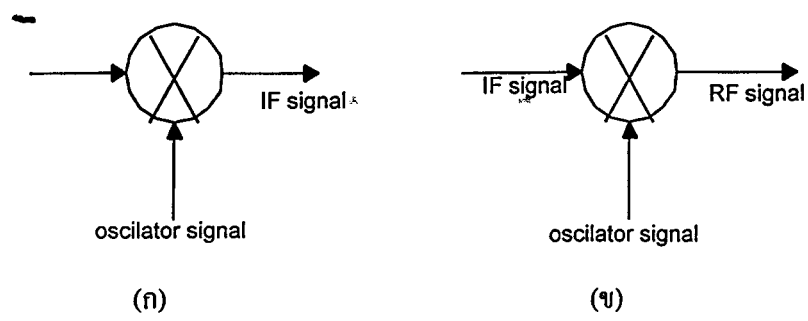


รูปที่ 2.3.6.4 แสดงความหมายของ a และ b ของขดลวด

2.4 วงจรมิกเซอร์

วงจรมิกเซอร์แบ่งออกได้เป็น 2 ประเภท คือประเภทแอคทีฟ (active) ใช้ทรานซิสเตอร์หรือไอซีรวมทั้งอุปกรณ์อื่นๆ ที่ให้อัตราการขยาย (ในการผสมคลื่น) และประเภทพาสซีฟ (passive) ใช้ไดโอด ซึ่งไม่มีการขยายสัญญาณ

นอกจากนี้เราอาจแบ่งวงจรมิกเซอร์ได้เป็น 2 ประเภทคือ แบบสมดุลหรือบาลานซ์กับแบบไม่สมดุลหรือไม่บาลานซ์ วงจรมิกเซอร์แบบสมดุลนี้ เราต้องวงจรให้ขั้วอินพุตหรือเอาต์พุตของมิกเซอร์ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว) คุณสมบัตินี้เราเรียกว่า การแยกระหว่างขั้วหรือไอโซเลชัน (Isolation) คงจำได้ว่าขั้วอินพุตของวงจรมิกเซอร์มี 2 ขั้วคือ สัญญาณ RF (หรือ IF) กับสัญญาณออสซิลเลเตอร์ และมีขั้วเอาต์พุต 1 ขั้วคือ สัญญาณ IF (หรือ RF) จากรูปที่ 2.4.1 ลองพิจารณาในกรณีของภาครับจะเห็นว่า การแยกระหว่างขั้ว RF และขั้วออสซิลเลเตอร์จะช่วยมิให้สัญญาณออสซิลเลเตอร์ย้อนกลับออกสู่สายอากาศแผ่กระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับ IF จะช่วยมิให้สัญญาณที่ความพอดิตรงกับความถี่ IF ออสซิลเลเตอร์ เล็ดลอดเข้าไปสู่วงจรขยาย IF ในกรณีของภาครังก็พิจารณาทำนองเดียวกัน



รูปที่ 2.4.1 แสดงตัวอย่างมิกเซอร์

(ก) มิกเซอร์ภาคเครื่องรับ

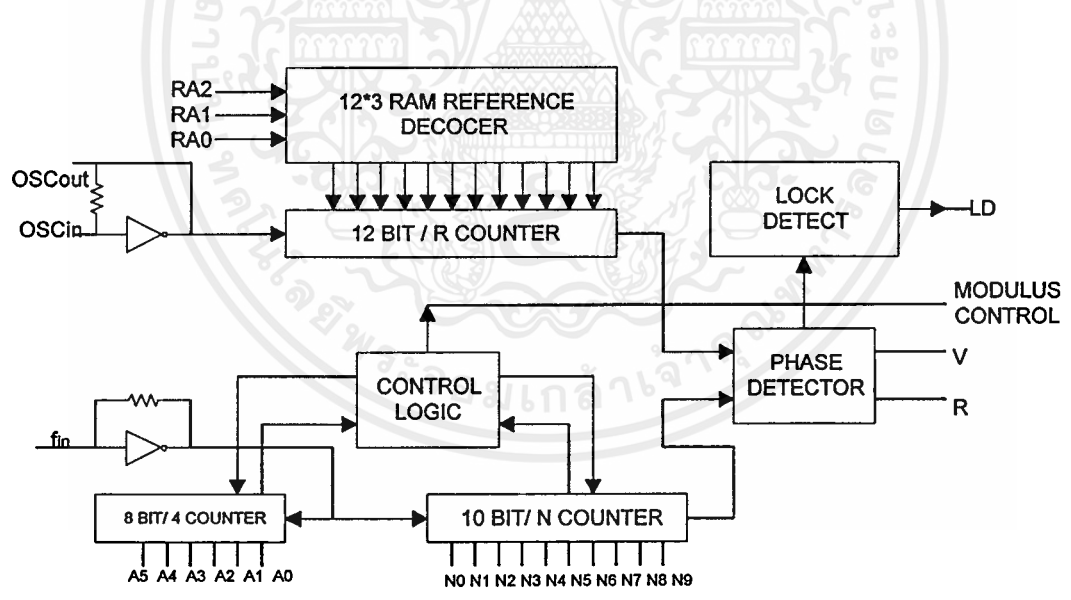
(ข) มิกเซอร์ภาคเครื่องส่ง

สำหรับวงจรมิกเซอร์แบบไม่สมดุลนั้น มีคุณสมบัติการแยกแยะระหว่างขั้วไม่ดีเหมือนกับแบบสมดุล ถ้าต้องการให้มีการรับสัญญาณดีต้องใช้ฟิลเตอร์ช่วยในการกรองสัญญาณต่างหากอีก

2.5 การออกแบบวงจรระบบสังเคราะห์ความถี่

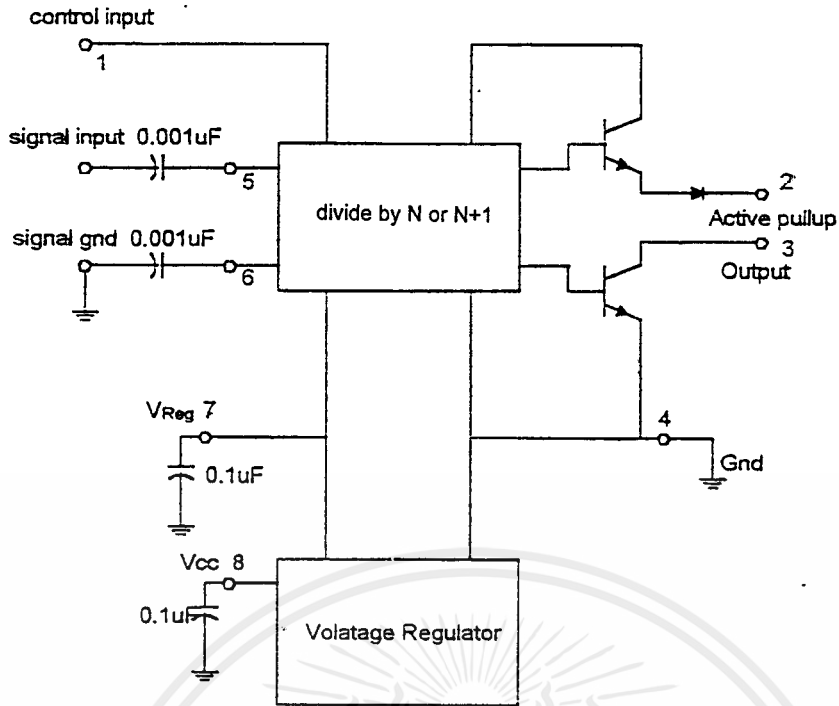
ใช้วงจรเฟสล็อกรูปแบบพริสเกลเลอร์ สองโมดูลัส ซึ่งใช้ไอซี 3 ตัว คือ MC145152, MC12017 และ MC33171

MC145152 เป็น Parallel - Input PLL Frequency Synthesizer ใช้โปรแกรมหารความถี่ได้ 16 bit แบบขนาน และสามารถเทียบเฟสได้ในตัวเดียวกัน จาก OSC อ้างอิงภายนอก และมี Modulus Control, Lock Detect IC เป็นแบบ CMOS มีบล็อกไดอะแกรม ดังนี้



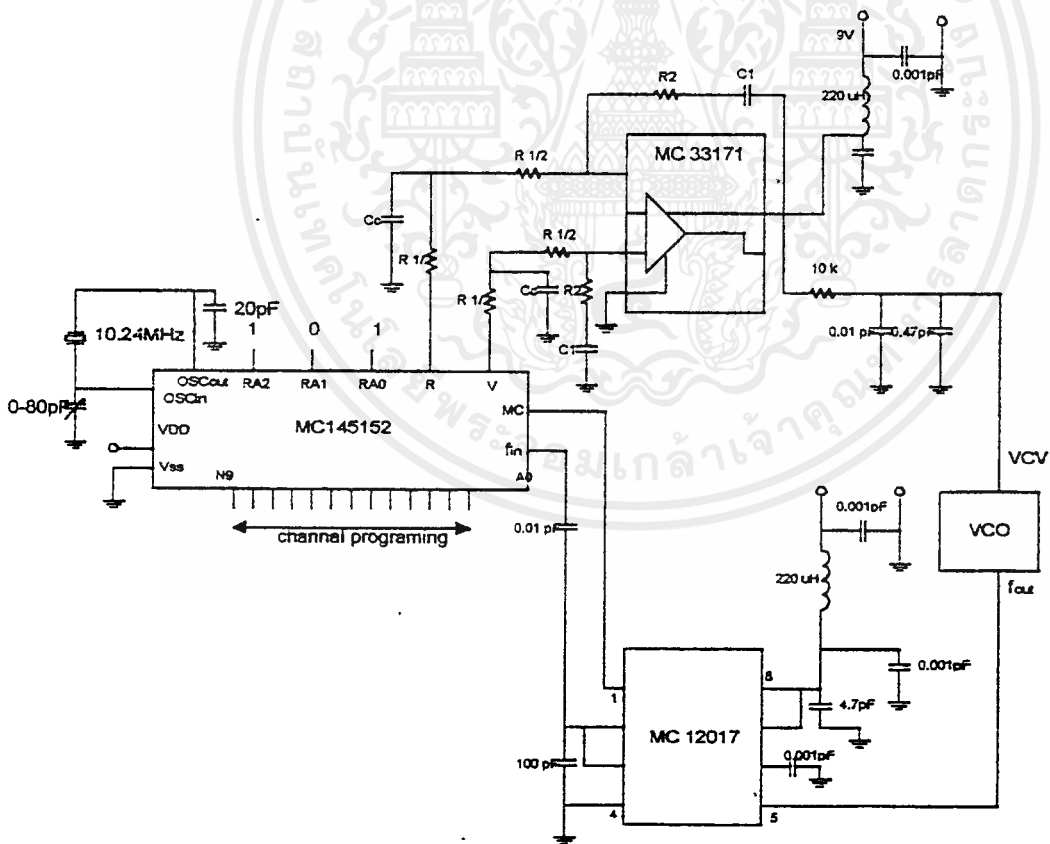
รูปที่ 2.5.1 บล็อกไดอะแกรมของ MC145152

MC12017 เป็นตัวพริสเกลเลอร์หารความถี่ให้ต่ำลง เป็นไอซีแบบ MECL หารความถี่ได้ถึง 225 เมกะเฮิร์ซ ด้วยตัวหาร 64 และ 65 แล้วแต่ควบคุมการหาร มีบล็อกไดอะแกรม ดังนี้



รูปที่ 2.5.2 บล็อกไดอะแกรมของ MC12017

MC33171 เป็นไอซีออปแอมป์ ใช้หัพทาลายชุดเดียว และมีออปแอมป์ภายใน 1 คู่ ซึ่งเป็น JFET



รูปที่ 2.5.3 แสดงวงจรสังเคราะห์ความถี่

การคำนวณ

กำหนดให้ (ตามคำแนะนำของ Data Motorola)

$$f_0 = 145 \text{ MHz (local oscillator frequency)}$$

$$f_s = 10 \text{ kHz (channel spacing)}$$

$$f_b = 0.01f_s \text{ (loop bandwidth)}$$

$$f_{rc} = 20f_b \text{ (filter cut off frequency)}$$

$$r = 0.8 \text{ (loop damping factor)}$$

$$V_{DD} = 5 \text{ V}$$

$$KV_{CO} = 2\pi \frac{\Delta f_{VCO}}{\Delta V_{VCO}} \text{ (VCO gain, measured on VCO)}$$

$$C_1 = 0.1 \text{ }\mu\text{F}$$

$$K\phi = \frac{V_{DD}}{2\pi} \text{ (Phase detector gain)}$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2r^2 + 1 + \sqrt{[(2r^2 + 1)^2 + 1]}}} \text{ (Natural frequency)}$$

$$N_t = \frac{f_0}{f_s} \text{ (Total Division ratio in feedback loop)}$$

$$R_1 = \frac{K\phi KV_{CO}}{C_1 \omega_n^2 N_t}$$

$$R_2 = \frac{2r}{\omega_n C_1}$$

$$C_c = \frac{4}{2R_1 f_{rc}}$$

จากสมการด้านบน ส่วนที่จะหาค่าลงในวงจรคือ R_1 , R_2 , C_c เพราะฉะนั้นแทนค่าลงในสมการคือ

$$K\phi = \frac{V_{DD}}{2\pi} = 0.796$$

$$KV_{CO} = 2\pi \frac{\Delta f_{VCO}}{\Delta V_{VCO}} = 62.832 \times 10^6 \text{ rad/v (ได้จากการวัด)}$$

$$f_b = 0.01f_s = 0.01 \times 10 \times 10^3 = 100 \text{ Hz}$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2r^2 + 1 + \sqrt{[(2r^2 + 1)^2 + 1]}}} = \frac{2 \times 100}{\sqrt{2(0.8)^2 + 1 + \sqrt{[(2(0.8)^2 + 1)^2 + 1]}}} = \frac{628.31}{2.184} = 287.69 \text{ rad/sec}$$

$$N_t = \frac{f_0}{f_s} = \frac{145 \times 10^6}{10 \times 10^3} = 14500$$

$$R_1 = \frac{K\phi KV_{CO}}{C_1 \omega_n^2 N_t} = \frac{0.796 \times 62.832 \times 10^6}{0.1 \times 10^{-6} \times (287.69)^2 \times 14500} = 416.75 \text{ K}\Omega$$

$$R_2 = \frac{2r}{\omega_n C_1} = \frac{2 \times 0.8}{287.69 \times 0.1 \times 10^{-6}} = 55.61 \text{ K}\Omega$$

$$C_c = \frac{4}{2R_1 frc} = \frac{2}{416.75 * 10^3 * 20 * 100} = 0.0024 \mu F$$

ตามคำแนะนำ ให้ R_1 แบ่งเป็น 2 ตัว จึงได้ค่าประมาณ คือ 200K และ 217K ตามลำดับ R_2 ประมาณ

56K

จากการคำนวณ จะเห็นว่า ค่า $N_t = 14500$ ซึ่งเมื่อเทียบกับสมการ $N_t = NP + A$

เมื่อ N คือ ตัวโปรแกรม $N_0 - N_9 = 10$ Bit หารตั้งแต่ 3 - 1023

A คือ ตัวโปรแกรม $A_0 - A_9 = 6$ Bit หารตั้งแต่ 0 - 63

P คือ ตัวหารของทริสเกดเดอร์ หาร 64 และ 65

จะเห็นว่า $N_t = 14500$ จะได้ค่า

$$N = 226$$

$$P = 64$$

$$A = 36$$

ซึ่งค่า N และ A เป็นการนับแบบ binary คือ

$$N = 226 = \text{(MSB)} \quad 0011 \ 1000 \ 10 \quad \text{(LSB)}$$

$$A = 36 = \text{(MSB)} \quad 10 \ 0100 \quad \text{(LSB)}$$

ซึ่งนำมาเขียนต่อกันได้ ดังนี้

$$\text{(MSB)} \quad 0011 \ 1000 \ 1010 \ 0100 \quad \text{(LSB)}$$

จากสมการ $N_t = NP + A$ จะเห็นว่า A จะนับได้ถึงเพียง 63 คือ "11 1111" จากนั้น N จะเป็นตัวนับต่อ คือเพิ่มค่าอีก "1" ซึ่งในขณะนั้น A จะเป็น "0" คือ "00 0000"

ฉะนั้นที่ได้กล่าวมาแล้ว จึงนำ $-N$ และ $-A$ นำมาเขียนต่อกันเป็นการนับแบบ binary ธรรมดา ซึ่งสามารถใช้วงจรเคาน์เตอร์ เป็นตัวโปรแกรมการหารได้

กล่าวถึงในส่วนความถี่อ้างอิง จะใช้คริสตอล 10.24 เมกะเฮิร์ซ เป็นตัวอ้างอิง และสามารถหารความถี่ลงมาโดยกำหนดค่า RA_0, RA_1, RA_2 ได้ ในส่วนนี้ได้กำหนด RA_0, RA_1, RA_2 เป็น "1 0 1" ซึ่งเท่ากับการหาร 1024 ฉะนั้นจะได้ความถี่อ้างอิงภายในตัวไอซี คือ 10.24 เมกะเฮิร์ซ หารด้วย 1024 จะได้ 10 กิโลเฮิร์ซ (K) ซึ่งจะนำมาเปรียบเทียบกับค่าที่ได้จากการ โปรแกรมคือ f_{vco} หารด้วย N_t ซึ่งจะเท่ากับ 10 กิโลเฮิร์ซ (K) เช่นกัน เพราะค่า N_t สัมพันธ์กับค่า f_{vco} คือค่า N_t เพิ่มเท่ากับ "1" จะทำให้ f_{vco} เพิ่มเท่ากับ 10 กิโลเฮิร์ซ (คือช่องว่างของช่อง) เช่น $145\text{MHz} / 14500 = 10 \text{ kHz}$ และ $145.010 \text{ MHz} / 14501 = 10 \text{ kHz}$

2.6 ขั้นตอนการออกแบบวงจรขยายสัญญาณที่มีการถ่ายสัญญาณ โคจรวงจร CR

1. จุดมุ่งหมายของการนำไปใช้

จุดมุ่งหมายของการออกแบบวงจรขยายสัญญาณ เพื่อนำไปใช้ขยายสัญญาณจากอุปกรณ์ที่ให้สัญญาณออกมาค่า เช่น ไมโครโฟน ภาคคีเทกเตอร์ เป็นต้น สัญญาณที่ได้จากวงจรที่ออกแบบนี้ จะได้ป้อนไปยังวงจรขยายกำลังอีกทีหนึ่ง กำหนดให้วงจรขยายสัญญาณมีคุณสมบัติดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1) อิมพีแดนซ์ทางค่านสัญญาณเข้า R_i : $5\text{ k}\Omega$ หรือมากกว่า
- 2) ขนาดของสัญญาณที่ป้อนเข้าวงจร : 5 mV
- 3) อิมพีแดนซ์ของโหลด R_L : $2\text{ k}\Omega$
- 4) ขนาดของสัญญาณที่จุดสัญญาณออก : 0.5 V (0.125 mW) หรือมากกว่า
- 5) อุณหภูมิที่ใช้ปฏิบัติงาน : สามารถทำงานได้ในช่วง $0 - 90^\circ\text{C}$

2. คุณสมบัติทางด้านไฟฟ้า

คุณสมบัติทางด้านไฟฟ้าเพื่อที่จะทำให้เป็นไปตามความต้องการในข้อ 1. จะเป็นดังนี้

- 1) ไฟเลี้ยงวงจร $V_{cc} = 12\text{ V}$

ไฟเลี้ยงวงจรเป็นส่วนสำคัญส่วนหนึ่งที่มีผลต่อวงจร CR ที่ใช้ในทางปฏิบัติ แล้วมักจะใช้ขนาดไฟเลี้ยงวงจรที่มีค่าสูงกว่าขนาดของสัญญาณที่ป้อนเข้า วงจรมากๆ โดยทั่วไปมักจะใช้ 12 โวลต์

- 2) อัตราการขยายสัญญาณ $A_v = 40\text{ dB}$; $PG = 44\text{ dB}$

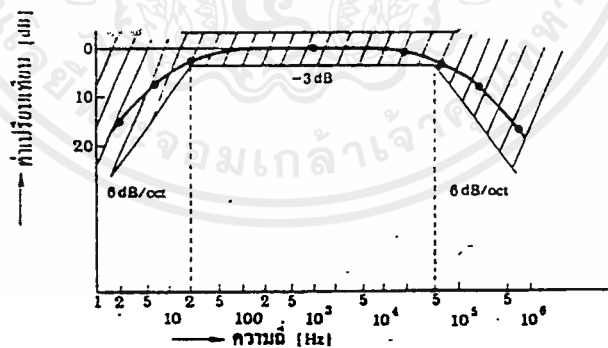
อัตราการขยายสัญญาณหาได้จาก

$$A_v = 20\log \frac{v_o}{v_i} = 20\log \frac{0.5}{5 \times 10^{-3}} = 40\text{ dB}$$

แล้วอัตราการขยายกำลังหาได้จาก

$$\begin{aligned} PG &= 10\log \frac{P_{out}}{P_{in}} = 10\log \frac{v_o^2 R_L}{v_i^2 R_i} = 10\log \left(\frac{v_o}{v_i} \right)^2 \frac{R_i}{R_L} \\ &= 10\log(10^4 * 2.5) = 44\text{ dB} \end{aligned}$$

- 3) คุณสมบัติทางด้านความถี่ 20 เฮิรซ์ ถึง 50 กิโลเฮิรซ์ที่ -3 dB



รูปที่ 2.6.1 แบบเตอร์ค่าขยายและการตอบสนองต่อความถี่

ตามรูปที่ 2.6.1 ซึ่งเป็นกราฟของอัตราการขยายของวงจรกับความถี่ จะเห็นได้ว่าการตอบสนองความถี่ที่ได้ ถือเอาความถี่ค่าที่ 1000 เฮิรซ์ เป็นตัวอ้างอิงและเส้นที่แสดงไว้เป็นเส้นๆ ในกราฟ คือบริเวณที่ขอมให้ผิดพลาดได้

นอกจากข้อกำหนดข้อ 1) ถึงข้อ 3) แล้วยังมีค่าการผิดเพี้ยนของสัญญาณและอัตราส่วนระหว่างสัญญาณต่อสัญญาณรบกวน เป็นคุณสมบัติที่สำคัญ ซึ่งจะได้นำมาพิจารณาด้วย โดยการใช้การป้อนกลับแบบลบ

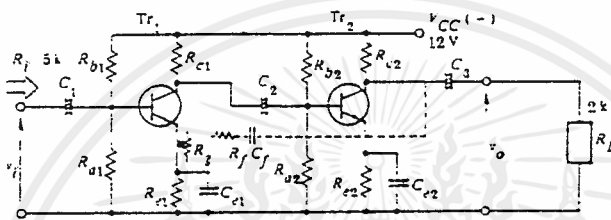
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) จำนวนภาคของวงจรขยายสัญญาณที่ควรใช้

เนื่องจากวงจรขยายสัญญาณที่ใช้แบบทรานซิสเตอร์ตัวเดียว มักจะมีอัตราขยายสัญญาณประมาณ 35 dB ดังนั้นวงจรที่จะทำการออกแบบควรมีสองภาค โดยใช้วงจรแบบมาตรฐานโดยทั่วไป และไม่จำเป็นต้องมีการป้อนกลับแบบลบ อย่างไรก็ตามจะต้องมีการสูญเสียอัตราขยายไปบ้าง เนื่องจากผลของการไบอัสวงจรและการไม่สมพ้อง (mismatch) กันระหว่างภาคหรือจากการใช้การป้อนกลับแบบลบ ฉะนั้นถ้าจะให้ดีที่สุดแล้วควรจะใช้วงจรการขยายสัญญาณสักสามภาค เพื่อจะได้ให้ผลที่สมบูรณ์ที่สุด

2.7 การหาค่าต่างๆ ที่ใช้ในวงจร

1. รูปแบบของวงจรเบื้องต้น



รูปที่ 2.7.1 แสดงวงจรขยายสัญญาณที่ใช้กับสัญญาณขนาดเล็กย่านความถี่ต่ำ

วงจรที่แสดงไว้ในรูปที่ 2.7.1 ในกรณีที่ใช้ทรานซิสเตอร์แบบเจอร์เมเนียม (Ge transistor) จะทำให้อิมพีแดนซ์ที่จุดสัญญาณเข้า R_i สูงกว่า $5\text{ k}\Omega$ ได้ยาก ทั้งนี้เนื่องจากค่าอิมพีแดนซ์ที่จุดสัญญาณเข้าของทรานซิสเตอร์แบบเจอร์เมเนียมมีค่าต่ำประมาณ $2\text{ k}\Omega$ ในกรณีเช่นนี้จะทำการเพิ่มค่าความต้านทานเข้าไปตรงๆ ไม่ได้ แต่ต้องไปใส่ค่าความต้านทานที่ขาอิมิตเตอร์ของทรานซิสเตอร์ ซึ่งจะทำให้อิมพีแดนซ์ของวงจรมีค่าสูงขึ้น เพราะทรานซิสเตอร์แบบซิลิคอน (Si transistor) จะมีค่า h_{ie} สูงประมาณ $10\text{ k}\Omega$ ในกรณีที่ I_E มีค่าประมาณ 0.5 mA ดังนั้นจึงไม่มีความจำเป็นต้องใส่ความต้านทาน R เข้าที่ขาอิมิตเตอร์ตามรูปที่ 2.7.2 เว้นเสียแต่ว่าค่า R_{e1} และ R_{e2} เป็นสำคัญ

2. การเลือกใช้ทรานซิสเตอร์

การขยายสัญญาณที่มีขนาดต่ำ ควรเลือกใช้ทรานซิสเตอร์ที่มีคุณสมบัติให้สัญญาณรบกวนต่ำ หลักการทั่วไปที่ใช้พิจารณาถึงทรานซิสเตอร์ที่มีคุณสมบัติดังกล่าวมีดังนี้

- 1) ค่ากระแส I_{CBO} (collector cutoff current) ควรจะมีค่าประมาณ $1\text{ }\mu\text{A}$ หรือน้อยกว่า
 - 2) ทรานซิสเตอร์ควรเป็นแบบ Si EP (silicon epitaxial planar)
 - 3) ค่า P_{CMAX} (maximum collector loss) ควรจะมีค่าน้อย โดยทั่วไปประมาณ 500 mW หรือน้อยกว่า
- ถ้าเลือกใช้ทรานซิสเตอร์ที่มีคุณสมบัติทั้งสามประการนี้แล้ว ผลที่ได้จากการทดลองจะเป็นที่น่าพอใจ

ส่วนทางด้านเกี่ยวกับสัญญาณรบกวนนั้น การเลือกทรานซิสเตอร์จะต้องพิจารณาถึงค่า h_{ie} และ h_{fe} ด้วยค่า h_{fe} เป็นฟังก์ชันของ h_{ie} โดยจะได้ค่าโดยประมาณดังนี้

$$h_{ie} = \frac{0.026}{I_E} h_{fe}$$

ทรานซิสเตอร์ทั่วไปที่เป็นแบบทรานซิสเตอร์ที่มีกำลังต่ำเบอร์ขึ้นต้นด้วย 2sc... สามารถใช้ได้ทั้งหมด ในกรณีนี้จะเลือกใช้ทรานซิสเตอร์ที่มีคุณสมบัติดังนี้

$$Tr_1 \quad h_{\beta 1} = 200, h_{ie} = 8k\Omega, I_E = 0.7mA$$

$$Tr_2 \quad h_{\beta 2} = 200, h_{ie} = 3k\Omega, I_E = 2.0mA$$

3. ความต้านทานที่ขาคอลเลกเตอร์

ในวงจรขยายสัญญาณแบบที่ใช้การถ่ายสัญญาณด้วยวงจร CR จะให้กำลังออกทางด้านจุดสัญญาณ

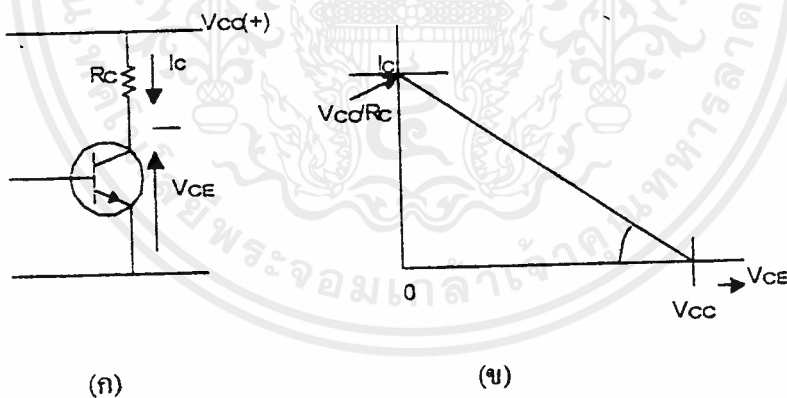
ออกมากที่สุด เมื่อค่า R_C มีค่าเป็น 2 เท่า ของโหลด R_L ในทางกลับกัน เมื่อพิจารณาถึงอัตราขยายของวงจรอัตราการขยายของวงจรจะทำได้มากกว่าเมื่อใช้ค่า R_C มีค่ามาก ดังนั้นถ้าเลือกให้ได้สัญญาณถูกต้องที่ Tr_2 และได้อัตราการขยายที่ Tr_1 จะใช้ค่าความต้านทานดังนี้

$$R_{C1} = 10k\Omega$$

$$R_{C2} = 3.9k\Omega (=2R_L)$$

ก่อนที่จะทำการไบอัสวงจร จะต้องพิจารณาถึงเส้นแสดงสถานะของโหลดก่อน โดยเส้นแสดงสถานะของโหลดหาได้จาก

- 1) กำหนดจุด V_{CC} บนแกน V_{CE}
- 2) กำหนดจุด V_{CC}/R_C บนแกน I_C แล้วทำการลากเส้นระหว่างสองจุดนี้ จะได้รูปที่ 2.7.2



รูปที่ 2.7.2 เส้นแสดงสถานะของโหลด (Load line)

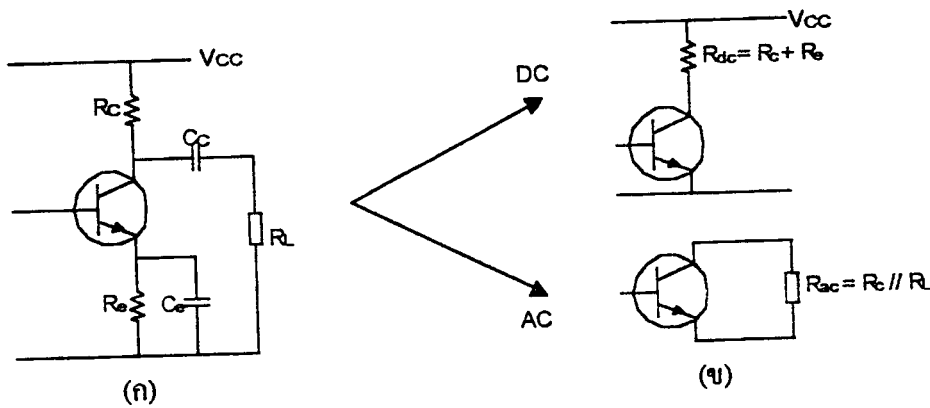
จากรูปที่ 2.7.2 เส้นแสดงสถานะของโหลดสามารถอธิบายได้ดังนี้

“เส้นแสดงสถานะของโหลดคือเส้นตรงที่ลากจากจุด V_{CC} บนแกน V_{CE} และทำมุมกับแกน V_{CE} เท่ากับ

$$\theta = \tan^{-1} 1/R$$

เส้นแสดงสถานะของโหลดที่แสดงไว้นี้ได้จากวงจรง่ายๆ ที่มีเฉพาะ R_C เท่านั้น ในวงจรจริงๆ ดังรูปที่

2.7.3 ซึ่งค่าโหลดทางต้านไฟตรง R_{DC} กับโหลดทางต้านไฟสลับ R_{AC} จะแตกต่างกัน



รูปที่ 2.7.3 แสดงลักษณะของโหลดทางค่านไฟตรงและไฟสลับ

จากรูปที่ 2.7.3 จะเห็นว่ากระแสไฟตรง I_C และ I_E ไหลผ่านความต้านทาน R_C และ R_E มีค่าโดยประมาณเท่ากัน ดังนั้น โหลดทางค่านไฟตรง R_{dc} จะมีค่าเป็น $R_C + R_E$ แต่ในกรณีของไฟสลับ ตัวเก็บประจุ C_C และ C_E และไฟเลี้ยงวงจร V_{CC} จะมีลักษณะเหมือนลัดวงจร ดังนั้นความต้านทาน R_C และ R_L จะต่อขนานกัน ทำให้โหลดทางค่านไฟสลับ R_{ac} มีค่าเท่ากับ R_C ขนาน R_L ด้วยเหตุนี้เองทำให้ค่า R_{dc} มากกว่าค่า R_{ac} จุดที่เส้นแสดงสภาวะของโหลดทั้งแบบไฟตรงและไฟสลับตัดกัน จะเป็นจุดปฏิบัติงาน ดังแสดงไว้ในรูปที่ 2.7.4



รูปที่ 2.7.4 แสดงเส้นแสดงสภาวะของโหลดทางค่านไฟตรงและไฟสลับ

และมุมของเส้นแสดงสภาวะของโหลดที่ทำต่อแกน V_{CE} จะเขียนได้เป็น

$$\theta_{dc} = \tan^{-1} \frac{1}{R_{dc}}$$

$$\theta_{ac} = \tan^{-1} \frac{1}{R_{ac}}$$

ในการขยายสัญญาณย่านความถี่ต่ำ มักจะใช้วงจรขยายสัญญาณแบบคลาส A (class A) การไบอัสกระแส I_{BB} จะต้องทำให้จุดปฏิบัติงานของวงจรอยู่ที่กึ่งกลางของเส้นแสดงสภาวะของโหลดทางค่านไฟสลับ

4. วงจรที่ใช้ในการไบอัส

ก. เกี่ยวกับทรานซิสเตอร์ Tr_2 จะต้องรับโหลดมีขนาด 2 กิโลโอห์มหรือมากกว่า โดยมีสัญญาณคกรวมโหลด 0.5 โวลต์ อาร์.เอ็ม.เอส. (r.m.s) หรือ 0.7 โวลต์ เมื่อคิดเป็นขนาดความสูงของสัญญาณความต้านทาน R_E ที่ต่อที่ขาอิมิตเตอร์ จะเป็นความต้านทานที่ทำหน้าที่ เกี่ยวกับเสถียรภาพของวงจรทางด้านการเปลี่ยนแปลงของอุณหภูมิที่มีผลต่อคุณสมบัติของทรานซิสเตอร์ ซึ่งควรเลือกค่า R_E ให้มีค่ามากแต่ขณะเดียวกันจะต้องคำนึงถึงกำลังออกที่จุดสัญญาณออกด้วย ดังนั้นค่าความต้านทาน R_{e2} เลือกใช้

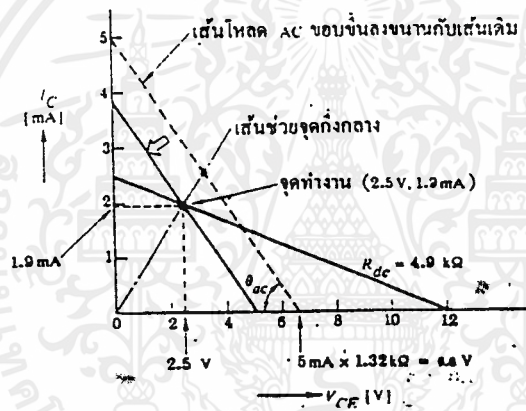
$$R_{e2} = 1 \text{ k}\Omega$$

และจะได้ว่า

$$R_{ac2} = R_{C2} + R_{e2} = 4.9 \text{ k}\Omega$$

$$R_{ac2} = R_{C2} R_L / (R_{C2} + R_L) = 1.32 \text{ k}\Omega$$

จากค่าที่หาได้นี้ จะได้เส้นแสดงสถานะของโหลด ดังแสดงในรูปที่ 2.7.5



รูปที่ 2.7.5 แสดงกราฟของเส้นสถานะของโหลดของ Tr_2

การสร้างเส้นแสดงสถานะของโหลดทางด้านไฟสลัปในรูปที่ 2.7.5 เริ่มพิจารณาจากรูปที่ 2.7.3 (ข) โดยที่สถานะของโหลดทางด้านไฟสลัปไม่ต้องคำนึงถึงไฟเลี้ยงวงจร V_{CC} และจะต้องทำมุมกับแกน V_{CE} ด้วยมุม θ_{ac} ขณะเดียวกันเส้นแสดงสถานะของโหลดจะต้องตัดผ่านจุดปฏิบัติงานด้วย จึงเป็นการลากที่จะทำการลากเส้นตรงอย่างง่าย เหมือนกับกรณีของเส้นแสดงสถานะของโหลดทางด้านไฟตรง แต่มีวิธีการทำได้ดังนี้

- 1) ทำการลากเส้นแสดงสถานะของโหลดทางด้านไฟสลัปขึ้นมาก่อนเป็นการชั่วคราว
- 2) ทำการลากเส้นจากจุดศูนย์กลางถึงจุดกึ่งกลางของเส้นแสดงสถานะของโหลด ที่ลากขึ้นมาชั่วคราวนี้
- 3) หาจุดที่ได้จากเส้นแสดงสถานะของโหลดด้านไฟตรงและเส้นแสดงสถานะของโหลดด้านไฟสลัป ตัดกันที่จุดปฏิบัติงาน
- 4) ลากเส้นแสดงสถานะของโหลดด้านไฟสลัปผ่านจุดปฏิบัติงาน โดยให้ขนานกับเส้นแสดงสถานะของโหลดที่ลากขึ้นมาชั่วคราว

การลากเส้นแสดงสถานะของโหลดนี้ ควรจะกระทำบนกราฟเพื่อความสะดวก โดยการกำหนดอัตราส่วนได้จากความสัมพันธ์ง่าย ๆ เช่น $I_C = 5 \text{ mA}$ และ $V_{CE} = 5 \text{ mA} * 1.32 \text{ k}\Omega = 6.60 \text{ V}$ อันเป็นจุดเริ่มต้น ต่อไปถ้า $I_C = 5 \text{ mA}$ ก็จะได้ค่า V_{CE} เป็น 5.28 V

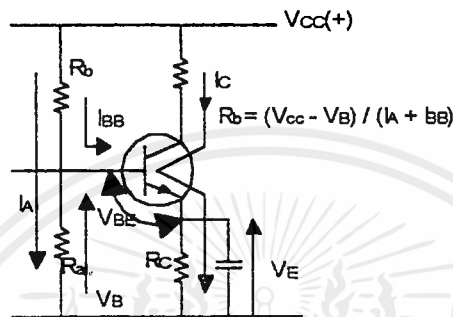
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปที่ 2.7.5 จุดปฏิบัติงานของ Tr_2 อยู่ที่ 2.5 V และ 1.9 mA ดังนั้นค่ากระแสไบอัสที่เบสจะมีค่าเป็น

$$I_{BB2} = \frac{I_{C2}}{h_{fe2}} = \frac{1.9mA}{200} = 9.5\mu A$$

ต่อไปเป็นการหาค่าของ R_{u2} ซึ่งต้องระวังไว้ว่า ค่า R_u มีค่ามากจะทำให้ลดการสูญเสียลง แต่ขณะเดียวกันประสิทธิภาพของวงจรก็จะเลวลงด้วย โดยทั่วไป ค่าความต้านทาน R_u ควรเลือกให้มีค่าเป็น 5 ถึง 20 เท่าของค่า R_e แต่ขณะเดียวกันถ้าใช้กับสัญญาณที่มีขนาดใหญ่จำนวนเท่า ก็ควรจะลดลงจากนี้ในที่นี้เลือกเป็น 12 เท่า นั่นคือ

$$R_{u2} = 12R_{e2} = 12k\Omega$$



รูปที่ 2.7.6 การหาค่าของ R_b

จากรูปที่ 2.7.6 ค่าความต้านทาน R_b จะเป็น

$$R_b = \frac{V_{CC} - V_B}{I_A + I_{BB}}$$

และค่า V_B และ I_A จะเป็น

$$V_B = V_{BE} + R_e I_E = V_{BE} + R_e I_C$$

$$I_A = \frac{V_B}{R_a}$$

จากนี้ ถ้า $I_{C2} = 1.9mA$, $R_e = 1k\Omega$, $V_{BE} = 0.7V$ และ $R_{u2} = 12k\Omega$ จะได้ว่า

$$V_{B2} = 0.7V + 1k\Omega * 1.9mA = 2.6V$$

$$I_{A2} = 2.6V / 12k\Omega = 217\mu A$$

และ

$$\begin{aligned} R_{b2} &= \frac{V_{CC} - V_{B2}}{I_{A2} + I_{BB2}} = \frac{12V - 2.6V}{217\mu A + 9.5\mu A} \\ &= 41.5k\Omega \rightarrow 43k\Omega \end{aligned}$$

ผลที่ได้จากการคำนวณเป็น $41.5k\Omega$ แต่ค่าความต้านทานนี้ไม่มีในท้องตลาด จึงเลือกใช้เป็น $43k\Omega$

แทน

ข. เกี่ยวกับทรานซิสเตอร์ Tr_2

เริ่มต้นจากการหาค่าโหลดก่อน

$$R_{dc1} = R_{c1} + R_{e1}$$

$$R_{ac1} = \frac{R_{c1} R_{l2}}{R_{c1} + R_{l2}}$$

เนื่องจากต้องการให้ Tr_1 ทำงานกับสัญญาณที่มีขนาดเล็ก และค่ากระแส I_c มีค่าประมาณ 0.5 mA ค่า R_{e1}

จะมีค่าเป็น

$$R_{e1} = 5 \text{ k}\Omega$$

R_{l2} ซึ่งเป็นค่าอิมพีแดนซ์ทางด้านสัญญาณเข้าของวงจรในภาคที่สองมีค่าเป็น

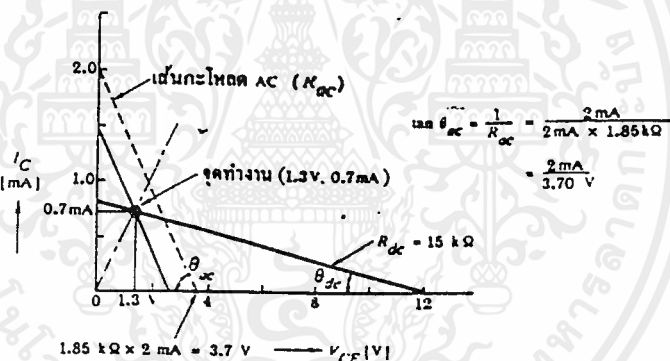
$$R_{e1} = R_{a2} \parallel R_{b2} \parallel h_{ie2} = 12 \text{ k}\Omega \parallel 43 \text{ k}\Omega \parallel 3 \text{ k}\Omega = 2.27 \text{ k}\Omega$$

และค่า R_{dc1} และ R_{ac1} จะกลายเป็น

$$R_{dc1} = 10 \text{ k}\Omega + 5 \text{ k}\Omega = 15 \text{ k}\Omega$$

$$R_{ac1} = (10 \text{ k}\Omega * 2.27 \text{ k}\Omega) / (10 \text{ k}\Omega + 2.27 \text{ k}\Omega) = 1.85 \text{ k}\Omega$$

จากค่าเหล่านี้ จะได้ผลออกมาดังภาพ ที่ 2.7.7



รูปที่ 2.7.7 แสดงกราฟของเส้นแสดงสภาวะของโหลดของ Tr_1

จากรูปจุดปฏิบัติงานจะเป็น 1.3 V และ 0.7 mA ดังนั้นค่ากระแสไบอัสที่ขาเบส I_{BB1} จะเป็น

$$I_{BB1} = \frac{I_{c1}}{h_{fe1}} = \frac{0.7 \text{ mA}}{200} = 3.5 \mu\text{A}$$

เลือกใช้ค่า R_{a1} เป็น 15 เท่าของ R_{e1}

$$R_{a1} = 15 R_{e1} = 15 * 5 \text{ k}\Omega = 75 \text{ k}\Omega$$

ค่า V_{A1} และ I_{B1} จะหาได้จาก

$$V_{B1} = V_{BE} + R_{e1} I_{E1} = 4.27 \text{ V}$$

$$I_{A1} = V_{B1} / R_{a1} = 56 \mu\text{A}$$

และค่า R_{b1} เป็น

$$R_{b1} = \frac{V_{CC} - V_{B1}}{I_{A1} + I_{BB1}} = \frac{12 \text{ V} - 4.27 \text{ V}}{56 \mu\text{A} + 3.5 \mu\text{A}} = 130 \text{ k}\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 ความถี่เงา (Image Frequency)

ความถี่เงาเป็นสัญญาณ IF ที่เราไม่ต้องการเพราะ เมื่อสัญญาณความถี่เงาเข้ามาผสมกับสัญญาณจาก โคลลออสซิลเลเตอร์ (Local Oscillator : LO) จะให้ความถี่เท่ากับ IF พอดี เช่น ในโครงงานนี้ เราเลือก ความถี่ IF 45 MHz ความถี่ใช้งาน (f_s) เท่ากับ 869 MHz ถ้าใช้ความถี่ของโคลลออสซิลเลเตอร์ สูงกว่า ความถี่ใช้งาน จะให้ความถี่ LO เท่ากับ $869 \text{ MHz} + 45 \text{ MHz}$ เท่ากับ 914 MHz ดังนั้นเมื่อสัญญาณ RF และ สัญญาณจาก LO ผสมกัน (MIX) ความถี่ผลต่างที่เกิดขึ้นจึงเท่ากับ 45 MHz พอดี อย่างไรก็ตามยังมีสัญญาณ อีกตัวหนึ่งซึ่งผสมกับสัญญาณจาก LO แล้วให้ความถี่ 45 MHz พอดี สัญญาณนั้นเรียกว่า สัญญาณความถี่เงา 959 MHz ซึ่งความถี่เงานี้จะสามารถผ่านมิกเซอร์ ไปยังวงจรขยาย IF ได้เช่นกัน

จะเห็นว่าความถี่เงา อยู่ห่างจากความถี่ใช้งาน เท่ากับ 2 เท่าของความถี่ IF ดังสมการ

$$\text{ความถี่เงา} = f_s \pm 2IF$$

โดยที่ f_s คือ ความถี่ใช้งาน (RF)

การกำจัดสัญญาณความถี่เงา

เครื่องรับที่ดีต้องสามารถกำจัดสัญญาณที่มีความถี่ ตรงกับความถี่เงา การกำจัดความถี่เงาสามารถ กำจัดได้โดยการ ควบคุมซีเลคตริวิตี ของวงจรจูนก่อนหน้าวงจรมิกเซอร์ เพราะถ้าสัญญาณเงาหลุดมาถึง มิกเซอร์แล้วจะไม่สามารถกำจัดได้ โดยซีเลคตริวิตีของวงจร จะขึ้นอยู่กับแบนวิธของ Band Pass Filter (BPF) จะต้องออกแบบ BPF ให้มีแบนวิธแคบพอที่จะกำจัดความถี่เงาออกไปได้ แต่อย่างไรก็ตามการสร้าง BPF ที่มีแบนวิธแคบทำได้ยาก ดังนั้นจึงจำเป็นต้องใช้วิธีการ แปลงความถี่สองครั้ง (Double Conversion).

การแปลงความถี่สองครั้ง (Double Conversion)

การเลือกความถี่ IF ต้องเลือกค่าที่เหมาะสมคือ ไม่สูงหรือต่ำเกินไป เพราะ IF ความถี่ต่ำๆ ช่วยให้ออกแบบวงจร ได้เสถียรภาพดี อัตราขยายดี และแบนวิธแคบ แต่ IF ที่ความถี่สูงๆ ช่วยให้เครื่องรับกำจัด ความถี่เงา (ทำให้ความถี่เงาอยู่ห่างจากความถี่ใช้งานมาก ทำให้ BPF มีแบนวิธกว้างขึ้น ทำให้ BPF สร้างได้ ง่ายขึ้น) ดังนั้นเราจึงนิยมนำข้อดีทั้งสองมารวมกัน กล่าวคือ ใช้ความถี่ IF สองค่า คือค่าหนึ่งสูง และอีกค่า หนึ่งต่ำ โดยแปลงความถี่เป็น IF สองครั้ง วิธีการเช่นนี้ เรียกว่า Double Conversion

เช่น วงจรของโครงงานนี้ มีการแปลงความถี่ใช้งานเป็น IF สองค่า คือ 45 MHz และ 450 kHz โดย ความถี่ IF ค่าแรกเลือกให้มีค่าสูง เพื่อให้ความถี่เงาหนีออกไปห่างจากความถี่ใช้งานให้ไกลที่สุด จนอยู่นอก แบนวิธของ BPF เป็นต้น

จากการทดลอง

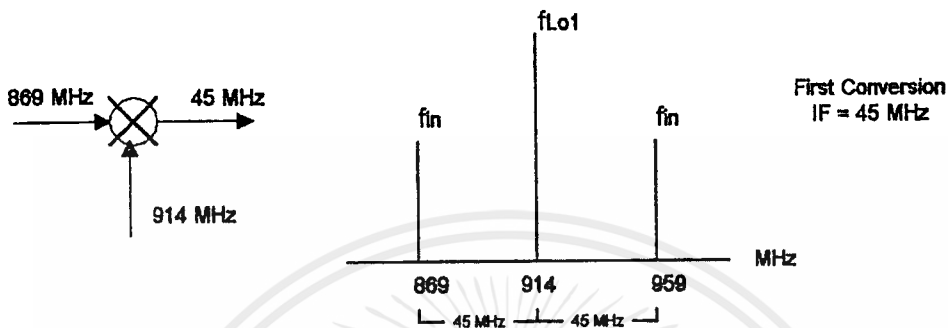
Input Frequency = 869 MHz

First Local Oscillator = 914 MHz

First Conversion (First IF) = 45 MHz

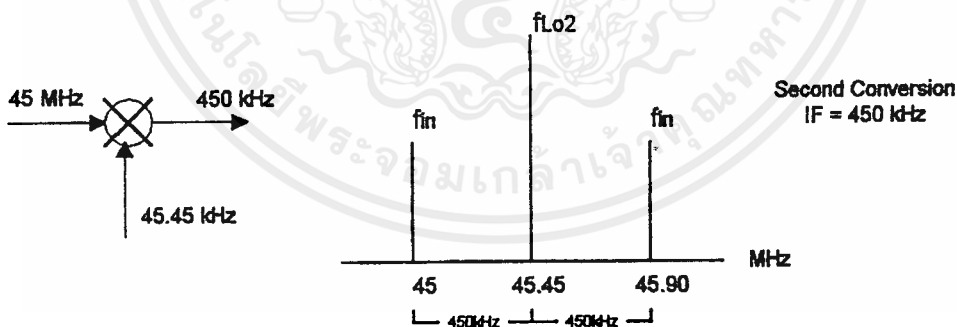
$$\begin{aligned}
 \text{First Image Frequency} &= 869 + (2 \times 45 \text{ MHz}) \\
 &= 869 + 90 \text{ MHz} \\
 &= 959 \text{ MHz}
 \end{aligned}$$

สามารถเขียนสเปกตรัมความถี่ได้ดังรูป



$$\begin{aligned}
 \text{และ Input Frequency} &= 45 \text{ MHz} \\
 \text{Second Local Frequency} &= 45.45 \text{ MHz} \\
 \text{Second Conversion (Second IF)} &= 450 \text{ kHz} \\
 \text{Second Image Frequency} &= 45 + (2 \times 45 \text{ MHz}) \\
 &= 45.900 \text{ MHz}
 \end{aligned}$$

สามารถเขียนสเปกตรัมความถี่ได้ดังรูป



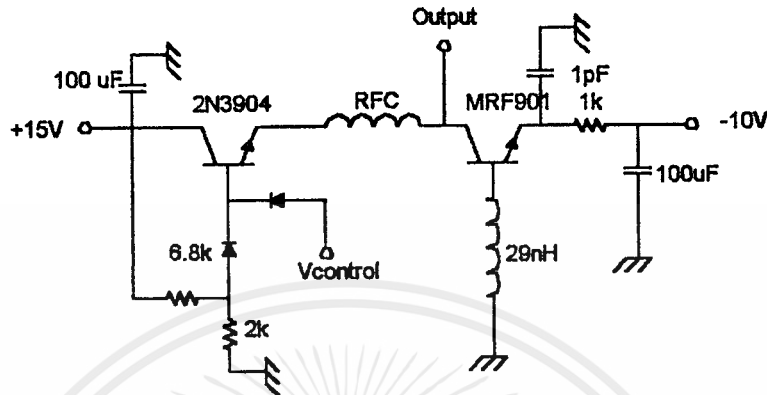
จากรูปจะเห็นได้ว่า ใน First Conversion มีค่า IF ที่สูงกว่า Second Conversion ซึ่งหมายความว่าค่าความถี่เงา (Image Frequency) จะห่างจากความถี่ Input ที่เข้ามามากกว่า ทำให้ค่าความถี่เงาที่จะเข้ามารบกวนในส่วน Mixer น้อยกว่า ทำให้ในส่วนความถี่สูงสามารถออกแบบวงจรแบนด์พาสฟิลเตอร์ได้ และเมื่อเข้าสู่ Second Conversion จะมีค่า IF Frequency ที่ต่ำ ทำให้ความถี่เงาอยู่ใกล้ความถี่ Input มากขึ้น (First IF Frequency) แต่เนื่องจากเป็นค่าความถี่ต่ำ ทำให้สามารถสร้างวงจร BPF เพื่อกำจัดความถี่เงา และวงจรขยายสามารถสร้างได้ง่าย

บทที่ 3

การคำนวณและการสร้าง

3.1 การสร้างวงจร VCO ย่านความถี่ $881.5 \pm 45\text{MHz}$

การสร้างวงจร VCO ย่านความถี่ 881.5 MHz จากบทที่ 2 หัวข้อ 2.2 จะได้วงจรดังรูปที่ 3.1.1



รูปที่ 3.1.1 แสดงวงจร VCO ย่านความถี่ 881.5 MHz

จากรูปที่ 3.1.1 ทำการคำนวณหาค่า C_c

ให้ $C_c = 1\text{ pF}$

ดังนั้น หา L - feedback จากสูตร Resonant LC

$$f = \frac{1}{2\pi \times \sqrt{LC}}$$

แทนค่า

$f = 927\text{ MHz}$ ซึ่งเป็นความถี่กลางของวงจร VCO (ค่าระหว่าง $914 - 939\text{ MHz}$)

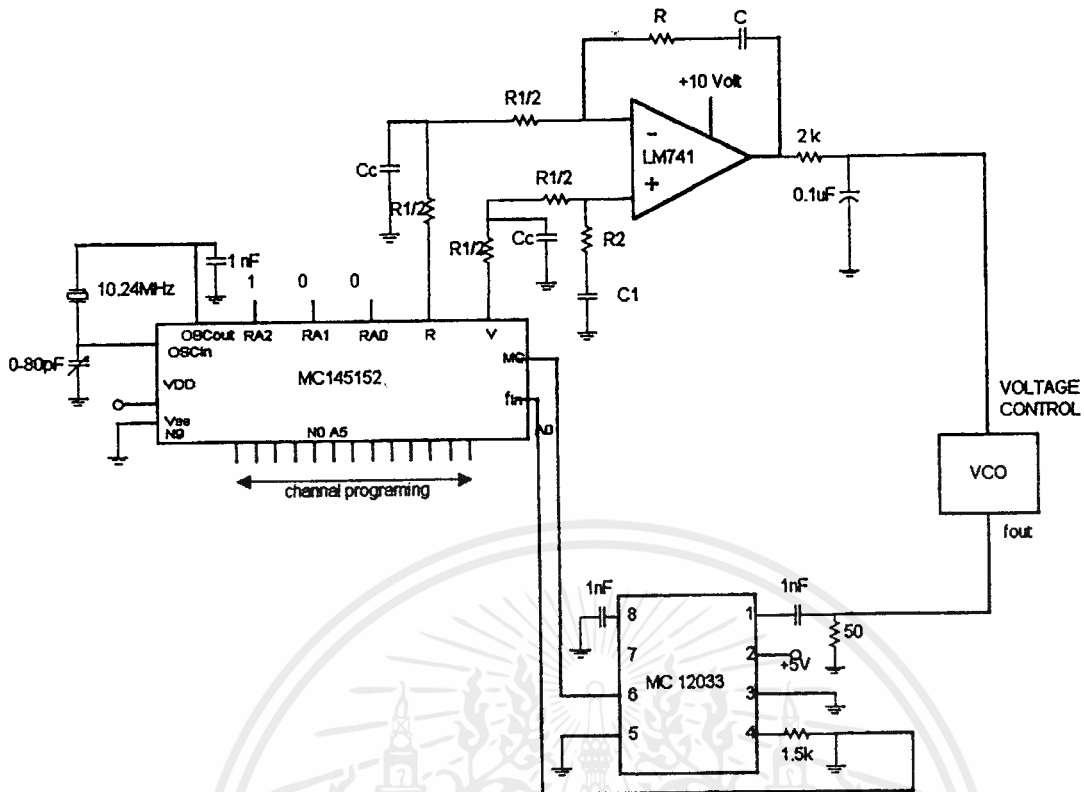
$C_c = 1\text{ pF}$

ดังนั้น L - feedback จะมีค่าเท่ากับ 29 nH

3.2 การออกแบบวงจรระบบส่งเคราะห์ความถี่ ย่าน $881.5 \pm 45\text{MHz}$

ใช้วงจรเฟตลีสถูกลูปแบบพริตเกลเลอร์ สองโมดูลต์ ซึ่งใช้ไอซี 3 ตัว คือ MC145152, MC12033 และ LM741 ดังรูปที่ 3.2.1

MC12033 เป็นตัวพริตเกลเลอร์หาความถี่ให้ต่ำลง เป็นไอซีแบบ MECL หาความถี่ได้ถึง 2 GHz โดยสามารถเลือกตัวหาร 32/33 และ 64/65 ได้ ในการออกแบบเลือกค่าตัวหารมีค่า 64 โดยสามารถเซตค่าที่ตัวไอซีได้ ส่วน LM741 เป็นไอซีออปแอมป์ ใช้ทำหน้าที่เป็นลูปฟิลเตอร์ ใช้ขั้วพลาซไฟบวกขุดเดียว



รูปที่ 3.2.1 แสดงวงจรตั้งความถี่

การคำนวณ

กำหนดให้ (ตามกำหนดของ Data Motorola)

$$f_0 = 927 \text{ MHz (local oscillator frequency)}$$

$$f_s = 20 \text{ kHz (channel spacing)}$$

$$f_b = 0.01 f_s \text{ (loop bandwidth)}$$

$$f_{rc} = 20 f_b \text{ (filter cut of frequency)}$$

$$r = 1 \text{ (loop damping factor)}$$

$$V_{DD} = 5 \text{ V}$$

$$KV_{\infty} = 2\pi \frac{\Delta f_{VCO}}{\Delta V_{VCO}} \text{ (VCO gain, measured on VCO)}$$

$$C_1 = 0.1 \text{ Uf}$$

$$K\phi = \frac{V_{DD}}{2\pi} \text{ (Phase detector gain)}$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2r^2 + 1 + \sqrt{[(2r^2 + 1)^2 + 1]}}} \text{ (Natural frequency)}$$

$$N_t = \frac{f_o}{f_s} \text{ (Total Division ratio in feedback loop)}$$

$$R_i = \frac{K\phi KV_{CO}}{C_1 \omega_n^2 N_t}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2 = \frac{2r}{\omega_n C_1}$$

$$C_c = \frac{4}{2R_1 frc}$$

จากสมการด้านบน ส่วนที่จะหาค่าลงในวงจรคือ R_1, R_2, C_c เพราะฉะนั้นแทนค่าลงในสมการคือ

$$K\phi = \frac{VDD}{2\pi} = 0.796$$

$$KV_{co} = 2\pi \frac{\Delta f_{vco}}{\Delta V_{vco}} = 346.279 \times 10^6 \text{ rad/v (ได้จากการวัด)}$$

$$\omega_n = \frac{2fb}{\sqrt{2r^2 + 1 + \sqrt{[(2r^2 + 1)^2 + 1]}}} = \frac{2 \times 100}{\sqrt{2(1)^2 + 1 + \sqrt{[(2(1)^2 + 1)^2 + 1]}}} = 253.35 \text{ rad/sec}$$

$$Nt = \frac{fo}{fs} = \frac{927 \times 10^6}{20 \times 10^3} = 46350$$

$$R_1 = \frac{K\phi KV_{co}}{C_1 \omega_n^2 Nt} = \frac{0.796 \times 346.279 \times 10^6}{0.1 \times 10^{-6} \times (253.35)^2 \times 46350} = 926.5 K\Omega$$

$$R_2 = \frac{2r}{\omega_n C_1} = \frac{2 \times 1}{253.35 \times 0.1 \times 10^{-6}} = 78.9 K\Omega$$

$$C_c = \frac{4}{2R_1 frc} = \frac{2}{926.5 \times 10^3 \times 20 \times 200} = 539.7 pF$$

ตามคำแนะนำ ให้ R_1 แบ่งเป็น 2 ตัว จึงได้ค่าประมาณตัวละ 470K และ R_2 ประมาณ 82K

จากการคำนวณ จะเห็นว่า ค่า $Nt = 46350$ ซึ่งเมื่อเทียบกับสมการ $Nt = NP + A$

เมื่อ N คือ ตัวโปรแกรม $N_0 - N_9 = 10$ Bit ทารตั้งแต่ 3 - 1023

A คือ ตัวโปรแกรม $A_0 - A_9 = 6$ Bit ทารตั้งแต่ 0 - 63

P คือ ตัวของ ปริศนาเลข 64 และ 65

จะเห็นว่า $Nt = 46350$ จะ ได้ค่า

$$N = 724$$

$$P = 64$$

$$A = 14$$

ซึ่งค่า N และ A เป็นการนับแบบ binary คือ

$$N = 724 = \text{(MSB)} 1011010100 \text{(LSB)}$$

$$A = 14 = \text{(MSB)} 001110 \text{(LSB)}$$

ซึ่งนำมาเขียนต่อกันได้ ดังนี้

$$\text{(MSB)} 10110010100001110 \text{(LSB)}$$

จากสมการ $Nt = NP + A$ จะเห็นว่า A จะนับ ได้ถึงเพียง 63 คือ "11 1111" จากนั้น N จะเป็นตัวนับต่อ

คือเพิ่มค่าอีก "1" ซึ่งในขณะนั้น A จะเป็น "0" คือ "00 0000"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้นที่ได้กล่าวมาแล้ว จึงนำ -N และ -A นำมาเขียนต่อกันเป็นการนับแบบ binary ธรรมดา ซึ่งสามารถใช้งานจรรยาบรรณ เป็นตัวโปรแกรมการหารได้

กล่าวถึงในส่วนความถี่อ้างอิง จะใช้คริสตอล 10.24 เมกะเฮิร์ซ เป็นตัวอ้างอิง และสามารถหารความถี่ลงมาโดยกำหนดค่า RA_0, RA_1, RA_2 ได้ ในส่วนนี้ได้กำหนด RA_0, RA_1, RA_2 เป็น "1 0 0" ซึ่งเท่ากับการหาร 1024 ฉะนั้นจะได้ความถี่อ้างอิงภายในตัวไอซี คือ 10.24 เมกะเฮิร์ซ หารด้วย 1024 จะได้ 20 กิโลเฮิร์ซ (K) ซึ่งจะนำมาเปรียบเทียบกับค่าที่ได้จากการโปรแกรมคือ f_{vco} หารด้วย Nt ซึ่งจะเท่ากับ 20 กิโลเฮิร์ซ (K) เช่นกัน เพราะค่า Nt สัมพันธ์กับค่า f_{vco} ก็คือค่า Nt เพิ่มเท่ากับ "1" จะทำให้ f_{vco} เพิ่มเท่ากับ 20 กิโลเฮิร์ซ (คือช่องว่างของช่อง) เช่น $927\text{MHz}/46350 = 20\text{ kHz}$ และ $927.02\text{ MHz}/46351 = 20\text{ kHz}$

การโปรแกรมข้อมูลลงในอีพროม

ในการใช้งานจรรยาบรรณ N โดยใช้ไอซี MC145152 ค่าตัวหารที่เราใช้จะใช้ทั้งหมด 16 บิต คือตัวหาร N 10 บิต และตัวหาร A 6 บิต และตัว P เท่ากับ 64 ในการโปรแกรมค่าตัวหารจะใช้การอัปเดตข้อมูลลงในอีพโรมโดยการกำหนดช่องความถี่ ตั้งแต่ 914.00 MHz ถึง 939.00 MHz และกำหนดค่า N กับ A สำหรับแต่ละความถี่โดยการคำนวณจากสมการ

$$\begin{aligned} N_r &= f_{\text{synth}}/f_r \\ N_r &= PN + A \\ N &= f_{\text{synth}}/f_r * P \\ A &= B * P \end{aligned}$$

B คือเศษของ N

โดยที่ $P = 64$

f_r คือ ความถี่อ้างอิง เท่ากับ 20 kHz

f_{synth} คือความถี่ที่ได้จากระบบสังเคราะห์ความถี่

N คือ ตัวหาร N มีค่าตั้งแต่ 3 - 1023

A คือ ตัวหาร A มีค่าตั้งแต่ 0 - 127

ค่า N กับ A ที่ได้จากการคำนวณและอัปเดตลงในอีพโรม แสดงดังตารางที่ 3.2.1

ตารางที่ 3.2.1 แสดงค่าตัวหาร N และ A ในแต่ละความถี่

ช่องความถี่	ความถี่ (MHz)	แอดเดรส	N	A
1	914	00000	1011001010	000100
2	917	00001	1011001100	011010
3	920	00010	1011001110	110000
4	925	00011	1011011010	101010
5	927	00100	1011010100	001110
6	930	00101	1011010110	100100
7	931	00110	1011010111	010110
8	933	00111	1011011000	111010
9	935	01000	1011011010	011110
10	939	01001	1011011101	100110

3.3 วงจร Low Noise Amplifier (LNA)

วงจร LNA นั้นใช้เป็นวงจรขยายสัญญาณภาคแรกของทางด้านการรับ การออกแบบวงจร LNA นั้น จะใช้ S-parameter (Scattering parameter) ซึ่งมีข้อดีดังที่ได้กล่าวไปแล้วในส่วนทฤษฎี ในการออกแบบได้นำโปรแกรม Mathematica มาช่วยในการคำนวณค่าต่างๆ ที่อยู่ในรูปของจำนวนเชิงซ้อน ซึ่งมีความแม่นยำและลดความยุ่งยากได้มาก

- ขั้นตอนในการออกแบบวงจร LNA

1). เลือกทรานซิสเตอร์ให้เหมาะสมกับความถี่ใช้งาน วงจร LNA ที่ใช้ในโครงงานนี้ใช้ความถี่ 900 MHz จึงเลือกใช้ทรานซิสเตอร์ BFG 540W, BFG540W/X; BFG540W/XR ซึ่งเป็น NPN 9 GHz Wideband ทรานซิสเตอร์ ต้องการอัตราขยาย (gain) เท่ากับ 15 dB และค่า Noise Figure (NF) ไม่เกิน 2 dB

2). หา S-parameter (S_{11} , S_{22} , S_{12} , S_{21}) จาก Data sheet ของทรานซิสเตอร์ (รูปที่ 19 - รูปที่ 22) ตามความถี่ที่ออกแบบ ได้ดังนี้

$$s_{11} = -0.0209396 - 0.5996345I$$

$$s_{21} = -2.4626459 + 3.152043I$$

$$s_{12} = 0.0293011 + 0.0850966I$$

$$s_{22} = -0.4405469 - 0.4642396I$$

3). หาวงกลมเสถียรภาพ (Stability Circles)

- วงกลมเสถียรภาพทางอินพุต (Input Stability Circles)

จุดศูนย์กลางของวงกลม (r_{i1})

$$r_{i1} = \frac{C_1^*}{(|S_{11}|^2 - |D_i|^2)} = -0.318897 + 1.66583I$$

$$\text{โดยที่ } D_i = \frac{S_{11}S_{22} - S_{12}S_{21}}{1} = 0.0527874 - 0.137242I$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_1 = S_{11} - D_s S_{22}^* = -0.107908 - 0.563679 I$$

รัศมีของวงกลม (p_{s1})

$$p_{s1} = |(S_{12}S_{21}) / (|S_{11}|^2 - |D_s|^2)| = 1.0639$$

- วงกลมเสถียรภาพทางด้านเอาต์พุต

จุดศูนย์กลางของวงกลม

$$r_{s2} = C_2^* / (|S_{22}|^2 - |D_s|^2) = 0.926231 + 1.28555 I$$

$$\text{โดยที่ } C_2 = S_{22} - D_s S_{11}^* = 0.359357 - 0.498767 I$$

รัศมีของวงกลม

$$p_{s2} = |(S_{12}S_{21}) / (|S_{22}|^2 - |D_s|^2)| = 0.927886$$

4). หา Rollett Stability Factor (K)

$$K = ((1 + |D_s|^2 - |S_{11}|^2 - |S_{22}|^2) / (2 |S_{21}| |S_{12}|)) \\ = 0.350031$$

5). หาค่าอัตราขยายสูงสุด (G_{max})

$$G_{\text{max}} = (|S_{21}| / |S_{12}|) (K - \sqrt{K^2 - 1}) \\ = 15.5569 - 41.6328 I \\ = 16.478 \text{ dB}$$

6). หาวงกลมเกน (Gain Circles)

$$\text{กำหนด } G_p = 15 \text{ dB, } g_p = G_p / |S_{21}|^2 = 1.97638$$

รัศมีของวงกลม (R_p)

$$R_p = [(1 - 2K |S_{12}S_{21}| g_p + |S_{12}S_{21}|^2 g_p^2)^{1/2} / (1 + g_p (|S_{22}|^2 - |D_s|^2))] \\ = 0.568296$$

จุดศูนย์กลางของวงกลม

$$C_p = g_p C_2^* / (1 + g_p (|S_{22}|^2 - |D_s|^2)) \\ = 0.401986 + 0.557932 I$$

7). นำวงกลมเสถียรภาพและวงกลมเกนไปพล็อตบน Smith Chart

8). หาค่าสัมประสิทธิ์การสะท้อนกลับทางเอาต์พุตของทรานซิสเตอร์ (Γ_L) โดยกำหนดให้ Γ_L เป็นค่าที่อยู่บนวงกลมเกน และต้องอยู่นอกวงกลมเสถียรภาพทั้งสองด้วย ซึ่งจะได้อ่านค่า Γ_L ที่เหมาะสม คือ $\Gamma_L = 0.106066 - 0.100061 I$

9). หาค่าสัมประสิทธิ์การสะท้อนกลับทางอินพุตของทรานซิสเตอร์ (Γ_s) จาก

$$G_s = [(1 - |\Gamma_s|^2) / (1 - \Gamma_{in} \Gamma_s^*)] |S_{21}|^2 [(1 - |\Gamma_L|^2) / (1 - S_{22} \Gamma_L^*)]$$

$$\text{โดยที่ } \Gamma_{in} = S_{11} + (S_{12}S_{21}\Gamma_L / 1 - S_{22}\Gamma_L) = -0.0663684 - 0.57376 I$$

จากการลองแทนค่า Γ_s หลายๆ ค่า Γ_s ที่ทำให้ G_s มีค่าใกล้เคียง 15 dB คือ $\Gamma_s = 0.45 I$ ซึ่งทำให้

ได้อ่านค่า G_s มีค่าประมาณ 13.51 dB ซึ่งถือว่าใช้ได้

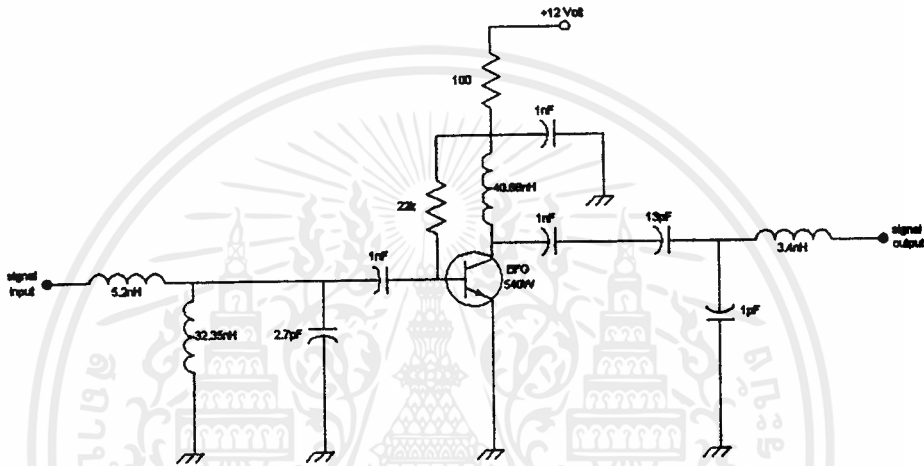
10). นำค่า Γ_s ไปหาค่า Noise Figure (NF) จากวงกลม Noise Figure (รูปที่ 17) ใน Data sheet ได้ NF ประมาณ 1.5 dB

11). หาค่า อิมพีแดนซ์ทางด้าอินพุต (Z_s) และ อิมพีแดนซ์ทางด้าอินพุต (Z_L) ของทรานซิสเตอร์ จาก Γ_s และ Γ_L บน Smith Chart ได้ดังนี้

$$Z_s = 33.5 + j37 \quad (\Omega)$$

$$Z_L = 57.5 + j13.5 \quad (\Omega)$$

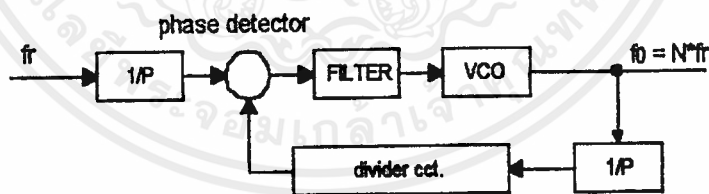
12). นำค่าอิมพีแดนซ์ของทรานซิสเตอร์ ไปทำการแมชชิงกับแหล่งกำเนิด (source) 50Ω และ โหลด (Load) 50Ω และทำการไบอัสทรานซิสเตอร์ จะได้วงจร LNA ที่สมบูรณ์ดังรูป 3.3.1



รูปที่ 3.3.1 วงจร Low Noise Amplifier

3.4 วงจรเฟตลลอค

ระบบตรวจจับความถี่โดยใช้เฟตลลอคซึ่งประกอบด้วยส่วนต่างๆ ดังรูปที่ 3.4.1



รูปที่ 3.4.1 แผนผังหน่วยตรวจจับความถี่

- วงจรออสซิลเลเตอร์ที่ความถี่ 45 MHz

ขั้นตอนการออกแบบ

1. กำหนดความถี่และเพาเวอร์ที่ต้องการ

$$f = 45 \text{ MHz}, P_o = 10 \text{ mW}$$

2. เลือกทรานซิสเตอร์ที่มี f_T อย่างน้อยมากกว่า 2 เท่าของความถี่ที่ใช้

3. เลือกทรานซิสเตอร์ที่สามารถทนการสูญเสียได้มากกว่า 4 เท่าของเพาเวอร์ที่ต้องการ และ

สามารถทนโวลต์เดจและกระแสสูงสุดได้

จากข้อ 2 และ ข้อ 3 ได้เลือกใช้ BFG540W

4. กำหนดค่า Q (ควมมากกว่า 50 เพื่อให้ T.H.D. มีค่าน้อย)

เอกสารนี้เป็นเอกสารตัวอย่างที่จัดทำขึ้นเพื่อใช้ในการศึกษาเท่านั้น ไม่ควรนำเอกสารนี้ไปใช้ประโยชน์ในการค้า หรือทำกำไรโดยไม่ได้รับอนุญาตให้ไปใช้ประโยชน์ในการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = 100$$

5. กำหนดค่า R_L' (สำหรับย่าน VHF ควรสูงกว่า 1 k)

$$R_L' = 5 \text{ K}\Omega$$

$$R_0 = R_L' / 2 = 2.5 \text{ K}\Omega$$

6. หาค่า C_i และ L_i

$$C_i = Q / 2\pi f_0 R_0, R_0 = R_L' / 2$$

$$= 1.4155 \times 10^{-7-12+9}$$

$$= 141.55 \text{ pF}$$

$$L_i = 1 / [(2\pi f_0)^2 C_i]$$

$$= 88.46 \text{ nH}$$

7. หาค่า I_{CQ}

$$I_{CQ} = (8P_L / R_L')^{1/2}$$

$$= 4 \text{ mA}$$

8. กำหนด R_i

$$R_i = R_e + r_e$$

$$r_e = 0.025 / I_{CQ}$$

$$= 6.5 \Omega$$

$$R_e = 50 \Omega$$

$$R_i = 56.5 \Omega$$

9. หาค่าอัตราส่วนของโวลต์เตจของ capacitive voltage divider (N) เนื่องจากค่า R_i ของ L นั้นหาได้ยาก ดังนั้นจึงจะทิ้งไว้ก่อน ซึ่งในทางปฏิบัติ ถ้าไม่เลือกค่า Q มากเกินไปก็จะไม่ทำให้ผลการออกแบบผิดพลาดมากเกินไป

$$N = (R_L' / R_i)^{1/2}$$

$$= (5k / 56.5)^{1/2}$$

$$= 9.4$$

10. หาค่า C_1 และ C_2

$$C_1 = NC_i / (N-1)$$

$$= 158.4 \text{ pF}$$

$$C_2 = NC_i$$

$$= 1.33 \text{ nF}$$

11. กำหนดค่า R_b

$$\text{ให้ } R_b = 500 \Omega$$

R_b เป็นค่าความต้านทานไบอัสที่ขาอิมิตอร์ ควรมีค่ามากกว่าหรือเท่ากับ 500 โอห์ม

12. หาค่า V_{CCmin}

$$\begin{aligned} V_{CBQ} &= I_{CQ} R_0 \\ &= 10 \text{ V} \end{aligned}$$

$$V_{BB} = 0.7 \text{ V}$$

$$\begin{aligned} V_{CCmin} &= V_{CBQ} + V_{BB} + I_{CQ}(R_B + R_C) \\ &= 12.9 \text{ V (เลือกใช้ 15 V)} \end{aligned}$$

13. หาค่า R_1, R_2

$$V_{B_{cc}} = I_{CQ}(R_B + R_C)$$

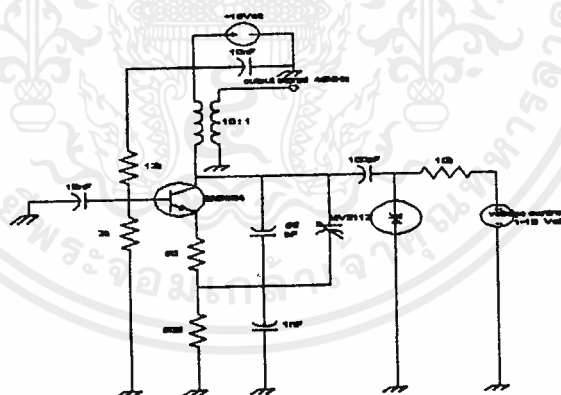
$$V_B = V_{BB} + V_B$$

เลือก bleeder current ควรมีค่ามากกว่า $(1/10) I_{CQ}$

$$\begin{aligned} R_2 &= V_B / I_{\text{bleeder}} \\ &= 3 \text{ K}\Omega \end{aligned}$$

$$\begin{aligned} R_1 &= (V_{CC} - V_B) / I_{\text{bleeder}} \\ &= 12 \text{ K}\Omega \end{aligned}$$

14. ทำการต่อวารีเตปเพื่อทำให่วงจรออสซิลเลเตอร์เป็นวงจรวีซีโอ



รูปที่ 3.4.2 วงจรวีซีโอ ความถี่ 45 เมกะเฮิรตซ์

- วงจรหาร N และวงจรหาร 10

ในการออกแบบจะใช้ไอซีเบอร์ TC9122 จะสามารถเลือกค่าตัวหาร ได้หลายค่า แต่มีข้อจำกัดคือ ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ ได้ จึงต้องลดทอนความถี่ที่ป้อนแก่ TC9122 โดยการนำ HD10551 มาใช้ซึ่งเป็นวงจรหาร 10

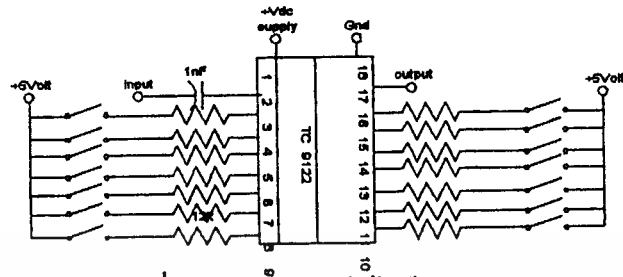
ความถี่อ้างอิงที่เราใช้คือ 5 เมกะเฮิรตซ์ ดังนั้นจะเกิดสถานะล็อกเมื่อ ได้อาห์พุทของวงจรรออกมาเป็น 5 เมกะเฮิรตซ์ ความถี่เมื่อผ่านวงจรหารจะเท่ากับความถี่อ้างอิงคือ

$$F_o = NF_R$$

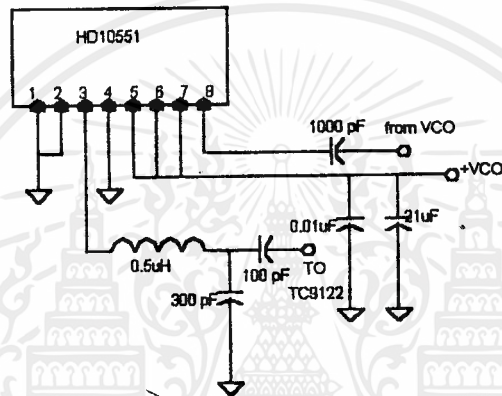
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้ VCO จะทำงานที่ความถี่ 60.7 เมกะเฮิรซ์ เมื่อผ่านวงจรหาร 10 จะเหลือ 6.07 เมกะเฮิรซ์ซึ่ง TC9122 สามารถทำงานได้ และสามารถออกแบบวงจรหาร N ได้ตามวงจรหรืออาจคำนวณได้จากสมการ

$$F_0 = 10NF_R$$



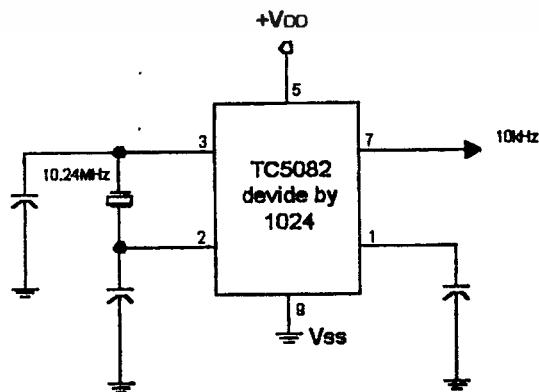
รูปที่ 3.4.3 แสดงการต่อไอซี TC9122



รูปที่ 3.4.4 แสดงการต่อไอซี HD10551

- ความถี่อ้างอิง

ความถี่อ้างอิงที่จำเป็นต้องมีความเสถียรภาพสูง ซึ่งในที่นี้จะใช้คริสตอลออสซิลเลเตอร์ ร่วมกับ ไอซีเบอร์ TC9122 ซึ่งสามารถใช้กำหนดความถี่อ้างอิงได้ โดย ไอซีเบอร์ TC5082 จะมีวงจรหาร 1024 อยู่และใช้คริสตอลความถี่ 10.24 เมกะเฮิรซ์ จะได้เอาต์พุตที่ 10 กิโลเฮิรซ์ และนำไปต่อเข้ากับขาป้อนสัญญาณนาฬิกาของ เจ-๓ ฟลิปฟลอป (74LS76) ซึ่งจะทำการหาร 2 ได้ความถี่เอาต์พุตเป็น 5 กิโลเฮิรซ์ เป็นความถี่อ้างอิงที่จะนำไปเปรียบเทียบกับความถี่จาก VCO ที่ผ่านวงจรหารมาแล้ว

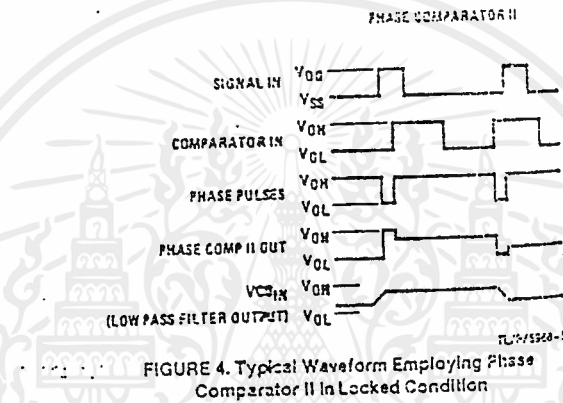


รูปที่ 3.4.5 แสดงการต่อไอซีเบอร์ TC5082

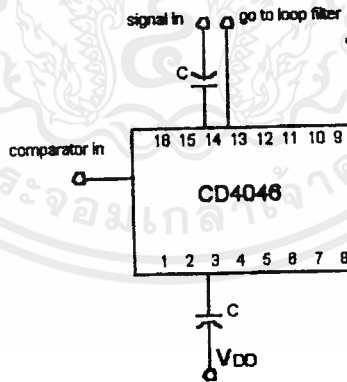
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ตัวเปรียบเทียบเฟส

ตัวเปรียบเทียบเฟสคือ อุปกรณ์ที่ทำหน้าที่เปรียบเทียบเฟสของสัญญาณอินพุตทั้ง 2 แล้วให้สัญญาณความต่างเฟสออกมาซึ่งจะผ่านฟิลเตอร์ แล้วนำไปควบคุม VCO ในโครงงานนี้ใช้ไอซีเบอร์ CD4046 ซึ่งมีตัวเปรียบเทียบเฟส 2 ตัวคือ VCO 1 ตัว และซอร์ทฟอร์โรเวอร์ 1 ตัว และซินเนอร์โคไดค 1 ตัว ในที่นี้เราใช้ตัวเปรียบเทียบเฟสตัวที่ 2 เพียงตัวเดียวเพราะสัญญาณที่เรานำมาเปรียบเทียบไม่จำเป็นต้องมีควิตีไซเคิล 50 % โคสที่ลักษณะการทำงานแบบแชนเปิ้ลแอนโฮลก็มีการเปลี่ยนแปลงในระหว่างขอบขาขึ้น (Leading Edge) ของสัญญาณอินพุตทั้ง 2 เท่านั้นคือ เอาท์พุทจะเป็น 1 ในช่วงสัญญาณอ้างอิงนำสัญญาณเปรียบเทียบจะเป็น 0 ในช่วงที่สัญญาณอ้างอิงตามสัญญาณเปรียบเทียบ วงจรเปรียบเทียบเฟสดูในรูปที่ 3.4.5 และรูปที่ 3.4.6 เป็นไทม์มิงไดอะแกรมของตัวเปรียบเทียบเฟส



รูปที่ 3.4.6 ไทม์มิงไดอะแกรมของตัวเปรียบเทียบเฟส



รูปที่ 3.4.7 วงจรเปรียบเทียบเฟส

- ฟิลเตอร์

ฟิลเตอร์เป็นวงจรที่ต่อจากตัวเปรียบเทียบเฟส ซึ่งในโครงงานนี้เราใช้แบบเพิร์ตออคอร์พาสซีฟฟิลเตอร์ (1st order passive filter) ซึ่งประกอบด้วย R_1 , R_2 และ C โดยคำนวณจากสูตรดังนี้

$$R_1 = K_\phi K_V / N \omega_n^2 C$$

$$R_2 = 2\xi / \omega_n C$$

$$C = K_\phi K_V / N \omega_n^2 R_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า โดยที่ K_ϕ : VCO GAIN หน่วยเป็น V/Rad นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K_ϕ : เป็นแกนของตัวเปรียบเทียบเฟส หน่วยเป็น (Rad/Sec)/V

N : เป็นค่าที่หารได้สูงสุด

เราเลือกค่า ξ เท่ากับ 0.7, ω_n เท่ากับ $2\pi f$ โดยที่ f เป็น 1 กิโลเฮิรซ์ และกำหนดให้ C เท่ากับ 1 ไมโครฟารัด

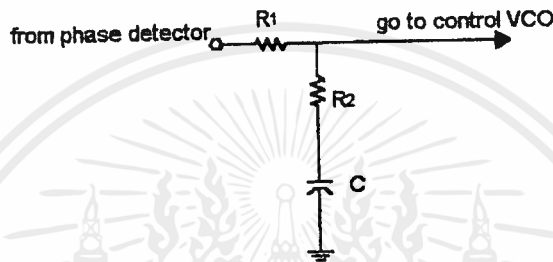
ส่วนค่า $K_\phi = V_{DD}/\pi$ จะได้ค่า $K_\phi = 10/\pi = 3.184$ V/Rad

เมื่อแทนเข้าไปในสูตรจะได้ค่า $R_1 = 3650 \Omega$

$$R_2 = 223 \Omega$$

$$C = 1 \mu F$$

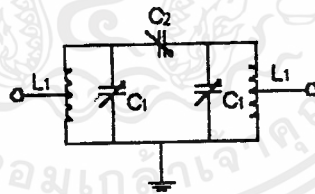
ได้ออกมาเป็นวงจรดังรูปที่ 3.4.8



รูปที่ 3.4.8 วงจรฟิลเตอร์

3.5 วงจร BPF ย่าน 45 เมกะเฮิรซ์

- ใช้หลักต้องการค่า Q มีค่าสูงๆ ประมาณ 180 เพื่อต้องการลักษณะกราฟ frequency response กม (sharp) มาก
- ออกแบบโดยใช้วงจร LC ขุน ตามรูป 3.5.1



รูปที่ 3.5.1 แสดงการต่อวงจร LC ขุน

โดย

$$Q = 180$$

จากสูตร

$$Q = \frac{f_o}{bw}$$

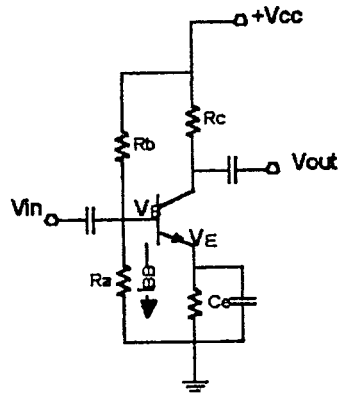
$$f_o = 45 \text{ MHz}$$

$$\therefore bw (\text{band width ที่ } -3 \text{ dB}) = 250 \text{ kHz}$$

$$\text{และ } L_1 = R/f_o Q$$

เลือกใช้แท็ปคอยล์จำนวน 7:1 รอบ ดังนั้น R จึงเท่ากับ $7^2 * 50 = 2450 \Omega$

เอกสารนี้เป็น **กึ่งนั้น** ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7.1 แสดงวงจรไบอัสแบบอัสซึกระแสป้อนกลับความถี่

เลือก $R_B = 150 \, \Omega$

$$\therefore V_B (\text{ที่ขามิตเตอร์}) = I_B R_B \approx I_C R_B (\text{เมื่อ } \beta \text{ มีค่าสูงๆ})$$

$$= 5 \text{ mA} * 150 = 750 \text{ mV}$$

$$\text{และจะได้ } V_B (\text{ที่ขาเบส}) = V_B + V_{BE}$$

$$= 0.75 + 0.7$$

$$= 1.45 \text{ V}$$

R_a ในวงจรมีไว้เพิ่มเสถียรภาพของวงจร ช่วยลด loss (การสูญเสีย) เลือก $R_a \approx 10$

เท่าของ R_B

$$\therefore R_a = 1.5 \text{ k}$$

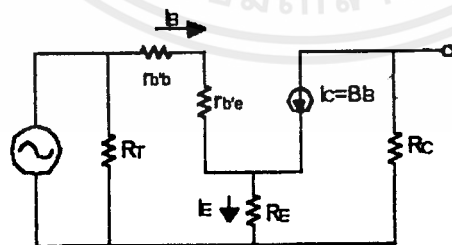
$$\therefore I_{BB} = V_B / R_a = 1.45 / 1.5 \text{ k} = 0.97 \text{ mA}$$

และจะได้

$$R_b = (V_{CC} - V_B) / (I_b + I_{BB}) = (5 - 1.45) / (0.03125 + 0.97) = 3.54 \text{ k}\Omega$$

ในทางปฏิบัติจึงเลือกค่า $R = 3.3 \text{ k}\Omega$ แทน

ต่อไปคือ การเลือกค่า R_c โดยการคำนวณหาค่าลักษณะจากวงจรสมมูล AC



รูปที่ 3.7.2 แสดงวงจรสมมูล AC

$$I_B = I_B + I_C$$

$$= I_B + \beta I_B$$

$$= (\beta + 1) I_B$$

และอัตราขยายแรงดัน

$$|A_v| = V_{OUT} / V_{IN}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{OUT} = I_C R_C = \beta I_B R_C$$

$$V_{IN} = V_{rbb'} + V_{rbe} + V_{BB}$$

$$= I_B(r_{bb'} + r_{be}) + I_B R_B$$

$$= I_B(r_{bb'} + r_{be}) + (\beta + 1) R_B$$

$$\text{ดังนั้น } |A_V| = \beta I_B R_C / (I_B(r_{bb'} + r_{be}) + (\beta + 1) R_B)$$

ประมาณค่า $r_{bb'}$, r_{be} มีค่าน้อยกว่า β มาก

$$|A_V| = R_C / R_B$$

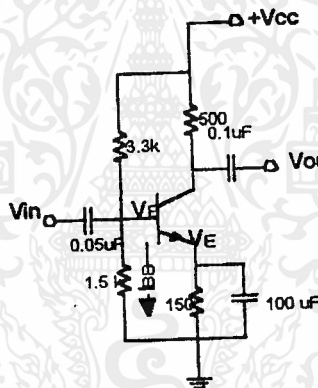
ดังนั้นต้องการอัตราขยายของวงจร 10 dB นั่นคือ $|A_V|_{dB} = 20 \log |A_V|$

$$\text{ดังนั้น } |A_V| = 3 \text{ เท่า}$$

$$\text{นั่นคือ } R_C / R_B = 3$$

$$R_C = 3 R_B = 450 \Omega \text{ จึงเลือกใช้ } R_C = 500 \Omega$$

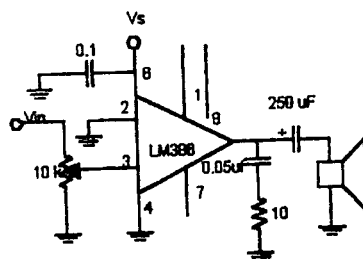
จะได้วงจรตามรูปที่ 3.7.3



รูปที่ 3.7.3 แสดงวงจรขยายโคธออกแบบให้มีอัตราขยายกำลัง 20 dB

3.8 วงจรขยายกำลัง(Power Amplifier) ภาคสุดท้าย

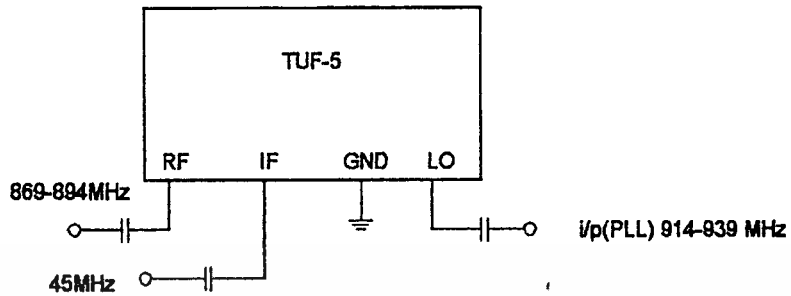
- ใช้ขยายสัญญาณ Audio ที่ได้จากวงจรเกนเทคเตอร์ (MC3362)
- เลือกใช้ไอซี เบอร์ LM386 ซึ่งต้องจูนตามรูปที่ 3.8.1
- ต้องจูนโดยเลือกใช้ค่าอัตราขยายโวลต์เกน 20 เท่า (26 dB)



รูปที่ 3.8.1 รูปแสดงการต่อวงจรขยายสัญญาณ Audio ด้วย ไอซี LM386

3.9 วงจรมิกเซอร์ (Mixer)

■ ที่ first conversion ($IF = 45 \text{ MHz}$, Local OSC = $914 - 939 \text{ MHz}$) ใช้มิกเซอร์แบบ Balanced Mixer เบอร์ TUF-5 ซึ่งมีขาที่เชื่อมต่อกันนี้



รูปที่ 3.9.1 แสดงการต่อวงจรมิกเซอร์แบบบาลานซ์มิกเซอร์โดยใช้ไอซีเบอร์ TUF-5

รูปที่



บทที่ 4

การทดลองและผลการทดลอง

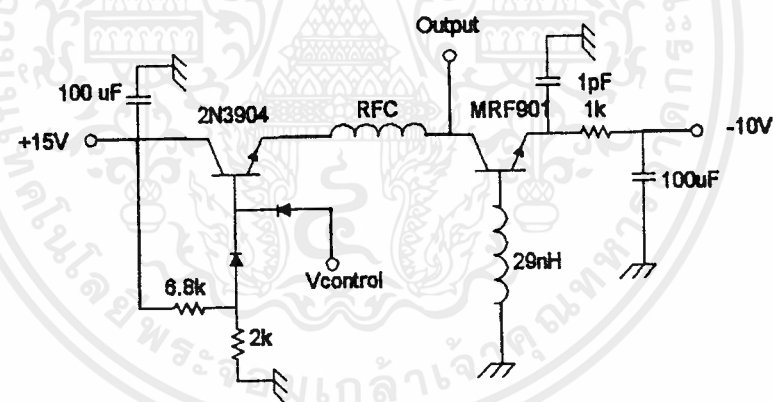
อุปกรณ์ที่ใช้ในการวัดผลการทดลอง

1. สเปกตรัมอานาไลเซอร์ (Spectrum Analyzer)
2. พาวเวอร์ซัพพลาย (Power Supply)
3. ซิกเนลเจนเนอเรเตอร์ (Signal Generator)
4. ฟรีเควนซีซินธิไซเซอร์ (Frequency Synthesizer)
5. ฟรีเควนซีคานเตอร์ (Frequency Counter)

4.1 วงจรเพสล็อกสัญญาณความถี่ 881.5 ± 45 เมกะเฮิรตซ์

4.1.1 วงจรวิธีโอความถี่ 881.5 ± 45 MHz

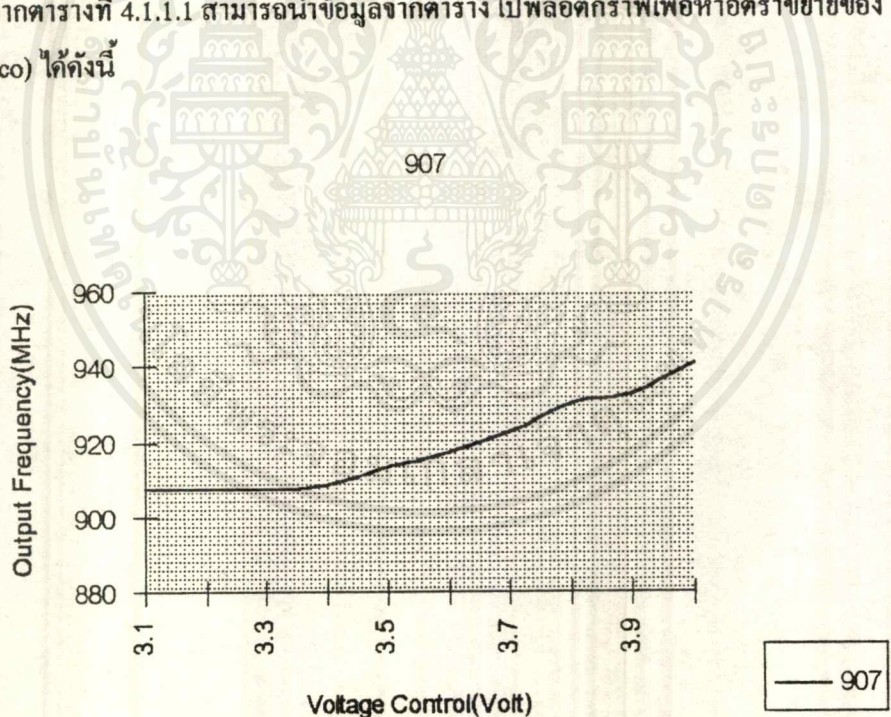
ป้อนไฟเลี้ยงให้กับวงจรในรูปที่ 4.1.1.1 +15 โวลต์ และ -10 โวลต์ ทำการวัดด้วยเครื่องสเปกตรัมอานาไลเซอร์และฟรีเควนซีคานเตอร์ โดยปรับค่าโวลต์เตงควบคุม (Voltage Control) บันทึกความถี่เอาต์พุตที่ได้ลงในตารางบันทึกผล ซึ่งจะได้ผลดังแสดงในตารางที่ 4.1.1.1



รูปที่ 4.1.1.1 แสดงการต่อวงจรวิธีโอความถี่ 881.5 ± 45 MHz

Voltage Control(V)	Output Frequency(MHz)	Power(dBm)
3	907.00	2
3.1	907.12	2
3.2	907.35	2
3.3	907.49	2
3.4	908.67	2
3.5	913.25	2
3.6	917.15	2
3.7	922.60	2
3.8	929.78	3
3.9	932.39	3
4.0	940.82	3

ตารางที่ 4.1.1.1 แสดงผลการทดลองวงจรวีซีโอที่มีความถี่ $881.5 \pm 45 \text{ MHz}$
และจากตารางที่ 4.1.1.1 สามารถนำข้อมูลจากตาราง ไปพล็อตกราฟเพื่อหาอัตราขยายของ
วงจรวีซีโอ(Kvco) ได้ดังนี้



รูปที่ 4.1.1.2 แสดงกราฟระหว่างความถี่เอาต์พุตของวงจรวีซีโอกับ โวลต์เตจควบคุม
อัตราขยายของวงจรวีซีโอ (Kvco)

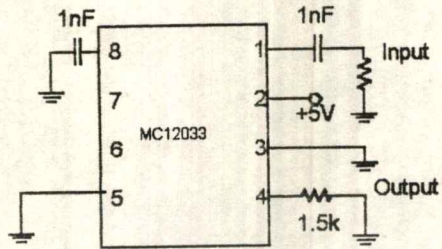
$$K_{vco} = 2\pi \Delta f / \Delta v$$
$$\Delta f = 940.82 - 913.25 = 27.57 \text{ เมกะเฮิรตซ์}$$
$$\Delta v = 4 - 3.5 = 0.5 \text{ V.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ทั้งนี้ K_{vco} = 346.279 rad/volt
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 วงจรหารพรีสเกลเลอร์ (MC12033)

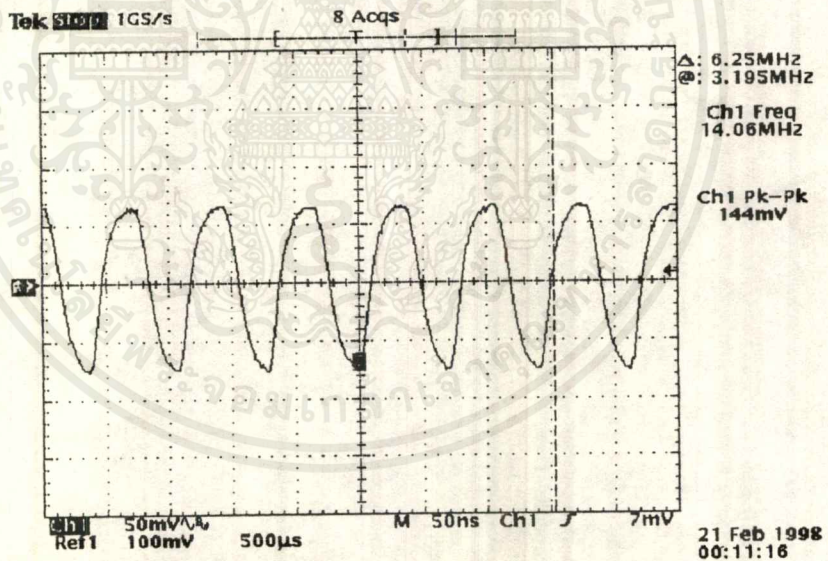
วิธีการทดลอง

1. ต่อวงจรตามรูปที่ 4.1.2.1 ป้อนไฟเลี้ยง +5 โวลต์ ที่ขา 2 พร้อมกับป้อนสัญญาณไซน์ ความถี่ 900 เมกะเฮิรตซ์ ที่ขา 1



รูปที่ 4.1.2.1 แสดงการต่อวงจรหาร MC12033

2. วัดสัญญาณเอาต์พุตที่ขา 4 บันทึกผลการทดลอง

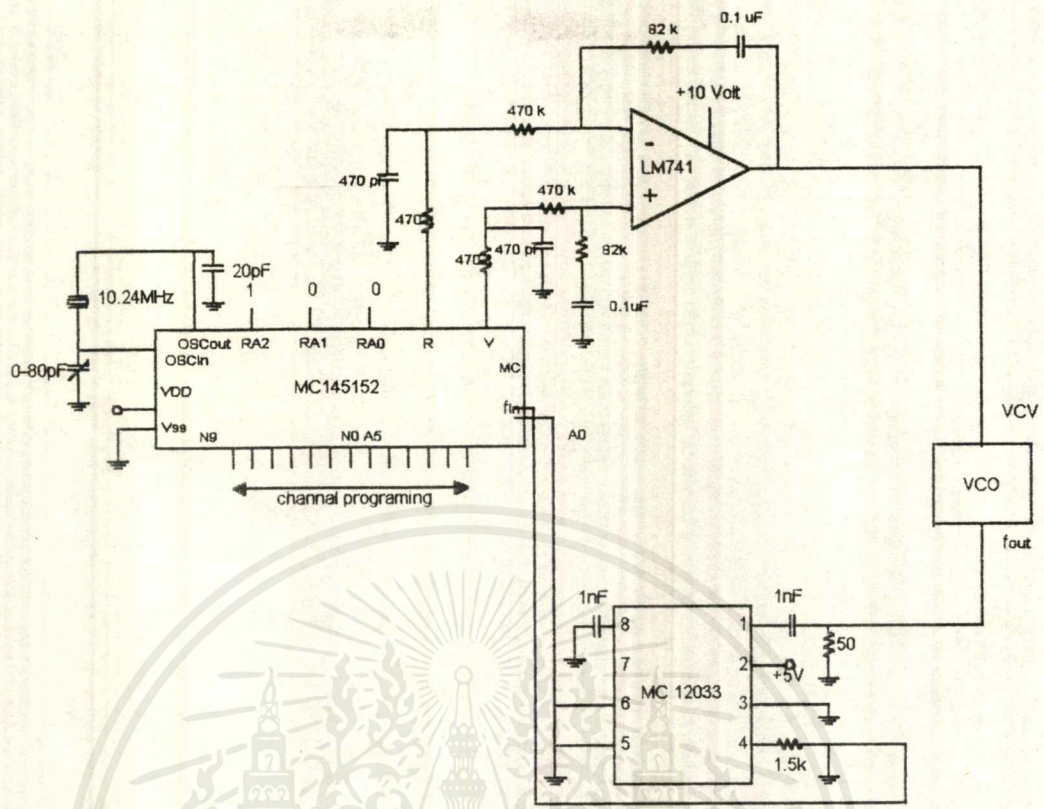


รูปที่ 4.1.2.2 แสดงสัญญาณเอาต์พุตที่ได้จากวงจรหารพรีสเกลเลอร์ (MC12033)

4.1.3 วงจรเฟสล็อกกลูปความถี่ 881.5 ± 45 MHz

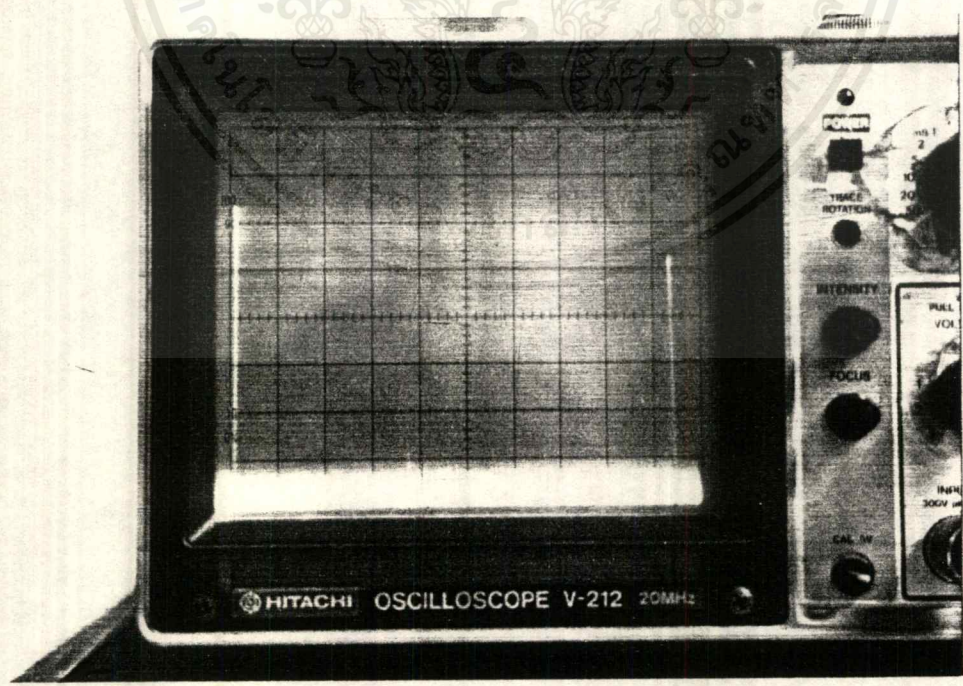
วิธีการทดลอง

1. ต่อวงจรตามรูปที่ 4.1.3.1 บันทึกผลการทดลอง ด้วยสเปกตรัมอานาไลเซอร์และฟรีควานซ์ิตานเตอร์



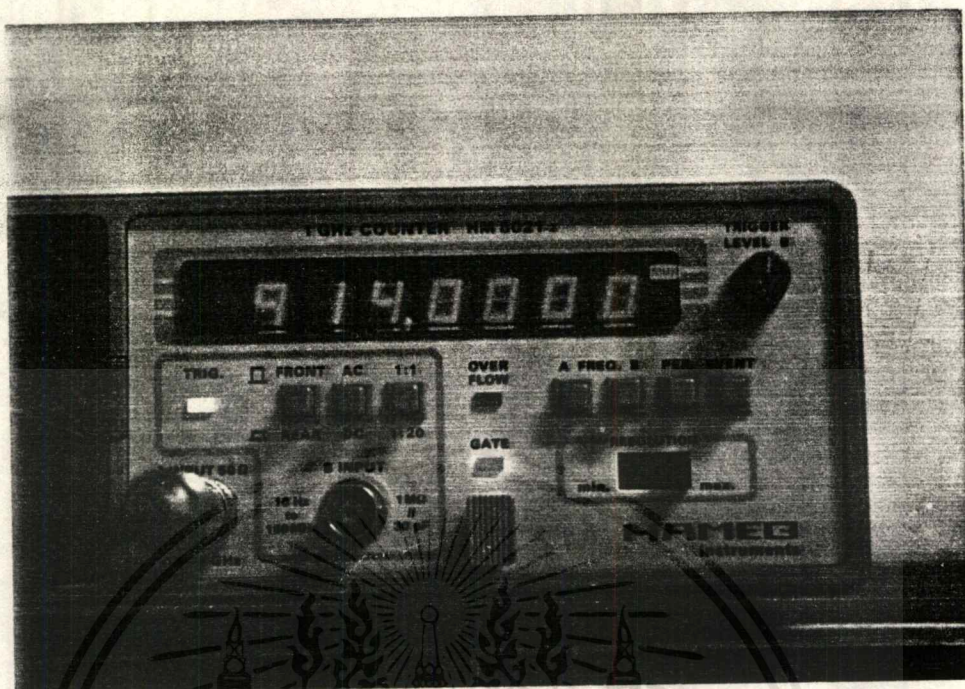
รูปที่ 4.1.3.1 แสดงการต่อวงจรเฟสล็อกความถี่ $881.5 \pm 45 \text{ MHz}$

ผลการทดลอง
ได้ผลการทดลองดังรูป

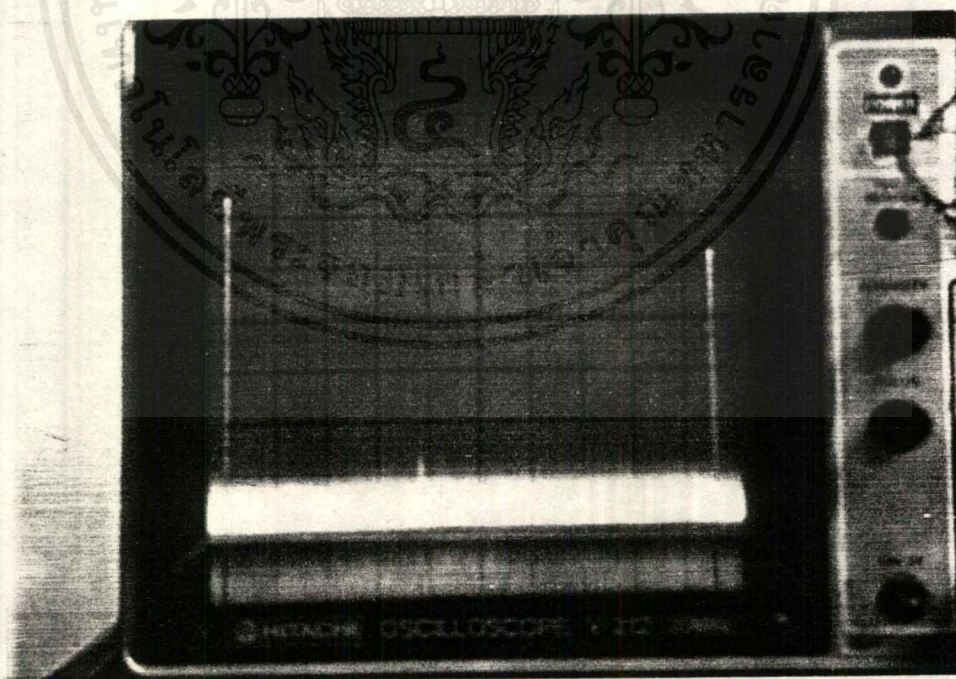


รูปที่ 4.1.3.2 แสดงสัญญาณเอาต์พุตของวงจรเฟสล็อกที่ความถี่ 914 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.3.3 แสดงสัญญาณเอาต์พุตของเฟสล็อกกลุ๊ป 914 เมกะเฮิรซ์ ในรูปของCounter

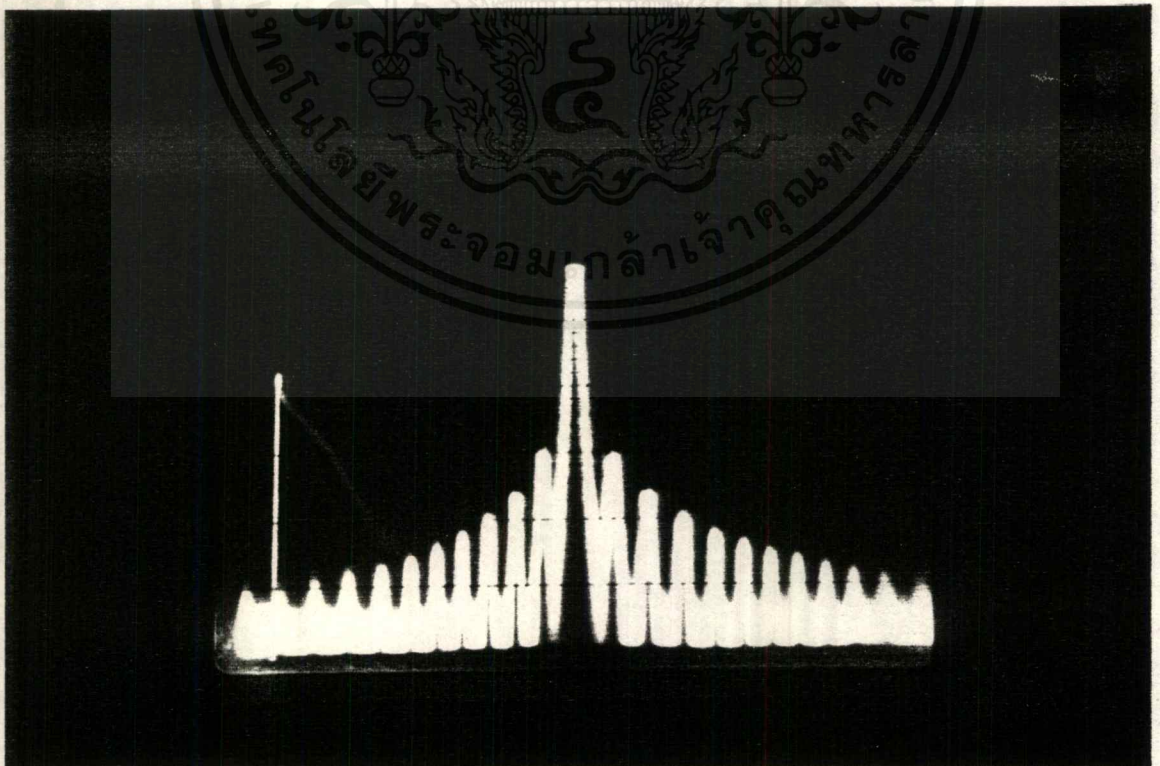


รูปที่ 4.1.3.4 แสดงสัญญาณเอาต์พุตของเฟสล็อกกลุ๊ป 939 เมกะเฮิรซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.3.5 แสดงสัญญาณเอาต์พุตของเฟสล็อกกลุ๊ป 939 เมกะเฮิรตซ์ ในรูปของCounter

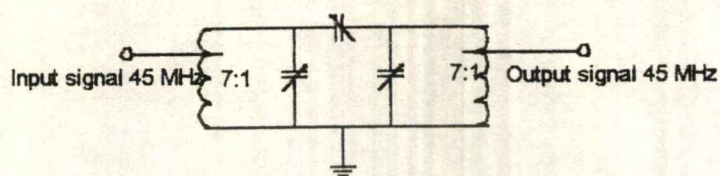


เอกสารนี้เป็นเอกสารที่สงวนไว้รูปที่ 4.1.3.6 แสดง side band ที่ความถี่ 939 เมกะเฮิรตซ์ นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจร BPF ย่าน 45 เมกะเฮิร์ตซ์

วิธีการทดลอง

1. จากรูปที่ 4.2.1 ทำการป้อนสัญญาณจากซิกแนลเจนเนอเรเตอร์ 45 เมกะเฮิร์ตซ์ เข้าที่ Node Input กำหนดระดับสัญญาณอินพุต 0 dBm พร้อมกับวัดสัญญาณที่ Node Output โดยใช้สเปกตรัมอานาไลเซอร์วัดกำลังของสัญญาณที่ออกมา



รูปที่ 4.2.1 แสดงวงจรแบนด์พาสฟิลเตอร์ย่าน 45 เมกะเฮิร์ตซ์

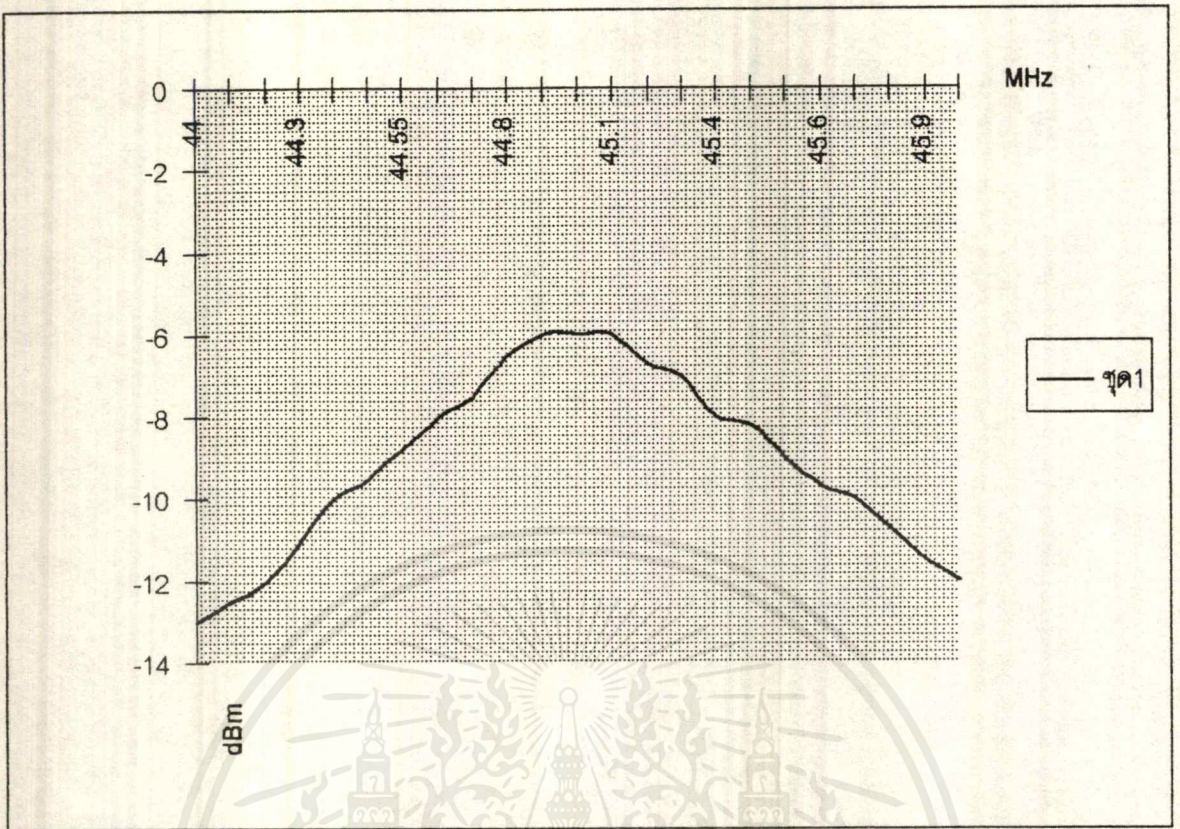
2. ทำการปรับค่าความถี่ของสัญญาณอินพุต โดยเพิ่มค่าทีละ 100 kHz ได้แก่ 45.100, 45.200, 45.300, ..., 46 เมกะเฮิร์ตซ์ และทำการวัดกำลังของสัญญาณเอาต์พุตตามลำดับบันทึกผล
3. เช่นเดียวกันกับข้อ 2. ทำการลดค่าความถี่ของสัญญาณอินพุต โดยลดค่าทีละ 100 kHz ได้แก่ 44.900, 44.800, 44.700, ..., 44.000 เมกะเฮิร์ตซ์ พร้อมบันทึกกำลังสัญญาณเอาต์พุต

ผลการทดลอง

จะได้กำลังของสัญญาณเอาต์พุต ดังตารางที่ 4.2.1

ความถี่ (MHz)	ระดับกำลังของสัญญาณ (dBm)
45.000	-6
45.100	-6
45.200	-6.7
45.300	-7
45.400	-8
45.450	-8.2
45.500	-9
45.600	-9.7
45.700	-10
45.800	-10.7
45.900	-11.5
46.000	-12
44.900	-6
44.800	-6.5
44.700	-7.5
44.600	-8
44.550	-8.8
44.500	-9.5
44.400	-10
44.300	-11
44.200	-12
44.100	-12.5
44.000	-13

ตารางที่ 4.2.1 แสดงระดับสัญญาณเอาร์ทพุทของวงจรแบนด์พาสฟิลเตอร์ย่าน 45 เมกะเฮิรซ์
และนำไปพล็อตกราฟได้ดังรูปที่ 4.2.2



รูปที่ 4.2.2 แสดงกราฟระหว่างระดับสัญญาณเอาต์พุตของวงจรแบนด์พาสฟิลเตอร์ย่าน 45 เมกะเฮิรตซ์

4.3 วงจรมิกเซอร์

จะมีผลการทดลอง 2 ขั้นตอน

1. ทดลองวงจรมิกเซอร์ในย่านความถี่ 882.5 เมกะเฮิรตซ์ เป็น first conversion ให้ได้ค่าสัญญาณ IF 45 เมกะเฮิรตซ์

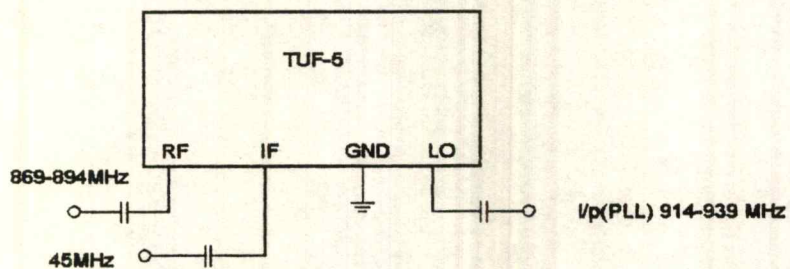
วิธีการทดลอง

1. ค่อยวงจรตามรูปที่ 4.3.1 โดยป้อนสัญญาณอินพุต 2 สัญญาณคือ จากฟรีควานซีซินธิไซเซอร์ มาผสมกับสัญญาณ RF ที่ได้จากวงจรโลคอลออสซิลเลเตอร์ หรือ เฟสล็อกลูป ซึ่งมีค่าความถี่ดังตารางที่ 4.3.1

2. วัดเอาต์พุต ณ จุด output บันทึกผลการทดลอง

หมายเหตุ : IF = สัญญาณเอาต์พุตของวงจรมิกเซอร์เป็นสัญญาณ IF

RF = สัญญาณเอฟเอ็มที่มีมอดูเลตกับสัญญาณโลคอลออสซิลเลเตอร์ (LO)



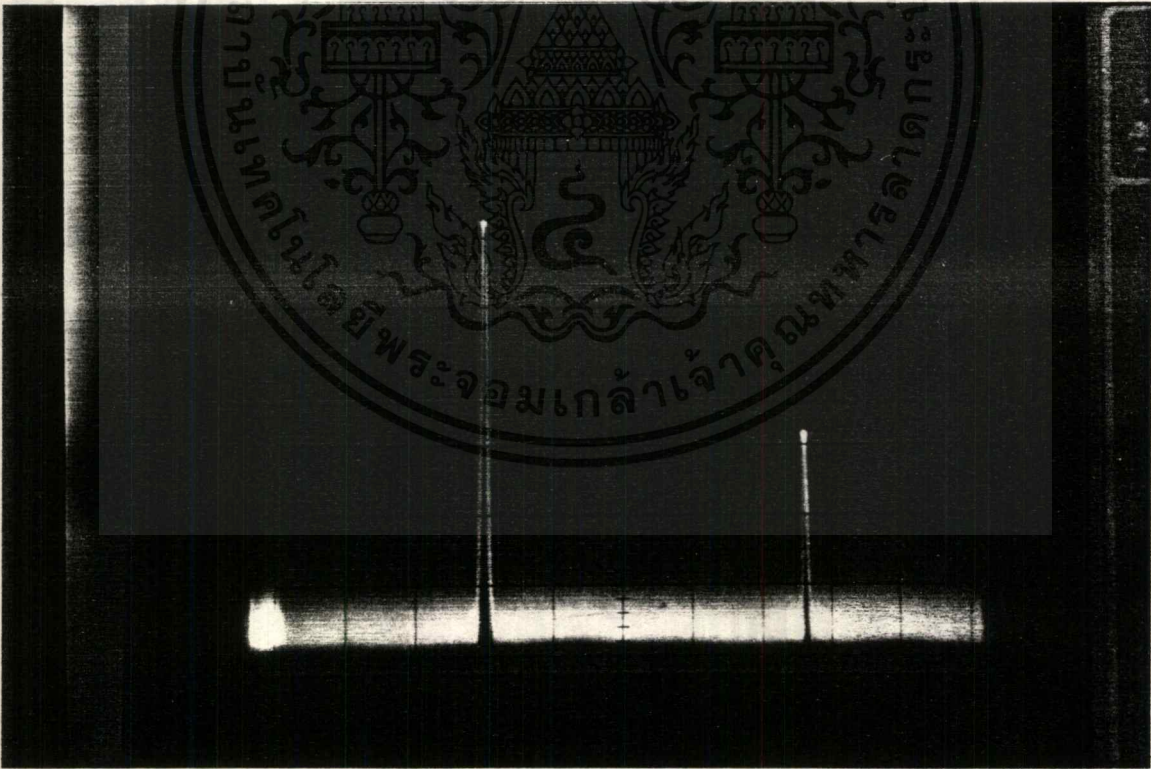
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 4.3.1 แสดงการต่อวงจรมิกเซอร์เพื่อทำการทดลองข้อประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

แสดงได้ทั้งตารางที่ 4.3.1 และตามรูปที่ 4.3.2

อินพุต		เอาต์พุต
ความถี่สัญญาณ RF (MHz)	โลคอลลออสซิลเลเตอร์ (MHz)	ความถี่ที่ได้จากวงจรมิกเซอร์ (MHz)
869	914	45
875	920	45
880	925	45
894	939	45

ตารางที่ 4.3.1 แสดงเอาต์พุตของวงจรมิกเซอร์ (first conversion)



รูปที่ 4.3.2 แสดงผล โดยการใช้สเปกตรัมอนาไลเซอร์ ที่ความถี่เอาต์พุต 45 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

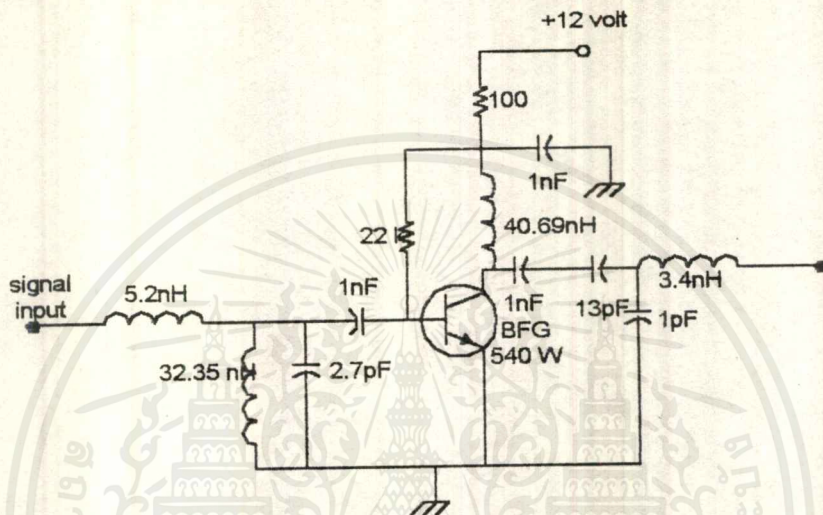
4.4 วงจร LNA (Low Noise Amplifier)

วิธีการทดลอง

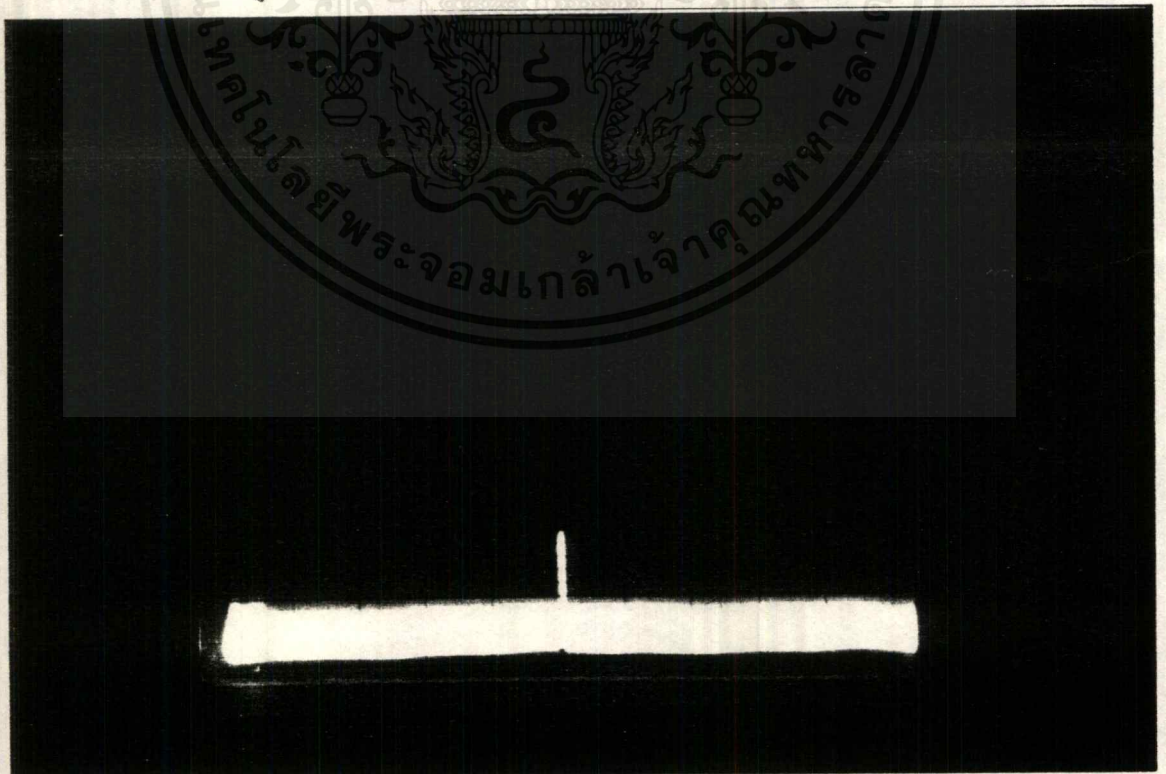
1. ต่อยังวงจรตามรูปที่ 4.4.1
2. ป้อนสัญญาณ sine wave จาก Signal Generator ซึ่งมี Power input = 0 ถึง -70 dBm

ผลการทดลอง

แสดงดังรูปที่ 4.4.2 และ 4.4.3

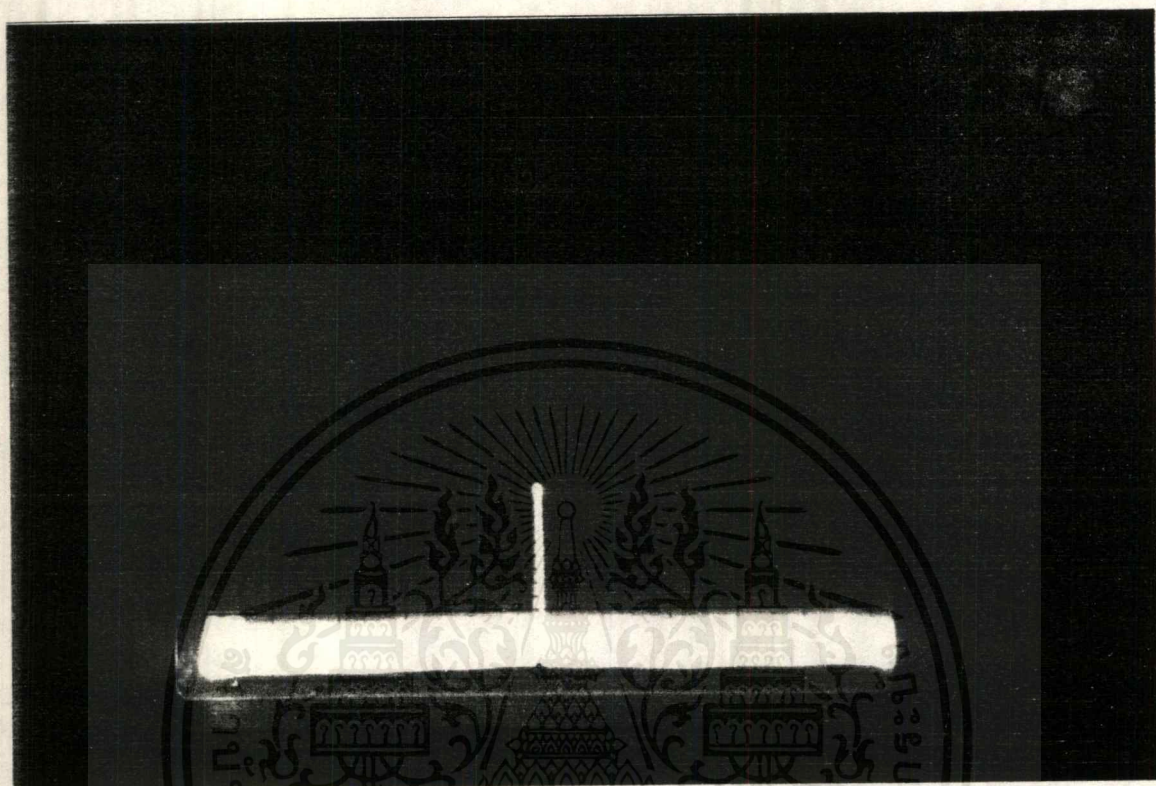


รูปที่ 4.4.1 แสดงการต่อวงจร LNA (Low Noise Amplifier)



รูปที่ 4.4.2 แสดงสัญญาณอินพุตของ LNA (Low Noise Amplifier) ที่ความถี่ 900 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ระดับกำลังสัญญาณ -60 dBm
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

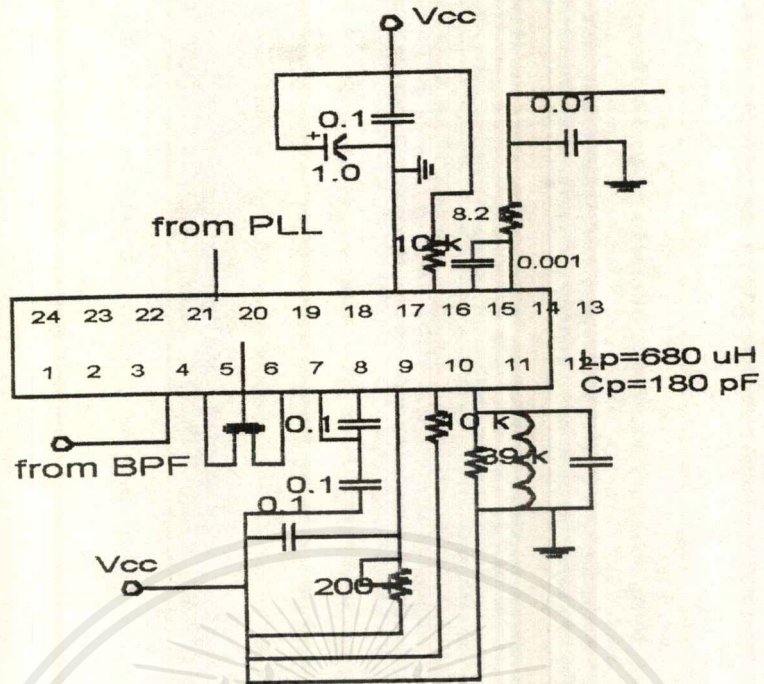


รูปที่ 4.4.3 แสดงสัญญาณเอาต์พุตของ LNA (Low Noise Amplifier) ที่ความถี่ 900 เมกะเฮิรตซ์
ที่มีอัตราขยายกำลังเท่ากับ +10 dBm

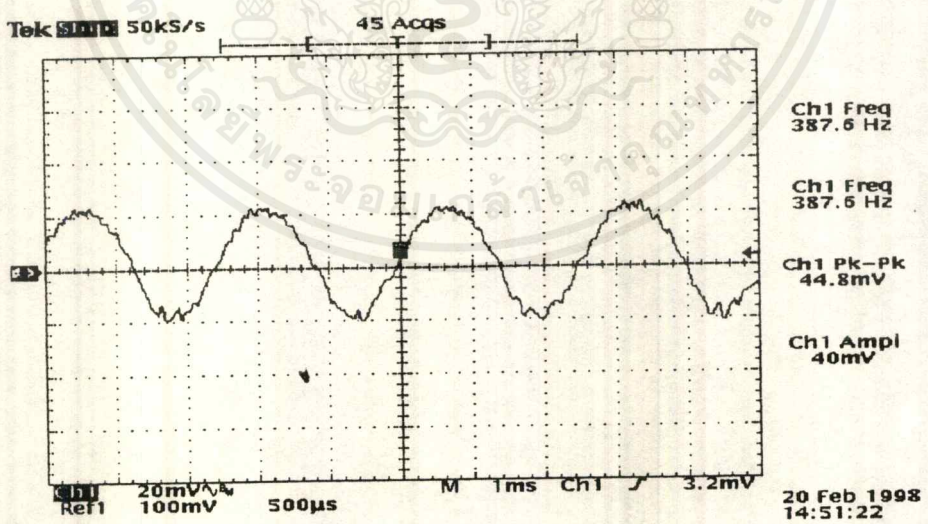
4.5 วงจรคิเทกสัญญาณ Audio โดยใช้ไอซี MC3362

วิธีการทดลอง

1. ต่อวงจรตามรูปที่ 4.5.1
2. ป้อนสัญญาณอินพุตที่ขา 17 ของไอซี MC3362 โดยปรับฟังก์ชันให้เป็นคลื่นไซน์ที่มอดูเลตแบบเอฟเอ็ม ความถี่พาหะ 45 เมกะเฮิรตซ์ โดยคลื่นออกซิโอมอดูเลตที่มีความถี่คงตาราง ปรับค่ากำลังของสัญญาณอินพุตโดยเริ่มตั้งแต่ -60 dBm จนถึงระดับที่ไม่มีสัญญาณอินพุตออกมาที่จุด out บันทึกลง

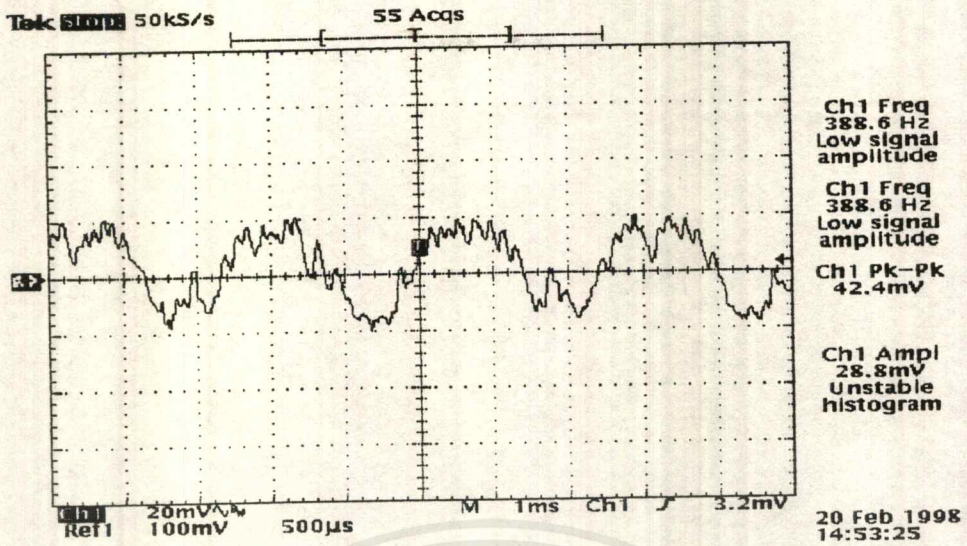


รูปที่ 4.5.1 แสดงการต่อวงจรเทคสัญญาณ Audio โดยใช้ไอซี MC3362
ผลการทดลอง
แสดงดังรูปที่ 4.5.2, 4.5.3



รูปที่ 4.5.2 แสดงสัญญาณเอาต์พุต Audio ที่ได้จากสัญญาณอินพุต 45 เมกะเฮิรซ์ ที่ระดับ -60 dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



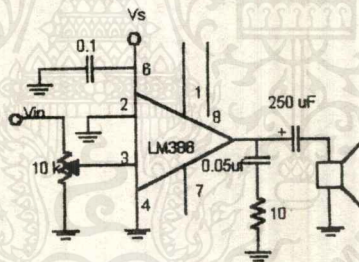
รูปที่ 4.5.3 แสดงสัญญาณเอาต์พุต Audio ที่ได้จากสัญญาณอินพุต 45 เมกะเฮิรซ์ ที่ระดับ -100 dBm

4.6 วงจรขยายเสียง (Audio Amplifier)

■ ใช้ไอซี เบอร์ LM386 ซึ่งเป็น pass Amplifier

วิธีการทดลอง

1. ต่อวงจรตามรูปที่ 4.6.1



รูปที่ 4.6.1 แสดงการต่อวงจรโดยใช้ไอซีเบอร์ LM386

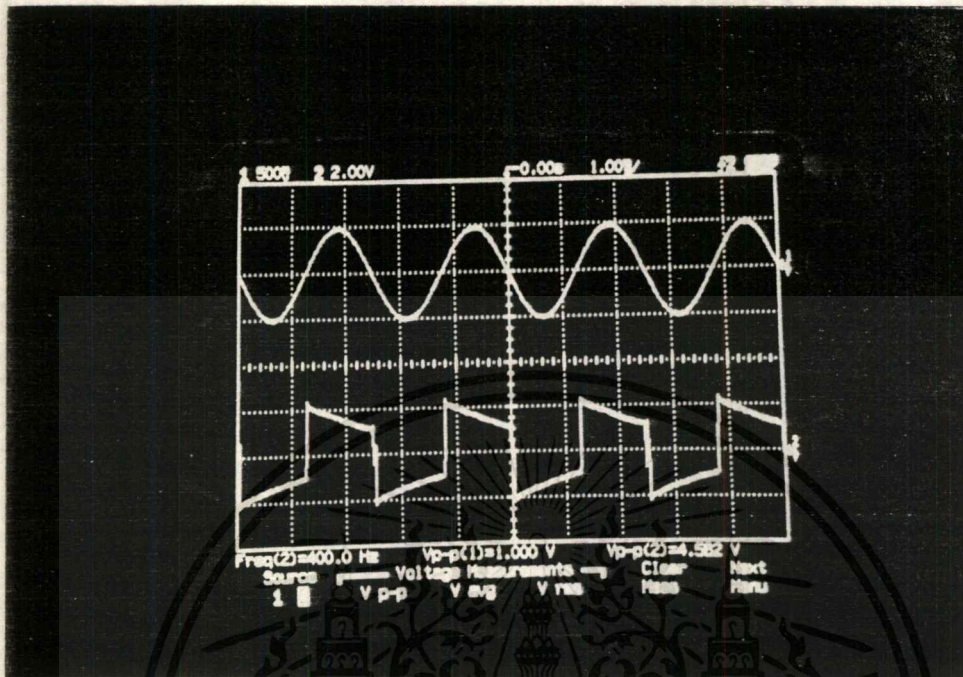
2. ป้อนสัญญาณเอกิโอะ ซึ่งมีความถี่คงตารางที่จุดอินพุต พร้อมวัดสัญญาณเอาต์พุตจากเอาต์พุต (ขาที่ 5 ของ LM386) บันทึกผลการทดลองในตารางที่ 4.6.1

ผลการทดลอง

แสดงได้ดังตารางที่ 4.6.1 และรูปที่ 4.6.2

อินพุต		เอาต์พุต	
ความถี่สัญญาณเอกิโอะ	ขนาด (mA _{pp})	ความถี่สัญญาณที่ได้	ขนาด (mA _{pp})
400 Hz	1000	400 Hz	4562
1 kHz	1000	1 kHz	4250
4 kHz	1000	4 kHz	4937

ตารางที่ 4.6.1 แสดงสัญญาณเอาต์พุตซึ่งผ่านวงจรขยายย่าน Audio

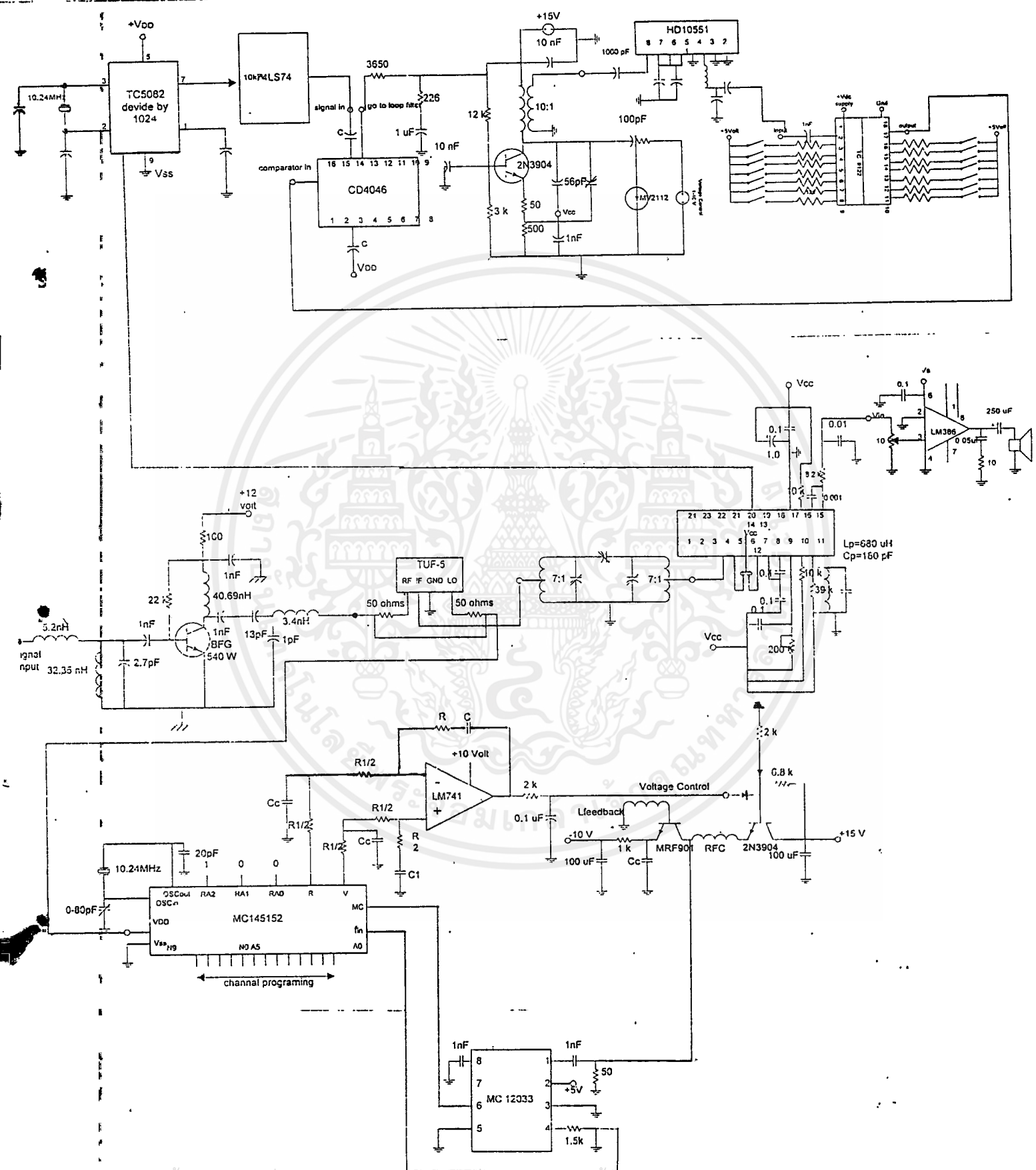


รูปที่ 4.6.2 แสดงสัญญาณเอาต์พุตซึ่งผ่านวงจรขยายย่านAudio

4.7 วงจรรวมของเครื่องรับโทรทัศน์เคลื่อนที่ระบบ AMPS

วิธีการทดลอง

ต่อวงจรดังรูปที่4.7.1

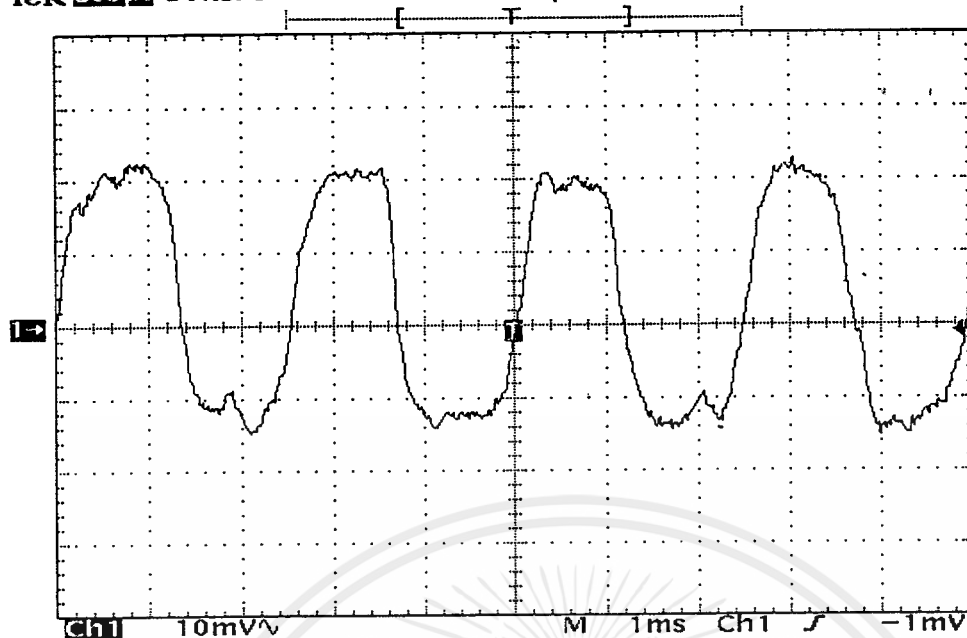


รูปที่ 4.7.1 แสดงการต่อวงจรรวมของเครื่องรับ โทรศัพท์เคลื่อนที่ระบบ AMPS

รูปที่ 4.7.1 แสดงการคํววจรรวมของเครื่องรับโทรศัพท์เคลื่อนที่ระบบ AMPS

Tek **Stop** 50kS/s

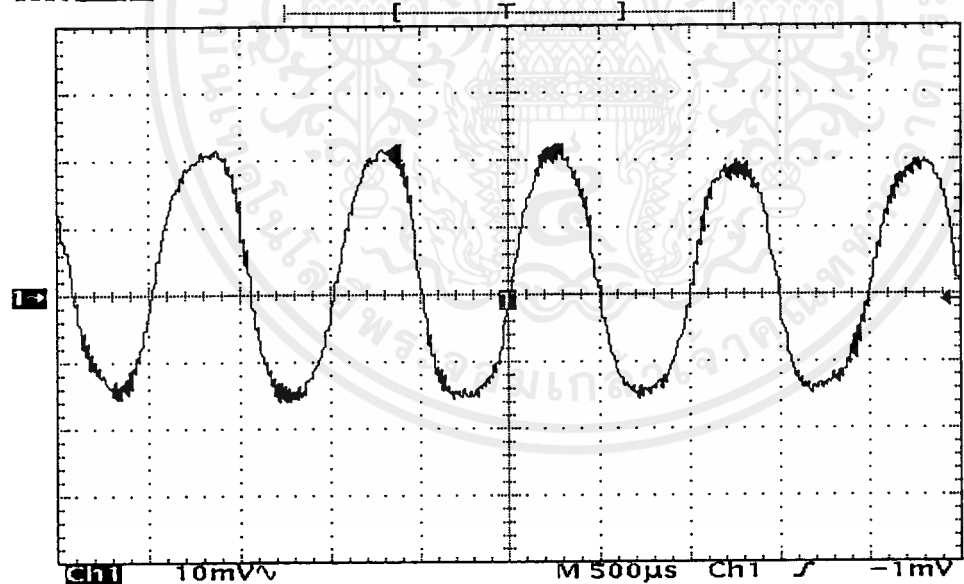
4 Acqs

31 Mar 1998
13:22:29

รูปที่ 4.7.2 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 869 MHz
ที่ระดับสัญญาณ -40 dBm

Tek **Stop** 100kS/s

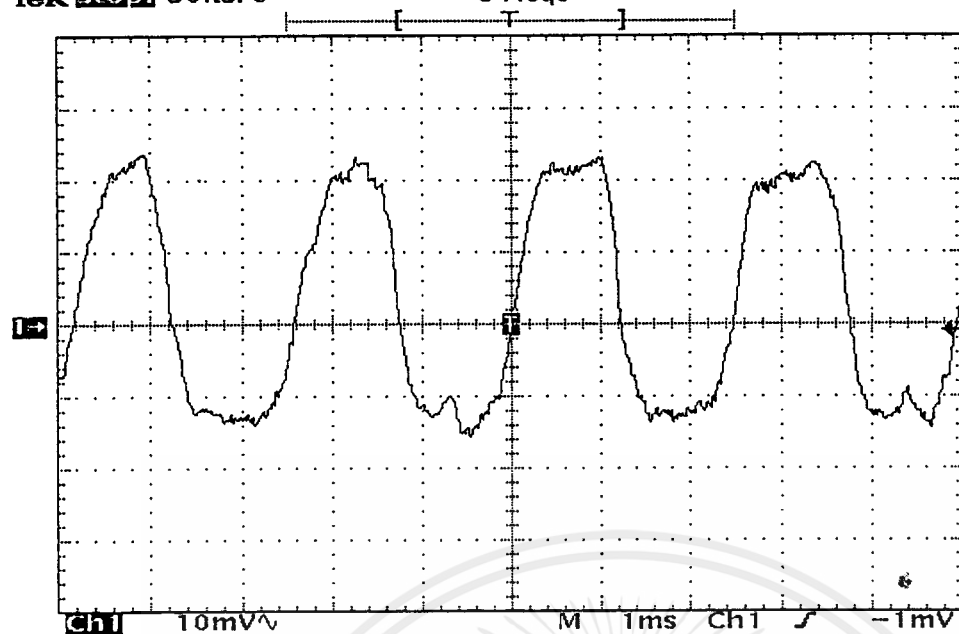
4 Acqs

31 Mar 1998
13:24:32

รูปที่ 4.7.3 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 869 MHz
ที่ระดับสัญญาณ -40 dBm

Tek Stop: 50kS/s

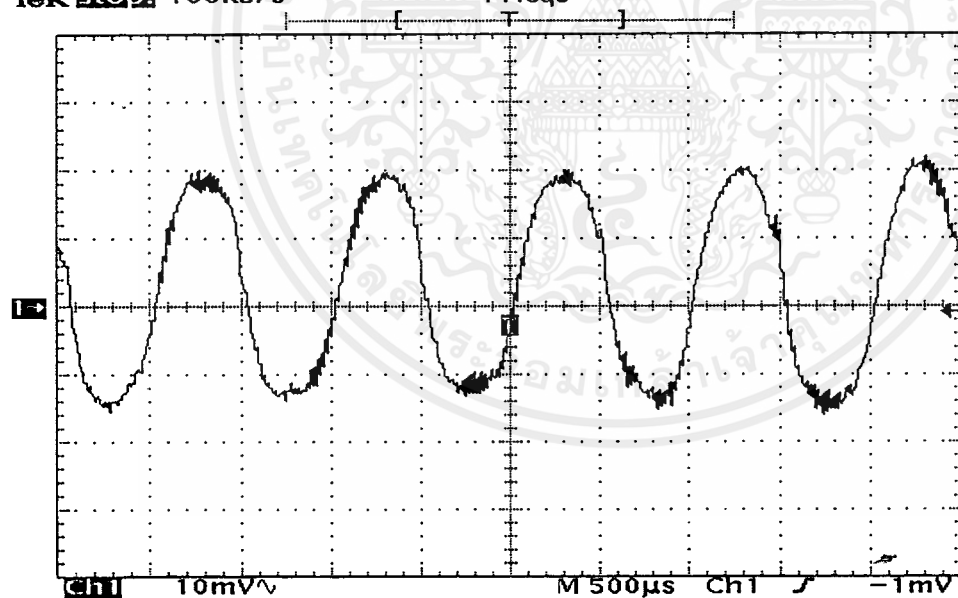
3 Acqs

31 Mar 1998
13:27:49

รูปที่ 4.7.4 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 869 MHz
ที่ระดับสัญญาณ -50 dBm

Tek Stop: 100kS/s

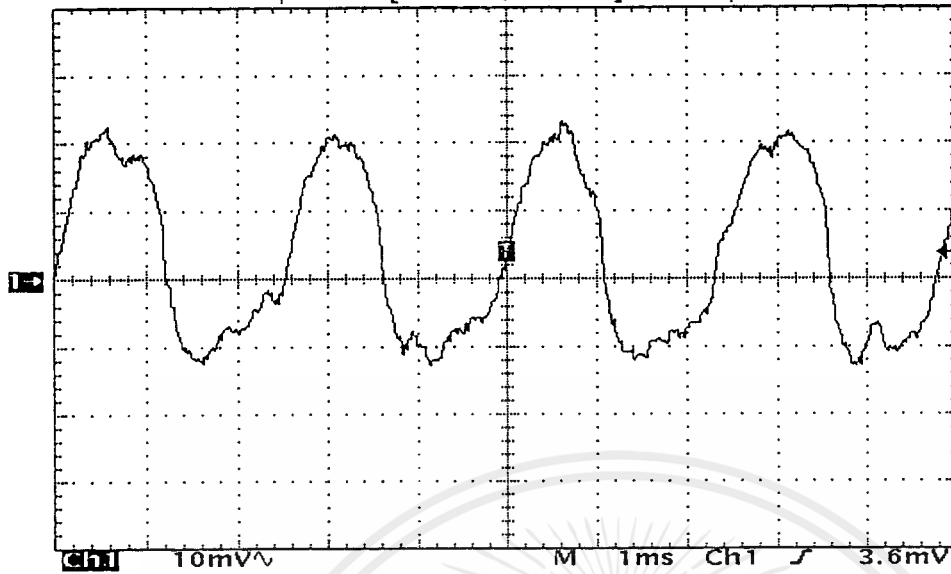
4 Acqs

31 Mar 1998
13:30:54

รูปที่ 4.7.5 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 869 MHz
ที่ระดับสัญญาณ -50 dBm

Tek Stop 50KS/s

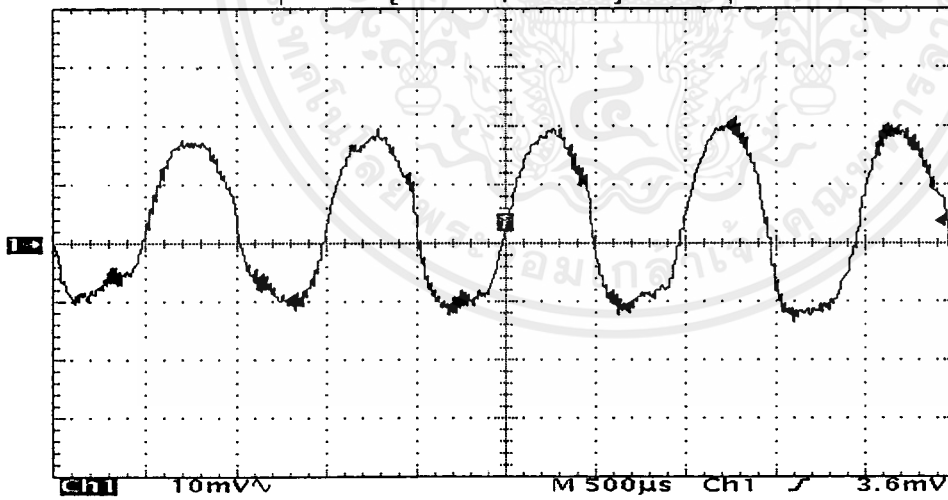
1 Acqs

31 Mar 1998
13:14:43

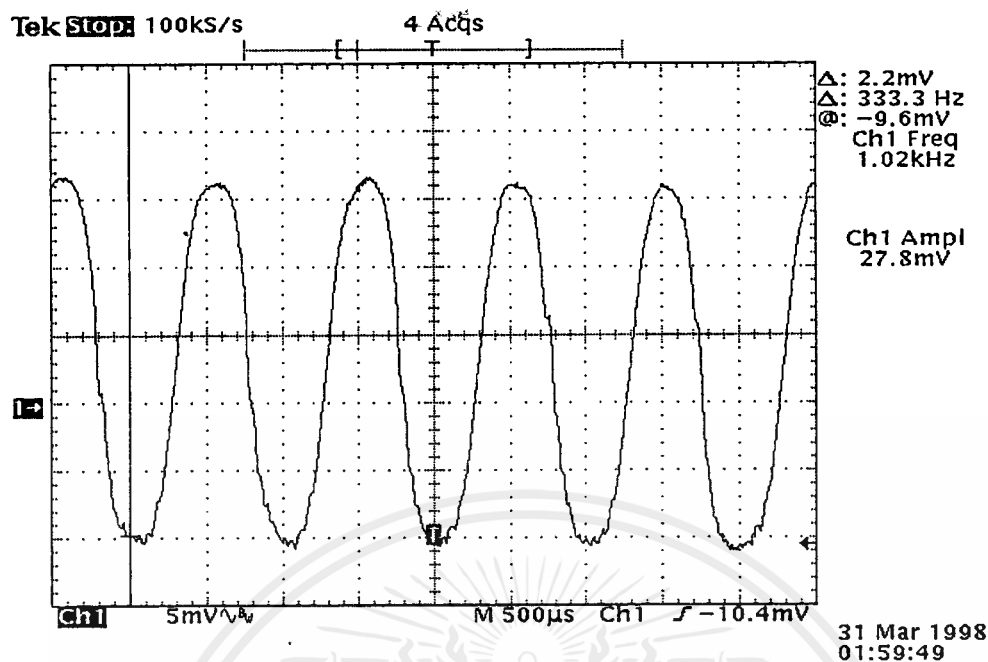
รูปที่ 4.7.6 แสดงสัญญาณเอาร์ทพุท Audio 400 Hz ที่ได้จากสัญญาณอินพุท FM 869 MHz
ที่ระดับสัญญาณ -65 dBm

Tek Stop 100KS/s

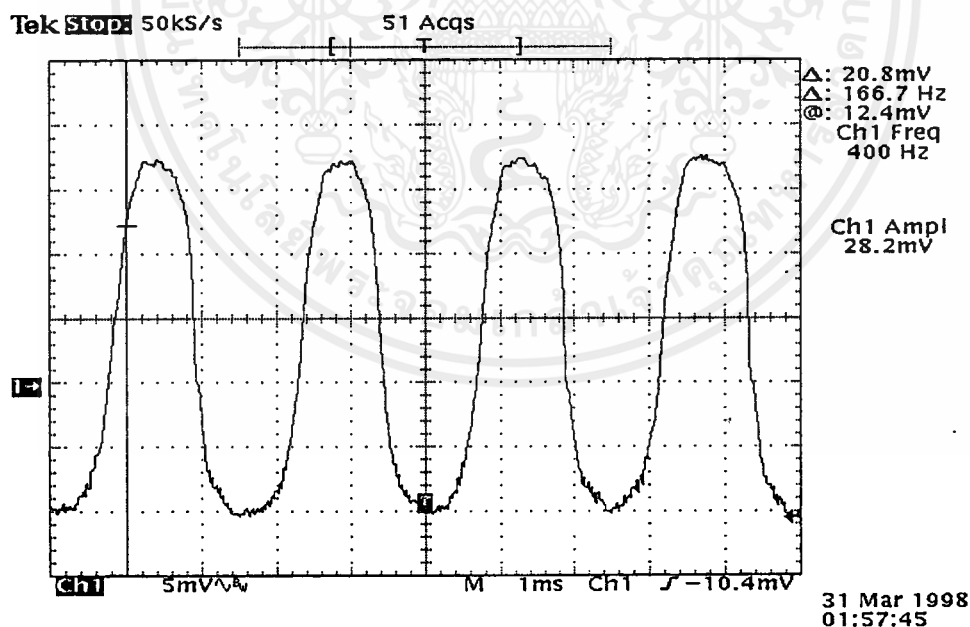
4 Acqs

31 Mar 1998
13:11:47

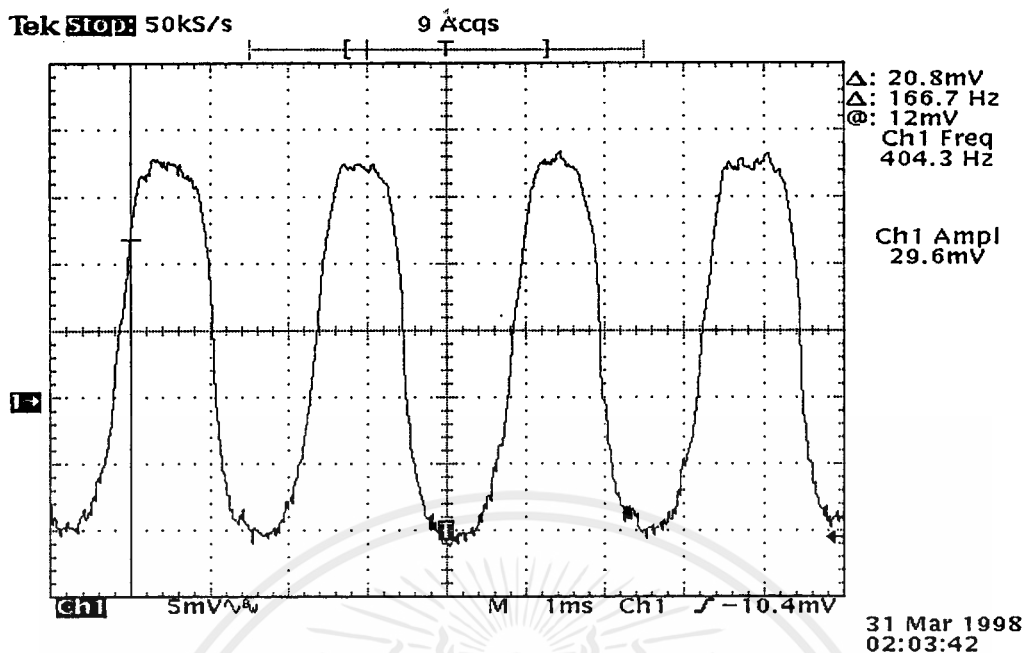
รูปที่ 4.7.7 แสดงสัญญาณเอาร์ทพุท Audio 1 kHz ที่ได้จากสัญญาณอินพุท FM 869 MHz
ที่ระดับสัญญาณ -65 dBm



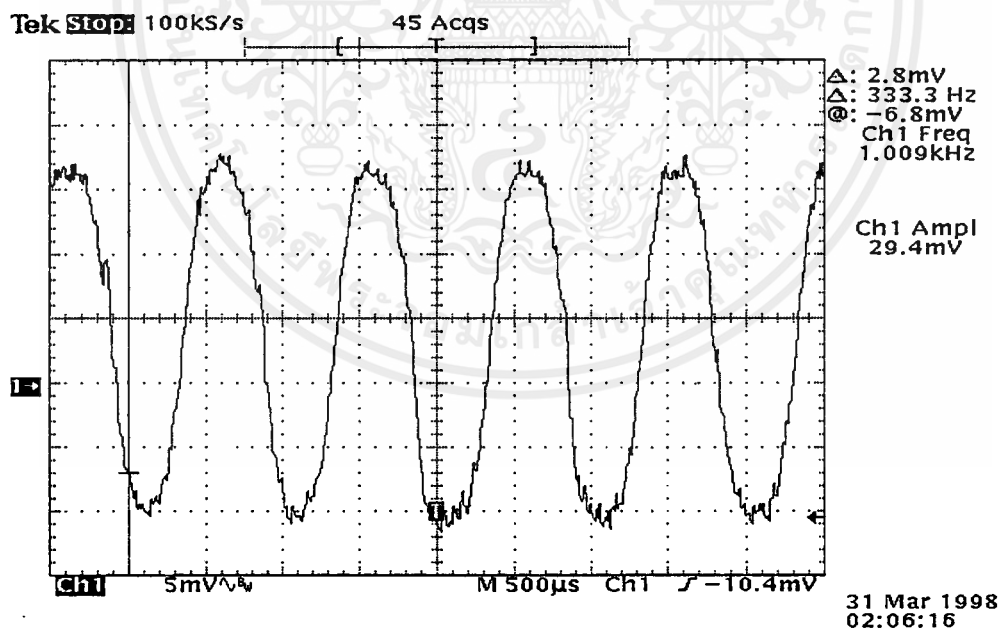
รูปที่ 4.7.8 แสดงสัญญาณเอ้าท์พุท Audio 1 kHz ที่ได้จากสัญญาณอินพุท FM 894 MHz
ที่ระดับสัญญาณ -40 dBm



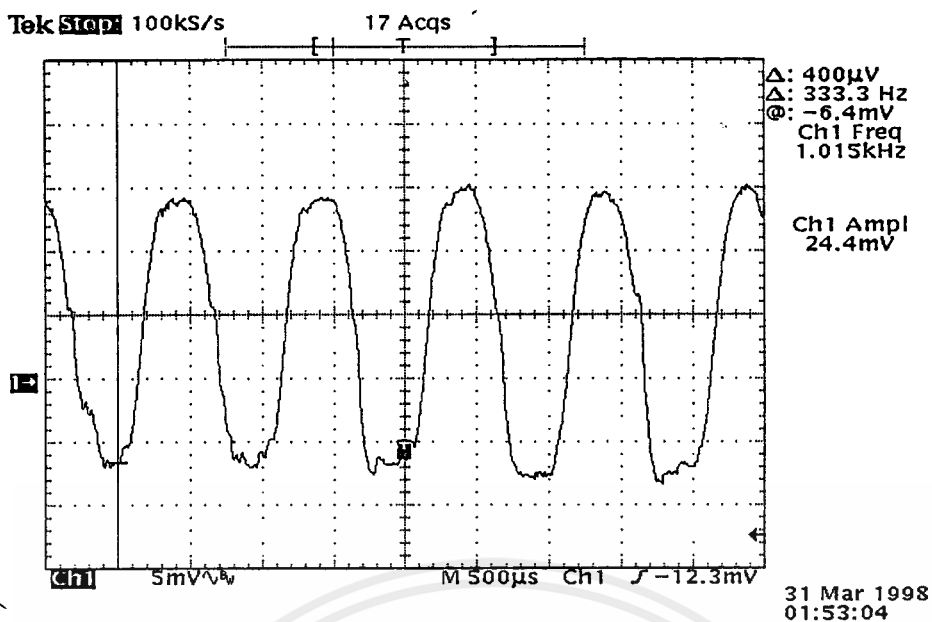
รูปที่ 4.7.9 แสดงสัญญาณเอ้าท์พุท Audio 400 Hz ที่ได้จากสัญญาณอินพุท FM 894 MHz
ที่ระดับสัญญาณ -40 dBm



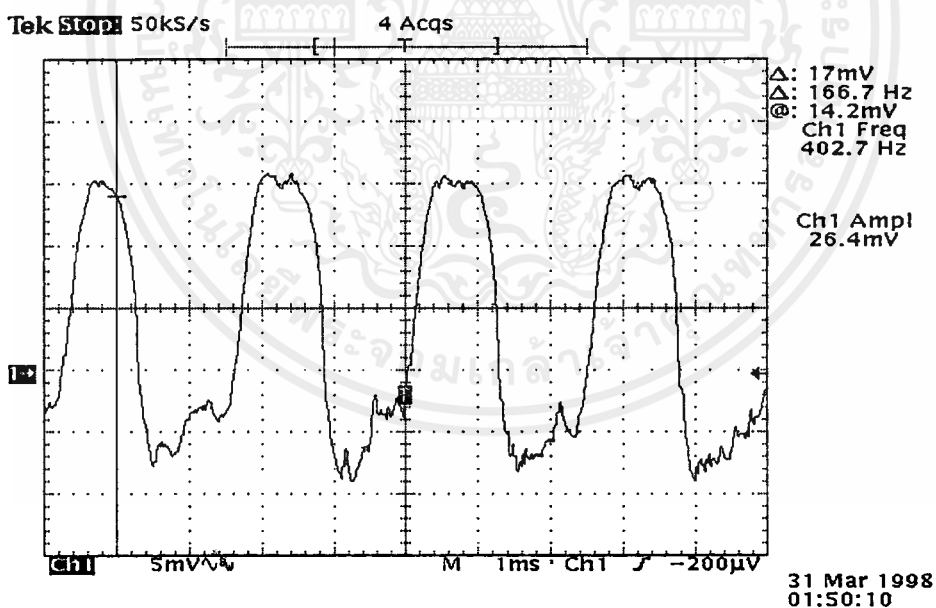
รูปที่ 4.7.10 แสดงสัญญาณเอาต์พุต Audio 400 Hz ที่ได้จากสัญญาณอินพุต FM 894 MHz
ที่ระดับสัญญาณ -50 dBm



รูปที่ 4.7.11 แสดงสัญญาณเอาต์พุต Audio 1 kHz ที่ได้จากสัญญาณอินพุต FM 894 MHz
ที่ระดับสัญญาณ -50 dBm



รูปที่ 4.7.12 แสดงสัญญาณเอาร์ทพุท Audio 1 kHz ที่ได้จากสัญญาณอินพุท FM 894 MHz ที่ระดับสัญญาณ -65 dBm



รูปที่ 4.7.13 แสดงสัญญาณเอาร์ทพุท Audio 400 Hz ที่ได้จากสัญญาณอินพุท FM 894 MHz ที่ระดับสัญญาณ -65 dBm:

บทที่ 5

บทสรุปและวิจารณ์

1. วงจร LNA จากโครงงานนี้ ได้มาจากการออกแบบ S- PARAMETER ให้ได้ระดับสัญญาณรบกวนต่ำ ($N.F = 1.5$) และมีค่าอัตราขยายประมาณ 14 dB แต่ในการทดลองจริงๆ ได้ค่าอัตราขยายของวงจรประมาณ 10 dB ซึ่งอาจมีสาเหตุมาจากค่าของอุปกรณ์ต่างๆ
2. ในการต่อวงจรด้วยอุปกรณ์ต่างๆ ได้แก่ L, C ควรให้อุปกรณ์แต่ละตัวมีขนาดเล็กหรือให้ค่า L, C ต่ำที่สุดเท่าที่ทำได้ เนื่องจากในวงจรที่ใช้ความถี่สูงๆ นั้น ค่าโลหะของ L หรือ C อาจเกิดเป็นค่าอินดักแตนซ์ขึ้นมามาก ทำให้ค่า L, C ในวงจรเปลี่ยนไปได้ ทำให้ขยายสัญญาณได้ไม่เต็มที่
3. วงจรเฟสล็อกกลูปในโครงงานนี้ เนื่องจากใช้ทำหน้าที่เป็นวงจรออสซิลเลเตอร์เพื่อใช้ในการมอดูเลตสัญญาณกับสัญญาณที่รับเข้ามาให้ได้สัญญาณที่ถี่ครั้งที่ 1 ที่ความถี่ 45 เมกะเฮิรตซ์ และ IF ครั้งที่ 2 ที่ความถี่ 450 เมกะเฮิรตซ์ ดังนั้นวงจรต้องมีความถี่ที่แน่นอนและมีเสถียรภาพสูง ซึ่งจากการทดลองนี้ วงจรเฟสล็อกกลูปนี้ได้สร้างขึ้นมาเพื่อผลิตสัญญาณเอาต์พุตความถี่ 45 เมกะเฮิรตซ์ ซึ่งสามารถสร้างได้ทั้งที่ และสามารถปรับเพิ่มขึ้นได้อีก 1 เมกะเฮิรตซ์ โดยการปรับค่าได้ที่ลิฟต์วิทซ์ นอกจากนี้ power output ของสัญญาณ 45 เมกะเฮิรตซ์ จึงมีค่าประมาณ 8dBm ซึ่งถือว่าสามารถนำไปใช้งานได้
4. ในส่วนของวงจรเฟสล็อกกลูป ซึ่งจะให้ความถี่เอาต์พุตอยู่ในช่วง 914 - 939 เมกะเฮิรตซ์ โดยการวัดจากสเปกตรัมอานาไลเซอร์ จะเห็นได้ว่า รูปสัญญาณมีรูปร่างที่ดีหรือมีสัญญาณรบกวนต่ำ ทั้งนี้เนื่องมาจากการคัปปลิงสัญญาณทั้ง ฟิสิกส์ ที่นำมาเป็นไฟเลี้ยงให้กับวงจร เพื่อให้สัญญาณไฟตรงนี้เรียบ และ การคัปปลิงสัญญาณเอซี ที่เป็น อินพุต/เอาต์พุต ของแต่ละวงจรในรูป
 ดังนั้นในการออกแบบความถี่สูง สิ่งที่ต้องคำนึงถึงนอกจากกำลัง(power) ของสัญญาณในแต่ละสเตจ (stage) แล้ว การขจัด Noise หรือสัญญาณรบกวนเพื่อให้ได้รูปสัญญาณเอาต์พุตที่ดีก็เป็นเรื่องสำคัญที่จะต้องพิจารณา
5. ในส่วนวงจรมิกเซอร์ย่าน 881.5 เมกะเฮิรตซ์ สิ่งที่ต้องคำนึงถึงในการต่อวงจรก็คือ power ของสัญญาณจากวงจรโลกลอสออสซิลเลเตอร์หรือวงจรเฟสล็อกกลูป โดยการวัดเอาต์พุตของวงจรจะได้ค่า power ของสัญญาณอยู่ในช่วง 0 ถึง 3 dB ซึ่งเป็นค่าที่สามารถนำไปใช้งานได้
6. สำหรับวงจรแบนด์พาสฟิลเตอร์ย่าน 45 เมกะเฮิรตซ์ ได้มีการออกแบบให้มีแบนด์วิท (กิตที่ -3 dB) ที่แถบประมาณ 250 กิโลเฮิรตซ์ ด้วยค่า Q เท่ากับ 180 ซึ่งจากผลการทดลองจะเห็นได้ว่า ค่าแบนด์วิทที่วัดได้อยู่ในช่วงประมาณ 1 เมกะเฮิรตซ์ สาเหตุอาจเนื่องมาจากค่า L, C ในวงจรที่ใช้กับความถี่สูง เช่น ในวงจรค่า L นั้นมีค่าน้อยในหน่วย mH ทำให้อาจผิดพลาดในการสร้างได้ ส่วนการเลือกความถี่กลาง 45 เมกะเฮิรตซ์ นั้นได้ใช้หลักของคัปเปิลรีโซแนนซ์ LC ทำให้ความถี่กลางนี้ได้ โดยมีค่า peak ของฟริควานซีเรสโปนคมีค่าเท่ากับ -6 dB

7. ส่วนวงจรคิเทกสัญญาณโดยใช้ MC3362 จากผลการทดลองจะรับค่าระดับสัญญาณเอฟเอ็ม อินพุตความถี่ 45 เมกะเฮิรซ์ ได้แน่ที่สุดคือ -100 dB ซึ่งแสดงถึงค่า sensitivity ของเครื่องรับ และค่านี้ถือว่าเครื่องรับนี้สามารถใช้งานได้ ซึ่งองค์ประกอบที่ทำให้ค่า sensitivity ดีขึ้น ได้มาจากระดับสัญญาณของอินพุตที่ไม่ต่ำเกินไป ถ้าสัญญาณอินพุตเอฟเอ็มต่ำเกินไป หรือค่า sensitivity ของเครื่องรับไม่ดี ก็สามารถแก้ไขได้โดยท้าวางจรรยาขยก่อนเข้ามามิกกับส่วนมิกเซอร์ใน MC3362 ซึ่งสำหรับการทดลองนี้ได้ท้าวางจรรยาขยสัญญาณเอฟเอ็ม 45 เมกะเฮิรซ์ โดยมีอัตราขยาย 20 dB

8. ในการทดลองสามารถสร้างเครื่องรับสัญญาณโดยมีสัญญาณอินพุตในช่วง 869 - 894 เมกะเฮิรซ์ ซึ่งสามารถคิเทกสัญญาณเอฟเอ็ม ที่มอดูเลทด้วยความถี่ 400 เฮิรซ์ และ 1 กิโลเฮิรซ์ ตามลำดับ และมีค่าความไวของเครื่องรับ (sensitivity) มีค่าประมาณ -65 dBm ถือว่ามีค่าที่ควรปรับปรุง เนื่องจากมาตรฐานของระบบ AMPS ที่ใช้งานจริงมีค่าความไว -110 dBm สาเหตุเนื่องมาจากการสร้างวงจรที่ใช้สัญญาณความถี่สูงจะมีสัญญาณรบกวนเด่น จากวงจรแบงค์พาสฟิลเตอร์หรือวงจรเฟสล็อกูป



เอกสารอ้างอิง

- [1] สุชาติ กังวารจิตต์ “เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร” หน้าที่ 164-166 และระบบส่งเคราะห์ความถี่ หน้าที่ 179-186 กรุงเทพฯ บริษัทซีเอ็ดดูเคชั่น จำกัด 2526 ในกรณีเป็นหนังสือภาษาไทย
- [2] ถวิล พึ่งมา “การออกแบบวงจรทางโทรคมนาคม” การออกแบบวงจรขยายสัญญาณแบบใช้ S - ทารามิเตอร์ หน้าที่ 186-207 กรุงเทพฯ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2534 ในกรณีที่เป็นหนังสือภาษาไทย
- [3] คร.สิทธิรัช โกโศภอุดม, คร.พิระศักดิ์ วรสุนทรโรสถ, โตะมิโอะ อิวะสะกิ “ทฤษฎีและการคำนวณวงจรอิเล็กทรอนิกส์” หน้าที่ 141-149 กรุงเทพฯ บริษัทซีเอ็ดดูเคชั่น จำกัด ในกรณีเป็นหนังสือภาษาไทย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin C1_A, C1_B, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range 3.0V to 18V
- Low dynamic power consumption 70 μ W (typ.) at $f_o = 10$ kHz, $V_{DD} = 5$ V
- VCO frequency 1.3 MHz (typ.) at $V_{DD} = 10$ V
- Low frequency drift with temperature 0.06%/°C at $V_{DD} = 10$ V
- High VCO linearity 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Block & Connection Diagrams

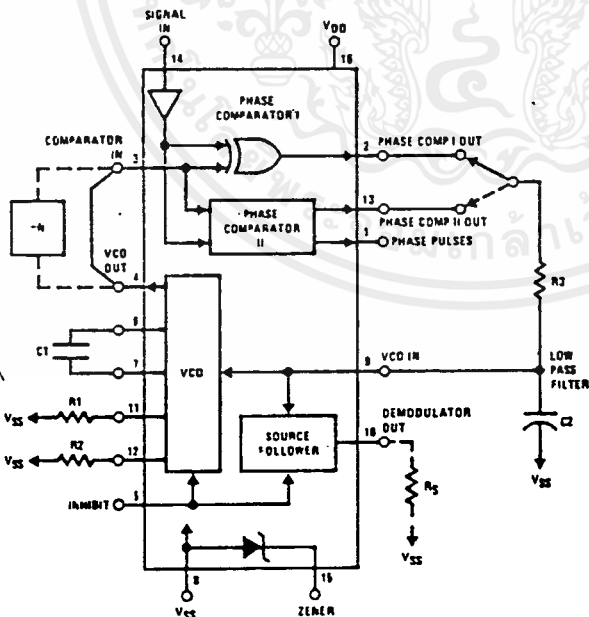
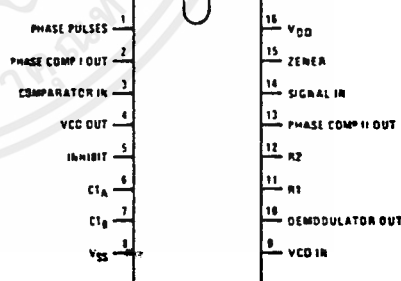


FIGURE 1

TL/F/5968-1

Dual-In-Line Package



TL/F/5968-2

Top View

Order Number CD4046B*

*Please look into Section 8, Appendix D for availability of various package types.

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	-0.5 to +18 V_{DD}
Input Voltage (V_{IN})	-0.5 to V_{DD} + 0.5 V_{DD}
Storage Temperature Range (T_S)	-65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DD}
Input Voltage (V_{IN})	0 to V_{DD} V_{DD}
Operating Temperature Range (T_A)	-55°C to +125°C
CD4046BM	-40°C to +85°C
CD4046BC	

DC Electrical Characteristics CD4046BM (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD} , Pin 14 = V_{DD} , Pin 3, 9 = V_{SS} V_{DD} = 5V		5		0.005	5		150	μA
		V_{DD} = 10V		10		0.01	10		300	μA
		V_{DD} = 15V		20		0.015	20		600	μA
		Pin 5 = V_{DD} , Pin 14 = Open, Pin 3, 2 = V_{SS} V_{DD} = 5V		45		5	35		185	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
		V_{DD} = 10V, V_O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
		V_{DD} = 15V, V_O = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input V_{DD} = 14V, V_{IN} = 0V V_{DD} = 15V, V_{IN} = 15V		-0.1 0.1		-10 ⁻⁵ 10 ⁻⁵	-0.1 0.1		-1.0 1.0	μA μA
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R_1 = 1 M Ω R_2 = ∞ , V_{COIN} = $V_{DD}/2$ V_{DD} = 5V V_{DD} = 10V V_{DD} = 15V				0.07 0.6 2.4				mW mW mW

DC Electrical Characteristics CD4046BC (Note 2)

Symbol	Parameter	Conditions	- 40°C		+ 25°C			+ 85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD} , Pin 14 = V_{DD} , Pin 3, 9 = V_{SS} V_{DD} = 5V		20		0.005	20		150	μA
		V_{DD} = 10V		40		0.01	40		300	μA
		V_{DD} = 15V		80		0.015	80		600	μA
		Pin 5 = V_{DD} , Pin 14 = Open, Pin 3, 9 = V_{SS} V_{DD} = 5V		70		5	55		205	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
		V_{DD} = 10V, V_O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
		V_{DD} = 15V, V_O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		-0.3		-10 ⁻⁵	-0.3		-1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10 ⁻⁵	0.3		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R_1 = 1 M Ω , R_2 = ∞ , V_{COIN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

AC Electrical Characteristics* CD4046BM/CD4046BC $T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$

Symbol	Parameter	Conditions	Min	Typ	Max	Units		
VCO SECTION								
I _{DD}	Operating Current	f _o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO _{IN} = V _{DD} /2 V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		20 90 200		μA μA μA		
f _{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO _{IN} = V _{DD} V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V	0.4 0.6 1.0	0.8 1.2 1.6		MHz MHz MHz		
		Linearity	VCO _{IN} = 2.5V ± 0.3V, R1 ≥ 10 kΩ, V _{DD} = 5V VCO _{IN} = 5V ± 2.5V, R1 ≥ 400 kΩ, V _{DD} = 10V VCO _{IN} = 7.5V ± 5V, R1 ≥ 1 MΩ, V _{DD} = 15V		1 1 1		% % %	
			Temperature-Frequency Stability No Frequency Offset, f _{MIN} = 0	%/°C ∝ 1/f, V _{DD} R2 = ∞ V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		0.12–0.24 0.04–0.08 0.015–0.03		%/°C %/°C %/°C
				Frequency Offset, f _{MIN} ≠ 0	V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		0.06–0.12 0.05–0.1 0.03–0.06	
	VCO _{IN}	Input Resistance	V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		10 ⁶ 10 ⁶ 10 ⁶		MΩ MΩ MΩ	
			VCO	Output Duty Cycle %	V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		50 50 50	
t _{THL}					VCO Output Transition Time	V _{DD} = 5V		90
	V _{DD} = 10V V _{DD} = 15V					50 45	100 80	ns ns

*AC Parameters are guaranteed by DC correlated testing.

AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
PHASE COMPARATORS SECTION						
R _{IN}	Input Resistance Signal Input	V _{DD} = 5V	1	3		MΩ
		V _{DD} = 10V	0.2	0.7		MΩ
	Comparator Input	V _{DD} = 15V	0.1	0.3		MΩ
		V _{DD} = 5V		10 ⁶		MΩ
		V _{DD} = 10V		10 ⁶		MΩ
		V _{DD} = 15V		10 ⁶		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C _{SERIES} = 1000 pF f = 50 kHz				
		V _{DD} = 5V		200	400	mV
		V _{DD} = 10V		400	800	mV
		V _{DD} = 15V		700	1400	mV
DEMODULATOR OUTPUT						
V _{COIN} - V _{DEM}	Offset Voltage	R _S ≥ 10 kΩ, V _{DD} = 5V		1.50	2.2	V
		R _S ≥ 10 kΩ, V _{DD} = 10V		1.50	2.2	V
		R _S ≥ 50 kΩ, V _{DD} = 15V		1.50	2.2	V
	Linearity	R _S ≥ 50 kΩ				
		V _{COIN} = 2.5V ± 0.3V, V _{DD} = 5V		0.1		%
		V _{COIN} = 5V ± 2.5V, V _{DD} = 10V		0.6		%
		V _{COIN} = 7.5V ± 5V, V _{DD} = 15V		0.8		%
ZENER DIODE						
V _Z	Zener Diode Voltage CD4046BM CD4046BC	I _Z = 50 μA	6.7	7.0	7.3	V
			6.3	7.0	7.7	V
R _Z	Zener Dynamic Resistance	I _Z = 1 mA		100		Ω

*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase Comparator State Diagrams

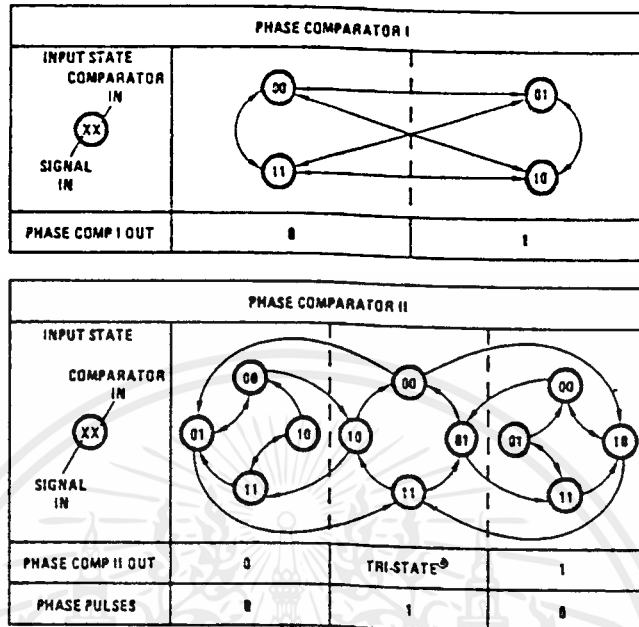


FIGURE 2

TL/F/5968-3

Typical Waveforms

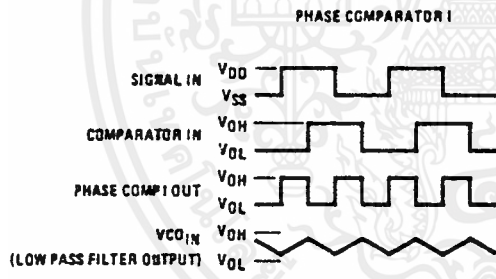


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

TL/F/5968-4

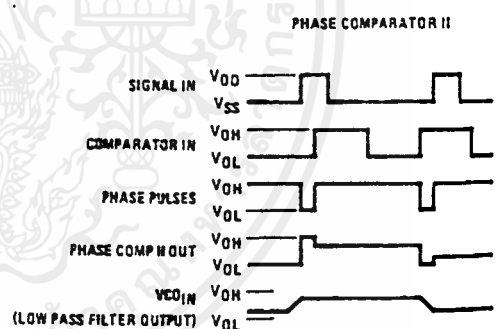


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

TL/F/5968-5

Typical Performance Characteristics

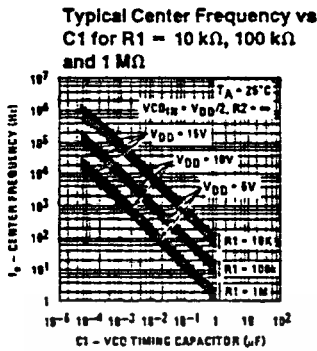


FIGURE 5a

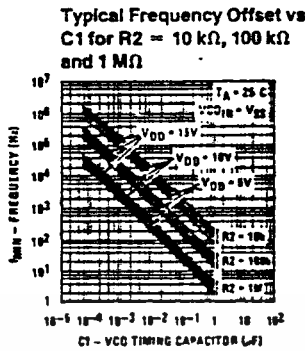


FIGURE 5b

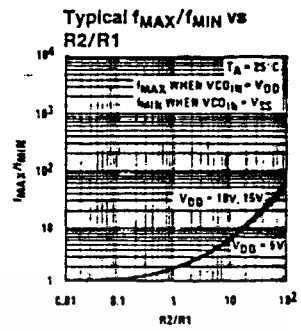


FIGURE 5c

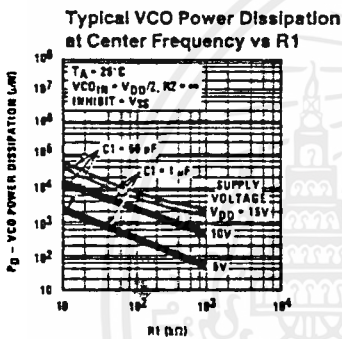


FIGURE 6a

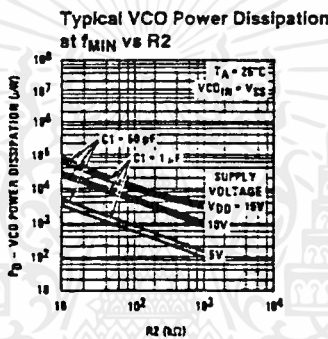


FIGURE 6b

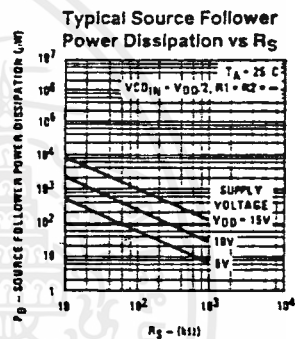


FIGURE 6c

Typical VCO Linearity vs R1 and C1

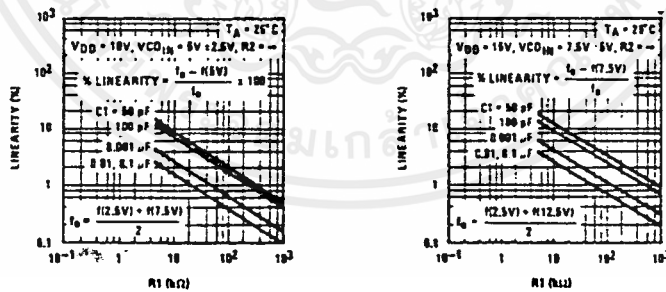


FIGURE 7

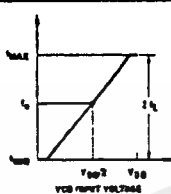
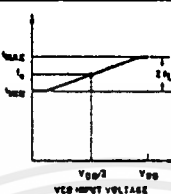
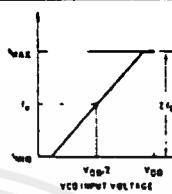
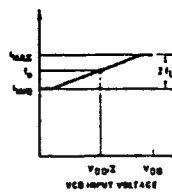
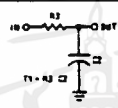
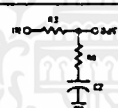
TL/F/5968-6

Note: To obtain approximate total power dissipation of PLL system for no-signal input Phase Comparator I, $P_D(\text{Total}) = P_D(I_0) + P_D(f_{\text{MIN}}) + P_D(R_S)$; Phase Comparator II, $P_D(\text{Total}) = P_D(f_{\text{MIN}})$.

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: $R_1, R_2 \geq 10 \text{ k}\Omega$, $R_S \geq 10 \text{ k}\Omega$, $C_1 \geq 50 \text{ pF}$.

In addition to the given design information, refer to *Figure 5* for R_1 , R_2 and C_1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R_2 = \infty$	VCO With Offset	VCO Without Offset $R_2 = \infty$	VCO With Offset
VCO Frequency	 TL/F/5968-7	 TL/F/5968-8	 TL/F/5968-9	 TL/F/5968-10
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2 f_L$	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2 f_C$	 TL/F/5968-11 $2 f_C \approx \frac{1}{\pi} \sqrt{\frac{2 \pi f_L}{r_1}}$			
Loop Filter Component Selection	 TL/F/5968-12 For $2 f_C$, see Ref. $f_C = f_L$			
Phase Angle Between Single and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2 f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given: f_0 Use f_0 with <i>Figure 5a</i> to determine R_1 and C_1 .	Given: f_0 and f_L . Calculate f_{min} from the equation $f_{min} = f_0 - f_L$. Use f_{min} with <i>Figure 5b</i> to determine R_2 and C_1 . Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with <i>Figure 5c</i> to determine ratio R_2/R_1 to obtain R_1 .	Given: f_{max} . Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$. Use f_0 with <i>Figure 5a</i> to determine R_1 and C_1 .	Given: f_{min} and f_{max} . Use f_{min} with <i>Figure 5b</i> to determine R_2 and C_1 . Calculate $\frac{f_{max}}{f_{min}}$. Use $\frac{f_{max}}{f_{min}}$ with <i>Figure 5c</i> to determine ratio R_2/R_1 to obtain R_1 .

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
 Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

**MV 2101
thru
MV 2115**



MOTOROLA

VVC

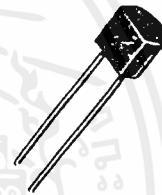
SILICON EPICAP DIODES

... designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.

- High Ω with Guaranteed Minimum Values
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance—10%
- Complete Typical Design Curves

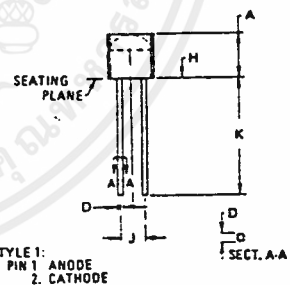
**VOLTAGE-VARIABLE
CAPACITANCE DIODES**

**6.8–100 pF
30 VOLTS**



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	30	Volts
Forward Current	I_F	200	mA
Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	280 2.8	mW mW/ $^\circ\text{C}$
Junction Temperature	T_J	+125	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.45	4.70	0.175	0.185
D	0.41	0.48	0.016	0.018
J	2.29	2.79	0.090	0.110
K	12.70	-	0.500	-

CASE 182-03

MV2101 thru MV2115

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic—All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I _R = 10 μA-dc)	BV _R	30	—	—	Vdc
Reverse Voltage Leakage Current (V _R = 25 Vdc, T _A = 25°C)	I _R	—	—	0.15	μAdc
Series Inductance (f = 250 MHz, Lead Length ≈ 1/16")	L _S	—	6.0	—	nH
Case Capacitance (f = 1.0 MHz, Lead Length ≈ 1/16")	C _C	—	0.18	—	pF
Diode Capacitance Temperature Coefficient (V _R = 4.0 Vdc, f = 1.0 MHz)	TC _C	—	280	400	ppm/°C

Device	C _T , Diode Capacitance V _R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V _R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C ₂ /C ₃₀ f = 1.0 MHz		
	Min	Nom	Max		Min	Typ	Max
MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MV2102	7.4	8.2	9.0	450	2.5	2.8	3.2
MV2103	9.0	10.0	11.0	400	2.5	2.9	3.2
MV2104	10.8	12.0	13.2	400	2.5	2.9	3.2
MV2105	13.5	15.0	16.5	400	2.5	2.9	3.2
MV2106	16.2	18.0	19.8	350	2.5	2.9	3.2
MV2107	19.8	22.0	24.2	350	2.5	2.9	3.2
MV2108	24.3	27.0	29.7	300	2.5	3.0	3.2
MV2109	29.7	33.0	36.3	200	2.5	3.0	3.2
MV2110	35.1	39.0	42.9	150	2.5	3.0	3.2
MV2111	42.3	47.0	51.7	150	2.5	3.0	3.2
MV2112	50.4	56.0	61.6	150	2.6	3.0	3.3
MV2113	61.2	68.0	74.8	150	2.6	3.0	3.3
MV2114	73.8	82.0	90.2	100	2.6	3.0	3.3
MV2115	90.0	100.0	110.0	100	2.6	3.0	3.3

PARAMETER TEST METHODS

1. L_S, SERIES INDUCTANCE

L_S is measured on a shorted package at 250 MHz using an impedance bridge (Boonton Radio Model 250A RX Meter).

2. C_C, CASE CAPACITANCE

C_C is measured on an open package at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

3. C_T, DIODE CAPACITANCE

(C_T = C_C + C_J). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

4. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

5. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi f C}{G}$$

(Boonton Electronics Model 33AS8). Use Lead Length ≈ 1/16".

5. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = -65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation which defines TC_C:

$$TC_C = \frac{-C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \cdot \frac{10^6}{C_T(25^\circ C)}$$

Accuracy limited by measurement of C_T to ± 0.1 pF.

MV2101 thru MV2115

TYPICAL DEVICE PERFORMANCE

FIGURE 1 – DIODE CAPACITANCE versus REVERSE VOLTAGE

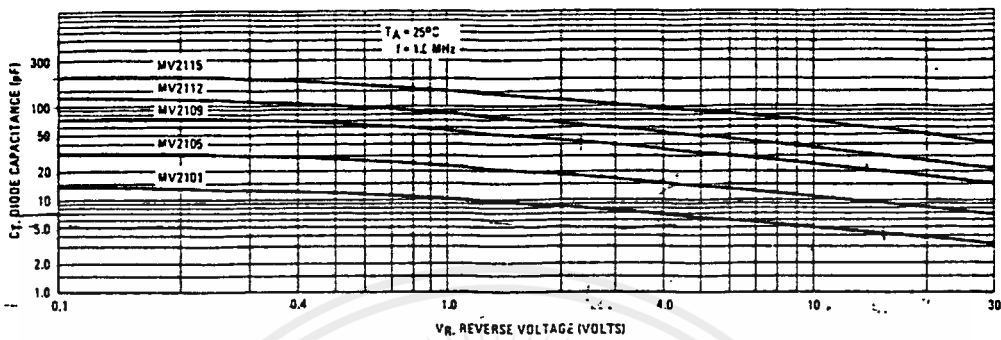


FIGURE 2 – NORMALIZED DIODE CAPACITANCE versus JUNCTION TEMPERATURE

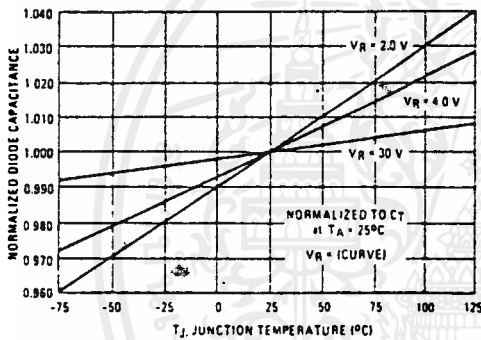


FIGURE 3 – REVERSE CURRENT versus REVERSE BIAS VOLTAGE

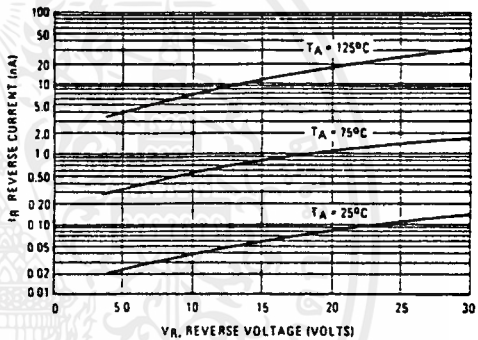


FIGURE 4 – FIGURE OF MERIT versus REVERSE VOLTAGE

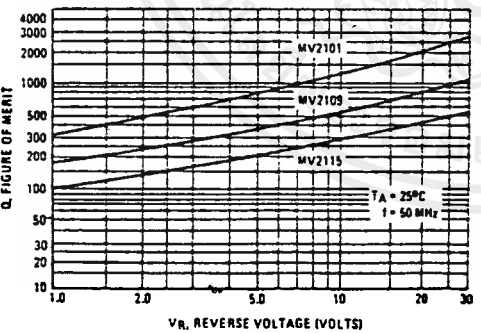
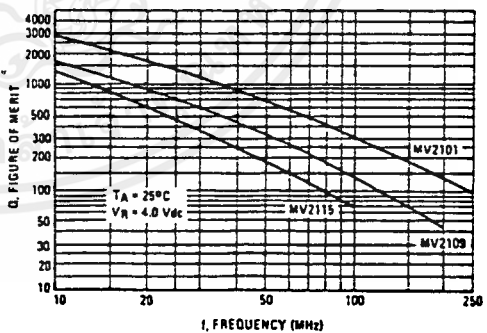


FIGURE 5 – FIGURE OF MERIT versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET



BFG540W

BFG540W/X; BFG540W/XR

NPN 9 GHz wideband transistor

Product specification

October 1994

File under Discrete Semiconductors, SC14

Philips Semiconductors



PHILIPS

นี่เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ใช้ในโปรแกรมด้านธุรกิจ
กรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

FEATURES

- High power gain
- Low noise figure
- High transition frequency
- Gold metallization ensures excellent reliability.

APPLICATIONS

They are intended for applications in the RF front end, in wideband applications in the GHz range such as analog and digital cellular telephones, cordless telephones (CT2, CT3, PCN, DECT, etc.), radar detectors, pagers, satellite television tuners (SATV), MATV/CATV amplifiers and repeater amplifiers in fibre-optic systems.

DESCRIPTION

NPN silicon planar epitaxial transistors in plastic, 4-pin dual-emitter SOT343 and SOT343R packages.

MARKING

TYPE NUMBER	CODE
BFG540W	N9
BFG540W/X	N7
BFG540W/XR	N8

PINNING

PIN	DESCRIPTION
BFG540W (see Fig.1)	
1	collector
2	base
3	emitter
4	emitter
BFG540W/X (see Fig.1)	
1	collector
2	emitter
3	base
4	emitter
BFG540W/XR (see Fig.2)	
1	collector
2	emitter
3	base
4	emitter

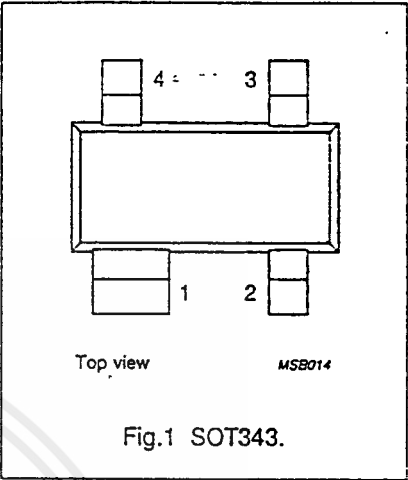


Fig.1 SOT343.

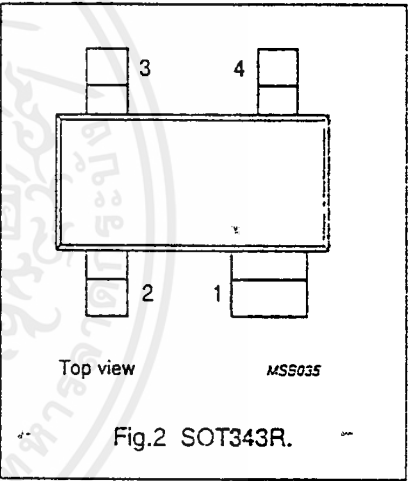


Fig.2 SOT343R.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{CB0}	collector-base voltage	open emitter	–	–	20	V
V_{CE0}	collector-emitter voltage	open base	–	–	15	V
I_C	collector current (DC)		–	–	120	mA
P_{tot}	total power dissipation	up to $T_s = 60\text{ }^{\circ}\text{C}$	–	–	500	mW
h_{FE}	DC current gain	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$	60	120	250	
C_{re}	feedback capacitance	$I_C = 0$; $V_{CB} = 8\text{ V}$; $f = 1\text{ MHz}$	–	0.5	–	pF
f_T	transition frequency	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 1\text{ GHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	–	9	–	GHz
G_{UM}	maximum unilateral power gain	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	–	16	–	dB
		$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 2\text{ GHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$		10	–	dB
$ S_{21} ^2$	insertion power gain	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	14	15	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; $I_C = 10\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 2\text{ GHz}$	–	2.1	–	dB

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

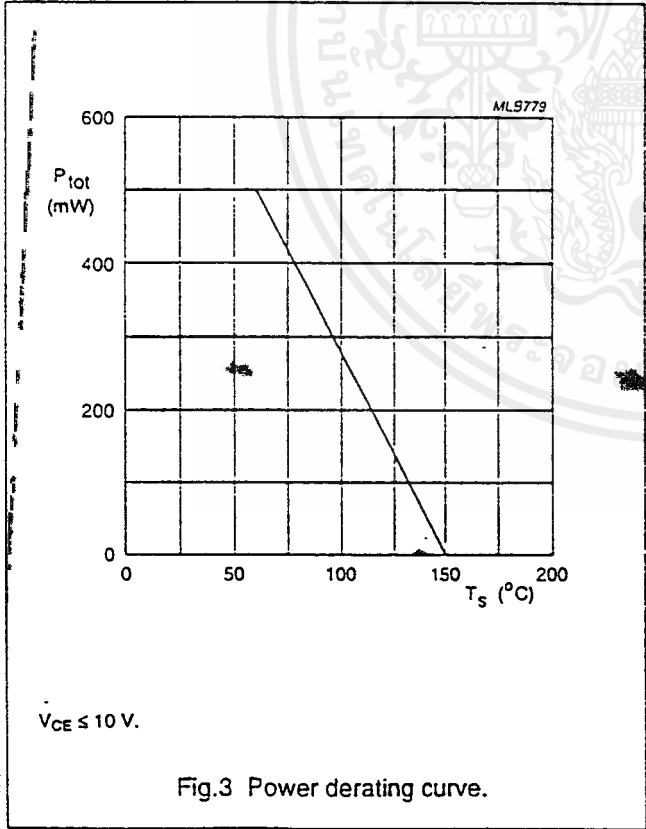
SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V _{CB0}	collector-base voltage	open emitter	–	20	V
V _{CE0}	collector-emitter voltage	open base	–	15	V
V _{EB0}	emitter-base voltage	open collector	–	2.5	V
I _C	collector current (DC)		–	120	mA
P _{tot}	total power dissipation	up to T _s = 60 °C; see Fig.3; note 1	–	500	mW
T _{stg}	storage temperature		–65	+150	°C
T _J	junction temperature		–	150	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
R _{th j-s}	thermal resistance from junction to soldering point	up to T _s = 60 °C; note 1	180	K/W

Note to the “Limiting values” and “Thermal characteristics”

1. T_s is the temperature at the soldering point of the collector pin.



NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

CHARACTERISTICS

$T_J = 25\text{ }^{\circ}\text{C}$ (unless otherwise specified).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{(BR)CBO}$	collector-base breakdown voltage	open emitter; $I_C = 10\text{ }\mu\text{A}$; $I_E = 0$	—	—	20	V
$V_{(BR)CEO}$	collector-emitter breakdown voltage	open base; $I_C = 100\text{ }\mu\text{A}$; $I_B = 0$	—	—	15	V
$V_{(BR)EBO}$	emitter-base breakdown voltage	open collector; $I_E = 10\text{ }\mu\text{A}$; $I_C = 0$	—	—	2.5	V
I_{CBO}	collector cut-off current	open emitter; $V_{CB} = 8\text{ V}$; $I_E = 0$	—	—	50	nA
h_{FE}	DC current gain	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$	60	120	250	
f_T	transition frequency	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 1\text{ GHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	—	9	—	GHz
C_c	collector capacitance	$I_E = I_e = 0$; $V_{CB} = 8\text{ V}$; $f = 1\text{ MHz}$	—	0.9	—	pF
C_e	emitter capacitance	$I_C = I_c = 0$; $V_{EB} = 0.5\text{ V}$; $f = 1\text{ MHz}$	—	2	—	pF
C_{re}	feedback capacitance	$I_C = 0$; $V_{CB} = 8\text{ V}$; $f = 1\text{ MHz}$	—	0.5	—	pF
G_{UM}	maximum unilateral power gain; note 1	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	—	16	—	dB
		$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 2\text{ GHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	—	10	—	dB
$ s_{21} ^2$	insertion power gain	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	14	15	—	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; $I_C = 10\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$	—	1.3	1.8	dB
		$\Gamma_s = \Gamma_{opt}$; $I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$	—	1.9	2.4	dB
		$\Gamma_s = \Gamma_{opt}$; $I_C = 10\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 2\text{ GHz}$	—	2.1	—	dB
P_{L1}	output power at 1 dB gain compression	$I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $f = 900\text{ MHz}$; $R_L = 50\text{ }\Omega$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	—	21	—	dBm
ITO	third order intercept point	note 2	—	34	—	dBm
V_o	output voltage	note 3	—	500	—	mV
d_2	second order intermodulation distortion	note 4	—	-50	—	dB

Notes

- G_{UM} is the maximum unilateral power gain, assuming s_{12} is zero. $G_{UM} = 10 \log \frac{|s_{21}|^2}{(1 - |s_{11}|^2)(1 - |s_{22}|^2)}$ dB.
- $I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $R_L = 50\text{ }\Omega$; $T_{amb} = 25\text{ }^{\circ}\text{C}$;
 $f_p = 900\text{ MHz}$; $f_q = 902\text{ MHz}$; measured at $f_{(2p-q)} = 898\text{ MHz}$ and $f_{(2q-p)} = 904\text{ MHz}$.
- $d_{im} = -60\text{ dB}$ (DIN45004B); $V_p = V_o$; $V_q = V_o - 6\text{ dB}$; $V_r = V_o - 6\text{ dB}$; $R_L = 75\text{ }\Omega$; $V_{CE} = 8\text{ V}$; $I_C = 40\text{ mA}$;
 $f_p = 795.25\text{ MHz}$; $f_q = 803.25\text{ MHz}$; $f_r = 805.25\text{ MHz}$; measured at $f_{(p+q-r)} = 793.25\text{ MHz}$.
- $I_C = 40\text{ mA}$; $V_{CE} = 8\text{ V}$; $V_o = 275\text{ mV}$; $R_L = 75\text{ }\Omega$; $T_{amb} = 25\text{ }^{\circ}\text{C}$;
 $f_p = 250\text{ MHz}$; $f_q = 560\text{ MHz}$; measured at $f_{(p+q)} = 810\text{ MHz}$.

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

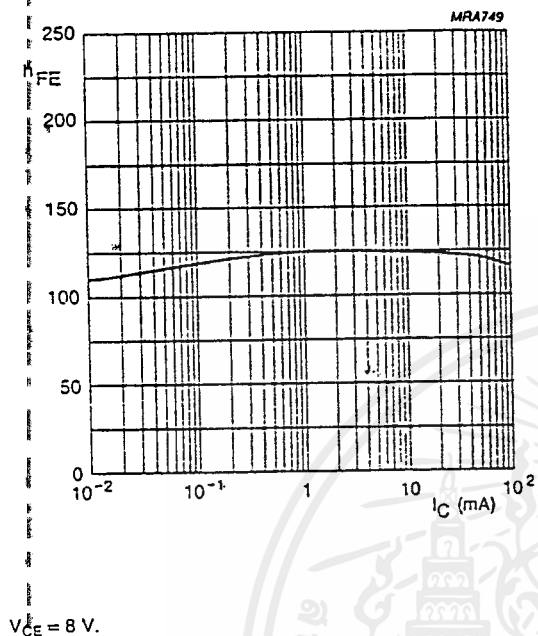


Fig. 4 DC current gain as a function of collector current; typical values.

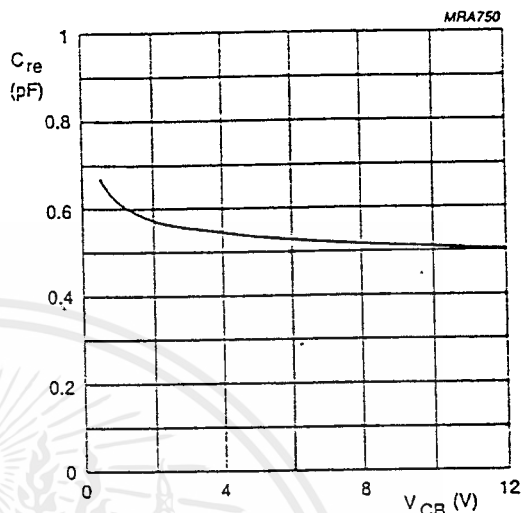


Fig. 5 Feedback capacitance as a function of collector-base voltage; typical values.

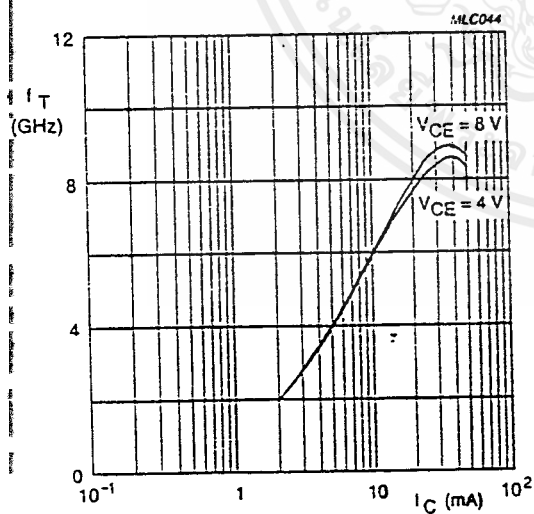
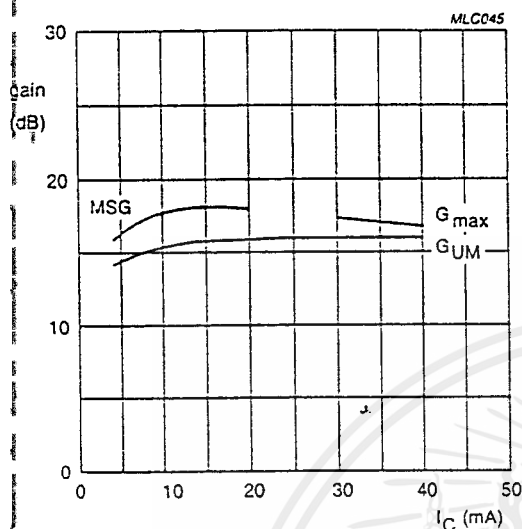


Fig. 6 Transition frequency as a function of collector current; typical values.

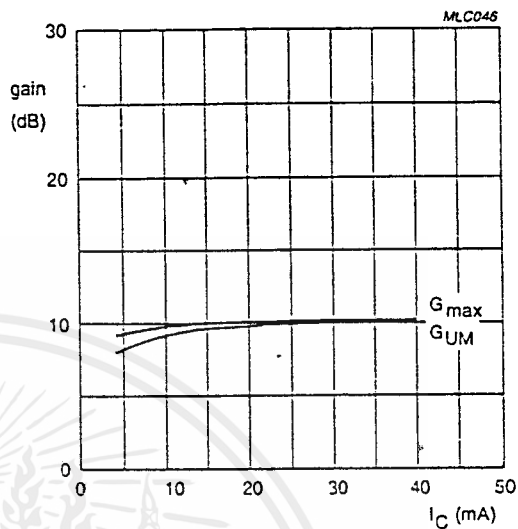
NPN 9 GHz wideband transistor

BFG540W
-- BFG540W/X; BFG540W/XR



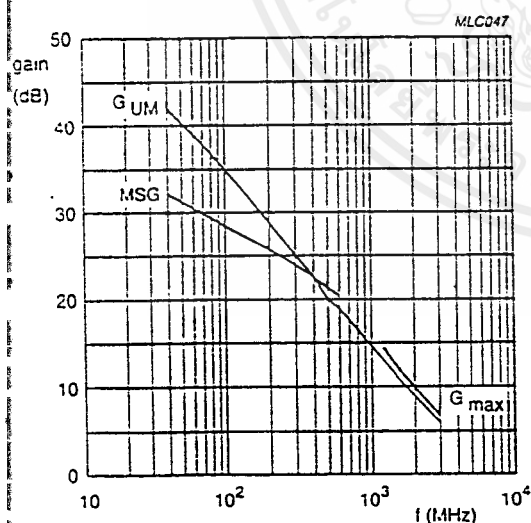
$f = 900 \text{ MHz}$; $V_{CE} = 8 \text{ V}$.

Fig.7 Gain as a function of collector current; typical values.



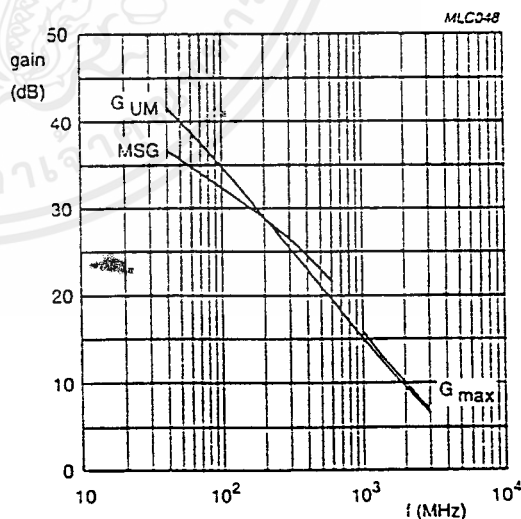
$f = 2 \text{ GHz}$; $V_{CE} = 8 \text{ V}$.

Fig.8 Gain as a function of collector current; typical values.



$I_C = 10 \text{ mA}$; $V_{CE} = 8 \text{ V}$.

Fig.9 Gain as a function of frequency; typical values.

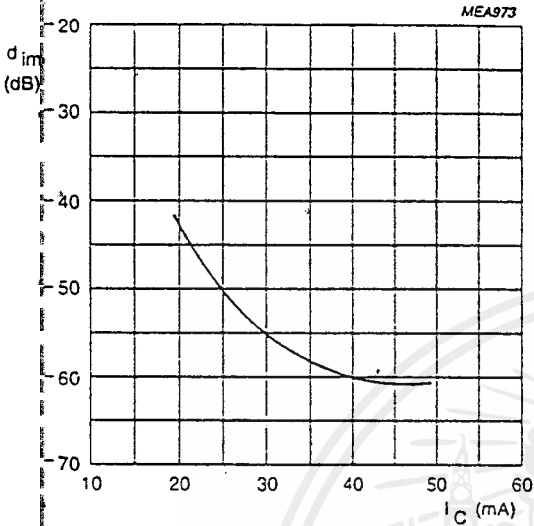


$I_C = 40 \text{ mA}$; $V_{CE} = 8 \text{ V}$.

Fig.10 Gain as a function of frequency; typical values.

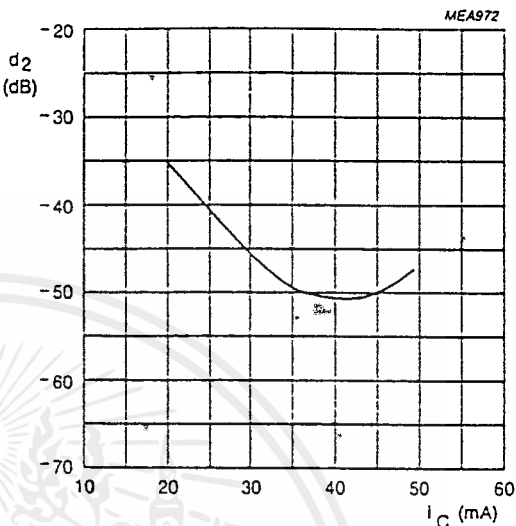
NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR



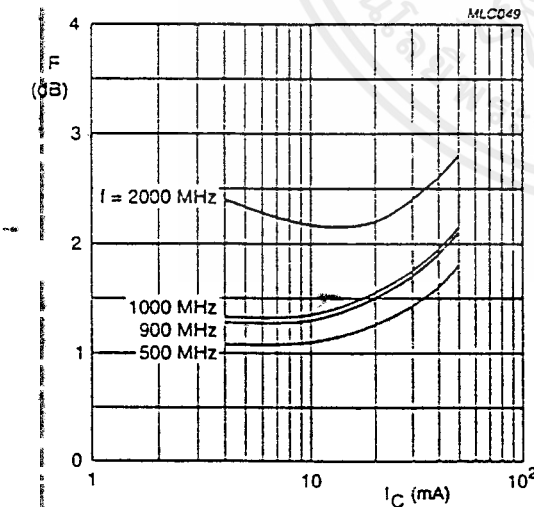
$V_o = 500$ mV; $f_{(p+q-r)} = 793.25$ MHz; $V_{CE} = 8$ V; $T_{amb} = 25$ °C; $R_L = 75$ Ω .

Fig.11 Intermodulation distortion as a function of collector current; typical values.



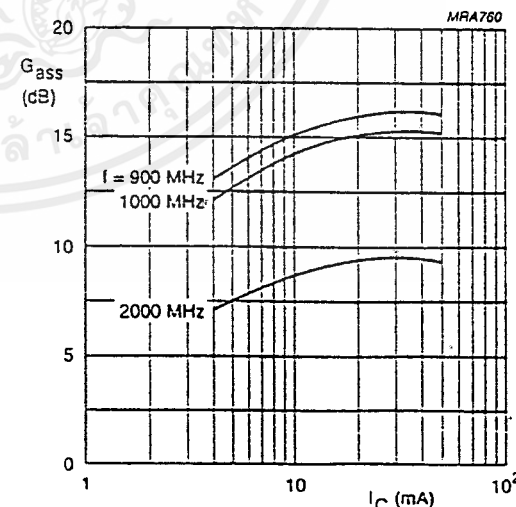
$V_o = 275$ mV; $f_{(p-q)} = 810$ MHz; $V_{CE} = 8$ V; $T_{amb} = 25$ °C; $R_L = 75$ Ω .

Fig.12 Second order intermodulation distortion as a function of collector current; typical values.



$V_{CE} = 8$ V.

Fig.13 Minimum noise figure as a function of collector current; typical values.



$V_{CE} = 8$ V.

Fig.14 Associated available gain as a function of collector current; typical values.

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

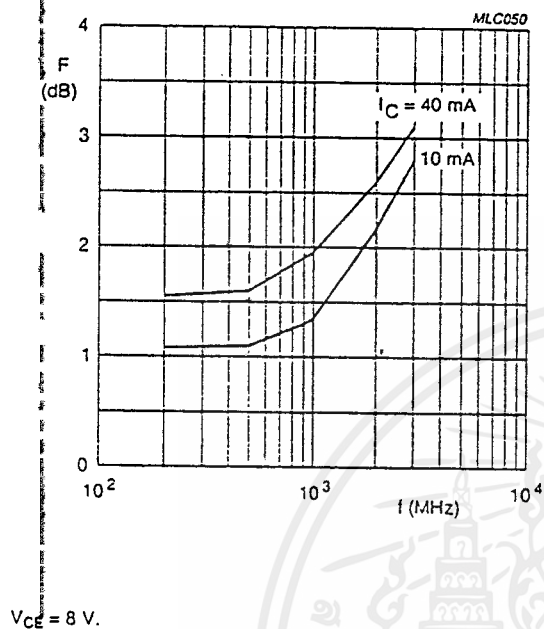


Fig.15 Minimum noise figure as a function of frequency; typical values.

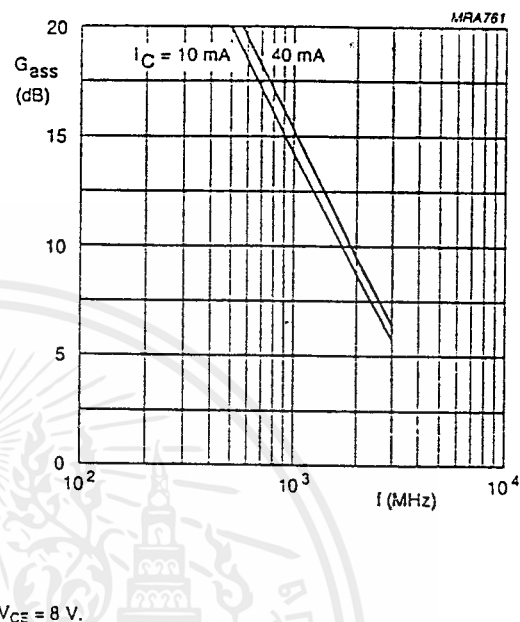
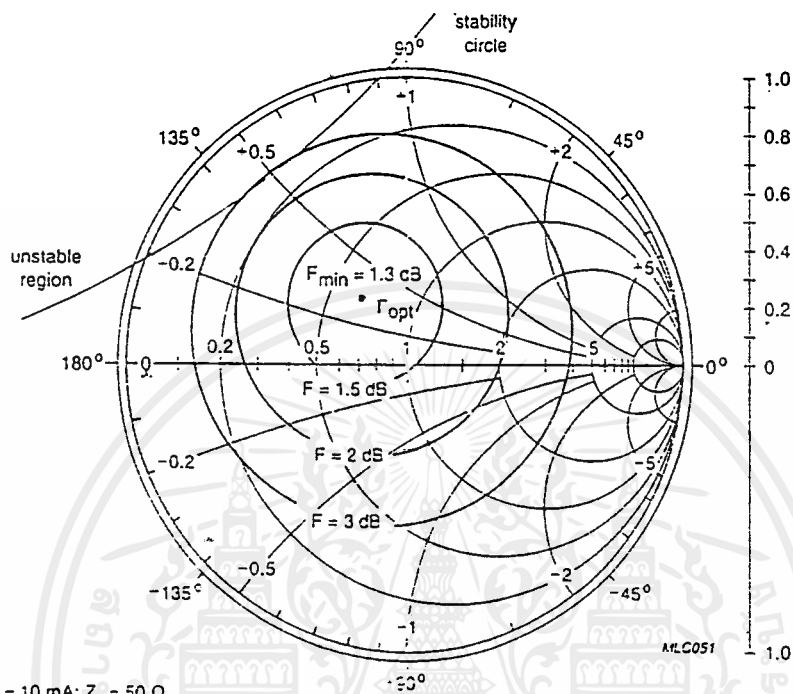


Fig.16 Associated available gain as a function of frequency; typical values.

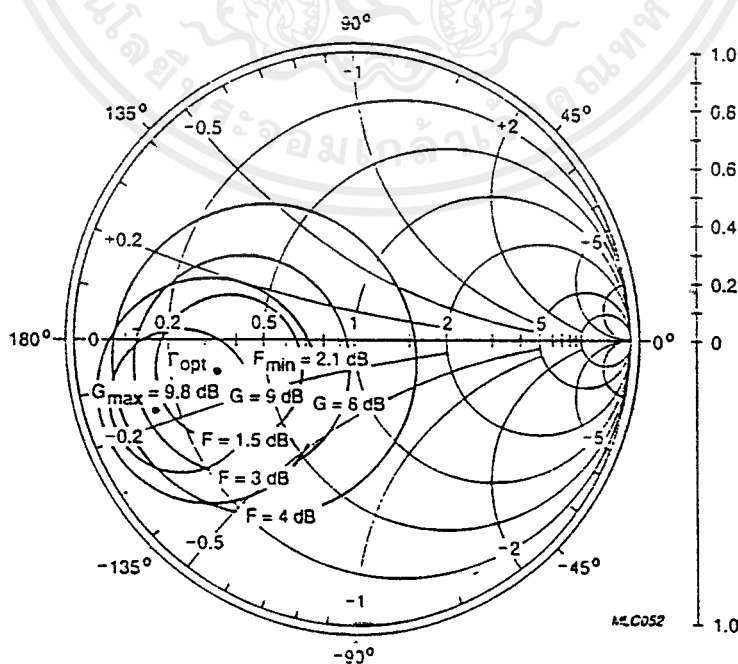
NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR



$f = 900 \text{ MHz}$; $V_{CE} = 8 \text{ V}$; $I_C = 10 \text{ mA}$; $Z_0 = 50 \Omega$.

Fig.17 Common emitter noise figure circles; typical values.

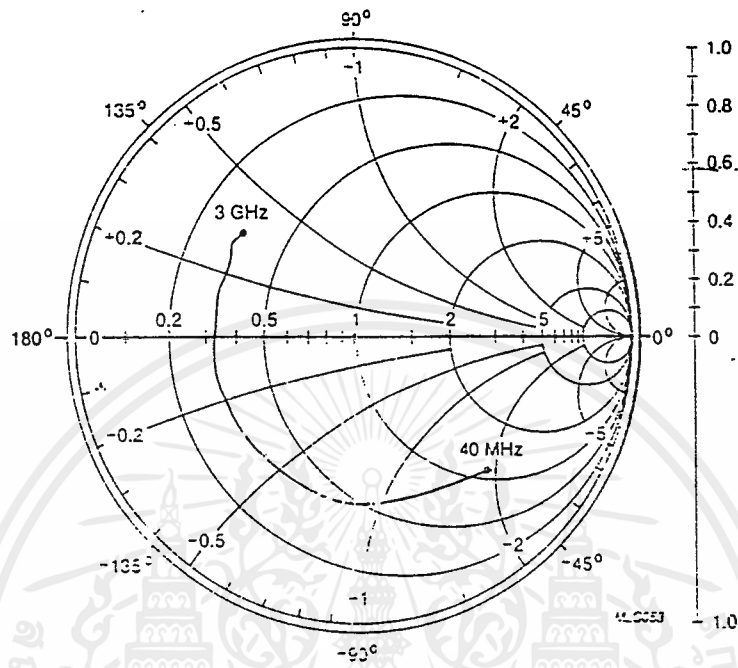


$f = 2 \text{ GHz}$; $V_{CE} = 8 \text{ V}$; $I_C = 10 \text{ mA}$; $Z_0 = 50 \Omega$.

Fig.18 Common emitter noise figure circles; typical values.

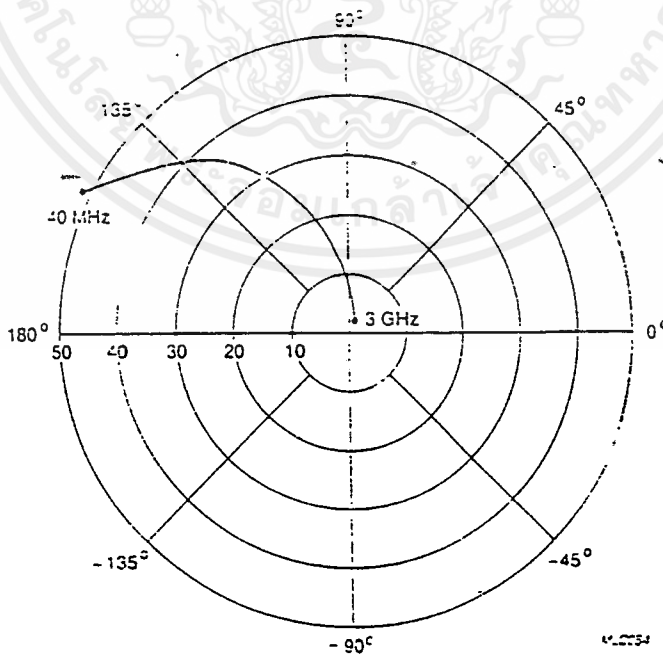
NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR



$V_{CE} = 8 \text{ V}; I_C = 40 \text{ mA}; Z_0 = 50 \Omega$.

Fig.19 Common emitter input reflection coefficient (s_{11}); typical values.



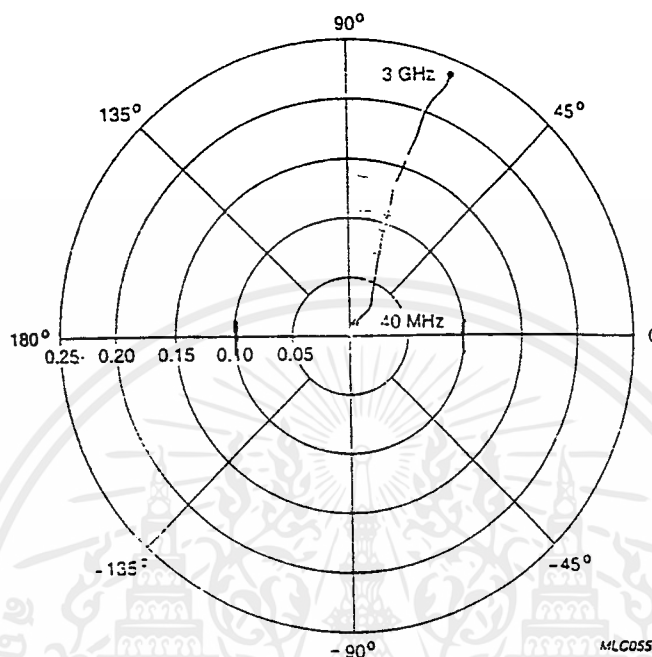
$V_{CE} = 8 \text{ V}; I_C = 40 \text{ mA}$.

Fig.20 Common emitter forward transmission coefficient (s_{21}); typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้ผู้ใช้ไปใช้ประโยชน์ทางการค้า
โดยไม่ได้รับอนุญาตจาก Philips. หากต้องการข้อมูลเพิ่มเติม กรุณาติดต่อ Philips หรือตัวแทนจำหน่าย Philips ในพื้นที่ของคุณ

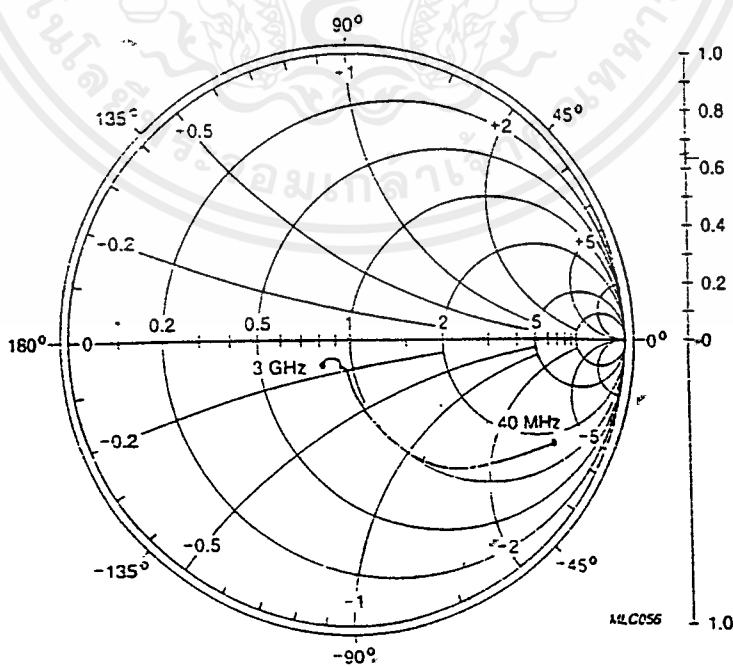
NPN 9 GHz wideband transistor

BFG540V,
BFG540W/X; BFG540W/XF



$V_{CE} = 8 \text{ V}; I_C = 40 \text{ mA}$

Fig.21 Common emitter reverse transmission coefficient (s_{12}); typical values.



$V_{CE} = 8 \text{ V}; I_C = 40 \text{ mA}; Z_0 = 50 \Omega$

Fig.22 Common emitter output reflection coefficient (s_{22}); typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

SPICE parameters for the BFG540W crystal

SEQUENCE No.	PARAMETER	VALUE	UNIT
1	IS	1.045	fA
2	BF	184.3	—
3	NF	0.981	—
4	VAF	41.69	V
5	IKF	10.00	mA
6	ISE	232.4	fA
7	NE	2.028	—
8	BR	43.99	—
9	NR	0.992	—
10	VAR	2.097	V
11	IKR	166.2	mA
12	ISC	129.8	aA
13	NC	1.064	—
14	RB	5.000	Ω
15	IRB	1.000	μ A
16	RBM	5.000	Ω
17	RE	353.5	m Ω
18	RC	1.340	Ω
19 (1)	XTB	0.000	—
20 (1)	EG	1.110	eV
21 (1)	XTI	3.000	—
22	CJE	1.978	pF
23	VJE	600.0	mV
24	MJE	0.332	—
25	TF	7.457	ps
26	XTF	11.40	—
27	VTF	3.158	V
28	ITF	156.9	mA
29	PTF	0.000	deg
30	CJC	793.7	fF
31	VJC	185.5	mV
32	MJC	0.084	—
33	XCJC	0.150	—
34	TR	1.598	ns
35 (1)	CJS	0.000	F

SEQUENCE No.	PARAMETER	VALUE	UNIT
36 (1)	VJS	750.0	mV
37 (1)	MJS	0.000	—
38	FC	0.814	—

Note

- These parameters have not been extracted, the default values are shown.

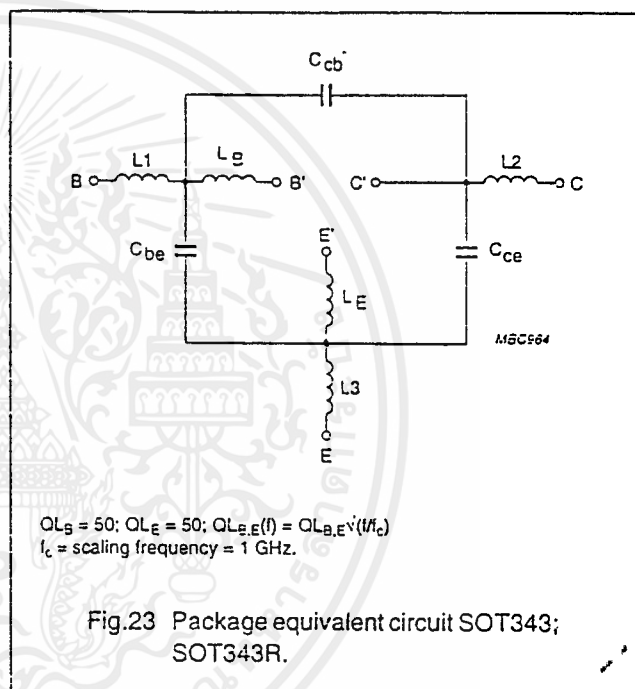


Fig.23 Package equivalent circuit SOT343; SOT343R.

List of components (see Fig.23).

DESIGNATION	VALUE	UNIT
Cbe	70	fF
Ccb	50	fF
Cce	115	fF
L1	0.34	nH
L2	0.10	nH
L3	0.25	nH
LB	0.40	nH
LE	0.40	nH

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

DEFINITIONS

Data Sheet Status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

2.0GHz Low Voltage Dual Modulus Prescaler

The MC12033 is a high frequency low voltage dual modulus prescaler used in phase-locked loop (PLL) applications. A high frequency input signal up to 2.0GHz is provided for cordless and cellular communication services such as DECT, PHS, and PCS. The MC12033 can be operated down to a minimum supply voltage of 2.7V required for battery operated portable systems.

The MC12033A can be used with CMOS synthesizer requiring positive edges to trigger internal counters such as Motorola's MC145XXX series in a PLL to provide tuning signal up to 2.0GHz in programmable frequency steps. The MC12033B can be used with CMOS synthesizers requiring negative edges to trigger internal counters.

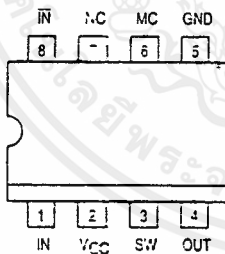
A Divide Ratio Control (SW) permits selection of a 32/33 or 64/65 divide ratio as desired.

The Modulus Control (MC) selects the proper divide number after SW has been biased to select the desired divide ratio.

NOTE: The "B" Version Is Not Recommended for New Designs

- 2.0GHz Toggle Frequency
- Supply Voltage 2.7V to 5.0Vdc
- Low Power 10.0mA Typical at $V_{CC} = 2.7V$
- Operating Temperature Range of -40 to $+85^{\circ}C$
- The MC12033 is Pin Compatible With the MC12022
- Short Setup Time (t_{set}) 8ns Typical at 2.0GHz
- Modulus Control Input Level Is Compatible With Standard CMOS and TTL

Pinout: 8-Lead Plastic (Top View)



For positive edge triggered synthesizers, order the MC12033A

MC12033A
MC12033B

MECL PLL COMPONENTS

+32/33, +64/65
LOW VOLTAGE
DUAL MODULUS PRESCALER



P SUFFIX
8-LEAD PLASTIC PACKAGE
CASE 626-05



D SUFFIX
8-LEAD PLASTIC SOIC PACKAGE
CASE 751-05

FUNCTION TABLE

SW	MC	Divide Ratio
H	H	32
H	L	33
L	H	64
L	L	65

Note: SW: H = V_{CC} , L = OPEN
MC: H = 2.0V to V_{CC} ; L = GND to 0.8V

MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_{CC}	Power Supply Voltage, Pin 2	-0.5 to +7.0	Vdc
T_A	Operating Temperature Range	-40 to +85	$^{\circ}C$
T_{stg}	Storage Temperature Range	-65 to +150	$^{\circ}C$
MC	Modulus Control Input, Pin 6	-0.5 to +6.5	Vdc
I_O	Maximum Output Current, Pin 4	10.0	mA



ELECTRICAL CHARACTERISTICS (VCC = 2.7 to 5.0V; TA = -40 to +85°C)

Symbol	Parameter	Min	Typ	Max	Unit
ft	Toggle Frequency (Sine Wave)	0.5	2.4	2.0	GHz
ICC	Supply Current Output (Pin 2) VCC = 2.7V VCC = 5.0V		10.0 13.0	12.5 16.0	mA
VIH1	Modulus Control Input HIGH (MC)	2.0		VCC	V
VIL1	Modulus Control Input LOW (MC)	GND		0.8	V
VIH2	Divide Ratio Control Input HIGH (SW)	VCC	VCC	VCC	V
VIL2	Divide Ratio Control Input LOW (SW)	OPEN	OPEN	OPEN	—
VOU	Output Voltage Swing (Note 1) CL = 8pF; RL = 600Ω	0.8	1.2		Vpp
tset	Modulus Setup Time MC to OUT @ 2000MHz		8	10	ns
VIN	Input Voltage Sensitivity 500–2000MHz	100		1000	mVpp
IO	Output Current (Note 2) VCC = 2.7V, CL = 8pF, RL = 600Ω VCC = 5.0V, CL = 8pF, RL = 1.5kΩ		2.4 2.4	4.0 4.0	mA

1. Valid over voltage range 2.7 to 5.0V; RL = 600Ω @ VCC = 2.7V; RL = 1.5kΩ @ VCC = 5.0V
2. Divide ratio of +32/33 @ 2.0GHz

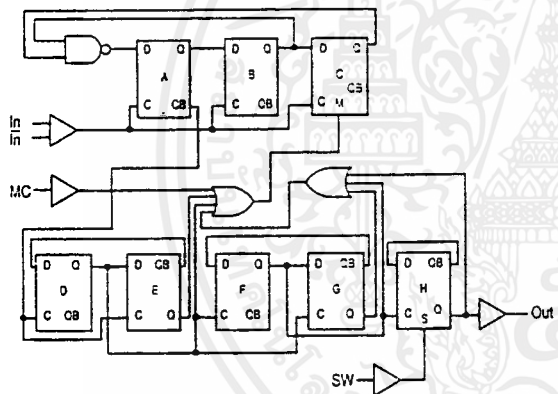


Figure 1. Logic Diagram (MC12033A)

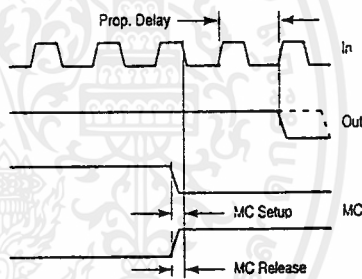


Figure 2. Modulus Setup Time

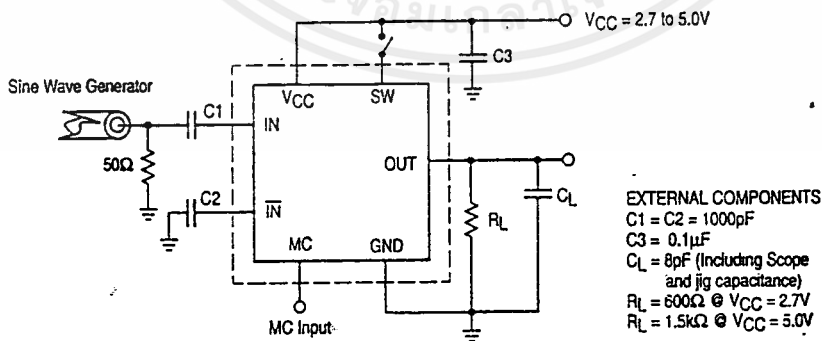


Figure 3. AC Test Circuit

MC12033A MC12033B

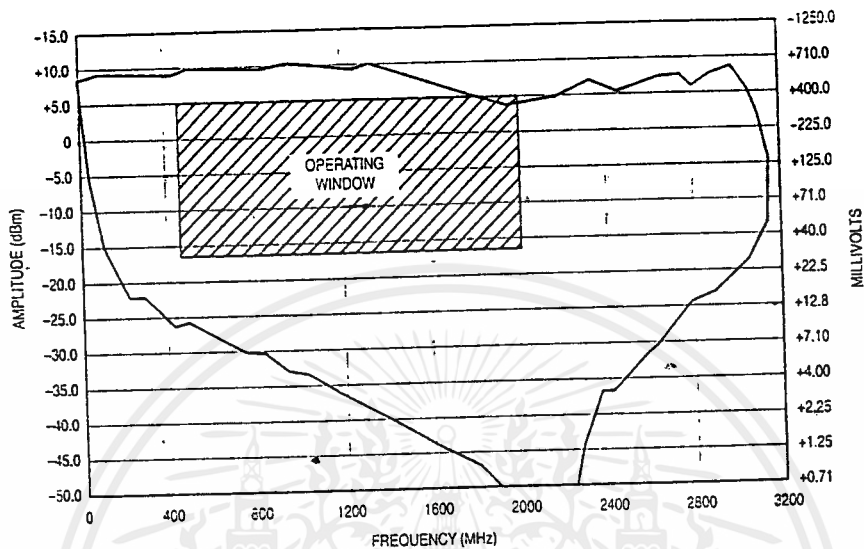


Figure 4. Input Signal Amplitude versus Input Frequency
Divide Ratio = 64; VCC = 5.0V; TA = 25°C

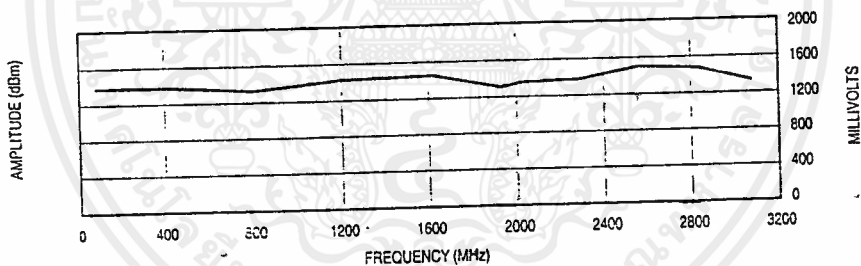


Figure 5. Output Amplitude versus Input Frequency

MOTOROLA
 SEMICONDUCTOR TECHNICAL DATA

MC145152-2
Parallel-Input PLL Frequency Synthesizer
Interfaces with Dual-Modulus Prescalers

The MC145152-2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, two-output phase detector, 10-bit programmable divide-by-N counter, and 6-bit programmable A counter.

The MC145152-2 is an improved-performance drop-in replacement for the MC145152-1. Power consumption has decreased and ESD and latch-up performance have improved.

- Operating Temperature Range: -40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User-Selectable - R Values: 8, 54, 128, 256, 512, 1024, 1160, 2048
- - N Range = 3 to 1023, - A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



P SUFFIX
PLASTIC DIP
CASE 710



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2 Plastic DIP
MC145152DW2 SOG Package

PIN ASSIGNMENT

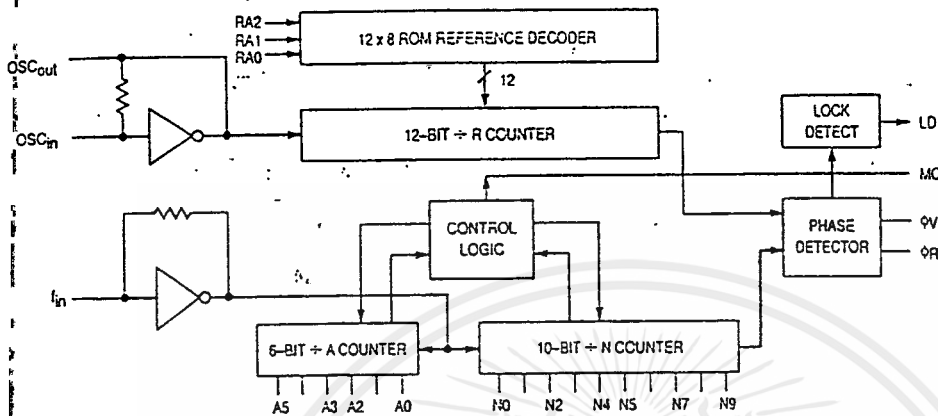
I_{in}	1	28	LD
VSS	2	27	OSC _{in}
VDD	3	25	OSC _{out}
RA0	4	25	A4
RA1	5	24	A3
RA2	6	23	A0
OR	7	22	A2
OV	8	21	A1
MC	9	20	N9
A5	10	19	N3
N0	11	18	N7
N1	12	17	N6
N2	13	15	N5
N3	14	15	N4

REV 1
8/95

MC145151-2 through MC145158-2
2-632

MOTOROLA

MC145152-2 BLOCK DIAGRAM



NOTE: N0 - N9, A0 - A5, and RA0 - RA2 have pull-up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

Reference Frequency Input (Pin 1)

Input to the positive edge triggered $\div N$ and $\div A$ counters. f_{in} is typically derived from a dual-modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

Counter Programming Inputs (Pins 11 - 20)

The N inputs provide the data that is preset into the $\div N$ counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull-up resistors ensure that inputs left open remain at a logic 1 and require only a PST switch to alter data to the zero state.

Counter Programming Inputs (Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see Dual-Modulus

Prescaling section). The A inputs all have internal pull-up resistors that ensure that inputs left open will remain at a logic 1.

Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop-error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

Dual-Modulus Prescale Control Output (Pin 9)

Signal generated by the on-chip control logic circuitry for controlling an external dual-modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the $\div A$ counter has counted down from its programmed value. At this time, MC goes high and remains high until the $\div N$ counter has counted the rest of the way down from its programmed value (N - A additional counts since both $\div N$ and $\div A$ are counting down during the first

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value $(NT) = N \cdot P + A$ where P and $P + 1$ represent the dual-modulus prescaler divide values respectively for high and low MC levels. N the number programmed into the $+N$ counter, and A the number programmed into the $+A$ counter.

LD

Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (fg, fy of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

VDD

Positive Power Supply (Pin 3)

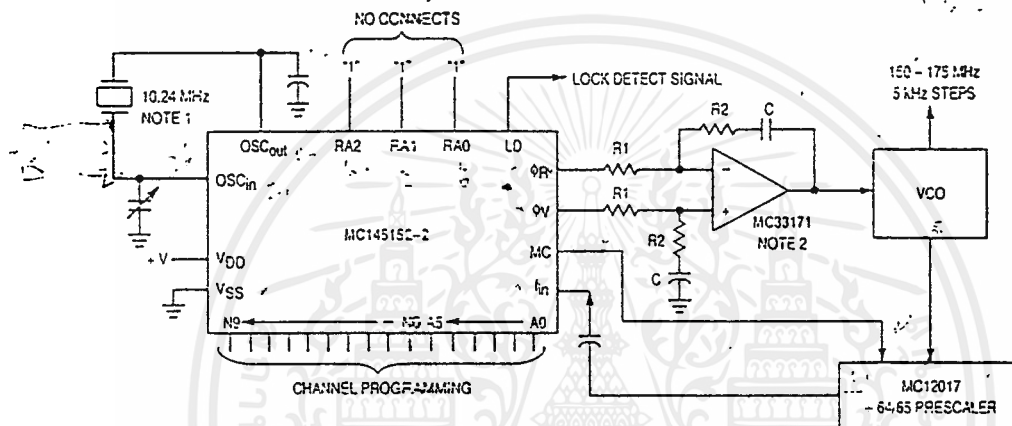
The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS} .

VSS

Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

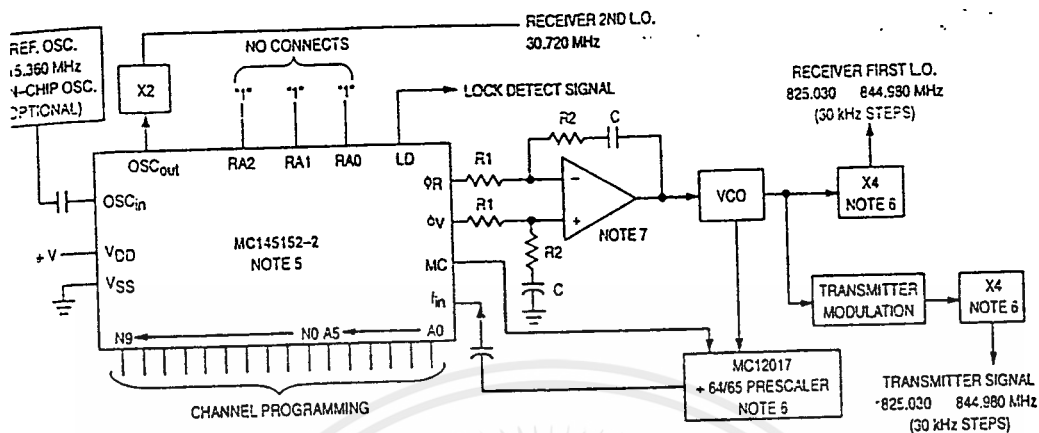
TYPICAL APPLICATIONS



NOTES:

1. Off-chip oscillator optional.
2. The QP and QV outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop — Low-Pass Filter Design page for additional information. The QP and QV outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. $f_R = 7.5 \text{ kHz}$; $\pm R = 2048$.
4. $N_{\text{total}} = N \cdot 64 + A = 27501 \text{ to } 28166$; $N = 429 \text{ to } 440$; $A = 0 \text{ to } 63$.
5. MC145158-2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 (520 MHz) and MC12022 (1 GHz)) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop — Low-Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666—Channel, Computer-Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152-2 Data Sheet Continued on Page 2-650

Serial-Input PLL Frequency Synthesizer

Interfaces with Single-Modulus Prescalers

The MC145155-2 is programmed by a clocked, serial input, 16-bit data stream. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, 14-bit programmable divide-by-N counter, and the necessary shift register and latch circuitry for accepting serial input data.

The MC145155-2 is an improved-performance drop-in replacement for the MC145155-1. Power consumption has decreased and ESD and latch-up performance have improved.

- Operating Temperature Range: - 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation with Buffered Output
- Compatible with the Serial Peripheral Interface (SPI) on CMOS MCUs
- Lock Detect Signal
- Two Open-Drain Switch Outputs
- 8 User-Selectable + R Values: 16, 512, 1024, 2048, 3668, 4096, 6144, 8192
- Single Modulus/Serial Programming
- + N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single-Ended (Three-State) or Double-Ended
- Chip Complexity: 6504 FETs or 1626 Equivalent Gates

MC145155-2



P SUFFIX
PLASTIC DIP
CASE 707



DW SUFFIX
SOG PACKAGE
CASE 751D

ORDERING INFORMATION

MC145155P2 Plastic DIP
MC145155DW2 SOG Package

PIN ASSIGNMENTS

PLASTIC DIP

RA1	1*	18	RA0
RA2	2	17	OSC _{in}
φ _V	3	16	OSC _{out}
φ _R	4	15	REF _{out}
V _{DD}	5	14	SW2
PD _{out}	6	13	SW1
V _{SS}	7	12	ENB
LD	8	11	DATA
φ _{in}	9	10	CLK

SOG PACKAGE

RA1	1*	20	RA0
RA2	2	19	OSC _{in}
φ _V	3	18	OSC _{out}
φ _R	4	17	REF _{out}
V _{DD}	5	16	NC
PD _{out}	6	15	SW2
V _{SS}	7	14	SW1
NC	8	13	ENB
LD	9	12	DATA
φ _{in}	10	11	CLK

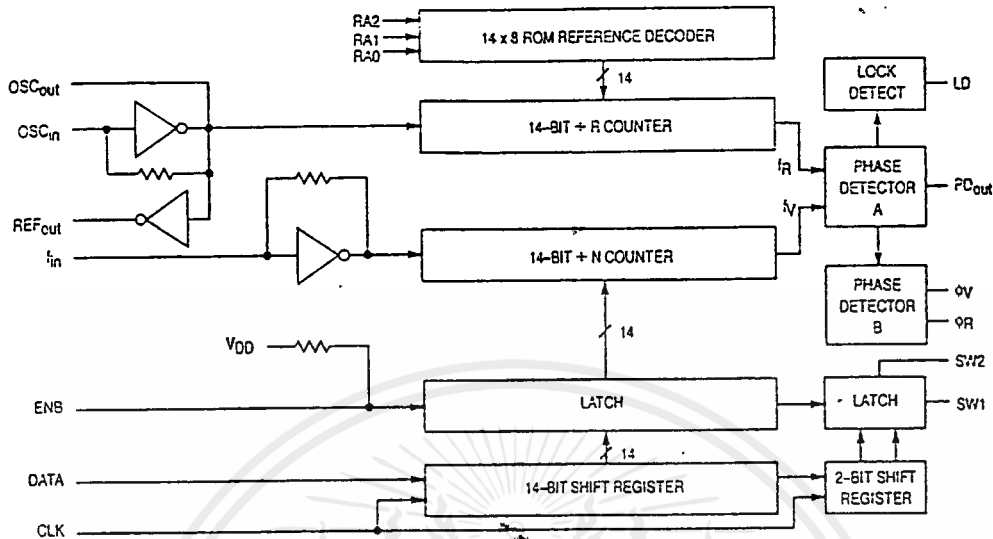
NC = NO CONNECTION

REV 1
8/95

MC145151-2 through MC145158-2
2-636

MOTOROLA

MC145155-2 BLOCK DIAGRAM



PIN DESCRIPTIONS

INPUT PINS

fin
Frequency Input (PDIP – Pin 9, SOG – Pin 10)

Input to the + N portion of the synthesizer. fin is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (PDIP – Pins 18, 1, 2; SOG – Pins 20, 1, 2)

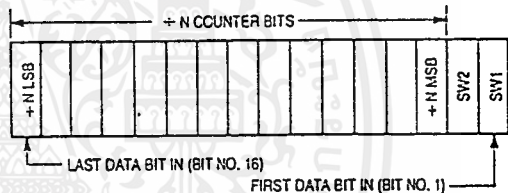
These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	16
0	0	1	512
0	1	0	1024
0	1	1	2048
1	0	0	3668
1	0	1	4096
1	1	0	6144
1	1	1	8192

CLK, DATA
Shift Register Clock, Serial Data Inputs (PDIP – Pins 10, 11; SOG – Pins 11, 12)

Each low-to-high transition clocks one bit into the on-chip 16-bit shift register. The Data input provides programming

information for the 14-bit + N counter and the two switch signals SW1 and SW2. The entry format is as follows:



ENB
Latch Enable Input (PDIP – Pin 12, SOG – Pin 13)

When high (1), ENB transfers the contents of the shift register into the latches, and to the programmable counter inputs, and the switch outputs SW1 and SW2. When low (0), ENB inhibits the above action and thus allows changes to be made in the shift register data without affecting the counter programming and switch outputs. An on-chip pull-up establishes a continuously high level for ENB when no external signal is applied. ENB is normally low and is pulsed high to transfer data to the latches.

OSCin, OSCout
Reference Oscillator Input/Output (PDIP – Pins 17, 16; SOG – Pins 19, 18)

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSCin to ground and OSCout to ground. OSCin may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSCin, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSCout.

OUTPUT PINS

PDout

Phase Detector A Output (PDIP, SOG - Pin 6)

Three-state output of phase detector for use as loop error signal. Double-ended outputs are also available for this purpose (see ϕV and ϕR).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses

Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses

Frequency $f_V = f_R$ and Phase Coincidence: High-Impedance State

ϕR , ϕV

Phase Detector B Outputs (PDIP, SOG - Pins 4, 3)

These phase detector outputs can be combined externally for a loop-error signal. A single-ended output is also available for this purpose (see PDout).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

LD

Lock Detector Output (PDIP - Pin 8, SOG - Pin 9)

Essentially a high level when loop is locked (f_R , f_V of same phase and frequency). LD pulses low when loop is out of lock.

SW1, SW2

Band Switch Outputs (PDIP - Pins 13, 14;
SOG - Pins 14, 15)

SW1 and SW2 provide latched open-drain outputs corresponding to data bits numbers one and two. These outputs can be tied through external resistors to voltages as high as 15 V, independent of the V_{DD} supply voltage. These are typically used for band switch functions. A logic 1 causes the output to assume a high-impedance state, while a logic 0 causes the output to be low.

REFout

Buffered Reference Oscillator Output (PDIP, SOG - Pin 15)

Buffered output of on-chip reference oscillator or externally provided reference-input signal.

POWER SUPPLY

V_{DD}

Positive Power Supply (PDIP, SOG - Pin 5)

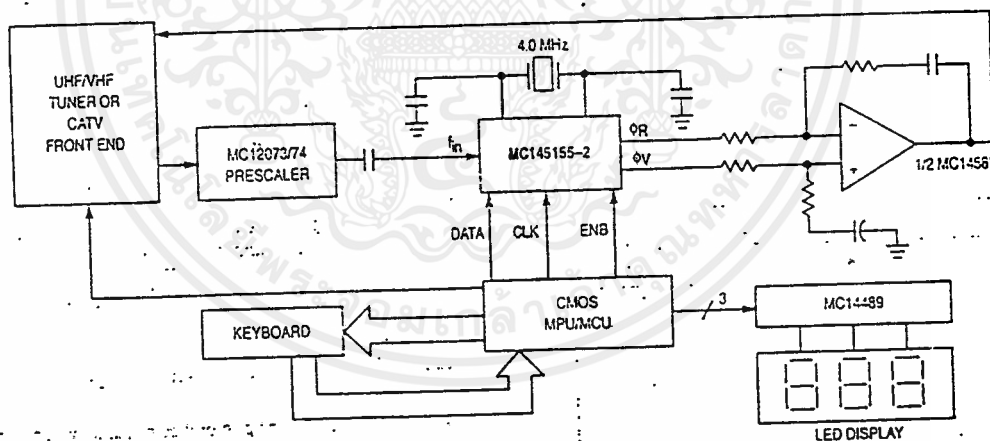
The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS} .

V_{SS}

Negative Power Supply (PDIP, SOG - Pin 7)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

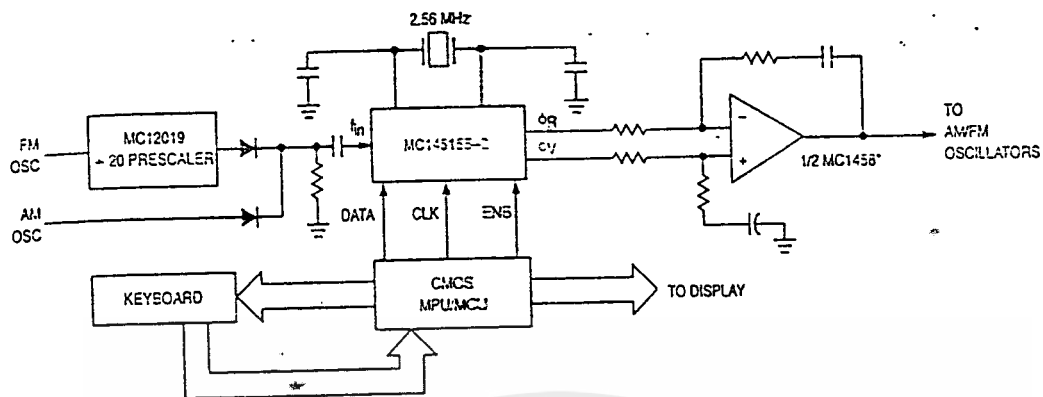


* The ϕR and ϕV outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop - Low-Pass Filter Design page for additional information. The ϕR and ϕV outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Microprocessor-Controlled TV/CATV Tuning System with Serial Interface

MC145151-2 through MC145158-2
2-638

MOTOROLA



* The o_r and o_v outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop — Low-Pass Filter Design page for additional information. The o_r and o_v outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. AM/FM Radio Synthesizer

MC145155-2 Data Sheet Continued on Page 2-650

MOTOROLA

MC145151-2 through MC145158-2
2-639

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY MIXERS

Plug-In & Flatpack

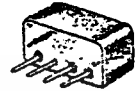
LEVEL 7 40 kHz to 4.3 GHz



ASK-X65



ASK-W38



TFM

+7 dBm Lo, up to +1 dBm RF

MODEL NO.	FREQUENCY MHz		CONVERSION LOSS dB				LO-RF ISOLATION, dB						LO-IF ISOLATION, dB						CAPD DATA (see RF/IF Designer Handbook) Page	Case Style	CONNECTION	Price \$ (1-9)
	LO/RF f_L - f_U	IF	Mid-Band		Total Range		L		M		U		L		M		U			Note 8		
			$\bar{m}$	σ	Max.	Max.	Typ.	Min.	Typ.	Min.	Typ.	Min.	Typ.	Min.	Typ.	Min.	Typ.	Min.				
ASK-1*	1-600	DC-600	5.58	.06	7.0	8.5	50	30	35	25	30	20	45	35	30	20	25	15	1-76	W38	w	6.95
ASK-2*	1-1000	DC-1000	6.79	.10	8.0	9.8	60	40	35	18	25	16	50	30	25	17	15	10	1-248	W38	w	8.25
TFM-2	1-1000	DC-1000	5.74	.07	7.5	8.5	50	35	40	25	30	25	45	40	35	25	25	18	1-66	802	z	13.95
TFM-2P	1-1000	DC-1000	5.74	.07	7.5	8.5	50	35	40	25	30	25	45	40	35	25	25	18	1-66	802	z	13.95
TFM-3**	0.04-400	DC-400	4.70	.06	7.0	8.0	60	50	50	35	35	25	55	40	45	30	35	25	1-68	802	z	21.45
TFM-4	5-1250	DC-1250	6.47	.05	7.5	8.5	50	45	40	30	30	25	45	40	35	25	25	20	1-70	802	z	23.45
TFM-5	5-1500	DC-1000	6.33	.06	8.5	9.5	60	45	35	25	30	25	60	40	35	15	25	14	1-268	802	aa	25.45
TFM-11	1-2000	5-600	7.16	.07	8.5	9.0	50	45	35	25	25	20	45	40	27	20	25	20	1-72	813	z	47.45
TFM-12	800-1250	50-90	5.71	.14	—	7.5	35	25	35	25	35	25	30	20	30	20	30	20	1-74	813	z	47.45
TFM-2400	750-2400	DC-400	6.65	.20	—	9.0	30	23	30	20	30	20	30	10	30	10	30	10	1-266	813	aa	28.95
TFM-4300	300-4300	DC-800	5.87	.13	—	10.5	30	23	—	—	30	17	15	7	—	—	10	7	1-246	813	aa	38.95

L = low range (f_L to $10 f_L$)

M = mid range ($10 f_L$ to $f_U/2$)
m = mid band ($2f_L$ to $f_U/2$)

U = upper range ($f_U/2$ to f_U)

NOTES:

- Average of conversion loss at center of mid-band frequency ($f_L + f_U/4$)
- Standard deviation
- Non-hermetic
- Phase detection, positive polarity.
- ASK plug-in mounting case X65
- Below 10°C, f_L is 0.2 MHz.
- General Quality Control Procedures, Environmental Specifications, Hi-Rel, MIL and TX description are given in General Information (Section 0)
- Connector types and case mounted options, case finishes are given in section 0, see "Case Styles & Outline Drawings".
- Prices and Specifications subject to change without notice.
- Absolute maximum power, voltage and current ratings:
 - RF power, 50mW
 - Peak IF current, 40mA

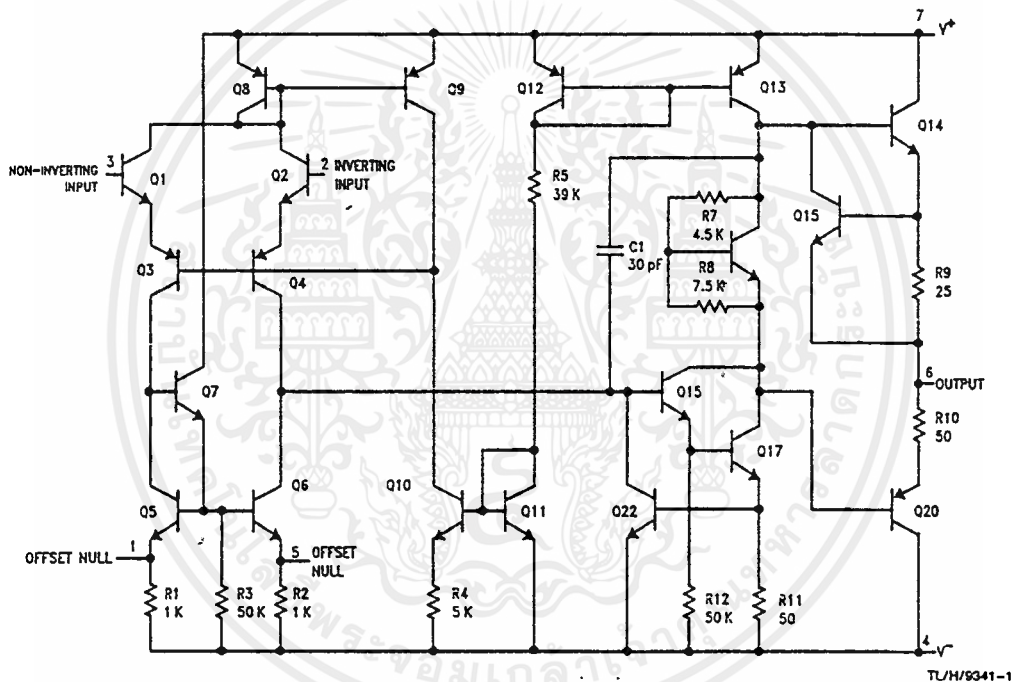
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

General Description

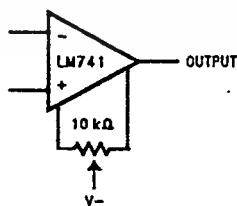
output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Schematic Diagram



Offset Nulling Circuit



TL/H/8341-7

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.
(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 6)	400V	400V	400V	400V
------------------------	------	------	------	------

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ $R_S \leq 10\text{ k}\Omega$ $R_S \leq 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV mV
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$ $R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$			4.0			6.0			7.5	mV mV
				15							$\mu\text{V}/^\circ\text{C}$
Average Input Offset Voltage Drift				15							$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{V}$	±10			±15			±15			mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/ $^\circ\text{C}$
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0		0.3	2.0		M Ω
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$, $V_S = \pm 20\text{V}$	0.5									M Ω
Input Voltage Range	$T_A = 25^\circ\text{C}$							±12	±13		V
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	50			50	200		20	200		V/mV V/mV
	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$, $R_L \geq 2\text{ k}\Omega$, $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	32			25			15			V/mV V/mV V/mV
	$V_S = \pm 5\text{V}$, $V_O = \pm 2\text{V}$	10									V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$ $R_L \geq 10\text{ k}\Omega$ $R_L \geq 2\text{ k}\Omega$	± 16 ± 15									V V
	$V_S = \pm 15V$ $R_L \geq 10\text{ k}\Omega$ $R_L \geq 2\text{ k}\Omega$				± 12 ± 10	± 14 ± 13		± 12 ± 10	± 14 ± 13		V V
Output Short Circuit Current	$T_A = 25^\circ\text{C}$ $T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$	10 10	25	35 40		25			25		mA mA
Common-Mode Rejection Ratio	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$ $R_S \leq 10\text{ k}\Omega$, $V_{\text{CM}} = \pm 12V$				70	90		70	90		dB dB
	$R_S \leq 50\Omega$, $V_{\text{CM}} = \pm 12V$	60	95								
Supply Voltage Rejection Ratio	$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$ $V_S = \pm 20V$ to $V_S = \pm 5V$ $R_S \leq 50\Omega$										dB dB
	$R_S \leq 10\text{ k}\Omega$	86	96		77	96		77	96		
Transient Response Rise Time	$T_A = 25^\circ\text{C}$, Unity Gain		0.25	0.8		0.3			0.3		μs
			6.0	20		5			5		%
Overshoot											
Bandwidth (Note 4)	$T_A = 25^\circ\text{C}$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ\text{C}$, Unity Gain	0.3	0.7			0.5			0.5		V/ μs
Supply Current	$T_A = 25^\circ\text{C}$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25^\circ\text{C}$ $V_S = \pm 20V$ $V_S = \pm 15V$		80	150		50	85		50	85	mW mW
LM741A	$V_S = \pm 20V$ $T_A = T_{\text{AMIN}}$ $T_A = T_{\text{AMAX}}$			165 135							mW mW
LM741E	$V_S = \pm 20V$ $T_A = T_{\text{AMIN}}$ $T_A = T_{\text{AMAX}}$			150 150							mW mW
LM741	$V_S = \pm 15V$ $T_A = T_{\text{AMIN}}$ $T_A = T_{\text{AMAX}}$					60 45	100 75				mW mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_J max. (listed under "Absolute Maximum Ratings"). $T_J = T_A + (\theta_{JA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{JA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{JC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 2: For supply voltages less than $\pm 15V$, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$.

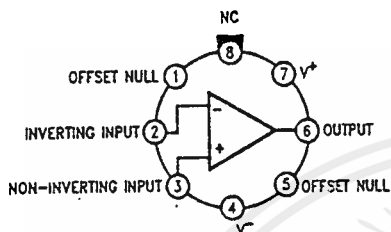
Note 4: Calculated value from: $\text{BW (MHz)} = 0.35/\text{Rise Time}(\mu\text{s})$.

Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 6: Human body model, 1.5 k Ω in series with 100 pF.

Connection Diagrams

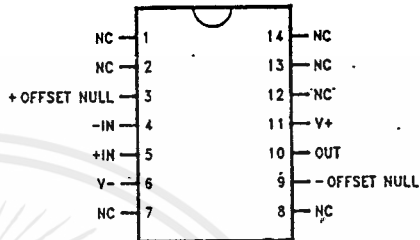
Metal Can Package



TL/H/9341-2

Order Number LM741H, LM741H/883*,
LM741AH/883 or LM741CH
See NS Package Number H08C

Ceramic Dual-In-Line Package



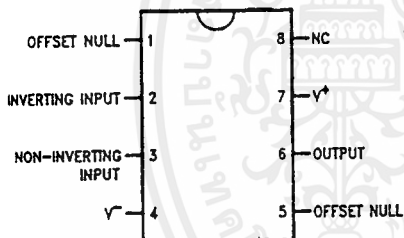
TL/H/9341-5

Order Number LM741J-14/883*, LM741AJ-14/883**
See NS Package Number J14A

*also available per JM38510/10101

**also available per JM38510/10102

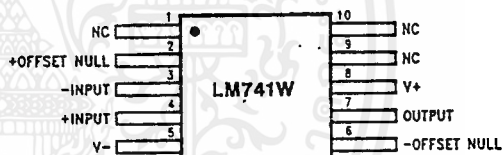
Dual-In-Line or S.O. Package



TL/H/9341-3

Order Number LM741J, LM741J/883,
LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak



TL/H/9341-6

Order Number LM741W/883
See NS Package Number W10A



Low-Power Narrowband FM Receiver

... includes dual FM conversion with oscillators, mixers, quadrature discriminator, and meter drive/carrier detect circuitry. The MC3362 also has buffered first and second local oscillator outputs and a comparator circuit for FSK detection.

- Complete Dual Conversion Circuitry
- Low Voltage: $V_{CC} = 2.0$ to 6.0 Vdc
- Low Drain Current (3.6 mA (Typical) @ $V_{CC} = 3.0$ Vdc)
- Excellent Sensitivity: Input Voltage $0.6 \mu\text{Vrms}$ (Typical) for 12 dB SINAD
- Externally Adjustable Carrier Detect Function
- Low Number of External Parts Required
- Manufactured Using Motorola's MOSAIC[®] Process Technology
- MC13135 is Preferred for New Designs

MC3362

LOW-POWER DUAL CONVERSION FM RECEIVER

SEMICONDUCTOR TECHNICAL DATA



P SUFFIX
PLASTIC PACKAGE
CASE 724

DW SUFFIX
PLASTIC PACKAGE
CASE 751E
(SO-24L)



Figure 1. Simplified Application in a PLL Frequency Synthesized Receiver

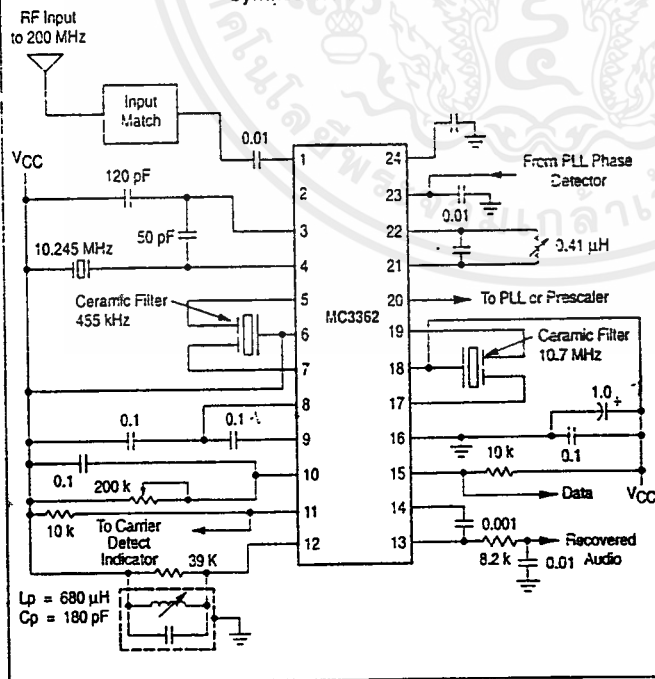
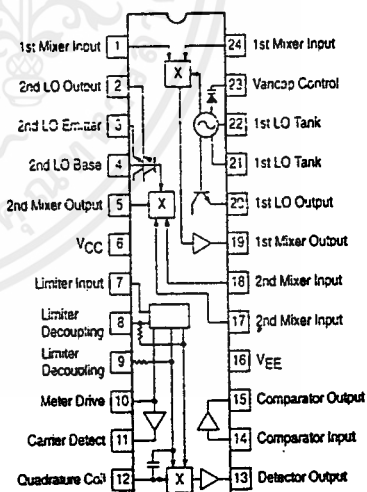


Figure 2. Pin Connections and Representative Block Diagram



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3362DW	$T_A = -40$ to $+85^\circ\text{C}$	SO-24L
MC3362P		Plastic DIP

MC3362

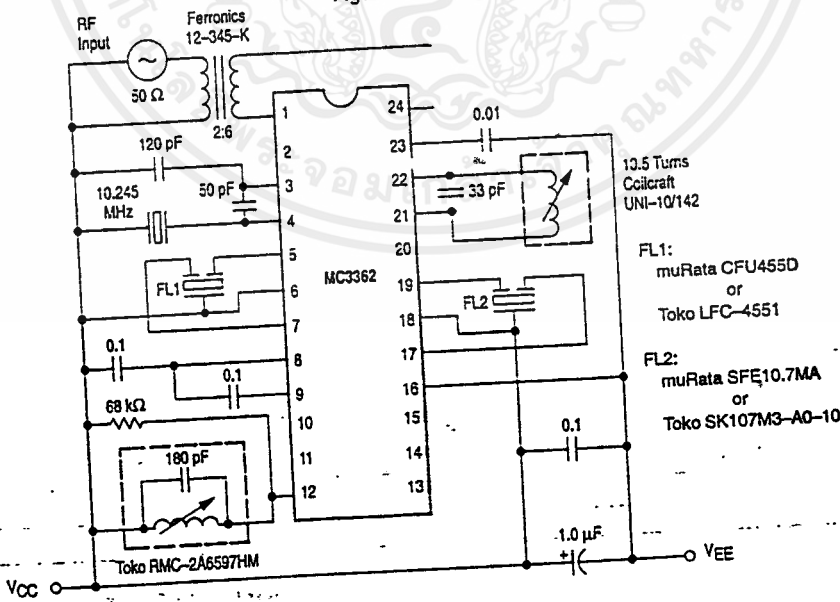
MAXIMUM RATING (T_A = 25°C, unless otherwise noted)

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage (See Figure 2)	6	V _{CC(max)}	7.0	Vdc
Operating Supply Voltage Range (Recommended)	6	V _{CC}	2.0 to 6.0	Vdc
Input Voltage (V _{CC} ≥ 5.0 Vdc)	1, 24	V ₁₋₂₄	1.0	Vrms
Junction Temperature	-	T _J	150	°C
Operating Ambient Temperature Range	-	T _A	- 40 to + 85	°C
Storage Temperature Range	-	T _{stg}	- 65 to + 150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc, f_o = 49.7 MHz, Deviation = 3.0 kHz, T_A = 25°C, Test Circuit of Figure 3, unless otherwise noted)

Characteristic	Pin	Min	Typ	Max	Units
Drain Current (Carrier Detect Low - See Figure 5)	6	-	4.5	7.0	mA
Input for -3.0 dB Limiting	-	-	0.7	2.0	μVrms
Input for 12 dB SINAD (See Figure 9)	-	-	0.6	-	μVrms
Series Equivalent Input Impedance	-	-	450-350	-	Ω
Recovered Audio (RF signal level = 10 mV)	13	-	350	-	mVrms
Noise Output (RF signal level = 0 mV)	13	-	250	-	mVrms
Carrier Detect Threshold (below V _{CC})	10	-	0.64	-	Vdc
Meter Drive Slope	10	-	100	-	nA/dB
Input for 20 dB (S + N)/N (See Figure 7)	-	-	0.7	-	μVrms
First Mixer 3rd Order Intercept (Input)	-	-	-22	-	dBm
First Mixer Input Resistance (R _o)	-	-	690	-	Ω
First Mixer Input Capacitance (C _p)	-	-	7.2	-	pF
Conversion Voltage Gain, First Mixer	-	-	18	-	dB
Conversion Voltage Gain, Second Mixer	-	-	21	-	dB
Detector Output Resistance	13	-	1.4	-	kΩ

Figure 3. Test Circuit



NOTE: See AN980 for Additional Design Information.

MC3362

Figure 4. I_M Meter versus Input

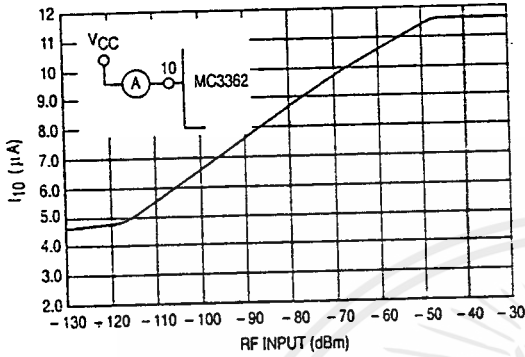


Figure 5. Drain Current, Recovered Audio versus Supply

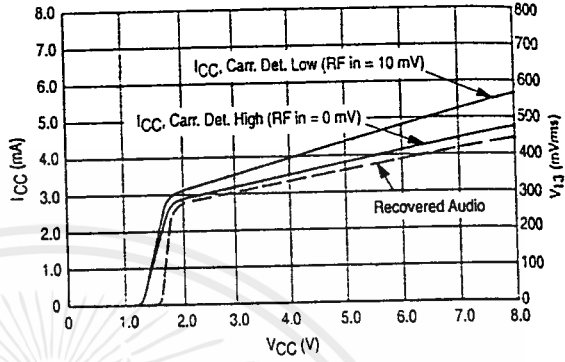


Figure 6. Signal Levels

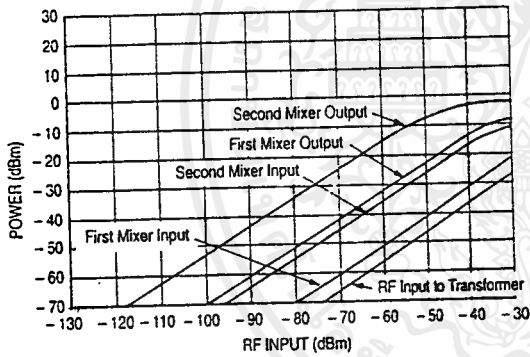


Figure 7. $S + N$, N , AMR versus Input

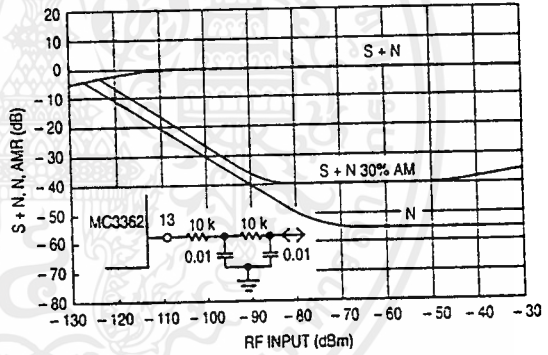


Figure 8. 1st Mixer 3rd Order Intermodulation

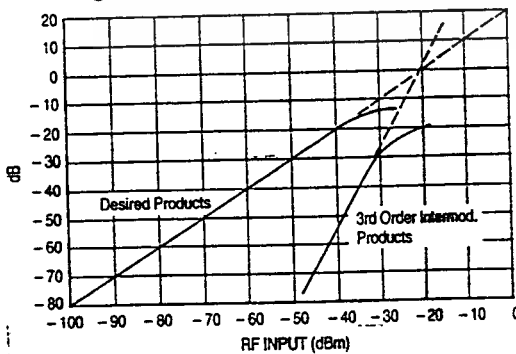
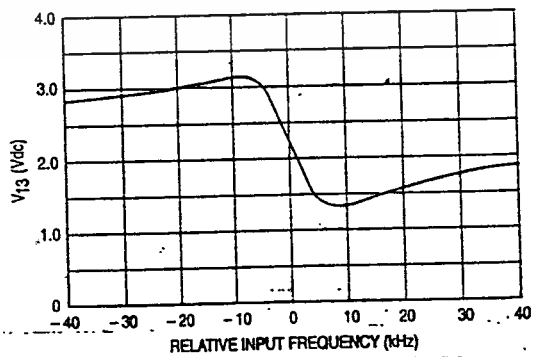


Figure 9. Detector Output versus Frequency



MC3362

Figure 10. PC Board Test Circuit
(LC Oscillator Configuration Used In PLL Synthesized Receiver)

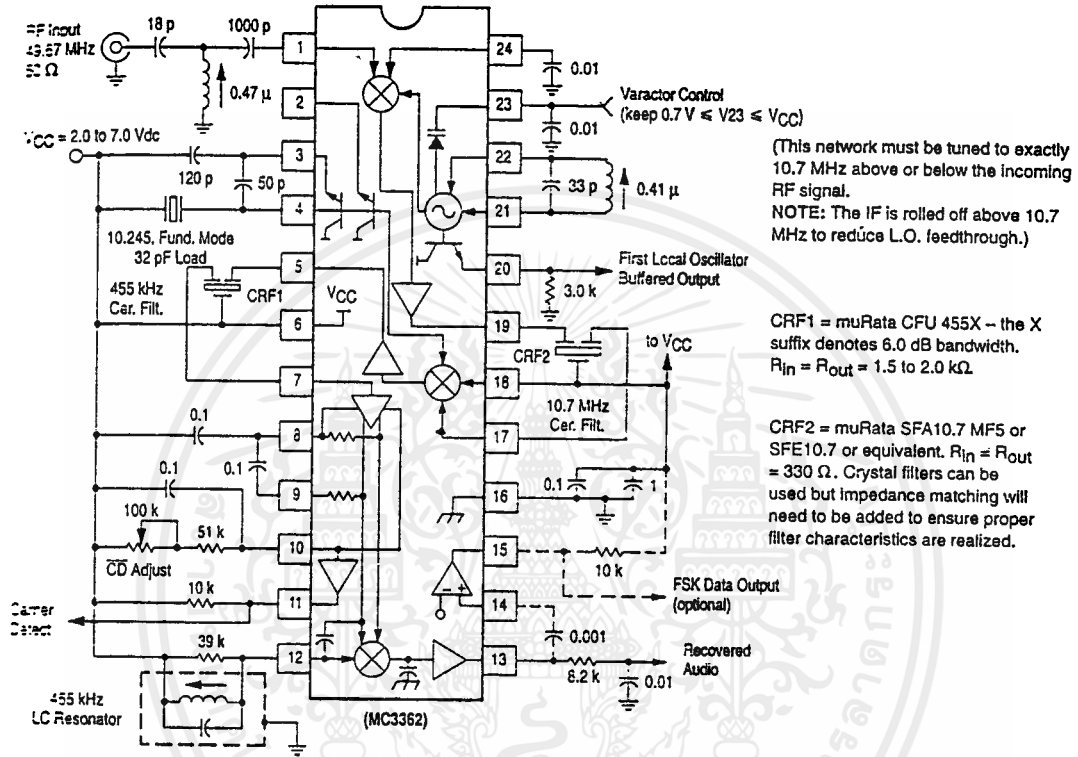
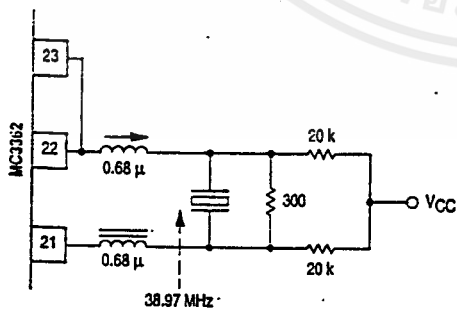


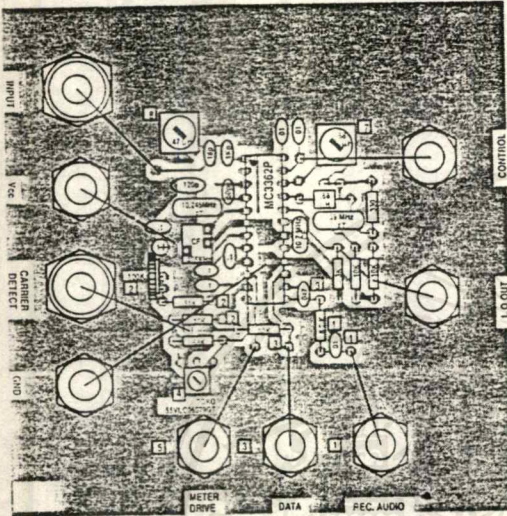
Figure 10A. Crystal Oscillator Configuration for Single Channel Application



Crystal used is series mode resonant (no load capacity specified), 3rd overtone. This method has not proven adequate for fundamental mode, 5th or 7th overtone crystals. The inductor and capacitor will need to be changed for other frequency crystals. See AN980 for further information.

MC3362

Figure 11. Component Placement View
Showing Crystal Oscillator Circuit



- NOTES:
1. Recovered Audio components may be deleted when using data output.
 2. Carrier Detect components must be deleted in order to obtain linear Meter Drive output. With these components in place the Meter Drive outputs serve only to trip the Carrier Detect indicator.
 3. Data Output components should be deleted in applications where only audio modulation is used. For combined audio/data applications, the 0.047 μF coupling capacitor will add distortion to the audio, so a pull-down resistor at pin 13 may be required.
 4. Use Toko 7MC81282 Quadrature coil.

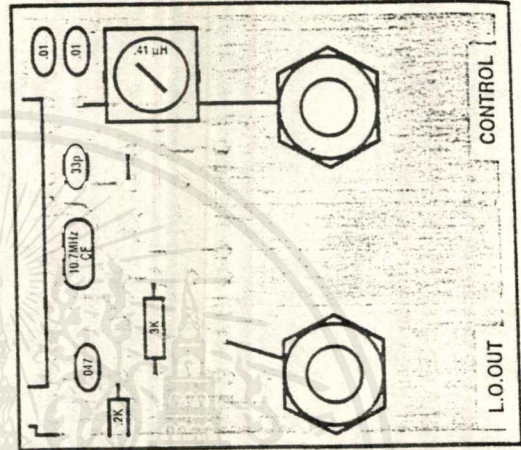
CIRCUIT DESCRIPTION

The MC3362 is a complete FM narrowband receiver from antenna input to audio preamp output. The low voltage dual conversion design yields low power drain, excellent sensitivity and good image rejection in narrowband voice and data link applications.

In the typical application (Figure 1), the first mixer amplifies the signal and converts the RF input to 10.7 MHz. This IF signal is filtered externally and fed into the second mixer, which further amplifies the signal and converts it to a 455 kHz IF signal. After external bandpass filtering, the low IF is fed into the limiting amplifier and detection circuitry. The audio is recovered using a conventional quadrature detector. Twice-IF filtering is provided internally.

The input signal level is monitored by meter drive circuitry which detects the amount of limiting in the limiting amplifier. The voltage at the meter drive pin determines the state of the carrier detect output, which is active low.

Figure 11A. LC Oscillator Component View



5. Meter Drive cannot be used simultaneously with Carrier Detect output. For analog meter drive, remove components labelled "2" and measure meter current (4–12 μA) through ammeter to V_{CC} .
6. Either type of oscillator circuit may be used with any output circuit configuration.
7. LC Oscillator Coil: Coilcraft UNI 10/42 10.5 turns, 0.41 μH Crystal Oscillator circuit: trim coil, 0.68 μH , Coilcraft M1287-A.
8. 0.47 H, Coilcraft M1286-A, Input LC network used to match first mixer input impedance to 50 Ω .

APPLICATIONS INFORMATION

The first local oscillator can be run using a free-running LC tank, as a VCO using PLL synthesis, or driven from an external crystal oscillator. It has been run to 190 MHz.* A buffered output is available at Pin 20. The second local oscillator is a common base Colpitts type which is typically run at 10.245 MHz under crystal control. A buffered output is available at Pin 2. Pins 2 and 3 are interchangeable.

The mixers are doubly balanced to reduce spurious responses. The first and second mixers have conversion gains of 18 dB and 22 dB (typical), respectively, as seen in Figure 6. Mixer gain is stable with respect to supply voltage. For both conversions, the mixer impedances and pin layout are designed to allow the user to employ low cost, readily available ceramic filters. Overall sensitivity and AM rejection are shown in Figure 7. The input level for 20 dB (S + N)/N is 0.7 μV using the two-pole post-detection filter pictured.

* If the first local oscillator (Pins 21 and/or 22) is driven from a strong external source (100 mVrms), the mixer can be used to over 450 MHz.

MC3362

Following the first mixer, a 10.7 MHz ceramic band-pass filter is recommended. The 10.7 MHz filtered signal is then fed into one second mixer input pin, the other input pin being connected to VCC. Pin 6 (VCC) is treated as a common point for emitter-driven signals.

The 455 kHz IF is typically filtered using a ceramic bandpass filter then fed into the limiter input pin. The limiter has 10 μ V sensitivity for -3.0 dB limiting, flat to 1.0 MHz.

The output of the limiter is internally connected to the quadrature detector, including a quadrature capacitor. A parallel LC tank is needed externally from Pin 12 to VCC. A 39 k Ω shunt resistance is included which determines the peak separation of the quadrature detector; a smaller value will increase the spacing and linearity but decrease recovered audio and sensitivity.

A data shaping circuit is available and can be coupled to the recovered audio output of Pin 13. The circuit is a comparator which is designed to detect zero crossings of

FSK modulation. Data rates are typically limited to 1200 baud to ensure data integrity and avoid adjacent channel "splatter." Hysteresis is available by connecting a high valued resistor from Pin 15 to Pin 14. Values below 120 k Ω are not recommended as the input signal cannot overcome the hysteresis.

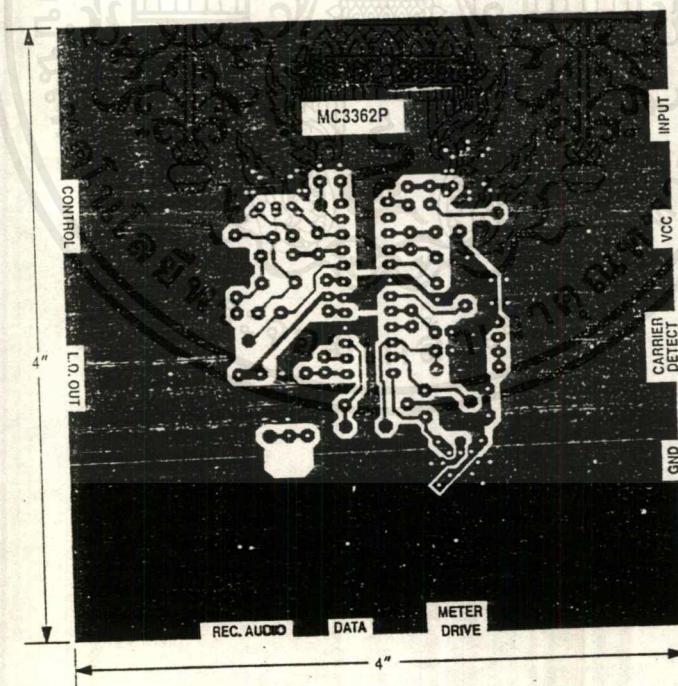
The meter drive circuitry detects input signal level by monitoring the limiting amplifier stages. Figure 4 shows the unloaded current at Pin 10 versus input power. The meter drive current can be used directly (RSSI) or can be used to trip the carrier detect circuit at a specified input power. To do this, pick an RF trip level in dBm. Read the corresponding current from Figure 4 and pick a resistor such that:

$$R_{10} \approx 0.64 V_{dc} / I_{10}$$

Hysteresis is available by connecting a high valued resistor R_H between Pins 10 and 11. The formula is:

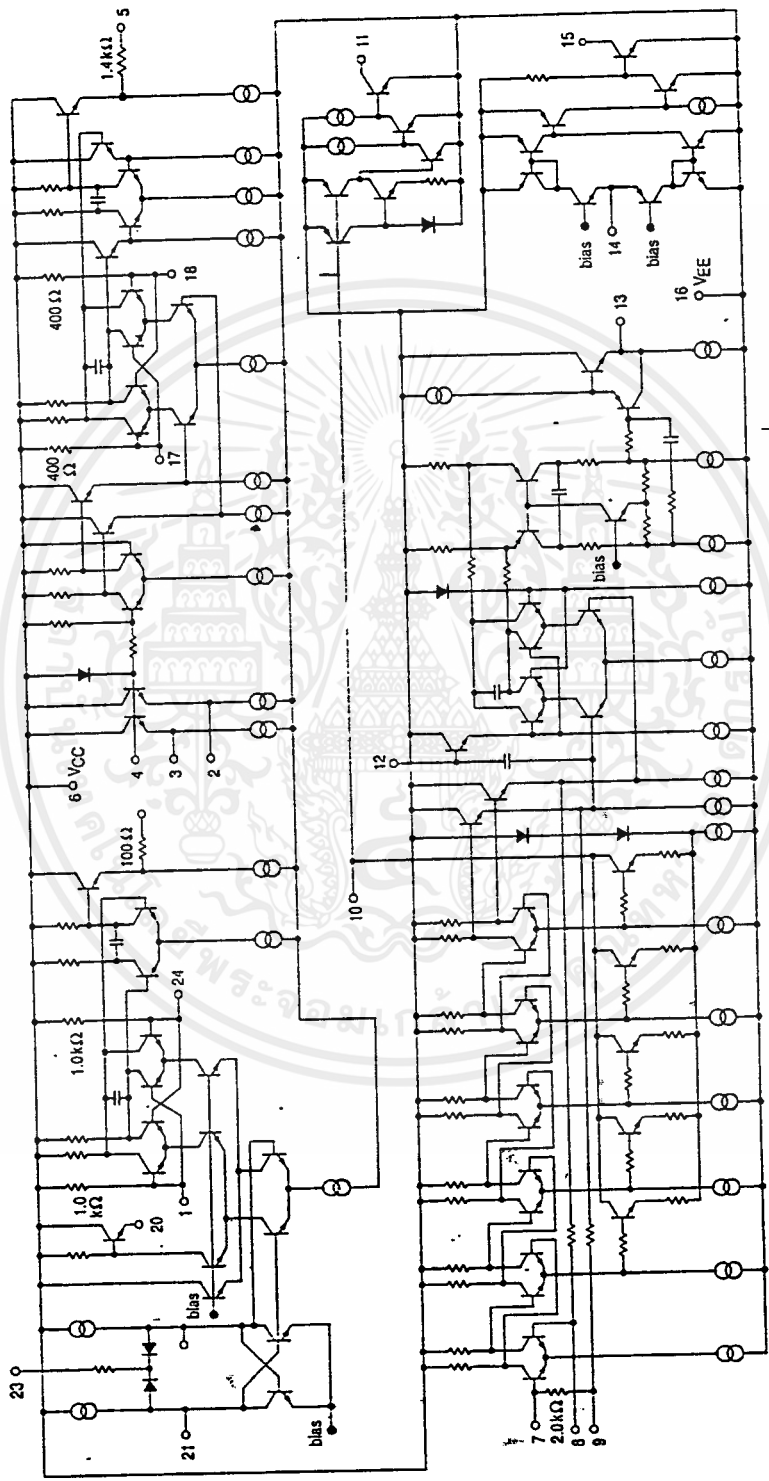
$$\text{Hysteresis} = V_{CC} / (R_H \times 10^{-7}) \text{ dB}$$

Figure 12. Circuit Side View



MC3362

Figure 13. Representative Schematic Diagram





Audio/Radio Circuits

LM386 Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

Features

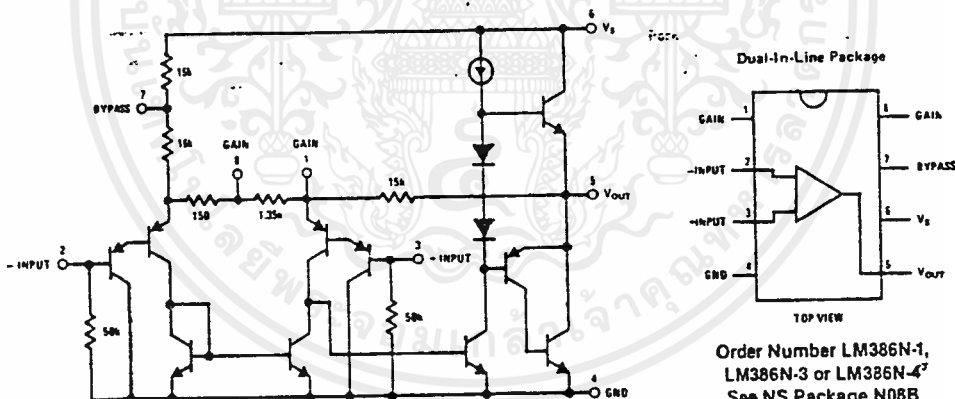
- Battery operation
- Minimum external parts
- Wide supply voltage range 4V–12V or 5V–18V
- Low quiescent current drain 4 mA

- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Eight pin dual-in-line package

Applications

- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

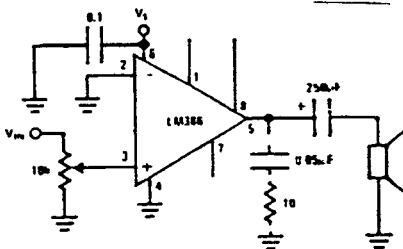
Equivalent Schematic and Connection Diagrams



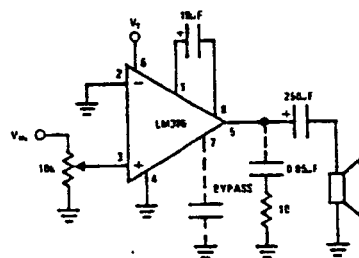
Order Number LM386N-1,
LM386N-3 or LM386N-4²
See NS Package N08B

Typical Applications

Amplifier with Gain = 20
Minimum Parts



Amplifier with Gain = 200



Absolute Maximum Ratings

Supply Voltage (LM386N)	15V	Storage Temperature	-65°C to +150°C
Supply Voltage (LM386N-4)	22V	Operating Temperature	0°C to +70°C
Package Dissipation (Note 1) (LM386N-4)	1.25W	Junction Temperature	+150°C
Package Dissipation (Note 2) (LM386)	660 mW	Lead Temperature (Soldering, 10 seconds)	+300°C
Input Voltage	±0.4V		

Electrical Characteristics $T_A = 25^\circ\text{C}$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage (V_S)					
LM386		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	$V_S = 6\text{V}, V_{IN} = 0$		4	8	mA
Output Power (P_{OUT})					
LM386N-1	$V_S = 6\text{V}, R_L = 8\Omega, \text{THD} = 10\%$	250	325		mW
LM386N-3	$V_S = 9\text{V}, R_L = 8\Omega, \text{THD} = 10\%$	500	700		mW
LM386N-4	$V_S = 16\text{V}, R_L = 32\Omega, \text{THD} = 10\%$	700	1000		mW
Voltage Gain (A_V)	$V_S = 6\text{V}, f = 1\text{ kHz}$		26		dB
	$10\mu\text{F}$ from Pin 1 to 8		46		dB
Bandwidth (BW)	$V_S = 6\text{V}$, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	$V_S = 6\text{V}, R_L = 8\Omega, P_{OUT} = 125\text{ mW}$ $f = 1\text{ kHz}$, Pins 1 and 8 Open		0.2		%
Power Supply Rejection Ratio (PSRR)	$V_S = 6\text{V}, f = 1\text{ kHz}, C_{BYPASS} = 10\mu\text{F}$ Pins 1 and 8 Open, Referred to Output		50		dB
Input Resistance (R_{IN})			50		k Ω
Input Bias Current (I_{BIAS})	$V_S = 6\text{V}$, Pins 2 and 3 Open		250		nA

Note 1: For operation in ambient temperatures above 25°C , the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 100°C/W junction to ambient.

Note 2: For operation in ambient temperatures above 25°C , the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 187°C junction to ambient.

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the $1.35\text{ k}\Omega$ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the $1.35\text{ k}\Omega$ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal $15\text{ k}\Omega$ resistor). For 6 dB effective bass boost: $R \approx 15\text{ k}\Omega$, the lowest value for good stable operation is $R = 10\text{ k}\Omega$ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as $2\text{ k}\Omega$ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 5.

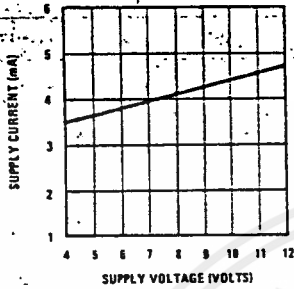
INPUT BIASING

The schematic shows that both inputs are biased to ground with a $50\text{ k}\Omega$ resistor. The base current of the input transistors is about 250 nA , so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than $250\text{ k}\Omega$ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than $10\text{ k}\Omega$, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

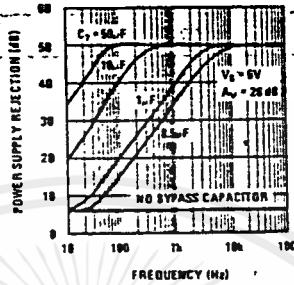
When using the LM386 with higher gains (bypassing the $1.35\text{ k}\Omega$ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a $0.1\mu\text{F}$ capacitor or a short to ground depending on the dc source resistance on the driven input.

Typical Performance Characteristics

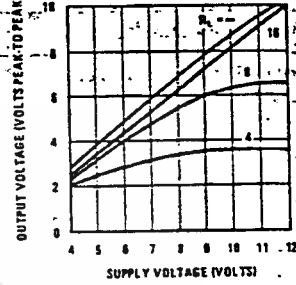
Quiescent Supply Current vs Supply Voltage



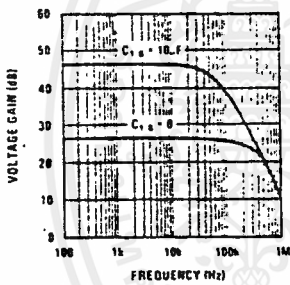
Power Supply Rejection Ratio (Referred to the Output) vs Frequency



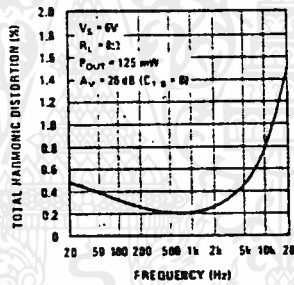
Peak-to-Peak Output Voltage Swing vs Supply Voltage



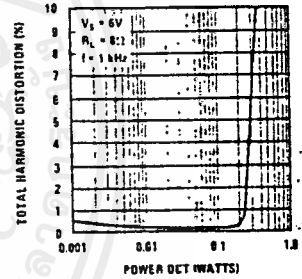
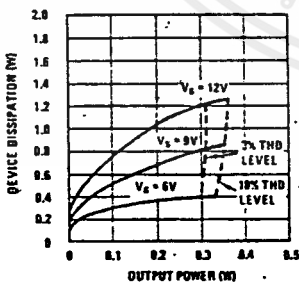
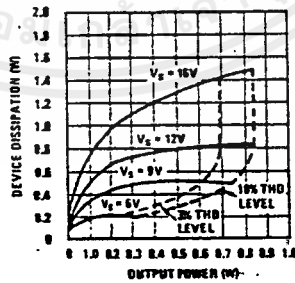
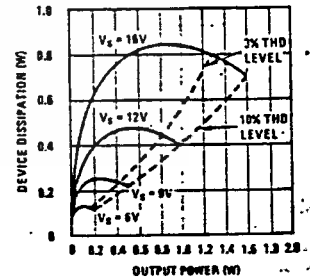
Voltage Gain vs Frequency



Distortion vs Frequency

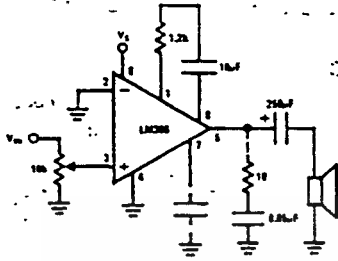


Distortion vs Output Power

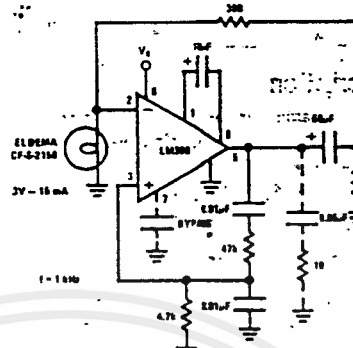
Device Dissipation vs Output Power—4 Ω LoadDevice Dissipation vs Output Power—8 Ω LoadDevice Dissipation vs Output Power—16 Ω Load

Typical Applications (Continued)

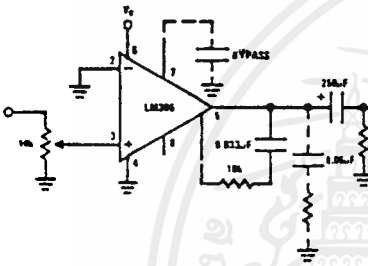
Amplifier with Gain = 50



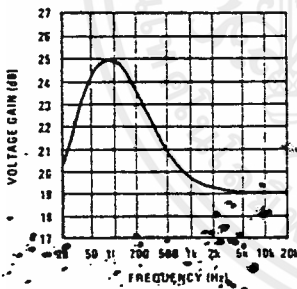
Low Distortion Power Wienbridge Oscillator



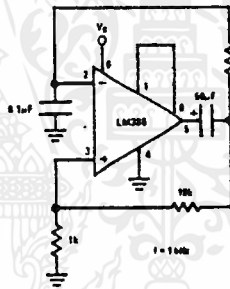
Amplifier with Bass Boost



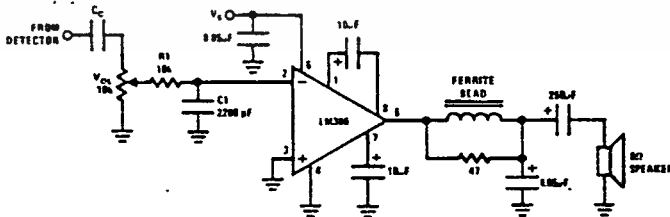
Frequency Response with Bass Boost



Square Wave Oscillator



AM Radio Power Amplifier



Note 1: Twist supply lead and supply ground very tightly.

Note 2: Twist speaker lead and ground very tightly.

Note 3: Ferrite bead is Ferroxcube K5-001-001/3B with 3 turns of wire.

Note 4: R1C1 band limits input signals.

Note 5: All components must be spaced very close to IC.

หนังสืออ้างอิง

- [1] สุชาติ กังวารจิตต์ “เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร” หน้าที่ 164-166 และระบบส่งเคราะห์ความถี่ หน้าที่ 179-186 กรุงเทพฯ บริษัทซีเอ็ดดูเคชั่น จำกัด 2526 .
- [2] ถวิล หิ่งมา “การออกแบบวงจรทางโทรคมนาคม” การออกแบบวงจรขยายสัญญาณแบบใช้ S - ทารามิเตอร์ หน้าที่ 186-207 กรุงเทพฯ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2534
- [3] คร.สิทธิชัย โกโกลอุดม , คร.ธีระศักดิ์ วรสุนทรโรตถ , โคะมิโอะ อิวะสะกิ “ทฤษฎีและการคำนวณวงจรอิเล็กทรอนิกส์” หน้าที่ 141-149 กรุงเทพฯ บริษัทซีเอ็ดดูเคชั่น จำกัด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้