การจับภาพนิ่งในระบบดิจิตอลวีดิโอ

Digital Video Capture

โดย

นาย ดุจพงศ์ อุดมสิน

นาย สุพิทัศน์ ส่งศิริ

วัน เดือน ปี 18 ก.ค. 2541
เลขทะเบียน 039068
เลขเรียกหนังสือ T 10809 ด 111 ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039068

การจับภาพนิ่งในระบบดิจิตอลวีดิโอ

Digital Video Capture

โดย

นาย ดุจพงศ์ อุดมสิน 37014126

นาย สุพิทัศน์ ส่งศิริ 37014513

อาจารย์ที่ปรึกษา

รศ.ดร. สุวิพล สิทธิชีวภาค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การจับภาพนิ่งในระบบดิจิตอลวีดิโอ

Digital Video Capture

ผู้จัดทำ

1. นาย ดุจพงศ์ อุดมสิน 37014126
2. นาย สุพิทัศน์ ส่งศิริ 37014513

(รศ.ดร. สุวิพล สิทธิชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจับภาพนิ่งในระบบดิจิตอลวีดีโอ

DIGITAL VIDEO CAPTURE

โดย นาย ดุจพงศ์ อุดมสิน 37014126
นาย สุพิทัศน์ ส่งศิริ 37014513

อาจารย์ที่ปรึกษา รศ.ดร. สุวิพล สิทธิชีวภาค

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษาในส่วนของดิจิตอลวีดีโอโดยเริ่มจากการศึกษาสัญญาณวีดีโอเริ่มจากการสร้างฮาร์ดแวร์เพื่อแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลแล้วเก็บข้อมูลภาพไว้ในหน่วยความจำภายนอกจากนั้นเขียนโปรแกรมควบคุมเพื่อนำข้อมูลภาพ ที่เก็บไว้มาแสดงบนมอนิเตอร์เป็นภาพนิ่ง

ABSTRACT

In this project we'll study in digital video . First we'll study in video signal .Then we'll make analog to digital converter hardware. And then keep the digital data to RAM for using it in develop program to show a still picture on the monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	2
2.1	ทฤษฎีโทรทัศน์	2
2.1.1	องค์ประกอบของภาพ	2
2.1.2	การสแกน	2
2.1.3	การสร้างสัญญาณโทรทัศน์	4
2.1.4	สัญญาณภาพและมาตรฐานของสัญญาณโทรทัศน์	7
2.2	การแปลงสัญญาณอนาลอกเป็นดิจิตอล	22
2.3	สถาปัตยกรรม EGA/VGA	25
2.3.1	การอัดข้อมูลจุดภาพและการใช้เพลนสี	26
2.3.2	โหมดข้อความและโหมดกราฟฟิค	26
2.3.3	บล็อคไดอะแกรม EGA/VGA	27
2.4	Super VGA	28
2.4.1	เปรียบเทียบ VGA กับ Super VGA	28
2.4.2	SVGA card	28
2.4.3	การปรับปรุงคุณสมบัติ SVGA เทียบกับ VGA	28
2.4.4	การปรับปรุงความเร็วของ SVGA	29
2.4.5	องค์ประกอบของ SVGA	29
2.4.6	Clock Oscillator	30
2.4.7	ความละเอียดของ SVGA	31
2.4.8	Spatial Resolution	31
2.4.9	Color Resolution	31
2.4.10	Palette Color	31
2.4.11	Hi Color	32
2.4.12	True Color	32
2.4.13	Graphic Mode	33
บทที่ 3	การออกแบบและการทำงาน	
3.1	แนวคิดและการทำงาน	35
3.2	แนวคิดในการออกแบบและการเก็บข้อมูลภาพดิจิตอล	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.3 ระบบดิจิตอลวีดิโอ 37
3.3.1 ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล 37
3.3.2 ส่วน Interface กับคอมพิวเตอร์โดยใช้ 8255 41
3.3.3 ส่วนแยกสัญญาณภาพรวม 48
3.3.4 ส่วนภาคควบคุมการทำงาน 51

บทที่ 4 การทดลองและผลการทดลอง 62

บทที่ 5 บทสรุปและวิจารณ์ 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูปที่ 2.1	การสแกนแบบแทรกสอด	3
รูปที่ 2.2	รูปแสดงระดับสัญญาณขาวดำโดยเกรย์สเกล	4
รูปที่ 2.3	แสดงสัญญาณฮอริซอนทัลซิงค์และฮอริซอนทัลแบลงค์กิ้ง และการเติมลงไปในสัญญาณแต่ละฟิลด์	5
รูปที่ 2.4	แสดงสัญญาณเวอร์ติคัลซิงค์และเวอร์ติคัลแบลงค์กิ้ง และการเติมลงไปในสัญญาณแต่ละฟิลด์	6
รูปที่ 2.5	รายละเอียดสัญญาณฟิลด์และสัญญาณควบคุมช่วงเวอร์ติคัลแบลงค์กิ้ง	7
รูปที่ 2.6	แสดงสัญญาณสีที่ประกอบเป็นภาพสีรวม	8
รูปที่ 2.7	แสดงบล็อคไดอะแกรมภาคเอ็นโค้ดเดอร์ของมาตรฐาน NTSC	9
รูปที่ 2.8	แสดงบล็อคไดอะแกรมภาคดีโค้ดเดอร์ของมาตรฐาน NTSC	10
รูปที่ 2.9	แสดงการส่งสัญญาณภาพโทรทัศน์สีในระบบ PAL	11
รูปที่ 2.10	แสดงการเฉลี่ยเพื่อลดความผิดพลาดทางเฟสของสี	12
รูปที่ 2.11	แสดงบล็อคไดอะแกรมวงจรภาคเอ็นโค้ดเดอร์ของมาตรฐาน PAL	13
รูปที่ 2.12	แสดงบล็อคไดอะแกรมภาคดีโค้ดเดอร์ของมาตรฐาน PAL	14
รูปที่ 2.13	Composite Video Signal	15
รูปที่ 2.14	ค่ามาตรฐานของซิงค์และฮอริซอนทัลแบลงค์กิ้ง	17
รูปที่ 2.15	ฮอริซอนทัลแบลงค์กิ้งไทม์	18
รูปที่ 2.16	เวอร์ติคัลแบลงค์กิ้งไทม์	20
รูปที่ 2.17	แสดงการแซมปลิ้ง	22
รูปที่ 2.18	แสดงลักษณะสัญญาณของภาคควอนไตซิ่งและการเข้ารหัส	23
รูปที่ 2.19	แสดง Flash A/D	24
รูปที่ 2.20	แสดงหลักการ Open loop Converter	25
รูปที่ 2.21	แสดงโหมดข้อความและโหมดกราฟฟิค	26
รูปที่ 2.22	แสดงบล็อคไดอะแกรมของ EGA/VGA	27
รูปที่ 2.23	แสดงลักษณะทั่วไปของ SVGA เมื่อเทียบกับ VGA	28
รูปที่ 2.24	แสดงองค์ประกอบของการ์ด VGA และ SVGA	29
รูปที่ 2.25	ตารางแสดงความถี่ที่ใช้ในการแสดงผลของการ์ด	30
รูปที่ 2.26	แสดงการเข้ารหัสขนาด 15 บิทต่อสี	32
รูปที่ 2.27	แสดงการเข้ารหัสขนาด 16 บิทต่อสี	32
รูปที่ 2.28	แสดงการเข้ารหัสขนาด 24 บิทต่อสี	33
รูปที่ 2.29	แสดงการเข้ารหัสขนาด 32 บิทต่อสี	33
รูปที่ 2.30	แสดงจำนวนไทม์ดกราฟฟิคของ VESA	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.1 แสดงข้อมูลของสีในแต่ละจุดบนจอ 35
รูปที่ 3.2 แสดงบล็อคไดอะแกรมของดิจิตอลวีดิโอโดยรวม 36
รูปที่ 3.3 แสดงแผนผังการทำงานใน CA3318 39
รูปที่ 3.4 แสดงการควบคุมใน CA3318 40
รูปที่ 3.5 แสดงการต่อคล็อคและเฟส 40
รูปที่ 3.6 แสดงตำแหน่งขาต่างๆของ 8255 42
รูปที่ 3.7 แสดงแผนผังภายในของ 8255 42
รูปที่ 3.8 แสดงความหมายของแต่ละบิทในรหัสควบคุม 45
รูปที่ 3.9 แสดงตำแหน่งขาบนสล็อต ISA 47
รูปที่ 3.10 แสดงบล็อคไดอะแกรมของการแยกสัญญาณ RGB ออกมาจาสัญญาณภาพรวม 48
รูปที่ 3.11 แสดงภาพวงจรที่ใช้ 49
รูปที่ 3.12 แสดงเส้นที่อาจถูกตัดไปเนื่องจากจำนวนหน่วยความจำน้อยกว่าจำนวนจุดจริง 51
รูปที่ 3.13 แสดงสัญญาณที่เกี่ยวข้องกับการเริ่มต้นในการเก็บข้อมูลจุดแรก 52
รูปที่ 3.14 แสดงวงจรที่ออกแบบจากสัญญาณในรูปที่ 3.13 52

รูปที่ 4.1 แสดงภาพวงจรทั้งหมด 62
รูปที่ 4.2 รูปสัญญาณภาพรวมเทียบกับสัญญาณ R 62
รูปที่ 4.3 รูปสัญญาณภาพรวมเทียบกับสัญญาณ G 63
รูปที่ 4.4 รูปสัญญาณภาพรวมเทียบกับสัญญาณ B 63
รูปที่ 4.5 รูปสัญญาณภาพรวมเทียบกับสัญญาณ Synchronous 64
รูปที่ 4.6 รูปแสดงสัญญาณ RGB ที่แยกได้ออกทางโทรทัศน์ 64
รูปที่ 4.7 แสดงสัญญาณที่ออกจากเอาท์พุทของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล เทียบกับสัญญาณ R ที่ออกจากวงจรแยกสัญญาณภาพรวมเป็นสัญญาณ RGB 65
รูปที่ 4.8 แสดงสัญญาณที่ออกจากเอาท์พุทของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล เทียบกับสัญญาณฮอริซอนทัลซิงค์ 65
รูปที่ 4.9 แสดงสัญญาณฟิลด์คู่หรือคี่เทียบกับสัญญาณเวอร์ติคัลซิงค์ 66
รูปที่ 4.10 แสดงสัญญาณฮอริซอนทัลซิงค์เทียบกับสัญญาณเวอร์ติคัลซิงค์ 67
รูปที่ 4.11 รูปแสดงผลการรันโปรแกรมทดลอง SVGA 640*480 ที่ 16 บิท 67
รูปที่ 4.12 รูปแสดงการรันโปรแกรมด้วยภาพ Color Bar 67

ตารางที่ 4.1 แสดงผลการทดลองการแปลงสัญญาณโวลเตจ 0-5.2 โวลต์ให้เป็นข้อมูลดิจิตอล 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ดิจิตอลวีดิโอคือการศึกษาเกี่ยวกับภาพที่อยู่ในรูปสัญญาณภาพแบบดิจิตอลซึ่งภาพโดยปกติสัญญาณภาพทั่วไปอยู่ในรูปแบบสัญญาณอนาลอกดังนั้นการทำให้เป็นดิจิตอลวีดิโอได้นั้นต้องทำการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลเสียก่อน โดยเริ่มจากแยกองค์ประกอบสัญญาณภาพรวม (Composite Signal) ของระบบ NTSC เป็นสัญญาณ RGB โดยใช้ไอซี V7020 แล้วจึงแปลงสัญญาณแต่ละอันเป็นข้อมูลดิจิตอลขนาด 8 บิท ซึ่งใช้ไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลความเร็วสูง (Flash A/D Converter) เบอร์ CA3318 โดยข้อมูลรวมทั้งสามสีที่ได้เปลี่ยนเป็นข้อมูลดิจิตอลมีขนาด 24 บิทสีต่อหนึ่งจุด ส่งไปเก็บยังหน่วยความจำภาพนอกซึ่งควบคุมการเก็บโดยวงจรควบคุมและส่งข้อมูลภาพที่เก็บไว้นี้ไปยังคอมพิวเตอร์ผ่านพอร์ตขนานแล้วเขียนโปรแกรมเพื่อนำข้อมูลภาพมาแสดงบนคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีโทรทัศน์

2.1.1 องค์ประกอบภาพ

หากตัดภาพจากหนังสือมาซักภาพหนึ่งแล้วขยายให้ใหญ่ขึ้นด้วยกล้องและแว่นขยายจะพบว่าภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองเรียกว่า องค์ประกอบภาพหรือพิกเจอร์อิลีเมนต์ (Picture Element) หรือพิกเซล (Pixel) ทำนองเดียวกันภาพที่ปรากฏบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆในแนวนอนรวมกันอยู่ เส้นเหล่านี้ได้มาจากการกวาดลำแสง (Scan) เส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบของภาพ ในปัจจุบันส่วนที่เรียกว่าองค์ประกอบของภาพได้ถูกนำมาใช้อย่างจริงจังเช่น ในโทรทัศน์และเครื่องเล่นวีดีโอ จะมีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิตอลจะจัดการข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล,โทรทัศน์ระบบคอมพิวเตอร์,ระบบภาพซ้อน,ดิจิตอลวีซีอาร์

2.1.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้า ส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงใหม่โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสุญญากาศทั่วไปที่ปล่อยอิเลคตรอนออกมาจากแคโทดแล้วจะมีการดึงลำอิเลคตรอนให้วิ่งเป็นลำกระทบเข้ากับแอโนดหรือจอภาพตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ โดยที่การสแกนมี 2 วิธี

- การสแกนแบบก้าวหน้า (Progressive Scanning)
- การสแกนแบบสลับเส้น (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่ได้กล่าวมาจะต้องคำนึงถึงหลัก 3 ประการคือ

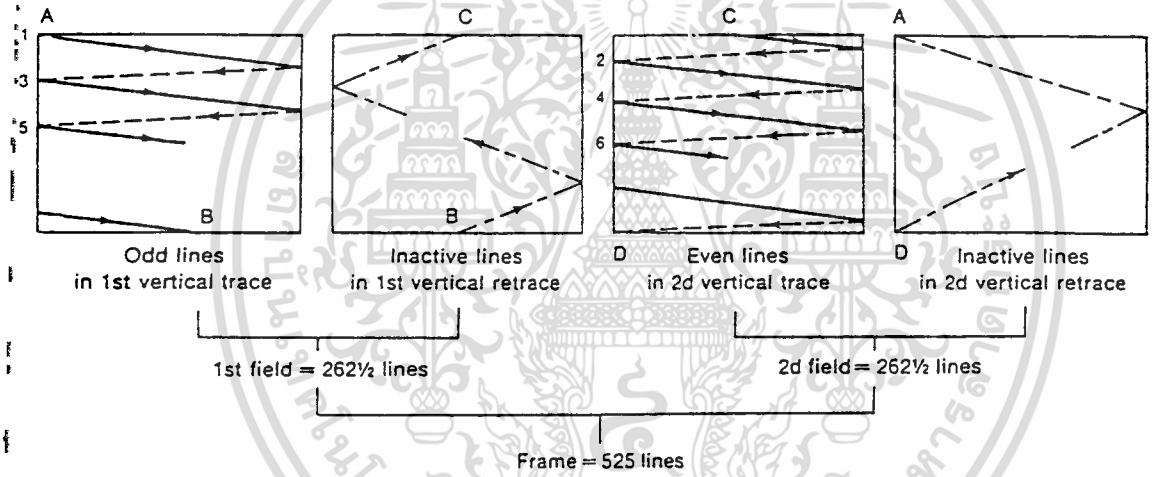
1. ลำอิเลคตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้งจะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ
2. ในแต่ละเส้นของการสแกนลำอิเลคตรอนจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นภาพแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเรียกว่ารีเทรส (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆเพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดแบลงค์เอาท์ (Blankout)
3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิมเพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณแนวตั้งเวอร์ติคัลสแกนนิ่ง (Vertical Scanning)

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้ว่าให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพพบว่า แม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพต่อวินาทีก็ตามยังจะมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง เมื่อการสแกนถึงขอบด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็จะเกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบ จึงต้องใช้การสแกนสลับเส้นหรือบางคนเรียกว่า การสแกนแบบแทรกสอด (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และต่อไปจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าภาพหนึ่งเฟรมต้องใช้การสแกนเนวตั้งถึงสองครั้งหรือสองฟิลด์

ตามมาตรฐาน CCIR ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพและใช้ภาพ 25 ภาพต่อวินาที ดังนั้นในหนึ่งฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักลำอิเลกตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้นคูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราสามารถหาความถี่ได้จาก 625x25 เท่ากับ 15625 Hz ความถี่หักเหแนวตั้งจึงเท่ากับ 50 Hz



รูป 2.1 การสแกนแบบแทรกสอด

จากรูปที่ 2.1 ได้แสดงวิธีการสแกนแบบแทรกสอดของระบบโทรทัศน์ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจากจุดที่อยู่ทางซ้ายแล้วกวาดไปทางขวานับเป็นเส้นสแกนที่ 1 แล้วจึงสแกนเส้นที่ 3,5,7,9 และต่อไปจนกระทั่งได้ 312.5 เส้นในระบบ CCIR ซึ่งก็คือการสแกนมาถึงกึ่งกลางของจอด้านล่าง ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเรียกว่าเวอร์ติคัลรีเทรส(Vertical Retrace)หรือสัญญาณฟลายแบ็ค ดึงกลับไปยังตำแหน่งจุดกึ่งกลางของขอบจอด้านบนเพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรส (Retrace Time) ทั้งการรีเทรสทางเวอร์ติคัลและฮอริซอนทัลเป็นเวลาสั้นๆ ถึงอย่างไรก็ตามก็ไม่ต้องให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนการทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับก่อนที่จะถึงจุดที่ว่านั้น รายละเอียดของการสะบัดกลับในส่วนของการกวาดลำแสงหรือการสแกนในแนวนอน เวลาของการรีเทรสจะได้ประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

10-16% ของเวลาทั้งหมด ในระบบ CCIR จะใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซกคัล ดังนั้นเวลาของการรีเทรสจะได้ประมาณ 6.4 ไมโครเซกคัล ในส่วนของทางด้านความถี่หักเหทางแนวตั้งจะใช้เวลารีเทรสไม่เกิน 5-8% อย่างเช่นให้เราใช้เวลาในส่วนนี้เท่ากับ 3% ของเวลา 1/50 วินาที ดังนั้นเวลาของการรีเทรสจึงเท่ากับ 600 ไมโครเซกคัล นั่นหมายความว่าช่วงเวลาในการรีเทรสทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

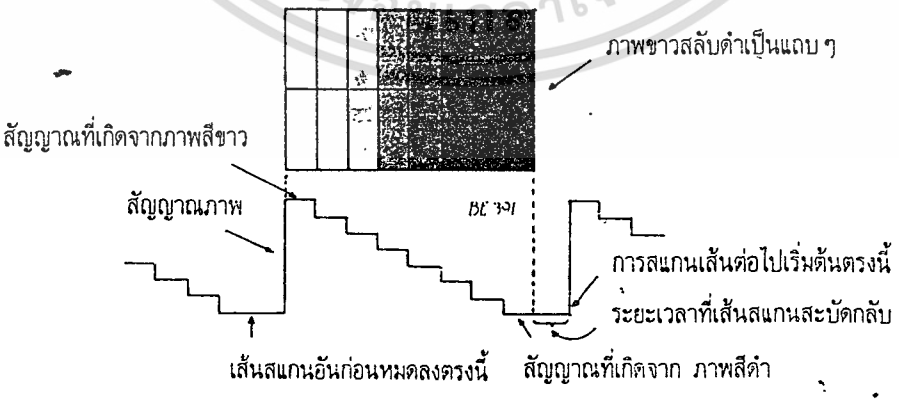
จากหลักการดังกล่าวสามารถสรุปบางอย่างได้ว่าตามความเป็นจริงแล้วเส้นภาพ 525 เส้นหรือ 625 เส้นมิอาจจะได้ครบทุกเส้น อย่างน้อยๆในกรณีที่เกิดเวอร์ติคัลรีเทรสจะกินเวลาของการสแกนทางแนวนอนไปด้วย แต่จะกินไปจำนวนเท่าไหร่ขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับเรียกตัวนี้ว่า สัญญาณแบลงค์กิ้ง (Blanking)

2.1.3 การสร้างสัญญาณโทรทัศน์

สัญญาณรายละเอียดภาพซึ่งเป็นแรงดันกระแสสลับที่แปรเปลี่ยนค่าไปตามความสว่างของภาพที่ได้ออกมาจากหลอดเก็บสัญญาณภาพนั้น จะต้องถูกส่งไปรวมกับสัญญาณควบคุมตำแหน่งภาพและลบเส้นสะบัดกลับซึ่งสร้างจากวงจรชุดสร้างความถี่ได้แก่

- สัญญาณควบคุมตำแหน่งภาพในแนวนอน (Horizontal Synchronus)
- สัญญาณลบเส้นสะบัดกลับทางแนวนอน (Horizontal Blanking)
- สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง (Vertical Synchronus)
- สัญญาณลบเส้นสะบัดกลับทางแนวตั้ง (Vertical Blanking)
- สัญญาณที่ทำหน้าที่รักษารูปร่างของสัญญาณเวอร์ติคัลซิ้งค์ (Equalizing Pulse)

สัญญาณภาพขาวดำ สมมุติว่าต้องการจะดูระดับสัญญาณขาวดำ กรณีที่จะกล่าวถึงสัญญาณขาวดำหรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่า ภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดในกรณีนี้ก็คือ แถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อยซึ่งเรียกว่าระดับเกรย์สเกล (Grey Scale)นั่นเอง



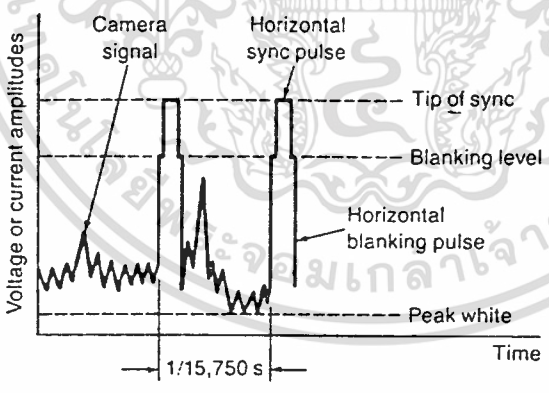
รูปที่ 2.2 แสดงระดับสัญญาณขาวดำโดยเกรย์สเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.2 แสดงให้เห็นระดับของเกรย์สเกลในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามาหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุดและเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัวหรือเทาและดำนั้นระดับสัญญาณจะลดลงมาเรื่อยๆ หมายความว่าเมื่อสัญญาณมีความแรงน้อย ความส่องสว่างจะน้องลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้า ที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะมีค่าไม่เกิน 5 MHz ในระบบ CCIR ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

สัญญาณฮอริซอนทัลซิงค์ คือ แรงดันช่วงสั้นๆ (Pulse) ประมาณ 4.7 ไมโครเซคคัล เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำว่าจุดคัทออฟของหลอดภาพ) ซึ่งส่งไปยังเครื่องรับ เพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นที่สถานีส่ง ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงจะถูกต้องกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งรวมกับสัญญาณฮอริซอนทัลแบลงค์กิ้ง โดยส่งรวมกับสัญญาณภาพไปในช่วงจังหวะสะบัดกลับทางแนวนอนซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณฮอริซอนทัลแบลงค์กิ้ง คือ ค่าแรงดันที่มีระดับสูงกว่าฮอริซอนทัลซิงค์ประมาณ 25-30% มีช่วงเวลาประมาณ 12.05 ไมโครเซกคัล โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพส่งไปยังเครื่องรับเพื่อทำให้หลอดภาพคัทออฟในจังหวะสะบัดกลับทางแนวนอน จึงไม่เห็นแสงของเส้นสะบัดกลับทางแนวนอนปรากฏบนหน้าจอ สัญญาณนี้จะส่งร่วมกับฮอริซอนทัลซิงค์ เติมลงในสัญญาณภาพ ตรงช่วงสะบัดกลับทางแนวนอนซึ่งไม่มีสัญญาณภาพ



รูปที่ 2.3 แสดงสัญญาณฮอริซอนทัลซิงค์และฮอริซอนทัลแบลงค์กิ้งรวมสัญญาณภาพ

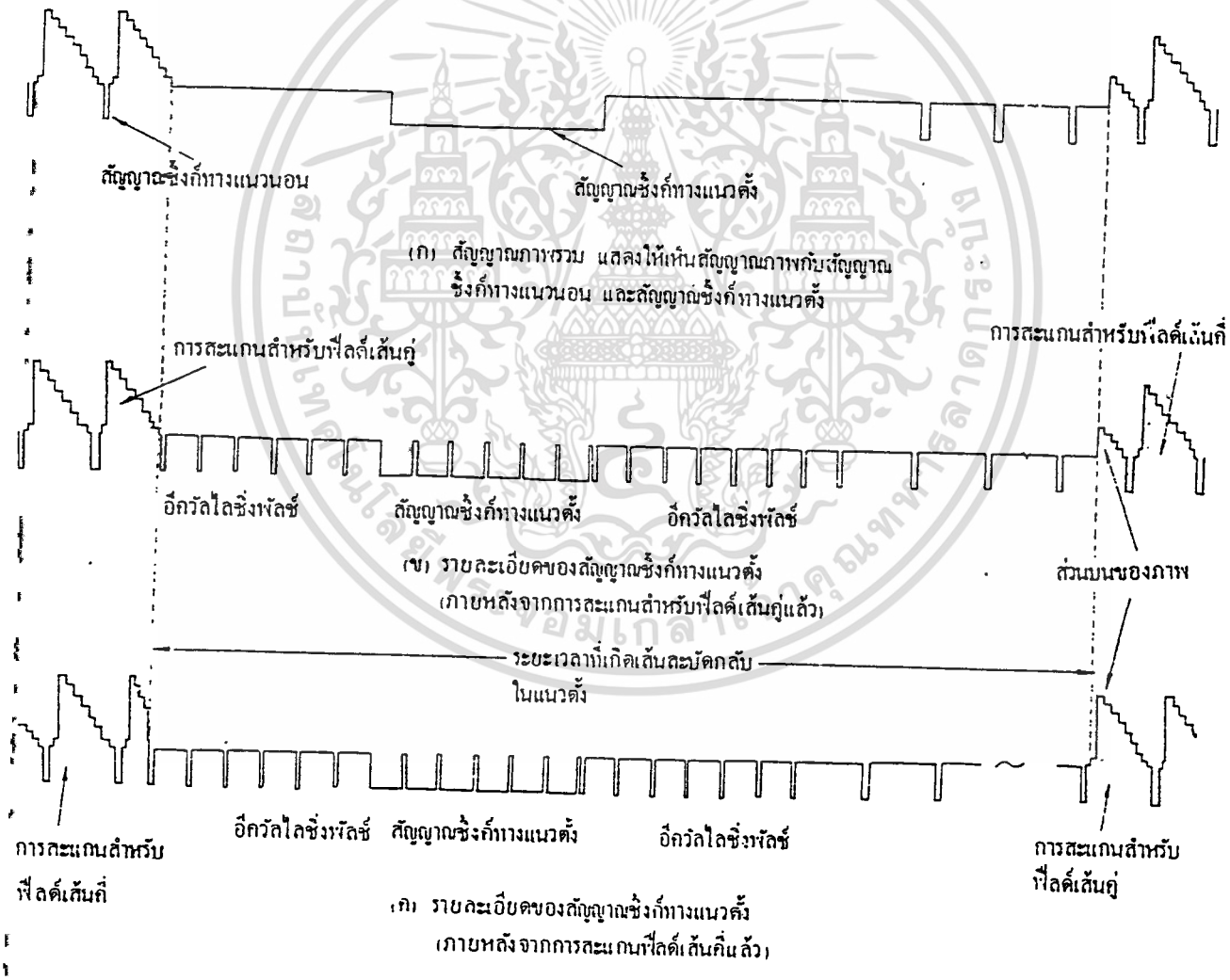
สัญญาณเวอร์ติคัลซิงค์คือสัญญาณที่มีระดับแรงดันเท่ากันกับสัญญาณฮอริซอนทัลซิงค์แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนทัลซิงค์ คือแบ่งออกเป็นช่วงๆ 5 ช่วง (5 Pulse) แต่ละช่วงเกิดนานประมาณ 29 ไมโครเซกคัล และเว้นระยะห่างกัน 4.7 ไมโครเซกคัล ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง เพื่อให้สัญญาณความถี่ออกมาได้จังหวะคล้องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งรวมกับสัญญาณภาพในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

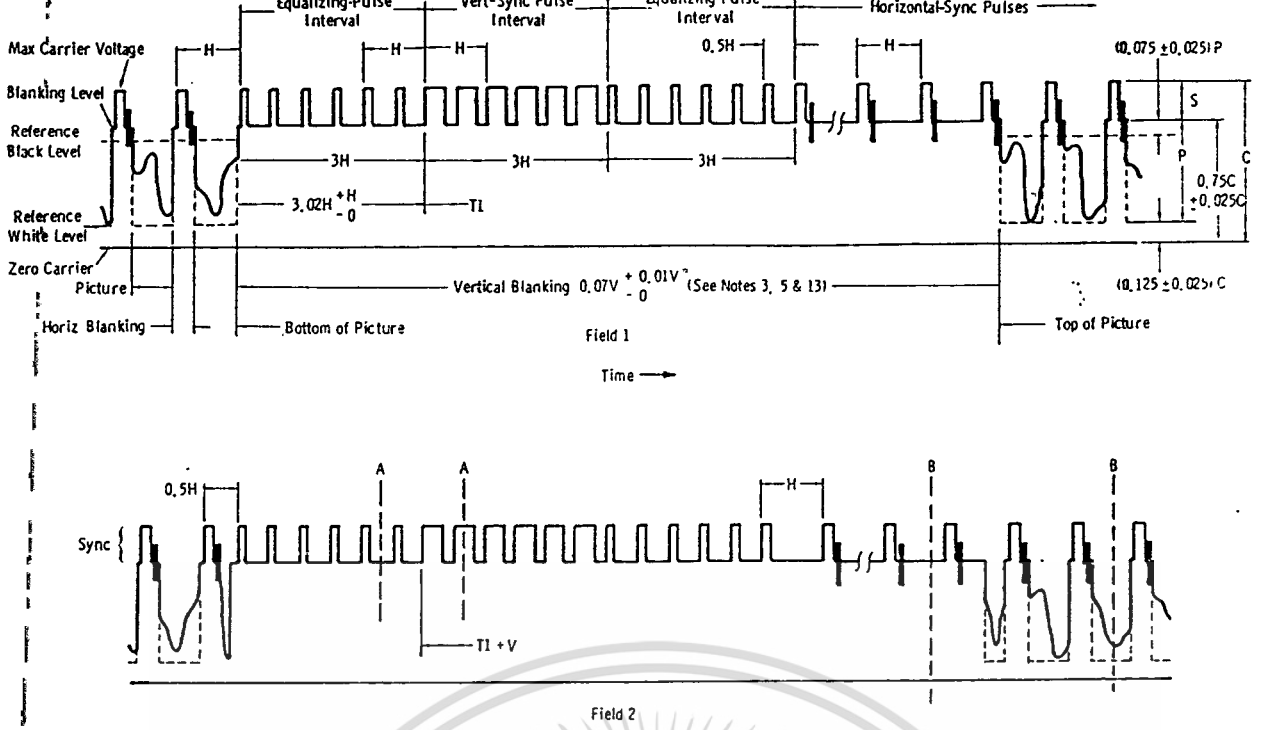
อีควอไลซิ่งพัลส์ คือพัลส์ช่วงเวลาสั้นๆประมาณพัลส์ละ 2.35 ไมโครเซกกัลจำนวน 2 ชุดๆ ละ 5 พัลส์เติมลงไปนำหน้าและตามหลังเวอร์ติคัลซิงค์เพื่อรักษารูปร่างและช่วงเวลาของเวอร์ติคัลซิงค์ให้สมบูรณ์ขณะที่แยกออกจากยอริซอนทัลซิงค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

เวอร์ติคัลแบลงค์กิ้ง เป็นแรงดันที่ส่งไปทำให้หลอดภาพคัทออฟในช่วงระยะเวลาสะบัดกลับทางแนวตั้งเพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ลำอิเลกตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งมีช่วงเวลาประมาณ 25 เส้นสแกนทางแนวนอน ด้วยเหตุนี้สัญญาณจึงส่งร่วมกับสัญญาณภาพโดยเติมลงในจังหวะสะบัดกลับทางแนวตั้งของสัญญาณภาพ ซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ



รูปที่ 2.4 แสดงสัญญาณเวอร์ติคัลซิงค์และเวอร์ติคัลแบลงค์กิ้งและการเติมลงไปในสัญญาณภาพแต่ละฟิลด์

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 รายละเอียดสัญญาณฟิลด์และสัญญาณควบคุมช่องเวอร์ติคัลแบลงค์กิ้ง

2.1.4 สัญญาณภาพและมาตรฐานของสัญญาณโทรทัศน์

สัญญาณภาพที่ประกอบขึ้นทางสัญญาณทางไฟฟ้าซึ่งตรงกับการสแกนของอิเลกตรอนบีมในกล้องโทรทัศน์ สัญญาณโทรทัศน์จะบอกรายละเอียดทางด้านเทคนิค ของรูปร่างสัญญาณและคุณสมบัติในการมอดูเลทของสัญญาณที่ส่งออกอากาศซึ่งจะบอกอย่างชัดเจนเกี่ยวกับจำนวนเส้นของการสแกน อัตราส่วนการอินเทอร์เลส (Interlace) การมอดูเลทภาพและเสียงเป็นอย่างไรมีแบนวิดท์เท่าไหร่จะให้รายละเอียดเกี่ยวกับระบบพัล-บี (PAL-B) ที่ CCIR กำหนดใช้เส้นในการสแกนจำนวน 625 เส้น และอินเทอร์เลสของภาพ 2:1 หนึ่งภาพจะประกอบด้วย 2 ฟิลด์ ความถี่ของฟิลด์เท่ากับ 50 Hz ฉะนั้นจำนวนภาพต่อวินาทีเท่ากับ 25 Hz ฮอริซอนทัลฟรีเควนซี่ (Horizontal Frequency) เท่ากับ 625x25 = 15625 Hz มีอัตราความสูงต่อความกว้างของภาพ 4:3

เนื่องจากสัญญาณที่ได้จากกล้องถ่ายโทรทัศน์ซึ่งมี 3 สีไม่สามารถส่งออกอากาศได้โดยตรง เพราะข้อกำหนดระบุให้สัญญาณโทรทัศน์สีต้องส่งออกอากาศโดยใช้ย่านความถี่ (Frequency Range) และความกว้างของแถบสีแต่ละช่อง (Channel Bandwidth) เท่ากันกับของการส่งสัญญาณขาวดำ โดยจะมีหลักการดังนี้

1. **สัญญาณลูมิแนนซ์ (Luminance Signal)**

เป็นสัญญาณระหว่างความสว่างหรือสัญญาณขาวดำที่รวมทั้งสัญญาณควบคุมตำแหน่งภาพต่างๆจะส่งออกอากาศในลักษณะเดียวกันกับของโทรทัศน์ขาวดำ คือผสมกับคลื่นพาหะของสัญญาณภาพ (Video Carrier) โดยตรงในแบบ AM (Amplitude Modulation) แล้วส่งออกอากาศไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

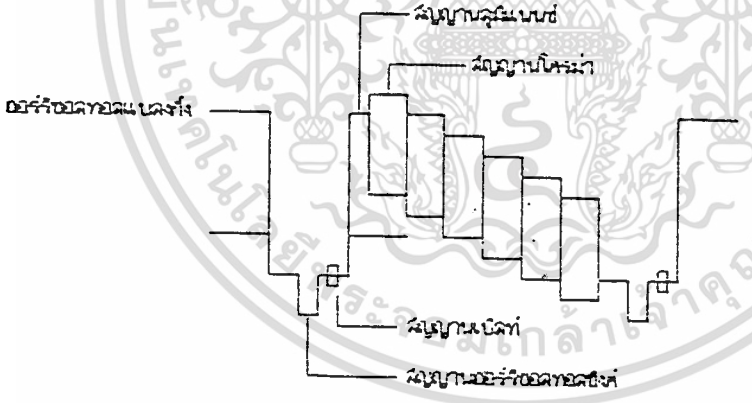
2. **สัญญาณสี (Chrominanace Signal)**

สัญญาณสีมีอยู่ 3 สัญญาณคือ สัญญาณสีแดง,เขียว,น้ำเงิน จะรวมเป็นสองสัญญาณคือ สัญญาณความต่างสี R-Y ได้จากการผสมกันระหว่างสีแดงกับสัญญาณลูมิเนนซ์ (Y) ที่ถูกชิฟเฟสไป 180 องศา และสัญญาณความต่างสี B-Y ซึ่งเป็นไปในทำนองเดียวกันโดยใช้สัญญาณสีน้ำเงิน จากนั้นสัญญาณความต่างสีทั้งสองจะถูกนำไปผสมรวมกับซับแคเรียร์ที่สร้างขึ้น แล้วส่งไปรวมตัวกับสัญญาณลูมิเนนซ์ ก่อให้เกิดสัญญาณคอมโพสิทวีดิโอ (Composite Video) และผสมกับคลื่นพาหะสัญญาณภาพได้เป็นสัญญาณโทรทัศน์ส่งออกอากาศ

ภาคที่ทำหน้าที่สร้างสัญญาณโครมา (Chroma Signal) ก็คือวงจรภาพโครมาเอ็นโค้ดเดอร์ (Chroma Encoder) ส่วนทางเครื่องรับโทรทัศน์จะทำการแยกสัญญาณแม่สีกลับคืนมาเป็นสัญญาณสีแดง,เขียว,น้ำเงิน โดยวงจรโครมาดีโค้ดเดอร์ (Chroma Decoder) ซึ่งภาคโครมาดีโค้ดเดอร์นี้มีข้อแม้ว่าจะต้องเป็นมาตรฐานเดียวกัน ซึ่งมาตรฐานในการส่งสัญญาณโทรทัศน์สีแบ่งออกเป็น 3 มาตรฐาน คือ

- มาตรฐาน NTSC (National Television System Committee)
- มาตรฐาน PAL (Phase Alternation by Line)
- มาตรฐาน SECAM (Sequencial Color A Mimory)

ซึ่งในปัจจุบันนิยมใช้แค่ 2 ระบบคือ NTSC และระบบ PAL

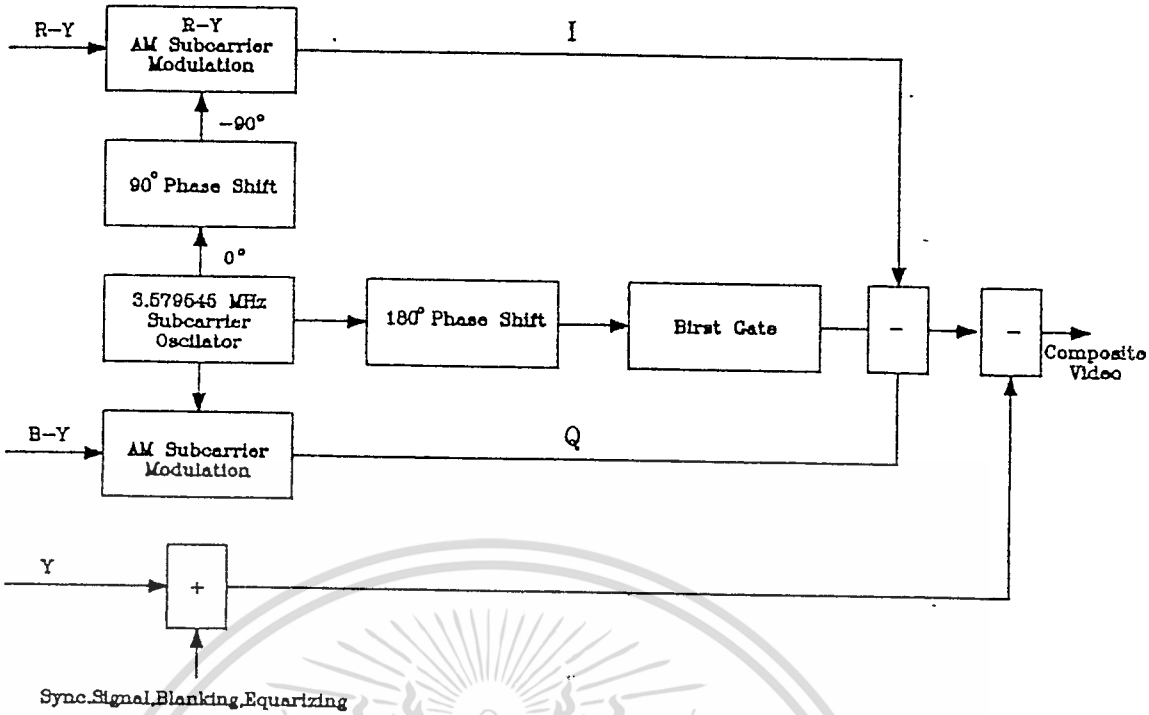


รูปที่ 2.6 แสดงสัญญาณสีที่ประกอบเป็นสัญญาณภาพสีรวม

มาตรฐาน NTSC (National Television System Committee)

ระบบนี้เกิดขึ้นก่อนระบบอื่นๆซึ่งถือว่าเป็นระบบแม่ซึ่งมีบล็อคไดอะแกรมวงจรในภาคโครมาเอ็นโค้ดเดอร์ ดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงบล็อคไดอะแกรมภาคเอ็นโค้ดเดอร์ของมาตรฐาน NTSC

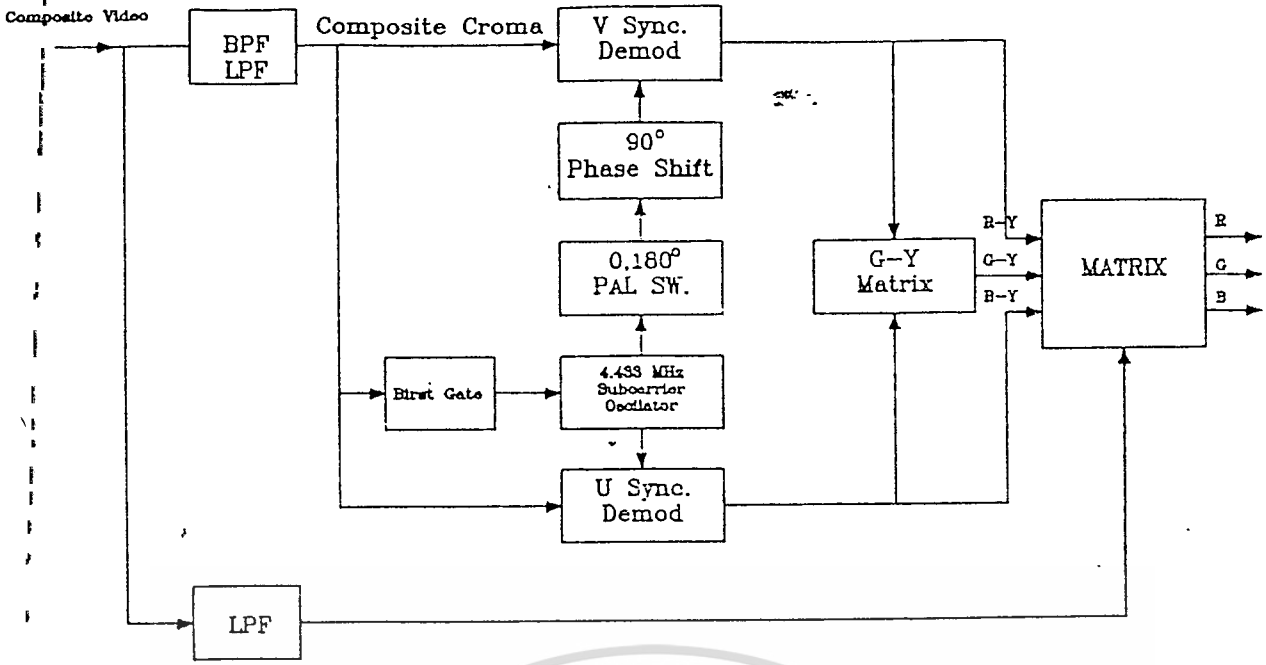
รายละเอียดมาตรฐานของระบบ NTSC

จำนวนเส้นต่อภาพ	525	เส้น
จำนวนภาพต่อวินาที	30	ภาพ
จำนวนฟิลด์ต่อวินาที	60	ฟิลด์
ความถี่การหักเหในแนวนอน	1575	Hz
ความถี่ซับแคร์เรีย	3.579545 MHz	

จากที่ได้กล่าวมาแล้วว่าวงจรเอ็นโค้ดเดอร์เป็นวงจรรวมสัญญาณสี (Chroma) เพื่อนำไปสร้างเป็นสัญญาณคอมโพสิทวีดิโอ (Composite Video Signal) ต่อไป

ในภาคเอ็นโค้ดเดอร์ของระบบ NTSC ซึ่งใช้ความถี่ 3.579545 MHz เป็นสัญญาณซับแคร์เรีย จากรูปสัญญาณนี้จะแยกเป็น 3 ทาง ทางแรกจะส่งไปมอดูเลท (Modulate) กับสัญญาณความต่างสี B-Y โดยตรงในแบบ AM Suppress Carrier Modulator ได้เป็นสัญญาณ Q ทางที่สองของซับแคร์เรียจะถูกเลื่อนเฟสให้เร็วกว่าเดิม 90 องศา แล้วส่งไปผสมกับสัญญาณความต่างสี R-Y ในลักษณะเดียวกัน ได้เป็นสัญญาณ I ส่วนอีกทางของสัญญาณซับแคร์เรียจะส่งไปเลื่อนเฟสให้ต่างจากเดิม 180 องศาแล้วส่งไปยังวงจรเบิสท์เกท (Burst Gate) เพื่อควบคุมการสร้างสัญญาณเบิสท์ (Burst Signal) หลังจากนั้นก็ทำสัญญาณ Q,I และสัญญาณเบิสท์มาผสมรวมกับสัญญาณคอมโพสิทวีดิโอออกที่เอาท์พุทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงบล็อคไดอะแกรมภาคดีโค้ดเดอร์ของมาตรฐาน NTSC

สัญญาณคอมโพสิทวีดิโอที่อินพุทของภาค (Decoder) จะถูกแยกเป็น 2 ทาง โดยวงจร BPF (Bandpass Filter) แยกเอาสัญญาณโครมาและเบิสท์เกท ส่งป้อนให้ R-Y (Syncronouse Demodulator) , B-Y ซิงโครนัสดีมอดูเลเตอร์และเบิสท์เกท ดังในรูปที่ 2.8 ส่วนวงจร LPF จะแยกสัญญาณลูมิเนนซ์ (Lumiance ,Y Matrix)

สัญญาณเบิสท์เกทจะส่งไปควบคุมเฟสของซับแคร์เรีย 3.579545 MHz ที่วงจรซับแคร์เรียออสซิลเลเตอร์สัญญาณนี้จะ ใช้ควบคุมการแยกเอาสัญญาณความต่างสี R-Y, B-Y ออกมาทางเอาท์พุทของวงจรดีมอดูเลเตอร์ ซึ่งสัญญาณ R-Y, B-Y ส่วนหนึ่งจะถูกส่งไปสร้างสัญญาณความต่างสี G-Y ที่วงจร G-Y จากนั้นสัญญาณ R-Y, B-Y, G-Y จะนำมาผสมรวมกับสัญญาณ Y ที่วงจร Y Matrix จะได้สัญญาณแม่สีทั้งสามคือสีแดง,เขียวและน้ำเงิน

มาตรฐาน PAL (Phase Alternation by Line)

ระบบนี้พัฒนามาจากระบบ NTSC เพื่อแก้ความคลาดเคลื่อนทางสีสันเนื่องจากความคลาดเคลื่อนทางเฟสของสัญญาณสีและเพื่อป้องกันสัญญาณรบกวน ซึ่งจะทำการมอดูเลทสัญญาณความต่างสีกับคลื่นพาหะแบบ FM (Frequency Modulation) แต่ในระบบ NTSC เป็นแบบ AM (Amplitude Modulation) ซึ่งทำให้เกิดสัญญาณรบกวนได้ง่าย

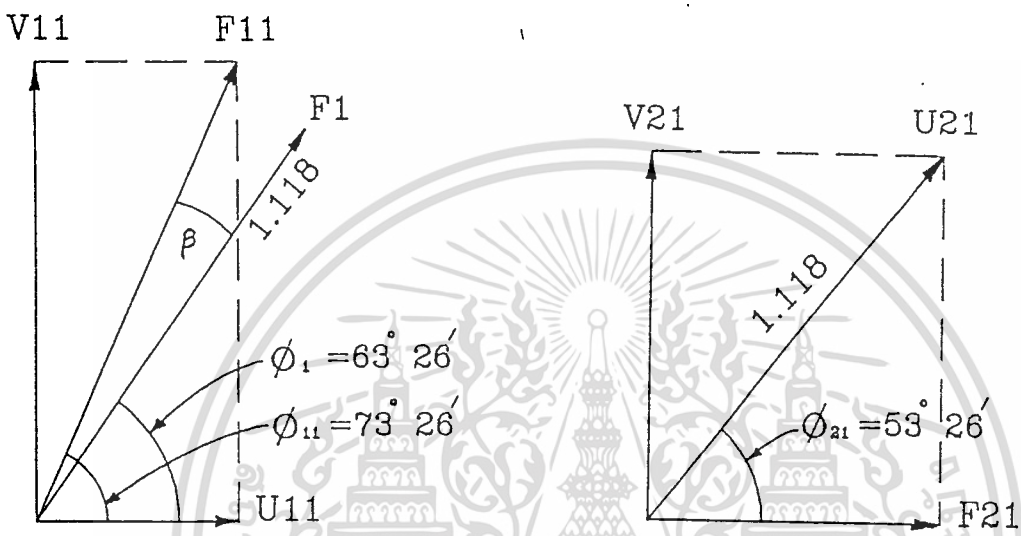
รายละเอียดมาตรฐาน PAL

จำนวนเส้นต่อภาพ	625	เส้น
จำนวนภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ต่อวินาที	50	ฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

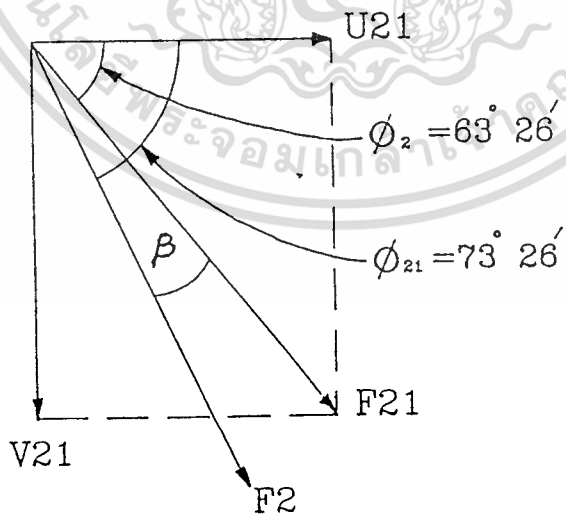
ความถี่การหักเหในแนวนอน	15625	Hz
ความถี่ซับแคร์เรีย R-Y	4.40625	MHz
B-Y	4.250	MHz

การแก้ความผิดพลาดทางเฟสของสัญญาณโทรทัศน์สีระบบ PAL เนื่องจากในการส่งสัญญาณโทรทัศน์สีอาจมีสัญญาณรบกวนทำให้เฟสของสัญญาณสีเกิดผิดพลาดไป ดังนั้นในการส่งสัญญาณภาพโทรทัศน์สีในระบบ PAL จะทำการสลับเฟสสัญญาณภาพสีแบบเส้นเว้นเส้น



เวกเตอร์ F11, F21 แทนสัญญานภาพสีที่ผิดพลาดทางเฟสในเส้นที่ 1, 2 ตามลำดับ

เวกเตอร์ F1, F2 แทนสัญญานภาพสีที่ถูกต้องในเส้นที่ 1,2 ตามลำดับ



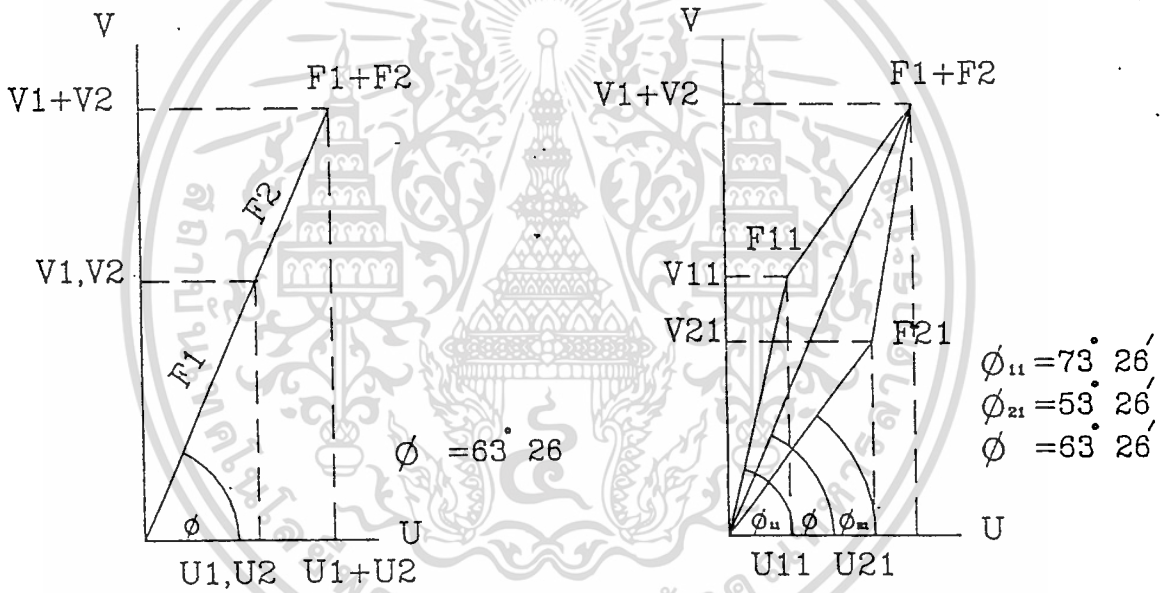
เวกเตอร์ F11, F21 แทนสัญญานภาพสีที่ผิดพลาดทางเฟสในเส้นที่ 1,2 ตามลำดับ

เวกเตอร์ F1, F2 แทนสัญญานภาพสีที่ถูกต้องในเส้นที่ 1,2 ตามลำดับ

รูปที่ 2.9 แสดงการส่งสัญญาณภาพโทรทัศน์สีในระบบ PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.9 สัญญาณภาพสี V,U เป็นเวคเตอร์แทนสัญญาณสี R-Y ตามลำดับในรูปที่ 2.9.ก เป็นการแสดงความผิดพลาดทางเฟสของสัญญาณสีในเส้นที่ 1 (สัญญาณ F11) โดยสมมุติให้สัญญาณภาพสีรวมในเส้นสแกนที่ 1 มีเฟสผิดพลาดเพิ่มขึ้น 10 องศา ซึ่งจะเห็นว่าสัญญาณสี U11 มีน้อยกว่า U1 และ V11 มีขนาดมากกว่า V1 ส่วนรูปที่ 2.9.ข เป็นการแสดงการผิดพลาดทางเฟสของสัญญาณสีในเส้นที่ 2 (สัญญาณ F21) โดยสัญญาณภาพสีรวมในเส้นสแกนที่ 2 มีเฟสผิดพลาดเพิ่มขึ้น 10 องศา แต่เมื่อทำการสลับเฟสของสัญญาณภาพสี V ออกไป 180 องศา ทิศทางลงล่างจะทำให้ขนาดของสัญญาณ V21 น้อยกว่า V2 และสัญญาณ U21 มีขนาดยาวกว่า U2 แต่ในวงจรภาครับสัญญาณภาพ โทรทัศน์สีระบบ PAL จะมีการสลับเฟสสัญญาณภาพสี(เฉพาะเส้นที่มีการสลับเฟส) ให้มีลักษณะเหมือนเดิม ดังในรูปที่ 2.9 ดังนั้นเมื่อนำสัญญาณภาพสีรวมในเส้นสแกนที่ 1 กับ 2 มารวมกันในลักษณะเวคเตอร์จะได้ดังรูปที่ 2.10

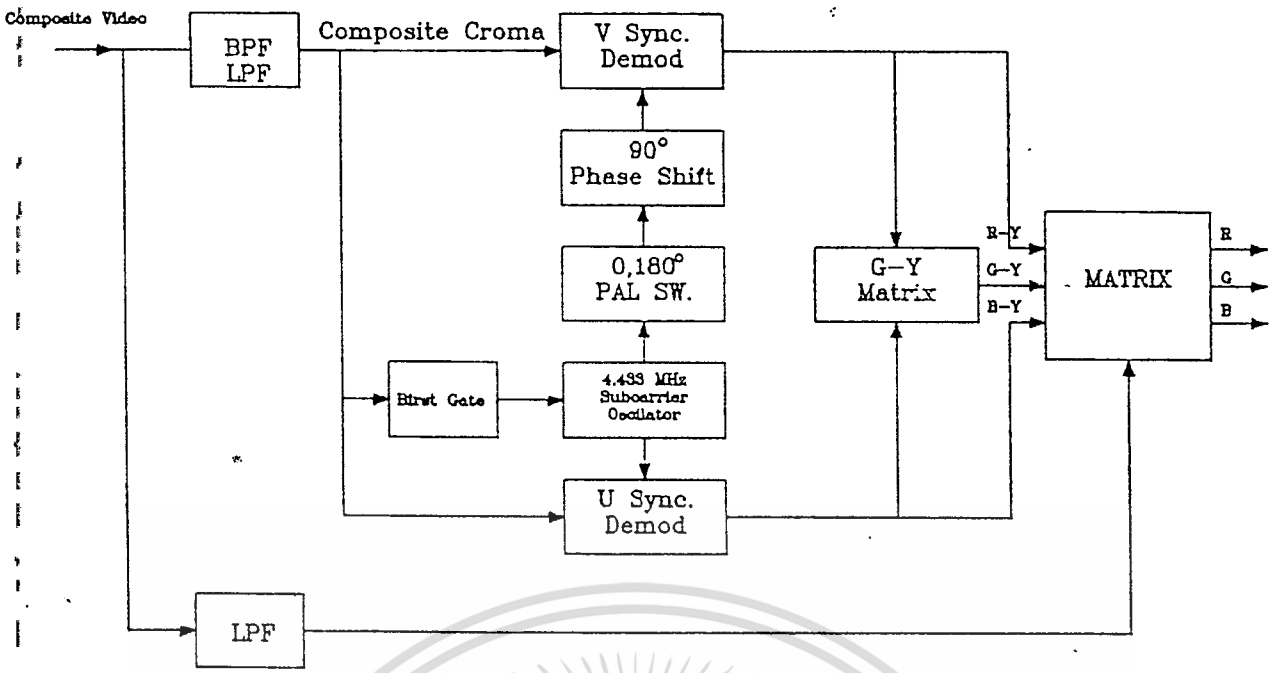


ก)แสดงสัญญาณภาพสีรวมที่มีเฟสถูกต้อง ข) แสดงสัญญาณภาพสีรวมที่มีการชดเชยทางเฟสด้วยระบบ (PAL)

รูปที่ 2.10 แสดงการเฉลี่ยเพื่อลดความผิดพลาดทางเฟสของสัญญาณภาพสี

จะเห็นว่าการชดเชยความผิดพลาดทางเฟสของสัญญาณสีในระบบ PAL จะช่วยให้ค่าเฉลี่ยของสัญญาณภาพสีรวมมีเฟสใกล้เคียงกับสัญญาณสีเดิมมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงบล็อคไดอะแกรมวงจรภาคเอ็นโค้ดเดอร์ของมาตรฐาน PAL

จากบล็อคไดอะแกรมรูปที่ 2.11 จะเห็นว่าสัญญาณความต่างสี R-Y และ B-Y จะถูกลดทอนสัญญาณลงด้วยวงจรเวทติ้ง (Weighting) เพื่อให้ระดับสัญญาณเหมาะสมก่อนส่งไปผสมกับสัญญาณซับแคร์เรีย

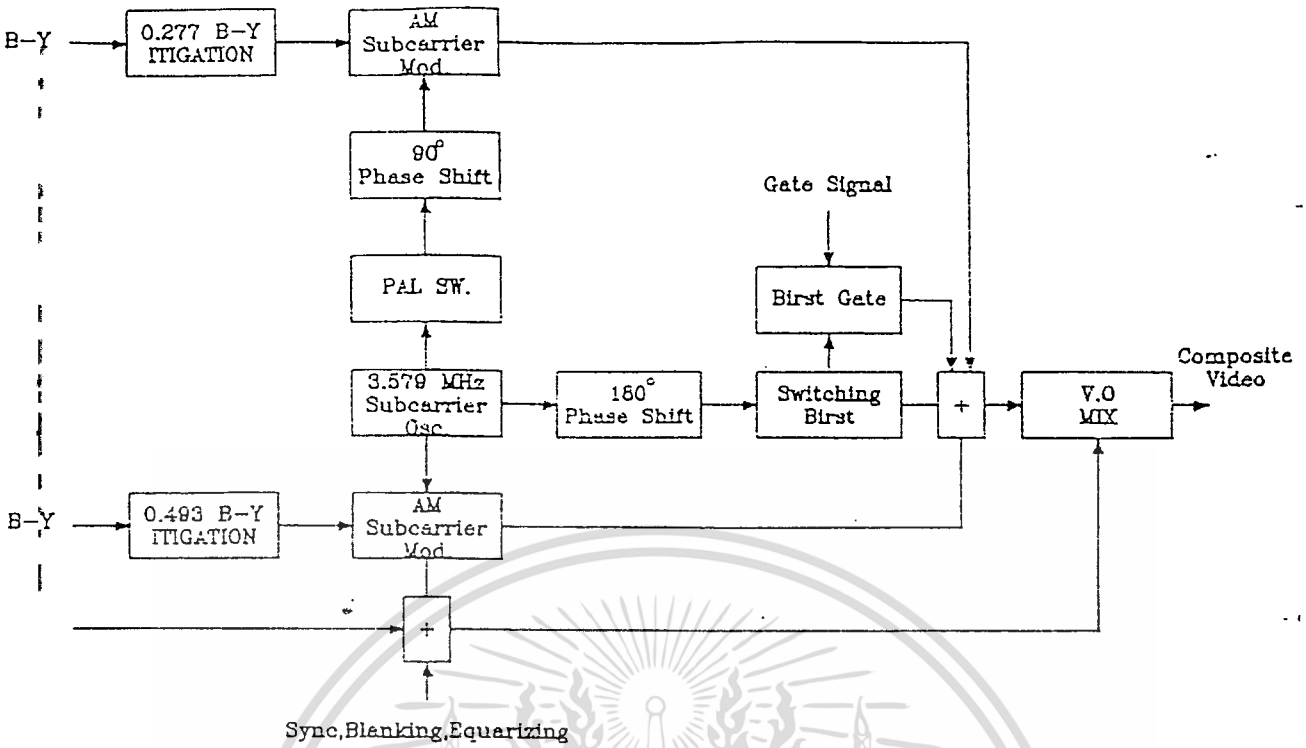
วงจรซับแคร์เรียออสซิลเลเตอร์ (Subcarrier Oscillator) จะสร้างสัญญาณซับแคร์เรียที่ความถี่ 4.43 MHz เพื่อส่งไปผสมกับสัญญาณสีโดยแบ่งเป็นสองทาง ทางหนึ่งผสมกับสัญญาณ B-Y แบบ AM ได้เป็นสัญญาณ u ส่วนอีกทางหนึ่งจะนำไปผ่านวงจรพาลสวิทช์ (PAL Switch) เพื่อเลื่อนเฟสของสัญญาณซับแคร์เรียให้มีเฟส +90 องศาแบบสลับเส้นเว้นเส้น แล้วส่งผลไปผสมกับสัญญาณ R-Y ในลักษณะเดียวกับในสัญญาณ B-Y ได้เป็นสัญญาณ v

สัญญาณโครมา u,v จะนำมาผสมกับสัญญาณเบิสท์และสัญญาณซิงค์ (Synchronous) และสัญญาณ Y ได้เป็นสัญญาณคอมโพสิทวีดิโอออกสู่มอนิเตอร์ ซึ่งสัญญาณคอมโพสิทวีดิโอในระบบ PAL จะถูกป้อนเป็นสัญญาณอินพุทของวงจรภาคดีโค้ดเดอร์โดยแยกเป็นสองทาง ทางหนึ่งจะนำไปสร้างสัญญาณสี (Chroma) ด้วยวงจรกรองความถี่เฉพาะช่วง (BPF:Bandpass Filter) ส่วนอีกทางหนึ่งจะนำไปสร้างสัญญาณลูมิแนนซ์ด้วยวงจรกรองความถี่ต่ำ (LPF:Lowpass Filter) สัญญาณสีที่ได้จะนำมาผสมกับสัญญาณซับแคร์เรียที่ถูกสร้างขึ้นในเครื่องรับโทรทัศน์เพื่อหักล้างกับสัญญาณซับแคร์เรียของเครื่องส่งที่ส่งมาพร้อมกับสัญญาณสีต่างๆ จะเห็นได้เป็นสัญญาณความต่างสี R-Y, B-Y เพื่อนำมาสร้างเป็นสัญญาณ G-Y โดยใช้อัตราส่วนดังนี้

$$(G-Y) = 0.51\ (R-Y) - 0.158\ (B-Y)$$

จากนั้นจะนำเอาสัญญาณความต่างสีทั้งสาม (R-Y,B-Y,G-Y) มาผสมกับสัญญาณ Y เพื่อให้ได้เป็นสัญญาณสี RGB เพื่อป้อนไปยังมอนิเตอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงบล็อคไดอะแกรมของวงจรภาคดีโค้ดเดอร์ของระบบมาตรฐาน PAL

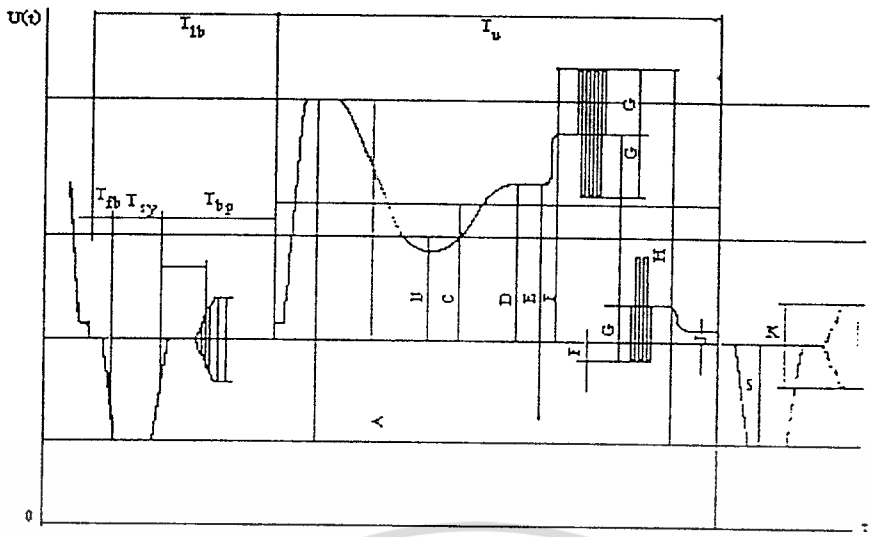
ส่วนประกอบของสัญญาณโทรทัศน์มี 6 ส่วน

- สัญญาณภาพพิกเจอร์อินฟอเมชั่น (Picture Information)
- สัญญาณซิงค์ประกอบด้วย ไลน์ซิงค์ (Line Sync)และฟิลด์ซิงค์ (Field Sync)
- สัญญาณแบลงค์กิ้งป้องกันไม่ให้มองเห็นช่วงรีเทรส
- สัญญาณคัลเลอร์ซิงโครไนซิ่ง (Color Synchronizing)
- สัญญาณโครมิเนนซ์ (Chrominance)
- สัญญาณลูมิเนนซ์ (Luminance)

คอมโพสิทวีดิโอซิคแนล (Composite Video Signal)

ประกอบด้วยส่วนต่างๆ 6 ส่วนได้แก่ Picture Information, Synchronizing Pulse, Blanking Pulse, Color Synchonizing, Chorminance Signal Component และ Luminance Signal Component เทอมดังกล่าวพิจารณาเป็นองค์ประกอบและค่าของสัญญาณคอมโพสิทแสดงได้ในรูป 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 Composite Video Signal

A : The non-useful d.c. component

B : The useful d.c. component integrated over a complete frame period

C : The picture d.c. component over the active line period (T)

D : The instantaneous value of the luminance component

E : The instantaneous signal value with respect to the bottom of the synchronizing pulse

F : The peak signal amplitude positive or negative with respect to G blanking level

G : The peak amplitueds of chrominance components

H : The peak to peak signal amplitude

J : The difference between black level and blanking level (set-up)

K : The peak to peak amplitude of the color burst

L : The nominal value of the luminance component

M : The peak to peak amplitude of a monochrome composite video signal

S : The amplitude of the synchronizing pulse

T_N :Duration of line synchronizing pulse

T_M :Duration of line blanking period

T_W :Duration of active line period

T_B :Duration of breezeway

T_{fr} :Duration of front porch

T_{sy} :Duration of back porch

แอมปลิจูดของ L,S และ M จะถูกใช้เป็นแอมปลิจูดอ้างอิงสำหรับสัญญาณวีดิโอ และแอมปลิจูดที่ถูกนิยามโดย B,C,D,E,F,G,H และ J ถูกแสดงความหมายเป็นเปอร์เซนต์ของค่า L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าเฉลี่ยระดับภาพ (Average Picture Level) เป็นค่าเฉลี่ยของค่า C ตลอดระยะเวลาทั้งหมดของเฟรมเบลงค์กิ้ง ถูกแสดงเป็นเปอร์เซนต์ของค่า L

● สัญญาณคอมโพสิท (Composite Video Signal) ประกอบด้วยเบลงค์กิ้งพัลส์ (Blanking Pulse) ซึ่งทำหน้าที่ยกระดับสัญญาณสู่ระดับเบลีคเลเวล (Black Level) ในช่วงเวลารีเทรสทำให้ไม่เห็นเส้นรีเทรสบนจอภาพ ช่วงรีเทรสบนจอภาพเกิดตรงกับไทม์มิ่งของเบลงค์กิ้งพัลส์

●เบลงค์กิ้งพัลส์ในคอมโพสิทวีดิโอซิกเนล มีทั้งฮอริซอนทัลเบลงค์กิ้งพัลส์ (Horizontal Blanking Pulse) และเวอร์ติคัลเบลงค์กิ้งพัลส์ (Vertical Blanking Pulse)

●ฮอริซอนทัลเบลงค์กิ้งพัลส์ทำหน้าที่เบลงค์เส้นรีเทรสจากด้านขวาของจอภาพมายังด้านซ้ายของจอภาพ ในแต่ละฮอริซอนทัลสแกนนิ่งไลน์ (Horizontal Scanning Line) ความถี่ฮอริซอนทัลเบลงค์พัลส์ (Horizontal Blank Pulse) ลูกต่อลูกเข้ากับไลน์สแกนนิ่งฟรีเควนซี่ (Line Scanning Frequency) 15625 Hz

●เวอร์ติคัลเบลงค์กิ้งพัลส์ทำหน้าที่เบลงค์เส้นรีเทรสของอิเลกตรอนบีม (Electron Beam) จากด้านล่างขึ้นด้านบนจอภาพเมื่อสิ้นสุดการสแกนแต่ละฟิลด์ ความถี่ของเวอร์ติคัลเบลงค์พัลส์ (Vertical Blank Pulse) เท่ากับ 50 Hz ในแต่ละฟิลด์

●ซิงโครไนซิ่งพัลส์ (Synchronizing Pulse) มีไว้เพื่อให้ทางด้านรับและด้านส่งทำการสแกนไปพร้อมๆกันโดยส่งเวอร์ติคัลซิงค์และฮอริซอนทัลซิงค์ไปด้วยกัน โดยมีความกว้างของเวลา (Period)ที่แตกต่างกัน เพราะฉะนั้นจะเป็นการง่ายในการแยกที่เครื่องรับโดยฮอริซอนทัลซิงโครนัสพัลส์ถูกแยกด้วยดิฟเฟอร์เรนติเอท (Differentiate) ซึ่งมีช่วงเวลาเท่ากับ 0.07H=0.07x64 ไมโครเซกคัล เท่ากับ 4.48 ไมโครเซกคัล ส่วนเวอร์ติคัลซิงค์จะแยกด้วยอินทิเกรท (Integrated) ซึ่งมีช่วงเวลายาวนานกว่าทางฮอริซอนทัลเท่ากับ 2.5 H=2.5x64 =160 ไมโครเซกคัล เพื่อให้ช่วงฮอริซอนทัลซิงค์พัลส์ถูกต้อง เวอร์ติคัลซิงค์พัลส์จะแทรกพัลส์เข้ามาเป็น H/2 จะเริ่มการสแกนจากฟิลด์แรกและจะเลื่อนไป H/2 เมื่อเริ่มจะเปลี่ยนฟิลด์ เวอร์ติคัลซิงค์พัลส์ได้มาจากการอินทิเกรทคอมโพสิทซิงค์ ซึ่งมีพรีอีควอไลซิ่งพัลส์ (Pre Equalizing Pulse) 5 ลูก ซึ่งใส่ในช่วง H/2 และ โพสอีควอไลซิ่งพัลส์ (Post Equalizing Pulse) ในฟิลด์ที่สองจะเริ่มจากจุดกึ่งกลางของเส้นที่ 313

●เบอร์สพัลส์ (Burst Pulse) เป็นสัญญาณที่ส่งไปในช่วงระยะของแบ็คพอชฮอริซอนทัลเบลงค์กิ้งอินเทอร์วัล (Back Porch Horizontal Blanking Interval) และเบอร์สพัลส์ประกอบด้วย 10 ไซเคิลของ 4.43 MHz คัลเลอร์ซับแคร์เรีย เบอร์สพัลส์ทำให้การซิงโครไนส์ 4.43 MHz คัลเลอร์ออสซิลเลเตอร์ในเครื่องรับ

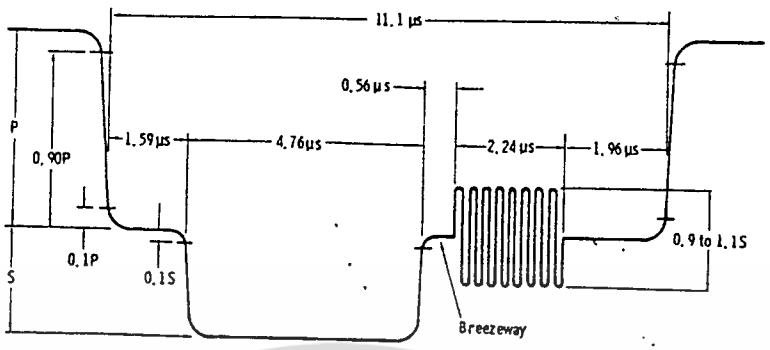
●ลูมิเนนซ์ซิกเนลคอมโพเนนท์ (Luminance Signal Component) เป็นความสว่าง (Brightness) ของภาพมีลักษณะคล้ายคลึงกับสัญญาณคอมโพสิทของสัญญาณโทรทัศน์ขาวดำ จะมีความแตกต่างกันบ้างก็ตรงคัลเลอร์เบอร์สซึ่งมีความถี่คัลเลอร์ซับแคร์เรียรวมอยู่ด้วย

●โครโมเนนส์ซิกเนลคอมโพเนนท์ (Chromonance Signal Component) ประกอบด้วยสัญญาณสีสองสัญญาณรวมกันอยู่โดยมีแคร์เรียเฟสแองเกิล (Carrier Phase Angle) ต่างกันอยู่ 90 องศา สัญญาณสีทั้งสองอยู่ในรูปของแอมปลิจูดมอดูเลทเต็ดซับเพลสเต็ทแคร์เรียไซท์แบนด์ (Amplitude-Modulated Suppressed Carrier Side Band) ทั้งคู่มุมเฟสและแอมปลิจูดของสัญญาณสีนี้จะคอยควบคุม ฮิว (Hue)และแซทูเลชั่น (Saturation)ของสีที่ต้องการส่งและต้องการรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ามาตรฐานของไลน์ซิงโครนัสและไลน์แบลงค์กิ้ง

ขนาดและเวลาของสัญญาณภาพระหว่างฮอริซอนทัลสแกนนึ่ง 1 เส้น มีค่าเท่ากับ 64 ไมโครเซกคัลดัง แสดงในรูป 2.14



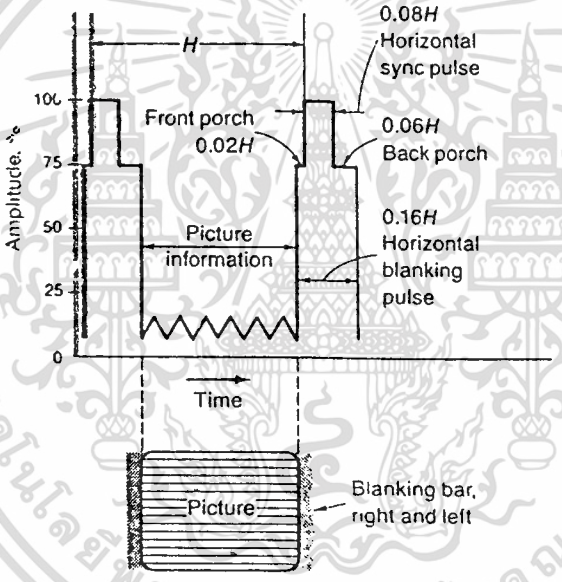
	Nominal Microseconds	Tolerance Microseconds
Blanking	11.1	+0.3 −0.6
Sync	4.76	±0.32
Front Porch	1.59	+0.13 −0.32
Back Porch	4.76	+0.96 −0.61
Sync to Burst	0.56	+0.08 −0.17
Burst	2.24	+0.27 0
Blanking to Burst[1]	6.91	+0.08 −0.17
Sync & Burst	7.56	+0.38 −0.49
Sync & Back Porch	9.54	±0.32

รูปที่ 2.14 ค่ามาตรฐานของซิงก์และฮอริซอนทัลแบลงค์กิ้ง

- ไลน์พิเรียด (Line Period :H) เป็นระยะเวลาที่ใช้ในการสแกนเสร็จสมบูรณ์ใน 1 เส้น ฮอริซอนทัลฟรีเควนซี่เท่ากับ 625x25 ได้เท่ากับ 15625 เส้นใน 1 วินาที ดังนั้นจึงหาค่าระยะเวลาได้จาก $H = 1/F_h = 1/15625 = 64$ µsec.
- ไลน์แบลงค์กิ้ง (Line Blanking :LB) ค่านี้จะเป็นช่วงเวลาที่จะใส่ซิงก์ พัลส์ระยะเวลานี้อิเลคตรอนบีมจะรีเทรสช่วงนี้จะถูกรักษาไว้ที่แบล็ค ซึ่ง LB เท่ากับ 0.19H=12µsec. ระยะเวลาของ LB จะแบ่งออกเป็น 3 ส่วนเพราะซิงก์จะใส่ไว้เกือบกึ่งกลางช่วงแบลงค์กิ้งไลน์ซิงโครนัสพัลส์ (HS) เป็นพัลส์เล็กๆที่มีความสำคัญมากจะถูกส่งจากทางด้านส่งไปยังเครื่องรับเพื่อทำให้การสแกนของฮอริซอนทัลของเครื่องรับถูกต้อง ความกว้างของ HS เท่ากับ 0.075H = 4.7 µsec มีไรซ์ไทม์ (Rise Time) น้อยกว่า 0.25 µsec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ฟร้อนพอร์ช (Front Porch) จุดเริ่มต้นของช่วงนี้จะ ไม่เริ่มที่แบลงค์กิ้งเต่จะตามหลังจุดเริ่มต้นของแบลงค์กิ้งประมาณ 2% ของไลน์พีเรียด ซึ่งระยะนี้เรียกว่าระยะฟร้อนพอร์ช เพื่อให้เวลาของไลน์ซิงค์เต่ละตัวได้เริ่มต้นใหม่ ที่แบล็คเลเวล (Black Level) ของภาพเป็นการแยกซิงค์ออกจากอิทธิพลของช่วงท้าย ของสัญญาณภาพซึ่งจะสูงสุดเมื่อไวท์เลเวล (White Level) เกิดขึ้นที่ช่วงท้ายของการสแกน ช่วงนี้จึงแทนด้วยไวท์เลเวลที่เกิดขึ้นให้เป็นแบล็คเลเวล ทำให้การเริ่มต้นของไลน์ซิงโครนัสพัลส์ถูกต้อง ฟร้อนพอร์ชเท่ากับ 2.5%H = 1.5 μsec และเบ็คพอร์ชเท่ากับ 5.8 μsec ระดับของสัญญาณภาพโดยทั่วไปจะกำหนดให้ระดับการมอดูเลทของแคร์เรีย ยอดของซิงค์จะให้การมอดูเลท 100% เพราะการมอดูเลทแบบเนกาทีฟ เมื่อมีระดับสัญญาณสีขาวซึ่งระดับสัญญาณจะลดลงไปทางลบแต่ช่วงแบล็งค์กิ้งรักษาไว้ที่ 70% และยอดของไวท์เลเวลซึ่งระดับ 10% ซึ่งค่า 10% ของแคร์เรียภาพนี้จำเป็นต่อเครื่องรับระดับอินเตอร์แคร์เรียซิสเต็ม เพื่อบีทกับแคร์เรียเสียงจะให้ความถี่ 5.5 MHz
- ฮอริซอนทัลแบลงค์กิ้งไทม์ (Horizontal Blanking Time)



รูปที่ 2.15 ฮอริซอนทัลแบลงค์กิ้งไทม์

ระยะระหว่างฮอริซอนทัลสแกนนึ่งไลน์หรือฮอริซอนทัลพีเรียดเท่ากับ 64 μsec เขียนแทนด้วย H เป็นระยะที่ใช้ไปในการสแกนครบ 1 เส้นนับตั้งแต่ เทรสไปจนรีเทรส ฮอริซอนทัลแบลงค์กิ้งพีเรียดมีค่าประมาณ 18% ของไลน์พีเรียดหรือเท่ากับ 0.18H จึงมีผลทำให้ฮอริซอนทัลแบลงค์กิ้งไทม์เท่ากับ 0.18x64 μsec = 12 μsec ซึ่งเป็นเวลาที่อิเลคตรอนบีมใช้ไปในการรีเทรสระหว่างฮอริซอนทัลสแกนเส้นต่อเส้น ตรงกับช่วงแบลงค์กิ้งหรือจอมืด แล้วถ้านำฮอริซอนทัลแบลงค์กิ้งพีเรียดลบออกจากพีเรียดของ 1 ไลน์สแกน = 52 μsec เป็นพีเรียดของ 1 ไลน์สแกนเฉพาะส่วนที่มองเห็น ฮอริซอนทัลซิงค์พัลส์มีขนาด 0.07H หรือเท่ากับ 0.07x64 μsec = 4.7 μsec superimpose บนแบลงค์กิ้งพัลส์พีเรียดที่เหลือบนฮอริซอนทัลแบลงค์กิ้งพีเรียดเท่ากับ 7.3 μsec โดยประมาณอยู่บนระดับแบลงค์กิ้งเลเวล เป็นของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟร้อนพอร์ชและแบ็คพอร์ช นำหน้าและตามหลังซิงค์พัลส์ตามลำดับ ฟร้อนพอร์ชมีพีเรียด 0.02Hและแบ็คพอร์ชมีพีเรียด 0.09H มากกว่าฟร้อนพอร์ชถึง 4 เท่าตัว โดยที่ฟร้อนพอร์ชเท่ากับ 1.55 μsec และแบ็คพอร์ชเท่ากับ 5.8 μsec โดยประมาณเพื่อจัดให้มีไทม์ดูเรชั่นของเบอร์ส 4.43 MHz

คัลเลอร์ซิงโครไนซิ่งซิกเนลในทางปฏิบัติของวงจรฮอริซอนทัลดิเฟลกชั่นเซอร์กิตแบลงค์กิ้งพีเรียด (Horizontal Defection Circuit Blanking Period) ยาวกว่ารีเทรสไทม์เล็กน้อย บางส่วนของเส้นรีเทรสบริเวณจุดเริ่มต้นและจุดปลายของเส้นสแกนทุกๆเส้นจะถูกแบล็คไป ผลจากฮอริซอนทัลแบลงค์กิ้งนี้แสดงด้วยแบล็คบาร์ (Black Bar) ที่ด้านขอบซ้ายและขอบขวาตรงกัน ตัวฟร้อนพอร์ชของฮอริซอนทัลแบลงค์ก่อนเส้นรีเทรสเริ่มต้น เพราะฮอริซอนทัลรีเทรสเริ่มที่ลีดดิ้งเอช (Leading Edge) ของซิงโครนัสพัลส์และก่อนรีเทรส หรือตอนที่อิเลกตรอนบีมกวาดมาทางขวาถึงระดับแบลงค์เลเวลของช่วงฟร้อนพอร์ช แบลงค์เลเวลของฟร้อนพอร์ชนี้ทำให้จอภาพด้านขวามือกลายเป็นแบล็คบาร์ (Black Bar) ส่วนปลายของเส้นฮอริซอนทัลสแกนหรือเส้นเทรสทุกๆไลน์สแกนจึงถูกแบลงค์ด้วยสาเหตุดังกล่าวเส้นรีเทรสเกิดตอนเริ่มลีดดิ้งเอชของซิงโครนัสพัลส์ เส้นรีเทรสหรือเส้นฟลายแบล็คมืดสนิทเพราะซิงโครนัสเลเวลมีระดับแบลงค์มากกว่าแบลงค์เลเวล เวลาที่ใช้ไปในการฟลายแบ็คนั้นน้อยกว่าแบลงค์กิ้งพีเรียด (Blanking Period) 12 μsec ค่าเวลาอันนี้ขึ้นอยู่กับลักษณะวงจรสแกนนิ่งเซอร์กิต (Scanning Circuit) โดยทั่วไปเวลาของฮอริซอนทัลฟลายแบ็คมีค่าประมาณ 8 μsecแบลงค์ไทม์ เมื่อลบช่วงฟร้อนพอร์ชออกไปยังมีค่ามากกว่าที่เวลาฮอริซอนทัลฟลายแบ็คในเครื่องรับจริงๆที่ต้องการ คือเท่ากับ 11 μsec โดยประมาณหรือมากกว่าที่ต้องการใช้ในการฟลายแบ็คหรือรีเทรสถึง 3 μsec เวลานี้เองจะแบลงค์ช่วงเริ่มต้นเส้นฮอริซอนทัลสแกนทางด้านซ้ายจอภาพในทุกๆช่วงเริ่มต้นเส้นสแกนเกิดแบลงค์บาร์ทางจอซ้ายของจอภาพ ในทำนองเดียวกันที่ทางขวาของจอ ข้อมูลภาพของวีดิโอซิกเนลในรูปสแกนนิ่งบีมเฉพาะเทรสที่มองเห็น จึงมีพีเรียดประมาณ 52 μsec ตามที่ได้กล่าวมาข้างต้น แบล็คบาร์ที่ขอบซ้ายและขวาของจอภาพจะ ไม่มีผลเสียต่อภาพ เพียงแต่ทำให้ความกว้างของจอภาพแคบลงเท่านั้น แต่ก็แก้ไขได้โดยการเพิ่มแอมปลิจูดของสัญญาณฟันเลื่อย (Saw tooth) ที่เกี่ยวกับฮอริซอนทัลสแกนนิ่งจนกระทั่งได้ความกว้างของจอภาพตามที่ต้องการ

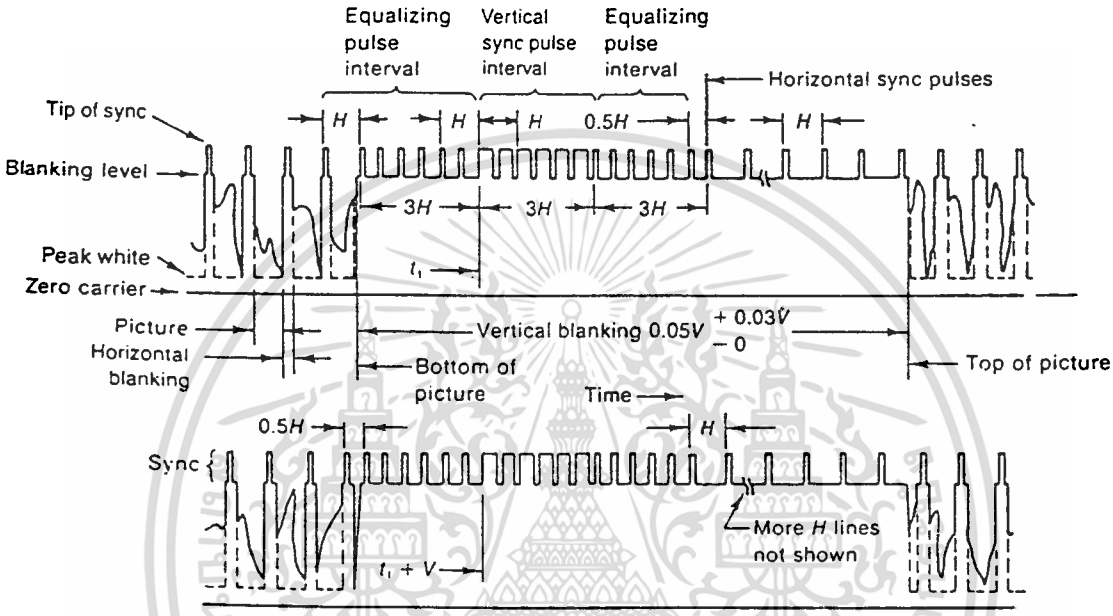
- เวอร์ติคัลแบลงค์กิ้งไทม์ (Vertical Blanking Time)

เมื่อสิ้นสุดการสแกนในแต่ละฟิลด์ เมื่ออิเลกตรอนบีมนั้นรีเทรส เวอร์ติคัลแบลงค์กิ้งพัลส์ (Vertical Blanking Pulse) จะยกระดับสัญญาณวีดิโอเข้าสู่แบล็คเลเวล ทำให้มองไม่เห็นเวอร์ติคัลรีเทรส เวอร์ติคัลแบลงค์กิ้งพีเรียดมีขนาดประมาณ 0.08 V. เมื่อ V=1/50 sec. เวอร์ติคัลแบลงค์กิ้งพีเรียดจึงเท่ากับ 0.08*1/50=1600 μsec ซึ่งเป็นช่วงเวลาที่เพียงพอต่อการแบลงค์เส้นฮอริซอนทัลสแกนนิ่งไลน์ ได้ถึง 1600 μsec / 64 μsec =25 เส้น ใน 1 ฟิลด์หรือได้มาจาก 0.08*625=50 เส้น เพราะฉะนั้นช่วงเวลายาวนานถึง 1600 μsec นอกจากเส้นแบลงค์แล้วเส้นเวอร์ติคัลรีเทรสแล้วยังมีเวลาเหลืออีก ช่วงที่เหลือที่จะแบลงค์เส้นเวอร์ติคัลเทรสบางส่วนในบริเวณของขอบบนและขอบล่างของจอภาพไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039068

ภายในเวอร์ติคัลแบลงค์กิ้งพีเรียดประกอบด้วยซิงโครนัสพัลส์หลายรูปแบบ ได้แก่ อิควอไลซิ่งพัลส์ (Equalizing Pulse),เวอร์ติคัลซิงค์พัลส์และฮอริซอนทัลซิงค์พัลส์ เราสามารถใส่ข้อมูลลงไปในเส้นที่ 17,18 ในฟิลด์คู่ และ 330,331 ในฟิลด์คี่ เราเรียกว่าระบบเทเลเทกส์ (Teletext) และส่งสัญญาณเทคสอบ VITS (Vertical Interval Test Signal) ลงไปในเส้นที่ 19,20 ในฟิลด์คู่และ 332,333 ในฟิลด์คี่เพื่อดูผลที่เกิดขึ้นในช่วงเวลาเวอร์ติคัลไทม์ซึ่งต้องพิจารณาโดยแบ่งสัญญาณออกเป็น 2 ฟิลด์ คือเมื่อสิ้นสุดฟิลด์คี่และฟิลด์คู่แล้วไทม์มิ่งของสัญญาณวีดิโอทั้งคู่ต่างกันครึ่งเส้น (Half Line Displacement) ทั้งนี้เป็นไปตามคุณสมบัติของอินเทอร์เลสสแกนนิ่ง (Interlace Scanning)



รูปที่ 2.16 เวอร์ติคัลแบลงค์กิ้งไทม์ (Vertical Blanking Time)

พิจารณาจากรูปที่ 2.16 เมื่อสิ้นสุดฮอริซอนทัลสแกนนิ่ง 3 เส้นสุดท้ายในส่วนล่าง ราสเตอร์เวอร์ติคัลแบลงค์กิ้งพัลส์ (Raster Vertical Blanking Pulse) เปลี่ยนระดับสัญญาณวีดิโอคู่แบล็คเลเวลเพื่อเตรียมพร้อมที่จะทำการเวอร์ติคัลรีเทรสในเวอร์ติคัลแบลงค์กิ้งพีเรียด ในช่วงเวลาเวอร์ติคัลแบลงค์กิ้งพีเรียดนี้เริ่มด้วยกลุ่มของอีควอไลซิ่งพัลส์จำนวน 5 ลูกซึ่งมีระยะห่างฮาฟไลน์ (Half Line :H/2) เท่ากับ 0.5H ระยะระหว่างพัลส์รวม 2.5H (หรือ 2.5 เส้น) ตามมาด้วยเซอร์เรตเวอร์ติคัลซิงค์พัลส์ (Serrated Vertical Sync. Pulse) จำนวน 5 ลูกในช่วงระยะฮาฟไลน์ 0.5H เหมือนกัน เพื่อทำหน้าที่เป็นเวอร์ติคัลฟลายแบ็คในวงจรสแกนนิ่ง รวม 2.5H ต่อด้วย 5 อีควอไลซิ่งพัลส์อีกชุดหนึ่งและชุดของฮอริซอนทัลซิงค์พัลส์ปิดท้าย

รูปกลื่นของเวอร์ติคัลซิงค์ในระบบ CIRR 625 เส้น แสดงอิงเฉวบนและเฉวล่างแสดงดังฟิลด์คู่และฟิลด์คี่ อีควอไลซิ่งพัลส์ลูกแรกในเวอร์ติคัลแบลงค์กิ้งพีเรียดของสัญญาณในเฉวล่างมีระยะห่างของเวลาจากฮอริซอนทัลพัลส์ที่ติดกันทางซ้ายมือ 1 เส้นสแกน (1H) และในสัญญาณเฉวบนจะห่างกันเพียงครึ่งเส้นสแกนเท่านั้น (1/2H) เพราะเวลาของอีควอไลซิ่งพัลส์ไม่ว่าของฟิลด์คู่หรือคี่

เอกสารนี้มีลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะตรงกันเสมอ มีเวลาของฮอริซอนทัลพัลส์เท่ากันในแต่ละฟิลด์ห่างกัน 1/2H เนื่องจากการสแกนแบบอินเทอร์เลสนั่นเอง เซอร์เรตเวอร์ติคัลพัลส์ (Serrated Vertical Pulse) ในทางทฤษฎีแล้วทำหน้าที่บังคับอิเลคตรอนบีมเกิดเวอร์ติคัลฟลายแบ็คระหว่างฟิลด์ นับตั้งแต่พัลส์ลูกแรก แต่ในทางปฏิบัติไม่เป็นเช่นนั้นเพราะประจุในตัวเก็บประจุในวงจรสแกนเพื่อการฟลายแบ็คนั้นเริ่มจริงๆประมาณที่ลีดดิ้งเอดช์ (Leading Edge) ของเซอร์เรตเวอร์ติคัลพัลส์ลูกที่ 3 เนื่องจากช่วงเวลาของเวอร์ติคัลพัลส์เท่ากับ 1 เส้นสแกน (1H) เวอร์ติคัลฟลายแบ็คเริ่มต้นเมื่อเวอร์ติคัลพัลส์สองลูกแรกผ่านไป เท่ากับว่าเวอร์ติคัลฟลายแบ็คเริ่มต้นหลังจากฮอริซอนทัลไลน์สแกนที่ถูกแบล็คผ่านไปหนึ่งเส้นและอีควอไลซิ่งพัลส์ 5 ลูกก็มีช่วงเวลาเท่ากับฮอริซอนทัลไลน์สแกน 2.5 เส้น (2.5H) นั่นคือฮอริซอนทัลสแกนนิ่งไลน์จำนวน 2.5+1=3.5 เส้น โดยประมาณทางส่วนของจอภาพจะถูกแบลงค์ก่อนเกิดเวอร์ติคัลฟลายแบ็คจริง ความสูงของภาพในทางเวอร์ติคัล เฉพาะส่วนล่างของจอภาพจึงหายไปประมาณ 3.5 ฮอริซอนทัลไลน์สแกนด้วยเหตุผลจากเวอร์ติคัลแบลงค์กิ้งพีเรียดดังกล่าว เวอร์ติคัลแบลงค์กิ้งพีเรียดซึ่งเป็นช่วงเวลาของสัญญาณพัลส์เพื่อการฟลายแบ็คระหว่างฟิลด์ของจอภาพ นอกจากจะทำให้เทรสของเส้นทางด้านล่างของจอภาพก่อนที่จะฟลายแบ็คจริงถูกแบลงค์แล้ว ยังมีผลต่อการแบลงค์เส้นสแกนด้านบนของจอภาพด้วยเหมือนกัน เพราะช่วงเวลาของฟลายแบ็คในเครื่องรับทั่วๆไปเมื่อเทียบกับเวลาที่ใช้ในฮอริซอนทัลสแกนนิ่งไลน์ประมาณ 5 เส้น (5H) รวมกับ 3.5 เส้นสแกนที่แบลงค์ก่อนการฟลายแบ็คในส่วนล่างของจอภาพได้ 8.5 เส้น แล้วลบออกจากเวอร์ติคัลแบลงค์กิ้งพีเรียด 25 เส้นสแกนหรือประมาณ 17 ฮอริซอนทัลไลน์สแกนที่ถูกแบลงค์บริเวณส่วนบนของจอภาพ เพราะฉะนั้นใน 1 เฟรมของจอภาพที่มองเห็นในแนวตั้งนั้นจะมีไม่เต็มจอ ในบริเวณส่วนบนของจอภาพจะแบลงค์ไป 17 เส้นและในส่วนล่างจะแบลงค์ไป 3 เส้น ถ้าคิดใน 1 เฟรมของภาพตัวเลขนี้จะเป็น 2 เท่า ฉะนั้นผลที่เกิดจากเวอร์ติคัลแบลงค์พีเรียดนอกจากจำเป็นต้องการใช้นั้นช่วงเวลาของเวอร์ติคัลฟลายแบ็คแล้วยังทำให้ภาพใน 1 เฟรมส่วนบนและส่วนล่างของราสเตอร์นั้นแบลงค์ไป

- สัญญาณเวอร์ติคัลซิงโครไนซ์ (Vertical Synchronizing Signal)

สัญญาณเวอร์ติคัลซิงโครไนซ์ประกอบด้วยอีควอไลซิ่งพัลส์,เซอร์เรตเวอร์ติคัลพัลส์และฮอริซอนทัลซิงค์พัลส์ ที่ถูกบรรจุไว้ในช่วงเวลาระหว่างการสิ้นสุดการสแกนในเฟรมหนึ่งกับการเริ่มต้นสแกนอีกเฟรมหนึ่ง ความหมายของเฟรมคลื่นของสัญญาณเวอร์ติคัลซิงโครนัส

เวอร์ติคัลแบลงค์กิ้งพีเรียดเป็นช่วงเวลาของสัญญาณเวอร์ติคัลซิงค์ หรือเป็นช่วงเวลาที่ข้อมูลของรูปถูกกดไว้หรือถูกแบลงค์ให้มืดสนิท สัญญาณวิดีโอภายในพีเรียดนี้ทำหน้าที่กระตุ้นให้เวอร์ติคัลไทม์เบส (Vertical Time Base) ด้านรับเริ่มต้นและสิ้นสุดเวอร์ติคัลฟลายแบ็คเท่านั้น ส่วนช่วงเวลานี้บอกในรูปของฮอริซอนทัลสแกนนิ่งซึ่งเท่ากับ 25 เส้นในระบบ CCIR 625 เส้น หรือเท่ากับเวลา 25x64 μsec=1600 μsec

เซอร์เรตเวอร์ติคัลซิงค์พัลส์เป็นชุดของพัลส์กว้าง 27.3 μsec จำนวน 5 พัลส์ แต่ละลูกมีช่วงเวลาเท่ากับช่วงครึ่งเส้น (Half Line Interval :H/2) ในเครื่องรับจะแยกเวอร์ติคัลซิงค์พัลส์ออกมาเพื่อกระตุ้นออสซิลเลเตอร์ของเวอร์ติคัลไทม์เบสทำงานในช่วงเวอร์ติคัลฟลายแบ็คระหว่างฟิลด์การสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซอร์เรตเวอร์ติคัลซิงค์พัลส์มีช่วงเวลาเท่ากับ 2.5 เส้น ภายในเวอร์ติคัลแบลงค์กิ้งพีเรียดจำนวนทั้งหมด 25 เส้น

โพสเวอร์ติคัลพัลส์ซัพเพรสชั่นพีเรียด (Post Vertical Pulse Suppression Period) เป็นช่วงเวลาของฮอริซอนทัลซิงค์พัลส์ที่ไม่มีข้อมูลภาพจำนวน 17.5 เส้น ในเวลาที่ยาวนานเพียงพอ สำหรับเครื่องรับในการสิ้นสุดเวอร์ติคัลฟลายแบ็คก่อนที่รายละเอียดภาพของฟิลด์ใหม่เริ่มสแกนอีกครั้งหนึ่ง ข้อมูลภาพในช่วงนี้จะรักษาระดับไว้ ณ ระดับแบลงค์ หรือเรียกว่ารายละเอียดของภาพถูกกดไว้ระหว่างพัลส์พีเรียดนี้กับชุดของเวอร์ติคัลซิงค์พัลส์เป็นชุดของอีควอไลซิ่งพัลส์

อีควอไลซิ่งพัลส์มีขนาดพัลส์กว้างประมาณ 2.3 μsec ซึ่งแคบมากเป็นจำนวน 2 ชุดๆละ 5 พัลส์ มีช่วงเวลาชุดละ 2.5 เส้น อยู่หน้าและหลังเวอร์ติคัลซิงค์พัลส์ เรียกว่า เปอร์เวอร์ติคัลซิงค์อีควอไลซิ่งพัลส์ (Per Vertical Sync. Equalizing Pulse) และโพสเวอร์ติคัลอีควอไลซิ่งพัลส์ (Post Vertical Sync. Equalizing Pulse) อีควอไลซิ่งพัลส์จำเป็นต้องมีอย่างยิ่งเพื่อทำการแยกเวอร์ติคัลซิงค์พัลส์ทางด้านเครื่องรับทั้งฟิลด์คู่และคี่ออกมาในลักษณะรูปร่างและเวลาให้ตรงกัน

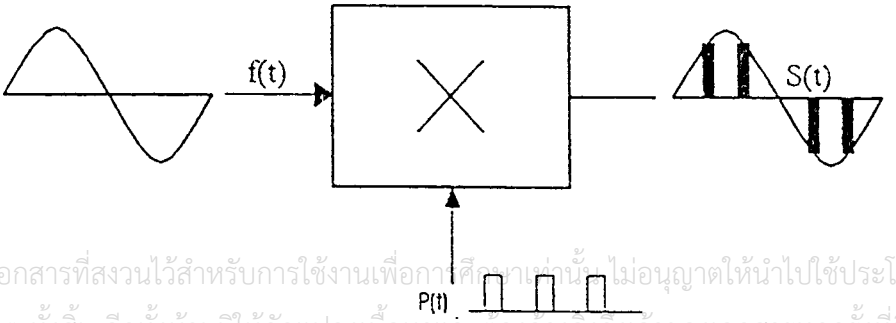
ในฟิลด์คู่และฟิลด์คี่ การสแกนของอิเลคตรอนบีมแบบอินเทอร์เลสในแต่ละฟิลด์ประกอบด้วยเส้นสแกนเป็นเลขคี่ เวอร์ติคัลไทม์เบสถูกกระตุ้นให้ทำงานที่กึ่งกลางเส้นฮอริซอนทัลสแกนเมื่อสิ้นสุดฟิลด์หนึ่ง ซึ่งฟิลด์สิ้นสุดการสแกนของข้อมูลภาพที่จุดกึ่งกลางเส้นฮอริซอนทัลสแกนเรียกว่าฟิลด์คู่ และฟิลด์ซึ่งสิ้นสุดการสแกนที่ตำแหน่งปลายสุดของเส้นสแกนเรียกว่าฟิลด์คี่

2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Conversion)

การแปลงสัญญาณจากอนาลอกเป็นดิจิตอลประกอบด้วยขบวนการสำคัญๆ 3 ส่วนคือ

1) การแซมปลิ้ง (Sampling)
2) การควอนไตซิ่ง (Quantizing)
3) การเข้ารหัส (Encoding)

ซึ่งส่วนประกอบที่สำคัญที่สุดคือการแซมปลิ้งเพราะความผิดพลาดของสัญญาณดิจิตอลที่แปลงมาจากสัญญาณอนาลอกนั้น จะมากหรือน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิ้งกับความถี่สูงสุดของสัญญาณอนาลอก โดยมีทฤษฎีการแซมปลิ้ง (Sampling Theory) ซึ่งความสัมพันธ์ตามทฤษฎีการแซมปลิ้งดูได้จากรูป 2.17



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.17 รูปแสดงการแซมปลิ้ง

จากรูปจะได้ $S(t) = P(t) \times f(t)$

เมื่อดู P(t) ซึ่งเป็นพัลส์สี่เหลี่ยม ถ้านำมาเขียนสมการฟูเรีย (Fourier) จะได้

$$P(t) = DC + a_0 \cos w_0 t + a_1 \cos 3w_0 t + a_2 \cos 5w_0 t + \ldots$$

ซึ่ง P(t) ประกอบด้วยความถี่พื้นฐานรวมกับฮาโมนิกที่เป็นเลขคี่ไปจนถึง ∞ และถ้าคูณ P(t) ด้วย f(t) จะได้ S(t)

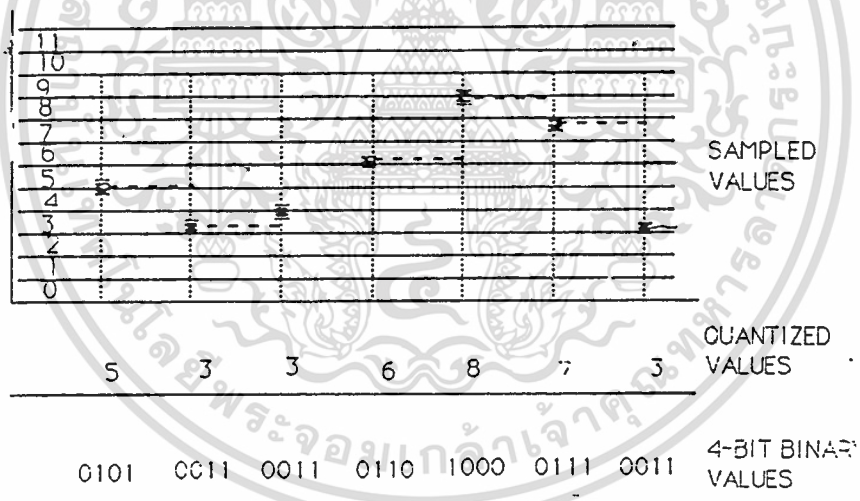
$$S(t) = f(t)xDC + (a_0 \cos w_0 t)xf(t) + (a_1 \cos 3w_0 t)xf(t) + \ldots$$

เมื่อพิจรณาดูเทอมที่ 2 จะพบว่ามีรูปแบบเหมือนแอมปลิจูดมอดูเลชั่น (AM)

โดยถ้า $f(t) = B\cos w_m t$

$$f(t)xa_0 \cos w_0 t = (Ba_0/2)\cos(w_0 - w_m)t + (Ba_0/2)\cos(w_0 + w_m)t$$

ซึ่งความถี่ w_0 ที่ใช้สำหรับการแซมปลิ้งและการดีเทก สัญญาณที่ได้คืนมาจะใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) กรองเอาเฉพาะ f(t)xDC ออกมาเท่านั้น ซึ่งถ้า w_0 มีค่าน้อยกว่า 2 เท่าของ w_m แล้วจะทำให้มีความถี่ซึ่งเป็นผลต่างของ w_0-w_m เข้ามาแทรกใน f(t)xDC ด้วย ซึ่งจะมีผลให้สัญญาณที่ดีเทกกลับคืนมามีความผิดพลาด ดังนั้นจึงต้องเลือก w_0 หรือความถี่แซมปลิ้งให้มีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณก่อนที่จะมีการแซมปลิ้ง หรือ w_m ซึ่งสัญญาณที่ได้ออกมาจากภาคแซมปลิ้งนี้เรียกว่าพัลส์แอมปลิจูดมอดูเลท (Pulse Amplitude Modulation :PAM)



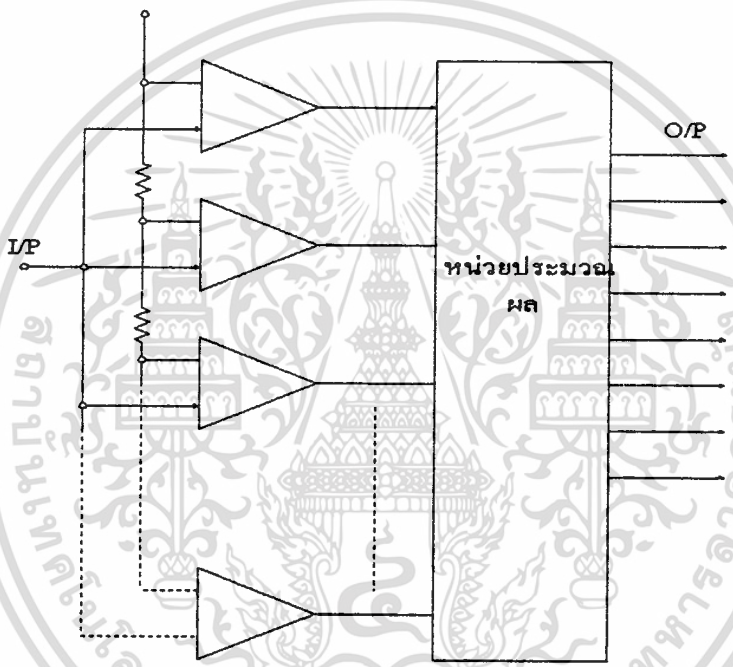
รูปที่ 2.18 รูปแสดงลักษณะสัญญาณของภาคควอนไตซิ่งและการเข้ารหัส

ภาคควอนไตซิ่ง (Quantizing) เป็นการจัดระดับของสัญญาณ PAM ซึ่งอาจมีระดับที่ไม่แน่นอนให้ไปอยู่ในระดับที่แน่นอน ซึ่งในขั้นตอนนี้จะมีความผิดพลาดจากการจัดระดับอยู่ เรียกว่าควอนไตซิ่งเออเรอร์หรือสัญญาณรบกวนควอนไตซิ่ง (Quantizing Error,Quantizing Noise) ซึ่งจะมีค่ามากหรือน้อยขึ้นอยู่กับระดับของสัญญาณที่เราจะแบ่ง ซึ่งลักษณะสัญญาณของภาคควอนไตซิ่งและข้อผิดพลาดของสัญญาณเมื่อได้รับสัญญาณควอนไตซิ่งแล้วก็จะนำไปเข้าวงจรเข้ารหัสเป็นสัญญาณดิจิตอล ซึ่งมีค่า 2 ระดับคือ 0 กับ 1 เท่านั้น ถ้าส่งข้อมูลเป็นแบบ 8 บิทเพราะฉะนั้นจะส่งข้อมูลได้ $2^8 = 256$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับ โดยกำหนดให้ระดับต่ำสุดของสัญญาณควอนไตซิ่ง (Quantizing Signal) เท่ากับ 1111 1111 ดังนั้นข้อมูลที่ออกมาจะเป็นสัญญาณดิจิตอลที่มีค่าตามระดับตามที่ตั้งไว้

แฟลชอนาลอกทูดิจิตอลกอนเวอร์เตอร์ (Flash A/D) คือวงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter) ที่มีความเร็วสูงในการเปลี่ยน เนื่องจากแฟลชเอทูดีจะใช้การโปรแกรมเอาท์พุทไว้ก่อน แล้วส่วนวงจรเปรียบเทียบจะใช้ออปแอมป์ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาท์พุทที่จะเกิดขึ้น เช่นถ้าสัญญาณเอาท์พุทเป็นสัญญาณดิจิตอล 8 บิทจะใช้ออปแอมป์ $2^8 = 256$ ตัว ซึ่งแต่ละตัวจะมีแรงดันอ้างอิงที่เป็นค่าคงที่อยู่ค่าหนึ่งตามระดับของสัญญาณดังรูป 2.19

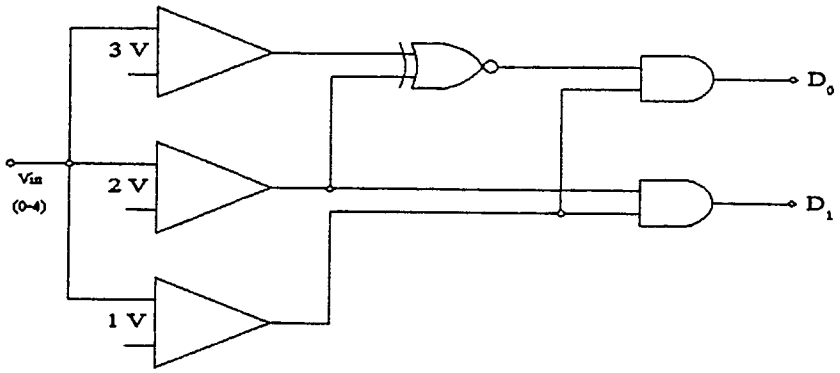


รูปที่ 2.19 รูปแสดงวงจร Flash A/D

เมื่อสัญญาณอินพุทเข้ามาจะถูกส่งไปให้กับออปแอมป์ทุกตัวเพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุทไปตรงกับออปแอมป์ตัวใดก็จะให้สัญญาณเอาท์พุทออกมาส่งไปให้กับวงจรประมวลผล เพื่อจัดหาค่าของสัญญาณดิจิตอล สัญญาณเอาท์พุทให้ได้ตามค่าของสัญญาณอินพุทที่ส่งเข้ามาซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเปรียบเทียบทีละค่า จึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมากกว่าแบบแรกมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณภาพซึ่งมีความถี่สูง

บางครั้งเรียกแฟลชเอทูดีว่าเป็น Open Loop Converter เนื่องจากไม่มีสัญญาณป้อนกลับ กลับไปยังอินพุท ตัวอย่างดังรูป 2.20

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 รูปแสดงหลักการของ Open Loop Converter

จากรูป 2.20 จะใช้ลอจิกเกทเป็นวงจรเปลี่ยนระดับของสัญญาณอินพุทให้เป็นสัญญาณดิจิตอลโดยเริ่มจากเมื่อมีอินพุท 0 volt เข้ามาจะทำให้เอาท์พุททุกตัวของคอมพาเรเตอร์ (Comparator) เป็น 0 หมดและเมื่อผ่านเอ็กคลูซีฟนอร์เกท (Exclusice-NOR Gate) จะทำให้เอาท์พุทเป็น 1 ซึ่งจะไปเข้า AND เกทเบอร์ 1 เป็น 0 ทำให้ D_0=0 และ AND เกทเบอร์ 2 จะมีเอาท์พุทเป็น 0 0 ดังนั้น D_1=0 เพราะฉะนั้นระดับ 0 โวลท์เอาท์พุทของเอทูดีจะเท่ากับ 0 0 เมื่อ V_{in}=1 โวลท์จะทำให้เอาท์พุทของคอมพาเรเตอร์ตัวที่ 1 เป็น 1 ไป AND กับเอาท์พุทของเอ็กคลูซีฟนอร์เกทซึ่งเป็น 1 ทำให้ได้ D_0=1 ส่วน D_1 ได้จากการ AND กันของเอาท์พุทคอมพาเรเตอร์ตัวที่ 1 กับตัวที่ 2 เป็น 1 0 ดังนั้นเอาท์พุท D_1=0 เพราะฉะนั้นที่ระดับ V_{in}=2 โวลท์จะทำให้เอาท์พุทของคอมพาเรเตอร์ตัวที่ 1 กับ 2 เป็น 1 ทำให้เอาท์พุทของ D_1=1 และ D_0=0 เพราะฉะนั้นเอาท์พุทของเอทูดีจะเท่ากับ 1 0 และเมื่อ V_{in}=3 โวลท์จะทำให้เอาท์พุทของคอมพาเรเตอร์ทุกตัวเป็น 1 ดังนั้นเมื่อผ่านลอจิกเกทจะได้เอาท์พุทเป็น 11

ข้อดีของวงจรแฟลชเอทูดีคือมีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียก็คือจะต้องใช้จำนวนคอมพาเรเตอร์มากเป็น 2 เท่าเมื่อต้องการเพิ่ม 1 บิท หรือถ้าเป็นสมการจะได้จำนวนออปแอมป์เท่ากับ 2^N-1 ตัว โดย N คือจำนวนบิท ดังนั้นเมื่อเราใช้สัญญาณดิจิตอล 8 บิท เราจะต้องใช้คอมพาเรเตอร์ถึง 256 ตัว ซึ่งทำให้อุปกรณ์มีราคาสูงมาก

ในโครงงานนี้จึงใช้แฟลชเอทูดีเบอร์ CA3318C ที่มีค่าควอนไตซ์ 256 ระดับ (8 บิท) และมีความถี่ในการแซมปลิ้งสูงถึง 15 MHz ทำให้สามารถใช้กับสัญญาณภาพได้โดยตรง

2.3 สถาปัตยกรรมของ EGA/VGA

ในการแสดงผลของการ์ด EGA/VGA การ์ดทั้งสองชนิดไม่มีความสามารถในการประมวลผลด้วยตัวเอง ต้องอาศัยการประมวลผลจาก CPU หลักแล้วส่งข้อมูลไปให้หน่วยความจำแสดงผลเพื่อแสดงแต่ละจุดภาพออกหน้าจอ วงจรส่วนใหญ่ของการ์ด EGA/VGA จะถูกใช้ในการส่งข้อมูลจากหน่วยความจำแสดงผลออกจอภาพ โดยการเรียกการทำงานลักษณะนี้ว่าการรีเฟรชจอภาพ (Display Refresh) ซึ่งจะทำการแสดงผลซ้ำๆกันด้วยอัตรา 60 ครั้งต่อวินาทีสำหรับ EGA และ 70 ครั้งต่อวินาทีสำหรับ VGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

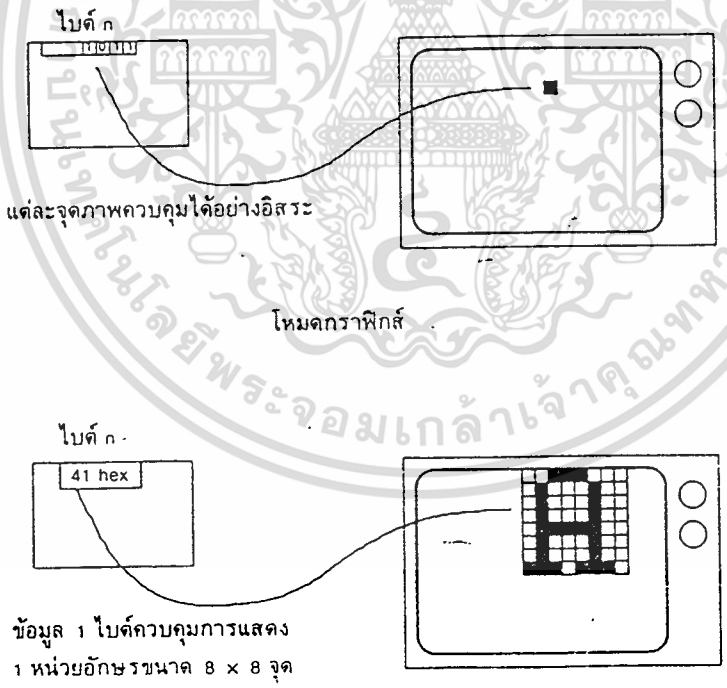
ในการแสดงผลบนจอสี จำนวนสีที่แสดงได้จะถูกจำกัดโดยจำนวนบิทของหน่วยความจำแสดงผล ถ้าจำนวนบิทที่ใช้ต่อจุดภาพเท่ากับ n จะแสดงสีได้ทั้งหมด 2^n เช่น VGA แสดงสีได้ถึง 2^8 สีหรือ 256 สี

2.3.1 การอัดข้อมูลจุดภาพและการใช้เพลนสี

เทคนิคที่ใช้ในการเก็บข้อมูลสีมี 2 วิธี คือ วิธีการอัดข้อมูลจุดภาพและวิธีใช้เพลนสี สำหรับการ์ด EGA และ VGA จะใช้วิธีการเพลนสีเต่การ์ดทั้ง 2 ชนิดก็สามารถจำลองการทำงานแบบอัดข้อมูลจุดภาพได้ ซึ่งจะทำการเก็บข้อมูลจุดภาพแต่ละจุดด้วยขนาดต่างๆกันไป เช่น ถ้าต้องการสีไม่มากก็อาจใช้หน่วยความจำเพียงครึ่งไบท์ แต่ถ้าต้องการแสดงหลายสีก็อาจจะใช้หน่วยความจำหลายไบท์

2.3.2 โหมดข้อความและโหมดกราฟฟิค

ทั้งสองโหมดนี้เป็นโหมดการแสดงผลพื้นฐานของ EGA และ VGA ในโหมดกราฟฟิคแต่ละบิทของหน่วยความจำแสดงผลจะแทนแต่ละจุดภาพบนจอ ส่วนในโหมดข้อความแต่ละไบท์ของหน่วยความจำจะแทนรหัส ASCII ของแต่ละอักษร ซึ่งการแสดงผลในโหมดนี้ต้องการหน่วยความจำน้อยและใช้การประมวลผลน้อยมาก ซึ่งมีข้อจำกัดคือ แสดงได้เฉพาะรูปแบบของตัวอักษร และรูปกราฟฟิคง่ายๆ



รูปที่ 2.21 การแสดงผลของโหมดข้อความและโหมดกราฟฟิค

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 บล็อกไดอะแกรมของ EGA/VGA

ประกอบด้วย 6 ส่วนสำคัญคือ

2.3.3.1 หน่วยความจำแสดงผล (Display Memory) ประกอบด้วยไดนามิคแรม (Dynamic Ram) ขนาด 256 Kbyte แบ่งเป็น 4 เพลน ซึ่งใช้ในการเก็บข้อมูลที่จะนำออกแสดงผล

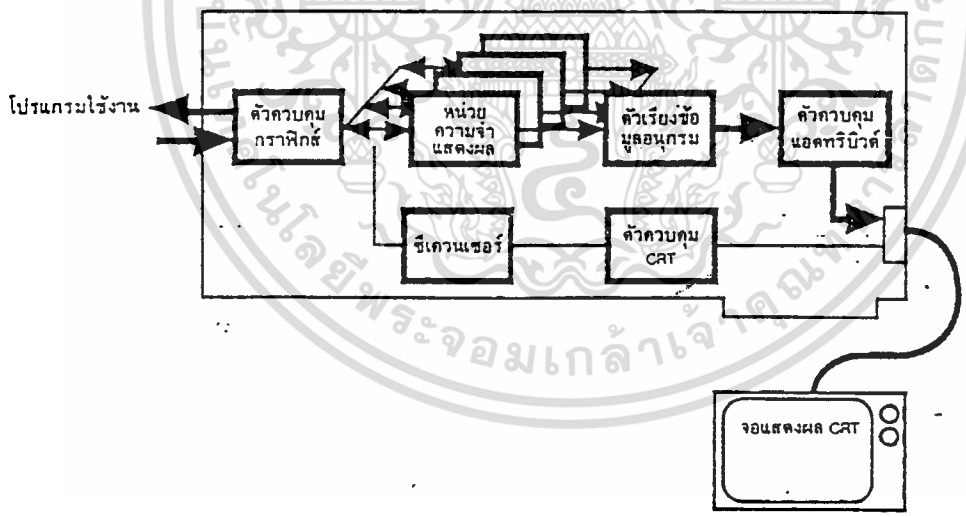
2.3.3.2 ตัวควบคุมกราฟฟิค (Graphic Controller) มีความสามารถในการทำงานทางตรรกกับข้อมูลที่จะเขียนในหน่วยความจำแสดลผล

2.3.3.3 ตัวควบคุม CRT (CRT Controller) เป็นตัวสร้างสัญญาณทางเวลาที่ใช้ควบคุมการทำงานของ CRT และการรีเฟรชของภาพ

2.3.3.4 ตัวเรียงข้อมูลอนุกรม (Data Serializer) เป็นตัวนำข้อมูลที่ส่งมาจากหน่วยความจำแสดงผลในแต่ละครั้งมาทำการแปลงข้อมูลให้อยู่ในรูปอนุกรมเพื่อส่งต่อไปยังจอ CRT

2.3.3.5 ตัวควบคุมแอททริบิวต์ (Attribute Controller) ประกอบด้วยตารางค้นหาสี (Color Look Up Table) ทำหน้าที่แปลงข้อมูลสีจากหน่วยความจำไปเป็นข้อมูลสีที่จะส่งไปยังจอ CRT โดยทั่วไปแล้วจอสีสามารถแสดงสีได้มากกว่าความสามารถของการ์ดแสดงผล

2.3.3.6 ซีเควนเซอร์ (Sequencer) เป็นตัวควบคุมเวลาในการทำงานแสดงผลทั้งหมดและยังประกอบด้วยฟังก์ชันทางตรรกะที่ใช้ในการเลือกใช้เพลนสี



รูปที่ 2.22 แสดงบล็อกไดอะแกรมของ EGA/VGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Super VGA

2.4.1เปรียบเทียบ VGA กับ Super VGA

Super VGA ได้รับการพัฒนามาจาก VGA จึงเป็นสาเหตุให้ SVGA มีความเร็วที่มากกว่า VGA ในด้านอัตราการรีเฟรช (Refresh Rate) และขั้นตอนการทำงานในด้านกราฟฟิค ซึ่ง Super VGA มีอะไรมากกว่า VGA โดยได้รับการปรับปรุงที่เพิ่มเข้าไปเช่น โหมดในการแสดงผล (Display Mode), โหมดสี, ขนาดของหน่วยความจำที่มากกว่า

2.4.2Super VGA การ์ด

VGA กราฟฟิคคอนโทรเลอร์มีความสามารถในการที่จะควบคุมระบบกราฟฟิค สำหรับ IBM PC ซึ่งเดิมใช้กราฟฟิคแบบ VGA ได้มีการพัฒนามาเป็น Super VGA ซึ่งจะมีโครงสร้างพื้นฐานที่ใกล้เคียงกัน คือจะมีการปรับปรุงฮีพ (Heap) ใน Super VGA ที่มาจาก VGA ซึ่งโปรแกรมเมอร์ทุกคนต้องเข้าใจเทคนิคที่จะใช้กับการ์ดนี้

2.4.3 การปรับปรุงคุณสมบัติของ Super VGA เมื่อเทียบกับ VGA

Description	*Super VGA*	*Standard VGA*
More functionality	1024-by-768 16-color 1024-by-768 256-color 8, 16, 24 bit-per-color DACs 4 Mbytes memory Hardware cursor Larger and smaller fonts Interrupt capability Downward compatibility Graphics accelerators	640-by-480 16-color 320-by-200 256-color 6-bit per color DACs 256 Kbytes memory Software cursor
Faster	16-bit ISA, VL, PCI bus Interface queue Dual paging Video RAM Shadow RAM BIOS Linear address space Graphics accelerators	8-bit ISA bus
Smaller	Single VLSI ASIC chip Higher level of integration 4 megabit memory chips Programmable clock chip Surface mount technology	Chip sets Lots of support chips 64 Kbyte or 256 Kbyte memory chips Multiple crystal oscillators
Cheaper	Large production runs Shorter design cycles Cheaper memory Fewer parts	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 แสดงลักษณะทั่วไปของ Super VGA เมื่อเทียบกับ VGA

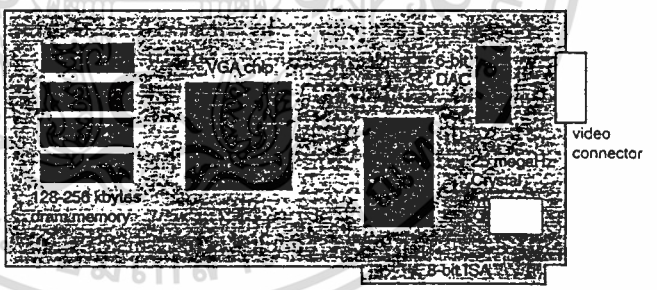
2.4.4 การปรับปรุงความเร็วของ Super VGA

Super VGA สามารถย้ายจุดและข้อมูลบนสกรีนเร็วกว่า VGA ซึ่งจำนวนที่มากกว่าซึ่งจะเป็นไปได้ เพื่อที่จะทำให้มีผลเหมือนกันในอัตราการประมวลผล 1024*768 ที่ 24 บิทสี ซึ่งจะตรงกันข้ามกับ 320*200 ที่ 8 บิทสี ซึ่งระบบอิเลคโทรนิคต้องมีความเร็วมากกว่าถึง 36 เท่า การทำความเร็วให้ดีขึ้นจะขึ้นกับหน่วยความจำแสดงผล,การปฏิบัติงานของระบบกราฟฟิค ซึ่งความสัมพันธ์ร่วมของบัสขนาด 16 บิทจะสามารถลดสภาวะรอได้อย่างมาก (Wait-State) ซึ่งดีกว่าระบบ 8 บิท ซึ่งจะยอมให้ข้อมูลเป็นจำนวน 2 ครั้งสามารถย้ายต่อการทำงาน 1 ครั้ง สิทธิพิเศษของบัสความเร็วสูงสำหรับ Super VGA คือ VL-Bus (VESA Local Bus) และบัส PCI เพื่อที่จะให้ได้รับประโยชน์สูงสุดจากบัสของคอมพิวเตอร์

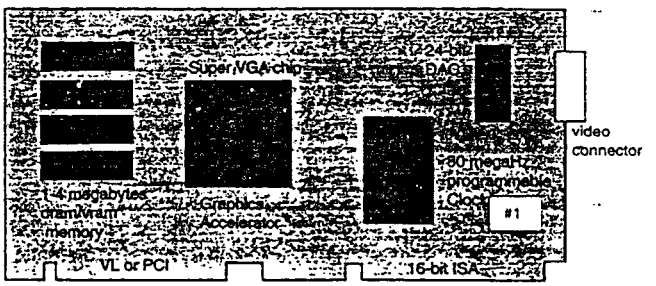
Super VGA จะทำให้ความสัมพันธ์รวมเร็วขึ้นในทางปฏิบัติทางด้านกราฟฟิค คือพอร์ทที่ใช้แสดงของหน่วยความจำมีหลายพอร์ท ซึ่งจะเป็นส่วนที่เป็นคอขวดของการไหลของข้อมูลปริมาณมาก รวมทั้ง VGA คอนโทรเลอร์,วงจรวีดิโอรีเฟรช,หน่วยความจำรีเฟรช ซึ่งทั้ง 3 ส่วนนี้จะมีความสำคัญต่อบัสของหน่วยความจำแสดงผล (Display Memory Bus) ซึ่งหน่วยความจำแสดงผลที่เร็วกว่าและ VDO RAM Memory จะช่วยลดความล่าช้า ซึ่ง Super VGA รุ่นต่อๆมาจะมีความเร็วเพิ่มมากขึ้น

2.4.5 องค์ประกอบของ Super VGA

การ์ด VGA คือระบบกราฟฟิคแก่ตัวมันเอง ซึ่งองค์ประกอบมาตรฐานของ VGA, Super VGA จะถูกแสดงในรูป 2.24A ทั้งสองระบบขึ้นอยู่กับ Clock Oscillator, ชิพ VGA, Display Memory Video Output แต่ละองค์ประกอบของ SVGA แสดงในรูปที่ 2.24B ซึ่งจะรวมทั้งอุปกรณ์ที่ได้รับการปรับปรุงจากมาตรฐานใน VGA



(a) Standard VGA Adapter



#1. NOTE: Clock and DAC may be incorporated onto Super VGA chip.
#2. NOTE: Some accelerators are on a second chip.

(b) Super VGA Adapter

รูปที่ 2.2.4 แสดงองค์ประกอบของการ์ด VGA และ Super VGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.6 Clock Oscillator

Clock Oscillator เป็นหัวใจของ VGA ซึ่งจะเป็นตัวกำเนิดเวลาหลัก โดยที่ความเร็วของเวลาที่กำหนดออกมาจะเป็นตัวชี้ให้เห็นถึงคุณสมบัติของการ์ดนี้ ในการทำงานซึ่งพร้อมกันของอุปกรณ์ VGA, เวลาที่สูงขึ้นจะสั่งให้การทำงานของระบบสามารถระบุเป็นหน่วยของเวลา การเปลี่ยนแปลงจะขึ้นกับปริมาณของข้อมูลต่อหน่วยเวลาซึ่งสามารถเคลื่อนที่ในระบบ ซึ่งถ้าเวลามีช่วงสั้นมากขึ้นก็ทำให้มีความละเอียดซึ่งรวมถึงความละเอียดของสี,ช่องว่าง, อัตราข้อมูล (Data Rate) ขั้นสุดท้ายขึ้นอยู่กับจำนวนบิทต่อวินาทีที่สามารถแสดงที่จอภาพ ในส่วนของอุปกรณ์ VGA ที่ทำงานไม่พร้อมกันจะแยกออกจาก CPU, CRTC สมมุติว่าความละเอียดของช่องว่าง (Opatial Resolution) 1024*468 จุดที่ 8 บิทสีต่อจุด จะได้ 786432 Byte ต่อจอภาพ มากกว่านั้นสมมุติว่าระบบมีการ Refresh 60 ครั้งต่อวินาทีแสดงว่าอัตราข้อมูลจะเป็น 47,185,920 Byte ต่อวินาที

# Colors	*Character Resolution*	*Pixel Resolution*	*Mode*	*VGA Clock*	*EGA Clock*
16	40x25	360x400	0,1	28 MHz	14 MHz
16	80x25	640x200	0*,1*	25 MHz	16 MHz
16	80x25	640x350	0+,1+	25 MHz	14 MHz
16	80x25	720x400	2,3	28 MHz	16 MHz
16	40x25	320x200	2*,3*	25 MHz	14 MHz
16	80x25	720x400	2+,3+	28 MHz	14 MHz
4	40x25	320x200	4,5	25 MHz	14 MHz
2	80x25	640x200	6	25 MHz	14 MHz
2	80x25	720x350	7	28 MHz	16 MHz
2	80x25	720x400	7+	28 MHz	–
16	40x25	320x200	D	25 MHz	14 MHz
16	80x25	640x200	E	25 MHz	14 MHz
2	80x25	640x350	F	25 MHz	14 MHz
16	80x25	640x350	10	25 MHz	16 MHz
2	80x25	640x480	11	25 MHz	–
16	80x25	640x480	12	25 MHz	–
256	40x25	320x200	13	25 MHz	–
16	132x25	1056x400	*	40 MHz	–
16	100x37	800x600	6A (VESA)	50 MHz	–
16	120x45	960x720	*	50 MHz	–
16	128x48	1024x768	*	65 MHz	–
256	80x25	640x400	*	50 MHz	–

* non-standard mode
– not an EGA mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.25 ตารางแสดงความถี่ที่ใช้ในการแสดงผลของการ์ด

2.4.7 ความละเอียดของ Super VGA

Super VGA จะรวมทั้งที่ว่างและความละเอียดของสีจากมาตรฐาน VGA, กราฟฟิคของเครื่อง Terminal จะถูกจัดให้ใช้กับผู้ใช้ทั่วไป, รายละเอียดของที่ว่างเฉพาะ (Spatial Resolution) จะถูกขยายได้ถึง 1280*1024 จุด โดยที่ความละเอียดของสีจะกลายเป็น 32 บิทต่อจุด สำหรับผู้พัฒนา Software นั้นมันจะดูเหมือนว่าเป็นอิสระแต่มันจะรวมความสำคัญเข้าด้วยกัน เมื่อพิจารณาถึงจำนวนหน่วยความจำที่ใช้ในการแสดงผลที่ต้องการสำหรับรูปและ Bandwidth ของหน่วยความจำระบบ

2.4.8 Spatial Resolution

Spatial Resolution คือจำนวนของจุดในแนวราบต่อจุดในแนวตั้งของรูปในขณะที่ความละเอียดของรูปไม่จำเป็นต้องเท่ากับขนาดความละเอียดที่แสดงได้ และหน่วยความจำรูปจะมีความละเอียดสูงกว่าความละเอียดที่แสดงได้ (Displayble Resolution) รูปบางครั้งมีขนาดใหญ่ทั้งที่อยู่ในระบบหน่วยความจำ เช่น สไลด์ขนาด 85 มม. ต้องการ 4000*3000 จุด แต่หน่วยความจำสามารถรับได้เพียง 2048*2048 และจอภาพสามารถแสดงได้แค่ 1024*768 จุด สำหรับส่วนที่เหลืออยู่จากส่วนนี้ เราจะเน้นความละเอียดที่สามารถแสดงได้และ Spatial Resolution สั่งการใน 1 ช่วงความเร็วของจอภาพที่ควรจะเป็น ซึ่งขนาดของจอภาพ, Bandwidth, ระยะห่างของจุด (Dotpitch) ทั้งหมดนี้จำเป็นจะต้องพิจารณา เช่น ขนาดจอใหญ่และระยะห่างที่เหมาะสม (Finer dot pitch) จะทำให้ง่ายต่อการเห็นรายละเอียดขนาดเล็ก, Moniter ที่เร็วขึ้น ก็จะเป็นการเพิ่มรายละเอียดให้สูงขึ้น จะสังเกตุได้ว่าความละเอียดของรูปที่แสดงมันจะมีค่าเดียวกับความละเอียดของการแสดงนั้นไม่เป็นอย่างนั้นเสมอไป ในกรณีเช่น รูปขนาด 64*64 จุดและการแสดงผลเป็น 1024*768 จุด ดังนั้นในแนวนอนจะเป็น 1024 จุด จึงเรียกว่า Display Pitch และมันคือจำนวน byte ต่อเส้นสแกน, สำหรับจุดในแนวตั้ง 2 จุดที่ใกล้เคียงกันจะถูกแยกออกจากกัน Display Pitch ในกรณีตรงกันข้ามอาจเกิดขึ้นได้ซึ่งทำให้ Display Picth ที่ใหญ่กว่าที่คาดไว้ ตัวอย่างเช่น 640*480 จุดที่ 24 บิทสี จะมี 640*3=1920 byte ต่อแถว ซึ่งเป็นตัวเลขที่บ่งบอกส่วนใหญ่ของผู้ผลิต Super VGA จะใช้ Display Pitch 2048 จุด

2.4.9 Color Resolution

ความละเอียดของสีคือค่าแตกต่างของจานสี (Palette) ต่อ Non-Palette Mode ใน 16 สี หรือ 256 โหมดสี ซึ่งเป็นโหมดปกติ แต่ละ 16 สีหรือ 256 สี ค่าจะถูกเปลี่ยนเป็นสีที่ DAC (Digital/Analog Converter) จะเป็นสีแดง,เขียว,น้ำเงิน อย่างละ 8 บิทสี ดังนั้นความละเอียดของสีจะเป็น 24 บิทสีต่อจุด แต่จะมีแค่เพียง 256 ระดับสีเท่านั้นที่สามารถแสดงในเวลาหนึ่งโดยที่โหมดสีจะมี 15,16,24 บิทต่อสี บางโหมดที่ไม่ได้มาตรฐานจะมีสีตรงกับ 8 บิทโหมด

2.4.10 Palette Color

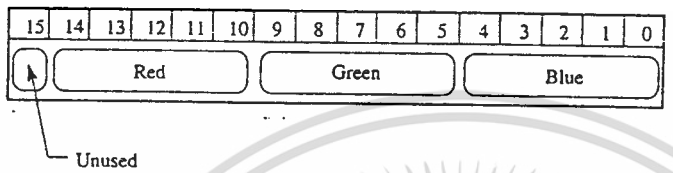
สำหรับ 16 สีที่มี 256 ระดับจะใช้เป็นตัวเทียบสี (Palette) ในกรณีของ 256 สีซึ่งตัวเทียบสีจะเรียกว่ารีจิสเตอร์สี (Color Register), การวางแผนเกี่ยวกับจานสีพื้นฐานจะจำเป็นต่อเมื่อต้องการเปลี่ยนสีอย่างรวดเร็วปราศจากการผิดพลาดจากสีจริงของข้อมูลรูป ส่วนของ 256 สีข้อมูล

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำจะมีระดับตั้งแต่ 0-255 แต่ละค่าจะถูกใส่ให้รีจิสเตอร์สี ค่า 0-255 ในรีจิสเตอร์สีจะเป็นข้อมูล 18 บิท ซึ่งจะประกอบไปด้วย 6 บิทของสีแดง,เขียว,น้ำเงิน บางรีจิสเตอร์จะเปลี่ยนข้อมูลเป็น 24 บิท ซึ่งวิธี 24 บิทนี้จะดีที่สุด แค่ถ้าโชคไม่ดีมันเปลี่ยนไปมาระหว่าง 2 วิธีนี้คือระหว่า 18 บิทกับ 24 บิท

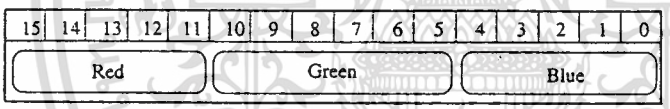
2.4.11 Hi-Color

สำหรับ 15 บิทและ 16 บิทสีจะเรียกว่าโหมด Hi-Color ซึ่งสีแดง,เขียว,น้ำเงินจะแบ่งบิทเหล่านี้ในส่วนของ 15 บิทสี สีน้ำเงินจะใช้ 5 บิท,สีเขียวใช้ 5 บิท,สีแดงใช้ 5 บิท ส่วนบิทที่ 15 จะไม่ได้ใช้



รูปที่ 2.26 แสดงการเข้ารหัสขนาด 15 บิทต่อสี

ส่วน 16 บิทสีจะต่างกับ 15 บิทสีเพียงสีเขียวจะใช้ 6 บิท เพราะตามนุษย์จะ ไวต่อความถี่สูงในช่วงสีเขียว



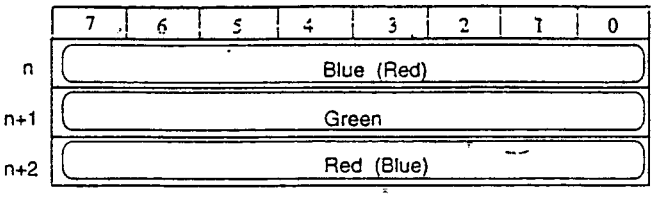
รูปที่ 2.27 แสดงการเข้ารหัสขนาด 16 บิทต่อสี

ในโหมด Hi-Color จะดีสำหรับรูปซึ่งไม่มีแสงเงามาก เมื่อมีเพียง 5-6 บิทสีเราจะจำกัดได้เพียง 32-64 เฉดสีซึ่งไม่เพียงพอ ในอีกด้านหนึ่งโหมดซึ่งเหมาะสมสำหรับกราฟฟิคโปรเซสเซอร์และเฉพาะ Super VGA จะเพิ่มสีที่ถูกต้องเนื่องจากข้อกำหนดของ 24 บิทสี โหมด Hi-Color จะมีความเร็วมากกว่าเมื่อจอภาพไม่สามารถแสดง 24 บิทสีได้ก็ตาม Hi-Color จะทำงานดีกว่า

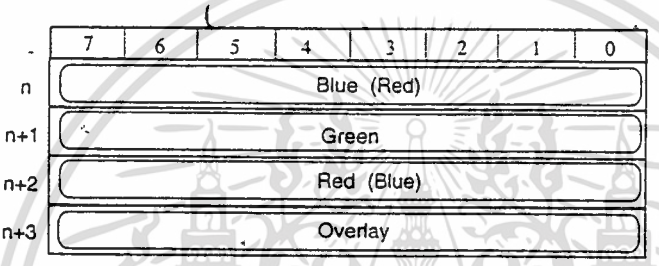
2.4.12 True Color

โหมด True Color จะใช้ทั้ง 24,32 บิทสีต่อจุดและสร้าง 256 เฉดสีของสีแดง,เขียวและน้ำเงิน แม้ว่าค่าใช้จ่ายจะเพิ่มมากขึ้นในเรื่องของความเร็วและข้อมูลเมื่อมีการพัฒนา Hardware 32 บิทสีจะใช้ในอุตสาหกรรมที่เกี่ยวกับกราฟฟิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงการเข้ารหัส 24 บิทต่อสี



รูปที่ 2.29 แสดงการเข้ารหัส 32 บิทต่อสี

ไม่มีวิธีมาตรฐานสำหรับการเข้ารหัสสีแบบเรียงลำดับเป็น Byte ในบางระบบจะเรียงจาก R,G,B หรือจาก G,B,R แต่ G จะเป็นสีที่อยู่ตรงกลาง สำหรับ 32 บิทสีจะแสดงในรูปที่ 2.29 ที่ R,B จะสลับกันไปมาได้แล้วแต่ว่าฟอร์แมทสีของการ์ดกราฟฟิก

2.4.13 Graphic Mode

สิ่งที่สำคัญที่สุดใน Super VGA คือการเพิ่มโหมดในการแสดงผล ซึ่งมี โหมดที่จะเพิ่ม Spatial Resolution ให้ดีพอกับความละเอียดของสี จำนวนของหน่วยความจำและการเจาะของ Super VGA จึงเป็นตัวกำหนดโหมดใหม่ๆในปัจจุบัน กราฟฟิกของ VESA ดังตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VESA Mode Number	*Columns*	*Rows*	*Bits per Color*
102 or 6A hex	800	600	4
104 hex	1024	768	4
106 hex	1280	1024	4
100 hex	640	400	8
101 hex	640	480	8
103 hex	800	600	8
104 hex	1024	768	8
106 hex	1280	1024	8
10D hex	320	200	15
110 hex	640	480	15
113 hex	800	600	15
116 hex	1024	768	15
119 hex	1280	1024	15
10E hex	320	200	16
111 hex	640	480	16
114 hex	800	600	16
117 hex	1024	768	16
11A hex	1280	1024	16
10F hex	320	200	24
112 hex	640	480	24
115 hex	800	600	24
118 hex	1024	768	24
11B hex	1280	1024	24

รูปที่ 2.30 ตารางแสดงจำนวนโหมดกราฟฟิคของ VESA

การโปรแกรม 4 บิทสีหรือ 8 บิทสีจำนำไปสู่โหมดมาตรฐานของ VGA ซึ่งโหมด 15-16 บิทสีจะคล้ายกับโหมด 8 บิท ซึ่งมีข้อยกเว้นว่า 2 Bytes ที่ติดกันจะใช้สำหรับจุด 1 จุด โหมด 24 บิทจะมีบิทหลอกซึ่งจะคล้ายกับ 8 บิท, 15 บิท, 16 บิทสี ดังนั้นแต่ละจุดจะมีตำแหน่งในหน่วยความจำซึ่งในโหมด 24 บิทแต่ละจุดต้องการ 3 Bytes ซึ่ง 3 Bytes นี้ไม่สามารถแบ่งลงเป็น 65536 ได้

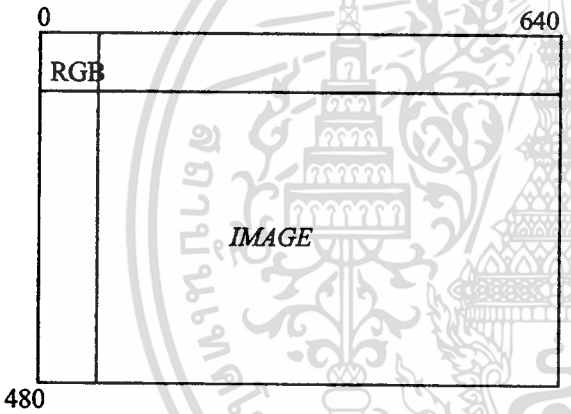
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงาน

3.1 แนวคิดและการทำงาน

จุดมุ่งหมายในการออกแบบสร้างภาพดิจิตอล วีดิโอ (Digital Video) จากการนำสัญญาณภาพรวม (Composite Signal) แล้วนำมาจัดเก็บในหน่วยความจำแบบ Static แล้วนำมาประมวลผลเพื่อแสดงออกมาทางจอคอมพิวเตอร์ โดยจะออกแบบวงจรให้สัญญาณภาพรวมซึ่งประกอบด้วยสัญญาณ RGB ซึ่งเป็นสัญญาณอนาลอก รวมทั้งสัญญาณซิงโครนัสต่างๆเปลี่ยนมาเป็นสัญญาณดิจิตอลขนาด 8 บิทในแต่ละสี แล้วเขียนโปรแกรมควบคุมโดยใช้ภาษา C เนื่องจากมีข้อมูลที่เป็นสีซึ่งเป็นองค์ประกอบของจุดภาพ (Pixel) ที่ประกอบรวมกันเป็นภาพ ซึ่งจะแสดงในโหมด 640*480 จุด ซึ่งมีจำนวนบิทเป็น 640*480*24 = 7372800 บิท โดยที่จุดแต่ละจุดจะมีองค์ประกอบเป็น R, G, B ซึ่งสีแต่ละจุดนั้นเกิดจากการผสมสีทั้ง 3 สีในอัตราส่วนที่แตกต่างกัน



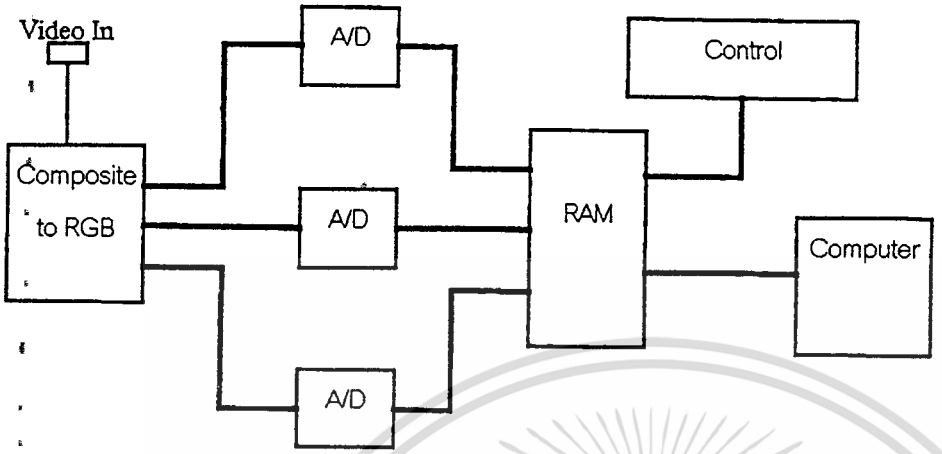
รูปที่ 3.1 แสดงข้อมูลของสีในแต่ละจุดบนจอภาพ

3.2 แนวคิดในการออกแบบ

โดยปกติแล้วภาพที่แสดงบนจอโทรทัศน์นั้นเกิดจากการเปลี่ยนแปลงระดับของสัญญาณภาพ แต่ในคอมพิวเตอร์ภาพที่ได้จะเกิดจากข้อมูลที่เป็นดิจิตอล แต่สัญญาณภาพที่ได้มาจากสัญญาณโทรทัศน์นั้นเป็นสัญญาณอนาลอกจึงไม่สามารถแสดงผลได้โดยตรง ดังนั้นต้องทำการเปลี่ยนสัญญาณโทรทัศน์ซึ่งเป็นสัญญาณภาพสีรวมให้เป็นสัญญาณดิจิตอลก่อน โดยในขั้นแรกนั้นเราจะนำสัญญาณภาพรวมมาแยกองค์ประกอบให้อยู่ในรูปสัญญาณ RGB ก่อนแล้วจึงนำสัญญาณทั้ง 3 นี้ (R,G,B) ที่เป็นสัญญาณอนาลอกนี้เปลี่ยนเป็นข้อมูลดิจิตอล โดยใช้ชิพเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง (Flash A/D Converter) จึงจะทำให้ได้ข้อมูลขนาด 8 บิท ของแต่ละสี R,G,B ซึ่งรวมได้เป็นข้อมูล 24 บิทสีต่อหนึ่งจุดภาพ เมื่อเราได้ข้อมูลแล้วก็จะมีส่วนที่จะนำข้อมูลเข้ามาเก็บไว้ในหน่วยความจำในคอมพิวเตอร์ ซึ่งเราจะใช้ 8255 เพื่อทำหน้าที่เป็นส่วนอินเทอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับคอมพิวเตอร์ผ่าน ISA Bus หลังจากนั้นก็จะเป็นการเขียนโปรแกรมสำหรับนำข้อมูลเข้ามาเก็บและแสดงผลบนจอคอมพิวเตอร์ที่ความละเอียดสูง



รูปที่ 3.2 แสดงบล็อคไดอะแกรมของดิจิตอลวีดิโอโดยรวม

ลักษณะการเก็บข้อมูลภาพดิจิตอล

สัญญาณภาพอนาลอกถูกเปลี่ยนให้เป็นข้อมูลภาพดิจิตอลโดยการใช้ขบวนการพีซีเอ็ม (PCM:Pulse Code Modulation) ดังนั้นคุณภาพของภาพที่ได้หลังจากการเปลี่ยนแปลงแล้วขึ้นอยู่กับตัวแปรหลัก 2 ตัวคือ

1.) ความถี่ที่ใช้ในการสุ่มสัญญาณจะเป็นตัวกำหนดความละเอียดของภาพ หากใช้ความถี่สูงภาพที่ได้ก็จะมีความละเอียดสูงกว่าภาพที่ได้จากการใช้ความถี่ต่ำกว่า

2.) จำนวนบิทที่นำมาใช้แทนระดับของสัญญาณภาพในแต่ละจุด ซึ่งในแต่ละจุดเมื่อเปลี่ยนเป็นภาพแล้วจะสามารถแสดงความชัดเจนได้แค่ไหนขึ้นอยู่กับจำนวนบิท ถ้าหากจำนวนบิทที่นำมาใช้แทนระดับของสัญญาณภาพมีจำนวนมากก็จะทำให้การแทนระดับสัญญาณอนาลอกด้วยข้อมูลภาพดิจิตอลมีความผิดพลาดน้องลง แต่ถ้าจำนวนบิทน้อยเกินไปแล้วจะทำให้เกิดการผิดเพี้ยนของสัญญาณ ความชัดเจนของภาพในแต่ละจุดก็จะน้อยลงเช่นกัน

ปริมาณของข้อมูลดิจิตอลจะมากขึ้นเพราะตัวแปรทั้งสองนี้ คือถ้าหากต้องการความละเอียดและความชัดเจนของภาพเพิ่มขึ้นก็จะต้องการหน่วยความจำขนาดใหญ่ขึ้นในการเก็บข้อมูลของภาพเหล่านี้ ซึ่งการจัดเก็บข้อมูลดิจิตอลต้องมีความเร็วทันกับสัญญาณอนาลอกที่จะนำมาแปลงเป็นสัญญาณดิจิตอล ข้อมูลภาพที่ได้จึงจะสมบูรณ์ สำหรับวิธีการจัดเก็บข้อมูลดิจิตอลของภาพลงในหน่วยความจำจะมีหลายวิธี แต่ในโครงงานนี้มีแนวความคิดที่จะให้การจัดเก็บข้อมูลภาพดิจิตอลเสียนแบบการแสดงผลบนจอภาพโทรทัศน์เพื่อไม่ให้สับสนในการออกแบบ วิธีนี้จะมองพื้นที่ของหน่วยความจำให้เห็นเป็นจอภาพเพื่อแทนจุดบนจอภาพด้วยข้อมูลในหน่วยความจำที่ตำแหน่งตรงกัน

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ระบบของดิจิตอลวีดิโอ

ในโครงงานนี้ได้ออกแบบให้สามารถนำสัญญาณภาพโทรทัศน์หรือสัญญาณภาพรวมมาสามารถนำมาแสดงบนมอนิเตอร์ของคอมพิวเตอร์ได้ ซึ่งสัญญาณภาพรวมที่นำมาจะเป็นสัญญาณสีในระบบ NTSC หลังจากได้แนวคิดในการทำงานแล้วจึงสามารถกำหนดเงื่อนไขของการทำงาน, การออกแบบของวงจร รวมถึงการเลือกอุปกรณ์มาใช้ นอกจากนี้ในแต่ละส่วนจะกล่าวถึงทำพื้นฐานเพื่อช่วยให้เข้าใจการทำงานของระบบโดยละเอียดขึ้น

โครงสร้างและการทำงานของระบบจะประกอบด้วยส่วนประกอบ 4 ส่วนคือ

3.3.1 ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

การเปลี่ยนสัญญาณอนาลอกให้เป็นดิจิตอลเป็นขบวนการที่สำคัญของระบบ สัญญาณภาพจะถูกแปลงให้เป็นข้อมูลภาพดิจิตอลที่ส่วนนี้ โดยไอซีเบอร์ CA3318 เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลชขนาด 8 บิทที่มีความเร็วสูงมากพอที่จะใช้กับงานเกี่ยวกับสัญญาณโทรทัศน์ ตัวถังเป็นแบบดิพ (DIP) ขนาด 24 ขา โครงสร้างภายในแสดงดังรูปที่ 3.3 มีการทำงานดังนี้

ชุดสวิทซ์อิเลคโทรนิค (ส่วนที่เป็นวงกลมมีกากบาทอยู่ข้างใน) ทำการสุ่มสัญญาณเข้ามาสู่ตัวเปรียบเทียบจำนวน 256 ชุด ตัวเปรียบเทียบนี้ทำหน้าที่เปรียบเทียบสัญญาณอินพุทที่เป็นอนาลอกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 256 ชุดที่ได้กำหนดไว้แล้ว ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (เป็นลอจิก 0 หรือ 1) ส่งเข้าดีฟลิบฟลอบ (D-FlipFlop) ทั้ง 256 ชุด โดยตรงเป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งเข้าดีฟลิบฟลอบชุดที่ 1 คือ ส่งเข้าชุดไหนชุดนั้น ดีฟลิบฟลอบทำหน้าที่เป็นชิฟรีจิสเตอร์ (Shift Register) ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาลงของรูปคลื่นเท่านั้น) ทำการแลทช์ (Latch) ข้อมูลไว้ชั่วขณะจนกว่าจะมีข้อมูลชุดใหม่เข้ามาจึงจะเลื่อน (Shift) ข้อมูลนั้นส่งเข้าชุดเข้ารหัส (Encoder Logic Array) เพื่อแปลงข้อมูลทั้ง 256 ก้าออกมาเป็นข้อมูลขนาด 9 บิท (รวมบิทส่วนเกินด้วย) ส่งต่อไปยังเอาท์พุทรีจิสเตอร์ซึ่งใช้ดีฟลิบฟลอบทำหน้าที่นี้อีกเช่นเดิม ก่อนส่งไปตัวขับ 3 สถานะ (Tri-State) เป็นเอาท์พุทต่อไป เอาท์พุทนี้สามารถควบคุมได้ด้วย CE_1 และ CE_2

ไอซี CA3318 ใช้เทคนิคการแปลงข้อมูลเป็นแบบขนานเป็นลำดับ (Sequential Parallel Technique) โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่างๆให้สอดคล้องกัน จากรูปโครงสร้างภายใน ขาป้อนสัญญาณนาฬิกา (ขา 18) และขาควบคุมเฟส (ขา 19) ต่อกับวงจรลอจิกเกตชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟสคือ ϕ_1 (Auto Balance) และ ϕ_2 (Sample Unknown) เฟสทั้งสองนี้ถูกจัดให้อยู่ในช่วงลอจิก 0 หรือ 1 ของสัญญาณนาฬิกา (ใน 1 คาบเวลา) ซึ่งสามารถควบคุมได้โดยใช้ขาควบคุมเฟส การจัด ϕ_1 และ ϕ_2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ ทำให้สามารถควบคุมความเร็วในการแปลงสัญญาณข้อมูลของ CA3318 ให้เปลี่ยนแปลงตามไปตามสัญญาณนาฬิกาได้ การควบคุมความเร็วในการในการแปลงสัญญาณทำได้ 2 วิธีคือ

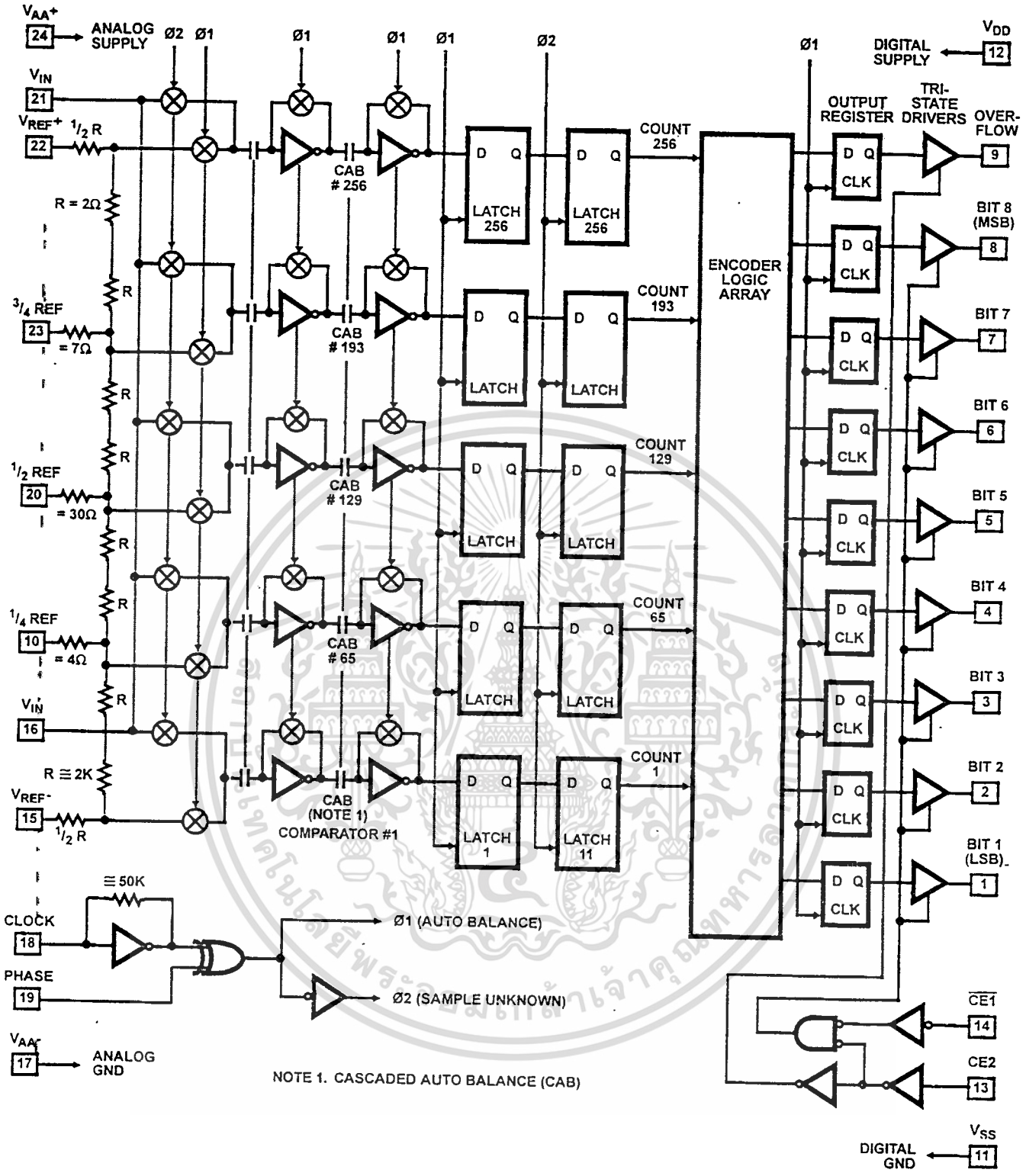
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.) ทำโดยป้อนลอจิก 0 เข้าที่ขาควบคุมเฟส ϕ_1 จะถูกจัดให้อยู่ในลอจิก 1 และ ϕ_2 ถูกจัดให้อยู่ในลอจิก 0 ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบ(อนาลอก) จะถูกแลทช์ไว้ที่ขอบขาขึ้นของรูปคลื่น ϕ_1 และเมื่อถึงช่วงขอบขาลงของพัลส์ ϕ_1 แล้วก็จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาท์พุทรีจิสเต่อร์ต่อไป ซึ่งในวิธีนี้เป็นการแปลงข้อมูลให้เสร็จสิ้นภายในครึ่งของคาบเวลาของสัญญาณนาฬิกาเท่านั้น ซึ่งในโครงงานนี้จะออกแบบให้ CA3318 ทำงานแบบนี้

2.) ทำโดยป้อนลอกจิก 1 เข้าที่ขาควบคุมเฟส ϕ_1 จะถูกจัดให้อยู่ในลอกจิก 0 และ ϕ_2 ถูกจัดให้อยู่ในลอจิก 1 ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาขึ้นของรูปคลื่น ϕ_2 ข้อมูลจากตัวเปรียบเทียบ(อนาลอก) ถูกแลทช์ไว้จนกว่าจะถึงขอบขาขึ้นของรูปคลื่น ϕ_2 ลูกต่อมาจึงจะทำการเลื่อนข้อมูลส่งเข้าเอาท์พุทรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา

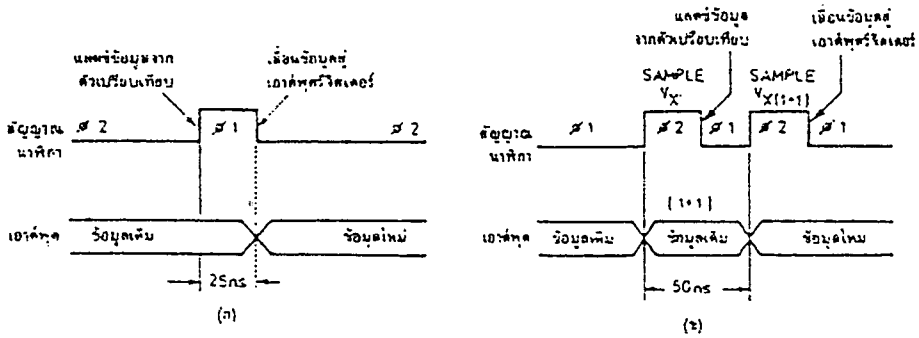
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 แสดงแผนผังการทำงานภายในของ CA3318



รูปที่ 3.4 แสดงการควบคุมใน CA3318

การออกแบบวงจรเอทูดีกอนเวอร์เตอร์โดยใช้ CA3318

หาแรงดันที่จุดแทป (Tap) ของ CA3318 จากสมการ

$$V_{TAP}=[(2N-1)/512] \times V_{REF}$$

โดยที่ N คือจำนวนแลดเดอร์ที่ใช้ตั้งแต่ 0-255

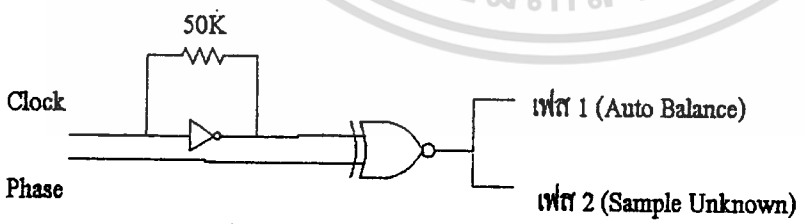
โดยดูจากวงจรภายในของ CA3318 ในภาคผนวก จะมีแทป 3 จุดคือ 192,129,65 และ V_{REF}= 5 Volt ดังนั้นจะ ได้แรงดันที่จุดแทปต่างๆดังนี้คือ

$$V_{TAP\,(193)} = 3/4\ V_{REF} = 3.75\ \text{Volt}$$

$$V_{TAP\,(129)} = 1/2\ V_{REF} = 2.5\ \text{Volt}$$

$$V_{TAP\,(65)} = 1/4\ V_{REF} = 1.25\ \text{Volt}$$

เมื่อได้ค่า V_{TAP} ที่จุดต่างๆแล้วก็นำแรงดัน (Voltage) ที่มีค่าดังกล่าวต่อเข้ากับขา 3/4 V_{REF} , 1/2 V_{REF}, 1/4 V_{REF} เพื่อเพิ่มความถูกต้องในวงจร ถึงแม้ในตัวไอซีจะมีวงจรแบ่งแรงดันไว้แล้วก็ตาม ส่วนขาคล็อก (Clock) และพัลส์นั้นจะต่อวงจรในลักษณะดังรูปที่ 3.5



รูปที่ 3.5 แสดงลักษณะการต่อคล็อกและเฟส

จะเห็นว่าขา CK กับเฟสต่อเข้ากับเอ็กซ์คลูซีฟออเกท (Exclusive OR Gate) ดังนั้นเมื่อไม่ต้องการเปรียบเทียบสัญญาณนาฬิกาหรือคล็อก ก็ต่อขาเฟสลงกราวด์ (Ground) เพื่อให้คล็อกที่ไปป้อนวงจรเป็นคล็อกช่องอินพุทตัวเดียว โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ขา CE_1 และ CE_2 เป็นขาที่ไปควบคุมตัวขับ 3 สถานะ (Tri-State Driver) จึงต้องต่อให้อยู่ในลักษณะแอกทีฟ (Active) ตลอดเวลา เมื่อไม่ต้องการใช้คลอกควบคุมการอ่านออก

2. ขา V_{ss} และ V_{DD} เป็นแหล่งจ่ายไฟสำหรับวงจรดิจิตอลในตัวไอซี CA3318 จึงต่อกับแหล่งจ่ายไฟดิจิตอลและดิจิตอลกราวด์

3. ขา V_{AA}^{+} และ V_{AA}^{-} เป็นแหล่งจ่ายไฟสำหรับวงจรอนาลอกในตัวไอซี CA3318 จึงต่ออยู่กับแหล่งจ่ายไฟอนาลอก

ความจำเป็นที่จะต้องแยกแหล่งจ่ายไฟอนาลอกและแหล่งจ่ายไฟดิจิตอลออกจากกันเพื่อป้องกันสัญญาณภาคดิจิตอลเข้าไปรบกวนสัญญาณอนาลอกอินพุทซึ่งอาจทำให้เกิดข้อผิดพลาดขึ้นได้

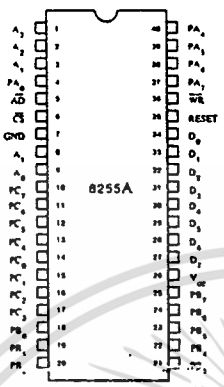
3.3.2 ส่วนอินเทอร์เฟสกับคอมพิวเตอร์โดยใช้ 8255

ทฤษฎีและการใช้งาน 8255

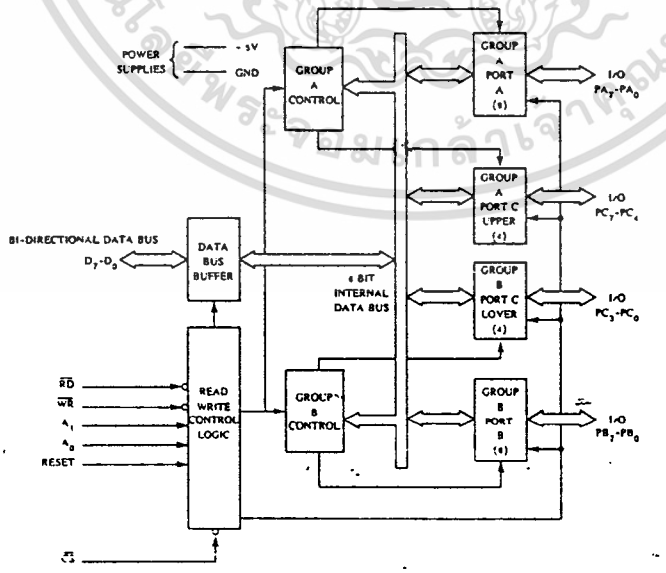
ไมโครโปรเซสเซอร์นั้นนอกจากติดต่อกับหน่วยความจำโดยการนำข้อมูลไปเก็บไว้หรืออ่านข้อมูลใดๆออกจากหน่วยความจำแล้ว ตัว CPU เองอาจจะต้องติดต่อกับส่วนประกอบภายนอกอื่นๆอีกด้วย เช่น การรับคีย์บอร์ด การแสดงผล หรือแม้แต่การนำ CPU ไปควบคุมอุปกรณ์ต่างๆนั้น CPU ต้องติดต่อ (รับหรือส่งข้อมูล) โดยผ่านทางอินพุทหรือเอาท์พุทพอร์ทซึ่งอาจสามารถใช้ไอซี TTL บางเบอร์มาใช้เป็นพอร์ทสำหรับ CPU ได้ แต่ทั้งนี้การใช้ไอซี TTL มีข้อจำกัดหลายอย่างเช่น ในกรณีที่มีความจำเป็นต้องใช้พอร์ทหลายๆพอร์ท เพราะต้องติดต่อกับอุปกรณ์ภายนอกหลายชุด จึงต้องใช้ไอซีเหล่านี้จำนวนหลายตัวและอาจทำให้ยากในการออกแบบวงจร อีกทั้งยังไม่สามารถจะเปลี่ยนแปลงลักษณะการทำงานให้แตกต่างไปจากเดิมที่ได้ออกแบบไว้แล้ว ดังนั้นผู้ผลิต CPU ในตระกูลต่างๆจึงมักผลิตไอซีประเภท LSI ที่ทำหน้าที่เป็นพอร์ทมาเพื่อใช้ CPU เบอร์นั้นๆได้สะดวก ซึ่งจะทำให้การรับส่งข้อมูลมีความน่าเชื่อถือและยังสามารถเปลี่ยนแปลงชนิดของพอร์ท(จากอินพุทเป็นเอาท์พุทหรือจากเอาท์พุทเป็นอินพุท)ได้ง่ายโดยการควบคุมของ CPU เอง ซึ่งไอซีที่เป็นที่นิยมในการนำไปใช้งานมากที่สุดอีกทั้งยังมีราคาถูกซื้อหาได้ง่ายคือไอซีเบอร์ 8255 ของบริษัทอินเทล ที่จริงแล้วไอซีเบอร์ 8255 นี้จะถูกออกแบบและผลิตขึ้นมาเพื่อใช้งานร่วมกับ CPU เบอร์ 8080 แต่ก็สามารถนำมาใช้กับ CPU เบอร์อื่นๆได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะเบื้องต้น



รูปที่ 3.6 รูปแสดงตำแหน่งขาต่างๆของ 8255



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 รูปแสดงแผนผังภายในของ 8255

8255 นั้นเป็นไอซี LSI ขนาด 40 ขา จากรูปที่ 3.6 แสดงตำแหน่งของขาต่างๆทั้ง 40 ขา ส่วนรูปที่ 3.7 แสดงแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ทสำหรับส่งข้อมูลทั้งหมด 3 พอร์ท มีชื่อดังนี้ คือ A,B และ C โดยพอร์ท C นี้จะแบ่งออกเป็น 2 ส่วนคือ พอร์ท C ล่าง (CLO) กับพอร์ท C บน (CHI) นอกจากนี้แล้วยังมีพอร์ทอีกพอร์ทหนึ่งซึ่งทำหน้าที่ควบคุมการทำงานของพอร์ท A,B และ C โดยการรับคำสั่งมาจาก CPU พอร์ทนี้เรียกว่าพอร์ทควบคุม (Control Port) พอร์ทนี้จะใช้งานก็ต่อเมื่อ CPU ต้องการกำหนดลักษณะการทำงานของพอร์ท A,B และ C หรือต้องการเปลี่ยนแปลงหลังจากที่กำหนดไว้เดิม CPU จะส่งรหัสควบคุมมาทางดาต้าบัส (Data Bus) ให้แก่พอร์ทควบคุมนี้ การกำหนดรหัสที่ใช้ในการควบคุมพอร์ทต่างๆนี้จะกล่าวในตอนต่อไป ในทางปฏิบัติผู้ออกแบบระบบต้องนำรหัสควบคุมที่ได้มาตามข้อกำหนดของ 8255 นี้ไปใส่ในโปรแกรมเพื่อให้ CPU ทำการส่งรหัสควบคุมนี้มายังพอร์ทควบคุมเมื่อระบบนั้นเริ่มต้นทำงาน

หน้าที่ขาต่างๆของ 8255

ขาต่างๆของ 8255 สามารถแบ่งออกได้ดังนี้

CS (Chip Select) ขานี้ใช้สำหรับรับสัญญาณจากภายนอกเพื่อใช้ในการเลือกว่าจะให้ 8255 ตัวนี้ทำงานหรือไม่ โดยแต่ถ้าขานี้ได้รับลอจิก 0 จะทำให้ 8255 เชื่อมต่อเข้ากับระบบบัสต่างๆของ CPU และพร้อมที่จะติดต่อกับ CPU ได้ แต่ถ้าเป็นลอจิก 1 มันจะปลดตัวเองออกจากระบบบัสของ CPU (โดยการเป็น Hi-Z)

RD (Read Enable) เป็นขาอินพุทที่จะรับสัญญาณจาก CPU ถ้าขานี้ได้รับลอจิก 0 และขณะนั้นขา CS ต้องเป็นลอจิก 0 ด้วย 8255 จะทำการส่งข้อมูลจากพอร์ทที่ CPU ต้องการติดต่อด้วยนั้นให้แก่ CPU ทางดาต้าบัส

WR (Write Enable) ที่หน้าที่การทำงานตรงข้ามกับขา RD คือถ้าขา WR นี้ได้รับลอจิก 0 (CS ต้องเป็นลอจิก 0 ด้วยเช่นกัน) 8255 จะรับข้อมูลจากดาต้าบัสของ CPU ส่งออกไปยังพอร์ทที่ CPU กำหนดไว้

RESET คือขาที่ทำหน้าที่ Reset 8255 เมื่อใดที่ 8255 ได้รับสัญญาณ Reset มันจะกลับเข้าสู่โหมดอินพุท คือทุกๆพอร์ทจะเป็นอินพุทพอร์ท ขา RESET นี้ใช้เมื่อต้องการเคลียร์สถานะต่างๆของ 8255

D_0-D_7 คือขาข้อมูลที่ใช้ในการติดต่อรับส่งข้อมูลกับ CPU โดยใช้ขา D_0-D_7 นี้จะต้องเข้ากับดาต้าบัสของ CPU เพื่อให้ CPU ส่งข้อมูลออกไปยังพอร์ทหรือรับข้อมูลจากพอร์ทส่งให้แก่ CPU ผ่านทาง D_0-D_7

A_0-A_1 คือขาแอดเดรสที่ใช้ในการเลือกพอร์ทที่ CPU ต้องการจะติดต่อด้วยซึ่งมีความเป็นไปได้ทั้งหมด 4 ค่าคือ 00 = พอร์ท A

01 = พอร์ท B

10 = พอร์ท C

11 = พอร์ทควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PA_0-PA_7 เป็นขาสัญญาณของพอร์ท A ใน 8255 ซึ่งจะถูกเลือกโดยค่าของ A_0-A_1 และเมื่อพอร์ทนี้ถูกเลือกใช้ข้อมูลต่างๆก็จะถูกส่งผ่าน PA_0-PA_7 นี้ไปยัง D_0-D_7 (กรณีที่ให้พอร์ท A นี้เป็นอินพุทพอร์ท) หรือจาก D_0-D_7 มายัง PA_0-PA_7 (กรณีที่เป็นเอาท์พุทพอร์ท)

PB_0-PB_7 เป็นขาสัญญาณของพอร์ท A ใน 8255 ซึ่งจะถูกเลือกโดยค่าของ A_0-A_1 เช่นเดียวกับพอร์ท A และพอร์ท B นี้มีข้อจำกัดการรับส่งข้อมูลที่ต่างจากพอร์ท A ในบางกรณี

PC_0-PC_7 เป็นสายสัญญาณของพอร์ท C ซึ่งแบ่งออกเป็น 2 กลุ่มคือ PC_0-PC_3 และ PC_4-PC_7 โดยแต่ละกลุ่มสามารถแยกกันทำงานได้โดยอิสระ กลุ่มหนึ่งอาจเป็นอินพุทพอร์ทในขณะที่อีกกลุ่มหนึ่งเป็นเอาท์พุทพอร์ทได้แต่การทำงานพร้อมๆกันโดยการเลือกด้วยลอจิกที่ A_0-A_1

การใช้งาน 8255

8255 นั้นแบ่งการทำงานออกเป็น 3 โหมด (Mode) ด้วยกันคือ

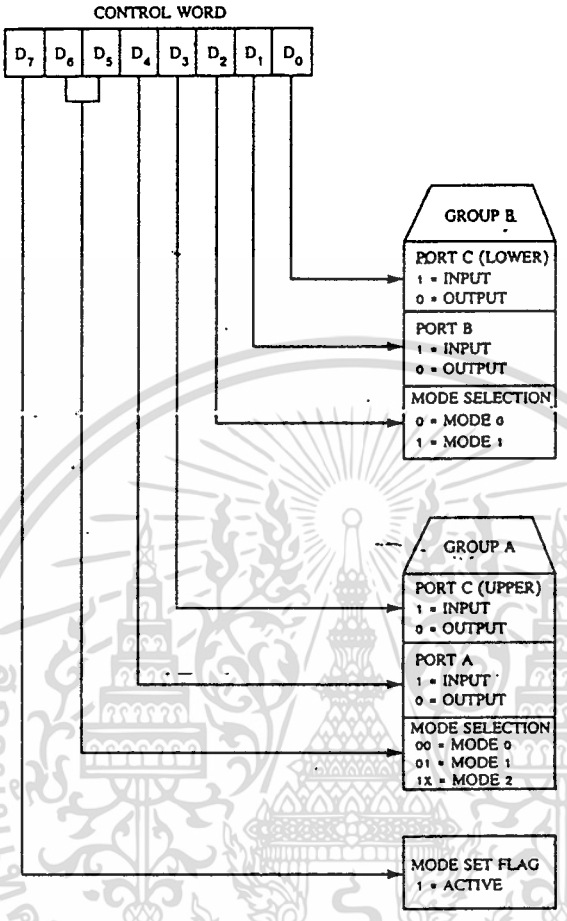
โหมด 0 : เป็นโหมดอินพุทหรือเอาท์พุทอย่างใดอย่างหนึ่ง ซึ่งทั้ง 3 พอร์ทคือ A,B และ C สามารถทำงานในโหมดนี้ได้

โหมด 1 : เป็นโหมดอินพุทหรือเอาท์พุทอย่างใดอย่างหนึ่งเช่นกันแต่จะมีลักษณะการทำงานเป็นลักษณะของ HandShaking สามารถทำได้เฉพาะพอร์ท A และ B เท่านั้น

โหมด 2 : เป็น Bi-Directional คือเป็นได้ทั้งอินพุทและเอาท์พุทพอร์ทในเวลาเดียวกันและการทำงานแบบ HandShaking เช่นเดียวกับโหมด 1 ในโหมดนี้ใช้ได้เฉพาะพอร์ท A เท่านั้น

การกำหนดโหมดการทำงานของ 8255 นั้นทำได้โดย CPU ทำการส่งรหัสควบคุมผ่านทางดาต้าบัสมายังพอร์ทควบคุม (Control Port) ของ 8255 รหัสควบคุมนี้จะมาขนาด 1 byte เรียกว่า Control Byte และในแต่ละบิทของ Control Byte (1 Byte=8 bit) นั้นจะมีความหมายเฉพาะของตัวเองดังแสดงในรูปที่ 3.8 ซึ่งจะอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงความหมายของแต่ละบิทในรหัสควบคุม

บิท D_7 เป็นบิทที่แสดงว่าไบท์นี้เป็นรหัสควบคุม (Control Byte) ที่จะมีผลต่อการกำหนดโหมดการทำงานของ 8255

บิท D_2 *และ* D_5 มีความหมายในการเลือกโหมดของพอร์ท A ซึ่งสามารถทำงานได้ทั้ง 3 โหมด โดยลอจิกที่ D_6 และ D5 จะมีความหมายดังนี้ 00 = โหมด 0

01 = โหมด 1

10 = โหมด 2

11 = โหมด 2

บิท D_4 ถ้าเป็นลอจิก 0 หมายถึงสั่งให้พอร์ท A ทำหน้าที่เป็นเอาท์พุทพอร์ท แต่ถ้าเป็นลอจิก 1 พอร์ท A จะเป็นอินพุทพอร์ท บิทนี้จะมีความหมายเมื่อเราให้ 8255 ทำงานในโหมด 0 หรือโหมด 1 เท่านั้น เพราะในโหมด 2 นั้นพอร์ท A จะเป็นอินพุทและเอาท์พุทพอร์ทในเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท D_3 เป็นบิทที่กำหนดการทำงานของพอร์ท C บน (PC_4-PC_7) ถ้าบิทนี้เป็นลอจิก 0 พอร์ท C บนจะเป็นเอาท์พุทพอร์ท แต่ถ้าเป็น 1 จะเป็นอินพุทพอร์ท

บิท D_2 เป็นบิทที่ใช้สำหรับกำหนดโหมดการทำงานของพอร์ท B ถ้าเป็นลอจิก 0 หมายถึงให้พอร์ท B ทำงานในโหมด 0 ถ้าลอจิก 1 จะทำงานในโหมด 1

บิท D_1 เป็นการกำหนดให้พอร์ท B เป็นอินพุทหรือเอาท์พุทพอร์ท ถ้า D_1 เป็นลอจิก 0 จะเป็นเอาท์พุทพอร์ท แต่ถ้าเป็น 1 จะเป็นอินพุท

บิท D_0 เป็นบิทที่กำหนดการเป็นอินพุทหรือเอาท์พุทพอร์ทของพอร์ท C ล่าง (PC_0-PC_3) ถ้าบิทนี้เป็น 0 จะเป็นเอาท์พุท แต่ถ้าเป็น 1 จะเป็นอินพุท

การเชื่อมต่อการ์ด ISA เข้ากับ PC Computer

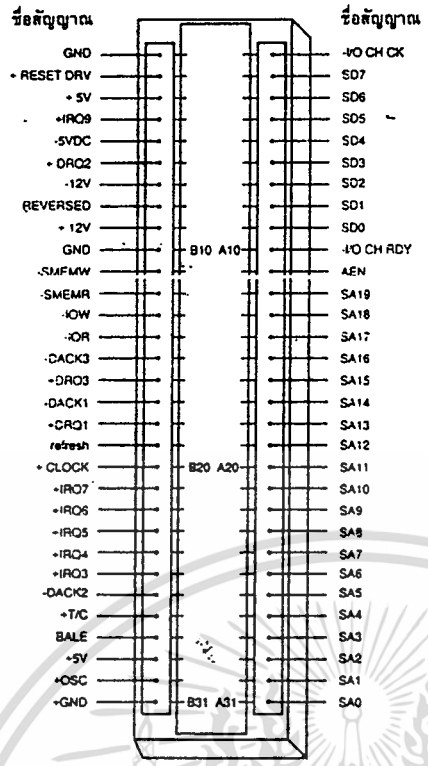
ในปัจจุบันเครื่องคอมพิวเตอร์ส่วนบุคคล(PC Computer) มีใช้กันแพร่หลายไม่ว่าจะเป็นการใช้งานทางด้านธุรกิจ,วิศวกรรม หรือการใช้งานส่วนตัวก็ตาม เครื่องคอมพิวเตอร์ส่วนบุคคล IBM PC เป็นเครื่องคอมพิวเตอร์ขนาด 16 บิท ซึ่งออกแบบไว้ให้สามารถขยายความสามารถของระบบเพื่อเพิ่มประสิทธิภาพการทำงานหรือเพิ่มฟังก์ชันการทำงานของระบบได้โดยง่าย โดยอาศัยสล็อทและพอร์ทต่างๆที่มีอยู่พร้อมแล้วในเครื่อง IBM PC โครงงานนี้ต้องอาศัยการออกแบบให้สามารถเชื่อมต่อเข้ากับเครื่อง IBM PC เพื่อให้ใช้เครื่องคอมพิวเตอร์สามารถนำข้อมูลจากการ์ด A/D Converter เข้ามาเก็บในหน่วยความจำและนำไปแสดงผลบนจอภาพต่อไป

ตำแหน่งขาต่างๆบนสล็อต ISA

ภายใน IBM PC ได้มีการออกแบบให้สามารถเพิ่มเติมวงจรอินเทอร์เฟสเข้าไปภายหลังได้โดยผ่านสล็อตที่มีอยู่บนเมนบอร์ด สำหรับสล็อตมาตรฐานแรกบนเครื่องคอมพิวเตอร์ส่วนบุคคลคือสล็อตแบบ ISA ซึ่งแต่ละสล็อตมีจำนวนขาทั้งสิ้น 64 ขา แบ่งเป็น 2 ข้างๆละ 32 ขา ตำแหน่งขาของสล็อตที่อยู่ด้านซ้ายของสล็อตจะเรียกโดยใช้อักษร B นำหน้าเลขของตำแหน่งของขา เช่นขา B10 คือขาทางด้านซ้ายของสล็อตขาที่ 10 (นับจากทางด้านท้ายของเครื่อง) ส่วนขาที่อยู่ทางด้านขวาของสล็อตจะเรียกโดยใช้อักษร A นำหน้าเลขตำแหน่งของขา เช่น A24 คือขาทางด้านขวาของสล็อตขาที่ 24 (นับจากทางด้านท้ายของเครื่อง)

เต่ขาของสล็อตเหล่านี้เชื่อมต่อกับเส้นสัญญาณต่างๆบนเมนบอร์ด ทำให้การสร้างวงจรอินเทอร์เฟสกับเครื่องคอมพิวเตอร์ส่วนบุคคลสามารถกระทำได้สะดวก เส้นสัญญาณที่เชื่อมต่อกับขาสล็อตเหล่านี้ประกอบด้วย เส้นสัญญาณของแอดเดรส (Address Bus), บัสข้อมูล (Data Bus), บัสควบคุมสำหรับการเขียนและการอ่านข้อมูลจากหน่วยความจำหรือพอร์ท I/O , เส้นสัญญาณสำหรับการขออินเทอร์รัพของวงจรอินเทอร์เฟส, เส้นสัญญาณสำหรับขอ DMA (Direct Memory Access), สัญญาณฐานเวลา (Timing Signal) ต่างๆที่ใช้ในระบบเส้นสัญญาณแสดงแสดงการรีเฟรสหน่วยความจำและสัญญาณสำหรับตรวจสอบความผิดพลาด (I/O Check) นอกจากเส้นสัญญาเหล่านี้แล้วสล็อต ISA ยังสามารถเชื่อมต่อกับแหล่งจ่ายไฟต่างๆคือ +5V(DC), -5V(DC), +12V(DC), -12V(DC) ตำแหน่งขาต่างๆบนสล็อตของ ISA แสดงไว้ในรูปที่ 3.9

เอกสารนี้มีลิขสิทธิ์ ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงตำแหน่งขาบนสล็อตของ ISA

รายละเอียดเกี่ยวกับสัญญาณต่างๆบนสล็อต ISA

สัญญาณต่างๆบนสล็อต ISA มีหลายสัญญาณ แต่ในที่นี้จะกล่าวถึงเฉพาะสัญญาณต่างๆที่จำเป็นที่ใช้เกี่ยวกับการอ่าน/เขียนข้อมูลกับหน่วยความจำและพอร์ท I/O เท่านั้น

A_0-A_{19} (Address Bus : ขา A31-A12)

ขาสัญญาณทั้ง 20 ขานี้เป็นเอาท์พุท ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ CPU ต้องการติดต่อด้วย โดยสัญญาณที่ A_0 จะมีค่านัยสำคัญต่ำที่สุด (LSB) และ A_{19} จะมีค่านัยสำคัญสูงที่สุด (MSB) สำหรับค่าแอดเดรส A_0-A_{19} นี้ในระหว่างกระบวนการอ่าน/เขียนข้อมูลกับหน่วยความจำหรืออุปกรณ์ I/O ถูกกำหนดโดย CPU แต่ในระหว่างกระบวนการ DMA จะถูกกำหนดโดย DMA-Controller (ระหว่างนี้ CPU จะถูกตัดออกจากระบบ) จะเห็นได้ว่าแอดเดรส 20 เส้นสามารถอ้างอิงแอดเดรสของหน่วยความจำได้ถึง 1 Mbyte คือตั้งแต่ 0FC00-0FFFFF สำหรับการอ้างแอดเดรสพอร์ท I/O จะเลือกใช้เพียง 16 เส้นคือ A_0-A_{15} ซึ่งจะทำให้อ้างอิงแอดเดรสของพอร์ทเพียง 10 เส้นคือ A_0-A_9 และค่าแอดเดรสที่ใช้งานจะต้องอยู่ในช่วง 0200-03FF

D_0-D_7 (Data Bus : ขา A9-A2)

ขาสัญญาณนี้เป็นแบบ Bi-Directional ซึ่งต่ออยู่กับบัสข้อมูลของระบบเพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ท I/O กับเครื่องคอมพิวเตอร์ส่วนบุคคล โดยบิท D_0 จะมีค่านัยสำคัญต่ำที่สุด (LSB) และบิท D_7 จะมีค่านัยสำคัญสูงที่สุด (MSB)

ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IOW (I/O Write : ขา B13)

ขาสัญญาณนี้เป็นเอาท์พุทซึ่งจะแอคทีฟที่ลอจิก 0 ซึ่งถูกสร้างขึ้นโดย 8080 Bus Controller เพื่อแสดงว่าไซเคิลที่เกิดขึ้นเป็นไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนแอดเดรสบัสนั้นรับข้อมูลไปเก็บไว้ และขา IOW นี้จะแอคทีฟในอีกกรณีหนึ่งคือ กรณีของ DMA Controller จะทำการส่งสัญญาณ IOW เอง โดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำที่พอร์ท I/O ที่ DMA ต้องการจะอ่านข้อมูล

MEMW (Memory Write : ขา B11)

ขานี้เป็นเอาท์พุทซึ่งจะแอคทีฟที่ลอจิก 0 ซึ่ง 8080 Bus Controller สร้างขึ้นในระหว่างไซเคิลในการเขียนข้อมูลลงในหน่วยความจำที่แอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้นทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ โดยทั่วไปหน่วยความจำจะรับข้อมูลในช่วงขอบขาขึ้นของสัญญาณ MEMW สำหรับในระหว่างกระบวนการ DMA นั้น MEMW ก็จะแอคทีฟเช่นเดียวกัน

MEMR (Memory Read : ขา B12)

ขานี้เป็นเอาท์พุทจะแอคทีฟที่ลอจิก 0 ในระหว่างไซเคิลของการอ่านข้อมูลจากหน่วยความจำของ CPU เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้นทำการส่งข้อมูลออกมายังบัสข้อมูลสำหรับในระหว่างกระบวนการ DMA นั้น MEMR ก็จะแอคทีฟเช่นกัน

AEN (Address Enable : ขา A11)

สัญญาณนี้เป็นเอาท์พุทที่ใช้ในการแสดงว่าไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟที่ลอจิก 1 นั้นเป็นไซเคิลของกระบวนการ DMA

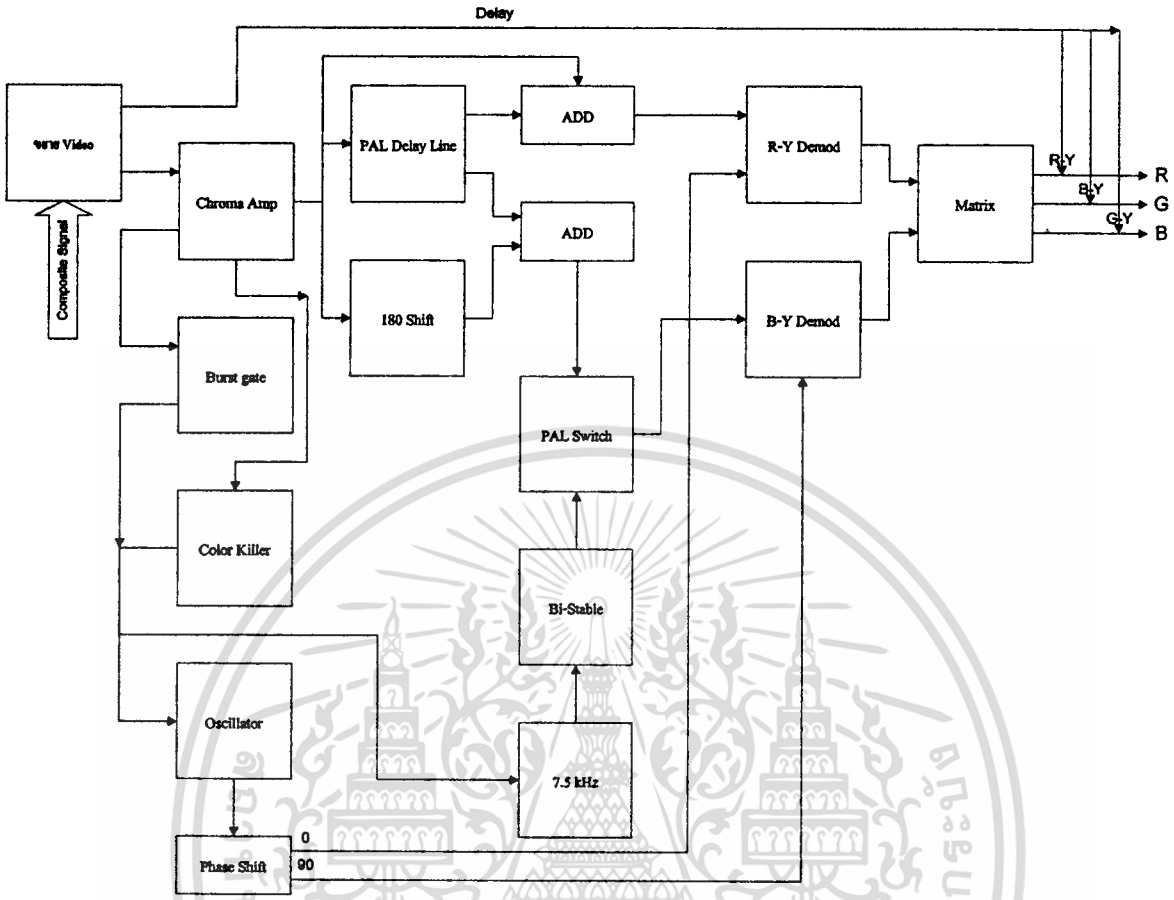
GAD (Ground Address : ขา B1, B10 และ B31)

ขาทั้งสามนี้จะต่อเข้ากับกราวด์ของระบบ

3.3.3 ส่วนแยกสัญญาณภาพรวม (Composite Signal) เป็นสัญญาณ RGB โดยใช้ V7021

เนื่องจากสัญญาณจากโทรทัศน์หรือจากกล้องวีดิโอหรือจากเครื่องกำเนิดสัญญาณสีรวม (Composite Video) ที่ใช้กันอยู่โดยทั่วไปมีด้วยกันหลายแบบกล่าวคือสัญญาณเอาท์พุทเป็นสัญญาณภาพสีรวมเพียงเส้นเดียวหรือระบบที่มีสัญญาณเอาท์พุท 4 เส้น ประกอบด้วยสัญญาณสีแดง,สีน้ำเงิน,สีเขียวและสัญญาณซิงโครนัส ด้วยเหตุนี้เพื่อสะดวกในการใช้งานจึงออกแบบการใช้งานไว้โดยจะรับสัญญาณอินพุทเป็นแบบสัญญาณภาพสีรวม (Composite Video Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

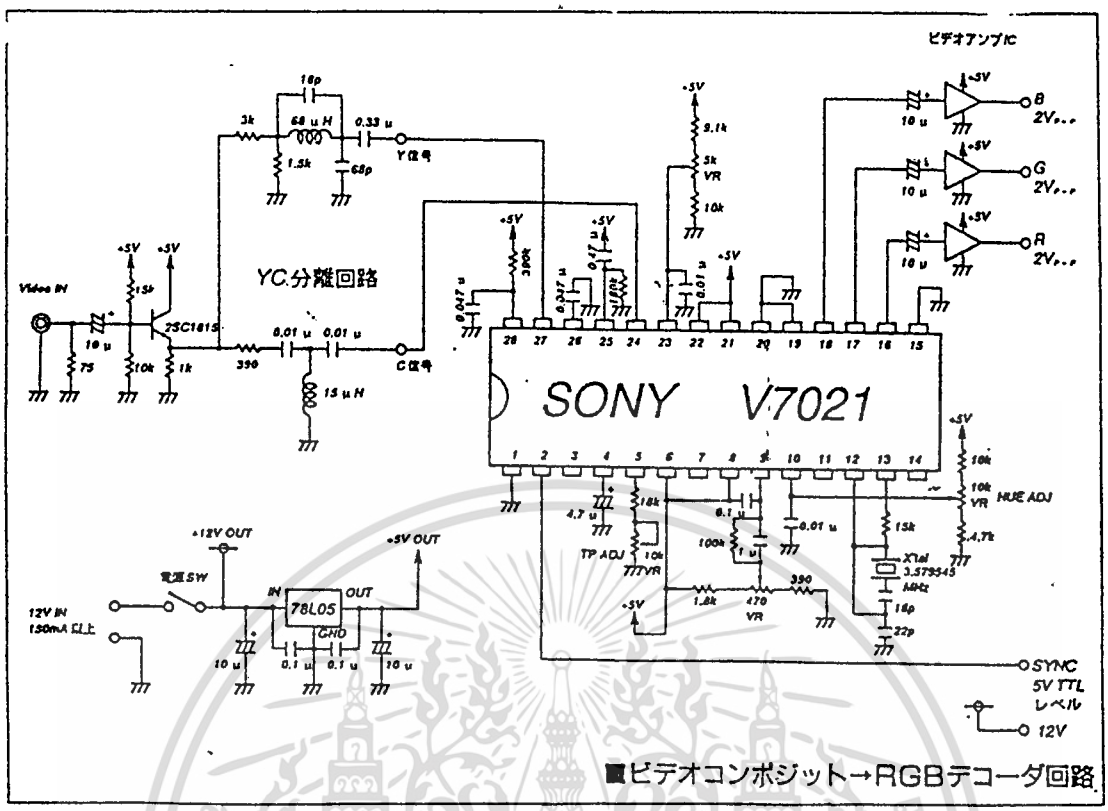


รูปที่ 3.10 แสดงบล็อคไดอะแกรมของการแยกสัญญาณ RGB ออกจาก Composite Signal

จากรูป 3.10 จะเริ่มจากสัญญาณ Video Amp เป็นสัญญาณภาพสีรวมโดยแยกเป็น 2 ส่วน ส่วนหนึ่งจะเป็นสัญญาณ Y ไปรอที่ภาค Summing ที่ภาคสุดท้าย สัญญาณอีกส่วนหนึ่งจะเข้ามาขยายที่ภาค Choma Amp ส่วนหนึ่งจะเข้ามาที่ภาค Burst จะทำหน้าที่บังคับให้ Oscillator ผลิตความถี่ Carrier ออกมาให้ตรงกับทางด้านเครื่องส่งเพื่อไปใช้ในการดีเทคต่อไป โดยเอาท์พุทของภาค Burst อีกส่วนจะไปกระตุ้นให้ภาค Color Killer ทำงาน เมื่อ Color Killer ทำงานก็จะมีผลให้ภาค Choma Amp ทำการส่งสัญญาณสีออกไปที่ภาค PAL Delay Line ซึ่งภาค PAL Delay Line นี้จะทำหน้าที่หน่วงเวลาไป 64 μsec (1H) โดยที่สัญญาณ Choma ที่เข้ามาจะแบ่งเป็น 4 ส่วนคือ

1. ส่วนสัญญาณที่เข้าภาค Adder ชุดบน
2. ส่วนสัญญาณที่เข้าภาค Adder ชุดล่าง
3. ส่วนสัญญาณที่เข้าภาค PAL Delay Line
4. ส่วนสัญญาณที่เข้าภาค Burst

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น การอ้างอิงถึงเอกสารนี้ต้องได้รับการอนุญาตและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แสดงวงจรของภาคแยก RGB ที่ใช้งาน

เมื่อสัญญาณที่ผ่าน PAL Delay Line ไป Add กับสัญญาณ Choma ส่วนที่หนึ่งได้เป็นสัญญาณ B-Y ส่วนสัญญาณที่ PAL Delay Line ส่วนที่สองจะมา Add กับสัญญาณ Choma ชุดล่างซึ่งจะถูกเลื่อนเฟสไป 180 องศา เมื่อไป Add กันแล้วจะได้เป็นสัญญาณ R-Y ตามหลักการของระบบ PAL

สัญญาณส่วนที่ 4 จะไปเข้าที่ภาค Burst เพื่อนำไปควบคุมให้ภาค Color Killer และภาค Oscillator ทำงาน ดังนั้นเมื่อภาค Color Killer ทำงาน จะไปสั่ง BIOS ให้ภาค Video Amp ทำงานให้เอาท์พุทไปเป็นสัญญาณทั้ง 3 ส่วนดังกล่าวข้างต้น

สัญญาณที่เอาท์พุทของภาค Color Killer อีกส่วนจะมาทริกให้วงจรไบสเตเบิลทำงานโดยจะให้เอาท์พุทเป็น High และ Low สลับกัน

ส่วนภาค Oscillator จะไปควบคุมให้ภาค Phase Shift ทำงานผลิตความถี่โดยให้เอาท์พุทต่างเฟสกัน 90 องศา ไป Demod กับ (R-Y) กับ (B-Y) ที่ภาค (R-Y) Demod และ (B-Y) Demod ตามลำดับ เนื่องจากเครื่องส่งจะใช้การ Modulate แบบต่างเฟส 90 องศา ดังนั้นเมื่อ Demod กันแล้วจะได้สัญญาณ (R-Y) กับ (B-Y) พร้อมที่จะเข้าวงจรภาค Matrix โดยภาคนี้จะทำการรวมสัญญาณ (R-Y) และ (B-Y) ได้สัญญาณ (G-Y) จากนั้นสัญญาณทั้งสามจะไป Summing กับสัญญาณ Y ก็จะได้สัญญาณ RGB ตามต้องการ

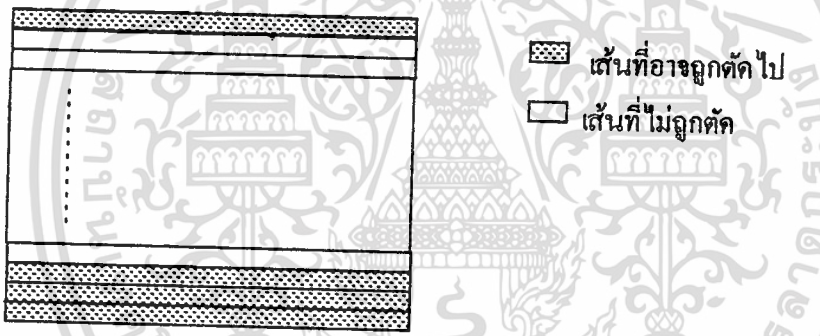
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 ส่วนแยกสัญญาณซิงโครนัส (Sync. Separate)

สำหรับวงจรแยกสัญญาณซิงโครนัสในโครงงานนี้ได้ใช้ไอซีแยกสัญญาณซิงโครนัสเบอร์ LM1881 ซึ่งสามารถแยกสัญญาณซิงโครนัสต่างๆออกจากสัญญาณภาพปกติได้ คือมีสัญญาณที่ต้องการใช้คือ สัญญาณโทรทัศน์เพื่อให้ได้สัญญาณซิงโครนัสรวม โดยที่สัญญาณนี้จะนำเอาไปผ่านวงจรโมโนสเตเบิลเพื่อให้ได้พียงสัญญาณฮอริซอนทัลซิงค์ซึ่งสามารถปรับขนาดได้ตามต้องการ (ฮอริซอนทัลแบลงค์กิ้ง) เพื่อนำเอาสัญญาณนี้และสัญญาณเวอร์ติคัลซิงค์ที่ได้จากขา 3 ของ LM1881 และสัญญาณเวอร์ติคัลแบลงค์กิ้งได้ที่ขา 12 ของไอซีโมโนสเตเบิล

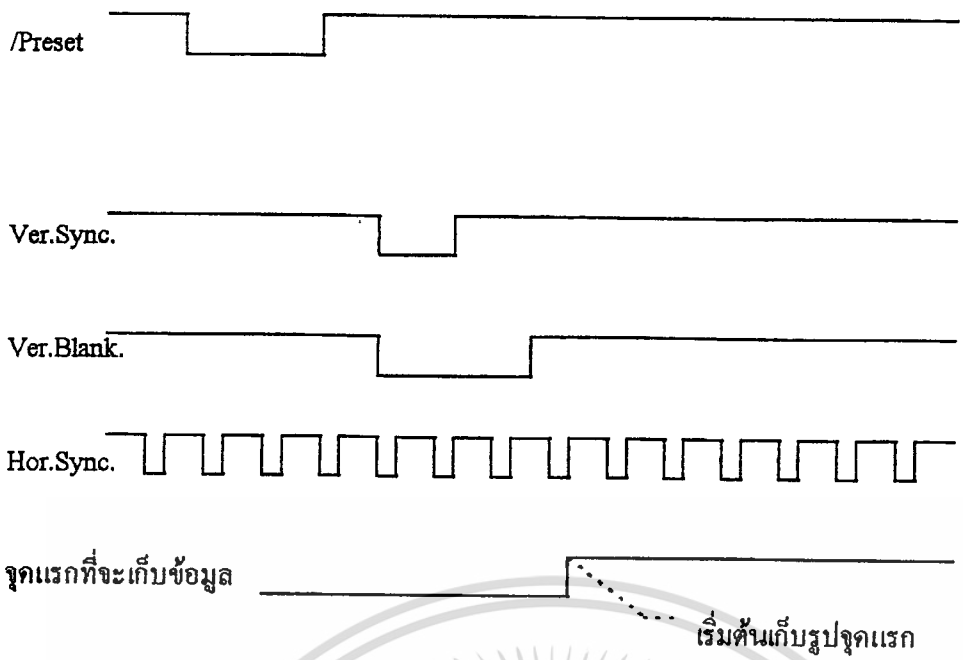
3.3.5 ส่วนภาคควบคุมการทำงาน

แนวคิดในการออกแบบเริ่มจากการหาจุดเริ่มต้นของรูปในฟิลด์นั้นโดยหาจากหลังสัญญาณเวอร์ติคัลแบลงค์กิ้งที่มีฮอริซอนทัลซิงค์อันแรกจะเป็นจุดแรกของภาพ และการสแกนจะใช้เพียงฟิลด์เดียวเท่านั้นซึ่งเท่ากับ 262.5 เส้น (มาจากมาตรฐาน NTSC นั้นรูปภาพ 1 รูปจะประกอบด้วยเส้นในแนวนอนจำนวน 525 เส้น) ดังนั้นในการออกแบบเราจะใช้จำนวน 512 จุด*256 เส้น เพื่อที่จะให้ใช้จำนวนหน่วยความจำน้อยที่สุดและครอบคลุมรูปภาพได้มากที่สุด โดยถ้าใช้จำนวนจุดและเส้น = 512*256 = 131072 byte = 128 kbyte

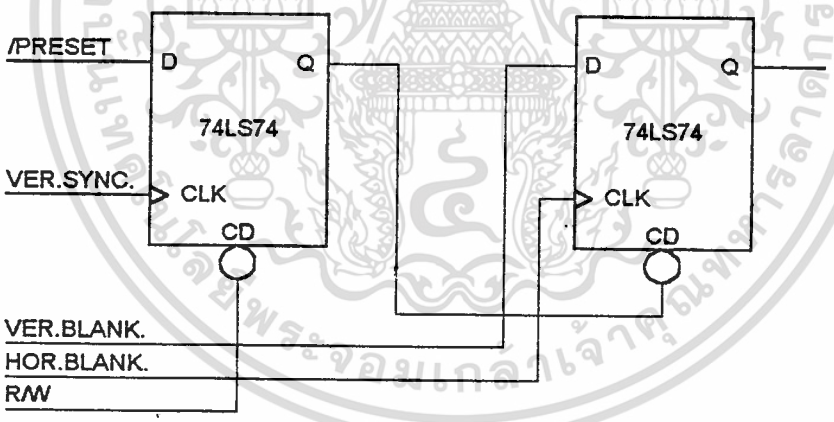


รูปที่ 3.12 แสดงเส้นที่อาจถูกตัดไปเนื่องจากจำนวนหน่วยความจำน้อยกว่าจำนวนจุดจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงสัญญาณที่เกี่ยวข้องกับการเริ่มต้นในการเก็บข้อมูลจุดแรก



รูปที่ 3.14 แสดงวงจรที่ออกแบบจากสัญญาณในรูปที่ 3.13

การออกแบบวงจรควบคุมในส่วนของการนับนั้นจะทำการส่งสัญญาณรีเซ็ทและพรีเซ็ทออกจากคอมพิวเตอร์ (ซึ่งสัญญาณที่ออกมาจะกลับกับข้อมูลที่เราโปรแกรมในคอมพิวเตอร์) พรีเซ็ทเป็นการโหลดค่าจาก P ไปยัง Q (ของ 74LS163) ซึ่งทำให้ Q1 ของ U5 เป็น 1 ซึ่งหมายถึงเป็นโหมดการเขียนข้อมูลลงในแรมภายนอก และทำให้เลือกคล็อกที่จะใช้ในวงจรนับนี้เป็นคล็อกเดียวกับที่ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและทำให้ไอซี U7 หยุดทำการนับและทำให้การนับจุดนั้นจะไม่ทำงานเมื่อสัญญาณฮอริซอนทัลซิงก์เป็น 0 (เป็นช่วงรีเทรส) และทำให้ไอซี 74LS74 ทำงานเฉพาะในโหมดการเขียนเท่านั้นซึ่งจะนำ Q จาก U9B เป็นตัวควบคุมการนับจุดร่วมกับสัญญาณ ENT ซึ่งจะเป็น 1 เฉพาะช่วงที่เป็นสัญญาณภาพ (ไม่ใช่ช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีเทรส ดูจากสัญญาณฮอริซอนทัลซิงค์) และ ENP จะมีค่าเป็น 1 เมื่อเป็นค่าตั้งแต่จุดแรกซึ่งได้จากการออกแบบข้างต้น (รูปที่ 3.13) ซึ่งจะนำไปใช้ทำสัญญาณ Write Enable โดยการผ่านการขยายความกว้างของสัญญาณด้วยไอซี 74LS123 โดยจะเอนเนเบิลในช่วงที่เป็นสัญญาณภาพเท่านั้น (เวอร์ติคัลแบลงค์กิ้ง AND กับฮอริซอนทัลซิงค์ ที่ขา 1,2 ของ U12A)

ซึ่งถ้า CEP,CET เป็น 1 ทั้งคู่จะเป็นการนับไปเรื่อยๆ ถ้ามีขาใดเป็น 0 จะค้างไว้ที่ค่านั้นจนกว่า CEP,CET จะเป็น 1 พร้อมกัน การนับจุดจะเป็นการนับจุดก่อนเป็นจำนวน 512 จุดแล้วเมื่อนับจุดเกินแล้วก็จะทดไปเริ่มนับเส้นเป็นจำนวน 256 เส้นและใช้สัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในการทริกการนับแต่ละครั้ง โดยจะใช้ไอซีนับเบอร์ 74LS163 โดย 3 ตัวบนนั้นใช้นับจุดจำนวน 512 จุด (16*16*2) โดยเมื่อนับเกิน 1111 แล้วการนับต่อไปจะเป็น 0000 และ TC=1 และเมื่อนับเกิน 512 จุดแล้วใช้ 3 ตัวล่างนับเส้นจำนวน 256 เส้น (16*8*2) เมื่อนับครบแล้ว Q1 ของ U5 ก็จะเป็น 0 ซึ่งจะส่งไปให้คอมพิวเตอร์และนำไปใช้ในส่วนอื่นๆ ซึ่งหมายถึงเปลี่ยนจากโหมดการเขียนเป็นโหมดการอ่าน (1 -> 0)

ในโหมดการอ่าน (R/W=0) นั้นจะเปลี่ยน Output Enable (OE) ให้แอคทีฟ (Active Low) เป็นการอ่านข้อมูลเข้าคอมพิวเตอร์ และทำให้ U7 เริ่มทำการนับซึ่งจะเริ่มต้นโดยการโปรแกรมส่งค่ารีเซ็ทออกจากคอมพิวเตอร์เพื่อให้ขา 2 ของ U11A เป็น 0 ทำให้ U7 โหลดค่า P ไปยัง Q และ CEP,CET เป็น 1 เนื่องจากเป็นโหมดการอ่าน ดังนั้น U7 จะนับ 0000(=Select R), 0001(=Select G),0010(=Select B) วนไปเรื่อยๆ และทุกครั้งที่เป็นการ Select B จะเป็นการเลื่อนตำแหน่งของแรมภายนอกไป 1 โดยสัญญาณ ENP (ในโหมดการอ่านจะทำให้ CD(Clear) ของ U9A เป็น 1 ซึ่งจะทำให้ Q เป็น 0 ดังนั้นขา 4 ของ U13B จะเป็น 0 ทำให้ ENP ขึ้นอยู่กับ Select B อย่างเดียว และในการทำงานทุกครั้งจะต้องใช้สัญญาณนาฬิกาจากคอมพิวเตอร์ (โดยการโปรแกรมจากคอมพิวเตอร์) โดย R/W เมื่อเป็น 0 จะเลือกใช้สัญญาณนาฬิกาจากคอมพิวเตอร์

ในการออกแบบวงจรเก็บข้อมูลภายนอกนั้น เริ่มแรกจะใช้สัญญาณรีเซ็ทซึ่งได้จากการโปรแกรมในคอมพิวเตอร์เป็นการทำให้ P ใน 74LS163 ทุกตัวเป็น 0 เพื่อเริ่มตำแหน่งของข้อมูลอันแรก ในโหมดการเขียนนั้น ENP จะเป็น 1 ตั้งแต่ข้อมูลจุดแรกที่ต้องการเก็บ (ดูจากรูป 3.13) โดยดูจากขา 4 ของ U13B (ส่วนขา 5 ของ U13B นั้นจะเป็น 0 ตลอดเพราะ U7 จะไม่ทำการนับและค่าเริ่มต้นที่โหลดเข้าไปจะเป็น 0000) ส่วน ENT นั้นในโหมดการเขียนจะเป็น 0 ต่อเมื่อฮอริซอนทัลซิงค์เป็น 0 เพราะนำมา AND กับการนับจุดเกินและเส้นเกิน 128 เส้นแล้วจุดต่อไปก็จะนับต่อเพราะ Q3 ของ U11D เป็น 0 ซึ่งจะนำมาใช้ในการโหลด PE ในรอบต่อไป ดังนั้นข้อมูลจะต่อเนื่อง ซึ่งจะเป็น 1 ตลอดเวลา

[แต่ที่ไม่สามารถนับจนถึง 256 เส้นแล้วค่อยให้ ENT เป็น 0 ได้เนื่องจากถ้าออกแบบให้การนับเส้นใช้ 74LS163 เพียง 2 ตัวนั้นในตอนเริ่มที่ Initial นั้นไม่สามารถกำหนด OE,WE ตอนโหลดได้เหมือนการใช้ 74LS163 จำนวน 3 ตัวได้ซึ่งกำหนด Q1 ในการกำหนด OE,WE และการออกแบบที่ไม่สามารถนำขา 11 ของ U11D ไปต่อกับ PE ของ U6 เพื่อนับ 256 เส้นแล้วค่อยเปลี่ยนได้เพราะจะทำให้ /PRESET ที่ต่ออยู่กับคอมพิวเตอร์เปลี่ยนค่าไปซึ่งทำให้ /PRESET ในทุกวงจรเปลี่ยนแปลง]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ /WE เมื่อเริ่มโปรแกรมนั้นพิจารณาจาก Q1 ของ U6 และ WE นั้นจะเป็น 0 (หมายถึงเป็นโหมดการเขียน) เฉพาะช่วงที่เป็นสัญญาณภาพเท่านั้น (ตั้งแต่จุดแรกของการรับค่า AND กับฮอริซอนทัลซิงก์) ส่วนสัญญาณ /OE จะเป็น 1 ซึ่งหมายถึงไม่ใช่โหมดการอ่าน ส่วนในโหมดการอ่านนั้นจะเริ่มจากการนับจุดและเส้นเกิน จะทำให้ Q1 ของ U6 เป็น 0 ทำให้ R/W เป็น 0 และทำให้ /OE เป็น 0 ซึ่งเป็นการอ่านข้อมูลเข้าคอมพิวเตอร์และทำให้ U7 เริ่มทำการนับเป็นการ Select R,G,B และ ENP จะเป็น 1 เพื่อให้วงจรนับแอดเดรสนับเมื่อทุกรอบที่เป็น Select R มาถึง ดังนั้นในการอ่านค่าออกไปยังคอมพิวเตอร์นั้นจะอ่านข้อมูลจุดเดียวกัน ทั้ง R,G,B แล้วก่อยนับค่าจุดต่อไปแล้วจึงอ่านค่า R,G,B ที่จุดเดียวกันออกไปยังคอมพิวเตอร์

แนวความคิดของหน่วยความจำเพิ่มขยายและการโปรแกรมใช้หน่วยความจำเพิ่มขยาย

การจัดการหน่วยความจำเพิ่มขยาย

สำหรับหน่วยความจำเพิ่มขยาย เราจะจัดการผ่านทาง ส่วนการบริการหน่วยความจำเพิ่มขยาย (XMS) ซึ่งอยู่ที่อินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันนี้อยู่ภายในไดรเวอร์ HIMEM.SYS ข้อสังเกตเกี่ยวกับอินเทอร์รัพฟังก์ชันนี้ก็คือ ชุดฟังก์ชันนี้ไม่สามารถเรียกได้โดยตรงเช่นเดียวกับอินเทอร์รัพฟังก์ชันอื่นๆ อินเทอร์รัพหมายเลข 0Fh ฟังก์ชัน 43h นี้จะให้เพียงค่าการชี้ฟังก์ชันของส่วนการบริการหน่วยความจำเพิ่มขยายเท่านั้น ในการใช้งานเราจึงต้องนำค่าการชี้ฟังก์ชันที่ได้นี้ใส่ในตัวชี้ฟังก์ชันเพื่อใช้ทำงานเช่นเดียวกับตัวชี้ฟังก์ชันทั่วไป

ขั้นตอนในการกำหนดค่าเริ่มต้นให้ตัวชี้ฟังก์ชันสำหรับใช้จัดการหน่วยความจำเพิ่มขยายมีดังนี้

1. ตรวจสอบว่ามีการติดตั้งอินเทอร์รัพฟังก์ชันหมายเลข 2Fh หรือไม่โดยการอ่านค่าในตารางที่ตรงกับตำแหน่งที่ใช้เก็บค่าการชี้อินเทอร์รัพฟังก์ชันหมายเลข 2Fh หากไม่มีการติดตั้งค่าในตำแหน่งดังกล่าวจะมีค่าเป็น 0 หรือ 0cfh

2. ตรวจสอบว่ามีการติดตั้งส่วนบริการหน่วยความจำเพิ่มขยายหรือไม่ โดยการร้องขออินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันย่อย 00h (กำหนดให้รีจิสเตอร์ AH มีค่าเป็น 43h และรีจิสเตอร์ AL มีค่าเป็น 00h) หากมีการติดตั้งก็จะให้ค่าออกมาเป็น 80h

3. เรียกใช้อินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันย่อย 10h เพื่อขอค่าการชี้ฟังก์ชันบริการหน่วยความจำเพิ่มขยาย ซึ่งจะส่งค่าเซ็กเมนต์กลับมาทางรีจิสเตอร์ ES และค่าออฟเซ็ททางรีจิสเตอร์ BX เราจะนำค่าการชี้ฟังก์ชันที่ได้มากำหนดเป็นค่าเริ่มต้นให้กับตัวชี้ฟังก์ชัน สำหรับใช้งานต่อไป

กรรมวิธีในการจัดสรรหน่วยความจำเพิ่มขยายยังคงมีลักษณะคล้ายคลึงกับการจัดหน่วยความจำแบบไดนามิก แต่ค่าที่ใช้ในการเข้าถึงหน่วยความจำจะเป็นค่า handle ของหน่วยความจำแทนค่าการชี้ ข้อดีของการใช้ค่าแฮนเดิลก็คือเราไม่จำเป็นที่จะต้องทราบว่าโครงสร้างของหน่วยความจำในระบบมีลักษณะอย่างไร ดังนั้นระบบปฏิบัติการก็อาจจะปรับการใช้งานหน่วยความจำให้มีประสิทธิภาพมากกว่าเดิม ดังเช่นในกรณีที่เกิดพื้นที่

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่างเป็นช่วงๆจากการคืนหน่วยความจำอย่างไม่เป็นลำดับ ระบบปฏิบัติการสามารถสลับย้ายข้อมูลให้พื้นที่ว่างแยกจากกันมารวมเป็นพื้นที่เดียวกันได้โดยไม่มีผลกระทบต่อการเข้าถึงหน่วยความจำเนื่องจากโปรแกรมที่ขอใช้บริการไม่ได้เก็บค่าตำแหน่งหน่วยความจำไว้ ระบบปฏิบัติการจึงสามารถย้ายข้อมูลจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้ตามต้องการ เราอาจสรุปขั้นตอนในการจัดการหน่วยความจำเพิ่มขยายได้ดังนี้

1. จองพื้นที่หน่วยความจำเพิ่มขยาย เช่นเดียวกับการจัดสรรหน่วยความจำแบบไดนามิค เราต้องจองพื้นที่หน่วยความจำเพิ่มขยายตามจำนวนที่ต้องการเสียก่อน แต่ค่าที่ส่วนบริการหน่วยความจำเพิ่มขยายส่งกลับมาจะเป็นค่าแฮนเดิลซึ่งมีชนิดเป็นจำนวนเต็ม

2. เก็บหรือใช้ข้อมูลหลังจากที่จองแล้ว เราสามารถเก็บหรือใช้ข้อมูลในพื้นที่ที่จองไว้ได้ตามต้องการโดยผ่านทางฟังก์ชันสำหรับการถ่ายข้อมูล แต่ในการใช้งานจริงเราจะไม่ทราบได้ว่าระบบอาจจะย้ายข้อมูลเพื่อขจัดพื้นที่ว่างให้ต่อเนื่องเมื่อใด ในการย้ายข้อมูลจำนวนมากๆหรือหากเราต้องการติดต่อหน่วยความจำเพิ่มขยายโดยไม่ผ่านส่วนการบริการหน่วยความจำเพิ่มขยาย เราควรจะขอล็อคพื้นที่ใช้งานเสียก่อน เมื่อส่วนบริการหน่วยความจำเพิ่มขยายได้รับคำสั่งให้ล็อคพื้นที่ใดพื้นที่หนึ่ง ส่วนบริการหน่วยความจำเพิ่มขยายจะไม่เข้าไปยุ่งเกี่ยวกับพื้นที่นั้นจนกว่าจะมีการปลดล็อคหน่วยความจำพื้นที่ดังกล่าว

3. คืนหน่วยความจำหลังจากใช้งานหน่วยความจำนั้นๆเสร็จสิ้นแล้ว เราต้องคืนหน่วยความจำที่จองไว้ให้แก่ระบบสำหรับให้โปรแกรมอื่นใช้งานต่อไป

ฟังก์ชันบริการหน่วยความจำเพิ่มขยายที่น่าสนใจมีดังนี้คือ

ฟังก์ชัน 00h	สอบถามค่าเวอร์ชันของ HIMEM.SYS
ค่าที่ส่งไป	AH=00h
ค่าที่ส่งกลับ	AX=ค่าเวอร์ชัน DX=0 -> ไม่ได้ติดตั้ง HMA DX=1 -> ติดตั้ง HMA

ฟังก์ชัน 08h	หาขนาดหน่วยความจำเพิ่มขยายที่เหลือ
ค่าที่ส่งไป	AH=08h
ค่าที่ส่งกลับ	AX=ขนาดของหน่วยความจำเพิ่มขยายที่เหลือทั้งหมด มีหน่วยเป็น Kbyte BL=0 -> หาค่าได้ BL=ค่าอื่นๆ -> มีความผิดพลาด DX=ขนาดของหน่วยความจำที่เหลือเป็นพื้นที่ต่อเนื่องที่ใหญ่ที่สุด มีหน่วยเป็น Kbyte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชัน 09h	จองพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AH=09h DX=ขนาดที่ต้องการ มีหน่วยเป็น Kbyte
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถจองได้ AX=1 -> สามารถจองได้ BX=รหัสความผิดพลาด(ถ้ามี) DX=ค่าแฮนเดิลของพื้นที่ที่จองได้

ฟังก์ชัน 0Ah	คืนหน่วยความจำ
ค่าที่ส่งไป	AH=0Ah DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการคืน
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถคืนได้ AX=1 -> คืนได้สำเร็จ BX=รหัสความผิดพลาด (ถ้ามี)

ฟังก์ชัน 0Bh	ถ่ายข้อมูลระหว่างหน่วยความจำ

ค่าที่ส่งไป	AH=0Bh
	DS:SI=ตำแหน่งหน่วยความจำเริ่มต้นของ Structure
	struct XMSblock{
	long nbyte; //จำนวนไบท์ที่ต้องการถ่าย(เป็นเลขคู่)
	int shandle; //แฮนเดิลของหน่วยความจำต้นทาง
	long soffset; //ตำแหน่งเริ่มต้นของหน่วยความจำต้นทางที่จะถ่ายข้อมูล
	int dhandle; //แฮนเดิลของหน่วยความจำปลายทาง
	long doffset; //ตำแหน่งเริ่มต้นของหน่วยความจำปลายทางที่จะรับข้อมูล
	};
	
	ถ้าให้ค่าแฮนเดิลเป็น 0 หมายถึงหน่วยความจำที่ต้องการติดต่อเป็นหน่วยความจำที่อยู่ใน 1 Mbyte แรก ค่าออฟเซ็ทจะเป็นค่าตำแหน่งหน่วยความจำเชิงเส้นของหน่วยความจำใน 1 Mbyte แรก
	(unsigned long)p; เมื่อ p เป็น pointer ชนิด far

ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถถ่ายข้อมูลได้ AX=1 -> ถ่ายข้อมูลได้สำเร็จ BX=รหัสความผิดพลาด (ถ้ามี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชัน 0Ch	ล็อคพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AX=0Ch DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการล็อคตำแหน่ง
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถล็อคตำแหน่งได้ AX=1 -> ล็อคตำแหน่งได้สำเร็จ BL=รหัสแสดงความผิดพลาด (ถ้ามี) DX:BX=ค่าตำแหน่งหน่วยความจำเชิงเส้นเริ่มต้นของพื้นที่ที่ล็อคได้สำเร็จ

ฟังก์ชัน 0Dh	ปลดล็อคพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AX=0Dh DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการปลดล็อค
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถปลดล็อคได้สำเร็จ AX=1 -> ปลดล็อคได้สำเร็จ BL=รหัสแสดงความผิดพลาด (ถ้ามี)

มาตรฐานการแสดงผลแบบ VESA และโปรแกรมที่ใช้ VESA

VESA (Video Electronic Standards Assiciation) เป็นมาตรฐานการแสดงผลแบบ Super VGA ในรูป VESA VGA BIOS เป็นฟังก์ชันเพิ่มเติมในอินเทอร์รัพหมายเลข 10h อันเป็นอินเทอร์รัพสำหรับการแสดงผลเดิมของคอมพิวเตอร์ ส่วนของ VESA-VGA BIOS ที่กำหนดขึ้นจะถูกเรียกใช้โดยผ่านอินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh มีฟังก์ชันย่อยๆ 8 ฟังก์ชัน โดยจะอธิบายฟังก์ชันที่สำคัญ 4 ฟังก์ชันดังนี้

1. **ฟังก์ชัน 00h** แสดงรายละเอียดของ Super VGA

ค่าที่ส่งไป AF = 4Fh

AL = 00h

ES:DI = ค่าการชี้ข้อมูลสตรัคเจอร์ (ผู้เขียนเป็นคนกำหนดเอง)

```
struct VGAinfo {
        char    VESAsignature[4];       //ค่าคงที่ "VESA"
        char    MajorVersion;           //เลขเวอร์ชันของการ์ด
        char    MinorVersion;           //ทศนิยมเลขเวอร์ชัน
        void far *OEMstr;               //ชื่อรุ่นของการ์ด
        long    reserved;               //สงวนไว้
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        unsigned far *VideoModeList;    //หมายเลขโหมดที่มี
        unsigned Banktotal;             //จำนวนแบงค์ที่มี
        char     reserved2[232];        //สงวนไว้
    };
```

หมายเลขโหมด เป็นอาเรย์ของค่าคงที่จำนวนเต็ม ลงท้ายด้วย 0xFFFF

2. **ฟังก์ชัน 01h** ตรวจสอบหมายเลขโหมด

ค่าที่ส่งไป AH = 4Fh

AL = 01h

CX = หมายเลขโหมดที่ต้องการตรวจสอบ

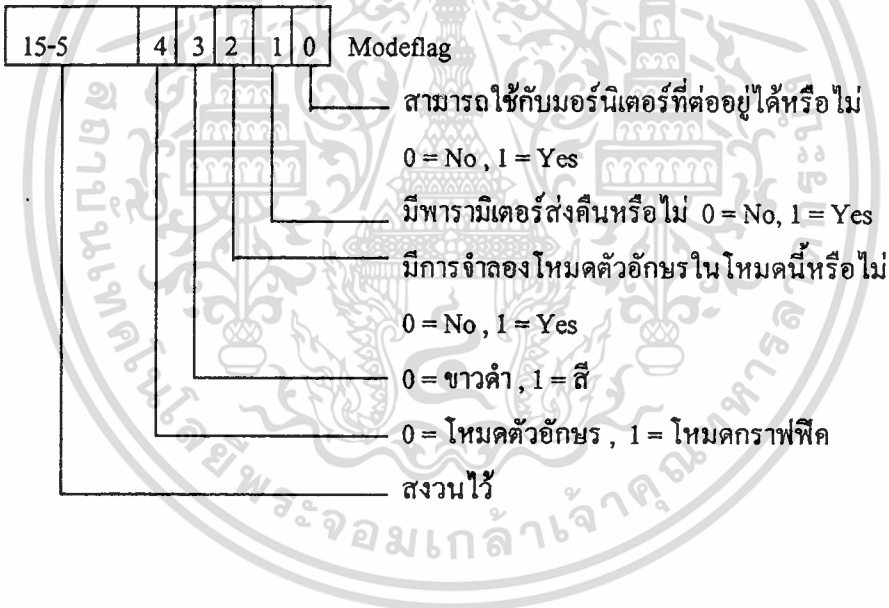
ES:DI = ค่าการชี้ข้อมูลสตรัคเจอร์ (ผู้เขียนเป็นคนกำหนดเอง)

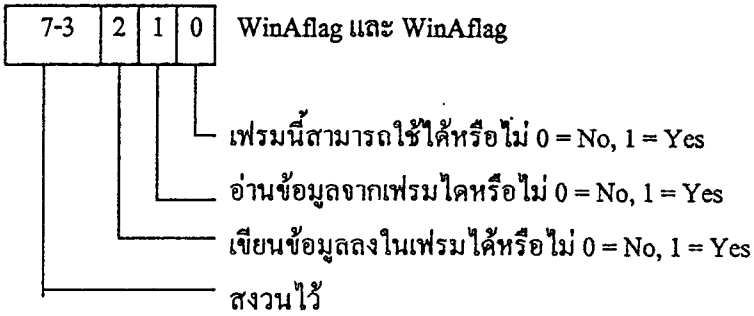
```
struct MODEinfo {
        unsigned  ModeFlag;             //รายละเอียดของโหมด
        char      WinAflag;             //รายละเอียดของเฟรม A
        char      WinBflag;             //รายละเอียดของเฟรม B
        unsigned WinGranularity;        //ค่าระยะระหว่างข้อมูลแรก
                                        //สุดในแบงค์กับข้อมูลแรก
                                        //ในแบงค์ถัดไป
                                        // (หน่วยเป็น kbyte)
        unsigned Winsize;               // ขนาดข้อมูลที่สามารถถ่าย
                                        //อย่างต่อเนื่องได้สูงสุด
                                        //(หน่วยเป็น kbyte)
        unsigned WinASegment;           //เซกเมนต์ของเฟรม A
        unsigned WinBSegment;           //เซกเมนต์ของเฟรม B
        void far (*WinFuncPtr)();       //ค่าการชี้ฟังก์ชันซึ่งชี้ไปยัง
                                        //ฟังก์ชันหมายเลข 5
        unsigned BPL;                   //จำนวนไบท์ต่อเส้นสแกน
        unsigned xres;                  //ความละเอียดในแกน x
        unsigned yres;                  //ความละเอียดในแกน y
        char     Xcharsize;             //ความกว้างของฟอนต์
        char     Ycharsize;             //ความสูงของฟอนต์
        char     Bitplane;              //จำนวนเพลนของหน่วย
                                        //ความจำ
        char     Bitperpixel;           //จำนวนบิทที่ใช้ในการเก็บ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

```
                                                    //จุดภาพ
        char    Memblock;                           //จำนวนบัฟเฟอร์สำหรับใช้
                                                    //ในการแสดงในโหมด EGA
        char    Memmodel;                           //ชนิดของข้อมูลภาพ
        char    Blocksiz;                           //ขนาดของบัฟเฟอร์สำหรับ
                                                    //ใช้ในการแสดงในโหมด
                                                    //EGA
    }VESA_info;
```

มาตรฐาน VESA กำหนดให้มีเฟรมรองรับการทำงาน 2 เฟรมคือ A และ B แต่การ์ดอาจมีเพียงเฟรมเดียวก็ได้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MemModel มีค่าที่กำหนดดังนี้คือ

00h โหมดตัวอักษร

01h ข้อมูลภาพชนิด CGA 4 สี

02h ข้อมูลภาพชนิด Hercules

03h ข้อมูลภาพชนิด EGA/VGA 16 สี

04h หนึ่งข้อมูลใช้ 4 ไบท์

05h หนึ่งข้อมูลใช้ 8 ไบท์

06h-0Fh ไม่ใช้

10h-FFh สงวนไว้สำหรับผู้ผลิต (ปกติจะไม่ใช้)

3. **ฟังก์ชัน 02h** เปลี่ยนโหมดจอภาพ

ค่าที่ส่งไป AH = 4Fh

AL = 02h

BX = หมายเลขโหมดจอภาพ บิท 15 กำหนดว่าจะให้ลบข้อมูลในจอหรือไม่

4. **ฟังก์ชัน 03h** สอบถามโหมดปัจจุบัน

ค่าที่ส่งไป AH = 4Fh

AL = 03h

ค่าที่ส่งกลับ BX = หมายเลขโหมดจอภาพ

5. **ฟังก์ชัน 05h ฟังก์ชันย่อย 00h** เปลี่ยนแบงค์ที่ต้องการติดต่อ

ค่าที่ส่งไป AH = 4Fh

AL = 05h

BH = 00h

BL = 0 เฟรม A

= 1 เฟรม B

DX = หมายเลขแบงค์ใหม่

ฟังก์ชัน 05h ฟังก์ชันย่อย 01h สอบถามแบงค์ปัจจุบัน

ค่าที่ส่งไป AH = 4Fh

AL = 05h

BH = 01h

BL = 0 เฟรม A

= 1 เฟรม B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ส่งกลับ DX = หมายเลขแบงค์ปัจจุบันของเฟรมที่ต้องการทราบ

* ค่าส่งกลับมาตรฐานของทุกฟังก์ชันและฟังก์ชันย่อยคือ

AL = 4Fh มี VESA-BIOS อยู่

AH = 00h ทำงานได้สำเร็จ

ในการใช้งาน VESA-VGA BIOS เราจะต้องใช้ฟังก์ชันหมายเลข 00h เพื่อตรวจสอบว่าการ์ดแสดงผลที่ใช้งานอยู่มี VESA-VGA BIOS อยู่ด้วยหรือไม่ หรือมีการติดตั้ง BIOS เพิ่มเติม (เป็นโปรแกรมเรซิเดนต์) หรือไม่ หากมี ฟังก์ชันจะส่งค่า 4Fh กลับมาทางรีจิสเตอร์ AL และส่งค่า 0 กลับมาทางรีจิสเตอร์ AH

เมื่อตรวจสอบ VESA-VGA BIOS เรียบร้อยแล้ว เราจะต้องตรวจสอบรายละเอียดของโหมดที่ต้องการติดต่อโดยการเรียกใช้ฟังก์ชัน 01h ข้อมูลต่างๆที่ได้มาจะนำไปใช้ในการเข้าถึงการ์ดแสดงผลได้ตามต้องการ

ข้อสังเกตที่น่าสนใจของ VESA-VGA BIOS คือฟังก์ชันหมายเลข 05h ที่ใช้ในการสอบถามค่าแบงค์หรือใช้ในการเปลี่ยนแบงค์นั้น นอกจากเราจะอาศัยการอินเทอร์รัพเพื่อเรียกใช้ฟังก์ชันดังกล่าวแล้วเรายังอาจเรียงใช้ในรูปของตัวชี้ฟังก์ชันได้ จากข้อมูลที่ได้ในฟังก์ชัน 01h จะมีค่าการชี้ฟังก์ชันหมายเลข 05h มาให้ด้วย ซึ่งเราอาจนำค่านี้ไปกำหนดให้กับตัวชี้ฟังก์ชันไว้เรียกฟังก์ชัน 05h แทนการร้องขออินเทอร์รัพเพื่อความรวดเร็วในการทำงาน

โปรแกรม VESA.CPP ในภาคผนวกนั้นได้สร้างฟังก์ชันพื้นฐานสำหรับการติดต่อการ์ดแสดงผลคือฟังก์ชันดังต่อไปนี้

- ฟังก์ชัน opengraph() เริ่มจากการอ่านค่าโหมดจอภาพเดิมไปเก็บไว้ในตัวแปร OLD_mode ค่าโหมดจอภาพนี้อยู่ในส่วน BIOS-Data Area ของระบบ (แต่สำหรับในโหมด VESA ค่าในโหมดจอภาพนี้จะไม่ตรงกับค่าหมายเลขโหมดที่แท้จริง) แล้วจึงเรียกอินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh ฟังก์ชันย่อย 00h ซึ่งก็คือ VESA-VGA BIOS ฟังก์ชัน 00h เพื่อตรวจสอบการ์ดแสดงผล หลังจานั้นเรียกใช้อินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh ฟังก์ชันย่อย 01h เพื่อขอข้อมูลโหมดที่ต้องการ และกำหนดค่าเริ่มต้นให้กับตัวแปรต่างๆที่ใช้ในโมดูล แล้วเรียกฟังก์ชันย่อย 02h เพื่อเปิดโหมดตามที่ต้องการ
- ฟังก์ชัน closegraph() เป็นฟังก์ชันที่ใช้ไบออสของจอภาพตามปกติทั่วไป ส่วนฟังก์ชันอื่นๆที่ตามมาเป็นฟังก์ชันสำหรับส่งรายรายละเอียดที่ได้จากฟังก์ชัน 01h กลับไป
- ฟังก์ชัน setdac() เป็นฟังก์ชันสำหรับเปลี่ยนค่าใน Color-Lookup Table โดยการส่งค่าหมายเลขตารางที่ต้องการแก้ไขไปที่พอร์ทหมายเลข 0C8h แล้วส่งค่ารหัสสีแดง,เขียวและน้ำเงินตามไปที่พอร์ท 3C9h ค่ารหัสทั้งสามมีขนาด 8 บิทแต่จะใช้เพียง 6 บิทล่างเท่านั้น จึงทำให้เราสามารถกำหนดสีแดง,เขียวและน้ำเงินได้เพียงสีละ 64 ระดับ
- ฟังก์ชัน direct32k(), direct64k(), direct16m() เป็นฟังก์ชันสำหรับใส่ข้อมูลแม่สีลงในหน่วยความจำที่ตรงกับจุด (x,y) ค่าแม่สีที่รับเข้าไปมีค่าได้ระหว่าง 0 ถึง 255

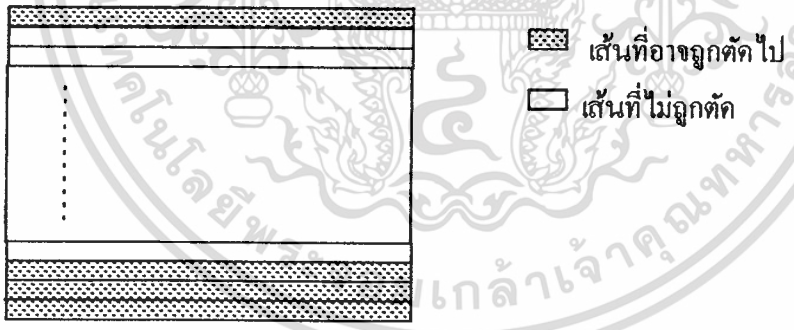
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 ส่วนแยกสัญญาณซิงโครนัส (Sync. Separate)

สำหรับวงจรแยกสัญญาณซิงโครนัสในโครงงานนี้ได้ใช้ไอซีแยกสัญญาณซิงโครนัสเบอร์ LM1881 ซึ่งสามารถแยกสัญญาณซิงโครนัสต่างๆออกจากสัญญาณภาพปกติได้ โดยมีสัญญาณที่ต้องการใช้คือ สัญญาณโทรทัศน์เพื่อให้ได้สัญญาณซิงโครนัสรวมโดยที่สัญญาณนี้จะนำเอาไปผ่านวงจรโมโนสเตเบิลเพื่อให้ได้เพียงสัญญาณฮอริซอนทัลซิงก์ซึ่งสามารถปรับขนาดได้ตามต้องการ (ฮอริซอนทัลแบลงก์กิ้ง) เพื่อนำเอาสัญญาณนี้และสัญญาณเวอร์ติคัลซิงก์ที่ได้จากขา 3 ของ LM1881 และสัญญาณเวอร์ติคัลแบลงก์กิ้งได้ที่ขา 12 ของไอซีโมโนสเตเบิล

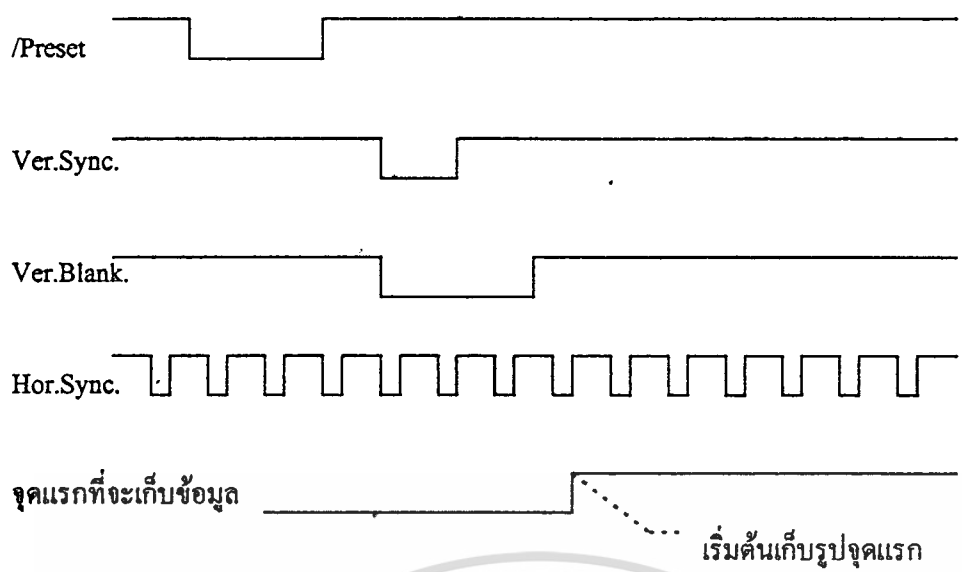
3.3.5 ส่วนภาคควบคุมการทำงาน

แนวคิดในการออกแบบเริ่มจากการหาจุดเริ่มต้นของรูปในฟิลด์นั้นโดยหาจากหลังสัญญาณเวอร์ติคัลแบลงก์กิ้งที่มีฮอริซอนทัลซิงก์อันแรกจะเป็นจุดแรกของภาพ และการสแกนจะใช้เพียงฟิลด์เดียวเท่านั้นซึ่งเท่ากับ 262.5 เส้น (มาจากมาตรฐาน NTSC นั้นรูปภาพ 1 รูปจะประกอบด้วยเส้นในแนวนอนจำนวน 525 เส้น) ดังนั้นในการออกแบบเราจะใช้จำนวน 512 จุด*256 เส้น เพื่อที่จะให้ใช้จำนวนหน่วยความจำน้อยที่สุดและครอบคลุมรูปภาพได้มากที่สุด โดยถ้าใช้จำนวนจุดและเส้น = 512*256 = 131072 byte = 128 kbyte

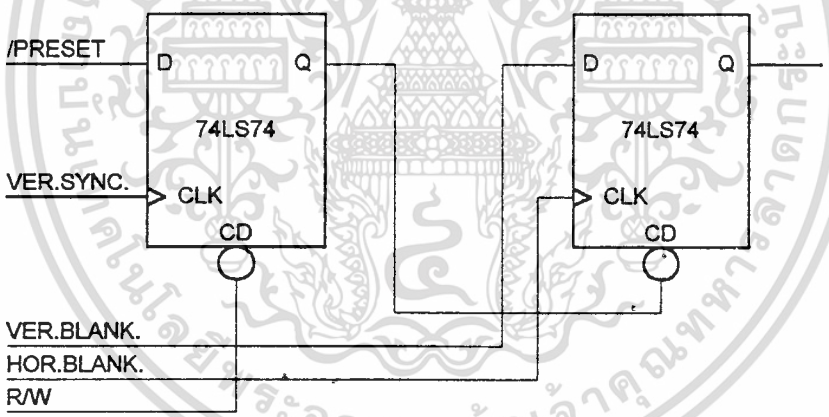


รูปที่ 3.12 แสดงเส้นที่อาจถูกตัดไปเนื่องจากจำนวนหน่วยความจำน้อยกว่าจำนวนจุดจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงสัญญาณที่เกี่ยวข้องกับการเริ่มต้นในการเก็บข้อมูลจุดแรก



รูปที่ 3.14 แสดงวงจรที่ออกแบบจากสัญญาณในรูปที่ 3.13

การออกแบบวงจรควบคุมในส่วนของการนับนั้นจะทำการส่งสัญญาณรีเซ็ทและพรีเซ็ทออกจากคอมพิวเตอร์ (ซึ่งสัญญาณที่ออกมาจะกลับกับข้อมูลที่เราโปรแกรมในคอมพิวเตอร์) พรีเซ็ทเป็นการโหลดค่าจาก P ไปยัง Q (ของ 74LS163) ซึ่งทำให้ Q1 ของ U5 เป็น 1 ซึ่งหมายถึงเป็นโหมดการเขียนข้อมูลลงในแรมภายนอก และทำให้เลือกคล็อคที่จะใช้ในวงจรนับนี้เป็นคล็อคเดียวกับที่ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและทำให้ไอซี U7 หยุดทำการนับและทำให้การนับจุดนั้นจะไม่ทำงานเมื่อสัญญาณฮอริซอนทัลซิงค์เป็น 0 (เป็นช่วงรีเทรส) และทำให้ไอซี 74LS74 ทำงานเฉพาะในโหมดการเขียนเท่านั้นซึ่งจะนำ Q จาก U9B เป็นตัวควบคุมการนับจุดร่วมกับสัญญาณ ENT ซึ่งจะเป็น 1 เฉพาะช่วงที่เป็นสัญญาณภาพ (ไม่ใช่ช่วงรีเท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รส ดูจากสัญญาณฮอริซอนทัลซิงค์) และ ENP จะมีค่าเป็น 1 เมื่อเป็นค่าตั้งแต่จุดแรกซึ่งได้จากการออกแบบข้างต้น (รูปที่ 3.13) ซึ่งจะนำไปใช้ทำสัญญาณ Write Enable โดยการผ่านการขยายความกว้างของสัญญาณด้วยไอซี 74LS123 โดยจะเอนเนเบิลในช่วงที่เป็นสัญญาณภาพเท่านั้น (เวอร์ติคัลแบลงค์กิ้ง AND กับฮอริซอนทัลซิงค์ ที่ขา 1,2 ของ U12A)

ซึ่งถ้า CEP,CET เป็น 1 ทั้งคู่จะเป็นการนับไปเรื่อยๆ ถ้ามีขาใดเป็น 0 จะค้างไว้ที่ค่านั้นจนกว่า CEP,CET จะเป็น 1 พร้อมกัน การนับจุดจะเป็นการนับจุดก่อนเป็นจำนวน 512 จุดแล้วเมื่อนับจุดเกินแล้วก็จะทดไปเริ่มนับเส้นเป็นจำนวน 256 เส้นและใช้สัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในการทริกการนับแต่ละครั้ง โดยจะใช้ไอซีนับเบอร์ 74LS163 โดย 3 ตัวบนนั้นใช้นับจุดจำนวน 512 จุด (16*16*2) โดยเมื่อนับเกิน 1111 แล้วการนับต่อไปจะเป็น 0000 และ TC=1 และเมื่อนับเกิน 512 จุดแล้วใช้ 3 ตัวล่างนับเส้นจำนวน 256 เส้น (16*8*2) เมื่อนับครบแล้ว Q1 ของ U5 ก็จะเป็น 0 ซึ่งจะส่งไปให้คอมพิวเตอร์และนำไปใช้ในส่วนอื่นๆ ซึ่งหมายถึงเปลี่ยนจากโหมดการเขียนเป็นโหมดการอ่าน (1 -> 0)

ในโหมดการอ่าน (R/W=0) นั้นจะเปลี่ยน Output Enable (OE) ให้แอคทีฟ (Active Low) เป็นการอ่านข้อมูลเข้าคอมพิวเตอร์ และทำให้ U7 เริ่มทำการนับซึ่งจะเริ่มต้นโดยการโปรแกรมส่งค่ารีเซ็ทออกจากคอมพิวเตอร์เพื่อให้ขา 2 ของ U11A เป็น 0 ทำให้ U7 โหลดค่า P ไปยัง Q และ CEP,CET เป็น 1 เนื่องจากเป็นโหมดการอ่าน ดังนั้น U7 จะนับ 0000(=Select R), 0001(=Select G),0010(=Select B) วนไปเรื่อยๆ และทุกครั้งที่เป็นการ Select B จะเป็นการเลื่อนตำแหน่งของแรมภายนอกไป 1 โดยสัญญาณ ENP (ในโหมดการอ่านจะทำให้ CD(Clear) ของ U9A เป็น 1 ซึ่งจะทำให้ Q เป็น 0 ดังนั้นขา 4 ของ U13B จะเป็น 0 ทำให้ ENP ขึ้นอยู่กับ Select B อย่างเดียว และในการทำงานทุกครั้งจะต้องใช้สัญญาณนาฬิกาจากคอมพิวเตอร์ (โดยการโปรแกรมจากคอมพิวเตอร์) โดย R/W เมื่อเป็น 0 จะเลือกใช้สัญญาณนาฬิกาจากคอมพิวเตอร์

ในการออกแบบวงจรเก็บข้อมูลภายนอกนั้น เริ่มแรกจะใช้สัญญาณรีเซ็ทซึ่งได้จากการโปรแกรมในคอมพิวเตอร์เป็นการทำให้ P ใน 74LS163 ทุกตัวเป็น 0 เพื่อเริ่มตำแหน่งของข้อมูลอันแรก ในโหมดการเขียนนั้น ENP จะเป็น 1 ตั้งแต่ข้อมูลจุดแรกที่ต้องการเก็บ (ดูจากรูป 3.13) โดยดูจากขา 4 ของ U13B (ส่วนขา 5 ของ U13B นั้นจะเป็น 0 ตลอดเพราะ U7 จะไม่ทำการนับและค่าเริ่มต้นที่โหลดเข้าไปจะเป็น 0000) ส่วน ENT นั้นในโหมดการเขียนจะเป็น 0 ต่อเมื่อฮอริซอนทัลซิงค์เป็น 0 เพราะนำมา AND กับการนับจุดเกินและเส้นเกิน 128 เส้นแล้วจุดต่อไปก็จะนับต่อเพราะ Q3 ของ U11D เป็น 0 ซึ่งจะนำมาใช้ในการโหลด PE ในรอบต่อไป ดังนั้นข้อมูลจะต่อเนื่อง ซึ่งจะเป็น 1 ตลอดเวลา

[แต่ที่ไม่สามารถนับจนถึง 256 เส้นแล้วค่อยให้ ENT เป็น 0 ได้เนื่องจากถ้าออกแบบให้การนับเส้นใช้ 74LS163 เพียง 2 ตัวนั้นในตอนเริ่มที่ Initial นั้นไม่สามารถกำหนด OE,WE ตอนโหลดได้เหมือนการใช้ 74LS163 จำนวน 3 ตัวได้ซึ่งกำหนด Q1 ในการกำหนด OE,WE และการออกแบบที่ไม่สามารถนำขา 11 ของ U11D ไปต่อกับ PE ของ U6 เพื่อนับ 256 เส้นแล้วค่อยเปลี่ยนได้เพราะจะทำให้ /PRESET ที่ต่ออยู่กับคอมพิวเตอร์เปลี่ยนค่าไปซึ่งทำให้ /PRESET ในทุกวงจรเปลี่ยนแปลง]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ /WE เมื่อเริ่มโปรแกรมนั้นพิจรณาจาก Q1 ของ U6 และ WE นั้นจะเป็น 0 (หมายถึงเป็นโหมดการเขียน) เฉพาะช่วงที่เป็นสัญญาณภาพเท่านั้น (ตั้งแต่จุดแรกของการรับค่า AND กับฮอริซอนทัลซิงค์) ส่วนสัญญาณ /OE จะเป็น 1 ซึ่งหมายถึงไม่ใช่โหมดการอ่าน

ส่วนในโหมดการอ่านนั้นจะเริ่มจากการนับจุดและเส้นเกินซึ่งจะทำให้ Q1 ของ U6 เป็น 0 ทำให้ R/W เป็น 0 และทำให้ /OE เป็น 0 ซึ่งเป็นการการอ่านข้อมูลเข้าไปในคอมพิวเตอร์และทำให้ U7 เริ่มทำการนับเป็นการ Select R,G,B และ ENP จะเป็น 1 เพื่อให้วงจรนับ Address นับเมื่อทุกรอบที่เป็น Select B มาถึง ดังนั้นในการอ่านค่าออกไปยังคอมพิวเตอร์นั้นจะอ่านข้อมูลจุดเดียวกันทั้ง R,G,B แล้วค่อยนับค่าจุดต่อไปแล้วค่อยอ่านค่า R,G,B ที่จุดเดียวกันนั้นออกไปยังคอมพิวเตอร์

แนวความคิดของหน่วยความจำเพิ่มขยายและการโปรแกรมใช้หน่วยความจำเพิ่มขยาย

การจัดการหน่วยความจำเพิ่มขยาย

สำหรับหน่วยความจำเพิ่มขยาย เราจะจัดการผ่านทาง ส่วนการบริการหน่วยความจำเพิ่มขยาย (XMS) ซึ่งอยู่ที่อินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันนี้อยู่ภายในไดรเวอรี HIMEM.SYS ข้อสังเกตเกี่ยวกับอินเทอร์รัพฟังก์ชันนี้ก็คือ ชุดฟังก์ชันนี้ไม่สามารถเรียกได้โดยตรงเช่นเดียวกับอินเทอร์รัพฟังก์ชันอื่นๆ อินเทอร์รัพหมายเลข 0Fh ฟังก์ชัน 43h นี้จะให้เพียงค่าการชี้ฟังก์ชันของส่วนการบริการหน่วยความจำเพิ่มขยายเท่านั้น ในการใช้งานเราจึงต้องนำค่าการชี้ฟังก์ชันที่ได้นี้ใส่ในตัวชี้ฟังก์ชันเพื่อใช้ทำงานเช่นเดียวกับตัวชี้ฟังก์ชันทั่วไป

ขั้นตอนในการกำหนดค่าเริ่มต้นให้ตัวชี้ฟังก์ชันสำหรับใช้จัดการหน่วยความจำเพิ่มขยายมีดังนี้

1. ตรวจสอบว่ามีการติดตั้งอินเทอร์รัพฟังก์ชันหมายเลข 2Fh หรือไม่โดยการอ่านค่าในตารางที่ตรงกับตำแหน่งที่ใช้เก็บค่าการชี้อินเทอร์รัพฟังก์ชันหมายเลข 2Fh หากไม่มีการติดตั้งค่าในตำแหน่งดังกล่าวจะมีค่าเป็น 0 หรือ 0cfh

2. ตรวจสอบว่ามีการติดตั้งส่วนบริการหน่วยความจำเพิ่มขยายหรือไม่ โดยการร้องขออินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันย่อย 00h (กำหนดให้รีจิสเตอรี AH มีค่าเป็น 43h และรีจิสเตอร์ AL มีค่าเป็น 00h) หากมีการติดตั้งก็จะให้ค่าออกมาเป็น 80h

3. เรียกใช้อินเทอร์รัพหมายเลข 2Fh ฟังก์ชัน 43h ฟังก์ชันย่อย 10h เพื่อขอค่าการชี้ฟังก์ชันบริการหน่วยความจำเพิ่มขยาย ซึ่งจะส่งค่าเซ็คเมนต์กลับมาทางรีจิสเตอร์ ES และค่าออฟเซ็ททางรีจิสเตอร์ BX เราจะนำค่าการชี้ฟังก์ชันที่ได้มากำหนดเป็นค่าเริ่มต้นให้กับตัวชี้ฟังก์ชัน สำหรับใช้งานต่อไป

กรรมวิธีในการจัดสรรหน่วยความจำเพิ่มขยายยังคงมีลักษณะคล้ายคลึงกับการจัดหน่วยความจำแบบไดนามิค แต่ค่าที่ใช้ในการเข้าถึงหน่วยความจำจะเป็นค่า handle ของหน่วยความจำแทนค่าการชี้ ข้อดีของการใช้ค่าแฮนเดิลก็คือเราไม่จำเป็นที่จะต้องทราบว่าโครงสร้างของหน่วยความจำในระบบมีลักษณะอย่างไร ดังนั้นระบบปฏิบัติการก็อาจจะปรับการใช้งานหน่วยความจำให้มีประสิทธิภาพมากกว่าเดิม ดังเช่นในกรณีที่เกิดพื้นที่

ว่างเป็นช่วงๆจากการคืนหน่วยความจำอย่างไม่เป็นลำดับ ระบบปฏิบัติการสามารถสลับย้ายข้อมูลให้พื้นที่ว่างแยกจากกันมารวมเป็นพื้นที่เดียวกันได้โดยไม่มีผลกระทบต่อการเข้าถึงหน่วยความจำเนื่องจากโปรแกรมที่ขอใช้บริการไม่ได้เก็บค่าตำแหน่งหน่วยความจำไว้ ระบบปฏิบัติการจึงสามารถย้ายข้อมูลจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้ตามต้องการ เราอาจสรุปขั้นตอนในการจัดการหน่วยความจำเพิ่มขยายได้ดังนี้

1. จองพื้นที่หน่วยความจำเพิ่มขยาย เช่นเดียวกับการจัดสรรหน่วยความจำแบบไดนามิค เราต้องจองพื้นที่หน่วยความจำเพิ่มขยายตามจำนวนที่ต้องการเสียก่อน แต่ค่าที่ส่วนบริการหน่วยความจำเพิ่มขยายส่งกลับมาจะเป็นค่าแฮนเดิลซึ่งมีชนิดเป็นจำนวนเต็ม

2. เก็บหรือใช้ข้อมูลหลังจากที่จองแล้ว เราสามารถเก็บหรือใช้ข้อมูลในพื้นที่ที่จองไว้ได้ตามต้องการโดยผ่านทางฟังก์ชันสำหรับการถ่ายข้อมูล แต่ในการใช้งานจริงเราจะไม่ทราบได้ว่าระบบอาจจะย้ายข้อมูลเพื่อขจัดพื้นที่ว่างให้ต่อเนื่องเมื่อใด ในการย้ายข้อมูลจำนวนมากๆหรือหากเราต้องการติดต่อหน่วยความจำเพิ่มขยายโดยไม่ผ่านส่วนการบริการหน่วยความจำเพิ่มขยาย เราควรจะขอล็อคพื้นที่ใช้งานเสียก่อน เมื่อส่วนบริการหน่วยความจำเพิ่มขยายได้รับคำสั่งให้ล็อคพื้นที่ใดพื้นที่หนึ่ง ส่วนบริการหน่วยความจำเพิ่มขยายจะไม่เข้าไปยุ่งเกี่ยวกับพื้นที่นั้นจนกว่าจะมีการปลดล็อคหน่วยความจำพื้นที่ดังกล่าว

3. คืนหน่วยความจำหลังจากใช้งานหน่วยความจำนั้นๆเสร็จสิ้นแล้ว เราต้องคืนหน่วยความจำที่จองไว้ให้แก่ระบบสำหรับให้โปรแกรมอื่นใช้งานต่อไป

ฟังก์ชันบริการหน่วยความจำเพิ่มขยายที่น่าสนใจมีดังนี้คือ

ฟังก์ชัน 00h	สอบถามค่าเวอร์ชันของ HIMEM.SYS
ค่าที่ส่งไป	AH=00h
ค่าที่ส่งกลับ	AX=ค่าเวอร์ชัน DX=0 -> ไม่ได้ติดตั้ง HMA DX=1 -> ติดตั้ง HMA

ฟังก์ชัน 08h	หาขนาดหน่วยความจำเพิ่มขยายที่เหลือ
ค่าที่ส่งไป	AH=08h
ค่าที่ส่งกลับ	AX=ขนาดของหน่วยความจำเพิ่มขยายที่เหลือทั้งหมด มีหน่วยเป็น Kbyte BL=0 -> หาค่าได้ BL=ค่าอื่นๆ -> มีความผิดพลาด DX=ขนาดของหน่วยความจำที่เหลือเป็นพื้นที่ต่อเนื่องที่ใหญ่ที่สุด มีหน่วยเป็น Kbyte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชัน 09h	จองพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AH=09h DX=ขนาดที่ต้องการ มีหน่วยเป็น Kbyte
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถจองได้ AX=1 -> สามารถจองได้ BX=รหัสความผิดพลาด(ถ้ามี) DX=ค่าแฮนเดิลของพื้นที่ที่จองได้

ฟังก์ชัน 0Ah	คืนหน่วยความจำ
ค่าที่ส่งไป	AH=0Ah DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการคืน
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถคืนได้ AX=1 -> คืนได้สำเร็จ BX=รหัสความผิดพลาด (ถ้ามี)

ฟังก์ชัน 0Bh	ถ่ายข้อมูลระหว่างหน่วยความจำ

ค่าที่ส่งไป	AH=0Bh
	DS:SI=ตำแหน่งหน่วยความจำเริ่มต้นของ Structure
	struct XMSblock{
	long nbyte; //จำนวนไบท์ที่ต้องการถ่าย(เป็นเลขคู่)
	int shandle; //แฮนเดิลของหน่วยความจำต้นทาง
	long soffset; //ตำแหน่งเริ่มต้นของหน่วยความจำต้นทางที่จะถ่ายข้อมูล
	int dhandle; //แฮนเดิลของหน่วยความจำปลายทาง
	long doffset; //ตำแหน่งเริ่มต้นของหน่วยความจำปลายทางที่จะรับข้อมูล
	};
	
	ถ้าให้ค่าแฮนเดิลเป็น 0 หมายถึงหน่วยความจำที่ต้องการติดต่อเป็นหน่วยความจำที่อยู่ใน 1 Mbyte แรก ค่าออฟเซ็ทจะเป็นค่าตำแหน่งหน่วยความจำเชิงเส้นของหน่วยความจำใน 1 Mbyte แรก
	(unsigned long)p; เมื่อ p เป็น pointer ชนิด far

ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถถ่ายข้อมูลได้ AX=1 -> ถ่ายข้อมูลได้สำเร็จ BX=รหัสความผิดพลาด (ถ้ามี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชัน 0Ch	ล็อคพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AX=0Ch DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการล็อคตำแหน่ง
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถล็อคตำแหน่งได้ AX=1 -> ล็อคตำแหน่งได้สำเร็จ BL=รหัสแสดงความผิดพลาด (ถ้ามี) DX:BX=ค่าตำแหน่งหน่วยความจำเชิงเส้นเริ่มต้นของพื้นที่ที่ล็อคได้สำเร็จ

ฟังก์ชัน 0Dh	ปลดล็อคพื้นที่หน่วยความจำ
ค่าที่ส่งไป	AX=0Dh DX=ค่าแฮนเดิลของพื้นที่ที่ต้องการปลดล็อค
ค่าที่ส่งกลับ	AX=0 -> ไม่สามารถปลดล็อคได้สำเร็จ AX=1 -> ปลดล็อคได้สำเร็จ BL=รหัสแสดงความผิดพลาด (ถ้ามี)

มาตรฐานการแสดงผลแบบ VESA และโปรแกรมที่ใช้ VESA

VESA (Video Electronic Standards Assiciation) เป็นมาตรฐานการแสดงผลแบบ Super VGA ในรูป VESA VGA BIOS เป็นฟังก์ชันเพิ่มเติมในอินเทอร์รัพหมายเลข 10h อันเป็นอินเทอร์รัพสำหรับการแสดงผลเดิมของคอมพิวเตอร์ ส่วนของ VESA-VGA BIOS ที่กำหนดขึ้นจะถูกเรียกใช้โดยผ่านอินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh มีฟังก์ชันย่อยๆ 8 ฟังก์ชัน โดยจะอธิบายฟังก์ชันที่สำคัญ 4 ฟังก์ชันดังนี้

1. **ฟังก์ชัน 00h** แสดงรายละเอียดของ Super VGA

ค่าที่ส่งไป AF = 4Fh

AL = 00h

ES:DI = ค่าการชี้ข้อมูลสตรัคเจอร์ (ผู้เขียนเป็นคนกำหนดเอง)

```
struct VGAinfo {
        char    VESAsignature[4];       //ค่าคงที่ "VESA"
        char    MajorVersion;           //เลขเวอร์ชันของการ์ด
        char    MinorVersion;           //ทศนิยมเลขเวอร์ชัน
        void far *OEMstr;               //ชื่อรุ่นของการ์ด
        long    reserved;               //สงวนไว้
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                unsigned far *VideoModeList;    //หมายเลขโหมดที่มี
                unsigned Banktotal;             //จำนวนแบงค์ที่มี
                char     reserved2[232];        //สงวนไว้
        };
```

หมายเลขโหมด เป็นอาเรย์ของค่าคงที่จำนวนเต็ม ลงท้ายด้วย 0xFFFF

2. **ฟังก์ชัน 01h** ตรวจสอบหมายเลขโหมด

ค่าที่ส่งไป AH = 4Fh

AL = 01h

CX = หมายเลขโหมดที่ต้องการตรวจสอบ

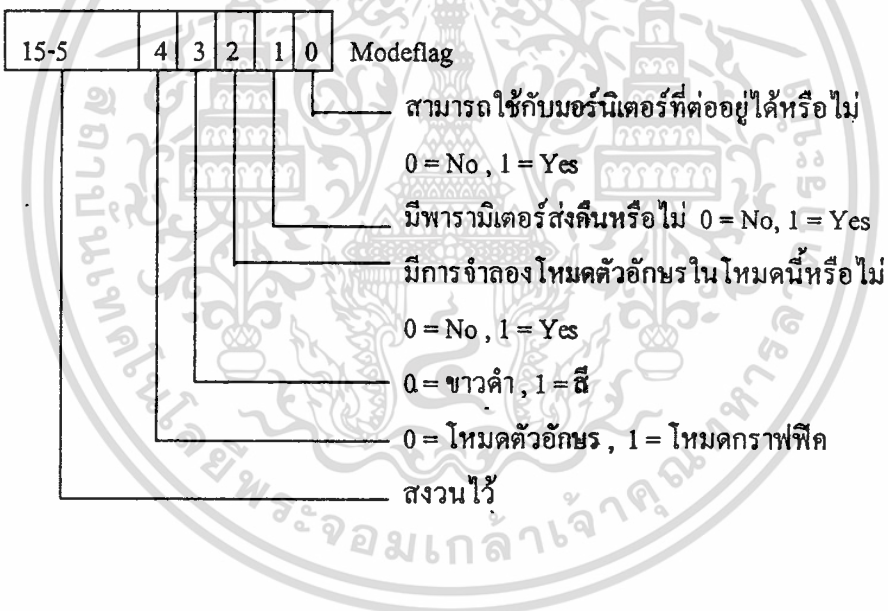
ES:DI = ค่าการชี้ข้อมูลสตรัคเจอร์ (ผู้เขียนเป็นคนกำหนดเอง)

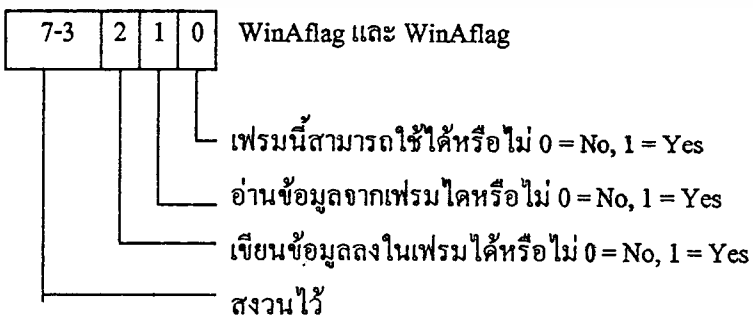
```
struct MODEinfo {
        unsigned  ModeFlag;             //รายละเอียดของโหมด
        char      WinAflag;             //รายละเอียดของเฟรม A
        char      WinBflag;             //รายละเอียดของเฟรม B
        unsigned WinGranularity;        //ค่าระยะระหว่างข้อมูลแรก
                                        //สุดในแบงค์กับข้อมูลแรก
                                        //ในแบงค์ถัดไป
                                        // (หน่วยเป็น kbyte)
        unsigned Winsize;               // ขนาดข้อมูลที่สามารถถ่าย
                                        //อย่างต่อเนื่องได้สูงสุด
                                        //(หน่วยเป็น kbyte)
        unsigned WinASegment;           //เซกเมนต์ของเฟรม A
        unsigned WinBSegment;           //เซกเมนต์ของเฟรม B
        void far (*WinFuncPtr)();       //ค่าการชี้ฟังก์ชันซึ่งชี้ไปยัง
                                        //ฟังก์ชันหมายเลข 5
        unsigned BPL;                   //จำนวนไบท์ต่อเส้นสแกน
        unsigned xres;                  //ความละเอียดในแกน x
        unsigned yres;                  //ความละเอียดในแกน y
        char      Xcharsize;            //ความกว้างของฟอนต์
        char      Ycharsize;            //ความสูงของฟอนต์
        char      Bitplane;             //จำนวนเพลนของหน่วย
                                        //ความจำ
        char      Bitperpixel;          //จำนวนบิทที่ใช้ในการเก็บ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    //จุดภาพ
        char    Memblock;                           //จำนวนบัฟเฟอร์สำหรับใช้
                                                    //ในการแสดงในโหมด EGA
        char    Memmodel;                           //ชนิดของข้อมูลภาพ
        char    Blocksiz;                           //ขนาดของบัฟเฟอร์สำหรับ
                                                    //ใช้ในการแสดงในโหมด
                                                    //EGA
}VESA_info;
```

มาตรฐาน VESA กำหนดให้มีเฟรมรองรับการทำงาน 2 เฟรมคือ A และ B แต่การ์ดอาจมีเพียงเฟรมเดียวก็ได้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MemModel มีค่าที่กำหนดดังนี้คือ

00h โหมดตัวอักษร

01h ข้อมูลภาพชนิด CGA 4 สี

02h ข้อมูลภาพชนิด Hercules

03h ข้อมูลภาพชนิด EGA/VGA 16 สี

04h หนึ่งข้อมูลใช้ 4 ไบท์

05h หนึ่งข้อมูลใช้ 8 ไบท์

06h-0Fh ไม่ใช้

10h-FFh สงวนไว้สำหรับผู้ผลิต (ปกติจะไม่ใช้)

3. **ฟังก์ชัน 02h** เปลี่ยนโหมดจอภาพ

ค่าที่ส่งไป AH = 4Fh

AL = 02h

BX = หมายเลขโหมดจอภาพ บิท 15 กำหนดว่าจะให้ลบข้อมูลในจอหรือไม่

4. **ฟังก์ชัน 03h** สอบถามโหมดปัจจุบัน

ค่าที่ส่งไป AH = 4Fh

AL = 03h

ค่าที่ส่งกลับ BX = หมายเลขโหมดจอภาพ

5. **ฟังก์ชัน 05h ฟังก์ชันย่อย 00h** เปลี่ยนแบงค์ที่ต้องการติดต่อ

ค่าที่ส่งไป AH = 4Fh

AL = 05h

BH = 00h

BL = 0 เฟรม A

= 1 เฟรม B

DX = หมายเลขแบงค์ใหม่

ฟังก์ชัน 05h ฟังก์ชันย่อย 01h สอบถามแบงค์ปัจจุบัน

ค่าที่ส่งไป AH = 4Fh

AL = 05h

BH = 01h

BL = 0 เฟรม A

= 1 เฟรม B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ส่งกลับ DX = หมายเลขแบงก์ปัจจุบันของเฟรมที่ต้องการทราบ

* ค่าส่งกลับมาตรฐานของทุกฟังก์ชันและฟังก์ชันย่อยคือ

AL = 4Fh มี VESA-BIOS อยู่

AH = 00h ทำงานได้สำเร็จ

ในการใช้งาน VESA-VGA BIOS เราจะต้องใช้ฟังก์ชันหมายเลข 00h เพื่อตรวจสอบว่าการ์ดแสดงผลที่ใช้งานอยู่มี VESA-VGA BIOS อยู่ด้วยหรือไม่ หรือมีการติดตั้ง BIOS เพิ่มเติม (เป็นโปรแกรมเรซิเดนต์) หรือไม่หากมี ฟังก์ชันจะส่งค่า 4Fh กลับมาทางรีจิสเตอร์ AL และส่งค่า 0 กลับมาทางรีจิสเตอร์ AH

เมื่อตรวจสอบ VESA-VGA BIOS เรียบร้อยแล้ว เราจะต้องตรวจสอบรายละเอียดของโหมดที่ต้องการติดต่อโดยการเรียกใช้ฟังก์ชัน 01h ข้อมูลต่างๆที่ได้มาจะนำไปใช้ในการเข้าถึงการ์ดแสดงผลได้ตามต้องการ

ข้อสังเกตที่น่าสนใจของ VESA-VGA BIOS คือฟังก์ชันหมายเลข 05h ที่ใช้ในการสอบถามค่าแบงก์หรือใช้ในการเปลี่ยนแบงก์นั้น นอกจากเราจะอาศัยการอินเทอร์รัพเพื่อเรียกใช้ฟังก์ชันดังกล่าวแล้วเรายังอาจเรียงใช้ในรูปของตัวชี้ฟังก์ชันได้ จากข้อมูลที่ได้ในฟังก์ชัน 01h จะมีค่าการชี้ฟังก์ชันหมายเลข 05h มาให้ด้วย ซึ่งเราอาจนำค่านี้ไปกำหนดให้กับตัวชี้ฟังก์ชันไว้เรียกฟังก์ชัน 05h แทนการร้องขออินเทอร์รัพเพื่อความรวดเร็วในการทำงาน

โปรแกรม VESA.CPP ในภาคผนวกนั้นได้สร้างฟังก์ชันพื้นฐานสำหรับการติดต่อการ์ดแสดงผลคือฟังก์ชันดังต่อไปนี้

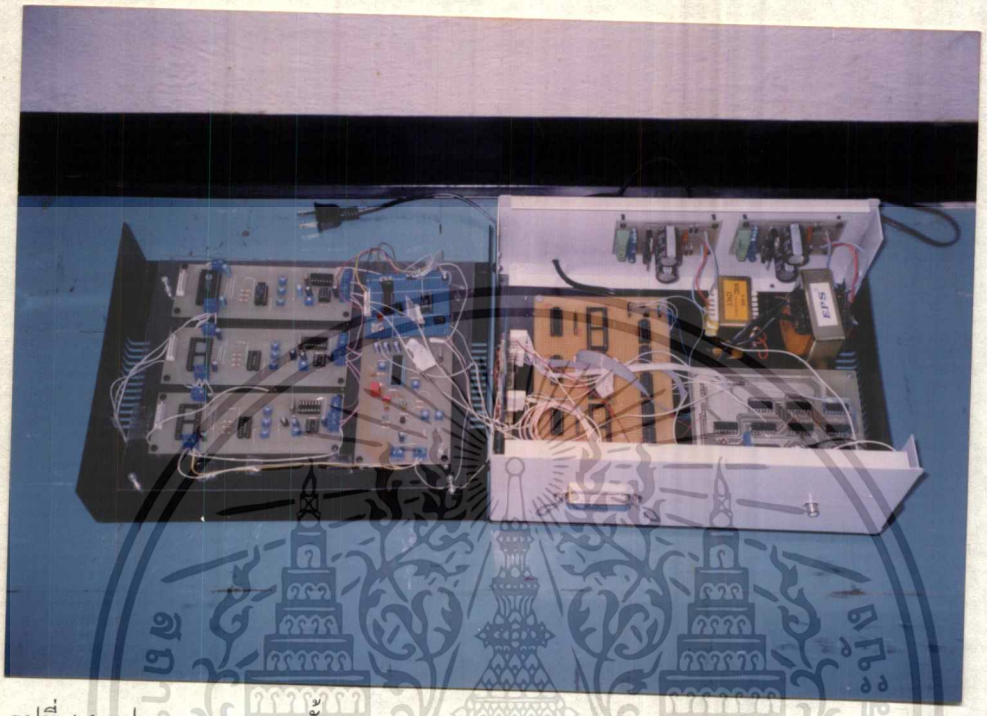
- ฟังก์ชัน opengraph() เริ่มจากการอ่านค่าโหมดจอภาพเดิมไปเก็บไว้ในตัวแปร OLD_mode ค่าโหมดจอภาพนี้อยู่ในส่วน BIOS-Data Area ของระบบ (แต่สำหรับในโหมด VESA ค่าในโหมดจอภาพนี้จะไม่ตรงกับค่าหมายเลขโหมดที่เท้จริง) แล้วจึงเรียกอินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh ฟังก์ชันย่อย 00h ซึ่งก็คือ VESA-VGA BIOS ฟังก์ชัน 00h เพื่อตรวจสอบการ์ดแสดงผลหลังจากนั้นเรียกใช้อินเทอร์รัพหมายเลข 10h ฟังก์ชัน 4Fh ฟังก์ชันย่อย 01h เพื่อขอข้อมูลโหมดที่ต้องการและกำหนดค่าเริ่มต้นให้กับตัวแปรต่างๆที่ใช้ในโมดูล แล้วเรียกฟังก์ชันย่อย 02h เพื่อเปิดโหมดตามที่ต้องการ
- ฟังก์ชัน closegraph() เป็นฟังก์ชันที่ใช้ไบออสของจอภาพตามปกติทั่วไป ส่วนฟังก์ชันอื่นๆที่ตามมาเป็นฟังก์ชันสำหรับส่งรายรายละเอียดที่ได้จากฟังก์ชัน 01h กลับไป
- ฟังก์ชัน setdac() เป็นฟังก์ชันสำหรับเปลี่ยนค่าใน Color-Lookup Table โดยการส่งค่าหมายเลขตารางที่ต้องการแก้ไขไปที่พอร์ทหมายเลข 0C8h แล้วส่งค่ารหัสสีแดง,เขียวและน่าเงินตามไปที่พอร์ท 3C9h ค่ารหัสทั้งสามมีขนาด 8 บิทแต่จะใช้เพียง 6 บิทล่างเท่านั้น จึงทำให้เราสามารถกำหนดสีแดง,เขียวและน้ำเงินได้เพียงสีละ 64 ระดับ
- ฟังก์ชัน direct32k(), direct64k(), direct16m() เป็นฟังก์ชันสำหรับใส่ข้อมูลแม่สีลงในหน่วยความจำที่ตรงกับจุด (x,y) ค่าแม่สีที่รับเข้าไปมีค่าได้ระหว่าง 0 ถึง 255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

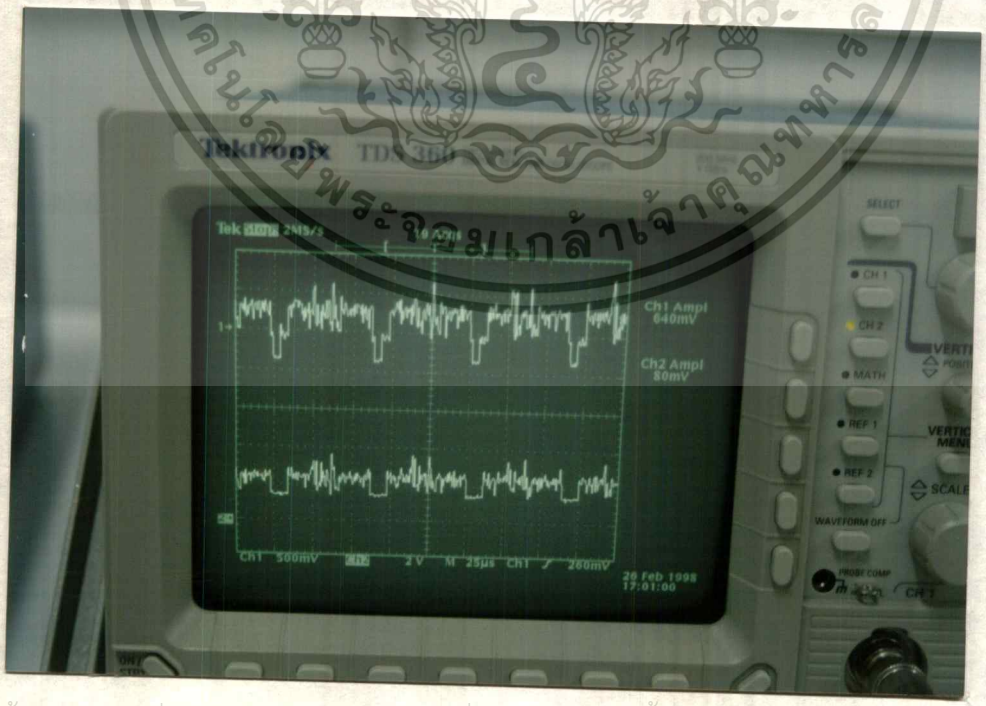
บทที่ 4

การทดลองและผลการทดลอง

ผลการทดลองในส่วนของวงจรแยกสัญญาณภาพรวมเป็นสัญญาณ RGB

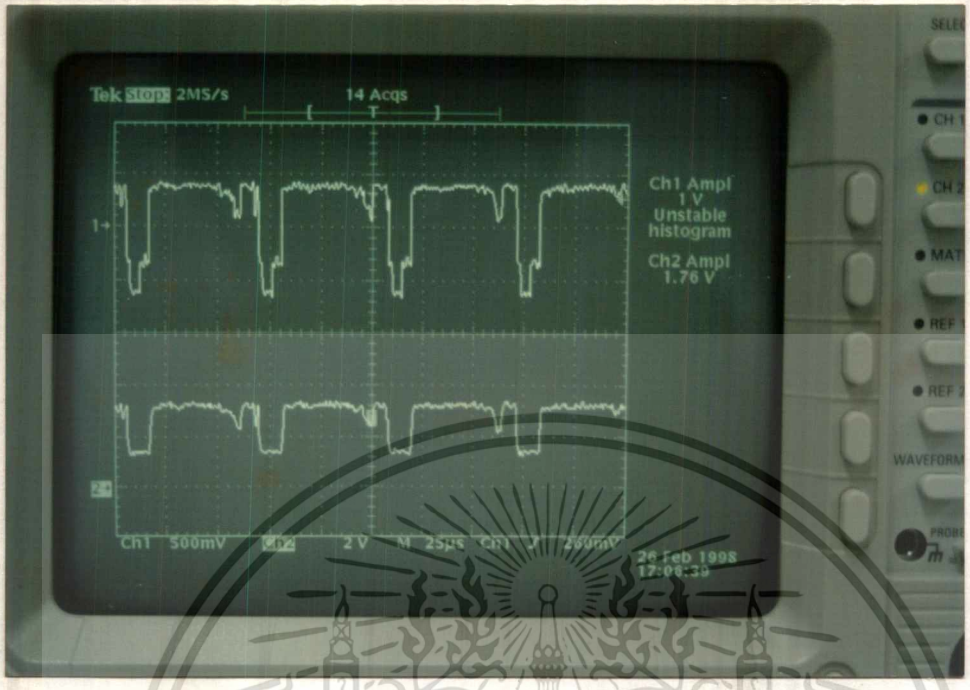


รูปที่ 4.1 รูปแสดงภาพวงจรทั้งหมด

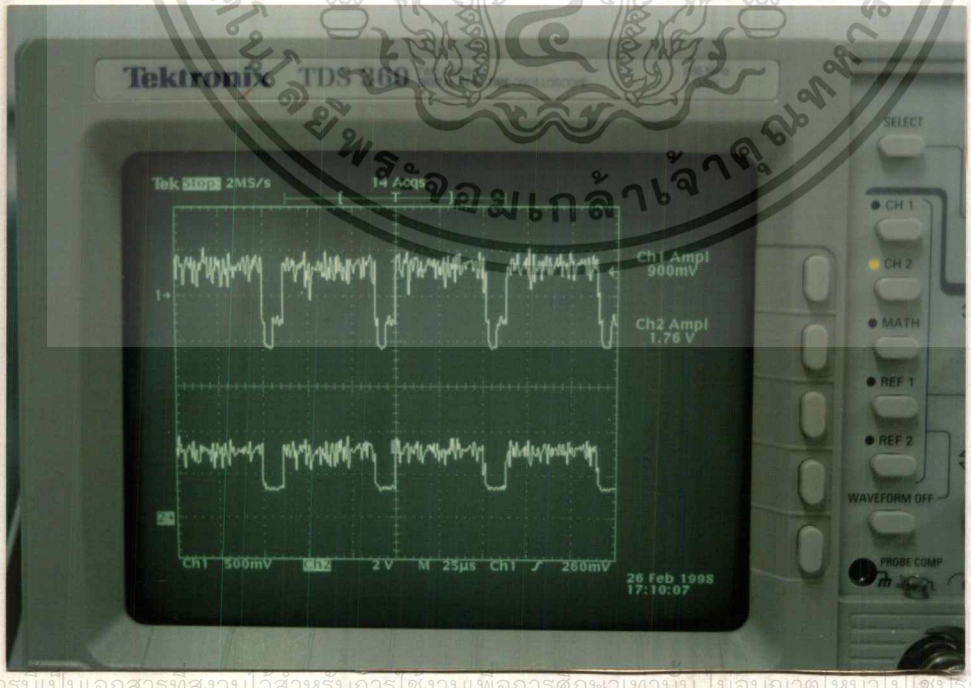


รูปที่ 4.2 รูปแสดงสัญญาณภาพรวมเทียบกับสัญญาณ R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

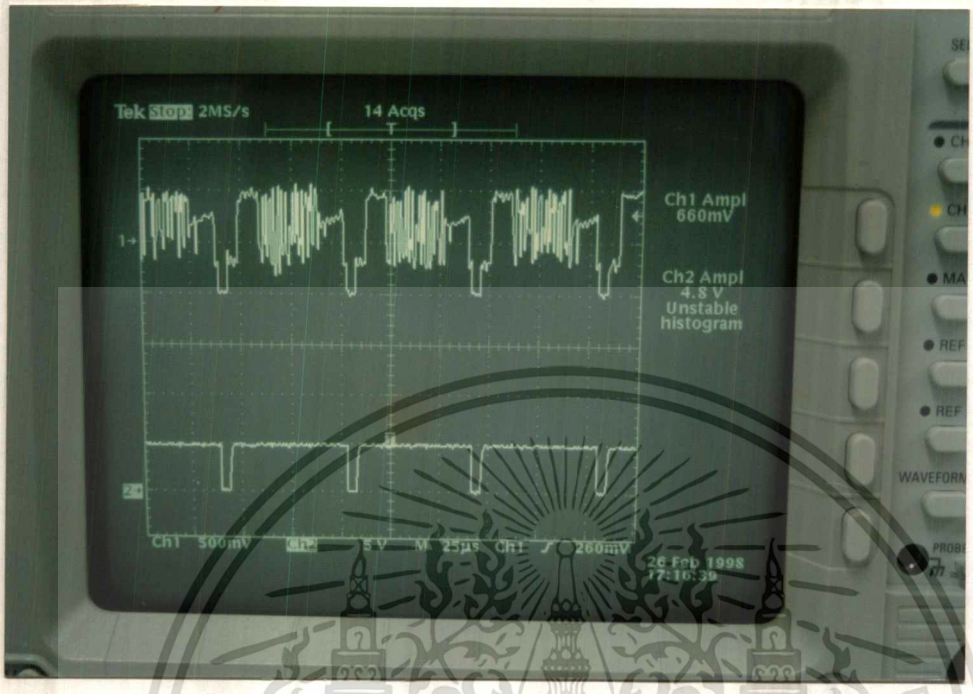


รูปที่ 4.3 รูปแสดงสัญญาณภาพรวมเทียบกับสัญญาณ G



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

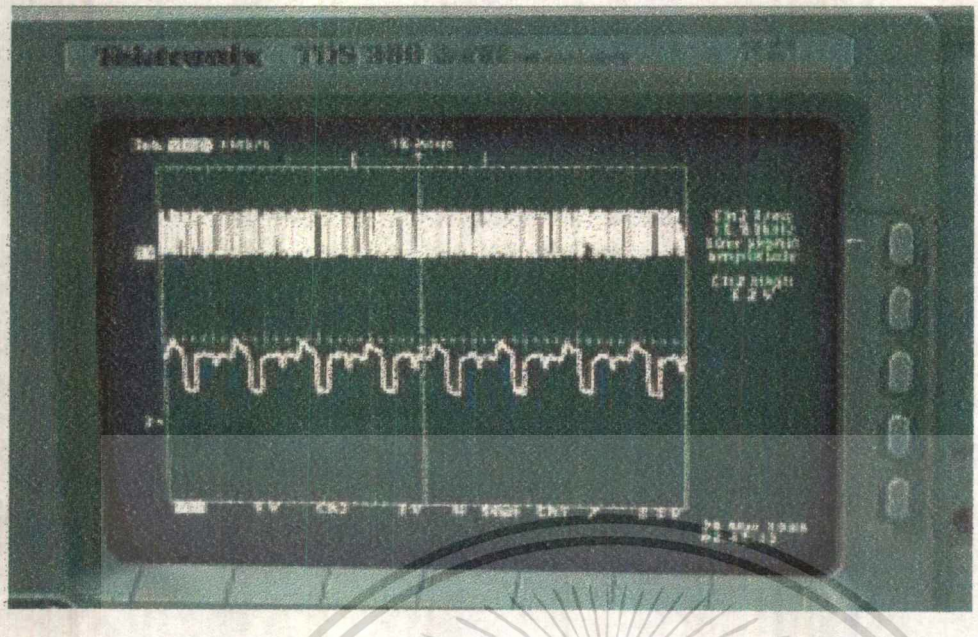
รูปที่ 4.4 รูปแสดงสัญญาณภาพรวมเทียบกับสัญญาณ B



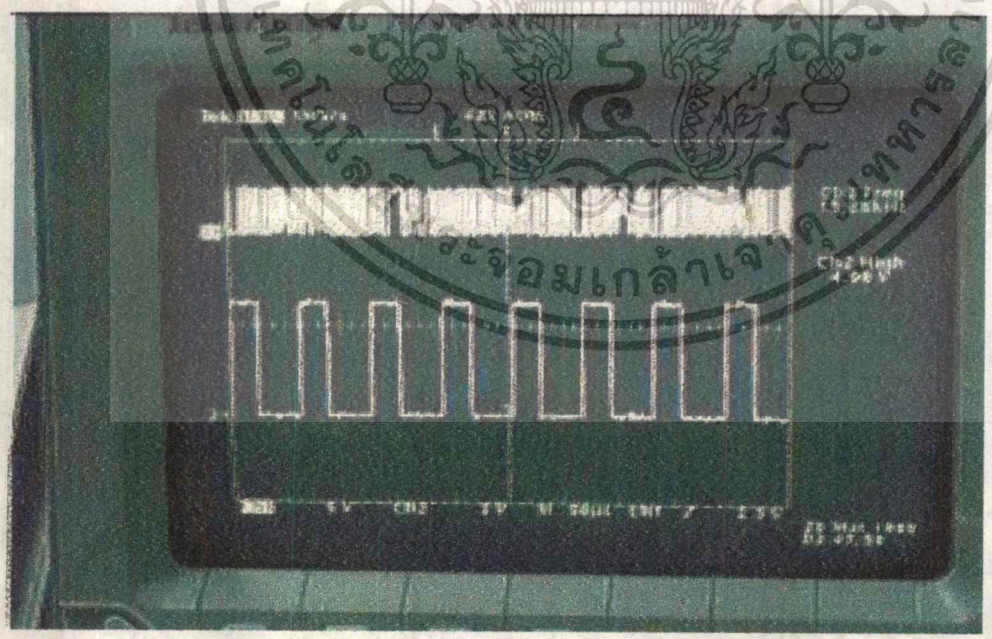
รูปที่ 4.5 รูปแสดงสัญญาณภาพรวมเทียบกับสัญญาณ Synchronous

รูปที่ 4.6 รูปแสดงสัญญาณ RGB ที่แยกได้ออกทางโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

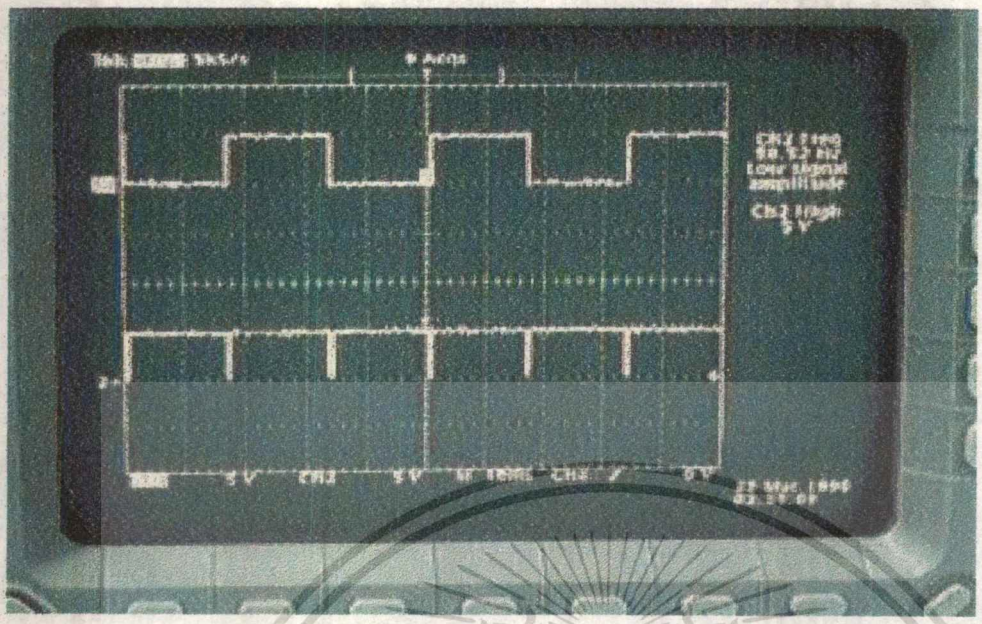


รูปที่ 4.7 รูปแสดงสัญญาณที่ออกจากเอาท์พุทของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอลเทียบกับสัญญาณ R ที่ออกจากวงจรแยกสัญญาณภาพรวมเป็นสัญญาณ RGB

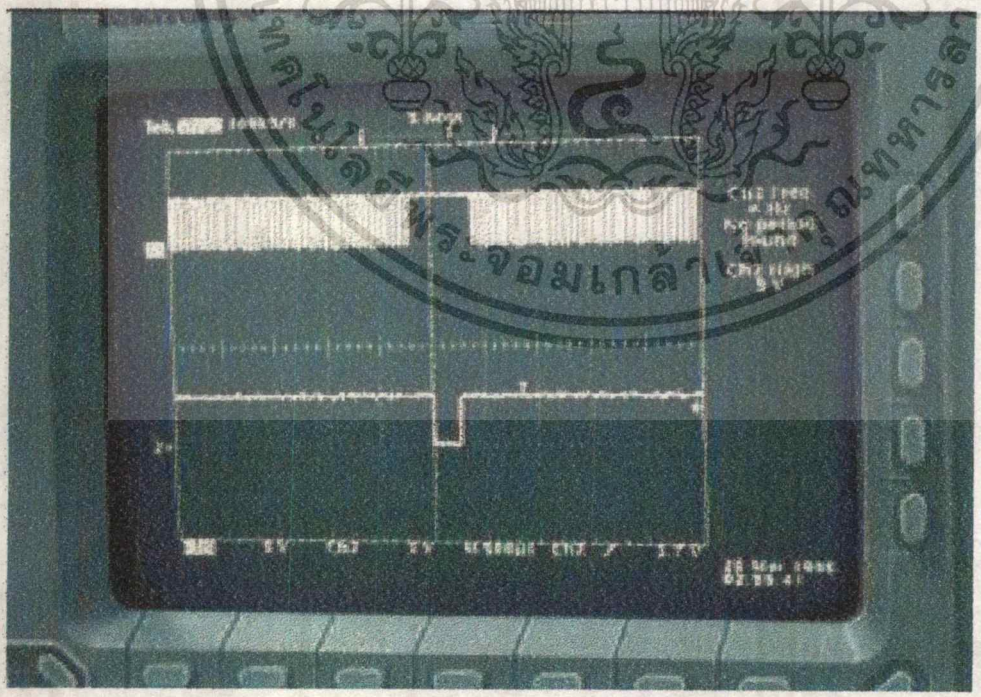


รูปที่ 4.8 รูปแสดงสัญญาณที่ออกจากเอาท์พุทของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอลเทียบกับสัญญาณฮอริซอนทัลซิงค์

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

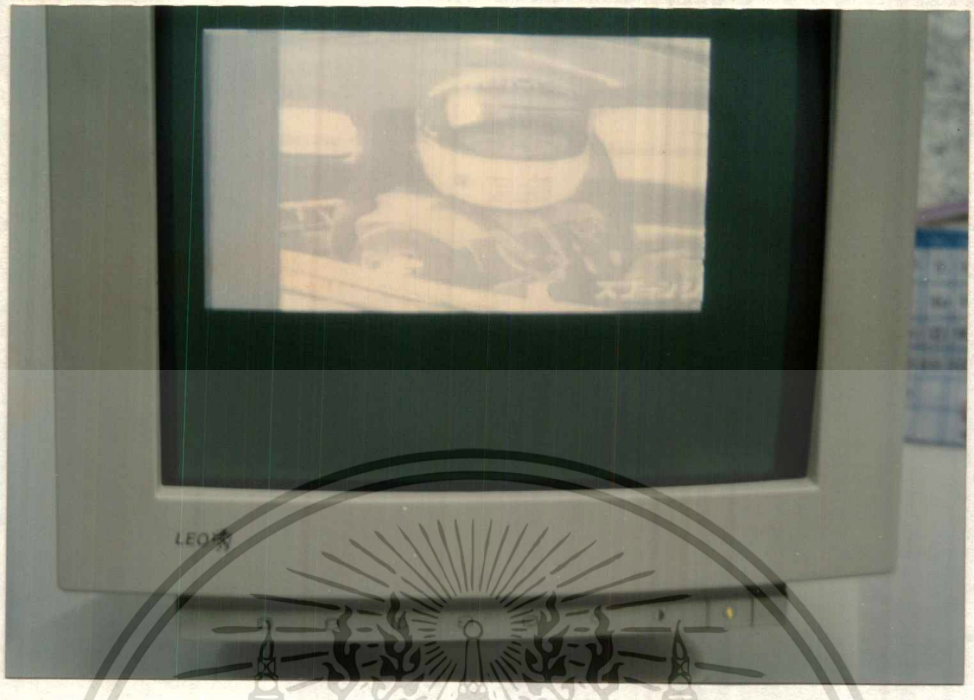


รูปที่ 4.9 รูปแสดงสัญญาณฟิลด์คู่หรือคี่เทียบกับสัญญาณเวอร์ติคัลซิงค์

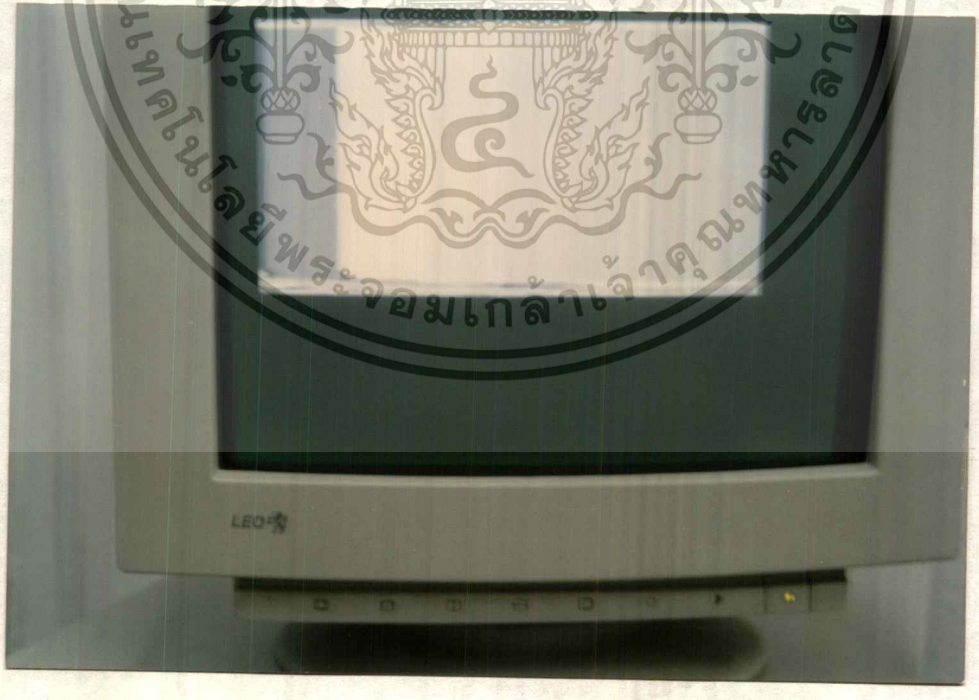


รูปที่ 4.10 รูปแสดงสัญญาณฮอริซอนทัลซิงค์เทียบกับสัญญาณเวอร์ติคัลซิงค์

เอกสารนี้เป็นสาธารณะที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 รูปแสดงผลการรันโปรแกรมทดลองที่ SVGA 640*480 ที่ 16 บิทสี



รูปที่ 4.12 รูปแสดงการรันโปรแกรมด้วยภาพ Color Bar

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองการแปลงสัญญาณโวลเตจ 0-5.2 โวลต์ให้เป็นข้อมูลดิจิตอล

V-in	data from A/D (min)	data from A/D (max)
5.2	11111111	11111111
5.1	11111100	11111111
5.0	11110111	11111111
4.9	11110011	11111100
4.8	11101100	11111000
4.7	11101000	11110011
4.6	11100100	11101111
4.5	11100000	11101011
4.4	11011011	11100111
4.3	11011000	11100100
4.2	11011000	11100011
4.1	11010100	11011100
4	11010000	11010111
3.9	11001011	11010011
3.8	11001000	11001111
3.7	11000000	11001000
3.6	10111011	11000100
3.5	10110111	10111111
3.4	10110000	10111000
3.3	10101100	10110100
3.2	10100100	10101011
3.1	10100000	10100111
3.0	10011000	10100000
2.9	10010000	10011011
2.8	10001101	10010111
2.7	10000100	10001100
2.6	10000000	10000111
2.5	01111100	01111110
2.4	01110111	01111101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3	01101110	01110111
2.2	01101010	01101111
2.1	01100100	01101011
2.0	01011011	01100100
1.9	01011000	01011100
1.8	01001111	01010111
1.7	01000111	01001100
1.6	01000000	01000111
1.5	00111100	01000100
1.4	00111000	00111111
1.3	00110000	00110100
1.2	00101011	00110000
1.1	00100000	00101011
1.0	00100000	00100100
0.9	00011000	00011111
0.8	00011000	00011011
0.0	00000000	00000000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทสรุปและวิจารณ์

ในการทำปริญญานิพนธ์ครั้งนี้ประสบปัญหาในส่วนของ HARDWARE และ SOFTWARE คือในส่วนของ HARDWARE นั้นที่ประกอบไปด้วย 5 ส่วนนั้นมีปัญหาดังนี้ ส่วนวงจรแยกสัญญาณภาพรวมเป็นสัญญาณ RGB นั้นไอซีเบอร์ V7021 หาข้อมูลไม่ได้จึงทำให้เข้าใจการทำงานได้ช้าและอุปกรณ์ที่ใช้กับวงจรหาซื้อยาก ในส่วนของวงจร A/D นั้นจะไม่ค่อยที่จะมีปัญหามากนักแต่จะยากที่ในการทดลองวงจรเพราะต้องใช้เครื่อง LOGIC ANALYZER ซึงหาใช้ไม่ได้จึงจำเป็นต้องหาวิธีอื่นซึ่งโดยเขียนโปรแกรมทดสอบซึ่งมีผลการทดลองตามบทที่ 4 มีการเพี้ยนของค่าที่ได้เนื่องจากค่าแรงดันไฟฟ้าที่ป้อนเข้าไปรวมกับสัญญาณรบกวน ทำให้ค่าที่ได้จะคลาดเคลื่อนไปบ้าง แนวทางการแก้ไขทำได้โดยในส่วนที่ต้องอินเทอร์เฟสกับคอมพิวเตอร์ สัญญาณและข้อมูลทุกตัวต้องผ่านบัฟเฟอร์เพื่อแก้ปัญหาเรื่องสัญญาณรบกวนที่เกิดขึ้น ในส่วนของวงจรแยกสัญญาณ SYNCHRONOUS นั้นไม่มีปัญหาในการทดลองมีผลตามที่ต้องการ ส่วนการนำข้อมูลเข้ามาทางพอร์ทขนานนั้นในบางเครื่องไม่สามารถทำการนำข้อมูลเข้าได้แนวทางแก้ไขทำได้โดยปรับค่าใน BIOS ของคอมพิวเตอร์ให้พอร์ตขนานทำงานในโหมด EPP ในส่วนของ SOFTWARE นั้นการแสดงผลในโหมด VESA มีปัญหากับเครื่องคอมพิวเตอร์ส่วนมากที่ไม่สามารถรองรับโหมดการทำงานที่ 640*480*24 ได้ (โหมด 0x112) เช่นเดียวกับในโปรเจคนี้ทำให้ไม่สามารถแสดงภาพออกมาได้ตามต้องการ

ในการออกแบบในตอนแรกนั้นใช้การควบคุมการรับค่าจะใช้ SOFTWARE แต่การทำงานด้วย SOFTWARE ทั้งหมดนั้นมีปัญหาที่พอร์ทของคอมพิวเตอร์ทำงานไม่ทัน ต้องมีการแก้ไขโดยใช้ HARDWARE ช่วยในการควบคุมและเก็บค่าในหน่วยความจำภายนอกไว้ก่อนแล้วจึงใช้ SOFTWARE เป็นตัวส่งถ่ายข้อมูลเข้ามาในคอมพิวเตอร์และพล็อตค่าเท่านั้นจึงไม่ต้องมีผลกระทบจากความเร็วของพอร์ทมาเกี่ยวข้องด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

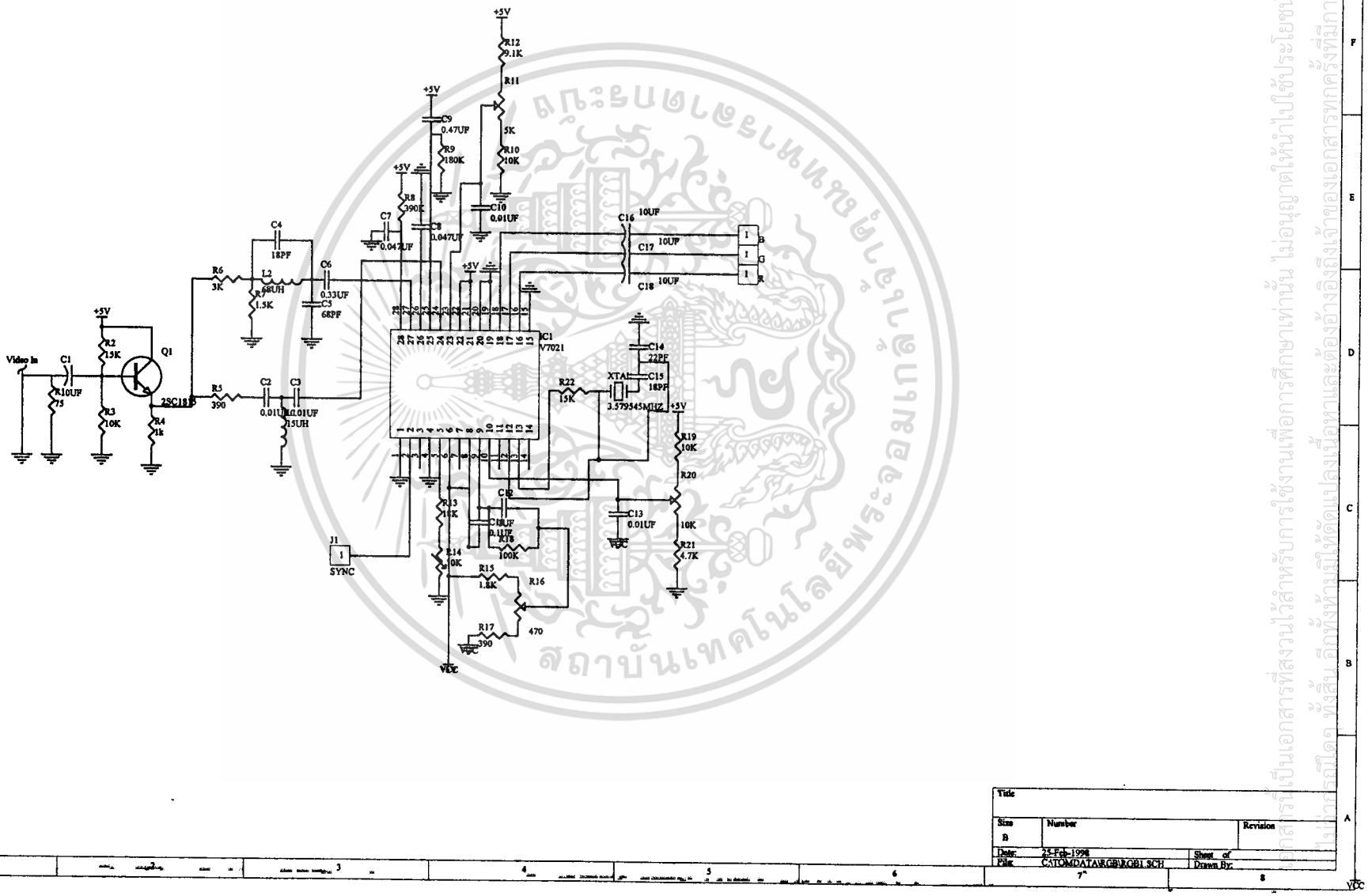
หนังสืออ้างอิง

- บัณฑิต จามรภูมิ, "การทำงานดอสอินเทอร์เฟส" กรุงเทพฯ : ซีเอ็ดยูเคชั่น,2539
- คู่มือการสร้างแผ่นวงจรพิมพ์ , กรุงเทพฯ: ซีเอ็ดยูเคชั่น ,2539
- "การเขียนโปรแกรมภาษาซีสำหรับวิศวกรรม" มหาวิทยาลัยเทคโนโลยีมหานคร กรุงเทพฯ ,2539
- Richard F . Ferrado "Programmer 's Guide to the EGA , VGA and SVGA cards" : Addision- Wesley Plubishing Company ,Inc ,1994
- Phillip E. Mathision "Pratical Digital Video with Programming example in C" ,1994
- Arch C. Luther " Digital Video in the Environment ." : MaGraw-Hill ,1991
- Bradley Duck Kliewer " EGA/VGA A Programmer's Reference Guide ." MaGraw-Hill ,1990
- สมศักดิ์ เตชะเศรษฐ์ชนะ " ทฤษฎีและปฏิบัติ โทรทัศน์สีระบบ PAL" :ซีเอ็ดยูเคชั่น.2521
- Nelson Johnson " Advanced Graphics in C:Programming and Tecrnique" : McGarw -Hill,1987
- Tom Hogan "รวมข้อมูล PC สำหรับโปรแกรมเมอร์ ." : ซีเอ็ดยูเคชั่น .2521

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

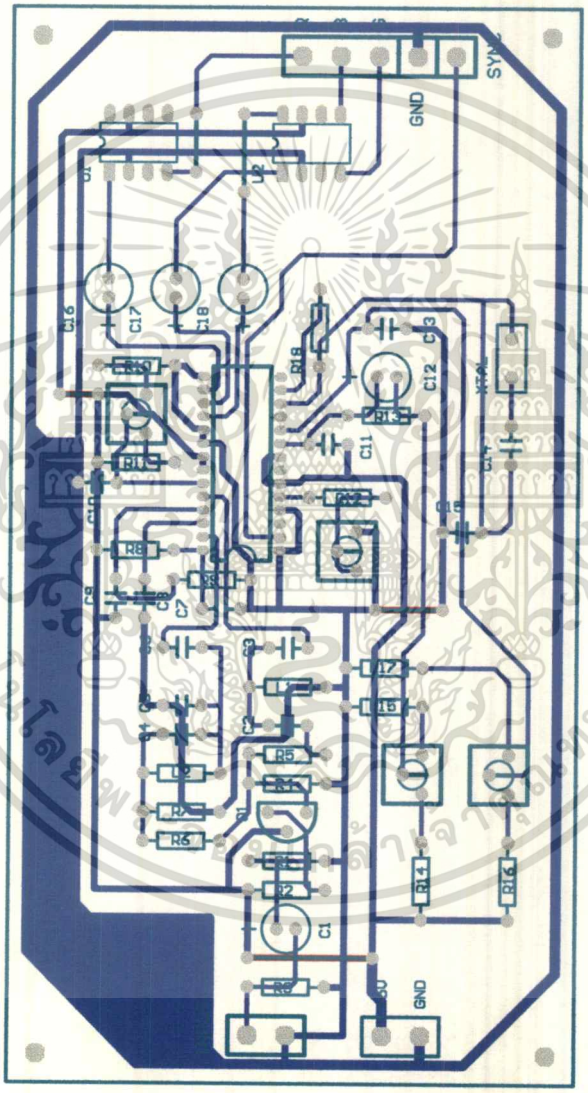
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

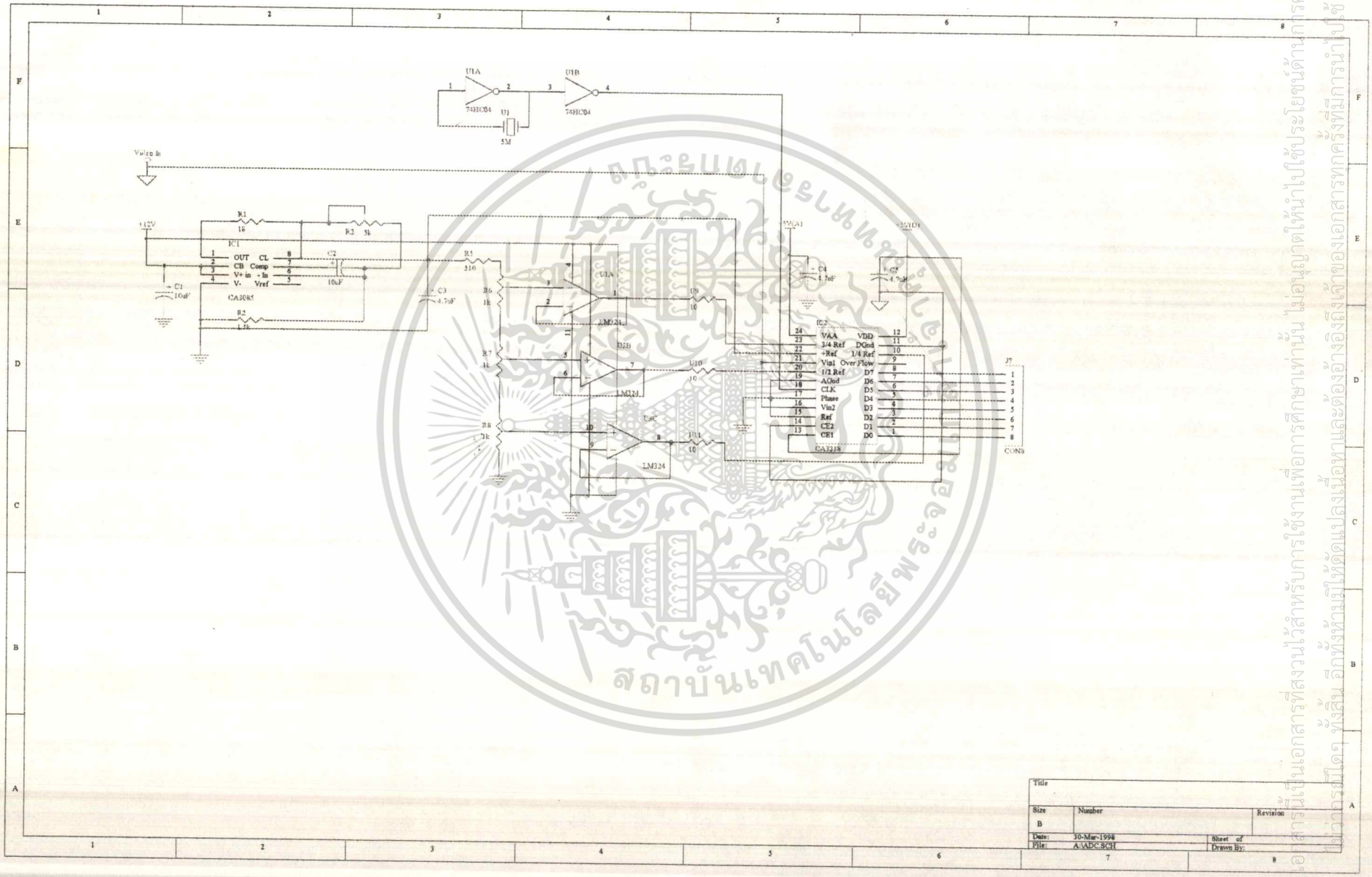


Title		
Size: B	Number	Revision
Date: 25-Feb-1998		Sheet of
File: C:\ATOM\DATA\RGB\RGB1.SCH		Drawn By:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

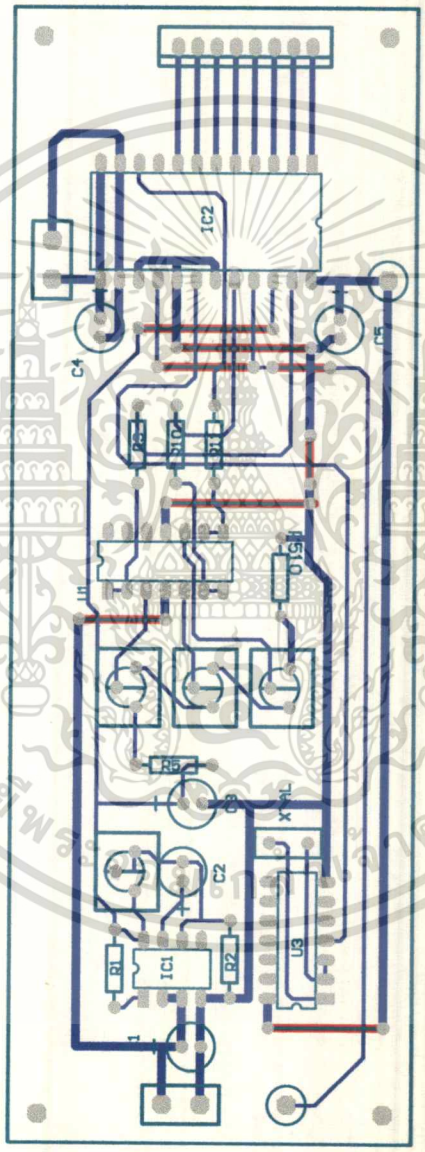


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title			
Size B	Nuruber		Revision
Date:	30-Mar-1998	Sheet of	
File:	A:\ADC.SCH	Drawn By:	

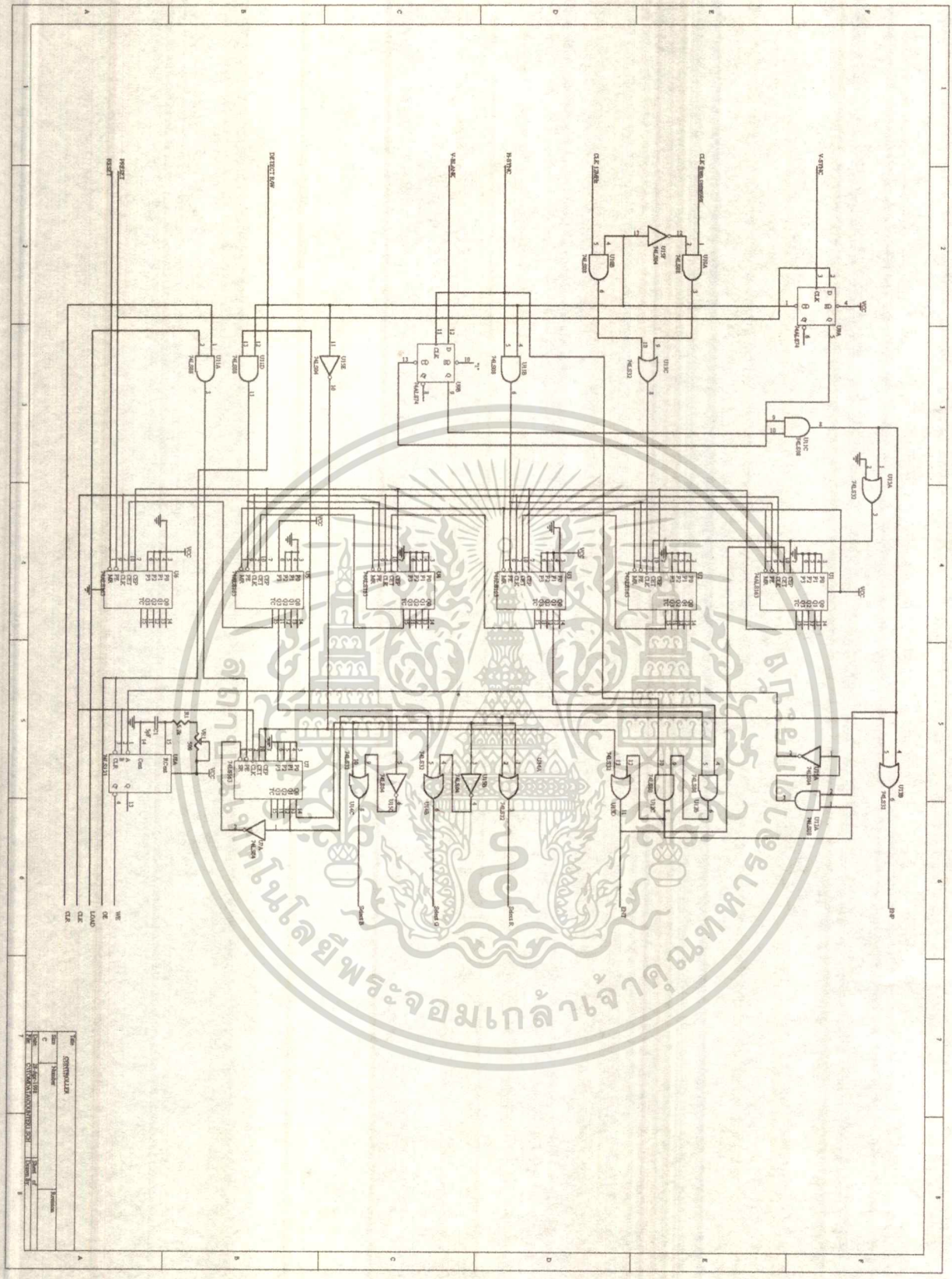
สถาบันเทคโนโลยีพระจอมเกล้า
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
การนำไปใช้ในรูปแบบอื่นๆ ทั้งนี้ สถาบันฯ ขอสงวนสิทธิ์ในการดำเนินคดีตามกฎหมายกับผู้ที่ละเมิดลิขสิทธิ์



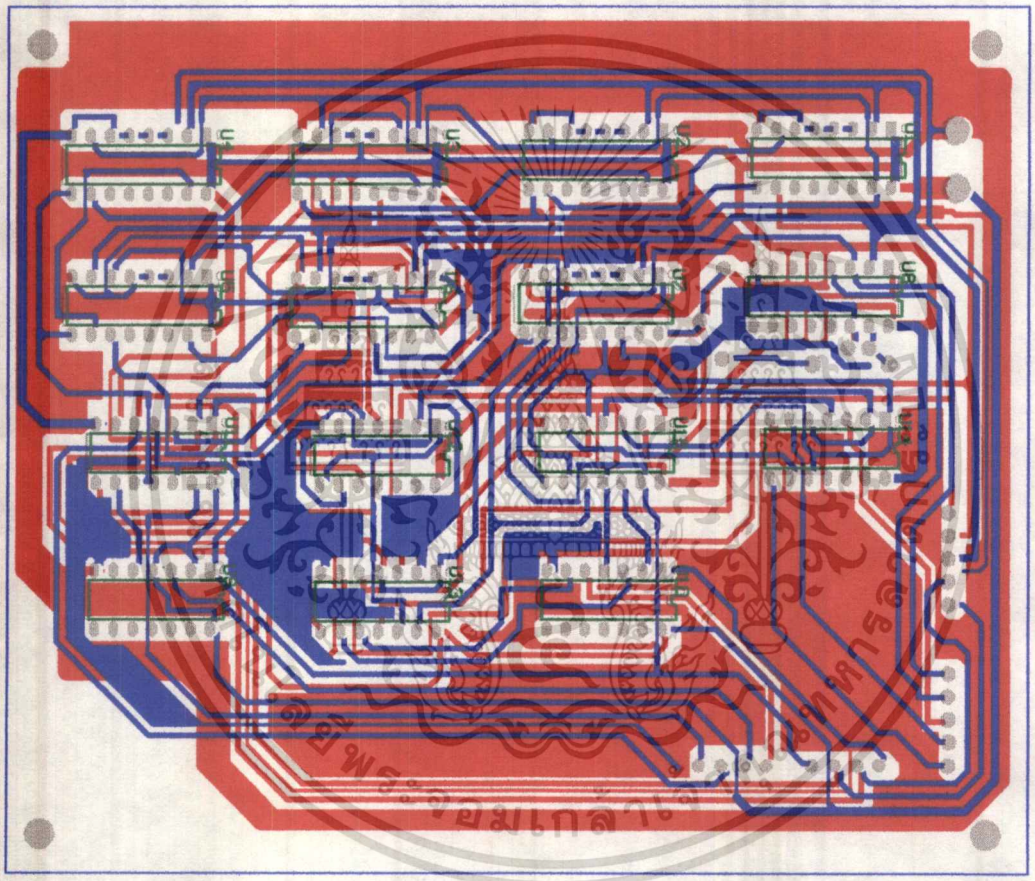
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงวงจร Sync. Seperate

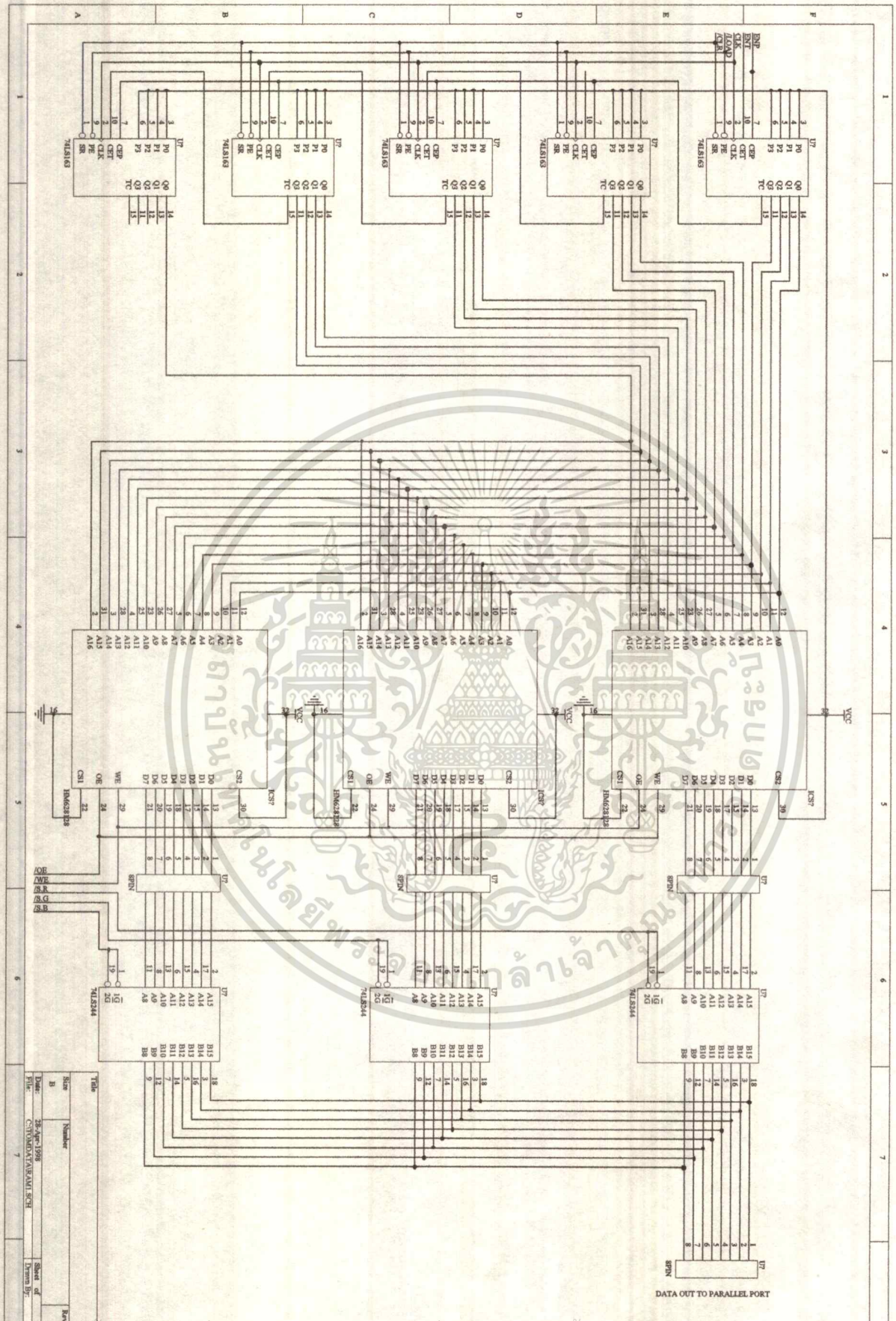
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

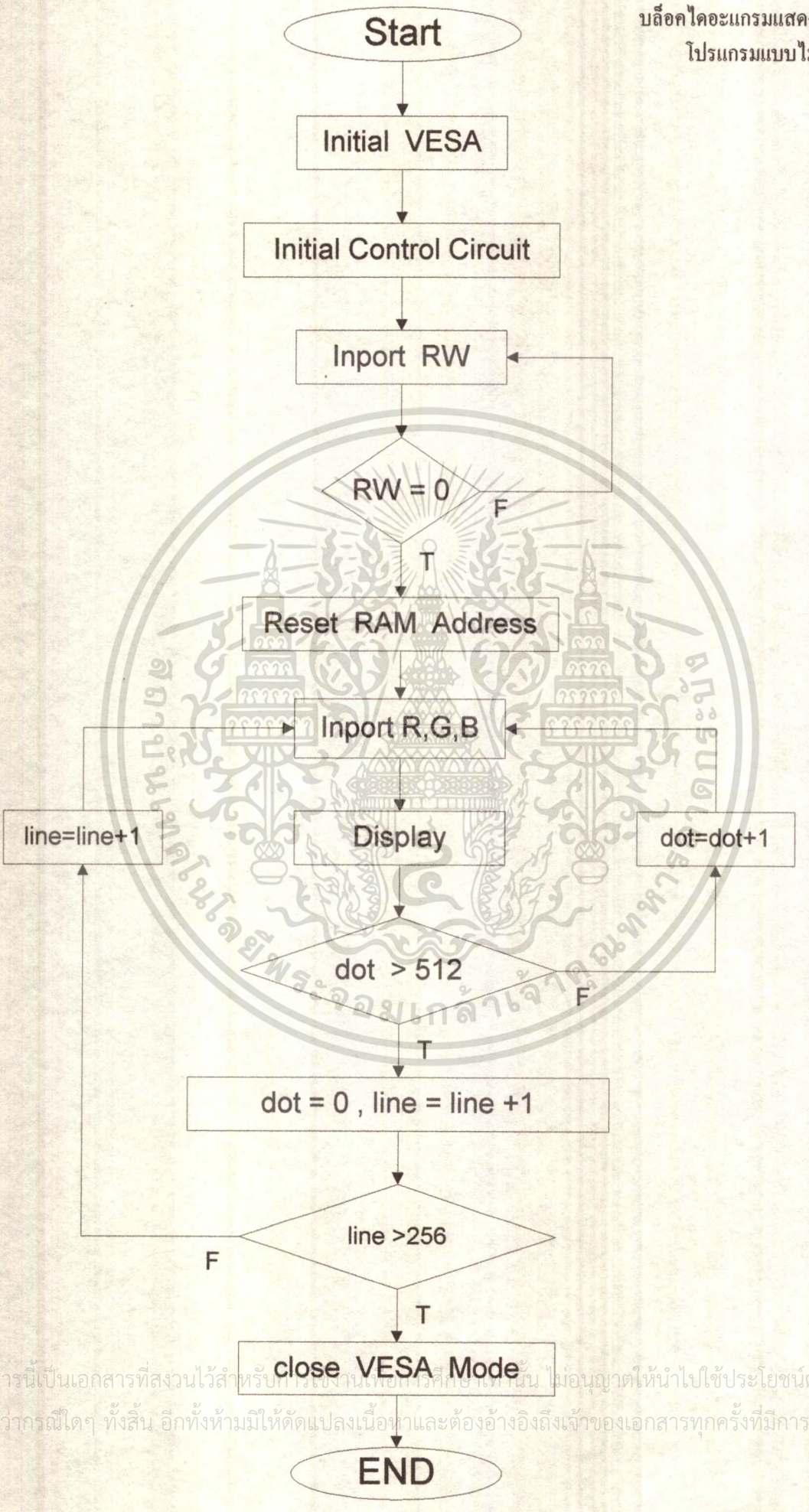


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อคไดอะแกรมแสดงการทำงานของโปรแกรมแบบไม่ใช้ XMS

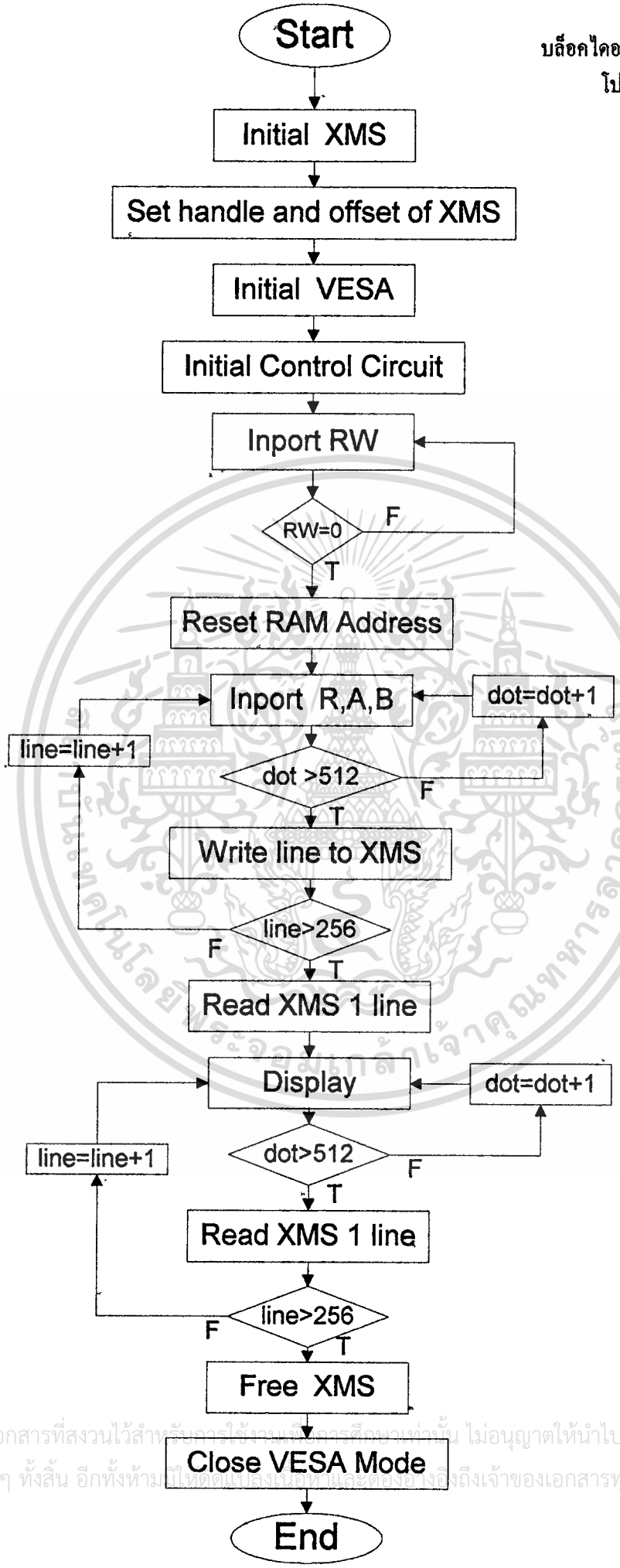


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/********** Program Testing Digital Video Capture without XMS ***************/

#include <dos.h>
#include <stdio.h>
#include <conio.h>
#include <stdlib.h>
#include "vesa.cpp"

void main(void)
{
  unsigned int dot,line;
  unsigned char R,G,B,RW;
  opengraph(0x112);        //Initial VESA mod 640*480*24
  outportb(0x378,0xff);

  while(!kbhit())
  {
    //Initial Control Circuit
    outportb(port+2,0x01);  //Reset
    outportb(port+2,0x05);  //Clock+Reset
    outportb(port+2,0x02);  //Preset
    outportb(port+2,0x06);  //Clock+Preset
    outportb(port+2,0x00);  //not sending Reset,Preset

    RW=inportb(0x379);          //Wait for READ Mode
    while((RW&0x10)!=0x00)
    {
      RW=inportb(port+1);
    }

    outportb(port+2,0x01);  //Reset Address of RAM
    outportb(port+2,0x05);  //and Load P of U7
    outportb(port+2,0x00);  //not sending Reset

    for (line=0;line<256;line++)
    {
      for (dot=0;dot<512;dot++)
      {
       R=inportb(0x37B);
       outportb(0x37A,0x04);  //out clock for trig counter to go to
       outportb(0x37A,0x00);  //next pixel and for U7 to select R,G,B
       G=inportb(0x37B);
       outportb(0x37A,0x04);
       outportb(0x37A,0x00);
       B=inportb(0x37B);
       outportb(0x37A,0x04);
       outportb(0x37A,0x00);

       direct16m(50+dot,50+line,R,G,B);
      }
    }
  }
  Closegraph();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อคไดอะแกรมแสดงการทำงานของโปรแกรมโดยใช้ XMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/************** Program Testing Digital Video Capture with XMS ********/

#include <dos.h>
#include <stdio.h>
#include <conio.h>
#include <stdlib.h>
#include "vesa.cpp"
#include "xms.cpp"

#define port 0x378

void main(void)
{
  unsigned int dot=0,line=0;
  unsigned char R[512],G[512],B[512];
  unsigned char RW=1;
  unsigned long offR,offG,offB;
  int handleR,handleG,handleB,i;
  unsigned long step;

  if(!XMSinstalled())
  {
    printf("No installed HIMEM.SYS and EMM386.EXE");
    abort();
  }

  handleR=XMSalloc(200);
  handleG=XMSalloc(200);
  handleB=XMSalloc(200);

  offR=FP_OFF(&offR);
  offG=FP_OFF(&offG);
  offB=FP_OFF(&offB);


  opengraph(0x112);

  outportb(port,0xff);
  outportb(port+2,0x00);

  while(!kbhit())
  {
    sound(1000); delay(100); nosound();

    outportb(port+2,0x01);  //initial counter
    outportb(port+2,0x05);
    outportb(port+2,0x02);
    outportb(port+2,0x06);
    outportb(port+2,0x00);

    RW=inportb(port+1);          //wait for READ Mode
    while((RW&0x10)!=0x00)
    { RW=inportb(port+1);
    }

    outportb(port+2,0x01);  //Reset Address of RAM
    outportb(port+2,0x05);  //and Load P of U7
    outportb(port+2,0x00);

    /************** Receive ********************/

    for(line=0,step=0;line<256;line++,step+=512)
      {
       for(dot=0;dot<512;dot++)
         {
           R[dot] = inportb(port+3);
           outportb(port+2,0x04); /* CLOCK PULSE */
           outportb(port+2,0x00);
           G[dot] = inportb(port+3);
           outportb(port+2,0x04); /* CLOCK PULSE */
           outportb(port+2,0x00);
           B[dot] = inportb(port+3);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            outportb(port+2,0x04); /* CLOCK PULSE */
            outportb(port+2,0x00);
          }
             XMSwriteoff(R,handleR,512L,(long)(offR+step));
             XMSwriteoff(G,handleG,512L,(long)(offG+step));
             XMSwriteoff(B,handleB,512L,(long)(offB+step));
       }

    /************** Display ********************/

    for (line=0;line<256;line++)
    {
       for(line=0,step=0;line<256;line++,step+=512)
       {
           XMSreadoff(R,handleR,512L,(long)(offR+step));
           XMSreadoff(G,handleG,512L,(long)(offG+step));
           XMSreadoff(B,handleB,512L,(long)(offB+step));
           for(dot=45,i=0;dot<468;dot++,i++)
              direct16m(50+i,50+line,R[dot],G[dot],B[dot]);
       }
    }

  }
  XMSfree(handleR);
  XMSfree(handleG);
  XMSfree(handleB);
  closegraph();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <dos.h>
#include <bios.h>
#include <conio.h>

struct MODEinfo
  {
    unsigned ModeFlag;
    char     WinAflag;
    char     WinBflag;
    unsigned WinGranularity;
    unsigned Winsize;
    unsigned WinASegment;
    unsigned WinBSegment;
    void far (*WinFuncPtr)();
    unsigned BPL;
    unsigned xres;
    unsigned yres;
    char     Xcharsize;
    char     Ycharsize;
    char     Bitplane;
    char     Bitperpixel;
    char     Memblock;
    char     Memmodel;
    char     Blocksize;
  }VESA_info;


struct VGAinfo
  {
    char     VESAsignature[4];
    char     MajorVersion;
    char     MinorVersion;
    void far *OEMstr;
    long     reserved;
    unsigned far *VideoModeList;
    unsigned Banktotal;
    char     reserved2[242];
  }VESA;


 int  OLD_mode;
 int  OLD_bank=0;
 long LinearVideoRAM;
 int  VESA_mode;
 int  VESA_xline;
 int  VESA_page;
 int  VESA_frameread;
 int  VESA_bank;
 int  VESA_size;


#define VESA_framewrite 0
#define OK 1
#define ERR 0
#define directpixel(x,y,R,G,B) \ (*Directpixel)(x,y,R,G,B)


 int opengraph(int mode);
 void closegraph(void);

 int getbitperpix(void);
 int getxres(void);
 int getyres(void);
 int getxline(void);
 int getbanktotal(void);
 int getbanksize(void);
 int getbankoff(void);

 void setbankread(int bank);
 void setbankwrite(int bank);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void putpixel(int x,int y,int color);
void setdac(int index,int R,int G,int B);

void direct32k(int x,int y,int R,int G,int B);
void direct64k(int x,int y,int R,int G,int B);
void direct16m(int x,int y,int R,int G,int B);

//////pointer-to-function,write RGB data to VideoRAM//////////////////////

void (*Directpixel)(int,int,int,int,int);

//////pinter-to-function,far-call bank routine//////////////////////////////

void far (*setbank)(void);

////////////////////////////////////////////////////////////////////////////

int opengraph(int mode)
{
   OLD_mode=peekb(0,0x0449);        //store old mode in OLD_mode//

   _ES=FP_SEG((void far *)&VESA);   //check VESA compatible//
   _DI=FP_OFF((void far *)&VESA);
   _AX=0x4f00;

   geninterrupt(0x10);

   if (_AX != 0x4f) return ERR;     //VESA not support//////


   _ES=FP_SEG((void far *)&VESA_info);
   _DI=FP_OFF((void far *)&VESA_info);
   _CX=mode;
   _AX=0x4f01;

   geninterrupt(0x10);

   if(_AX != 0x4F) return ERR;      //Mode not support////

/////////////Initial DATA/////////////////////////////////////////////////////

  VESA_mode=mode;
  VESA_xline=VESA_info.BPL;
  VESA_page=VESA_info.WinGranularity;

////////////set shift value for putpixel/////////////////////////////////////

  switch(VESA_info.WinGranularity)
  {
    case  1:    VESA_bank=10;
                VESA_size=0x03ff;
                break;
    case  2:    VESA_bank=11;
                VESA_size=0x07ff;
                break;
    case  4:    VESA_bank=12;
                VESA_size=0x0fff;
                break;
    case  8:    VESA_bank=13;
                VESA_size=0x1fff;
                break;
    case 16:    VESA_bank=14;
                VESA_size=0x3fff;
                break;
    case 32:    VESA_bank=15;
                VESA_size=0x7fff;
                break;
    case 64:    VESA_bank=16;
                VESA_size=0xffff;
                break;
    defult:return ERR;
  }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//////////Adjust to standard for some card////////////////////////////////

  switch(VESA_mode)
  {  case 0x110:
     case 0x113:VESA_info.Bitperpixel=15;
  }

 ////////Set pointer-to-function//////////////////////////////////////////

  switch(VESA_info.Bitperpixel)
  {
     case 24:Directpixel=direct16m;
             break;
     case 16:Directpixel=direct64k;
             break;
     case 15:Directpixel=direct32k;
     default:Directpixel=direct32k;
  }
  setbank=VESA_info.WinFuncPtr;

 //////////Set frame number for read////////////////////////////////////////

   if(VESA_info.WinAflag&2)
     VESA_frameread=0;
   else
     VESA_frameread=1;

 //////////Open VESA mode///////////////////////////////////////////////////

   _BX=mode;
   _AX=0x4f02;

   geninterrupt(0x10);

   if(_AX != 0x4f) return ERR;     ////Can't open video mode////

   setbankwrite(0);
   return OK;

 }

 ////////////////////////////////////////////////////////////////////////////

 void closegraph(void)
 {
    _AL=OLD_mode;   ////restore old mode/////////
    _AH=0;
    geninterrupt(0x10);
 }

 ////////////////////////////////////////////////////////////////////////////

 int getbitperpix(void)
 {
    return(int)VESA_info.Bitperpixel;
 }


 int getxres(void)
 {
    return VESA_info.xres;
 }


 int getyres(void)
 {
    return VESA_info.yres;
 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int getxline(void)
{
   return VESA_info.BPL;
}

int getbanktotal(void)
{
   return VESA.Banktotal;
}

int getbanksize(void)
{
   return VESA_info.Winsize;
}

int getbankoff(void)
{
   return VESA_info.WinGranularity;
}

////////////////////////////////////////////////////////////////////////////

void setbankread(int bank)
{
   _DX=bank;
   _BL=VESA_frameread;
   _BH=0;
   (*setbank)();
}

void setbankwrite(int bank)
{
   _DX=bank;
   _BL=VESA_framewrite;
   _BH=0;
   (*setbank)();
}

void setdac(int index,int R,int G,int B)
{
   outportb(0x03c8,(unsigned char)index);    ////Set Index/////////

   outportb(0x03c9,(unsigned char)R);        ////Set 18 bit DAC/////
   outportb(0x03c9,(unsigned char)G);
   outportb(0x03c9,(unsigned char)B);
}

////////////////////////////////////////////////////////////////////////////

void putpixel(int x,int y,int color)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+(long)x)>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)color);
}

////////////////////////////////////////////////////////////////////////////

void direct32k(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
   ((R&0xf8)<<7|((G&0xf8<<2)|(B>>3))));
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void direct64k(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
   ((R&0xf8)<<8|((G&0xfc<<3)|(B>>3))));
}


void direct16m(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x*3))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)B);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size+1,(char)G);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size+2,(char)R);

}

////////////////////////////////////////////////////////////////////////////////
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <dos.h>


struct XMSblock
{
   long nbytes;
   int shandle;
   long soffset;
   int dhandle;
   long      doffset;
};

struct XMSblock XMS_dat;

void far ((*XMSentry))(void);

/************** Error Code for generate use *********************************/

int    XMS_ERR;
char   *XMS_E80="Function no implemented\0";
char   *XMS_E81="VDISK was detected\0";
char   *XMS_E82="An A20 error occured\0";
char   *XMS_E8E="A general driver error\0";
char   *XMS_E8F="Unrecoverable driver error\0";
char   *XMS_E90="HMA does not exist\0";
char   *XMS_E91="HMA is already use\0";
char   *XMS_E92="DX is less than the /HMAMIN=parameter\0";
char   *XMS_E93="HMS is not allocated\0";
char   *XMS_EA0="All extended memory is allocated\0";
char   *XMS_EA1="All available extended memory handles are allocated\0";
char   *XMS_EA2="Invalid handle\0";
char   *XMS_EA3="Source handle is invalid\0";
char   *XMS_EA4="Source offset is invalid\0";
char   *XMS_EA5="Destination handle is invalid\0";
char   *XMS_EA6="Destination offset is invalid\0";
char   *XMS_EA7="Length is invalid\0";
char   *XMS_EA8="Move has an invalid overlap\0";
char   *XMS_EA9="Parity error occured\0";
char   *XMS_EAA="Block is not locked\0";
char   *XMS_EAB="Block is not locked\0";
char   *XMS_EAC="Block lock count overflowed\0";
char   *XMS_EAD="Lock failed\0";
char   *XMS_EB0="Only a smaller UMB is available\0";
char   *XMS_EB1="No UMB's are available\0";
char   *XMS_EB2="UMB segment number is invalid\0";
char   *XMS_E00="No error occured\0";
char   *XMS_EFF="Invalid error code,Error code is not known\0";

/********************** Declaration Section *********************************/

char far *XMSerr(void);
int    XMSinstalled(void);
int    XMSleftcon(void);
int    XMSleftall(void);
int    XMSalloc(int Kbyte);
unsigned long XMSlock(int handle);
int    XMSunlock(int handle);
int    XMSfree(int handle);
int    XMSrealloc(int handle,int newsize);
int    XMStransfer(struct XMSblock *XM);
int    XMSread(void far *str,int handle,long n);
int    XMSwrite(void far *str,int handle,long n);
int    XMSreadoff(void far *str,int handle,long n,long offset);
int    XMSwriteoff(void far *str,int handle,long n,long offset);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/************************ Module Body Section ******************************/

char far *XMSerr(void)
{
   switch(XMS_ERR)
   {
      case 0x00:return XMS_E00;
      case 0x80:return XMS_E80;
      case 0x81:return XMS_E81;
      case 0x82:return XMS_E82;
      case 0x8e:return XMS_E8E;
      case 0x8f:return XMS_E8F;
      case 0x90:return XMS_E90;
      case 0x91:return XMS_E91;
      case 0x92:return XMS_E92;
      case 0x93:return XMS_E93;
      case 0xa0:return XMS_EA0;
      case 0xa1:return XMS_EA1;
      case 0xa2:return XMS_EA2;
      case 0xa3:return XMS_EA3;
      case 0xa4:return XMS_EA4;
      case 0xa5:return XMS_EA5;
      case 0xa6:return XMS_EA6;
      case 0xa7:return XMS_EA7;
      case 0xa8:return XMS_EA8;
      case 0xa9:return XMS_EA9;
      case 0xaa:return XMS_EAA;
      case 0xab:return XMS_EAB;
      case 0xac:return XMS_EAC;
      case 0xad:return XMS_EAD;
      case 0xb0:return XMS_EB0;
      case 0xb1:return XMS_EB1;
      case 0xb2:return XMS_EB2;
   }
   return XMS_EFF;
}

/*****************************************************************************/
int XMSinstalled(void)
{
  void *int2f;
  int2f=(void *)getvect(0x2f);
  if (((unsigned long)int2f)==0x00000000UL || (*(char far *)int2f)=='\xcf')
  return 0;

  _AX=0x4300;                 //Ask for Version of HIMEM.SYS
  geninterrupt(0x2f);
  if(_AL!=0x80)               //If it's installed it'll return 80h
    return 0;
  else
    {
      _AX=0x4310;             //Request for pointer to extend memory service
      geninterrupt(0x2f);
      XMSentry=(void far (*)()) MK_FP(_ES,_BX);
       //When we request Int 2Fh Function 43h Subfunction 10h
       //it'll give back Segment value to Register ES and Offset value
       //to Register BX
    }
    XMS_ERR=0;
    return 1;
}

/*****************************************************************************/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int XMSleftcon(void)        //Reporting memory that left in system
{
   register int temp;

   _AH=0x08;                //Find out extend memory left in system
   (*XMSentry)();
   temp=_AX;
   XMS_ERR=_BL;
   return temp;
}

/*****************************************************************************/

int XMSleftall(void)
{
   _AH=0x08;
   (*XMSentry)();
   XMS_ERR=_BL;
   return _DX;
}

/*****************************************************************************/

int XMSalloc(int Kbyte)     //Reserve memory for the value we want (in kbyte)
{
   _DX=Kbyte;               //Size of memory we want (in kbyte)
   _AH=0x09;                //Reserve the memory
   (*XMSentry)();
   if(_AX==0)
     {
       XMS_ERR=_BL;
       return 0;            //If AX=0 then can not reserve
                            //If AX=1 then can reserve
     }
   XMS_ERR=0;
   return _DX;              //Handle value of reservable memory
}

/*****************************************************************************/

unsigned long XMSlock(int handle)
{
   _DX=handle;
   _AH=0x0c;                //Locking the memory
   (*XMSentry)();
   if(_AH==0)
     {
       XMS_ERR=_BL;
       return 0UL;          //If AX=0 then can't lock position of memory
                            //If AX=1 then can lock position of memory
     }
   return(unsigned long)MK_FP(_DX,_BX);
   //DX:BX = Position value of the first linear memory that it can lock
}

/*****************************************************************************/

int XMSunlock(int handle)  //Release locking  memory
{
   register int temp;

   _DX=handle;              //Handle value of memory that want to release
   _AH=0x0d;
   (*XMSentry)();
   temp=_AX;
   XMS_ERR=_BL;
   return temp;             //If AX=0 then can not release memory
                            //If AX=1 then can release memory
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
/*****************************************************************************/
```

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int XMSfree(int handle)    //Return the memory
{
   register int temp;

   _DX=handle;             //Handle value of memory that give back
   _AH=0x0a;
   (*XMSentry)();
   temp=_AX;
   XMS_ERR=_BL;
   return temp;            //If AX=0 then can not return
                           //If AX=1 then can return
}

/*****************************************************************************/

int XMSrealloc(int handle,int newsize)
{
   register int temp;

   _BX=newsize;
   _DX=handle;
   _AH=0x0f;
   (*XMSentry)();
   temp=_AX;
   XMS_ERR=_BL;
   return temp;
}

/*****************************************************************************/

int XMStransfer(struct XMSblock *XM)    //Transfer data between different
                                        //type of memory
{
   register int temp;

   _DS=FP_SEG(XM);                      //First position of memory for
   _SI=FP_OFF(XM);                      //Struct XMSblock{
   _AH=0x0b;                            //          long nbytes;
   (*XMSentry)();                       //          int  shandle;
   temp=_AX;                            //          long soffset;
   XMS_ERR=_BL;                         //          int  dhandle;
   return temp;                         //          long doffset;
                                        //          };
}

/*****************************************************************************/

int XMSread(void far *str,int handle,long n)
{
   XMS_dat.nbytes=(unsigned long)((n>>1)<<1);  //Define number of data that
                                               //want to transfer
   XMS_dat.shandle=handle;
   XMS_dat.soffset=(unsigned long)0;           //Offset=Position of linear memory
                                               //in the first 1 Mbyte
   XMS_dat.dhandle=0;                          //Handle=0 means memory that want
                                               //to contact in the first 1 Mbyte
   XMS_dat.doffset=(unsigned long)str;
   return XMStransfer(&XMS_dat);
}

/*****************************************************************************/

int XMSwrite(void far *str,int handle,long n)
{
   XMS_dat.nbytes=(unsigned long)((n>>1)<<1);
   XMS_dat.shandle=0;
   XMS_dat.soffset=(unsigned long)str;
   XMS_dat.dhandle=handle;
   XMS_dat.doffset=(unsigned long)0;
   return XMStransfer(&XMS_dat);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************************************************************/

int XMSreadoff(void far *str,int handle,long n,long offset)
{
   XMS_dat.nbytes=(unsigned long)((n>>1)<<1);
   XMS_dat.shandle=handle;
   XMS_dat.soffset=(unsigned long)offset;
   XMS_dat.dhandle=0;
   XMS_dat.doffset=(unsigned long)str;
   return XMStransfer(&XMS_dat);
}

/*****************************************************************************/


int XMSwriteoff(void far *str,int handle,long n,long offset)
{
   XMS_dat.nbytes=(unsigned long)((n>>1)<<1);
   XMS_dat.shandle=0;
   XMS_dat.soffset=(unsigned long)str;
   XMS_dat.dhandle=handle;
   XMS_dat.doffset=(unsigned long)offset;
   return XMStransfer(&XMS_dat);
}

/*****************************************************************************/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <dos.h>
#include <bios.h>
#include <conio.h>

struct MODEinfo
  {
    unsigned      ModeFlag;
    char    WinAflag;
    char    WinBflag;
    unsigned      WinGranularity;
    unsigned      Winsize;
    unsigned      WinASegment;
    unsigned      WinBSegment;
    void far      (*WinFuncPtr)();
    unsigned      BPL;
    unsigned      xres;
    unsigned      yres;
    char    Xcharsize;
    char    Ycharsize;
    char    Bitplane;
    char    Bitperpixel;
    char    Memblock;
    char    Memmodel;
    char    Blocksize;
  }VESA_info;

struct VGAinfo
  {
    char    VESAsignature[4];
    char    MajorVersion;
    char    MinorVersion;
    void far      *OEMstr;
    long    reserved;
    unsigned far *VideoModeList;
    unsigned      Banktotal;
    char    reserved2[242];
  }VESA;


 int  OLD_mode;
 int  OLD_bank=0;
 long LinearVideoRAM;
 int  VESA_mode;
 int  VESA_xline;
 int  VESA_page;
 int  VESA_frameread;
 int  VESA_bank;
 int  VESA_size;

#define VESA_framewrite 0
#define OK 1
#define ERR 0

 int opengraph(int mode);
 void closegraph(void);

 int getbitperpix(void);
 int getxres(void);
 int getyres(void);
 int getxline(void);
 int getbanktotal(void);
 int getbanksize(void);
 int getbankoff(void);

 void setbankread(int bank);
 void setbankwrite(int bank);

 void putpixel(int x,int y,int color);
 void setdac(int index,int R,int G,int B);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define directpixel(x,y,R,G,B) \ (*Directpixel)(x,y,R,G,B)

  void direct32k(int x,int y,int R,int G,int B);
  void direct64k(int x,int y,int R,int G,int B);
  void direct16m(int x,int y,int R,int G,int B);

 //////pointer-to-function,write RGB data to VideoRAM////////////
  void (*Directpixel)(int,int,int,int,int);

 //////pinter-to-function,far-call bank routine//////////////////
  void far (*setbank)(void);

 ////////////////////////////////////////////////////////////////
  int opengraph(int mode)
  {
     OLD_mode=peekb(0,0x0449);  //store old mode in OLD_mode//

     _ES=FP_SEG((void far *)&VESA);    //check VESA compatible//
     _DI=FP_OFF((void far *)&VESA);
     _AX=0x4f00;

     geninterrupt(0x10);

     if (_AX != 0x4f) return ERR;      //VESA not support//////


     _ES=FP_SEG((void far *)&VESA_info);
     _DI=FP_OFF((void far *)&VESA_info);
     _CX=mode;
     _AX=0x4f01;

     geninterrupt(0x10);

     if(_AX != 0x4F) return ERR;       //Mode not support////

 ////////////Initial DATA////////////////////////////////
   VESA_mode=mode;
   VESA_xline=VESA_info.BPL;
   VESA_page=VESA_info.WinGranularity;

 ////////////set shift value for putpixel//////////////////
   switch(VESA_info.WinGranularity)
   {
     case  1:    VESA_bank=10;
                 VESA_size=0x03ff;
                 break;
     case  2:    VESA_bank=11;
                 VESA_size=0x07ff;
                 break;
     case  4:    VESA_bank=12;
                 VESA_size=0x0fff;
                 break;
     case  8:    VESA_bank=13;
                 VESA_size=0x1fff;
                 break;
     case 16:    VESA_bank=14;
                 VESA_size=0x3fff;
                 break;
     case 32:    VESA_bank=15;
                 VESA_size=0x7fff;
                 break;
     case 64:    VESA_bank=16;
                 VESA_size=0xffff;
                 break;
     defult:return ERR;
   }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//////////Adjust to standard for some card//////////////
  switch(VESA_mode)
  {  case 0x110:
     case 0x113:VESA_info.Bitperpixel=15;
  }

/////////Set pointer-to-function//////////////////////////
  switch(VESA_info.Bitperpixel)
  {
     case 24:Directpixel=direct16m;
           break;
     case 16:Directpixel=direct64k;
           break;
     case 15:Directpixel=direct32k;
     default:Directpixel=direct32k;
  }
  setbank=VESA_info.WinFuncPtr;

//////////Set frame number for read//////////////////////////
   if(VESA_info.WinAflag&2)
     VESA_frameread=0;
   else
     VESA_frameread=1;

//////////Open VESA mode/////////////////////////////////////
   _BX=mode;
   _AX=0x4f02;

   geninterrupt(0x10);

   if(_AX != 0x4f) return ERR;    ////Can't open video mode////

   setbankwrite(0);
   return OK;

}


void closegraph(void)
{
   _AL=OLD_mode;   ////restore old mode/////////
   _AH=0;
   geninterrupt(0x10);
}


int getbitperpix(void)
{
   return(int)VESA_info.Bitperpixel;
}


int getxres(void)
{
   return VESA_info.xres;
}


int getyres(void)
{
   return VESA_info.yres;
}


int getxline(void)
{
   return VESA_info.BPL;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int getbanktotal(void)
{
   return VESA.Banktotal;
}

int getbanksize(void)
{
   return VESA_info.Winsize;
}

int getbankoff(void)
{
   return VESA_info.WinGranularity;
}

void setbankread(int bank)
{
   _DX=bank;
   _BL=VESA_frameread;
   _BH=0;
   (*setbank)();
}

void setbankwrite(int bank)
{
   _DX=bank;
   _BL=VESA_framewrite;
   _BH=0;
   (*setbank)();
}

void setdac(int index,int R,int G,int B)
{
   outportb(0x03c8,(unsigned char)index);    ////Set Index/////////

   outportb(0x03c9,(unsigned char)R);        ////Set 18 bit DAC/////
   outportb(0x03c9,(unsigned char)G);
   outportb(0x03c9,(unsigned char)B);
}


////////////////////////////////////////////////////////////////////////
////////////////////////////////////////////////////////////////////////

void putpixel(int x,int y,int color)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+(long)x)>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)color);
}


void direct32k(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
   ((R&0xf8)<<7|((G&0xf8<<2)|(B>>3))));
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void direct64k(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
   ((R&0xf8)<<8|((G&0xfc<<3)|(B>>3))));
}


void direct16m(int x,int y,int R,int G,int B)
{
   if (OLD_bank !=
   ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x*3))>>VESA_bank)
   ) setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)B);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size+1,(char)G);
   pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size+2,(char)R);

}

void main()
{

  int x,y,r,g,b;
  r=0;
  g=0;
  b=0;
  opengraph(0x111);
  while(!kbhit())
  {
    for (r=0;r<256;r=r+10)
    for (x=1;x<639;x++)
    for (y=1;y<479;y++)
    {
      //direct32k(x,y,r,g,b);
      //direct64k(x,y,r,g,b);
      direct16m(x,y,r,g,b);
      //r=r+10;
      b=r+20;
      g=b+20;
    }
    //getch();
  }
    closegraph();


}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ±1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

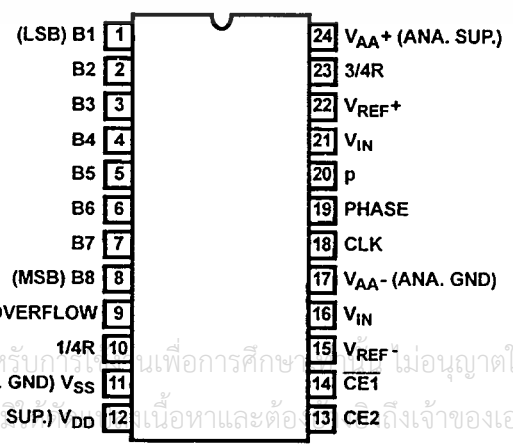
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



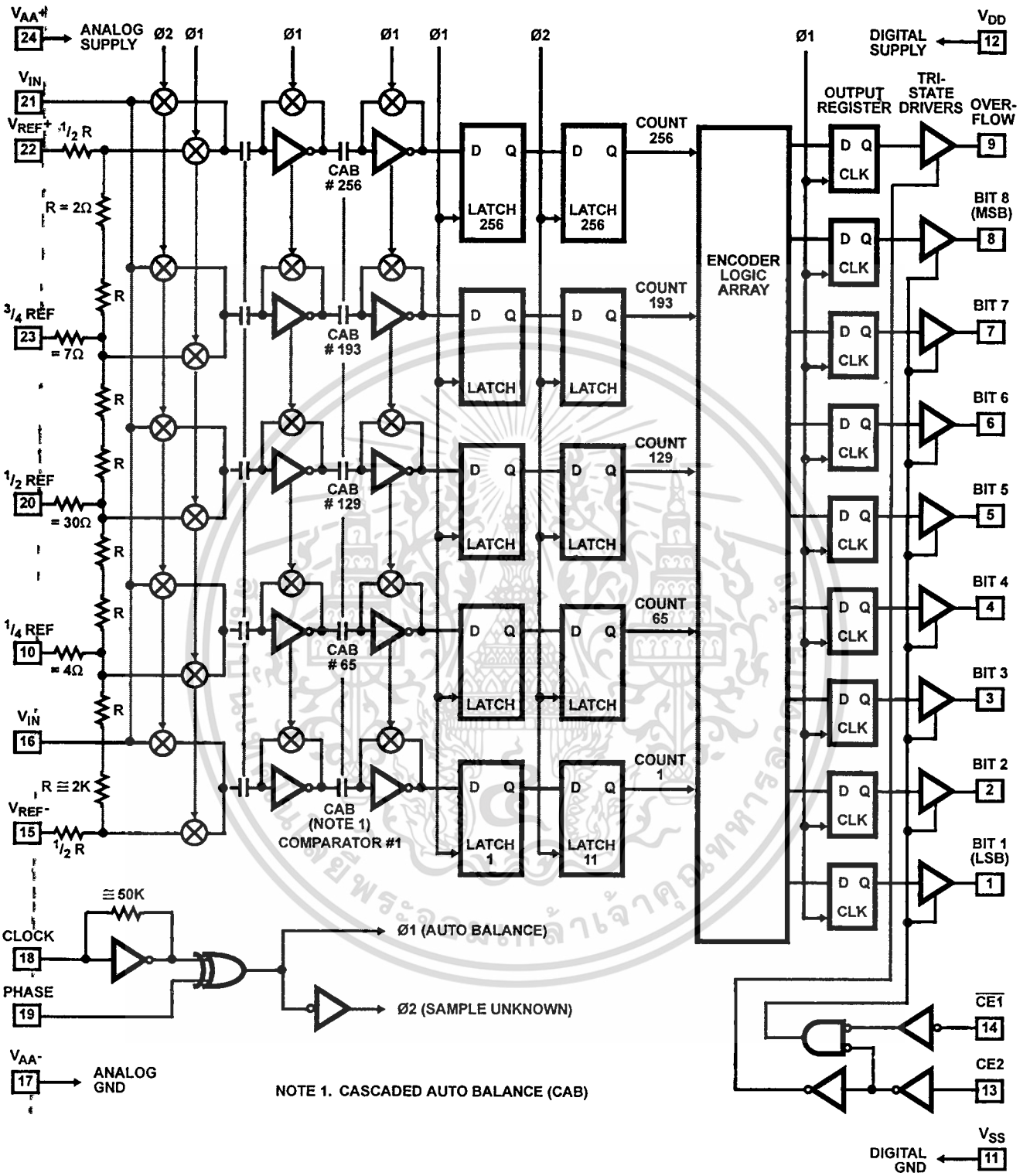
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1993

File Number 3103

Functional Block Diagram



NOTE 1. CASCADED AUTO BALANCE (CAB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref. ..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref. ..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, 3/4 REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow
Operating Voltage Range (V_{DD} or V_{AA}+) ..... 4V Min to 7.5V Max
Recommended V_{AA}+ Operating Range ..... V_{DD} ± 1V
Recommended V_{AA}- Operating Range ..... V_{SS} ± 1V
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (Soldering 10s) ..... +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	60°C/W	-
Plastic SOIC Package	75°C/W	-

Maximum Power Dissipation 0.67W
Operating Temperature Range (T_A) ..... -40°C to +85°C
Junction Temperature
Ceramic Package ..... +175°C
Plastic Package ..... +150°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

At +25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + 1/2 LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - 1/2 LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) = RMS Signal / RMS Noise	F_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) = RMS Signal / RMS Noise+Distortion	F_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	F_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	F_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	F_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	F_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5.0V, V_{REF}+ = 5.0V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified. **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

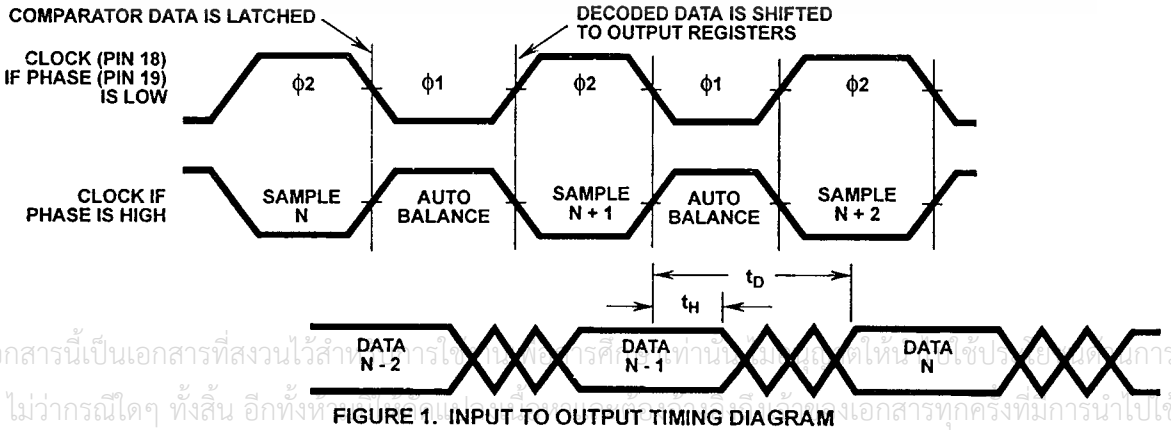


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

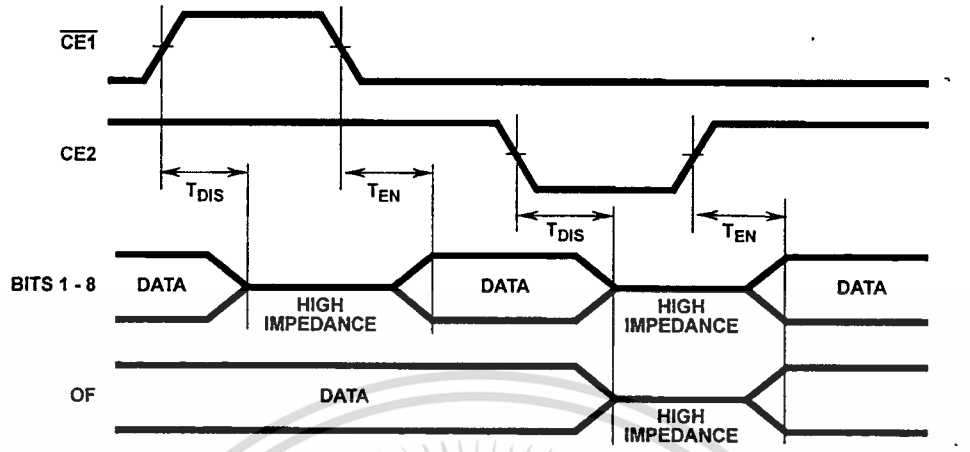


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

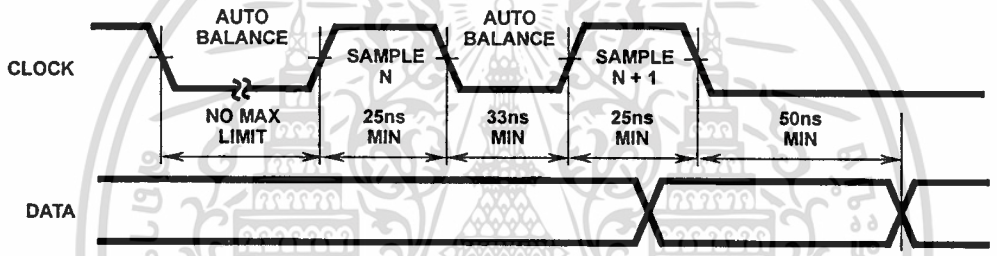


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

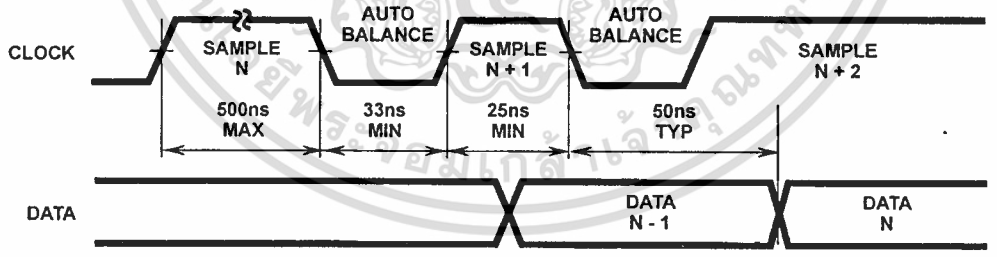


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

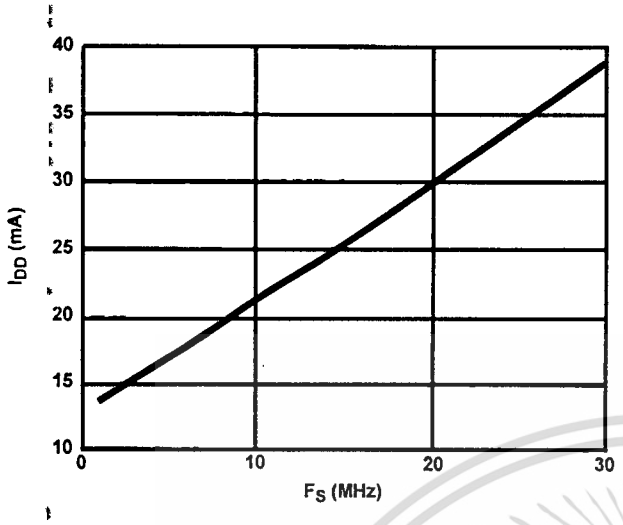


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

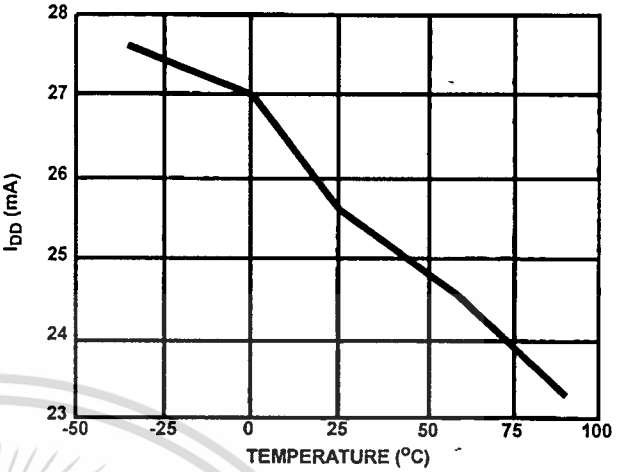


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

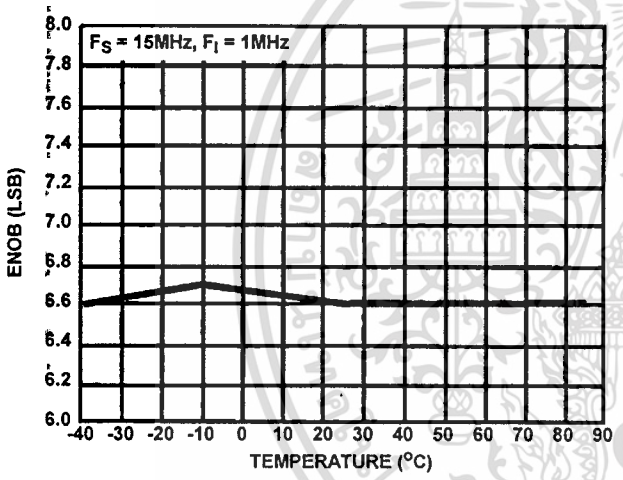


FIGURE 6. ENOB vs TEMPERATURE

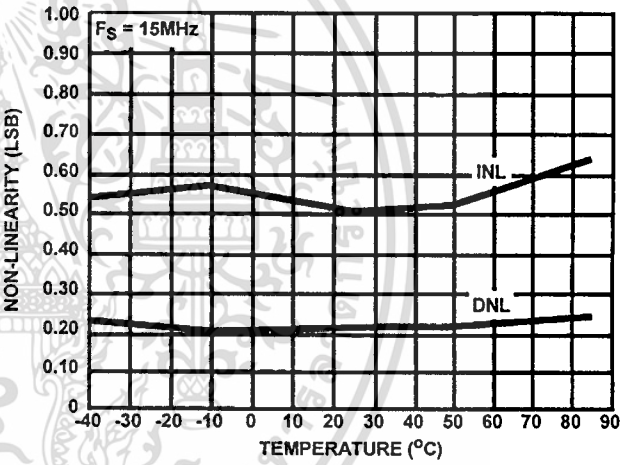


FIGURE 7. NON-LINEARITY vs TEMPERATURE

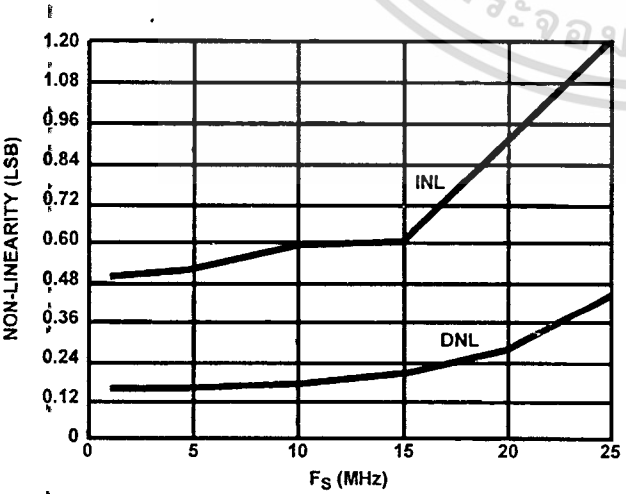


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

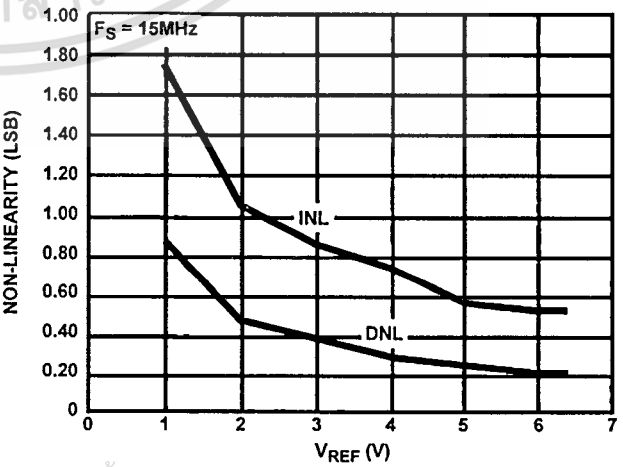


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

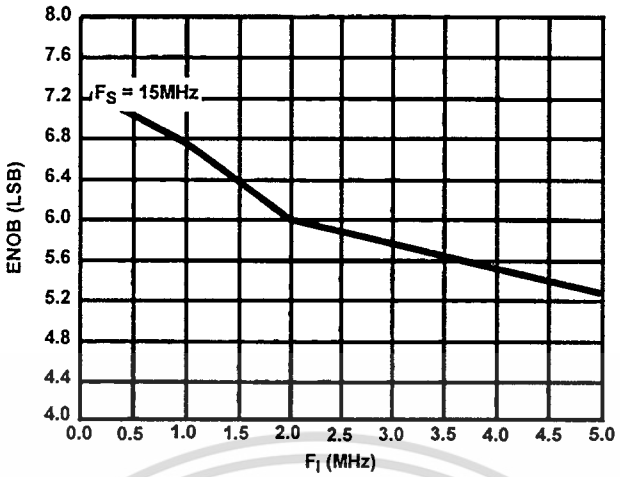


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low, See Truth Table.	
14	CE1	Tri-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF}$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n.
V_{REF} = voltage across V_{REF}- to V_{REF}+
N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 \cdot (V_{REF}/256)$$
$$= V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

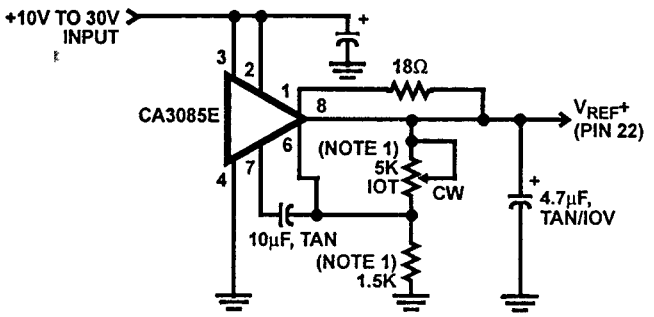
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

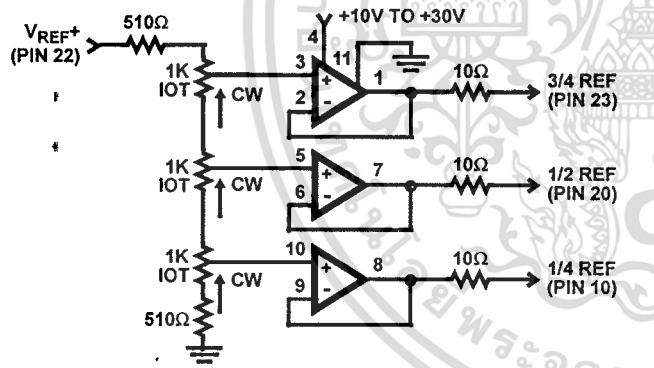


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF}+ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

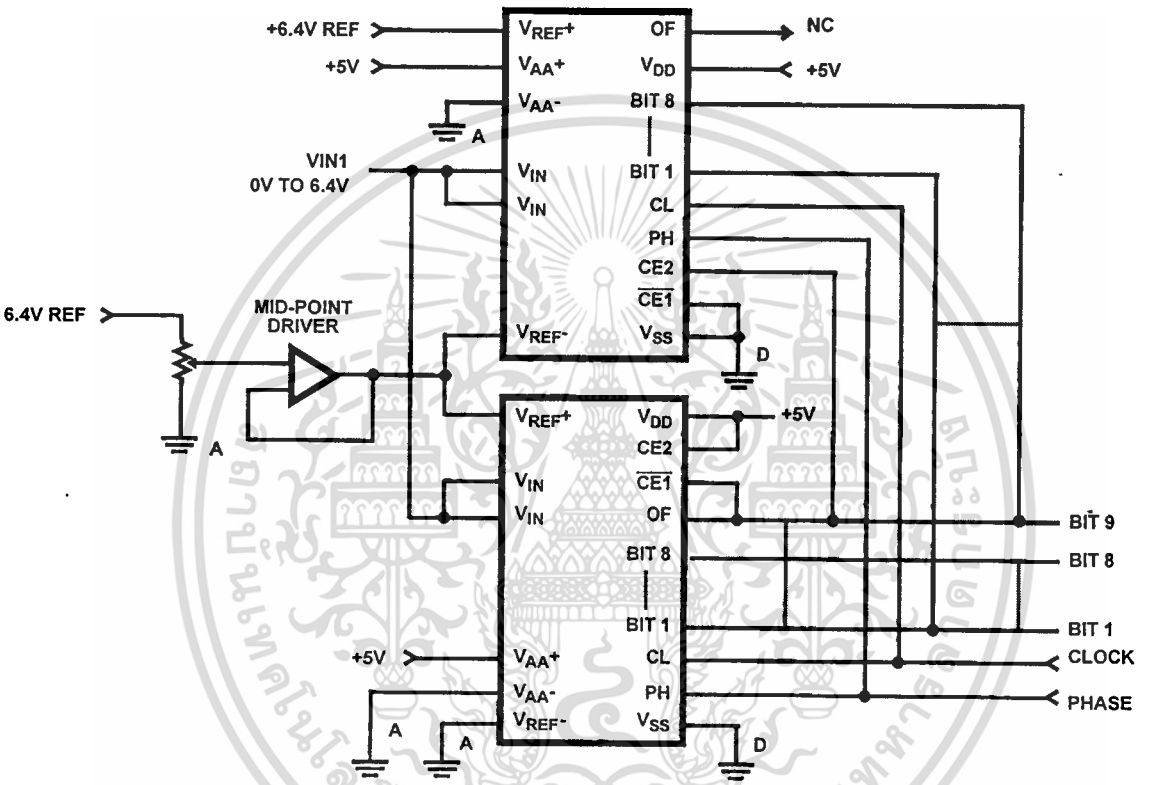


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

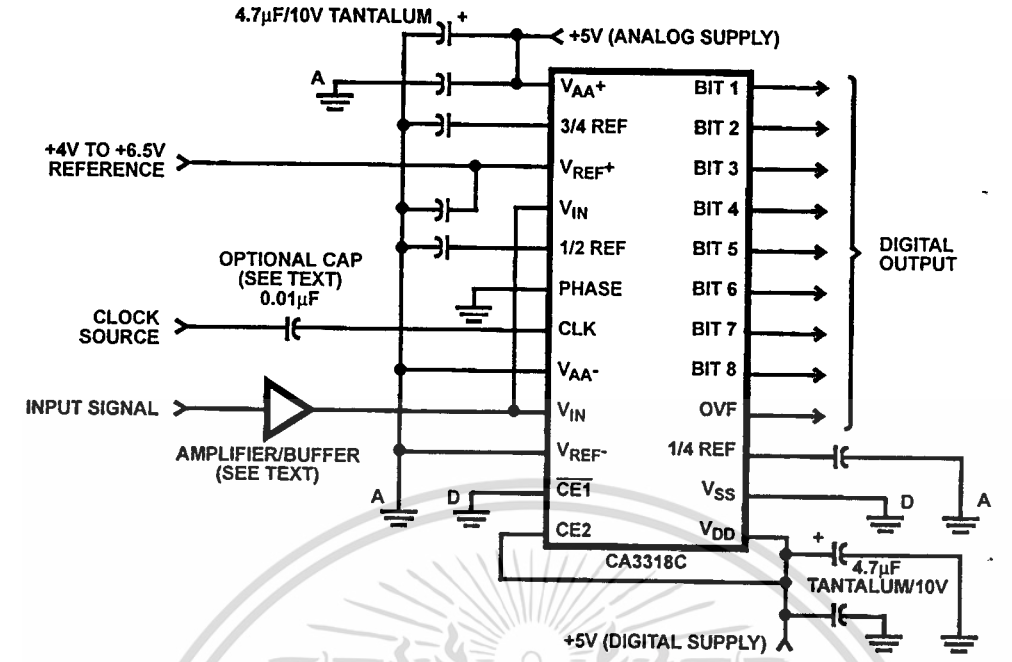


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

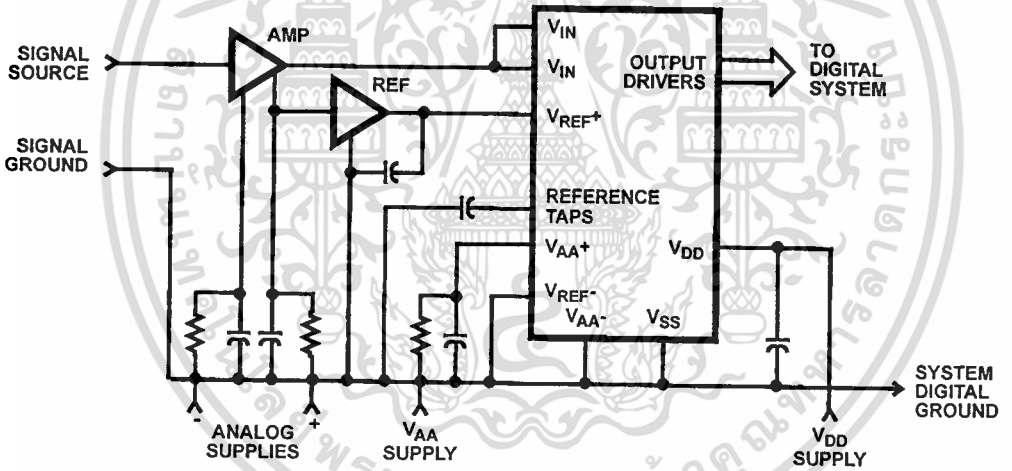
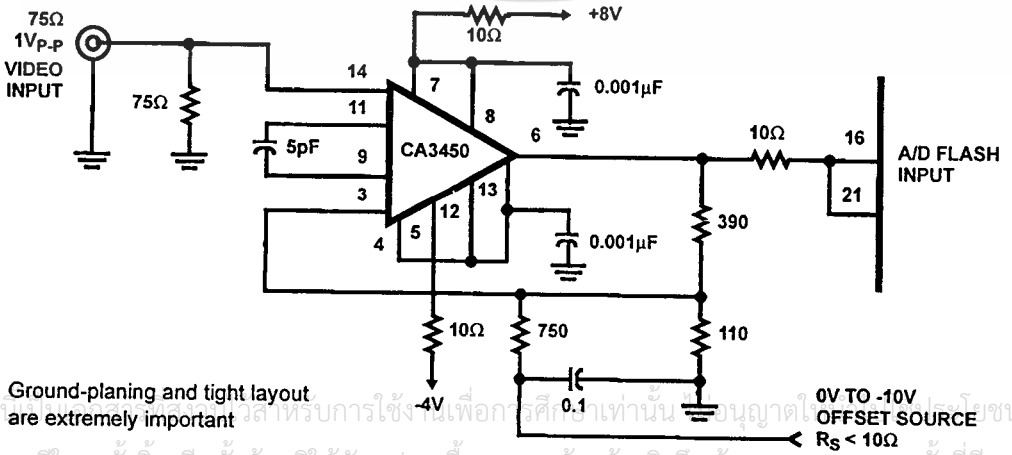


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a 1 V_{P-P} swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Harris Semiconductor

APP NOTE

No. AN6157.1 April 1994

Harris Intelligent Power

APPLICATIONS OF THE CA3085 SERIES MONOLITHIC IC VOLTAGE REGULATORS

Authors: A.C.N. Sheng and L.R. Avery

The Harris CA3085, CA3085A, and CA3085B monolithic IC's are positive-voltage regulators capable of providing output currents up to 100mA over the temperature range from -55°C to +125°C. They are supplied in 8 lead TO-5 type packages. The following tabulation shows some key characteristics and salient differences between devices in the CA3085 Series.

TYPE	V_{IN} (V_I) RANGE (V)	V_{OUT} (V_O) RANGE (V)	MAX. I_{OUT} (I_O) (mA)	MAX LOAD REGULATION (% V_O)
CA3085	7.5 - 30	1.8 - 26	12*	0.1
CA3085A	7.5 - 40	1.7 - 36	100	0.15
CA3085B	7.5 - 50	1.7 - 46	100	0.15

*This value may be extended to 100mA; however, regulation is not specified beyond 12mA.

In addition to these differences, the range of some specified performance parameters is more tightly controlled in the CA3085B than in the CA3085A, and more in the CA3085A than in the CA3085.

This note describes the basic circuit of the CA3085 series devices and some typical applications that include a high current regulator, constant current regulations, a switching regulator, a negative-voltage regulator, a dual-tracking regulator, high-voltage regulators, and various methods of providing current limiting, A circuit in which the CA3085 is used as a general-purpose amplifier is also shown.

Circuit Description

The block diagram of the CA3085 series circuits is shown in Figure 1. Fundamentally, the circuit consists of a frequency compensated error-amplifier which compares an internally generated reference voltage with a sample of the output voltage and controls a series-pass amplifier to regulate the output. The starting circuit assures stable latch-in of the voltage-reference circuitry. The current-limiting portion of the circuit is an optional feature that protects the IC in the event of overload.

Terminal 5 provides a source of stable reference voltage for auxiliary use; a current of about 250µA can be supplied to an external circuit without significantly disturbing reference-voltage stability. If necessary, filtering of the inherent noise of the reference-voltage circuit can be accomplished by connecting a suitable bypass capacitor between terminals 5 and 4.

Terminal 6 (the "inverting input" in accordance with operational-amplifier terminology) is the input through which a sample of the regulated output voltage is applied.

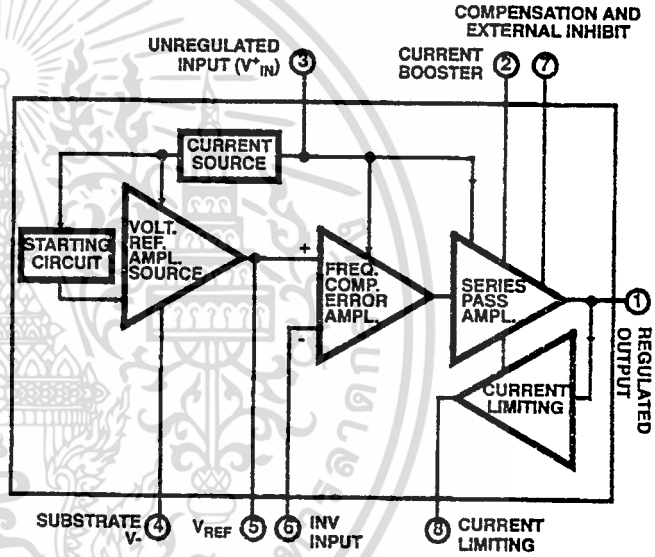


FIGURE 1. BLOCK DIAGRAM OF CA3085 SERIES

The collector of the series-pass output transistor is brought out separately at terminal 2 ("current booster") to provide base drive for an external p-n-p transistor; this approach is one method of regulating currents greater than 100mA.

Because the voltage regulator is essentially an operational amplifier having considerable feedback, frequency compensation is necessary in some circuits to prevent oscillations. Terminal 7 is provided for if external frequency compensation is necessary. Terminal 7 can also be used to "inhibit" (strobe, squelch, pulse, key) the operation of the series-pass amplifier.

Brief Description of CA3085 Schematic Diagram

The schematic diagram of the CA3085 series circuits is shown in Figure 2. The left-hand section includes the starting circuit, the voltage reference circuit, and the constant-current circuit. The center section is basically an elementary operational amplifier which serves as the voltage-error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Copyright © Harris Corporation 1992

amplifier controlling the series-pass. Darlington pair (Q13, Q14) shown in the right-hand section when controlled by an appropriate external sensing network, transistor Q15, serves to provide protective current-limiting characteristics by diverting base drive from the series pass circuit. For operation at the highest current levels, terminals 2 and 3 are tied together to eliminate the voltage drop which would otherwise be developed across resistor R5.

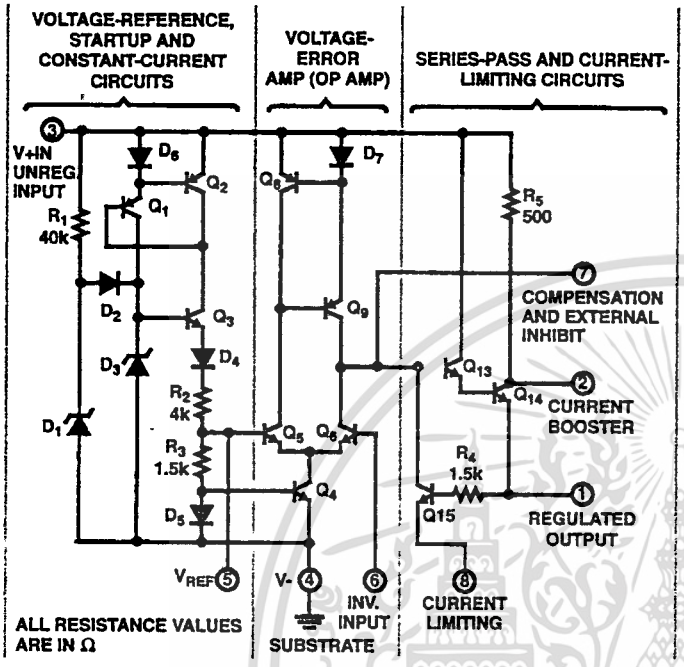


FIGURE 2. SCHEMATIC DIAGRAM OF CA3085 SERIES

Voltage Reference Circuits

The basic voltage referenced element used in the CA3085 is zener diode D3. It provides a nominal reference voltage of 5.5V and exhibits a positive temperature coefficient of approximately 2.5mV/°C. If this reference voltage were used directly in conjunction with the error-amplifier (Q5, Q6, etc.), the IC would exhibit two major undesirable characteristics: (1) its performance with temperature variations would be poor, and (2) its use as a regulator would be restricted to circuits in which the minimum regulated output voltages are in excess of 5.5V. Consequently, it is necessary to provide means of compensating for the positive temperature coefficient of D3 and at the same time provide for obtaining a stable source of lower reference voltage. Both temperature compensation and the reduction of the reference voltage are accomplished by means of the series divider network consisting of the base-emitter junction of Q3, diode D4, resistors R2 and R3, and diode 5.

The voltage developed across D3 drives the divider network and a voltage of approximately 4V is developed between the cathode of D4 and the cathode of D5 (terminal 4). The current through this divider network is held nearly constant with temperature because of the combined temperature coefficients of the zener diode (D3), Q3 base-emitter junction, D4, D5, and the resistors R2 and R3. This constant current through the diode D5 and the resistor R3 produces a voltage drop between terminals 4 and 5 that results in the reference voltage (≈ 1.6V) having an effective temperature coefficient of about 0.0035%/°C.

The reference diode D3 receives a currant of approximately 620µA from a constant-current circuit consisting of Q3 and the current-mirror* D6, Q1, and Q2. Current to start-up the constant-current source initially is provided by auxiliary zener diode D1 and R1. Diode D2 blocks current from the R1-D1 source after latch-in of the constant-current source establishes a stable reference potential, and thereby prevents modulation of the reference voltage by ripple voltage on the unregulated input voltage.

Voltage-Error Amplifier

Transistors Q5 and Q6 comprise the basic differential amplifier that is used as a voltage-error amplifier to compare the stable reference voltage applied at the base of Q5 with a sample of the regulator output voltage applied at terminal 6. The D5-Q4 combination is a current-mirror which maintains essentially constant-current flow to Q5 and Q6 despite variations in the unregulated input voltage. The Q8, Q9, and D7 network provides a "mirrored" active collector load for Q5 and Q6 and also provides a variable single-ended drive to the Q13 and Q14 series-pass transistors in accordance with the difference signal developed between the bases of Q5 and Q6. The open-loop gain of the error-amplifier is greater than 1000.

Series-Pass and Current-Limiting Circuits

In the normal mode of operation, or in the current-boost mode when terminals 2 and 3 are tied together, the Darlington pair Q13-Q14 performs the basic series-pass regulating function between the unregulated input voltage and the regulated output voltage at terminal 1. In the current-limiting mode transistor Q15 provides current-limiting to protect the CA3085 and/or limit the load current. To provide current-limiting protection, a resistor (e.g., 5Ω) is connected between terminals 1 and 8; terminal 8 becomes the source of regulated output voltage. As the voltage drop across this resistor increases, base drive is supplied to transistor Q15 so that it becomes increasingly conductive and diverts base drive from the Q13-Q14 pass transistor to reduce output current accordingly. Resistor R4 is provided to protect Q15 against overdrive by limiting its base current under transient and load-short conditions.

Because the CA3085 regulator is essentially an op-amp having considerable feedback, frequency compensation may be required to prevent oscillations. Stability must also be maintained despite line and load transients, even during operation into reactive loads (e.g., filter capacitors). Provisions are included in the CA3085 so that a small-value capacitor may be connected between terminals 6 and 7 to compensate the regulator, when necessary, by "rolling-off" the amplifier frequency-response. Terminal 7 is also used to externally "inhibit" operation of the CA3085 by diverting base current supplied to Q13-Q14, thereby permitting the use of keying, strobing, programming, and/or auxiliary overload-protection circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

A Simple Voltage Regulator

Figure 3 shows the schematic diagram of a simple regulated power supply using the CA3085. The ac supply voltage is stepped down by T1, full-wave rectified by the diode bridge circuit, and smoothed by the large electrolytic capacitor C1 to provide unregulated dc to the CA3085 regulator circuit. Frequency compensation of the error-amplifier is provided by capacitor C2. Capacitor C3 bypasses residual noise in the reference-voltage source, and thus decreases the incremental noise-voltage in the regulator circuit output.

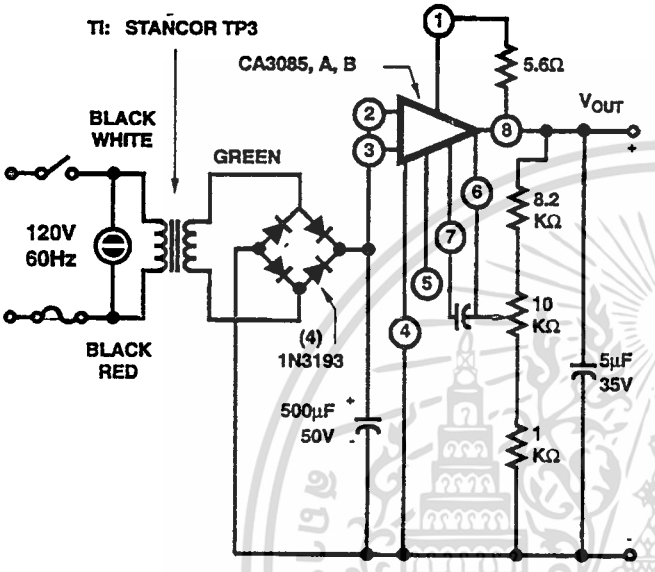


FIGURE 3. BASIC POWER SUPPLY

Because the open-loop gain of the error-amplifier is very high (greater than 1000), the output voltage may be directly calculated from the following expression:

$$V_O \approx \frac{(R2 + R1)}{R1} V_{REF} \qquad \text{(EQ. 1)}$$

In the circuit shown in Figure 3, the output voltage can be adjusted from 1.8V to 20V by varying R2. The maximum output current is determined by R_{SC}; load-regulation characteristics for various values of R_{SC} are shown in Figure 4.

When this circuit is used to provide high output currents at low output voltages, care must be exercised to avoid excessive IC dissipation. In the circuit of Figure 3, this dissipation control can be accomplished by increasing the primary-to-secondary transformer ratio (a reduction in V_I) or by using a dropping resistor between the rectifier and the CA3085 regulator. Figure 5 gives data on dissipation limitation ($V_I - V_O$ vs. I_O) for CA3085 series circuits. The short-circuit current is determined as follows:

$$I_{SC} = \frac{V_{BE}}{R_{SC}} \approx \frac{0.7}{R_{SC}} \text{ amperes} \qquad \text{(EQ. 2)}$$

The line-and-load regulation characteristics for the circuit shown in Figure 3 are approximately 0.05 percent of the output voltage.

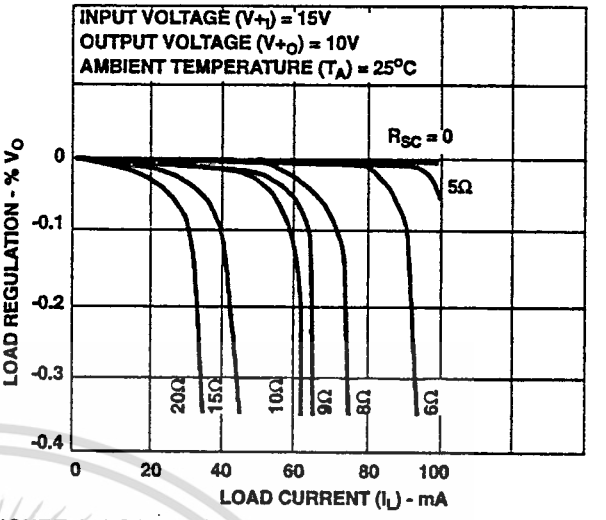


FIGURE 4. LOAD REGULATION CHARACTERISTICS FOR CIRCUIT OF FIGURE 3

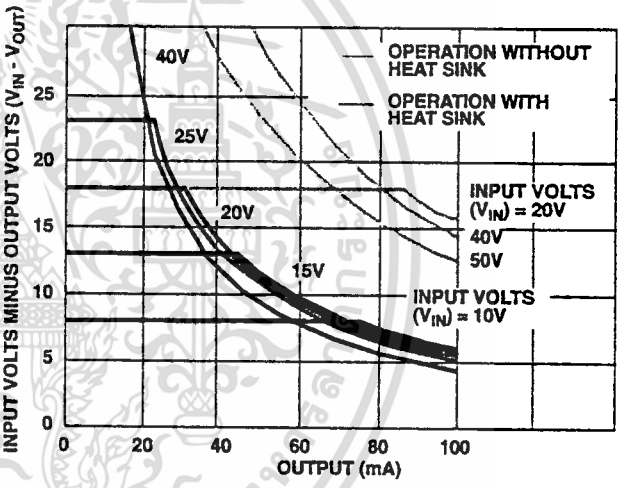


FIGURE 5. DISSIPATION LIMITATION ($V_I - V_O$ vs I_O) FOR CA3085 SERIES CIRCUITS

High-Current Voltage Regulator

When regulated voltages at currents greater than 100mA are required, the CA3085 can be used in conjunction with an external n-p-n pass transistor as shown in the circuits of Figure 6. In these circuits the output current available from the regulator is increased in accordance with the h_{FE} of the external n-p-n pass transistor. Output currents up to 8A can be regulated with these circuits. A Darlington power transistor can be substituted for the 2N5497 transistor when currents greater than 8A are to be regulated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น มีข้อห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

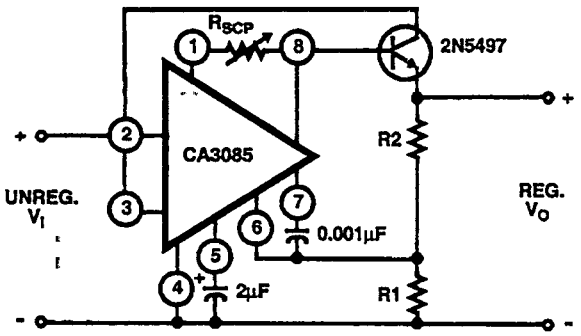


FIGURE 6A. WITH SIMPLIFIED SHORT-CIRCUIT PROTECTION

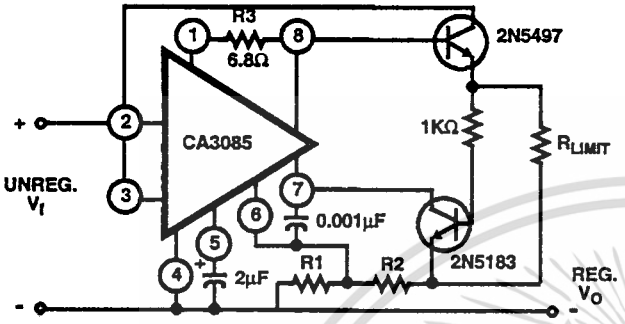


FIGURE 6B. WITH AUXILLIARY SHORT-CIRCUIT PROTECTION

FIGURE 6. HIGH-CURRENT VOLTAGE REGULATOR USING n-p-n PASS TRANSISTOR

A simplified method of short circuit protection is used in connection with the circuit of Figure 6A. The variable resistor R_{SCP} serves two purposes: 1) it can be adjusted to optimize the base drive requirements (h_{FE}) of the particular 2N5497 transistor being used, and 2) in the event of a short circuit in the regulated output voltage the base drive current in the 2N5497 will increase, thereby increasing the voltage drop across R_{SCP}. As this voltage drop increases the short circuit protection system within the CA3085 correspondingly reduces the output current available at terminal 8, as described previously. It should be noted that the degree of short circuit protection depends on the value of R_{SCP}, i.e., design compromise is required in choosing the value of R_{SCP} to provide the desired base drive for the 2N5497 while maintaining the desired short circuit protection. Figure 6B shows an alternate circuit in which an additional transistor (2N2102) and two resistors have been added as an auxiliary short circuit protection feature. Resistor R3 is used to establish the desired base drive for the 2N5497, as described above. Resistor R_{LIMIT} now controls the short circuit output current because, in the event of a short circuit, the voltage drop developed across its terminals increases sufficiently to increase the base drive to the 2N2102 transistor. This increase in base drive results in reduced output from the CA3085 because collector current flow in the 2N2102 diverts base drive from the Darlington output stage of the CA3085 (see Figure 2) through terminal 7. The load regulation of this circuit is typically 0.025 per cent with 0 to 3A load-current variation; line regulation is typically 0.025%/V change in input voltage.

Voltage Regulator with Low V_I - V_O Difference

In the voltage regulators described in the previous section, it is necessary to maintain a minimum difference of about 4V between the input and output voltages. In some applications this requirement is prohibitive. The circuit shown in Figure 7 can deliver an output current in the order of 2A with a V_I - V_O difference of only one volt.

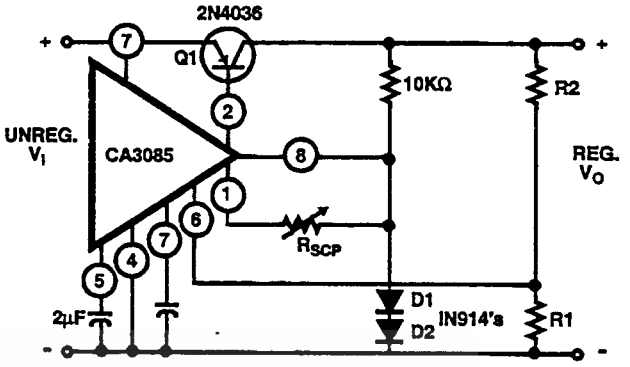


FIGURE 7. VOLTAGE REGULATOR FOR LOW V_I - V_O DIFFERENCE

It employs a single external p-n-p transistor having its base and emitter connected to terminals 2 and 3, respectively, of the CA3085. In this circuit, the emitter of the output transistor (Q14 in Figure 2) in the CA3085 is returned to the negative supply rail through an external resistor (R_{SCP}) and two series-connected diodes (D1, D2). These forward biased diodes maintain Q6 in the CA3085 within linear-mode operation. The choice of resistors R1 and R2 is made in accordance with Equation 1. Adequate frequency compensation for this circuit is provided by the 0.01µF capacitor connected between terminal 7 of the CA3085 and the negative supply rail.

Figure 8 which shows the output impedance of the circuit of Figure 7 as a function of frequency, illustrates the excellent ripple-rejection characteristics of this circuit at frequencies below 1kHz. Lower output impedances at the higher frequencies can be provided by connecting an appropriate capacitor across the output voltage terminals. The addition of a capacitor will, however, degrade the ability of the system to react to transient-load conditions.

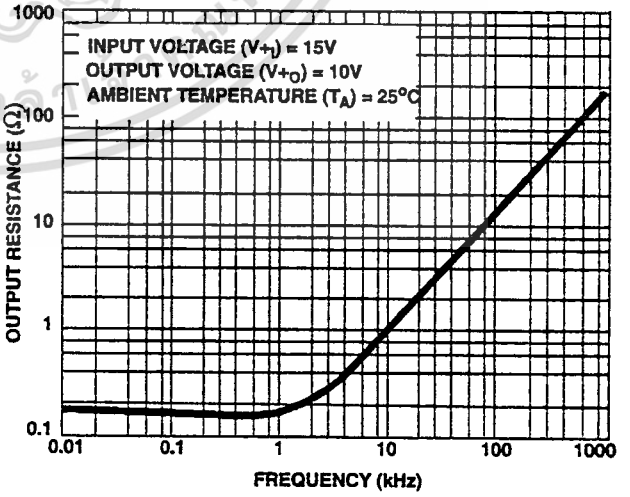


FIGURE 8. OUTPUT RESISTANCE vs FREQUENCY FOR CIRCUIT OF FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Voltage Regulator

Figure 9 shows a circuit that uses the CA3085 as a voltage reference and regulator control device for high-voltage power supplies in which the voltages to be regulated are well above the input-voltage ratings of the CA3085 series circuits. The external transistors Q1 and Q2 require voltage ratings in excess of the maximum input voltage to be regulated, Series-pass transistor Q2 is controlled by the collector current of Q1, which in turn is controlled by the normally regulated current output supplied by the CA3085. The input voltage for the CA3085 regulator at terminal 3 is supplied through dropping resistor R3 and the clamping zener diode D1. The values for resistor R1 and R2 are determined in accordance with Equation 1.

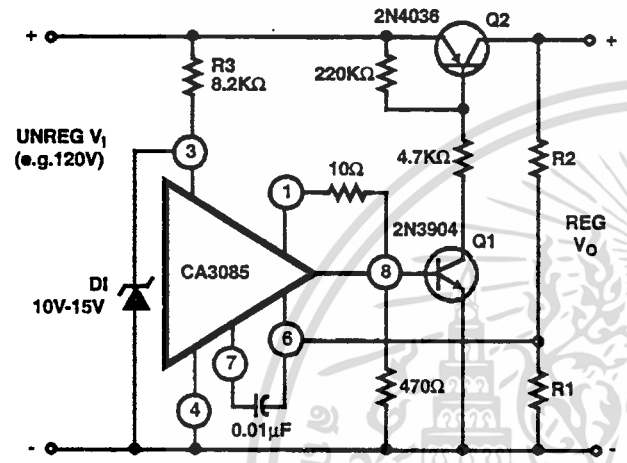


FIGURE 9. HIGH VOLTAGE REGULATOR

Negative Voltage Regulator

The CA3085 is used as a negative-supply voltage regulator in the circuit shown in Figure 10. Transistor Q3 is the series pass transistor. It should be noted that the CA3085 is effectively connected across the load side of the regulated system. Diode D1 is used initially in a "circuit-starter" function; transistor Q2 "latches" D1 out of its starter-circuit function so that the CA3085 can assume its role in controlling the pass transistor Q3 by means of Q1.

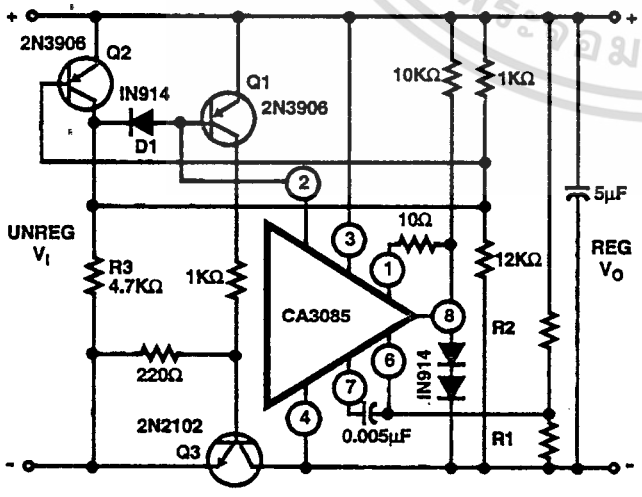


FIGURE 10. NEGATIVE VOLTAGE REGULATOR

Operation of the circuit is as follows: current through R3 and D1 provides base drive for Q1, which in turn provides base drive for the pass-transistor Q3. By this means operating potential for the CA3085 is developed between the collector of Q3 (terminal 4 of the CA3085) and the positive supply-rail (terminal 3 of the CA3085). When the output voltage has risen sufficiently to maintain operation of the CA3085 (approx. 7.5V), transistor Q2 is driven into conduction by the base drive supplied from the 1KΩ-12KΩ voltage divider. As Q2 becomes conductive, it diverts the base drive being supplied to Q1 through the R3-D1 path, and diode D1 ceases to conduct. Under these conditions, base-current drive to Q1 through terminal 2 of the CA3085 regulates the base drive to Q3. Values of R1 and R2 are determined in accordance with Equation 1.

The circuit shown in Figure 11 is similar to that of Figure 10, except for the addition of a constant-current limiting circuit consisting of transistor Q4, a 1KΩ resistor, and resistor R_{SCP}. When the load current increases above a particular design value, the corresponding increase in the voltage drop across resistor R_{SCP} provides additional base drive to transistor Q4. Thus, as transistor Q4 becomes increasingly conductive, its collector current diverts sufficient base drive from Q3 to limit the current in the pass transistor feeding the regulated load. With the types of transistors shown in Figures 10 and 11, maximum currents in the order of 5A can be regulated.

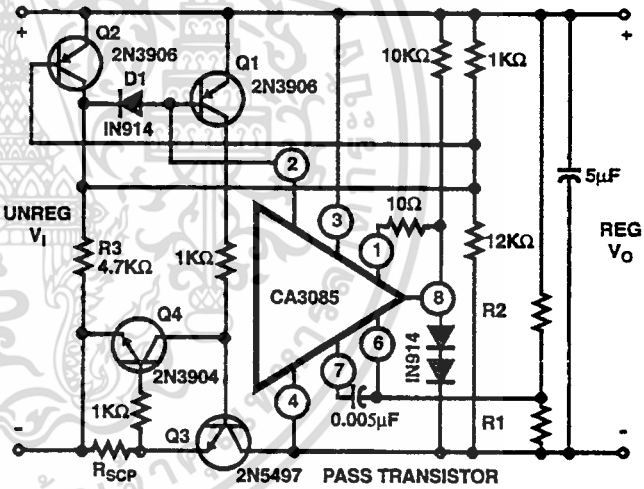


FIGURE 11. NEGATIVE VOLTAGE REGULATOR WITH CONSTANT CURRENT LIMITING CIRCUIT

High-Output-Current Voltage Regulator With "Foldback" Current-Limiting (Also known as "Switch-Back" Current-Limiting)

In high-current voltage regulators employing constant current limiting (e.g., Figures 6 and 7), it is possible to develop excessive dissipation in the series-pass transistor when a short circuit develops across the output terminals. This situation can be avoided by the use of the "foldback" current-limiting circuitry as shown in Figure 12. In this circuit, terminal 8 of the CA3085 senses the output voltage, and terminal 1 is tied to a tap on a voltage-divider network connected between the emitter of the pass-transistor (Q3) and ground. The current-foldback trip-point is established by the value of resistor R_{SC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

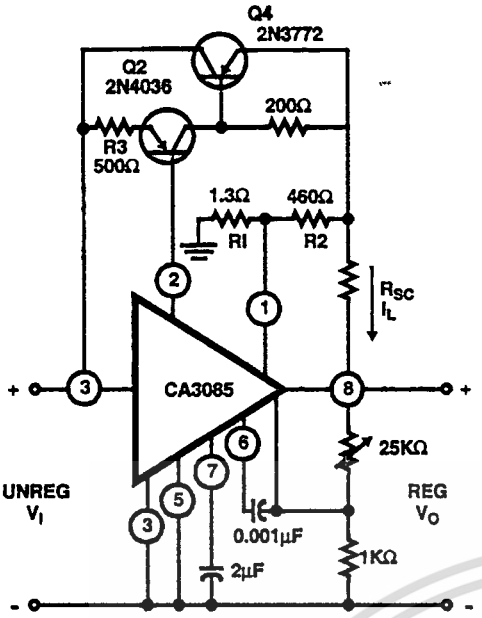


FIGURE 12. HIGH OUTPUT CURRENT VOLTAGE REGULATOR WITH "FOLDBACK" CURRENT LIMITING

The protective tripping action is accomplished by forward-biasing Q15 in the CA3085 (see Figure 2). Conditions for tripping circuit operation are defined by the following expressions:

$$V_{BE(Q15)} = \text{(voltage at terminal 1) - (output voltage)}$$

$$= \left[(V_O + I_L R_{SC}) \frac{R1}{R1 + R2}\right] - V_O \qquad \text{(EQ. 3)}$$

$$\text{If } \frac{R1}{R1 + R2} = K, \text{ then}$$

$$V_{SE(Q15)} = (V_O + I_L R_{SC})\,K - V_O = KV_O + KI_L R_{SC} - V_O$$

and therefore

$$R_{SC} = \frac{V_O + V_{BE(Q15)} - KV_O}{KI_L} \qquad \text{(EQ. 4)}$$

Under load short-circuit conditions, terminal 8 is forced to ground potential and current flows from the emitter of Q14 in the CA3085, establishing terminal 1 at one V_{SE}-drop [≅0.7V] above ground and Q15 in a partially conducting state. The current through Q14 necessary to establish this one V_{SE} condition is the sum of currents flowing to ground through R1 and [R2 + R_{SC}]. Normally R_{SC} is much smaller than R2 and can be ignored; therefore, the equivalent resistance R_{eq} to ground is the parallel combination of R1 and R2.

The Q14 current is then given by:

$$I_{Q14} = \frac{V_{BE(Q15)}}{R_{EQ}} = \frac{V_{BE(Q15)}}{\frac{R1R2}{R1 + R2}} = \frac{0.7\,[1.3 + 0.46]}{1.3 \times 0.46} \quad 2.06\text{mA} \qquad \text{(EQ. 5)}$$

This current provides a voltage between terminals 2 and 3 as follows: Ω

$$V_{2\text{-}3} = I_{Q14} \times 250\Omega = 2.06 \times 10^{-3} \times 250 = 0.515\text{V} \qquad \text{(EQ. 6)}$$

The effective resistance between terminals 2 and 3 is 250Ω because the external 500Ω resistor R3 is in parallel with the internal 500Ω resistor R5. It should be understood that the $V_{2\text{-}3}$ potential of 0.515V is insufficient to maintain the external p-n-p transistor Q2 in conduction, and, therefore, Q3 has no base drive. Thus the output current is reduced to zero by the protective circuitry. Figure 13 shows the foldback characteristic typical of the circuit of Figure 12.

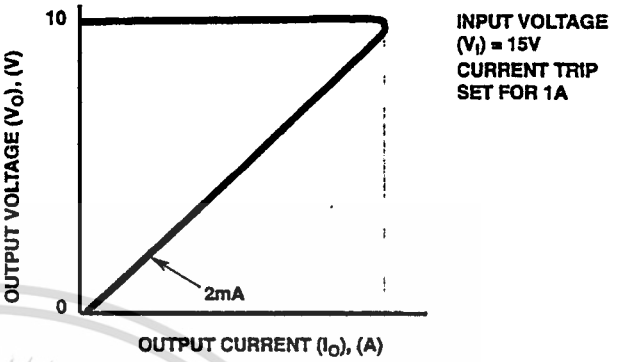


FIGURE 13. TYPICAL "FOLDBACK" CURRENT-LIMITING CHARACTERISTIC FOR CIRCUIT OF FIGURE 12

An alternative method of providing "foldback" current-limiting is shown in Figure 14. The operation of this circuit is similar to that of Figure 12 except that the foldback-control transistor Q2 is external to the CA3085 to permit added flexibility in protection-circuit design.

Under low load conditions Q2 is effectively reverse-biased by a small amount, depending upon the values of R3 and R4. As the small amount, depending upon the values of R3 and R4. As the load current increases the voltage drop across R_{trip} increases, thereby raising the voltage at the base of Q1, and Q2 starts to conduct. As Q2 becomes increasingly conductive it diverts base current from transistors Q13 and Q14 in the CA3085, and thus reduces base drive to the external pass-transistor Q1 with a consequent reduction in the output voltage. The point at which current-limiting occurs, I_{trip}, is calculated as follows:

$V_{BE(Q1)}$ = voltage at terminal 8 - V_O (assuming a low value for R_{TRIP})

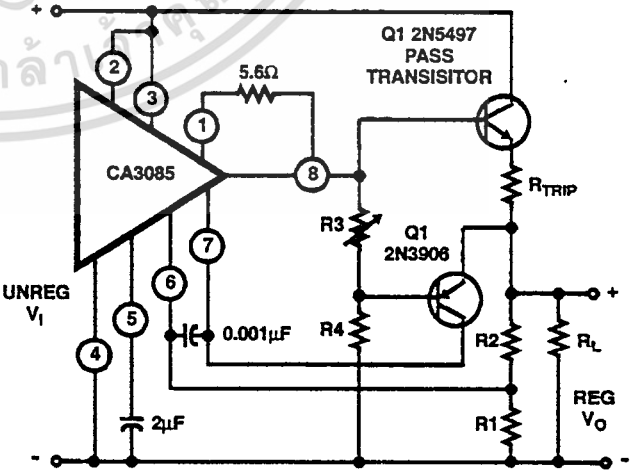


FIGURE 14. HIGH-OUTPUT-CURRENT VOLTAGE REGULATOR USING AUXILIARY TRANSISTOR TO PROVIDE "FOLDBACK" CURRENT LIMITING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{BE(Q2)} = \text{voltage at terminal 8} \left(\frac{R4}{R3 + R4} \right) - V_O$$

$$= \left[V_O + I_L R_{TRIP} + V_{BE(Q1)} \right] \left[\frac{R4}{R3 + R4} \right] - V_O$$

If $K \triangleq \frac{R4}{R3 + R4}$, then the trip current is given by:

$$I_{trip} = \frac{V_{BE(Q2)} - K[V_O + V_{BE(Q1)}] + V_O}{KR_{TRIP}} \quad \text{(EQ. 7)}$$

In the circuit in Figure 12 the load current goes to zero when a short circuit occurs. In the circuit of Figure 14 the load current is significantly reduced but does not go to zero. The value for I_{SC} is computed as follows:

$$V_{BE(Q2)} + \left[\frac{V_{BE(Q2)}}{R2} + I_{B(Q2)} \right] R1 = V_{BE(Q1)} + I_{SC} R_{TRIP}$$

$$V_{BE(Q2)} + \left[\frac{V_{BE(Q2)}}{R2} + I_{B(Q2)} \right] R1 = V_{BE(Q1)}$$

$$I_{SC} = \frac{\qquad}{R_{TRIP}} \quad \text{(EQ. 8)}$$

Figure 15 shows that the transfer characteristic of the load current is essentially linear between the "trip-point" and the "short-circuit" point.

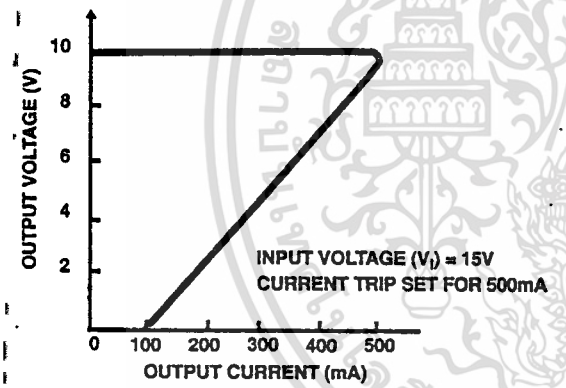


FIGURE 15. TYPICAL FOLDBACK CURRENT-LIMITING CHARACTERISTIC FOR CIRCUIT OF FIGURE 14

High-Voltage Regulator Employing Current "Snap-Back" Protection

In high-voltage regulators (e.g., see Figure 9), "foldback" current-limiting cannot be used safely because the high voltage across the pass transistor can cause second breakdown despite the reduction in current flow. To adequately protect the pass transistor in this type of high-voltage regulator, the so-called "snap-back" method of current limiting can be employed to reduce the current to zero in a few microseconds, and thus prevent second-breakdown destruction of the device.

The circuit diagram of a high-voltage regulator employing current "snap-back" protection is shown in Figure 16. The basic regulator circuit is similar to that shown in Figure 9.

The additional circuitry in the circuit of Figure 16 quickly interrupts base drive to the pass transistor in event of load fault. The point of current-trip is established as follows:

$$I_{trip} = \frac{V_{BE(Q1)}}{R_{SC}} \quad \text{(EQ. 9)}$$

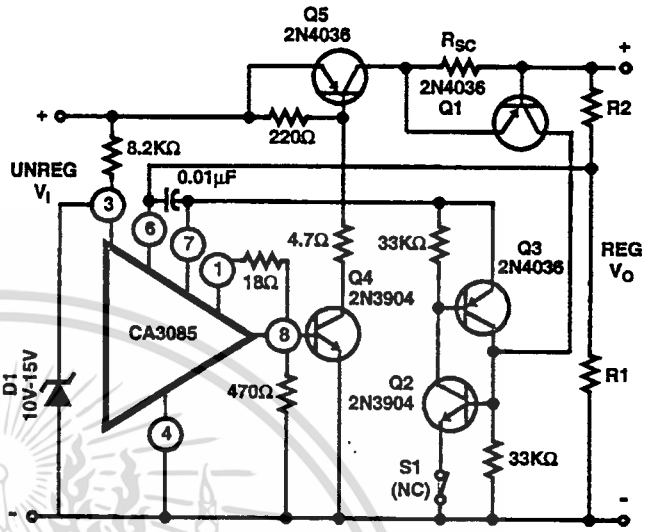


FIGURE 16. HIGH-VOLTAGE REGULATOR INCORPORATING CURRENT "SNAP-BACK" PROTECTION

Thus, when a sufficient voltage drop is developed across R_{SC}, transistor Q1 becomes conductive and current flows into the base of Q2 so that it also becomes conductive. Transistor Q3, in turn, is driven into conduction, thereby latching the Q2-Q3 combination (basic SCR action) so that it diverts (through terminal 7) base drive from the output stage (Q13, Q14) in the CA3085. By this means, base drive is diverted from Q4 and the pass transistor Q5. To restore regulator operation, normally closed switch S1 is momentarily opened and unlatches Q2-Q3.

Switching Regulator

When large input-to-output voltage differences are necessary, the regulators described above are inefficient because they dissipate significant power in the series-pass transistor. Under these conditions, high-efficiency operation can be achieved by using a switching-type regulator of the generic type shown in Figure 17A. Transistor Q1 acts as a keyed switch and operates in either a saturated or cut-off condition to minimize dissipation. When transistor Q1 is conductive, diode D1 is reversed-biased and current in the inductance L1 increases in accordance with the following relationship:

$$i_L = \frac{1}{L} \int_{t_0}^{t_1} V dt \quad \text{(EQ. 10)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

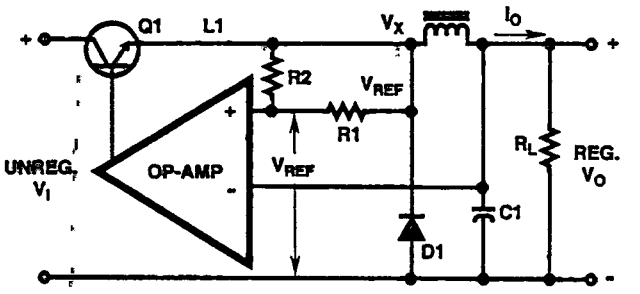


FIGURE 17A. SELF-OSCILLATING SWITCHING REGULATOR

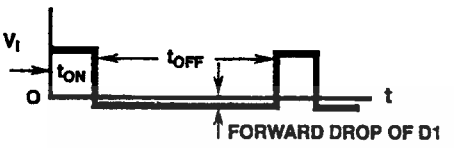


FIGURE 17B. VOLTAGE AT POINT V_X

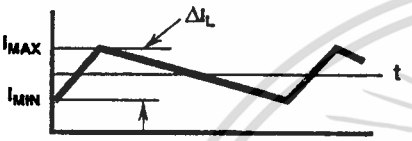


FIGURE 17C. INDUCTOR CURRENT I_{LI}

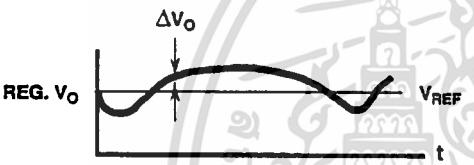


FIGURE 17D. OUTPUT VOLTAGE

FIGURE 17. SWITCHING REGULATOR AND ASSOCIATED WAVEFORMS

Where V is the voltage across the inductance L1. The current through the inductance charges the capacitor C1 and supplies current to the load. The output voltage rises until it slightly exceeds the reference voltage V_{ref}. At this point the op-amp removes base drive to Q1 and the unregulated input voltage V1 is "switched off". The energy stored in the inductor L1 now causes the voltage at V_x to swing in the negative direction and current flows through diode D1, while continuing to supply current into the load R_L. As the current in the inductor falls below the load current, the capacitor C1 begins to discharge and V_O decreases. When V_O falls slightly below the value of V_{REF}, the op-amp turns on Q1 and the cycle is repeated. It should be apparent that the output voltage oscillates about V_{REF} with an amplitude determined by R1 and R2. Actually, the value of V_{REF} varies from being slightly more positive than V_{REF} when Q1 is conducting, to being slightly more negative than V_{REF} when D1 is conducting. The voltage and current waveforms are shown in Figure 17B, C, and D.

Design Example

The following specifications are used in decomputations for a switching regulator:

V_I = 30V, V_O = 5V, I_O = 500mA,
switching frequency = 20kHz,
output ripple = 100mV

If it is assumed that transistor Q1 is in steady-state saturated operation with a low voltage-drop, the current in the inductor is given by Eq.10, as follows:

$$i_L = \frac{1}{L}\int_{t_0}^{t1} V dt = \left(\frac{V_I - V_O}{L_1}\right) t_{ON} \qquad \text{(EQ. 11)}$$

When transistor Q1 is off, the current in the inductor is given by:

$$i_L \cong \frac{(V_O + V_{D1})\, t_{OFF}}{L1} \qquad \text{(EQ. 12)}$$

From Equation 11,

$$L_1 = \frac{(V_I - V_O)}{i_L} \cdot \frac{1}{f} \cdot \frac{V_O}{V_I} \qquad \text{(EQ. 13)}$$

If i_{max} is 1.3 I_L, then during t_{on} the current in the inductor (i_L) will be 0.5A x 1.3 = 0.65A; therefore, Δi_L = 0.15A.

Substitution in Equation 13 yields

$$L_1 = \frac{(30 - 5)}{0.15} \cdot \frac{1}{(20 \times 10^3)} \cdot \frac{5}{30} \cdot \quad 1.4\text{mH} \qquad \text{(EQ. 14)}$$

Current discharge from the capacitor C1 is given by:

$$i_C = C\frac{dv}{dt}$$

$$\text{Thus, } \Delta i_C = C\frac{\Delta v}{\Delta t} \quad \text{or } C = \frac{\Delta_{IC}\, \Delta t}{\Delta v}$$

Since $i_C = i_L$ and $\Delta t = t_{OFF}$, then

$$C = \frac{\Delta i_L\, t_{OFF}}{\Delta v} \qquad \text{(EQ. 15)}$$

Substitution for the value of iL from Equation 13 yields

$$C = \frac{\left(\frac{V_I - V_O}{L1}\right) \cdot \frac{1}{f} \cdot \left(\frac{V_O}{V_I}\right) \cdot t_{OFF}}{\Delta v} \qquad \text{(EQ. 16)}$$

The total period $T = t_{OFF} + t_{ON}$, and $T = \frac{1}{f}$ Therefore,

$$t_{OFF} = \frac{1}{f} - t_{ON} \qquad \text{(EQ. 17)}$$

For optimum efficiency t_{on} should be

$$\cong \left(\frac{V_O}{V_I}\right) T \cong \left(\frac{V_O}{V_I}\right) \frac{1}{f} \qquad \text{(EQ. 18)}$$

Substitution for t_{on} in Equation 18 yields

$$t_{OFF} = \frac{1}{f} - \left(\frac{V_O}{V_I}\right)\frac{1}{f} = \frac{1}{f}\left(1 - \frac{V_O}{V_I}\right) \qquad \text{(EQ. 19)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Substitution for t_{on} in Equation 16 yields

$$C = \frac{\frac{(V_I - V_O)}{L_1} \cdot \frac{1}{f} \cdot \frac{V_O}{V_I} \cdot \frac{1}{f} \cdot \left(1 - \frac{V_O}{V_I}\right)}{\Delta v} \qquad \text{(EQ. 20)}$$

Substitution of numerical values in Equation 20 produces the following value for C:

$$C = \frac{\frac{30 - 5}{1.4 \times 10^{-3}} \cdot \frac{1}{20 \times 10^{3}} \cdot \frac{5}{30} \cdot \frac{1}{20 \times 10^{3}} \cdot \left(1 - \frac{5}{30}\right)}{10^{-1}} = 63\mu F$$

A switching-regulator circuit using the CA3085 is shown in Figure 18. The values of L and C (1.5mH and 50mF, respectively) are commercially available components having values approximately equal to the computed values in the previous design example.

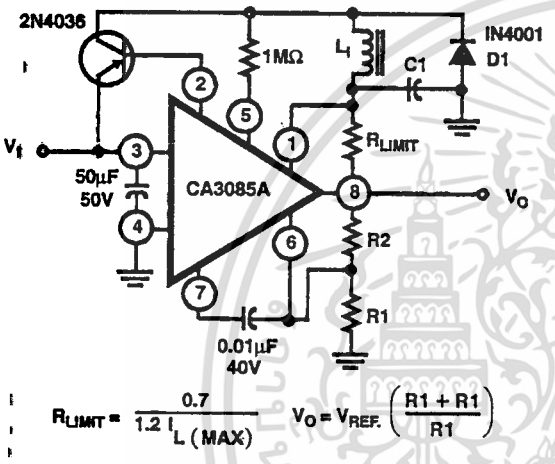


FIGURE 18. TYPICAL SWITCHING REGULATOR CIRCUIT

Current Regulators

The CA3085 series of voltage regulators can be used to provide a constant source or sink current. A regulated-current supply capable of delivering up to 100mA is shown in Figure 19A. The regulated load current is controlled by R1 because the current flowing through this resistor must establish a voltage difference between terminals 6 and 4 that is equal to the internal reference voltage developed between terminals 5 and 4.

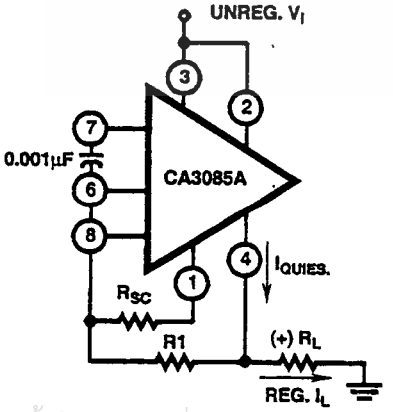


FIGURE 19A. CURRENT REGULATOR

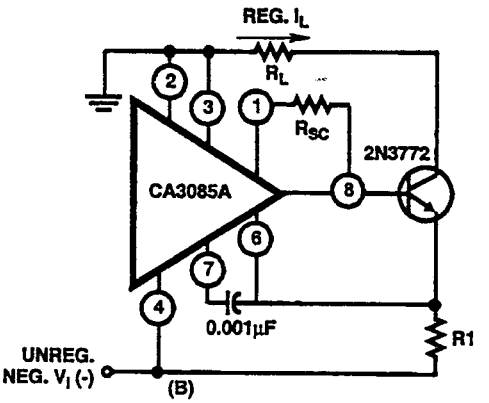


FIGURE 19B. HIGH-CURRENT REGULATOR

FIGURE 19. CONSTANT CURRENT REGULATORS

The actual regulated current, reg I_L is the sum of the quiescent regulator current and the current through R1, i.e.,

$$\text{reg } I_L = I_{QUIESCENT} + I_{R1}$$

Figure 19B shows a high-current regulator using the CA3085 in conjunction with an external n-p-n transistor to regulate currents up to 3A. In this circuit the quiescent regulator current does not flow through the load and the output current can be directly programmed by R1, i.e.,

$$\text{Reg } I_L = \frac{V_{REF}}{R1}$$

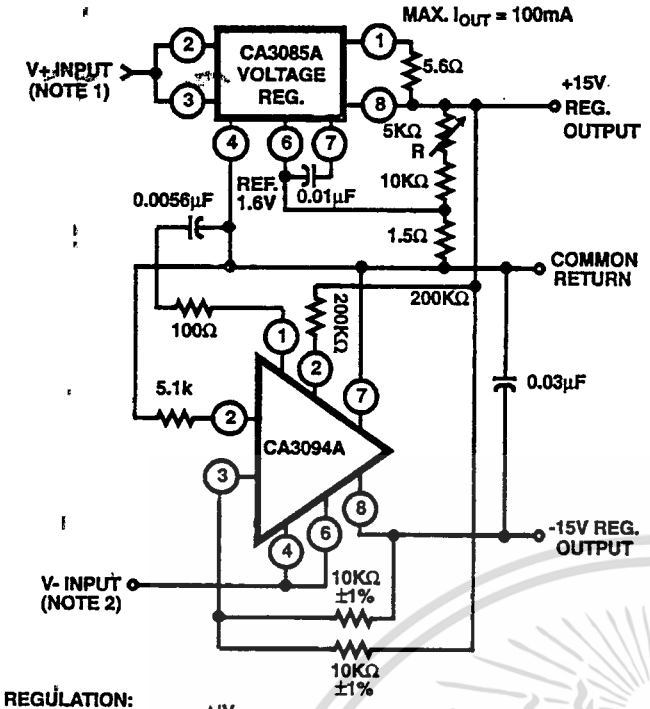
With this regulator currents between 1mA and 3A can be programmed directly. At currents below 1mA inaccuracies may occur as a result of leakage in the external transistor.

A Dual-Tracking Voltage Regulator

A dual-tracking voltage regulator using a CA3085 and a CA3094A is shown in Figure 20. The CA3094A is basically an op-amp capable of supplying 100mA of output current. Specifications for the CA3094A appear in datasheet file number 598.

The positive output voltage is regulated by a CA3085 operating in a configuration essentially similar to that described in connection with Figure 3. Resistor R is used as a vernier adjustment of output voltage. The negative output voltage is regulated by the CA3094A, which is "slaved" to the regulated positive voltage supplied by the CA3085. It should be noted that the non-inverting input of the CA3094A and the negative supply terminal of the CA3085 are connected to a common ground reference. The "slaving" potential for the CA3094A is derived from an accurate 1:1 voltage-divider network comprised of two 10KΩ resistors connected between the +15V and the -15V output terminals. The junction of these two resistors is connected to the inverting input of the CA3094A. The voltage at this junction is compared with the voltage at the non-inverting input, and the CA3094A then automatically adjusts the output current at the negative terminal to maintain a negative regulated output voltage essentially equal to the regulated positive output voltage. Typical performance data for this circuit are shown in Figure 20.

เอกสารนี้มีลิขสิทธิ์ ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



REGULATION:

$$\text{MAX. LINE} = \frac{\Delta' V_{OUT}}{\left[V_{OUT\,(INITIAL)}\right]\Delta V_{IN}} \times 100 = 0.075\%/V$$

$$\text{MAX. LOAD} = \frac{\Delta' V_{OUT}}{\left[V_{OUT\,(INITIAL)}\right]\Delta V_{IN}} \times 100 = 0.075\%/V_{OUT}$$

(I_L FROM 1μA TO 50mA)

NOTE:

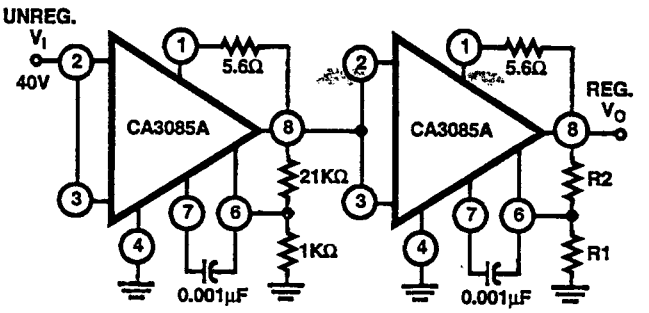
1. V+ Input Range = 19V to 30V for 15V Output
2. V- Input Range = -16V to -30V for -15V Output

FIGURE 20. DUAL-VOLTAGE TRACKING REGULATOR

The basic circuit of Figure 20 can be modified to regulate dissimilar positive and negative voltages (e.g., +15V, -5V) by appropriate selection of resistor ratios in the voltage-divider network discussed previously. As an example, to provide tracking of the -15V and -5V regulated voltages with the circuit of Figure 20, it is only necessary to replace the 10KΩ resistor connected between terminals 3 and 8 of the CA3094A with a 3.3KΩ resistor.

Regulators With High Ripple Rejection

When the reference-voltage source in the CA3085 is adequately filtered, the typical ripple rejection provided by the circuit is 56dB. It is possible to achieve higher ripple-rejection performance by cascading two stages of the CA3085, as shown in Figure 21. The voltage-regulator circuit in Figure 21A provides 90dB of ripple rejection. The output voltage is adjustable over the range from 1.8V to 30V by appropriate adjustment of resistors R1 and R2. Higher regulated output currents up to 1A can be obtained with this circuit by adding an external n-p-n transistor as shown in Figure 21B.



90dB RIPPLE REJECTION
LINE REG. <0.0001%/ V_I
LOAD REG. <0.1% V_O FOR LOAD CURRENTS UP TO 50mA
V_O RANGE FROM 1.8V TO 30V

FIGURE 21A. VOLTAGE REGULATOR WITH HIGH RIPPLE REJECTION

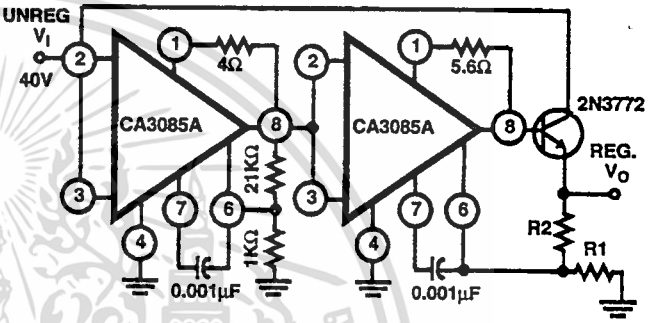


FIGURE 21B. HIGH-CURRENT VOLTAGE REGULATOR WITH HIGH RIPPLE REJECTION

The CA3085 As A Power Source For Sensors

Certain types of sensor applications require a regulated power source. Additionally, low-impedance sensors can consume significant power. An example of a circuit with these requirements, in which a CA3085 provides regulated power for a low-impedance sensor and the CA3059 zero-voltage switch, is shown in Figure 22. Terminal 12 on the CA3059 provides the ac trigger-signal which actuates the zero-voltage switch synchronously with the power line to control the load-switching triac. Specifications for the CA3059 appear in datasheet file number 490.

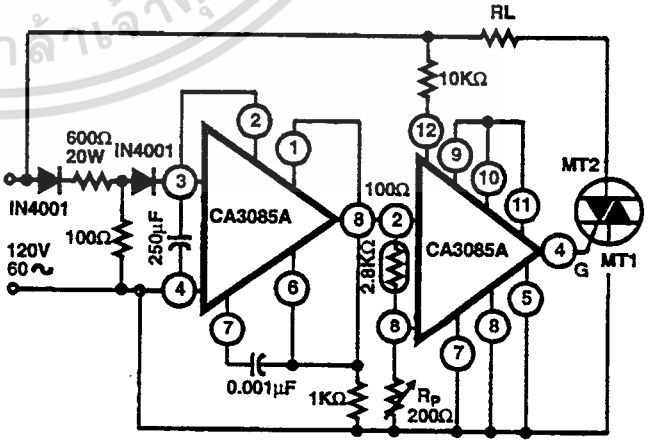


FIGURE 22. VOLTAGE REGULATOR FOR SENSOR AND ZERO-VOLTAGE SWITCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The CA3085 As A General-Purpose Amplifier

As described above, the CA3085 series regulators contain a high-gain linear amplifier having a current-output capability up to 100mA. The premium type (CA3085B) can operate at supply voltages up to 50V. When equipped with an appropriate radiator or heat sink, the TO-5 package of these devices can dissipate up to 1.6W at 55°C. A very stable internal voltage-reference source is used to bias the high-gain amplifier and/or provide an external voltage-reference despite extreme temperature or supply-voltage variations. These factors, plus economics, prompt consideration of this circuit for general-purpose uses, such as amplifiers, relay controls, signal-lamp controls, and thyristor firing.

As an example, Figure 23 shows the application of the CA3085 in a general-purpose amplifier. Under the conditions shown, the circuit has a typical gain of 70bB with a flat response to at least 100kHz without the RC network connected between terminals 6 and 7. The RC network is useful as a tone control or to "roll-off" the amplifier response for other reasons. Current limiting is not used in this circuit. The network connected between terminals 8 and 6 provides both dc and ac feedback. This circuit is also applicable for directly driving an external discrete n-p-n power transistor.

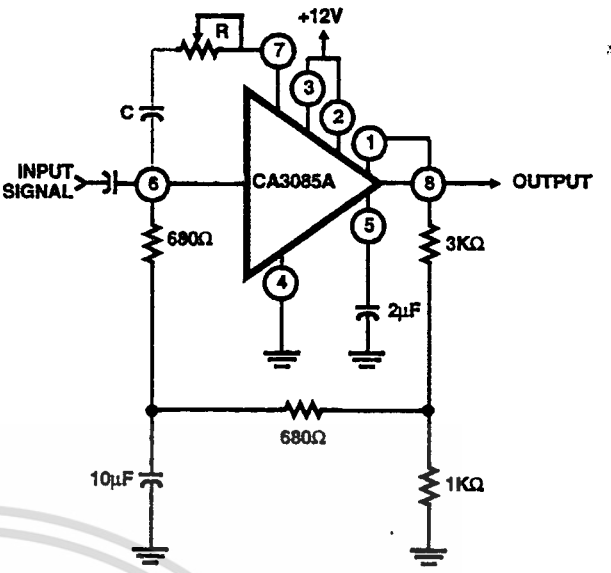


FIGURE 23. GENERAL-PURPOSE AMPLIFIER USING CA3085A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3085, CA3085A CA3085B

Positive Voltage Regulators from 1.7V to 46V at Currents Up to 100mA

April 1994

Features

- Up to 100mA Output Current
- Input and Output Short-Circuit Protection
- Load and Line Regulation 0.025%
- Pin Compatible with LM100 Series
- Adjustable Output Voltage

Applications

- Shunt Voltage Regulator
- Current Regulator
- Switching Voltage Regulator
- High-Current Voltage Regulator
- Combination Positive and Negative Voltage Regulator
- Dual Tracking Regulator

TYPE	V_{IN} RANGE (V)	V_{OUT} RANGE (V)	MAX I_{OUT} (mA)	MAX LOAD REGULATION (%V_{OUT})
CA3085	7.5 to 30	1.8 to 26	12 (Note 1)	0.1
CA3085A	7.5 to 40	1.7 to 36	100	0.15
CA3085B	7.5 to 50	1.7 to 46	100	0.15

NOTE:

1. This value may be extended to 100mA; however, regulation is not specified beyond 12mA.

Description

The CA3085, CA3085A, and CA3085B are silicon monolithic integrated circuits designed specifically for service as voltage regulators at output voltages ranging from 1.7V to 46V at currents up to 100 milliamperes.

A block diagram of the CA3085 Series is shown. The diagram shows the connecting terminals that provide access to the regulator circuit components. The voltage regulators provide important features such as: frequency compensation, short-circuit protection, temperature-compensated reference voltage, current limiting, and booster input. These devices are useful in a wide range of applications for regulating high-current, switching, shunt, and positive and negative voltages. They are also applicable for current and dual-tracking regulation.

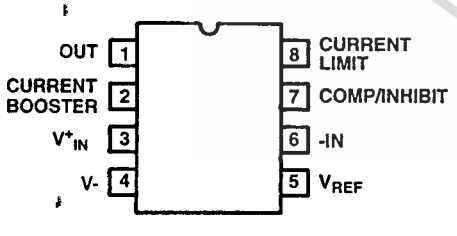
The CA3085A and CA3085B have output current capabilities up to 100mA and the CA3085 up to 12mA without the use of external pass transistors. However, all the devices can provide voltage regulation at load currents greater than 100mA with the use of suitable external pass transistors. The CA3085 Series has an unregulated input voltage ranging from 7.5V to 30V (CA3085), 7.5V to 40V (CA3085A), and 7.5V to 50V (CA3085B) and a minimum regulated output voltage of 26V (CA3085), 36V (CA3085A), and 46V (CA3085B).

Ordering Information

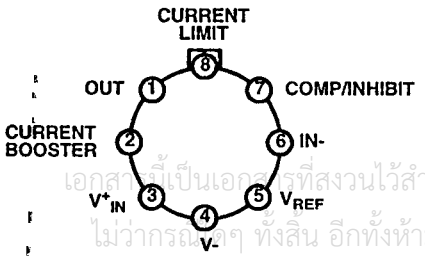
PART NUMBER	TEMPERATURE RANGE	PACKAGE
CA3085, A, B	-55°C to +125°C	8 Pin Metal Can
CA3085E, AE, BE	-55°C to +125°C	8 Lead Plastic DIP

Pinouts

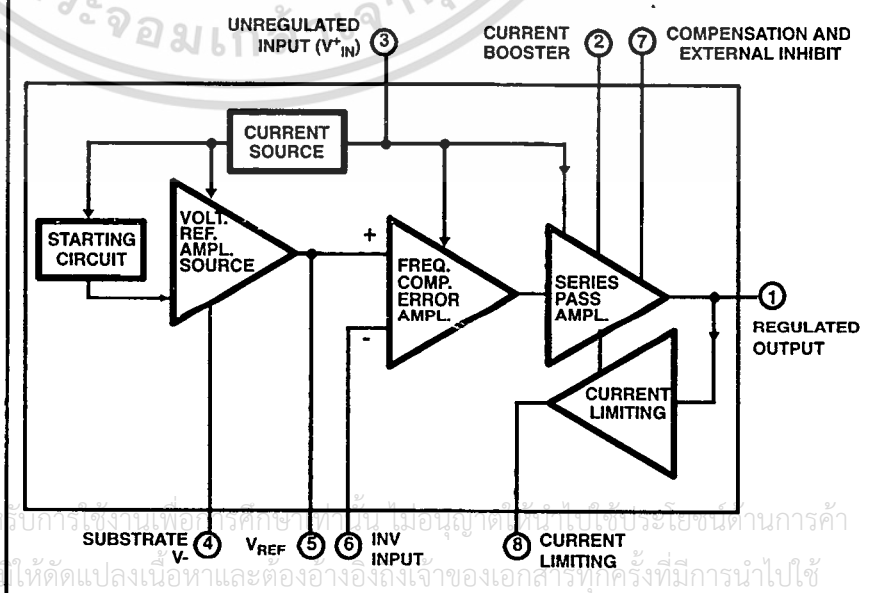
CA3085, A, B, E, AE, BE (PDIP)
TOP VIEW



CA3085S, AS, BS (CAN)
TOP VIEW



Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1994

File Number 491.4

Absolute Maximum Ratings

Supply Voltage . . . . . +7.0V
Unregulated Input Voltage
CA3085 . . . . . 30V
CA3085A 40V
CA3085B 50V
Storage Temperature Range . . . . . -65°C to +150°C
Junction Temperature . . . . . +175°C
Plastic DIP Package . . . . . +150°C
Lead Temperature (Soldering 10s) . . . . . +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Metal Can (Without Heat Sink)	156°C/W	68°C/W
Plastic DIP Package	155°C/W	-

Maximum Package Power Dissipation
Plastic DIP (Without Heat Sink)
Up to T_A = 55°C 630mW
Above T_A = 55°C . . . . . Derate Linearly at 6.67mW/°C
Metal Can (With Heat Sink)
Up to T_C = 55°C 1.6W
Above T_C = 55°C . . . . . Derate Linearly at 16.7mW/°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range . . . . . +1.7V to +46V Operating Temperature Range . . . . . -55°C to +125°C

Maximum Voltage Ratings

The following chart gives the range of voltages which can be applied to the terminal listed vertically with respect to the terminals listed horizontally. For example, the voltage range between vertical Terminal Number 7 and horizontal Terminal Number 1 is +3 to -10V.

TERMINAL NUMBER	5	6	7	8	1	2	3	4
5	-	+5 -5	Note 1	Note 1	Note 1	Note 1	Note 1	+10 0
6	-	-	Note 1	Note 1	Note 1	Note 1	Note 1	Note 1
7	-	-	-	+3 -10	-103	Note 1	Note 1	+ (Note 2) 0
8	-	-	-	-	+5 -1	Note 1	Note 1	Note 1
1	-	-	-	-	-	+10 - (Note 2)	0 - (Note 2)	+ (Note 2) 0
2	-	-	-	-	-	-	0 -	+ (Note 2) 0
3	-	-	-	-	-	-	-	+ (Note 2) 0
4	-	-	-	-	-	-	-	Substrate and Case

NOTES:

1. Voltages are not normally applied between these terminals; however, voltages appearing between these terminals are safe, if the specified voltage limits between all other terminals are not exceeded.
2. 30V (CA3085); 40V (CA3085A); 50V (CA3085B)

Maximum Current Ratings

TERMINAL NUMBER	I_{IN} (mA)	I_{OUT} (mA)
5	10	1.0
6	1.0	-0.1
7	1.0	-0.1
8	0.1	10
1	20	150
2	150	60
3	150	60
4	-	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Specifications T_A = +25°C, Unless Otherwise Specified

PARAMETERS	SYMBOL	TEST CONDITIONS	CA3085			CA3085A			CA3085B			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC CHARACTERISTICS												
Reference Voltage	V_{REF}	V^+_{IN} = 15V (Figure 3)	1.4	1.6	1.8	1.5	1.6	1.7	.15	1.6	1.7	V
Quiescent Regulator Current	$I_{quiescent}$	V^+_{IN} = 30V (Figure 3)	-	3.3	4.5	-	-	-	-	-	-	mA
		V^+_{IN} = 40V (Figure 3)	-	-	-	-	3.65	5	-	-	-	mA
		V^+_{IN} = 50V (Figure 3)	-	-	-	-	-	-	-	4.05	7	mA
Input Voltage Range	$V_{IN(range)}$		7.5	-	30	7.5	-	40	7.5	-	50	V
Maximum Output Voltage	$V_{O(MAX)}$	V^+_{IN} = 30, 40, 50V (Note 1); R_L = 365Ω; Term. No. 6 to GND (Figure 3)	26	27	-	36	37	-	46	47	-	V
Maximum Output Voltage	$V_{O(MIN)}$	V^+_{IN} = 30V (Figure 3)	-	1.6	1.8	-	1.6	1.7	-	1.6	1.7	V
Input - Output Voltage Differential	V_{IN}-V_{OUT}		4	-	28	4	-	38	3.5	-	48	V
Limiting Current	I_{LIM}	V^+_{IN} = 16V, V^+_{OUT} = 10V, RSCP = 6Ω (Note 2) (Figure 6)	-	96	120	-	96	120	-	96	120	mA
Load Regulation (Note 3)		I_L = 1 to 100mA, R_{SCP} = 0	-	-	-	-	0.025	0.15	-	0.025	0.15	%V_{OUT}
		I_L = 1 to 100mA, R_{SCP} = 0, T_A = 0°C to +70°C	-	-	-	-	0.035	0.6	-	0.035	0.6	%V_{OUT}
		I_L = 1 to 12mA, R_{SCP} = 0	-	0.003	0.1	-	-	-	-	-	-	%V_{OUT}
Line Regulation (Note 4)		I_L = 1mA, R_{SCP} = 0	-	0.025	0.1	-	0.025	0.075	-	0.025	0.04	%/V
		I_L = 1mA, R_{SCP} = 0, T_A = 0°C to +70°C	-	0.04	0.15	-	0.04	0.1	-	0.04	0.08	%/V
Equivalent Noise Output Voltage	V_{NOISE}	V^+_{IN} = 25V (Figure 10), C_{REF} = 0	-	0.5	-	-	0.5	-	-	0.5	-	mVp-p
		C_{REF} = 0.22µF	-	0.3	-	-	0.3	-	-	0.3	-	mVp-p
Ripple Rejection		V^+_{IN} = 25V, f = 1kHz (Figure 11), C_{REF} = 0	-	50	-	-	50	-	45	50	-	dB
		C_{REF} = 2µF	-	56	-	-	56	-	50	56	-	dB
Output Resistance	r_O	V^+_{IN} = 25V, f = 1kHz (Figure 11)	-	0.075	1.1	-	0.075	0.3	-	0.075	0.3	Ω
Temperature Coefficient of Reference and Output Voltages	V_{REF}, V_O (Note 4)	I_L = 0, V_{REF} = 1.6V	-	0.0035	-	-	0.0035	-	-	0.0035	-	%/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Harris Semiconductor

APPNOTE

No. AN9214.2 October 1993

Harris Data Acquisition

USING HARRIS HIGH SPEED A/D CONVERTERS

Author: Phil Louzon

Introduction

Table 1 shows the wide range of high-speed ADC's available from Harris. Maintaining the accuracy of these converters in a high-speed environment can be quite a challenge. This note will point out considerations for board layout, grounding, power management, and suggest various support circuits.

Board Layout, Ground and Power Considerations

The cost of multilayer boards has decreased to the point where they are now commonly used with high-speed mixed signal circuits. This technology enables the use of solid ground and power planes which will result in the lowest impedance possible while minimizing any shared impedances. Figure 1 illustrates the sequencing of the layers used on the HI1276 evaluation board. The dimensions called out were those required to achieve 50Ω microstrip for the signal lines.

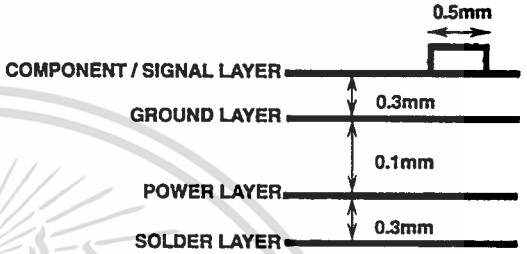


FIGURE 1. HI1276 EVALUATION BOARD LAYERS

There are many board layout techniques that can be used on a mixed signal board to keep digital noise from corrupting the analog signal path. The ground layer should be separated into an analog and a digital ground with an eighth of an inch spacing between them to minimize coupling.Analog components should be separated from the digital components. This is simplified if the converter has separate analog and digital supply and ground pins making it fairly obvious where to locate the components in relation to the ADC.

TABLE 1. HARRIS HIGH-SPEED CONVERTERS

TABLE	BITS	CONVERSION SPEED	LOGIC LEVELS	INPUT BANDWIDTH	TECHNOLOGY
CA3304	4	25 MSPS	CMOS	13MHz	CMOS Flash
CA3306	6	18 MSPS	CMOS	9MHz	CMOS Flash
HI5701	6	30 MSPS	CMOS/TTL	20MHz	CMOS Flash
CA3318	8	15 MSPS	CMOS	2.5MHz	CMOS Flash
HI5700	8	20 MSPS	CMOS/TTL	18MHz	CMOS Flash
HI1175	8	20 MSPS	CMOS	18MHz	CMOS Two-Step
HI1176	8	20 MSPS	CMOS	18MHz	CMOS Two-Step
HI1386	8	75 MSPS	ECL	150MHz	BIPOLAR Flash
HI1396	8	125 MSPS	ECL	200MHz	BIPOLAR Flash
HI1166	8	250 MSPS	ECL	200MHz	BIPOLAR Flash
HI1276	8	500 MSPS	ECL	300MHz	BIPOLAR Flash
HI5800	12	3 MSPS	TTL	20MHz	BICMOS Two-Step

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Copyright © Harris Corporation 1993

Position the components and signal lines over their corresponding analog or digital ground plane. This will minimize inductive loops, and thereby reduce ringing and magnetic coupling into sensitive analog areas. It also results in a certain measure of high frequency decoupling on the supply lines. Route all controlled impedance signal lines on the component layer minimizing the number of through holes. The holes will make it difficult to maintain a controlled impedance and will tend to generate additional noise on the board. Additional power or noncontrolled impedance signal lines could be run on the solder side. Pay particular attention to the analog input and reference traces to the ADC. Route them so as to minimize capacitive coupling from any digital lines. Unexpected frequency components in a spectrum plot for the ADC might be caused by digital noise coupling onto the analog traces. It is especially critical for the ECL converters with multiple V_{IN} pins to equalize the line lengths to these pins.

The analog and digital grounds should only be tied together in one place. The choices are under the ADC, at the edge of the board, or back at the supplies. When the system has a single ADC then the best place is usually under the ADC. A wise decision in the prototype phase of a design is to allow for all three choices so the optimum scheme can be determined. **Do not** tie the grounds together back at the supplies and under the ADC. This will create a ground loop and generate additional noise. If the system has multiple ADC's, then treat each one as an analog part, and group it close to the other analog components. Tie the grounds together either at the edge of the board or back at the supplies.

Avoid mounting high-speed converters in IC sockets. Their parasitic resistance, inductance, and capacitance will usually degrade the performance of the part. Instead use "Pin Sockets" Amp Part No. 5-330808-3.

All the parts in Table 1, except the CA3304 and CA3318, have evaluation boards available. Copies of the layout are provided with the documentation that comes with the board, and it is suggested that it be used in a system design to get the best performance from the part.

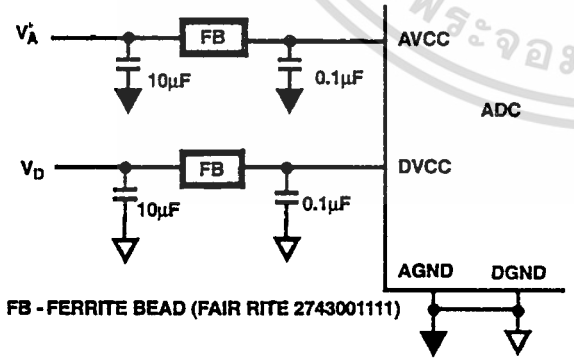


FIGURE 2. SUGGESTED POWER SCHEME

Again, in the interest of keeping digital noise out of the analog signal path, the ADC should have separate analog and digital supplies. Figure 2 shows a suggested scheme for bypassing the supplies. Each supply is bypassed to its respective ground. A 10µF tantalum cap is usually placed at the edge of the board to keep any low frequency noise from getting on the board. Since a bulk capacitor will look inductive at higher frequencies, an additional 0.1µF chip cap is placed at the ADC supply pins. The ferrite bead performs two functions. First, it will damp the resonant circuit formed by the 10µF cap, the parasitic inductance of the trace to the power pin of the ADC, and the 0.1µF cap. And, if system cost constraints do not allow separating the analog and digital supplies, then the bead will keep the digital noise off the analog supply.

The HI1175 could latchup if at power up there is a time skew between the analog and digital supplies. Therefore, do not separate these supplies or insert a ferrite bead between them, but instead tie both to the +5V analog supply.

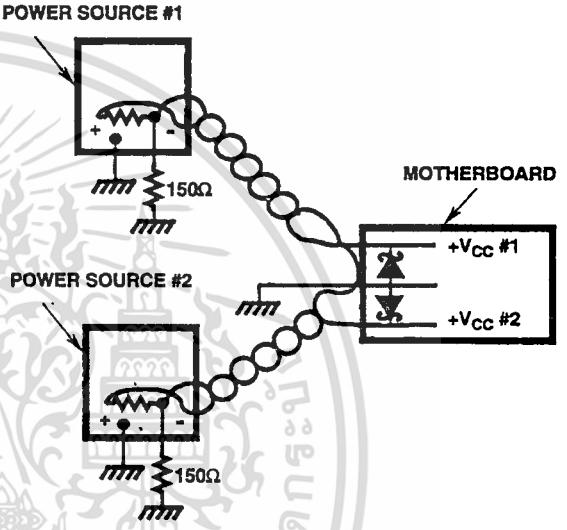


FIGURE 3. REMOTE POWER SUPPLY CONNECTIONS

Figure 3 is a suggested scheme for bringing power to a motherboard with remote power supplies. The analog and digital grounds are tied together at the edge of the board along with earth ground. Allow for a large number of ground connections to the board to minimize voltage drops across the backplane. Notice the use of twisted pair lines to minimize the inductance of the supply lines. The 150Ω resistor ensures that the power supplies have a reference to earth ground at all times and is large enough to prevent ground-loop currents.

Try to avoid using switching power supplies whenever possible. The large spikes, 100mV or more at about 100kHz, found on these supplies have frequency components that can extend into many megahertz. Since the PSRR of the ADC will tend to rolloff significantly from its DC value, there can be a reduction in the overall signal to noise ratio (SNR) of the converter. If it is necessary to use a switching power supply, then filter its output with commercially available DC power filters. A linear regulator could also be used to provide a certain amount of isolation on an analog supply.

ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

References

A number of factors must be considered when designing a reference for a converter. Accuracy must be maintained over the temperature range of the ADC, and the noise it generates must not degrade the SNR of the converter. The reference voltage terminals for a flash converter are typically subjected to internal transient currents during conversion. Therefore, it is important to drive the ADC reference pin from a low impedance source and to decouple thoroughly between the V_{REF}+ and V_{REF}- pins. The reference must also be able to drive the low impedance of the reference ladder (as low as 75Ω for the ECL flash converters).

Figure 4 is a reference circuit capable of producing a positive and a negative reference voltage of about 4V that has a 40ppm/°C drift over temperature. The positive side of the reference could be used with the CMOS converters, while the negative side could be used with the ECL parts. The feedforward and feedback resistors of the op-amps would be scaled for the required reference voltage.The HI1166 and HI1276 have the provision for bypassing the Rs parasitic resistance using the sense pins (V_{RTS} and V_{RBS}). All the other flashes do not have this option, so they would close the feedback loop at the converter reference input pin.

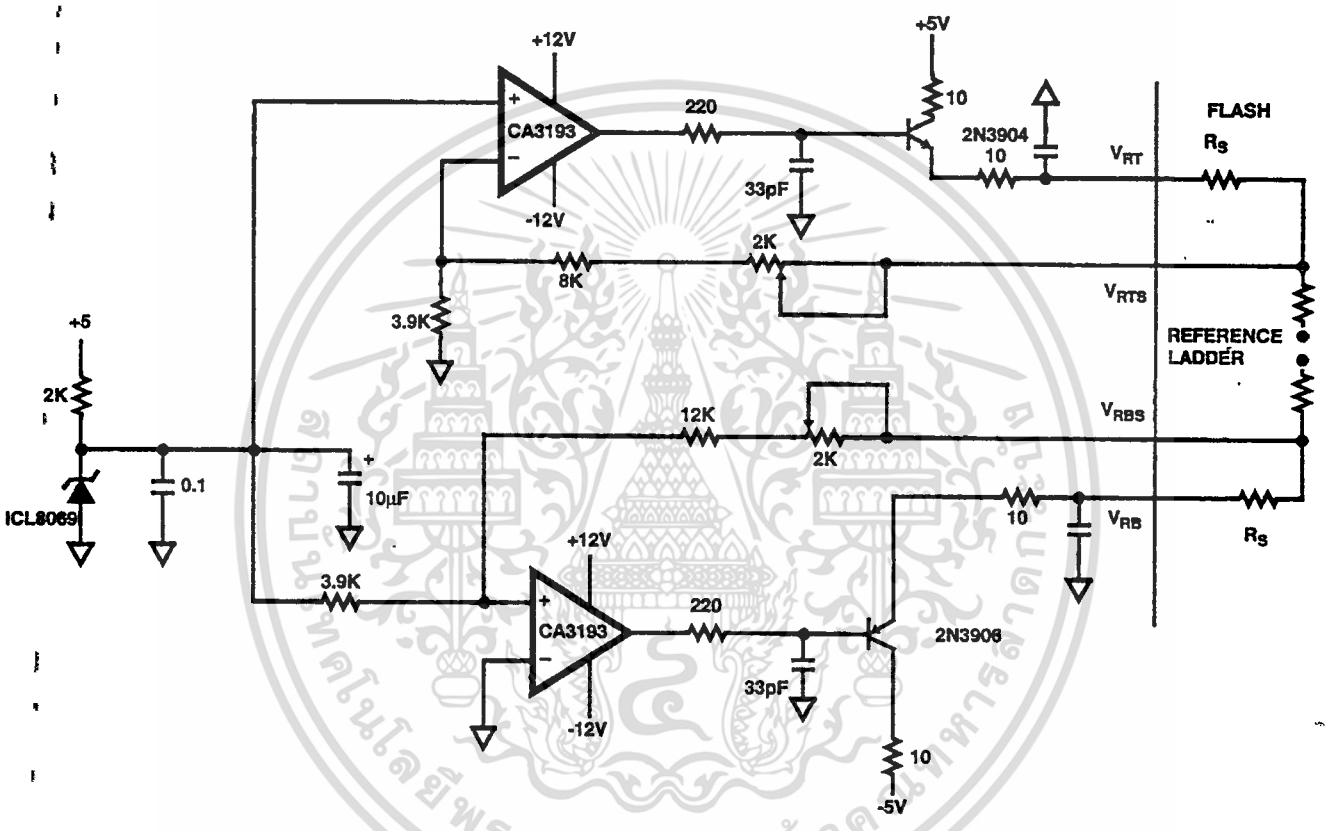


FIGURE 4. FLASH REFERENCE CIRCUIT

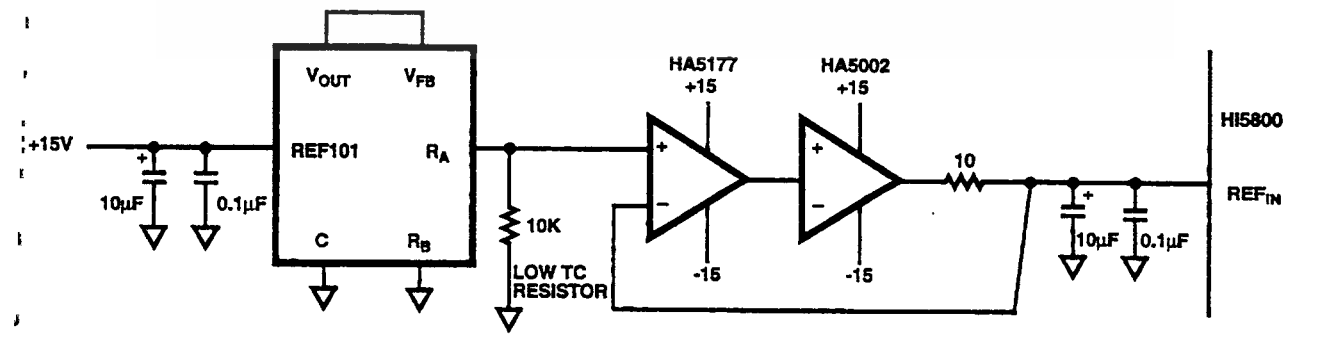


FIGURE 5. HI5800 REFERENCE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

The CA3306 has an internal 6.2V zener that can be used to generate the reference voltage for the part. However, this technique is not recommended for converters with greater than 6 bits of resolution, because of the noise generated by the zener diode. For these parts, a bandgap reference such as the ICL8069 should be used.

The internal reference for the HI1175 and HI1176 are resistors to +5V and ground that in combination with the reference ladder sets V_{RT} to 2.6V and V_{RB} to 0.6V. These voltages are specified at a nominal supply and will be very sensitive to the actual supply voltage used in a system. Bypass the V_{RT} and V_{RB} pins heavily in order to ensure that power supply noise does not get into the converter reference.

The HI5800 12 bit sampling converter has an internal 2.5V 20ppm/°C reference. If a user decides to provide an external reference, then they will be faced with various problems. The drift of the reference over temperature must be low, and it also must be capable of driving the 200Ω input impedance seen at the REF_{IN} pin of the HI5800. Figure 5 is a recommended circuit for doing this that is capable of 2ppm/°C drift over temperature. Notice that in this case a REF101 is used to supply the reference voltage capable of 12 bit performance. A slightly cheaper REF102 can be used if a larger T_C can be tolerated.

Analog Input Buffers

In general, the analog input to an ADC needs to be amplified or buffered for the following reasons: to adjust gain and offset, to sink any spurious clock kickback generated during the conversion process, to drive the ADC's input capacitance, or to maintain circuit bandwidth.

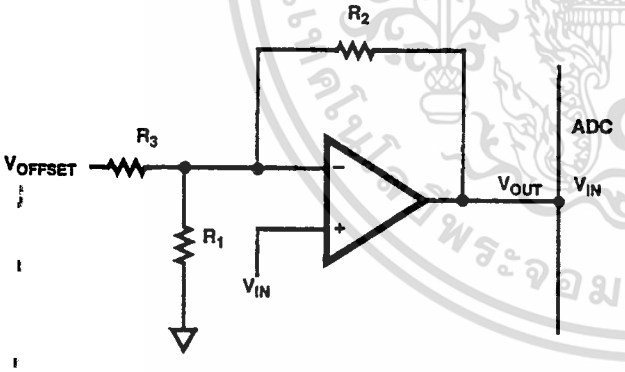


FIGURE 6. NON INVERTING AMPLIFIER

Figure 6 is an example of a high input impedance noninverting amplifier that will level shift an input to an offset determined by V_{OFFSET}. The gain can be calculated from:

$$V_{OUT} = \left(1 + \frac{R_2}{R_1 || R_3}\right) \times V_{IN} - \left(\frac{R_1}{R_1 + R_3}\right) \times V_{OFFSET}$$

$$R_1 || R_3 = \frac{R_1 \times R_3}{R_1 + R_3}$$

Figure 7 is an example of an amplifier that will also offset the input depending on V_{OFFSET}, but, in this case, the input will be inverted and the input impedance is equal to the value of R1. The equation for the circuit gain is:

$$V_{OUT} = \left(\frac{R_2}{R_1}\right) \times V_{IN} - \left(\frac{R_2}{R_3}\right) \times V_{OFFSET}$$

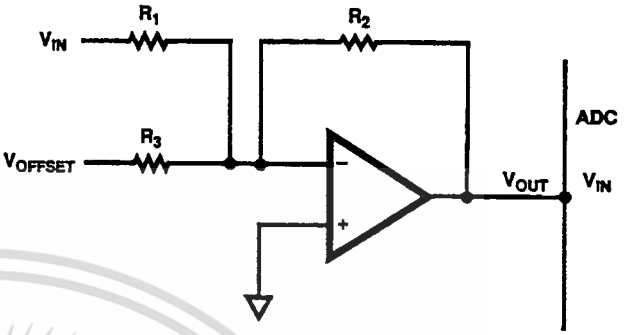


FIGURE 7. INVERTING AMPLIFIER

These circuits could be used to level shift unipolar inputs to the ±2.5V range of the HI5800 or translate them up to the levels required by the HI1175 and HI1176.

Several factors need to be considered when selecting an amplifier to drive an ADC. First, the DC performance of the amplifier must match the desired system accuracy. Refer to references 1, 2, and 3 for an excellent discussion of the differences between voltage and current feedback op-amps and the DC accuracy that can be expected of them.

TABLE 2. BANDWIDTH APPROXIMATIONS

INPUT SIGNAL	APPROXIMATE BANDWIDTH REQUIRED
Pulsating DC	Rate Of Change (V/s)/1V
Sinusoidal	1/Period
Complex Periodic	20/Fundamental Period
Single Event	1/Pulse Width

Table 2 shows some of the first-pass approximations of the required bandwidth for a given type of input signal. The nyquist criterion would then set the minimum sampling rate at twice the bandwidth.

There are a number of reasons why the bandwidth of the input circuitry to the ADC is usually much wider than these approximations. All applications will suffer a loss of dynamic range as the input to the ADC approaches the -3dB bandwidth. In CCD or muxed input applications (pulsating DC) a wide bandwidth system will settle faster to a new input and recover quicker from an overrange. Signal distortion of baseband (sinusoidal) or pulse signals (complex periodic) will be avoided if the input is operating over a flat portion of the system frequency response and has a zero phase shift over its entire frequency range. A more realistic goal is a phase shift that is proportional to frequency. That is, the second har-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

monic should be delayed twice as much as the fundamental, the third three times as much, and so on. When this occurs, all the frequency components will end up having the same amount of time delay resulting in a signal that is only delayed slightly in time and can easily be adjusted for.

For a single pole system, the attenuation factor and phase shift at a particular frequency relative to the f_{-3dB} can be calculated from:

$$A(f)' = \frac{1}{\sqrt{1+\left(\frac{f}{f_{-3dB}}\right)^2}} \quad (1) \text{ and } \Theta(f) = \operatorname{atan}\left(\frac{f}{f_{-3dB}}\right) \quad (2).$$

Taking these error terms into account, the complete equation for a sinewave including the effects of the system would now be:

$$V(t)' = \frac{A}{\sqrt{1+\left(\frac{f}{f_{-3dB}}\right)^2}} \times \sin\left(\omega t + \operatorname{atan}\left(\frac{f}{f_{-3dB}}\right)\right).$$

Once the phase shift has been calculated the corresponding time delay at frequency f will be:

$$T_D' = \frac{\Theta(f)}{360 \times f}.$$

In equation 1, when f equals 4MHz (video) and the attenuation A(f) is one 8 bit lsb (0.4%), the required small signal bandwidth f_{3dB} would be 40MHz. The corresponding phase shift at 4MHz would be 5.7° and the time delay is 4ns. Consult the datasheet for a particular op-amp to find out if it will provide the desired gain flatness and phase response over the required bandwidth. Keep in mind the signal levels required for a full scale swing to the ADC and at what level the bandwidth for the op-amp is specified. There are many ways to spec the bandwidth of a converter, but the important point is its accuracy at the desired operating frequencies.

Figure 8 is a model for the analog input circuit for a typical flash converter. The inductance L includes the lead inductance of the part and the inductance due to the V_{IN} trace on the board. Resistor R includes the output resistance of the op-amp.

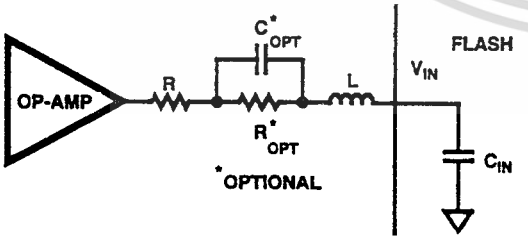


FIGURE 8. FLASH INPUT CIRCUIT

The circuitry driving the analog input of one of the 8 bit ECL flashes must drive 255 bipolar comparators. Each comparator will have a parasitic capacitance formed by a reverse biased p-n semiconductor junction. The capacitance will be a nonlinear function of voltage and temperature. Normally, the ADC analog input would present a total capacitive load (C_{IN}) which would also vary depending on the state of the comparators internal to the converter. However, the design used in the Harris ECL converters has minimized this effect and the resulting kickback on the analog input.

The circuit in Figure 8 can be optimized for a particular ECL flash and board layout by the proper selection of resistor R. Too low a value for R will cause peaking in the frequency response and too high a value will result in a loss of bandwidth. The process to select the correct value for R will involve plotting the bandwidth for the total system at a number of different values of R. In some cases additional bandwidth can be gained by adding Ropt and Copt but it will require a more complicated selection process. A user should refer to the evaluation board available for a particular ADC for a suggested layout, op-amp, and component values.

The input capacitance (C_{IN}) for a CMOS flash depends on the state of the convert clock signal. For example, the analog input capacitance of the HI5700 is typically 60pF during the sample phase and 15pF during the auto-balance phase. The charging current for these capacitors will generate a current pulse that is present at the input at the beginning of every sample and auto-balance period. The peak current transient is dependent upon the applied voltage, input capacitance during sample phase, and the driving source impedance. Ideally, the input to the ADC should settle fast enough in one sample period so the accuracy of the conversion is not degraded. These transients can be quite large for the CMOS converters and is the primary reason why a wide bandwidth buffer is always recommended to drive the analog input to these parts.

The circuit depicted in Figure 8 can be tuned for the best settling time for a particular CMOS ADC by the proper choice of R and will occur when:

$$R = 2 \times \sqrt{\left(\frac{L}{C}\right)}.$$

Since the values for R and L are hard to quantify, the calculated value will probably have to be adjusted a few ohms one way or the other in an actual system before an optimum value is found. An R of 27Ω was determined to be appropriate for a HA5020 driving a HI5700 mounted on its evaluation board. The HA5020 is a good choice for an op-amp to use with the family of CMOS converters.

The settling time for the above circuit, neglecting L, can be calculated from $T_S = 0.69 \times N \times R \times C$. N is the desired resolution. This equation applies only to CMOS converters with switched capacitor inputs. If the flash is the 8 bit HI5700, and R is equal to 27Ω, then the settling time would come out to 9ns, well within the sample time of the HI5700 running at a 20MHz encode rate.

An op-amp with adequate slew rate, full power bandwidth (FPBW), and drive current should be selected to drive an ADC. The minimum required slew rate can be calculated from: $SR_{MIN} = 2 \times \pi \times V_{PEAK} \times FPBW$. An HI1276 500 MSPS converter with a 2V reference would have a Vpeak equal to 1V and the required FPBW would equal 250MHz (nyquist). The minimum slew rate needed from the op-amp would then be 1571V/µs.

ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The minimum required output drive current is a function of the maximum slew rate, termination load impedance, and feedback current, if any. Given the required slew rate, the minimum output current needed from an amplifier just to charge the HI1276 input capacitance load of 20pF, is found by:

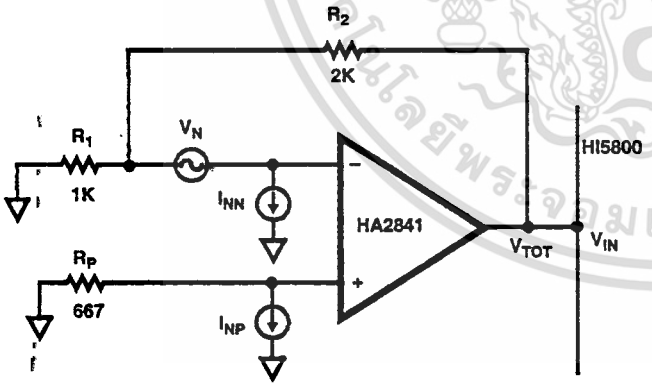
$$SR_{MIN} = \frac{OutputCurrent}{CapacitorLoad} = \frac{I}{C}$$

$$I_{MIN} = SR_{MIN} \times C = (1571 \times 10^{6}) \times (20 \times 10^{-12}) = 31mA$$

The HFA1100 is one of a family of high-speed op-amp and buffers that have sufficient slew rate and output current to drive the analog input of the Harris family of ECL converters.

The overall system performance at a particular frequency will not be degraded if the harmonic distortion of input circuit to an ADC is less than that of the converter. Given that the dynamic range for a perfect 8 bit converter is 50dB, for a 0.5dB reduction in the overall system distortion, the amplifiers contribution must be less than 58dB. A 3dB reduction would result if the harmonic distortion of both the ADC and amplifier were equal. Sometimes it is difficult to get from the amplifier's data sheet a clear picture of what distortion to expect at the particular levels and frequencies the user will be operating. The gain flatness spec can also be used to give an indication of the op-amp linearity. For example, for 8 bit accuracy the op-amp should have a gain flatness of 0.2dB out to the frequency of interest.

An amplifier circuit driving an ADC must also minimize the total RMS noise voltage that it generates or it will reduce the system SNR. The objective is to keep this noise less than $q/(\sqrt{12})$ (q is the LSB size), which is the theoretical RMS quantization noise of the ADC.



$$V_N = (16(nV))/\sqrt{Hz}$$

$$I_{NN} = I_{NP} = (2pA)/\sqrt{Hz}$$

$$F_{BW} = 20MHz$$

FIGURE 9. OP-AMP NOISE MODEL

Figure 9 is a HA-2841 op-amp driving an HI5800 with the voltage noise (V_N) and current noise (I_N) sources modeled. The equation for the total rms noise over the bandwidth of interest is:

$$V_{TOT} = \sqrt{1.57 \times F_{BW}} \times \sqrt{(V_N)^2 \times \left(1 + \frac{R_2}{R_1}\right)^2 + (R_2)^2 \times (I_{NN})^2 + (R_P)^2 \times (I_{NP})^2 \times \left(1 + \frac{R_2}{R_1}\right)^2}$$

Where:

V_{TOT} is the total rms noise voltage at the input to the ADC.

R_1 is the feedforward resistor.

R_2 is the feedback resistor.

R_P is the noninverting input resistor.

V_N is input voltage noise spectral density.

I_{NN} is the inverting input current noise spectral density.

I_{NP} is the noninverting input current noise spectral density.

f_{BW} is the bandwidth over which the noise is to be integrated.

Note that I_{NN} and I_{NP} are equal in the case of voltage feedback op-amps but will not be for current feedback op-amps. If the small signal bandwidth is not given for the converter, then use its full power bandwidth for f_{BW}. For the values given in the figure, V_{TOT} is found to be equal to 180µV. This is about a factor of two less than the 352µV of quantization noise for a HI5800 12 bit ADC with a 5V range. Keep in mind that the amount of quantization noise is inherent to any ADC given its lsb size. Overall the HA2841 a good choice for driving the HI5800.

The circuits in CCD or muxed input applications must process large signal pulse type waveforms. In order to get the highest throughput possible, they must slew and settle quickly so, as depicted in Figure 10, the ADC can then accurately digitize the analog information.

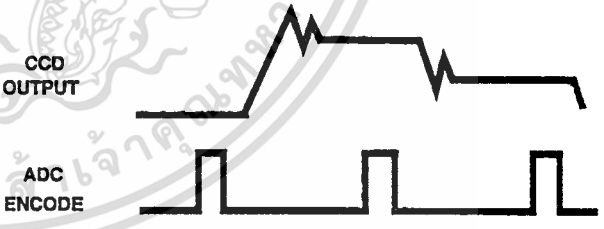


FIGURE 10. TIME DIVISION MULTIPLEXED SIGNAL

Op-amp settling time is made up of two parts. Initially the signal must slew until it enters a region where small signal analysis takes over. For a single pole frequency response, the error will then decay with a time constant determined by the small signal bandwidth of the op-amp. The settling time in an actual system is very much a function of the circuit parasitics and the overall frequency response of the circuit. As such, it is difficult to calculate an accurate number beforehand. Reference 2 has a more thorough discussion of settling time and the calculations involved. The extremely fast settling time of the HFA family of op-amps (11ns to 0.1%) make these parts very useful in these types of applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Additional large signal time domain converter specifications such as overvoltage recovery time and transient response time become important in these applications. Transient response is a difficult test to perform especially to the 12 bit level. However, as in the case of the HI5800, if the converter is tested close to nyquist then its input will see full scale swings on alternate samples giving an indication of the overall settling time of the part.

This note has tried to give some of the important considerations when selecting an op-amp to drive a high-speed ADC. It is advisable to breadboard up an application circuit on an evaluation board provided by Harris for a particular ADC and verify the performance with the converter.

Increased Accuracy

Adjustments can be made to the converter offset, gain, and linearity in applications where accuracy is of upmost importance. The triming of an HI5700 will be used here as an example. However, the techniques are the same for all the CMOS and ECL flashes as long as the relationship of the output codes to the input voltage is noted.

Offset correction is trimmed first and is usually done in the preamp driving the ADC (Figure 6 and Figure 7). Another method to produce the desired offset is to adjust the lowside the low side of the reference (V_{REF-} for the HI5700). Whatever method is used, a voltage 0.5 LSB up from the desired V_{REF-} is applied to the input and the offset is trimmed until the code 0 to 1 transition occurs.

Gain correction is trimmed next. It can also be done in the preamp circuit, but a better choice is in the reference circuit by adjusting the fullscale reference voltage to the ADC (V_{REF+} for the HI5700). The 2k pots in the reference circuit of Figure 4 can be used for this purpose. A voltage 1.5 LSB down from the desired V_{REF+} is applied to the input and the gain is trimmed until the code 254 to 255 transition occurs.

Linearity errors in a flash converter can many times result in a bowed transfer curve rather than a straight line through the endpoints. If taps on the reference ladder are provided, the user can make external adjustments to reduce this nonlinearity and improve the AC performance. Figure 11 illustrates a transfer curve with these kinds of errors before and after adjustment of a midpoint tap.

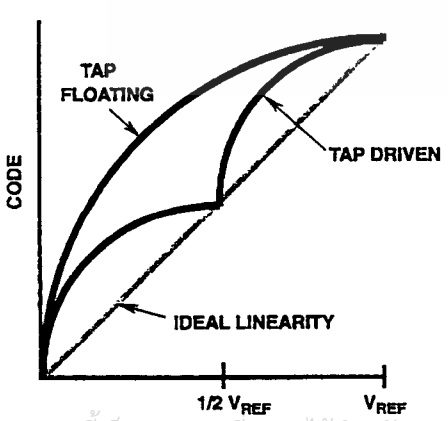


FIGURE 11. LINEARITY ADJUSTMENT

Figure 12 is a circuit that might be used to drive the midpoint tap of a flash. The op-amp will isolate the resistors R from the ladder impedance allowing improved performance over temperature. The values of these resistors are not critical as long as they match well and do not load down the reference source. If the resistors do not match to 0.5% then it might be necessary to replace them with a potentiometer and adjust the tap voltage to one-half the voltage between V_{REF+} and V_{REF-}. This adjustment should be made after the offset and gain errors have been trimmed. The capacitor value shown is that recommended for the HI5700. Consult the datasheet for the value suggested for a particular flash converter. If the flash has the 1/4 and 3/4 taps available, as in the case of the HI5700 and the CA3318, the resistor string can be modified to generate the required tap reference voltages and the appropriate buffers added to drive the taps.

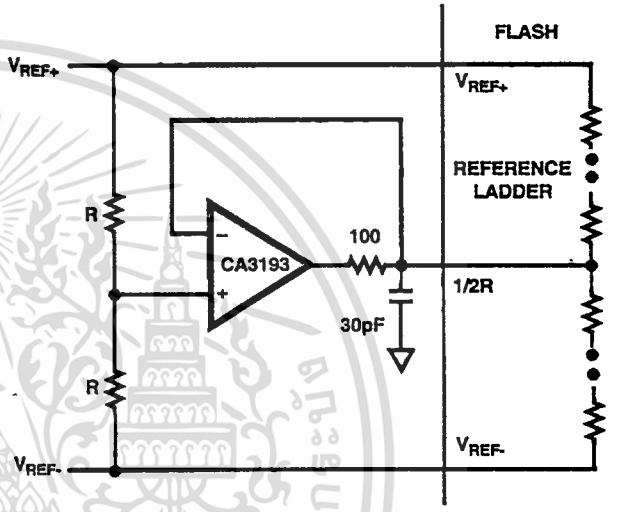


FIGURE 12. DRIVING THE REFERENCE TAP

Linearity adjustment can improve the performance of the HI5700 and CA3318. This technique is not useful for the ECL flash converters because they already have linearity correction on the chip and therefore have excellent INL numbers to begin with.

Another use for the ladder taps is to implement a nonlinear transfer characteristic for the converter. A companding ADC will reduce the midscale voltage from its normal value to increase the SNR for low level signals.

Digital Inputs and Outputs

Table 1 shows that the Harris family of high-speed converters has a wide range of logic families. Consult the datasheet to make sure the input and output logic levels and clock speeds are compatible with the accompanying logic. In order to minimize noise, use the slowest logic family that will still work.

There are a number of reasons for placing a data latch or buffer in close proximity to a converter. First, it could drive the large load capacitance normally seen on a digital buss, which can cause large digital power supply transient currents. For example, if all bits of an 8 bit TTL converter change simultaneously and the rise/fall time of the outputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

are 5ns and the load capacitance is 15pF, the resulting transient current is 120mA. If the supply has a significant impedance, the resulting noise may not be adequately rejected by the PSRR of the ADC. In order to get the required isolation the supplies for the buffer must be separate from the supplies on the converter. A ferrite bead, in some cases, might be sufficient to provide the required isolation between the supplies.

The buffer or latch could also be used to isolate the ADC from a busy data buss. Depending on the design and layout of a converter a significant parasitic coupling may exist between the digital outputs and the analog circuitry. A buffer or latch would shield the converter from the buss noise and avoid the resulting reduction in SNR.

The rise and fall times of the digital logic for the ECL flash converters will approach 1ns. This will infer a corresponding interface bandwidth of 350MHz. In order to attain these speeds a 50Ω system is used and usually requires microstrip or stripline techniques in the board layout.

The HI1386 and HI1396 have single ended digital outputs. Place buffers close to the part to minimize line lengths and ringing. The HI1166 and HI1276 have differential digital outputs for the best noise rejection at the high data rates. Refer to references 4, 5, and 6 for additional information on high-speed board design.

It is possible to run the ECL family of high-speed flashes parts off a single +5V supply instead of the normal -5.2V supply. This will not effect the performance of the part but, as shown in Figure 13, the analog input levels and digital output levels will be changed. If an op-amp from the HFA family of parts is used to drive the input, then its supply voltages will have to be skewed to get the output swings required. The digital output levels can be translated to TTL levels by using a positive ECL logic family (PECL) provided by Motorola.

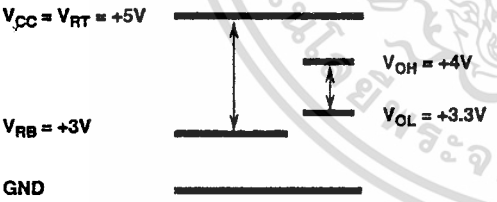


FIGURE 13. POSITIVE ECL LEVELS

Reference 7 and Reference 8 have more information on using this logic family.

When running the ECL parts at the normal -5.2V supply the ECL logic levels can be translated to TTL levels using parts provided by Motorola and Texas Instruments. TI provides a wide range of parts that includes buffers, transceivers, and latches. Reference 7 and Reference 9 have a complete listing of the parts available from these vendors.

Extraneous digital noise should be kept out of the convert clock source in order to minimize the timing jitter on this line and the resulting reduction of the signal to noise ratio (SNR) of the ADC. Given a 250MHz input frequency to an HI1276 and an rms jitter (t_A) of 2ps on the clock source, the SNR that can be expected only due to the effects of timing jitter can be found from:

$$SNR = 20 \times \log\left(\frac{1}{2 \times \pi \times F_{IN} \times t_A}\right)$$

$$SNR = 20 \times \log\left(\frac{1}{2 \times \pi \times 250 \times 10^6 \times 2 \times 10^{-12}}\right) = 50dB$$

It is not a trivial task to design a clock source with 2ps of jitter and in this case it might be beneficial to use a highly stable discrete bipolar sinewave crystal oscillator with heavy filtering to remove as much wideband and narrowband noise as possible. Figure 14 is a circuit that can be used to convert a sinewave from the clock source to the ECL levels required by the converter.

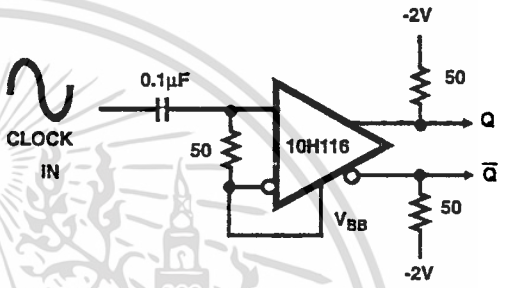


FIGURE 14. CLOCK CIRCUIT

In the interest of keeping out any digital noise, the convert clock source should be treated as an analog circuit and as such grouped with the other analog components. Be careful not to let this clock couple into the other analog circuitry.

Many times an application requires that a high sample rate ECL converter be interfaced to slower TTL DSP or buffer memories. Figure 15 is a circuit that can be used to demux the ECL digital data out of a converter effectively cutting the output data rate in half. This reduction in data rate can be extended by adding additional latches and the appropriate timing signals.

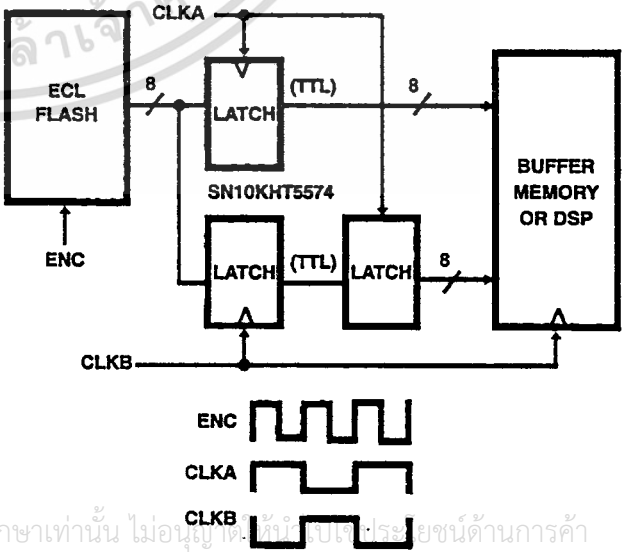


FIGURE 15. DATA DEMUX CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Antialiasing Filters

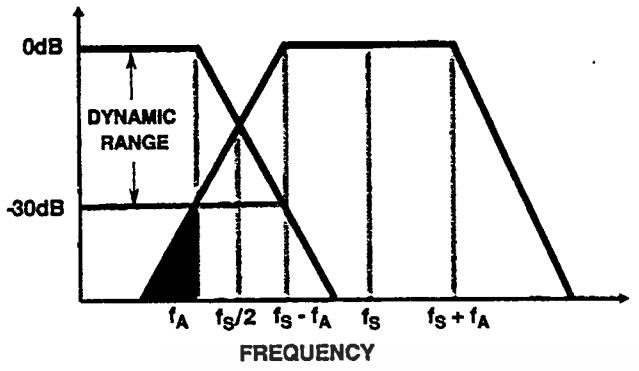


FIGURE 16. ALIASING EFFECTS

Figure 16 shows the effect of sampling a bandlimited signal at less than nyquist ($f_S/2$). The shaded area are signals at frequencies that were not in the original information but have been aliased into the baseband and will now limit the overall dynamic range of this system to 30dB. If this was intended to be a 12 bit system, then the dynamic range is significantly less then the desired 74dB. An antialiasing lowpass filter would be used to modify the rolloff from fa to $f_S/2$ so that the aliased signals would now be below 74dB in the baseband. Several considerations need to be taken into account when designing the filter. The designer must know the required passband flatness, the rolloff rate of the transition band, the final attenuation, and the phase characteristics. The lower the sampling rate, the steeper the rolloff has to be, the more poles required by the filter, and the greater the complexity of the filter design.

There are a number of types of lowpass antialiasing filters and each one has certain characteristics. A Butterworth filter has the flattest response near dc and has a moderately fast rolloff. This filter emphasizes constant amplitude versus constant phase shift therefore, the pulse response would have overshoot. A Chebyshev filter has a rapid attenuation above the cutoff frequency with some passband ripple. It has a squarer amplitude response than the Butterworth but less desirable phase and time delay. The Cauer (Elliptical) filter surpasses other filter designs for critical amplitude applications. It's very sharp rolloff rate with some ripple has the squarest possible amplitude response with poor phase and transient response. The Bessel filter has an optimized phase response over a wide input frequency. The passband response is not as flat as the Butterworth and it has a moderate attenuation rate. This filter is most useful for pulse applications since it avoids overshoot/undershoot. Reference 10 gives an excellent discussion of these and other considerations in choosing an antialiasing filter.

Passive filters are usually recommended for higher frequency filters (>200kHz). They will have impedances of around 50Ω to 100Ω. If the signal source can drive the filter, and the ADC has a high input impedance, then place these filters directly ahead of the converter so the output noise of any buffer circuit will also be band limited.

Active filters are useful below 200kHz. Keep in mind the considerations that have already been pointed out when selecting an op-amp to use with this type of filter.

HI5800 Step Input Applications

In order to get the best performance in muxed or CCD applications that use an HI5800, the step input to the converter should be timed correctly. As shown Figure 17, the overall digital system should be quiet during the time the HI5800 is doing its final pass to 12 bit accuracy (t_B to t_C). The preferred time to switch the input is between t_A and t_B because it allows about 200ns for the input to settle to 12 bits prior to the HI5800 sample-and-hold acquisition time. If the input is switched at t_C, then the overall conversion time of the HI5800 has to be extended to let the input to settle and still allow for the acquisition time of the sample-and-hold. Consult the HI5800 datasheet for the exact timing values.

It is difficult to find muxes that will settle to 0.01% accuracy in less than 200ns. The HI-508 is a 8 channel single ended mux that will settle to 0.01% in typically 600ns. The acquisition time of the HI5800 would have to be extended by 400ns to accommodate the mux settling time which would decrease the system throughput rate to 1.3MHz.

If the user wants higher throughput, they will have to settle for fewer channels. The HI-201HS is a four channel mux which will settle to 0.1% (10 bits) in typically 180ns. Another choice is the HA-2444. It is a selectable four channel operational amplifier with a settling time of 120ns to 0.1%. If very high switching speeds are required, then DMOS switches can be used. Siliconix provides a series of high-speed DMOS switches in the DG6XX series that will switch in about 25ns and can be driven by standard TTL logic. Since 12 bit settling times are highly dependent on the board layout and numerous other factors, it is unlikely the user will be able to calculate an exact number for the throughput of a particular system from data sheet information.

Input Clamping

There are various reasons for clamping the input to a converter. In muxed input application the converter might be subject to frequent over range conditions as the mux switches from channel to channel. A clamp circuit that limits the input to small overranges would protect the converter and also significantly reduce the amount of time it would take the ADC to recover from the overrange. The analog input to the converter could also be severely overdriven if the supplies to an input buffer come up before the supplies to the ADC. The obvious solution to this problem is to power the input circuitry off the same supplies as the ADC. However, many flashes can operate at input levels that are above the maximum output voltage capability of an op-amp operated at the same rails that power the converter. Therefore, the input op-amp must operate off different supplies and the situation exists for power sequencing problems. The HI1175 is susceptible to this effect, and therefore it is recommended the input be diode clamped to V_{DD} and GND.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$t_{AD} = t_A$ = APERTURE DELAY (~20ns)
t_{IRQ} = IRQ HIGH TIME (~200ns)
t_{ACQ} = SAMPLE AND HOLD ACQUISITION TIME (~130ns)
t_{CONV} = CONVERSION TIME (~333ns)
t_F = FIRST PASS (~56ns)
t_S = SECOND PASS (TO 12 BITS ~133ns)

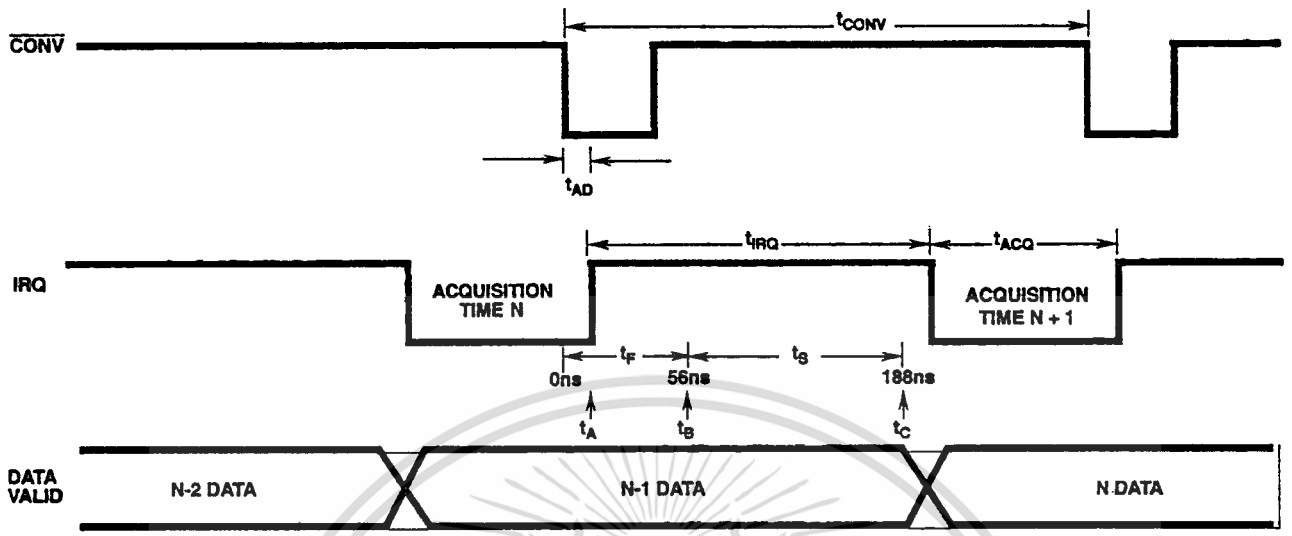


FIGURE 17. HI5800 TIMING

Figure 18 is a circuit that might be used to clamp the input to the voltages set on V+ and V-. These voltages could be the rails of the converter or the reference circuit in Figure 4 could be used to generate the required voltages. Resistor R should be calculated to limit the current to a safe level through the clamp diodes and the analog input of the flash. As discussed in the op-amp, section the value of this resistor should be kept as small as possible to maximize circuit performance. The diodes will add a voltage dependent capacitance at the input to the flash which will put an additional load on the op-amp drive requirements.

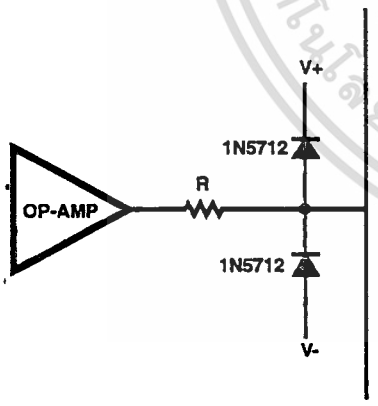


FIGURE 18. INPUT CLAMP CIRCUIT

The analog input to the HI5800 can be clamped to 2.5V . It should **NOT** be clamped to the supply rails because these levels on the input will damage the part. The positive clamp voltage can be derived from the HI5800 +2.5V reference output but it should be buffered by an op-amp because the ADC reference is not designed to sink large clamp currents. Another op-amp can be used to invert the +2.5V to generate the negative clamp voltage.

An elegant solution to the clamp problem for the ECL converters is to use an HFA1130 clamped amp. This op-amp has the electrical characteristics of the HFA1100 with the addition of two pins, V_H and V_L, which can be used to set the level at which the output is clamped. The clamp pins are a high impedance so they can be driven by simple resistive divider circuit or a DAC.

References

[1] Harvey, Barry, "Take Advantage of Current-Feedback Amps for High-Frequency Gain", Electronic Design, 18 March, 1993.

[2] Fredrickson, Thomas M.,"Intuitive Operational Amplifiers," McGraw-Hill Inc., New York, NY, 1988.

[3] Lan, Bruce, "Matching Amplifiers With ADC Converters", Electronic Products, August, 1992.

[4] "MECL System Design Handbook" Fourth Edition, Motorola, 1983.

[5] Demler, Michael J., "High-Speed Analog-To-Digital Conversion," Academic Press Inc., 1992.

[6] Buchanan, James, "CMOS/TTL Digital Systems Design", McGraw-Hill Inc., New York, NY, 1990.

[7] "Motorola Device Data", Motorola databook, 1993.

[8] "Designing with PECL Logic", Motorola Application Note AN1406/D, 1992.

[9] "Advanced Logic and Bus Interface Logic", Texas Insturments databook, 1992.

[10] Robert W. Steer, "Antialiasing Filters Reduce Errors in A/D Converters", EDN, March 30, 1989.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA124, CA224, CA324, LM324, LM2902

Quad, 1MHz, Operational Amplifiers for Commercial, Industrial, and Military Applications

November 1996

Features

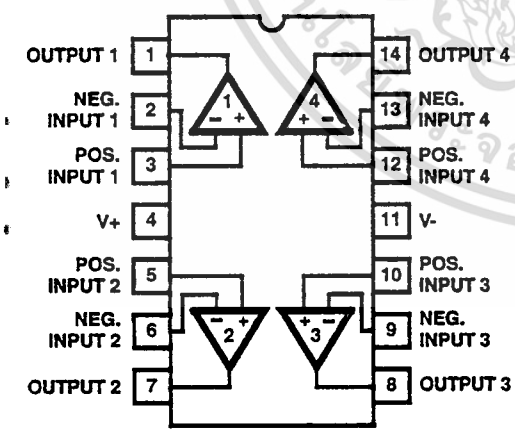
- Operation from Single or Dual Supplies
- Unity-Gain Bandwidth . . . . . 1MHz (Typ)
- DC Voltage Gain . . . . . 100dB (Typ)
- Input Bias Current . . . . . 45nA (Typ)
- Input Offset Voltage . . . . . 2mV (Typ)
- Input Offset Current
  - CA224, CA324, LM324, LM2902 . . . . . 5nA (Typ)
  - CA124 . . . . . 3nA (Typ)
- Replacement for Industry Types 124, 224, 324

Applications

- Summing Amplifiers
- Multivibrators
- Oscillators
- Transducer Amplifiers
- DC Gain Blocks

Pinout

CA124, CA224, CA324, LM2902 (PDIP, SOIC)
LM324 (PDIP)
TOP VIEW



Description

The CA124, CA224, CA324, LM324, and LM2902 consist of four independent, high-gain operational amplifiers on a single monolithic substrate. An on-chip capacitor in each of the amplifiers provides frequency compensation for unity gain. These devices are designed specially to operate from either single or dual supplies, and the differential voltage range is equal to the power-supply voltage. Low power drain and an input common-mode voltage range from 0V to V+ -1.5V (single-supply operation) make these devices suitable for battery operation.

Ordering Information

PART NUMBER (BRAND)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA0124E	-55 to 125	14 Ld PDIP	E14.3
CA0124M (124)	-55 to 125	14 Ld SOIC	M14.15
CA0124M96 (124)	-55 to 125	14 Ld SOIC Tape and Reel	M14.15
CA0224E	-40 to 85	14 Ld PDIP	E14.3
CA0224M (224)	-40 to 85	14 Ld SOIC	M14.15
CA0224M96 (224)	-40 to 85	14 Ld SOIC Tape and Reel	M14.15
CA0324E	0 to 70	14 Ld PDIP	E14.3
CA0324M (324)	0 to 70	14 Ld SOIC	M14.15
CA0324M96 (324)	0 to 70	14 Ld SOIC Tape and Reel	M14.15
LM324N	0 to 70	14 Ld PDIP	E14.3
LM2902N	-40 to 85	14 Ld PDIP	E14.3
LM2902M (2902)	-40 to 85	14 Ld SOIC	M14.15
LM2902M96 (2902)	-40 to 85	14 Ld SOIC Tape and Reel	M14.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1996

File Number 796.3

Absolute Maximum Ratings

Supply Voltage ..... 32V or ±16V
Differential Input Voltage 32V
Input Voltage ..... -0.3V to 32V
Input Current (V_I < -0.3V, Note 1) 50mA
Output Short Circuit Duration (V+ ≤ 15V, Note 2) ..... Continuous

Operating Conditions

Temperature Range
CA124 ..... -55°C to 125°C
CA224, LM2902 ..... -40°C to 85°C
CA324, LM324 ..... 0°C to 70°C

Thermal Information

Thermal Resistance (Typical, Note 3) θ_{JA} (°C/W)
PDIP Package 100
SOIC Package 175
Maximum Junction Temperature (Die) ..... 175°C
Maximum Junction Temperature (Plastic Package) ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied

NOTES:

1. This input current will only exist when the voltage at any of the input leads is driven negative. This current is due to the collector base junction of the input p-n-p transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral n-p-n parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the amplifiers to go to the V+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This transistor action is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3V.
2. The maximum output current is approximately 40mA independent of the magnitude of V+. Continuous short circuits at V+ > 15V can cause excessive power dissipation and eventual destruction. Short circuits from the output to V+ can cause overheating and eventual destruction of the device.
3. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

Values Apply for Each Operational Amplifier. Supply Voltage V+ = 5V, V- = 0V, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	TEMP. (°C)	CA124			CA224, CA324, LM324			LM2902			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage (Note 6)		25	-	2	5	-	2	7	-	-	-	mV
		Full	-	-	7	-	-	9	-	-	10	mV
Average Input Offset Voltage Drift	R_S = 0Ω	Full	-	7	-	-	7	-	-	7	-	µV/°C
Differential Input Voltage (Note 5)		Full	-	-	V+	-	-	V+	-	-	V+	V
Input Common Mode Voltage Range (Note 5)	V+ = 30V	25	0	-	V+ -1.5	0	-	V+ -1.5	-	-	-	V
	V+ = 30V	Full	0	-	V+ -2	0	-	V+ -2	-	-	-	V
	V+ = 26V	Full	-	-	-	-	-	-	0	-	V+ -2	V
Common Mode Rejection Ratio	DC	25	70	85	-	65	70	-	-	-	-	dB
Power Supply Rejection Ratio	DC	25	65	100	-	65	100	-	-	-	-	dB
Input Bias Current (Note 4)	I_I+ or I_I-	25	-	45	150	-	45	250	-	-	-	nA
	I_I+ or I_I-	Full	-	-	300	-	-	500	-	40	500	nA
Input Offset Current	I_I+ - I_I-	25	-	3	30	-	5	50	-	-	-	nA
	I_I+ - I_I-	Full	-	-	100	-	-	150	-	45	200	nA
Average Input Offset Current Drift		Full	-	10	-	-	10	-	-	10	-	pA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications Values Apply for Each Operational Amplifier. Supply Voltage V+ = 5V, V- = 0V, Unless Otherwise Specified **(Continued)**

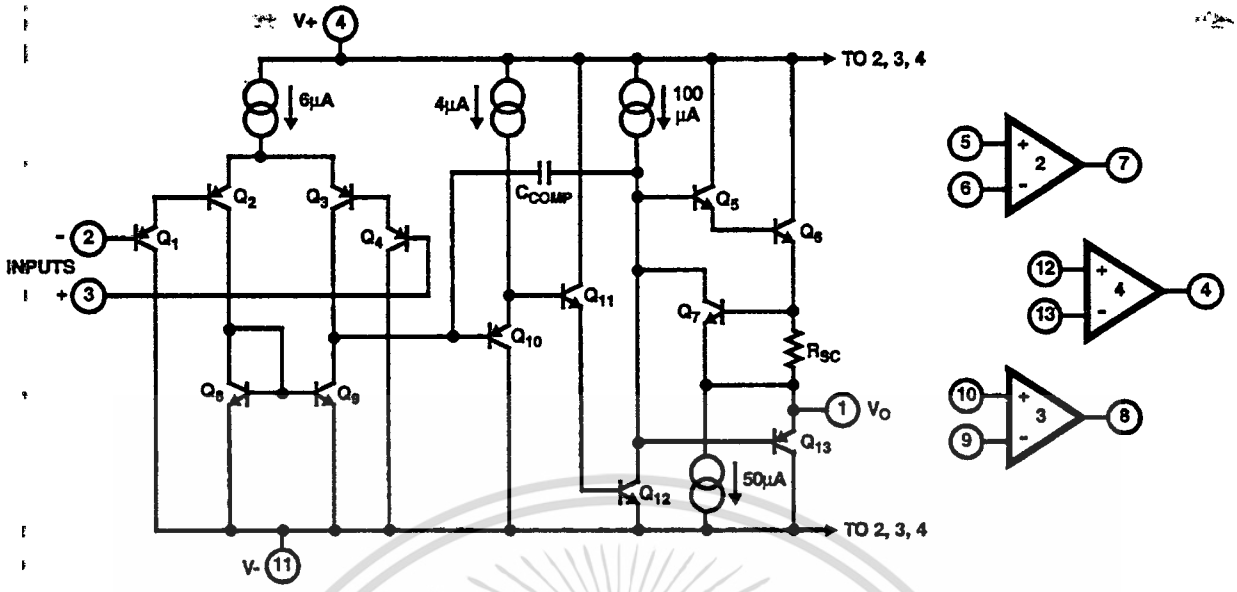
PARAMETER		TEST CONDITIONS	TEMP. (°C)	CA124			CA224, CA324, LM324			LM2902			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Large Signal Voltage Gain		$R_L \geq 2k\Omega$, V+ = 15V (For Large V_O Swing)	25	94	100	-	88	100	-	-	-	-	dB
		$R_L \geq 2k\Omega$, V+ = 15V (For Large V_O Swing)	Full	88	-	-	83	-	-	83	-	-	dB
Output Voltage Swing		$R_L = 2k\Omega$	25	0	-	V+ -1.5	0	-	V+ -1.5	-	-	-	V
	High Level	$R_L = 2k\Omega$, V+ = 30V	Full	26	-	-	26	-	-	-	-	-	V
		$R_L = 2k\Omega$, V+ = 26V	Full	-	-	-	-	-	-	22	-	-	V
		$R_L = 10k\Omega$, V+ = 30V	Full	27	28	-	27	28	-	23	28	-	V
	Low Level	$R_L = 10k\Omega$	Full	-	5	20	-	5	20	-	5	100	mV
Output Current	Source	$V_I+ = +1V$, $V_I- = 0V$, V+ = 15V	25	20	40	-	20	40	-	-	-	-	mA
		$V_I+ = 1V$, $V_I- = 0$, V+ = 15V	Full	10	20	-	10	20	-	10	20	-	mA
	Sink	$V_I+ = 0V$, $V_I- = 1V$, V+ = 15V	25	10	20	-	10	20	-	-	-	-	mA
		$V_I+ = 0V$, $V_I- = 1V$, $V_O = 200mV$	25	12	50	-	12	50	-	-	-	-	µA
		$V_I- = 1V$, $V_I+ = 0$, V+ = 15V	Full	5	8	-	5	8	-	5	8	-	mA
Crosstalk		f = 1 to 20kHz (Input Referred)	25	-	-120	-	-	-120	-	-	-	-	dB
Total Supply Current		$R_L = \infty$	Full	-	0.8	2	-	0.8	2	-	0.7	1.2	mA
		$R_L = \infty$, V+ = 26V	Full	-	-	-	-	-	-	-	1.5	3	mA

NOTES:

4. Due to the PNP input stage the direction of the input current is out of the IC. No loading change exists on the input lines because the current is essentially constant, independent of the state of the output.
5. The input signal voltage and the input common mode voltage should not be allowed to go negative by more than 0.3V. The positive limit of the common mode voltage range is V+ - 1.5V, but either or both inputs can go to +32V without damage.
6. V_O = 1.4V, $R_S = 0\Omega$ with V+ from 5V to 30V, and over the full input common mode voltage range (0V to V+ - 1.5V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram (One of Four Operational Amplifiers)



Typical Performance Curves

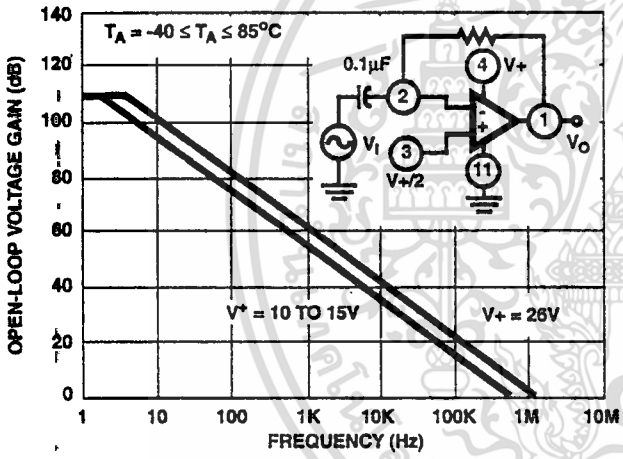


FIGURE 1. OPEN LOOP FREQUENCY RESPONSE

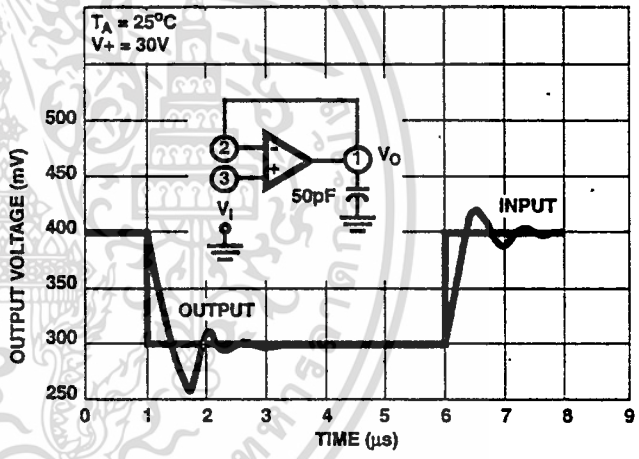


FIGURE 2. VOLTAGE FOLLOWER PULSE RESPONSE (SMALL SIGNAL)

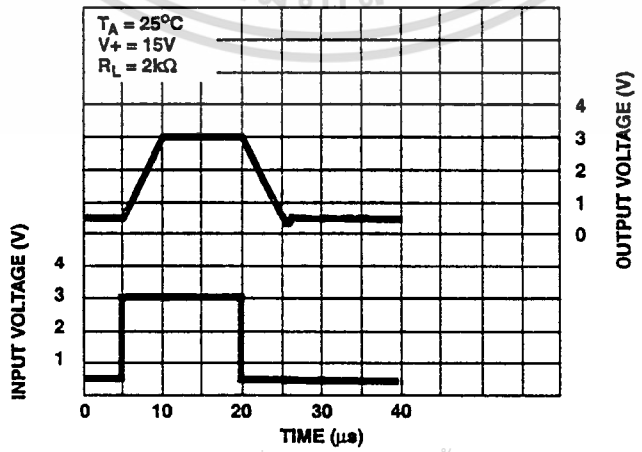


FIGURE 3. VOLTAGE FOLLOWER PULSE RESPONSE (LARGE SIGNAL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

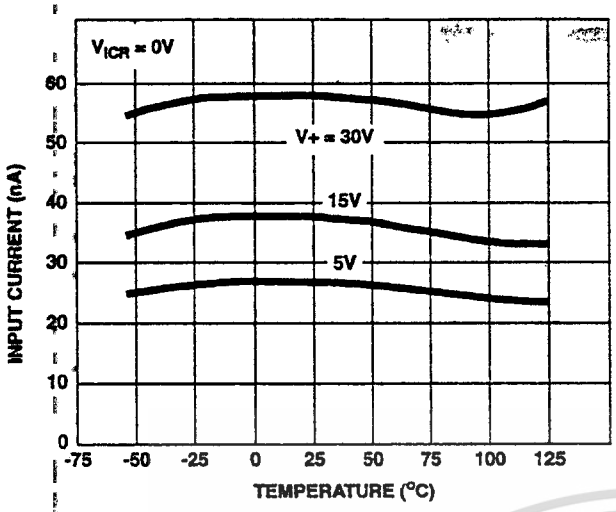


FIGURE 4. INPUT CURRENT vs AMBIENT TEMPERATURE

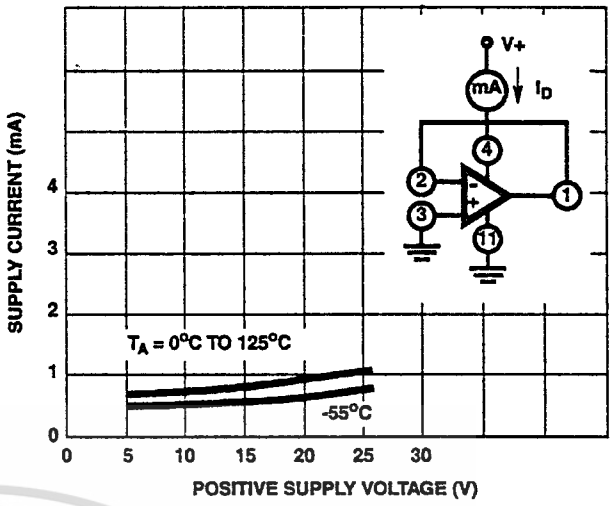


FIGURE 5. SUPPLY CURRENT vs SUPPLY VOLTAGE

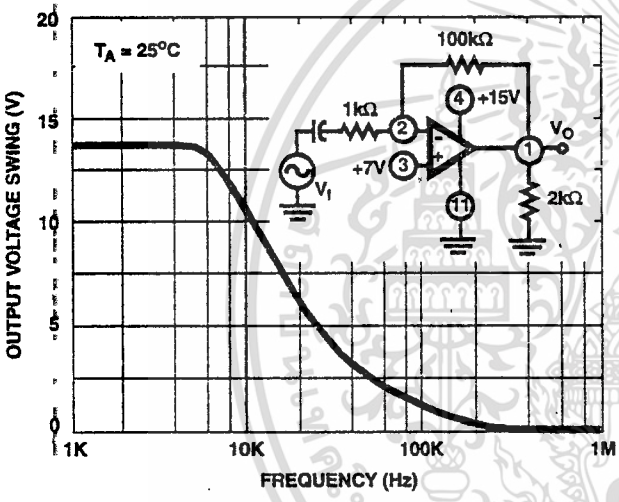


FIGURE 6. LARGE SIGNAL FREQUENCY RESPONSE

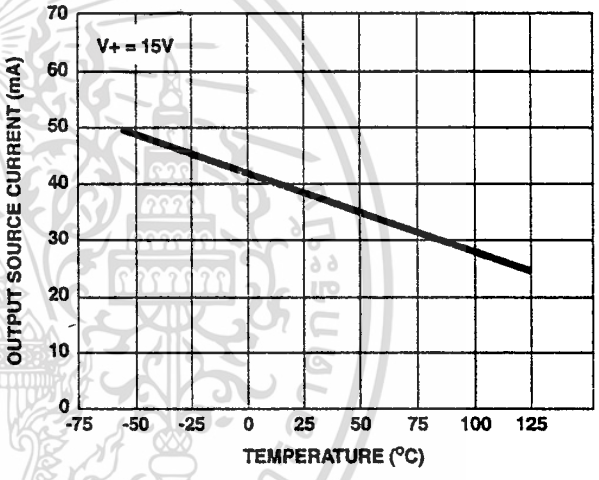


FIGURE 7. OUTPUT CURRENT vs AMBIENT TEMPERATURE

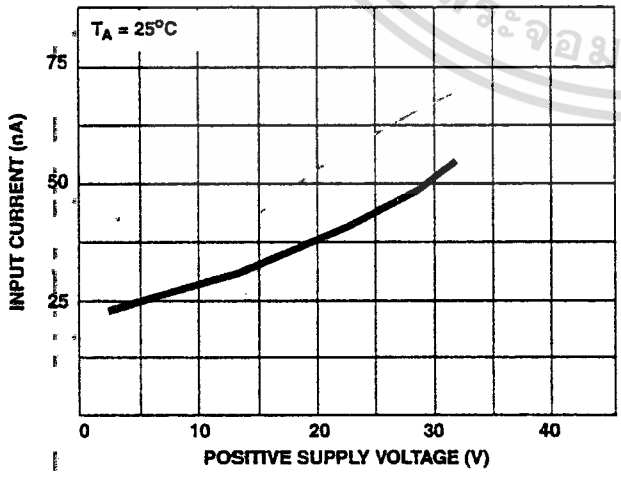


FIGURE 8. INPUT CURRENT vs SUPPLY VOLTAGE

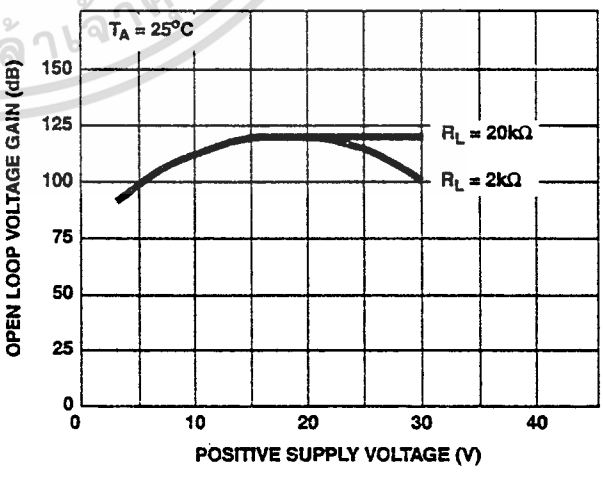


FIGURE 9. VOLTAGE GAIN vs SUPPLY VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

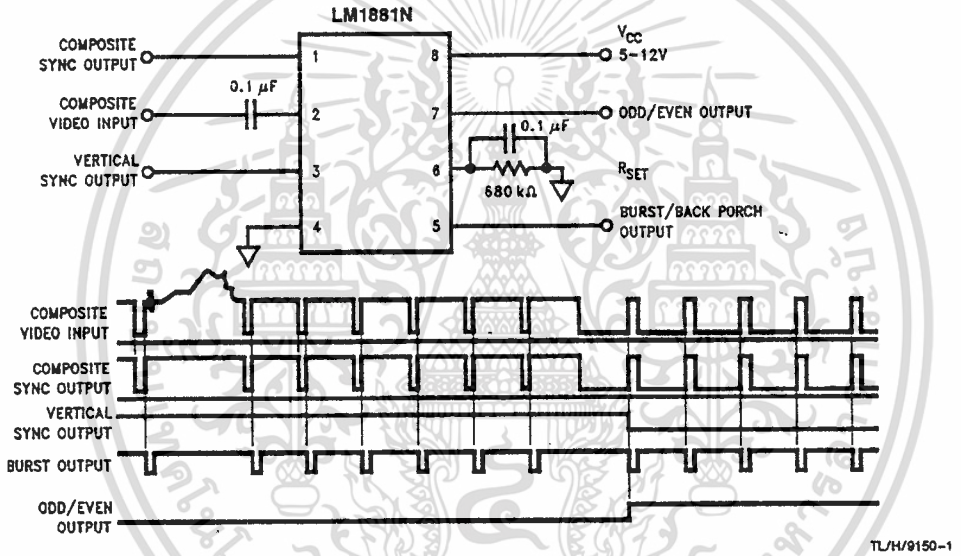
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

©1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

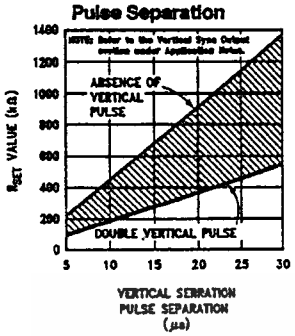
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

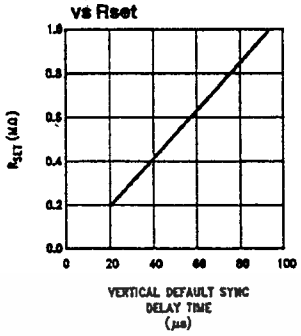
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

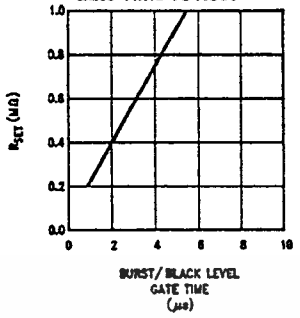
R_{set} Value Selection vs Vertical Serration Pulse Separation



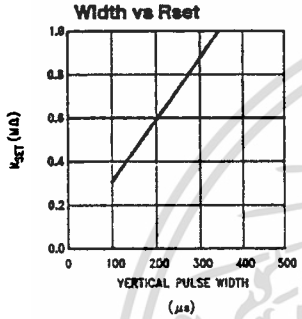
Vertical Default Sync Delay Time vs Rset



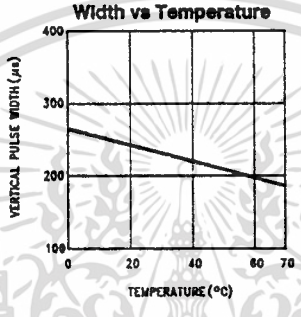
Burst/Black Level Gate Time vs Rset



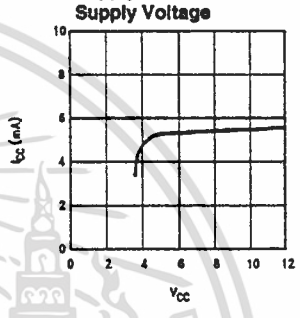
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

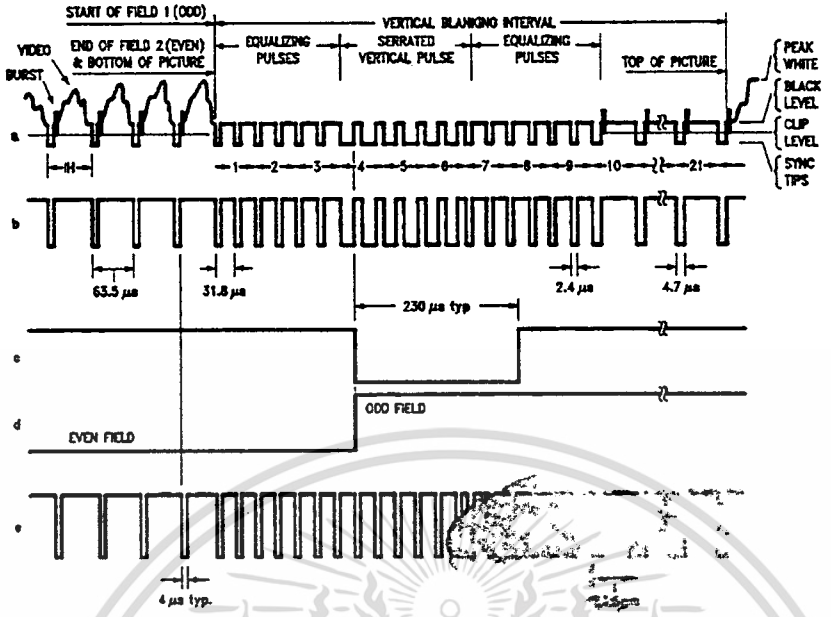
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

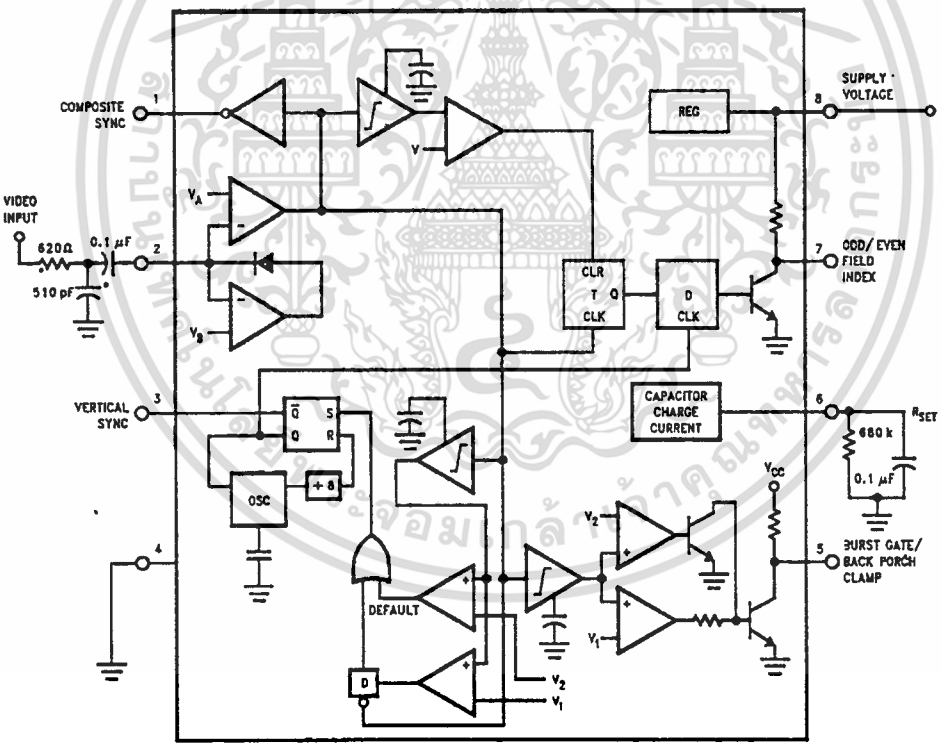
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 μs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 μs, much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 μs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

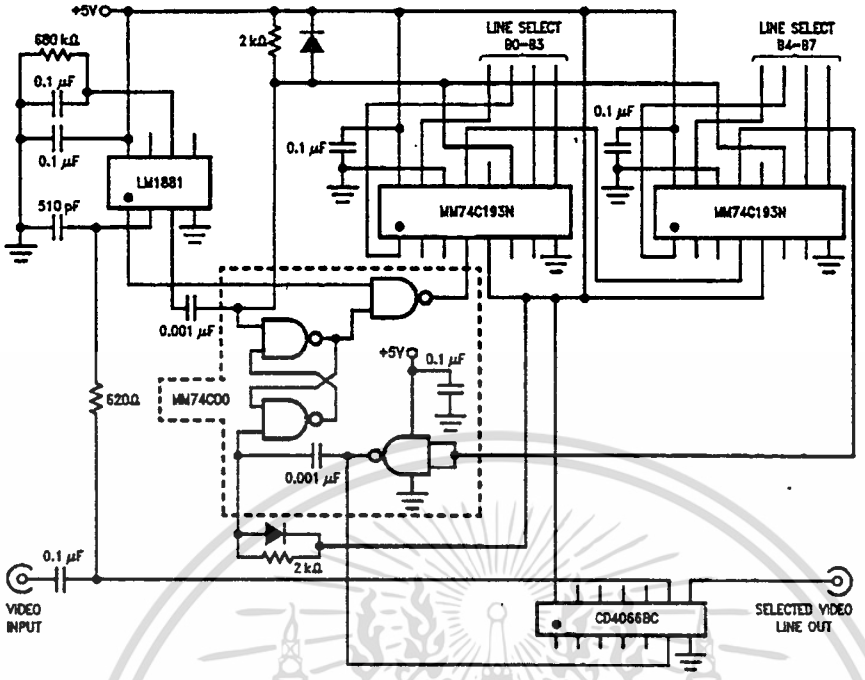
The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

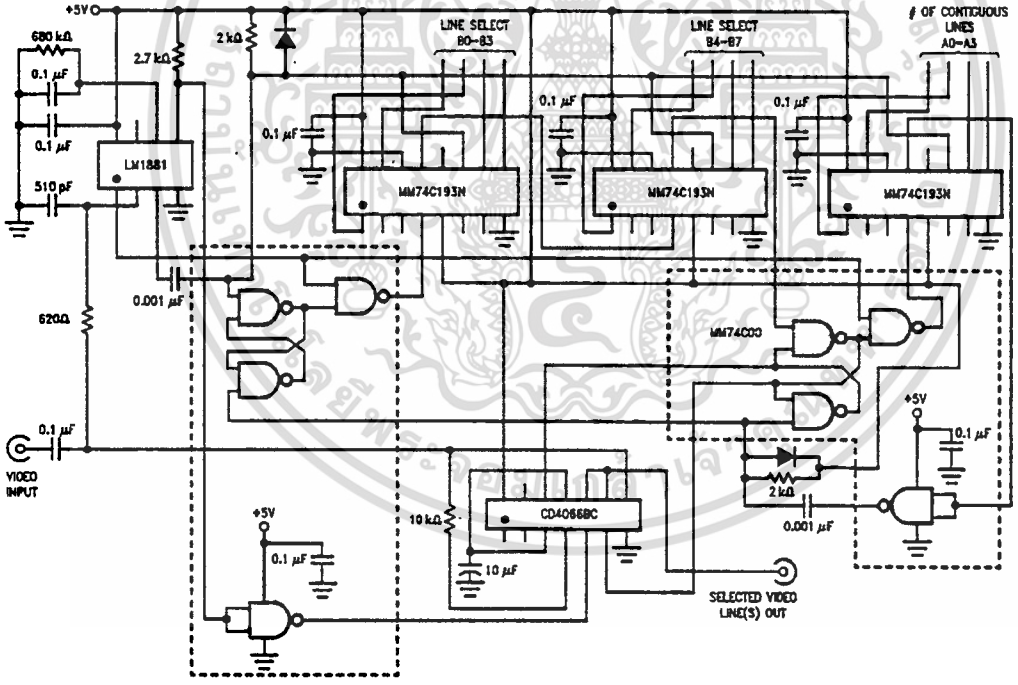
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



TL/H/9150–5

FIGURE 4. Video Line Selector



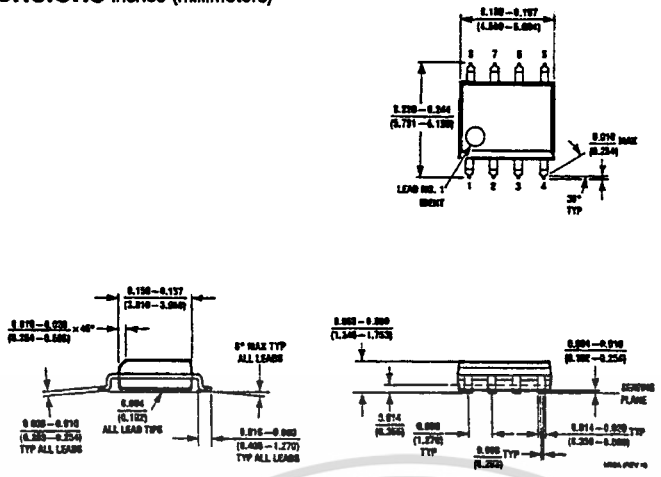
TL/H/9150–6

FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

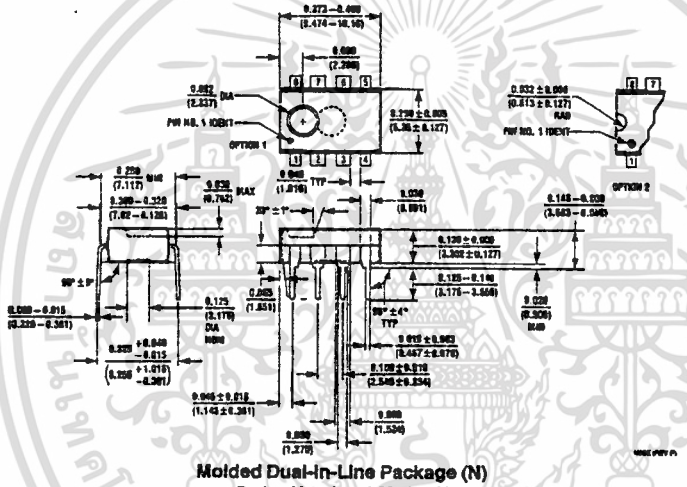
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

Lit. # 107636



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N03E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: onjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

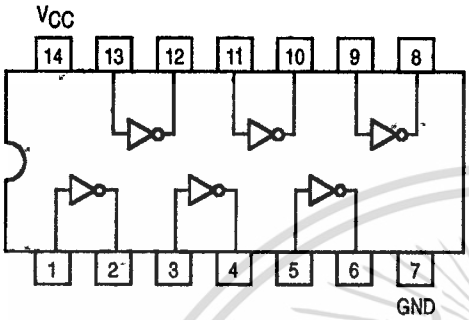
MOTOROLA
SEMICONDUCTOR

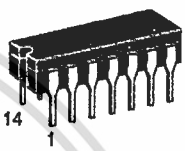
HEX INVERTER

SN54/74LS04

HEX INVERTER

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				2.4	mA	V_{CC} = MAX	
	Total, Output LOW				6.6			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS122
SN54/74LS123

RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

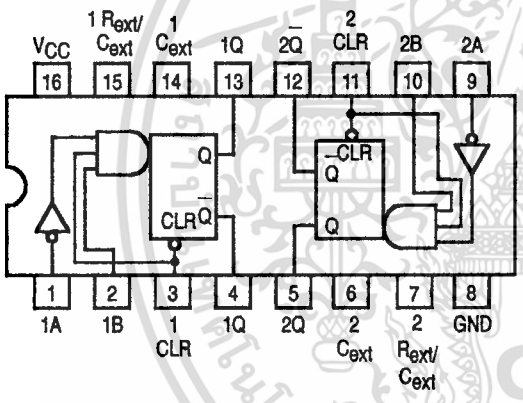
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

LOW POWER SCHOTTKY

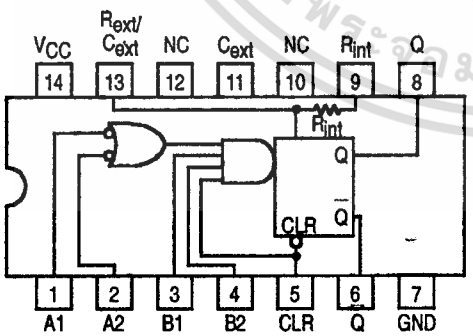
These dc triggered multivibrators feature pulse width control by three methods. The basic pulse width is programmed by selection of external resistance and capacitance values. The LS122 has an internal timing resistor that allows the circuits to be used with only an external capacitor. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear.

- Overriding Clear Terminates Output Pulse
- Compensated for V_{CC} and Temperature Variations
- DC Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, up to 100% Duty Cycle
- Internal Timing Resistors on LS122

SN54/74LS123 (TOP VIEW)
(SEE NOTES 1 THRU 4)

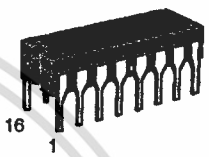


SN54/74LS122 (TOP VIEW)
(SEE NOTES 1 THRU 4)

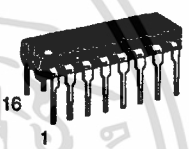


NC — NO INTERNAL CONNECTION.

NOTES:
1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of the LS122, connect R_{int} to V_{CC}.
3. For improved pulse width accuracy connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
4. To obtain variable pulse widths, connect an external variable resistance between R_{int}/C_{ext} and V_{CC}.

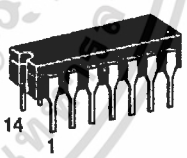


J SUFFIX
CERAMIC
CASE 620-09

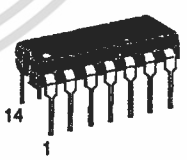


N SUFFIX
PLASTIC
CASE 648-08

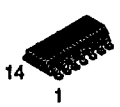
D SUFFIX
SOIC
CASE 751B-03



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS122
FUNCTIONAL TABLE

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\overline{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	↑	H	⎍	⎎
H	L	X	H	↑	⎍	⎎
H	X	L	↑	H	⎍	⎎
H	X	L	H	↑	⎍	⎎
H	H	↓	H	H	⎍	⎎
H	↓	↓	H	H	⎍	⎎
H	↓	H	H	H	⎍	⎎
↑	L	X	H	H	⎍	⎎
↑	X	L	H	H	⎍	⎎

LS123
FUNCTIONAL TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

TYPICAL APPLICATION DATA

The output pulse t_W is a function of the external components, C_{ext} and R_{ext} or C_{ext} and R_{int} on the LS122. For values of $C_{ext} \geq 1000$ pF, the output pulse at $V_{CC} = 5.0$ V and $V_{RC} = 5.0$ V (see Figures 1, 2, and 3) is given by

$$t_W = K\, R_{ext}\, C_{ext} \text{ where K is nominally 0.45}$$

If C_{ext} is on pF and R_{ext} is in kΩ then t_W is in nanoseconds.

The C_{ext} terminal of the LS122 and LS123 is an internal connection to ground, however for the best system performance C_{ext} should be hard-wired to ground.

Care should be taken to keep R_{ext} and C_{ext} as close to the monostable as possible with a minimum amount of inductance between the R_{ext}/C_{ext} junction and the R_{ext}/C_{ext} pin. Good groundplane and adequate bypassing should be designed into the system for optimum performance to insure that no false triggering occurs.

It should be noted that the C_{ext} pin is internally connected to ground on the LS122 and LS123, but not on the LS221. Therefore, if C_{ext} is hard-wired externally to ground, substitution of a LS221 onto a LS123 socket will cause the LS221 to become non-functional.

The switching diode is not needed for electrolytic capacitance application and should not be used on the LS122 and LS123.

To find the value of K for $C_{ext} \geq 1000$ pF, refer to Figure 4. Variations on V_{CC} or V_{RC} can cause the value of K to change, as can the temperature of the LS123, LS122. Figures 5 and 6 show the behavior of the circuit shown in Figures 1 and 2 if separate power supplies are used for V_{CC} and V_{RC}. If V_{CC} is tied to V_{RC}, Figure 7 shows how K will vary with V_{CC} and temperature. Remember, the changes in R_{ext} and C_{ext} with temperature are not calculated and included in the graph.

As long as $C_{ext} \geq 1000$ pF and $5K \leq R_{ext} \leq 260K$ (SN74LS122/123) or $5K \leq R_{ext} \leq 160$ K (SN54LS122/123), the change in K with respect to R_{ext} is negligible.

If $C_{ext} \leq 1000$ pF the graph shown on Figure 8 can be used to determine the output pulse width. Figure 9 shows how K will change for $C_{ext} \leq 1000$ pF if V_{CC} and V_{RC} are connected to the same power supply. The pulse width t_W in nanoseconds is approximated by

$$t_W = 6 + 0.05\, C_{ext}\,(pF) + 0.45\, R_{ext}\,(k\Omega)\, C_{ext} + 11.6\, R_{ext}$$

In order to trim the output pulse width, it is necessary to include a variable resistor between V_{CC} and the R_{ext}/C_{ext} pin or between V_{CC} and the R_{ext} pin of the LS122. Figure 10, 11, and 12 show how this can be done. R_{ext} remote should be kept as close to the monostable as possible.

Retriggering of the part, as shown in Figure 3, must not occur before C_{ext} is discharged or the retrigger pulse will not have any effect. The discharge time of C_{ext} in nanoseconds is guaranteed to be less than 0.22 C_{ext} (pF) and is typically 0.05 C_{ext} (pF).

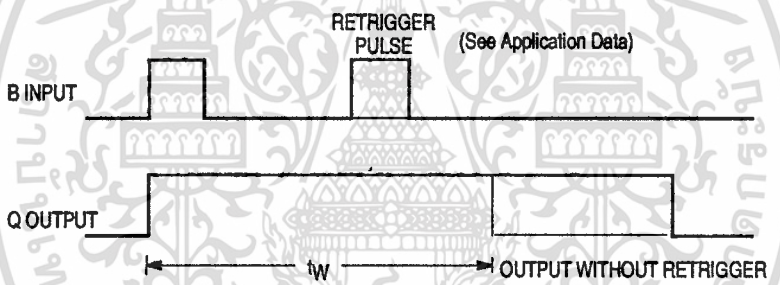
For the smallest possible deviation in output pulse widths from various devices, it is suggested that C_{ext} be kept ≥ 1000 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

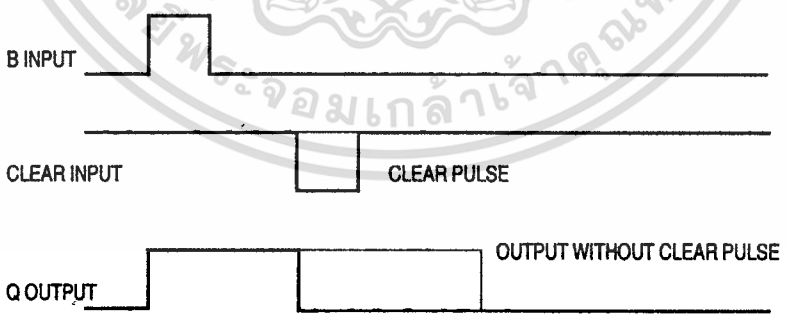
GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA
R_{ext}	External Timing Resistance	54 74	5.0 5.0		180 260	kΩ
C_{ext}	External Capacitance	54, 74	No Restriction			
R_{ext}/C_{ext}	Wiring Capacitance at R_{ext}/C_{ext} Terminal	54, 74			50	pF

WAVEFORMS



EXTENDING PULSE WIDTH



OVERRIDING THE OUTPUT PULSE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current	LS122			11	mA	V_{CC} = MAX	
		LS123			20			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Propagation Delay, A to Q		23	33	ns	C_{ext} = 0 C_L = 15 pF R_{ext} = 5.0 kΩ R_L = 2.0 kΩ
t_{PHL}	Propagation Delay, A to Q		32	45		
t_{PLH}	Propagation Delay, B to Q		23	44	ns	
t_{PHL}	Propagation Delay, B to Q		34	56		
t_{PLH}	Propagation Delay, Clear to Q		28	45	ns	
t_{PHL}	Propagation Delay, Clear to Q		20	27		
t_W min	A or B to Q		116	200	ns	C_{ext} = 1000 pF, R_{ext} = 10 kΩ, C_L = 15 pF, R_L = 2.0 kΩ
t_{WQ}	A to B to Q	4.0	4.5	5.0	μs	

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_W	Pulse Width	40			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

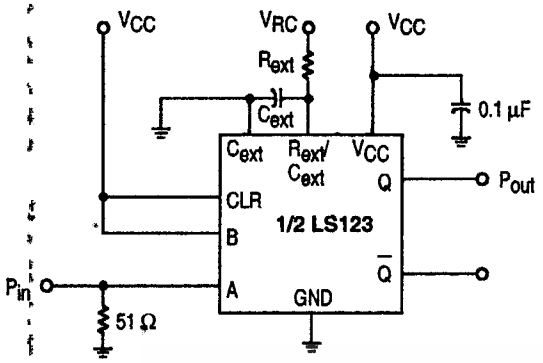


Figure 1

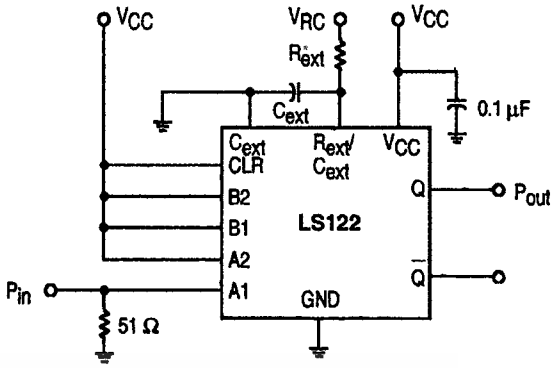


Figure 2

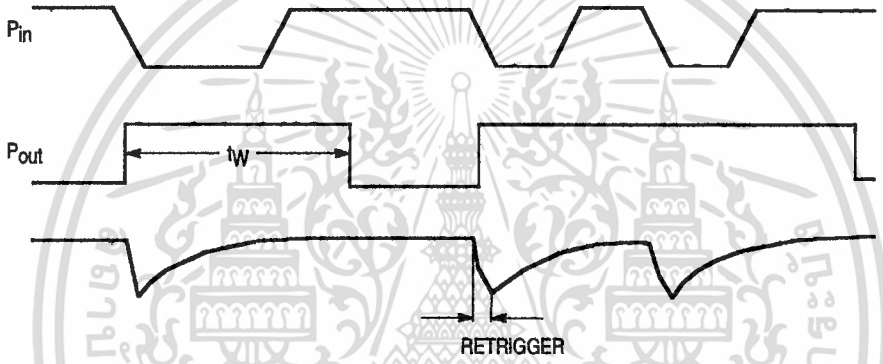


Figure 3

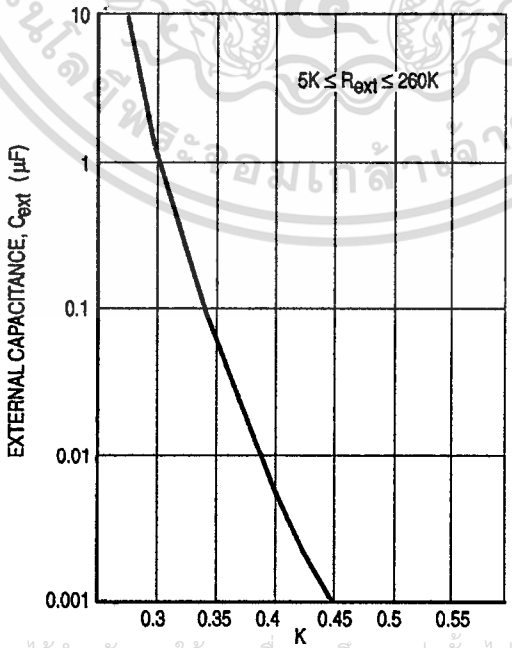


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

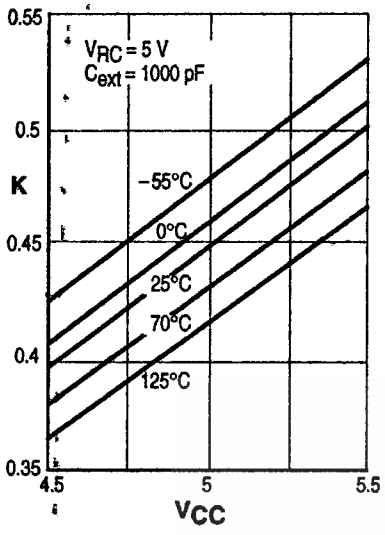


Figure 5. K versus V_{CC}

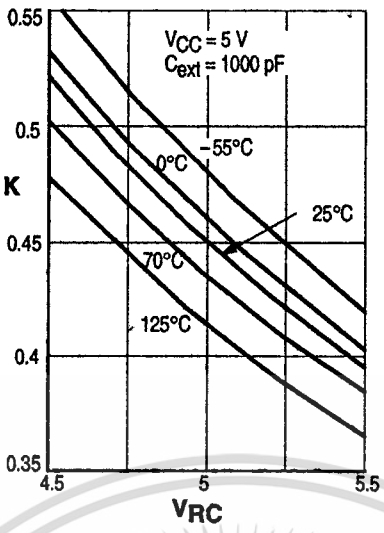


Figure 6. K versus V_{RC}

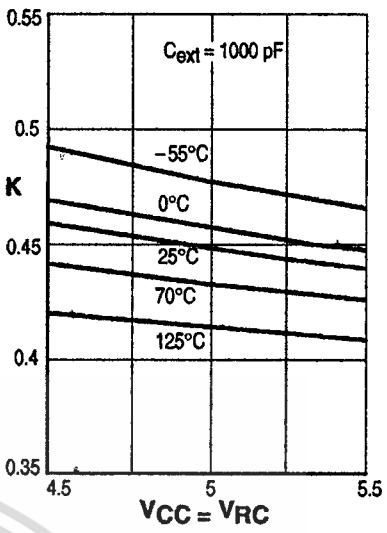


Figure 7. K versus V_{CC} and V_{RC}

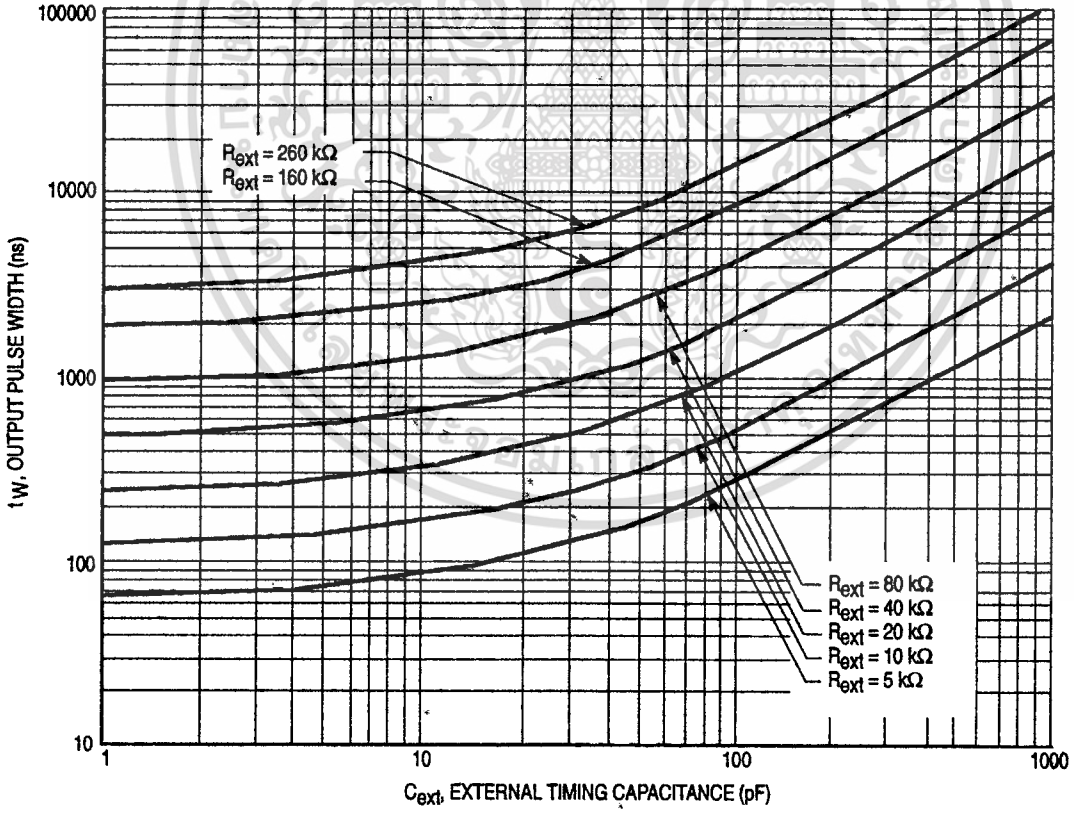


Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

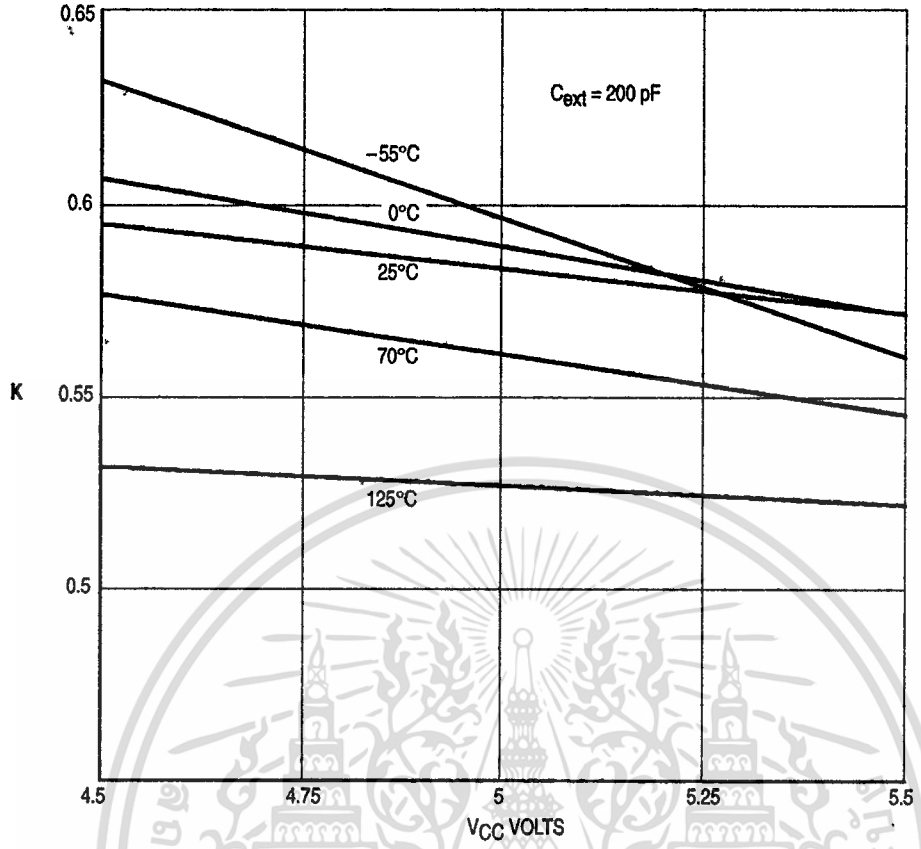


Figure 9

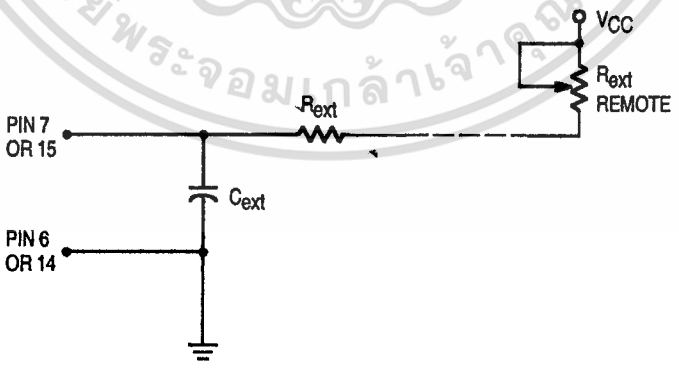


Figure 10. LS123 Remote Trimming Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

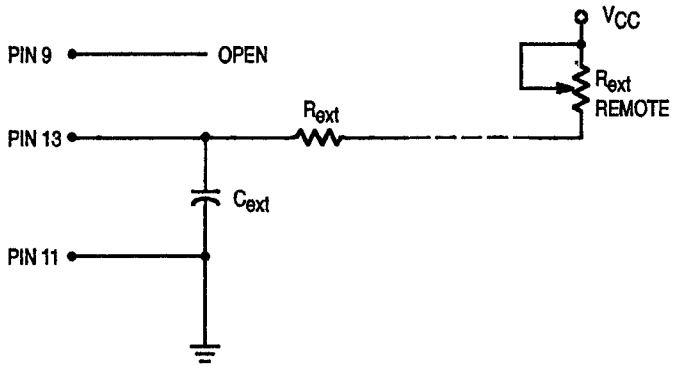


Figure 11. LS122 Remote Trimming Circuit Without R_{ext}

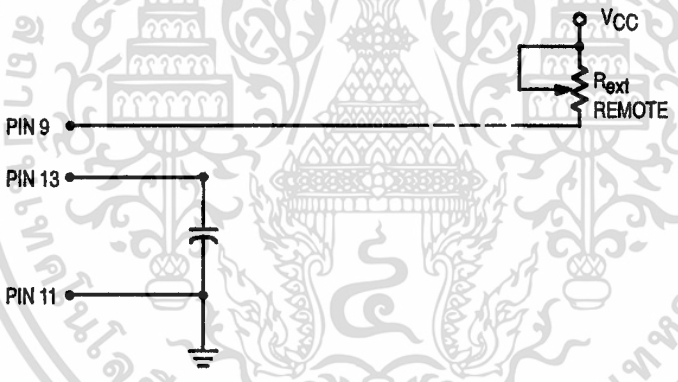


Figure 12. LS122 Remote Trimming Circuit with R_{int}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS160A
SN54/74LS161A
SN54/74LS162A
SN54/74LS163A

BCD DECADE COUNTERS/ 4-BIT BINARY COUNTERS

The LS160A/161A/162A/163A are high-speed 4-bit synchronous counters. They are edge-triggered, synchronously presettable, and cascadable MSI building blocks for counting, memory addressing, frequency division and other applications. The LS160A and LS162A count modulo 10 (BCD). The LS161A and LS163A count modulo 16 (binary.)

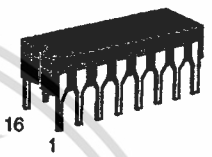
The LS160A and LS161A have an asynchronous Master Reset (Clear) input that overrides, and is independent of, the clock and all other control inputs. The LS162A and LS163A have a Synchronous Reset (Clear) input that overrides all other control inputs, but is active only during the rising clock edge.

	BCD (Modulo 10)	Binary (Modulo 16)
Asynchronous Reset	LS160A	LS161A
Synchronous Reset	LS162A	LS163A

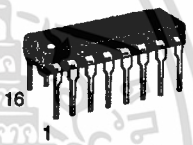
- Synchronous Counting and Loading
- Two Count Enable Inputs for High Speed Synchronous Expansion
- Terminal Count Fully Decoded
- Edge-Triggered Operation
- Typical Count Rate of 35 MHz
- ESD > 3500 Volts

BCD DECADE COUNTERS/ 4-BIT BINARY COUNTERS

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



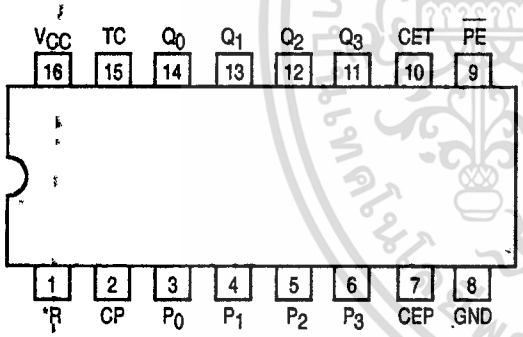
N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

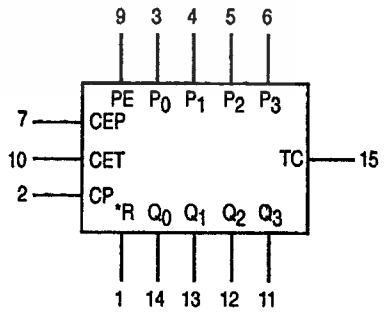
*MR for LS160A and LS161A
*SR for LS162A and LS163A

PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{PE}$	Parallel Enable (Active LOW) Input	1.0 U.L.	0.5 U.L.
P_0–P_3	Parallel Inputs	0.5 U.L.	0.25 U.L.
CEP	Count Enable Parallel Input	0.5 U.L.	0.25 U.L.
CET	Count Enable Trickle Input	1.0 U.L.	0.5 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
SR	Synchronous Reset (Active LOW) Input	1.0 U.L.	0.5 U.L.
Q_0–Q_3	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.
TC	Terminal Count Output (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC SYMBOL

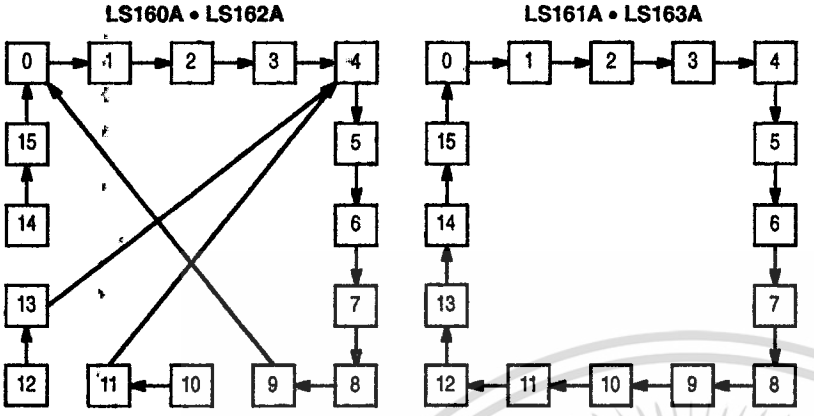


V_{CC} = PIN 16
GND = PIN 8

*MR for LS160A and LS161A
*SR for LS162A and LS163A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATE DIAGRAM



LOGIC EQUATIONS

Count Enable = CEP • CET • PE
TC for LS160A & LS162A = CET • Q_0 • $\overline{Q_1}$ • $\overline{Q_2}$ • Q_3
TC for LS161A & LS163A = CET • Q_0 • Q_1 • Q_2 • Q_3
Preset = $\overline{PE}$ • CP + (rising clock edge)
Reset = $\overline{MR}$ (LS160A & LS161A)
Reset = SR • CP + (rising clock edge)
(LS162A & LS163A)

NOTE:
The LS160A and LS162A can be preset to any state, but will not count beyond 9. If preset to state 10, 11, 12, 13, 14, or 15, it will return to its normal sequence within two clock pulses.

FUNCTIONAL DESCRIPTION

The LS160A/161A/162A/163A are 4-bit synchronous counters with a synchronous Parallel Enable (Load) feature. The counters consist of four edge-triggered D flip-flops with the appropriate data routing networks feeding the D inputs. All changes of the Q outputs (except due to the asynchronous Master Reset in the LS160A and LS161A) occur as a result of, and synchronous with, the LOW to HIGH transition of the Clock input (CP). As long as the set-up time requirements are met, there are no special timing or activity constraints on any of the mode control or data inputs.

Three control inputs — Parallel Enable ($\overline{PE}$), Count Enable Parallel (CEP) and Count Enable Trickle (CET) — select the mode of operation as shown in the tables below. The Count Mode is enabled when the CEP, CET, and $\overline{PE}$ inputs are HIGH. When the $\overline{PE}$ is LOW, the counters will synchronously load the data from the parallel inputs into the flip-flops on the LOW to HIGH transition of the clock. Either the CEP or CET can be used to inhibit the count sequence. With the $\overline{PE}$ held HIGH, a LOW on either the CEP or CET inputs at least one set-up time prior to the LOW to HIGH clock transition will cause the existing output states to be retained. The AND feature of the two Count Enable inputs (CET•CEP) allows synchronous cascading without external gating and without delay accumulation over any practical number of bits or digits.

The Terminal Count (TC) output is HIGH when the Count Enable Trickle (CET) input is HIGH while the counter is in its maximum count state (HLLH for the BCD counters, HHHH for the Binary counters). Note that TC is fully decoded and will, therefore, be HIGH only for one count state.

The LS160A and LS162A count modulo 10 following a binary coded decimal (BCD) sequence. They generate a TC output when the CET input is HIGH while the counter is in state 9 (HLLH). From this state they increment to state 0 (LLLL). If loaded with a code in excess of 9 they return to their legitimate sequence within two counts, as explained in the state diagram. States 10 through 15 do *not* generate a TC output.

The LS161A and LS163A count modulo 16 following a binary sequence. They generate a TC when the CET input is HIGH while the counter is in state 15 (HHHH). From this state they increment to state 0 (LLLL).

The Master Reset ($\overline{MR}$) of the LS160A and LS161A is asynchronous. When the $\overline{MR}$ is LOW, it overrides all other input conditions and sets the outputs LOW. The $\overline{MR}$ pin should never be left open. If not used, the $\overline{MR}$ pin should be tied through a resistor to V_{CC}, or to a gate output which is permanently set to a HIGH logic level.

The active LOW Synchronous Reset ($\overline{SR}$) input of the LS162A and LS163A acts as an edge-triggered control input, overriding CET, CEP and $\overline{PE}$, and resetting the four counter flip-flops on the LOW to HIGH transition of the clock. This simplifies the design from race-free logic controlled reset circuits, e.g., to reset the counter synchronously after reaching a predetermined value.

MODE SELECT TABLE

*SR	PE	CET	CEP	Action on the Rising Clock Edge (⌐⌐)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD ($P_n \rightarrow Q_n$)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

*For the LS162A and LS163A only.

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

LS160A and LS161A
DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8	V		
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current MR, Data, CEP, Clock PE, CET				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	MR, Data, CEP, Clock PE, CET				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current MR, Data, CEP, Clock PE, CET				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH Total, Output LOW				31 32	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS162A and LS163A

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Data, CEP, Clock PE, CET, SR				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, CEP, Clock PE, CET, SR				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, CEP, Clock, PE, SR CET				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH Total, Output LOW				31 32	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	25	32		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay Clock to TC		20 18	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Q		13 18	24 27	ns	
t_{PLH} t_{PHL}	Propagation Delay CET to TC		9.0 9.0	14 14	ns	
t_{PHL}	MR or SR to Q		20	28	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_WCP	Clock Pulse Width Low	25			ns	V_{CC} = 5.0 V
t_W	MR or SR Pulse Width	20			ns	
t_s	Setup Time, other*	20			ns	
t_s	Setup Time PE or SR	25			ns	
t_h	Hold Time, data	3			ns	
t_h	Hold Time, other	0			ns	
t_{rec}	Recovery Time MR to CP	15			ns	

*CEP, CET or DATA

DEFINITION OF TERMS

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW to HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW to HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative HOLD TIME indicates that the correct logic level may be released prior to the clock transition from LOW to HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the reset pulse and the clock transition from LOW to HIGH in order to recognize and transfer HIGH Data to the Q outputs.

AC WAVEFORMS

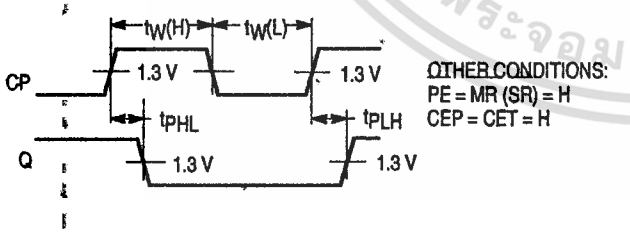


Figure 1. Clock to Output Delays, Count Frequency, and Clock Pulse Width

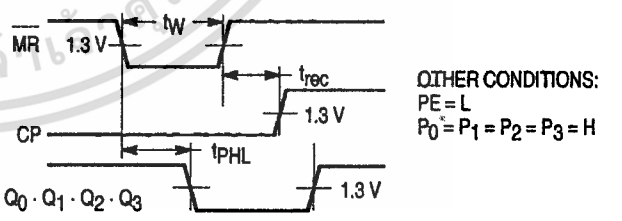


Figure 2. Master Reset to Output Delay, Master Reset Pulse Width, and Master Reset Recovery Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS (continued)

COUNT ENABLE TRICKLE INPUT TO TERMINAL COUNT OUTPUT DELAYS

The positive TC pulse occurs when the outputs are in the ($Q_0 \bullet Q_1 \bullet Q_2 \bullet Q_3$) state for the LS160 and LS162 and the ($Q_0 \bullet Q_1 \bullet Q_2 \bullet Q_3$) state for the LS161 and LS163.

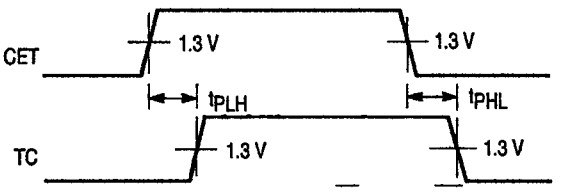


Figure 3

CLOCK TO TERMINAL COUNT DELAYS

The positive TC pulse is coincident with the output state ($Q_0 \bullet Q_1 \bullet Q_2 \bullet Q_3$) state for the LS161 and LS163 and ($Q_0 \bullet Q_1 \bullet Q_2 \bullet Q_3$) for the LS161 and LS163.

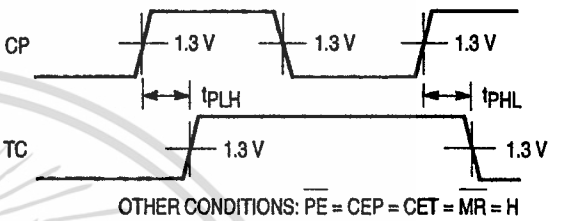


Figure 4

SETUP TIME (t_s) AND HOLD TIME (t_h) FOR PARALLEL DATA INPUTS

The shaded areas indicate when the input is permitted to change for predictable output performance.

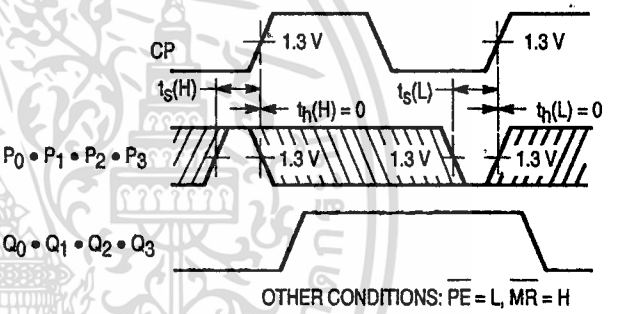


Figure 5

SETUP TIME (t_s) AND HOLD TIME (t_h) FOR COUNT ENABLE (CEP) AND (CET) AND PARALLEL ENABLE (PE) INPUTS

The shaded areas indicate when the input is permitted to change for predictable output performance.

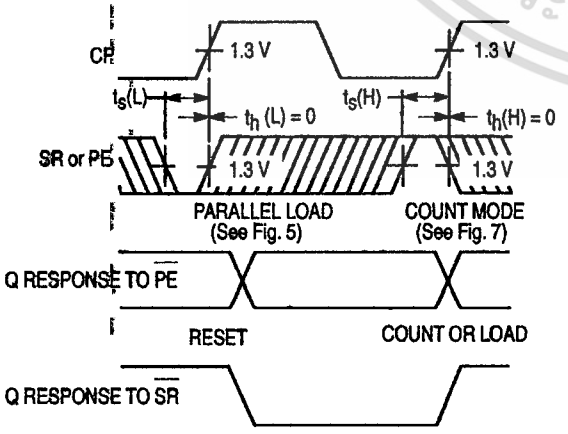


Figure 6

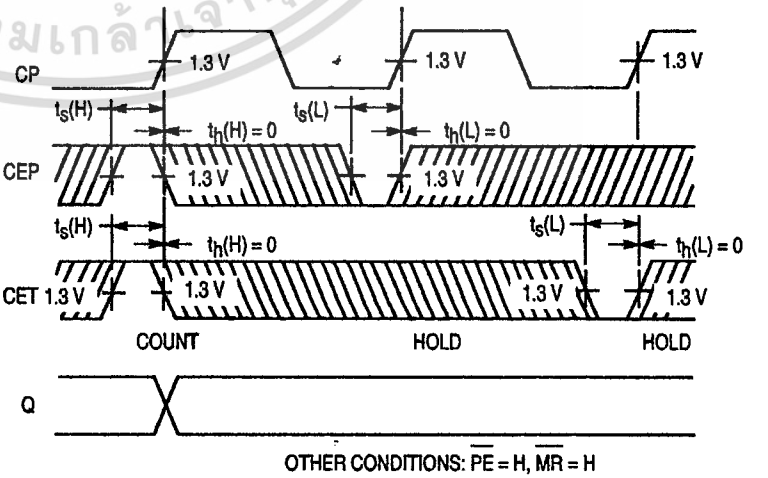


Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

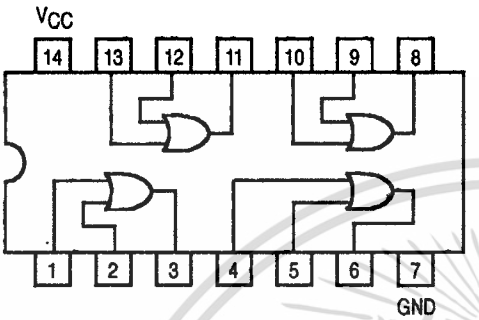
MOTOROLA

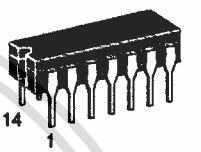
QUAD 2-INPUT OR GATE

SN54/74LS32

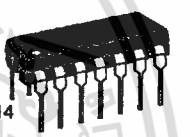
QUAD 2-INPUT OR GATE

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				6.2	mA	V_{CC} = MAX	
	Total, Output LOW				9.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		14	22	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		14	22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS74A

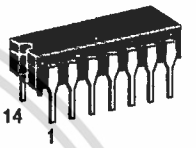
DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and Q outputs.

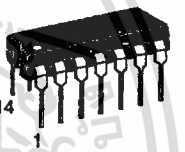
Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



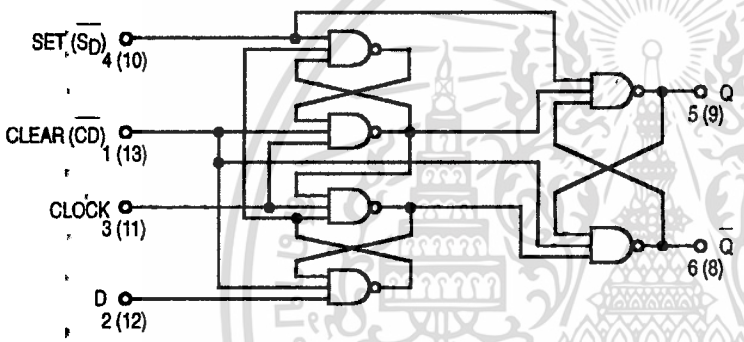
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



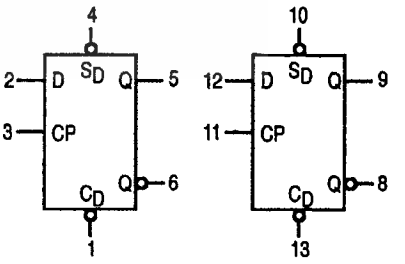
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	S_D	S_D	D	Q	$\overline{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

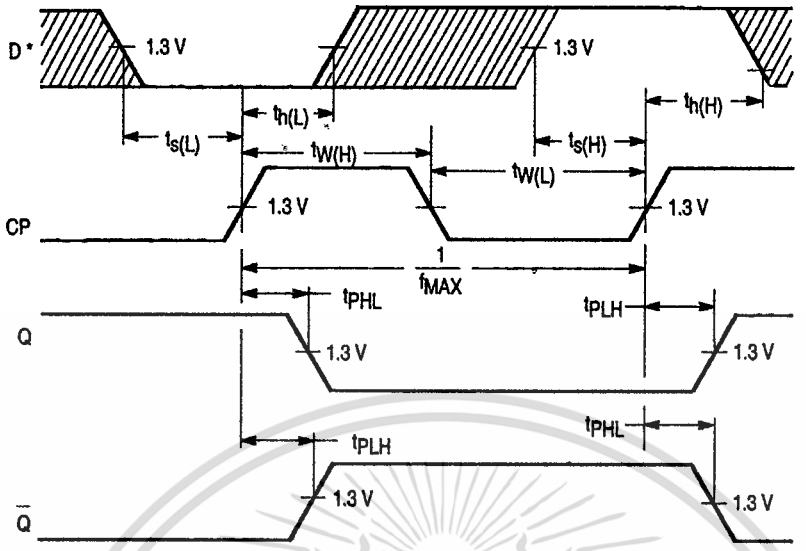
Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH	20			ns	Figure 1	
	LOW	20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

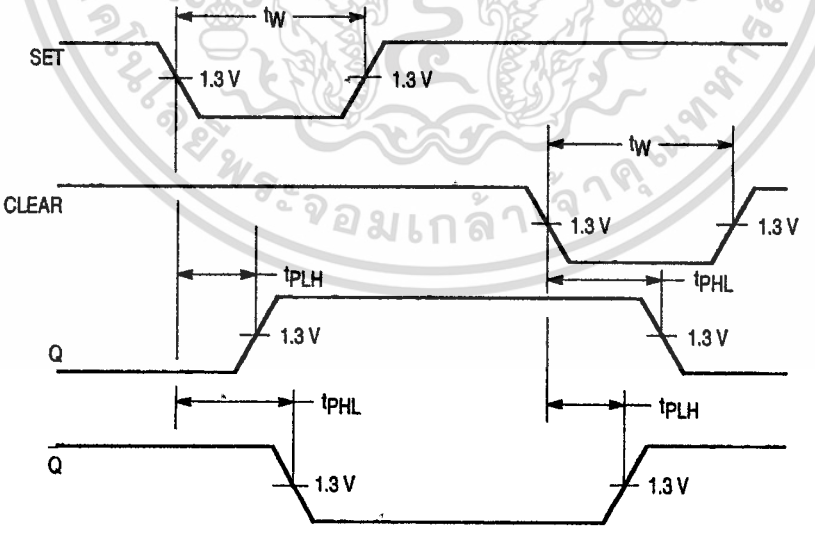


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR

SN54/74LS240
SN54/74LS241
SN54/74LS244

OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

The SN54/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus-oriented transmitters/receivers which provide improved PC board density.

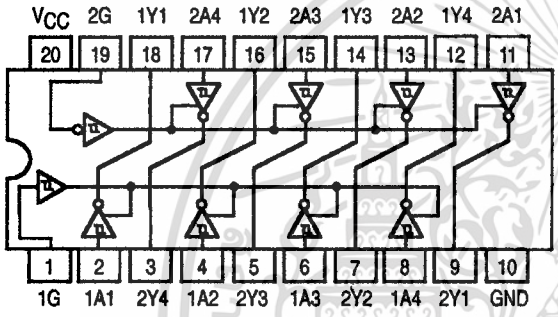
- Hysteresis at Inputs to Improve Noise Margins
- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- Input Clamp Diodes Limit High-Speed Termination Effects

OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

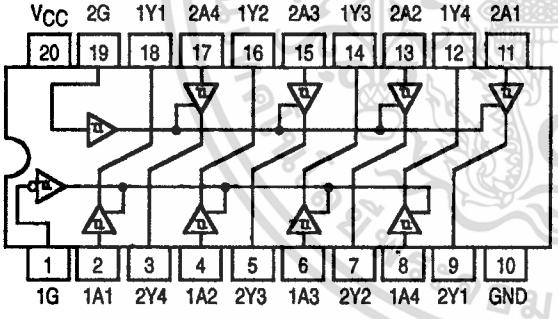
LOW POWER SCHOTTKY

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)

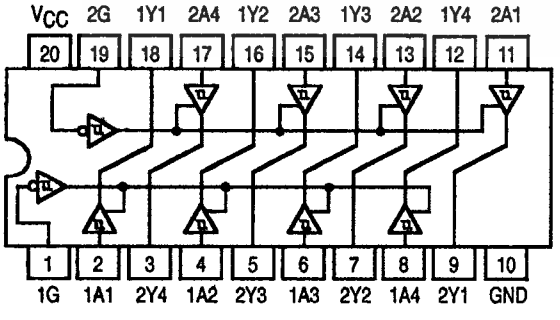
SN54/74LS240

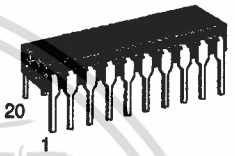


SN54/74LS241

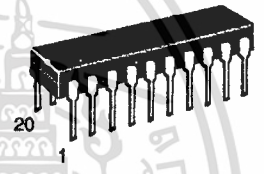


SN54/74LS244





J SUFFIX
CERAMIC
CASE 732-03



N SUFFIX
PLASTIC
CASE 738-03

DW SUFFIX
SOIC
CASE 751D-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXDW	SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRUTH TABLES

SN54/74LS240

INPUTS		OUTPUT
1G, 2G	D	
L	L	H
L	H	L
H	X	(Z)

SN54/74LS244

INPUTS		OUTPUT
1G, 2G	D	
L	L	L
L	H	H
H	X	(Z)

SN54/74LS241

INPUTS		OUTPUT	INPUTS		OUTPUT
1G	D		2G	D	
L	L	L	H	L	L
L	H	H	H	H	H
H	X	(Z)	L	X	(Z)

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
Z = HIGH Impedance

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−3.0	mA
		54 74			−12 −15	mA
I_{OL}	Output Current — Low	54 74			12 24	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
$V_{T+}-V_{T-}$	Hysteresis		0.2	0.4		V	V_{CC} = MIN	
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54, 74	2.4	3.4		V	V_{CC} = MIN, I_{OH} = −3.0 mA	
		54, 74	2.0			V	V_{CC} = MIN, I_{OH} = MAX	
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 12 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 24 mA	
I_{OZH}	Output Off Current HIGH				20	μA	V_{CC} = MAX, V_{OUT} = 2.7 V	
I_{OZL}	Output Off Current LOW				−20	μA	V_{CC} = MAX, V_{OUT} = 0.4 V	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−40		−225	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				27	mA	V_{CC} = MAX	
	Total, Output LOW	LS240			44			
		LS241/244			46			
	Total at HIGH Z	LS240			50			
		LS241/244			54			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay, Data to Output LS240		9.0 12	14 18	ns	C_L = 45 pF, R_L = 667 Ω
t_{PLH} t_{PHL}	Propagation Delay, Data to Output LS241/244		12 12	18 18	ns	
t_{PZH}	Output Enable Time to HIGH Level		15	23	ns	
t_{PZL}	Output Enable Time to LOW Level		20	30	ns	
t_{PLZ}	Output Disable Time from LOW Level		15	25	ns	C_L = 5.0 pF, R_L = 667 Ω
t_{PHZ}	Output Disable Time from HIGH Level		10	18	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS

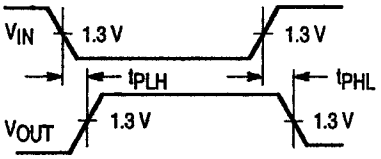


Figure 1

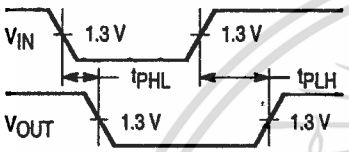


Figure 2

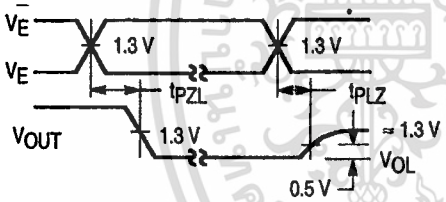


Figure 3

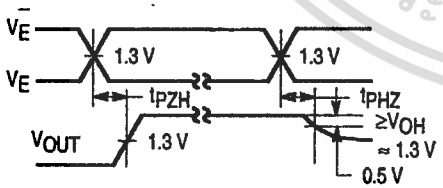
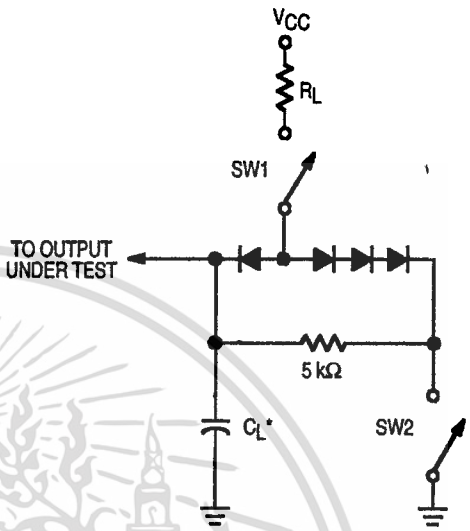


Figure 4



SWITCH POSITIONS

SYMBOL	SW1	SW2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PLZ}	Closed	Closed
t_{PHZ}	Closed	Closed

Figure 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

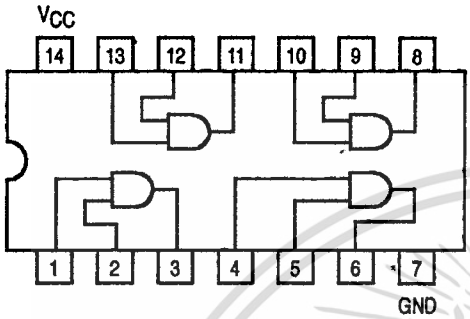
MOTOROLA

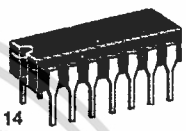
SN54/74LS08

QUAD 2-INPUT AND GATE

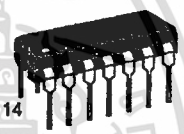
QUAD 2-INPUT AND GATE

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				4.8	mA	V_{CC} = MAX	
	Total, Output LOW				8.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		8.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	20	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-243E (Z)
Rev. 5.0
Nov. 1997

Description

The Hitachi HM628128B is a CMOS static RAM organized 131,072-word × 8-bit. It realizes higher density, higher performance and low power consumption by employing 0.8 µm Hi-CMOS shrink process technology. It offers low power standby power dissipation, therefore, it is suitable for battery backup systems. The device, packaged in a 525 mil SOP or a 8 mm × 20 mm TSOP or a 600 mil plastic DIP is available.

Features

- Single 5 V supply: 5.0 V ± 10%
- Access time: 70/75/85 ns (max)
- Power dissipation
  - — Active: 50 mW/MHz (typ)
  - — Standby: 10 µW (typ) (L/L-SL version)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Capability of battery backup operation (L/L-SL version)
  - — 2 chip selection for battery backup

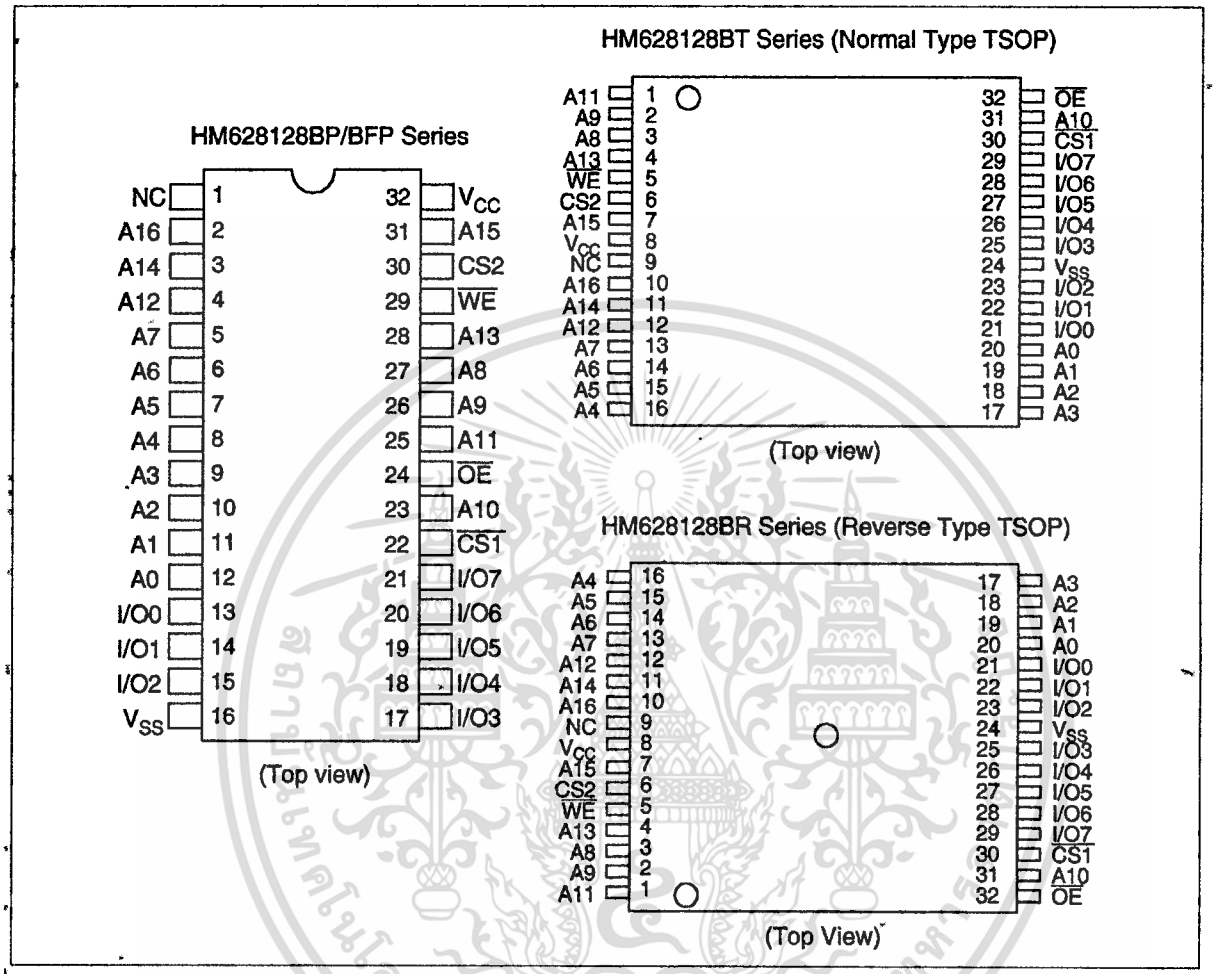
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Data retention current	Package
HM628128BLP-7	70 ns	50 µA	600-mil 32-pin plastic DIP (DP-32)
HM628128BLP-8	85 ns	50 µA	
HM628128BLP-7SL	70 ns	15 µA	
HM628128BLP-8SL	85 ns	15 µA	
HM628128BLFP-7	70 ns	50 µA	525-mil 32-pin plastic SOP (FP-32D)
HM628128BLFP-75	75 ns	50 µA	
HM628128BLFP-8	85 ns	50 µA	
HM628128BLFP-7SL	70 ns	15 µA	
HM628128BLFP-75SL	75 ns	15 µA	
HM628128BLFP-8SL	85 ns	15 µA	
HM628128BLT-7	70 ns	50 µA	Normal-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32D)
HM628128BLT-75	75 ns	50 µA	
HM628128BLT-8	85 ns	50 µA	
HM628128BLT-7SL	70 ns	15 µA	
HM628128BLT-75SL	75 ns	15 µA	
HM628128BLT-8SL	85 ns	15 µA	
HM628128BLR-7	70 ns	50 µA	Reverse-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32DR)
HM628128BLR-8	85 ns	50 µA	
HM628128BLR-7SL	70 ns	15 µA	
HM628128BLR-8SL	85 ns	15 µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

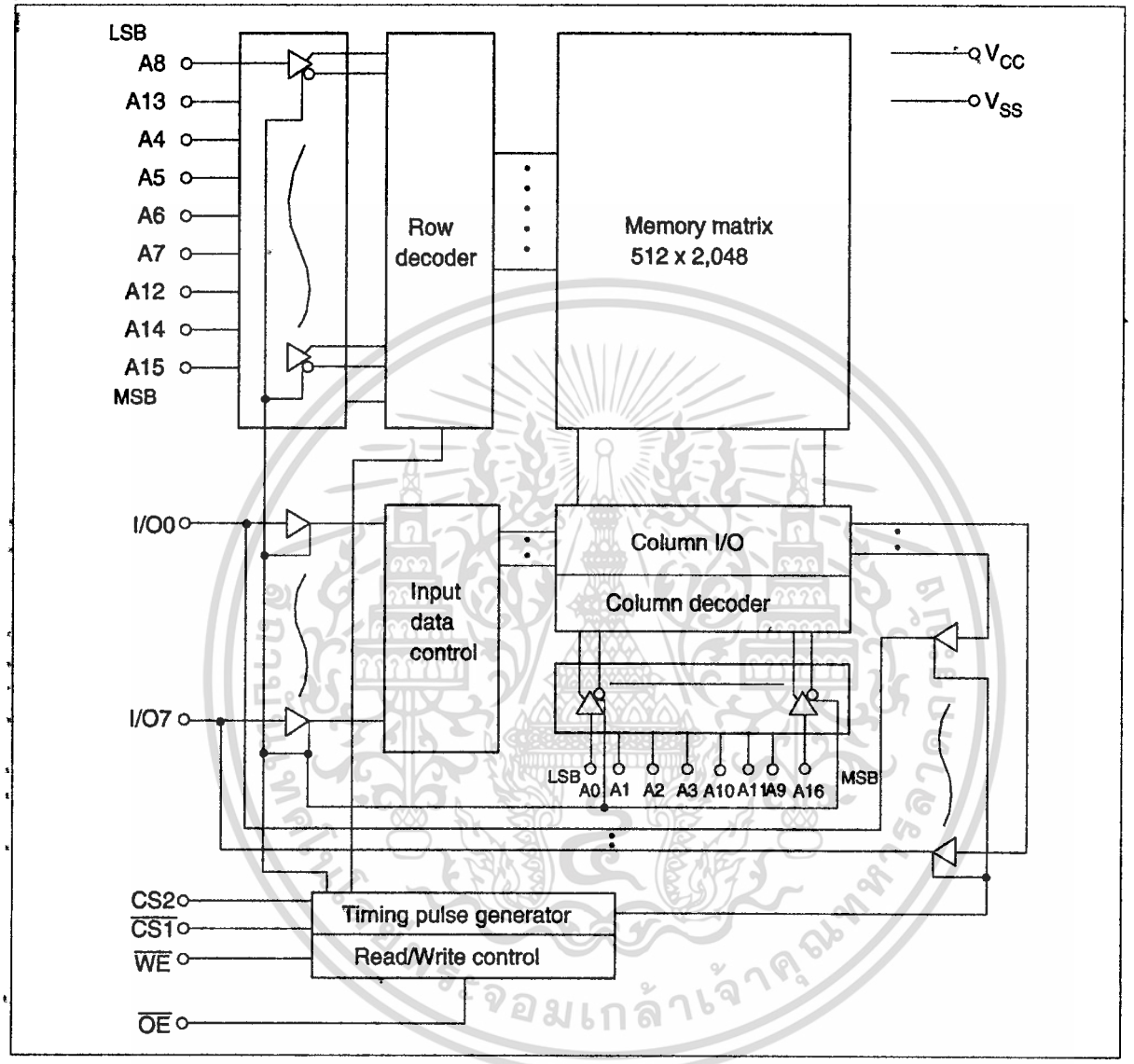


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{cc}	Power supply
V_{ss}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Standby	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to + 7.0	V
Voltage on any pin relative to V_{SS}	V_T	–0.5[*1] to V_{CC} + 0.3[*2]	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	–55 to +125	°C
Storage temperature under bias	Tbias	–10 to 85	°C

Notes: 1. V_T min: –3.0 V for pulse half-width ≤ 30 ns
2. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3[*1]	—	0.8	V

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	15	25	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	35	70	mA	Min cycle, duty = 100%, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
	I_{CC2}	—	10	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, Others = V_{IH}/V_{IL} V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	1	2	mA	CS2 = V_{IL} or $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}
	I_{SB1}	—	2*2	100*2	µA	0 V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V
	I_{SB1}	—	2*3	50*3	µA	
Output high voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output low voltage	V_{OH}	2.4	—	—	V	I_{OH} = –1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L version.
3. This characteristic is guaranteed only for L-SL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ±10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate and C_L (100 pF) (Including scope and jig)

Read Cycle

		HM628128B							
		-7		-75		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	75	—	85	—	ns	
Address access time	t_{AA}	—	70	—	75	—	85	ns	
Chip selection to output valid	t_{CO1}	—	70	—	75	—	85	ns	
	t_{CO2}	—	70	—	75	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	35	—	45	ns	
Chip selection to output in low-Z	t_{LZ1}	10	—	10	—	10	—	ns	2, 3
	t_{LZ2}	10	—	10	—	10	—	ns	
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{HZ1}	0	25	0	25	0	30	ns	1, 2, 3
	t_{HZ2}	0	25	0	25	0	30	ns	
Output disable to output in high-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 3
Output hold from address change	t_{OH}	10	—	10	—	10	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

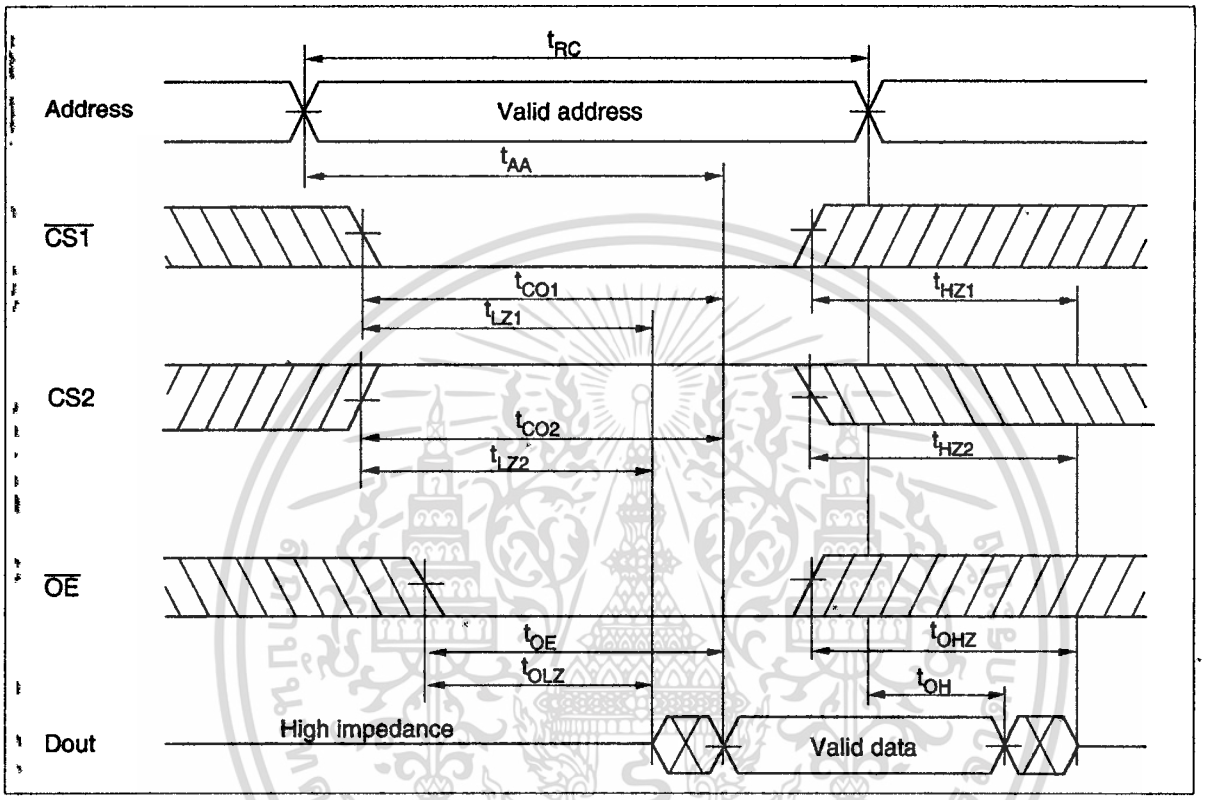
		HM628128B							
		-7		-75		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	70	—	75	—	85	—	ns	
Chip selection to end of write	t_{CW}	60	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	60	—	60	—	75	—	ns	
Write pulse width	t_{WP}	50	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	25	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	30	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 8

Notes:
1. t_{HZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high, and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low, and $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in a high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
    $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

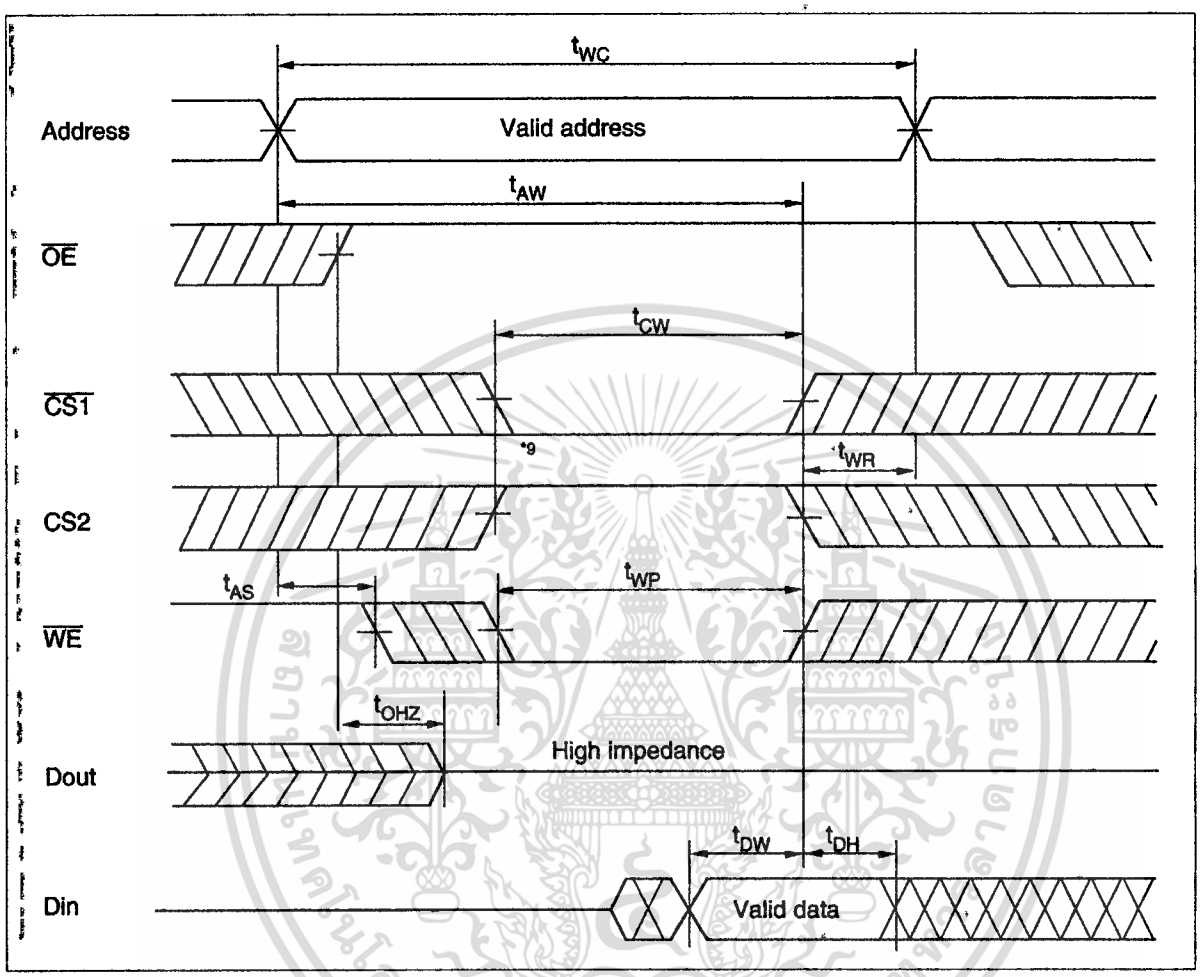
Timing Waveform

Read Timing Waveform ($\overline{WE}$ = V_{IH})



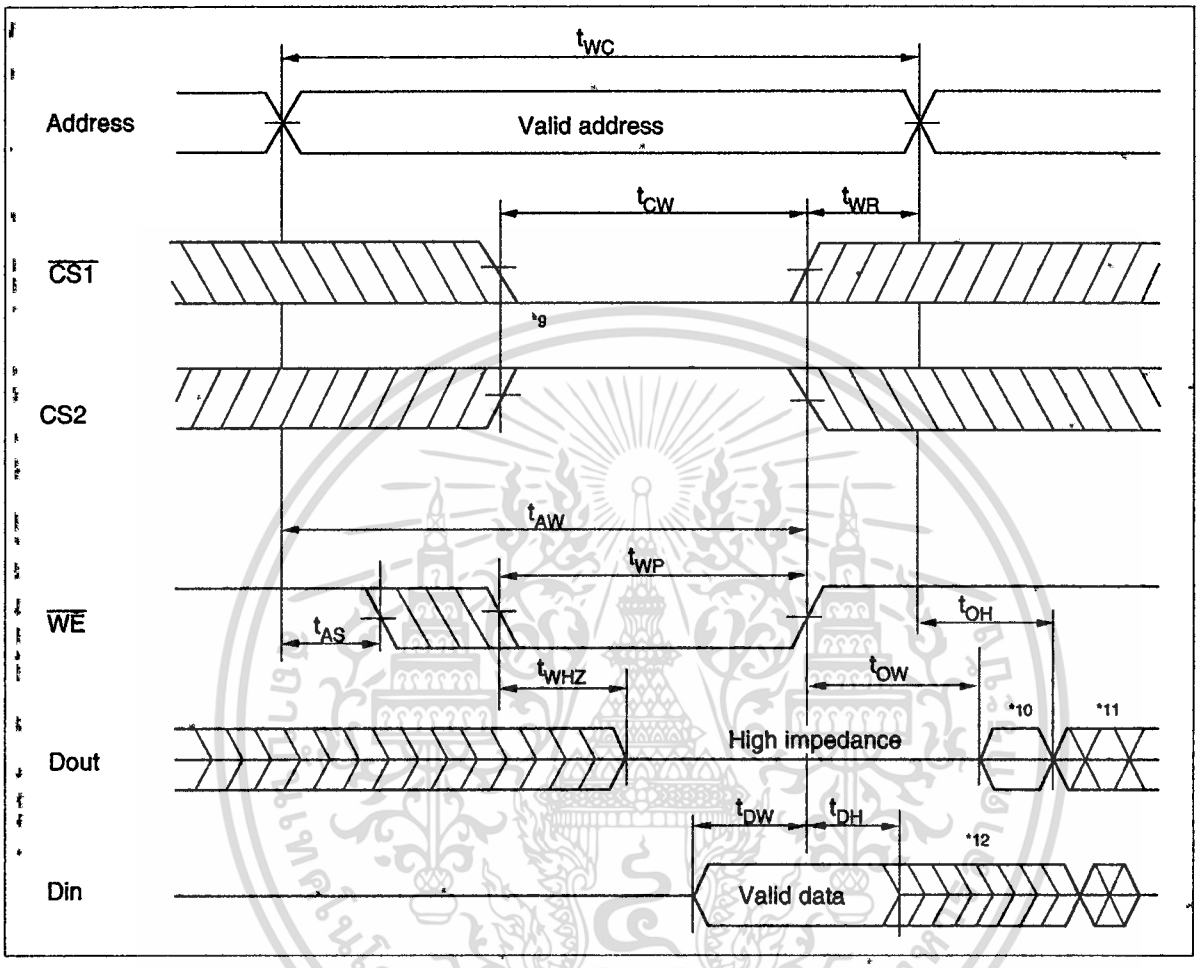
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

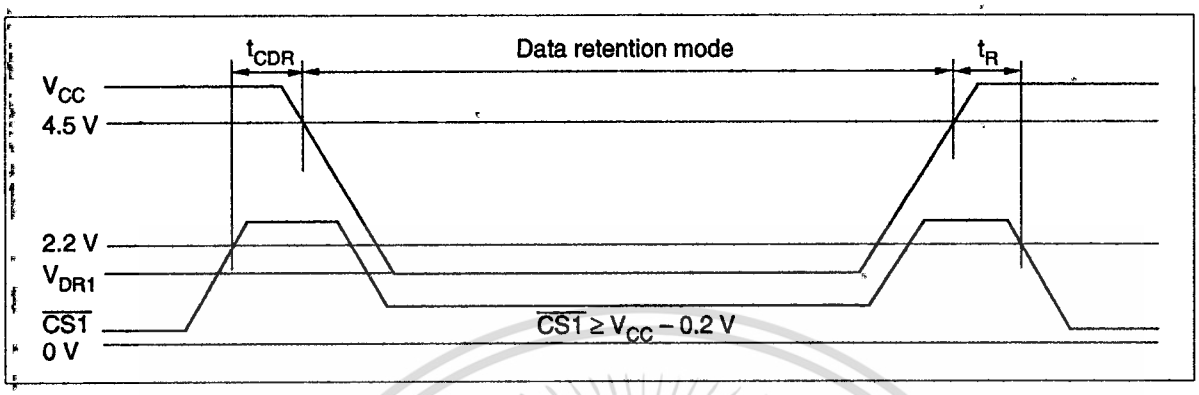
Low V_{CC} Data Retention Characteristics (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ*4	Max	Unit	Test conditions*3
V_{CC} for data retention	V_{DR}	2.0	—	—	V	0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V $\overline{CS1}$ ≥ V_{CC} – 0.2 V
Data retention current	I_{CCDR}	—	1	50*1	µA	V_{CC} = 3.0 V, 0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V, $\overline{CS1}$ ≥ V_{CC} – 0.2 V
	I_{CCDR}	—	1	15*2	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	5	—	—	ms	

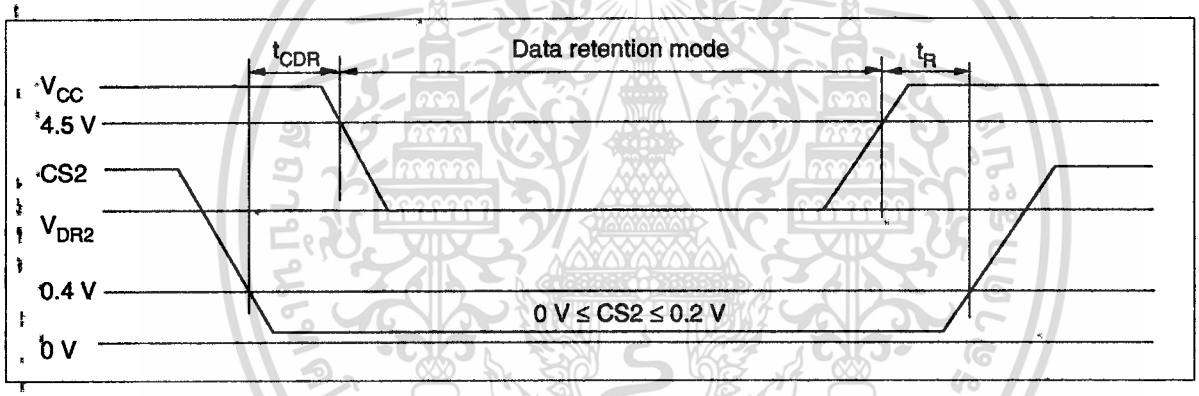
Notes: 1. This characteristic is guaranteed only for L version, 20 µA max. at Ta = 0 to 40°C.
2. This characteristic is guaranteed only for L-SL version, 3 µA max. at Ta = 0 to 40°C.
3. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
4. Typical values are at V_{CC} = 3.0 V, Ta = +25°C and not guaranteed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Timing Waveform (1) ($\overline{CS1}$ Controlled)



Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)

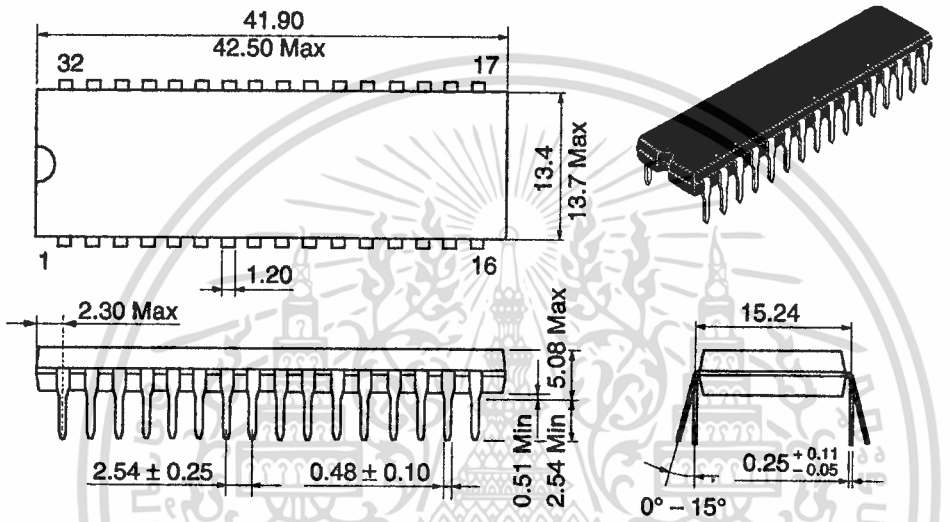


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

HM628128BLP Series (DP-32)

Unit: mm

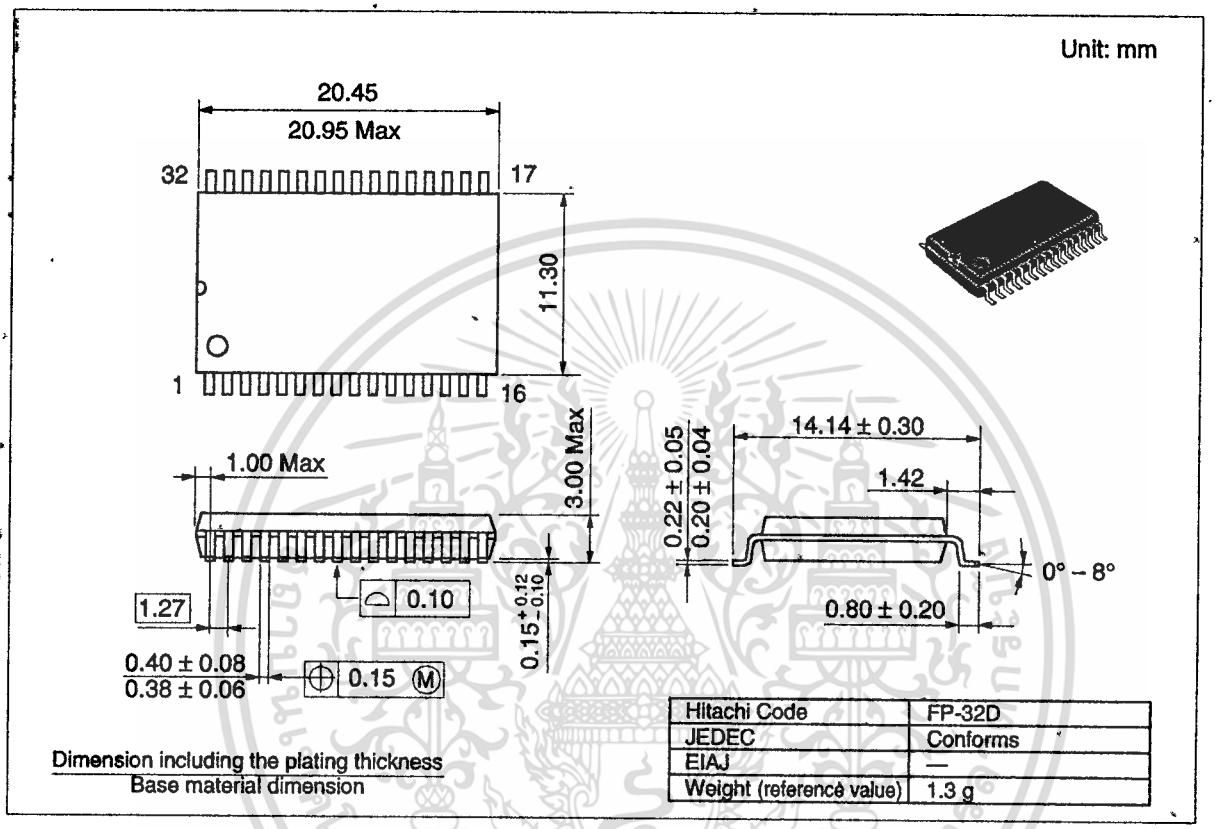


Hitachi Code	DP-32
JEDEC	—
EIAJ	Conforms
Weight (reference value)	5.1 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM628128BLFP Series (FP-32D)

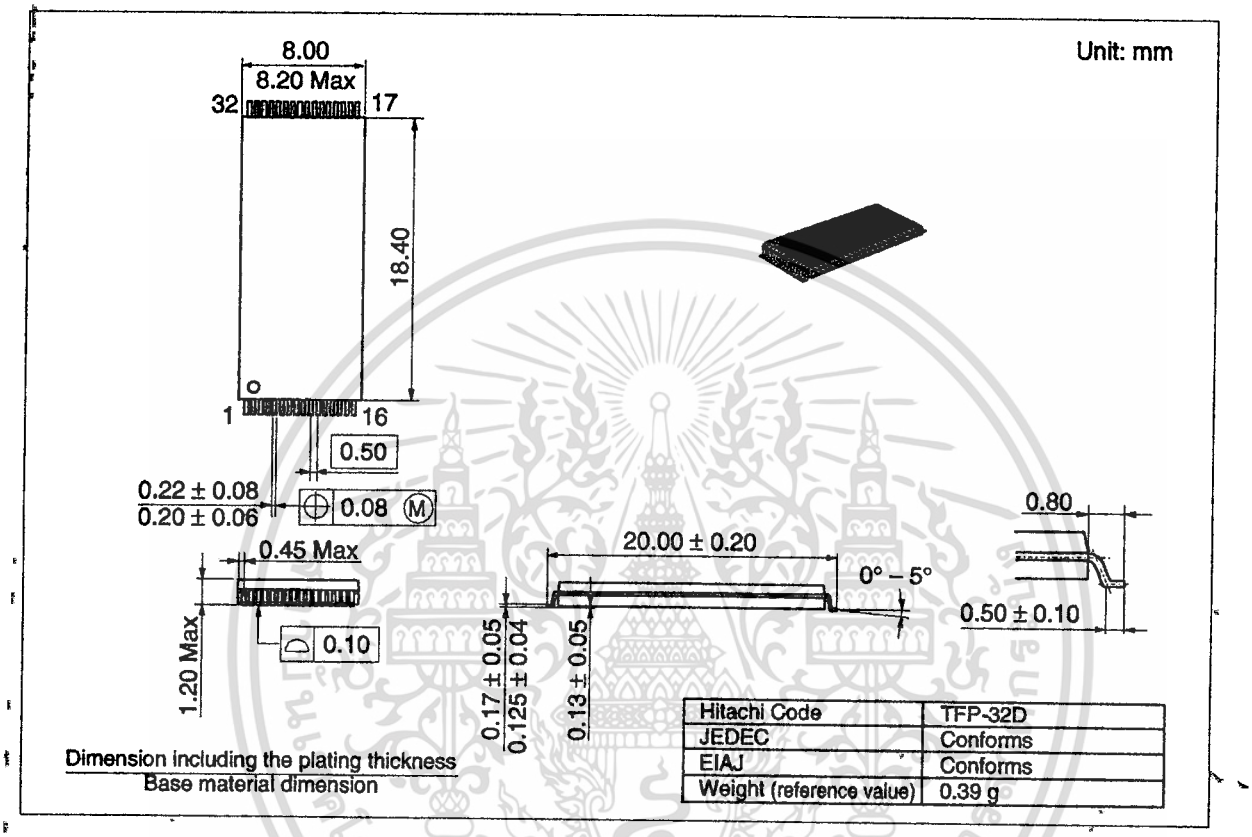


Hitachi Code	FP-32D
JEDEC	Conforms
EIAJ	—
Weight (reference value)	1.3 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

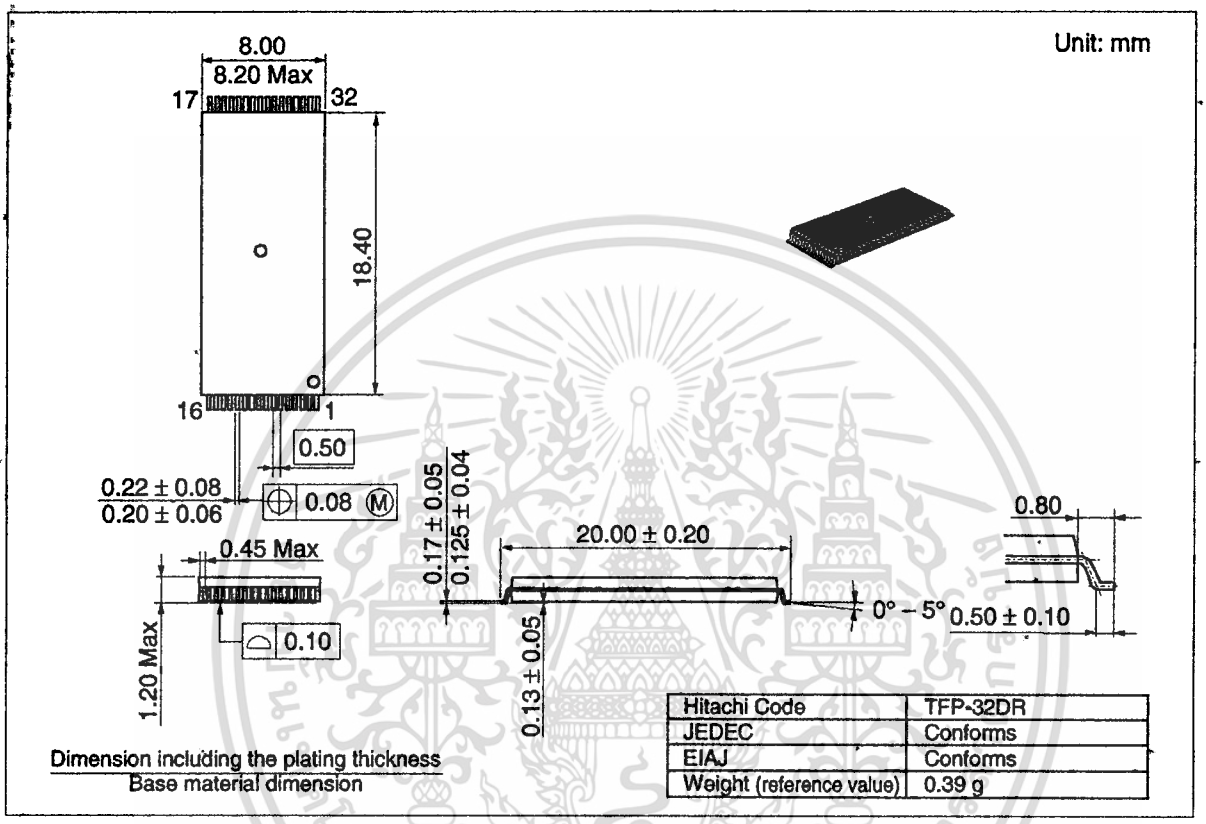
HM628128BLT Series (TFP-32D)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM628128BLR Series (TFP-32DR)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Continental Europe
Domacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 01628-585000
Fax: 01628-585160

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

Copyright © Hitachi, Ltd., 1997. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Oct. 5, 1994	Initial issue	M. Higuchi	K. Yoshizaki
1.0	Dec. 20, 1994	DC Characteristics I_{CC} max: 15 mA to 25 mA I_{CC2} typ: 5 mA to 10 mA I_{CC2} max: 10 mA to 20 mA	M. Higuchi	K. Yoshizaki
2.0	Mar. 20, 1995	Low Vcc Data Retention Characteristics Addition of note 3: typical values at V_{CC} = 3.0 V, Ta = +25°C and not guaranteed	M. Higuchi	K. Yoshizaki
3.0	Aug. 10, 1996	Change of format Addition of HM628128B-10/10SL Series AC Characteristics Change order of note.	M. Higuchi	K. Yoshizaki
4.0	Jul. 1, 1997	Addition of HM628128B-75 Series DC Characteristics V_{OH} Test condition: −0.1 mA to −1.0 mA	M. Higuchi	K. Imato
5.0	Nov. 1997	Change of Subtitle		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้