เครื่องรับ-ส่งไร้สายแบบเดลต้ามอดูเลชันมัลติเพล็กซ์ 4 ช่อง

WIRELESS DELTA MODULATION 4-CHANNEL MULTIPLEXER

โดย

นางสาววฤนดา ริจิรานุวัตร

นางสาววิไลพร อินทุสุต

วัน เดือน ปี 18 ตค 2541

เลขทะเบียน 039064

เลขเรียกหนังสือ TJ0305 ว 111ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039064

เครื่องรับ-ส่งไร้สายแบบเดลต้ามอดูเลชันมัลติเพล็กซ์ 4 ช่อง

WIRELESS DELTA MODULATION 4-CHANNEL MULTIPLEXER

โดย

นางสาววฤนดา ริจิรานุวัตร 37014381

นางสาววิไลพร อินทุสุต 37014409

อาจารย์ที่ปรึกษา

รศ.ดร.วิวัฒน์ กิรานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่งไร้สายแบบเดลต้ามอดูเลชัน มัลติเพล็กซ์ 4 ช่อง
WIRELESS DELTA MODULATION 4-CHANNEL MULTIPLEXER

โดย นางสาววฤนดา ริจิรานุวัตร 37014381
นางสาววิไลพร อินทุสุต 37014409

อาจารย์ที่ปรึกษา รศ.ดร.วิวัฒน์ กิรานนท์

บทคัดย่อ

โครงงานนี้คือเครื่องรับ-ส่งไร้สายแบบเดลต้ามอดูเลชันมัลติเพล็กซ์ 4 ช่อง ทางด้านส่งจะนำสัญญาณเสียงของแต่ละช่อง ซึ่งเป็นสัญญาณอนาล็อกมาเปลี่ยนให้เป็นสัญญาณดิจิตอลด้วยเดลต้ามอดูเลเตอร์ โดยใช้ความถี่ของสัญญาณนาฬิกาเพื่อกำหนดความถี่ในการสุ่มตัวอย่างของเดลต้ามอดูเลเตอร์ และควบคุมการทำงานของอนาล็อกสวิตช์แต่ละตัว สัญญาณดิจิตอลเอาต์พุตจะถูกมัลติเพล็กซ์แบบแบ่งตามช่วงเวลาไปพร้อมกับสัญญาณควบคุม แล้วนำไปมอดูเลตแบบแอมปลิจูดชิฟคีย์อิ้ง และส่งออกอากาศ

ทางด้านรับจะใช้ไดโอดดีเทกเตอร์เพื่อนำสัญญาณข้อมูลกลับคืนมา แล้วทำการดีมัลติเพล็กซ์เพื่อแยกสัญญาณให้กลับสู่ช่องสัญญาณเดิม การตรวจจับสัญญาณควบคุมจะใช้วงจรอินทิเกรเตอร์ และวงจรเปรียบเทียบแรงดัน สัญญาณควบคุมจะถูกใช้เพื่อการผลิตสัญญาณนาฬิกาเพื่อควบคุมเดลต้าดีมอดูเลเตอร์แต่ละตัวให้เปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกดังเดิม

ABSTRACT

The project concerns about a design and implementation of Wireless Delta Modulation 4-Channel Multiplexer. A signal of each channels are converted to digital signal by delta modulator from the transmitter. The sampling rate of the delta modulators and the operation of analog switches are synchronized by using timing signal from the clock generator. Four channels of digital signals and the controlling signal are multiplexed together and then modulated in ASK format for wireless transmission.

The receiver use diode detector to detect the signal. Integrator and comparator are employed to detect the controlling signal and to demultiplex each input channel. The controlling signal is used to start the clock to synchronize each delta demodulator for converting digital signal to analog signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

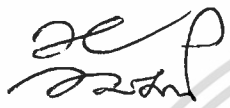
เรื่อง **เครื่องรับ-ส่งไร้สายแบบเดลต้ามอดูเลชันมัลติเพล็กซ์ 4 ช่อง**

WIRELESS DELTA MODULATION 4-CHANNEL MULTIPLEXER

ผู้จัดทำ

1. นางสาววฤนดา ริจิรานุวัตร 37014381

2. นางสาววิไลพร อินทุสุต 37014409



..... อาจารย์ที่ปรึกษา

(รศ. ดร.วิวัฒน์ กิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	**บทนำ**	1
บทที่ 2	**ทฤษฎี และหลักการ**	3
	2.1 เดลต้ามอดูเลชัน	3
	2.2 วงจรกรองความถี่ต่ำผ่าน	7
	2.3 อนาล็อกสวิตช์	9
	2.4 วงจรอินทิเกรเตอร์	12
	2.5 การส่งสัญญาณแบบซิงโครนัส และอะซิงโครนัส	15
	2.6 วงจรเปรียบเทียบแรงดัน	18
	2.7 วงจรรักษาระดับแรงดัน	20
	2.8 แอมปลิจูดชิฟคีย์อิ้ง	23
	2.9 ไดโอดดีเทกชัน	27
	2.10 ออสซิลเลเตอร์	30
	2.11 วงจรขยายสัญญาณ	32
บทที่ 3	**การสร้าง และการคำนวณ**	36
	3.1 การออกแบบไอซี MC34115	44
	3.2 การออกแบบวงจรโมโนสเตเบิล	48
	3.3 การออกแบบวงจรอะสเตเบิล	49
	3.4 การออกแบบไอซี MF6	50
	3.5 การออกแบบไอซี MC1496	50
	3.6 การออกแบบไดโอดดีเทกเตอร์	51
บทที่ 4	**ผลการทดลอง**	52
บทที่ 5	**บทสรุป และวิจารณ์**	66
ภาคผนวก		
กิตติกรรมประกาศ		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในปัจจุบันการติดต่อสื่อสารมีความสำคัญอย่างยิ่ง โดยเฉพาะในการส่งสัญญาณเสียง แต่ในการส่งสัญญาณอนาล็อกจะพร่าเพี้ยน และเกิดการลดทอนของสัญญาณได้ง่าย ทำให้คุณภาพของการส่งสัญญาณเสียงต่ำลง ความต้องการที่จะได้สัญญาณกลับคืนมาอย่างถูกต้องดังเดิมทำให้มีการพัฒนาเป็นการส่งสัญญาณดิจิตอล ซึ่งเป็นการส่งในรูปของพัลส์มีค่าแน่นอนเป็น 0 และ 1 พัลส์ที่ส่งออกไปจะเกิดการพร่าเพี้ยน และการลดทอนเช่นเดียวกับสัญญาณอนาล็อก แต่อย่างไรก็ตามจะสามารถใช้อุปกรณ์ตรวจจับ และสร้างสัญญาณใหม่ขึ้น จึงทำให้ระบบการส่งสัญญาณดิจิตอลเป็นที่นิยมแพร่หลาย

เทคนิคในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล มีหลายวิธีเช่น พัลส์แอมปลิจูดมอดูเลชัน (pulse amplitude modulation) พัลส์โค้ดมอดูเลชัน (pulse code modulation) เทคนิคในการใช้เดลต้ามอดูเลชัน (delta modulation) ก็เป็นอีกวิธีหนึ่งที่สามารถแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกได้โดยมีข้อดีคือ สามารถแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลได้โดยตรง ไม่ต้องการวงจรเข้ารหัสเพิ่มเติมอีก รวมทั้งสามารถกำหนดอัตราเร็วในการแปลงสัญญาณได้จากสัญญาณนาฬิกาเพียงอย่างเดียว ที่สำคัญคือวงจรไม่ยุ่งยาก และมีราคาถูก เทคนิคเดลต้ามอดูเลชันยังสามารถปรับปรุงให้ดียิ่งขึ้นได้โดยใช้อะแด็ปทีฟเดลต้ามอดูเลชัน ที่จะพยากรณ์ข้อมูลตัวถัดไปจากข้อมูลที่เข้ามาก่อนหน้า ซึ่งจะทำให้ความผิดพลาดในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลลดลง

การส่งสัญญาณหลายๆ ช่องพร้อมกันนั้นเราสามารถทำได้หลายวิธี เช่นการมัลติเพล็กซ์แบบแบ่งความถี่ (frequency division multiplex) การมัลติเพล็กซ์แบบแบ่งตามช่วงเวลา (time division multiplex) ซึ่งทำให้สามารถส่งสัญญาณได้หลายช่องสัญญาณพร้อมๆ กัน โดยทั่วไปสัญญาณอนาล็อกจะใช้กับการมัลติเพล็กซ์แบบแบ่งความถี่ สำหรับสัญญาณดิจิตอลจะใช้กับการมัลติเพล็กซ์แบบแบ่งตามช่วงเวลาซึ่งสามารถส่งข้อมูลด้วยอัตราเร็วที่สูงกว่า และได้จำนวนช่องสัญญาณในการส่งมากกว่า

เนื่องจากการส่งสัญญาณในระยะทางไกลโดยใช้สายไม่สะดวกในการติดตั้ง จึงใช้วิธีการส่งสัญญาณแบบไร้สาย โดยนำสัญญาณมามอดูเลตกับคลื่นพาห์ วิธีการมอดูเลตสำหรับสัญญาณดิจิตอลมีด้วยกันหลายวิธี คือ แอมปลิจูดชิฟคีย์อิ้ง (amplitude shift keying:ASK) ฟรีเควนซีชิฟคีย์อิ้ง (frequency shift keying:FSK) และเฟสชิฟคีย์อิ้ง (phase shift keying:PSK) ซึ่งมีข้อดีแตกต่างกันไป สำหรับวิธีการแอมปลิจูดชิฟคีย์อิ้งเป็นวิธีหนึ่งที่นิยมเพราะใช้วงจรที่ไม่ซับซ้อน การตรวจจับสัญญาณ (detection) สามารถทำได้ง่าย ส่วนการส่งออกอากาศนั้นจำเป็นต้องมีวงจรขยายกำลังเพื่อให้ส่งสัญญาณไปได้ในระยะทางที่ไกลขึ้น ซึ่งวงจรขยายกำลังจะต้องมีความเหมาะสมกับวิธีการมอดูเลตที่เลือกใช้เพื่อให้รับสัญญาณที่ถูกต้องได้ การตรวจจับสัญญาณอาจทำได้ทั้งแบบอะซิงโครนัส เช่น ไดโอดดีเทกชัน และซิงโครนัสดีเทกชัน

โครงงานนี้เราส่งสัญญาณเสียงจาก 4 ช่องสัญญาณออกอากาศจากเครื่องส่งไปยังเครื่องรับ โดยนำสัญญาณเสียงซึ่งเป็นสัญญาณอนาล็อกมาเปลี่ยนเป็นสัญญาณดิจิตอลด้วยวิธีเดลต้ามอดูเลชัน แล้วนำสัญญาณดิจิตอลที่ได้มามัลติเพล็กซ์รวมกันแบบแบ่งตามเวลา การส่งออกอากาศเราจะนำสัญญาณมามอดูเลตกับคลื่นพาห์ความถี่สูงแบบแอมปลิจูดชิฟคีย์อิ้ง แล้วนำมาขยายกำลังส่งก่อนออกจากเสาอากาศ เครื่องรับจะรับสัญญาณแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขยายเฉพาะช่วงความถี่ของคลื่นพาห์ การแยกสัญญาณออกจากคลื่นพาห์จะใช้วิธีไดโอดดีเทกชัน และทำการดีมัลติเพล็กซ์เพื่อแยกสัญญาณดิจิตอลแต่ละช่องออกจากกัน ก่อนเข้าวงจรเดลต้าดีมอดูเลเตอร์ที่ทำหน้าที่แปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาล็อกดังเดิม

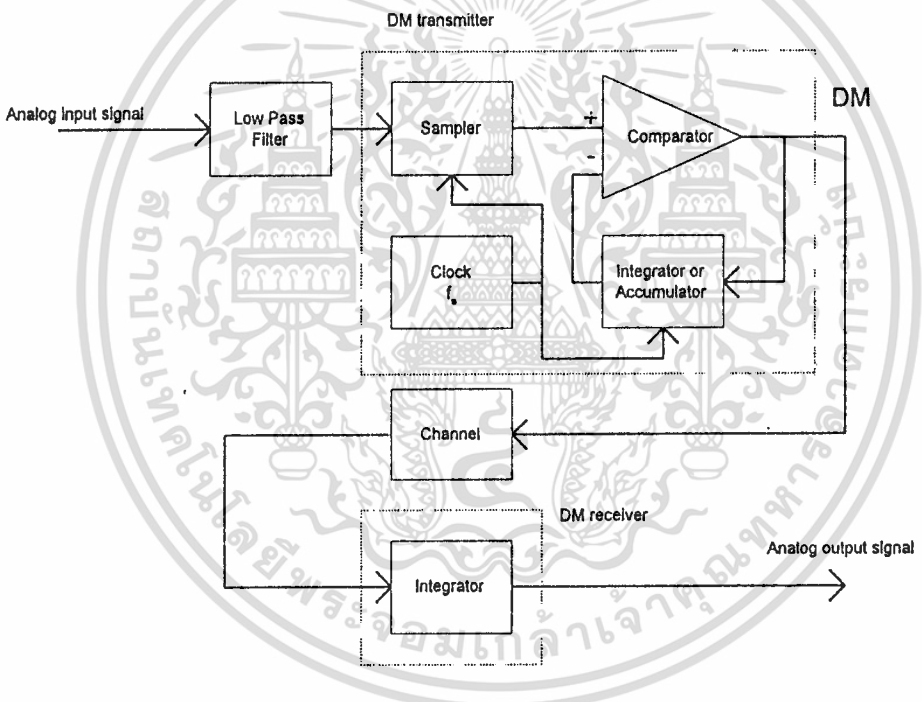
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี และหลักการ

2.1 เดลต้ามอดูเลชัน (delta modulation)

เดลต้ามอดูเลชันเป็นวิธีที่ใช้ในการแปลงสัญญาณอนาล็อก (analog signal) เป็นสัญญาณดิจิตอล (digital signal) หรือเรียกวงจรเอทูดี (analog to digital) แม้ว่าจะไม่สามารถทำให้การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีความถูกต้องสูงก็ตาม แต่สำหรับสัญญาณที่มีความถี่ไม่สูงมากนัก เช่น สัญญาณเสียง จะมีความถูกต้องของการแปลงให้เป็นสัญญาณดิจิตอลนับว่าสูงเพียงพอ และข้อได้เปรียบที่สำคัญของวงจรนี้คือ ส่วนประกอบของวงจรไม่ยุ่งยาก และเป็นวงจรที่มีความยืดหยุ่นสูง (flexibility) นั่นคือสามารถควบคุมคุณสมบัติของการแปลงเอทูดีได้

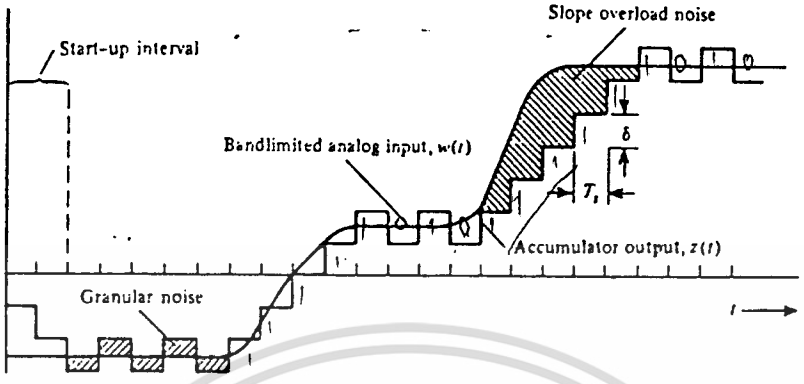
เราสามารถแสดงบล็อกไดอะแกรมของเดลต้ามอดูเลเตอร์ ตามรูปที่ 2.1 ได้ดังนี้



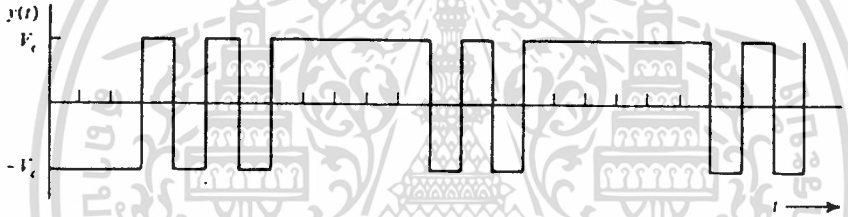
รูปที่ 2.1 บล็อกไดอะแกรมของเดลต้ามอดูเลเตอร์

จากบล็อกไดอะแกรมของเดลต้ามอดูเลเตอร์จะเป็นระบบปิด จะเห็นได้ว่าเมื่อมีสัญญาณเข้ามาที่วงจรกรองความถี่ต่ำผ่าน (low pass filter:LPF) สัญญาณจะถูกเลือกช่วงความถี่ที่ต้องการ เพื่อเข้าวงจรสุ่มตัวอย่าง (sampler) ซึ่งเป็นการเลือกสัญญาณอินพุตตามจังหวะของสัญญาณนาฬิกา (clock) เอาต์พุตที่ได้จะเข้าสู่วงจรที่มีระดับควอนไตซ์ซิ่ง 2 ระดับที่สร้างจากวงจรเปรียบเทียบ (comparater) ดังนั้นเอาต์พุตที่ได้จะเป็นค่าบวก หรือค่าลบของไฟเลี้ยงที่จ่ายให้กับวงจรเปรียบเทียบ ($\pm V_C$) ในกรณีนี้สัญญาณที่ได้จากเดลต้ามอดูเลเตอร์จะเป็นสัญญาณที่มีขั้ว สัญญาณส่วนหนึ่งจะถูกส่งออกไปเป็นสัญญาณดิจิตอลที่ต้องการ และสัญญาณอีกส่วนหนึ่งจะถูกป้อนกลับมาเพื่อควบคุมสวิตช์ (slope polarlity switch) ที่ทำหน้าที่กำหนดการเพิ่มขึ้นหรือลดลงของสัญญาณ และ

การเพิ่มของขนาดของสัญญาณ (step size) สามารถกำหนดได้เป็นค่าคงที่ โดยสัญญาณตัวที่ออกไปก่อนหน้านี้จะถูกเก็บไว้ที่แอกคิวมูเลเตอร์ (accumulator) เพื่อทำการเปรียบเทียบกับสัญญาณที่จะเข้ามาที่วงจรเปรียบเทียบต่อไป สัญญาณที่ได้จากเดลต้ามอดูเลเตอร์ สามารถแสดงได้ดังรูปที่ 2.2



(ก)



(ข)

รูปที่ 2.2 (ก) แสดงสัญญาณอนาล็อกอินพุต และเอาต์พุตของแอกคิวมูเลเตอร์
(ข) แสดงเอาต์พุตของเดลต้ามอดูเลเตอร์

จากรูปที่ 2.2 จะเห็นได้ว่าสัญญาณที่ได้จากเอาต์พุตของแอกคิวมูเลเตอร์จะเปลี่ยนแปลงตามสัญญาณอนาล็อกอินพุตไม่ทัน ดังนั้นจะทำให้เกิดสัญญาณรบกวนเนื่องจากการควอนไตซ์ขึ้น เราแบ่งความผิดพลาดที่เกิดจากการควอนไตซ์ได้ 2 แบบด้วยกัน คือ

1. สัญญาณรบกวนแบบสโลปโอเวอร์โหลด (slope overload noise)

คือ ความผิดพลาดของสัญญาณที่เกิดเมื่อขนาดของสเต็ปไซส์ (δ) มีค่าน้อยเกินไป สัญญาณเอาต์พุตที่ได้จากแอกคิวมูเลเตอร์จะไม่สามารถติดตามการเปลี่ยนแปลงอย่างรวดเร็วของสัญญาณอินพุตที่เข้ามาได้ จึงทำให้เอาต์พุตของเดลต้ามอดูเลเตอร์ที่ได้ผิดพลาดไปจากสัญญาณจริง

2. สัญญาณรบกวนแบบแกรนูล่าร์ (granular noise)

คือ ความผิดพลาดที่เกิดเมื่อสัญญาณไม่มีการเปลี่ยนแปลง ค่าความผิดพลาดนี้จะเกิดที่สเต็ปไซส์ค่าใดก็ได้ แต่ถ้าค่าสเต็ปไซส์มีค่าน้อยจะมีสัญญาณรบกวนแบบแกรนูล่าร์น้อย ส่วนถ้าค่าสเต็ปไซส์มีค่ามากจะมีสัญญาณรบกวนแบบแกรนูล่าร์มาก ดังนั้นเราจะต้องเลือกค่าสเต็ปไซส์ให้เล็กที่สุดเท่าที่จะทำได้ เพื่อลดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนแบบแกรนูล่าร์ สเปกตรัมของสัญญาณรบกวนแบบแกรนูล่าร์จะไม่เป็นรูปแบบที่แน่นอน และกระจายอยู่ในช่วงความถี่ที่น้อยกว่าความถี่ที่ใช้สุ่มตัวอย่างสัญญาณ ค่ากำลังของสัญญาณรบกวนแบบแกรนูล่าร์เฉลี่ยจะเท่ากับหนึ่งในสามของค่าสเต็ปไซส์กำลังสอง

เราต้องเลือกค่าของสเต็ปไซส์ที่เหมาะสม เพื่อเป็นการลดความผิดพลาดที่เกิดจากทั้งสัญญาณรบกวนแบบสโลปโอเวอร์โหลด และสัญญาณรบกวนแบบแกรนูล่าร์ เพราะเมื่อค่าของสัญญาณรบกวนแบบแกรนูล่าร์เพิ่มขึ้น ค่าของสัญญาณรบกวนแบบสโลปโอเวอร์โหลดจะลดลง ซึ่งค่าของสเต็ปไซส์จะขึ้นกับระดับสัญญาณอินพุตที่ใช้ และความถี่ของสัญญาณนาฬิกาที่ใช้ในการสุ่มตัวอย่าง

2.1.1 อะแด็ปทีฟมอดูเลชัน (adaptive delta modulation)

เป็นเทคนิคที่ทำการพัฒนาหลักการของเดลต้ามอดูเลชันให้ทำงานดีขึ้น และมีค่าความผิดพลาดในการแปลงสัญญาณอินพุตน้อยลง คือ สามารถลดค่าความผิดพลาดที่เกิดจากสัญญาณรบกวนแบบสโลปโอเวอร์โหลด รวมทั้งยังสามารถรักษาระดับค่าความผิดพลาดที่เกิดจากสัญญาณรบกวนแบบแกรนูล่าร์ให้มีค่าน้อยที่สุดเท่าที่จะเป็นไปได้ ซึ่งการเปลี่ยนแปลงค่าของสเต็ปไซส์จะเป็นไปตามฟังก์ชันของเวลาเหมือนกับการเปลี่ยนแปลงของอินพุต โดยจะต้องใช้ค่าสเต็ปไซส์ให้น้อยที่สุดเพื่อที่จะรักษาระดับค่าความผิดพลาดเนื่องจากสัญญาณรบกวนแบบแกรนูล่าร์ให้น้อย จนกระทั่งค่าความผิดพลาดเนื่องจากสัญญาณรบกวนแบบสโลปโอเวอร์โหลดมีค่าเพิ่มขึ้น ค่าสเต็ปไซส์จึงจะเพิ่มขึ้นเพื่อลดค่าความผิดพลาดจากสโลปโอเวอร์โหลด ค่าสเต็ปไซส์จะถูกปรับปรุงให้ดีขึ้น เราสามารถแสดงตัวอย่างสเต็ปไซส์ที่เปลี่ยนแปลงตามขบวนของข้อมูลที่เข้ามาได้ดังตารางที่ 2.1 ดังนี้

data sequence				number of successive	step-size
D0	D1	D2	D3	binary 1's or 0' s	algorithm
x	x	0	1	1	δ
x	0	1	1	2	δ
0	1	1	1	3	2δ
1	1	1	1	4	4δ

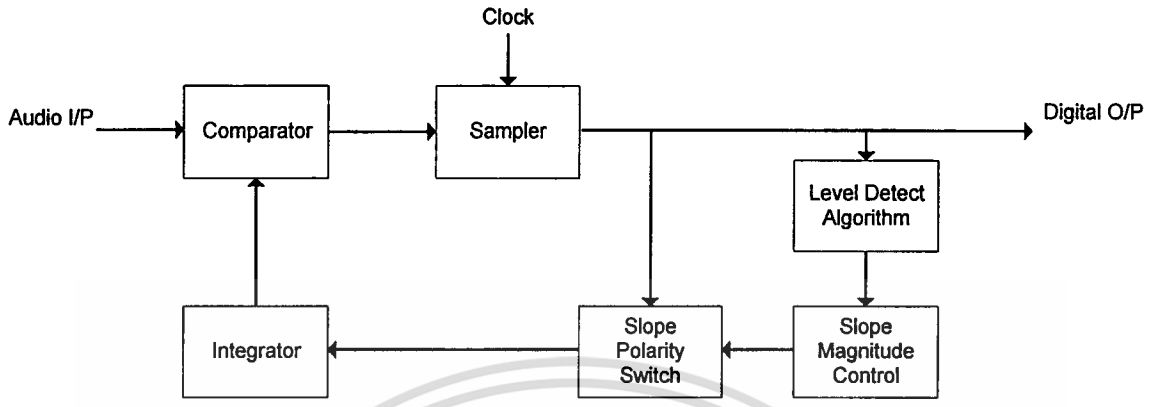
ตารางที่ 2.1 แสดงค่าสเต็ปไซส์ที่เปลี่ยนแปลงตามอนุกรมของข้อมูล

ตัวอย่างเช่น เมื่อข้อมูลเอาต์พุตที่ได้จากเดลต้ามอดูเลเตอร์เป็นขบวนสัญญาณที่มีพัลส์บวกต่อเนื่องกัน ค่าสเต็ปไซส์จะเพิ่มขึ้นจนกระทั่งเอาต์พุตที่ได้จากเดลต้ามอดูเลเตอร์เริ่มสลับขั้วระหว่างบวกกับลบ ค่าสเต็ปไซส์จึงจะลดลง เมื่อสัญญาณเปลี่ยนแปลงอย่างไม่ต่อเนื่องหรือสัญญาณเป็นข้อมูล 1 หรือ 0 สลับกัน หรือเมื่อมีข้อมูล 1 หรือ 0 ติดกัน 2 ตัว ค่าสเต็ปไซส์จะถูกกำหนดให้เป็น δ แต่ถ้ามีข้อมูลเป็น 1 ติดกัน 3 ตัว ค่าสเต็ปไซส์จะเพิ่มขึ้นเป็น 2δ และเพิ่มขึ้นเป็น 4δ เมื่อข้อมูลเป็น 1 ต่อกัน 4 ตัว

อะแด็ปทีฟมอดูเลเตอร์ จะเก็บข้อมูลที่ใช้ในการเปลี่ยนแปลงค่าสเต็ปไซส์ไว้ที่แอกคิวมูเลเตอร์ และเอาต์พุตที่ได้จะมีลักษณะเป็นขั้นบันได แต่จะมีอะแด็ปทีฟมอดูเลเตอร์แบบอื่นที่การเปลี่ยนแปลงของสเต็ปไซส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นค่าความชันที่เกิดจากวงจรอินทิเกรเตอร์(integrator) หรือเรียกเทคนิคอะแด็ปทีฟมอดูเลชั่นแบบนี้ว่า continuously variable slope delta modulation (CVSD) ซึ่งสามารถแสดงบล็อกไดอะแกรมของ CVSD ได้ดังนี้



รูปที่ 2.3 แสดงบล็อกไดอะแกรมของ CVSD

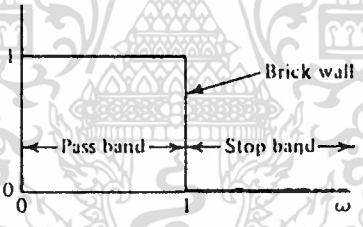
จากบล็อกไดอะแกรมของ CVSD ในรูปที่ 2.3 จะเห็นได้ว่า สัญญาณเอาต์พุตที่ได้จากวงจรสุ่มตัวอย่างจะถูกนำไปควบคุมการเพิ่มขึ้นหรือลดลงของสเต็ปไซส์ และควบคุมขนาดของสเต็ปไซส์ด้วย โดยขนาดของสเต็ปไซส์จะนำไปเปลี่ยนแปลงความชันที่วงจรอินทิเกรเตอร์ และเอาต์พุตของอินทิเกรเตอร์จะไปเปรียบเทียบกับค่าของสัญญาณอินพุตที่เข้ามาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่านในอุดมคติ เป็นวงจรที่ยอมให้สัญญาณที่มีความถี่ต่ำผ่าน โดยเราสามารถกำหนดได้ว่าไม่ต้องการให้ศวามถี่ตั้งแต่ค่าใดผ่านไป เรียกว่าเป็น "ความถี่คัตออฟ" ของวงจร โดยทั่วไปแล้วสัญญาณปกติจะประกอบด้วยสัญญาณรบกวนที่มีความถี่สูง ดังนั้นเราจะใช้วงจรกรองความถี่ต่ำผ่านเพื่อกำจัดสัญญาณที่ไม่ต้องการเหล่านั้น ทั้งยังสามารถแยกสัญญาณที่มีความซับซ้อนออกมาเป็นส่วน ๆ เพื่อป้อนเข้าวงจรต่าง ๆ ของระบบต่อไปได้

การบ่งบอกถึงคุณสมบัติเป็นวงจรกรองความถี่ที่ดีหรือไม่นั้น สามารถดูได้จากช่วงผ่าน ถ้าความถี่ในช่วงผ่านมีความเรียบ และมีลักษณะชันแสดงว่าวงจรกรองความถี่มีคุณภาพดี แต่ถ้าช่วงผ่านมีการกระเพื่อม และลาดมากแสดงว่ามีการเลือกความถี่ที่เลว วงจรกรองความถี่ต่ำผ่านแบ่งได้เป็นวงจรกรองความถี่แบบพาสซีฟ (passive filter) สร้างจากตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ สามารถตอบสนองทางความถี่ได้สูงมาก แต่จะเกิดความผิดเพี้ยน (distortion) และการสูญเสียของสัญญาณสูงมากเนื่องจากค่าอิมพีแดนซ์ของอุปกรณ์ วงจรกรองความถี่ต่ำผ่านอีกประเภทหนึ่งคือ วงจรกรองความถี่แบบแอกทีฟ (active filter) เรานำอุปกรณ์ประเภทแอกทีฟ เช่น ออปแอมป์ ทรานซิสเตอร์ มาทำงานร่วมกับโครงข่ายของตัวต้านทาน และตัวเก็บประจุ ข้อดีของวงจรประเภทนี้คือ มีเสถียรภาพสูง แต่จะมีการตอบสนองทางความถี่ได้ไม่สูงมากนักเมื่อเทียบกับวงจรแบบพาสซีฟ เราสามารถแสดงช่วงความถี่ของวงจรกรองความถี่ต่ำผ่านได้ดังรูปที่ 2.4 ดังนี้

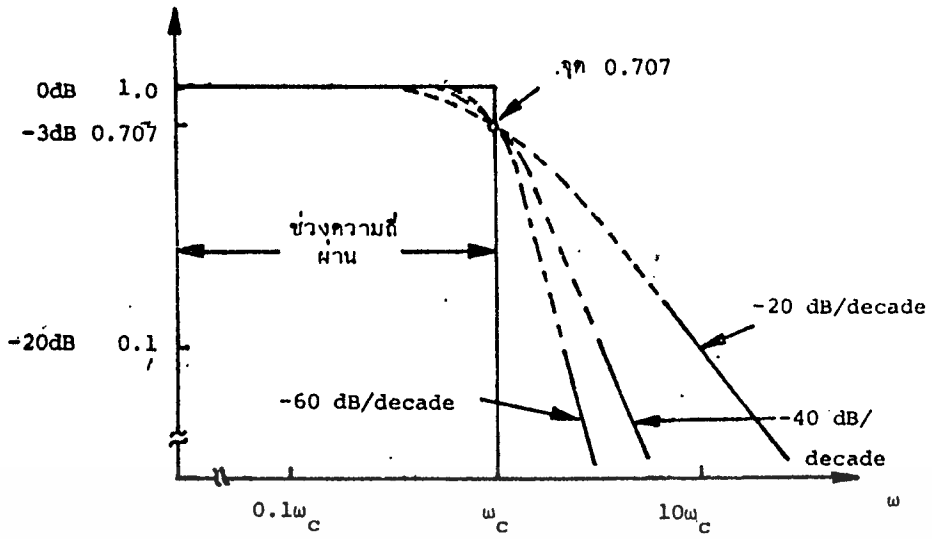


รูปที่ 2.4 แสดงช่วงความถี่ของวงจรกรองความถี่ต่ำผ่าน

2.2.1 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด

ในทางปฏิบัติงานหลาย ๆ อย่างต้องการวงจรกรองความถี่ต่ำผ่านที่มีอัตราขยายสัญญาณแบบลูปปิดในช่วงความถี่ผ่านใกล้เคียงกับ 1 มากที่สุดเท่าที่จะเป็นไปได้ หรือเป็นวงจรที่ให้อัตราขยายสัญญาณเท่า ๆ กันตลอดช่วงความถี่ที่ผ่านได้ ซึ่งวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดจะเหมาะสมที่สุด วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดบางครั้งเรียกว่าวงจรกรองความถี่ต่ำผ่านแบบแมกซิมอลลีแฟลต (maximally flat filter) เนื่องจากจะมีความเรียบของช่วงความถี่ผ่านสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

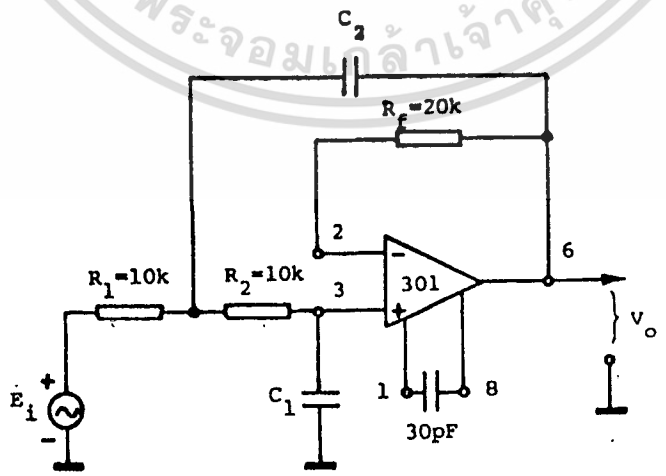


รูปที่ 2.5 แสดงการตอบสนองความถี่สำหรับวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดที่มีการลดทอนค่าต่างๆ

จากรูปที่ 2.5 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านในอุดมคติ (เส้นทึบ) และการตอบสนองความถี่ที่ได้จากวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด (เส้นประ) 3 แบบ ซึ่งมีความชันของการลดทอนต่างๆ กัน

ตัวอย่างวงจรกรองความถี่ต่ำผ่านแบบแอกทีฟดังแสดงในรูปที่ 2.6 อาจจะนำมาต่ออนุกรมกัน 2 วงจร เพื่อให้ได้อัตราการลดทอนในช่วงหยุด (stop band) เท่ากับ -40 dB/decade แต่จะเป็นการออกแบบที่ไม่ประหยัด เพราะต้องต่อออปแอมป์อนุกรมกัน 2 ตัว แต่เราสามารถสร้างวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด ที่มีอัตราการลดทอน -40 dB/decade ได้จากออปแอมป์เพียงตัวเดียว และสามารถเพิ่มอัตราการลดทอนของวงจรกรองความถี่ต่ำผ่านโดยการนำวงจรกรองความถี่ต่ำผ่านมาอนุกรมกัน

วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด จะมีค่ามุมเฟสที่ความถี่คัตออฟต่างๆ กัน เช่น วงจรกรองความถี่ต่ำผ่านที่มีอัตราการลดทอนที่ -20 dB/decade จะมีมุมเฟสเท่ากับ -45 องศาที่ความถี่คัตออฟ ส่วนวงจรกรองความถี่ต่ำผ่านที่มีอัตราการลดทอนที่ -40 dB/decade จะมีมุมเฟสเท่ากับ -90 องศาที่ความถี่คัตออฟ



รูปที่ 2.6 แสดงวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 อนาล็อกสวิตช์ (Analog Switch)

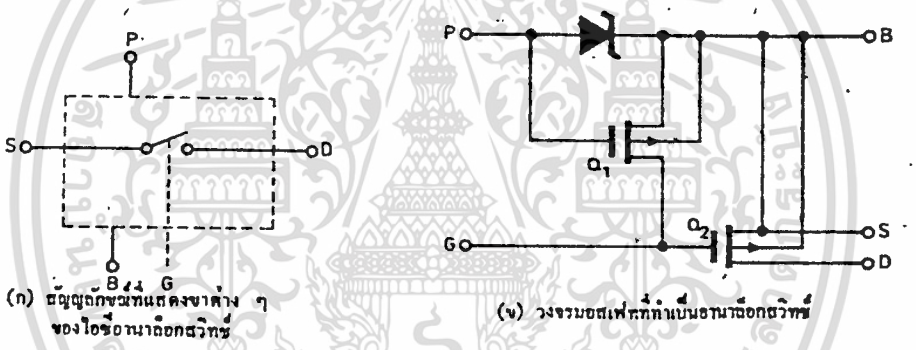
เป็นอุปกรณ์ที่เปรียบเทียบได้กับรีเลย์ขนาดเล็ก ซึ่งมีข้อดีคือลักษณะการทำงานของอนาล็อกสวิตช์สามารถใช้แทนรีเลย์ได้ ความเร็วในการสวิตช์สูงกว่า ไม่มีปัญหาในเรื่องหน้าสัมผัส อายุการใช้งานทนทานกว่า ไม่มีสนามแม่เหล็กเกิดขึ้นรวมทั้งยังสามารถทำงานร่วมกับวงจรลอจิกจำพวกทีทีแอลได้โดยตรง

2.3.1 ลักษณะการทำงานเบื้องต้น

วงจรอนาล็อกสวิตช์ในปัจจุบันใช้แรงดันควบคุมสวิตช์ในการปิดเปิด การใช้งานของอนาล็อกสวิตช์จะควบคุมด้วยสัญญาณไฟฟ้าซึ่งสามารถต่อเข้ากับวงจรไฟฟ้าได้โดยตรง โดยสัญญาณควบคุมนี้มักเป็นสัญญาณดิจิตอล ซึ่งระดับแรงดันที่ลอจิกหนึ่งจะทำให้สวิตช์ปิดวงจร ส่วนระดับแรงดันลอจิกอีกระดับหนึ่งจะทำให้สวิตช์เปิดวงจร

2.3.2 โครงสร้างของอนาล็อกสวิตช์ชนิดมอสเฟท

แสดงได้ดังรูปที่ 2.7



รูปที่ 2.7 แสดงโครงสร้างของอนาล็อกสวิตช์ชนิดมอสเฟท

อธิบายส่วนต่างๆ ได้ดังนี้

ขา G เป็นขาควบคุมสวิตช์ แรงดันที่ขานี้จะเป็นตัวกำหนดภาวะการทำงานของมอสเฟท Q_2 เพื่อให้มอสเฟททำงานได้ดี เมื่อใช้งานจึงต้องให้แรงดันควบคุมได้ขนาดตามที่ผู้ผลิตกำหนดไว้

ขา B ขานี้จะต่ออยู่กับซัพสเตรทของวงจร จะต้องต่อให้มีศักดาเท่ากับมีแรงดันบวกมากที่สุดของเกท หรือจะให้เป็นบวกมากกว่าก็ได้ ทั้งนี้เพื่อป้องกันไม่ให้มีกระแสไหลระหว่างขาเดรนกับซับสเตรท หรือระหว่างซอร์สกับซับสเตรท

ขา P ศักดาที่ขานี้เมื่อเทียบกับขา B จะเป็นตัวกำหนดแรงดันระหว่างเกทกับซอร์สของ Q_1 ซึ่งก็จะมีผลต่อการไหลของกระแสเดรนได้ สำหรับการต่อขา P กับ B เข้าด้วยกัน จะทำให้ Q_1 และQ_3 ไม่นำกระแส และตรงรอยต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

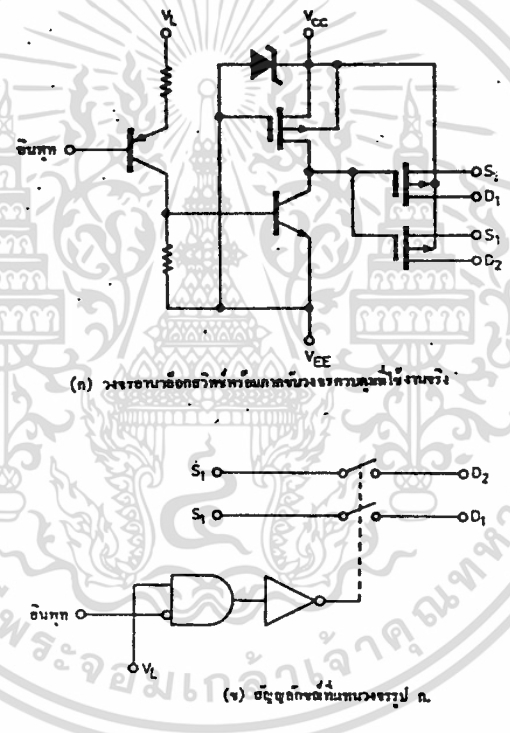
ระหว่างเดรนกับซับสเตรทของ Q_1 ได้รับการไบอัสตรง เมื่อเกทมีค่าแรงดันเป็นบวก และเมื่อเกทมีค่าแรงดันเป็นลบ จะทำให้รอยต่อนี้เสมือนเป็นซีเนอร์ไดโอดเพื่อป้องกันเกทของ Q_2

ขา D เป็นขาด้านหนึ่งของสวิตช์

ขา S เป็นขาด้านหนึ่งของสวิตช์

2.3.3 วงจรอนาล็อกสวิตช์ที่มีวงจรควบคุม

โดยปกติการควบคุมการสวิตช์นั้นมักจะใช้สัญญาณทางดิจิตอล ดังนั้นจึงจำเป็นที่จะต้องมีส่วนควบคุมการทำงานเพื่อให้การใช้งานอยู่ในระดับลอจิกที่เราต้องการเช่น ระดับ 0 กับ 5 โวลต์ วงจรอนาล็อกสวิตช์นี้จึงต่ออยู่กับวงจรจำพวกทีทีแอล ดีทีแอล และอาร์ทีแอลได้โดยตรง ลักษณะของวงจรที่ใช้เป็นส่วนอินเตอร์เฟสระหว่างระดับลอจิก 0 กับ 5 โวลต์ กับระดับลอจิกมอสที่มีค่าระดับแรงดันต่างกัน แสดงให้เห็นดังรูปที่ 2.8



รูปที่ 2.8 แสดงการควบคุมการทำงานของอนาล็อกสวิตช์

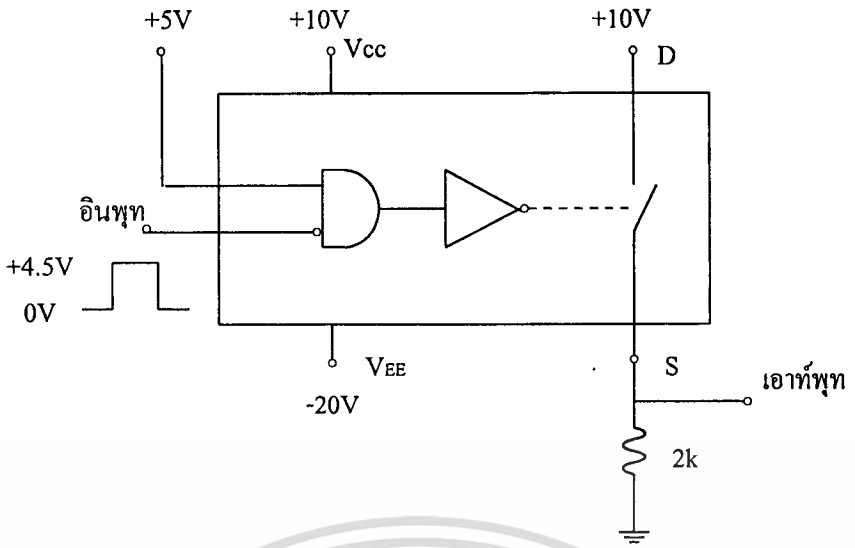
(ก) วงจรอนาล็อกสวิตช์พร้อมภาคขับวงจรควบคุมที่ใช้งานจริง

(ข) สัญญลักษณ์ที่แทนวงจรรูป ก

ลักษณะการทำงานของวงจรเขียนเป็นสัญลักษณ์ได้ดังรูป 2.8 (ข) และโดยปกติขา V_L จะต่อเข้ากับระดับแรงดัน 5 โวลต์ ดังนั้นถ้าอินพุตมีค่าระดับแรงดัน 0 โวลต์ (ลอจิก 0) สวิตช์จะเปิดวงจร และถ้าหากแรงดันอินพุตอยู่ในระดับ 5 โวลต์ (ลอจิก 1) สวิตช์จะปิดวงจร

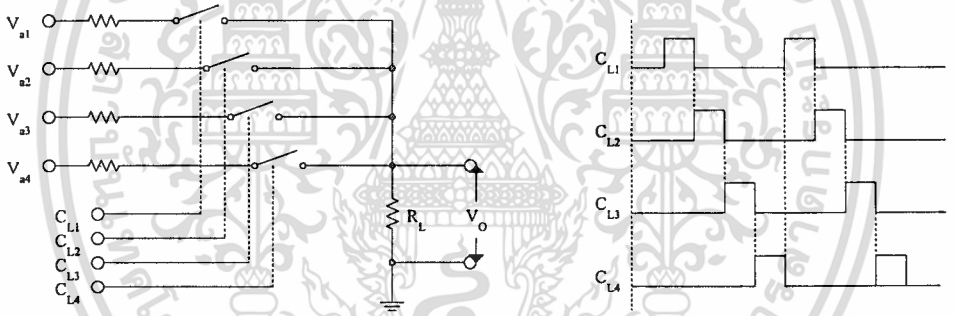
ตัวอย่างการใช้งานของวงจรอนาล็อกสวิตช์แสดงให้เห็นดังรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 การนำอนาล็อกสวิตช์ไปใช้งานจริง

การใช้งานอนาล็อกสวิตช์ในวงจรมัลติเพล็กซ์แสดงได้ดังรูปที่ 2.10



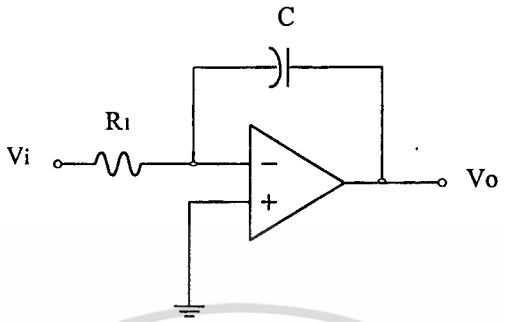
รูปที่ 2.10 วงจรมัลติเพล็กซ์ที่ใช้อนาล็อกสวิตช์

การใช้งานอนาล็อกสวิตช์ในวงจรมัลติเพล็กซ์แบบแบ่งตามเวลา เมื่อสัญญาณ C_{L1} เป็นพัลส์บวก สวิตช์ที่ควบคุมด้วย C_{L1} ก็จะปิดวงจรให้สัญญาณที่เข้ามาจาก V_{a1} ผ่านไปยัง V_o ได้ ถ้าให้สัญญาณควบคุม C_{L1} ถึง C_{L4} เป็นพัลส์แบบต่อเนื่องเพื่อให้สวิตช์เปิดวงจรเรียงกัน ผลที่ได้จะทำให้สัญญาณ V_o ขึ้นกับ V_{a1} ถึง V_{a4} เรียงลำดับเข้ามา แล้ววนกลับไป V_{a1} ใหม่อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ สามารถแสดงได้ดังรูปที่ 2.11 ภายในประกอบด้วยออปแอมป์ โดยต่อให้เป็นการป้อนกลับแบบลบ (negative feedback) ซึ่งจะมีความต้านทาน R_1 อยู่ทางด้านอินพุต และมีตัวเก็บประจุต่ออยู่ในเส้นทางป้อนกลับ



รูปที่ 2.11 รูปแสดงวงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ จะมีค่าสัญญาณเอาต์พุตเป็นสัดส่วนกับการอินทิกรัลของเวลา (time integral) ของสัญญาณอินพุต โดยแสดงได้ตามสมการคณิตศาสตร์ดังนี้

$$V_O = -(\frac{1}{RC})\int_0 V_i dt \qquad (2.1)$$

โดยที่ V_o คือ แรงดันเอาต์พุต

V_i คือ แรงดันอินพุต

เมื่อมีสัญญาณเข้าวงจร Vi = Vsin ωt

Vi จะถูกอินทิเกรตดังสมการ

$$\int_0 V_i dt = -(\frac{V}{\omega})\cos\omega t \qquad (2.2)$$

ซึ่งจะเห็นได้ว่าขนาดของสัญญาณเอาต์พุตจะเป็นส่วนกลับกับความถี่

เมื่อหาความสัมพันธ์ระหว่างค่าอัตราขยายแรงดัน Av กับความถี่ จะได้ดังสมการ

$$A_v = -\frac{R_F}{R_i} \qquad (2.3)$$

โดยที่ R_F คือ ค่าความต้านทานป้อนกลับ

R_i คือ ค่าความต้านทานอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจากรูปวงจรที่ 2.11 จะได้

$$A_v = -\left(\frac{-j}{2\pi fC}\right)\frac{1}{R} = \frac{j}{2\pi fRC} \qquad (2.4)$$

จากสมการจะเห็นว่า ค่าอัตราการขยายแรงดันของวงจรจะลดลงในขณะที่ความถี่เพิ่มขึ้น โดยอัตราการขยายแรงดันจะมีค่าเท่ากับ 1 ที่ความถี่ค่าหนึ่ง สมมุติให้เป็น f_2

ดังสมการ

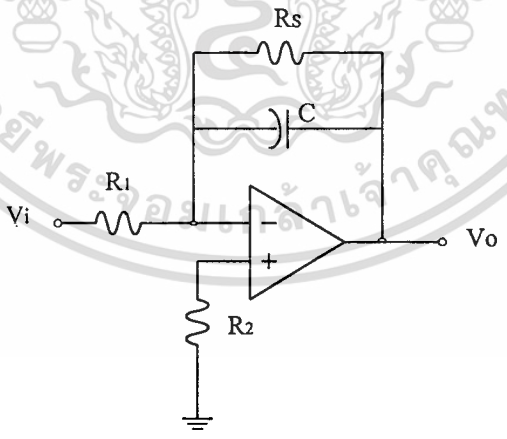
$$1 = 2\pi f_2 RC$$

$$f_2 = \frac{1}{2\pi RC}$$

$$\omega_2 = \frac{1}{RC}$$

ค่าคงที่ของเวลา (time constant) RC ของการอินทิเกรตยิ่งมีค่ามากเท่าใด ขนาดของสัญญาณเอาต์พุตที่ได้ก็จะมีค่าเล็กลงเท่านั้น

อย่างไรก็ตาม วงจรอินทิเกรเตอร์ที่ใช้ในทางปฏิบัติแสดงได้ดังรูปที่ 2.12 ซึ่งจะใช้ความต้านทาน R_S ต่อคร่อมตัวเก็บประจุ C



รูปที่ 2.12 แสดงวงจรอินทิเกรเตอร์ที่ใช้จริงในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_S จะต่อไว้เพื่อทำให้เกิดเสถียรภาพของไฟกระแสตรง ให้กับวงจรอินทิเกรเตอร์ โดยจะจำกัดค่าอัตราการขยายที่ความถี่ต่ำของตัวขยายสัญญาณ (amplifier) เพราะถ้าอัตราขยายที่ความถี่ต่ำไม่ถูกจำกัดแล้ว ค่าออฟเซตของไฟกระแสตรง (dc offset) ที่เกิดขึ้นจะถูกอินทิเกรต ซึ่งอาจทำให้เกินช่วงการทำงานของตัวขยายสัญญาณได้ และในที่สุดออปแอมป์ก็จะทำงานในช่วงอิ่มตัว (saturation)

ค่าแรงดันออฟเซตของไฟกระแสตรง จะขึ้นอยู่กับกระแสแรงดันไบอัสอินพุต ซึ่งจะทำให้เกิดน้อยที่สุด โดยค่าความต้านทาน R_2 จะหาได้ดังนี้

$$R_2 = \frac{(R_1 \cdot R_S)}{(R_1 + R_S)} \tag{2.5}$$

ความถี่ที่วงจรจะเริ่มต้นทำงานเป็นอินทิเกรเตอร์ได้คือ

$$f_C = \frac{1}{2\pi R_S C} \tag{2.6}$$

ถ้าค่าความถี่อินพุตมีค่าน้อยกว่า f_C วงจรจะมีคุณสมบัติเข้าใกล้วงจรขยายกลับเฟส ซึ่งมีค่าอัตราการขยายแรงดันดังนี้

$$\frac{V_o}{V_i} = -\frac{R_S}{R_i}$$

และเพื่อให้ได้คุณสมบัติความเป็นเชิงเส้นที่ดี ความถี่ของสัญญาณอินพุตควรมีค่าอย่างน้อยเป็น 10 เท่าของ f_C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การส่งสัญญาณแบบซิงโครนัส (Synchronous) และอะซิงโครนัส (Asynchronous)

ในการส่งสัญญาณข้อมูลแบบอนุกรมสามารถแบ่งออกได้เป็น 2 ประเภท คือ การส่งแบบซิงโครนัส และอะซิงโครนัส

2.5.1 การส่งสัญญาณข้อมูลอนุกรมแบบอะซิงโครนัส

การส่งสัญญาณข้อมูลแบบนี้ ข้อมูลแต่ละตัวจะต้องมีข่าวสารการซิงโครนัส เพื่อที่จะบอกให้ด้านรับรู้ตำแหน่งของบิทแรก และบิทสุดท้ายของข้อมูล จึงทำให้สามารถส่งสัญญาณด้วยอัตราที่ต่างกันได้ ข้อมูลจะถูกทำให้ซิงโครนัสกันโดยใช้บิทเริ่ม (start bit) และบิทหยุด (stop bit) นั่นเอง และโดยทั่วไปความยาวของช่องว่างของเวลา (time gap) ระหว่างข้อมูลแต่ละตัวจะไม่กำหนดตายตัว อย่างไรก็ตามการส่งสัญญาณแบบอะซิงโครนัสจะช้ากว่าการส่งแบบซิงโครนัส และไม่สามารถที่จะเข้ารหัสของการส่งได้เพราะส่วนบิทเริ่ม และบิทหยุดที่เพิ่มเข้ามา

ตัวอย่างเช่นการส่งสัญญาณแบบอะซิงโครนัสของตัวอักษรที่เป็นรหัส ASCII ขนาด 7 บิท เมื่อใส่ตัวอักษรนี้จะต้องมีบิทเริ่มนำหน้าก่อน ซึ่งโดยปกติจะเป็นบิท 0 (space) และต่อท้ายด้วยพาริตี้บิท (parity bit) และบิทหยุด 1 บิทหรือมากกว่า ซึ่งจะเป็นบิท 1 (mark) เสมอ ดังแสดงในรูปที่ 2.13

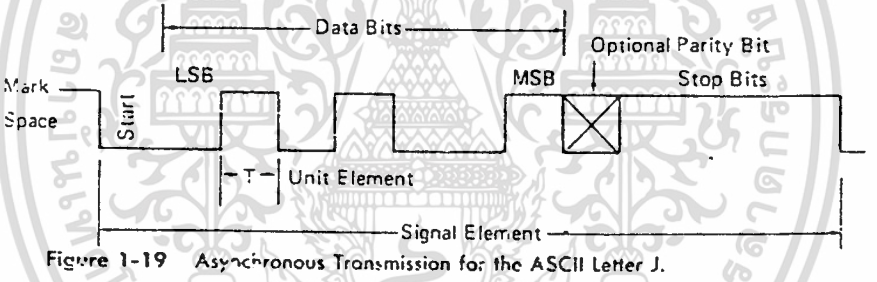


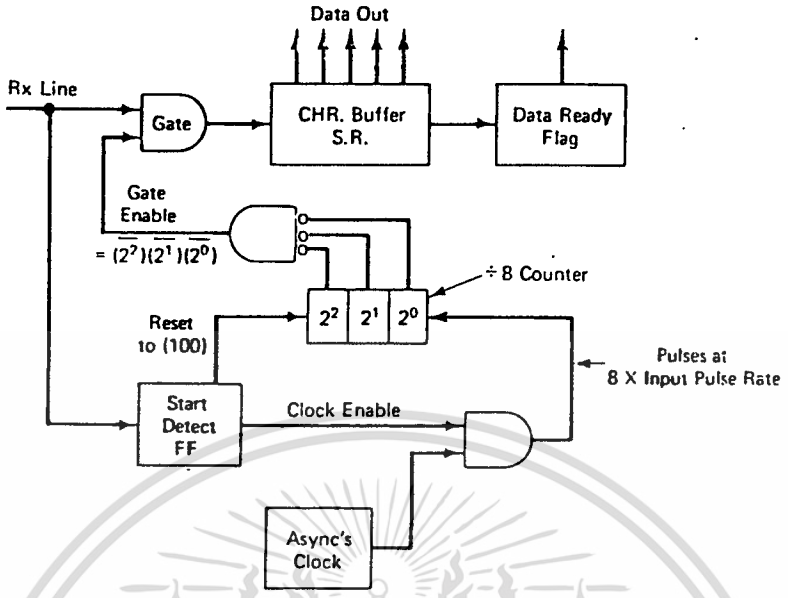
Figure 1-19 Asynchronous Transmission for the ASCII Letter J.

รูปที่ 2.13 แสดงตัวอย่างการส่งสัญญาณแบบอะซิงโครนัสขนาด 7 บิท

ทางด้านรับจะตรวจจับบิทเริ่มนี้โดยดูการเปลี่ยนสถานะจากบิท 1 เป็นบิท 0 จากนั้นก็จะถอดรหัสข้อมูลทั้ง 7 บิทได้ ถ้าหากต้องการส่งข้อมูลมากกว่านี้ สามารถทำได้โดยกระบวนการเดียวกัน ที่เครื่องรับ และเครื่องส่งมีสัญญาณนาฬิกาที่แยกจากกัน แต่จะต้องมีอัตราเร็วใกล้เคียงกัน การส่งสัญญาณอะซิงโครนัสสามารถมีช่องว่างระหว่างข้อมูลแต่ละตัวแตกต่างกันได้ ดังที่อาจจะเกิดขึ้นกับการป้อนข้อมูลจากการกดแป้นคีย์บอร์ด ที่ช่วงห่างของแต่ละตัวจะไม่เท่ากันขึ้นกับผู้ที่พิมพ์ แต่อย่างไรก็ดีอุปกรณ์ส่วนใหญ่จะมีบัฟเฟอร์ (buffer) เพื่อที่จะเก็บข้อมูลเตรียมไว้ก่อนที่จะทำการส่ง ในระหว่างการส่งนี้ชุดของข้อมูลจะถูกส่งออกไปด้วยอัตราคงที่

บล็อกไดอะแกรมของเครื่องรับสัญญาณข้อมูลอนุกรมแบบอะซิงโครนัสทั่วไปแสดงได้ดังรูปที่ 2.14 จุดประสงค์ที่ใช้เครื่องรับเป็นแบบลอจิกก็เพื่อจะทำให้แน่ใจว่าพัลส์จะถูกสุ่มตัวอย่างที่ใกล้กับศูนย์กลางของพัลส์มากที่สุด การสุ่มตัวอย่างแบบนี้จะทำให้ลดการผิดพลาดที่อาจเกิดขึ้นเนื่องจากการขยายกว้างของพัลส์สัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงบล็อกไดอะแกรมเครื่องรับข้อมูลอนุกรมแบบอะซิงโครนัส

สัญญาณนาฬิกาที่ผลิตขึ้นจากออสซิลเลเตอร์แบบคริสตอลจะถูกหารลงเพื่อให้มีอัตราส่วนเป็น 8 เท่าของอัตราของสัญญาณอินพุตที่เข้ามา เมื่อสิ้นสุดข้อมูลหนึ่ง และได้รับพัลส์เริ่มเข้ามา ก็จะไปกำหนดให้ระบบเริ่มทำงานในรอบใหม่ได้ ดังนั้นเมื่อมีส่วนต้นของข้อมูลเข้ามาก็จะเป็นการเริ่มการทำงานของสัญญาณนาฬิกา

ในระบบข้างต้นนี้ จุดสิ้นสุดของข้อมูลจะตรวจจับได้โดยการนับพัลส์ของสัญญาณที่เข้ามา นั่นหมายความว่าเครื่องรับจะเกิดการทำงานผิดพลาดได้ถ้าหากเกิดมีบิทอื่นเพิ่มเข้ามา เช่นอาจจะมีสัญญาณรบกวนแทรกเข้ามาในระบบ ในกรณีนี้จะทำให้ข้อมูลที่ตามมาทั้งหมดเกิดการผิดพลาดได้ ดังนั้นระบบนี้ควรมีการตรวจสอบความกว้างของพัลส์สัญญาณ ซึ่งทำให้สามารถแยกบิทหยุดออกจากบิทอื่นๆ ทำให้เกิดการซิงโครนัสที่จุดสิ้นสุดของสัญญาณได้

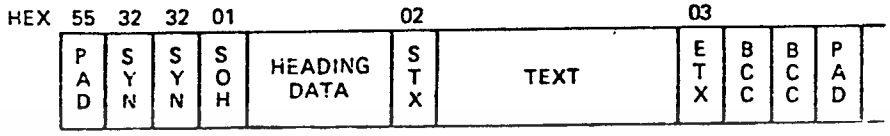
2.5.2 การส่งสัญญาณอนุกรมแบบซิงโครนัส

การส่งสัญญาณข้อมูลแบบนี้จะไม่ใช้บิทเริ่มและบิทหยุด แต่จะใช้สัญญาณนาฬิการ่วมกันในการส่งและการรับ (รวมทั้งพัลส์ของเฟรม) เพื่อทำให้เกิดการซิงโครนัสกัน และเพื่อระบุพัลส์ของข้อมูล ส่วนที่เครื่องรับจะรับรหัสที่มีลักษณะเฉพาะ (unique code) จากชุดข้อมูลที่เข้าเครื่องรับ ซึ่งทำให้สามารถระบุชุดของบิทที่เข้ามาว่าเป็นข้อมูลใด อุปกรณ์ที่เครื่องรับจะถูกทำให้มีสัญญาณนาฬิกาที่มีอัตราเร็วเท่ากับเครื่องส่ง การทำให้สัญญาณนาฬิกานี้ซิงโครนัสเรียกว่าการซิงโครไนซ์บิท (bit synchronization)

ด้วยการส่งแบบซิงโครนัสนี้ การซิงโครนัสจะเกิดขึ้นโดยอาศัยชุดของกลุ่มข้อความ ไม่ใช่ข้อมูลเพียงตัวเดียว แสดงว่าจะต้องไม่มีช่องว่างระหว่างแต่ละข้อมูล ซึ่งถูกจำกัดที่ความสามารถในการบัฟเฟอร์ของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งในการซิงโครนัสรหัสไบนารี่เช่น BISYNC (IBM's Binary Synchronous Data Transmission) ดังแสดงในรูปที่ 2.15 แต่ละบล็อกจะแทนรหัส EBCDIC ขนาด 8 บิท ที่มีรหัสฐาน 16 เขียนกำกับไว้เหนือรหัส EBCDIC ส่วนรหัส PAD ซึ่งจะมีค่าสลับกันไประหว่าง 1's และ 0's จะใช้เพื่อให้เกิดกระบวนการซิงโครนัสขึ้น และ อุปกรณ์ที่เครื่องรับจะเริ่มการถอดรหัสข้อมูลเพื่อการควบคุมข้อมูลและกลุ่มของข้อความนี้ได้



รูปที่ 2.15 แสดงรูปแบบของรหัสซิงโครนัส BISYNC

กระบวนการซิงโครนัสมีคุณลักษณะดังต่อไปนี้

1.ไม่มีบิทเริ่ม และบิทหยุดเพื่อการซิงโครนัสของข้อมูลแต่ละตัว

2.ข่าวสารจะถูกส่งไปทั้งบล็อก ซึ่งประกอบด้วยส่วนของสัญญาณต่างๆ มากมายโดยไม่มีช่องห่างระหว่างกัน

3.บล็อกทั้งหมดจะถูกจัดเป็นเฟรมโดยรหัสที่มีลักษณะเฉพาะ ที่เครื่องรับสามารถรู้ตำแหน่งเริ่มต้น และจุดสิ้นสุดของข้อมูลได้

4.ที่เครื่องรับต้องรู้ความยาวของรหัสที่ส่งมา และต้องรู้รหัสที่มีลักษณะเฉพาะในการควบคุมเครื่องรับ

5.ทุกๆ บิทในเครื่องส่ง และเครื่องรับจะต้องถูกทำให้ซิงโครนัสกันโดยสัญญาณนาฬิกาชุดเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรเปรียบเทียบแรงดัน (Comparator)

วงจรเปรียบเทียบระดับแรงดัน ในที่นี้ใช้วงจรของออปแอมป์ที่เป็นวงจรขยายเปิดลูป โดยปกติแรงดันไฟเลี้ยงที่ให้กับออปแอมป์จะเป็นแรงดัน $+V_{cc}$ และ $-V_{cc}$ ที่มีค่าตั้งแต่ ± 3 โวลต์ จนถึง ± 18 โวลต์ เป็นส่วนใหญ่ ดังนั้นเอาต์พุตของออปแอมป์เมื่อเป็นวงจรขยายเปิดลูป จะอิ่มตัวที่ $+V_{cc}$ หรือ $-V_{cc}$ เท่านั้น นั่นคือถ้าแรงดันที่ขาอินเวอร์ติ้งของออปแอมป์มีค่ามากกว่าขานอนอินเวอร์ติ้ง แรงดันเอาต์พุตก็จะอิ่มตัวอยู่ที่ $-V_{cc}$ แต่ถ้าแรงดันที่ขาอินเวอร์ติ้งมีค่าน้อยกว่าขานอนอินเวอร์ติ้งแรงดันเอาต์พุตจะอยู่ที่ $+V_{cc}$

จะเห็นได้ว่าลักษณะของออปแอมป์ จึงเป็นวงจรเปรียบเทียบที่มีค่าแรงดันเอาต์พุต $+V_{cc}$ หรือ $-V_{cc}$ ซึ่งไม่เหมาะที่จะนำไปใช้ในวงจรทางด้านดิจิตอล หรือวงจรอินเตอร์เฟสระหว่างวงจรอนาล็อกกับวงจรดิจิตอล เพราะแรงดันเอาต์พุตอาจทำให้ภาควงจรดิจิตอลเกิดการเสียหายได้ บริษัทผู้ผลิตไอซีจึงหันมาผลิตออปแอมป์ที่มีระดับแรงดันเอาต์พุตอยู่ที่สองระดับเช่น 0 โวลต์ กับ5 โวลต์ เพื่อใช้กับวงจรทีทีแอล หรือซีมอส และให้ชื่อออปแอมป์ที่ใช้งานเฉพาะอย่างนี้ว่าวงจรเปรียบเทียบ

2.6.1 ไอซีวงจรเปรียบเทียบ

วงจรขยายความแตกต่าง (differential amplifier) ลักษณะเป็นวงจรขยายเปิดลูป หรือไม่มีการป้อนกลับ ดังนั้นวงจรขยายนี้จึงมีอัตราขยายที่ค่อนข้างสูงมาก และเอาต์พุตก็จะอิ่มตัวอยู่ที่ระดับแรงดันสองระดับ คือระดับสูงหรือต่ำ ขึ้นอยู่กับค่าแรงดันอินพุตที่ขาทั้งสอง

วงจรเปรียบเทียบในอุดมคติหรือวงจรออปแอมป์ในอุดมคตินั้น ควรจะมีคุณสมบัติต่อไปนี้

1.อัตราขยายแรงดันของผลต่างที่อินพุตมีค่าเป็นอนันต์

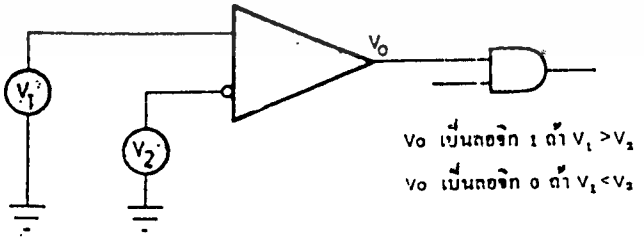
2.อัตราขยายแรงดันเมื่ออินพุตทั้งสองมีเฟสร่วมหรืออยู่ในโหมดเดียวกันเป็นศูนย์

3.อินพุตอิมพีแดนซ์เป็นอนันต์

4.เอาต์พุตอิมพีแดนซ์เป็นศูนย์

5.แถบขยายทางด้านความถี่เป็นอนันต์

6.แรงดันและกระแสออฟเซทเป็นศูนย์



รูปที่ 2.16 แสดงวงจรเปรียบเทียบเบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2 อัตราขยายแรงดัน (Avo)

อัตราขยายแรงดันเป็นตัวบอกถึงความไว (sensitivity) ของวงจรเปรียบเทียบ ถ้าอัตราขยายแรงดันสูง จะทำให้เอาต์พุตสวิตช์เปลี่ยนระดับได้เร็ว โดยปกติแล้ววงจรเปรียบเทียบในอุดมคติจะต้องมีอัตราขยายเป็นอนันต์ นั่นคือแรงดันเพียงเล็กน้อยที่ป้อนให้ที่อินพุตทั้งสอง จะทำให้แรงดันเอาต์พุตเปลี่ยนสถานะได้ ในทางปฏิบัติแล้ว อัตราขยายแรงดันของวงจรเปรียบเทียบจะมีค่าไม่ถึงอนันต์ ดังนั้นจึงต้องมีแรงดันระดับหนึ่งที่อินพุต เพื่อจะทำให้เกิดการเปลี่ยนแปลงสถานะที่เอาต์พุต อัตราส่วนของการเปลี่ยนแปลงของแรงดันเอาต์พุตต่อการเปลี่ยนแปลงของแรงดันอินพุต คือ กำลังขยายแรงดันของวงจรเปรียบเทียบ และจากความสัมพันธ์ที่กล่าวมาเราสามารถหาค่าความไวน้อยที่สุดที่จะทำให้เกิดการเปลี่ยนแปลงสถานะของเอาต์พุตได้ดังสมการ 2.7

$$\Delta V_{i\min} = \frac{\Delta V_o}{A_{vd}} \tag{2.7}$$

โดยที่ ΔV_o คือ ผลต่างของแรงดันสภาวะสูง (high) และสภาวะต่ำ (low) ที่เอาต์พุต โดยปกติมีค่าประมาณจาก 5 โวลต์ และ 0 โวลต์

A_{vd} คือ อัตราขยายแรงดันหรือความไวของวงจรเปรียบเทียบ

V_{imin} คือ ค่าความไวน้อยที่สุด

2.6.3 ช่วงเวลาการตอบสนอง

ช่วงเวลาการตอบสนองของวงจรเปรียบเทียบเป็นคุณสมบัติที่สำคัญมากต่อผู้ใช้ เพราะมีผลจากขนาดและอัตราการเปลี่ยนแปลงของสัญญาณอินพุต ผลจากการเปลี่ยนแปลงของสัญญาณอินพุต และเอาต์พุตหาได้จากอัตราขยายของวงจรเปรียบเทียบ โดยปกติเราจะพิจารณาผลที่ได้จากการให้สัญญาณอินพุตเป็นสัญญาณที่เปลี่ยนทันทีทันใด ในการทดลองเราทำได้โดยการให้อินพุตข้างหนึ่งต่อกับแรงดันอ้างอิงที่มีค่าสูงพอที่จะทำให้เอาต์พุตของวงจรเปรียบเทียบอิ่มตัวได้ที่ระดับแรงดันค่าต่ำ ค่าแรงดันที่เหมาะสมมีค่าประมาณ 100 มิลลิโวลต์ และมีช่วงเวลาขาขึ้น (rise time) น้อยมากเมื่อเทียบกับช่วงเวลาระหว่างอินพุตกับเอาต์พุต ช่วงเวลาการตอบสนองหาได้จากช่วงเวลาเมื่ออินพุตเริ่มสวิตช์จนถึงเวลาที่เอาต์พุตมีค่าแรงดันผ่าน 1.4 โวลต์ เราจะเห็นว่าในขณะที่อินพุตเริ่มสวิตช์เปลี่ยนระดับ จะต้องใช้ค่าแรงดันส่วนหนึ่งเพิ่มเติม คือแรงดันออฟเซทที่อินพุต ดังนั้นภายใต้เงื่อนไขนี้ผลตอบสนองที่วัดได้จะไม่เป็นจริง

2.6.4 แรงดันอินพุตสูงสุด

ขีดจำกัดของแรงดันอินพุตของวงจรเปรียบเทียบมีสองชนิดด้วยกัน คือ ขีดจำกัดสูงสุดที่ไอซีทนได้ และขีดจำกัดสูงสุดที่ผู้ผลิตแนะนำให้ใช้ โดยปกติขีดจำกัดสูงสุดจะเป็นสิ่งที่บอกให้ทราบว่าถ้าเราไม่ใช้อินพุตเกินกว่าขีดจำกัดนี้ก็จะไม่ทำให้ตัวไอซีเกิดการเสียหาย ส่วนขีดจำกัดสูงสุดที่ควรใช้จะเป็นขีดจำกัดที่ผู้ผลิตแนะนำ เพราะถ้าใช้ไม่ถึงขีดจำกัดนี้ผู้ผลิตก็จะรับประกันว่าการใช้งานของตัวงจรเปรียบเทียบจะเปรียบเทียบจะเป็นไปตามพารามิเตอร์ต่างๆ ที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039064

2.7 วงจรรักษาระดับแรงดัน

คือ วงจรรักษาระดับแรงดันให้คงที่ แม้ว่าระดับแรงดันของอินพุตจะมีค่าเปลี่ยนแปลงอันเนื่องมาจากการกระเพื่อมแบบระลอกคลื่น (ripple) ของแรงดันหรือกระแสของเอาต์พุตที่โหลดต้องการมีค่าไม่คงที่ วงจรนี้สามารถที่จะจ่ายแรงดันไฟตรงที่มีค่าคงที่อย่างที่เราต้องการให้กับวงจรอื่น หรืออาจกล่าวได้ว่าเป็นวงจรซึ่งทำหน้าที่จ่ายกำลังให้กับวงจรอื่นได้

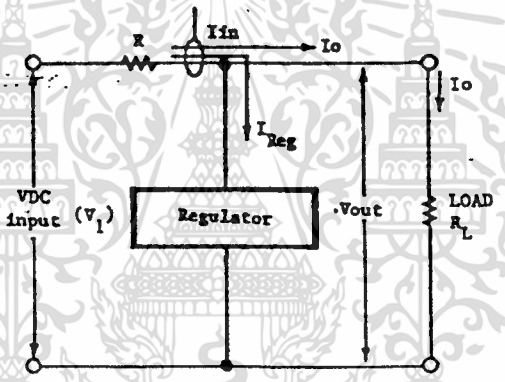
วงจรรักษาระดับแรงดัน มี 2 ประเภท คือ

1.วงจรรักษาระดับแรงดันแบบขนาน

2.วงจรรักษาระดับแรงดันแบบอนุกรม

2.7.1 วงจรรักษาระดับแรงดันแบบขนาน

มีลักษณะคือ ตัววงจรควบคุมจะต่อขนานกับโหลด ได้แก่วงจรที่ใช้ซีเนอร์ไดโอดเป็นอุปกรณ์ในการรักษาระดับแรงดัน



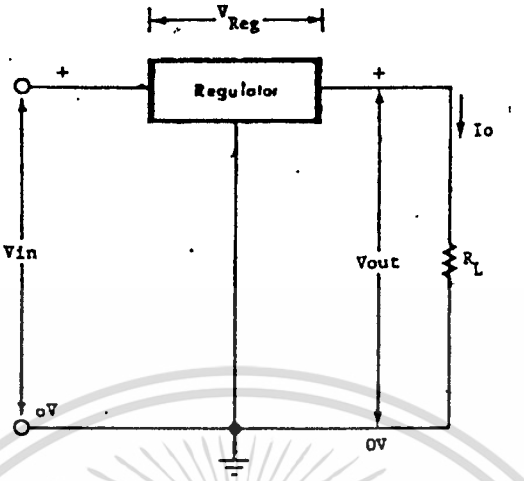
รูปที่ 2.17 แสดงบล็อกไดอะแกรมของวงจรรักษาระดับแรงดันแบบขนาน

วงจรรักษาระดับแรงดันแบบขนานนี้จะควบคุมแรงดันเอาต์พุตให้คงที่ โดยการเปลี่ยนแปลงกระแสที่ไหลผ่านตัวมัน วงจรรักษาระดับแรงดันแบบขนานอย่างง่ายคือการใช้ซีเนอร์ไดโอดต่อร่วมกับความต้านทาน โดยได้มีการควบคุมรักษาระดับแรงดันพังทลาย (avalanche voltage:V_z) ซึ่งเรียกว่าแรงดันซีเนอร์ ซีเนอร์ไดโอดจะเหมือนกับไดโอดโดยทั่วไปเมื่อให้ทำงานในย่านที่ได้รับไบแอสตรง ความแตกต่างระหว่างซีเนอร์ไดโอดกับไดโอดทั่วไป คือเมื่อได้รับไบแอสกลับถึงจุดซีเนอร์ (V_z) รอยต่อของไดโอดจะเกิดการพังทลาย และกระแสจะเพิ่มขึ้นอย่างรวดเร็ว นอกจากนี้ค่าแรงดันที่ตกคร่อมซีเนอร์ไดโอดจะคงที่แม้ว่าจะมีการเปลี่ยนแปลงของระดับที่ป้อนกลับเข้ามา ทำให้เกิดการรักษาค่าระดับแรงดันโดยซีเนอร์ไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2 วงจรรักษาระดับแรงดันแบบอนุกรม

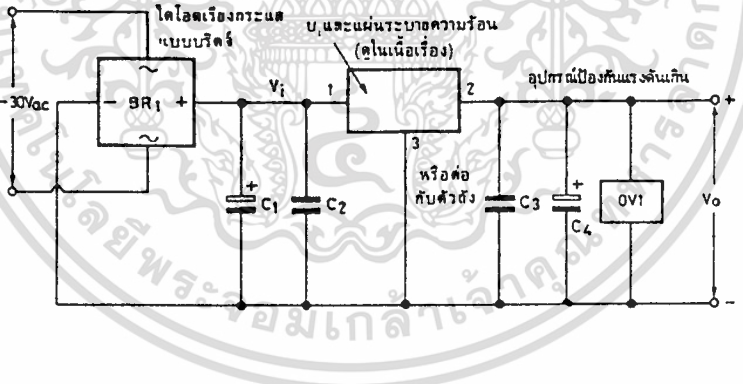
มีลักษณะคือ วงจรควบคุมจะต่ออนุกรมกับโหลด ได้แก่วงจรทั้งหมดที่ใช้ทรานซิสเตอร์ควบคุมระดับแรงดันเอาต์พุต



รูปที่ 2.18 แสดงบล็อกไดอะแกรมของวงจรรักษาระดับแรงดันแบบอนุกรม

2.7.3 วงจรรักษาระดับแรงดันที่ใช้ไอซีสามขา

วงจรมาตรฐานทั่วไปที่นิยมใช้ไอซีรักษาระดับแรงดันแบบ 3 ขานั้น แสดงให้เห็นในรูปที่ 2.19



รูปที่ 2.19 แสดงวงจรที่ใช้ไอซีรักษาระดับแรงดันสามขา

อุปกรณ์บางตัวในวงจรที่เพิ่มเติมเป็นพิเศษ ได้แก่ไดโอดเรียงกระแสแบบบริดจ์ BR_1 และตัวเก็บประจุ C_1 ใช้สำหรับกรองกระแสสำหรับแหล่งจ่ายไฟใดๆ มีค่าไม่ต่ำกว่า 1000 μF/A ตัวเก็บประจุ C_2 และC_3 ใช้สำหรับปรับค่าความต้านทานต่อสัญญาณรบกวนให้ดีขึ้น และมีค่าอยู่ระหว่าง 0.1 μF และ0.47 μF ตำแหน่งของ C_2 และC_3 นั้นเป็นสิ่งสำคัญมาก เนื่องจากตัวเก็บประจุเหล่านี้ใช้สำหรับกดสัญญาณรบกวนต่างๆ ซึ่งประกอบด้วยพัลส์ความถี่สูงๆ ดังนั้นจะต้องติดตั้งให้ใกล้กับตัวถังของไอซีที่สุดเท่าที่จะทำได้ สำหรับตัวเก็บประจุ C_4 ควรมีโดยเฉพาะในวงจรที่มีการเปลี่ยนแปลงของกระแสโหลดอย่างมากในช่วงระยะเวลาสั้นๆ เช่นในวงจรดิจิตอล หน้าที่ของ C_4 ก็คือปรับค่าการตอบสนองทางด้านทรานเซี้ยนต์ (transient response) ของวงจรรักษาระดับแรงดัน

ตัวเก็บประจุจะทำหน้าที่เป็นแหล่งสะสมประจุเพื่อที่จะป้อนกระแสเข้าสู่โหลดในช่วงเวลาสั้นๆ ในขณะที่วงจรรักษาระดับแรงดันกำลังปรับตัวเองเพื่อรับกับความต้องการกระแสที่สูงขึ้น

อุปกรณ์ OV1 เป็นวงจรป้องกันแรงดันเกิน เรียกว่าวงจรเอสซีอาร์โครวบาร์ (SCR crowbar) มีเพื่อป้องกันวงจรภายนอกที่รับกระแสจากวงจรรักษาระดับแรงดันนี้ไม่ให้เกิดความเสียหายเมื่อวงจรรักษาระดับแรงดันเกิดการเสียหาย เพราะโดยปกติแรงดันอินพุตพุตจะสูงกว่าระดับแรงดันเอาต์พุต ถ้าหากวงจรรักษาระดับแรงดันเกิดเสียหายจะทำให้แรงดันอินพุตปรากฏที่เอาต์พุต อุปกรณ์ที่ต่ออยู่ก็จะได้รับความเสียหายไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 การมอดูเลตแบบแอมปลิจูดชิฟคีย์อิ้ง (Amplitude Shift Keying)

ในขบวนการมอดูเลต เราใช้คลื่นรูปไซน์ที่มีความถี่สูงเป็นคลื่นพาห์ (carrier) แล้วเปลี่ยนคุณสมบัติของคลื่นพาห์ด้วยสัญญาณข่าวสาร สำหรับสัญญาณข้อมูลที่เป็นอนาล็อก เรามีวิธีการมอดูเลตหลายแบบด้วยกัน ตัวอย่างเช่น

1. การมอดูเลตทางแอมปลิจูด (amplitude modulation) หรือ AM
2. การมอดูเลตทางความถี่ (frequency modulation) หรือ FM
3. การมอดูเลตทางเฟส (phase modulation) หรือ PM

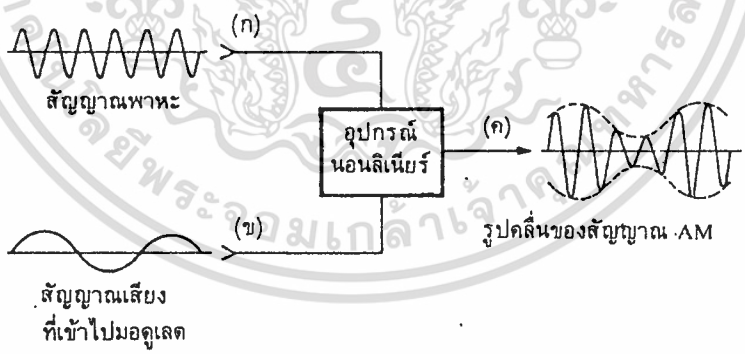
ในทำนองเดียวกับสัญญาณข้อมูลที่เป็นดิจิตอล จะมีหลักการเช่นเดียวกันกับการมอดูเลตสัญญาณที่เป็นอนาล็อกดังที่กล่าวในข้างต้น คือ

1. แอมปลิจูดชิฟคีย์อิ้ง (amplitude shift keying) หรือ ASK
2. ฟรีเควนซีชิฟคีย์อิ้ง (frequency shift keying) หรือ FSK
3. เฟสชิฟคีย์อิ้ง (phase shift keying) หรือ PSK

ในที่นี้จึงขออธิบายหลักการโดยทั่วไปของการมอดูเลตทางแอมปลิจูด ดังนี้

2.8.1 การมอดูเลตทางแอมปลิจูด

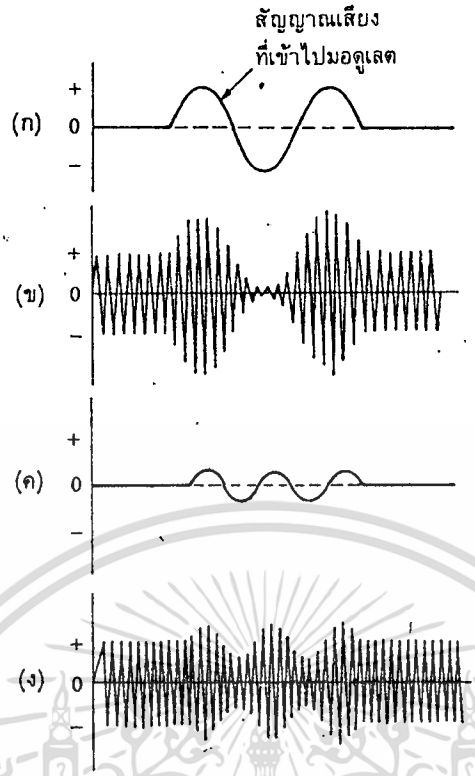
การมอดูเลตแบบ AM นั้น เราใช้สัญญาณข่าวสารมอดูเลตลงบนสัญญาณพาหะ เพื่อเปลี่ยนคุณสมบัติทางแอมปลิจูด (หรือขนาด) ของคลื่นพาห์ ในรูปที่ 2.20 เราใช้สัญญาณพาหะรูป (ก) ผสมกับสัญญาณเสียง (ข) ในวงจรนอนลิเนียร์ (nonlinear) เช่น ไดโอด หรือทรานซิสเตอร์ โดยให้มีจุดทำงานอยู่ในบริเวณที่ไม่เป็นเชิงเส้น จะทำให้เกิดสัญญาณ AM ดังรูป (ค) ขึ้น



รูปที่ 2.20 แสดงการมอดูเลตทางแอมปลิจูดโดยใช้อุปกรณ์นอนลิเนียร์

สังเกตว่าคลื่นพาห์ซึ่งถูกมอดูเลตแล้วจะมีขนาดเปลี่ยนแปลงตามสัญญาณเสียง สัญญาณเสียงที่ปนอยู่ในสัญญาณ AM จะปรากฏเป็นกรอบคลื่น (envelop) บน และล่าง ซึ่งแสดงได้ดังรูปที่ 2.21 โดยรูป 2.21 (ก) แสดงสัญญาณเสียงที่มีแอมปลิจูดขนาดหนึ่ง รูปที่ 2.21 (ข) แสดงสัญญาณ AM ที่มีสัญญาณเสียงในรูป 2.21 (ก) มอดูเลต ในทางตรงข้าม ถ้าสัญญาณเสียงมีแอมปลิจูดเล็กลงดังรูปที่ 2.21 (ค) สัญญาณ AM ที่ได้ ก็จะมีกรอบเล็กลงด้วย ดังรูปที่ 2.21 (ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงการใช้สัญญาณเสียงขนาดต่างๆ กันเพื่อมอดูเลตบนคลื่นพาห์

2.8.2 ไซด์แบนด์ (side band) ของคลื่น AM

เมื่อเราวิเคราะห์สัญญาณ AM (รูปที่ 2.22) และองค์ประกอบต่างๆ ในเชิงความถี่ ในที่นี้สัญญาณ AM เกิดจากสัญญาณพาหะรูปไซน์ความถี่ 1 MHz มอดูเลตด้วยสัญญาณเสียงรูปไซน์ความถี่ 10 kHz พบว่าสัญญาณเสียงความถี่ 10 kHz จะไม่มีอยู่ในคลื่นพาห์ที่มอดูเลตแล้ว (คลื่น AM) แต่ปรากฏเป็นกรอบของคลื่นแทน แต่อย่างไรก็ตามเราทราบดีว่าคลื่น AM จะต้องมีส่วนประกอบของสัญญาณเสียงปนอยู่แน่นอน เพราะกรอบของรูปคลื่นเป็นสิ่งที่ยืนยันอย่างชัดเจน

หากเราใช้สเปกตรัมอนาไลเซอร์เพื่อวิเคราะห์สัญญาณในเชิงความถี่ จะพบว่าสัญญาณ AM นี้นอกจากจะมีคลื่นพาห์เดิม 1 MHz แล้ว ยังมีคลื่นข้างเคียงเกิดขึ้นอีก 2 ข้าง คือที่ความถี่ 1.01 MHz กับความถี่ 0.99 MHz ซึ่งคลื่นข้างเคียงทั้ง 2 ข้างนี้เรียกว่า ไซด์แบนด์ ดังรูปที่ 2.22 (ค)

ไซด์แบนด์ที่มีความถี่สูงกว่าเรียกว่า ไซด์แบนด์ด้านบน (upper sideband หรือ USB) ความถี่ของ USB เท่ากับผลรวมความถี่พาหะกับความถี่สัญญาณมอดูเลต

$$\text{ความถี่ของ USB} = f_c + f_m$$

ในที่นี้ f_c คือความถี่พาหะ

f_m คือความถี่ของสัญญาณที่เข้าไปมอดูเลต

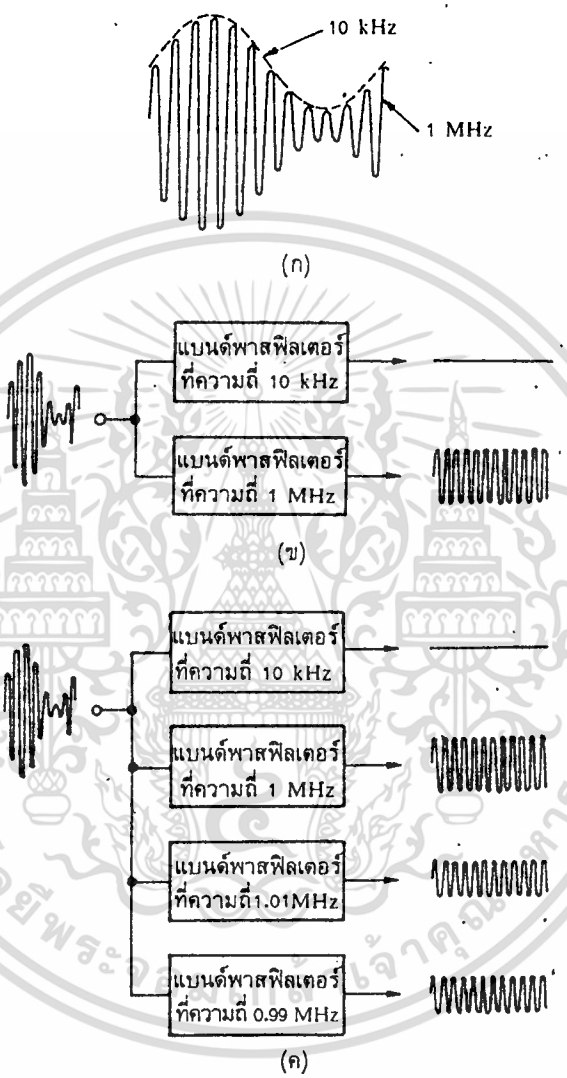
ตามตัวอย่าง f_c = 1 MHz, f_m = 10 kHz ดังนั้น

$$\text{ความถี่ของ USB} = 1 \text{ MHz} + 10 \text{ kHz} = 1.01 \text{ MHz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับไซด์แบนด์ที่มีความถี่ต่ำกว่าเรียกว่า ไซด์แบนด์ด้านล่าง (lower sideband หรือ LSB) ความถี่ของ LSB เท่ากับผลต่างความถี่พาหะกับความถี่สัญญาณที่เข้าไปมอดูเลต ในกรณีนี้จะได้

$$\text{ความถี่ของ LSB} = f_c - f_m$$
$$= 1\ \text{MHz} - 10\ \text{kHz}$$
$$= 0.99\ \text{MHz}$$



รูปที่ 2.22 แสดงการวิเคราะห์คลื่น AM ในเชิงความถี่

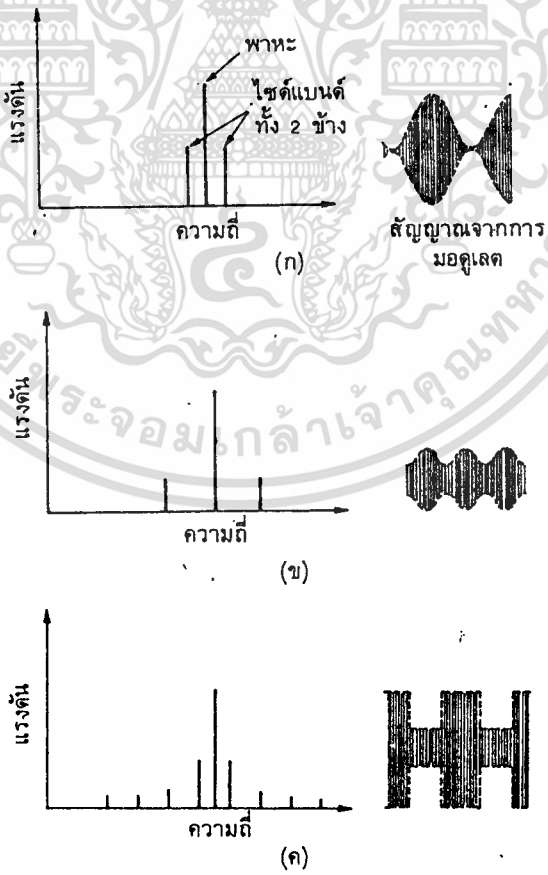
กล่าวโดยสรุปได้ว่าคลื่น AM ประกอบด้วยคลื่นพาหะ และคลื่นไซด์แบนด์ 2 ข้าง คือ USB และLSB ถ้าลองพิจารณาขนาดสัญญาณจากวงจรกรองความถี่ต่างๆ ในรูปที่ 2.22 (ค) พบว่าขนาดจะมีค่าคงที่ ซึ่งเราทราบแล้วในตอนต้นว่าคลื่นพาห์มีขนาดคงเดิมเสมอจนกว่าจะมีสัญญาณเข้าไปมอดูเลต แต่ขนาดเฉลี่ยของคลื่นพาห์ยังมีค่าคงเดิมตลอดไปไม่ว่าจะมีสัญญาณเข้าไปมอดูเลตหรือไม่ก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.23 แสดงการวิเคราะห์สัญญาณ AM ซึ่งมอดูเลตด้วยสัญญาณเสียงที่มีรูปคลื่นชนิดต่างๆ ถ้าตรวจดูด้วยออสซิลโลสโคปจะเห็นว่าไซด์แบนด์จะผสมเสริมหรือหักล้างกับคลื่นพาห์ ทำให้ขนาดของสัญญาณเปลี่ยนแปลง สังเกตว่าในรูปที่ 2.23 (ก) ขนาดของไซด์แบนด์เป็นครึ่งหนึ่งของคลื่นพาห์ เรียกสภาวะเช่นนี้ว่าการมอดูเลตที่มีเปอร์เซ็นต์การมอดูเลตเป็น 100% ฉะนั้นเมื่อสัญญาณทั้งคลื่นพาห์ และไซด์แบนด์มีเฟสตรงกัน ขนาดของไซด์แบนด์รวมกับคลื่นพาห์จะมีขนาด 2 เท่าของคลื่นพาห์ และเมื่อสัญญาณไซด์แบนด์ (ทั้งคู่) และคลื่นพาห์มีเฟสตรงข้ามกัน ขนาดรวมจะเป็นศูนย์

รูปที่ 2.23 (ข) แสดงการมอดูเลตกับคลื่นพาห์ดังกล่าวด้วย 50% ของการมอดูเลต สังเกตว่าขนาดของคลื่นพาห์คงเดิมแต่ไซด์แบนด์มีขนาดลดลง และถ้าเรามอดูเลตด้วยสัญญาณเสียงที่มีความถี่สูงขึ้น ก็จะทำให้ความถี่ไซด์แบนด์ก็ยิ่งจะห่างออกไปจากคลื่นพาห์มากขึ้น

รูปที่ 2.23 (ค) เราใช้สัญญาณรูปสี่เหลี่ยมเข้าไปมอดูเลตลงบนคลื่นพาห์ สังเกตว่าสัญญาณไซด์แบนด์จะเกิดขึ้นมากมาย เนื่องจากว่าสัญญาณสี่เหลี่ยมประกอบด้วยความถี่มูลฐาน และความถี่ฮาร์มอนิกคี่จำนวนมาก ดังนั้นไซด์แบนด์ของสัญญาณก็จะมีไซด์แบนด์หนึ่งคู่สำหรับความถี่มูลฐาน และไซด์แบนด์อีก 1 คู่ สำหรับความถี่ฮาร์มอนิกที่ 3 และต่อๆ ไป



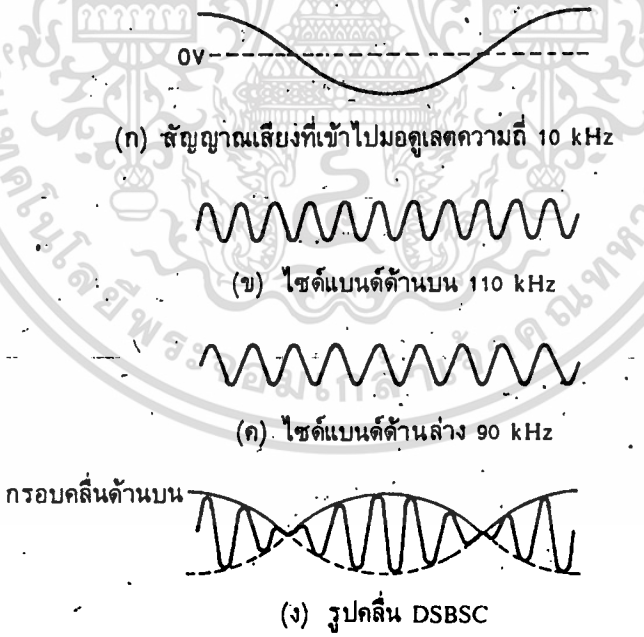
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 แสดงการเปรียบเทียบรูปคลื่น AM ในเชิงความถี่ และเวลา

2.9 ไดโอดดีเทกชัน (diode detection)

เนื่องจากมีเครื่องส่งคลื่นไปในอากาศพร้อมๆ กันเป็นจำนวนมาก ดังนั้นที่เครื่องรับจึงต้องมีวงจรเพื่อเลือกรับเฉพาะสัญญาณที่ต้องการเท่านั้น นอกจากนี้หากเครื่องส่งอยู่ไกลจากเครื่องรับ ทำให้สัญญาณที่รับได้อ่อนมาก เครื่องรับจะต้องขยายสัญญาณอ่อนๆ ที่ต้องการนี้เสียก่อน แล้วจึงดีมอดูเลตหรือดีเทก เพื่อป้อนเข้าไปขยายออกลำโพงต่อไป

การตรวจจับสัญญาณสามารถทำได้ด้วยกันหลายวิธี ที่นิยมมาก คือวงจรดีเทกเตอร์ที่ใช้ไดโอด หรือใช้ทรานซิสเตอร์ แต่ในกรณีสัญญาณ AMDSBSC (amplitude modulation-double sideband suppressed carrier) กรอบคลื่นของสัญญาณจะมิใช่ตัวสัญญาณเสียงที่เข้ามอดูเลต ดังรูปที่ 2.24 มีสัญญาณเสียง 10 kHz มอดูเลตบนคลื่นพาห์ 100 kHz เนื่องจากคลื่นพาห์ถูกกำจัดออกไปเหลือแต่เฉพาะไซด์แบนด์ 2 ข้างรวมกัน จะได้กรอบของสัญญาณเป็นตามรูปที่ 2.34 (ง) กรอบคลื่นที่มีความถี่เป็น 2 เท่าของสัญญาณที่เข้ามามอดูเลต คือ 20 kHz เห็นได้ว่าเรานำหลักการดีเทก AM ใช้ไม่ได้ผลจึงต้องใช้วิธีพิเศษเรียกว่า ซิงโครนัสดีเทกเตอร์ (synchronous detector) ซึ่งมีอินพุท 2 ทาง ทางหนึ่งคือคลื่นพาห์ที่ต้องผลิตเองที่เครื่องรับ โดยความถี่ของคลื่นพาห์นี้ ไม่จำเป็นต้องเท่ากับความถี่ทางเครื่องส่ง (ไม่จำเป็นต้องตรงกันพอดี) แต่ถ้ารูปคลื่นพาห์มีเฟสผิดพลาดจะทำให้ได้ค่าสัญญาณที่ผิดพลาด ด้วยเหตุนี้สัญญาณพาหะที่กำเนิดขึ้นใหม่นี้จึงต้องมีเฟสตรงกับเฟสของเครื่องส่ง ซึ่งเป็นข้อเสียของระบบ AM แบบไร้พาหะ

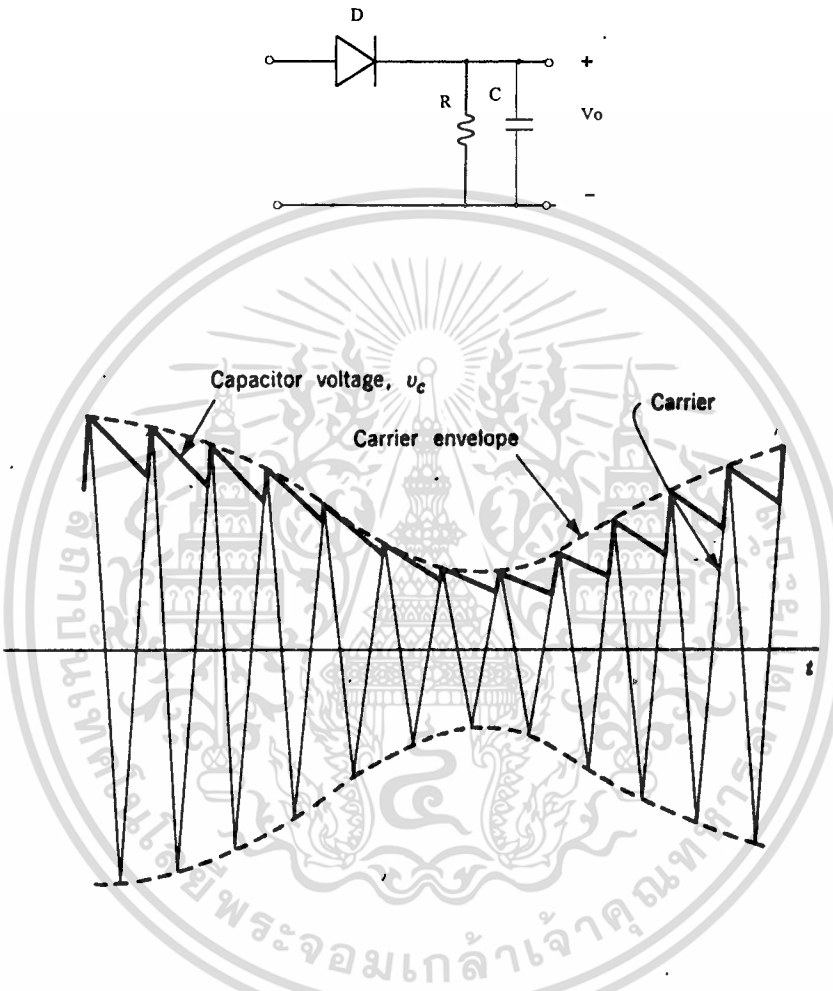


รูปที่ 2.24 แสดงสัญญาณแบบ DSBSC

หากสัญญาณที่ส่งมาเกิดจากการมอดูเลตแบบ AM ธรรมดา เราสามารถเลือกใช้วงจรไดโอดดีเทกเตอร์เพื่อการดีมอดูเลตสัญญาณได้ การทำงานของวงจรก็คือ หากมีสัญญาณ AM ป้อนเข้ามาทางอินพุทผ่านไดโอดตามอุดมคติ (ไดโอดที่มีความต้านทานเป็นศูนย์ หรืออนันต์ ขึ้นกับกระแสที่ไหลผ่านไดโอดว่าเป็นบวกหรือลบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติให้สัญญาณอินพุทมีแอมปลิจูดคงที่ ตัวเก็บประจุจะเก็บประจุจนถึงระดับที่คลื่นพาห์มีแรงดันสูงสุดด้านบวก และจะจะรักษาระดับแรงดันนี้ไว้ในขณะที่ไดโอดไม่ทำงาน หากแอมปลิจูดของของคลื่นพาหะอินพุทเพิ่มขึ้นอีกครั้ง ไดโอดก็จะทำงาน และเก็บประจุจนถึงยอดสูงสุดใหม่ เราต้องต่อตัวต้านทานเพื่อให้ตัวเก็บประจุสามารถคายประจุได้ในขณะที่แอมปลิจูดของคลื่นพาหะลดลง แรงดันของตัวเก็บประจุจะมีรูปคลื่นดังรูปที่ 2.25



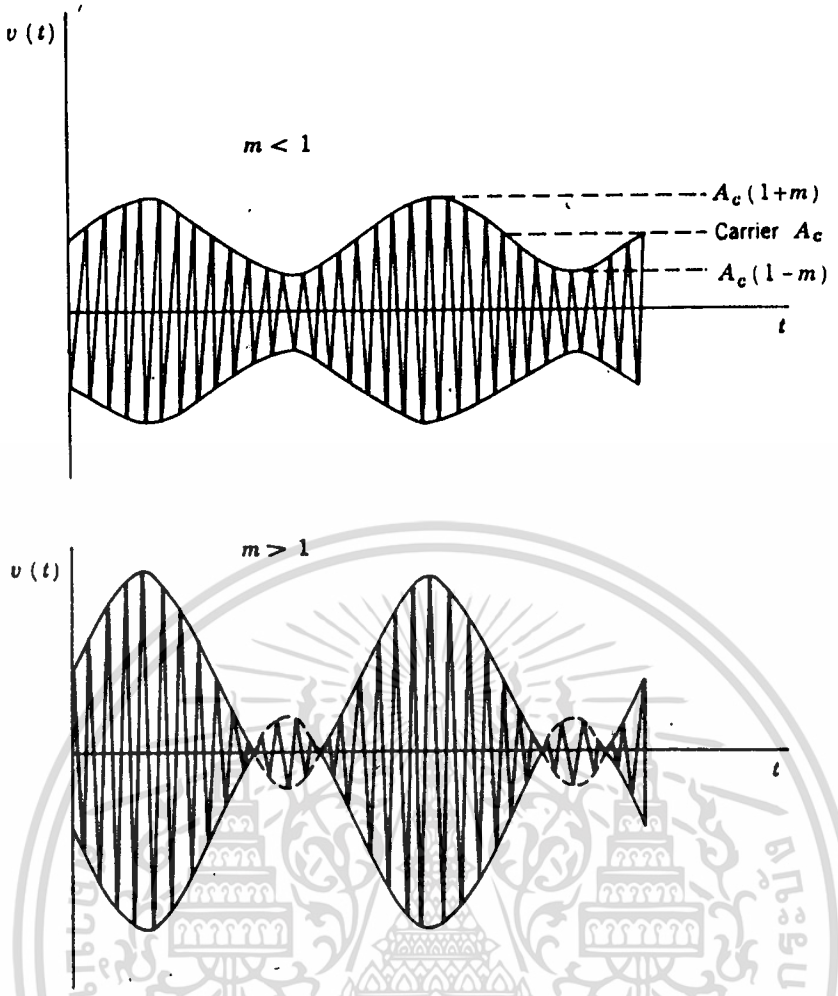
รูปที่ 2.25 (ก) แสดงวงจรไดโอดดีเทกเตอร์

(ข) แสดงรูปคลื่นอินพุท และเอาท์พุทคร่อมตัวเก็บประจุ

สำหรับการเลือกค่าคงตัวเวลา (time constant) RC นั้นต้องมีค่าทำให้อย่างน้อยการเปลี่ยนแปลงของแรงดันของตัวเก็บประจุระหว่างไซเคิลมีค่าเท่ากับการลดลงของขนาดคลื่นพาห์ จะเห็นว่าแรงดันตัวเก็บประจุจะมีการเปลี่ยนแปลงตามกรอบคลื่นพาห์ โดยเป็นลักษณะฟันเลื่อยอยู่เหนือคลื่นพาห์ ในทางปฏิบัตินั้นช่วงระยะห่างของเวลาระหว่างไซเคิลคลื่นพาห์จะมีขนาดเล็กมากเมื่อเปรียบเทียบกับช่วงเวลาที่ต้องการเพื่อเปลี่ยนแปลงขนาดของกรอบคลื่น และการผิดเพี้ยนที่เห็นเป็นรูปฟันเลื่อยนั้นสามารถกรองออกได้ง่ายโดยใช้วงจรกรองความถี่

หากเราต้องการใช้วงจรไดโอดดีเทกเตอร์ เราต้องจำกัดขนาดของสัญญาณที่นำมาป้อนดูเลตกับคลื่นพาห์ ดังที่เห็นในรูป 2.26 (ก) แสดงคลื่นพาหะที่มอดูเลตกับสัญญาณคลื่นไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 (ก) แสดงคลื่นรูปไซน์ที่ถูกมอดูเลต(m<1)
(ข) แสดงคลื่นที่เป็นโอเวอร์มอดูเลต (m>1)

จะพบว่ากรอบคลื่นมีรูปร่างเหมือนสัญญาณไซน์ สมมุติให้สัญญาณไซน์เป็น $m(t) = m\cos\omega_m t$ เมื่อ m เป็นค่าคงที่ จะได้สมการ

$$v(t) = A_c(1 + m\cos\omega_m t)\cdot\cos\omega_c t \qquad (2.8)$$

หากเราปรับให้ m ค่ามากกว่า 1 จะได้ผลตามรูปที่ 2.26 (ข) ซึ่งถ้าใช้ไดโอดดีเทกเตอร์ จะได้เฉพาะกรอบรูปคลื่นด้านบวก ไม่ได้คลื่นรูปไซน์ดังเดิม ในกรณีนี้ไม่สามารถนำสัญญาณคืนมาได้ด้วยไดโอด แต่ต้องใช้โคฮีเรนท์ดีมอดูเลชัน

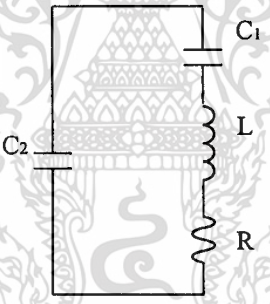
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ออสซิลเลเตอร์

ออสซิลเลเตอร์เป็นวงจรที่ทำหน้าที่เป็นแหล่งกำเนิดความถี่คลื่นรูปไซนูซอยดอลล์ (sinusodial) ซึ่งมีวงจรหลายรูปแบบด้วยกัน เช่น วงจรออสซิลเลเตอร์แบบป้อนกลับ (feedback oscillator) ชนิด RC หรือ LC วงจรคริสตอลออสซิลเลเตอร์ (crystal oscillator)

2.10.1 วงจรคริสตอลออสซิลเลเตอร์

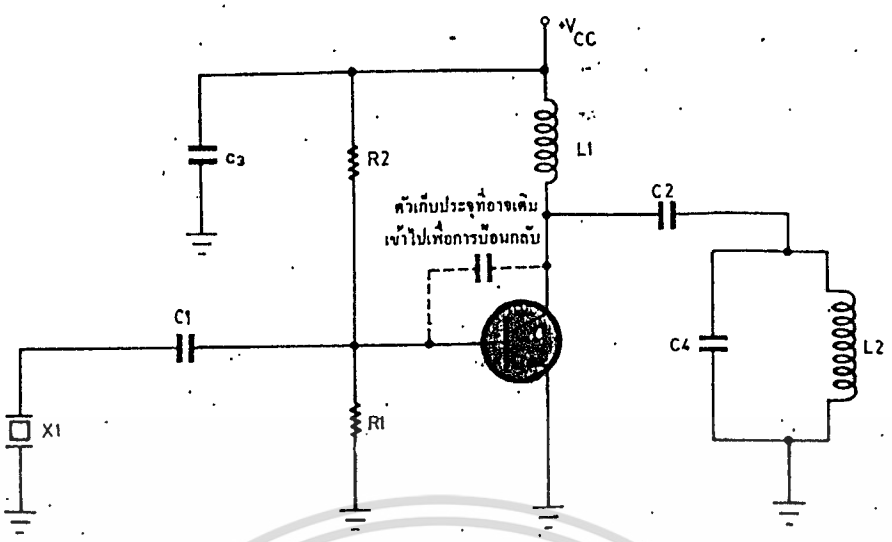
เป็นวงจรที่ใช้คริสตอลควบคุมในการกำเนิดความถี่ มีเสถียรภาพทางความถี่สูง คริสตอล คือ ผลึกของวัสดุบางชนิด เช่น ผลึกควอร์ตซ (quartz) เกลือหินโรเชลล์ เป็นต้น ซึ่งวัสดุเหล่านี้รวมเรียกว่า พิโซอิเลกทริก (piezo-electric) มีคุณสมบัติคือ จะสร้างแรงดันไฟฟ้าค่าหนึ่งภายใต้สภาวะกดดันทางกลศาสตร์ หรือภายใต้สภาวะกดดันโดยการป้อนแรงดันไฟฟ้าที่มีค่าคงที่ค่าหนึ่ง หรืออาจกล่าวได้ว่าคริสตอลสามารถเปลี่ยนพลังงานทางกลให้อยู่ในรูปพลังงานไฟฟ้าได้ ชิ้นส่วนผลึกของวัสดุดังกล่าวจะเกิดการรีโซแนนซ์ (resonance) ที่ความถี่ต่างๆ ขึ้นอยู่กับรูปร่างของวัสดุชิ้นนั้น ดังนั้นคริสตอลจะมีวงจรสมมูลย์ทางไฟฟ้าเป็นวงจรรีโซแนนซ์ในระดับความถี่ของมัน ดังแสดงในรูปที่ 2.27 วงจรไฟฟ้าที่รีโซแนนซ์แบบอนุกรมแสดงให้เห็นถึงผลของการสั่นของคริสตอล และค่าของตัวเก็บประจุที่ต่อขนานอยู่ในวงจรเป็นผลจากการวางแผ่นโลหะซ้อนกัน หรือเกิดจากประจุไฟฟ้าที่เกิดขึ้นต่อวัสดุที่เป็นโลหะ



รูปที่ 2.27 แสดงวงจรสมมูลย์ของคริสตอล

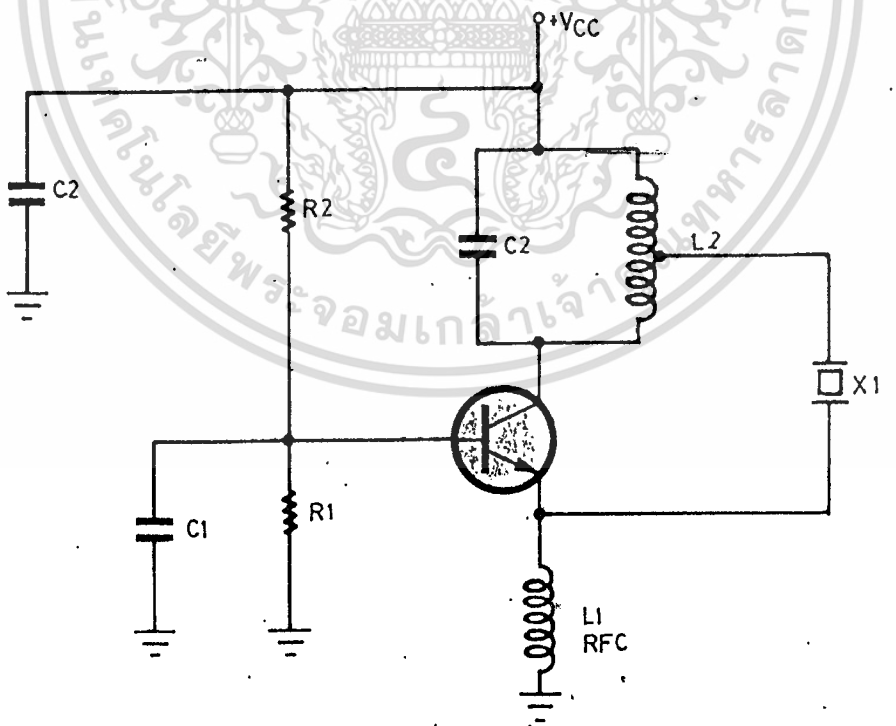
วงจรออสซิลเลเตอร์ที่ใช้คริสตอลประกอบแสดงได้ดังรูปที่ 2.28 วงจรนี้จะมีลักษณะเป็นวงจรออสซิลเลเตอร์ที่ทำงานแบบวงจรรีโซแนนซ์แบบขนาน ชนิดจูนอินพุต-จูนเอาต์พุต โดยที่ส่วนอินพุตจะใช้คริสตอลเป็นตัวจูนและเป็นตัวกระตุ้นขาเบสโดยคริสตอลจะต่อระหว่างขาเบสกับขาอิมิตเตอร์ของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 วงจรคริสตอลออสซิลเลเตอร์

ส่วนรูปที่ 2.29 คริสตอลทำงานในลักษณะต่ออนุกรม ดังนั้นการรีโซแนนซ์จึงเกิดในสภาวะรีโซแนนซ์แบบอนุกรม โดยให้ความถี่รีโซแนนซ์ผ่านตัวคริสตอลป้อนกลับเข้าไปยังวงจรทางด้านอินพุต ที่ความถี่อื่นที่ไม่ใช่ความถี่รีโซแนนซ์ค่าอิมพีแดนซ์ของตัวคริสตอลจะมีค่าสูงมาก ดังนั้นสัญญาณเอาต์พุตจึงไม่สามารถป้อนกลับเข้ามายังอินพุตได้ ทำให้ไม่เกิดการออสซิลเลต



รูปที่ 2.29 แสดงวงจรคริสตอลออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 วงจรขยาย (amplifier)

เป็นวงจรที่ใช้ในการขยายสัญญาณเพื่อใช้ในการขับวงจรในภาคต่อไป หรือเพื่อใช้ในการส่งออกสายหรือออกอากาศ เราอาจแบ่งชนิดของวงจรขยายได้หลายประเภทขึ้นกับเกณฑ์ที่นำมาใช้

2.11.1 การแบ่งชนิดของวงจรขยายสัญญาณ

แบ่งตามแบนด์วิทของวงจรขยาย คือ

1.วงจรขยายชนิดไม่จูน (untuned amplifier) หรือวงจรขยายแถบกว้าง (wideband amplifier) ซึ่งเป็นวงจรที่ขยายความถี่ได้ในแถบกว้าง

2.วงจรขยายชนิดจูน (tuned amplifier) หรือวงจรขยายแถบแคบ (narrowband amplifier) ซึ่งเป็นวงจรที่ขยายเฉพาะความถี่ในแถบแคบๆ

แบ่งตามช่วงความถี่ของวงจรขยาย คือ

1.วงจรขยายความถี่เสียง (audio frequency amplifier) ซึ่งขยายความถี่ในช่วง 20 Hz ถึง 20 kHz

2.วงจรขยายความถี่วิทยุ (radio frequency amplifier) ซึ่งขยายสัญญาณย่านความถี่วิทยุตั้งแต่ 30 kHz ขึ้นไป

แบ่งตามจุดไบอัสที่ทรานซิสเตอร์ หรือหลอดสูญญากาศทำงานอยู่ คือ จะแบ่งชนิดโดยอาศัยความสัมพันธ์ระหว่างสัญญาณที่เข้ากับกระแสที่ไหลในโหลด แบ่งออกเป็น

1.วงจรขยายสัญญาณคลาสเอ (class A) กระแสไหลผ่านโหลดตลอดคาบของวัฏจักร (cycle) ของสัญญาณอินพุตที่เข้ามา

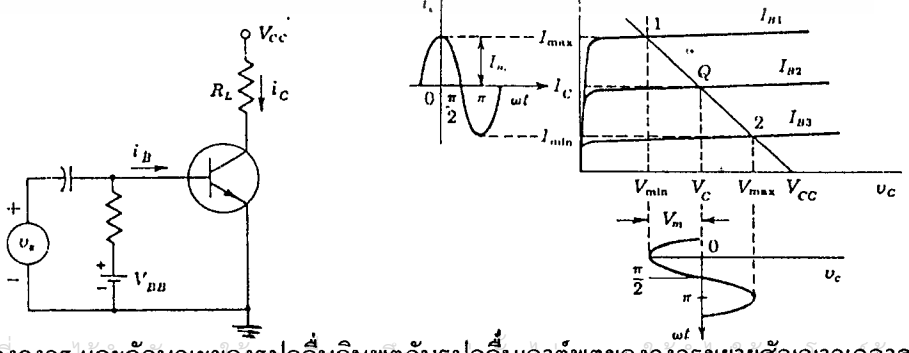
2.วงจรขยายสัญญาณคลาสบี (class B) กระแสที่ไหลผ่านโหลดไหลเพียงครึ่งวัฏจักร

3.วงจรขยายสัญญาณคลาสเอบี (class AB) กระแสที่ไหลผ่านโหลดไหลมากกว่าครึ่งวัฏจักร แต่น้อยกว่าเต็มวัฏจักรของรูปคลื่นสัญญาณที่เข้ามา

4.วงจรขยายสัญญาณคลาสซี (class C) กระแสโหลดไหลน้อยกว่าครึ่งวัฏจักร

2.11.2 วงจรขยายกำลัง (power amplifier)

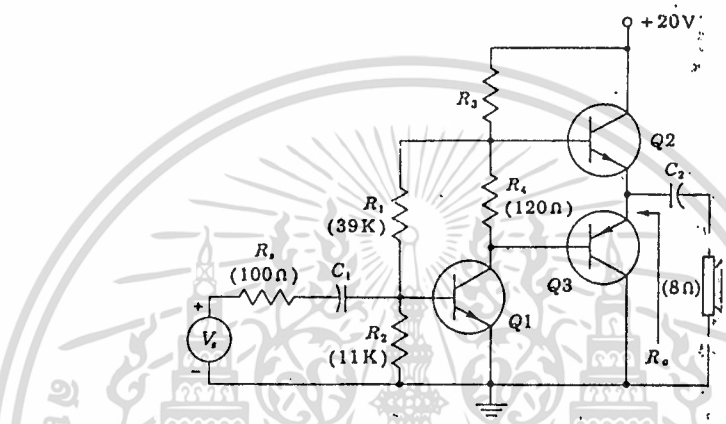
<u>วงจรขยายสัญญาณคลาสเอ (class A)</u> วงจรขยายชนิดนี้มีจุดทำงานอยู่ประมาณกลางเส้นโหลด กระแสขาออกหรือกระแสที่ไหลผ่านขาคอลเลกเตอร์จะไหลตลอดวัฏจักร วงจรจะทำงานแบบเชิงเส้นซึ่งเป็นกรณีของวงจรขยายสัญญาณเล็ก (small signal) มีประสิทธิภาพต่ำประมาณ 25 % สามารถทำเป็นวงจรขยายกำลังที่ให้ค่ากำลังไม่เกิน 1 วัตต์ วงจร และลักษณะของรูปคลื่นอินพุตกับรูปคลื่นเอาต์พุตแสดงดังรูปที่ 2.30



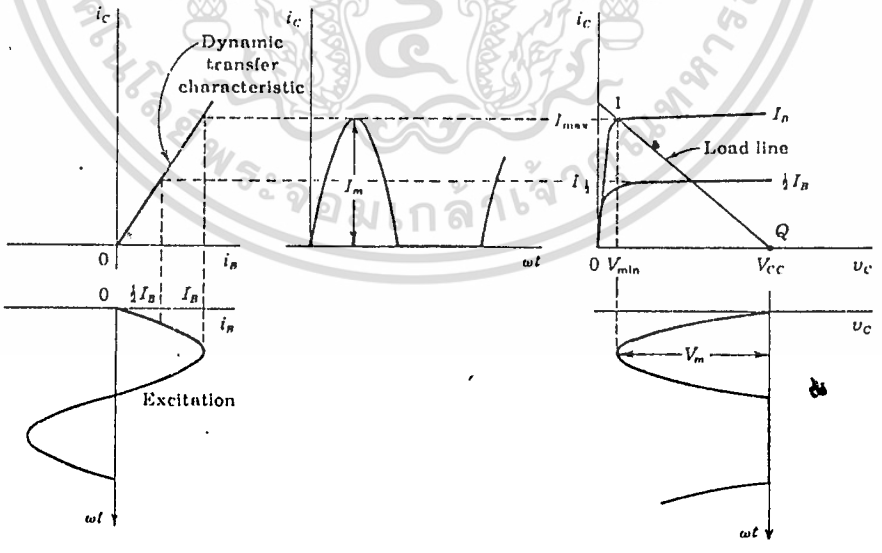
รูปที่ 2.30 แสดงวงจร และลักษณะของรูปคลื่นอินพุตกับรูปคลื่นเอาต์พุตของวงจรขยายสัญญาณคลาสเอ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรขยายสัญญาณคลาสบี (class B)</u> วงจรขยายชนิดนี้มีจุดทำงานอยู่ปลายเส้นโหลดตรงจุดหยุดนำกระแสพอดี ดังนั้นเมื่อไม่มีสัญญาณอินพุตเข้ามาในวงจรจะมีกำลังสูญเสียน้อยมาก แต่เมื่อสัญญาณคลื่นรูปไซน์เข้ามาจะได้รับการขยายเพียงครึ่งหนึ่งของวัฏจักร ส่วนในอีกครึ่งหนึ่งนั้นกระแสจะเป็นศูนย์ เพื่อให้ได้สัญญาณออกเป็นคลื่นรูปไซน์เต็มรูปจะต้องใช้ทรานซิสเตอร์ 2 ตัว แต่ละตัวทำงานครึ่งเวลา เรียกว่าการทำงานแบบพุช-พูล (push-pull) ซึ่งจะทำให้เกิดความเพี้ยนที่รอยต่อผ่านแดน (crossover distortion) วงจรขยายกำลังทั่วไปจะเป็นวงจรขยายคลาสบีแบบพุช-พูล เพราะจะได้ประสิทธิภาพดีกว่าวงจรขยายสัญญาณคลาสเอ มีประสิทธิภาพประมาณ 78.5 % รูปที่ 2.31 แสดงวงจรขยายคลาสบีแบบพุช-พูล

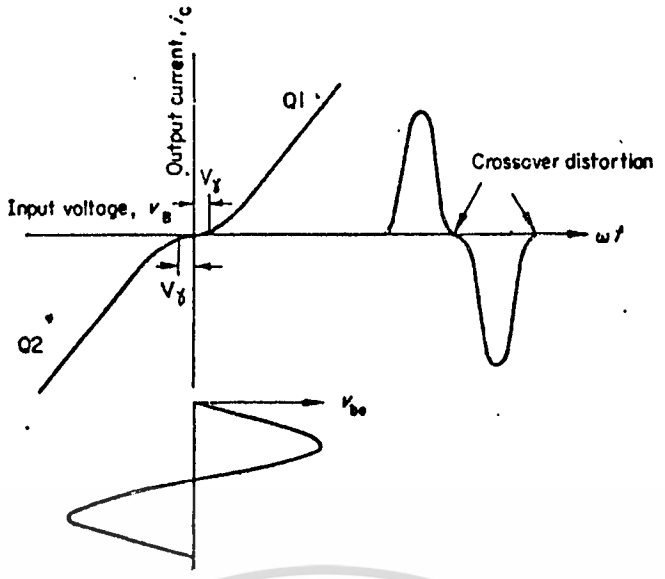


รูปที่ 2.31 แสดงวงจรขยายสัญญาณคลาสบีแบบพุช-พูล



รูปที่ 2.32 แสดงรูปคลื่นอินพุตกับรูปคลื่นเอาต์พุตของวงจรขยายสัญญาณคลาสบี

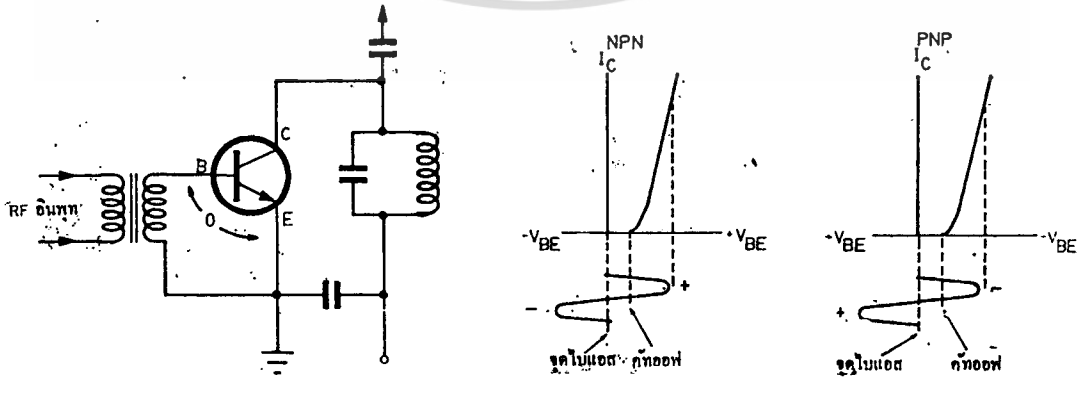
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 แสดงรูปคลื่นอินพุตกับรูปคลื่นเอาต์พุตของวงจรขยายสัญญาณคลาสบีแบบพุช-พูล

<u>วงจรขยายสัญญาณคลาสเอบี (class AB)</u> เป็นวงจรขยายที่พัฒนามาจากวงจรขยายสัญญาณคลาสเอ และวงจรขยายสัญญาณคลาสบีแบบพุช-พูล คือ วงจรขยายสัญญาณคลาสเอจะให้ประสิทธิภาพในการทำงานต่ำ ส่วนวงจรขยายสัญญาณคลาสบีแบบพุช-พูลจะมีปัญหาในการเอาครึ่งคลื่นรูปไซน์มาต่อกันเพื่อให้เป็นคลื่นรูปไซน์เต็มรูป ซึ่งจะสามารถทำให้รอยต่อสนิทกันได้ยาก และมีความเพี้ยนตรงรอยต่อผ่านแดน เราจึงยอมลดประสิทธิภาพลงเพื่อแลกมาซึ่งความเพี้ยนที่ลดลง ทั้งนี้โดยให้วงจรขยายสัญญาณที่ทำงานในคลาสเอบีจะมีช่วงการทำงานอยู่ระหว่างคลาสเอ และคลาสบี คือ กระแสจะไหลเกินครึ่งวัฏจักรแต่ไม่เต็มวัฏจักร

<u>วงจรขยายสัญญาณคลาสซี (class C)</u> จุดทำงานของวงจรขยายชนิดนี้จะเป็นลึกเข้าไปในช่วงอิ่มตัวทรานซิสเตอร์จะหยุดนำกระแส ดังนั้นกระแสจะเป็นศูนย์มากกว่าครึ่งหนึ่งของวัฏจักร หรือจะไหลไม่ถึงครึ่งหนึ่งของวัฏจักร แต่ถ้าให้กระแสนี้ไหลผ่านตัวกรองแถบความถี่ผ่านก็จะได้คลื่นรูปไซน์เต็มรูป โดยปกติวงจรขยายชนิดนี้มีประสิทธิภาพสูงจึงมักถูกใช้เป็นวงจรขยายกำลังแบบเลือกความถี่ ซึ่งความเพี้ยนที่เกิดขึ้นสามารถแก้ไขได้โดยวงจรจูน เราสามารถแสดงรูปวงจร และลักษณะรูปคลื่นอินพุตกับรูปเอาต์พุตได้ดังรูปที่ 2.34



รูปที่ 2.34 แสดงวงจรขยายสัญญาณคลาสซีและลักษณะรูปคลื่นอินพุตกับรูปคลื่นเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นได้ว่าในภาวะปกติรอยต่อระหว่างเบสอิมิตเตอร์ของวงจรขยายทรานซิสเตอร์จะได้รับการไบอัสกลับ ทรานซิสเตอร์จึงทำงานอยู่ในช่วงอิ่มตัว และทรานซิสเตอร์จะให้กระแสคอลเลกเตอร์ก็ต่อเมื่อมีสัญญาณอินพุตป้อนเข้ามาที่ขาเบส ดังนั้นประสิทธิภาพของวงจรขยายสัญญาณชนิดนี้จึงสูงมาก สำหรับวงจรที่ใช้เลือกขยายเฉพาะความถี่จะต้องพิจารณาค่า Q ของวงจรรีโซแนนซ์ เพราะการที่วงจรขยายจะเลือกความถี่ได้ดีหรือไม่จะขึ้นอยู่กับค่า Q โดยเฉพาะสำหรับวงจรขยายชนิดนี้แล้วค่า Q จะมีผลต่อความเพี้ยนของเอาต์พุตด้วย นั่นคือ ถ้าค่า Q สูงจะสามารถเลือกความถี่ได้ดี วงจรจะให้สัญญาณเอาต์พุตที่มีความเพี้ยนต่ำมาก แต่ถ้าค่า Q ต่ำจะทำให้ค่าความเพี้ยนสูง

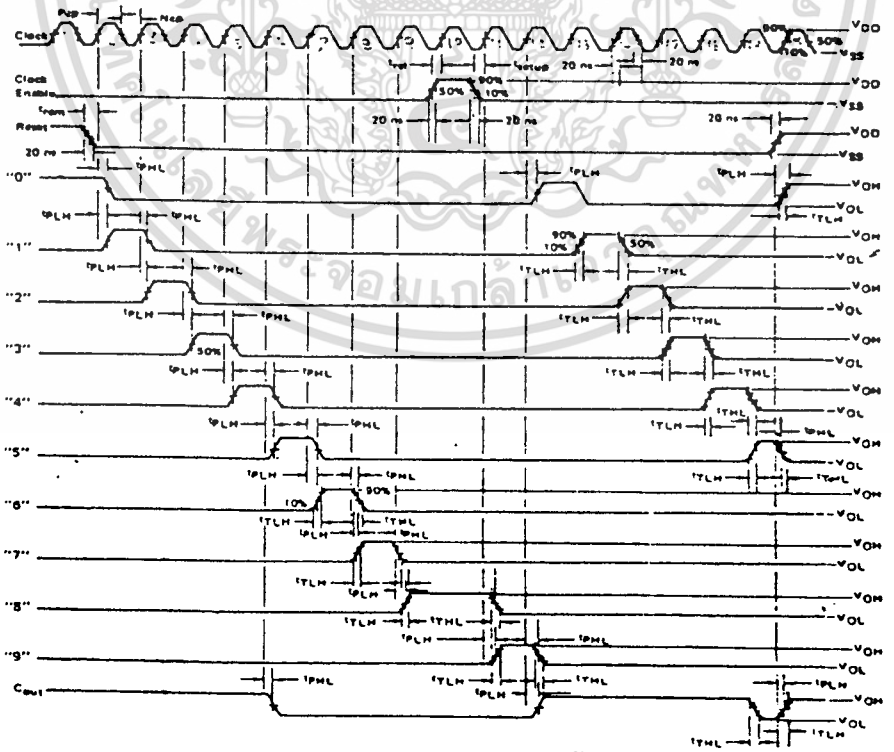
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสร้าง และการคำนวณ

เครื่องรับ-ส่งสัญญาณเสียงมัลติเพล็กซ์ 4 ช่องด้วยเทคนิคเดลต้ามอดูเลชันแบบไร้สาย บล็อกไดอะแกรมแสดงดังรูปที่ 3.2 และรูปที่ 3.3 ส่วนวงจรของเครื่องส่งและเครื่องรับแสดงดังรูปที่ 3.4 และ รูปที่ 3.5 ตามลำดับ

รูปที่ 3.4 แสดงวงจรของเครื่องส่ง สัญญาณเสียงจากไมโครโฟนที่เข้ามาทางอินพุตของทั้ง 4 ช่องจะเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อที่จะตัดสัญญาณเสียงที่มีความถี่สูงเกินกว่า 4 kHz ออกไป ก่อนที่จะป้อนสัญญาณให้กับวงจรเข้ารหัสแบบอะแด็ปทีฟเดลต้ามอดูเลชัน เพื่อทำการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล สัญญาณข้อมูลที่ได้จะถูกผลิตออกมาพร้อม ๆ กับขอบขาลงของสัญญาณนาฬิกา โดยจะใช้สัญญาณนาฬิกาที่มีความถี่ 16 kHz ในการกำหนดอัตราการสุ่มตัวอย่างสัญญาณเสียง เราเลือกใช้ไอซี MC34115 มาทำหน้าที่นี้ สำหรับในการส่งจะใช้การมัลติเพล็กซ์แบบแบ่งเวลา (time division multiplex) โดยใช้อนาล็อกสวิตช์ เพื่อส่งข้อมูลออกอากาศไปยังเครื่องรับ ข้อมูลที่จะส่งไปนี้ประกอบด้วยสัญญาณเสียงแบบดิจิตอล 4 ช่องสัญญาณ และสัญญาณควบคุมเพื่อใช้ในการซิงโครไนซ์อีกหนึ่งช่องสัญญาณ

ในการผลิตสัญญาณนาฬิกาเราใช้ไอซี 555 ที่ทำงานเป็นอะสเตเบิลมัลติไวเบรเตอร์ผลิตสัญญาณความถี่ 160 kHz เพื่อใช้ควบคุมการทำงานของวงจรนับความถี่ ซึ่งผลิตสัญญาณนาฬิกาจำนวน 10 ช่อง ตั้งแต่ Q_0 ถึง Q_9 แต่ละช่องมีความถี่ 16 kHz พัลส์สัญญาณของแต่ละช่องจะถูกผลิตเรียงต่อเนื่องกันไปดังรูปที่ 3.1 ซึ่งพัลส์เหล่านี้จะใช้เป็นสัญญาณนาฬิกาเพื่อควบคุมการทำงานของเดลต้ามอดูเลเตอร์ และอนาล็อกสวิตช์แต่ละตัวให้ส่งสัญญาณไปตรงตามช่องเวลาของตัวเอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 แสดงพัลส์ของ Q_0 ถึง Q_9 ที่ได้จากวงจรนับความถี่

สัญญาณนาฬิกาของเดลต้ามอดูเลเตอร์ตัวที่ 1 จะใช้ Q_1 พัลส์สัญญาณที่มาควบคุมอนาล็อกสวิตช์ จะใช้ Q_3
สัญญาณนาฬิกาของเดลต้ามอดูเลเตอร์ตัวที่ 2 จะใช้ Q_3 พัลส์สัญญาณที่มาควบคุมอนาล็อกสวิตช์ จะใช้ Q_5
สัญญาณนาฬิกาของเดลต้ามอดูเลเตอร์ตัวที่ 3 จะใช้ Q_5 พัลส์สัญญาณที่มาควบคุมอนาล็อกสวิตช์ จะใช้ Q_7
สัญญาณนาฬิกาของเดลต้ามอดูเลเตอร์ตัวที่ 4 จะใช้ Q_7 พัลส์สัญญาณที่มาควบคุมอนาล็อกสวิตช์ จะใช้ Q_9

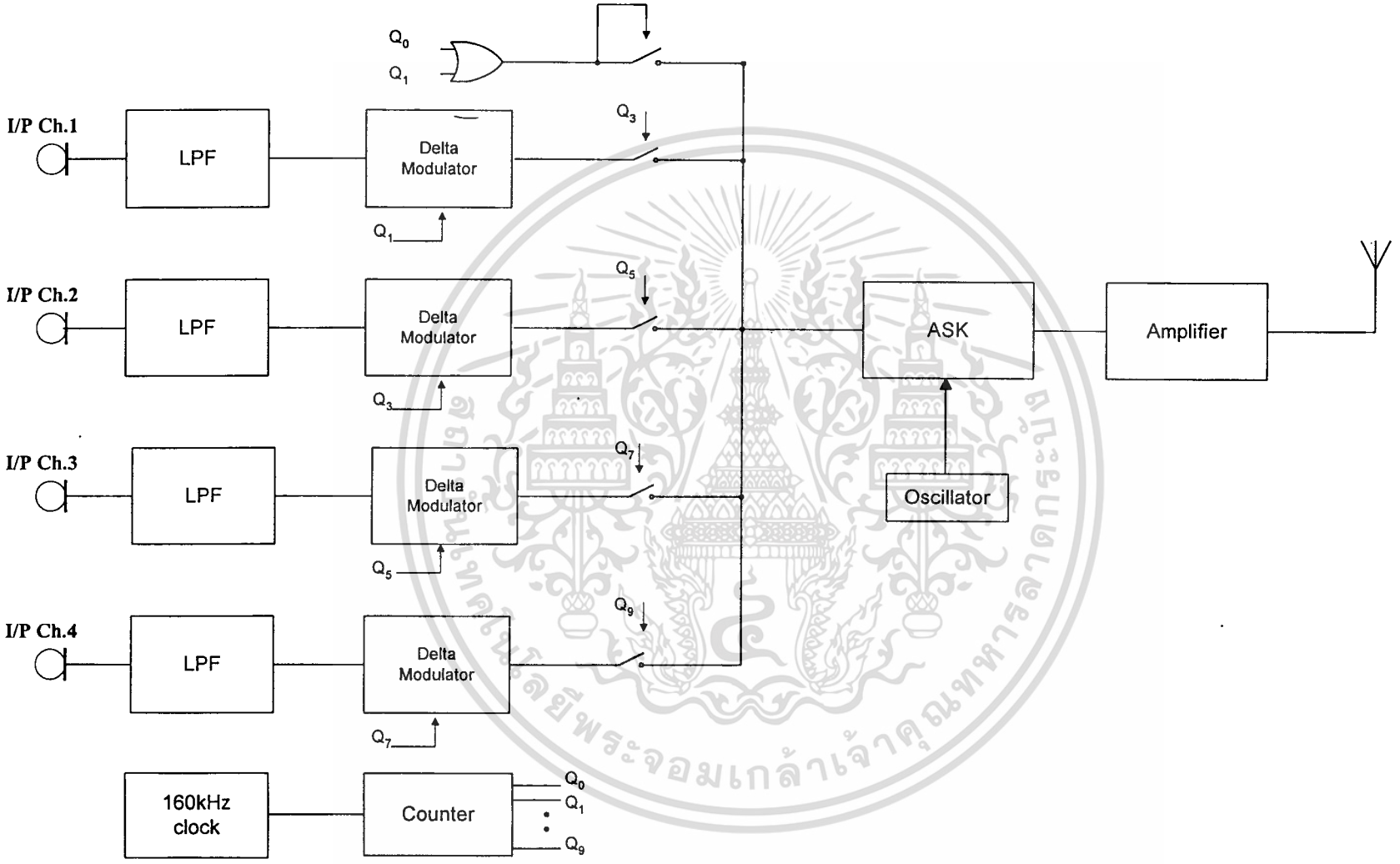
อนาล็อกสวิตช์จะส่งผ่านข้อมูลเฉพาะช่วงที่มีพัลส์ของสัญญาณควบคุม ดังนั้นความกว้างของพัลส์ข้อมูลจะเท่ากับความกว้างพัลส์ของสัญญาณควบคุม สัญญาณข้อมูลแต่ละช่องจะถูกส่งเรียงออกไปตามลำดับ

สัญญาณที่ใช้ในการซิงโครไนซ์ได้มาจากการนำพัลส์ของช่องสัญญาณ Q_0 และQ_1 มารวมเข้าด้วยกัน ดังนั้นสัญญาณจึงมีความกว้างเป็นสองเท่าของพัลส์เดิม นั่นคือสัญญาณควบคุมจะมีความกว้างเป็นสองเท่าของสัญญาณข้อมูล

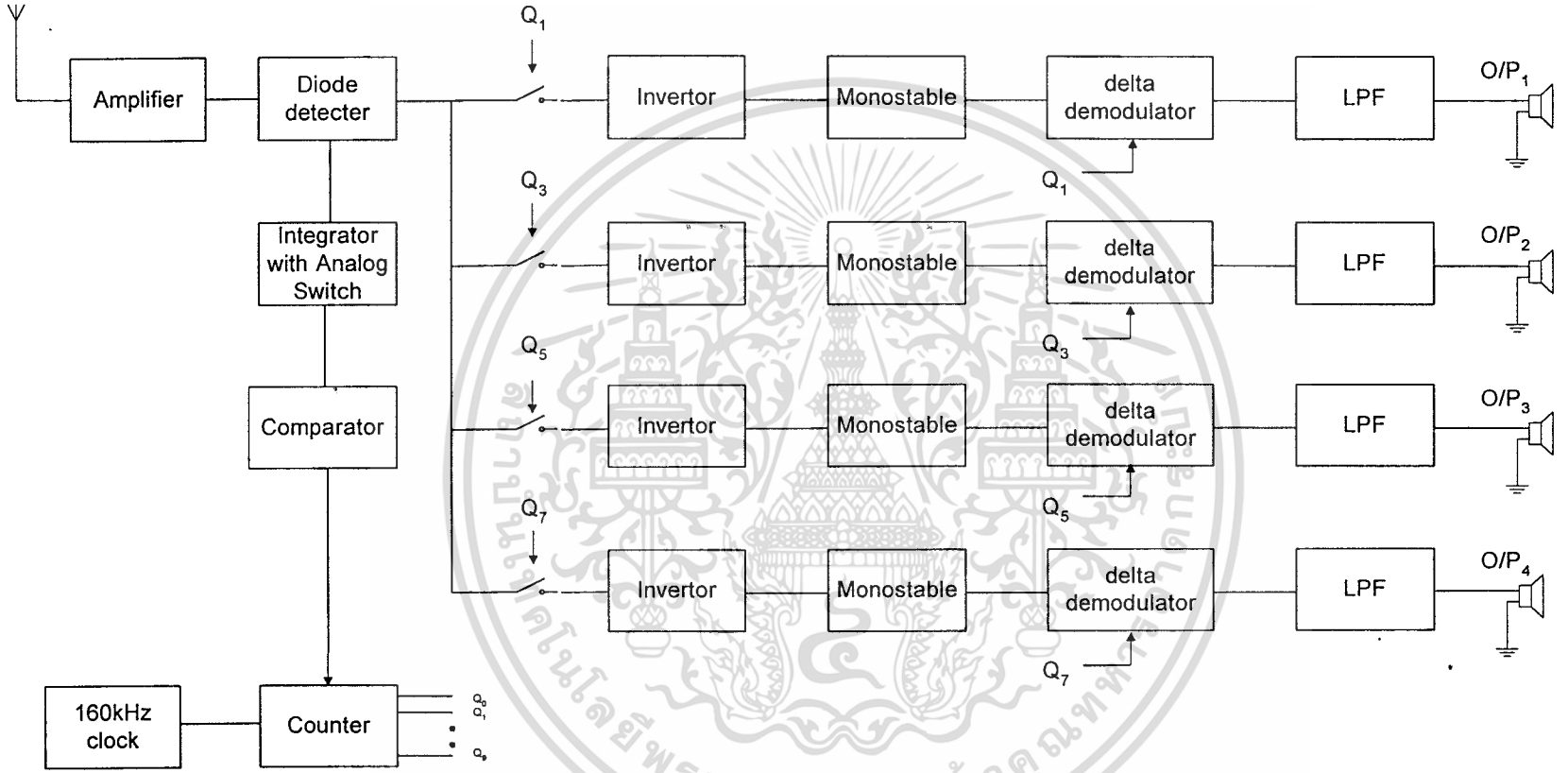
การส่งออกอากาศจะใช้วิธีการมอดูเลตแบบแอมปลิจูดชิฟคีย์อิ้ง โดยใช้ไอซีเบอร์ MC1496 ทำหน้าที่เป็นมอดูเลเตอร์ คลื่นพาห์ที่ใช้ได้จากคริสตอลออสซิลเลเตอร์มีความถี่ 27 MHz เอาต์พุตที่ได้จะเป็นแบบออน-ออฟคีย์อิ้ง (on-off keying) คือ เมื่อสัญญาณข้อมูลที่เข้ามามอดูเลตเป็น 1 เอาต์พุตจะมีคลื่นพาห์ปรากฏออกมา ส่วนเมื่อสัญญาณข้อมูลเป็น 0 เอาต์พุตก็จะเป็น 0 แต่สัญญาณที่ได้ยังไม่มีกำลังเพียงพอในการส่งออกในการส่งออกอากาศ เราจึงจำเป็นต้องขยายกำลังส่งโดยใช้วงจรขยายกำลังคลาสซีแบบเลือกขยายเฉพาะความถี่

ทางด้านเครื่องรับ สัญญาณที่รับได้จากสายอากาศจะเข้าสู่วงจรขยาย และทำการกำจัดคลื่นพาห์ด้วยวงจรไดโอดดีเทกเตอร์ สัญญาณที่ได้จะประกอบด้วยสัญญาณควบคุม และสัญญาณข้อมูลของช่องที่ 1 ถึงช่อง 4 สัญญาณนี้จะถูกแยกออกเป็น 2 ส่วน โดยส่วนแรกจะเข้าสู่วงจรอินทิเกรเตอร์ที่ควบคุมการทำงานด้วยอนาลอกสวิตช์ ซึ่งจะทำงานเมื่อมีสัญญาณพัลส์โลจิก 1 เข้ามา สัญญาณควบคุมมีความกว้างของพัลส์เป็น 2 เท่าของสัญญาณข้อมูล ดังนั้นเมื่อผ่านวงจรอินทิเกรเตอร์แล้วจะได้ขนาดของเอาต์พุตสูงกว่า และเข้าวงจรเปรียบเทียบแรงดันก็จะสามารถดีเทกสัญญาณควบคุมได้ ไอซีเบอร์ 555 ทำหน้าที่สร้างพัลส์ความถี่ 160 kHz จะถูกป้อนเป็นสัญญาณนาฬิกาให้กับวงจรนับ 10 ซึ่งสัญญาณควบคุมจะถูกนำมารีเซตวงจรนับเพื่อเริ่มผลิตพัลส์ Q_0 ถึง Q_9 โดย
Q_1 ใช้ควบคุมการทำงานของอนาลอกสวิตช์ที่ใช้เป็นดีมัลติเพล็กเซอร์ และควบคุมเดลต้าดีมอดูเลเตอร์ของช่อง 1
Q_3 ใช้ควบคุมการทำงานของอนาลอกสวิตช์ที่ใช้เป็นดีมัลติเพล็กเซอร์ และควบคุมเดลต้าดีมอดูเลเตอร์ของช่อง 2
Q_5 ใช้ควบคุมการทำงานของอนาลอกสวิตช์ที่ใช้เป็นดีมัลติเพล็กเซอร์ และควบคุมเดลต้าดีมอดูเลเตอร์ของช่อง 3
Q_7 ใช้ควบคุมการทำงานของอนาลอกสวิตช์ที่ใช้เป็นดีมัลติเพล็กเซอร์ และควบคุมเดลต้าดีมอดูเลเตอร์ของช่อง 4
สัญญาณอีกส่วนหนึ่งจะถูกดีมัลติเพล็กออกตามช่องสัญญาณเดิม แล้วผ่านเข้าอินเวอร์เตอร์ และโมโนสเตเบิลเพื่อขยายความกว้างของพัลส์ที่ใช้เป็นสัญญาณดิจิตอลอินพุตให้กับเดลต้าดีมอดูเลเตอร์ซึ่งจะแปลงเป็นสัญญาณอนาลอก และทำการกำจัดควอนไตซิงนอยซ์ด้วยวงจรกรองความถี่ต่ำผ่านที่สร้างจากไอซีเบอร์ MF-6 ขยาย และส่งออกลำโพง

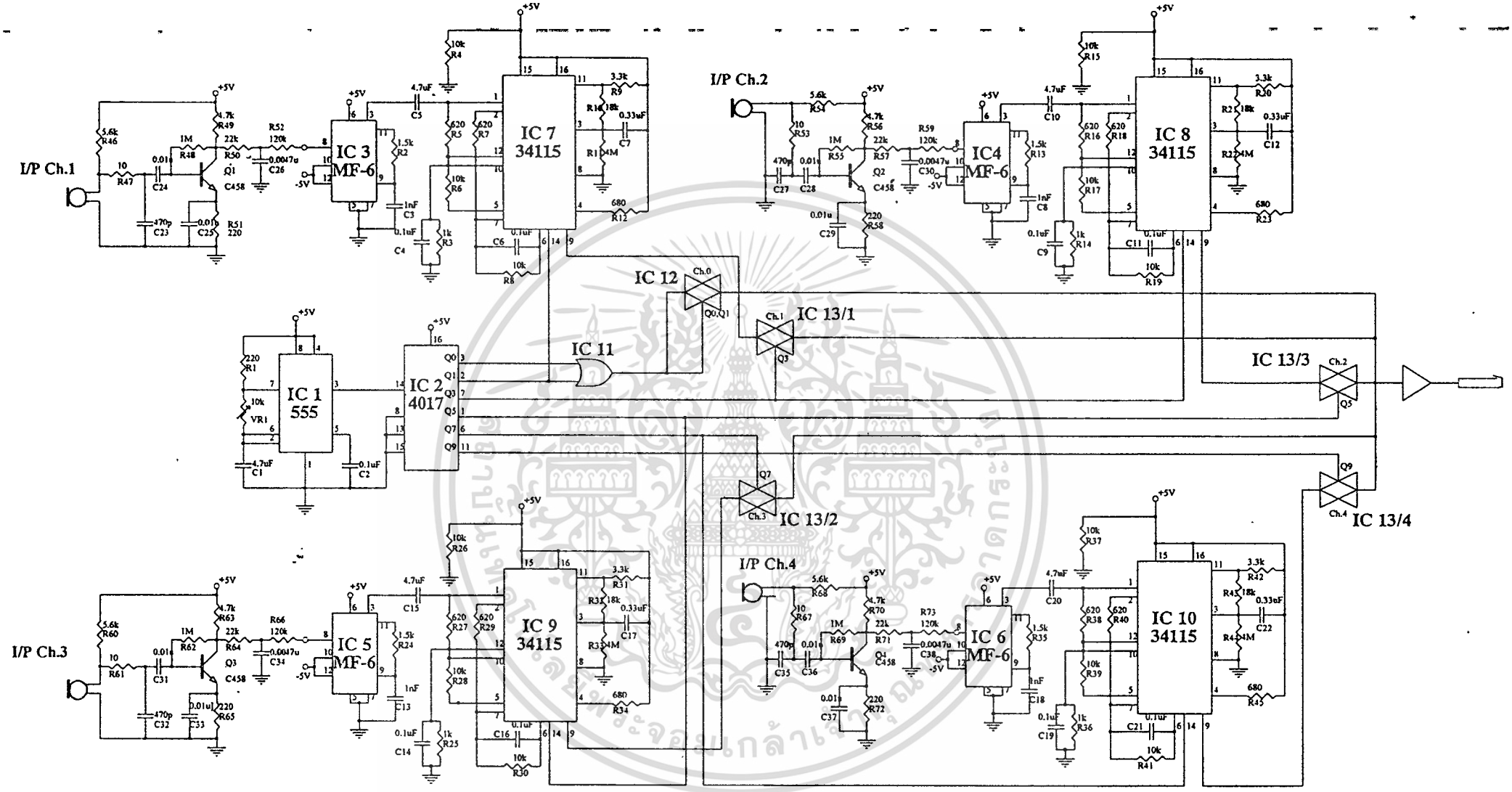
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



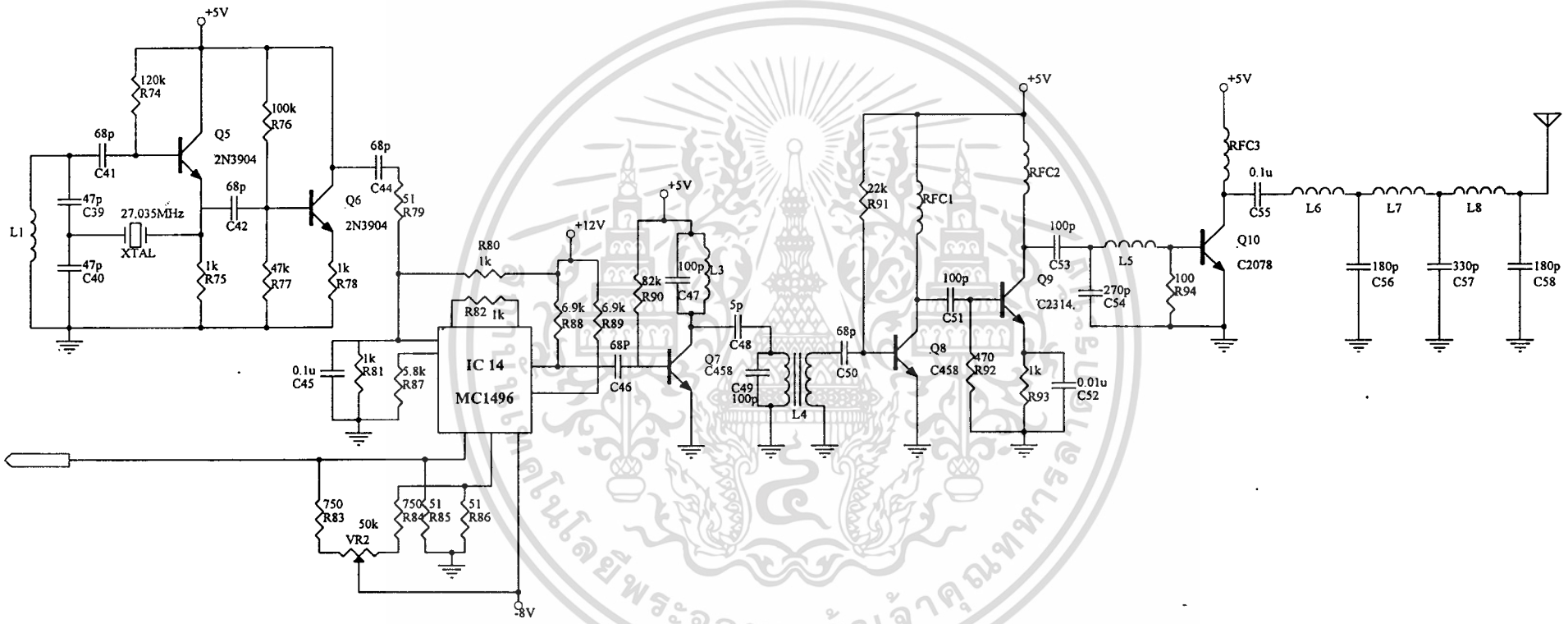
รูปที่ 3.2 แสดงบล็อกไดอะแกรมเครื่องส่ง



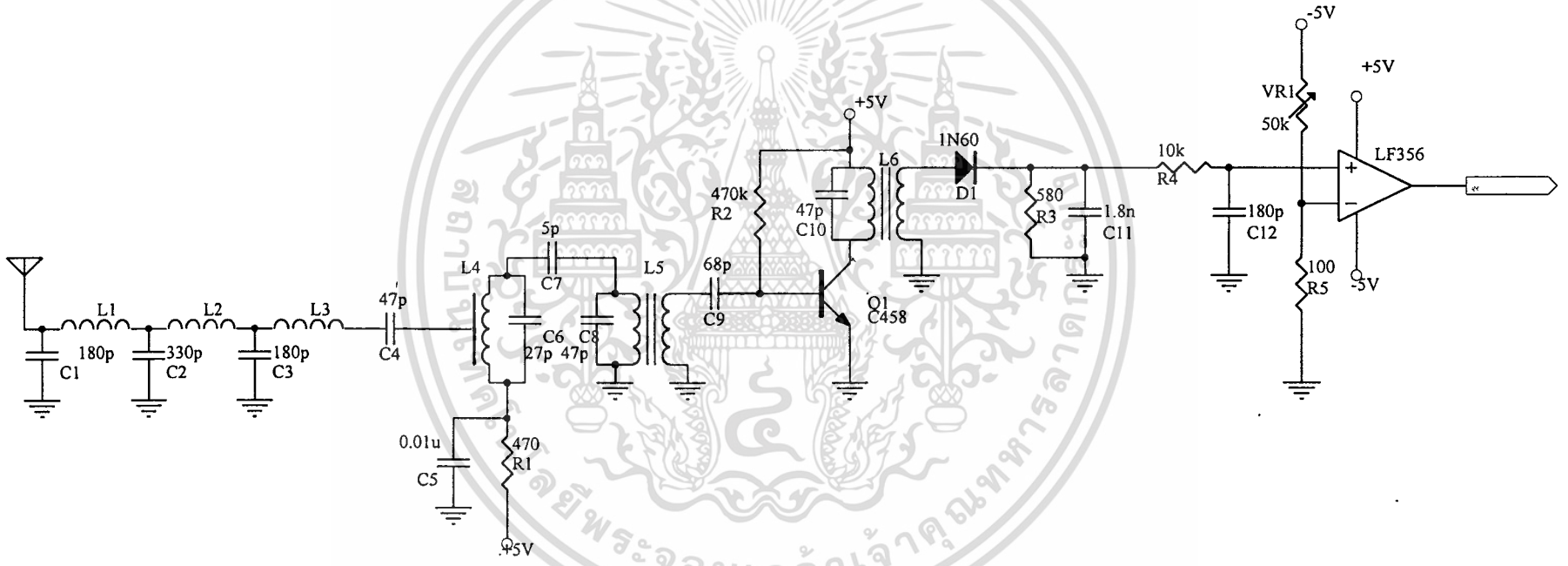
รูปที่ 3.3 แสดงบล็อกไดอะแกรมเครื่องรับ



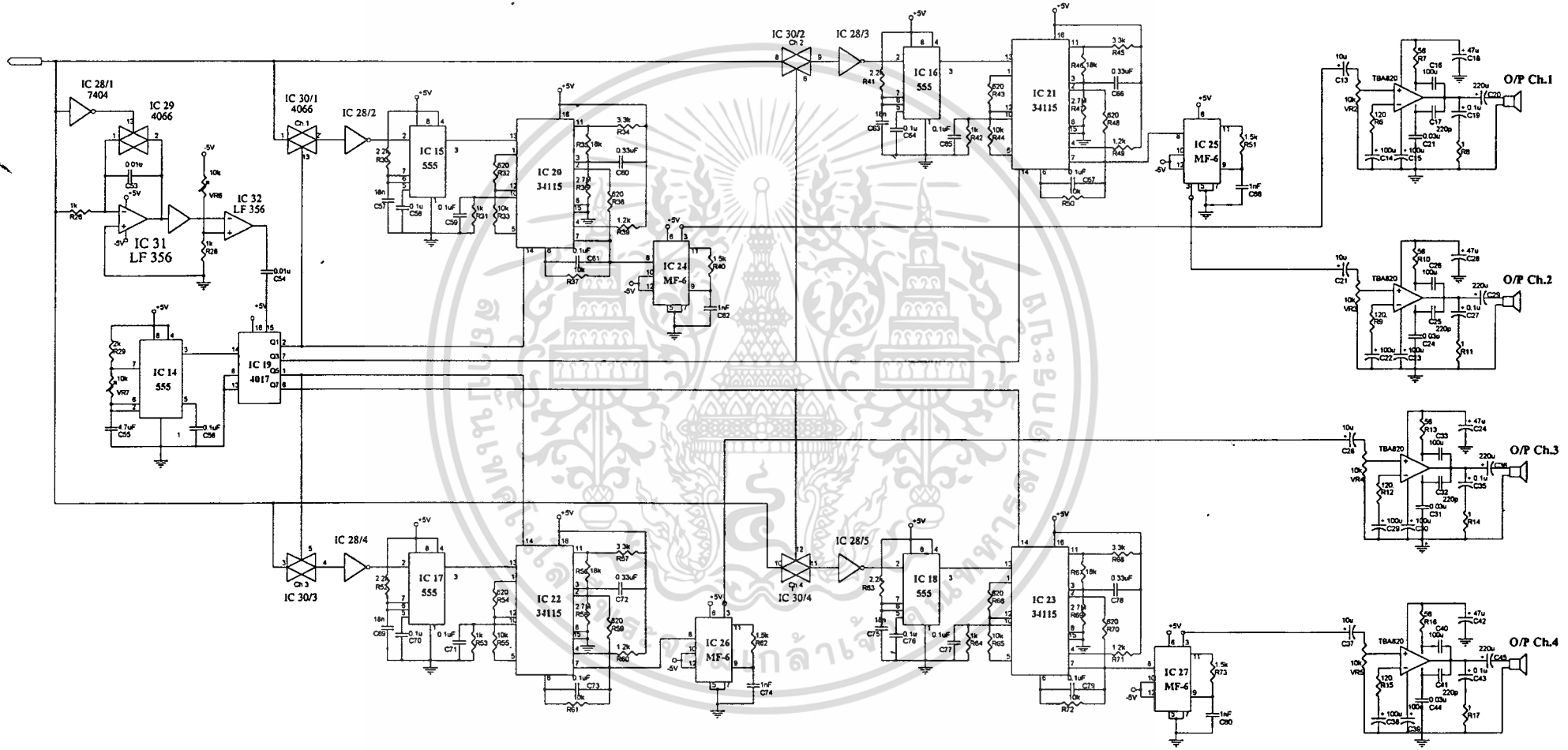
รูปที่ 3.4 แสดงวงจรเครื่องส่ง



รูปที่ 3.4 แสดงวงจรเครื่องส่ง (ต่อ)



รูปที่ 3.5 แสดงวงจรเครื่องรับ



รูปที่ 3.5 แสดงวงจรเครื่องรับ (ต่อ)

รูปที่ 3.4 แสดงวงจรเครื่องรับ สัญญาณที่รับเข้ามาจะเข้าสู่วงจรจูนเพื่อเลือกเฉพาะความถี่ของคลื่นพาห์และนำเข้าสู่วงจรขยายสัญญาณให้มีขนาดใหญ่ขึ้น การดีมอดูเลตจะใช้วิธีไดโอดดีเทกเตอร์เพื่อให้ได้ข้อมูลกลับมา เราใช้วงจรเปรียบเทียบแรงดันในการเปรียบเทียบว่าข้อมูลที่รับเข้ามานั้นจะเป็น 0 หรือ 1 หลังจากนั้นสัญญาณข้อมูลจะถูกแยกออกเป็นสองทาง สัญญาณนี้จะผ่านกระบวนการตรวจจับสัญญาณควบคุม เมื่อตรวจพบสัญญาณควบคุมก็จะไปรีเซทให้วงจรนับความถี่เริ่มทำงานเพื่อทำให้แยกข้อมูลได้ถูกต้องตรงตามช่องสัญญาณ การตรวจหาสัญญาณควบคุมทำได้โดยใช้วงจรอินทิเกรเตอร์ที่ถูกควบคุมการทำงานด้วยอนาล็อกสวิตช์ ซึ่งจะทำการอินทิเกรตเฉพาะช่วงที่มีข้อมูลสถานะสูงเข้ามาเท่านั้น เอาต์พุตที่ได้จะเป็นรูปฟันเลื่อย (sawtooth) โดยที่ขนาดของเอาต์พุตจะขึ้นอยู่กับระยะเวลาของการอินทิเกรต ถ้าหากความกว้างของพัลส์สัญญาณอินพุตมาก ก็จะทำให้ได้เอาต์พุตของวงจรอินทิเกรเตอร์สูง ดังนั้นเมื่อสัญญาณควบคุมมีความกว้างเป็น 2 เท่าของข้อมูล จะทำให้เอาต์พุตที่ได้สูงกว่า เราจะใช้ความแตกต่างนี้แยกพัลส์สัญญาณควบคุมออกจากข้อมูลได้โดยใช้วงจรเปรียบเทียบแรงดัน และนำเอาต์พุตที่ได้ไปเริ่มผลิตสัญญาณนาฬิกาด้วยวงจรชนิดเดียวกันกับด้านส่ง สัญญาณนาฬิกานี้จะทำหน้าที่ในการควบคุมการทำงานของวงจรเดลต้าดีมอดูเลเตอร์ และอนาล็อกสวิตช์

ขบวนของสัญญาณข้อมูลที่รับได้จะถูกแยกออกตามช่องสัญญาณของตัวเองได้อย่างถูกต้องด้วยการควบคุมของอนาล็อกสวิตช์ ซึ่งมีพัลส์ควบคุมเป็น Q_1 Q_3 Q_5 Q_7 ตามลำดับ สัญญาณที่ถูกแยกตรงตามช่องสัญญาณแล้วจะผ่านเข้าวงจรโมโนสเตเบิลมัลติไวเบรเตอร์เพื่อขยายความกว้างของพัลส์ ซึ่งจะทำให้การตรวจจับสัญญาณข้อมูลของเดลต้าดีมอดูเลเตอร์มีความถูกต้องยิ่งขึ้น สัญญาณดิจิตอลของแต่ละช่องจะถูกแปลงเป็นสัญญาณอนาล็อก และจะทำการกำจัดสัญญาณความถี่สูงออกไปโดยวงจรกรองความถี่ต่ำผ่าน ก็จะได้สัญญาณเสียงที่ตรงตามช่องสัญญาณดังเดิม แล้วเข้าสู่วงจรขยายเสียงออกลำโพง

3.1 การออกแบบไอซี MC 34115 (Continouslly variable slope delta modulation)

เป็นไอซีที่ทำหน้าที่เป็นเดลต้ามอดูเลเตอร์ และเดลต้าดีมอดูเลเตอร์ประกอบด้วย 16 ขา ซึ่งแต่ละขามีหน้าที่ดังนี้

ขา 1 อนาล็อกอินพุต (analog input) : เป็นอินพุตขาลบของวงจรเปรียบเทียบแบบอนาล็อก ซึ่งจะป้อนสัญญาณเสียงเข้าที่ขานี้ ถ้าใช้สัญญาณอินพุตเป็นสัญญาณเสียง ต้องมีการเลื่อนระดับสัญญาณเมื่อเทียบกับแรงดันอ้างอิงภายในซึ่งเท่ากับครึ่งหนึ่งของค่าไฟเลี้ยง ตัวต้านทานที่ต่อระหว่างขา 1 กับขา 10 จะใช้ตั้งค่าแรงดันไฟตรงอ้างอิงให้กับสัญญาณ วงจรเปรียบเทียบแบบอนาล็อกจะถูกออกแบบให้มีอัตราขยายสูง และมีช่วงฮีสเตอร์รีซีสต่ำ (low hyteresis)

ขา 2 อนาล็อกฟีดแบก (analog feedback) : เป็นอินพุตขาบวกของวงจรเปรียบเทียบแบบอนาล็อกภายในไอซี เมื่อใช้เป็นวงจรเข้ารหัส ขานี้จะต่อกับเอาต์พุตที่เป็นสัญญาณอนาล็อกของวงจรเข้ารหัส หรืออาจจะต่อกับขา 7 หรือเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ในวงจรถอดรหัส ขา 2 จะไม่ได้ใช้หรืออาจจะต่อกับค่าแรงดันอ้างอิงซึ่งเท่ากับ $V_{CC}/2$ ที่ขา 10หรือต่อลงกราวน์หรือปล่อยลอยไว้ก็ได้ สัญญาณอนาล็อกอินพุตของวงจรเปรียบเทียบจะต้องไบแอสด้วยกระแส 1.5 μA ดังนั้นค่าอิมพีแดนซ์ที่ต่อระหว่างขา 1 และขา 2 ควรจะเท่ากันเพื่อหลีกเลี่ยงการรบกวนช่องสัญญาณที่ว่างของวงจรเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 3 ซิลลาบิคฟิลเตอร์ (syllabic filter) : เป็นจุดที่แรงดันของซิลลาบิคฟิลเตอร์กลับเข้าสู่ไอซีเพื่อควบคุมค่าสเต็ปไซส์ของอินทิเกรเตอร์ ขานี้เป็นอินพุตของออปแอมป์ ซิลลาบิคฟิลเตอร์ประกอบด้วย ตัวต้านทาน และตัวเก็บประจุที่ต่อระหว่างขา 11 และขา 3 ปกติค่าคงที่ทางเวลา (time constant) ที่อยู่ระหว่าง 6 ms ถึง 50 ms จะใช้เข้ารหัสสัญญาณเสียง

ขา 4 เกนคอนโทรลอินพุต (gain control input) : แรงดันของซิลลาบิคฟิลเตอร์ที่ตกคร่อมตัวเก็บประจุ C_S และคือแรงดันระหว่างไฟเลี้ยงกับขา 3 ดังนั้นกระแสที่จ่ายให้ขา 4 (I_{GC}) คือแรงดันของซิลลาบิคฟิลเตอร์ที่หารด้วยค่าของตัวต้านทาน R_x ตัวต้านทานจะเปลี่ยนแปลงเพื่อปรับค่าของอัตราของวงปิดของวงจรเข้ารหัส แต่ต้องไม่ให้มีค่ามากกว่า 50 kΩ เพื่อรักษาเสถียรภาพของวงจร

ขา 5 อินพุตอ้างอิง (reference input) : เป็นอินพุตขาบวกของอินทิเกรเตอร์ มันใช้เป็นระดับอ้างอิงไฟตรงของสัญญาณเอาต์พุตในวงจรเข้ารหัส มันต้องอ้างอิงกับแรงดันค่าเดียวกันกับขา 1 และต้องต่อกับขา 10

ขา 6 อินพุตของฟิลเตอร์ (filter input) : เป็นอินพุตขาลบของออปแอมป์ สำหรับใช้ต่ออุปกรณ์ภายนอกของอินทิเกรเตอร์ กระแสอินทิเกรติ้ง (I_{INT}) ไหลเข้าขา 6 เมื่ออนาล็อกอินพุต (ขา 1) เป็นสถานะสูงเมื่อเทียบกับอนาล็อกฟีดแบก (ขา 2) สำหรับวงจรเข้ารหัส หรือดิจิตอลอินพุต (ขา 13) เป็นสถานะสูงสำหรับวงจรถอดรหัส อินทิเกรเตอร์ต้องใช้ตัวเก็บประจุ และตัวต้านทาน ตัวต้านทานระหว่างขา 6 และขา 7 ควรอยู่ระหว่าง 8 kΩ ถึง 13 kΩ

ขา 7 อนาล็อกเอาต์พุต (analog output) : เป็นเอาต์พุตของออปแอมป์ของอินทิเกรเตอร์ ขา 5 , 6 และ 7 จะใช้ออกแบบการทำงานของอินทิเกรเตอร์ และที่ขานี้จะถูกจำกัดกระแสทั้ง 2 ทิศทางการไหลที่ 30 mA

ขา 8 V_{EE} : วงจรถูกออกแบบเพื่อทำงานกับแหล่งจ่ายไฟทั้งแบบซิงเกิ้ล (single supply) และแบบดูอัล (dual supply) ซึ่งที่ขา 8 นี้จะต่อกับระดับแรงดันที่เป็นลบมากที่สุด

ขา 9 ดิจิตอลเอาต์พุต (digital output) : ดิจิตอลเอาต์พุตจะเป็นผลการแปลงสัญญาณจากเดลต้ามอดูเลเตอร์ ระดับแรงดันที่ขานี้จะเปลี่ยนแปลงอยู่ในช่วง V_{cc} และ V_{EE} ซึ่งเป็นได้ทั้งระบบทีทีแอล และซีมอส ขา 9 นี้จะเป็นกลับเฟสเมื่อเทียบกับขา 1 และเป็นไม่กลับเฟสเมื่อเทียบกับขา 2 มันจะเข้าจังหวะกับขอบขาลงของขา 14

ขา 10 แรงดันอ้างอิง : มีค่าเท่ากับครึ่งหนึ่งของแรงดันไฟเลี้ยง

ขา 11 คอนซิเดนซ์เอาต์พุต (concidence output) : ค่าดิวตี้ไซเคิลของขานี้จะเป็นสัดส่วนกับแรงดันคร่อม C_S ค่าคอนซิเดนซ์เอาต์พุตจะเป็นสถานะต่ำ ถ้าหากค่าในชิฟรีจีสเตอร์ภายในเป็น 0 หรือ 1 ทั้งหมด ใน MC34115 และ MC3417 รีจีสเตอร์จะยาว 3 บิท ในขณะที่ MC3418 จะมีรีจีสเตอร์ยาว 4 บิท ขา 11 นี้ต้องการตัวต้านทานพูลอัพ (pull up resister) ถ้าต้องการให้ซิลลาบิคฟิลเตอร์มีค่าคงที่ของเวลาในการเก็บประจุ และคายประจุเท่ากันแล้ว ค่าของตัวต้านทาน R_P ต้องมีค่าน้อยกว่าค่า R_S มากๆ ส่วนระบบที่ต้องการค่าคงที่ของเวลาต่างกัน ค่าคงที่ของเวลาในการเก็บประจุจะเท่ากับ R_SC_S ขณะที่ค่าคงที่ในการคายประจุเท่ากับ $(R_S+R_P)C_S$ ดังนั้นค่าคงที่ในการคายประจุที่ยาวกว่าจะทำได้ง่าย

ขา 12 ดิจิตอลเทรดโฮล (digital threshold) : ค่าแรงดันที่ขานี้จะเป็นตัวกำหนดการสวิตช์ให้กับขา 13 , 14 , และ 17 ขานี้มีไว้เพื่อใช้อินเตอร์เฟตกับตระกูลลอจิกที่ต่างออกไปโดยปราศจากส่วนประกอบภายนอก บ่อยครั้งที่ขานี้จะต่อกับแรงดันอ้างอิง $V_{cc}/2$ เพื่อใช้ในการอินเตอร์เฟตกับระบบซีมอส หรือจะถูกไบอัสด้วยไดโอด 2 ตัวที่ต่อคร่อม V_{EE} เพื่อใช้ในการอินเตอร์เฟสกับระบบทีทีแอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 13 ดิจิตอลอินพุต (digital data input) : ในการทำงานเป็นตัวถอดรหัส ขบวนของข้อมูลดิจิตอลจะถูกจ่ายเข้าที่ขา 13 ในวงจรเข้ารหัสขานี้จะไม่ถูกใช้หรืออาจใช้ส่งสัญญาณอื่นๆ ภายใต้การควบคุมจากขา 15 สัญญาณที่ขานี้จะกลับเฟสเมื่อเทียบกับสัญญาณที่ขา 9 ระดับสัญญาณดิจิตอลอินพุตควรจะรักษาระดับนาน 0.5 μS ก่อน และหลังจากการกระตุ้นของสัญญาณนาฬิกา (clock trigger) เพื่อการเข้าจังหวะที่ถูกต้อง

ขา 14 สัญญาณนาฬิกา (clock input) : สัญญาณนาฬิกาเป็นตัวกำหนดอัตราการเข้ารหัสข้อมูล ถ้าต้องการให้มีอัตราการเข้ารหัสสูงๆ จะต้องใช้สัญญาณนาฬิกาที่มีความถี่สูงตามไปด้วย วงจรชิฟรีจีสเตอร์จะทำงานแบบที่ขอบขาลงของสัญญาณนาฬิกาที่ป้อนให้

ขา 15 ตัวเข้ารหัส และตัวถอดรหัส (encode/decode) : ขานี้ทำหน้าที่ในการควบคุมการต่อของอนาล็อกอินพุต และดิจิตอลอินพุต กับชิฟรีจีเตอร์ภายใน ถ้าแรงดันที่ขานี้เป็นสถานะสูง ไอซีตัวนี้จะทำหน้าที่เป็นตัวเข้ารหัสแต่ถ้าแรงดันที่ขานี้เป็นสถานะต่ำ ไอซีตัวนี้จะทำหน้าที่เป็นตัวถอดรหัส จะเห็นได้ว่าไอซีตัวนี้ทำหน้าที่ได้ทั้งเป็นตัวเข้ารหัส และเป็นตัวถอดรหัสโดยไม่ต้องใช้ส่วนประกอบจากภายนอก

ขา 16 V_{cc} : ช่วงของระดับแรงดันไฟเลี้ยงระหว่างขา V_{cc} กับ V_{EE} เท่ากับ 4.75-16.5 โวลต์

ไอซีเบอร์ 34115 ที่ใช้เป็นตัวเข้ารหัสแบบ CVSD อย่างง่าย สามารถกำหนดคุณสมบัติของการเข้ารหัสตามงานต่างๆได้ และมีข้อควรพิจารณา 7 อย่างในการออกแบบดังนี้คือ

1. การเลือกความถี่ของสัญญาณนาฬิกา
2. การเลือกจำนวนบิทในชิฟรีจีเตอร์
3. การเลือกอัตราการขยายวงปิด
4. การเลือกค่าต่ำสุดของสเต็ปไซส์
5. การออกแบบทรานส์เฟอร์ฟังก์ชันของอินทิเกรชันฟิลเตอร์ (Integration Filter)
6. การออกแบบทรานส์เฟอร์ฟังก์ชันของซิลลาบิคฟิลเตอร์
7. การออกแบบวงจรกรองความถี่ต่ำผ่านที่เครื่องรับ

<u>สัญญาณนาฬิกา</u> ความถี่ของสัญญาณนาฬิกาจะเป็นตัวกำหนดความถี่ในการเข้ารหัสสัญญาณเสียง เมื่อเราทราบว่าสัญญาณเสียงมีแถบความถี่ (bandwidth) อยู่ในช่วง 0 - 4 kHz และความถี่ที่ใช้ในการสุ่มตัวอย่างสัญญาณจะต้องมีค่าอย่างน้อยเป็น 2 เท่าของสัญญาณเสียง ดังนั้นความถี่ของสัญญาณนาฬิกาจะต้องมีค่าอย่างน้อย 8 kHz ในการออกแบบเราเลือกความถี่ของสัญญาณนาฬิกาเท่ากับ 16 kHz เพื่อที่จะได้คุณภาพของการเข้ารหัสสัญญาณที่ดีขึ้น สำหรับระบบที่มีความถี่ของสัญญาณนาฬิกาสูงขึ้นจะได้อัตราส่วนระหว่างสัญญาณต่อสัญญาณรบกวน (S/N) ที่ดีขึ้น

<u>จำนวนบิทในชิฟรีจีเตอร์</u> คือ จำนวนของข้อมูลที่เก็บไว้กำหนดค่าสเต็ปไซส์ที่ใช้ในการเข้ารหัสและถอดรหัสข้อมูล สำหรับความถี่ของสัญญาณนาฬิกา 16 kHz นี้เป็นระบบที่มีความถี่ไม่สูงมากนัก และสามารถใช้กับไอซี MC34115 และไอซี MC3417 ที่มีจำนวนบิทในชิฟรีจีเตอร์ 3 บิท และสำหรับระบบที่มีความถี่ของสัญญาณนาฬิกาที่สูงกว่า 32 kHz จะใช้ไอซี เบอร์ MC3418 ที่มีจำนวนบิทในชิฟรีจีสเตอร์ 4 บิท

<u>การเลือกอัตราขยายของวงปิด</u> จะถูกกำหนดด้วยค่าความต้านทานของ R_x และค่าความต้านทาน R_x นี้จะใช้กำหนดคุณสมบัติของสเต็ปไซส์ของอินทิเกรเตอร์เลือกอัตราขยายของวงปิดของระบบจะขึ้นอยู่กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ระดับสัญญาณและความถี่สูงสุดของสัญญาณอินพุต

2. ทรานส์เฟอร์ฟังก์ชันของอินทิเกรชันฟิลเตอร์

การออกแบบวงจรเข้ารหัสและถอดรหัสสัญญาณเสียง ที่มีความถี่ 4 kHz มีแอมปลิจูดอยู่ในช่วง 1.5 V_{P-P} จะสามารถคำนวณกระแสสเต็ปไซส์ที่ใช้ โดยอาศัยคุณสมบัติของทรานส์เฟอร์ฟังก์ชันของอินทิเกรชันฟิลเตอร์ในวงจรพื้นฐานในรูปที่ 3.5 โดยใช้ค่าของซิงเกิ้ลโพลที่ 160 Hz และกำหนดคาของตัวต้านทานเท่ากับ 10 kΩ และค่าตัวเก็บประจุเท่ากับ 0.1 μF

$$\frac{V_o}{I_i} = \frac{1}{C(S+1/RC)} = \frac{K}{S+\omega_o} \tag{3.1}$$

$$\omega = 2\pi f \tag{3.2}$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2 \text{ Hz}$$

สังเกตว่าอินทิเกรเตอร์ฟิลเตอร์จะให้การตอบสนองความถี่ของซิงเกิ้ลโพลในช่วง 300 ถึง 3 kHz เราจะต้องใช้กระแสเลื่อนแรงดันจากค่า 0 โวลต์ ไปที่ค่าๆ หนึ่ง ซึ่งมีค่าดังนี้

$$I_i = \frac{V_o}{R} + C\frac{dV_o}{dt} \tag{3.3}$$

ขณะนี้สัญญาณรูปไซน์จะมีค่าแรงดันสูงสุดเท่ากับ 1.0954 โวลต์ และค่าสเต็ปไซส์ควรจะเปลี่ยนแปลงตามค่านี้ทัน ดังนั้นกระแสค่านี้จะเท่ากับ

$$I_i = \frac{1.1V}{2(2.5k\Omega)} + \frac{0.1\times10^{-6}\times1.1}{3.125\times10^{-5}s} = 3.74 \text{ mA}$$

ซึ่งจะได้ค่าแรงดันที่ตกคล่อมซิลลาบิคฟิลเตอร์ จะเท่ากับ แรงดันไฟเลี้ยง จะได้ค่าของตัวต้านทาน R_x

$$R_x = \frac{0.25V_{CC}}{3.74mA}$$

$$\therefore R_x = \frac{0.25\times5V}{3.74mA}$$

$$R_x = 334.22\ \Omega$$

<u>การเลือกค่าสเต็ปไซส์ที่น้อยที่สุด</u> การเลือกค่าสเต็ปไซส์ที่น้อยที่สุดจะทำให้เกิดความผิดพลาดน้อยลง เมื่อไม่ได้เลือกค่าสเต็ปไซส์ที่น้อยที่สุดจะทำให้ช่วงที่ไม่มีสัญญาณอินพุตเข้ามาในวงจร หรือช่วงที่สัญญาณอินพุตไม่มีการเปลี่ยนแปลง สัญญาณเอาต์พุตที่ได้จะเป็น 1 และ 0 สลับกันไป ก็จะทำให้เกิดแกรนูลานอยซ์ แต่ถ้าเลือกค่าสเต็ปไซส์ที่น้อยที่สุดแล้วจะทำให้ไม่เกิดอนุกรมของ 1 และ 0 สลับกัน ซึ่งไอซี MC34115 จะมีสามารถให้ค่าสเต็ปไซส์ที่น้อยที่สุดเท่ากับ 20 mV_{P-P} ที่ความถี่สัญญาณนาฬิกา 16 kHz การกำหนดค่าสเต็ปไซส์จะถูกกำหนดด้วยค่าความต้านทาน R_{min} และเมื่อไม่เกิดอนุกรมของ 1 และ 0 สลับกันแล้ว ค่าแรงดันคร่อมตัวเก็บประจุ C_S (แรงดันคล่อมซิลลาบิคฟิลเตอร์) จะใกล้เคียงกับ 0 โวลต์ และกระแสอินพุตของซิลลาบิคฟิลเตอร์จะเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_i = \frac{V_o}{R} + C\frac{dV_o}{dt}$$

สำหรับค่า V_o ที่ใกล้เคียงกับ $V_{cc}/2$ จะตัดทิ้งได้

$$I_i = C_s\frac{\Delta V}{\Delta T}$$

เมื่อแทนค่า C_s เท่ากับ 0.33 μF และค่า $\Delta T = 62.5\ \mu S$ จะได้

$$I_i = \frac{0.1\mu f \times 20\ mV}{62.5\mu S} = 33\mu A$$

แรงดันตกคร่อม C_s จะเกิดจากกระแส 33 μA และค่าความต้านทาน R_x ดังนี้

$$I_i R_X = V_{S\,min}$$

$$V_{s\,min} = 33\mu A \times 334.22\ \Omega = 10.69\ mV$$

เมื่อกำหนดค่าของตัวต้านทาน R_S 18 kΩ เราจะสามารถหาค่าของตัวต้านทาน R_{min} ได้จาก

$$V_{cc}\frac{R_S}{R_S + R_{min}} = V_{S\,min}$$

$$\therefore R_{min} \approx 8.4\ M\Omega$$

3.2 การออกแบบวงจรโมโนสเตเบิล

การคำนวณระยะเวลาของสัญญาณเอาต์พุตของวงจรไทม์เมอร์ เราสามารถหาได้ตามสมการที่ 3.4 กำหนดให้

t คือ เวลาที่ใช้ในการหน่วง

C คือ C

R คือ R

E คือ Vcc

E_0 คือ 0 โวลต์ (สภาวะก่อนการกระตุ้น)

Ec คือ 2Vcc / 3 (ในสภาวะสุดท้ายหลังจากการกระตุ้น)

เมื่อแทนค่าลงในสมการที่ 3.2 จะได้

$$t = 1.1 \cdot C \cdot R \qquad (3.4)$$

<u>ตัวอย่างการคำนวณ</u>

จากวงจรเราต้องการพัลส์ที่มีความกว้างไม่เกิน 62.5 μS

เพราะฉะนั้นเลือกใช้ C = 18 nF และ R = 2.2 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้เวลาหน่วงที่แทนค่าตามสมการ 3.5 คือ

$$t = 1.1\ (18)\ (2.2)\ \mu S$$

$$t = 43.5\ \mu S$$

3.3 การออกแบบวงจรอะสเตเบิล

ทำได้โดยการคำนวณค่า R_A R_B C_A ที่เหมาะสมกับความถี่ของเอาต์พุตที่ต้องการ พิจารณาเมื่อ C_A เก็บประจุ จะมีกระแส Ic ผ่าน (R_A+R_B) ดังนั้น จากสมการที่ 3.4

แทนค่า $E_0 = Vcc/3$

$Ec = 2Vcc/3$

$E = Vcc$

จะได้

$$t_1 = 0.693 \cdot C_A(R_A + R_B) \tag{3.5}$$

พิจารณาเมื่อ C_A คายประจุ

แทนค่า $E_0 = 2Vcc/3 = E_C$

$E = 0$

จะได้

$$t_2 = 0.693 \cdot C_A \cdot R_B \tag{3.6}$$

จากสมการ 3.5 จะเห็นว่าในการเก็บประจุ กระแสจะไหลผ่าน (R_A+R_B) แต่จากสมการ 3.6 จะเห็นว่าในการคายประจุ กระแสจะไหลผ่านเฉพาะ R_B เข้าขา 7 เท่านั้น

ช่วงเวลารวมสำหรับการเก็บประจุและการคายประจุ คือ

$$T = t_1 + t_2$$

$$= 0.693\ (R_A+2R_B) \cdot C_A$$

ซึ่งค่า T ก็คือช่วงเวลาความกว้างของพัลส์หนึ่งลูกคลื่น

ดังนั้นความถี่ของพัลส์เอาต์พุตก็คือ

$$f = \frac{1}{T} = \frac{1.443}{(R_A + 2R_B) \cdot C_A}$$

การตั้งความถี่จึงสามารถทำได้โดยการเลือกค่า R_A, R_B, C_A ที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการคำนวณ

จากวงจรเราต้องการสัญญาณที่มีความถี่ 160 kHz

เราคำนวณตามสมการ จะได้ค่า C_A = 1.36 nF ,R_A = 1.3 kΩ และR_B = 2 kΩ

ซึ่งจะได้สัญญาณความถี่ 160 kHz ที่มีดิวตี้ไซเคิล 70%

3.4 การออกแบบไอซีเบอร์ MF6 (6th order switched capcitor butterworth low pass filter)

เป็นไอซีที่ทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่านใช้สัญญาณนาฬิกากำหนดความถี่คัทออฟ อัตราส่วนของความถี่สัญญาณนาฬิกากับความถี่คัทออฟของวงจรกรองความถี่ต่ำที่ผลิตได้จะถูกตั้งเป็น 50:1 สำหรับไอซีเบอร์ MF6-50 และเป็น 100:1 สำหรับไอซีเบอร์MF6-100 สถานะของสัญญาณนาฬิกาที่จ่ายให้ชมิตทริกเกอร์จะมี 2 แบบ คือ สัญญาณนาฬิกาภายในที่เกิดจากการกำหนดค่าของตัวต้านทานและตัวเก็บประจุ แต่สำหรับงานที่ต้องการควบคุมความถี่คัทออฟที่แม่นยำจะใช้สัญญาณนาฬิกาที่กำเนิดจากภายนอกที่เป็นแบบทีทีเอลหรือซีมอสก็ได้ ซึ่งจะสามารถกำหนดความถี่คัทออฟได้จากความถี่ของสัญญาณนาฬิกาได้ดังสมการที่ 3.7

$$f_{CLK} = \frac{1}{1.69RC} \qquad (3.7)$$

แทนค่าความถี่คัทออฟ 4 kHZ จะได้ความถี่ของสัญญาณนาฬิกาเท่ากับ 400 kHz ในสมการข้างต้น

$$400k = \frac{1}{1.69RC}$$

$$\therefore \quad RC = 1.479 \times 10^{-6}$$

เราสามารถเลือกค่าของตัวต้านทานและตัวเก็บประจุได้ดังนี้คือ R = 1.5 kΩ และC = 1 nF

3.5 การออกแบบไอซี MC1496

ไอซีเบอร์นี้สามารถทำหน้าที่ได้หลายอย่างเช่น แอมปลิจูดมอดูเลเตอร์ บาลานซ์มอดูเลเตอร์ (balance modulator) มิกเซอร์ (mixer) ฯลฯ ขึ้นอยู่กับการต่ออุปกรณ์ต่าง ๆ ภายนอกซึ่งในโครงงานนี้ใช้เป็นแอมปลิจูดมอดูเลเตอร์

การไบอัส ไอซีเบอร์นี้ต้องการการไบอัส 3 ระดับซึ่งสามารถตั้งค่าได้จากอุปกรณ์ภายนอก การไบอัสที่ขาเบส-คอลเลคเตอร์สำหรับทรานซิสเตอร์ทุกตัวจะต้องไม่ต่ำกว่า 2 โวลต์ แต่ต้องไม่เกินค่าที่กำหนดไว้ดังนี้

$$30\ V_{dc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2\ V_{dc}$$

$$30\ V_{dc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7\ V_{dc}$$

$$30\ V_{dc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\ V_{dc}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายสัญญาณ และระดับอินพุตสูงสุด อัตราขยายสัญญาณที่ความถี่ต่ำจะแสดงอยู่ในรูปอัตราขยายแรงดัน

$$A_{VS} = \frac{V_o}{V_s} = \frac{R_L}{R_e + 2r_e}$$

ซึ่ง

$$r_e = \frac{26mV}{I_s(mA)}$$

ค่าแรงดันไฟตรงคงที่ที่ป้อนให้ขาอินพุตของคลื่นพาห์จะทำให้ทรานซิสเตอร์ 2 ตัวบนทำงาน และทำให้ทรานซิสเตอร์อีก 2 ตัวไม่ทำงาน นี่คือการต่อคาสเคดของวงจรขยายแบบดิฟเฟอเรนเชียล

การทำงานในช่วงที่เป็นเชิงเส้นจะต้องป้อนสัญญาณอินพุตต่ำกว่าค่าวิกฤติที่กำหนดค่าความต้านทาน R_E และกระแสไบอัสของ I_5

$$V_S \geq I_5 \times R_E \text{(Volts peak)}$$

3.6 ไดโอดดีเทกชัน

ในการที่จะแยกสัญญาณข้อมูลออกจากคลื่นพาห์ได้นั้น เราใช้วิธีไดโอดดีเทกชัน สำหรับโครงงานนี้เราเลือกใช้ไดโอดเบอร์ 1N60 ซึ่งสามารถทำงานที่ความถี่ 27 MHz ได้ การเลือกค่าตัวเก็บประจุ และตัวต้านทานสามารถคำนวณได้ตามสมการดังนี้

$$\frac{1}{f_c} \leq RC \leq \frac{1}{f_m} \qquad (3.8)$$

คำนวณ

สำหรับความถี่ 27 MHz เราเลือกใช้ตัวเก็บประจุ 18pF และตัวต้านทาน 580 Ω ก็จะได้กรอบคลื่นของสัญญาณข้อมูลดังเดิม

$$37 \times 10^{-9} \leq RC \leq 12.5 \times 10^{-6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

วงจรกรองความถี่ต่ำผ่าน

เราทำการทดลองโดยใช้ไอซีเบอร์ MF6 ทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน โดยป้อนสัญญาณอินพุตคลื่นรูปไซน์แล้วเปลี่ยนแปลงความถี่ตั้งแต่ 0 ถึง 8 kHz สัญญาณเอาต์พุตที่มีความถี่อยู่ในช่วง 0 ถึง 4 kHz จะไม่มีการลดทอนแอมปลิจูด ส่วนเอาต์พุตที่มีความถี่ตั้งแต่ 4 kHz ขึ้นไป แอมปลิจูดจะถูกลดทอนลงจนเข้าใกล้ 0 โวลต์ จะได้การตอบสนองทางความถี่ดังรูปที่ 4.1

วงจรนับความถี่

เราทำการทดลองโดยใช้ไอซีเบอร์ 4017 เป็นวงจรนับความถี่ และจะผลิตพัลส์ในแต่ละช่องเรียงออกมา และนำพัลส์ที่ได้จาก Q_0 และ Q_1 มารวมกันเป็นสัญญาณควบคุมดังรูปที่ 4.2

วงจรเดลต้ามอดูเลเตอร์ และวงจรเดลต้าดีมอดูเลเตอร์

เราทำการทดลองโดยใช้ไอซีเบอร์ MC34115 ซึ่งสามารถทำหน้าที่เป็นทั้งวงจรเดลต้ามอดูเลเตอร์ และวงจรเดลต้าดีมอดูเลเตอร์ สำหรับวงจรเดลต้ามอดูเลเตอร์จะป้อนอินพุตเป็นสัญญาณคลื่นรูปไซน์ ความถี่ 4 kHz และมีแอมปลิจูด 1.5 โวลต์ จะได้เอาต์พุตจากวงจรเดลต้ามอดูเลเตอร์ดังรูปที่ 4.3 ซึ่งเอาต์พุตที่ได้จะถูกผลิตที่ขอบขาลงของสัญญาณนาฬิกา ส่วนวงจรเดลต้าดีมอดูเลเตอร์จะรับสัญญาณอินพุตที่เป็นพัลส์ที่ได้จากวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ มาแปลงเป็นสัญญาณอนาล็อกที่ได้ดังรูปที่ 4.19 รูปที่ 4.18 แสดงเอาต์พุตที่ได้จากวงจรโมโนสเตเบิลมัลติไวเบรเตอร์เปรียบเทียบสัญญาณนาฬิกาที่ใช้ควบคุมเดลต้าดีมอดูเลเตอร์

วงจรอะสเตเบิลมัลติไวเบรเตอร์

เราทำการทดลองโดยใช้ไอซีเบอร์ 555 เป็นวงจรกำเนิดสัญญาณ ซึ่งเอาต์พุตที่ได้จะพัลส์ที่มีความถี่ 161.3 kHz ดังรูปที่ 4.2

วงจรมัลติเพล็กซ์ และวงจรดีมัลติเพล็กซ์

เราทำการทดลองโดยใช้อนาล็อกสวิตช์เป็นวงจรมัลติเพล็กซ์ และวงจรดีมัลติเพล็กซ์ ซึ่งเอาต์พุตที่ได้จากวงจรมัลติเพล็กซ์เมื่อเทียบกับสัญญาณข้อมูลแต่ละช่องสัญญาณจะเป็นดังแสดงในรูปที่ 4.4 ถึงรูปที่ 4.7

วงจรอินทิเกรเตอร์

เราทำการทดลองโดยใช้ไอซีเบอร์ LF356 ที่เป็นออปแอมป์ทำหน้าที่เป็นอินทิเกรเตอร์ สัญญาณที่รับได้เมื่อเปรียบเทียบกับสัญญาณผ่านวงจรอินทิเกรเตอร์แล้วจะเป็นดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบแรงดัน

เราทำการทดลองโดยใช้ไอซีเบอร์ LF356 ที่เป็นออปแอมป์ทำหน้าที่เปรียบเทียบแรงดัน โดยสัญญาณควบคุมจะมีแรงดันสูงกว่าแรงดันอ้างอิงที่ขา 2 จะได้เอาต์พุตออกมาดังแสดงดังรูปที่ 4.16

วงจรโมโนสเตเบิลมัลติไวเบรเตอร์

เราทำการทดลองโดยใช้ไอซีเบอร์ 555 ทำหน้าที่กำเนิดพัลส์เมื่อพัลส์ลบเข้ากระตุ้น รูปที่ 4.17 แสดงข้อมูลที่ผ่านอนาล็อกสวิตช์เปรียบเทียบกับเอาต์พุตที่ได้จากโมโนสเตเบิลมัลติไวเบรเตอร์

วงจรแอมปลิจูดชิฟคีย์อิ้ง

เราทำการทดลองโดยใช้ไอซีเบอร์ MC1496 ทำหน้าที่เป็นแอมปลิจูดมอดูเลเตอร์ คลื่นพาห์ที่นำมามอดูเลตได้จากวงจรคริสตอลออสซิลเลเตอร์มีความถี่ 27 MHz ดังรูปที่ 4.8 เอาต์พุตที่ได้จากแอมปลิจูดมอดูเลเตอร์มีลักษณะเป็นแบบออน-ออฟคีย์อิ้งคือ เมื่อสัญญาณข้อมูลมีค่าเป็น 1 เอาต์พุตที่ได้จะมีคลื่นพาห์ปรากฏออกมาตลอดช่วง แต่ถ้าสัญญาณข้อมูลมีค่าเป็น 0 เอาต์พุตจะมีค่าเป็น 0 ดังแสดงในรูปที่ 4.9

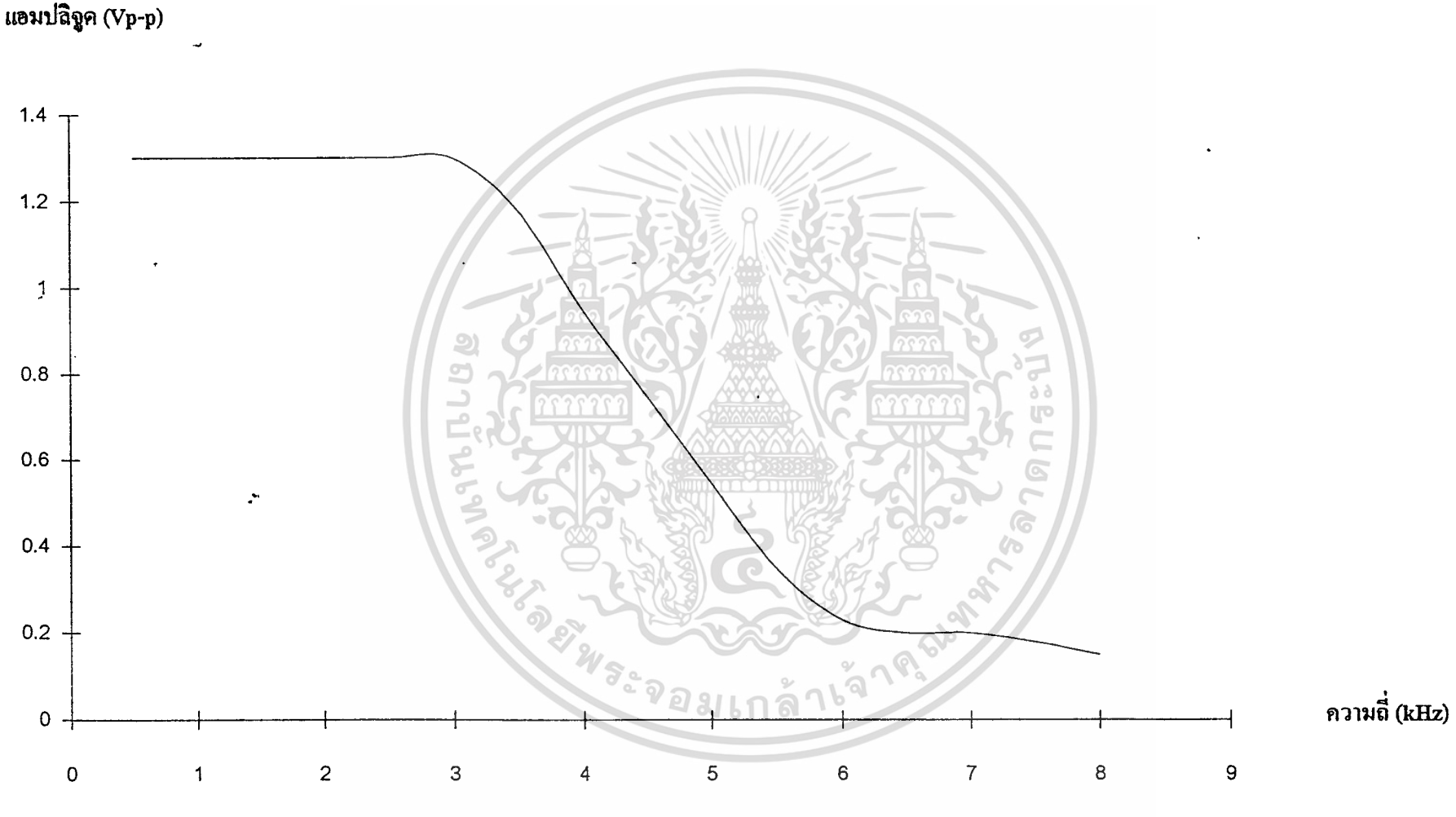
วงจรขยายกำลัง

เราใช้ทรานซิสเตอร์เบอร์ 2SC458 2SC2314 และ 2SC2078 ต่อเป็นวงจรขยายกำลังแบบคลาสซีเพื่อขยายสัญญาณที่ได้จากการมอดูเลตให้มีกำลังส่งสูงขึ้นก่อนที่จะส่งออกอากาศ เอาต์พุตที่ได้แสดงดังรูปที่ 4.10 และรูปที่ 4.11

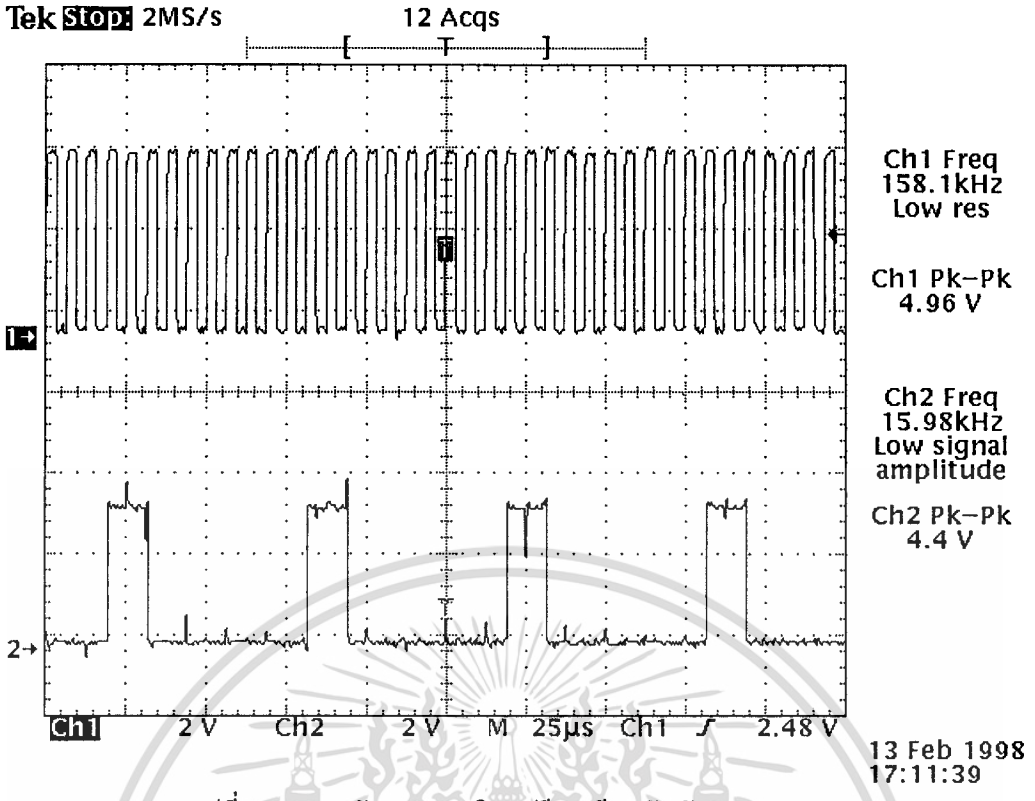
วงจรไดโอดดีเทกเตอร์

เราใช้วงจรไดโอดดีเทกเตอร์ที่สร้างจากไดโอดเบอร์ 1N60 ตัวเก็บประจุ 18 pF และตัวต้านทาน 580 Ω จากวงจรไดโอดดีเทกเตอร์จะได้กรอบของข้อมูลกลับคืนมาดังแสดงในรูปที่ 4.12 และรูปที่ 4.13 แสดงสัญญาณที่รับได้กับเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเพื่อกรองสัญญาณรบกวนความถี่สูงออกไป จากนั้นผ่านวงจรเปรียบเทียบแรงดันเพื่อใช้ในการกำหนดว่าข้อมูลตัวใดเป็น 1 หรือ 0 ก็จะได้สัญญาณพัลส์ดังแสดงในรูปที่ 4.14

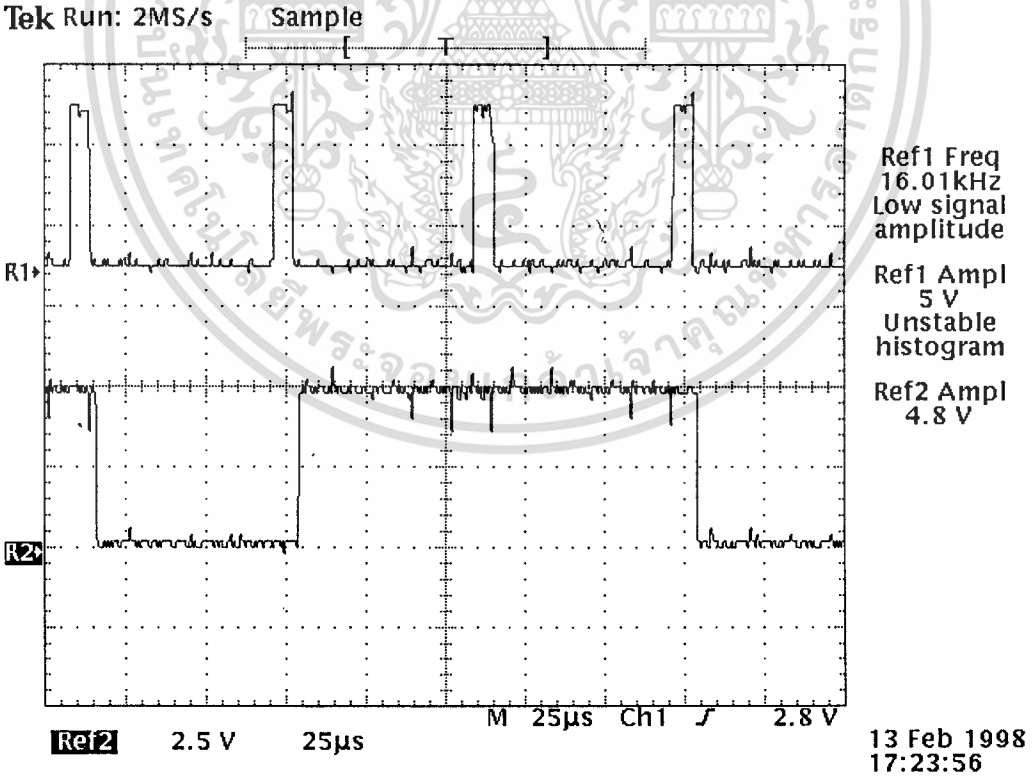
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงผลการตอบสนองของวงจรกรองความถี่ต่ำผ่าน

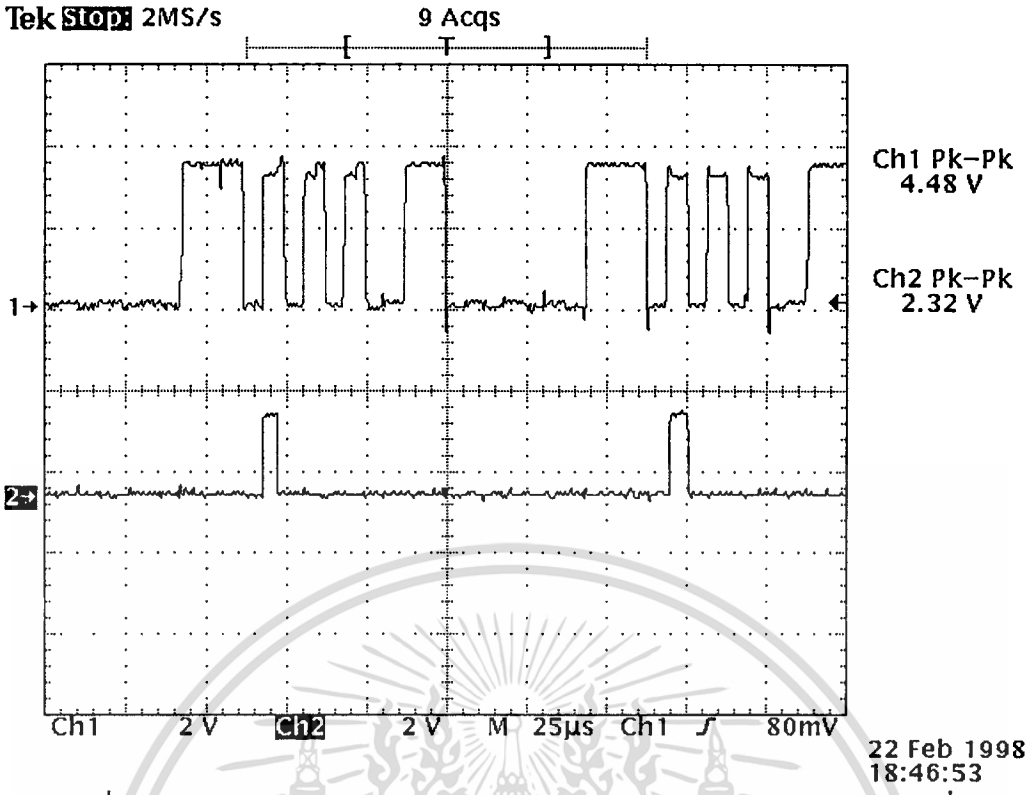


รูปที่ 4.2 แสดงสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณควบคุม

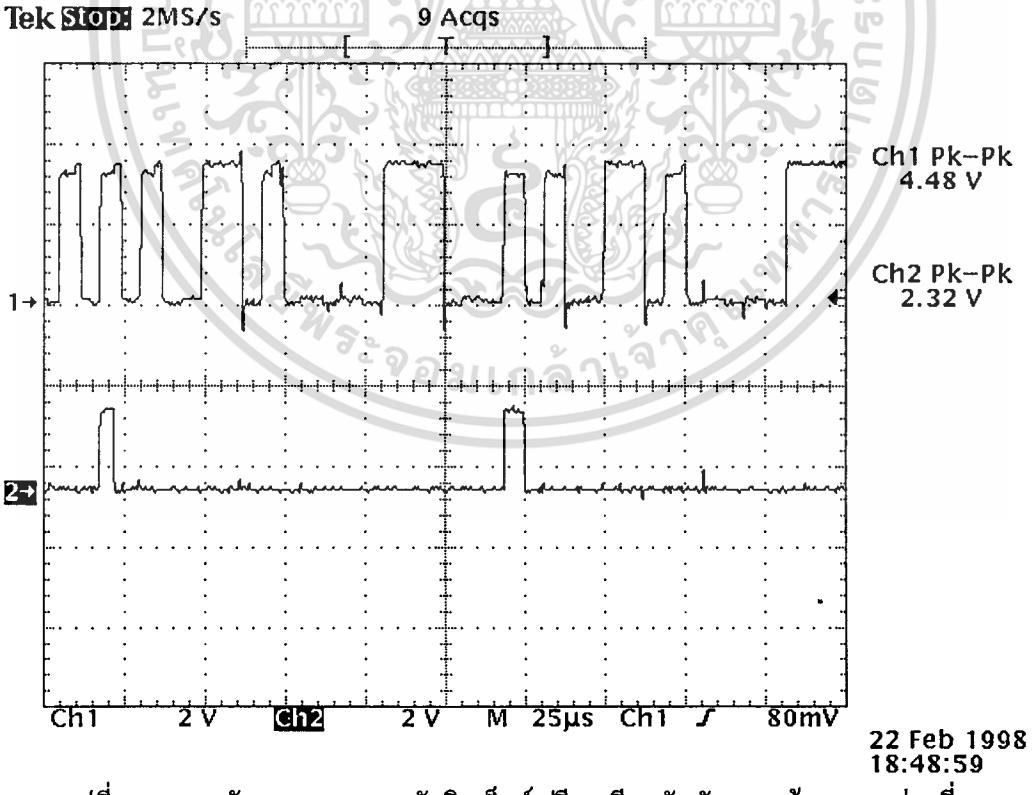


รูปที่ 4.3 แสดงสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณจากเคลต้ามอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

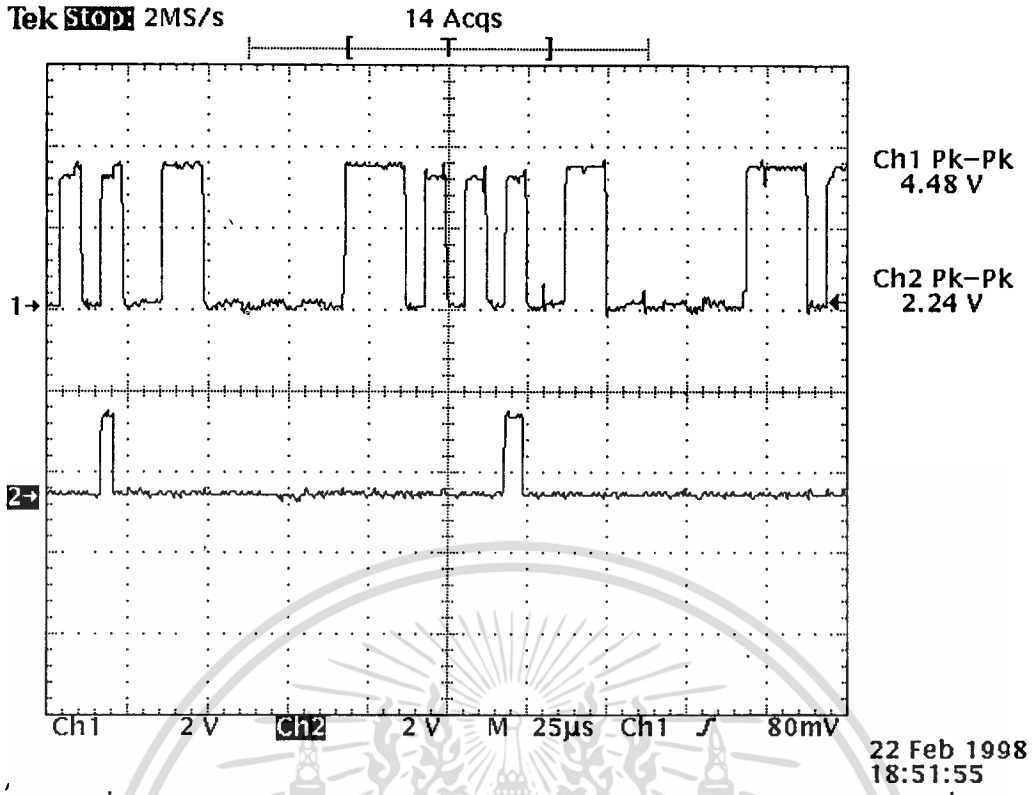


รูปที่ 4.4 แสดงสัญญาณจากวงจรมัลติเพล็กซ์เปรียบเทียบกับสัญญาณข้อมูลของช่องที่ 1

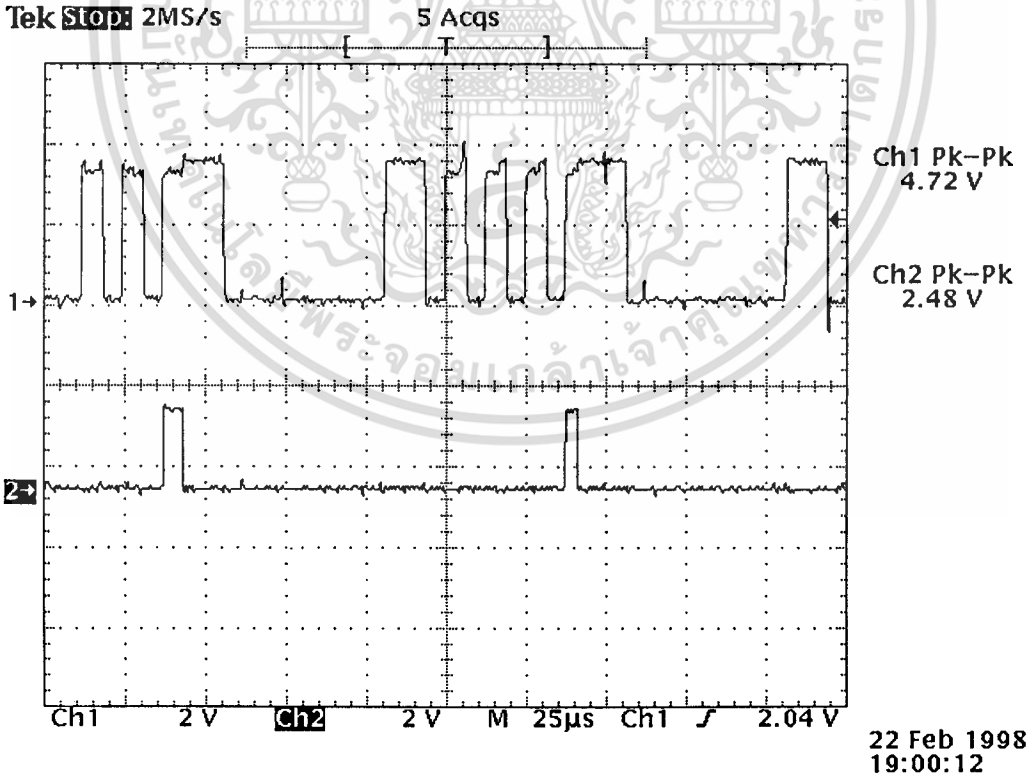


รูปที่ 4.5 แสดงสัญญาณจากวงจรมัลติเพล็กซ์เปรียบเทียบกับสัญญาณข้อมูลของช่องที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

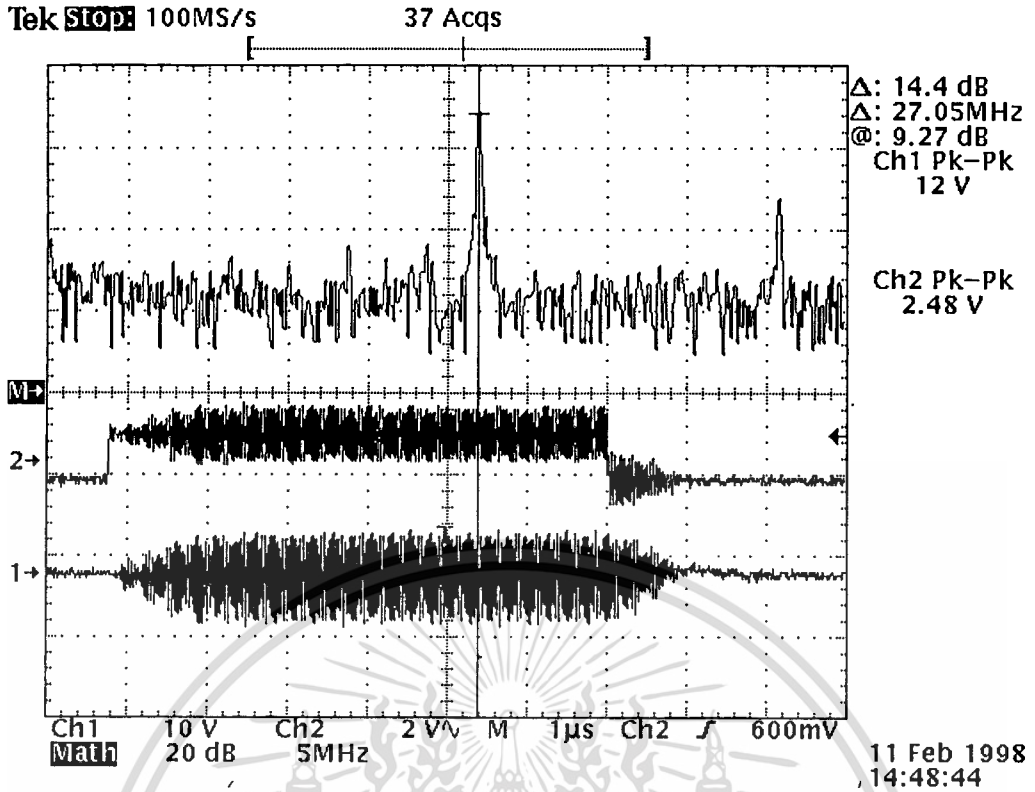


รูปที่ 4.6 แสดงสัญญาณจากวงจรมัลติเพล็กซ์เปรียบเทียบกับสัญญาณข้อมูลของช่องที่ 3

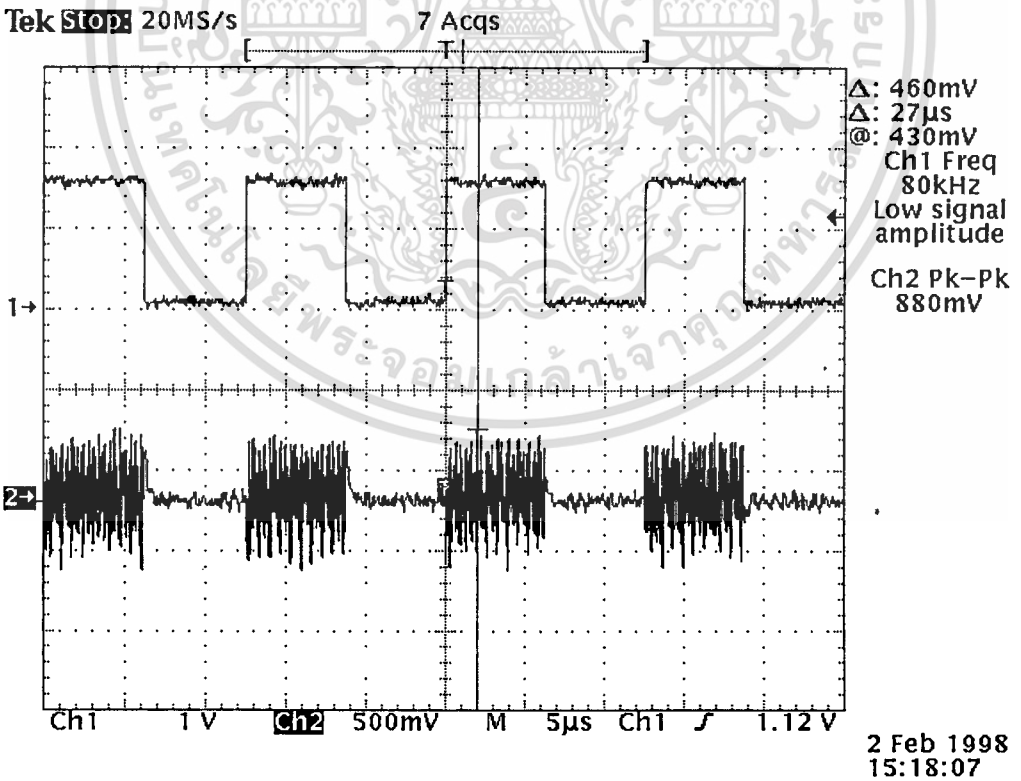


รูปที่ 4.7 แสดงสัญญาณจากวงจรมัลติเพล็กซ์เปรียบเทียบกับสัญญาณข้อมูลของช่องที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

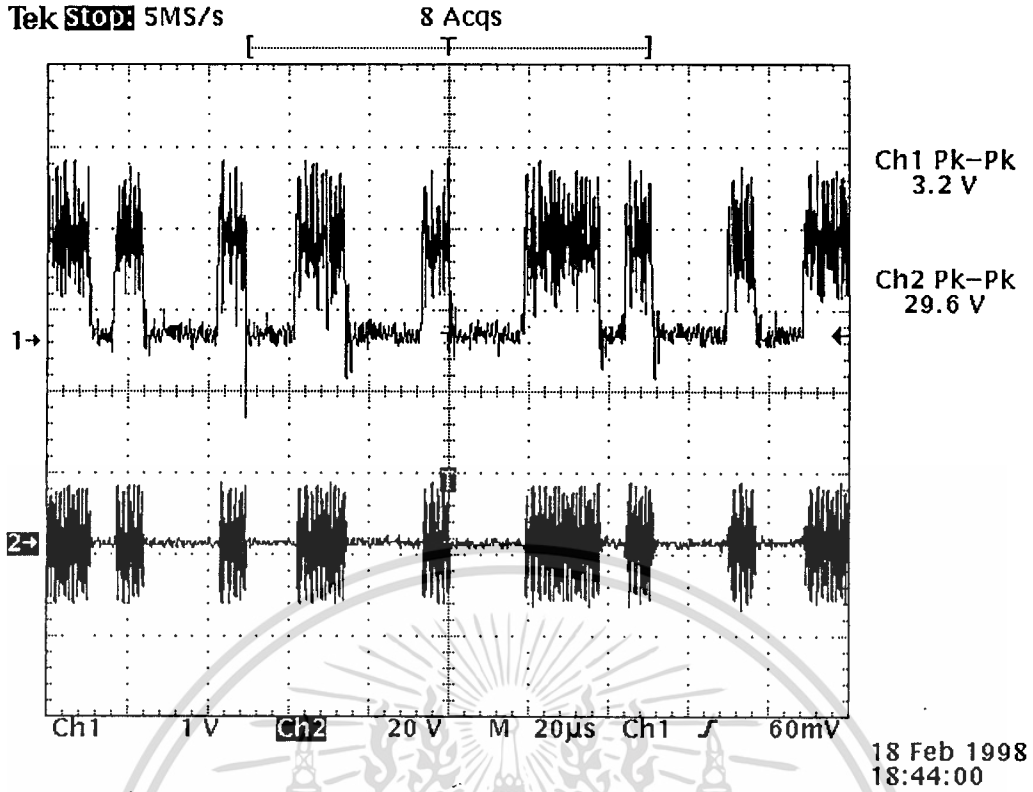


รูปที่ 4.8 แสดงสเปกตรัมของคลื่นพาห์ อินพุต และเอาต์พุตของวงจรมอดูเลเตอร์

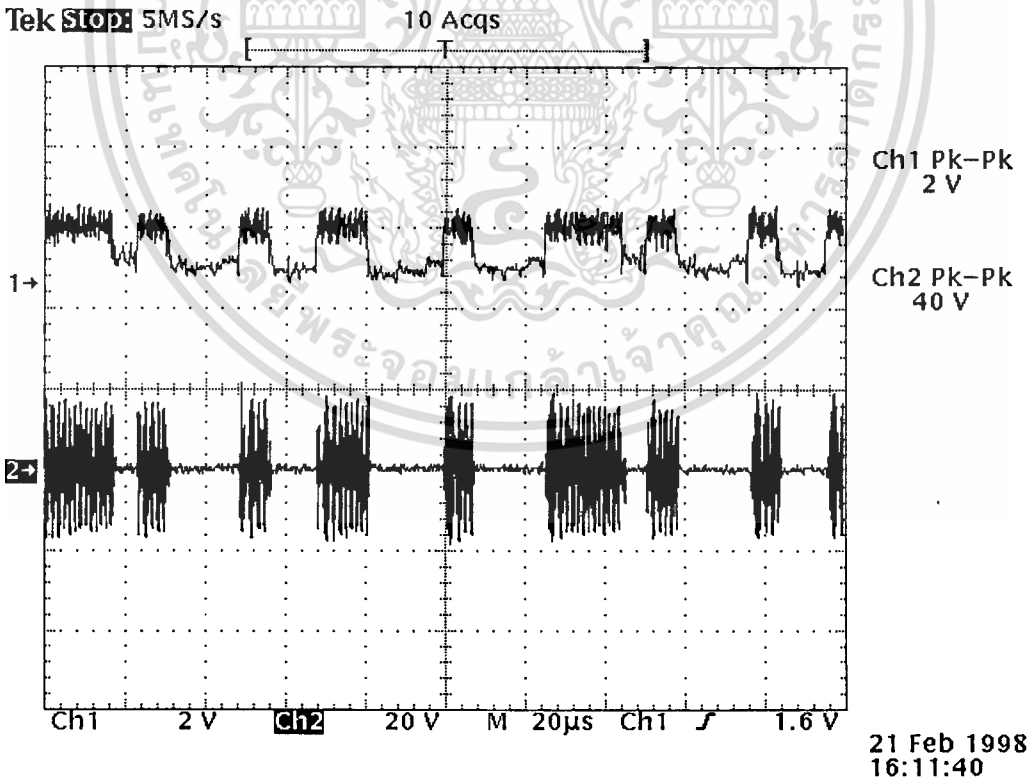


รูปที่ 4.9 แสดงสัญญาณอินพุต และเอาต์พุตของวงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

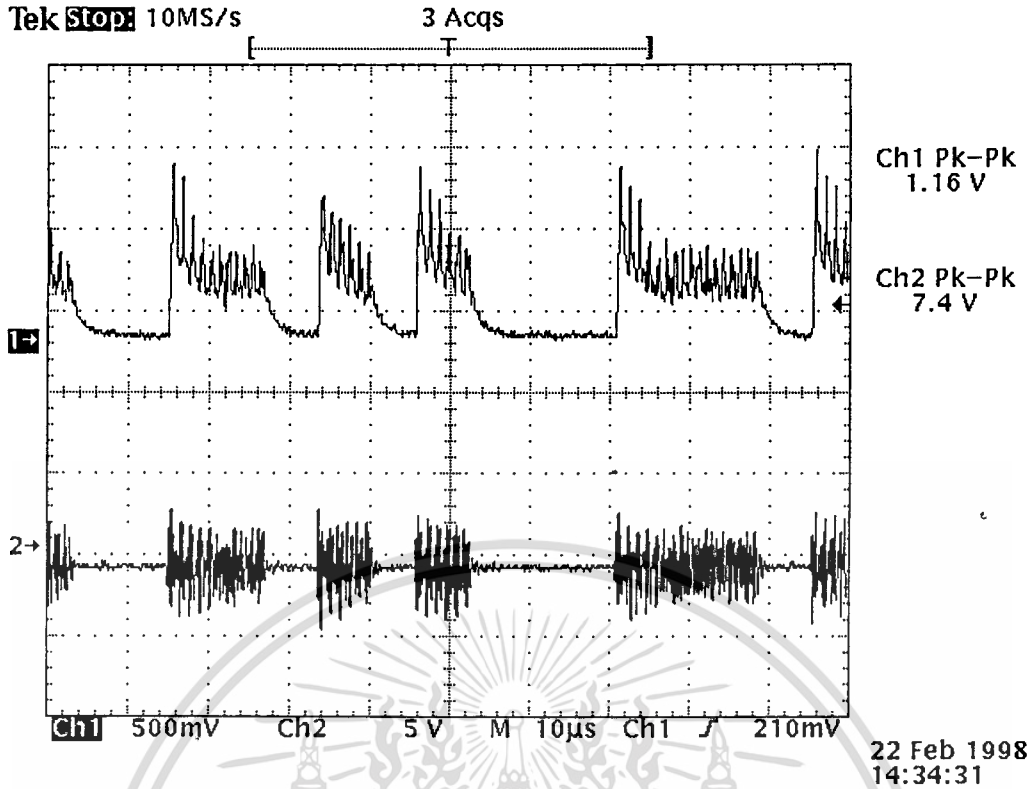


รูปที่ 4.10 แสดงสัญญาณข้อมูลเปรียบเทียบกับเอาต์พุตของวงจรขยายกำลังภาคแรก

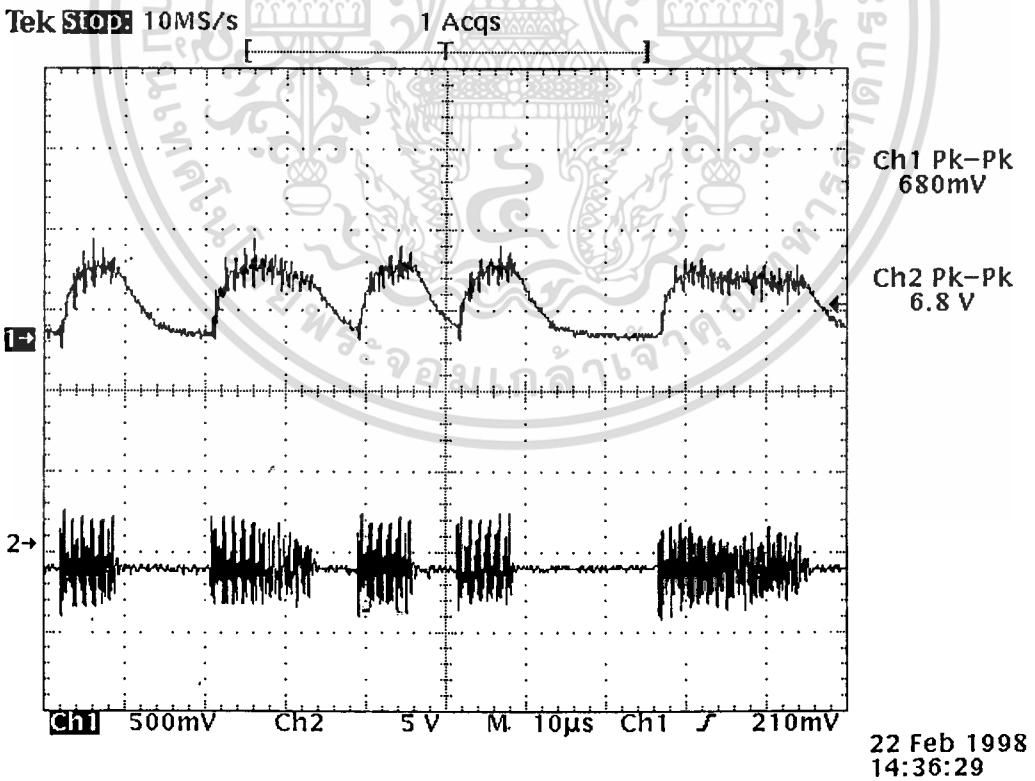


รูปที่ 4.11 แสดงสัญญาณข้อมูลเปรียบเทียบกับสัญญาณของวงจรขยายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

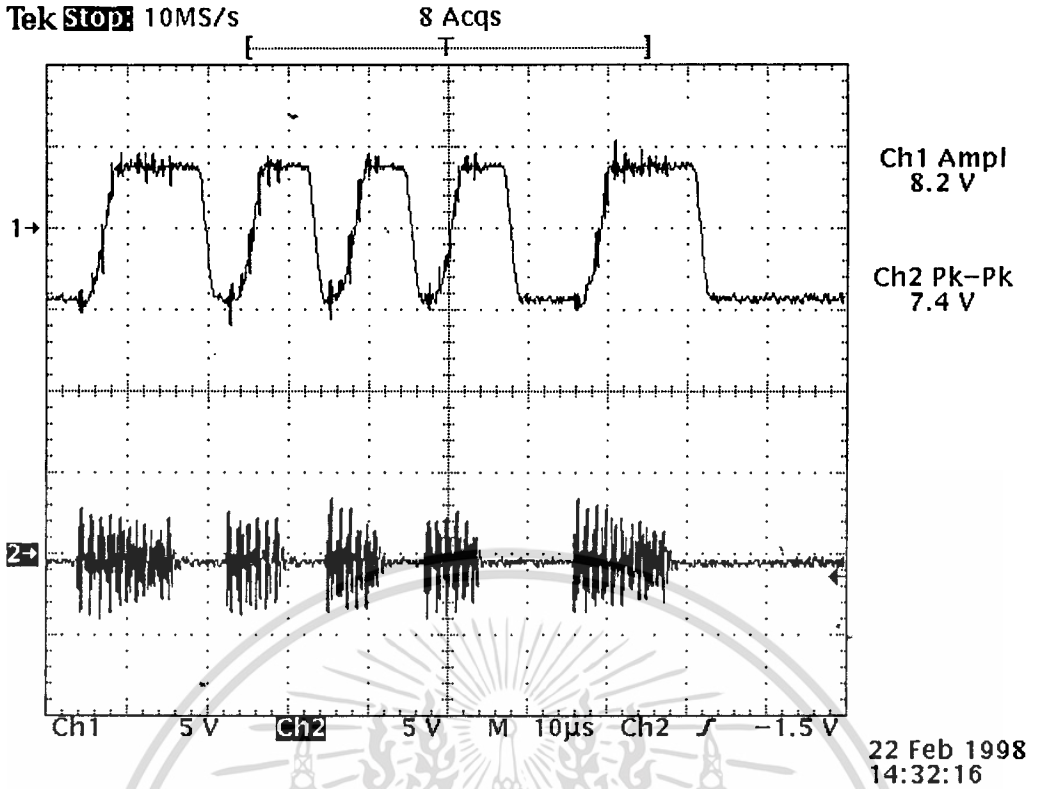


รูปที่ 4.12 สัญญาณข้อมูลที่รับได้เปรียบเทียบกับสัญญาณของไดโอดดีเทกเตอร์

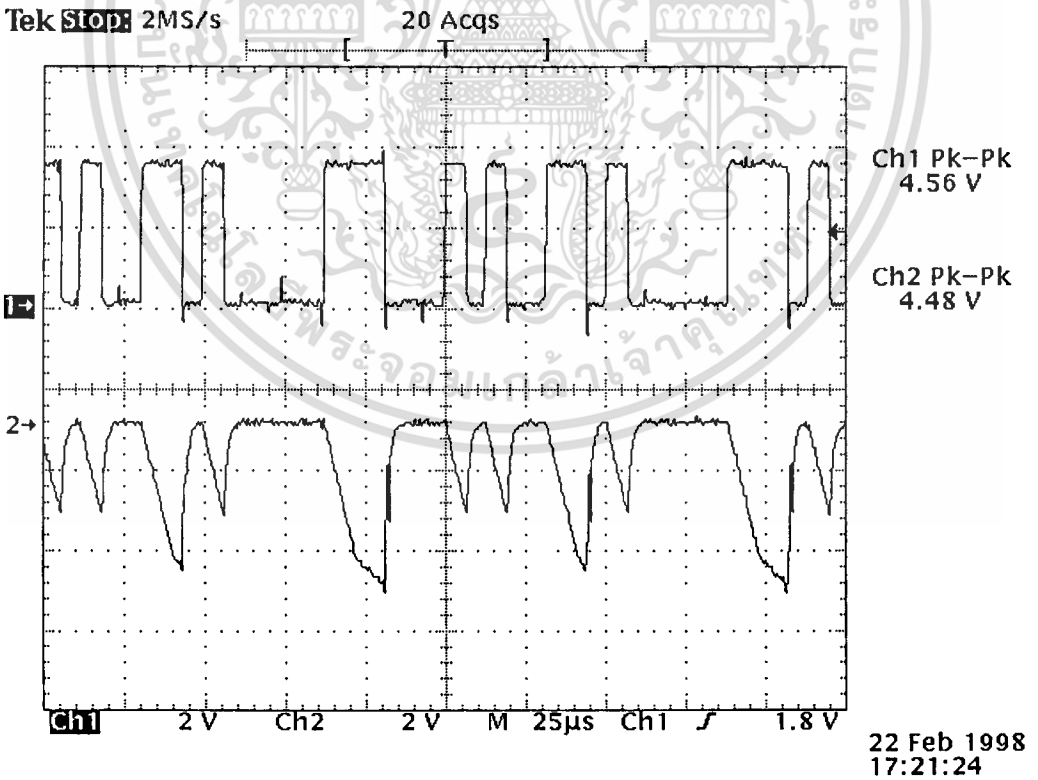


รูปที่ 4.13 สัญญาณข้อมูลที่รับได้เปรียบเทียบกับสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

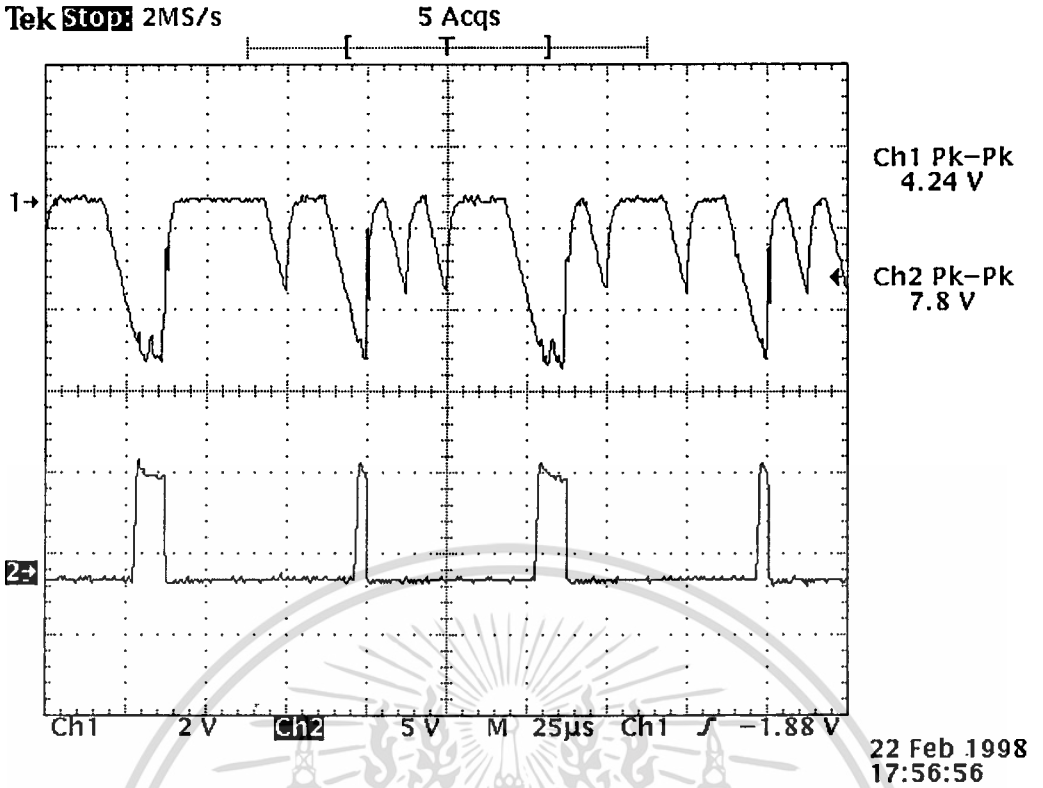


รูปที่ 4.14 แสดงสัญญาณข้อมูลที่รับได้เปรียบเทียบกับสัญญาณของวงจรเปรียบเทียบแรงดัน

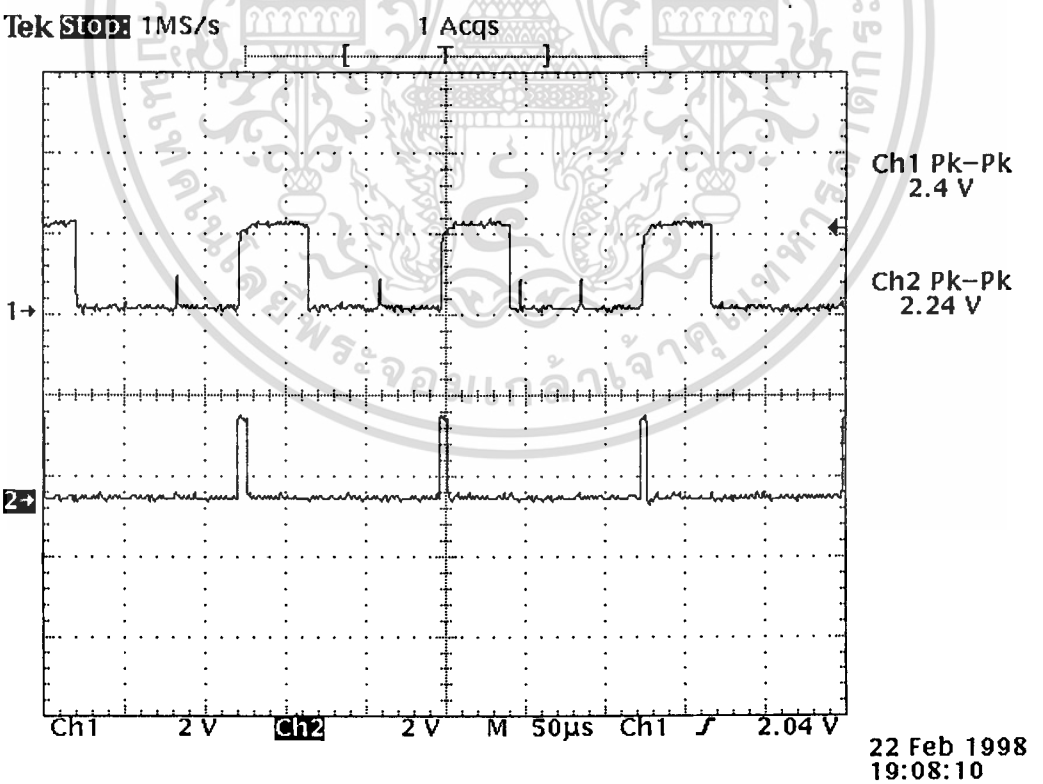


รูปที่ 4.15 แสดงสัญญาณจากวงจรเปรียบเทียบแรงดันกับสัญญาณจากอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

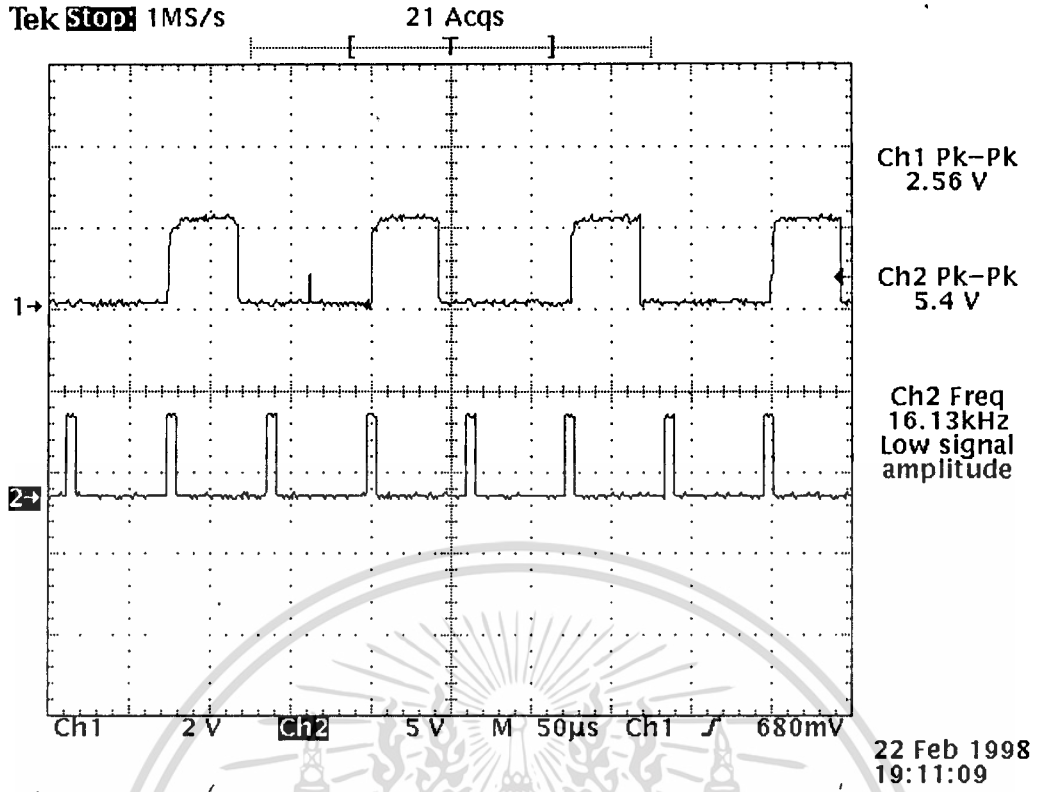


รูปที่ 4.16 แสดงสัญญาณจากอินทิเกรเตอร์เปรียบเทียบกับสัญญาณจากวงจรเปรียบเทียบแรงดัน

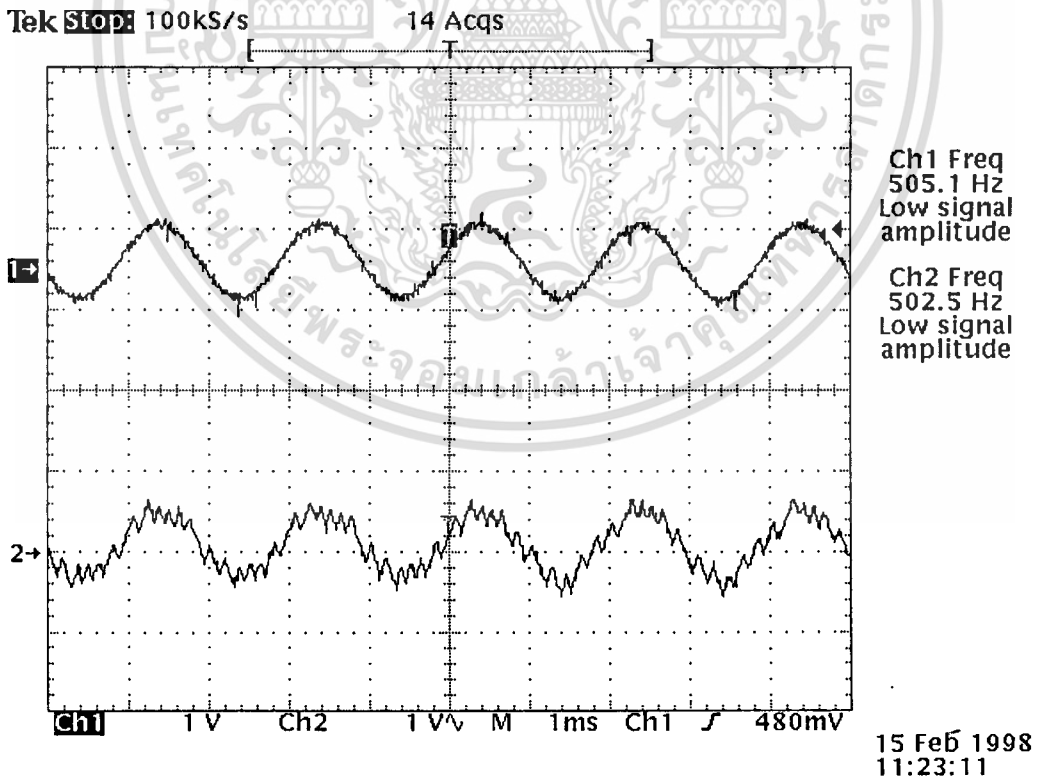


รูปที่ 4.17 แสดงสัญญาณที่ผ่านวงจรโมโนสเตเบิลเปรียบเทียบกับสัญญาณที่ผ่านอนาล็อกสวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

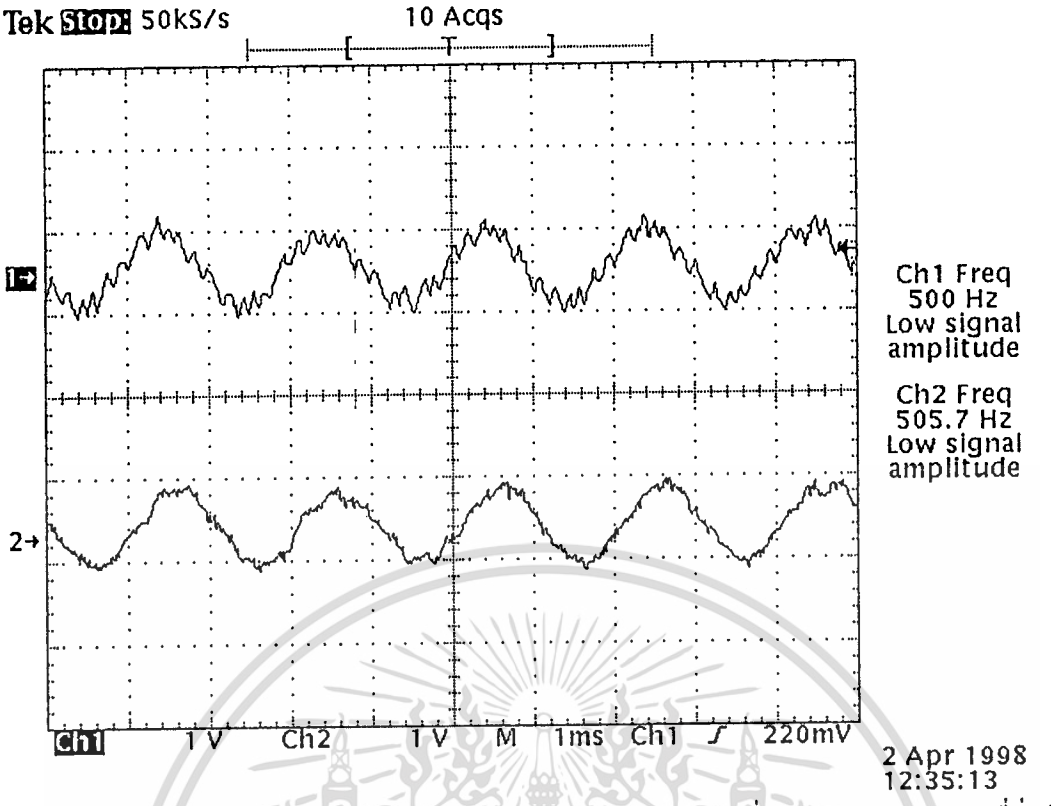


รูปที่ 4.18 แสดงสัญญาณจากวงจรโมโนสเตเบิลกับสัญญาณนาฬิกาที่ใช้ควบคุมเคลต้าดีมอดูเลเตอร์

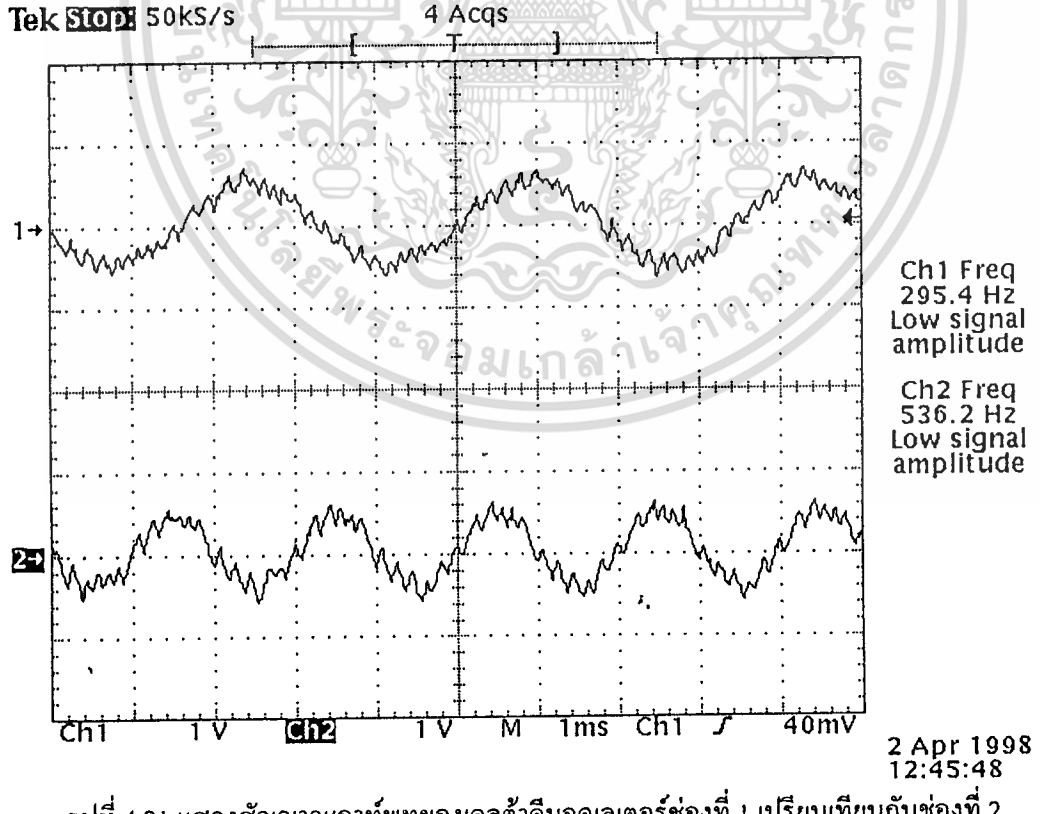


รูปที่ 4.19 แสดงสัญญาณอินพุตที่เข้าเคลต้ามอดูเลเตอร์เปรียบเทียบกับสัญญาณจากเคลต้าดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

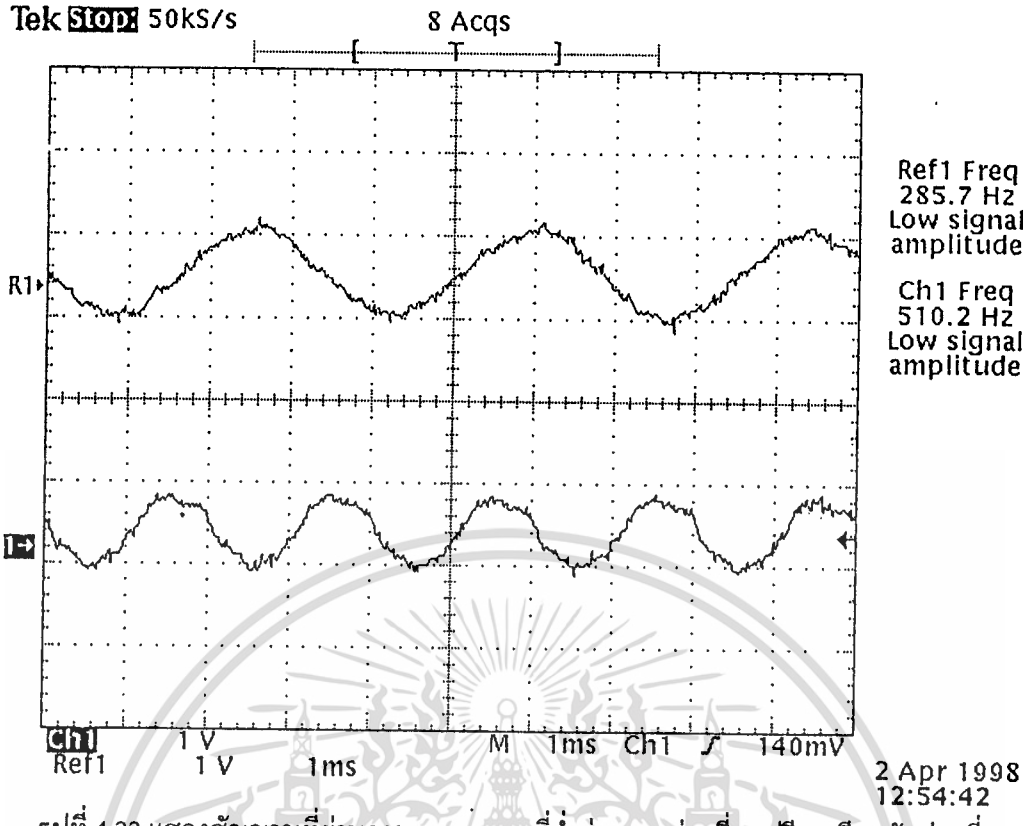


รูปที่ 4.20 แสดงสัญญาณจากเดลต้าดีมอดูเลเตอร์เปรียบเทียบกับสัญญาณเมื่อผ่านวงจรกรองความถี่ต่ำผ่าน



รูปที่ 4.21 แสดงสัญญาณเอาท์พุทของเดลต้าดีมอดูเลเตอร์ช่องที่ 1 เปรียบเทียบกับช่องที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่านของช่องที่ 1 เปรียบเทียบกับช่องที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุป และวิจารณ์

จากการทดลอง ทางด้านเครื่องส่งสามารถเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลได้ด้วยเทคนิคเดลต้ามอดูเลชัน ซึ่งอัตราการแปลงสัญญาณสามารถกำหนดโดยความถี่ของสัญญาณนาฬิกา ความถี่ของสัญญาณนาฬิกาทั้งทางด้านส่ง และด้านรับจะต้องเท่ากันเพื่อที่จะสามารถแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาล็อกได้อย่างถูกต้อง สัญญาณควบคุม และสัญญาณข้อมูลของช่องที่ 1 ถึง 4 จะถูกมัลติเพล็กซ์รวมกันไปเข้าสู่วงจรแอมปลิจูดชิฟคีย์อิ้ง เพื่อมอดูเลตกับคลื่นพาห์ความถี่ 27 MHz เนื่องจากวงจรออสซิลเลเตอร์ต้องมีเสถียรภาพสูงจึงจำเป็นต้องมีวงจรบัฟเฟอร์ก่อนเข้าสู่ไอซีเบอร์ MC1496 ที่ใช้เป็น AM มอดูเลเตอร์ สัญญาณที่ถูกมอดูเลตแล้วจะถูกขยายด้วยวงจรขยายกำลังแบบเลือกความถี่โดยสามารถปรับเลือกให้สัญญาณเอาต์พุตมีขนาดสูงสุดด้วยขดลวดเหนี่ยวนำ และเพราะต้องการประสิทธิภาพของการส่งสูงจึงเลือกใช้วงจรขยายกำลังแบบคลาสซีส่งออกอากาศ

ทางเครื่องรับจะมีวงจรขยายสัญญาณ เนื่องจากสัญญาณที่รับได้มีแรงดันต่ำ แล้วจึงผ่านเข้าสู่วงจรไดโอดดีเทกเตอร์เพื่อให้ได้ข้อมูลกลับมา แต่สัญญาณที่ได้มีสัญญาณรบกวนความถี่สูงอยู่มาก เราจึงต้องใช้วงจรกรองความถี่ต่ำผ่านกรองสัญญาณข้อมูลอีกครั้งหนึ่ง ในการแยกข้อมูลที่รับได้ว่าเป็น 1 หรือ 0 เราจะใช้วงจรเปรียบเทียบแรงดัน สัญญาณควบคุมมีความกว้างของพัลส์มากกว่าสัญญาณข้อมูลสองเท่า ฉะนั้นในการตรวจจับความแตกต่างระหว่างสัญญาณควบคุม และสัญญาณข้อมูลจะสามารถใช้วงจรอินทิเกรเตอร์ และวงจรเปรียบเทียบแรงดันได้ แต่สัญญาณเอาต์พุตจากวงจรอินทิเกรเตอร์ไม่สามารถส่งผ่านไปยังวงจรในส่วนถัดไปได้ จึงต้องใช้วงจรบัฟเฟอร์ก่อนส่งสัญญาณเข้าวงจรเปรียบเทียบแรงดัน เมื่อมีสัญญาณควบคุมเข้ามาก็จะเริ่มการผลิตสัญญาณนาฬิกาให้วงจรเดลต้าดีมอดูเลเตอร์ สัญญาณเอาต์พุตที่ได้จะมีสัญญาณรบกวนความถี่สูงอยู่ด้วย ซึ่งเราสามารถกำจัดสัญญาณรบกวนเหล่านี้ได้ด้วยวงจรกรองความถี่ต่ำผ่าน

ค่าของอุปกรณ์ต่าง ๆ ที่ใช้ในวงจรจะมีการเปลี่ยนแปลงไปจากทฤษฎีที่คำนวณได้ เนื่องจากค่าความผิดพลาดของอุปกรณ์ จึงต้องทำการเปลี่ยนค่าอุปกรณ์ให้เหมาะสม และให้ได้ผลการทดลองที่ถูกต้องเป็นไปตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC34115/D

MOTOROLA

MC34115

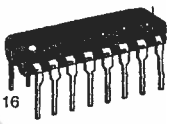
Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC34115 CVSD is designed for speech synthesis and commercial telephone applications. A single IC provides both encoding and decoding functions.

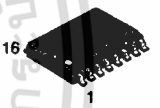
- Encode and Decode Functions Selectable with a Digital Input
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- 3–Bit Algorithm

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

SEMICONDUCTOR TECHNICAL DATA

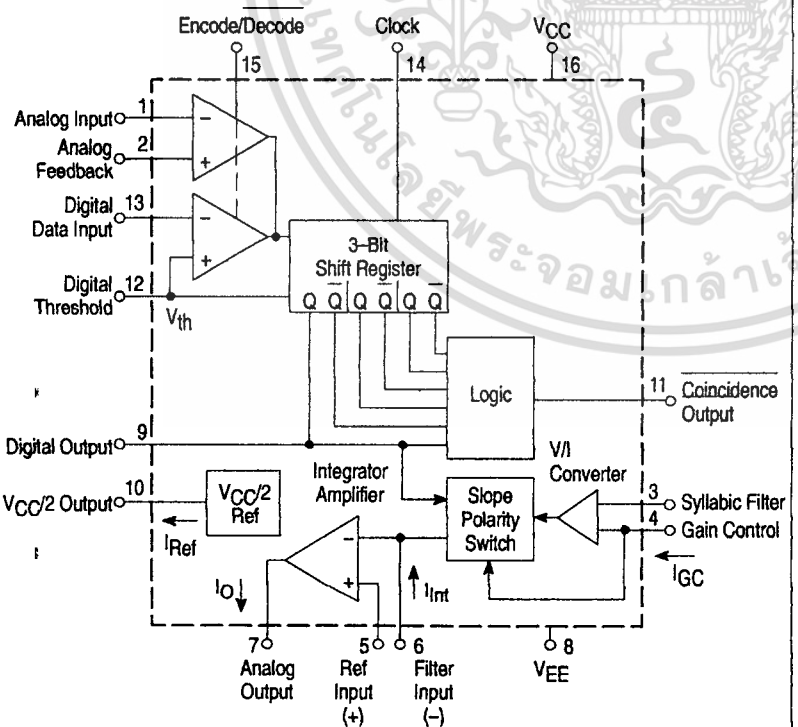


P SUFFIX
PLASTIC PACKAGE
CASE 648



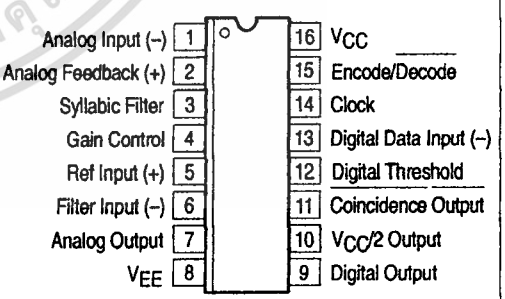
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

CVSD Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC34115P	T_A = 0° to +70°C	Plastic DIP
MC34115DW		SO–16L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996

Rev 1

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.) (Note 2)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	–0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{th}	–0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	V_{Logic}	–0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	–0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	–0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	–0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2$ – 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	–25	mA
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature	T_J	+150	°C
Storage Temperature Range	T_{stg}	–55 to +125	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0° to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CC}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}				mA
V_{CC} = 5.0 V		–	4.6	7.5	
V_{CC} = 15 V		–	7.0	12	
Clock Rate	SR	–	16 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3)	I_{IB}				µA
Comparator in Active Region					
Analog Input (I1)		–	0.5	2.5	
Analog Feedback (I2)		–	0.5	2.5	
Syllabic Filter Input (I3)		–	0.06	0.5	
Reference Input (I5)		–	–0.06	–0.5	
Input Offset Current	I_{IO}				µA
Comparator in Active Region					
Analog Input/Analog Feedback |I1 – I2| (Figure 3)		–	0.15	0.8	
Integrator Amplifier |I5 – I6| (Figure 4)		–	0.02	0.2	
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	10	mV
Transconductance	gm				mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	
Integrator Amplifier, 0 to +5.0 mA Load		1.0	10	–	

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Devices should not be operated at these values. The "Electrical Characteristics" provide conditions for actual device operation.
3. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 16 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0° to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Times (Note 1)					µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	3.0	
C_L = 25 pF to Gnd	t_{PHL}	–	0.8	3.0	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.5	
C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	t_{PHL}	–	0.8	2.5	
Coincidence Output Voltage – Low Logic Stage ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	Vdc
Coincidence Output Leakage Current – High Logic State (V_{OH} = 15 V)	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{th}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current	$I_{I(th)}$				µA
1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V					
V_{IL} Applied to Pins 13, 14 and 15		–	–	5.0	
V_{IH} Applied to Pins 13, 14 and 15		–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	–10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	εr	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)					Vdc
Low Logic State	V_{IL}	V_{EE}	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	16.5	
Dynamic Total Loop Offset Voltage (Note 3) (Figures 3, 4 and 5)	ΣV_{offset}				mV
I_{GC} = 33 µA, V_{CC} = 12 V					
T_A = 25°C		–	±2.5	±7.0	
0°C ≤ T_A ≤ +70°C		–	±3.0	±10	
I_{GC} = 33 µA, V_{CC} = 5.0 V					
T_A = 25°C		–	±4.0	±8.0	
0°C ≤ T_A ≤ +70°C		–	±4.5	±12	
Digital Output Voltage (Pin 9)					Vdc
I_{OL} = 3.6 mA	V_{OL}	–	0.1	0.4	
I_{OH} = –0.35 mA	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	$\lvert I_{Int} \rvert$				
I_{GC} = 12 µA		8.0	10	12	µA
I_{GC} = 1.5 mA		1.4	1.5	1.6	mA
I_{GC} = 3.0 mA		2.75	3.0	3.25	mA
Dynamic Integrating Current Match (Figure 6) (I_{GC} = 1.5 mA)	$V_{O(Ave)}$	–	±100	±300	mV
Input Current – High Logic State (V_{IH} = 16.5 V)	I_{IH}				µA
Digital Data Input		–	–	5.0	
Clock Input		–	–	5.0	
Encode/Decode Input		–	–	5.0	
Input Current – Low Logic State (V_{IL} = 0 V)	I_{IL}				µA
Digital Data Input		–10	–	–	
Clock Input		–360	–	–	
Encode/Decode Input		–36	–	–	
Clock Input, V_{IL} = 0.4 V		–72	–	–	

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Devices should not be operated at these values. The "Electrical Characteristics" provide conditions for actual device operation.
3. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 16 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITION AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit, Pin 2 is not used and may be tied to $V_{CC}/2$ at Pin 10 or ground.

The analog input comparator has bias currents of 2.5 µA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V–I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/µs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 – Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit, it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should typically be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/µs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 µF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – $\overline{\text{Coincidence}}$ Output

The coincidence output will be low whenever the content of the internal 3–bit shift register is all 1s or all 0s. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is R_SC_S while the decay constant is $(R_S + R_P)C_S$. Thus, longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Typically it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit a signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 µs before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 16 k bit rate requires a 16 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 – Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 – V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

Figure 1. Power Supply Current

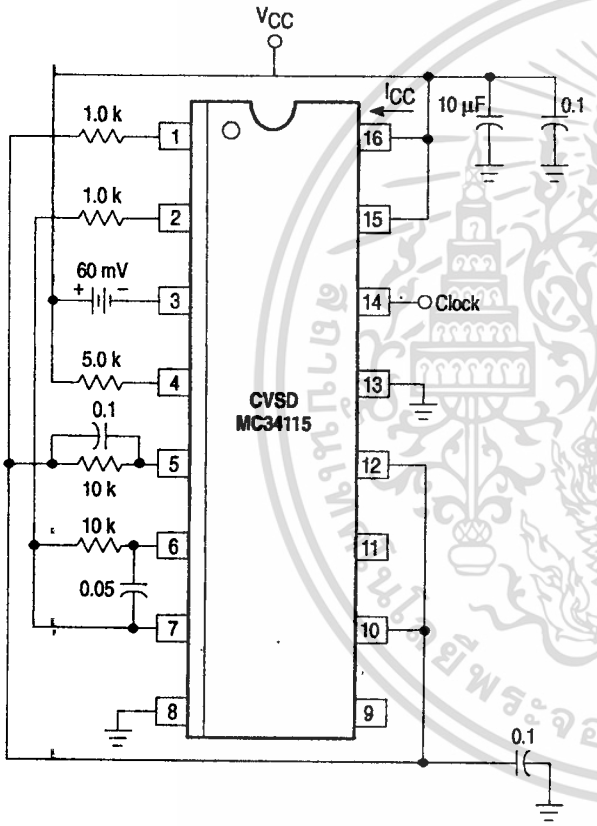
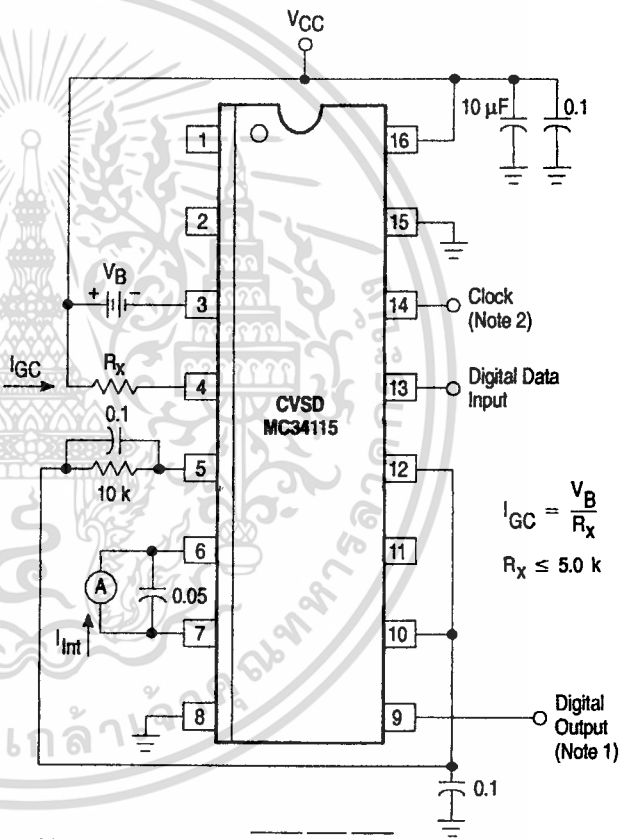


Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current



NOTES: 1. Digital Output = $\overline{\text{Digital Data Input}}$
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

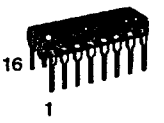
MC74HC4017

Decade Counter
High–Performance Silicon–Gate CMOS

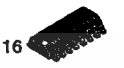
The MC74HC4017 is identical in pinout to the standard CMOS MC14017B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4017 uses a five stage Johnson counter and decoding logic to provide high–speed operation. This device also has an active–high, as well as active–low clock input.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 176 FETs or 44 Equivalent Gates



N SUFFIX
PLASTIC PACKAGE
CASE 648–08

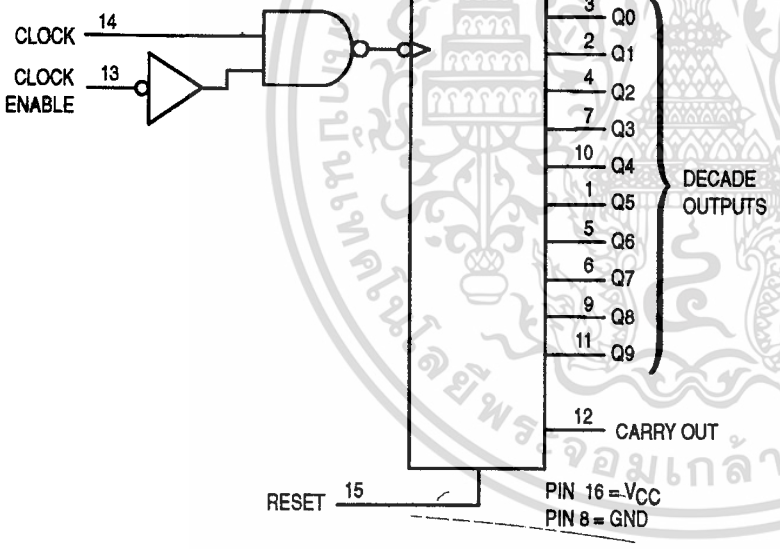


D SUFFIX
SOIC PACKAGE
CASE 751B–05

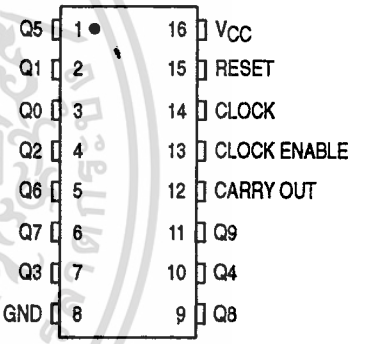
ORDERING INFORMATION

MC74HCXXXXN	Plastic
MC74HCXXXXD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1995

MOTOROLA

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air Plastic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package)	260	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 9)	2.0 4.5 6.0	4.0 20 24	3.2 16 19	2.6 13 15	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Carry Out (Figures 2 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}	Maximum Propagation Delay, Reset to Carry Out (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Q (Figures 4 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Carry Out (Figures 5 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 8 and 9)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	35	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)t

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Clock Enable to Clock (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{su}	Minimum Setup Time, Clock Enable to Clock (Inhibit Count) (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to Clock Enable (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{rec}	Minimum Recovery Time, Reset to Clock (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock Input (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset Input (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Clock Enable Input (Figure 4)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

FUNCTION TABLE

Clock	Clock Enable	Reset	Output State*
L	X	L	no change
X	H	L	no change
X	X	H	reset counter, Q0 = H, Q1–Q9 = L, C0 = H
↗	L	L	advance to next state
↘	X	L	no change
X	↗	L	no change
H	↘	L	advance to next state

X = Don't care

* Carry Out = H for Q0, Q1, Q2, Q3, or Q4 = H; Carry Out = L otherwise.

PIN DESCRIPTIONS

INPUTS

Clock (Pin 14)

Counter clock input. While Clock Enable is low, a low–to–high transition on this input advances the counter to its next state.

Reset (Pin 15)

Asynchronous counter reset input. A high level at this input initializes the counter and forces Q0 and Carry Out to a high, Q1–Q9 are forced to a low level.

Clock Enable (Pin 13)

Active–low clock enable input. A low level on this input allows the device to count. A high level on this input inhibits the counting operation. This input may also be used as a negative–edge clock input. using Clock (Pin 14) as an active–high enable pin.

OUTPUTS

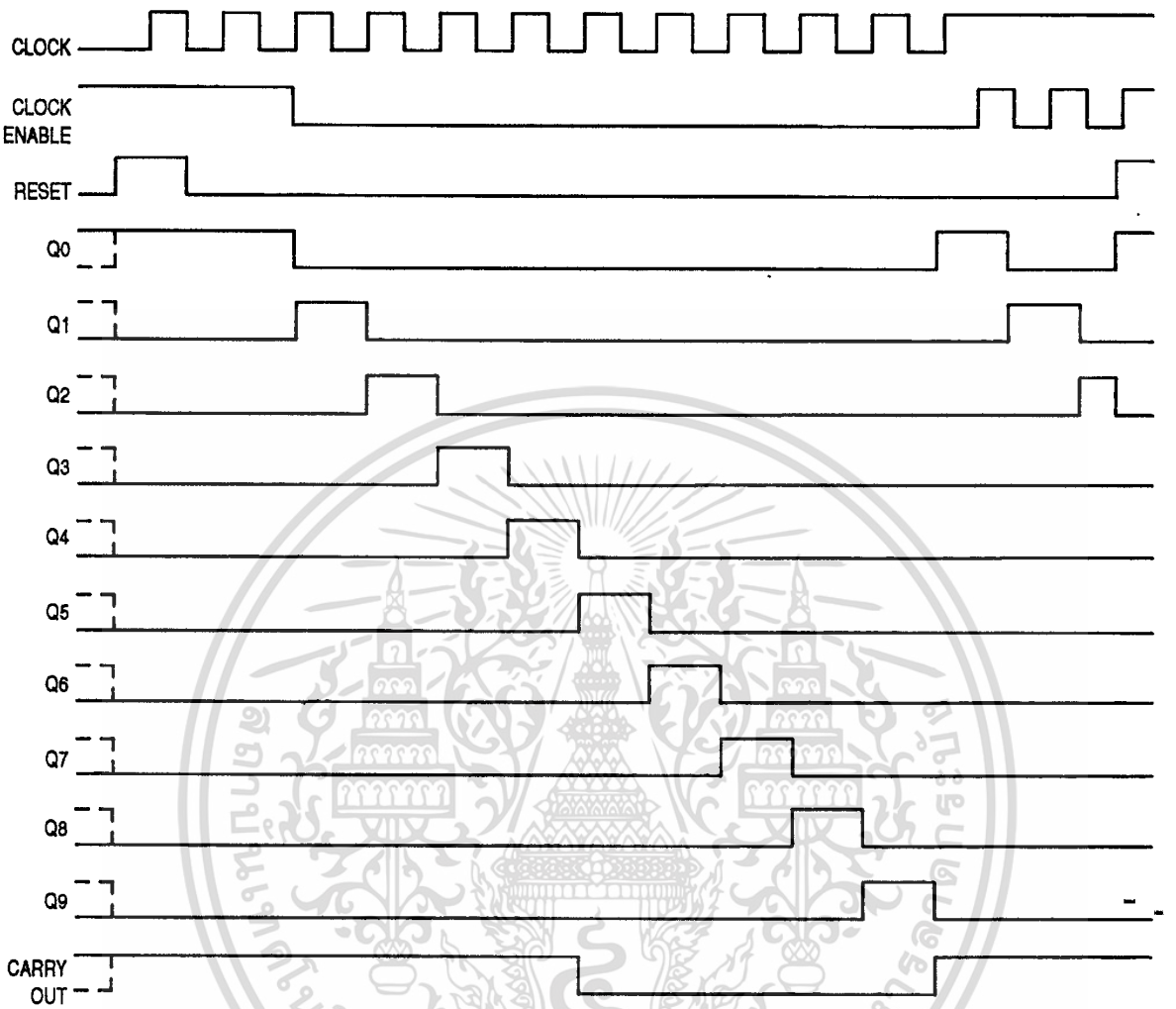
Q0–Q9 (Pins 3, 2, 4, 7, 10, 1, 5, 6, 9, 11)

Decoded decade counter outputs. Each of these outputs is high for one clock period only.

Carry Out (Pin 12)

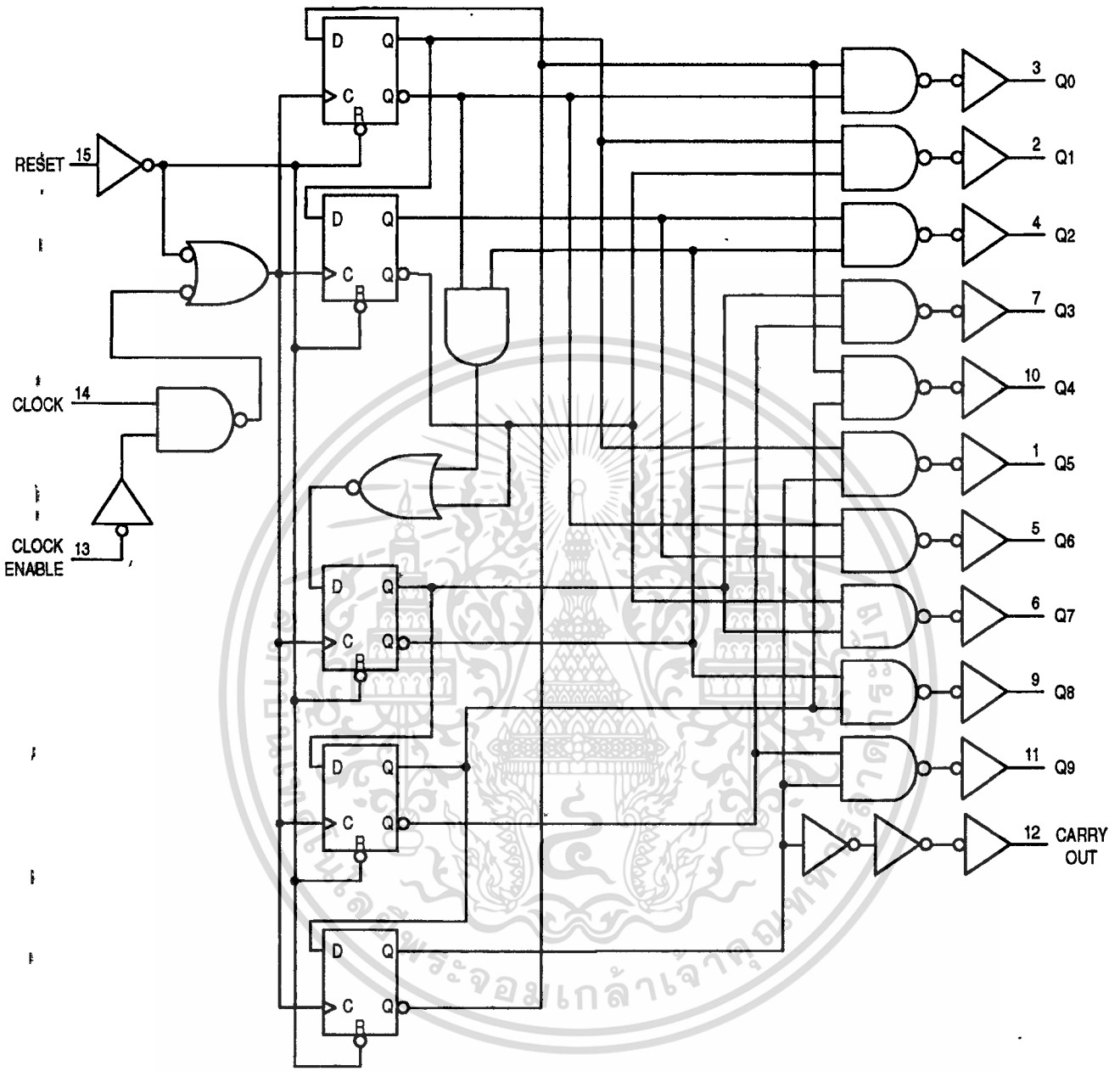
Cascading output pin. This output is used either as a cascading output or a symmetrical divide–by–ten output. This output goes low when a count of five is reached and high when the counter advances to zero or when reset. When the counters are cascaded this output provides a rising–edge signal for the clock input of the next counter stage.

TIMIING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC4066A

Product Preview

Quad Analog Switch/ Multiplexer/Demultiplexer

High–Performance Silicon–Gate CMOS

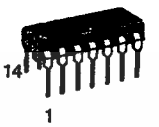
The MC54/74HC4066A utilizes silicon–gate CMOS technology to achieve fast propagation delays, low ON resistances, and low OFF–channel leakage current. This bilateral switch/multiplexer/demultiplexer controls analog and digital voltages that may vary across the full power–supply range (from V_{CC} to GND).

The HC4066A is identical in pinout to the metal–gate CMOS MC14016 and MC14066. Each device has four independent switches. The device has been designed so that the ON resistances (R_{ON}) are much more linear over input voltage than R_{ON} of metal–gate CMOS analog switches.

This device is identical in both function and pinout to the HC4016A. The ON/OFF control inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs. For analog switches with voltage–level translators, see the HC4316A.

- Fast Switching and Propagation Speeds
- High ON/OFF Output Voltage Ratio
- Low Crosstalk Between Switches
- Diode Protection on All Inputs/Outputs
- Wide Power–Supply Voltage Range (V_{CC} – GND) = 2.0 to 12.0 Volts
- Analog Input Voltage Range (V_{CC} – GND) = 2.0 to 12.0 Volts
- Improved Linearity and Lower ON Resistance over Input Voltage than the MC14016 or MC14066 or HC4016A
- Low Noise
- Chip Complexity: 44 FETs or 11 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08



N SUFFIX
PLASTIC PACKAGE
CASE 646–06

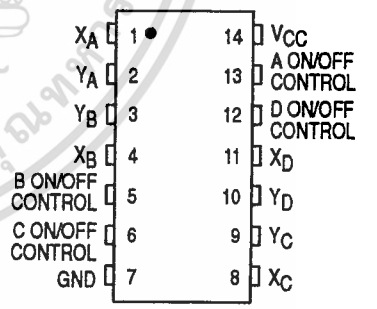
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

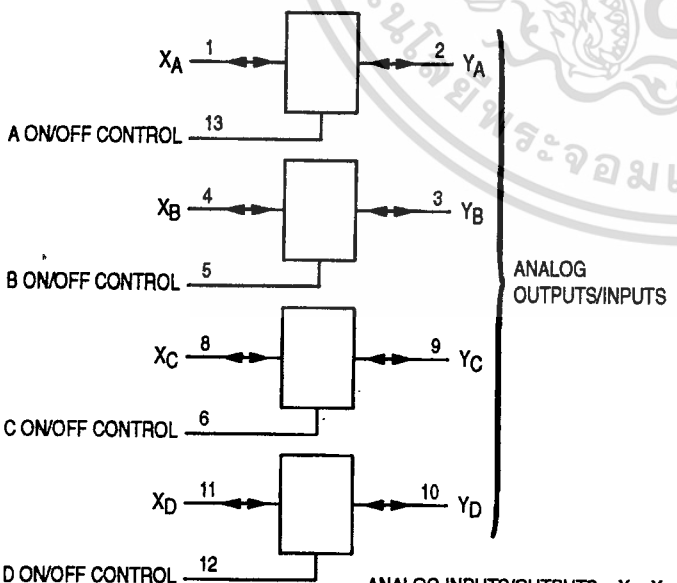
ORDERING INFORMATION

MC54HCXXXXAJ	Ceramic
MC74HCXXXXAN	Plastic
MC74HCXXXXAD	SOIC
MC74HCXXXXADT	TSSOP

PIN ASSIGNMENT



LOGIC DIAGRAM



ANALOG INPUTS/OUTPUTS = X_A, X_B, X_C, X_D
PIN 14 = V_{CC}
PIN 7 = GND

FUNCTION TABLE

On/Off Control Input	State of Analog Switch
L	Off
H	On

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

© Motorola, Inc. 1995

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	Positive DC Supply Voltage (Referenced to GND)	− 0.5 to + 14.0	V
V_{IS}	Analog Input Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
V_{in}	Digital Input Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I	DC Current Into or Out of Any Pin	± 25	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC or TSSOP Package) (Ceramic DIP)	 260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
Ceramic DIP: − 10 mW/°C from 100° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C
TSSOP Package: − 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open. I/O pins must be connected to a properly terminated line or bus.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V_{CC}	Positive DC Supply Voltage (Referenced to GND)	2.0	12.0	V
V_{IS}	Analog Input Voltage (Referenced to GND)	GND	V_{CC}	V
V_{in}	Digital Input Voltage (Referenced to GND)	GND	V_{CC}	V
V_{IO}*	Static or Dynamic Voltage Across Switch	—	1.2	V
T_A	Operating Temperature, All Package Types	− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time, ON/OFF Control Inputs (Figure 10) V_{CC} = 2.0 V V_{CC} = 3.0 V V_{CC} = 4.5 V V_{CC} = 9.0 V V_{CC} = 12.0 V	 0 0 0 0 0	 1000 600 500 400 250	ns

* For voltage drops across the switch greater than 1.2 V (switch on), excessive V_{CC} current may be drawn; i.e., the current out of the switch may contain both V_{CC} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded.

DC ELECTRICAL CHARACTERISTIC Digital Section (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				− 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Voltage ON/OFF Control Inputs	R_{on} = Per Spec	2.0 3.0 4.5 9.0 12.0	1.5 2.1 3.15 6.3 8.4	1.5 2.1 3.15 6.3 8.4	1.5 2.1 3.15 6.3 8.4	V
V_{IL}	Maximum Low–Level Voltage ON/OFF Control Inputs	R_{on} = Per Spec	2.0 3.0 4.5 9.0 12.0	0.5 0.9 1.35 2.7 3.6	0.5 0.9 1.35 2.7 3.6	0.5 0.9 1.35 2.7 3.6	V
I_{in}	Maximum Input Leakage Current ON/OFF Control Inputs	V_{in} = V_{CC} or GND	12.0	± 0.1	± 1.0	± 1.0	µA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND V_{IO} = 0 V	6.0 12.0	2 4	20 40	40 160	µA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

DC ELECTRICAL CHARACTERISTICS Analog Section (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
R_{on}	Maximum "ON" Resistance	$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ to GND $I_S \leq 2.0$ mA (Figures 1, 2)	2.0† 3.0† 4.5 9.0 12.0	— — 120 70 70	— — 160 85 85	— — 200 100 100	Ω
		$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ or GND (Endpoints) $I_S \leq 2.0$ mA (Figures 1, 2)	2.0 3.0 4.5 9.0 12.0	— — 70 50 30	— — 85 60 60	— — 100 80 80	
ΔR_{on}	Maximum Difference in "ON" Resistance Between Any Two Channels in the Same Package	$V_{in} = V_{IH}$ $V_{IS} = 1/2$ (V_{CC} – GND) $I_S \leq 2.0$ mA	2.0 4.5 9.0 12.0	— 20 15 15	— 25 20 20	— 30 25 25	Ω
I_{off}	Maximum Off–Channel Leakage Current, Any One Channel	$V_{in} = V_{IL}$ $V_{IO} = V_{CC}$ or GND Switch Off (Figure 3)	12.0	0.1	0.5	1.0	μA
I_{on}	Maximum On–Channel Leakage Current, Any One Channel	$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ or GND (Figure 4)	12.0	0.1	0.5	1.0	μA

†At supply voltage (V_{CC}) approaching 3 V the analog switch–on resistance becomes extremely non–linear. Therefore, for low–voltage operation, it is recommended that these devices only be used to control digital signals.

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, ON/OFF Control Inputs: $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Analog Input to Analog Output (Figures 8 and 9)	2.0 3.0 4.5 9.0 12.0	40 30 5 5 5	50 40 7 7 7	60 50 8 8 8	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, ON/OFF Control to Analog Output (Figures 10 and 11)	2.0 3.0 4.5 9.0 12.0	80 60 20 20 20	90 70 25 25 25	110 80 35 35 35	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, ON/OFF Control to Analog Output (Figures 10 and 1 1)	2.0 3.0 4.5 9.0 12.0	80 45 20 20 20	90 50 25 25 25	100 60 30 30 30	ns
C	Maximum Capacitance — ON/OFF Control Input	—	10	10	10	pF
	Control Input = GND Analog I/O Feedthrough	— —	35 1.0	35 1.0	35 1.0	

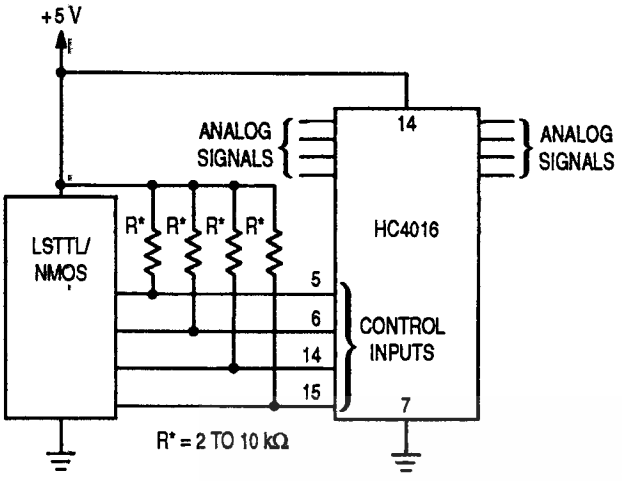
NOTES:

1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

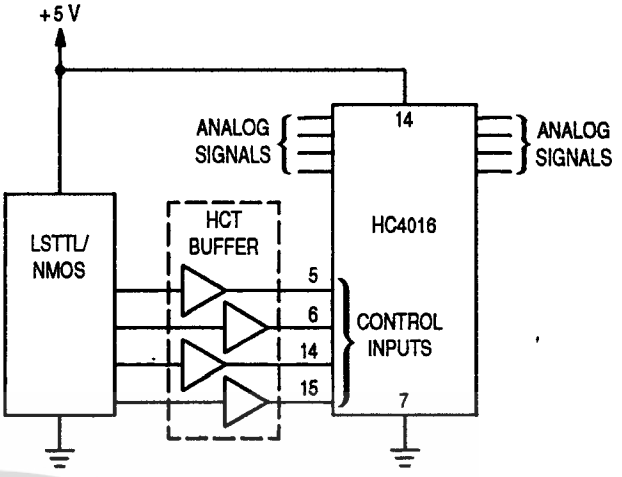
		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Switch) (Figure 13)*	15	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a. Using Pull-Up Resistors



b. Using HCT Buffer

Figure 18. LSTTL/NMOS to HCMOS Interface

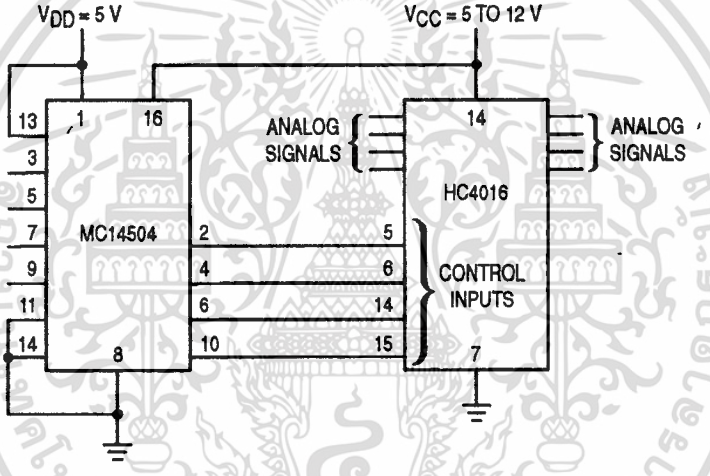


Figure 19. TTL/NMOS–to–CMOS Level Converter Analog Signal Peak–to–Peak Greater than 5 V (Also see HC4316A)

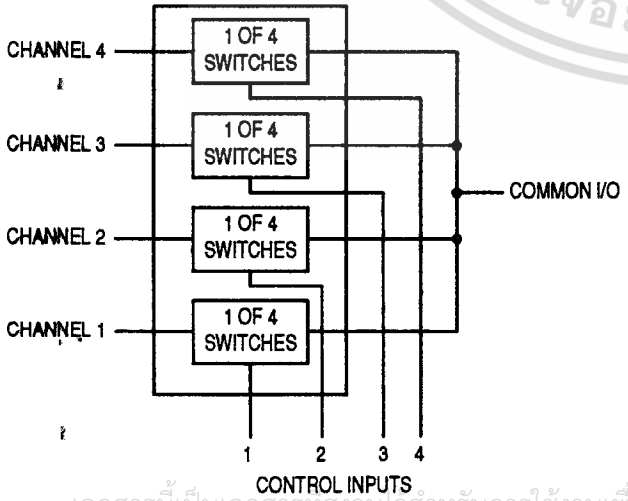


Figure 20. 4–Input Multiplexer

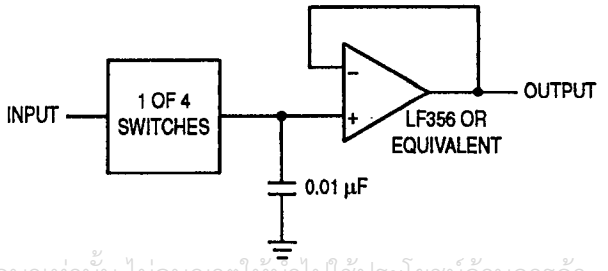


Figure 21. Sample/Hold Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

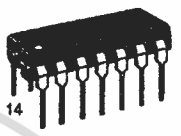
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

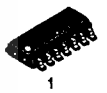
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

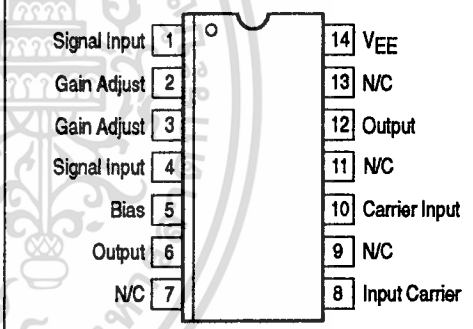


D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646



PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

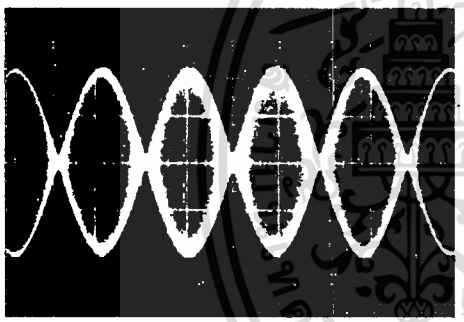


Figure 1. Suppressed Carrier Output Waveform

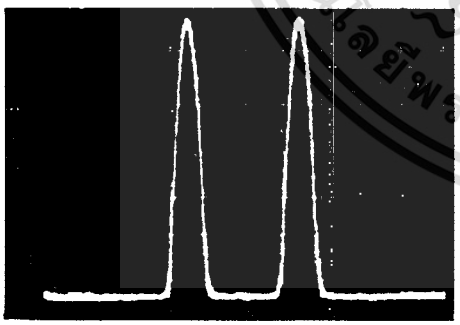


Figure 2. Suppressed Carrier Spectrum

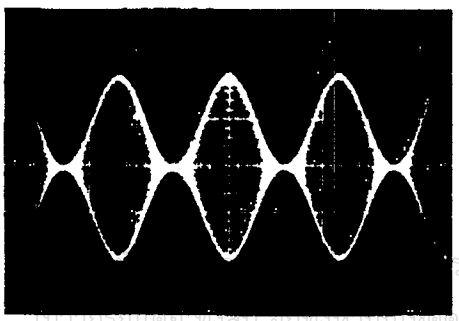
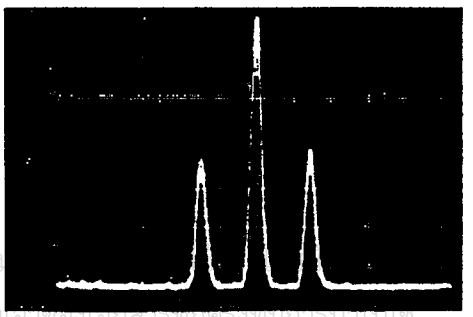


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and f_C = 1.0 kHz				–	40	–	
offset adjusted to zero f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $\|I_{ioC}\|$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg| V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg| V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

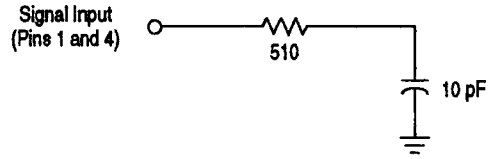
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

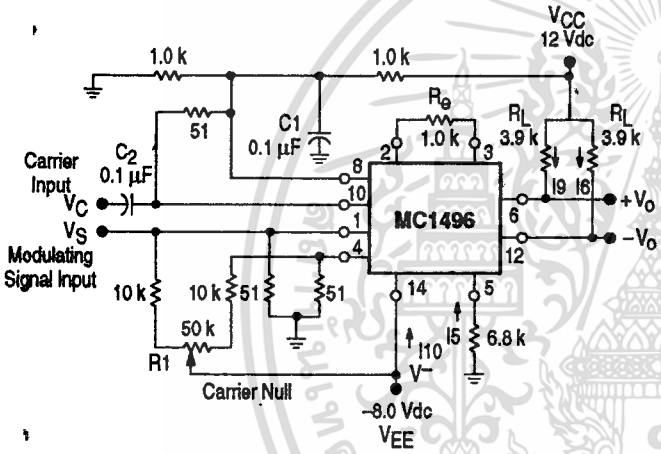
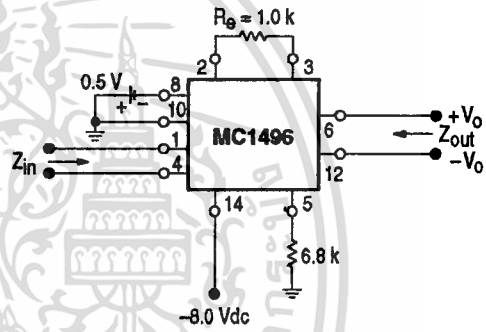


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

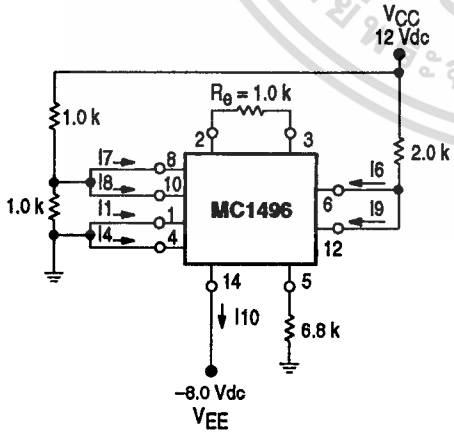
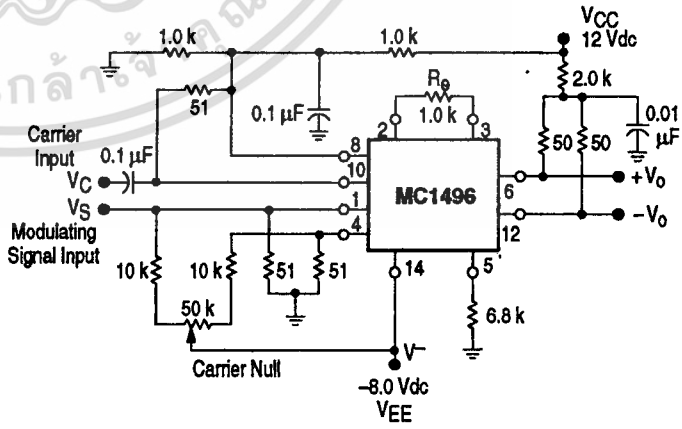


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

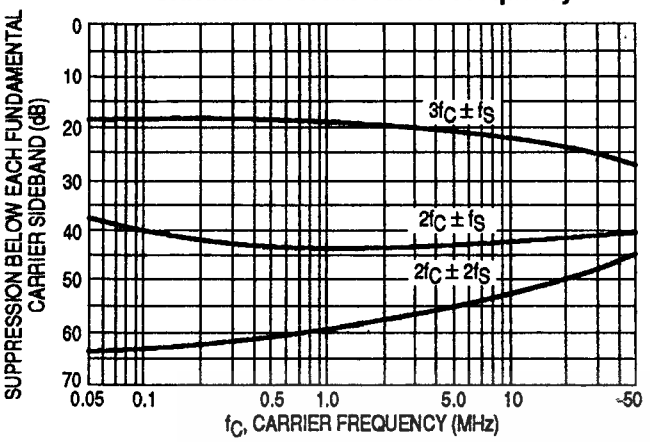
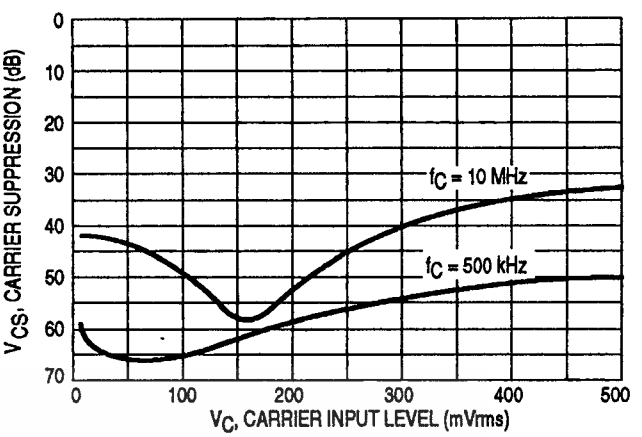


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal–handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

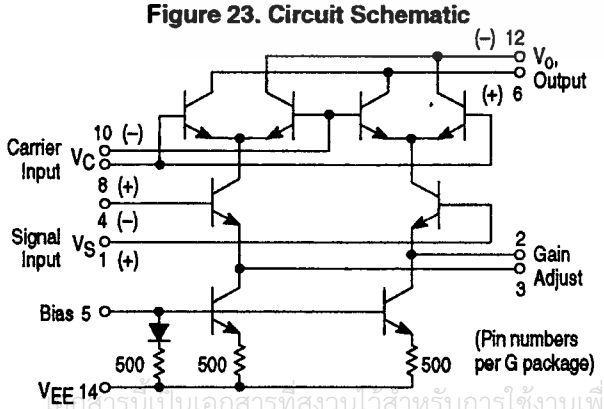
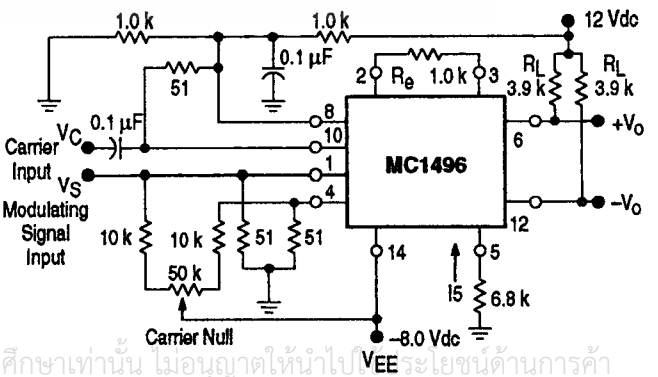


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$r_e \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

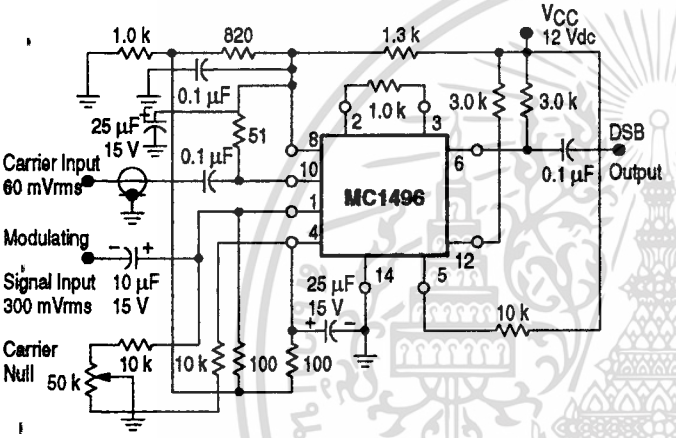


Figure 27. Balanced Modulator–Demodulator

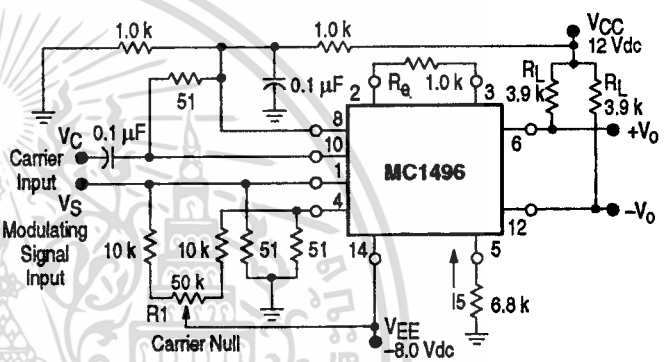


Figure 28. AM Modulator Circuit

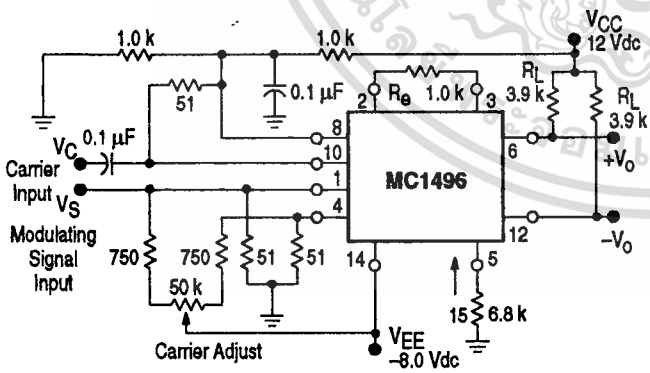
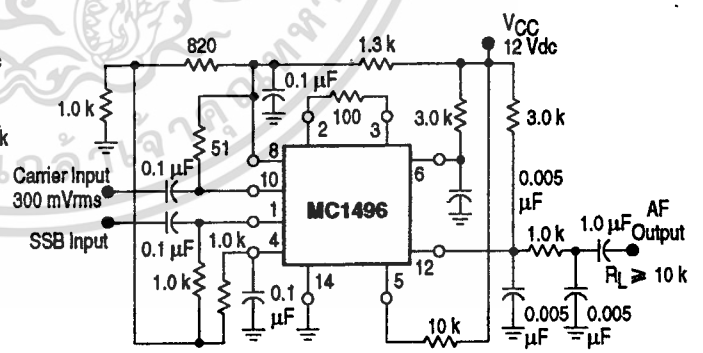
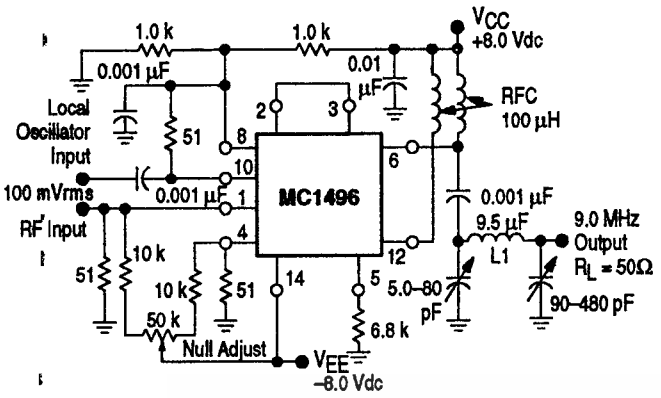


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

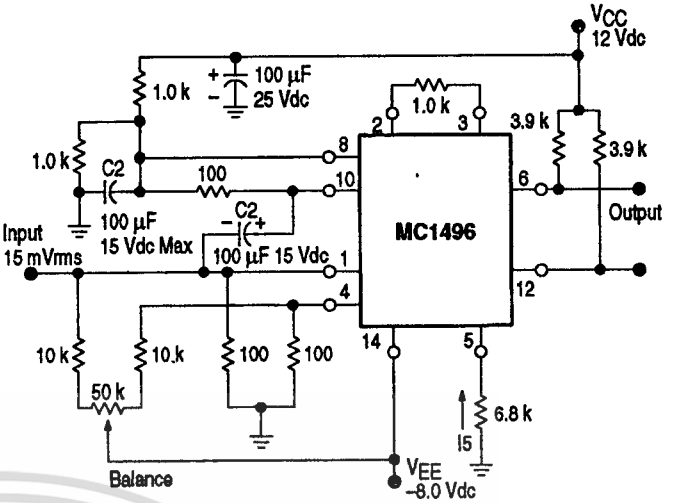
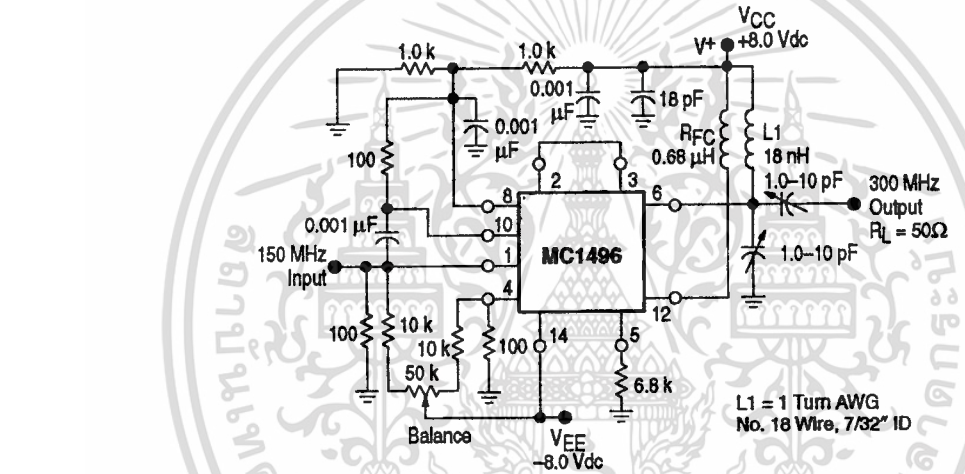
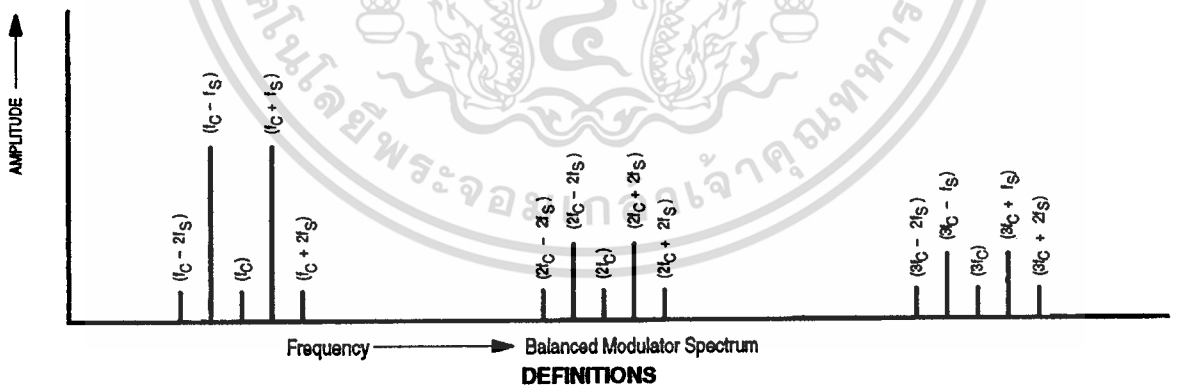


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.ดร.วิวัฒน์ กิรานนท์ สำหรับคำแนะนำ และข้อชี้แนะต่างๆ ที่ท่านมีให้ทั้งทางด้านวิชาการ และทางด้านการดำเนินงานต่าง ๆ คำแนะนำทั้งหมดนั้นผู้จัดทำจะขอนำไปปฏิบัติเพื่อให้เกิดประโยชน์ยิ่งขึ้นไป ผู้จัดทำหวังเป็นอย่างยิ่งว่าจะได้รับใช้อาจารย์ต่อไปเรื่อย ๆ และฝากความห่วงใยในสุขภาพของอาจารย์ และครอบครัวด้วยนะคะ

ขอขอบพระคุณอาจารย์ที่ปรึกษาร่วมทั้งสองท่าน ดร.ปราโมทย์ วาดเขียน และอาจารย์วิภา แสงพิสิษฐ์ สำหรับความเอาใจใส่ ดูแลอย่างเต็มที่มาตลอด ทั้งคำแนะนำ คำสั่งสอนผู้จัดทำทราบซึ้งอย่างยิ่งที่ท่านเสียสละเวลาเพื่อให้โครงงานนี้สำเร็จ

ขอขอบพระคุณอาจารย์ทองทด วาณิชศรี สำหรับคำแนะนำที่เสมือนเป็นเทียนส่องชี้นำทาง ทำให้โครงงานชิ้นนี้ลุล่วงไปได้

ขอขอบพระคุณบิดา มารดาที่ให้กำลังใจ และคอยเป็นห่วงเป็นใยในทุกเรื่อง รวมทั้งความเข้าใจในการทำงานอันยาวนานครั้งนี้ ขออภัยสำหรับความบกพร่องในการดูแลทุกท่านในช่วงที่ผ่านมา เราจะพยายามทำทุกอย่างให้สมกับความหวังดีที่ท่านตั้งใจมอบให้

คุณวิศิษฎ์ รัตนชัยฤทธิ์...เพียงหน้ากระดาษแผ่นนี้ คงมิอาจใช้บรรยายได้ทั้งหมด ถึงความมีน้ำใจที่ท่านมีอีกทั้งความหวังดีที่ให้ โครงงานของเราคงมิอาจสำเร็จถึงขั้นนี้ได้หากปราศจากตัวท่านที่ให้ความช่วยเหลือในทุกด้านเสมอมา ผู้จัดทำทั้งสองมิอาจหาสิ่งใดที่มีค่าเพียงพอตอบแทนท่านได้ทั้งหมด ผู้จัดทำจึงขอเอ่ยไว้ณ. ที่นี้ว่า... ขอบคุณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] มนัส สังวรศิลป์, สมเกียรติ ศุภเดช, "ทฤษฎี และการออกแบบวงจรพัลส์," กรุงเทพฯ, อิเลคทรอนิคส์เวิลด์, 2524

[2] ยืน ภู่วรวรรณ, "เทคนิคการประยุกต์ และการใช้งานลิเนียร์ไอซี เล่ม 1," กรุงเทพฯ, ซีเอ็ดยูเคชั่น, 2521

[3] ยืน ภู่วรวรรณ, "ทฤษฎี และการใช้งานอิเลคทรอนิคส์ เล่ม 2," กรุงเทพฯ, ซีเอ็ดยูเคชั่น, 2521

[4] ยืน ภู่วรวรรณ, "ทฤษฎี และการใช้งานอิเลคทรอนิคส์ เล่ม 3," กรุงเทพฯ, ซีเอ็ดยูเคชั่น, 2521

[5] สิทธิชัย โภไคยอุดม, "วงจรขยายสัญญาณโอเปอร์เรชั่นแนล," กรุงเทพฯ, บริษัทสำนักพิมพ์ดวงกมล จำกัด, 2522

[6] โคทม อารียา, "วงจรอิเล็กทรอนิกส์ เล่ม 3:วงจรไม่เป็นเชิงเส้น และวงจรกำลัง," กรุงเทพฯ, ซีเอ็ดยูเคชั่น, 2530

[7] สุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุ และระบบวิทยุสื่อสาร," กรุงเทพฯ,ซีเอ็ดยูเคชั่น, 2538

[8] Van Valkenburg, "Analog Filter Design," U.S.A., Holt, Rinchart and Winston, 1982

[9] Frank F.E. Owen, "PCM and Digital Transmission Systems," U.S.A., Texas Instruments Electronic Series, 1982

[10] Herbert Taub, Donald L. Schilling, "Principles of Communication Systems," U.S.A., McGraw-Hill Kogakusha, Ltd. 1984

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้