การมัลติเพล็กซ์สัญญาณในระบบดิจิตอล

DIGITAL MULTIPLEXING

โดย

นายนรสิงห์ คณิวิชาภรณ์ 37014187

นายอธิภู มงคลขจิต 37014550

วัน เดือน ปี 17 ก.ค. 2541
เลขทะเบียน 039058
เลขเรียกหนังสือ T 10199 น 225ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039058

การมัลติเพล็กซ์สัญญาณในระบบดิจิตอล

DIGITAL MULTIPLEXING

โดย

นายนรสิงห์ คณิวิชาภรณ์

นายอธิภู มงคลขจิต

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมัลติเพล็กซ์สัญญาณในระบบดิจิตอล

DIGITAL MULTIPLEXING

โดย

นายนรสิงห์ คณิวิชาภรณ์ 37014187

นายอธิภู มงคลขจิต 37014550

อาจารย์ที่ปรึกษา

รศ.ดร.วิวัฒน์ กิรานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การมัลติเพล็กสัญญาณในระบบดิจิตอล

DIGITAL MUTIPLEXING

ผู้จัดทำ

1. นาย นรสิงห์ คณิวิชาภรณ์ 37014187

2. นาย อธิภู มงคลขจิต 37014550

อาจารย์ที่ปรึกษา

(รศ.ดร. วิวัฒน์ กิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมัลติเพล็กซ์สัญญาณในระบบดิจิตอล

Digital Multiplexing

โดย นายนรสิงห์ คณิวิชาภรณ์ 37014187
นายอธิภู มงคลขจิต 37014550

อาจารย์ที่ปรึกษา รศ.ดร.วิวัฒน์ กิรานนท์

บทคัดย่อ

ในระบบการสื่อสารแบบดิจิตอลมัลติเพล็กเซอร์ เราจะแบ่งออกเป็นภาคส่งและภาครับ โดยภาคส่งจะเริ่มจากทำการส่งสัญญาณอนาลอกเข้าไปที่ส่วนเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล จากนั้นจะเข้าสู่ตัวมัลติเพล็กเซอร์ซึ่งจะทำงานด้วยระบบมัลติเพล็กซ์แบบแบ่งเวลา ซึ่งเราก็จะได้เอาต์พุตของฝั่งส่งออกมาซึ่งเป็นสัญญาณดิจิตอลที่มัลติเพล็กซ์แล้วเพื่อส่งไปยังฝั่งรับ สำหรับฝั่งรับจะเริ่มต้นจากการดีมัลติเพล็กซ์สัญญาณออกมาเพื่อที่จะทำให้สัญญาณที่ได้ตรงกับช่องสัญญาณที่ต้องการ จากนั้นจะส่งไปยังตัวเปลี่ยนจากสัญญาณดิจิตอลเป็นอนาลอก จะได้สัญญาณอนาลอกเดิมที่เข้าไปที่อินพุตของฝั่งรับตามต้องการ นอกจากนั้นแล้วเพื่อที่จะได้ส่งข้อมูลได้ไกลขึ้นจะมีการใช้สัญญาณดิจิตอลที่มัลติเพล็กซ์แล้วเป็นสัญญาณเบสแบนด์ เพื่อทำการมอดูเลตเข้ากับสัญญาณคลื่นพาหะด้วยวิธีการฟรีเควนซี่ชิพคีย์อิ้ง ซึ่งความถี่ของสัญญาณที่ผ่านการมอดูเลทแล้วแปรตามขนาดของสัญญาณเบสแบนด์

ABTRACT

In digital multiplex system, we separate in two main parts, Transmitter and Receiver. In Transmitter, it begins with send original analog signal to transmit input and it changes to digital signal by A/D conversion. Next we send it to multiplex which is operate in Time Division Multiplex (TDM) which it gives digital output from Transmitter for transmit it to Receiver. Receiver begins with demultiplex which digital signal is according to channel it should be. Finally it send to Digital to Analog Converter (DAC) for receive original signal similar to transmit input signal. Furthermore in order to make the better transmission we will modulate the multiplex signal in technique of Frequency shift keying (FSK) which make the modulated signal have the frequency that adapt on the amplitude of baseband signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 การส่งสัญญาณอนาลอกเทียบกับสัญญาณดิจิตอล	2
2.1.1 การเปรียบเทียบความถี่	2
2.1.2 ทฤษฎีข้อมูล	2
2.1.3 ข้อได้เปรียบของการสื่อสารแบบดิจิตอล	3
2.1.4 ข้อเสียของการส่งสัญญาณแบบดิจิตอล	8
2.2 ตัวเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก	9
2.2.1 วงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกแบบทั่วไป	10
2.2.2 วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล	12
2.2.3 หลักการเบื้องต้นของระบบพัลส์โค้ดมอดูเลชั่น	13
2.3 การมัลติเพล็กซ์	25
2.3.1 บทนำ	25
2.3.2 การมัลติเพล็กซ์โดยการแบ่งตามความถี่	27
2.3.3 การมัลติเพล็กซ์โดยการแบ่งตามเวลา	29
2.4 การซิงโครไนซ์เซชั่น	34
2.4.1 ความหมายของการซิงโครไนซ์เซชั่น	34
2.5 การสื่อสารข้อมูลแบบดิจิตอล (การมอดูเลทสัญญาณดิจิตอล)	36
2.5.1 เกริ่นนำ	36
2.5.2 การสื่อสารแบบดิจิตอล	37
2.5.3 การกระจายสัญญาณด้วยวิธีทางดิจิตอล	38
2.6 เฟสล็อคลูป	54
2.6.1 การทำงานของเฟสล็อคลูป	54
2.6.2 การประยุกต์ใช้งานของเฟสล็อคลูป	59
2.7 มัลติไวเบรเตอร์	62
2.7.1 คุณลักษณะทั่วไป	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวณและการสร้าง 64
3.1 หลักการโดยรวม 64
3.2 ส่วนจัดการสัญญาณนาฬิกาส่วนมัลติเพล็กซ์และส่วนการแปลงสัญญาณ 64
3.2.1 การจัดการเฟรมข้อมูลดิจิตอล 64
3.3 ส่วนของวงจรมัลติเพล็กซ์ และดีมัลติเพล็กซ์ 66
3.3.1 หลักการออกแบบวงจรโดยรวม 66
3.3.2 TDM มัลติเพล็กเซอร์ 67
3.3.3 TDM ดีมัลติเพล็กเซอร์ 69
3.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 70
3.4.1 รายละเอียดทั่วไปของ PCM Codec/Filter Mono-circuit MC145500/01/02/03/05 70
3.4.2 รายละเอียดของอุปกรณ์ 72
3.4.3 รายละเอียดของขาไอซี 73
3.4.4 การทดสอบวงจร 76
3.5 ส่วนของการมอดูเลทและ ดีมอดูเลทแบบเอฟเอ็ม 77
3.5.1 ภาคมอดูเลทสัญญาณโดยใช้ชิพไอซี เบอร์ BA1404 77
3.5.2 ภาคดีมอดูเลทสัญญาณเอฟเอ็ม 78
3.6 วงจรรวมทั้งส่วนมัลติเพล็กซ์ ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และส่วนของการมอดูเลทสัญญาณ 79

บทที่4 ผลการทดลอง 84
4.1 การทดลองในส่วนของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ 66
4.2 การทดลองในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและแปลงสัญญาณดิจิตอลเป็นอนาลอก 90
4.3 ทำการทดลองในส่วนของการต่อวงจรในส่วนของ TDM รวมกับส่วนของการแปลงอนาลอกเป็นดิจิตอล 92
4.4 ผลการทดลองโดยป้อนสัญญาณอนาลอกสองช่องสัญญาณเข้าไปยังตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและส่งไปยังส่วนมัลติเพล็กซ์ 94
4.5 ผลการทดลองในส่วนของการมอดูเลตและดีมอดูเลตสัญญาณเอฟเอ็ม 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปและวิจารณ์ 100

ภาคผนวก

รายละเอียดข้อมูลของไอซี

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 2 ทฤษฎีและหลักการ

รูปที่ 2.1 การเปรียบเทียบย่านแบนด์วิดธ์ของความถี่ 2

รูปที่ 2.2 อิมพัลส์นอยส์ 5

รูปที่ 2.3 เฟสจิตเตอร์ 6

รูปที่ 2.4 แสดงบล็อกไดอะแกรมของตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล และดิจิตอลกลับเป็นอนาลอก 10

รูปที่ 2.5 แสดงสัญญาณอนาลอกที่ตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก 10

รูปที่ 2.6 ตัวเปลี่ยนดิจิตอลเป็นอนาลอกแบบ n บิต 11

รูปที่ 2.7 ตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลแบบมีการป้อนกลับ 13

รูปที่ 2.8 การเปลี่ยนสัญญาณอนาลอกไปเป็นสัญญาณแบบดิจิตอล 14

รูปที่ 2.9 สัญญาณอนาลอกมอดูเลตกับสัญญาณพัลส์จะได้สัญญาณพีซีเอ็ม 14

รูปที่ 2.10 แสดงแถบความถี่ของสัญญาณ PAM ซึ่งผ่านการสุ่มค่าแล้ว 15

รูปที่ 2.11 ผลของความถี่สัญญาณสุ่มค่าและสัญญาณอนาลอกต่อสัญญาณ PAM 15

รูปที่ 2.12 ความถี่ของสัญญาณสุ่มค่า 8 กิโลเฮิรตซ์สำหรับสัญญาณเสียง 16

รูปที่ 2.13 การแปลงสัญญาณ PAM ให้เป็นตัวเลข 17

รูปที่ 2.14 สัญญาณรบกวนที่เกิดขึ้นจากการแปลงตัวเลข 17

รูปที่ 2.15 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข 18

รูปที่ 2.16 การนำสัญญาณ PAM มาเข้ารหัส 18

รูปที่ 2.17 ระบบทวนสัญญาณแบบสร้างขึ้นใหม่ 19

รูปที่ 2.18 การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก 20

รูปที่ 2.19 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตและสัญญาณเสียงต่อสัญญาณรบกวน 20

รูปที่ 2.20 การแปลงตัวเลขแบบไม่สม่ำเสมอ 21

รูปที่ 2.21 อัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่แอมปลิจูดต่างกัน 21

รูปที่ 2.22 เปรียบเทียบผลของสัญญาณรบกวนจากการแปลงเป็นตัวเลข 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 ระดับค่าตัวเลขของการแปลงเป็นตัวเลขแบบสม่ำเสมอและการเปลี่ยนแปลงแบบไม่สม่ำเสมอ 22
รูปที่ 2.24 การแปลงตัวเลขแบบไม่สม่ำเสมอโดยใช้หลักของการอัดและขยาย 23
รูปที่ 2.25 คุณลักษณะของการอัดและการขยาย 23
รูปที่ 2.26 การอัดและการขยายแบบ A-law 24
รูปที่ 2.27 การอัดและการขยายแบบ μ-law 24
รูปที่ 2.28 ความสัมพันธ์ระหว่าง S/N_Q และการอัดการขยาย 25
รูปที่ 2.29 คอนเซพท์ของการมัลติเพล็กซ์ 26
รูปที่ 2.30 การส่งสัญญาณในระบบ FDM 28
รูปที่ 2.31 สเปคตรัมของสัญญาณ FDM 28
รูปที่ 2.32 เครื่องรับของระบบ FDM 29
รูปที่ 2.33 คอนเซพท์พื้นฐานของ TDM 29
รูปที่ 2.34 การแซมปลิ้งสัญญาณอนาลอกเพื่อจะผลิตสัญญาณ PAM 30
รูปที่ 2.35 Pulse Amplitude Modulator 31
รูปที่ 2.36 โรตารี่สวิตช์แบบง่าย ๆ 31
รูปที่ 2.37 ตัวมัลติเพล็กซ์ตามเวลากับสัญญาณ PAM 4 ช่อง 32
รูปที่ 2.38 วงจรกู้คล็อก PAM 33
รูปที่ 2.39 วงจรดีมัลติเพล็กซ์สัญญาณ PAM ที่สมบูรณ์ 34
รูปที่ 2.40 บล็อกไดอะแกรมอย่างย่อของการสื่อสารแบบอิเล็กทรอนิกส์ 37
รูปที่ 2.41 การสื่อสารแบบดิจิตอล 38
รูปที่ 2.42 แสดงวิธีการมอดูเลชั่นข้อมูลดิจิตอลแบบต่าง ๆ 39
รูปที่ 2.43 แอมปลิจูดชิพคีย์อิ้งแบบเปิดปิด 40
รูปที่ 2.44 อุปกรณ์สร้างสัญญาณเอฟเอ็ม 41
รูปที่ 2.45 แสดงการเกิดสัญญาณเอฟเอ็ม 42
รูปที่ 2.46 แสดงค่าเบี่ยงเบนที่เกิดขึ้นกับ FM/PM 44
รูปที่ 2.47 แสดงตารางความถี่ด้านข้างสัญญาณเอฟเอ็มที่ได้จากเบสเซลฟังก์ชัน 46
รูปที่ 2.48 แสดงสเปคตรัมทางความถี่ของสัญญาณเอฟเอ็ม 4 8
รูปที่ 2.49 แสดงการฟรีเควนซี่ชิพคีย์อิ้ง 49
รูปที่ 2.50 แสดงหลักการของ FSK 49
รูปที่ 2.51 แสดงสเปคตรัมทางความถี่ของ FSK 50
รูปที่ 2.52 แสดงตัวดีเทคสัญญาณ FSK 50
รูปที่ 2.53 แสดงการดีเทคสัญญาณแบบโคฮีเรนท์ 51
รูปที่ 2.54 ประสิทธิภาพของ FSK 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.55 แสดงการดีมอดูเลชั่นของระบบ FSK 52
รูปที่ 2.56 แสดงพื้นฐานของวงจรเฟสล็อคลูพ 52
รูปที่ 2.57 แสดงตัวอย่างของคุณลักษณะของเฟสดีเทคเตอร์ 53
รูปที่ 2.58 แสดงแรงดันเอาต์พุตที่ผิดพลาดของเฟสล็อคลูพ 54
รูปที่ 2.59บล็อคไดอะแกรมของเฟสล็อคลูพแบบพื้นฐาน 55
รูปที่ 2.60 ไดอะแกรมแสดงล็อคเรนจ์และแคปเจอร์เรนจ์ของเฟสล็อคลูพ 55
รูปที่ 2.61 ตัวเกท XOR 56
รูปที่ 2.62 แสดงรูปคลื่นอินพุตและเอาต์พุตของตัวXOR ที่เป็นเฟสคอมพาราเตอร์ 56
รูปที่ 2.63 การพล็อตของเฟสคอมพาราเตอร์แบบ XOR 57
รูปที่ 2.64 ตัวอย่างของลูพฟิลเตอร์ 58
รูปที่ 2.65 วงจร vco โดยใช้วาแรคเตอร์ไดโอด 59
รูปที่ 2.66 การใช้ PLL เป็นดีมอดูเลเตอร์ของสัญญาณเอฟเอ็ม 60
รูปที่ 2.67 การใช้งาน PLL เป็นเอเอ็มดีมอดูเลเตอร์แบบซิงโครนัส 61
รูปที่ 2.68 การประยุกต์ใช้งานด้านเฟสซิพ 61
รูปที่ 2.69 ตัวสังเคราะห์ความถี่โดยการใช้ PLL และวงจรนับโหมด N 62
รูปที่ 2.70 คุณลักษณะของมัลติไวเบรเตอร์ 63

บทที่ 3 การออกแบบและการสร้าง

รูปที่ 3.1 บล็อกไดอะแกรมของระบบโดยรวม 64
รูปที่ 3.2 แสดงการจัดเฟรมข้อมูลในการส่งข้อมูลดิจิตอล 65
รูปที่ 3.3 แผนภาพในการจัดการคล็อกของฝั่งส่ง 65
รูปที่ 3.4 แผนภาพในการจัดการคล็อกของฝั่งรับ 66
รูปที่ 3.5 ไทม์ดิวิชั่นมัลติเพล็กซ์ 67
รูปที่ 3.6 TDM ดีมัลติเพล็กเซอร์ 67
รูปที่ 3.7 บล็อกไดอะแกรมของการส่งสัญญาณแบบ TDM แบบ 4 ช่องสัญญาณ 68
รูปที่ 3.8 แสดงวงจรส่งสัญญาณ TDM แบบ 4 ช่องสัญญาณ 80
รูปที่ 3.9 แสดงบล็อกไดอะแกรมของวงจร TDM ดีมัลติเพล็กเซอร์ 69
รูปที่ 3.10 แสดงวงจรรับสัญญาณ TDM แบบ 4 ช่องสัญญาณ 81
รูปที่ 3.11 บล็อกไดอะแกรมของไอซีตระกูล145505 71
รูปที่ 3.12 วงจรทดสอบไอซีตระกูล 145505 77
รูปที่ 3.13 วงจรมอดูเลตสัญญาณเอฟเอ็มโดยใช้ไอซี BA1404 78
รูปที่ 3.14 บล็อกไดอะแกรมของการดีมอดูเลตสัญญาณเอฟเอ็ม 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.15 วงจรดีมอดูเลตแบบเอฟเอ็ม 79
รูปที่ 3.16 วงจรรวมภาคส่ง 82
รูปที่ 3.17 วงจรรวมภาครับ 83
รูปที่ 3.18 วงจรการต่อส่วน MC145505 79

บทที่ 4 ผลการทดลอง

รูปที่ 4.1 สัญญาณคล็อกเทียบกับสัญญาณที่จะไปทำการสร้างสัญญาณซิงค์ 84
รูปที่ 4.2 สัญญาณที่เข้าไปทำการสร้างสัญญาณซิงค์เทียบกับสัญญาณที่เข้าไป
ทำการเปิดปิดสวิตช์ของ CH1 85
รูปที่ 4.3 สัญญาณซิงค์ที่ได้เทียบกับสัญญาณที่นำมาแปลงเป็นสัญญาณซิงค์ 85
รูปที่ 4.4 สัญญาณเอาต์พุตของมัลติเพล็กซ์เทียบกับสัญญาณซิงค์ 86
รูปที่ 4.5 สัญญาณมัลติเพล็กซ์ที่เข้ามาเทียบกับสัญญาณซิงค์ที่แยกได้ 86
รูปที่ 4.6 สัญญาณซิงค์ที่แยกได้ เทียบกับสัญญาณที่ออกมาจากวงจร
เฟสล็อคลูพ 87
รูปที่ 4.7 สัญญาณ TDM ที่เข้ามาที่ฝั่งรับเทียบกับการเปิดปิดสัญญาณของ CH1 87
รูปที่ 4.8 สัญญาณเอาต์พุตที่ออกมาจากวงจรดีมัลติเพล็กซ์โดยไม่ผ่าน
วงจรกรองความถี่เทียบกับสัญญาณอินพุตที่วงจรมัลติเพล็กซ์ 88
รูปที่ 4.9 สัญญาณเอาต์พุตที่ออกมาจากวงจรดีมัลติเพล็กซ์โดยผ่านวงจรกรอง
ความถี่เทียบกับสัญญาณอินพุตที่วงจรมัลติเพล็กซ์ 88
รูปที่ 4.10 สัญญาณอินพุตและเอาต์พุตเมื่อมีการใส่สัญญาณอินพุตเป็น
สัญญาณดิจิตอลที่มีค่าคงที่ 89
รูปที่ 4.11 สัญญาณอินพุตและเอาต์พุตเมื่อให้อัตราของคล็อกที่ทำการเปิดปิด
เท่ากับเฟรมเรทของสัญญาณ 89
รูปที่ 4.12 สัญญาณคล็อกที่ใช้ควบคุมส่วนการแปลงอนาลอกเป็นดิจิตอลและ
ดิจิตอลเป็นอนาลอก 90
รูปที่ 4.13 สัญญาณอินพุตของตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและ
เอาต์พุตของตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก(คลื่นรูปซายน์) 91
รูปที่ 4.14 สัญญาณอินพุตของตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและ
เอาต์พุตของตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก(คลื่นรูปสามเหลี่ยม) 91
รูปที่ 4.15 สัญญาณอินพุตเทียบกับสัญญาณดิจิตอลที่สร้างโดยMC145505 92
รูปที่ 4.16 สัญญาณ TDM ที่ขยายแล้วที่ฝั่งรับเทียบกับสัญญาณที่นำไปเปิดเก
ทของอนาลอกสวิตช์ 92
รูปที่ 4.17 สัญญาณคล็อกที่ใช้เปิดปิดเกทสวิตช์ฝั่งส่งเทียบกับสัญญาณคล็อกที่
ใช้เปิดปิดที่ฝั่งรับ 93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 สัญญาณอินพุตของ A/D เทียบกับเอาต์พุตของ D/A โดยมีการผ่านส่วนของมัลติเพล็กซ์ 93
รูปที่ 4.19 สัญญาณ TDM เทียบกับสัญญาณดิจิตอลที่สร้างขึ้นจากตัวแปลงอนาลอกเป็นดิจิตอลตัวที่ 1 94
รูปที่ 4.20 สัญญาณ TDM เทียบกับสัญญาณดิจิตอลที่สร้างขึ้นจากตัวแปลงอนาลอกเป็นดิจิตอลตัวที่ 2 94
รูปที่ 4.21 สัญญาณดิจิตอลที่ดีมัลติเพล็กซ์ได้เทียบกับสัญญาณดิจิตอลที่ป้อนเข้าไปจากตัวแปลงอนาลอกเป็นดิจิตอล 95
รูปที่ 4.22 รูปสัญญาณคลื่นพาห์ขนาด 49 เมกะเฮิรตซ์ 96
รูปที่ 4.23 สเปคตรัมของสัญญาณพาหะที่ถูกมอดูเลต 96
รูปที่ 4.24 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับ เปรียบเทียบกับสัญญาณอินพุตรูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 32 กิโลเฮิรตซ์ 97
รูปที่ 4.25 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับ เปรียบเทียบกับสัญญาณอินพุตรูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 162 กิโลเฮิรตซ์ 97
รูปที่ 4.26 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับเปรียบเทียบกับสัญญาณอินพุตรูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 342 กิโลเฮิรตซ์ 98
รูปที่ 4.27 สัญญาณ TDM ที่ดีเทคได้ในช่วงแรก 98
รูปที่ 4.28 จากรูปที่ 4.27 เมื่อนำไปผ่านขบวนการสร้างสัญญาณใหม่ 99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงานนี้เป็นการนำสัญญาณอนาลอกที่มีย่านความถี่ของสัญญาณไม่เกิน 4 กิโลเฮิรตซ์ ซึ่งเป็นช่วงความถี่ที่ใช้ในระบบโทรศัพท์ นำมาทำการแปลงเป็นสัญญาณดิจิตอลโดยการเข้ารหัสแบบพัลส์โคดมอดูเลชัน (Pulse Code Modulation; PCM) อุปกรณ์ที่ใช้ทำหน้าที่แปลงสัญญาณจากอนาลอกเป็นดิจิตอลนั้นใช้อุปกรณ์ไอซีสำเร็จรูป ผลที่ได้จะเป็นสัญญาณดิจิตอลเพียงสองระดับคือสัญญาณระดับสูง(high level) และระดับสัญญาณระดับต่ำ(low level) ออกมาเป็นขบวนพัลส์ยาวต่อเนื่องกันไป สัญญาณที่ออกมาเป็นขบวนรหัสสัญญาณนั้นจะนำมาผ่านขบวนการมัลติเพล็กซ์ ด้วยระบบการมัลติเพล็กซ์แบบแบ่งช่วงเวลา(Time Division Multiplex; TDM) โดยมีช่องสัญญาณทางเข้า 4 ช่องสัญญาณ และมี 1 ช่องสัญญาณสำหรับใส่สัญญาณควบคุมจังหวะการรับส่งข้อมูลให้สอดคล้องกัน (synchronize signal) สัญญาณที่ใส่นี้จะต้องมีขนาดและรูปร่างที่แตกต่างไปจากสัญญาณข้อมูล จึงจัดให้มีขนาดที่ใหญ่กว่าระดับขนาดของข้อมูลจึงต้องมีการมัลติเพล็กซ์สัญญาณทั้งหมด 5 ช่องสัญญาณและความเร็วในการมัลติเพล็กซ์สัญญาณจะต้องมีความเร็วมากกว่า 2 เท่าของอัตราเร็วที่ใช้ในการส่งข้อมูล ข้อมูลที่ส่งผ่านสายออกมาจากทางด้านส่งแล้วเมื่อไปถึงภาครับก็จะทำการดีมัลติเพล็กซ์สัญญาณออกมา สำหรับสัญญาณที่ใช้ในการควบคุมจังหวะการรับส่งข้อมูลให้สอดคล้องกันหรือสัญญาณซิงโครไนซ์(synchronize signal)ที่ด้านรับจะต้องสร้างให้ความถี่และเฟสตรงกับสัญญาณนาฬิกาที่ด้านส่งโดยจะนำไปใช้ในการดีมัลติเพล็กซ์ เพื่อให้ทางด้านรับสามารถใช้ตรวจสอบสัญญาณได้ว่าส่วนไหนเป็นข้อมูลของช่องสัญญาณไหน คือใช้ในการดีมัลติเพล็กซ์ภาครับและเพื่อใช้ในการตรวจสอบสำหรับสร้างสัญญาณนาฬิกาเพื่อใช้ในการดีเทคสัญญาณเดิมกลับบออกมา ถ้าหากเฟสและความถี่ของเครื่องส่งกับเครื่องรับไม่ตรงกัน ก็อาจทำให้เกิดการดีมัลติเพล็กซ์ผิดช่องสัญญาณได้คือสัญญาณส่งเข้าช่องที่ 1 อาจจะไปออกที่ช่อง 2, 3 หรือ 4 ก็ได้ เมื่อได้สัญญาณดิจิตอลออกมาแล้วจะทำการแปลงกลับเป็นสัญญาณอนาลอกตามเดิม โดยอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอก ซึ่งจะเป็นอุปกรณ์ตัวเดียวกับตัวเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่เครื่องส่ง โดยสัญญาณที่แปลงเป็นสัญญาณอนาลอกแต่ละช่องจะถูกนำไปผ่านวงจรกรองผ่านความถี่ต่ำ(low pass filter) ที่กรองเอาแต่สัญญาณที่มีย่านความถี่ไม่เกิน 4 กิโลเฮิรตซ์ซึ่งเป็นช่วงความถี่ของสัญญาณเสียงในระบบโทรศัพท์ออกมา เพื่อไม่ให้สเปคตรัมความถี่สูงมารบกวนและจะนำสัญญาณที่ผ่านตัวกรองสัญญาณมาทำการขยายอีกครั้งเพื่อทำให้สัญญาณมีระดับความแรงของสัญญาณสูง เพื่อที่จะได้สะดวกในการนำไปใช้งานต่อไป นอกจากนี้แล้วหลังจากทำการมัลติเพล็กซ์แล้วจะมีการนำสัญญาณไปผสมคลื่นพาหะด้วยวิธีฟรีเควนซี่ชิพคีย์อิ้งและมีการดีเทคที่ฝั่งรับก่อนจะเข้าส่วนดีมัลติเพล็กซ์อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

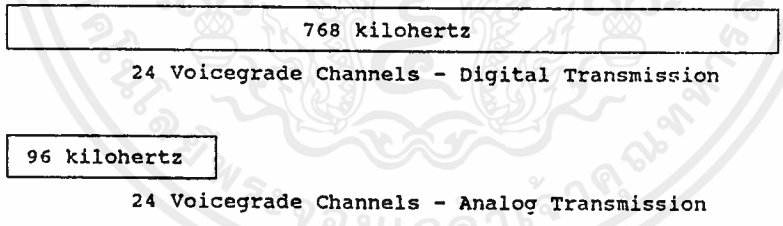
บทที่ 2
ทฤษฎีและหลักการ

2.1 การส่งสัญญาณอนาลอก เปรียบเทียบกับการส่งสัญญาณดิจิตอล

2.1.1 การเปรียบเทียบความถี่

สัญญาณอนาลอกไม่สามารถจะส่งผ่านไปยังระบบดิจิตอล โดยที่ไม่มีการเปลี่ยนไปเป็นดิจิตอลพัลส์ก่อนอย่างไรก็ตามสัญญาณดิจิตอล ก็จะเหมือนกับสัญญาณอนาลอกที่มีความถี่สูง ที่ส่งผ่านไปยังระบบการส่งอนาลอก ขณะที่คนหนึ่งคิดว่าดิจิตอลพัลส์ มีความเป็นสแควร์มาก มันอาจจะกลายเป็นเหมือนสัญญาณอนาลอกที่ปลายสุดของด้านรับ ก่อนที่สัญญาณดิจิตอลจะไม่สามารถนำมาใช้ได้ คุณลักษณะความเป็นเหลี่ยมของมันจะถูกทำให้มนโดยการกระทำของฟิลเตอร์ ยิ่งไปกว่านั้นการทำให้มน อันเนื่องมาจากคุณลักษณะของการส่งสัญญาณ

สัญญาณดิจิตอลจะต้องการแบนด์วิดธ์ที่กว้างเป็น 8 เท่าของสัญญาณอนาลอกเสมือนของมัน ขณะที่ไม่ต้องการประสิทธิภาพมากนัก พัลส์ของสัญญาณดิจิตอลจะยังสามารถส่งผ่านโดยอนาลอก ไมโครเวฟและระบบสายเคเบิลส่งผ่าน รูปที่ 2.1 จะแสดงการเปรียบเทียบ ของการส่งสัญญาณ ในย่าน 24 *4000 เฮิรตซ์ โดยความสะดวกของดิจิตอลและอนาลอก เราจะสามารถเห็นได้ว่าจุดที่ต้องคำนึงถึงคือในการส่งสัญญาณดิจิตอลต้องส่งใช้ แบนด์วิทธ์เป็น 8 เท่าของสัญญาณอนาลอก



รูป 2.1 การเปรียบเทียบย่านแบนด์วิทธ์ของความถี่

2.1.2 ทฤษฎีข้อมูล (information theory)

ทฤษฎีข้อมูลจะครอบคลุม หน่วยของการส่ง หรือสัญลักษณ์ของข้อมูล และความถูกต้องของข้อมูลที่สร้างใหม่ในฝั่งรับ งานของ Hartly Shannon และ Nyquist ในปลายปี 1920 ทำให้การสื่อสารในปัจจุบันนี้เป็นอย่างมีประสิทธิภาพ ทฤษฎีนี้ครอบคลุมทั้งอนาลอก และการส่งสัญญาณแบบดิจิตอล

ในอนาลอกดาต้า โมเด็มไม่มีความสำคัญสำหรับความสูงของบิทเรท จะไม่ส่งไปมากกว่า 2400 บอด หรือสัญลักษณ์ข้อมูลต่อวินาที ทฤษฎีการถ่ายโอนข้อมูล จำกัดความเร็วของการส่งสัญญาณ เหนือความสะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องสัญญาณย่าน 4000 เฮิรตซ์ จะสามารถถ่ายโอนข้อมูลได้เร็วพอสมควร มันก็อาจจะเปรียบได้กับการพยายามใส่วัสดุ 2 ปอนด์ ลงในกระเป๋า 1 ปอนด์ กระเป๋าก็จะรับภาระมากเกินไป

AXIOM- บิต และ บอด จะไม่ได้หมายความถึงสิ่งเดียวกัน บอดจะหมายถึงหน่วยการการถ่ายโอนข้อมูล ขณะที่บิตจะกำหนดจำนวนเลขไบนารีที่ส่งไป

ในโมเด็มที่การส่งสัญญาณ 9600 บิตต่อวินาที (bps) จะส่งที่ อัตรา 2400 บอดต่อวินาที ในกรณีนี้ ใน 9600 โมเด็ม จะส่ง สัญลักษณ์ 4 บิต ที่อัตรา 2400 บอดเรท ที่โมเด็มที่มีการส่ง 14000 บิตต่อวินาที ที่บอดเรทเดียวกัน คือ 2400 บอดต่อวินาทีจะส่งสัญลักษณ์ 6 บิต

งานวิจัยดั้งเดิมของ ไนควิสต์ในปี 1920 กับสัญญาณโทรภาพเมื่อเปรียบเทียบกับสัญญาณดิจิตอล ในปัจจุบันนี้ สัญญาณโทรภาพนับว่าช้ามาก ยังคงเป็นทฤษฎีด้านการคมนาคม ที่ยังมีผลเหมาะสมมาถึงปัจจุบัน

ตัวอย่างของสัญญาณอนาลอกที่กลายเป็นสัญญาณไบนารี่ เมื่อเปลี่ยนเป็นสัญญาณข่าวสารดิจิตอล ทฤษฎีการแซมปลิ้งของแชนนอน มีว่าค่าแซมปลิ้งเรทจะต้องเป็นสองเท่าของค่าความถี่สูงสุดที่ถูกส่งไป สัญญาณเสียงจะมีแบนด์วิทธ์กว้าง 4000 เฮิรตซ์ สิ่งนี้จะถูกนำมาพิจารณาค่าการ์ดแบนด์ ระหว่างช่องสัญญาณซึ่งจะป้องกันการรบกวนกันระหว่างช่องสัญญาณหรือครอสทอร์ค อย่างไรก็ตามอัตราข้อมูลของช่องสัญญาณอนาลอกที่ดีที่สุดจะมีค่าโดยทั่ว ๆ ไปอยู่ระหว่าง 300 ถึง 3400 เฮิรตซ์

โดยการใช้ทฤษฎีการแซมปลิงของแชนนอน ค่าที่เหมาะสมที่สุดสำหรับแซมปลิ้งเรทคือ 6800 บิตต่อวินาที ขณะที่หนังสือบางเล่มจะแนะนำค่าแซมปลิ้งเรทที่สูงกว่า เนื่องจาการจำกัดของฟิลเตอร์ มีเหตุผลพื้นฐานที่มีการแซมปลิ้งที่ 8000 บิตต่อวินาทีในระบบของ เบลล์(BELL) จะมีโครงข่ายของไทม์มิ่งซัพพลายระดับนานาชาติ ซึ่งทำงานที่ 4000 และ 64000 เฮิรตซ์ อัตราแซมปลิ้งเรทที่ 8000 บิตต่อวินาที จะพร้อมสำหรับเหตุผลทางด้านเศรษฐกิจมากกว่าเหตุผลทางด้านอื่น

ความถี่ในควิสท์ที่ถูกออกแบบจะกำหนดค่าความถี่สูงสุดที่ถูกดิจิไตซ์ถ้าค่าดิจิตอลเรทมีค่า 1.544 เมกะบิทต่อวินาที โดยการทดสอบการใช้ความถี่ 722 กิโลเฮิรตซ์ ในการวัดวงจรการทดสอบต้องการเครื่องสร้างความถี่เพื่อที่จะตรวจสอบความถูกต้อง เพื่อจะหาจุดที่มีการออกแบบและมีการสูญเสียต่ำ

2.1.3 ข้อได้เปรียบของการสื่อสารแบบดิจิตอล

2.1.3.1 การลดลงของจำนวนและขนาดของอุปกรณ์ของบริษัทโทรศัพท์

การส่งสัญญาณดิจิตอล จะลดจำนวนอุปกรณ์ในสำนักงานขนาดใหญ่ของบริษัทโทรศัพท์ การบริการทางอนาลอกจะมีหลายขั้นตอนของการมอดูเลชันและดีมอดูเลชันทางความถี่ ทุกสิ่งที่กล่าวมานี้จะเพิ่มอุปกรณ์ทางอนาลอก ที่ต้องใช้พื้นที่มากในสำนักงานขนาดใหญ่ ขณะที่สิ่งนี้ดูเหมือนสิ่งรองพื้นที่ของบริษัทโทรศัพท์ ตึก และราคาของพลังงานจะมีผลต่ออุปกรณ์ทุกตัว ราคาของอุปกรณ์เกือบจะเป็น 3 เท่าเพราะการเพิ่มของโหลดคิ้งแฟคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.2 การพัฒนาขึ้นของ การทดสอบความสามารถ

การพัฒนาของการทดสอบความสามารถของการส่งสัญญาณดิจิตอล จะยังไม่เป็นที่เข้าใจอย่างสมบูรณ์ ในตอนแรก แนวความคิดดั้งเดิมของการทดสอบจะอยู่บนพื้นฐานด้วยวิธีการแบบเก่าของเทสท์บอร์ด วงจรแต่ละอันจะปรากฏอยู่บนเทสท์บอร์ด การทดสอบจะสามารถเข้าถึงวงจรได้ก็เฉพาะเมื่อเราเข้าไปในสำนักงานของเราเท่านั้น

ประมาณปี 1978 AT&T-Long Lines ได้เสนอระบบการทดสอบที่มีการเข้าถึงบิตแบบอัตโนมัติ (Automatic Bit Access Test System :ABATS) ซึ่งทำให้เกิดการทดสอบทางไกล ดาต้าโฟน ในวงจรให้บริการดิจิตอล ระบบของมันจะยอมให้มีการทดสอบ การให้บริการดิจิตอล ณ ที่ใดก็ได้ในประเทศ การทดสอบก่อนหน้านี้ก็ทำให้เกิดปัญหาทางด้านสถานที่ ตลอดเวลาจะเกี่ยวข้องการปัญหา ซึ่งต้องใช้สำนักงานอื่นเพื่อจะทำการทดสอบอื่น

เมื่อถึงเวลาที่การทดสอบโดยบุคคลเป็นไปได้ ปัญหาเหล่านี้ก็ค่อย ๆ แก้ได้ ตัว ABATS จะเสนอความสามารถในการที่จะทดสอบวงจรในเวลา ขณะเดียวกันที่ผู้ใช้ปลายทางรายงานผล

เนื่องจากการให้บริการทางดิจิตอลเป็นการมัลติเพล็กซ์ทางเวลา อุปกรณ์ในการทดสอบจะเป็นโปรแกรมคอมพิวเตอร์ เพื่อจะมองเฉพาะไทม์สลอท การต่อทางอิเล็กทรอนิกส์ ในส่วนการทดสอบและการเข้าถึงไปยังศูนย์กลางของดาต้าเบสจะจัดหาให้ซึ่งความสามารถในการทดสอบ

2.1.3.3 ป้องกันการเสียหายจากการขนส่ง

การขนส่งทางอนาลอก จะก่อให้เกิดความเสียหายจำนวนมากมาย การเสียหายบางอันเป็นผลมาจากกระบวนการมอดูเลชันและอื่น ๆ มาจากแหล่งจ่ายภายนอก ปัญหาที่จะกล่าวต่อไปนี้จะสามารถเอาออกจากความสามารถของอนาลอกได้ สามตัวแรกจะเป็นจำนวนถึง 90 เปอร์เซ็นต์ของปัญหาที่ได้รับรายงาน

1. การเปิดวงจร - การไม่ต่อเนื่อง
2. การสูญเสีย - ต่อเนื่องแต่มีระดับพลังงานต่ำ
3. สัญญาณรบกวน - รวมถึงนอยส์จากอุปกรณ์
4. พัลส์นอยส์ - เป็นนอยส์ที่มีลักษณะเป็น พีคสไปซ์(peak spike)
5. เฟสจิทเตอร์ - เกิดจากการเปลี่ยนกระแส
6. การดิสทอร์ชั่นที่เกิดการจากอินเตอร์มอดูเลชัน - เป็นการสร้างฮาร์โมนิก
7. การเลื่อนของความถี่ - จะแตกต่างทางความถี่ของสัญญาณที่นำมามอดูเลท
8. การแทรกสอดโทนเดียว (Single Interference) - จะเกิดจากส่วนอื่น
9. การช้าของเอนวิล็อพ - ความแตกต่างระหว่างเวลาระหว่างความถี่บนและล่างของความถี่ที่รับได้

2.1.3.3.1 การเปิดวงจร

การเปิดวงจรจะเป็นปัญหาหลักมานานหลายปีแล้ว มันยังเป็นปัญหาแรกที่เคลียร์ตัวมันเองได้โดยการทดสอบวงจร ณ เวลาหนึ่ง ระบบของเบลล์จะมีการเชื่อมทุกจุดในขอบเขต การนำมาใช้ของการเชื่อมต่อของ ไวร์-แรพพ์ (wire wrapped) จะกำจัดความต้องการ ของโลหะร้อนและตะกั่ว อย่างไรก็ตาม การสึกหรอจากการเชื่อมต่อแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไวร์ แรพพ์, และการที่วงจรปรากฏเป็นการเปิดวงจร บุคคลควรจะทดสอบสิ่งต่าง ๆ รวมถึงกระแสอิเล็คทริก นี่จะเป็นการค้นพบการเชื่อมต่อทางอิเล็คทริกแบบชั่วคราวได้และปัญหาก็จะแก้ได้ การติดต่างของการผนึกกระแสอย่างถาวรบนวงจรจะจำกัดการเปิดวงจร

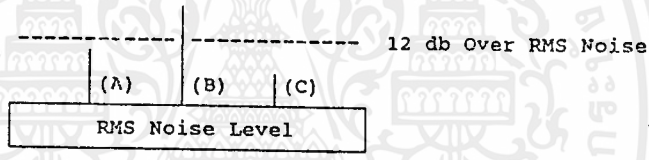
2.1.3.3.2 การสูญเสีย

การสูญเสียของพลังงานบนวงจรเป็นผลมาจากอายุของอุปกรณ์ และกระบวนการทำงาน หลอดสูญญากาศดูจะเป็นสิ่งดีในการป้องกันการสูญเสียทางพลังงาน เหตุผลที่น่าประหลาดใจในการสูญเสียบนวงจรก็คือวิธีการปรับคลื่นพาห์ ในแต่ละวันที่ออฟฟิศของคลื่นพาห์ทางไกลจะต้องมีการปรับเกนของคลื่นพาห์ไพล๊อท เมื่อสิ้นสุดการปรับ ระดับจากปลายถึงปลายก็มักจะต่ำกว่าที่ตั้งไว้

2.1.3.3.3 สัญญาณรบกวน (Noise)

สัญญาณรบกวนเป็นผลมาจากการกำหนดอุปกรณ์ และการรบกวนจากภายนอก อุปกรณ์วิทยุในสมัยก่อน จะมีคุณสมบัติในการที่ จะเกิดสัญญาณรบกวนทันทีที่วงจรเกิดความยุ่งยาก โดยไม่จำเป็นจะต้องกล่าวถึง มันไม่มีการใช้อีกต่อไปแล้วโมเด็มที่เกิดระดับพลังงานของมันที่กำหนดไว้ หรือเกินโทนที่กำหนดไว้จะก่อนให้เกิดสัญญาณรบกวน

2.1.3.3.4 อิมพัลส์นอยส์



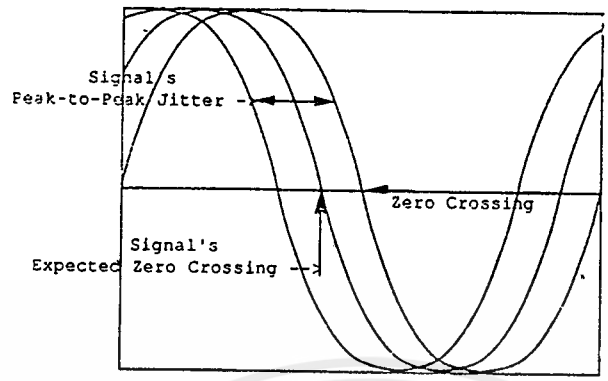
รูปที่ 2.2 อิมพัลส์นอยส์

อิมพัลส์นอยส์ เป็นนอยส์ที่เกิดขึ้นอย่างรวดเร็ว ซึ่งเกินค่าเทรชโฮลด์ 12 เดซิเบล สูงกว่าค่าระดับของสัญญาณรบกวน Root Mean Square (RMS) (ค่า RMS จะให้ค่าที่แท้จริงของระดับเฉลี่ยของสัญญาณ) รูปที่ 2.2 จะแสดงการเกินค่า ระดับRMS ปกติ

2.1.3.3.5 เฟสจิทเตอร์

เฟสจิทเตอร์ในระบบอนาลอก มักจะเป็นผลมาจากการเปลี่ยนแปลงกระแส(ไฟสลับ) ที่ป้อนให้ การเปลี่ยนแปลงกระแสที่ป้อนให้ จะสร้างกระแสที่จะไปบังคับ อุปกรณ์ในทางการสื่อสาร ฟิลเตอร์ที่อยู่บนสายไฟมักจะกำจัดการเปลี่ยนแปลงของกระแสจำนวนเล็กน้อย เมื่อการใช้ฟิลเตอร์ไม่ได้ผล สัญญาณที่ส่งผ่านจะเลื่อนไปข้างหลังหรือข้างหน้าซึ่งจะสัมพันธ์กับจุดตัดศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 เฟสจิทเตอร์

ในรูปที่ 2.3 จะแสดง การเปลี่ยนแปลงทางเฟสของสัญญาณที่มอดูเลทแล้ว ตัดจากโพลาริตี้บวก ไปยังโพลาริตี้ลบ ค่าพีคไปถึงพีคของจิทเตอร์จะวัดในระดับที่ห่างจาก จุดที่คาดว่า Zero crossing คำว่า จิทเตอร์จะเป็น คำที่ใช้อธิบาย เพราะว่าสัญญาณจะดูเหมือนว่ามันจะสั่นไปข้างหน้าและข้างหลัง การจะวาดรูปดังเช่นรูปที่ 2.3 เพื่อที่จะแสดงจิทเตอร์เป็นสิ่งที่กระทำได้ยาก เพราะว่ามันจะเป็นเหตุการณ์แบบเคลื่อนที่ (dynamic event) เราต้องการออสซิลโลสโคปแบบอิเลกทรอนิกส์เพื่อจะแสดงปรากฏการณ์นี้

2.1.3.3.6 การดิสทอร์ชั่นจากการ อินเตอร์มอดูเลท

การดิสทอร์ชั่นจากการ อินเตอร์มอดูเลท จะรู้ในชื่อที่ว่า ฮาร์มอนิกดิสทอร์ชั่น เป็นเวลาหลายปีมาแล้ว การวัดของมันจะอ้างถึงระดับของฮาร์มอนิกที่ 2 และ 3 ฮาร์มอนิกเป็นจำนวนเท่าของความถี่พื้นฐาน ฮาร์มอนิกที่สองจะเป็นสองเท่าของความถี่พื้นฐาน ฮาร์มอนิกที่สามจะเป็นสามเท่า เป็นเวลาหลายปีมาแล้ว วิธีการในการทดสอบตัวฮาร์มอนิกดิสทอร์ชั่น จะเปลี่ยนไปและชื่อก็จะสัมพันธ์กับการทดสอบ มาถึงปัจจุบันนี้วิธีการในการทดสอบวงจรที่แตกต่างกัน 4 วิธีรวมเข้าด้วยกันกับผลจากอินเตอร์มอดูเลชัน จะก่อให้เกิดผลของฮาร์มอนิกที่ 2 และ 3

2.1.3.3.7 การเลื่อนของความถี่

การเลื่อนของความถี่ เป็นปัญหาหนึ่งในหลาย ๆ ปัญหาที่ผู้ทดสอบไม่สามารถเห็นได้จากการทดสอบ แบบลูปแบค การเลื่อนของความถี่ในทางเดียวสามารถตรวจพบได้ เมื่อวงจรมีลักษณะเป็นลูป การเลื่อนของความถี่จะปิดบังตัวมันเอง ปัญหานี้เป็นผลมาจากตัวทวนสัญญาณของวิทยุไมโครเวฟมีความถี่ที่ป้อนให้ซึ่งไม่ขึ้นอยู่กับคล๊อกหลักของบริษัทโทรศัพท์

2.1.3.3.8 การแทรกสอดโทนเดี่ยว

การแทรกสอดโทนเดี่ยว มักจะเกิดจากการรบกวนจากวงจรอื่น ไม่ว่าจะเกิดจากวงจรที่ติดกัน ที่มีระดับของโทนสูง หรือเกิดจากการมีปัญหาการรบกวนข้ามช่องสัญญาณ (ครอสทอร์ค) ในอุปกรณ์บางตัว

2.1.3.3.9 การล่าช้าของเอนวิล็อป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อก่อนนี้ การล่าช้าของเอนวิล็อป เป็นปัญหาหลักในการส่งข้อมูล การเดินทางของความถี่จะมีลักษณะที่ไปถึงปลายทางด้วยเวลาไม่เท่ากัน เนื่องจากการส่งสัญญาณที่ช้าเนื่องจากอิมพีแดนซ์ (ความต้านทานและความถี่) การล่าช้าของเอนวิล็อปเป็นทางหนึ่งในการแสดงความล่าช้าสัมพันธ์กับโทน 1004 เฮิรตซ์ โมเด็มในทุกวันนี้จะมีตัวปรับระดับ (dynamic adaptive equalizers) และการล่าช้าของเอนวิล็อปก็ไม่ใช่สิ่งที่เป็นปัญหาหลักอีกต่อไป

ปัญหาอีกปัญหาหนึ่งของแบบอนาลอกซึ่งปรากฏอย่างไม่สม่ำเสมอก็คือ เฟสฮิท เกนฮิท และ Dropouts การวัดเป็นเวลา 15 นาทีจะถูกกำหนดไว้ เพราะว่าปัญหาเหล่านี้มักเกิดไม่บ่อยนัก ตัวควบคุมและจัดการโครงข่ายอนาลอกบางตัว จะมีการรายงานเกี่ยวกับทุกอย่าง ที่คุณต้องการจะรู้เกี่ยวกับวงจรอย่างทันทีทันใดอย่างดีที่สุด มันสามารถจะบอกจุดเสียได้

ปัญหาเกี่ยวกับการส่งสัญญาณแบบดิจิตอลจะลดจุดเสียสองจุดหลัก หนึ่งก็คือปัญหาเกี่ยวกับการให้บริการเปิดวงจรในการบริการแบบอนาลอก อันที่สองก็คือจิทเตอร์ซึ่งเกิดในตัวทวนสัญญาณ(ถ้าเป็นแบบดิจิตอลจะเรียกตัวทวนสัญญาณว่ารีเจนเนอเรทีฟรีพีทเตอร์) และลำดับขั้น (hierarchy) ในการมัลติเพล็กซ์แบบการแบ่งเวลา

2.1.3.4 มาตรฐานของดิจิตอล (Standardization)

การให้บริการดิจิตอลมีการใช้คล็อกพื้นฐานที่ 64000 บิตต่อวินาที เพื่อที่จะใช้บิทเรทที่สูงขึ้น การสร้างคล็อกพื้นฐานจะถูกรวมเข้าด้วยกัน เหมือนกับการที่คล็อกพื้นฐานถูกอินเตอร์เฟสกับทุก ๆ คล็อกพื้นฐานในโลก ความแตกต่างในมาตรฐานการเข้าโค้ดระหว่างยุโรปและอเมริกาเหนือ สามารถเปลี่ยนไปมาได้อย่างง่าย ๆ

การมีมาตรฐานจะยอมให้บริษัทให้บริการโทรศัพท์แบบดิจิตอลที่หลากหลายตัดผ่านโครงข่ายที่มากมาย การมีมาตรฐานจะจัดให้แต่ละองค์กรสามารถเข้าใกล้ ความเจริญภายในได้เช่นเดียวกับแบบอินเตอร์แอคชั่นจะเป็นไปได้ระหว่างบริษัทโทรศัพท์ และแต่ละประเทศจะสามารถเกิดขึ้นได้ก็ต่อเมื่อเมื่อทุก ๆ คนเข้าใกล้มาตรฐานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG MODEM	DIGITAL MODEM
1. Develops a new receive clock every time a different remote modem comes on line.	1. Constant clock recovery of a master clock.
2. Readjusts dynamic equalizer each time a different remote modem comes on line.	2. Fixed equalizer in CSU only.
3. Modulation–demodulation schemes need synchronization.	3. No synchronization needed.
4. Training time 2.4 kb — 5 ms 4.8 kb — 10 ms 9.6 kb — 15 ms	4. Turn-on time 2.4 kb — 5 ms 4.8 kb — 2.5 ms 9.6 kb — 1.875 ms

ตารางที่ 2.1 อนาลอกโมเด็มเปรียบเทียบกับดิจิตอลโมเด็ม

2.1.3.5 การตอบสนองทางเวลาที่ดีกว่าสำหรับการส่งสัญญาณข้อมูล

ทางที่ดีที่สุดทางหนึ่งที่จะเข้าใจข้อได้เปรียบของการให้บริการแบบดิจิตอลก็คือการมองผลตอบสนองข้อมูลทางเวลา ตารางที่ 2.1 จะทำให้มันสามารถเข้าใจได้มากยิ่งขึ้น เมื่อความแตกต่างระหว่างโมเด็มที่เป็นอนาลอกและดิจิตอล ที่ใช้ในวงจรถูกนำมาเปรียบเทียบ คำว่าดิจิตอลโมเด็ม จะอ้างถึงหน่วยให้บริการข้อมูล (Data Service Unit :DSU) และหน่วยของช่องให้บริการรวม (integrate Channel Service Unit :CSU) ถูกนำมารวมเข้าด้วยกัน

จะเป็นการปิดว่าสิ่งที่เกิดอย่างกระทันหันที่สุดในดิจิตอลโมเด็มก็คือการเปิดและปิด เวลาการเปิดจะใช้ความยาวของเวลาที่ใช้ในการส่ง ส่งดาต้าเวิร์ด 6 บิท สองเวิร์ด(เป็นเวิร์ดที่ควบคุมไม่ได้ เพื่อที่จะเปลี่ยนเส้นสัญญาณให้อยู่ในสภาวะออน(on status)

2.1.4 ข้อเสียของการส่งสัญญาณแบบดิจิตอล

2.1.4.1 ต้องการแบนด์วิดธ์ที่กว้าง

ความถี่ของไนควิสท์จะเป็นความถี่ที่สูงที่สุดที่ถูกดิจิไตซ์ ความถี่นี้ในหน่วยเฮิรตซ์จะเท่ากับครึ่งหนึ่งของเรทของดิจิตอลในหน่วยบิทต่อวินาที

$$F_N = (1/2)\, F_D$$

โดยที่ F_N = ความถี่ของไนควิสท์ในหน่วยเฮิรตซ์

F_D = อัตราของดิจิตอลในหน่วยบิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4.2 ลดความคล่องตัวเนื่องจากมีมาตรฐานกำหนดไว้

ความยืดหยุ่นของอัตราการส่งข้อมูลในแต่ละช่องจะพบในการเสนอการมัลติเพล็กซบางแบบ เมื่อใช้มาตรฐานในระดับประเทศหรือระดับโลก มาตรฐานการส่งข้อมูลจะมีประสิทธิภาพ 75 เปอร์เซ็นต์ ที่ดาต้าเรทที่ 2400 , 4800 , และ 9600 บิตต่อวินาที ที่ 56000บิตต่อวินาที มันจะมีประสิทธิภาพมากขึ้น 10 %

ตัวมัลติเพล็กซ์ที่ไม่มีมาตรฐานเหล่านี้สามารถก่อให้เกิดย่านที่กว้างของอัตราการส่งข้อมูล ซึ่งเป็นที่ยอมรับ อย่างไรก็ตามมันจะใช้วิธีที่เป็นคุณลักษณะเฉพาะ และไม่สามารถจะติดต่อกับอันอื่นนอกเหนือจากพวกมันด้วยกันเอง

2.1.4.3 การเกี่ยวพันกับเวลา

การเกี่ยวข้องกันอย่างมากเกี่ยวกับแหล่งกำเนิดสัญญาณนาฬิกา ในโครงข่ายดิจิตอลเป็นสิ่งที่จำเป็นมาก โครงข่ายอนาลอกที่ใหญ่จะกังวลเกี่ยวกับลูปหรือหน่วยเวลาที่ขึ้นกับหน่วยอื่นหรือขึ้นกับคล็อกหลัก โครงข่ายดิจิตอลซึ่งใช้บริการของบริษัทโทรศัพท์บางบริษัท อาจจะพบว่ามีคล็อกหลักหลายตัวในโครงข่าย

2.1.4.4 ไม่มีการเพิ่มช่องสัญญาณหรือช่องสัญญาณที่สอง

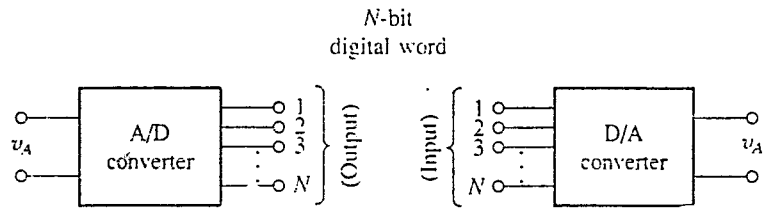
สำหรับจุดประสงค์ของหัวข้อนี้ เราจะไม่พิจารณาถึง DATAPHONE ช่องสัญญาณช่องที่สองของการให้บริการแบบดิจิตอลก่อน ช่องของ DDS จะใช้เทคนิคการขโมยช่องสัญญาณซึ่งไม่เหมือนกับในระบบอนาลอกจะมีจำนวนของเส้นวงจรส่วนตัวจำนวนมาก ซึ่งใช้โทนในสเปคตรัม ที่เหนือกว่าการส่งสัญญาณเสียงปกติ โทนสามารถแสดงถึงเงื่อนไขการเตือนหรือการเปิดปิดอุปกรณ์

วงจรข้อมูลอนาลอกด้วยช่องสัญญาณช่องที่ 2 มักจะใช้แบนด์วิดธ์ที่ต่ำกว่า (ประมาณ 350 เฮิรตซ์) ช่องสัญญาณอันดับสาม(tertiary channel) มักจะทำงานประมาณ 320 เฮิรตซ์ ถ้าตัววงจรมี roll-off ที่เห็นได้ชัดที่ปลายข้างใดข้างหนึ่งของ แบนด์วิทธ์ของความถี่ช่องสัญญาณอันดับสองและสาม จะใช้ไม่ได้

2.2 ตัวเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

สำหรับการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลและการเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก ในช่วงแรก(หัวข้อ 2.2.1 และ 2.2.2) จะเป็นการอธิบายถึงหลักการโดยทั่วไปและวงจรของการเปลี่ยนสัญญาณ ซึ่งการเปลี่ยนแปลงรูปแบบสัญญาณจะมีหลายชนิด เช่น พัลส์โคดมอดูเลชัน(Pulse Code Modulation) เดลต้ามอดูเลชัน (Delta Modulation) แอมปลิจูดมอดูเลชัน (Amplitude Modulation) ซึ่งสำหรับโครงงานชิ้นนี้ได้ใช้วิธีการแปลงสัญญาณแบบพัลส์โคดมอดูเลชันจึงได้มีการอธิบายหลักการและวิธีการแปลงสัญญาณโดยวิธีพัลส์โคดมอดูเลชันโดยละเอียดในตอนท้ายต่อไป

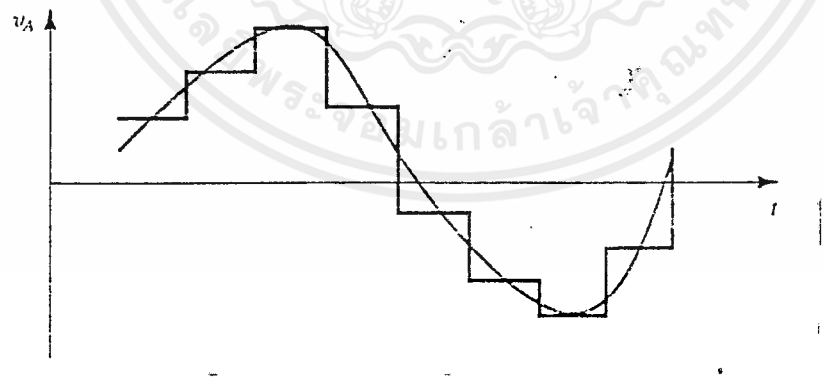
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 แสดงบล็อกไดอะแกรมของตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก

รูป 2.4 เป็นบล็อกที่ตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล(A/D Converter ; ADC) และตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A Converter; DAC) โดยตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลจะรับสัญญาณอนาลอก (v_A) และสร้างสัญญาณทางดิจิตอลที่มีความยาว n บิต

ในทางกลับกันสำหรับวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก จะรับสัญญาณดิจิตอลขนาด n บิต เพื่อที่จะสร้างสัญญาณอนาลอกออกมา สัญญาณเอาต์พุตของตัวเปลี่ยนสัญญาณดิจิต่อลเป็นอนาลอกจะถูกนำไปเข้าสู่วงจรแซมปลิ้งและโฮลด์ (sample-and-hold)ต่อไป โดยเอาต์พุตของวงจรแซมปลิ้งและโฮลด์จะเป็นแบบขั้นบันไดดังรูป2.5 โดยรูปคลื่นดังกล่าวจะถูกทำให้เรียบขึ้น(smooth)โดยวงจรกรองผ่านความถี่ต่ำ (low pass filter) โดยสัญญาณที่เรียบขึ้น จะแสดงดังรูป 2.5 โดยวิธีนี้สัญญาณอนาลอกจะถูกสร้างขึ้นใหม่ โดยค่าผิดพลาดทางการควอนไตส์(quantization error) ของตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลจะมีค่าเท่ากับ $\pm 1/2$ ของบิตที่มีค่าสำคัญน้อยที่สุด (least significant bit)



รูป 2.5 แสดงสัญญาณอนาลอกที่เอาต์พุตของตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก

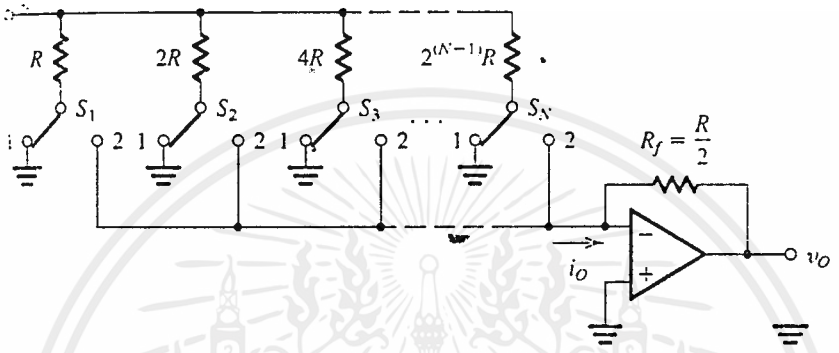
โดยปกติจะถูกป้อนเข้าไปที่วงจรแซมเปิลและโฮลด์ (sample-and-hold) เพื่อที่จะได้สัญญาณคลื่นรูปบันได ซึ่งสัญญาณนี้สามารถทำให้เรียบขึ้นได้โดยผ่านวงจรกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 วงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกแบบทั่วไป(D/A Converter Circuit)

2.2.1.1 วงจรตัวต้านทานแบบถ่วงน้ำหนักตามเลขรหัสฐานสองแบบพื้นฐาน

รูป 2.6 แสดงวงจรอย่างง่ายสำหรับตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกแบบ N บิต ซึ่งวงจรจะประกอบด้วยแรงดันอ้างอิง (V_{ref}) , ตัวต้านทานแบบถ่วงน้ำหนักตามเลขรหัสฐานสอง N บิต ประกอบด้วย R , 2R , 4R , 8R , ... , $2^{N-1}R$ สวิตช์ S_1 , S_2 , S_3 , ... , S_N และออปแอมป์ที่มีค่าความต้านทานย้อนกลับ $R_f = R/2$



รูป 2.6 ตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกแบบ N บิต โดยการใช้ตัวต้านทานแบบถ่วงน้ำหนักตามเลขรหัสฐานสองนำมาต่อเป็นวงจรแบบขั้นบันได

สวิตช์จะถูกควบคุมโดยสัญญาณทางดิจิตอลที่มีขนาด N บิต (D)

$$D = b_1/2^1 + b_2/2^2 + \ldots + b_N/2^N$$

โดยค่า b_1 , b_2 , ... b_N เป็นค่าสัมประสิทธิ์ของบิตซึ่งจะมีค่าเป็น 1 หรือ 0 โดยค่า b_N จะเป็นค่าที่มีความสำคัญน้อยที่สุด (least significant bit ; LSB) และ b_1 จะเป็นค่า ที่มีความสำคัญมากที่สุด (most significant bit ; MSB) ในรูป 2.8 ค่า b_1จะควบคุมสวิตช์ S_1 ค่า b_2 ควบคุมสวิตช์ S_2 เป็นเช่นนี้ทุกตัว เมื่อค่า b_i เป็น 0 สวิตช์ S_i จะอยู่ที่ตำแหน่ง 1 และเมื่อค่า b_i เป็น 1 สวิตช์ S_i จะอยู่ที่ตำแหน่ง 2

เพราะว่าตำแหน่ง 1 ของสวิตช์ทุกตัวจะต่อลงกราวด์ และตำแหน่ง 2 ต่อกับกราวด์เสมือน กระแสที่ไหลผ่านตัวต้านทานแต่ละตัวก็ยังคงมีค่าคงที่ ซึ่งสวิตช์แต่ละตัวควบคุมจุดที่จะให้กระแสไหลผ่านอย่างง่าย ๆ ถ้าไปที่กราวด์(เมื่อค่าบิตเป็น 0) หรือไปที่กราวด์เสมือน(เมื่อค่าบิตเป็น 1) ค่ากระแสที่ไหลผ่านกราวด์เสมือนจะมีค่าเพิ่มขึ้นและผลรวมของกระแส จะไหลผ่านตัวต้านทานแบบป้อนกลับ R_f ผลรวมของกระแสทั้งหมด (i_O) จะกำหนดให้เป็น

$$i_O = (V_{ref}/R)b_1 + (V_{ref}/2R)b_2 + \ldots + (V_{ref}/2^{N-1}R)b_N$$
$$= 2V_{ref}/R\,[\,b_1/2^1 + b_2/2^2 + \ldots + b_N/2^N\,]$$

ดังนั้นจึงได้ว่า

$$i_O = (2V_{ref}/R)D$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และแรงดันเอาต์พุต (v_o) จะถูกกำหนดให้เป็น

$$v_o = -i_o R_f = -V_{ref} D$$

ซึ่งเราจะสังเกตุเห็นได้ว่าค่า v_o แปรผันโดยตรงกับความยาวของข้อมูลทางดิจิตอล (D) ตามต้องการ

เราจะสังเกตุได้ว่าค่าที่เที่ยงตรงของการเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกขึ้นอยู่กับ (1)ความเที่ยงตรงของแรงดันอ้างอิง (V_{ref}) (2) ค่าความละเอียดของตัวต้านทานแบบถ่วงน้ำหนักตามเลขรหัสฐานสองและ (3) ประสิทธิภาพของสวิตช์ เมื่อสังเกตุดูข้อที่ 3 เราควรจะเน้นว่าสวิตช์เหล่านี้ ใช้ควบคุมสัญญาณอนาลอก ขณะที่ค่าแรงดันออฟเซต(offset voltage) และข้อกำหนดของตัวต้านทานไม่ใช่เป็นส่วนที่สำคัญของสวิตช์แบบดิจิตอล องค์ประกอบเหล่านี้เป็นเหตุผลสำคัญในสวิตช์แบบอนาลอก ซึ่งบางทีเราจะใช้ทรานซิสเตอร์แบบเฟต(FET) ซึ่งเราจะเห็นว่า ได้นำเฟตเป็นสวิตช์ในวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกในทางปฏิบัติทั่วไป โดยวิธีถ่วงน้ำหนักแบบรหัสฐานสองเกิดจากแหล่งกำเนิดกระแส ซึ่งในกรณีสวิตช์แบบอนาลอกจะถูกใช้จากวงจรดิฟเฟอเรนเชียนแพร์ (differential- pair)

ข้อเสียของวงจรตัวต้านทานแบบถ่วงน้ำหนักตามรหัสเลขฐานสองคือถ้ามีจำนวนของบิตมาก ($N > 4$) ตัวต้านทานระหว่างตัวที่มีค่ามากที่สุดกับตัวที่มีค่าน้อยที่สุดจะมีจำนวนมาก ซึ่งจะทำให้ยุ่งยากในการรักษาค่าความต้านทานของตัวต้านทานให้คงที่

2.2.2 วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter Circuit)

จำนวนของวิธีในการเปลี่ยนจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะเปลี่ยนแปลงไปตามความซับซ้อนและความเร็วของการเปลี่ยน ต่อจากนี้เราจะอธิบายถึงการส่งสองแบบนี้ แบบแรกจะซับซ้อน(ในรูปของความซับซ้อนของวงจร) แต่เป็นวิธีที่เร็วมาก และอีกชนิดหนึ่งเป็นวิธีแบบที่ใช้อุปกรณ์ชนิดมอส(MOS)

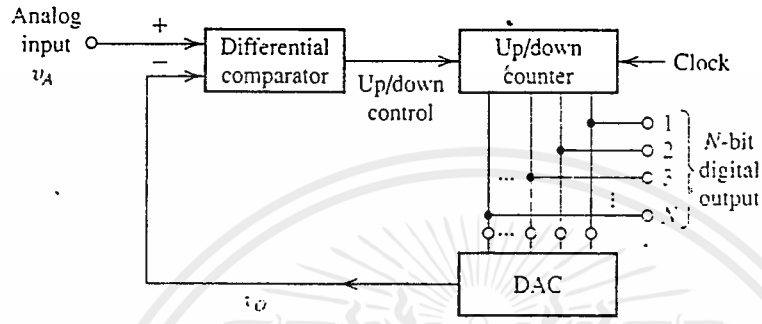
2.2.2.1 ตัวเปลี่ยนสัญญาณชนิดมีการป้อนกลับ

รูปที่ 2.7 แสดงการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลแบบพื้นฐาน โดยการใช้วงจรคอมพาราเตอร์ (comparator) วงจรนับขึ้น-ลง และตัวเปลี่ยนจากสัญญาณดิจิตอลเป็นอนาล่อก วงจรคอมพาราเตอร์จะให้ค่าเอาต์พุตที่มีสองระดับที่แตกต่างกัน ให้เอาต์พุตเป็นบวกเมื่อค่าความแตกต่างของอินพุตเป็นบวก และให้ค่าเป็นลบเมื่อค่าความแตกต่างของสัญญาณเป็นลบ สำหรับวงจรนับขึ้น-ลงเป็นวงจรนับพื้นฐานซึ่งสามารถจะเลือกได้ว่าจะนับระดับค่าเลขฐานสองว่านับขึ้นหรือนับลงโดยถูกควบคุมจากอุปกรณ์ที่ใช้สำหรับควบคุม เพราะว่าตัวเปลี่ยนจากสัญญาณอนาลอกเป็นดิจิตอล(รูป2.7) ใช้ตัวเปลี่ยนจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกในลูปแบบป้อนกลับ(feedback loop) ซึ่งถูกเรียกว่าตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลชนิดมีการป้อนกลับ (feedback-type A/D Converter) ซึ่งมีการทำงานดังนี้ เมื่อมีการนับ 0 ในวงจรนับ เอาต์พุตของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก (v_o) จะเป็น 0 และเอาต์พุตของคอมพาราเตอร์จะเป็นระดับสูง เพื่อบอกให้วงจรนับนับค่าสัญญาณนาฬิกาแบบนับขึ้น ซึ่งเอาต์พุตของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกมีระดับสูงขึ้น ขั้นตอนดังกล่าวจะกระทำต่อเนื่องกันไปจนกระทั่งค่าเอาต์พุตของตัวเปลี่ยนจากดิจิตอลเป็นอนาลอกมีค่าสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงระดับสัญญาณอนาลอกอินพุตที่เข้ามา ซึ่งจะทำให้คอมพาราเตอร์มีการเปลี่ยนค่าและหยุดการทำงานของวงจรนับ เอาต์พุตของวงจรนับจะเป็นค่าทางดิจิตอลที่สมมูลกับระดับแรงดันอนาลอกที่เข้ามา

การทำงานของตัวแปลงสัญญาณ(รูป 2.7) จะช้าถ้าเราเริ่มต้นจากศูนย์ อย่างไรก็ตามตัวแปลงสัญญาณชนิดนี้จะติดตามการเปลี่ยนแปลงเพิ่มขึ้นในสัญญาณอินพุตที่เพิ่มขึ้นอย่างรวดเร็วได้ในระดับหนึ่ง



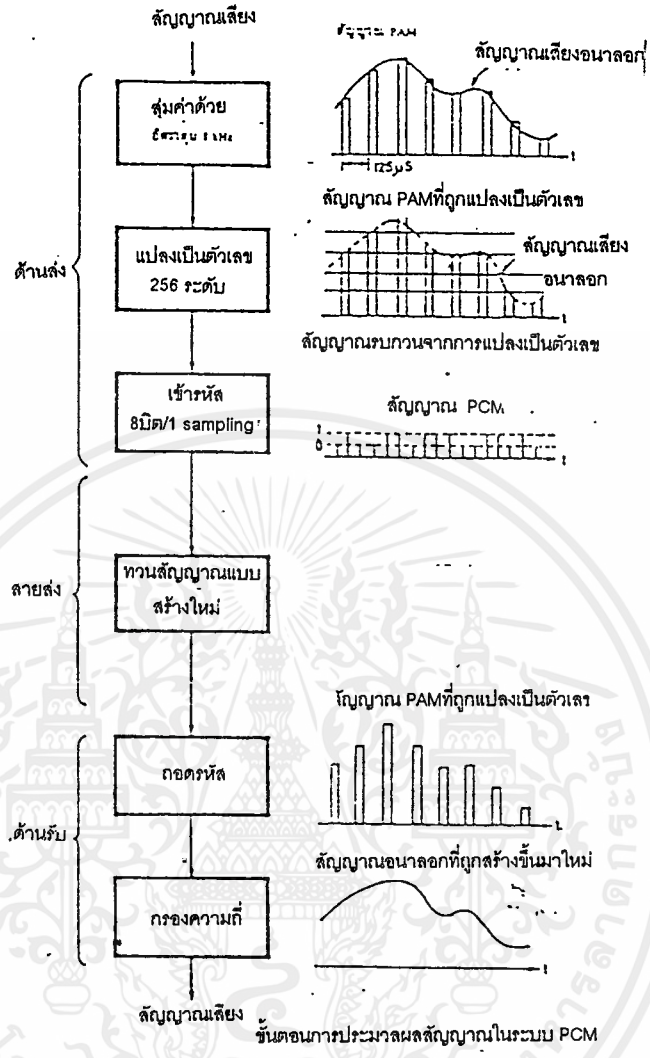
รูป 2.7 ตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลชนิดมีการป้อนกลับแบบง่าย

2.2.3 หลักการเบื้องต้นของระบบพัลส์โคดมอดูเลชัน (Pulse Code Modulation ; PCM)

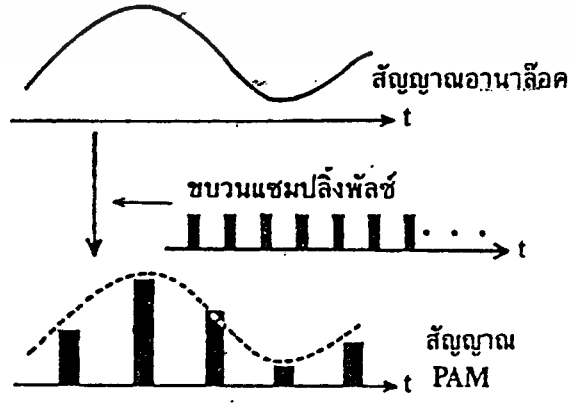
จากรูปที่2.8 แสดงให้เห็นถึงขั้นตอนในการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล PCM และจะมีการแปลงกลับ สัญญาณเสียงอนาลอกจะถูกทำการสุ่มค่า (sampling) แปลงเป็นตัวเลข (quantizing) และเข้ารหัส(coding) ซึ่งทั้งสามขั้นตอนรวมกันเรียกว่า การเปลี่ยนสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล (A/D Conversion)

ปกติแล้วสัญญาณเสียงอนาลอกจะต่อเนื่องกันตลอดตามแกนเวลา การสุ่มค่าก็คือกระบวนการนำค่าแอมปลิจูดของสัญญาณอนาลอกบางค่าในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกัน วิธีนี้เปรียบเสมือนกับการมอดูเลตทางแอมปลิจูด โดยมีสัญญาณพาหะเป็นขบวนพัลส์ที่มีคาบเวลาคงที่ ซึ่งมามอดูเลตกับสัญญาณเสียงอนาลอกนั่นเอง ผลลัพธ์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่า PAM (Pulse Amplitude Modulation) (ดูรูปที่ 2.9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 การเปลี่ยนแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล (A/D Conversion)

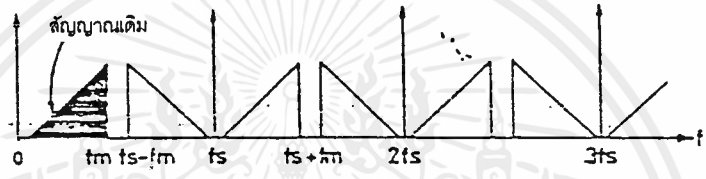


รูปที่ 2.9 สัญญาณอนาลอกมอดูเลตกับสัญญาณพัลส์จะได้สัญญาณ PCM

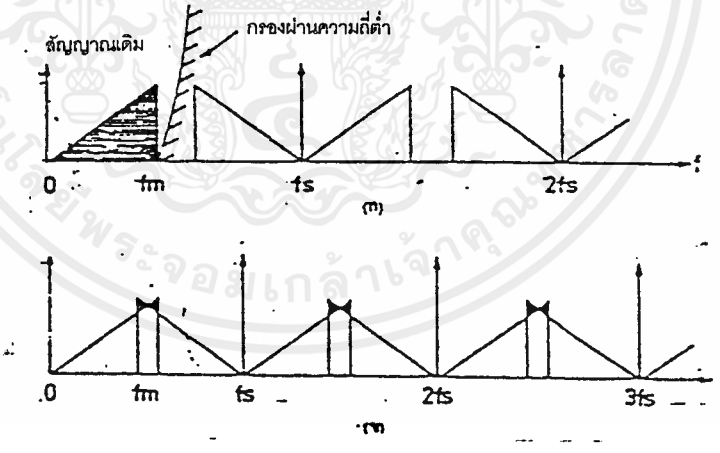
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

องค์ประกอบสำคัญที่ต้องคำนึงถึงในการสุ่มค่าสัญญาณคือการใช้ความถี่ของพัลส์เท่าไรจึงจะเหมาะสม สิ่งนี้ได้ผ่านการพิสูจน์ทางคณิตศาสตร์และตั้งเป็นทฤษฎีเรียกว่า ทฤษฎีการสุ่มค่า(Sampling Theorem) ซึ่งกล่าวว่า สัญญาณที่มีแอมปลิจูดเป็นฟังก์ชันของเวลาถูกทำการสุ่มค่าทุก ๆ ช่วงเวลาที่ห่างคงที่ เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นแล้วก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด

ในรูปที่ 2.10 แสดงให้เห็นแถบความถี่ (frequency spectrum) ของสัญญาณ PAM ซึ่งได้ผ่านขั้นตอนการสุ่มค่าแล้วโดยมีความถี่สูงสุดของสัญญาณอนาลอก (f_m) และความถี่ของการสุ่มค่า (f_s) เมื่อนำขบวนสัญญาณพัลส์มาวิเคราะห์ทางคณิตศาสตร์ด้วยอนุกรมฟูเรียร์ (fourier series) พบว่าประกอบด้วยฮาร์โมนิกของสัญญาณซายน์ (sine) ที่มีความถี่เป็นทวีคูณของความถี่ขบวนพัลส์รวมกันอยู่ (0, f_s , $2f_s$, $3f_s$, $4f_s$, ...)



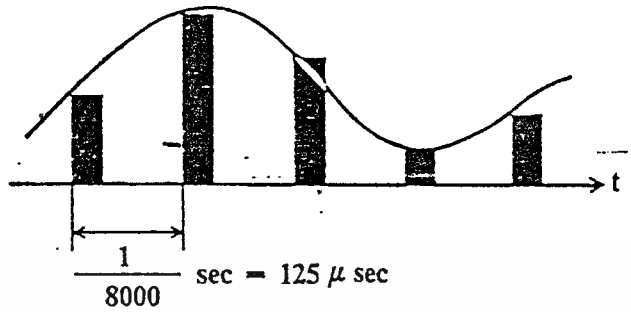
รูปที่ 2.10 แถบความถี่ของสัญญาณ PAM ซึ่งผ่านการสุ่มค่าแล้ว



รูปที่ 2.11 ผลของความถี่สัญญาณสุ่มค่าและสัญญาณอนาลอกต่อสัญญาณ PAM

จากรูปที่ 2.11(ก) จะเห็นว่าความถี่ f_s มีค่ามากกว่า 2 เท่าของค่าความถี่ f_m ความถี่แถบข้าง (side band) จะไม่ซ้อนทับกัน ซึ่งกรณีนี้สามารถนำสัญญาณอนาลอกกลับคืนมาได้โดยการผ่านวงจรกรองผ่านความถี่ต่ำ (low pass filter) ในทางตรงข้าม (ดูรูป 2.11(ข) ประกอบ) ถ้าความถี่ f_s มีค่าน้อยกว่า 2 เท่าของความถี่ f_m ความถี่แถบข้าง (side band) จะซ้อนทับกันซึ่งไม่มีวิธีการใด ๆ ที่จะนำสัญญาณอนาลอกกลับคืนมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 ความถี่ของสัญญาณสุ่มค่า 8 กิโลเฮิรตซ์ สำหรับสัญญาณเสียง

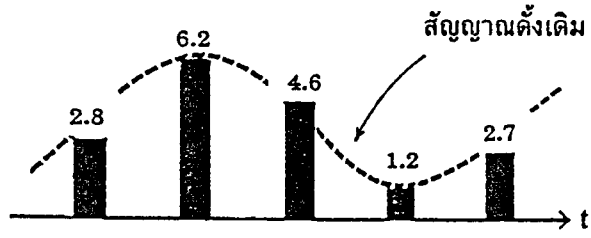
CCITT (International Telephone & Telegraph Consultative Committee) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 กิโลเฮิรตซ์ สำหรับสัญญาณเสียง ซึ่งโดยปกติแล้วแถบความถี่สัญญาณเสียงที่ใช้ในระบบโทรศัพท์มีค่าจำกัดระหว่าง 0.3 ถึง 3.4 กิโลเฮิรตซ์ ดังนั้นค่าความถี่ f_s ตามทฤษฎีควรจะเป็น 2 เท่า ของ 3.4 กิโลเฮิรตซ์ หรือเท่ากับ 6.8 กิโลเฮิรตซ์ อย่างไรก็ดีในทางปฏิบัติจะใช้ค่าความถี่เท่ากับ 8 กิโลเฮิรตซ์ ด้วยเหตุผลทางด้านเทคนิคในการสร้างวงจรกรองสัญญาณจะได้ง่ายขึ้น ช่วงเวลาที่ใช้ในการสุ่มค่าแต่ละครั้งเท่ากับ 1/8,000 วินาที หรือ 125 ไมโครวินาที (ดูรูปที่ 2.12)

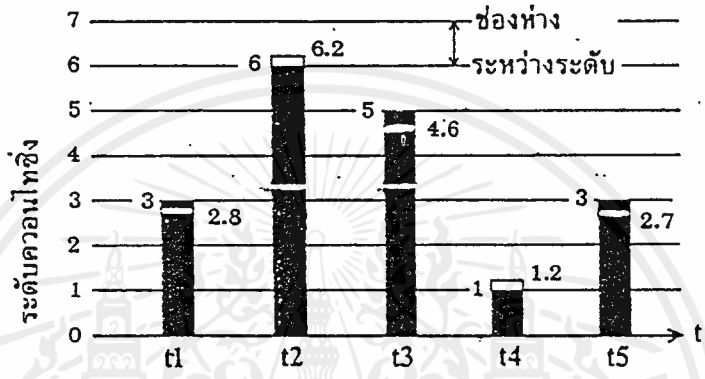
ในขั้นตอนต่อมาสัญญาณ PAM นั้นจะถูกส่งไปผ่านการแปลงเป็นตัวเลขโดยแบ่งขนาดของแอมปลิจูดออกเป็นช่วง ๆ (ดูในรูปที่ 2.13) ค่าของแต่ละช่วงที่ถูกแบ่งเรียกว่าระดับค่าตัวเลข (quantizing level) และระยะระหว่างช่วงที่ถูกแบ่งเรียกว่าช่วงของตัวเลข (quantizing interval) ขนาดของแต่ละสัญญาณสุ่มในสัญญาณ PAM จะถูกแทนด้วยระดับค่าตัวเลข (quantizing level) ที่ใกล้เคียงกับขนาดของมัน ตัวอย่างเช่น สัญญาณที่ถูกสุ่มที่เวลา t_1 มีขนาด 2.8 จะถูกแทนด้วยระดับ 3.0 หรือที่เวลาสัญญาณ t_2 สัญญาณสุ่มมีขนาด 6.2 จะถูกแทนด้วยระดับ 6.0 (ดูรูปที่ 2.13) ซึ่งเป็นการทำระดับของสัญญาณให้มีช่วงห่างที่แน่นอน เพื่อให้สามารถนำไปแปลงเป็นรหัสฐานสองที่สอดคล้องกับแต่ละระดับ

สัญญาณ PAM ที่ถูกแปลงเป็นตัวเลขแล้วจะเป็นเพียงค่าประมาณของสัญญาณอนาลอก ดังนั้นจึงทำให้เกิดมีค่าผิดพลาดระหว่างสัญญาณทั้งสองทางขนาดของแอมปลิจูด ค่าผิดพลาดนี้เรียกว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลข (quantizing noise) หรือการผิดเพี้ยนจากการแปลงเป็นตัวเลข (quantizing distortion) (ดูรูปที่ 2.14) ขนาดของสัญญาณรบกวนจากการแปลงเป็นตังเลขจะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลข และไม่ขึ้นอยู่กับแอมปลิจูดของสัญญาณอนาลอก

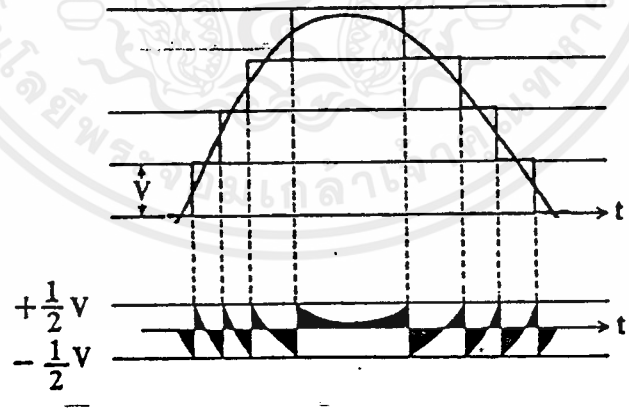
นั่นคือระดับกำลังงานของสัญญาณรบกวนจากการแปลงเป็นตัวเลขนั้นค่อนข้างจะคงที่และเป็นอิสระจากระดับกำลังงานของสัญญาณอนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลขนี้เป็นสิ่งที่ไม่สามารถเลี่ยงได้ แต่สามารถทำให้ลดลง เพื่อรักษาระดับคุณภาพของเสียง(เช่นความชัดเจน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.13 การแปลงสัญญาณ PAM ให้เป็นตัวเลข

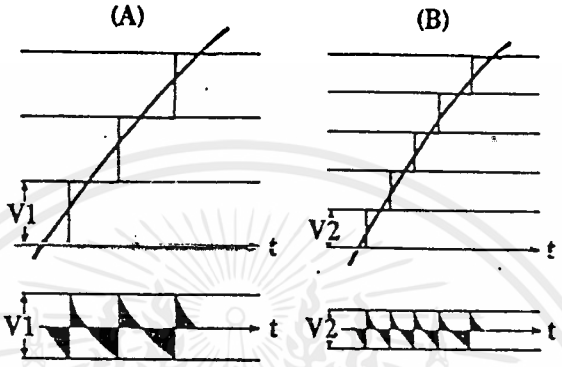


รูปที่ 2.14 สัญญาณรบกวนที่เกิดขึ้นจากการแปลงตัวเลข

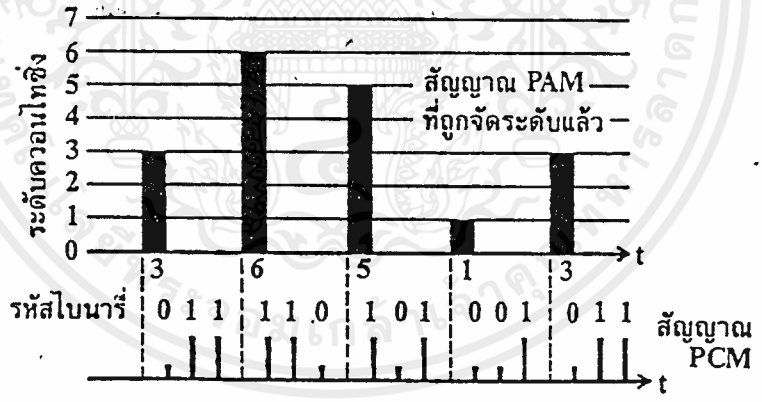
ด้วยเหตุผลที่ว่าแอมปลิจูดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขไม่มีทางเกินกว่าช่วงของตัวเลข ดังนั้นสัญญาณรบกวนจากการแปลงเป็นตัวเลขในรูปที่ 2.15(ก) จึงน้อยกว่าในรูปที่ 2.15(ข) หากเรากำหนดให้ช่วงของตัวเลขมีช่วงเล็กเพียงพอแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากผ่านการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM ที่ได้จะนำไปเข้ารหัสโดยเปลี่ยนเป็นรหัสฐานสอง จากรูปที่ 2.16 แต่ละค่าที่ผ่านการแปลงเป็นตัวเลขแล้วจะถูกแปลงเป็นเลขฐานสอง 3 บิต สัญญาณที่ได้นี้เรียกว่าสัญญาณ PCM (Pulse Code Modulation) ระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิตของเลขฐานสอง ของแต่ละค่า เช่น ถ้าใช้ n บิต ในการเข้ารหัสต่อหนึ่งคำจะได้จำนวนค่าตัวเลขเท่ากับ 2^n ระดับ ซึ่ง ทาง CCITT แนะนำให้ใช้การเข้ารหัส 8 บิต ต่อหนึ่งคำ หรือให้มีระดับของค่าตัวเลขเท่ากับ $2^8 = 256$ ระดับ



รูปที่ 2.15 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข

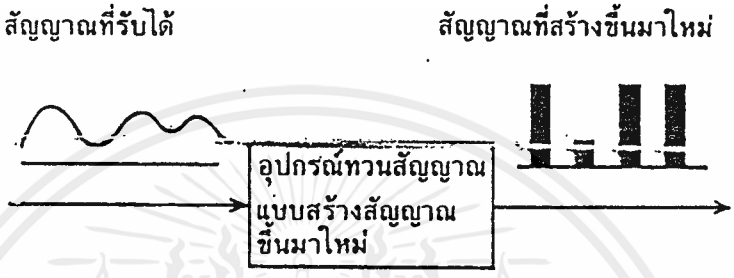


รูปที่ 2.16 การนำสัญญาณ PAM มาเข้ารหัส

จากทฤษฎีสายส่งสัญญาณทำให้เราทราบว่าหากทำการส่งสัญญาณ PCM ไปตามสายส่งสัญญาณจะเกิดการผิดเพี้ยนของสัญญาณได้เนื่องจากสัญญาณรบกวน การแทรกสอด (interference) ระหว่างทาง และการตอบสนองทางความถี่ (frequency response) ของสายส่งซึ่งมีการรบกวนมากสำหรับสัญญาณความถี่สูง และลดทอนน้อยสำหรับสัญญาณความถี่ต่ำ เนื่องจากค่าของตัวเหนี่ยวนำและตัวเก็บประจุที่กระจายอยู่ในสายส่ง จะประพฤติตัวเป็นวงจรกรองผ่านสัญญาณความถี่ต่ำ ทำให้สัญญาณ PCM ผิดเพี้ยนรูปทรงไป แต่ปัญหานี้ได้ถูกแก้ไขโดยการสร้างสัญญาณ PCM ขึ้นใหม่ที่ด้านรับ ตราบใดที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่าสัญญาณเพี้ยนที่ได้รับนั้นเป็นบิตค่า 0 หรือค่า 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากต้องการส่งสัญญาณ PCM ไปในระยะทางไกล ๆ โดยไม่ใช้โมเด็มก็จะต้องมีอุปกรณ์ทวนสัญญาณเรียกว่าเครื่องทวนสัญญาณแบบสร้างขึ้นใหม่ (regenerative repeater) ซึ่งจะสร้างสัญญาณ PCM ที่ผิดเพี้ยนไปขึ้นใหม่ และทำการส่งต่อไปยังเครื่องรับหรืออุปกรณ์ทวนสัญญาณอีกตัวหนึ่ง (ดังในรูปที่ 2.17) จะเห็นได้ว่าเราสามารถที่จะกำจัดผลของสัญญาณรบกวน การแทรกสอด และการผิดเพี้ยนรูปทรงเนื่องจากผลตอบสนองทางความถี่ของสายส่งลงได้ ดังนั้นการส่งสัญญาณระบบดิจิตอลจะไม่มีการสะสมผลของสัญญาณรบกวนและสัญญาณแทรกสอด ดังเช่นที่พบเห็นในการส่งสัญญาณระบบอนาลอก ซึ่งเป็นข้อดีที่เห็นได้ชัดของระบบดิจิตอลที่เหนือระบบอนาลอก

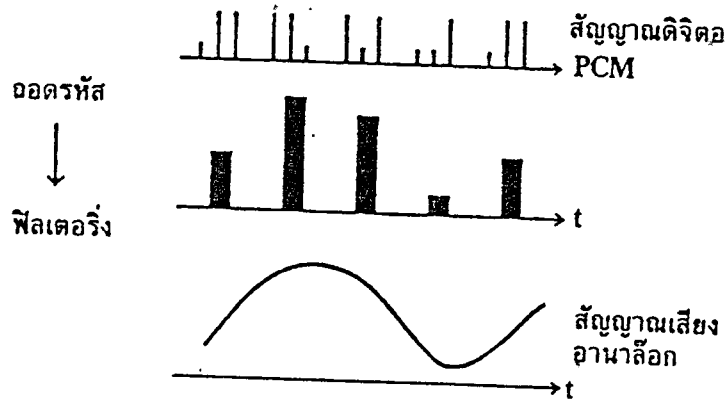


รูปที่ 2.17 ระบบทวนสัญญาณแบบสร้างขึ้นใหม่

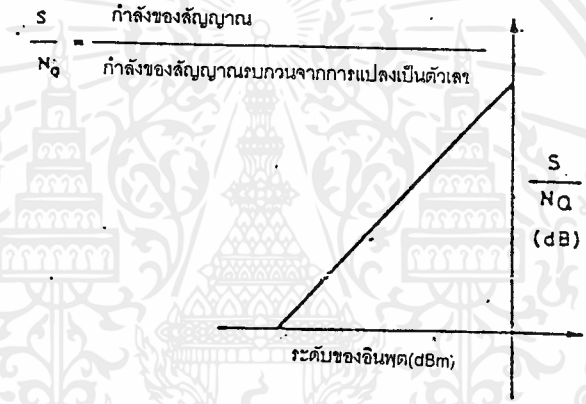
ด้านรับเมื่อเครื่องรับได้สัญญาณดิจิตอล PCM ก็จะแปลงกลับไปเป็นสัญญาณอนาลอก (ดูในรูปที่ 2.18) โดยผ่านขั้นตอนการถอดรหัสและการกรองสัญญาณซึ่งเรียกขั้นตอนทั้งสองรวมกันว่าการเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก (D/A conversion)

การถอดรหัสนั้นก็ตรงข้ามกับการเข้ารหัส (ดูในรูปที่ 2.18) โดยเริ่มต้นจากรหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลข และสัญญาณสุ่มค่าจะถูกสร้างขึ้นมาใหม่ ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐานสองที่ได้รับนี้ สัญญาณ PCM ที่ถูกแปลงเป็นตัวเลขแล้วด้านส่งก็จะถูกสร้างขึ้นใหม่ที่ด้านรับ ซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM ที่สร้างขึ้นใหม่ที่ด้านรับก็จะถูกส่งผ่านไปยังวงจรกรองผ่านความถี่ต่ำ ก็จะได้สัญญาณเสียงอนาลอกต่อเนื่องตามแกนเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039058



รูปที่ 2.18 การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก

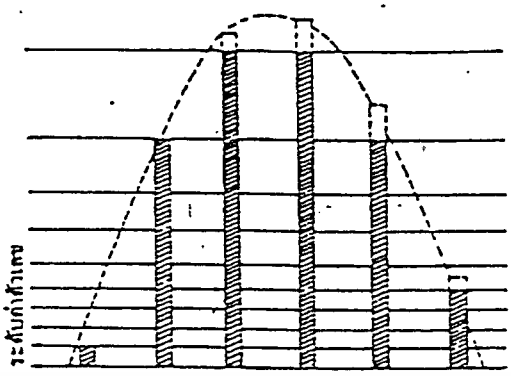


รูปที่ 2.19 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตและสัญญาณเสียงต่อสัญญาณรบกวน

การอัดและการขยาย (Companding and Expanding)

ในการสื่อสารระบบ PCM สิ่งที่เราไม่สามารถหลีกเลี่ยงได้คือสัญญาณรบกวนจากการแปลงเป็นตัวเลข เพื่อลดผลที่เกิดขึ้นนี้จึงแก้ปัญหาโดยใช้ขบวนการอัดและขยายสัญญาณ (ไม่ใช่การขยายสัญญาณแบบเชิงเส้นเหมือนวงจรเครื่องเสียง) จากที่เคยกล่าวแล้วว่าระดับของสัญญาณรบกวนจากการเปลี่ยนเป็นตัวเลขค่อนข้างจะคงที่และไม่ขึ้นกับระดับกำลังงานของสัญญาณเสียง ดังนั้นอัตราส่วนของสัญญาณเสียงต่อสัญญาณรบกวนจากการแปลงเป็นตัวเลข (S/N_Q) จะดีเมื่อระดับความแรงสัญญาณเสียงสูง และจะเลวเมื่อระดับเสียงต่ำ (ดูรูปที่ 2.19)

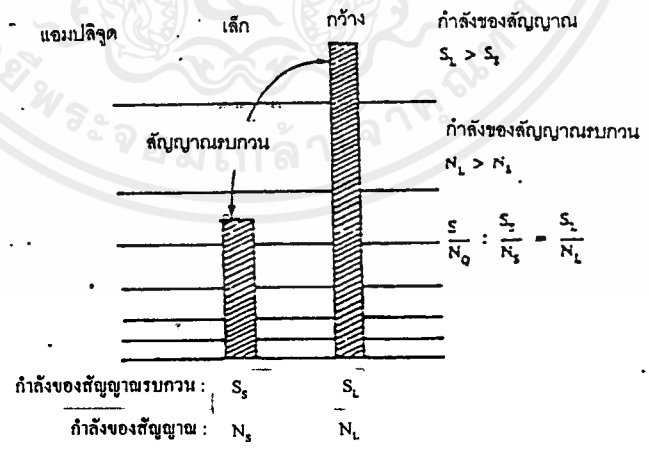
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 การแปลงตัวเลขแบบไม่สม่ำเสมอ

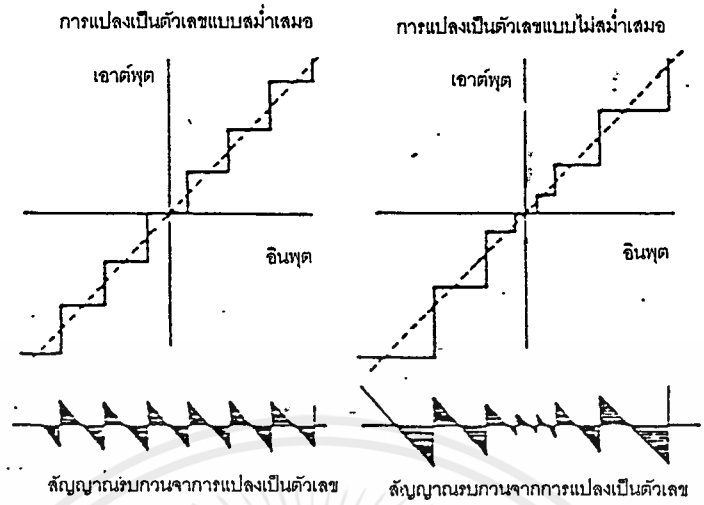
ในทางปฏิบัติหากต้องการให้คุณภาพเสียงดีแล้วค่า S/N_Q ควรจะมีค่าคงที่ในทุก ๆ ระดับความแรงของสัญญาณและไม่ควรแก้ปัญหาด้วยการใช้จำนวนบิตมากเกินไปด้วยจุดประสงค์นี้มีการลดจำนวนช่วงของตัวเลขลงที่แอมปลิจูดของสัญญาณต่ำ ๆ และขยายช่วงของตัวเลขขึ้นที่แอมปลิจูดสัญญาณสูง ๆ การแปลงเป็นตัวเลขแบบนี้จึงมีช่วงของตัวเลขไม่เท่ากันแตกต่างกันไปตามระดับแอมปลีจูดของสัญญาณซึ่งเรียกว่าการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ (non-uniform quantizing) (ดูรูปที่ 2.20) ด้วยเหตุผลดังนี้

การกระจายของแอมปลิจูดของสัญญาณเสียงนั้นไม่สม่ำเสมอ (มีการแกว่งขึ้นลงตลอดเวลา) แอมปลิจูดต่ำ ๆ มีโอกาสเกิดมากกว่าแอมปลิจูดสูง ๆ ดังนั้นค่า S/N_Q สามารถที่จะสังเคราะห์ขึ้นได้ดีกว่าถ้าสัญญาณรบกวนจากการแปลงเป็นตัวเลขที่มีโอกาสเกิดมากกว่า และถูกทำให้เพิ่มสำหรับค่าแอมปลิจูดที่มีโอกาสเกิดน้อยกว่า (ดูรูปที่ 2.21)



รูปที่ 2.21 อัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่แอมปลิจูดต่างกัน

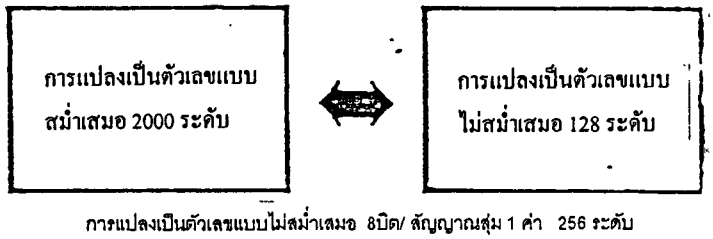
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 เปรียบเทียบผลของสัญญาณรบกวนจากการแปลงเป็นตัวเลข

ในรูปที่ 2.22 เป็นการเปรียบเทียบให้เห็นสัญญาณรบกวนจากการแปลงเป็นตัวเลขที่เกิดขึ้นจากการแปลงเป็นตัวเลขแบบสม่ำเสมอและการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอจะเห็นได้ว่าการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอสามารถที่จะลดสัญญาณรบกวนจากการแปลงเป็นตัวเลขได้ที่ค่าแอมปลิจูดสัญญาณต่ำ ๆ

ในกรณีของการแปลงเป็นตัวเลขแบบสม่ำเสมอ จะต้องใช้จำนวนระดับค่าตัวเลขประมาณ 2,000 ระดับ เพื่อที่จะรักษาคุณภาพเสียงพูดให้อยู่ในเกณฑ์ดี แม้ที่ระดับสัญญาณแอมปลิจูดต่ำก็ตาม ซึ่งจะต้องใช้จำนวนบิตต่อสัญญาณถึง 11 บิต ซึ่งการใช้จำนวนบิตมากเช่นนี้ต้องใช้อุปกรณ์พัลส์ความเร็วสูงมากซึ่งทำให้ระบบมีราคาแพง ในขณะที่การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอต้องการเพียง 128 ระดับ ค่าตัวเลขและ 7 แบบ ต่อสัญญาณสุ่มหนึ่งค่า เท่านั้นก็เพียงพอที่จะทำให้ได้ค่า S/N_Q ระดับเดียวกับการแปลงเป็นตัวเลขแบบสม่ำเสมอที่ระดับสัญญาณแอมปลิจูดต่ำ อย่างไรก็ดี CCITT แนะนำการใช้งานการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอด้วยรหัส 8 บิต ต่อสัญญาณสุ่มหนึ่งค่า และ 256 ระดับค่าตัวเลขเพื่อให้มั่นใจว่าจะได้คุณภาพเสียงที่ดีพอ (ดูรูปที่ 2.23)

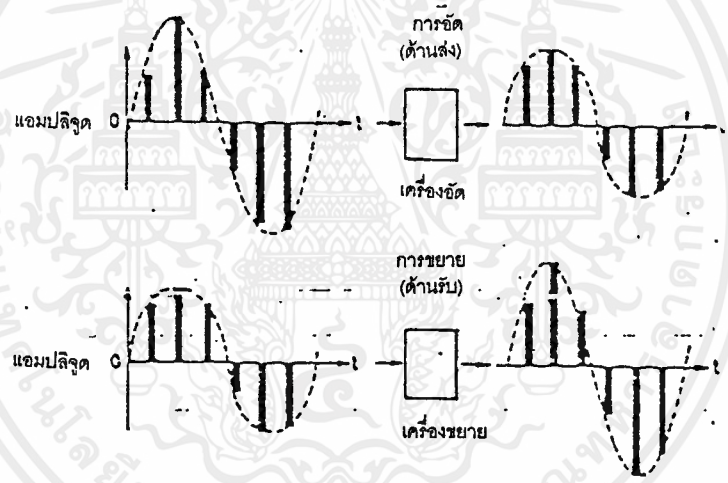


รูปที่ 2.23 ระดับค่าตัวเลขของการแปลงเป็นตัวเลขแบบสม่ำเสมอและแบบไม่สม่ำเสมอ

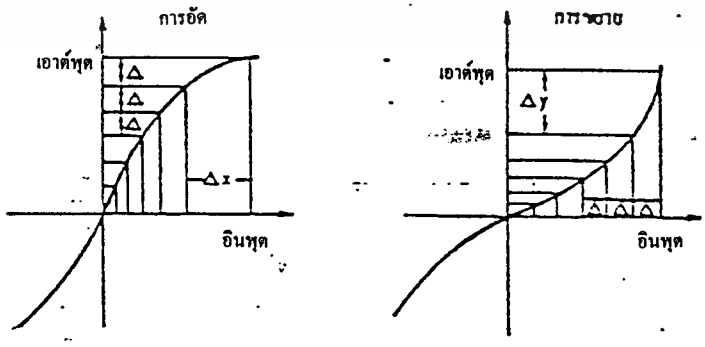
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงเป็นตัวเลขแบบสม่ำเสมอสร้างขึ้น โดยใช้หลักการจัดการกับสัญญาณที่ด้านส่งและด้านรับ ซึ่งเรียกว่าการอัดและการขยายตามลำดับ รูปที่ 2.24 แสดงให้เห็นหลักการนี้ทางด้านส่งสัญญาณที่มีแอมปลิจูดสูงจะถูกอัด (compressed) โดยตัวอัด (compressor) แล้วนำไปแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ ขบวนการนี้ทำให้เกิดผลลัพธ์แบบเดียวกับการแปรเปลี่ยนช่วงของตัวเลขโดยขึ้นกับขนาดของแอมปลิจูด ทางด้านรับสัญญาณ PAM จะถูกสร้างขึ้นมาใหม่โดยการส่งสัญญาณไปยังเครื่องขยาย (expander) ซึ่งมีคุณสมบัติตรงข้ามกับเครื่องอัด (ดูในรูปที่ 2.25)

สัญญาณเสียงนั้นมีช่วงการแกว่งขึ้นลงของสัญญาณกว้าง (wide dynamic range) ซึ่งการที่จะได้คุณภาพเสียงที่ดีนั้น สัญญาณรบกวนจากการแปลงเป็นตัวเลข ต้องมีอัตราส่วนคงที่เมื่อเทียบกับแอมปลิจูดของสัญญาณตลอดช่วงความกว้างของการแกว่งขึ้นลงของแอมปลิจูดของสัญญาณเพื่อที่จะบรรลุสิ่งนี้จึงแก้โดยการใช้คุณสมบัติของฟังก์ชันลอการิทึม (logarithmic) ในการอัดและขยายสัญญาณ ซึ่งมีผลให้สัญญาณรบกวนจากการแปลงเป็นตัวเลขที่ระดับแอมปลิจูดสัญญาณต่ำ ๆ สามารถลดลงอย่างน่าพอใจ และเราสามารถที่จะรักษาค่า S/N_Q ไว้ให้คงที่ตลอดย่านกว้างการแกว่งขึ้นลง ของแอมปลิจูดของสัญญาณ

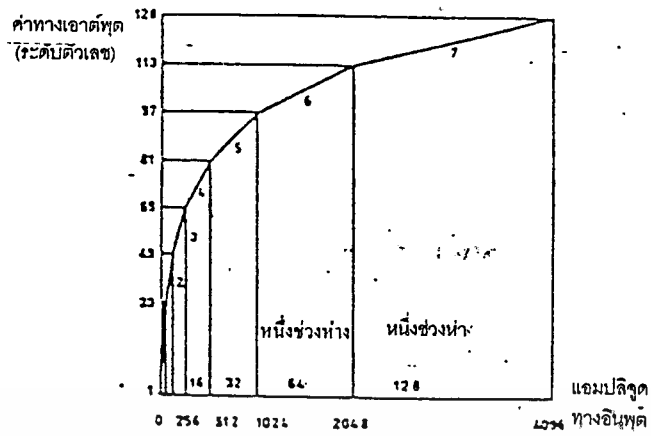


รูปที่ 2.24 การแปลงตัวเลขแบบไม่สม่ำเสมอโดยใช้หลักการอัดและการขยาย

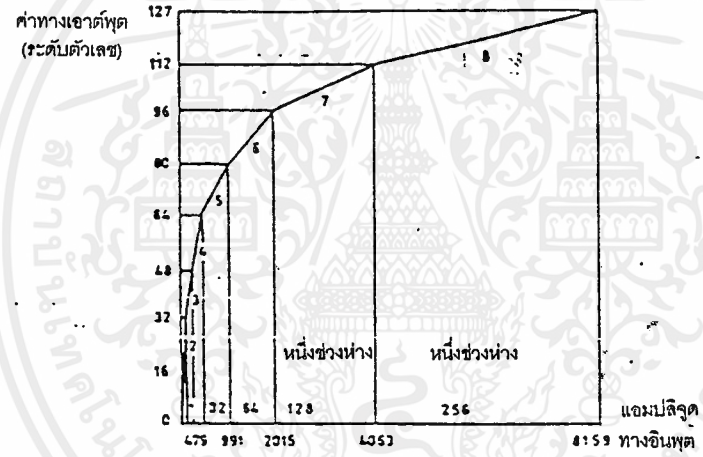


รูปที่ 2.25 คุณลักษณะของการอัดและการขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



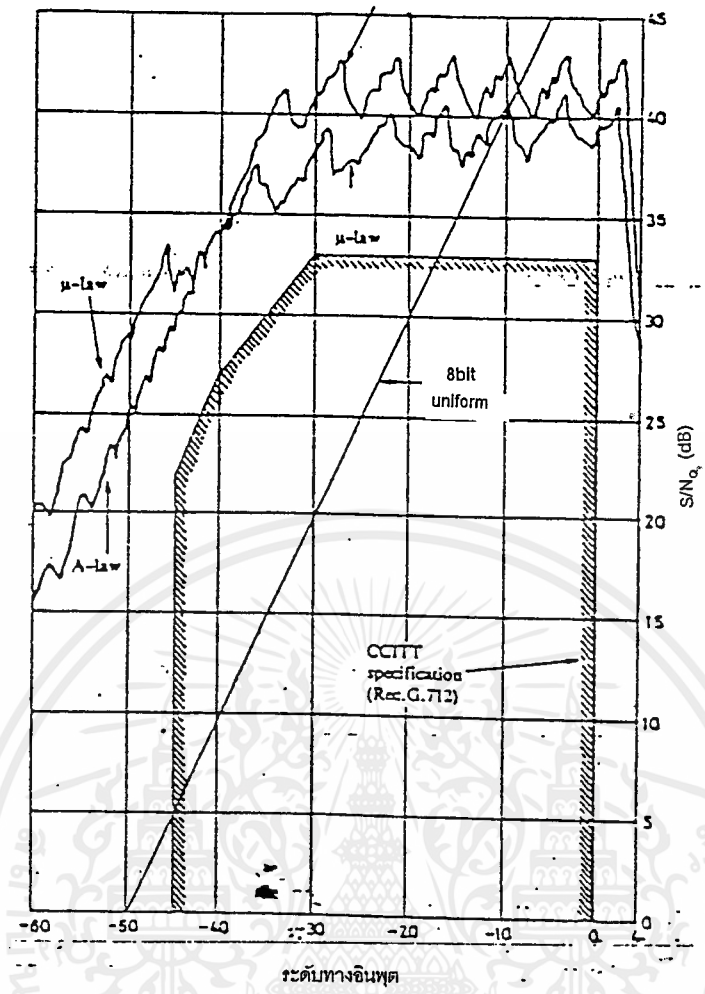
รูปที่ 2.26 การอัดและการขยายแบบ A-law



รูปที่ 2.27 การอัดและการขยายแบบ μ-law

CCITT แนะนำให้ใช้คุณสมบัติของลอการิทึม ในการอัดและขยายสัญญาณสองแบบดังนี้ แบบแรกเรียกกันว่า A-law นิยมใช้กันในแถบยุโรป ส่วนอีกแบบเรียกว่า μ-law นิยมใช้กันในแถบอเมริกาเหนือและญี่ปุ่น ในรูปที่ 2.26 และรูปที่ 2.27 แสดงให้เห็นคุณสมบัติการอัดและการขยายของ A-law และ μ-law ตามลำดับ เส้นโค้งทั้งสองแสดงให้เห็นลักษณะการอัดสำหรับแอมปลิจูดของสัญญาณซึ่งบวก (ซึ่งลบเป็นลักษณะคล้ายกัน แต่ไม่ได้แสดงรูปไว้) CCITT แนะนำว่าการอัดและการขยายแบบลอการิทึมถูกนำมาใช้ในทางปฏิบัติโดยการแบ่งเส้นโค้งออกเป็นช่วง ๆ แต่ละช่วงประมาณด้วยกราฟเส้นตรง โค้งของ A-law และ μ-law นั้นถูกประมาณด้วยกราฟเส้นตรง 13 ช่วงและ 15 ช่วงตามลำดับซึ่งทั้ง A-law และ μ-law ใช้ระดับค่าตัวเลข 256 ระดับและเข้ารหัสแต่ละสัญญาณสุ่ม 1 ค่า ด้วย 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 ความสัมพันธ์ระหว่าง S / N_Q และการอัดการขยาย

2.3 การมัลติเพล็กซ์

2.3.1 บทนำ

การมัลติเพล็กซ์เป็นกระบวนการที่ทำให้เกิดการส่งสัญญาณสองช่องหรือมากกว่าไปบนช่องทางการติดต่อสื่อสารช่องเดียว การมัลติเพล็กซ์จะมีผลให้เกิดการเพิ่มของช่องสัญญาณสื่อสาร ดังนั้นข่าวสารจำนวนมากขึ้นก็จะสามารถส่งได้

มันมีโอกาสทางการสื่อสารมากเมื่อมันจะเป็นหรือต้องการที่จะขนส่งมากกว่าหนึ่งเสียงหรือข้อมูลการประยุกต์โดยตัวมันเองจะต้องการการคูณสัญญาณและค่าใช้จ่ายจะสามารถประหยัดได้โดยการใช้ช่องสัญญาณการสื่อสารเดียว การประยุกต์ในเรื่องโทรศัพท์และtelemetryเป็นตัวอย่างที่ดี ในการสื่อสารผ่านดาวเทียม การมัลติเพล็กซ์เป็นสิ่งจำเป็นเมื่อที่จะทำให้ระบบมีความสามารถและมีความพอใจในเรื่องค่าใช้จ่าย

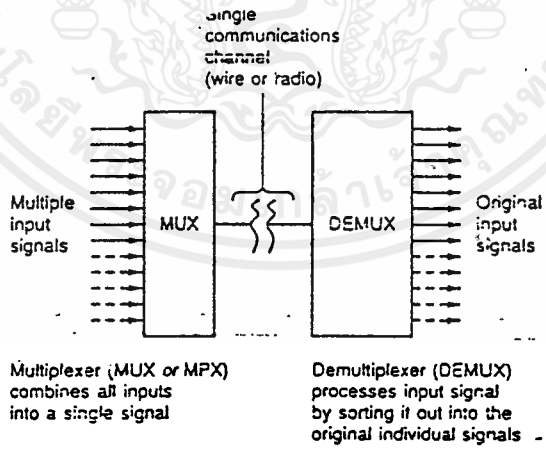
telemetryเป็นการแสดงตัวอย่างที่ดี telemetryจะเป็นกระบวนการของการวัดเป็นระยะทาง ระบบ telemetry ถูกใช้เพื่อที่จะดูคุณลักษณะทางฟิสิกส์ของการประยุกต์บางอย่าง เพื่อจุดประสงค์ในการกำหนดสถานะและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขในการทำงานของมัน ข่าวสารนี้อาจจะยังใช้เป็นการป้อนกลับ ในระบบควบคุมแบบลูปปิด ดังตัวอย่าง การทำงานด้านสเปซคราฟท์และการประยุกต์ด้านเคมีจะใช้ระบบ telemetry เพื่อดูการทำงานของมัน คุณลักษณะทางฟิสิกส์อย่างเช่น ความร้อน ความด้าน และความเร็ว ระดับของแสง จะถูกมอนิเตอร์ออกมา ตัวเซนเซอร์จะตรวจจับคุณลักษณะเหล่านี้ แล้วเปลี่ยนในรูปของสัญญาณไฟฟ้า สัญญาณเหล่านี้ก็จะส่งไปในหลาย ๆ ทางเพื่อจะส่งไปยังศูนย์กลางของการแสดงผล

ทางที่เป็นพื้นฐานที่สุดในการส่งสัญญาณหลาย ๆ สัญญาณจากที่หนึ่งไปยังอีกที่หนึ่งก็คือใช้ช่องการสื่อสารช่องหนึ่งในแต่ละหนึ่งสัญญาณ ดังเช่นตัวอย่างสัญญาณแต่ละอันจะส่งผ่านสายไฟคู่หนึ่ง ถ้ามันเป็นการส่งในระยะทางไกล ๆ สัญญาณจะถูกลดคุณภาพลง และเทคนิคพิเศษจะถูกนำมาใช้เพื่อรักษาคุณภาพในการส่ง โดยการใช้สายไฟหลายคู่จะเป็นการสิ้นเปลืองมาก เมื่อสัญญาณที่จะต้องถูกมอนิเตอร์มีจำนวนมาก สายคู่เคเบิลเป็นจำนวนมากก็ต้องถูกนำมาใช้ มันจะทำให้ค่าใช้จ่ายเพิ่มขึ้นและเพิ่มความยุ่งยากในการต่อ ในทางทฤษฎีนั้นจะประหยัดกว่าถ้าสัญญาณ telemetryทุกสัญญาณถูกส่งไปด้วยเคเบิลเส้นเดียว

แนวความคิดหลักของการมัลติเพล็กซอย่างง่ายจะแสดงดังรูป 2.29 สัญญาณอินพุตหลาย ๆ สัญญาณ จะถูกรวมเข้าด้วยกันด้วยตัว มัลติเพล็กเซอร์ เข้าไปเป็นสัญญาณเดี่ยว ซึ่งจะส่งผ่านตัวกลางการสื่อสาร ในทางกลับกันสัญญาณที่ผ่านการมัลติเพล็กซ์มาแล้วจะถูกมอดูเลตเข้ากับคลื่นพาห์ก่อนที่จะมีการส่งออกไป ที่ปลายสุดของการติดต่อสื่อสารตัวดีมัลติเพล็กเซอร์จะใช้เพื่อแยกแต่ละสัญญาณให้อยู่ในรูปเดิม



รูปที่ 2.29 คอนเซปท์ของการมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มันจะมีชนิดของการมัลติเพล็กซ์อยู่ 2 ชนิดพื้นฐาน การมัลติเพล็กซ์ตามการแบ่งตามเวลา (Time Division Multiplex; TDM) และการมัลติเพล็กซ์ตามการแบ่งตามความถี่ (Frequency Division Multiplex ; FDM) โดยการพูดโดยทั่ว ๆ ไป ระบบ FDM จะใช้กับข่าวสารในรูปแบบของสัญญาณอนาลอก ขณะที่ระบบ TDMจะใช้กับข่าวสารที่เป็นดิจิตอล สำหรับเทคนิคทาง TDMจะพบในการใช้งานทางด้านอนาลอก ด้วยเพราะว่า กระบวนการในการแปลงจากอนาลอกเป็นดิจิตอล และการแปลงจากดิจิตอลเป็นอนาลอก เป็นเรื่องปกติธรรมดา ความแตกต่างทางด้านพื้นฐานระหว่างเทคนิคทั้งสองนี้ก็คือใน FDM สัญญาณในแต่ละตัวจะถูกส่งและถูกกำหนดความถี่ที่แตกต่างกันภายในแบนด์วิดธ์ปกติ ส่วนใน TDM สัญญาณหลายสัญญาณจะถูกส่งในช่วงของเวลา (time slot) ที่แตกต่างกันให้หัวข้อต่อไปเราพิจารณาถึงกระบวนการ FDM และ TDM ให้ ลึกซึ้งยิ่งขึ้น

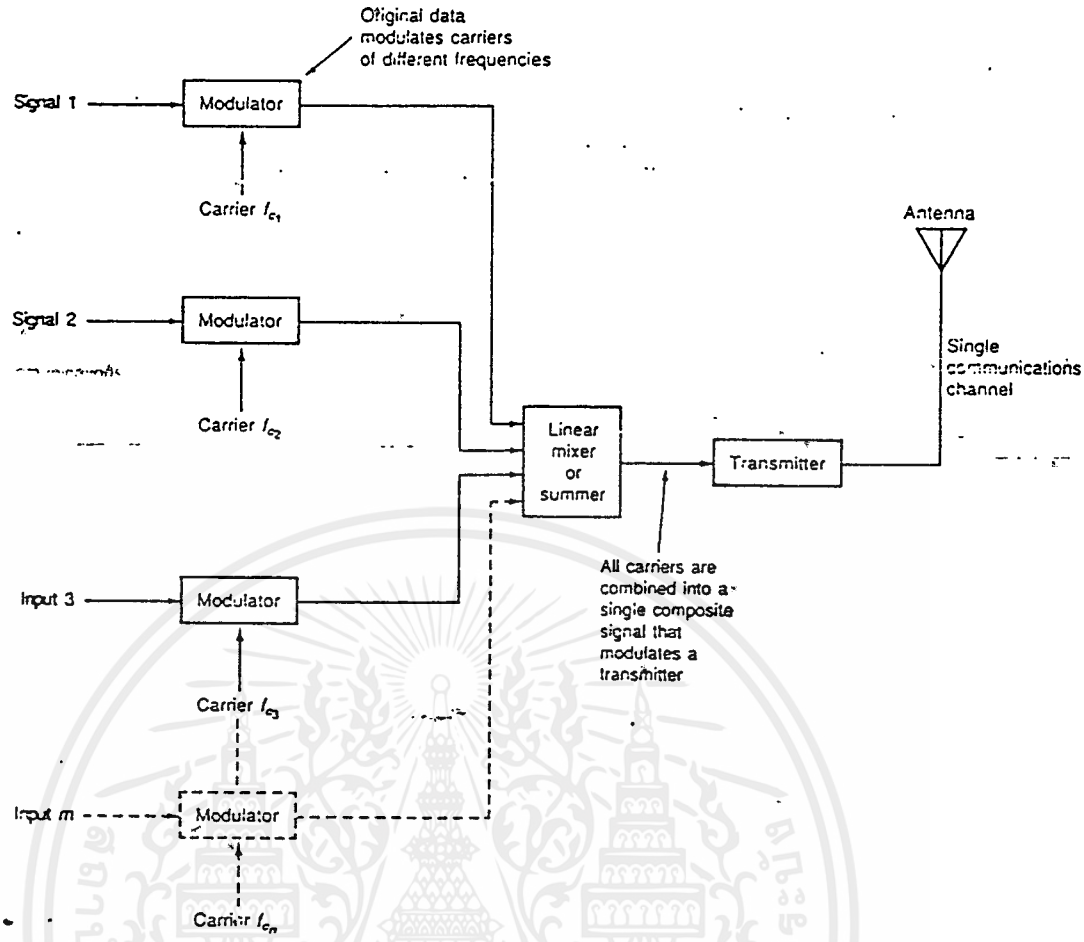
2.3.2 การมัลติเพล็กซ์โดยการแบ่งตามความถี่ (FDM)

การมัลติเพล็กซ์โดยการแบ่งตามความถี่ จะมีพื้นฐานบนความคิดที่ว่าสัญญาณจำนวนมากสามารถใช้แบนด์วิดท์ ของช่องสัญญาณการสื่อสารปกติร่วมกันได้ สัญญาณหลายสัญญาณที่จะต้องส่งผ่านช่องการสื่อสารจะต้องใช้ความถี่ที่นำมามอดูเลตแยกจากกัน พาหะแต่ละตัวจะอยู่บนความถี่ที่แตกต่างกัน สัญญาณที่มอดูเลตกับสัญญาณพาหะแล้วจะถูกบวกเข้าด้วยกันเพื่อที่จะจัดรูปแบบที่ช่องสัญญาณรวมเป็นช่องเดี่ยวที่ซึ่งจะส่งไปผ่านช่องการสื่อสารช่องเดียว

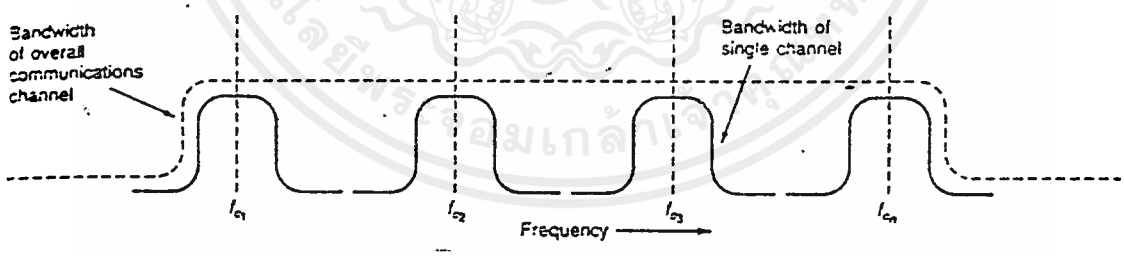
รูปที่ 2.30 จะแสดงบล๊อกไดอะแกรม ทั่วๆไปของระบบ FDM สัญญาณแต่ละสัญญาณที่จะส่งจะป้อนให้กับวงจรมอดูเลเตอร์ พาหะของมอดูเลเตอร์แต่ละตัว f_c จะมีความถี่ที่แตกต่างกัน ค่าความถี่พาหะมักจะเท่ากับช่องว่างจากอันหนึ่ง ตลอดย่านความถี่ที่กำหนดไว้ สัญญาณอินพุตแต่ละอันจะถูกกำหนดตำแหน่งแบนด์วิดธ์ที่แน่นอน ซึ่งผลจะแสดงได้ดังรูปที่ 2.31 สำหรับชนิดของการมอดูเลท ชนิดของมาตรฐานสามารถใช้ได้ซึ่งจะมี AM , SSB , FM หรือ PM

ที่เอาต์พุตของมอดูเลเตอร์ที่บรรจุข่าวสารไซด์แบนด์ จะถูกรวมเข้าด้วยกันในวงจรมิกเซอร์เชิงเส้น ในวงจรมิกเซอร์เชิงเส้นการมอดูเลทและการสร้างของไซด์แบนด์จะไม่เกิดขึ้น แทนที่สัญญาณแต่ละตัวจะถูกรวมเข้าด้วยกันแบบคณิตศาสตร์ ผลสัญญาณเอาต์พุตที่ได้จะเป็นผลรวมของคลื่นพาห์ที่รวมการมอดูเลท และสัญญาณนี้ก็จะใช้เพื่อที่จะมอดูเลทในการส่งวิทยุ ในทางกลับกันสัญญาณรวมโดยตัวมันเองอาจจะส่งผ่านช่องสัญญาณการสื่อสารช่องเดียวก็ได้ จุดประสงค์อีกอย่างก็คือสัญญาณที่เป็นส่วนประกอบจะเข้าไปเป็นอินพุตของตัวมัลติเพล็กซ์ตัวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



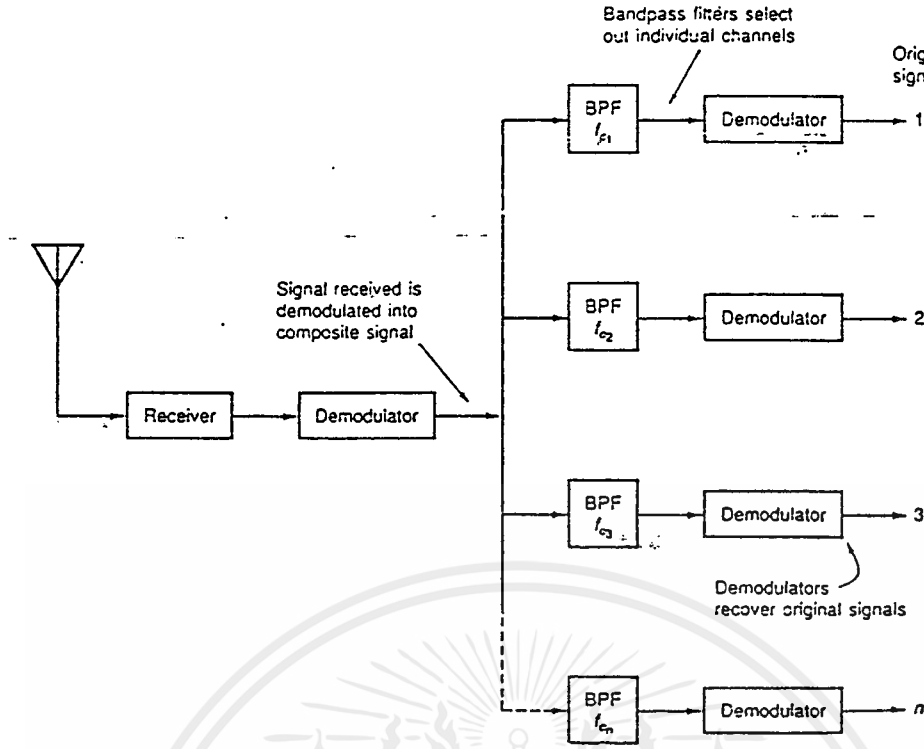
รูปที่ 2.30 การส่งสัญญาณในระบบ FDM



รูปที่ 2.31 สเปคตรัมของสัญญาณ FDM

ส่วนของเครื่องรับการมัลติเพล็กซ์จะแสดงดังรูปที่ 2.32 ตัวรับจะเลือกรับสัญญาณและจะดีมอดูเลตมันเข้าไปเป็นสัญญาณส่วนประกอบ สัญญาณนี้จะถูกป้อนเข้าไปในกลุ่มของแบนด์พาสฟิลเตอร์(BPF) ซึ่งแต่ละอันจะมีศูนย์กลางที่ความถี่ของพาหะแต่ละตัว ฟิลเตอร์แต่ละตัวจะยอมให้ผ่านเฉพาะช่องสัญญาณของมันและจะตัดไม่ให้อันอื่นออกไป และต่อมาตัวดีมอดูเลทในแต่ละช่องสัญญาณก็จะนำสัญญาณอินพุตเดิมกลับคืนมา

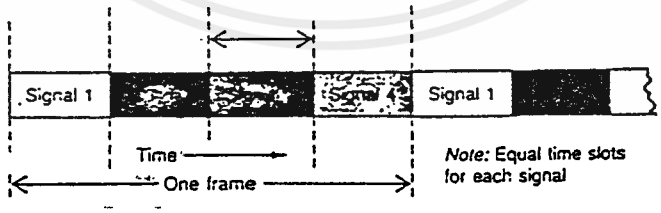
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 เครื่องรับของระบบ FDM

2.3.3 การมัลติเพล็กซ์โดยการแบ่งตามเวลา (TDM)

ใน FDM สัญญาณจำนวนมากถูกส่งผ่านโดยช่องสัญญาณเดียว โดยการแบ่งแบนด์วิดธ์ของช่องสัญญาณ สิ่งนี้สามารถกระทำได้โดยการกำหนดตำแหน่งของสเปคตรัมของสัญญาณให้อยู่ภายในแบนด์วิดธ์ ใน TDM สัญญาณแต่ละตัวสามารถอยู่ในตลอดย่านความถี่ของแบนด์วิดธ์อย่างไรก็ตามสัญญาณแต่ละสัญญาณจะสามารถส่งได้เป็นเวลาสั้น ๆ คอนเซพท์นี้จะสามารถแสดงได้ดังรูปที่ 2.33 ในที่นี้ สัญญาณสี่สัญญาณถูกส่งผ่านไปโดยช่องสัญญาณเดียว สัญญาณแต่ละสัญญาณจะถูกยอมให้ใช้ช่องสัญญาในช่วงเวลาที่กำหนดไว้อันหนึ่งหลังจากอีกอันหนึ่งคาบของไซเกิลจะมีการซ้ำกันครั้งแล้วครั้งเล่า



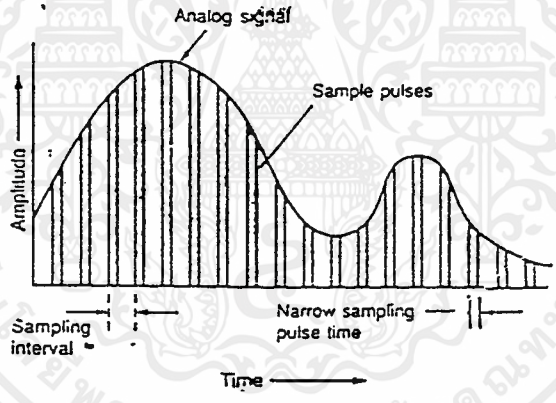
รูปที่ 2.33 คอนเซปท์พื้นฐานของ TDM

การมัลติเพล็กซ์โดยการแบ่งตามคาบเวลาจะสามารถใช้ได้ทั้งสัญญาณอนาลอกและสัญญาณดิจิตอล ในการส่งสัญญาณดิจิตอลหลายช่องสัญญาณ ข้อมูลที่จะส่งจะถูกผูกเข้าด้วยกันและจัดเป็นรูปแบบของเวิร์ดข้อมูลแบบอนุกรม ดังเช่นตัวอย่างข้อมูลอาจจะประกอบด้วยไบต์ที่เป็นซีเควนเชียล หนึ่งไบต์ของข้อมูลอาจจะถูกส่งระหว่างช่วงของเวลาซึ่งกำหนดไว้เฉพาะในแต่ละช่อง ดังเช่นตัวอย่างในรูป 2.33 ในแต่ละช่องเวลา (time slot)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาจจะบรรจุ 1 ไบต์จากแต่ละช่อง หนึ่งช่องจะส่งข้อมูล8 บิท และจะรอไว้ขณะที่ ช่องถัดไปส่งอีก 8 บิท ช่องที่สามก็จะส่งข้อมูลของมันและก็เป็นเช่นเดียวกัน การส่งข้อมูลครบทุกช่องบนไซเกิลการทำงานเรียกว่าเฟรม ไซเกิลจะทำซ้ำตัวมันเองที่ความเร็วสูง ในการกระทำเช่นนี้ ข้อมูลในแต่ละไบต์ก็จะถูกอินเตอร์ลีฟออกไป ผลลัพธ์สุดท้ายที่ได้ก็คือขบวนของช่องสัญญาณดิจิตอล ซึ่งในที่สุดจะไปแปลความหมายและตีความที่ฝั่งรับ การขนส่งข้อมูลดิจิตอลโดยระบบ TDM จะมีการกระทำในทางที่ตรงไปตรงมา และถ้าเรามาพิจารณาถึงการใช้ TDM ในการส่งสัญญาณอนาลอก สำหรับเราแล้วสัญญาณอนาลอกจะเป็น เสียง วีดีโอ หรือการวัดแบบ telemetry สามารถส่งโดยระบบ TDM ได้ทันที มันจะเป็นไปได้โดยการแซมปลิ้งสัญญาณอนาลอกด้วยอัตราที่สูงพอ การแซมปลิ้งเป็นกระบวนการการของการมองเฉพาะสัญญาณอนาลอกสำหรับเวลาช่วงสั้น ๆ ระหว่างช่วงเวลาสั้น ๆ นี้ ค่าแอมปลิจูดของสัญญาณอนาลอกจะยอมให้ผ่านและมีการเก็บไว้ ด้วยการแซมเปิลหลายครั้งกับสัญญาณอนาลอกด้วยอัตราที่สม่ำเสมอ ข่าวสารส่วนใหญ่จะถูกเก็บไว้ ซึ่งสัญญาณอนาลอกจะสามารถผ่านไปได้ ผลลัพธ์ของสัญญาณที่ได้จะเป็นชุดอนุกรมของแซมเปิลหรือพัลส์ซึ่งจะเปลี่ยนค่าแอมปลิจูดตามสัญญาณอนาลอก

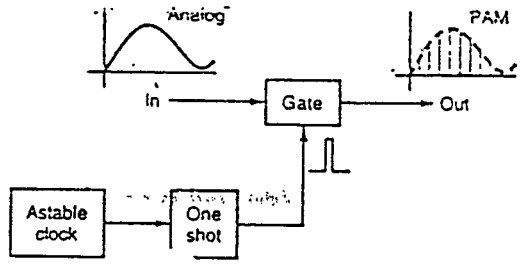
ในรูปที่ 2.34 จะแสดงสัญญาณอนาลอกซึ่งถูกแซมเปิล เอาต์พุตที่เป็นผลลัพธ์จะเป็นชุดอนุกรมของพัลส์ซึ่งแอมปลิจูดของมันจะเป็นอันเดียวกับสัญญาณอนาลอกที่มีเป็นคาบของการแซมเปิล ขบวนการนี้จะเรียกว่าพัลส์แอมปลิจูดมอดูเลชัน (PAM)



รูปที่ 2.34 การแซมปลิ้งสัญญาณอนาลอกเพื่อจะผลิตพัลส์แอมปลิจูดมอดูเลชัน

สำหรับวงจรพื้นฐานในการสร้างสัญญาณ PAM จะแสดงดังรูปที่ 2.35 ตัวคล็อกออสซิลเลเตอร์ แบบอะสเตเบิลจะไปขับมัลติไวเบรเตอร์แบบวัน-ช็อต ซึ่งจะผลิตพัลส์ที่ความกว้างแคบ พัลส์นี้จะถูกป้อนให้แก่วงจรเกท ซึ่งทำงานเป็นสวิตช์เปิดและปิด ตามสัญญาณวัน-ช็อตเมื่อวัน-ช็อตปิด เกทก็จะปิดและสัญญาณอนาลอกก็จะผ่านไปไม่ได้ และคล็อกทริกวันช็อตหนึ่งครั้งในไซเกิล เกทก็จะเปิดเป็นเวลาสั้น ๆ ซึ่งยอมให้สัญญาณอนาลอกผ่านได้ วงจรเกทอาจจะมีโครงสร้างที่ประกอบด้วยไดโอดหรืออาจจะเป็นไบโพลาร์หรือทรานซิสเตอร์ field-effect

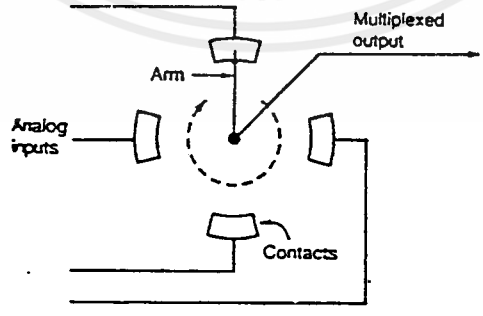
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 พัลส์แอมปลิจูดมอดูเลเตอร์

เพื่อจะเข้าถึงข้อมูลข่าวสารดั้งเดิมพัลส์ที่ส่งผ่านจะผ่านไปยังวงจรกรองความถี่ต่ำ ค่าความถี่คัทออฟของวงจรโลว์พาสฟิลเตอร์ จะถูกลือกให้ผ่านค่าองค์ประกอบความถี่สูงสุดที่มีในสัญญาณอนาลอก ความถี่ที่สูงกว่านั้นก็จะถูกกำจัดออกไป เนื่องจากพัลส์โดยตัวมันเองแล้วจะแสดงตัวเป็นส่วนประกอบของความถี่สูงหลาย ๆ ความถี่ ซึ่งจะถูกกำจัดออกไปดังนั้นพัลส์จะมีความราบเรียบยิ่งขึ้นและเข้าสู่สัญญาณอนาลอกที่ต่อเนื่องซึ่งจะเป็นสัญญาณที่มีการส่งไป กระบวนการที่ทำนี้จะมีลักษณะคล้ายกับในตัวไดโอดดีเทคเตอร์ ของการมอดูเลชันแบบ AM

เพื่อที่จะนำสัญญาณกลับคืนมาได้อย่างถูกต้องเหมือนตัวเดิม ค่าแซมปลิ้งเรทจะต้องมีค่าสูงพอที่จะรับประกันได้ว่าการเปลี่ยนแปลงอย่างรวดเร็วได้ถูกแซมปิลไว้ในจำนวนที่เหมาะสม มันถูกกำหนดไว้ว่าค่าแซมปลิ้งเรทจะต้องเป็นอย่างน้อยสองเท่าขององค์ประกอบของความถี่สูงสุดของสัญญาณ โดยมีความมุ่งหมายที่จะให้ตามการเปลี่ยนแปลงของสัญญาณทัน ดังนั้นความสัมพันธ์ระหว่างสัญญาณอนาลอกดั้งเดิม และความถี่ในการแซมปลิ้งจะเรียกว่าทฤษฎีการแซมปลิ้ง ถ้าเรารู้ค่าแบนด์วิดธ์สูงสุดของสัญญาณอนาลอกนั้นแล้วค่าแซมปลิ้งเรทต่ำสุดจะสามารถหาได้โดยคูณด้วย 2

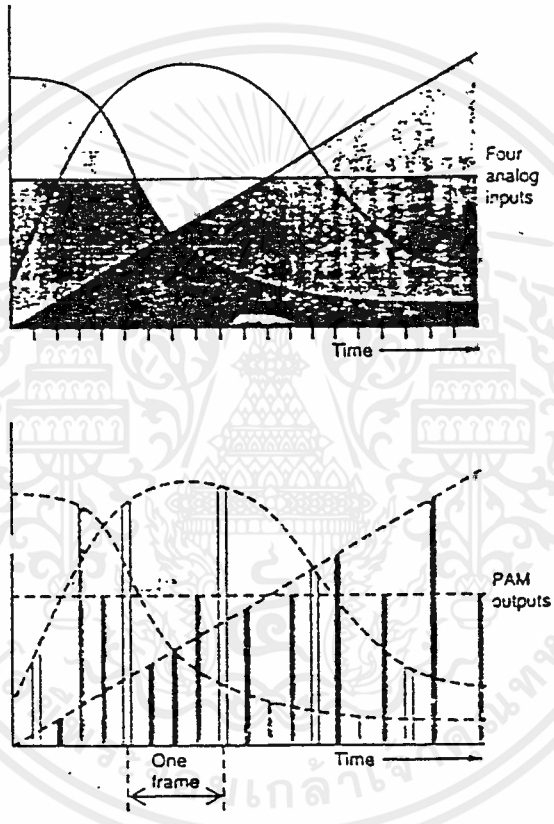


รูป 2.36 โรตารี่สวิตช์แบบง่าย ๆ

มาถึงขณะนี้โดยการรวมหลักการของ TDM และ PAM เราสามารถเห็นได้ว่าสัญญาณอนาลอกหลายอันสามารถส่งผ่านไปโดยช่องการสื่อสารช่องเดียวได้อย่างไร สิ่งนี้จะกระทำได้โดยใช้วงจรที่เรียกว่ามัลติเพล็กเซอร์ (MUX)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยชื่อเรียกมัลติเพล็กเซอร์มักจะเป็นอิเล็คทรอนิกส์สวิตช์แบบขั้วเดียวหลายตำแหน่ง ที่มีการแซมเปิลสัญญาณอินพุตที่เป็นอนาลอกหลายสัญญาณที่อัตราการแซมแปลิ้งสูง โรตารี่สวิตช์แบบง่าย ๆ แสดงดังรูปที่ 2.36 จะเป็นตัวอย่างแขนสวิตช์จะหมุนในแต่ละจุดต่อ เพื่อยอมให้สัญญาณอินพุตให้ผ่านไปยังเอาต์พุตได้ ซึ่งจะสวิตช์อย่างรวดเร็ว ไปยังช่องสัญญาณถัดไปและยอมให้ช่องนั้นผ่านไปได้ในเวลาที่กำหนดไว้ ช่องที่เหลือจะถูกแซมปลิ้งในลักษณะเช่นเดียวกัน หลังจากแต่ละสัญญาณถูกแซมปลิ้งแล้ว จะทำการทำซ้ำไปเรื่อย ๆ ผลก็คือสัญญาณอนาลอกสี่อันจะถูกแซ่มเปิลสร้างสัญญาณ PAM ซึ่งจะออกไปทีละอัน(interleave) เมื่อเทียบกับอันอื่น โดยรูปที่ 2.37 แสดงสัญญาณอนาลอกทั้ง 4 ถูกแซมเปิล



รูป 2.37 ตัวมัลติเพล็กซ์ตามเวลากับสัญญาณ PAM 4 ช่อง

วิธีหนึ่งที่จะให้การหมุนของสวิตช์เป็นไปโดยสมบูรณ์ก็คือการอ้างถึงเป็นเฟรมในทางกลับกันระหว่างหนึ่งเฟรม ช่องอินพุตแต่ละช่องจะถูกแซมเปิลเพียงครั้งเดียวจำนวนของจุดต่อบนตัวมัลติเพล็กแซอร์สวิตช์หรือคอมมิวเตเตอร์ จะจัดกลุ่มจำนวนของแซมเปิลต่อเฟรมจำนวนของเฟรมที่สำเร็จภายในหนึ่งวินาทีเรียกว่าเฟรมเรท ถ้าเราคูณจำนวนของแซมเปิลต่อเฟรมด้วยจำนวนเฟรมเรท เราจะได้อัตราการสื่อสารข้อมูลหรืออัตราการมัลติเพล็กซ์ และจำนวนนี้ก็คือความถี่ของพัลส์จากตัวมัลติเพล็กเซอร์ตัวสุดท้าย

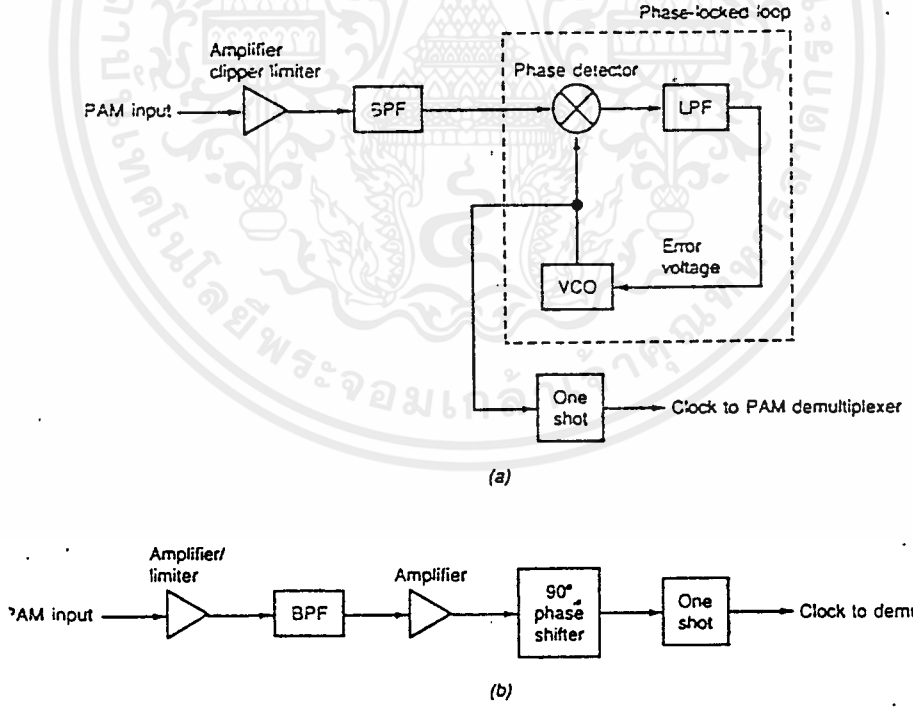
เมื่อสัญญาณที่เป็นส่วนประกอบ(composite signal) (สัญญาณจากตัวมัลติเพล็กซ์) ถูกรับได้มันจะถูกดีมอดูเลทและดีมัลติเพล็กซ์ ในระบบ PAM/PM/PM สัญญาณจะถูกป้อนเข้าตัวรับ และส่งไปยังตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีมอดูเลเตอร์ ซึ่งจะทำให้ได้ สัญญาณ PAM เดิม ในระบบ PAM/PM/PM สองระดับของเฟสดีมอดูเลเตอร์จะถูกต้องการก่อนที่สัญญาณ PAM จะได้ เมื่อได้สัญญาณส่วนประกอบ PAM มากแล้ว มันจะถูกป้อนเข้าไปยังตัวดีมัลติเพล็กเซอร์(มักจะเรียกว่า DEMUX) ตัว DEMUX นี้ จะทำงานกลับกันกับตัวมัลติเพล็กซ์มีจะอินพุตเดียวและมีหลายเอาต์พุตแต่ละอันสำหรับสัญญาณอินพุตดั้งเดิมที่เข้ามาแต่ละอัน

ปัญหาหลักที่ต้องทำให้ได้ในการดีมัลติเพล็กซ์ก็คือการซิงโครไนเซชั่น นั่นก็คือในการที่จะทำให้สัญญาณ PAM ได้ผ่านการดีมัลติเพล็กซ์อย่างถูกต้องกับสัญญาณเดิม จะต้องมีวิธีการบางวิธีที่จะรับประกันได้ว่าความถี่คล๊อกที่ใช้ในวงจรดีมัลติเพล็กซ์จะต้องมีลักษณะเหมือนกันทุกประการและตรงกับที่ใช้ในวงจรมัลติเพล็กซ์ ยิ่งไปกว่านั้นนอกจากการที่คล๊อกจะต้องเป็นอันหนึ่งอันเดียวกันแล้วลำดับของการดีมัลติเพล็กซ์ก็จะต้องเป็นอันหนึ่งอันเดียวกับลำดับของการมัลติเพล็กซ์ด้วย นั่นคือเมื่อช่องหนึ่งถูกแซมเปิลในฝั่งส่ง ช่องนั้นจะต้องเปิดในตัวฝั่งรับของส่วนดีมัลติเพล็กซ์ในเวลาเดียวกัน การซิงโครนัสเช่นนี้ปกติแล้วจะมีการใช้พัลส์ซิงโครนัสพิเศษซึ่งรวมอยู่ในส่วนหนึ่งของเฟรมด้วย

แทนที่จะใช้ออสซิลเลเตอร์แยกจากฝั่งส่ง สัญญาณคล็อกของฝั่งดีมัลติเพล็กซ์จะหามาจากสัญญาณ PAM ที่รับได้ด้วยตัวมันเอง ตัววงจรที่แสดงในรูปที่ 2.38 จะเป็นวงจรแบบหนึ่งที่ใช้ในการสร้างคล็อกพัลส์ในตัว DEMUX ซึ่งจะถูกเรียกว่าหน่วยกู้พัลส์(clock recovery circuit)



รูปที่ 2.38 วงจรกู้คล็อก PAM a) close loop b) open loop

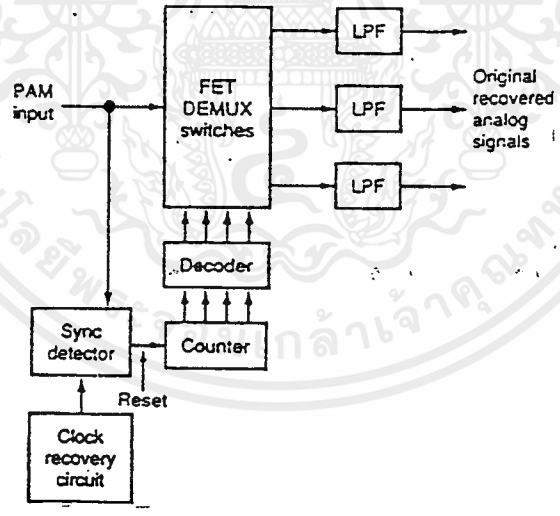
ด้วยคล็อกพัลส์ที่มีคุณสมบัติของความถี่ บางทีจะหมายถึงการต้องการการซิงโครไนซ์ช่องของตัวมัลติเพล็กซ์ สิ่งนี้มักจะทำได้โดยการใช้ ซิงโครไนซ์พัลส์พิเศษ ซึ่งถูกใส่ไว้เป็นหนึ่งในช่องสัญญาณอินพุตของฝั่งส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตัวอย่างที่ได้ยกมาแล้วในระบบที่มีการส่ง 4 ช่อง จะมีเพียงสามช่องสัญญาณที่แท้จริงเท่านั้น สัญญาณช่องที่ 4 จะถูกใช้ในการส่ง พัลส์พิเศษ ซึ่งคุณลักษณะของมันจะเป็นเอกลักษณ์ ในทางหนึ่งทางใดดังนั้นมันสามารถพบได้ง่าย ค่าแอมปลิจูดของพัลส์อาจจะมีขนาดกว้างกว่าค่าแอมปลิจูดสูงสุดของข้อมูล หรือว่ามีความกว้างของพัลส์ที่มากกว่า จำเป็นต้องมีวงจรพิเศษซึ่งสามารถจะตรวจพบสัญญาณ ซิงโครไนซ์พัลส์ได้

ดังที่ได้กล่าวไว้ สัญญาณซิงค์พัลส์ มักจะเป็นอันสุดท้ายในเฟรมที่กำหนดให้ สัญญาณซิงโครไนซ์พัลส์นี้เมื่อสามารถตรวจพบได้ที่ฝั่งรับจะใช้ในการรีเซ็ตพัลส์สำหรับเคาท์เตอร์ในวงจรดีมัลติเพล็กซ์ ที่ส่วนปลายของแต่ละเฟรมตัวเคาท์เตอร์จะถูกเซ็ตให้เป็น 0 หมายความว่าช่องสัญญาณ 0 จะถูกเลือก มาถึงตอนนี้เมื่อสัญญาณ PAM ตัวใหม่เกิดขึ้น ตัว DEMUX จะถูกเซ็ตให้ไปยังช่องที่เหมาะสม ต่อมาคล็อกพัลส์ก็จะเริ่มการนับในลำดับที่เหมาะสมสำหรับตัวดีมัลติเพล็กซ์

ในส่วนท้ายสุด ที่เอาต์พุตของตัว DEMUX ตัวกรองผ่านความถี่ต่ำ(LPF) จะต้องถูกใส่ไว้ในแต่ละช่อง เพื่อที่จะได้สัญญาณอนาลอกดั้งเดิมกลับมา รูปที่ 2.39 จะแสดงวงจร ดีมัลติเพล็กซ์ของสัญญาณ PAM ที่สมบูรณ์



รูป 2.39 วงจรดีมัลติเพล็กซ์ของสัญญาณ PAM ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การซิงโครไนซ์เซชั่น

2.4.1 ความหมายของการซิงโครไนซ์เซชั่น

ในการพูดถึงการดีมอดูเลทและการดีโคดในแต่ละช่องสัญญาณ มันจะสมมุติว่ามีข้อมูลหลายแบบที่เข้ามา ซึ่งอาจจะในช่วงเวลาเดียวกัน และเราสามารถแยกข้อมูลเหล่านั้นออกมาได้อย่างถูกต้อง ในกรณีของโคฮีเรนท์เฟสมอดูเลเตอร์(PSK) ตัวรับจะถูกสมมติว่าสามารถจะสร้างกลุ่มของสัญญาณอ้างอิงซึ่งเปรียบเทียบกับสัญญาณที่เข้ามาเพื่อกระบวนการที่จะสร้างการตัดสินว่าเป็นสัญลักษณ์(symbol)ใดได้อย่างถูกต้อง

ในการที่จะสร้างสัญญาณอ้างอิงนี้ตัวรับจะต้องซิงโครไนซ์กับสัญญาณพาหะที่รับได้ นั่นหมายความว่ามันจะมีการพร้อมกันทางเฟสระหว่างคลื่นสัญญาณไซน์(sinusoid)ที่เข้ามา และตัวจำลองของมันในเครื่องรับ ในทางกลับกันถ้ามันไม่มีข่าวสารใดถูกมอดดูเลตในคลื่นพาห์ที่เข้ามา สัญญาณพาหะรูปซายน์ที่เข้ามาและตัวสำเนาของมันที่เครื่องรับจะต้องเป็นศูนย์ สิ่งนี้คือสิ่งที่เรียกว่าการล๊อกทางเฟส(phase lock) และในเงื่อนไขนี้จะต้องมีการประมาณที่ใกล้เคียง ถ้าสัญญาณที่มอดูเลทแบบโคฮีเรนท์จะถูกดีมอดูเลทอย่างใกล้เคียงที่เครื่องรับ ถ้าสัญญาณข่าวสารไม่ได้ถูกมอดูเลตโดยตรงกับสัญญาณพาหะแต่มีการมอดูเลตโดยอ้อมผ่านการใช้สัญญาณพาหะย่อย เฟสของทั้งสัญญาณพาหะและสัญญาณพาหะย่อยจะต้องถูกกำหนด ถ้าทั้งสัญญาณพาหะและสัญญาณพาหะย่อยไม่รักษาให้มีเฟสซิงโครไนซ์กับการส่ง มันจะต้องสร้างสำเนาของสัญญาณพาหะย่อยที่เครื่องรับ เมื่อเฟสของสัญญาณสำเนาของสัญญาณพาหะย่อยถูกควบคุมแยกจากสำเนาของสัญญาณพาหะ จะทำให้มันสามารถที่จะทำให้เกิดการล๊อกทางเฟสของทั้งสัญญาณพาหะและสัญญาณพาหะย่อย

มันยังมีการสมมุติว่าเครื่องรับจะต้องมีความรู้อย่างถูกต้องเกี่ยวกับเมื่อสัญลักษณ์ที่เข้ามามีการเริ่มต้นและสิ้นสุด ความรู้นี้เป็นสิ่งจำเป็นเพื่อที่จะรู้ถูกขอบเขตโดยรวมของสัญลักษณ์ ช่วงขอบเขตทางด้านเวลาซึ่งจะนำไปใช้ในการตัดสินใจเกี่ยวกับตัวสัญลักษณ์อย่างเห็นได้ชัด ถ้าที่ฝั่งรับมีช่วงเวลาในตรวจจับที่ให้เหมาะสมกับความยาวของสัญญาณหรือมีการตรวจที่ยาวไป ความสามารถในการที่จะตรวจจับสัญญาณจะลดลง

มันสามารถเห็นได้ว่าการซิงโครไนซ์ทางสัญลักษณ์ และการซิงโครไนซ์ทางเฟสมันจะมีความคล้ายคลึงที่ว่าทั้งคู่ต่างเป็นฉารผลิตสำเนาของตำแน่งของสัญญาณที่ส่งในเครื่องรับ สำหรับการซิงโครไนซ์ทางเฟสซึ่งจะเป็นสัญญาณพาหะรูปซายน์ แต่สำหรับการซิงโครไนซ์ทางสัญลักษณ์ ตัวสำเนาจะเป็นคลื่นรูปสี่เหลี่ยมที่มีอัตราความถี่เท่ากับอัตราของความเร็วของสัญลักษณ์ ที่เครื่องรับจะต้องสามารถที่จะผลิตคลื่นรูปสี่เหลี่ยมซึ่งมีการเปลี่ยนแปลงพร้อม ๆ กันไปกับการเปลี่ยนแปลงของสัญญาณที่เข้ามาระหว่างแต่ละสัญลักษณ์ ที่เครื่องรับจะต้องสามารถที่จะทำสิ่งนี้และมันจะพูดได้ว่ามีการซิงโครไนซ์ทางสัญลักษณ์หรือเรียกว่ามีการล๊อกของสัญลักษณ์ (symbol lock) เนื่องจากในทางปฏิบัติแล้ว มันจะมีรอบของความเร็วของสัญญาณพาหะสูงมากในหนึ่งคาบของสัญลักษณ์ ระดับที่สองของการซิงโครไนซ์นี้จะหยาบกว่าการซิงโครไนซ์ทางเฟส และมักจะสร้างด้วยวงจรที่แตกต่างจาการซิงโครไนซ์ทางเฟส

ในระบบการสื่อสารหลายชนิดจะมีความต้องการในการซิงโครไนซ์ในระดับที่สูงกว่าที่กล่าวมาแล้ว ซึ่งมักจะถูกเรียกว่าการซิงโครไนซ์ทางเฟรม(frame synchronize) การซิงโครไนซ์ทางเฟรมจะมีความต้องการเมื่อข่าวสารถูกจัดมาในรูปแบบของบล๊อก หรือข้อความของสัญลักษณ์จำนวนหนึ่ง สิ่งนี้จะเกิดขึ้นดังตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าการเข้ารหัสของบล๊อกถูกใช้เพื่อควบคุมการผิดพลาด หรือถ้าช่องการสื่อสาร (communication channel) มีการแบ่งการใช้งาน โดยพื้นฐานที่มีผู้ใช้หลายคน (TDMA) ในกรณีของการเข้ารหัสบล๊อกนี้ ตัวดีโคดเดอร์จะต้องรู้ถึงขอบเขตระหว่างคำที่ถูกเข้ารหัสมา เพื่อที่จะทำการถอดรหัสข่าวสารได้อย่างถูกต้อง ในกลุ่มของช่องสัญญาณที่มีการแบ่งตามเวลา มันมีความจำเป็นจะต้องรู้ถึงขอบเขตของช่องที่มีผู้ใช้ใช้อยู่ เพื่อที่จะรู้ว่าข่าวสารนี้ส่งมาจากที่ใดและมันจะต้องไปยังเส้นทางไหน คล้ายคลึงกับการซิงโครไนซ์ทางสัญลักษณ์ การซิงโครไนซ์ทางเฟรมจะต้องสามารถที่จะสร้างสัญญาณรูปสี่เหลี่ยม ที่อัตราความเร็วเท่ากับอัตราความเร็วของเฟรม (frame rate) ที่มีการเปลี่ยนเป็น 0 พร้อม ๆ กันกับการเปลี่ยนแปลงจากเฟรมหนึ่งไปอีกเฟรมถัดไป

ในระบบการสื่อสารดิจิตอลส่วนมากจะใช้โคฮีเรนท์มอดูเลเตอร์ที่ต้องการ การซิงโครไนซ์ทั้งสามระดับนี้ เฟสสัญลักษณ์และการซิงโครไนซ์ทางเฟรม สำหรับเทคนิคของระบบที่ใช้การมอดูเลทแบบนอนโคฮีเรนท์จะต้องการการซิงโครไนซ์ทางสัญลักษณ์และเฟรม แต่เนื่องจากการมอดูเลทนั้นเป็นแบบนอนโคฮีเรนท์ การล๊อกกันทางเฟสจึงไม่จำเป็น แต่นอนโคฮีเรนท์จะต้องการ การซิงโครไนซ์กันทางความถี่ การซิงโครไนซ์กันทางความถี่จะแตกต่างจากการซิงโครไนซ์กันทางเฟสในกรณีที่ว่า เมื่อมีการซิงโครไนซ์กันทางความถี่แล้ว สำเนาของคลื่นพาห์ที่ถูกสร้างที่ฝั่งรับจะยอมให้มีค่าออฟเซ็ตของเฟสที่คงที่ตามอำเภอใจเมื่อเทียบกับสัญญาณที่รับได้ การออกแบบเครื่องรับสามารถทำได้โดยการเคลื่อนย้ายความต้องการที่จะกำหนดค่าที่แท้จริง ของเฟสของสัญญาณพาหะที่เข้ามา แต่โชคไม่ดีนักสัญญาณพาหะที่ได้มานี้จะมีจุดด้อยในเรื่องของการลดค่าอัตราส่วนระหว่างสัญญาณต่อสัญญาณรบกวน (signal -to- noise ratio)

ตลอดคำบรรยายที่กล่าวมาแล้ว ยังห่างไกลจากระบบต้นทางและปลายทางของการสื่อสาร ยังเป็นเพียงตัวอย่าง แต่อย่างไรก็ตาม เมื่อเครื่องส่งถูกสมมุติให้มีการซิงโครไนซ์อย่างดี โดยการปรับเปลี่ยนเวลาและความถี่ของการส่ง ซึ่งจะสอดคล้องกับที่เครื่องรับ ตัวอย่างของสถานการณ์นี้ก็เช่นในระบบการโครงข่ายการสื่อสารผ่านดาวเทียม เมื่อสัญญาณจากภาคพื้นดินเป็นจำนวนมากถูกส่งไปยังเครื่องรับดาวเทียมอันเดียว ในกรณีเช่นนี้ ตัวส่งจะต้องจะต้องมีการกำหนดกับตัวรับเพื่อกำหนดการซิงโครไนซ์อย่างถูกต้อง ดังนั้นการซิงโครไนซ์กันในการส่งสัญญาณ มักจะต้องเป็นการติดต่อสื่อสารแบบสองทางหรือในโครงข่าย เพื่อที่จะทำให้สำเร็จการซิงโครไนซ์เช่นนี้มักจะเรียกว่า การซิงโครไนซ์ของโครงข่าย (network synchronization)

2.5 การสื่อสารข้อมูลแบบดิจิตอล (การมอดูเลชันสัญญาณดิจิตอล)

2.5.1 เกริ่นนำ

ระหว่างหลายปีที่ผ่านมานี้ การสื่อสารข้อมูลแบบอิเล็คทรอนิคส์ ได้เติบโตขึ้นและมีบางอย่างที่เปลี่ยนแปลง ในอดีตที่ผ่านมา การสื่อสารข้อมูลทางอิเล็คทรอนิคส์ มักจะใช้เทคนิคการมอดูเลทข้อมูลทางอนาลอก อย่างเช่น แอมปลิจูดมอดูเลชัน (AM) ฟรีเควนซี่มอดูเลชัน (FM) หรือ เฟสมอดูเลชัน (PM) ถูกแทนที่ที่การสื่อสารข้อมูลแบบดิจิตอลที่ทันสมัยกว่า ในระบบการสื่อสารข้อมูลแบบดิจิตอล จะเสนอข้อได้เปรียบหลายประการที่เหนือกว่าการสื่อสารข้อมูลแบบอนาลอก ทั้งในด้านกระบวนการ ทั้งในด้านการมัลติเพล็กซ์ และ ทั้งในการกำจัดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่องของการสื่อสารข้อมูลทางไฟฟ้าก็คือการส่งสัญญาณ การรับและกระบวนการของข่าวสารข้อมูลซึ่งใช้วงจรทางอิเล็คทรอนิกส์ ข่าวสารข้อมูลเป็นความรู้หรือสิ่งที่รับได้ รูปที่ 2.40 จะแสดงบล๊อกไดอะแกรมอย่างย่อของระบบการสื่อสารทางไฟฟ้า ซึ่งจะสามารถย่อยได้เป็นสามส่วนย่อย ๆ คือส่วนแหล่งกำเนิด ส่วนเป้าหมายและส่วนตัวกลางการส่งสัญญาณ ข่าวสารจะถูกแพร่กระจายผ่านระบบการสื่อสารในรูปแบบของสัญลักษณ์ซึ่งอาจจะเป็นอนาลอก เช่นเสียงพูด ข่าวสารของภาพวีดีโอ เสียงดนตรี หรือข่าวสารแบบดิจิตอล(แบบดีสครีส) อย่างเช่นข้อมูล BCD รหัสทางตัวเลข สัญลักษณ์ทางกราฟฟิก หรือข่าวสารแบบดาต้าเบส อย่างไรก็ตามโดยทั่วไปแล้วข่าวสารจากแหล่งกำเนิดจะไม่เหมาะสมสำหรับการส่ง อย่างเช่นตัวอย่างระบบการสื่อสารแบบดิจิตอล สัญญาณอนาลอกถูกเปลี่ยนเป็นรูปแบบของดิจิตอลเพื่อการส่งสัญญาณ ด้วยการสื่อสารข้อมูลในระบบอนาลอก สัญญาณดิจิตอลก็ถูกเปลี่ยนให้อยู่ในรูปของอนาลอกเพื่อการรับสัญญาณ

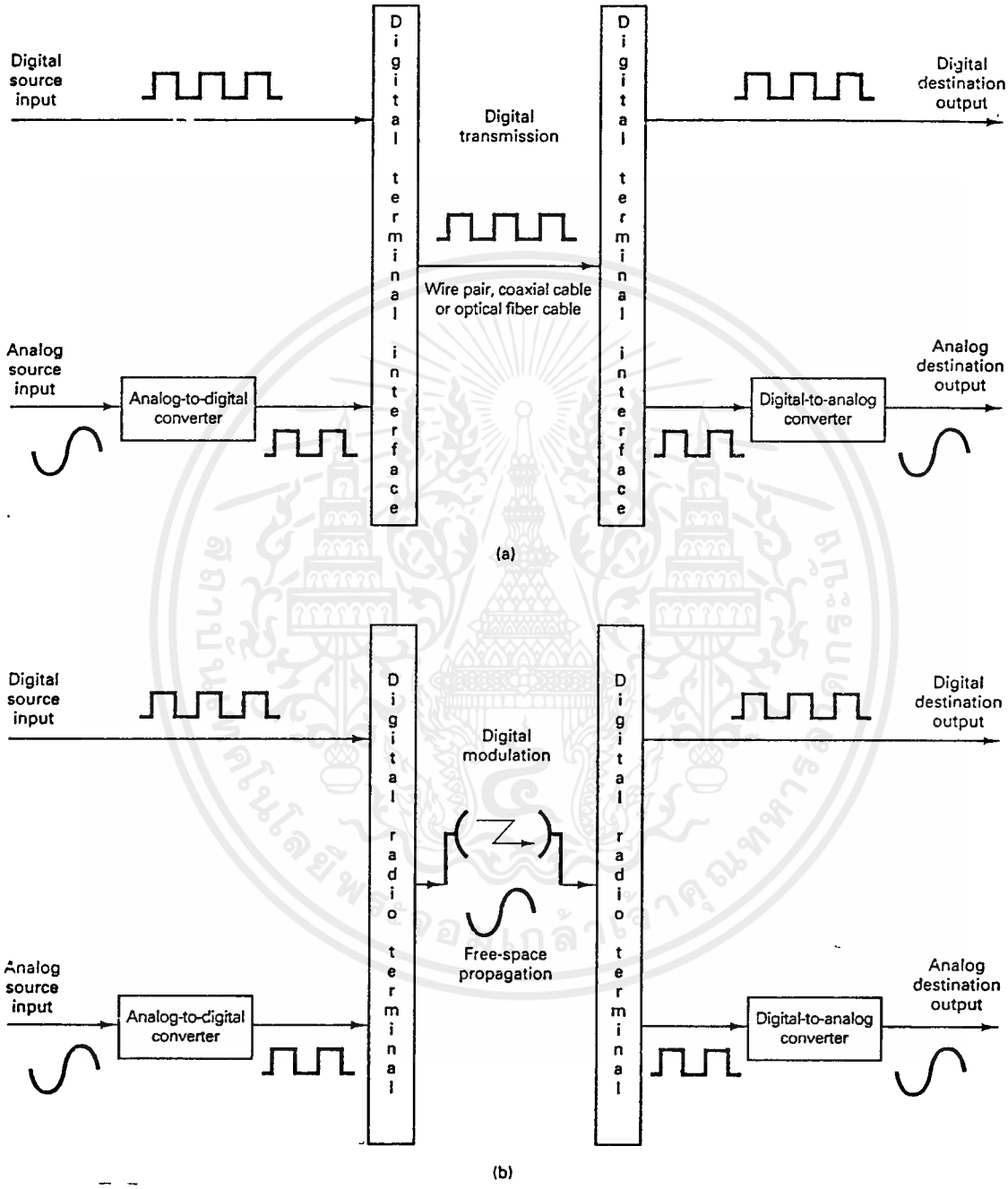
รูป 2.40 บล๊อกไดอะแกรมอย่างย่อของระบบการสื่อสารทางไฟฟ้า

2.5.2 การสื่อสารแบบดิจิตอล

คำว่า"การสื่อสารแบบดิจิตอล"จะครอบคลุมถึงเทคนิคการสื่อสารที่ประกอบด้วย"digital transmission" และ "digital radio" สำหรับ digital transmission จะเป็นการส่งข้อมูลของขบวนพัลส์ดิจิตอลระหว่างสองจุดหรือมากกว่าในระบบการสื่อสาร สำหรับdigital radio จะเป็นการส่งข้อมูลสัญญาณดิจิตอลที่ถูกมอดูเลทด้วยคลื่นพาห์อนาลอกระหว่างสองจุดหรือมากกว่าในระบบการสื่อสาร ระบบของ digital transmission ต้องการความสะดวกระหว่างตัวส่งและตัวรับ อย่างเช่นสายที่ทำจากโลหะ สายโคแอคเชียลหรือสายเส้นใยแสง ในระบบของ digital radio ตัวกลางในการส่งจะเป็นชั้นบรรยากาศ free space หรือ ชั้นบรรยากาศ atmosphere

รูปที่ 2.41 จะแสดงถึงบล๊อกไดอะแกรมอย่างย่อของทั้งระบบ digital radio และ digital transmission ในระบบของ digital transmission แหล่งกำเนิดข่าวสารดั้งเดิม อาจจะอยู่ในรูปของทั้งสัญญาณดิจิตอล และรูปแบบของสัญญาณอนาลอก ถ้ามันอยู่ในรูปของสัญญาณอนาลอก มันจะต้องถูกเปลี่ยนเป็นสัญญาณพัลส์ของดิจิตอลส่งไปและมีการเปลี่ยนกลับให้อยู่ในรูปของสัญญาณอนาลอกที่ปลายฝั่งรับ ในระบบของ digital radio สัญญาณที่จะนำมามอดูเลต และสัญญาณที่ได้จากวงจรดีมอดูเลทจะเป็นขบวนพัลส์ดิจิตอล พัลส์ของสัญญาณดิจิตอลอาจจะมาจากระบบการส่งสัญญาณดิจิตอลมาจากแหล่งกำเนิดสัญญาณที่เป็นดิจิตอลอย่างเช่นคอมพิวเตอร์ หรือมาจากการเข้ารหัสสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



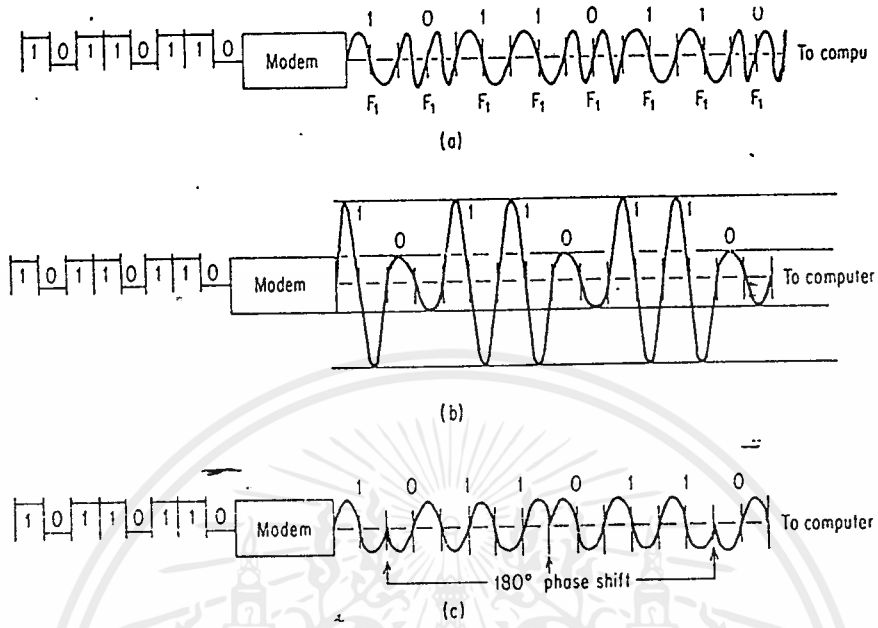
รูปที่ 2.41 การสื่อสารแบบดิจิตอล a)digital transmission b)digital radio

2.5.3 การกระจายสัญญาณด้วยวิธีทางดิจิตอล

การกระจายสัญญาณด้วยข้อมูลทางดิจิตอลมีอยู่ 3 วิธีหลัก ๆ คือ ฟรีเควนซี่ชิฟคีย์อิ้ง(frequency shift keying) แอมปลิจูดชิฟคีย์อิ้ง(amplitude shift keying) และ เฟสชิฟคีย์อิ้ง(phase-shift keying) โดยรูป 2.42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงวิธีการมอดูเลชันของแต่ละวิธีซึ่งในที่นี้จะกล่าวเฉพาะรายละเอียดของวิธีที่ใช้ในโครงงานนี้คือ วิธีฟรีเควนซี่ชิฟคีย์อิ้ง



รูป 2.42 แสดงวิธีการมอดูเลชันเพื่อส่งข้อมูลดิจิตอลแบบต่าง ๆ (a)ฟรีเควนซี่ชิฟคีย์อิ้ง(FSK); (b)แอมปลิจูดชิฟคีย์อิ้ง(ASK); (c)เฟสชิฟคีย์อิ้ง(PSK)

2.5.3.1 การมอดูเลชันทางดิจิตอล

การมอดูเลชันโดยทั่ว ๆ ไป เป็นกระบวนการที่องค์ประกอบหนึ่งหรือมากกว่าหนึ่งอย่างของรูปคลื่นจะเปลี่ยนแปลงโดยมีความสัมพันธ์โดยตรงกับข้อมูลข่าวสาร ตัวอย่างเช่นสัญญาณคลื่นรูปซายน์จะมี 3 องค์ประกอบที่สามารถเปลี่ยนแปลงคือแอมปลิจูด, ความถี่และเฟส (ดังสมการ (ก.)

$$E_c(t) = A\sin(\omega_c t + \phi) \quad \text{----------(ก.)}$$

การทำให้สัญญาณข่าวสารเปลี่ยนค่า A จะทำให้เกิดการมอดูเลชันทางแอมปลิจูด (AM) การเปลี่ยนค่า ω_c หรือ ϕ จะเป็นการมอดูเลชันทางความถี่หรือทางเฟส โดยสัญญาณรูปซายน์ที่ยังไม่ได้มอดูเลต เราจะอ้างถึงในสมการ(ก.) โดยชนิดต่าง ๆ ของการมอดูเลตจะถูกแสดงในสมการ (ข.)

$$S(t) = A(t)\sin[\,2\pi f(t) + \phi(t)\,] \quad \text{----------(ข.)}$$

Modulated Carrier — Amplitude — Frequency — Phase

ถ้าค่าที่ถูกมอดูเลตแล้วมีความต่อเนื่อง จะเป็นการมอดูเลชันแบบอนาลอกแต่ถ้ามีการระบุค่าที่ต้องการการมอดูเลตนั้นจะเรียกว่าเป็นแบบดิจิตอล

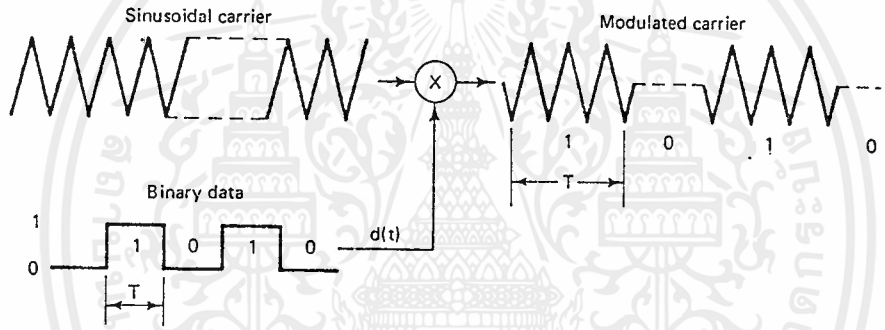
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการมอดูเลตแบบดิจิตอลจะอ้างถึงวิธีที่แอมปลิจูด ความถี่ และ/หรือ เฟส โดยจะถูกทำให้มีค่าที่ถูกกำหนดไว้แล้วด้วยวิธีการนี้การมอดูเลตนั้นจะถูกเรียกว่าแอมปลิจูดชิฟคีย์อิ้ง (amplitude-shift keying; ASK), ฟรีเควนซี่ชิฟคีย์อิ้ง(frequency-shift keying; FSK), เฟสชิฟคีย์อิ้ง(phase-shift keying) และ ควอดราเจอร์แอมปลิจูดมอดูเลชัน(quadrature-amplitude modulation ; QAM) โดย QAM เป็นการรวมกันระหว่าง ASK กับ PSK ตัวอย่างของ ASK จะแสดงดังรูป 2.43 ซึ่งข้อมูลจะถูกเข้ารหัสเป็นข้อมูลแบบไบนารี่ ด้วยวิธีทางคณิตศาสตร์เราสามารถอธิบายการมอดูเลต ASK ได้โดย

$$S_i(t) = E\cos\omega_0 t \cdot d(t) \qquad \text{----------(ค.)}$$

โดย E = ค่าแอมปลิจูดสูงสุดของคลื่นพาห์

d(t) = ข้อมูลไบนารี่



รูป 2.43 แอมปลิจูดชิฟคีย์อิ้งแบบเปิดปิด(on/off amplitude-shift keying)

จากรูป2.43 สัญญาณรูปซายน์ที่มีแอมปลิจูดเท่ากับค่า E จะถูกส่งออกมาเมื่อสัญญาณทางดิจิตอลมีค่าเป็นลอจิก 1 ในทางกลับกันจะไม่มีสัญญาณคลื่นพาห์ถูกส่งออกมาถ้าข้อมูลมีค่าลอจิกเป็นศูนย์ โดยวิธีนี้เป็นวิธีที่ง่าย แต่ไม่เหมาะที่จะนำมาใช้งานด้วยเหตุผลหลายประการ ตัวอย่างเช่นพลังงานของคลื่นพาห์ที่ได้มาจะมีประสิทธิภาพน้อย โดยสำหรับข้อมูลที่มีการสุ่มเข้ามา คลื่นพาห์จะถูกใช้งานโดยมีพลังงานเพียงแค่ครึ่งเดียว

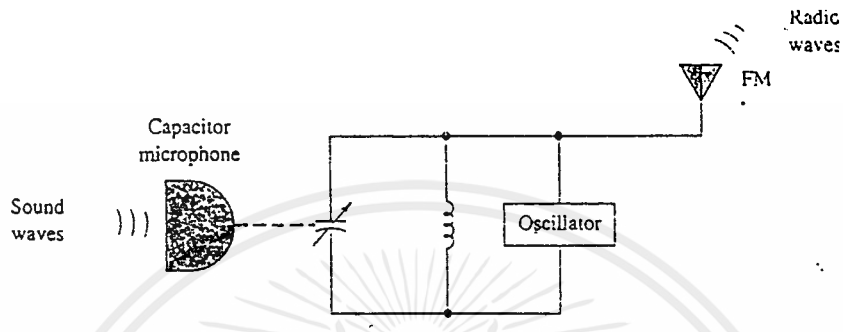
2.5.3.2 การสร้างสัญญาณมอดูเลตทางความถี่

เพื่อที่จะเพิ่มความเข้าใจของระบบ FM แสดงดังรูปที่ 2.44 เป็นระบบการส่งสัญญาณ FM โดยเป็นตัวอย่างง่าย ๆ แต่ก็สามารถแสดงตัวอย่างในเรื่องของ FM ได้ดีทีเดียว ตัวอย่างนี้ประกอบด้วยวงจร LC แท็งค์ (LC tank circuit) ซึ่งจะเชื่อมต่อกับวงจรออสซิลเลเตอร์ เพื่อสร้างสัญญาณรูปซายน์ออกมา ส่วนของตัวเก็บประจุในวงจร LC tank จะไม่ใช้ตัวเก็บประจุที่พบเห็นกันได้ทั่ว ๆ ไปแต่จะใช้เป็นไมโครโฟนชนิดที่เป็นตัวเก็บประจุโดยค่าความจุของตัวเก็บประจุจะสามารถเปลี่ยนแปลงได้ โดยไมโครโฟนชนิดนี้ที่ใช้กันเราจะเรียกว่าไมค์คอนเดนเซอร์ เมื่อไม่มีเสียงเข้ามาค่าความจุจะคงที่ แต่เมื่อมีคลื่นเสียงเข้ามากระทบจะทำให้แผ่นที่ไมค์เคลื่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทำให้ค่าความเก็บประจุเปลี่ยนแปลงระหว่างค่ากลางของมัน โดยอัตราการเปลี่ยนแปลงของค่าความเก็บประจุจะมีค่าเท่ากับค่าความถี่ของคลื่นเสียงที่เข้ามากระทบไมค์ และปริมาณที่ค่าความเก็บประจุเปลี่ยนแปลงจะแปรผันตามแอมปลิจูดของคลื่นเสียง เพราะว่าค่าความเก็บประจุจะมีผลกระทบโดยตรงกับค่าความถี่ที่ได้จากออสซิลเลเตอร์ โดยความถี่เอาต์พุตของระบบจะสัมพันธ์กับ 2 ข้อต่อไปนี้

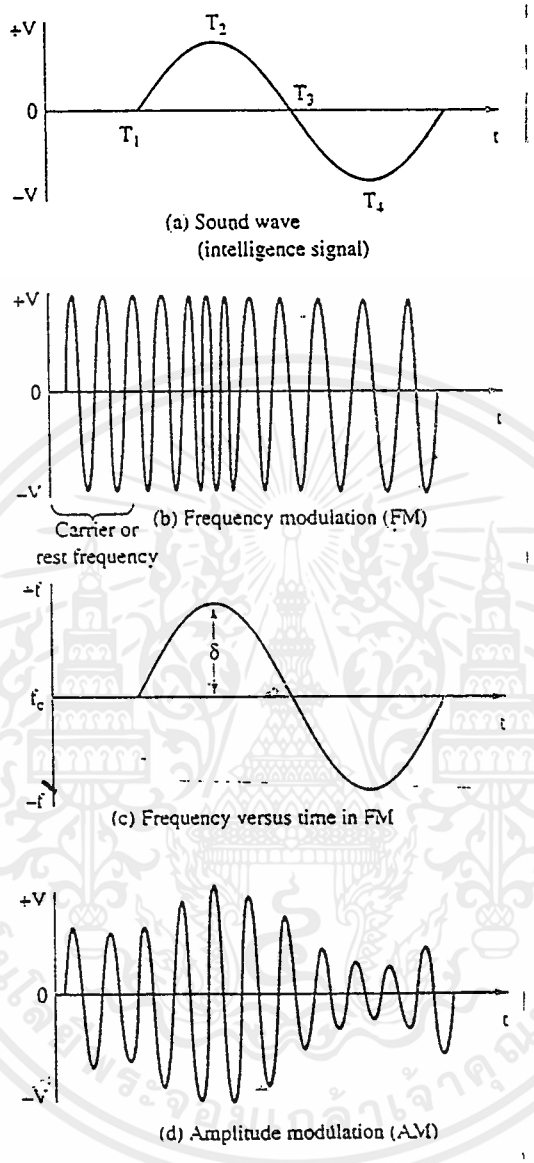
- ความถี่ของคลื่นเสียงที่เข้ามาตกกระทบ จะกำหนดอัตราการเปลี่ยนแปลงของความถี่
- แอมปลิจูดของคลื่นเสียงที่เข้ามาตกกระทบจะใช้กำหนดปริมาณของความถี่ที่เปลี่ยนแปลง



รูป 2.44 อุปกรณ์สร้างสัญญาณ FM โดยวิธีการใช้ไมโครโฟนชนิดคาปาซิเตอร์

พิจารณากรณีที่เป็นสัญญาณเสียงคลื่นรูปซายน์ดังรูป 2.45(a) จนถึงเวลา T_1 รูปคลื่นของออสซิลเลเตอร์ (รูป b) มีความถี่และแอมปลิจูดคงที่ ซึ่งจะตรงกับความถี่ของคลื่นพาห์ (f_c) ที่เวลา T_1 สัญญาณคลื่นเสียงเริ่มเกิดขึ้น และมีค่าสูงสุดทางบวกที่เวลา T_2 ระหว่างช่วงนี้ความถี่ออสซิลเลเตอร์จะค่อย ๆ เพิ่มขึ้นและจะเพิ่มมากที่สุดที่เวลา T_2 และจากช่วงเวลา T_2 ถึง T_4 คลื่นเสียงจะเริ่มเปลี่ยนจากสัญญาณด้านบวกสูงสุด ไปทางสัญญาณด้านลบต่ำสุด และทำให้ความถี่ออสซิลเลเตอร์เปลี่ยนจากความถี่สูงสุดไปเป็นความถี่ที่ต่ำที่สุด ที่เวลา T_3 สัญญาณเสียงกำลังมีค่าอยู่ที่ศูนย์ จึงทำให้ความถี่ที่ได้จากออสซิลเลเตอร์มีค่าเท่ากับความถี่คลื่นพาห์ ณ ขณะเวลานั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.45 แสดงการเกิดสัญญาณ FM

2.5.3.3 หลักพื้นฐานของ FM

จำนวนของความถี่ออสซิลเลเตอร์ที่เพิ่มและลดลงรอบ ๆ ค่า f_c เราเรียกว่าค่าเบี่ยงเบนความถี่ (frequency deviation; δ) การเบี่ยงเบนนี้แสดงดังรูป 2.45c) โดยเป็นฟังก์ชันของเวลา โดยรูปที่แสดงสัญญาณข่าวสารข้อมูลที่เป็นสัญญาณรูปซายน์เป็นสัญญาณข้อมูลในทางอุดมคติ เพื่อแสดงให้เห็นว่าสัญญาณออสซิลเลเตอร์ที่ออกมาจริง ๆ แล้วเป็นรูปคลื่นสัญญาณ FM เราได้ทราบกันมาแล้วว่า FM ถูกกำหนดว่าเป็นคลื่นพาห์รูปซายน์ โดยมีจำนวนความถี่ที่เปลี่ยนแปลงขึ้นอยู่กับค่าแอมปลิจูดของสัญญาณข้อมูลข่าวสาร และอัตราการเปลี่ยนแปลงของข้อมูลข่าวสารเท่ากับความถี่ของข้อมูลข่าวสารที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.45(d) แสดงรูปคลื่น AM เป็นผลลัพธ์จากสัญญาณข้อมูลข่าวสารรูป(a) ซึ่งทำให้เห็นความแตกต่างระหว่างสัญญาณ AM กับ FM ได้ชัดเจนยิ่งขึ้น โดยในกรณีของ AM แอมปลิจูดของคลื่นพาห์จะเปลี่ยนแปลงไป (โดยไซด์แบนด์ของตัวมัน) โดยขึ้นอยู่กับข้อมูลข่าวสาร ในขณะที่ FM ความถี่ของคลื่นพาห์จะเปลี่ยนแปลงไปซึ่งขึ้นอยู่กับการเปลี่ยนแปลงของข้อมูลข่าวสาร

ระบบการสร้างสัญญาณ FM โดยไมโครโฟนชนิดตัวเก็บประจุในทางปฏิบัติแล้ว จะไม่ค่อยพบเห็น แต่เราจะใช้เพื่อเป็นตัวอย่างง่าย ๆ เพื่อให้เกิดความรู้ความเข้าใจในพื้นฐานของระบบ FM ได้เร็วขึ้น ถ้าความถี่ของสัญญาณเสียงที่เข้ามากระทบมีความถี่เพิ่มขึ้นเป็น 2 เท่า เช่นจาก 1 กิโลเฮิรตซ์ เป็น 2 กิโลเฮิรตซ์ โดยมีแอมปลิจูดของสัญญาณคงที่ อัตราการเปลี่ยนแปลงของความถี่คลื่นพาห์สัญญาณเอาต์พุตของ FM จะแกว่งไปมาระหว่าง f_c โดยจะเปลี่ยนจาก 1 กิโลเฮิรตซ์ เป็น 2 กิโลเฮิรตซ์ อย่างไรก็ตามเพราะว่าแอมปลิจูดของสัญญาณข่าวสารไม่เปลี่ยนแปลงจำนวนของการเบี่ยงเบนความถี่ (δ) ที่อยู่เหนือและต่ำกว่า f_c จะยังคงเป็นค่าเดิม ในทางกลับกันถ้าสัญญาณข่าวสารยังคงเป็น 1 กิโลเฮิรตซ์ เหมือนเดิม แต่แอมปลิจูดถูกเพิ่มขึ้นเป็น 2 เท่า อัตราการเบี่ยงเบนของความถี่ที่สูงและต่ำกว่า f_c ยังคงเป็น 1 กิโลเฮิรตซ์ เหมือนเดิม แต่ปริมาณของการเบี่ยงเบนความถี่จะเพิ่มขึ้นเป็น 2 เท่า

ซึ่งเมื่อได้ศึกษาระบบ FM เมื่อเราสับสนในทฤษฎีพื้นฐานของระบบ FM การทบทวนระบบการสร้างสัญญาณ FM โดยไมโครโฟนชนิดตัวเก็บประจุจะช่วยให้เข้าใจพื้นฐานของระบบ FM ได้ดีขึ้น
โดยมีหลักว่า

- แอมปลิจูดของสัญญาณข้อมูลจะเป็นตัวกำหนดปริมาณของการเบี่ยงเบนความถี่คลื่นพาห์
- ความถี่ของสัญญาณข้อมูล (f_i) เป็นตัวกำหนดอัตราการเบี่ยงเบนของความถี่คลื่นพาห์

2.5.3.4 การวิเคราะห์สัญญาณ FM

การวิเคราะห์สัญญาณการมอดูเลชันทางมุมจำเป็นต้องใช้คณิตศาสตร์ชั้นสูง แต่สำหรับจุดประสงค์ตอนนี้ของเราคือสามารถอธิบายสมการด้วยรูปแบบที่เข้าใจง่าย โดยสมการต่อไปนี้แสดงสมการสำหรับ FM

$$e = A\sin(\omega_c t + m_f \sin\omega_i t) \qquad \text{----------(ง.)}$$

โดย e เป็นแรงดันขณะนั้น

A ค่าสูงสุดของคลื่นพาห์ก่อนทำการมอดูเลต

ω_c คือความเร็วเชิงมุมของคลื่นพาห์($2\pi f_c$)

m_f เป็นค่าดัชนีการมอดูเลชันของ FM

ω_i ความเร็วเชิงมุมของสัญญาณข่าวสาร($2\pi f_i$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง m_f จะเป็นดัชนีการมอดูเลชันของ FM ซึ่งมีค่าเท่ากับ

$$m_f(\text{ดัชนีการมอดูเลต}) = \delta / f_i \qquad \text{----------(จ.)}$$

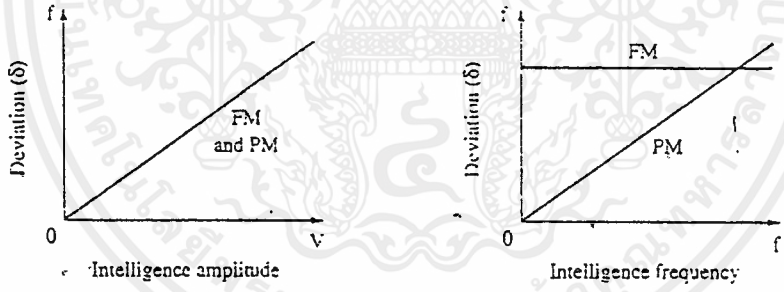
โดย δ คือค่าความถี่ที่ถูกเลื่อนสูงสุด(maximum frequency shift) ซึ่งเกิดขึ้นโดยสัญญาณข้อมูลข่าวสาร(ความเบี่ยงเบน)

f_i คือความถี่ของสัญญาณข้อมูลข่าวสาร

ใน FM (สมการ (ง.) เฟสของคลื่นพาห์จะถูกกำหนดโดยอัตราส่วนของสัญญาณข้อมูลข่าวสาร (ซึ่งใช้กำหนดค่า δ) กับความถี่ของสัญญาณข้อมูลข่าวสาร (f_i) ด้วยเหตุนี้ FM จึงไม่มีความไวต่อความถี่สัญญาณข้อมูลข่าวสาร โดยในระบบ FM จำนวนค่าความเบี่ยงเบนจะไม่ขึ้นอยู่กับค่าความถี่ของสัญญาณข้อมูลข่าวสารและFM จำนวนค่าความเบี่ยงเบนขึ้นอยู่กับแอมปลิจูดของสัญญาณข้อมูล โดยเงื่อนไขนี้เราจะเห็นในรูป 2.46

2.5.3.5 ผลเฉลยทางคณิตศาสตร์ของสัญญาณ FM

สมการของ FM (สมการ(ง.) จริง ๆ แล้วจะมีความซับซ้อนกว่านี้มาก เพราะว่าจะมีคลื่นซายน์ที่อยู่ในฟังก์ชันของซายน์อยู่ วิธีการที่จะหาองค์ประกอบทางความถี่ของ FM ต้องใช้คณิตศาสตร์ชั้นสูง เช่นฟังก์ชันเบซเซล (bessel functions) ซึ่งจะใช้แสดงการมอดูเลตทางความถี่ของคลื่นพาหะกับคลื่นรูปซายน์ที่ถูกสร้างขึ้นจากไซด์แบนด์จำนวนนับไม่ถ้วน



รูป 2.46 แสดงผลของค่าความเบี่ยงเบนที่เกิดขึ้นกับ FM / PM โดยพารามิเตอร์ของข้อมูลข่าวสาร

มีข้อดีที่ว่าแอมปลิจูดของไซด์แบนด์มีขนาดที่น้อยมาก จนไม่ต้องนำมาใช้ในการคำนวณโดยเป็นเพราะมีระยะห่างจากคลื่นพาหะมาก ซึ่งทำให้ระบบการส่ง FM อยู่ในช่วงแบนด์วิทธ์ที่จำกัด โดยฟังก์ชันเบซเซลของ FM คือ

$$\begin{aligned} f_c(t) = {} & J_0(m_f)\cos\omega_c t - J_1(mf)[\cos(\omega_c - \omega_i)t - \cos(\omega_c + \omega_i)t] \\ & + J_2(m_f)\,[\cos(\omega_c - 2\omega_i)t + \cos(\omega_c + \omega_i)t] \\ & - J_3(m_f)\,[\cos(\omega_c - 3\omega_i)t - \cos(\omega_c + \omega_i)t] \\ & + \ldots \end{aligned} \qquad \text{----------(ฉ.)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $f_c(t)$ เป็นองค์ประกอบต่าง ๆ ทางความถี่ของ FM

$J_0(m_f)\cos\omega_c t$ เป็นองค์ประกอบของคลื่นพาห์

$J_1(m_f)\,[\cos((\omega_c - \omega_i)t - \cos(\omega_c + \omega_i)t]$ เป็นองค์ประกอบทางความถี่ในช่วง $\pm f_i$ กับความถี่คลื่นพาห์

$J_2(m_f)\,[\cos((\omega_c - 2\omega_i)t + \cos(\omega_c + 2\omega_i)t]$ เป็นองค์ประกอบทางความถี่ในช่วง $\pm 2f_i$ กับความถี่คลื่นพาห์

โดยแอมปลิจูดขององค์ประกอบทางความถี่ด้านข้าง(amplitude of any side-frequency component; J_N) สามารถหาได้จาก

$$J_N(m_f) = (m_f/2)^n \left[1/n! - (m_f/2)^2 / 1!(n+1)! + (m_f/2)^4 / 2!(n+2)! - (m_f/2)^6 / 3!(n+3)(+ \ldots \right]$$

----------(ช.)

ดังนั้นการแสดงค่าแอมปลิจูดเหล่านี้ต้องใช้เวลานาน และค่าที่ได้จะต้องขึ้นอยู่กับค่าดัชนีการมอดูเลชัน (m_f) โดยรูปที่ 2.47 แสดงตารางดัชนีการมอดูเลชัน โดยสังเกตว่าถ้าไม่มีการมอดูเลต (m_f=0) คลื่นพาห์ J_0 จะเป็นความถี่เดียวที่ปรากฏออกมา และมีค่าเท่ากับ 1 อย่างไรก็ตามถ้ามีการมอดูเลต พลังงานจะถูกเลื่อน จากคลื่นพาห์ไปที่ไซด์แบนด์ เช่นที่ m_f = 0.25 แอมปลิจูดของคลื่นพาห์จะถูกลดไปอยู่ที่ 0.98 และความถี่ข้างอันแรก (ที่ $\pm f_i$) ในช่วงใกล้เคียงความถี่พาหะ (J_1) จะมีแอมปลิจูดที่ 0.12 ดังที่ได้กล่าวมาแล้วว่าการสร้างสัญญาณ FMจะถูกสร้างจากไซด์แบนด์จำนวนนับไม่ถ้วนแต่ในกรณีนี้ J_2, J_3, J_4, ... มีค่าน้อยมากจนไม่ต้องนำมาใช้ในการคำนวณดังนั้นในระบบการส่ง FM ที่ค่า m_f = 0.25 ก็ต้องการแบนด์วิทธ์เดียวกับระบบ AM ($2f_i$) โดยเราจะใช้โปรแกรมคอมพิวเตอร์เพื่อหาค่าของเบซเซลฟังก์ชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.4 แสดงค่าของฟังก์ชันเบสเซลชนิดที่หนึ่ง

x (m_f)	(CARRIER) J_0	J_1	J_2	J_3	J_4	J_5	J_6	J_7	J_8	J_9	J_{10}	J_{11}	J_{12}	J_{13}	J_{14}	J_{15}	J_{16}
							n OR ORDER										
0.00	1.00	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	—	—	—
2.5	−0.05	0.50	0.45	0.22	0.07	0.02	—	—	—	—	—	—	—	—	—	—	—
3.0	−0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—	—	—
4.0	−0.40	−0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—	—	—	—	—
5.0	−0.18	−0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—	—	—
6.0	0.15	−0.28	−0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—	—	—
7.0	0.30	0.00	−0.30	−0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—	—	—
8.0	0.17	0.23	−0.11	−0.29	−0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	—	—	—	—	—
9.0	−0.09	0.24	0.14	−0.18	−0.27	−0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	—	—	—
10.0	−0.25	0.04	0.25	0.06	−0.22	−0.23	−0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	—	—
12.0	0.05	−0.22	−0.08	0.20	0.18	−0.07	−0.24	−0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	−0.01	0.21	0.04	−0.19	−0.12	0.13	0.21	0.03	−0.17	−0.22	−0.09	0.10	0.24	0.28	0.25	0.18	0.12

Source: E. Cambi, *Bessel Functions*, Dover Publications, Inc., New York, 1948. Courtesy of the publisher.

รูป 2.47 แสดงแถบความถี่ข้างเคียงของสัญญาณ FM ที่ใช้แบนด์วิดธ์น้อย

และมีการประมาณค่าแบนด์วิทธ์ที่จำเป็นสำหรับระบบ FM โดยเราจะใช้วิธีที่เรียกว่ากฎของคาร์สัน(Carson 's rule) โดยได้กำหนดว่า

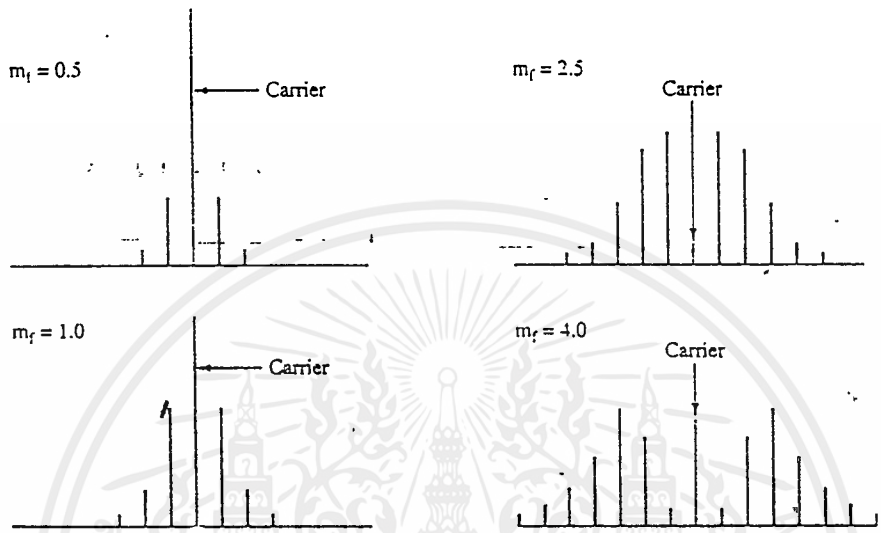
$$\text{Bandwidth} \approx 2(\delta_{max} + f_{i\,max})$$

2.5.3.6 เงื่อนไขที่ทำให้แอมปลิจูดของคลื่นพาห์เป็นศูนย์

รูป 2.48 แสดงสเปคตรัมความถี่ของ FM ที่มีระดับการมอดูเลชันหลายค่า ขณะที่ค่าความถี่ของสัญญาณข่าวสารมีค่าคงที่ โดยค่าแอมปลิจูดต่าง ๆ ขององค์ประกอบทั้งหมดสามารถดูได้จากรูป 2.47 เมื่อสังเกตุจากตารางจะพบว่าระหว่าง m_f= 2 และ m_f = 2.7 คลื่นพาห์จะเปลี่ยนจากค่าบวกเป็นค่าลบ โดยค่าลบที่แสดงจะบอกว่ามีการกลับเฟสเกิดขึ้น แต่เมื่อ m_f = 2.4 องค์ประกอบของคลื่นพาห์จะมีองค์ประกอบเท่ากับศูนย์และพลังงานทั้งหมดจะ อยู่ในความถี่แถบข้างทั้งหมด ซึ่งจะเกิดเหตุการณ์แบบเดียวกันนี้อีกเมื่อ m_f = 5.5, 8.65 สำหรับค่าอื่น ๆ คือช่วงที่ m_f มีค่าอยู่ระหว่าง 10 กับ 12 และค่าที่อยู่ระหว่าง 12 กับ 15

เงื่อนไขที่ทำให้คลื่นพาห์เป็นศูนย์จะต้องหาค่าความเบี่ยงเบนที่เหมาะสมกับตัวมอดูเลเตอร์ คลื่นพาห์ที่ถูกมอดูเลตโดยสัญญาณซายน์ที่รู้ความถี่ ค่าแอมปลิจูดของสัญญาณที่จะนำมามอดูเลตจะเปลี่ยนไปเรื่อย ๆ เมื่อเราสังเกตุสัญญาณ FM ที่ถูกสร้างขึ้นมาบนเครื่องสเปคตรัมอนาไลเซอร์ จุดที่แอมปลิจูดของคลื่นพาห์มีค่าเท่ากับศูนย์ ค่าดัชนีการมอดูเลต (m_f) จะมีความสัมพันธ์กับจำนวนของไซด์แบนด์ที่ถูกแสดงผล ถ้าไซด์แบนด์จำนวน 4 ถึง 5 ไซด์แบนด์ปรากฏทั้งสองข้างของคลื่นพาห์ที่หายไป เราจะสามารถคิดได้ว่า m_f = 2.4 และทำให้ค่าความเบี่ยงเบน(δ) จะมีค่าเท่ากับ 2.4 $\times$ f_i สัญญาณข้อมูลข่าวสารสามารถมีแอมปลิจูดเพิ่มขึ้นและทำให้คลื่นพาห์มีค่าเท่ากับศูนย์ถัดไปที่ m_f = 5.5 และควรจะมีการตรวจสอบความเป็นเชิงเส้นของตัวมอดูเลเตอร์ เพราะว่าค่าความเบี่ยงเบนความถี่จะขึ้นอยู่กับแอมปลิจูดของสัญญาณที่จะนำมามอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.48 แสดงสเปคตรัมทางความถี่ของสัญญาณ FM (ความถี่ของสัญญาณที่เข้ามามอดูเลตมีค่าคงที่และมีค่าความเบี่ยงเบนเปลี่ยนแปลงได้)

2.5.3.7 หลักพื้นฐานของ FSK

FSK เป็นที่นิยมมากกว่า ASK จากรูป 2.49 ซึ่งแสดงให้เห็นว่าตัวมอดูเลเตอร์แบบ FSK ใช้วิธีที่มีแนวความคิดง่าย ๆ คลื่นพาห์ 2 ตัว $\omega_0 + \Delta\omega$ และ $\omega_0 - \Delta\omega$ จะถูกสร้างออกมา เมื่อลอจิก 1 แทนด้วยคลื่นพาห์คลื่นหนึ่ง ส่วนลอจิก 0 จะแทนด้วยอีกคลื่นพาห์หนึ่ง ข้อดีอีกอันหนึ่งคือง่ายที่จะสร้างตัวมอดูเลตทางความถี่แบบอนาลอกแบบทั่วไป ซึ่งสามารถใช้ได้กับระดับแรงดัน 2 ระดับ โดย FSK จะถูกใช้เพราะว่ามีข้อดีเหล่านี้คือ

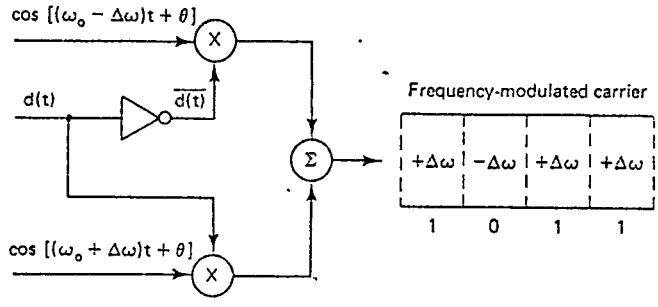
1. สามารถเข้ารหัสง่ายและอุปกรณ์มีราคาถูก

2. FSK จะเป็นการพัฒนาขึ้นมาของระบบ FM โดยตัวรับสามารถขยายสัญญาณที่รับเข้ามา โดยไม่ต้องใช้การควบคุมการขยายแบบอัตโนมัติ(automatic gain control; AGC)

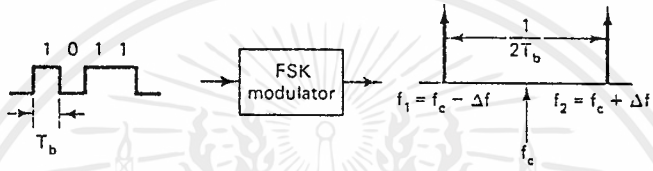
3. FSK ได้รับผลกระทบเพียงเล็กน้อยจากสัญญาณรบกวนซึ่งน้อยกว่าระบบ AM

4. มีข้อจำกัดที่น้อยมาก สามารถที่ใช้เพื่อพัฒนา signal to noise ratio (SNR) และลดการรบกวนจากสัญญาณภายนอกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.49 แสดงการฟรีเควนซี่ชิฟคีย์อิ้งทางดิจิตอล



รูป 2.50 แสดงหลักการของ FSK

เอาต์พุตของ FSK มีความสัมพันธ์กับอินพุตทางดิจิตอล โดยจากรูปที่ 2.50 เมื่อลอจิกเป็น 0 จะตรงกับความถี่ f_1 และลอจิก 1 จะตรงกับความถี่ f_2 การเบี่ยงเบนความถี่สูงสุด(Δf) ถูกกำหนดโดย

$$\Delta f = (f_2 - f_1) / 2 = 1 / 4T_b \quad \text{เฮิรตซ์} \quad \text{(น้อยที่สุด)} \qquad \text{----------(ซ.)}$$

โดย T_b จะเป็นช่วงของบิตในหน่วยวินาที และ f_2 และ f_1 สามารถหาได้จาก

$$f_1 = f_c - \Delta f = f_c - 1/4T_b \qquad \text{----------(ฌ.)}$$

$$f_2 = f_c + \Delta f = f_c + 1/4T_b \qquad \text{----------(ญ.)}$$

เมื่อใช้สมการ (ฌ.) และ (ญ.) เราสามารถแสดงสัญญาณ FSK ได้ว่า

$$S_{FSK}(t) = A\cos[2(f_c (\Delta f)t] \qquad \text{----------(ฎ.)}$$

หรือ

$$S_{FSK}(t) = A\cos (2\pi ft\cos 2\pi f_c t - A\sin(\pm 2\pi ft)\sin 2\pi f_c t \qquad \text{----------(ฏ.)}$$

ในที่สุดโดยการใช้สมการ (ซ.) สัญญาณ FSK จะมีความสัมพันธ์กับอัตราการส่งข้อมูลคือ

$$S_{FSK}(t) = A\cos \pm \pi t / 2T_b \cos 2\pi f_c t - A\sin \pm \pi t / 2T_b \sin 2\pi f_c t \qquad \text{----------(ฐ.)}$$

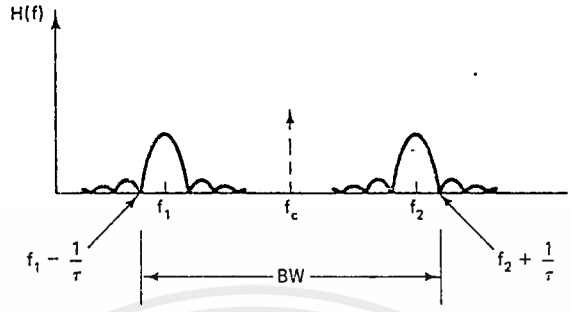
โดยจากรูปที่ 2.50 เราพบว่า FSK สามารถถูกพิจารณาได้ว่าประกอบด้วยคลื่นขบวนพัลส์สองขบวนคือ f_1 และ f_2 เราสามารถบอกได้ว่าสเปคตรัมของ FSK จะแสดงดังรูป 2.51 โดยถ้าเราสมมติว่าจุดที่มีค่าเป็นศูนย์จะประกอบด้วยพลังงานมาก ๆ แบนด์วิทธ์ของ FSK จะถูกกำหนดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$BW = f_2 + 2\pi/\tau - (f_1 - 2\pi/\tau)$$

$$= f_2 - f_1 + 2/\tau = 2(\Delta f + 1/\tau) \qquad \text{----------(๓.)}$$

โดย τ เป็นความกว้างของพัลส์



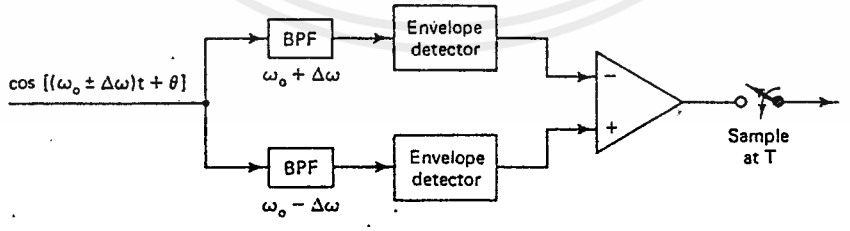
รูป 2.51 แสดงเสปคตรัมทางความถี่ของ FSK

2.5.3.8 FSK ดีมอดูเลชัน

แนวความคิดที่ใช้ออกแบบตัวมอดูเลเตอร์แบบ FSK เป็นแนวความคิดที่ง่าย โดยจากรูปที่ 2.64 ตัวกรองสัญญาณผ่านช่วงความถี่ (band-pass filter) แต่ละตัวถูกจัดให้มีค่าความถี่ศูนย์กลางเฉพาะที่ความถี่ที่ต้องการให้ผ่านไป และเอ็นวิโลปดีเทคเตอร์(envelope detector) ใช้บอกว่าพลังงานทั้งหมดในแต่ละแบนด์พาส และคอมพาราเตอร์มีผลตอบสนองต่อพลังงานที่มากที่สุดการดีเทคสัญญาณวิธีนี้เราเรียกว่าวิธีนอนโคฮีเร้นท์ (noncoherent) นั่นคือจะไม่มีสัญญาณที่เกี่ยวข้องกับกระบวนการดีเทคสัญญาณ นั่นคือความถี่และเฟสที่ถูกล๊อกเอาไว้จะมาเป็นสัญญาณ FSK ความน่าจะเป็นของข้อผิดพลาดสำหรับ FSK แบบนอนโคฮีเร้นท์ ถูกกำหนดโดย

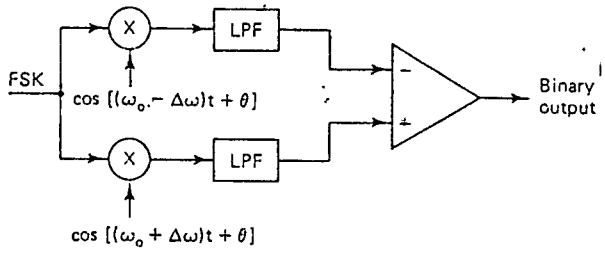
$$P_e = \tfrac{1}{2} \exp(-E/2N_o) \qquad \text{----------(๗.)}$$

โดย E/N_o เป็นค่าอัตราส่วนพลังงาน กับสัญญาณรบกวน(energy-to-noise ratio) ต่อบิตต่อเฮิรตซ์ของแบนด์วิทธ์

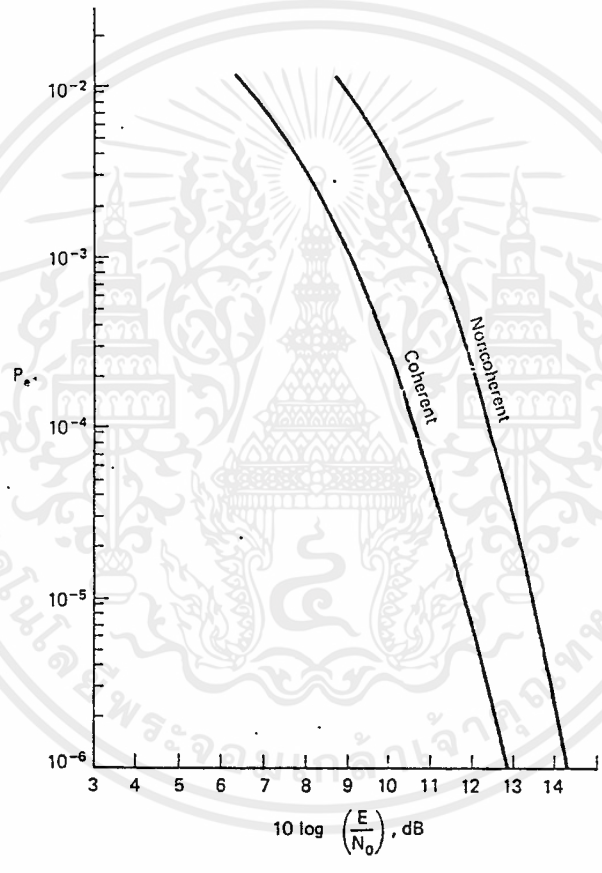


รูป 2.52 แสดงตัวดีเทคสัญญาณ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.53 แสดงการดีเทคสัญญาณแบบโคฮีเรนท์(แบบซิงโครนัส)



รูป 2.54 ประสิทธิภาพของ FSK

ตัวดีเทคสัญญาณ FSK แบบโคฮีเร้นท์แสดงดังรูป 2.53 สัญญาณ FSK ที่เข้ามาจะถูกคูณด้วยพัลส์ที่ถูกส่งออกมาก่อนหน้านี้ ค่าที่เก็บไว้แล้ว สัญญาณอ้างอิงภายในจะต้องมีเฟสตรงกัน(coherent) กับสัญญาณที่รับเข้ามาจริง ๆ เพราะว่าความถี่ FSK ทั้งสองความถี่จะไม่คงที่อยู่ตลอดเวลา ซึ่งในทางปฏิบัติจะไม่ใช้ความถี่เหล่านี้ในการผลิตสัญญาณอ้างอิงภายใน การดีเทคสัญญาณด้วยวิธีโคฮีเร้นท์ โดยทั่ว ๆ ไปแล้วจะไม่ใช้ในระบบ FSK ทั่ว ๆ ไป โดยความน่าจะเป็นที่จะพบข้อผิดพลาดสำหรับระบบซิงโครนัสถูกกำหนดโดย

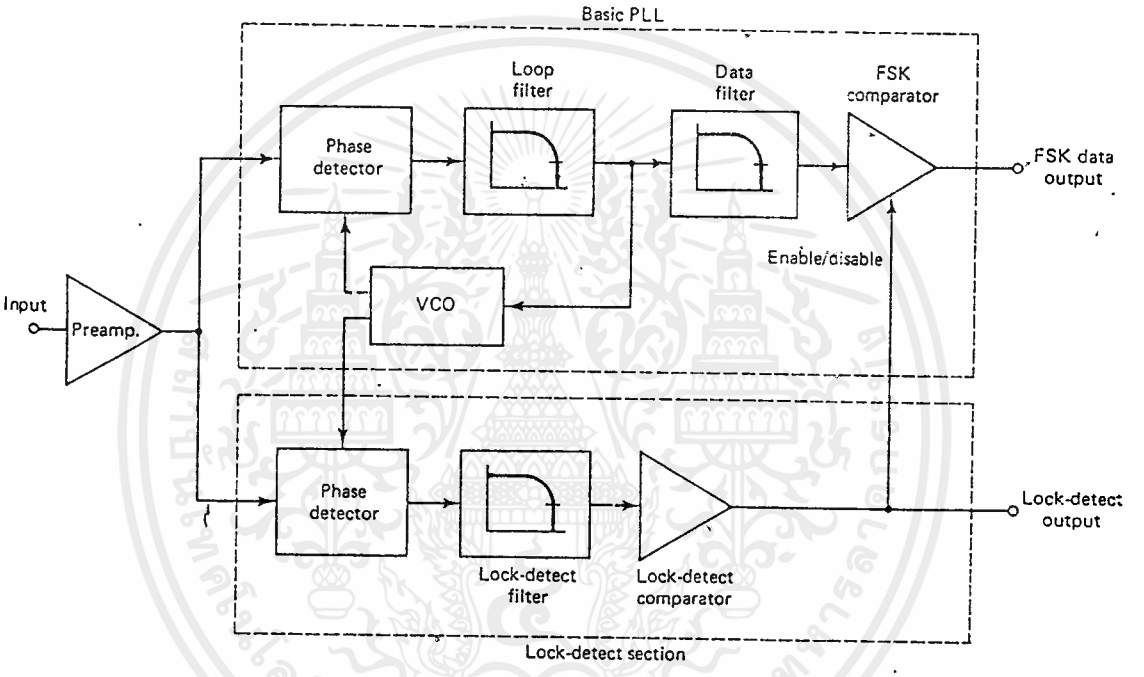
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_e = \text{erfc}\sqrt{E_b/N_o} \qquad \text{----------(ฌ.)}$$

โดยสมการ (ฒ.) และ (ฌ.) จะถูกพล็อตดังรูป 2.54

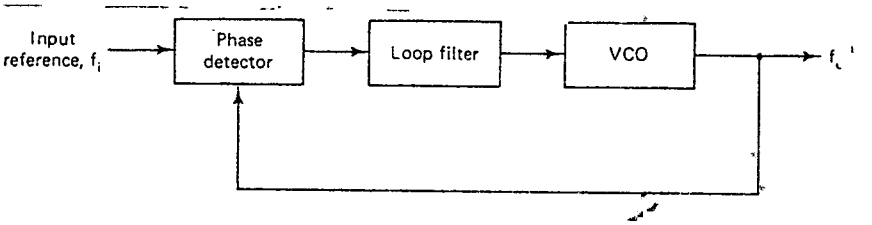
<u>การดีเทคข้อมูล FSK โดยการใช้เฟสล็อกลูป(phase-locked loop; PLL)</u>

เฟสล็อกลูปสามารถทำเป็นตัวมอดูเลเตอร์แบบ FM ได้โดยการทำเป็นวงรอบ โดยใช้เป็นตัวดีโคด (decode) สัญญาณ FSK ได้ ตัวดีมอดูเลตแบบ FSK แสดงดังรูป 2.55 โดยไม่มีการใช้ตัวเหนี่ยวนำ โดยตัวเฟสล็อกลูปไม่เพียงแต่ทำให้เกิดการดีมอดูเลต แต่จะเลือกความถี่ที่จะนำมาใช้ได้อย่างเที่ยงตรงด้วย



รูป 2.55 แสดงการดีมอดูเลชันของระบบ FSK

โดยทั่ว ๆ ไปเฟสล็อกลูปจะเป็นระบบป้อนกลับที่ประกอบด้วยบล็อก 3 บล็อกที่ทำหน้าที่แตกต่างกันคือ ตัวเปรียบเทียบเฟส(phase comparator) ตัวกรองผ่านความถี่ต่ำ(low-pass filter) และออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันไฟฟ้า(voltage-controlled oscillator; VCO) จากรูป 2.56



รูป 2.56 แสดงพื้นฐานของวงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเฟสล็อกลูปเป็นวงจรในลูปปิด(closed-loop) โดยเอาต์พุตจะถูกล็อกและจะถูกติดตาม(track) สัญญาณอินพุตที่ใช้อ้างอิง การล็อกเฟสจะเกิดขึ้นเมื่อเปรียบเทียบเฟสของสัญญาณเอาต์พุตกับสัญญาณอ้างอิง เฟสที่แตกต่างกันจะถูกเปลี่ยนเป็นแรงดันที่ใช้ปรับค่าผิดพลาด โดยแรงดันที่เกิดจากความผิดพลาดจะป้อนให้กับ VCO และทำให้เอาต์พุตของ VCO มีเฟสตรงกับอินพุต จากรูป 2.56 เมื่อเราให้สัญญาณอินพุตเป็นสัญญาณรูปซายน์ซึ่งมีค่าความแตกต่างทางเฟสอยู่ เราจะได้ว่า

$$V_i(t) = A_1\sin(\omega_i t + \theta_i) \qquad \text{----------(ด.)}$$

โดยเอาต์พุตของ VCO คือ

$$V_o(t) = A_2\cos(\omega_o t + \theta_o) \qquad \text{----------(ต.)}$$

เฟสคอมพาราเตอร์สามารถทำหน้าที่เป็นตัวมัลติพลายเออร์แบบโฟร์ควอดเร้นท์(four quadrant-multiplier) ได้ดังนั้นเอาต์พุตของมัลติพลายเออร์จะเป็น

$$V_d = A_1A_2K_m\sin(\omega_i + \theta_i)\cos(\omega_o t + \theta_o) \qquad \text{----------(ถ.)}$$

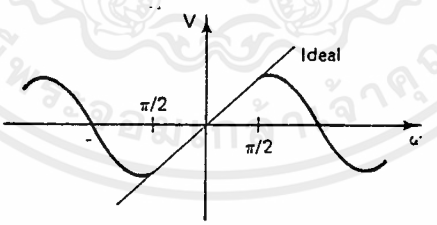
โดย K_m เป็นค่าการขยายของตัวมัลติพลายเออร์ ถ้าสมการ(ถ.) ถูกกระจายออก ผลลัพธ์จะประกอบด้วยสมการซึ่งมีผลบวกและผลต่างของความถี่อินพุตและความถี่ออสซิลเลเตอร์ และเทอมของผลบวกความถี่จะถูกกรองออกโดยตัวกรองผ่านความถี่ต่ำ ด้วยเหตุนี้จึงทำให้เอาต์พุตของตัวกรองผ่านความถี่ต่ำคือ

$$V_f = A_1A_2/4 * K_m\sin(\omega_i t - \omega_o t + \theta_i - \theta_o) \qquad \text{----------(ท.)}$$

ถ้าเฟสล็อกลูปกำลังทำการล็อกสัญญาณอยู่ สมการ(ท.) จะถูกลดรูปเหลือเป็น

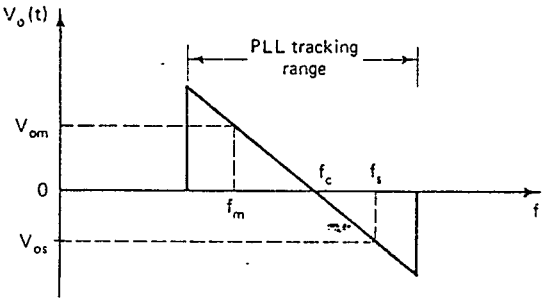
$$V_f = A_1A_2/4 * K_m\sin(\theta_i - \theta_o) \qquad \text{----------(ธ.)}$$

โดย $\theta_i - \theta_o$ เป็นค่าความผิดพลาดของเฟส สมการนี้จะบอกค่าแรงดันที่ใช้ปรับค่าผิดพลาด ซึ่งจะถูกป้อนเข้าไปที่ตัว VCO เพื่อทำให้สถานภาพล็อกยังคงอยู่ (รูป 2.57)



รูป 2.57 แสดงตัวอย่างของคุณลักษณะของเฟสดีเทคเตอร์(phase detector)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.58 แสดงแรงดันเอาต์พุตที่ผิดพลาดของวงจรเฟสล็อกลูป

ถ้ามีสัญญาณรบกวนเข้าไปที่เฟสล็อกลูป และทำให้เฟสเกิดข้อผิดพลาดมากกว่าที่มากกว่า $\pm\pi/2$ เรเดียน เฟสล็อกลูปจะเลื่อนออกไปหนึ่งหรือมากกว่าหนึ่งไซเคิล

เราจะมาพิจารณาการทำงานของเฟสล็อกลูป โดยถ้าสัญญาณอินลูปจะดีมอดูเลตความถี่และเฟสที่เข้ามาเพื่อเปลี่ยนเป็นแรงดันเอาต์พุตที่เปลี่ยนแปลงไปมา เมื่อสัญญาณ FSK เข้ามาและพุทเปลี่ยนเฟสหรือความถี่ไป ผลจากสิ่งนี้จะทำให้แรงดันที่ใช้แก้ไขข้อผิดพลาดเปลี่ยนไป ก็คือเฟสล็อกถูกล็อกสัญญาณว่าเป็นความถี่ที่ใช้แทนสัญลักษณ์แทนมาร์ค(mark) หรือสเปซ(space) (f_m และ f_s ตามลำดับ) และแรงดันที่ลูปเอาต์พุต(loop-output voltage) จะเลื่อนไปมาอยู่ที่ค่า V_{om} และ V_{os} ตามลำดับ ตามรูปที่ 2.58 โดยค่าแรงดันไฟฟ้าพวกนี้จะถูกตรวจจับออกมาได้ จะถูกขยายและเปลี่ยนเป็นระดับค่าสัญญาณลอจิกที่ต้องการ

2.6 เฟสล็อกลูป

เทคโนโลยีของ วงจรรวมเชิงเส้น (linear integrate circuit) ในการนำมาใช้งานของเฟสล็อกลูป (Phase Lock Loop : PLL) อย่างกว้างขวาง PLL จะเป็นการใช้ความถี่ที่ใช้ในการสื่อสารดิจิตอล และอนาลอก รวมถึงการใช้งานในระบบควบคุม ในหัวข้อ นี้จะอธิบายถึงการทำงานของ PLL และตัวอย่างการใช้งาน

2.6.1 การทำงานของเฟสล็อกลูป

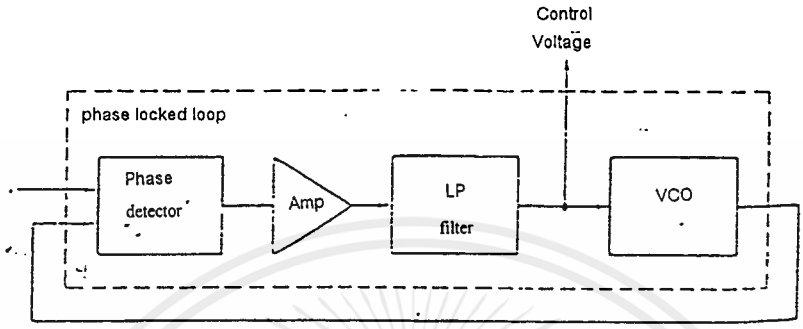
การทำงานของเฟสล็อกลูปจะทำงานในลักษณะที่ความถี่และเฟสของเอาต์พุตของ ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator : VCO) จะซิงโครไนซ์กับสัญญาณอ้างอิงอันที่สอง ส่วนย่อยหลักๆของตัวอย่างของ PLL จะแสดงดังรูป 2.59

การทำงานของตัว PLL จะสามารถอธิบายได้ดังนี้ ให้เราสมมุติว่าในตอนเริ่ม สัญญาณอ้างอิงยังไม่มีการใส่เข้าไป ภายใต้เงื่อนไขนี้ตัว VCO จะทำงานในความถี่ที่เราเรียกว่า " ความถี่ฟรีรันนิ่ง (ω_0)" ดังนั้น ตัว PLL จะเรียกว่าทำงานอยู่ในสภาวะ ฟรี-รันนิ่ง โหมด ค่าความถี่ฟรีรันนิ่งของตัว VCO มักจะสามารถปรับได้ สำหรับเหตุผลซึ่งจะอธิบายต่อไป มาถึงตอนนี้ให้เราสมมุติว่าสัญญาณอ้างอิงได้ใส่เข้าไปยัง PLL

ถ้าสัญญาณอ้างอิงที่ใส่เข้าไปอยู่ภายในย่านความถี่ที่แน่นอนรอบๆ ω_0 ตัว PLL จะเริ่มทำงานโดยการตาม(track) สัญญาณ ซึ่งการทำงานในช่วงนี้จะเรียกว่า เฟส-ล็อก หรือ แทรกกิ้ง โหมด และสำหรับย่านของความถี่ตลอดย่านที่ตัว PLL สามารถจะเปลี่ยนสภาวะจาก ฟรี-รันนิ่ง โหมด ไปยัง เฟส-ล็อก โหมด นั้นจะเรียกว่าย่าน แคบเจอร์-เรนจ์ เมื่ออยู่ในสภาวะแคบเจอร์โหมด ค่าความแตกต่างทางด้านเฟสระหว่างสัญญาณอ้างอิง และสัญญาณ

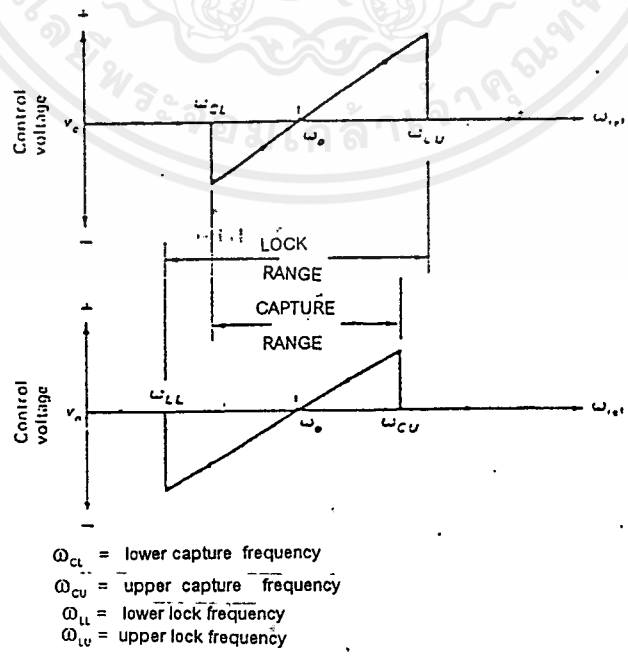
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก VCO จะสร้างค่าแรงดันซึ่งเป็นสัดส่วนกับค่าความแตกต่างระหว่างเฟส(เฟสเออเรอร์) ระหว่างสัญญาณสองสัญญาณนี้ ค่าแรงดันผิดพลาดนี้จะถูกป้อนให้กับ ส่วนอินพุตควบคุมของตัว VCO ซึ่งมันจะไปบังคับค่าความถี่ของออสซิลเลเตอร์ให้ไปตรงกับความถี่ของสัญญาณอ้างอิง สมมุติว่าไม่มีเฟสชิปในเส้นทางป้อนกลับ(feedback path) ตัวสัญญาณป้อนกลับที่สร้างโดย VCO จะนำสัญญาณอ้างอิงอยู่ 90 องศา เมื่อเกิดสภาวะเฟสล็อกขึ้น (สำหรับการออกแบบ เฟสล็อกลูปโดยทั่ว ๆ ไ ป)



รูปที่ 2.59 บล็อกไดอะแกรมของเฟสล็อกลูปพื้นฐาน

เมื่อตัว PLL ได้ล็อกเข้ากับสัญญาณอ้างอิงแล้ว มันจะตามสัญญาณนั้นจนกว่าค่าสัญญาณอ้างอิงจะเกินขีดจำกัด(ทางด้านความถี่) ซึ่งเราจะเรียกว่าค่าล็อกเรนจ์ของเฟสล็อกลูป ค่าล็อกเรนจ์ของเฟสจะต้องเป็นค่าเดียวกันหรือกว้างกว่าค่าแคปเจอร์เรนจ์ สำหรับ PLL โดยทั่วๆไปแล้วค่าล็อกเรนจ์จะกว้างกว่า การแสดงทางด้านกราฟฟิกของการทำงานของ PLL จะสามารถอธิบายได้ดังรูป 2.60 เมื่อค่าแรงดันควบคุม แสดงต่อค่าความถี่ของสัญญาณอ้างอิงถูกพล็อต ตามตัวอย่างนี้ ค่าล็อกเรนจ์ ของ PLL จะมีย่านจาก +- 1 เปอร์เซ็นต์ถึง +- 60 เปอร์เซ็นต์ของค่าความถี่ฟรีรันนิ่งของ VCO โดยขึ้นอยู่กับชนิดของอุปกรณ์ที่ใช้

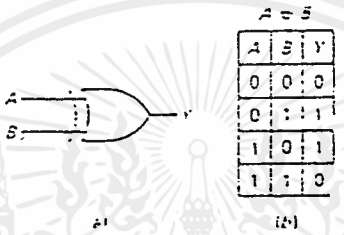


รูปที่ 2.60 ไดอะแกรมแสดงล็อกเรนจ์และแคปเจอร์เรนจ์ของเฟสล็อกลูป

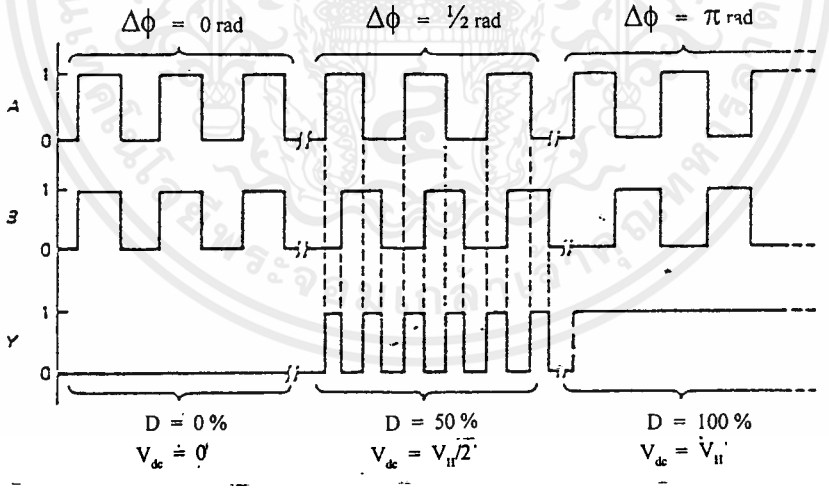
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1.1 ตัวเฟสคอมพาราเตอร์

ดังที่ได้กล่าวไว้แล้วก่อนหน้านี้ ตัวเฟสคอมพาราเตอร์ หรือเฟสดีเทคเตอร์จะต้องผลิตค่าแรงดันเอาต์พุตซึ่งเป็นสัดส่วน กับผลต่างของเฟสระหว่างสัญญาณอินพุตสองอัน หนึ่งในชนิดของตัวเฟสคอมพาราเตอร์แบบง่ายจะใช้เกทแบบ exclusive or (XOR) ค่าโลจิก สำหรับXOR แบบสองอินพุต และตารางความจริง(truth table) จะแสดงในรูป 2.61 สิ่งที่สำคัญที่สังเกตได้คือว่าค่าเอาต์พุตของ เกท XOR จะเป็นสภาวะสูง (high) ก็เฉพาะเมื่อค่าอินพุตจะมีสภาวะทางตรรก(logic)ที่ตรงข้ามกัน ค่าคุณลักษณะของเกท XOR จะเหมาะสมสำหรับการเป็นเฟสดีเทคเตอร์



รูป 2.61 ตัวเกท XOR a) สัญลักษณ์ทางลอจิก b) ตารางความจริง



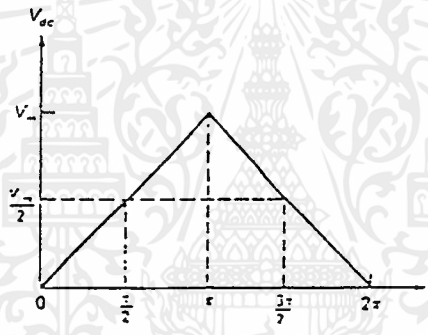
รูป 2.62 รูปคลื่นของอินพุต และเอาต์พุต ของ ตัว XOR ที่เป็นเฟสคอมพาราเตอร์

ค่าเอาต์พุตของตัว XOR เฟสดีเทคเตอร์ จะแสดงสำหรับ การเปลี่ยนแปลงระดับของเฟสชิพระหว่าง สัญญาณอินพุตที่มีความถี่เดียวกัน ในไทมมิ่งไดอะแกรมดังรูป 2.62 เมื่อสัญญาณอินพุตอยู่ในเฟสเดียวกัน ค่าเอาต์พุตจะมีค่าสภาวะต่ำต่อเนื่อง (continuous low) สิ่งนี้จะเสมือนกับค่าดิวตี้ไซเกิลที่เท่ากับศูนย์ สำหรับการเฟสชิพที่เท่ากับ $\pi/2$ เรเดียนหรือเท่ากับ 90 องศา ระหว่างอินพุตทั้งสองค่าเอาต์พุตจะเป็นขบวนพัลส์ ที่มีค่าดิวตี้ไซเกิลเท่ากับ 50% ที่มีความถี่เป็นสองเท่าของความถี่สัญญาณอินพุต ค่าเฉลี่ยของแรงดันไฟตรงที่ผลิตภายใต้สภาวะนี้ จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครึ่งหนึ่งของค่าแรงดันของเอาต์พุตในสภาวะสูง เมื่อค่าสัญญาณอินพุตมีค่าความแตกต่างทางด้านเฟสเท่ากับ ϕ เรเดียน หรือเท่ากับ 180 องศา ค่าเอาต์พุตของเกท XOR จะเป็นสภาวะสูงอย่างต่อเนื่องซึ่งจะสมมูลย์กับค่า 100 % ดิวตี้ไซเกิล โดยจะชัดเจนในตัวมันเองว่าเป็นค่าเอาต์พุตดิวตี้ไซเกิลของเฟสดีเทคเตอร์และเนื่องจากค่าเฉลี่ยแรงดันเอาต์พุต จะเป็นสัดส่วนกับค่าความแตกต่างทางด้านเฟส

การพล็อตค่าแรงดันเฉลี่ยต่อความแตกต่างเฟสของตัว XOR ดีเทคเตอร์จะแสดงดังรูป 2.63 ตัวเฟสดีเทคเตอร์ชนิดนี้จะทำงานอย่างถูกต้องเฉพาะกรณีที่ความความแตกต่างทางด้านเฟสอยู่ภายในย่านตั้งแต่ 0 ถึง ϕ เรเดียน ความความชันของทรานเฟอร์คาแรคเตอร์เรสติค จะใช้เพื่อการกำหนดเกนของการเปลี่ยนของตัวเฟสดีเทคเตอร์ โดยทั่วไปแล้วหน่วยโวลต์ต่อเรเดียนจะนำมาใช้สำหรับค่าพารามิเตอร์นี้



รูป 2.63 การพล๊อตของ เฟสคอมพาราเตอร์แบบ XOR

มันจะมีเฟสคอมพาราเตอร์หลายชนิดที่มีการใช้งานอยู่ บางอย่างจะมีคอนเวอร์ชั่นเกนที่สูงบางตัวมีย่านของการตอบสนองที่กว้างหรือทั้งคู่ การออกแบบเฟสคอมพาราเตอร์ที่เปลี่ยนแปลงไปอาจจะมีการใช้การทริกที่ขอบโดยฟลิบฟลอป หรือวงจรเชิงเส้นอย่างเช่นบาลานซ์มอดูเลเตอร์ เฟสดีเทคเตอร์ซึ่งถูกออกแบบโดยอุปกรณ์ดิจิตอล โดยทั่วไปต้องการอินพุตเป็นพัลส์รูปสี่เหลี่ยม ขณะที่เฟสดีเทคเตอร์แบบเชิงเส้นอาจจะทำงานได้ทั้งดิจิตอลหรือสัญญาณอนาลอกที่ต่อเนื่อง โดยการใช้ชมิททริกเกอร์จะยอมให้สัญญาณอนาลอกอย่างเช่นสัญญาณรูปไซน์เปลี่ยนเป็นสัญญาณที่มีลักษณะที่คล้ายสัญญาณรูปสี่เหลี่ยมมากขึ้น เมื่อต้องการใช้กับเฟสดีเทคเตอร์ที่เป็นดิจิตอล

โดยในทางคณิตศาสตร์สามารถแสดงได้ว่าเอาต์พุตของตัวเฟสดีเทคเตอร์แบบ XOR จะมีความสัมพันธ์กับค่าสัญญาณอินพุตทั้งสอง ในเซนส์ทั่ว ๆ ไปเป็นความจริงในวงจรเฟสคอมพาราเตอร์ทุกตัว เพราะว่าโดยธรรมชาติการคูณของตัวเฟสคอมพาราเตอร์ เมื่อตัว PLL อยู่ในสภาวะเฟสล๊อก(ค่าสัญญาณอ้างอิงและตัวสัญญาณจาก VCO มีความถี่เดียวกัน) เอาต์พุตของเฟสคอมพาราเตอร์จะประกอบด้วย ส่วนค่าแรงดันไฟตรงซึ่งเป็นสัดส่วนกับค่าโคไซน์ของความต่างทางด้านเฟสระหว่างอินพุตทั้งสองตัวและส่วนไฟสลับซึ่งเป็น

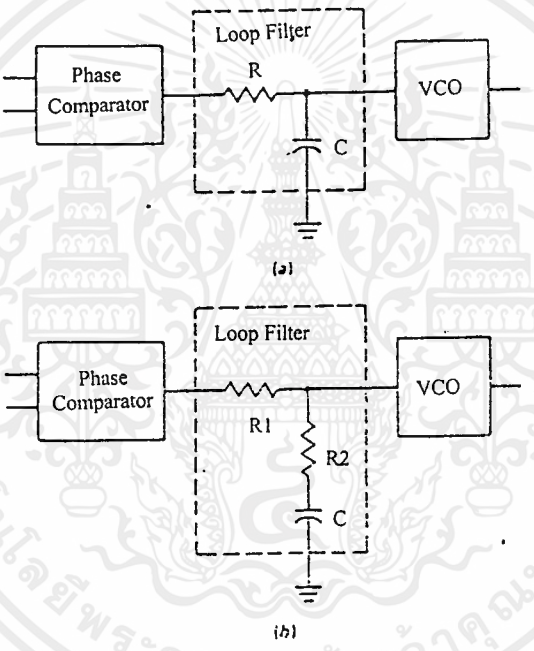
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สองเท่าของความถี่ของสัญญาณอินพุต ส่วนเอาต์พุตไฟต์รง จะใช้เพื่อการควบคุมตัว VCO และ นี่จะเป็นสิ่งที่ทำให้ ลูปฟิลเตอร์ เริ่มมีบทบาท

2.6.1.2 ตัวลูปฟิลเตอร์

การทำงานของลูปฟิลเตอร์ก็คือจะย้ายหรือเป็นการลดทอนอย่างมากต่อ ส่วนประกอบของความถี่สูงซึ่งจะแสดงที่เอาต์พุตของตัวเฟสดีเทคเตอร์ ป้อนตัว VCO ด้วยค่าแรงดันควบคุมซึ่งเป็นสัดส่วนกับ ค่าความต่างเฟส ระหว่างสองสัญญาณที่ป้อนเข้าไปยังอินพุตของตัวเฟสคอมพาราเตอร์

นอกเหนือจากการย้ายส่วประกอบของความถี่สูง จากเอาต์พุตของเฟสคอมพาราเตอร์ คุณลักษณะของลูปฟิลเตอร์ จะมีบทบาทสำคัญในการกำหนดการประพฤติทางไดนามิกของ PLL นั่นก็คือตัวลูปฟิลเตอร์จะกำหนด ว่าตัวPLLจะสามารถตามค่าความถี่อ้างอิงที่เปลี่ยนแปลงได้เร็วเท่าไหร่ นอกเหนือไปจากนั้น เมื่อตัว XOR เฟสดีเทคเตอร์ถูกใช้ ตัวลูปฟิลเตอร์ยังกำหนดความกว้างของแคบเจอร์เรนจ์ด้วย

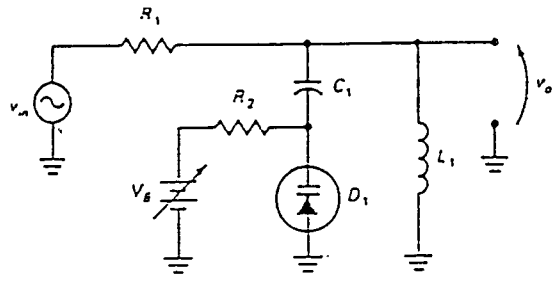


รูป 2.64 ตัวอย่างของลูปฟิลเตอร์ a)การต่อ RC LP อย่างง่าย b) lead-lag network

หนึ่งในชนิดของลูปฟิลเตอร์แบบธรรมดาก็คือตัว โลว์พาสฟิลเตอร์ แบบ RC อันดับแรก (first order) ดังแสดงในรูป 2.64 a)ตัวโลว์พาสเน็ทเวิร์ค ที่แสดงในรูป 2.64 b)จะอ้างถึง แลก-ลีด เนทเวิร์ค(lag-lead network) ชนิดที่แท้จริงของลูปฟิลเตอร์และค่าของส่วนประกอบที่ใช้ในตัว PLL อาจจะถูกกำหนดโดยมีพื้นฐานมาจากข้อมูลที่แสดงในคาต้าชีทของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1.3 ตัว VCO



รูป 2.65 วงจร Voltage Control Oscillator โดยใช้วาแรคเตอร์ไดโอด

มีการออกแบบตัว VCO อย่างมากมาย ดังมีตัวอย่างเช่น วงจรที่คล้ายกับตัวไทมเมอร์ 555 สามารถใช้เป็นตัวโวลท์เตจคอนโทรลออสซิลเลเตอร์ สำหรับการทำงานในย่านความถี่สูงขึ้น(เป็นร้อย ๆ เมกะเฮิรตซ์) ตัวออสซิลเลเตอร์ที่ถูกจูนด้วยตัววาแรคเตอร์ไดโอดจะใช้ได้โดยทั่ว ๆ ไป ตัววาแรคเตอร์ไดโอดจะเป็นไดโอดที่มีรอยต่อพีเอ็น(PN junction) แบบพิเศษ ซึ่งจะถูกออกแบบให้แสดงการกำหนดค่าตัวเก็บประจุระหว่างรอยต่อขนาดของรีเวิร์สไบอัสที่ป้อนให้กับ วาแรคเตอร์จะไปควบคุมความกว้างของดีเพลทชั้นรีเจียน(depletion region) และเนื่องจากค่าความเก็บประจุระหว่างรอยต่อ C_j ตัววงจรที่ถูกควบคุมและจูนด้วยค่าแรงดัน(voltage controlled tune circuit) จะแสดงในรูป 2.65 ในวงจรนี้ตัว C_1 จะใช้เพื่อแยกค่าแรงดันไบอัสจากแหล่งกำเนิด จากวงจรแทงค์ ถ้า $C_1 >> C_j$ แล้วค่าความถี่เรโซแนซ์จากวงจรแทงค์จะเป็น

$$f_0 = \frac{1}{2\pi\sqrt{LC_j}}$$

ค่าความต้านทาน R_2 จะมีค่าโดยปกติเป็นเมกะโอห์ม เพื่อที่จะป้องกันโหลดจากแทงค์ และการลดลงของ Q ตัววงจรจูนดังเช่นนี้อาจจะใช้เพื่อสร้างตัวออสซิลเลเตอร์แบบ LC ในตัว PLL ตัวค่าแรงดันที่ใช้ไบอัสไดโอดจะถูกสร้างโดยเฟสคอมพาราเตอร์และตัวลูปฟิลเตอร์

แม้ว่าตัว VCO จะโดยทั่วไปอยู่ในส่วนภายในของไอซี PLL แต่มันก็จะมีไอซีที่ทำหน้าที่เป็น VCO เพียงอย่างเดียวดังตัวอย่างเช่นไอซีเบอร์ MC1648 ของบริษัทโมโตโรล่า

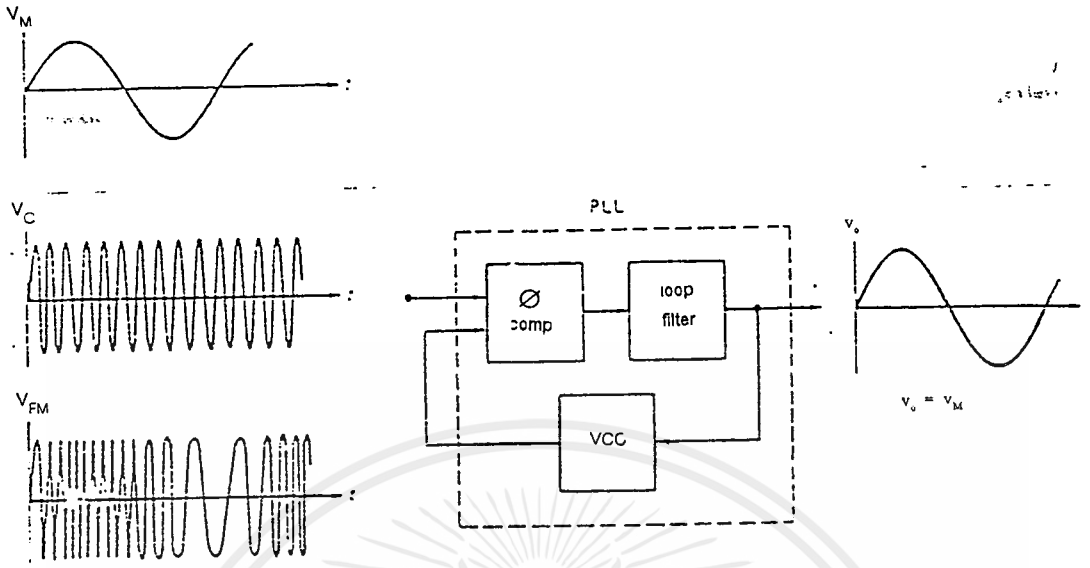
2.6.2 การประยุกต์การใช้งานของ PLL

PLL ถูกใช้ในงานทางด้านอิเลคทรอนิคส์หลายแขนง ในที่นี้เราจะยกตัวอย่างสำหรับการใช้งาน PLL ที่เป็นที่พบเห็นกันบ่อย ๆ ยังมีการประยุกต์ใช้งานอื่น ๆ อีกมากมายที่ไม่ได้กล่าวไว้

2.6.2.1 FM ดีมอดูเลเตอร์

หนึ่งในการประยุกต์ในงาน PLL ก็คือการใช้เป็นตัวดีมอดูเลเตอร์สัญญาณที่ถูกมอดูเลทแบบฟรีเควนซี่มอดูเลชันหรือการมอดูเลททางความถี่ (frequency modulation :FM) ซึ่งโดยทั่วไปแล้วสำหรับ FM สัญญาณพาหะที่มีความถี่สูงจะถูกเลื่อน(ถูกมอดูเลท)ไปเป็นความถี่ที่เป็นสัดส่วนกับค่าแอมปลิจูดในขณะนั้นของสัญญาณที่นำมามอดูเลทซึ่งจะมีค่าความถี่ต่ำกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



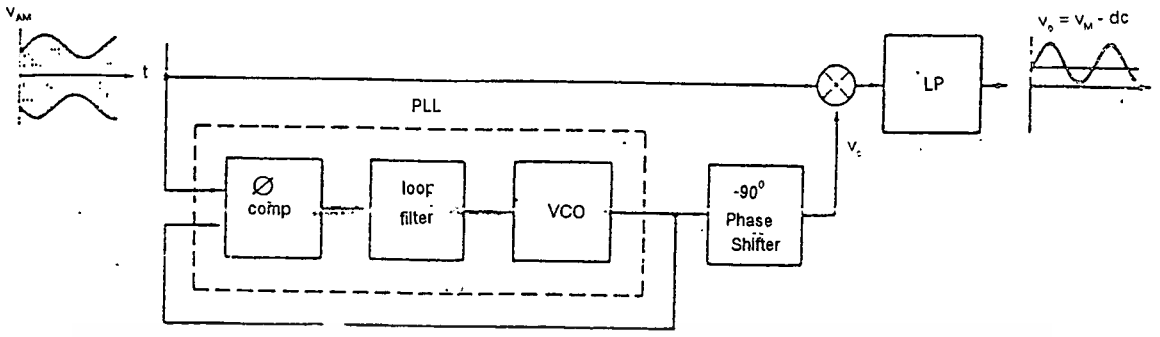
รูป 2.66 การใช้ PLL เป็นดีมอดูเลเตอร์ของสัญญาณ FM

รูปของคลื่นที่แสดงดังด้านซ้ายของรูป 2.66 จะแสดงว่า สัญญาณ FM หามาได้อย่างไร โดยปกติแล้วอินพุตของตัวมอดูเลเตอร์จะถูกออกแบบให้เป็น V_M และ V_C ขณะที่สัญญาณ FM เป็น V_{FM} ตัวสัญญาณ V_{FM} จะถูกป้อนให้อินพุตอันหนึ่งของเฟสคอมพาราเตอร์เพื่อที่จะให้ PLL ล๊อกเข้ากับสัญญาณความถี่ฟรีรันนิ่งของ VCO จะต้องปรับให้ความถี่ของ FM อยู่ภายในย่านแคบเจอร์เรนจ์ของ PLL มาถึงตอนนี้สภาวะเฟสล๊อกเกิดขึ้นแล้ว การเลื่อนของความถี่ของสัญญาณ FM จะเป็นสาเหตุให้ค่าแรงดันควบคุม VCO เปลี่ยนแปลงให้ตัว VCO ตามสัญญาณอินพุต เพราะว่าสัญญาณ FM จะเปลี่ยนแปลงในทางความถี่คิดเป็นสัดส่วนกับ ค่าแอมปลิจูดของสัญญาณที่นำมามอดูเลต ค่าแรงดันควบคุม VCO จะต้องเปลี่ยนแปลงในอาการเช่นเดียวกัน ดังนั้นค่าเอาต์พุตของลูปฟิลเตอร์ จะต้องเป็นแบบจำลองของสัญญาณที่นำมามอดูเลท

2.6.2.2 การใช้งานเป็น AM ดีมอดูเลเตอร์แบบซิงโครนัส

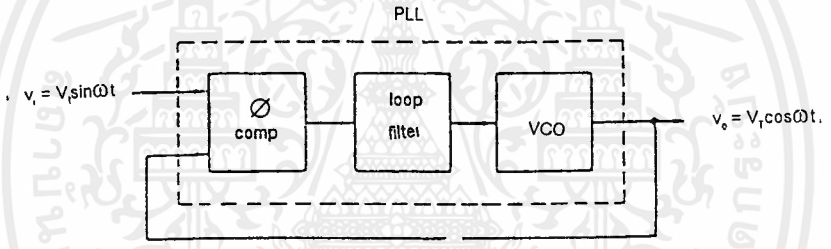
ตัว PLL อาจจะใช้เป็นตัวดีมอดูเลเตอร์กับสัญญาณที่มอดูเลทแบบแอมปลิจูดมอดูเลเตอร์ การประยุกต์ใช้งานนี้จะแสดงดังรูป 2.67 ในการประยุกต์ใช้งานนี้ ตัว PLL จะใช้เพื่อผลิตรูปแบบที่ยังไม่ได้มอดูเลทของสัญญาณความถี่พาหะที่เข้ามา วงจรเฟสชิปจะต้องการเพราะว่าตัวเอาต์พุตของ VCO ของ PLL จะนำอินพุตอยู่ 90 องศา ดังนั้นตัวเฟสชิพเตอร์จะทำให้เฟสของ VCO กลับไปเป็นเฟสของสัญญาณพาหะที่เข้ามา สัญญาณ AM และเอาต์พุตของ VCO จะถูกคูณเข้าด้วยกัน(เป็นไปได้โดยบาลานซ์มอดูเลเตอร์) ซึ่งจะผลิตเอาต์พุตซึ่งจำลองสัญญาณที่นำมามอดูเลทแบบดั้งเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.67 การใช้งาน PLL เป็น AM ดีมอดูเลเตอร์ แบบ ซิงโครนัส

2.6.2.3 การประยุกต์ใช้งานด้านเฟสชิฟ



รูป 2.68 การประยุกต์ใช้งานด้านเฟสชิฟ

ทั้งการประยุกต์การใช้งานก่อนหน้านี้ และ บาลานซ์มอดูเลเตอร์ (แบบ SSB-SC) ต้องการการใช้งานวงจรเฟสชิฟ ในบางครั้งการต่อ RC อย่างง่ายๆ ก็สามารถใช้เป็นเฟสชิฟเตอร์ได้ อย่างไรก็ตาม วงจรเช่นนั้นจะผลิตการเฟสชิฟ ซึ่งเปลี่ยนแปลงด้วยความถี่ ดังนั้นเพราะว่าการต่อ RC มักจะเป็นฟิลเตอร์ การลดทอนของวงจรเช่นนั้นจะยังเปลี่ยนตามความถี่ด้วย คุณลักษณะนี้จะกระทำให้การต่อวงจรเฟสชิฟเตอร์แบบ RC ไม่เหมาะสำหรับใช้งานในย่านความถี่ที่กว้าง ตัว PLL จะเสนอการแก้ไขปัญหาเหล่านี้

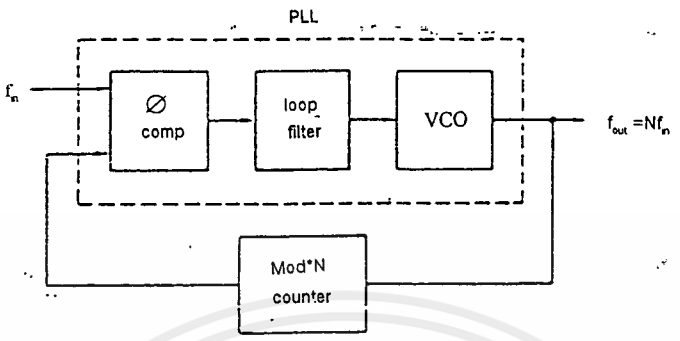
วงจรพื้นฐานของ PLL ดังแสดงดังรูป 2.68 จะให้ค่าสัญญาณเอาต์พุตที่นำสัญญาณอินพุตประมาณ 90 องศา ตัวเฟสชิพนี้จะเป็นค่าคงที่ตราบเท่าที่ตัว PLL ยังล๊อกอยู่กับสัญญาณอินพุต

2.6.2.4 ตัวสังเคราะห์ความถี่

ในการประยุกต์ในงานในระบบการสื่อสารหลายแบบต้องการ การควบคุมสัญญาณความถี่ ที่แตกต่างกันหลาย ๆ อันซึ่งควบคุมอย่างถูกต้อง เพื่อให้มีการรับและส่งในช่องสัญญาณที่แตกต่างกันได้ ตัวอย่างที่คุ้นเคยคือ ตัวส่ง CB แบบ 40 ช่องสัญญาณ ก่อนที่จะมีการประดิษฐ์ PLL ทางเดียวที่จะทำให้ได้ความต้องการที่กล่าวไปนั้นคือการใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ในกรณีที่มีการส่ง CB แบบ 40 ช่องสัญญาณ) คริสตอล์ ออสซิลเลเตอร์ 40 อันที่แตกต่างกัน ซึ่งมันจะเป็นวิธีที่ค่อนข้างจะสิ้นเปลืองค่าใช้จ่ายมากทีเดียว แต่ยังโชคดีที่ PLL ได้เสนอวิธีแก้ปัญหาง่ายๆสำหรับปัญหานี้



รูป 2.69 ตัวสังเคราะห์ความถี่โดยการใช้ PLL และวงจรนับโหมด N

บล๊อกไดอะแกรมที่แสดงดังรูป 2.69 จะแสดงการใช้งานของ PLL มีพื้นฐานเป็นตัวสังเคราะห์ความถี่ วงจรนี้จะทำงานดังต่อไปนี้ ค่าความถี่อินพุตอ้างอิงถูกกำหนดโดยแหล่งกำเนิดที่มีความคงทน(stable)มาก อย่างเช่น คริสตอลออสซิลเลเตอร์ ตัวเอาต์พุตของ VCO จะถูกป้อนกลับไปทางเฟสคอมพาราเตอร์ผ่านทางวงจรนับโหมด N ที่เป็นแบบดิจิตอล มาถึงตอนนี้ เพื่อที่จะให้ PLL ล๊อกเข้ากับสัญญาณอ้างอิง ตัว VCO จะต้องสร้างความถี่เป็น N เท่าของสัญญาณอ้างอิง ดังนั้น ถ้า f_{in} = 1เมกะเฮิรตซ์ และ N = 10 ตัว VCO จะต้องออสซิลเลทที่ความถี่ 10 เมกะเฮิรตซ์ เพื่อที่จะให้ PLL ยังคงล๊อกอยู่ ถ้ามีการใช้วงจรนับที่สามารถโปรแกรมได้ ความถี่ของ VCO อาจจะสามารถจัดให้เป็นจำนวนเท่าของความถี่อินพุตตามต้องการ

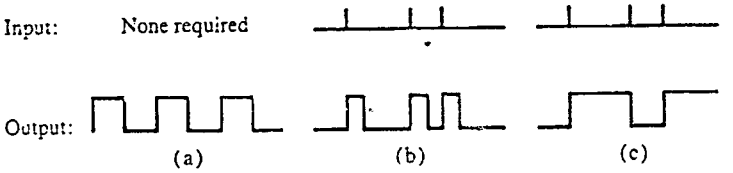
ข้อได้เปรียบของตัวสังเคราะห์ความถี่แบบ PLL นี้คือ 1)ความถี่เอาต์พุตของมันจะมีสภาพสเตเบิลตามสัญญาณ อ้างอิง 2)มันจะเสียค่าใช้จ่ายน้อยกว่าการสร้างออสซิลเลเตอร์หลาย ๆ ตัว

2.7 มัลติไวเบรเตอร์ (MULTIVIBRATORS)

2.7.1 คุณลักษณะทั่วไป

มัลติไวเบรเตอร์จะเป็นออสซิลเลเตอร์แบบเฉพาะ ซึ่งกำหนดลักษณะโดยการใช้แอคทีฟดีไวซ์สองตัว เช่น การใช้ทรานซิสเตอร์สองตัวหรือการใช้หลอดสูญญากาศสองตัว และค่าเอาต์พุตที่เป็นสแควร์เวฟ หรือเป็นการเปลี่ยนค่าทันทีทันใดระหว่างสองค่าที่เป็นไปได้ มันจะมีมัลติไวเบรเตอร์สามชนิด ซึ่งมีเงื่อนไขอินพุตและเอาต์พุตที่แตกต่างกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.70 คุณลักษณะของมัลติไวเบรเตอร์ a) อะสเตเบิล b) โมโนสเตเบิล c) ไบสเตเบิล

มัลติไวเบรเตอร์แบบแรกคือเป็นแบบฟรี-รันนิ่งหรือแบบอะสเตเบิล (ดูรูป 2.70 a) อุปกรณ์แบบนี้ไม่ต้องการสัญญาณอินพุตแต่ต้องการพาวเวอร์ซัพพลายดังนั้นมันจะเปลี่ยนค่าแรงดันไฟตรงไปเป็นขบวนเอาต์พุตสแควร์เวฟ

มัลติไวเบรเตอร์ชนิดที่สองก็คือแบบโมโนสเตเบิลหรือวัน-ช็อตมัลติไวเบรเตอร์(ดูรูป 2.70 b) อุปกรณ์แบบนี้จะมีสภาวะปกติที่มันจะกลับมาอยู่ในสภาวะนี้เสมอ เมื่อมีการรบกวนโดยการใส่สัญญาณอินพุตตัววงจร จะไปยังสภาวะทรานเซียนแบบชั่วคราว และจะกลับไปยังสภาวะมาตรฐาน หรือจากระยะเวลาที่กำหนด

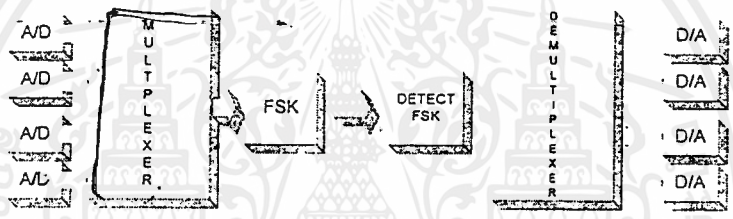
ตัวไบสเตเบิลมัลติไวเบรเตอร์ นับเป็นมัลติไวเบรเตอร์ชนิดที่สาม ด้วยสภาวะมาตรฐานสองสภาวะซึ่งจะเปลี่ยนโดยการรบกวนของพัลส์อินพุต (ดูรูป 2.70c) ตัวอุปกรณ์จะเปลี่ยนไปยังสภาวะที่เปลี่ยนแปลงอย่างทันทีทันใด และจะคงสภาวะนั้นไว้จนกว่าจะมีสัญญาณอินพุตอันต่อไปเข้ามา อีกชื่อหนึ่งของชนิดนี้คือฟลิบฟลอบ Eccles-Jordan มัลติไวเบรเตอร์ หรือตัวไบนารี่เคาท์เตอร์ วงจรที่สัมพันธ์คือชมิททริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการออกแบบ

3.1 หลักการโดยรวม

สำหรับในโครงงานนี้เป็นการทดลองระบบการมัลติเพล็กซ์สัญญาณแบบดิจิตอลซึ่งจะมีส่วนประกอบสำคัญคือ ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล และส่วนแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอก ส่วนวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ ส่วนมอดูเลทสัญญาณแบบฟรีเควนซี่ชิพคีย์อิ้ง ซึ่งบล็อกไดอะแกรมของระบบโดยรวมสามารถแสดงได้ดังรูปที่ 3.1



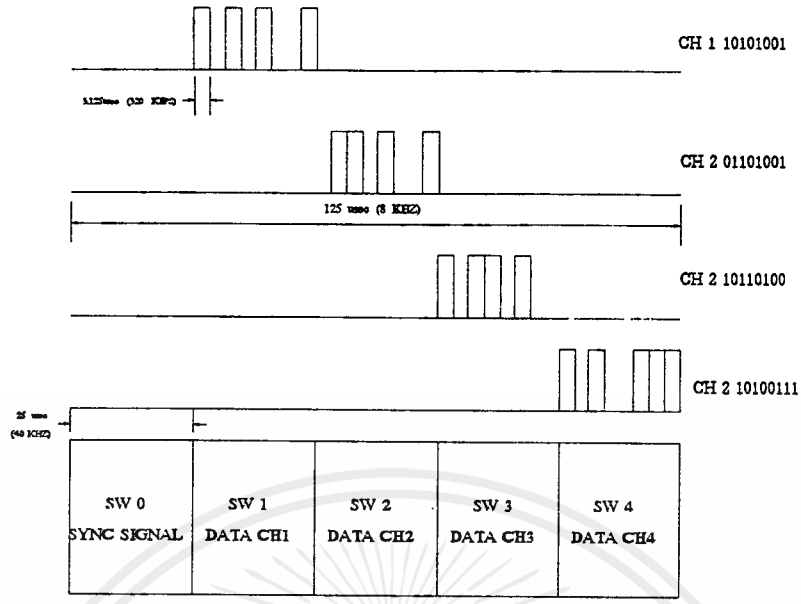
รูปที่ 3.1 บล๊อกไดอะแกรมของระบบโดยรวม

3.2 ส่วนการจัดการสัญญาณนาฬิกาในส่วนมัลติเพล็กซ์และส่วนการแปลงสัญญาณ

3.2.1 การจัดการเฟรมข้อมูลดิจิตอล

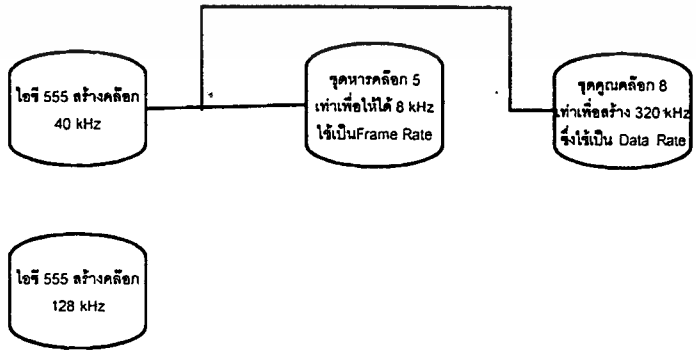
ในการส่งข้อมูลที่เป็นดิจิตอลนั้นเราจะต้องมีการแซมปลิ้งสัญญาณซึ่งในที่นี้ใช้อัตราการแซมปลิ้งเป็น 2 เท่าของความถี่สูงสุด (ในที่นี้ใช้แซมปลิ้งเรตเท่ากับ 8 กิโลเฮิรตซ์ เนื่องจากสัญญาณเสียงมีความถี่สูงสุดประมาณ 3.5 กิโลเฮิรตซ์) ใช้หนึ่งแซมปลิ้งแปลงเป็นข้อมูล 8 บิต กับสัญญาณ 4 ช่องสัญญาณ รวมกับช่องสัญญาณซิงโครนัสเป็น 5 ช่องสัญญาณ ดังนั้นเราต้องใช้ความเร็วในการส่งข้อมูลดิจิตอลเป็น 8 kHz x 5 ch x 8 bit/ch เท่ากับส่งข้อมูลด้วยความเร็ว 320 Kbit/Sec ซึ่งภาพของการจัดข้อมูลนั้นจะสามารถแสดงได้ดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



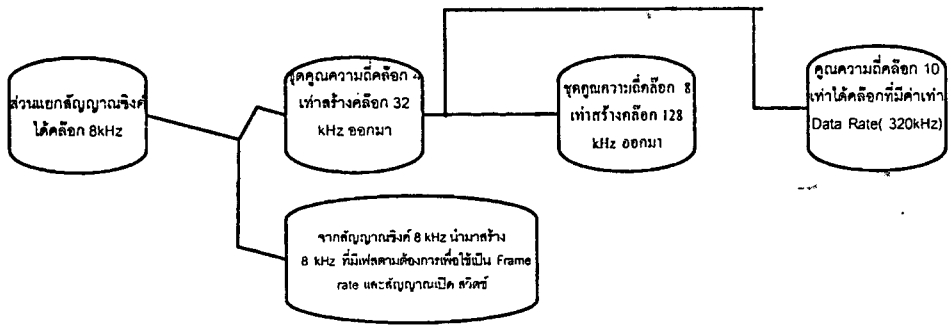
รูปที่ 3.2 แสดงการจัดเฟรมในการส่งข้อมูลดิจิตอล

ซึ่งในการสร้างคล็อกที่ใช้ในการจัดการส่วนต่าง ๆ นั้นจะไม่ใช้การสร้างคล็อก 1 วงจรต่อส่วนหนึ่งส่วน แต่จะสร้างคล็อกพื้นฐานขึ้นมา คือ 40 กิโลเฮิรตซ์ และ 128 กิโลเฮิรตซ์ (สำหรับฝั่งส่ง) แล้วใช้สร้างคล็อกที่ต้องการคือ 8 กิโลเฮิรตซ์ สำหรับใช้ควบคุมสวิตช์อนาลอก 8 กิโลเฮิรตซ์ 320 กิโลเฮิรตซ์ สำหรับตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยใช้วงจรคูณ(ใช้เทคนิคของเฟสล็อคลูพ) และวงจรหาร(ใช้วงจรเคาท์เตอร์) และสำหรับส่วนฝั่งรับนั้น จะไม่มีการสร้างคล็อกพื้นฐานขึ้นมาเหมือนกับฝั่งส่ง แต่จะใช้สัญญาณซิงค์ ที่แยกได้คือ 8 กิโลเฮิรตซ์ นำมาสร้างคล็อกที่ใช้ในทุกส่วนของฝั่งรับโดยสามารถอธิบายบล็อกไดอะแกรมได้ดังรูปที่ 3.3 สำหรับฝั่งส่ง และ 3.4 สำหรับฝั่งรับ



รูปที่ 3.3 แผนภาพในการจัดการคล็อกของฝั่งส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

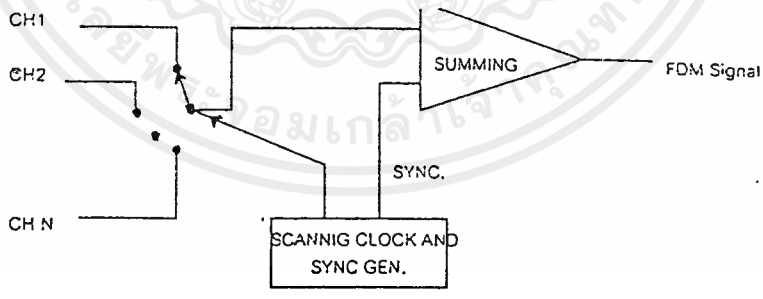


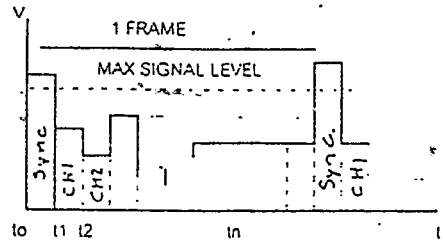
รูปที่ 3.4 แผนภาพในการจัดการคล๊อกของฝั่งรับ

3.3 ส่วนของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์

3.3.1 หลักการออกแบบวงจรโดยรวม

ในโครงงานนี้ใช้การมัลติเพล็กซ์แบบแบ่งเวลา(TIME DIVISION MULTIPLEX) ซึ่งเป็นการมัลติเพล็กซ์ที่กระทำโดยการจัดเวลาของการส่งสัญญาณย่อยต่าง ๆ เรียงต่อเนื่องกันไป ช่วงเวลา t1 จะ ส่งสัญญาณช่องที่ t1, ช่วงเวลา t2 จะส่งสัญญาณช่องที่ t2 จนครบทุกช่องที่เวลา tn หลังจากนั้นก็จะ กลับมาส่งสัญญาณของช่องที่ 1 ใหม่เรียงลำดับไปเรื่อย ๆ ให้ทางด้านรับสามารถที่จะเรียงลำดับของสัญญาณย่อยในช่องต่าง ๆ ได้ ทางด้านส่งต้องส่งสัญญาณซิงค์ ไปด้วยทุก ๆ ครั้งก่อนที่จะส่ง สัญญาณของช่องที่ 1 ดังในรูปที่ 3.5 สวิตช์ SW1 จะเป็นตัวเลือกว่าจะส่งสัญญาณของช่องออกไปการกวาดสัญญาณของ SW จะถูกควบคุมโดยสัญญาณนาฬิกา ซึ่งจะมีสัญญาณนาฬิกาส่วนหนึ่งใช้เป็นสัญญาณซิงค์ร่วมไปกับสัญญาณย่อยช่องต่าง ๆ ส่งออกไปทางด้านรับ

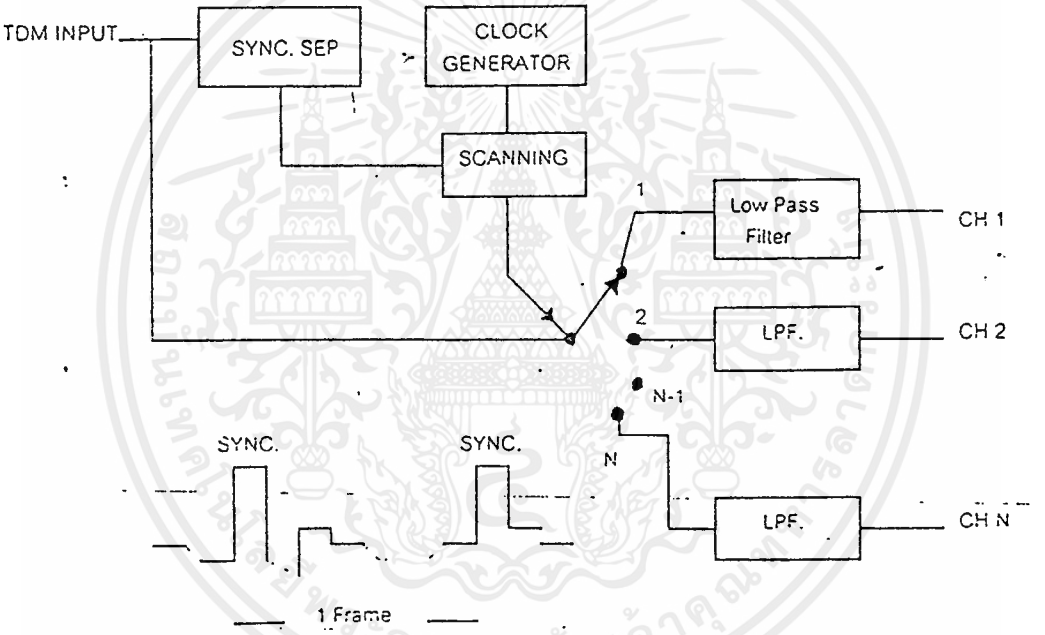




รูปที่ 3.5 ไทม์ดิวิชั่น มัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 3.6 เป็นบล๊อกไดอะแกรมของ TDM ดีมัลติเพล็กเซอร์ทางเครื่องรับสัญญาณซิงค์จะถูกแยกออกจากสัญญาณTDMโดยวงจรแยกซิงค์ ซึ่งวงจรแยกซิงค์มักเป็นวงจรเปรียบเทียบแรงดันหรือเป็นวงจรที่ขึ้นกับลักษณะของสัญญาณซิงค์ วงจรสร้างสัญญาณนาฬิกาของเครื่องรับ จะถูกควบคุมโดยสัญญาณซิงค์เพื่อให้มีความถี่และเฟสเหมือนทางเครื่องส่งซึ่งในส่วนนี้จะเป็นเฟสล๊อคลูพ สัญญาณนาฬิกาที่ได้จะมีความถี่และเฟสเหมือนทางเครื่องส่งซึ่งจะไปควบคุมการกวาดของ SW2 ให้มีตำแหน่งและลำดับตรงกับ SW1 ของเครื่องส่งดังนั้นที่เวลา t1 ในขณะ SW1 อยู่ที่ตำแหน่งที่ 1 SW2 ก็จะอยู่ที่ตำแหน่งที่ 1 สัญญาณช่องที่ 1 ก็จะสามารถส่งผ่านถึงปลายทางได้อย่างถูกต้อง เนื่องจากสัญญาณย่อยของช่องต่างถูกแซมปลิ้งมาเพียงบางส่วน เพื่อที่จะให้สัญญาณที่รับได้มีรูปร่างเหมือนเดิม ก็จะต้องนำสัญญาณที่ถูกแซมปลิ้งนั้นมาผ่านวงจรกรองความถี่ต่ำ

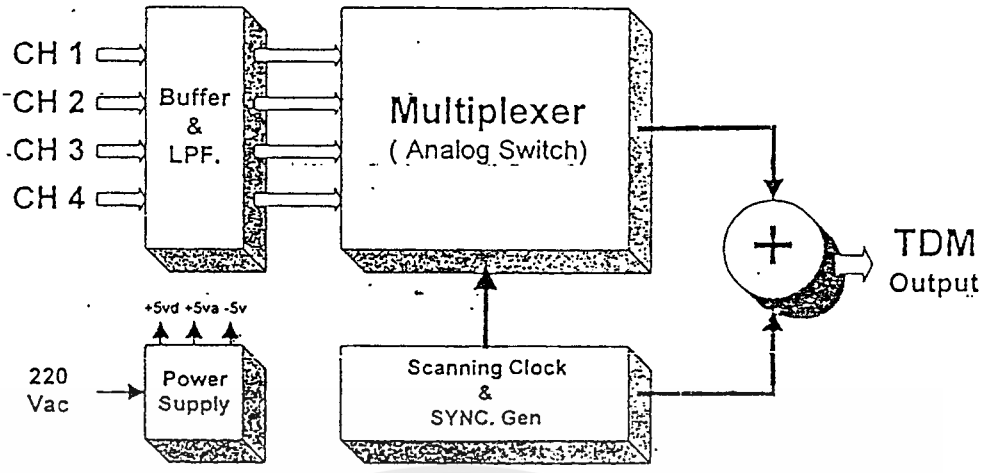


รูปที่ 3.6 TDM ดีมัลติเพล็กเซอร์

3.3.2. TDM มัลติเพล็กเซอร์

จากหลักการในเบื้องต้นของการส่งข้อมูลแบบ ไทม์ดิวิชั่น มัลติเพล็กซ์ สามารถสร้างเป็นวงจรได้ โดยมีบล๊อกไดอะแกรม ของวงจรในการส่งข้อมูลได้ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงบล๊อกไดอะแกรมของวงจรส่งสัญญาณแบบ TDM แบบ 4 ช่องสัญญาณ

ซึ่งจากบล๊อกไดอะแกรมข้างต้น สามารถออกแบบวงจรอิเล็กทรอนิกส์ได้ โดยจะแบ่งการออกแบบแยกเป็นส่วน ๆ ตามลักษณะของบล๊อกไดอะแกรมได้เป็นวงจรได้ดังรูปที่ 3.8 (รูปวงจรอยู่ส่วนท้ายของบทที่ 3)

3.3.2.1 วงจรสร้างสัญญาณคล๊อกและสัญญาณซิงโครนัส

วงจรสร้างสัญญาณคล๊อกและสัญญาณซิงโครนัสทำหน้าที่สร้างสัญญาณนาฬิกาควบคุมการแซมปลิ้งสัญญาณที่เข้ามายังช่องต่าง ๆ รวมทั้งสร้างสัญญาณซิงค์ วงจรในส่วนนี้จะมีส่วนการทำงานย่อย ๆ คือ

- วงจรกำเนิดสัญญาณนาฬิกา ซึ่งจะเป็นส่วนที่กำหนดความถี่ของการทำงานป้อนให้กับวงจรในส่วนต่าง ๆ โดยใช้โลจิกเกท เป็นออสซิลเลเตอร์
- วงจรนับ 5 จากสัญญาณนาฬิกาข้างต้นนำมาแบ่งเวลาออกเป็น 5 ส่วน (t0 เป็นของสัญญาณซิงค์ และ t1-t4 เป็นของสัญญาณในแต่ละช่องสัญญาณ)
- วงจรปรับความกว้างพัลส์ของสัญญาณซิงค์ สัญญาณพัลส์ที่ผ่านวงจรในส่วนนี้จะมีความกว้างที่ลดลง ซึ่งมีประโยชน์คือทำให้สัญญาณซิงค์ของระบบมีความแม่นยำสูง

3.3.2.2 การสร้างสัญญาณควบคุมอนาลอกสวิตช์และวงจรผลรวม

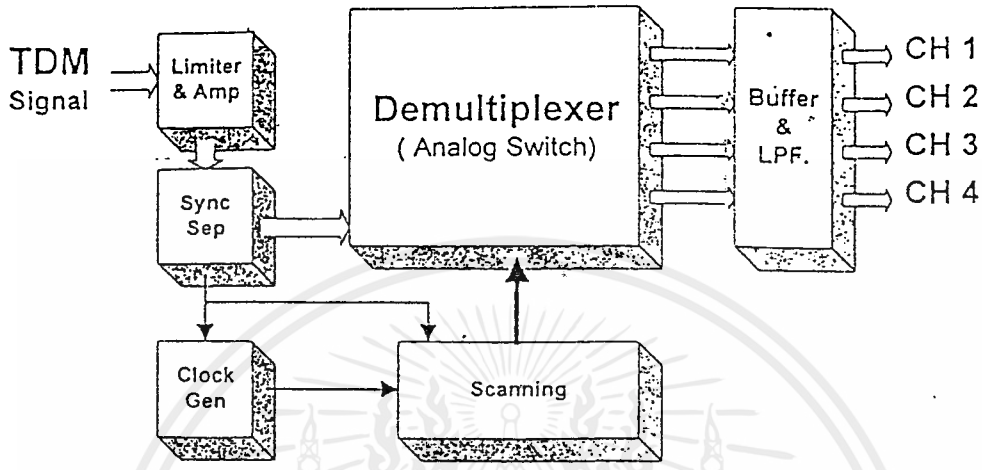
วงจรในส่วนนี้ทำหน้าที่แซมปลิ้งสัญญาณจากแชนแนลต่าง ๆ โดยอาศัยสัญญาณที่ได้จาก Scanning Clock มาควบคุมและรวมสัญญาณที่แซมปลิ้งได้แล้วเข้าด้วยกัน รวมทั้งสัญญาณซิงค์ซึ่งจะแยกเป็นวงจรในส่วนย่อยคือ

- Signal Switching โดยอาศัยการทำงานของอนาลอกสวิตช์ มาเปิด/ปิด สัญญาณในแต่ละแชนแนลให้เข้ามาที่เวลาต่าง ๆ กัน จึงสามารถนำสัญญาณที่ได้ในแต่ละช่องสัญญาณมารวมกันได้
- Summing วงจรในส่วนนี้จะทำการรวมสัญญาณที่ได้จาก Signal switching กับสัญญาณซิงค์ เพื่อให้ได้เป็นสัญญาณเอาต์พุตของวงจรส่วน TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 TDM ดีมัลติเพล็กเซอร์

จากสัญญาณที่ส่งมาแบบ TDM เราสามารถจะรับสัญญาณนี้ มาแยกออกเป็นสัญญาณ แชนแนลต่าง ๆ คืนออกมาด้วยวิธีการดังรูปที่ 3.9



รูปที่ 3.9 แสดงบล๊อกไดอะแกรมของวงจร TDM ดีมัลติเพล็กเซอร์

ดังเช่นเดียวกับภาคส่งจากบล๊อกไดอะแกรมข้างต้น สามารถนำมาสร้างเป็นวงจรที่สามารถใช้งานได้ ดังแสดงในรูปที่ 3.10(รูปวงจรอยู่ส่วนท้ายของบทที่ 3)

3.3.3.1 ส่วนแยกสัญญาณซิงโครนัส

วงจรในส่วนนี้จะมีหน้าที่แยกสัญญาณซิงค์ ออกจากสัญญาณ TDM เพื่อใช้ในการกำหนดการทำงานของภาครับให้ทำงานสัมพันธ์กับภาคส่ง

3.3.3.2 การสร้างสัญญาณคล๊อกและสัญญาณซิงโครไนซ์

วงจร Scanning Clock Generator จะทำหน้าที่สร้างสัญญาณควบคุมการแซมปลิ้งสัญญาณที่เข้ามากลับออกไปยังช่องต่าง ๆ ที่ถูกต้องโดยการทำงานในส่วนนี้ที่สำคัญคือ จะต้องมีการทำงานสัมพันธ์กับทางด้านส่งซึ่งจะได้จากสัญญาณซิงค์ ของวงจรตอนที่ 3.3.3.1 ดังนั้นวงจรในส่วนนี้จะประกอบไปด้วยส่วนการทำงานย่อย ๆ คือ

- วงจรกำเนิดสัญญาณนาฬิกาจากสัญญาณซิงค์ จะสร้างสัญญาณนาฬิกาสำหรับการทำงานของวงจรทางภาครับ สำหรับสัญญาณนาฬิกานี้จะต้องมีความถี่และเฟส ตรงกันกับทางด้านส่ง โดยจะทำได้จากการนำเอาสัญญาณซิงค์มาเพิ่มความถี่ขึ้นนั่นเอง โดยใช้หลักการของเฟสล๊อกลูป และเพื่อความเที่ยงตรงในการทำงานสัญญาณนาฬิกานี้จะถูกทวีให้เป็น 10 เท่าของสัญญาณซิงค์ (หรือ 2 เท่าของสัญญาณคล๊อก ทางด้านส่ง) กล่าวคือสวิตช์ที่ใช้ในการเปิด/ปิด สวิตช์ของฝั่งรับจะแคบกว่าของฝั่งส่ง เพื่อความแม่นยำในการทำงาน
- วงจรนับ 10 จากสัญญาณนาฬิกาข้างต้น นำมาแบ่งเวลาออกเป็น 5 ส่วน (t0 เป็นของสัญญาณ ซิงค์ และ t2 ,t4 ,t6, t8 เป็นของสัญญาณในแต่ละแชนแนล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3.3 การควบคุมอนาลอกสวิตช์และตัวกรองผ่านความถี่ต่ำ

วงจรในส่วนนี้จะทำหน้าที่แซมปลิ้งสัญญาณ TDM กลับออกไปยังแชนแนลต่าง ๆ โดยอาศัยสัญญาณที่ได้จาก Scanning Clock มาควบคุม แล้วนำสัญญาณที่ได้กลับออกมานี้ไปผ่านตัวกรองผ่านความถี่ต่ำเพื่อให้ได้สัญญาณเอาต์พุตที่สมบูรณ์ จากการทำงานของวงจรสามารถแยกออกเป็นวงจรได้สองส่วนคือ

- Signal Switching อาศัยการทำงานของอนาลอกสวิตช์ มาเปิด/ปิด สัญญาณ TDM ที่เวลาต่าง ๆ โดยมีการเปิด/ปิด สัมพันธ์กับทางด้านส่ง ซึ่งสัญญาณควบคุมการทำงานของสวิตช์นี้ จะได้มาจากวงจร Scannning Clock Generator & Synchronizing
- ส่วนของวงจรกรองความถี่ต่ำ เพื่อกรองความถี่ที่อาจจะเข้ามารบกวนสัญญาณออกไป ทำให้สัญญาณที่ได้มีความเรียบมากยิ่งขึ้น

3.4วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก

ในโครงงานนี้จะใช้การแปลงสัญญาณอนาลอกเป็นดิจิตอลและ ดิจิตอลเป็นอนาลอกโดยใช้การทำงานแบบ Pulse Code Modulation โดยใช้ไอซีชิพในตระกูล 145500 ของบริษัทโมโตโรล่าซึ่งเป็นตัวเข้ารหัสพีซีเอ็มซึ่งจะอธิบายการทำงานได้ดังนี้

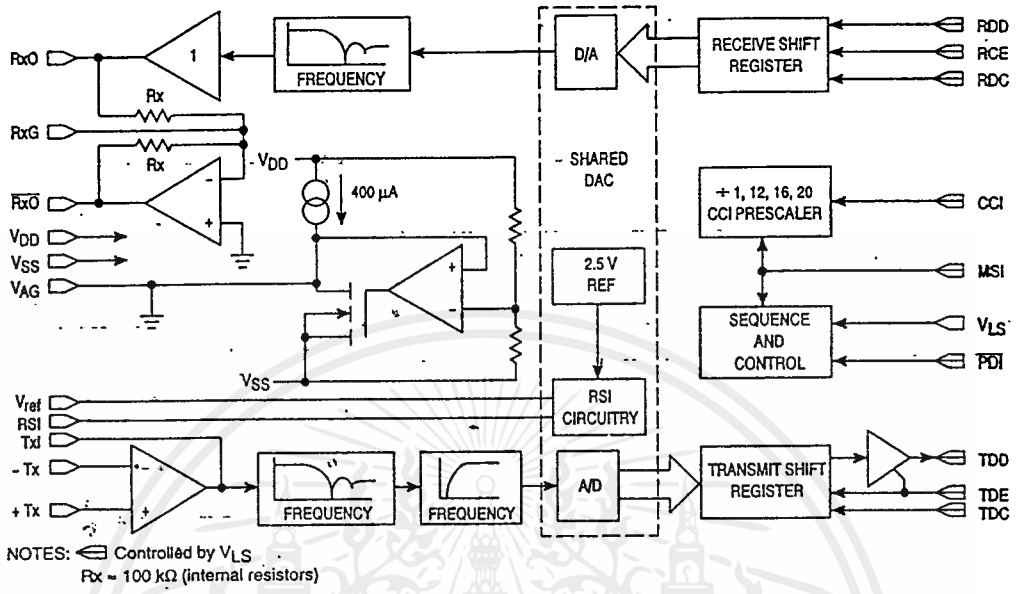
3.4.1 รายละเอียดทั่วไปของ PCM Codec/Filter Mono-circuit MC145500/01/02/03/05

MC145500, MC145501, MC145502, MC145503 และ MC145505 เป็นอุปกรณ์กรองสัญญาณเข้ารหัสและถอดรหัสแบบ PCM ที่ใช้อุปกรณ์นี้หนึ่งตัวต่อหนึ่งช่องสัญญาณอุปกรณ์เหล่านี้มีหน้าที่ทำสัญญาณเสียงให้เป็นให้เป็นสัญญาณทางดิจิตอลและสร้างสัญญาณเสียงเดิมขึ้นมาใหม่ รวมทั้งจำกัดช่วงคลื่นสัญญาณและทำให้สัญญาณเรียบขึ้น ซึ่งเป็นสิ่งจำเป็นสำหรับระบบพัลส์โคดมอดูเลชัน(Pulse Code Modulation) โดย MC145500 และ MC145503 เป็นอุปกรณ์ที่ใช้กันทั่วไป มี 16 ขา ซึ่งถูกออกแบบมาให้ใช้ได้ทั้งแบบซิงโครนัส (synchronous) และอะซิงโครนัส(asynchronous) และมีแรงดันอ้างอิงอยู่ในตัวด้วย MC145501 จะอยู่ใน แพคเกจ (package) แบบ 18 ขา และสามารถเลือกแรงดันสูงสุด 3 ค่า (2.5 , 3.15 และ 3.78 โวลต์) MC145505 เป็นอุปกรณ์ซิงโครนัสซึ่งอยู่ในแพคเกจ 16 ขา แบบดิป(dip) และแบบกว้าง(soic) ซึ่งเหมาะสำหรับอุปกรณ์ที่ต้องใช้แพคเกจแบบนี้ MC145502 จะรวมคุณสมบัติเด่นทุกอย่างที่มีในอุปกรณ์ตระกูลนี้ ซึ่งจะมีแพคเกจแบบ 22 ขา แบบดิป และ 28 ขาซึ่งเป็นแพคเกจแบบแคเรียร์(carrier package) และจะมีลักษณะเด่นของ MC145500 และ MC145501 อยู่ด้วยซึ่งยังมีคุณสมบัติอื่นอีก จะเห็นได้ว่าอุปกรณ์ชนิดนี้มีจำนวนขาน้อยเมื่อเทียบกับคุณสมบัติเด่นในการทำงานของมันโดยการประยุกต์ใช้งานของผู้ใช้

อุปกรณ์นี้จะมีการวางแผนแบบขาต่อขา(pin-for-pin) ซึ่งเป็นวงจรโมโนพีซีเอ็ม(mono PCM) ที่ใช้ในยุคแรก ๆ และมีการพัฒนาไอซีเบอร์ MC14404/06/07 และตัวโคเดค(codec) แบบมาตรฐานแบบอื่น ๆ อุปกรณ์เหล่านี้สามารถทำงานได้ดีกับอุปกรณ์ตระกูล TSAC และ MC3419 SLIC ของโมโตโรล่า อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์เปลี่ยนสัญญาณเสียงเป็นสัญญาณดิจิตอลแบบพัลส์โคดมอดูเลชันตระกูล MC145500 จะใช้อุปกรณ์ภายในเป็นแบบซีมอส(cmos) เพราะว่ามีข้อดีคือใช้กำลังไฟฟ้าน้อย และมีความสามารถในการทำงานกับระบบอนาลอกและดิจิตอลวีแอลเอสไอ(VLSI) ที่ซับซ้อน



รูปที่ 3.11 บล๊อกไดอะแกรมของไอซีตระกูล 145500

MC145500

- มีแพคเกจแบบ 16 ขา
- มีตัวกรองสัญญาณผ่านช่วงความถี่ทางด้านส่ง และตัวกรองสัญญาณผ่านความถี่ต่ำทางด้านรับสำเร็จรูปอยู่ในอุปกรณ์
- มีขาไว้ให้เลือกระบบว่าเป็นแบบ µ-Law หรือ A-Law ตามข้อมูลที่เข้ามา
- มีค่าแรงดันอ้างอิงพร้อมอยู่ในอุปกรณ์(3.15 โวลต์)
- มีการสูญเสียกำลัง 50 มิลลิวัตต์ และต่ำกว่า 0.1 มิลลิวัตต์ ที่ $\pm$ 5 โวลต์
- จัดค่าที่เป็นมาตรฐานให้โดยอัตโนมัติ สำหรับลำดับข้อมูลที่เข้ามา 128 กิโลเฮิรตซ์ , 1.536 เมกะเฮิรตซ์ , 1.544 เมกะเฮิรตซ์ , 2.048 เมกะเฮิรตซ์ , 2.56 เมกะเฮิรตซ์

MC145501 เหมือน เบอร์ MC145500 รวมทั้งยังมีคุณสมบัติอื่นคือ

- มีแพคเกจแบบ 18 ขา
- เลือกค่าระดับแรงดันสูงสุดได้ (2.5 , 3.15 , 3.78 โวลต์)
- มีขาอินพุตที่ต่อเข้ากับขาอินเวอร์ส (inverse) ในตัวออปแอมป์ภายในตัวไอซี

MC145502 มีคุณสมบัติเหมือนเบอร์ MC145500 และ MC145501 รวมทั้งมีคุณสมบัติอื่นคือ

- มีแพคเกจแบบ 22 ขา
- อัตราเร็วของสัญญาณนาฬิกา(data clock)ที่เข้ามา เปลี่ยนแปลงได้ตั้งแต่ 64 กิโลเฮิรตซ์ จนถึง 4.1 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีอินพุตที่เข้าสู่ออปแอมป์ภายในตัวไอซีสามขาโดยสมบูรณ์
- สามารถปรับแรงดันอ้างอิงได้จากการต่ออุปกรณ์ภายนอก

MC145503 มีคุณสมบัติเหมือนเบอร์ MC145500 รวมทั้งคุณสมบัติอื่นคือ

- มีแพคเกจแบบ 16 ขา
- มีอินพุตที่เข้าสู่ออปแอมป์ภายในตัวไอซี สามขาโดยสมบูรณ์

MC145505 มีคุณสมบัติเหมือนเบอร์ MC145503 ยกเว้น

- มีแพคเกจแบบ 16 ขา
- มีอัตราเร็วของสัญญาณนาฬิกา(data clock) ทั้งด้านส่งและด้านรับตั้งแต่ 64 กิโลเฮิรตซ์ จนถึง 4.1 เมกะเฮิรตซ์

3.4.2 รายละเอียดของอุปกรณ์

โคเดค/ฟิลเตอร์(codec/filter)เป็นอุปกรณ์ที่ใช้เปลี่ยนสัญญาณเสียงเป็นรูปแบบของสัญญาณดิจิตอล และมีการสร้างสัญญาณเสียงกลับขึ้นมาใหม่ โดยอุปกรณ์ชนิดนี้ถูกพัฒนาขึ้นเพื่อนำมาใช้กับระบบโครงข่ายโทรศัพท์คือตัวสวิตช์ชิ่งและสายส่งทางเสียงพูด เมื่อเสียงถูกทำเป็นสัญญาณดิจิตอลแล้วมันจะถูกสวิตช์ชิ่งโดยกระบวนการสวิตช์ชิ่งทางสัญญาณดิจิตอล หรือไม่ก็ส่งไปในระยะทางไกล ๆ (T1 , ไมโครเวฟ , ดาวเทียม และโดยวิธีอื่น ๆ) คำว่าโคเดค(codec) มาจากคำว่าโคดเดอร์(coder) สำหรับใช้เปลี่ยนสัญญาณเสียงเป็นรูปแบบสัญญาณดิจิตอล และคำว่าดีโคดเดอร์(decoder) ใช้สำหรับการสร้างสัญญาณเสียงจากสัญญาณดิจิตอลขึ้นมาใหม่ เราจึงกล่าวได้ว่าโคเดคเป็นอุปกรณ์ที่ทำหน้าที่ได้ทั้งเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter) และเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก(D/A Converter)

ในการแซมปลิ้งโดยทั่วไป ทฤษฎีไนควิส (Nyquist Theory) บอกว่าการแซมปลิ้งสัญญาณที่เข้ามาแบบต่อเนื่องจะต้องถูกแซมเปิลที่ความถี่สูงกว่าสองเท่าของความถี่สูงสุดของสัญญาณที่รับเข้ามา โดยเสียงจะมีช่วงสเปคตรัม(spectrum) มากกว่า 3 กิโลเฮิรตซ์ โดยยังทำให้ไม่สูญเสียความถูกต้องของข้อมูล อัตราการแซมปลิ้งที่ 8 กิโลเฮิรตซ์ จะได้มาจากอินพุตของสัญญาณเสียงที่มีช่วงแบนด์วิดท์(bandwidth) มากกว่า 3 กิโลเฮิรตซ์เล็กน้อย โดยการแซมปลิ้งแบบนี้ต้องใช้ตัวกรองผ่านความถี่ต่ำ(low pass filter) เพื่อจะกำจัดค่าความถี่สูงซึ่งมากกว่า 3 กิโลเฮิรตซ์นี้ ซึ่งทำให้เกิดค่าความผิดเพี้ยนในสัญญาณ และในระบบสายส่งโทรศัพท์ยังมีไฟที่มีความถี่ 50/60 เฮิรตซ์ ปะปนอยู่ ซึ่งจะต้องถูกลดทอนสัญญาณโดยตัวกรองสัญญาณความถี่สูงผ่าน(high pass filter) ก่อนที่จะเข้าสู่ตัวเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter)

โดยขั้นตอนเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก(D/A Converter) จะสร้างสัญญาณเป็นรูปขั้นบันไดขึ้นมาใหม่จากสัญญาณที่เราต้องการ ซึ่งยังมีสเปคตรัมของสัญญาณที่ถูกมอดูเลตแล้ว ซึ่งมีค่าเท่ากับความถี่ที่เข้ามาทำการแซมปลิ้งและฮาร์โมนิคของมัน โดยสเปคตรัมเหล่านี้เราจะเรียกว่าอะเลียสซิ่ง(aliasing) ซึ่งจะต้องถูกลดทอนออกเพื่อเอาแต่สัญญาณที่ต้องการออกมา ซึ่งเราจะใช้อุปกรณ์กรองผ่านความถี่ต่ำ เพื่อลดทอนค่าอะเลียสซิ่ง ซึ่งตัวกรองสัญญาณนี้ถูกเรียกว่าตัวกรองสัญญาณแบบสร้างใหม่(reconstruction filter) หรือ ตัวกรองสัญญาณเพื่อทำให้สัญญาณเรียบ(smoothing filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีตระกูล MC145500 จะมีตัวโคเดคซึ่งสามารถทำได้ทั้งการแซมปลิ้งและการสร้างสัญญาณอนาลอกขึ้นมาใหม่ โดยค่าแรงดันอ้างอิงจะถูกกำหนดในตัวอุปกรณ์ และไม่ต้องมีอุปกรณ์ภายนอกตัวอื่นมาต่อเพิ่มก็สามารถทำงานได้ โดยไอซีตระกูลนี้จะมี 5 แบบ

3.4.3 รายละเอียดของขาไอซี

Digital

V_{LS} (Logic Level Select Input and TTL Digital Ground)

... V_{LS} ทำหน้าที่ควบคุมระดับสัญญาณลอจิก และแรงดันกราวด์อ้างอิงของสัญญาณดิจิตอลซึ่งใช้เป็นแรงดันอ้างอิงของสัญญาณดิจิตอลทั้งหมดในวงจรโดยอุปกรณ์นี้สามารถทำงานในช่วงระดับแรงดันของสัญญาณตามแรงดันไฟที่จ่ายให้ (V_{SS} ถึง V_{DD}) หรือระดับแรงดัน TTL โดยการใช้ V_{LS} เป็นดิจิตอลกราวด์ ขาที่ถูกควบคุมโดยขา V_{LS} ถ้าเป็นอินพุตก็มีขา MSI , CCI , TDE , TDC , RCE , RDC , RDD , $\overline{PDI}$ และถ้าเป็นเอาต์พุตก็มีขา TDD

MSI (Master Synchronization Input)

MSI ถูกใช้เพื่อหาอัตราการแซมปลิ้งของด้านส่ง และเป็นเวลาพื้นฐานสำหรับเลือกค่าตัวที่จะนำไปหารกับความถี่ที่ขา convert clock input (CCI) ขา MSI จะถูกต่อเข้ากับสัญญาณนาฬิกาที่มีความถี่ 8 กิโลเฮิรตซ์ ซึ่งอาจจะเป็นสัญญาณซิงโครนัสด้วยระบบเฟรม หรือสัญญาณซิงโครนัสเป็นระบบ MSI ไม่มีความสัมพันธ์กับเวลาของข้อมูลทั้งภาคส่งและภาครับยกเว้นแต่การหาค่าสโตรบของภาคส่งซึ่งเป็นเงื่อนไขของขาTDE ในการใช้งานส่วนใหญ่ MSI จะถูกต่ออยู่กับขา TDE (MSI จะถูกต่ออยู่ภายในกับขา TDE ในไอซีเบอร์ MC145503/05)

CCI (Convert Clock Input)

CCI ถูกออกแบบมาเพื่อรับค่าความถี่ของสัญญาณนาฬิกา 5 ค่า คือ 128 กิโลเฮิรตซ์ 1.536 เมกะเฮิรตซ์ , 1.544 เมกะเฮิรตซ์ , 2.048 เมกะเฮิรตซ์ หรือ 2.56 เมกะเฮิรตซ์ ความถี่ที่อินพุตนี้จะถูกเปรียบเทียบกับความถี่ที่ขา MSI และ หารเพื่อสร้างความถี่สัญญาณนาฬิกาภายในที่ 128 กิโลเฮิรตซ์ (หรือ 16 เท่าของอัตราการแซมปลิ้ง) ค่าดิวตี้ไซเคิล (duty cycle) ของ CCI จะถูกควบคุมโดยความกว้างของพัลส์ที่เล็กที่สุด แต่ยกเว้นสำหรับค่า 128 กิโลเฮิรตซ์ ซึ่งจะต้องถูกใช้โดยตรงกับค่าสัญญาณภายในและต้องมีค่าดิวตี้ไซเคิล 40 ถึง 60 เปอร์เซนต์ ในระบบอะซิงโครนัส ค่า CCI จะได้รับจากเวลาในการส่ง (CCI จะถูกต่อกับ TDC ในไอซีเบอร์ MC145500/01/03)

TDC (Transmit Data Clock Input)

TDC สามารถรับความถี่ได้ตั้งแต่ 64 กิโลเฮิรตซ์ ไปจนถึง 4.096 เมกะเฮิรตซ์ และมักจะต่อกับขา CCI ถ้าอัตราเร็วของข้อมูลที่เข้ามาเท่ากับหนึ่งใน 5 ค่า ความถี่ สัญญาณนาฬิกานี้จะส่งเข้าไปในชิฟรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(shift register)เพื่อใช้ควบคุมการส่งสัญญาณดิจิตอล์ออกที่ขา TDD TDE ควรจะถูกต่อออกจากสัญญาณนาฬิกาชนิดนี้ด้วย (TDC และ RDC ถูกต่อเข้าไว้ด้วยกันภายใน ในไอซีเบอร์ MC145505 ซึ่งถูกเรียกว่าขา DC)

TDE (Transmit Data Enable Input)

TDE ทางด้านขาขึ้นจะตามค่า MSI ทางด้านขาขึ้นเพื่อสร้าง internal transmit strobe ซึ่งเป็นตัวกำหนดค่าเริ่มต้นของการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D Conversion) โดย internal transmit strobe จะส่งสัญญาณ PCM ตัวใหม่เข้าไปยังชิปรีจิสเตอร์ฝั่งส่ง (สัญญาณเครื่องหมายจะถูกส่งก่อน) เพื่อพร้อมจะเป็นเอาต์พุตที่ TDD TDE จะเป็นค่าความต้านทานสูง(high impedance) เพื่อควบคุมเอาต์พุตของข้อมูลที่ฝั่งส่ง นานเท่าที่ขา TDE อยู่ในสถานะสูง ขา TDD จะอยู่ในสภาวะ ค่าความต้านทานต่ำ(low impedance) และให้สัญญาณอนาเบิล(enable) เข้าไปที่ชิปรีจิสเตอร์เพื่อให้เป็นสัญญาณนาฬิกาให้มีสัญญาณ 8 บิต PCM ออกมา โดยฟังก์ชั่น AND ทางตรรกศาสตร์ระหว่างขา TDE กับ ขา TDC จะทำให้มีข้อมูลไหลออกจากขา TDD

TDD (Transmit Digital Data Output)

ระดับค่าเอาต์พุตที่ขานี้จะถูกควบคุมโดยขา V_{LS} สำหรับกรณีที่ขา V_{LS} ต่ออยู่กับขา V_{DD} ระดับสัญญาณเอาต์พุตจะมีค่าตั้งแต่ VSS ไปจนถึง VDD ถ้าเราให้แรงดัน VLS อยู่ระหว่าง VDD-4 โวลต์ ไปจนถึง VSS ระดับของเอาต์พุตจะเป็นแบบ TTL ซึ่งจะสอดคล้องกับค่า VLS ซึ่งเป็นกราวด์ทางดิจิตอล

RDC (Receive Data Clock Signal)

RDC เป็นความถี่ที่อยู่ในช่วง 64 กิโลเฮิรตซ์ ไปจนถึง 4.096 เมกะเฮิรตซ์ ซึ่งมักจะถูกต่อกับ TDC เพื่อทำให้มีสัญญาณนาฬิกาไปทั้งการส่งและการรับข้อมูล ชิปรีจิสเตอร์ทางฝั่งรับจะถูกควบคุมโดย RCE จะป้อนสัญญาณเพื่อให้มีข้อมูลมาอยู่ที่ RDD โดย RDC ขอบขาลง RDC จะถูกต่อเข้ากับ TDC ภายในตัวไอซี ในไอซีเบอร์ MC145505 ซึ่งจะเรียกว่า DC

RCE (Receive Clock Enable Input)

RCE เป็นสัญญาณที่ใช้ควบคุมการรับข้อมูลที่ส่งมาจากทางขา TDD โดยจะต้องมีความสัมพันธ์กับ ขา RDC ข้อมูลจึงจะสามารถไหลเข้าไปในชิปรีจิสเตอร์ทางด้านรับได้

RDD (Receive Digital Data)

RDD เป็นขาที่ ใช้รับ สัญญาณดิจิตอลอินพุตทางด้านรับ เวลาที่ใช้ที่ขานี้จะถูกควบคุมโดย RDC และ RCE รูปแบบของข้อมูลจะถูกกำหนดด้วย ขา Mu/A

Mu/A Select

ขานี้จะใช้ในการเลือกว่าจะคอมแพนด์ (compand) แบบMu หรือ แบบ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{PDI}}$ *(Power Down Input)*

จะทำให้วงจรและเกต(gate) ของสัญญาณนาฬิกาทุกอันไม่ทำงาน คือทำให้ VAG ,Tx1 , RxO , $\overline{\text{RxO}}$ และ TDD อยู่ในสถานะความต้านทานสูง (high impedance) ซึ่งจะมีการกินกำลังไฟเพียง 0.1 มิลลิวัตต์ ซึ่งเมื่อเราต่อ $\overline{\text{PDI}}$ เข้ากับ V_{DD} หรือกับสถานะสูงก็จะทำให้การทำงานของวงจรเป็นปกติ

Analog

V_{AG} (Analog Ground Input/Output Pin)

V_{AG} เป็นกราวด์ของระบบอนาลอกทั้งด้านอินพุตและเอาต์พุต สัญญาณอนาลอกทั้งหมดที่ไหลเข้าและไหลออกจากอุปกรณ์ชนิดนี้จะใช้ขา V_{AG} เป็นกราวด์อ้างอิง โดยแรงดันนี้จะเป็นค่าระดับแรงดัน 6 เปอร์เซนต์ นับขึ้นไปทางด้านบวกระหว่าง V_{DD} และ V_{SS} ในระบบไฟคู่ (± 5 , ± 6 โวลต์ และค่าอื่น ๆ) V_{AG} สามารถต่อออกไประบบกราวด์อนาลอกภายนอกได้

V_{ref} (Positive Voltage Reference Input (มีเฉพาะในเบอร์ MC145502 เท่านั้น))

V_{ref} เป็นขาที่เอาไว้สำหรับแรงดันอ้างอิงภายนอกใช้สำหรับการเปลี่ยนอนาลอกเป็นดิจิตอล และเปลี่ยนจากดิจิตอลเป็นอนาลอก ถ้า V_{ref} ถูกต่อไว้กับV_{SS} แรงดันอ้างอิงก็จะถูกเลือกไว้แล้ว ถ้าV_{ref} มากกว่า V_{AG} โหมดภายนอกจะถูกเลือกแทน และแรงดันที่ป้อนให้กับ V_{ref} จะถูกใช้สร้างแรงดันอ้างอิงของตัวเปลี่ยนสัญญาณขึ้นภายใน

RSI (Referece Select Input (พบในไอซีเบอร์ MC145501/02 เท่านั้น))

RSI จะเป็นตัวเลือกค่าแรงดันอ้างอิงทั้งภายในและภายนอกโดยปรับจากค่า 3 ค่า คือ V_{SS} , V_{AG} และ V_{DD} ถ้า RSI = V_{AG} แรงดันอ้างอิงจะถูกใช้โดยตรงสำหรับตัวเปลี่ยนรูปแบบของสัญญาณซึ่งก็คือ 2.5 โวลต์ ถ้า RSI = V_{SS} แรงดันอ้างอิงจะถูกคูณด้วย 1.26 ซึ่งทำให้แรงดันเป็น 3.15 โวลต์ ถ้า RSI = V_{DD} แรงดันอ้างอิงจะถูกคูณด้วย 1.51 ซึ่งทำให้แรงดันอ้างอิงเป็น 3.78 โวลต์ RSI ถูกต่อกับ V_{SS} สำหรับไอซีเบอร์ MC145500 , MC145503 และ MC145505

RxO , $\overline{\text{RxO}}$ (Receive Analog Outputs)

มีเอาต์พุตสองอันถูกมีขึ้น โดยทั้งสองอันจะมีขนาดเดียวกันแต่กลับเฟสกัน ค่าสัญญาณเอาต์พุตสูงสุดของแต่ละอันมีค่าเท่ากับค่าสัญญาณพีคทูพีคสูงสุด (maximum peak-to-peak signal output) ซึ่งขึ้นอยู่กับค่าแรงดันอ้างอิงของมัน

RxG (Receive Output Gain Adjust (มีเฉพาะในไอซีเบอร์ MC145502 เท่านั้น))

จุดประสงค์ของขา RxG เพื่อที่จะได้มีการปรับค่าเกน(gain) ที่รับได้ที่ขา $\overline{\text{RxO}}$ถ้าขา RxG ถูกปล่อยไว้ สัญญาณเอาต์พุตที่ RxO จะถูกอินเวอร์สที่ $\overline{\text{RxO}}$ ดังนั้นค่าพุช-พูลเกน (push-pull gain) จะมีค่าเป็นสองเท่าของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุตที่ RxO ถ้ามีการต่อตัวต้านทานจาก RxO ถึง RxG (RxI)และจาก RxG ถึง $\overline{\text{RxO}}$(RG) ค่าเกนของ $\overline{\text{RxO}}$ จะถูกตั้งค่าขึ้นมาตามค่าความต้านทานที่ต่อเพิ่มเข้าไป โดยค่าเกนจะมีค่าเท่ากับลบRG/RI

Txl (Transmit Analog Input)

Txl เป็นอินพุตที่จะผ่านเข้าไปที่ตัวกรองสัญญาณทางด้านส่ง โดยจะมีเกนการส่งสัญญาณในตัวสำหรับเบอร์ MC145501/02/03/05 โดยมีความต้านทานด้านอินพุตสูงกว่า 100 กิโลโอห์ม ในเบอร์MC145500 สำหรับค่าที่มีแรงดันอ้างอิงเป็น 3.15 โวลต์ ถ้ามีเกนอินพุตเป็น +3 dBm0 อินพุตควรจะมีค่ามากสุด 6.3 โวลต์พีคทูพีค(volt peak-to-peak)

+Tx (Positive Tx Amplifier Input (มีเฉพาะ MC145502/03/05 เท่านั้น))

- Tx (Negative Tx Amplifier Input(มีเฉพาะ MC145501/02/03/05 เท่านั้น))

ถ้ามีการใช้ขา +Tx และ -Tx จะมีการขยายสัญญาณก่อนที่จะเข้าไปที่อินพุตของไอซีโดยใช้อุปกรณ์ตัวต้านทานภายนอกต่อเข้าไป แต่ถ้าไม่มีทั้ง +Tx และ -Tx Txl จะเป็นค่ายูนิตี้เกน (unity gain) ซึ่งมีความต้านทานสูงทางด้านอินพุต (high impedance input)

แหล่งจ่ายไฟ

VDD แรงดันไฟบวกที่ขานี้จะมีค่าตั้งแต่ 5 ถึง 12 โวลต์

VSS แรงดันไฟลบที่ขานี้จะมีค่าตั้งแต่ 10 ถึง 12 โวลต์ และเป็นลบของไฟ VDD

สำหรับระบบไฟคู่ $\pm$ 5 โวลต์ ค่าที่ใช้ก็คือ VDD = + 5 โวลต์ , VSS = - 5 โวลต์ , VLS = 0 โวลต์ และ VAG = 0 จะเป็นกราวด์ของระบบอนาลอก

สำหรับระบบจ่ายไฟเดี่ยว ตัวอย่างของค่าที่ใช้กัน เช่น

VDD = 10 ถึง 12 โวลต์

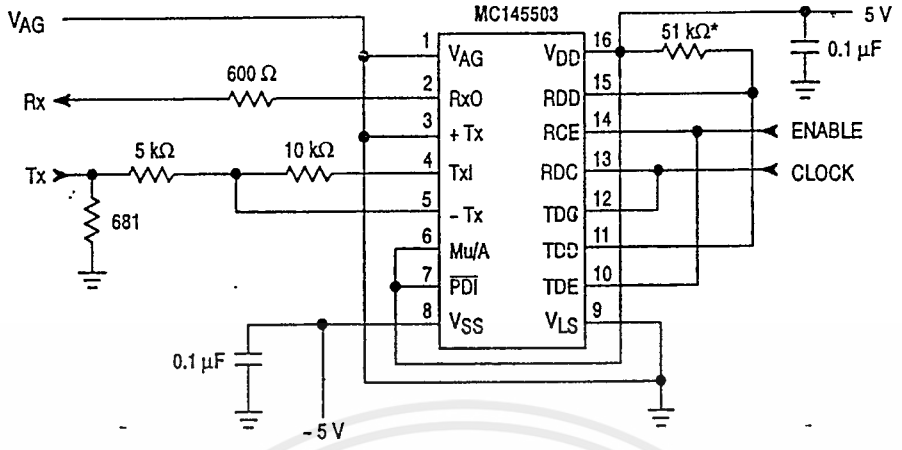
VSS = 0 โวลต์

VAG สร้างแรงดันกลางสำหรับเป็นแรงดันอ้างอิงของสัญญาณอนาลอกที่เข้ามา

3.4.4 การทดสอบวงจร

รูปวงจรการทดสอบดังในรูปที่ 3.9จะมีการต่อ MSI และ CCI เข้ากับ 128 กิโลเฮิรตซ์ และมีการต่ออินพุตเข้าสู่ตัวเปลี่ยนจากสัญญาณอนาลอกเป็นดิจิตอล (เอาต์พุตของ Tx) โดยผลลัพธ์ของอินพุตจะมีการลดค่าลงครึ่งหนึ่งก่อนส่งเข้าไปเป็นอินพุต การทดสอบนี้จะทำให้สามารถประเมินตัวกรองสัญญาณความถี่ต่ำผ่านที่ด้านส่ง และการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยช่องการส่งและรับสัญญาณจะถูกทดสอบผลที่ได้โดยตัวโคเดค และตัวกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรการทดสอบ

3.5 ส่วนของการมอดูเลตและมอดูเลตแบบ FM

3.5.1 ภาคมอดูเลตสัญญาณโดยใช้ชิปไอซีเบอร์ BA1404

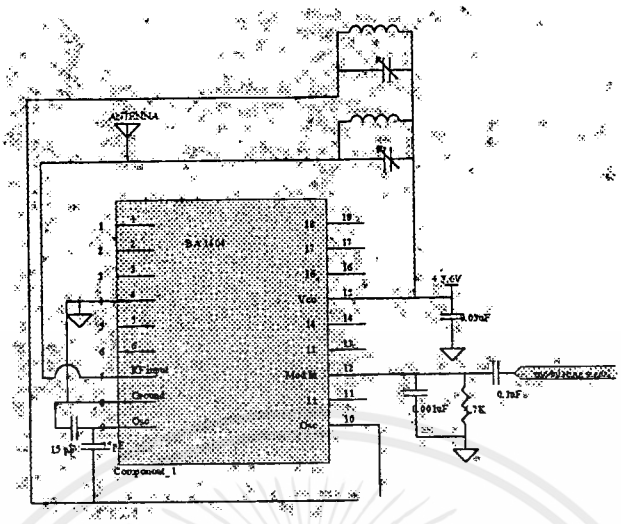
BA1404เป็นชิปไอซีที่ทำหน้าที่มอดูเลตสัญญาณแบบเอฟเอ็มได้สองลักษณะคือเป็นแบบโมโนและแบบสเตอริโอ โดยจะประกอบด้วยส่วนต่าง ๆ 3 ภาคคือ

1. ภาคสเตอริโอมอดูเลเตอร์ (Stereo Modulator)
2. ภาคเอฟเอ็มมอดูเลเตอร์ (FM Modulator)
3. ภาคอาร์เอฟแอมปลิไฟเออร์ (RF Amplifier)

โดยในโครงงานนี้จะใช้สองภาคคือภาคเอฟเอ็มมอดูเลเตอร์ และภาคอาร์เอฟแอมปลิไฟเออร์ โดยสำหรับสัญญาณที่จะใช้เป็นสัญญาณเบสแบนด์นั้นคือสัญญาณจากส่วน TDM (ส่วนมัลติเพล็กซ์) นั้นจะมาเข้าที่ขาที่ 12 หลังจากนั้นทำการมอดูเลตกับคลื่นความถี่ 49 เมกะเฮิรตซ์ โดยความถี่คลื่นพาห์นั้นทำการปรับจูนได้โดยวงจรแทงค์ ที่ต่ออยู่ที่ขา 9 และ 10 เอาต์พุตของการมอดูเลตจะออกจากขาอาร์เอฟเอาต์พุตนั่นก็คือขา 7 และสำหรับการต่อวงจรจูนนั้นสามารถหาความสัมพันธ์ของความถี่และค่า ตัวคอยล์และตัวเก็บประจุได้จากสูตร

$$\text{ความถี่กึ่งกลาง} = 1/[2\pi\sqrt{LC}]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



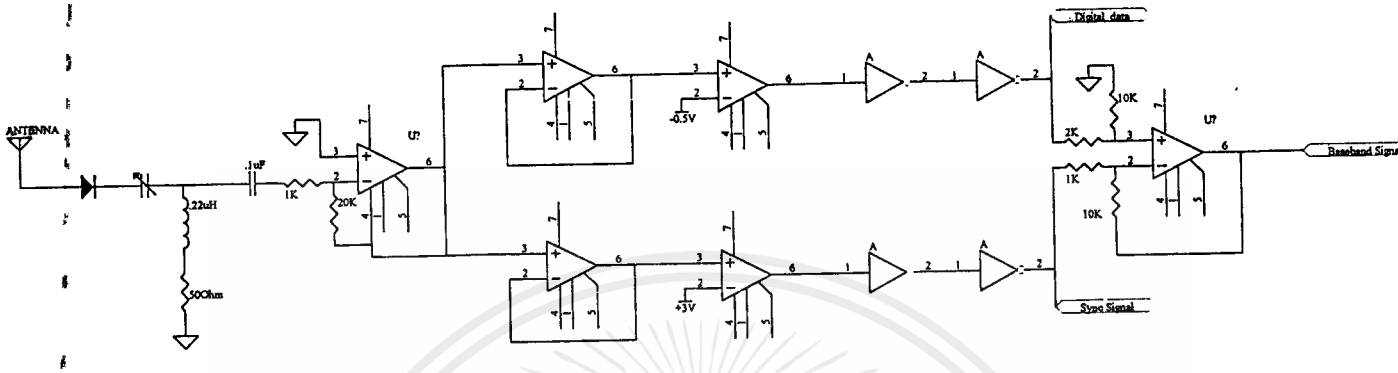
รูปที่ 3.13 วงจรมอดูเลตสัญญาณแบบ FM โดยใช้ไอซี BA1404

3.5.2 ภาคดีมอดูเลตสัญญาณเอฟเอ็ม

รูปที่ 3.14 บล๊อกไดอะแกรมการดีมอดูเลตสัญญาณเอฟเอ็ม

จากบล๊อกไดอะแกรมดังรูปที่ 3.14 จะเริ่มด้วยการนำสัญญาณเอฟเอ็มที่รับเข้ามาทำการดาวน์คอนเวอร์เตอร์ลงมาที่ความถี่กลาง 10 เมกะเฮิรตซ์ นำไปผ่านวงจรดิฟเฟอร์เรนเชี่ยนเพื่อให้ได้สัญญาณกึ่งเอเอ็ม ทำการดีเทคด้วยวิธีการของเอ็นไวล๊อพดีเทคเตอร์เราก็จะได้สัญญาณเบสแบนด์ที่มอดูเลตเข้ามา โดยเราสามารถออกแบบวงจรตามบล๊อกไดอะแกรมที่ 3.14 ได้ดังวงจรในรูปที่ 3.15

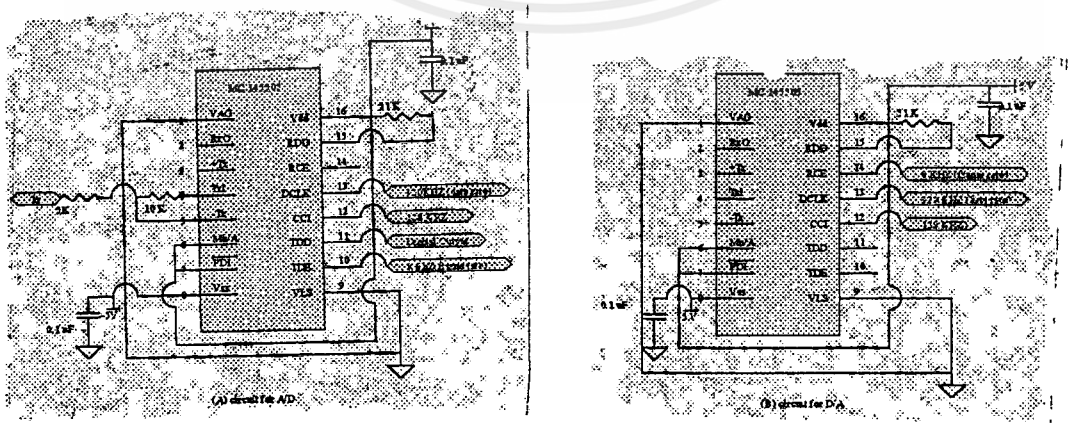
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรดีมอดูเลตแบบ FM

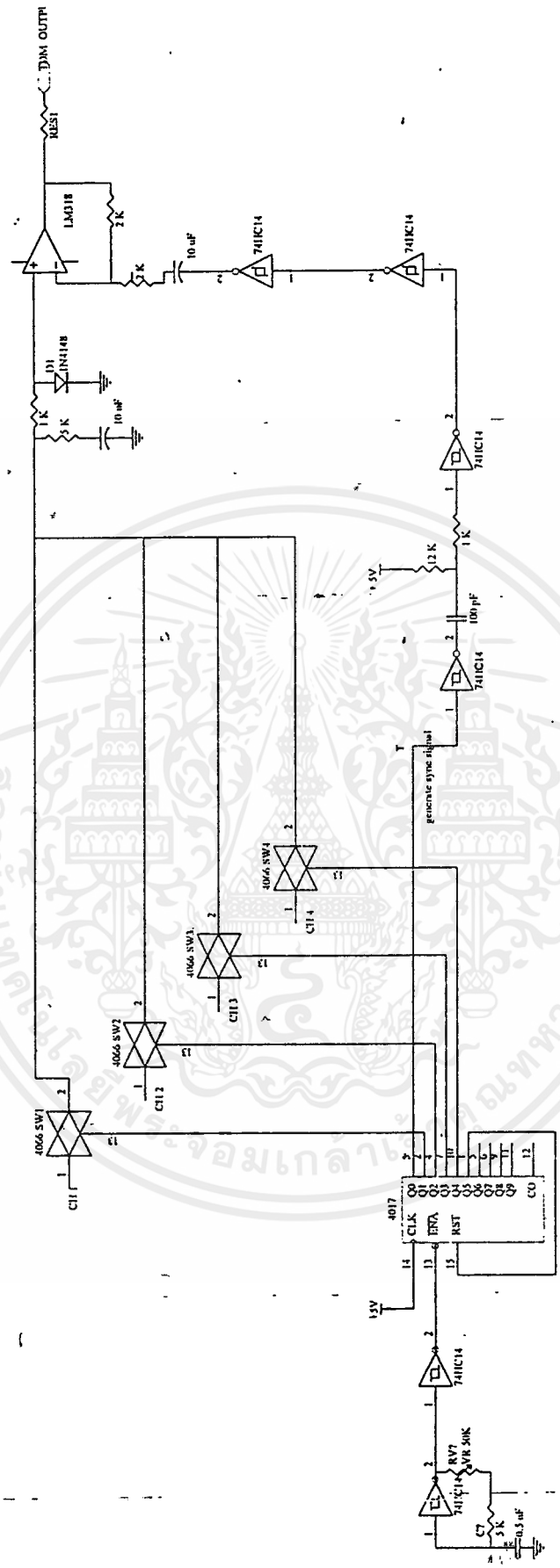
3.6 วงจรรวมทั้งส่วนมัลติเพล็กซ์ ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลและส่วนของการมอดูเลตสัญญาณ

จากการพิจารณา บล๊อกไดอะแกรมตามรูปที่ 3.1 และดูวงจรย่อยในส่วนต่าง ๆ แล้วจะสามารถต่อวงจรรวมของทุกส่วนตามบล๊อกไดอะแกรมรูปที่ 3.1ได้เป็นวงจรรูป 3.16 และ 3.17 (อยู่ท้ายของบทที่3)และในการต่อส่วนการแปลงอนาลอกและดิจิตอลนั้น ในวงจรรวมจะแสดงไว้ในรูปย่อเพื่อความง่ายในการเข้าใจสำหรับวงจรจริงนั้นจะแสดงได้ดังรูปที่ 3.18



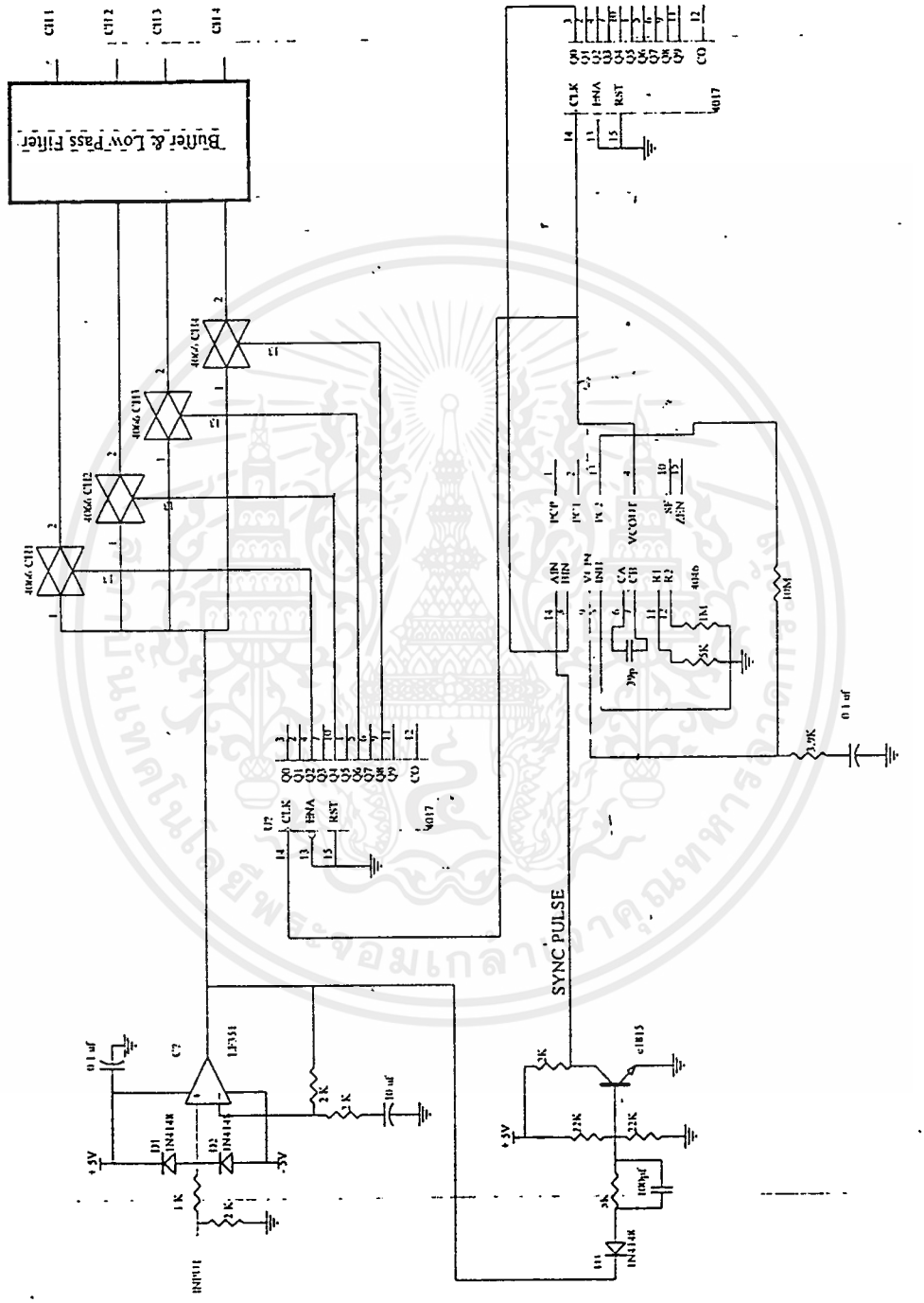
รูปที่ 3.18 วงจรการต่อส่วน MC145505 ทั้งการแปลง A/D และ D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



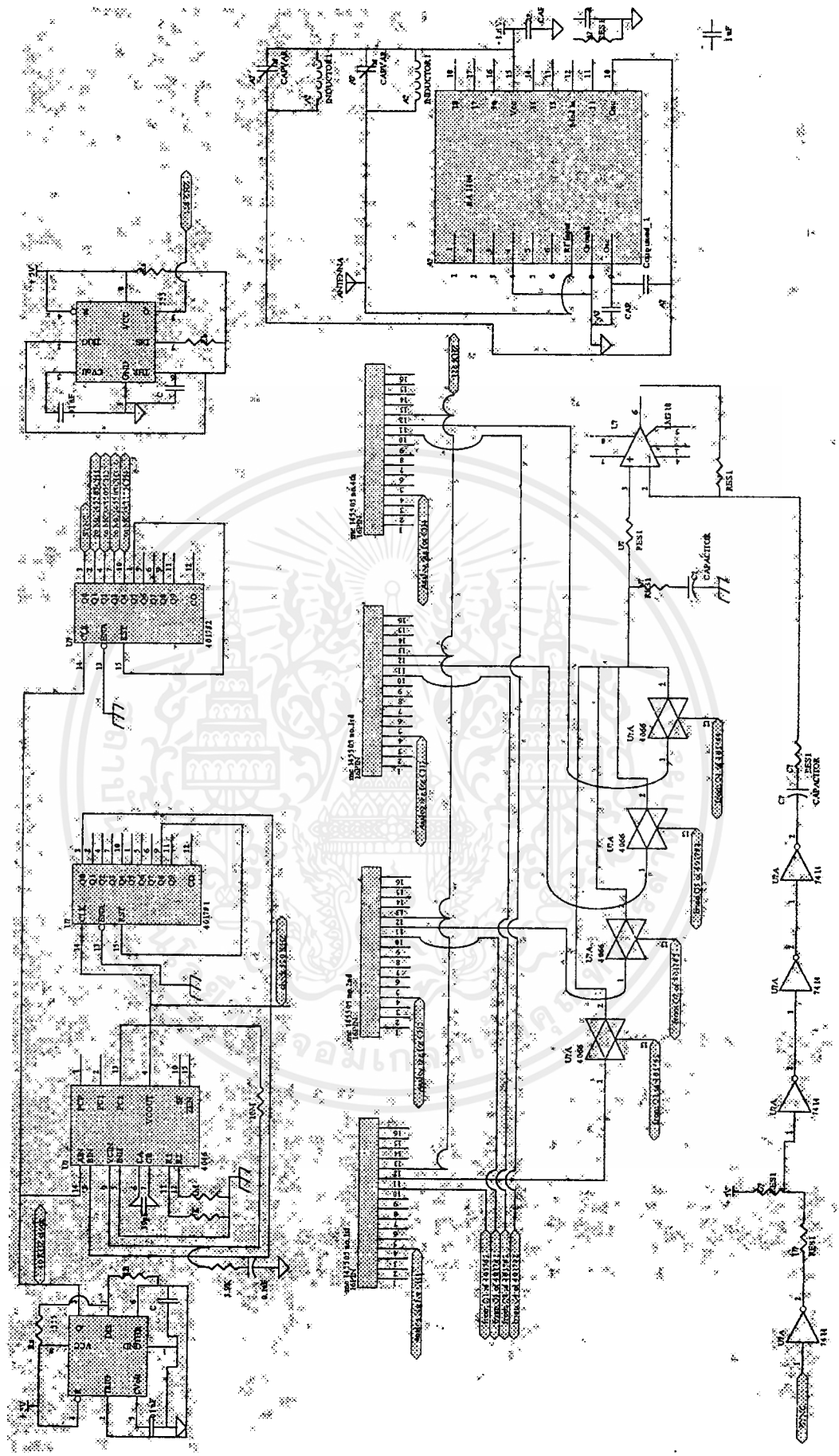
รูปที่ 3.8 วงวงจรส่งสัญญาณ TDM แบบ 4 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



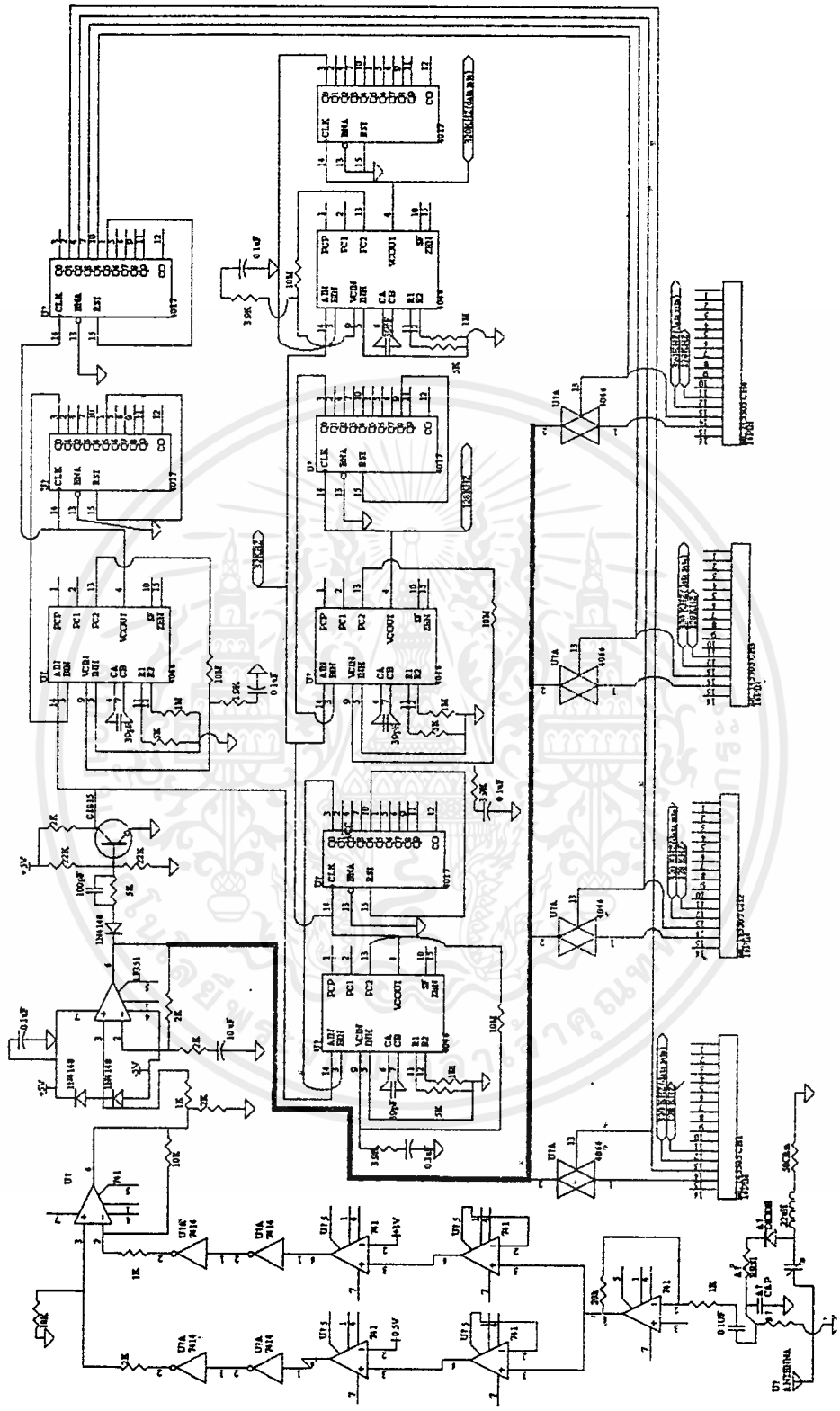
รูปที่ 3.10 แสดงวงจรรับสัญญาณ TDM แบบ 4 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรรวมของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรรวมของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

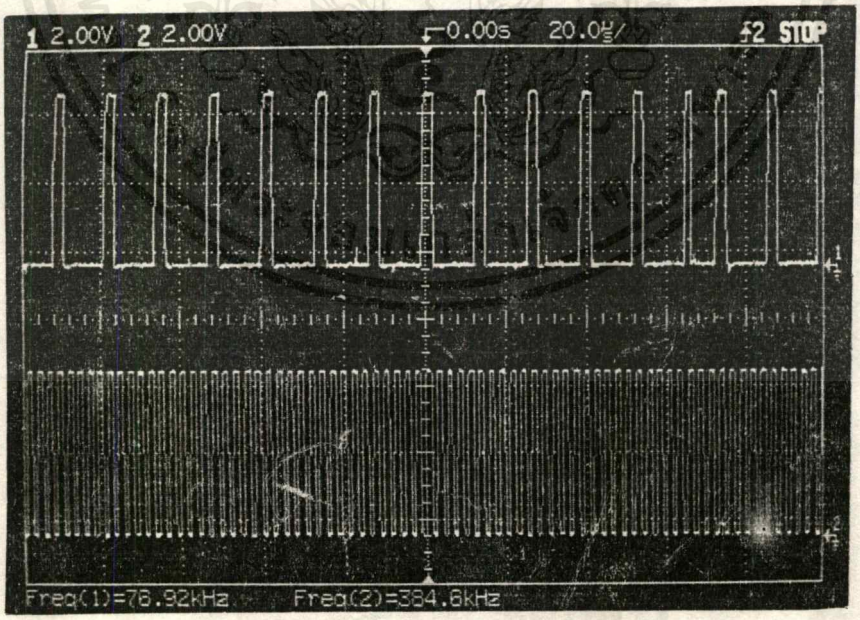
บทที่ 4

ผลการทดลอง

สำหรับส่วนของการทดลองนั้นได้ทำการทดลองวงจรในส่วนของวงจรมัลติเพล็กซ์(ดีมัลติเพล็กซ์) (หัวข้อ 4.1) โดยป้อนอินพุตเป็นสัญญาณรูปซายน์และสัญญาณรูปสามเหลี่ยม นอกจากนั้นแล้วได้ทำการทดลองในส่วนวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกโดยใช้ไอซีเบอร์ MC145505 (หัวข้อที่ 4.2) โดยทำการป้อนสัญญาณสัญญาณรูปซายน์และสัญญาณรูปสามหลี่ยมเข้าไป แล้ววัดสัญญาณที่ได้ออกมา ต่อมาทำการป้อนข้อมูลที่เป็นดิจิตอลเข้าไปและทำการดีเทคออกมา ในส่วนการต่อเชื่อมวงจรแต่ละส่วนได้ทำการต่อส่วน TDM และส่วน A/D (หัวข้อที่ 4.3)เข้าด้วยกัน และทำการป้อนสัญญาณรูปซายน์เข้าไป ทำการแปลงเป็นดิจิตอลจากนั้นทำการส่งสัญญาณดิจิตอลเข้าไปในส่วนของ วงจร TDM ส่งไปฝั่งรับ โดยวิธีการต่อโดยตรง ทำการดีมัลติเพล็กซ์แยกสัญญาณดิจิตอลเข้าไปอยู่ในช่องเดิมโดยถูกต้อง และทำการแปลงกลับออกมาเป็นสัญญาณอนาลอก ในหัวข้อที่ 4.4 ได้ทำการป้อนสัญญาณอนาลอกพร้อมกันทั้งสองช่องสัญญาณและดีเทคสัญญาณเดิมออกมาที่ฝั่งรับ และหัวข้อที่ 4.5 เป็นการทดลองส่วนการมอดูเลชั่นทางความถี่

1. การทดลองวงจรในส่วนของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์

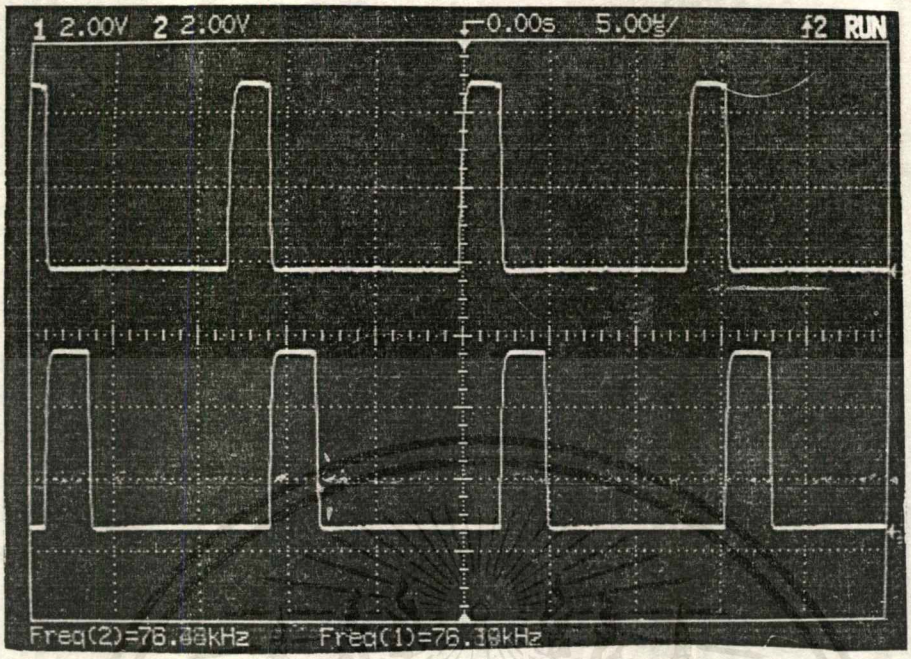
1.ทำการทดลองต่อวงจรดังรูป 3.8 แล้วทำการจัดให้มีคล๊อกที่ขา 13 ของ 4017 เท่ากับ 385 กิโลเฮิรตซ์ แล้วทำการวัดสัญญาณคล๊อกเทียบกับสัญญาณที่ขา 3 ของ ไอซี 4017 (สัญญาณที่เข้าไปทำการสร้างสัญญาณซิงค์)



รูปที่ 4.1 สัญญาณคล๊อกเทียบกับสัญญาณที่ขา 13 ของ ไอซี 4017

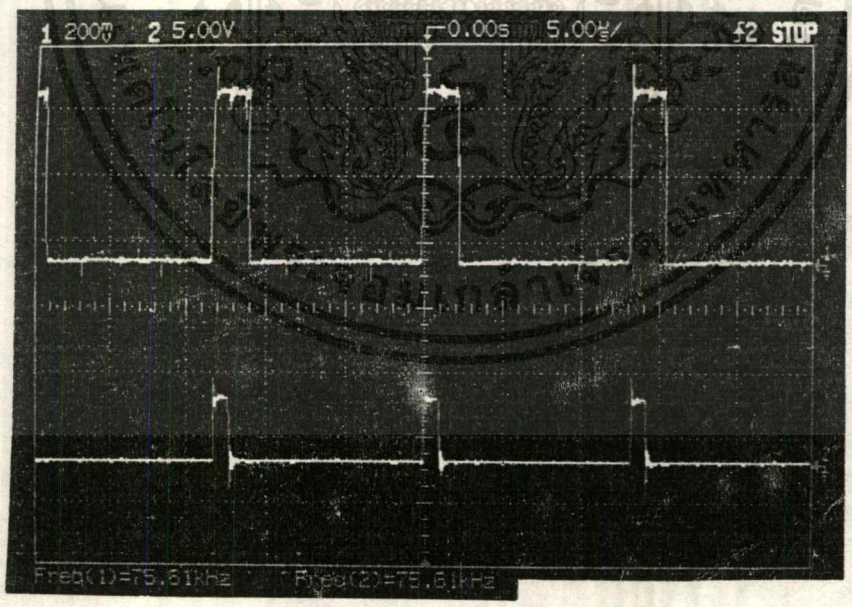
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.ทำการวัดสัญญาณที่ใช้สร้างสัญญาณซิงค์เทียบกับสัญญาณที่เข้าไปทำการเปิดปิดสวิตช์ของ CH1



รูปที่ 4.2 สัญญาณที่เข้าไปทำการสร้างสัญญาณซิงค์เทียบกับสัญญาณที่เข้าไปทำการเปิดปิดสวิตช์ของ CH1

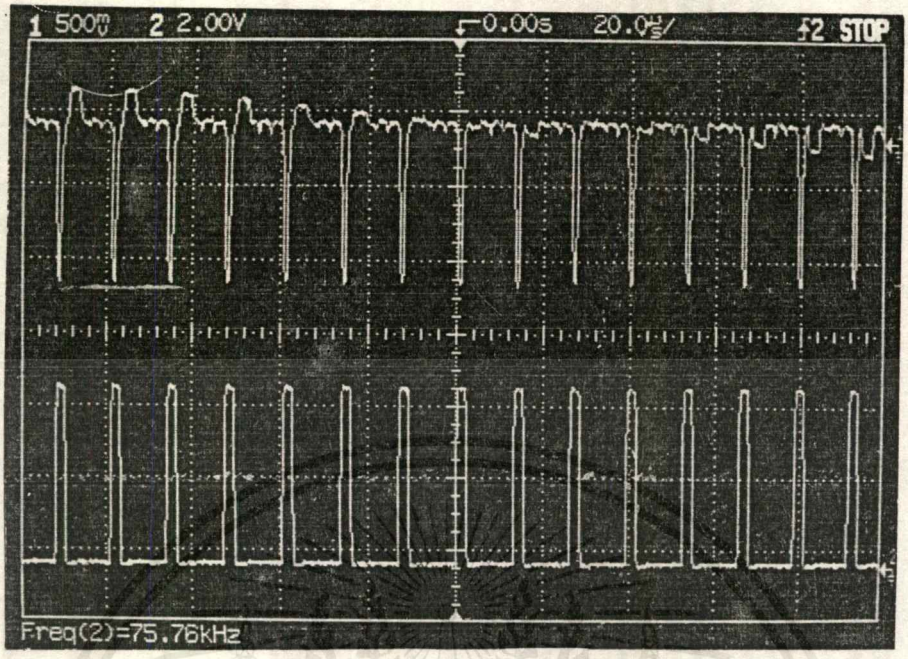
3.วัดสัญญาณซิงค์ที่สร้างได้เทียบกับสัญญาณที่จะนำมาทำเป็นสัญญาณซิงค์ (สัญญาณที่ขา 13 ของ ไอซี 4017)



รูปที่ 4.3 สัญญาณซิงค์ที่สร้างได้เทียบกับสัญญาณที่จะทำเป็นสัญญาณซิงค์(สัญญาณที่ขา 13 ของไอซี 4017)

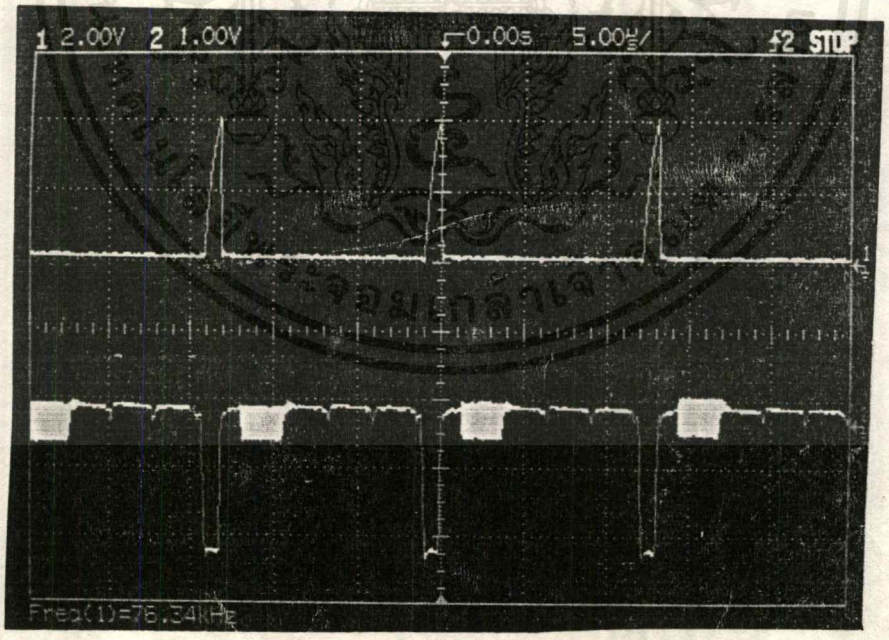
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วัดสัญญาณเอาต์พุตของวงจรมัลติเพล็กซ์เทียบกับสัญญาณซิงค์



รูปที่ 4.4 สัญญาณเอาต์พุตของวงจรมัลติเพล็กซ์เทียบกับสัญญาณซิงค์

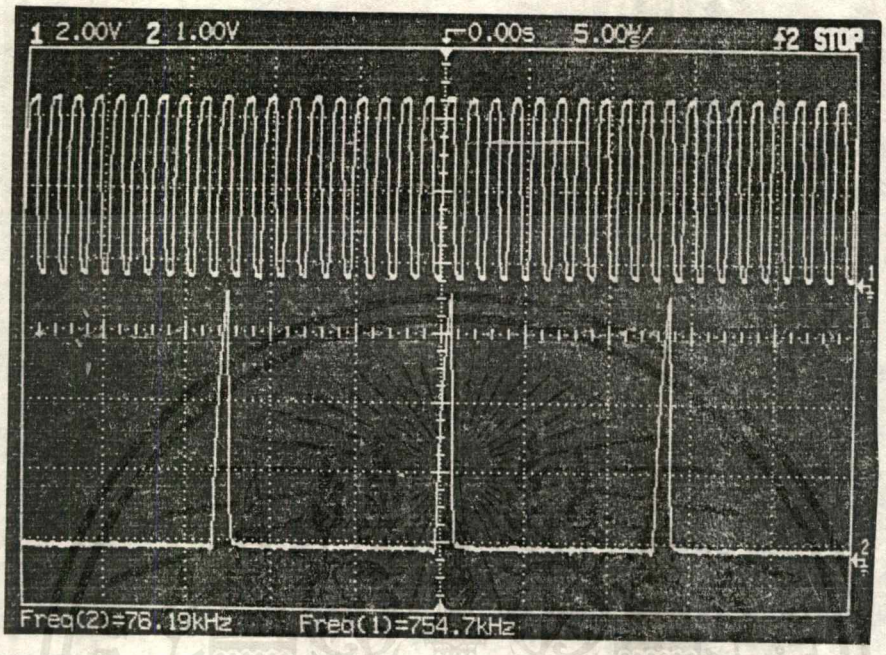
5. ที่วงจรดีมัลติเพล็กซ์ วัดสัญญาณมัลติเพล็กซ์ที่เข้ามาเทียบกับสัญญาณซิงค์ที่แยกได้



รูปที่ 4.5 สัญญาณมัลติเพล็กซ์ที่เข้ามาเทียบกับสัญญาณซิงค์ที่แยกได้

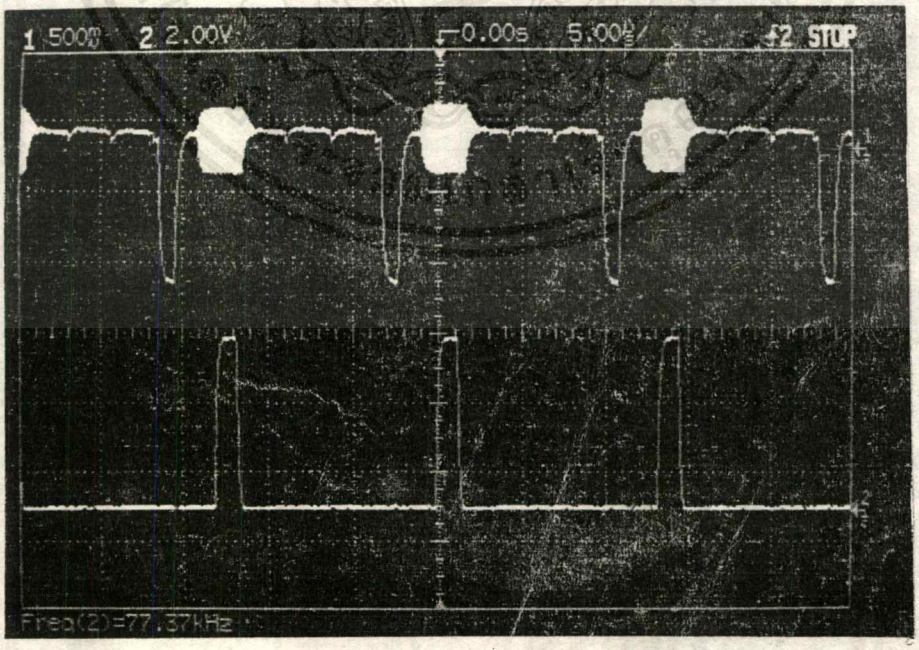
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. วัดสัญญาณซิงค์ที่แยกได้ ไปเทียบกับสัญญาณที่ออกมาจากวงจรเฟสล๊อคลูป ซึ่งจะมีความถี่เป็น 10 เท่าของสัญญาณซิงค์ หรือ 2 เท่าของ สัญญาณที่สร้างคล๊อกที่สร้างขึ้นที่ฝั่งส่ง



รูปที่ 4.6 สัญญาณซิงค์ที่แยกได้ ไปเทียบกับสัญญาณที่ออกมาจากวงจรเฟสล๊อคลูป

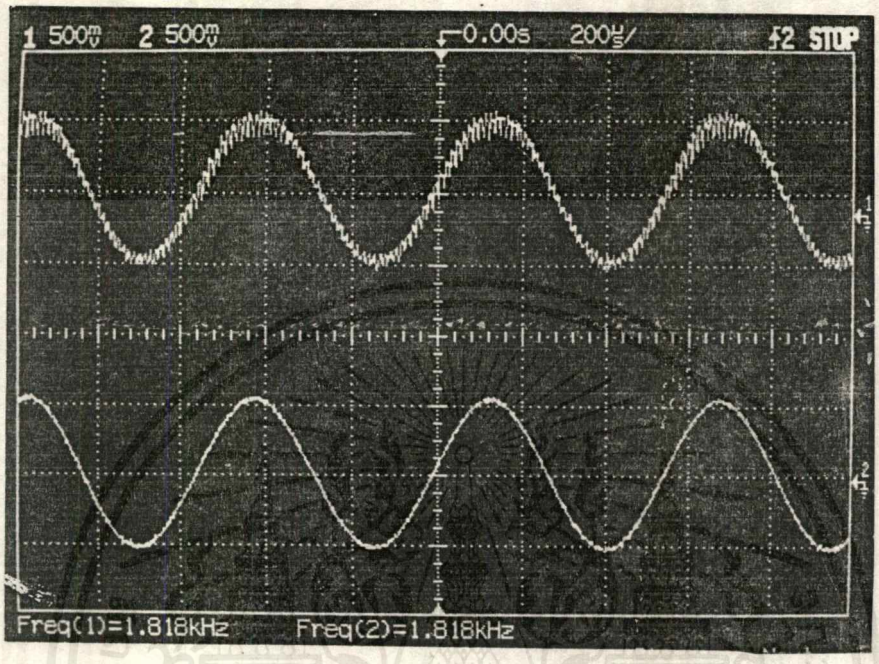
7.วัดสัญญาณเอาต์พุตที่เข้ามาและมีสัญญาณที่ ช่อง 1 เทียบกับสวิตช์ที่เข้าไปทำการเปิดปิดช่องสัญญาณ1



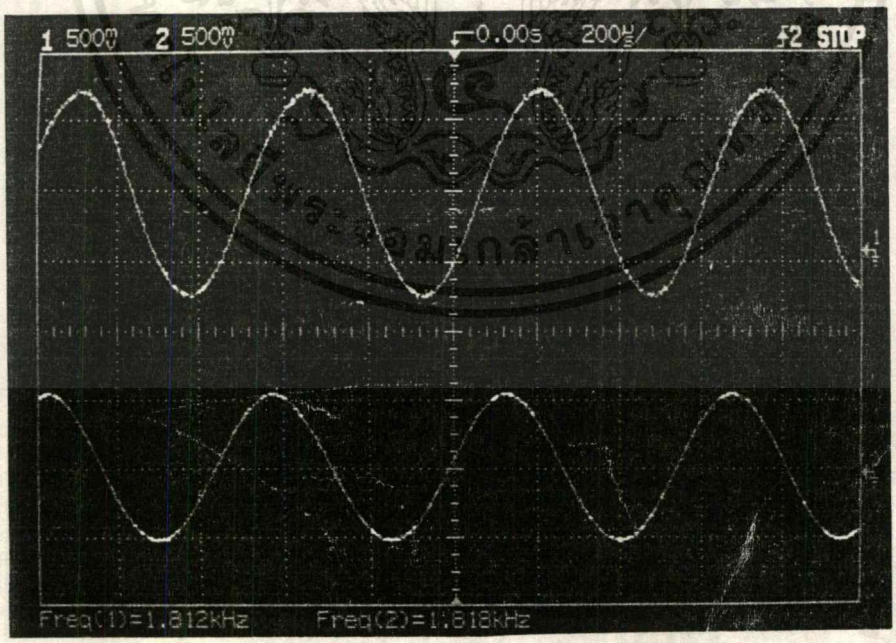
รูปที่ 4.7 สัญญาณเอาต์พุตที่เข้ามาและมีสัญญาณที่ ช่อง 1 เทียบกับสวิตช์ที่เข้าไปทำการเปิดปิดช่องสัญญาณ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. วัดสัญญาณเอาต์พุตที่ออกมาจากวงจรดีมัลติเพล็กซ์เทียบกับสัญญาณอินพุตที่ใส่เข้าไป โดยในรูปที่ 4.8 จะเป็นเอาต์พุตที่ไม่มีวงจรกรองความถี่ ซึ่งจะสังเกตได้ว่าสัญญาณจะไม่เรียบ และในรูปที่ 4.9 จะมีวงจรกรองความถี่



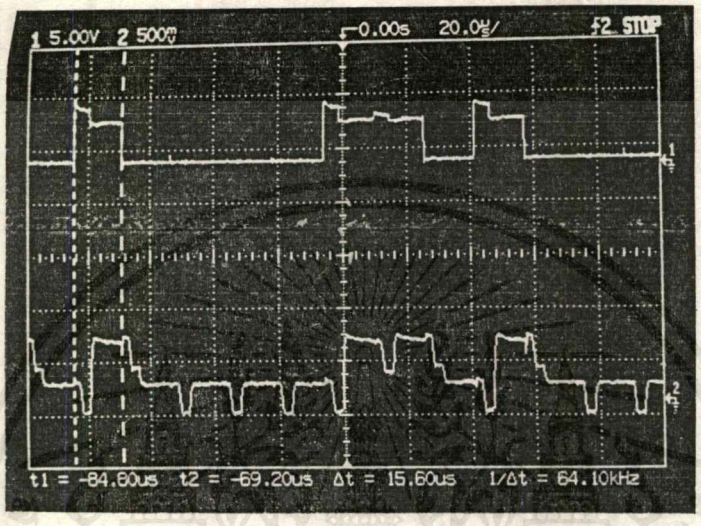
รูปที่ 4.8 สัญญาณเอาต์พุตที่ออกมาจากวงจรดีมัลติเพล็กซ์เทียบกับสัญญาณอินพุต



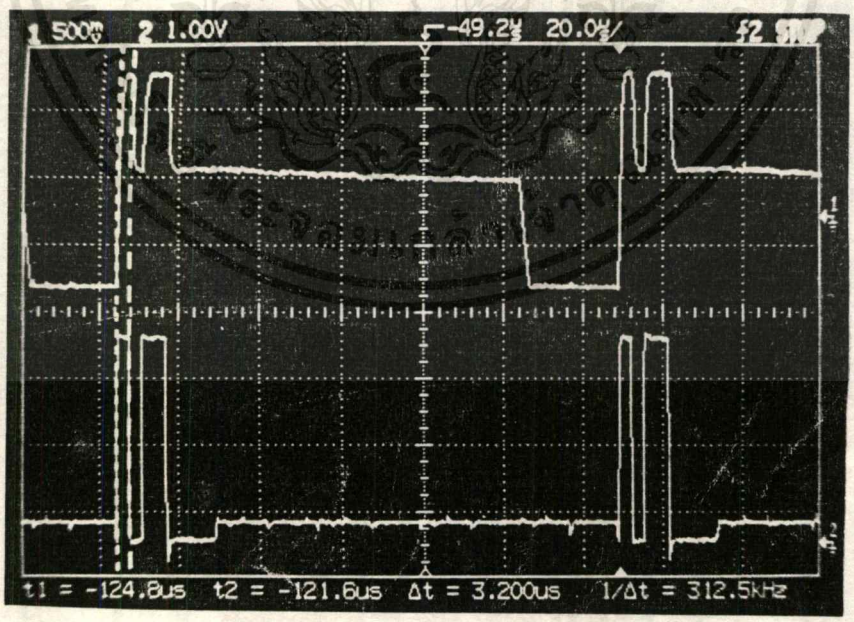
รูปที่ 4.9 สัญญาณเอาต์พุตที่ออกมาจากวงจรดีมัลติเพล็กซ์เทียบกับสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. วัดสัญญาณอินพุตและเอาต์พุตเมื่อมีการใส่สัญญาณอินพุตเป็นสัญญาณดิจิตอลที่มีค่าคงที่ และคล๊อกที่ใช้ควบคุมสวิตช์มีค่าเป็น 5 เท่าของบิตเรต(รูปที่ 4.10) และสำหรับรูปที่ 4.11 เป็นการมัลติเพล็กซ์สัญญาณดิจิตอล โดยใช้ เรทของคล๊อกที่มาทำการเปิดปิดสวิตช์มีค่าเท่ากับ เฟรมเรทของสัญญาณ



รูปที่ 4.10 สัญญาณอินพุตและเอาต์พุตเมื่อมีการใส่สัญญาณอินพุตเป็นสัญญาณดิจิตอลที่มีค่าคงที่

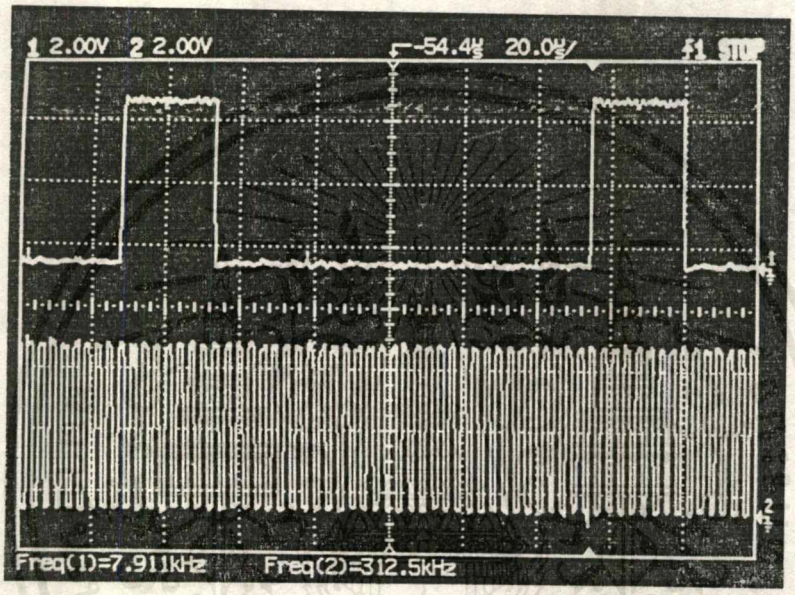


รูปที่ 4.11 สัญญาณอินพุตและเอาต์พุตเมื่อมีการให้อัตราของคล๊อกที่ทำการเปิด ปิดสวิตช์มีค่าเท่ากับเฟรมเรทของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ทำการทดลองในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและสัญญาณดิจิตอลเป็นอนาลอก

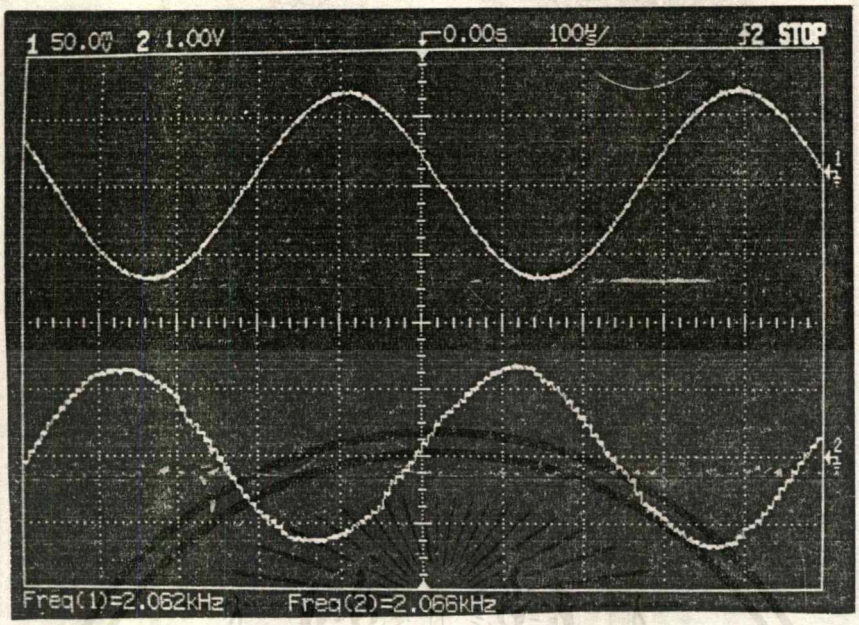
1 ทำการต่อวงจรตามรูปที่ 3.12 แล้วใช้วงจรสร้างคล๊อก (ใช้ไอซี 555) สร้างคล๊อกเข้าไปให้บิตเรตมีค่า 320 กิโลเฮิรตซ์ และ ให้ เฟรมเรตมีค่า 8 กิโลเฮิรตซ์ และวัดสัญญาณคล๊อกที่เข้าไปได้ดังรูป4.12



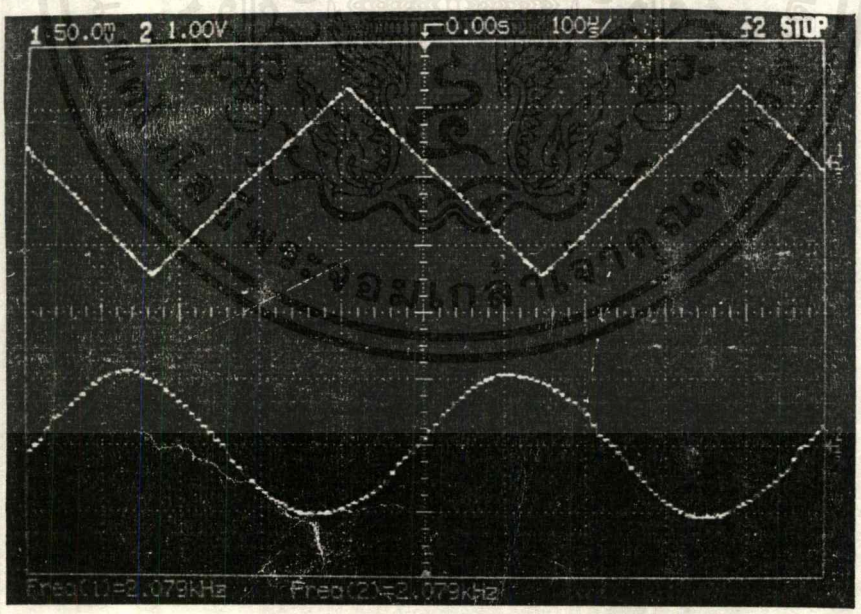
รูปที่ 4.12 สัญญาณคล๊อกที่ใช้ควบคุมส่วนการแปลงอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก

2. ทำการวัดสัญญาณอินพุตที่ป้อนเข้าไปเทียบกับเอาต์พุตที่ ดีโค้ดออกมาได้โดยรูปที่ 4.13 เป็นการป้อนสัญญาณรูปไซน์ และรูปที่ 4.14 เป็นการป้อนสัญญาณรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 สัญญาณอินพุตของตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและเอาต์พุตของตัวแปลงดิจิตตอลเป็นอนาลอกโดนป้อนอินพุตเป็นสัญญาณรูปซายน์

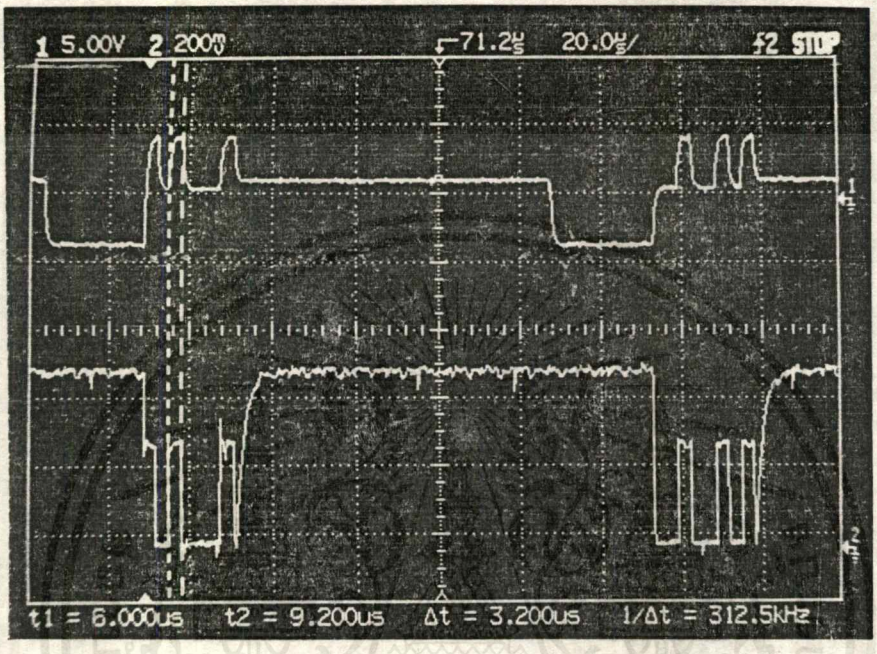


รูปที่ 4.14 สัญญาณอินพุตของตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและเอาต์พุตของตัวแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยป้อนอินพุตเป็นสัญญาณรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

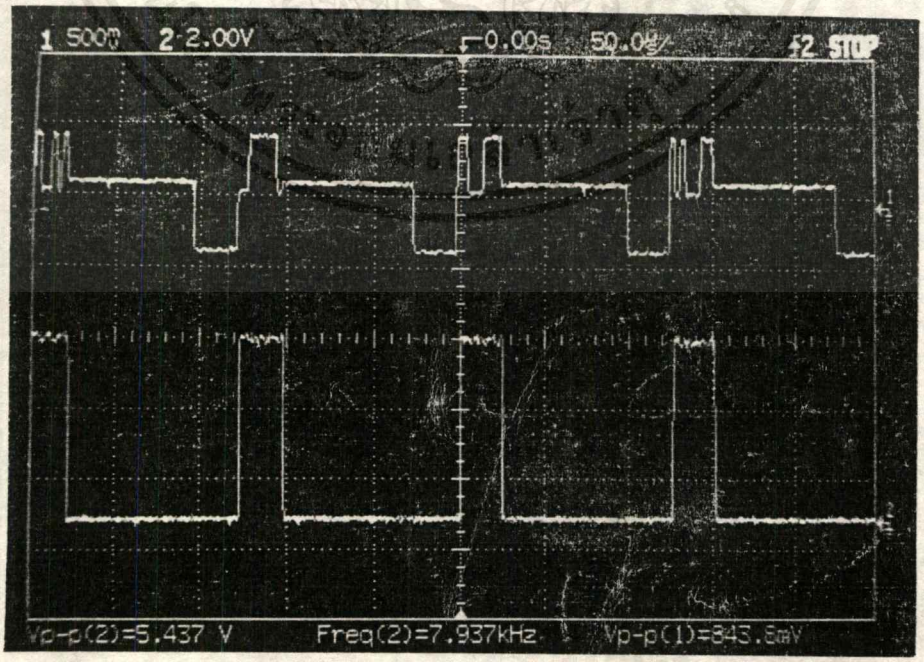
4.3 ทำการทดลองในส่วนของ การต่อวงจรในส่วนของ TDM รวมกับการต่อวงจรในส่วนของ การแปลงอนาลอกเป็นดิจิตอล

1. ทำการต่อวงจรรวมทั้งสองส่วน (ตามรูปที่ 3.1 และ 3.17) ป้อนสัญญาณ ไซน์เวฟเข้าไปในส่วนของ A/D วัดสัญญาณ TDM เทียบกับสัญญาณดิจิตอลที่ สร้างโดย MC145505



รูปที่ 4.15 สัญญาณอินพุตเทียบกับสัญญาณดิจิตอลที่ สร้างโดย MC145505

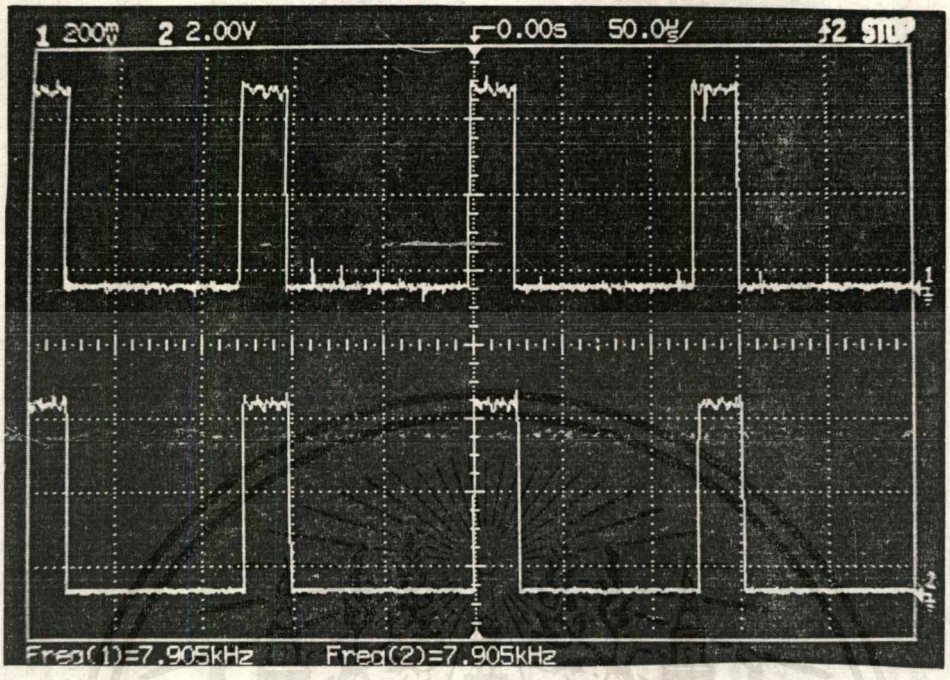
2. ทำการวัดสัญญาณ TDM ที่ขยายแล้วที่ฝั่งรับเทียบกับสัญญาณที่นำไปเปิด เกทของอนาลอกสวิตช์



รูปที่ 4.16 สัญญาณ TDM ที่ขยายแล้วที่ฝั่งรับเทียบกับสัญญาณที่นำไปเปิดเกทของอนาลอกสวิตช์

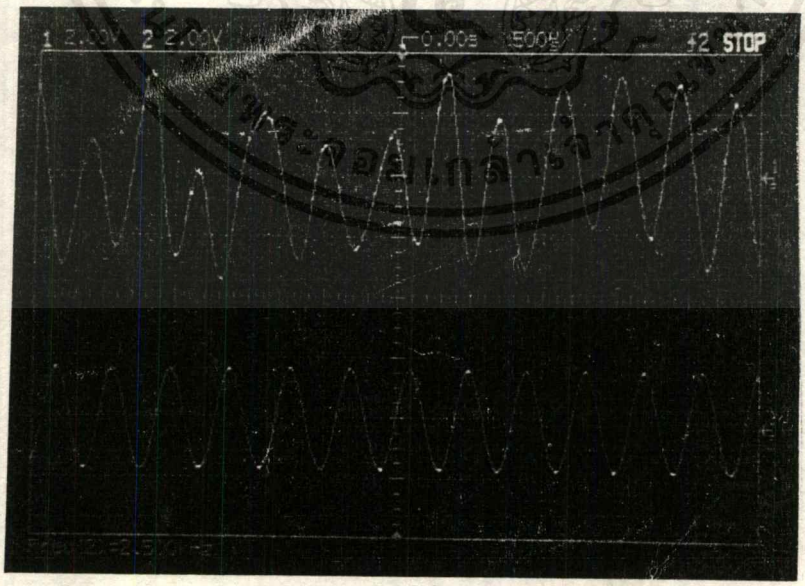
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทำการวัดสัญญาณคล๊อกที่ใช้เปิดเกทสวิตช์ที่ฝั่งส่งเทียบกับสัญญาณคล๊อกที่ใช้เปิดเกทสวิตช์ที่ฝั่งรับ



รูปที่ 4.17 สัญญาณคล๊อกที่ใช้เปิดเกทสวิตช์ที่ฝั่งส่งเทียบกับสัญญาณคล๊อกที่ใช้เปิดเกทสวิตช์ที่ฝั่งรับ

4. ทำการวัดสัญญาณอินพุตของ A/D เทียบกับเอาต์พุตของ D/A โดยมีการผ่านส่วนของการมัลติเพล็กซ์

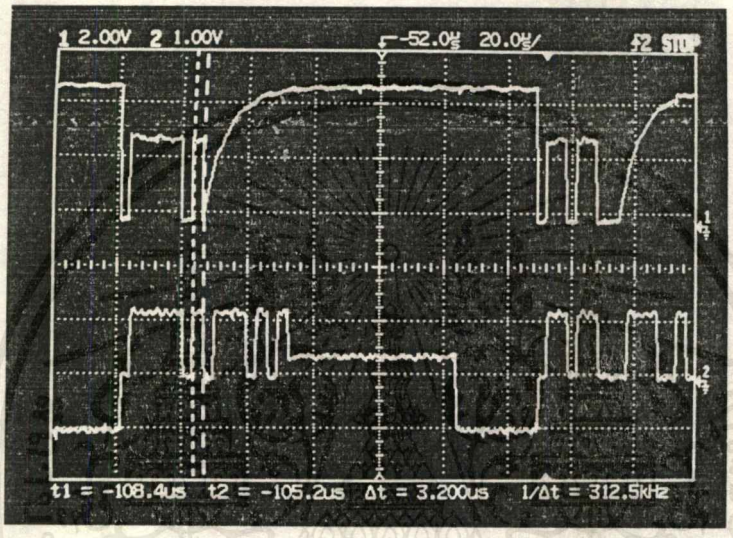


รูปที่ 4.18 สัญญาณ อินพุตของ A/D เทียบกับเอาต์พุตของ D/A โดยมีการผ่านส่วนของการมัลติเพล็กซ์

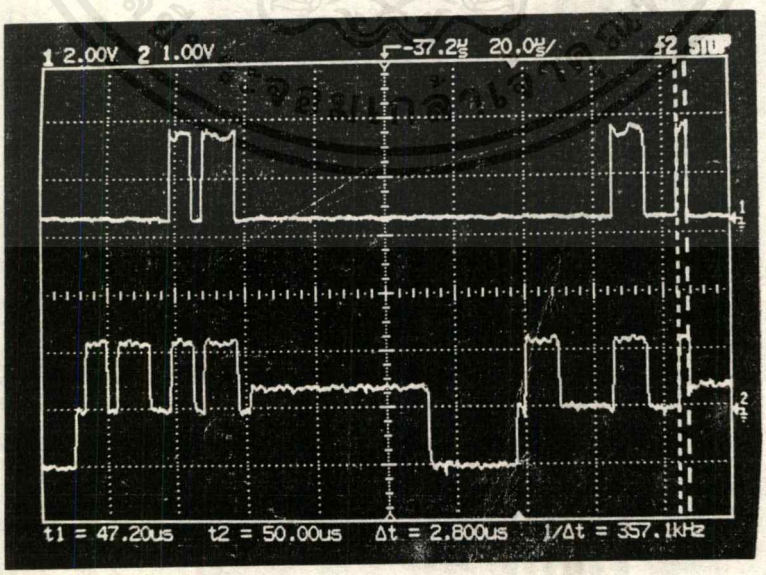
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ทำการทดลองโดยการป้อนสัญญาณอนาลอกสองสัญญาณเข้าไปยังตัวแปลงอนาลอกเป็นดิจิตอลพร้อม ๆ กัน และส่งไปยังส่วนมัลติเพล็กซ์

1. จากการทดลองในหัวข้อการทดลองที่ 4.3 ทำการทดลองเพิ่มเติมโดยการใส่สัญญาณ อนาลอกสองสัญญาณ เข้าไปยังส่วนแปลงอนาลอกเป็นดิจิตอล เพื่อทำการสร้างสัญญาณดิจิตอลสองช่องสัญญาณเข้าไปยังส่วนมัลติเพล็กซ์ แล้วทำการวัดสัญญาณ TDM เทียบกับสัญญาณดิจิตอลที่สร้างขึ้นจาก ตัวแปลงอนาลอก ดิจิตอล ตัวที่ 1 และ 2 ได้ดังรูปที่ 4.19 และ 4.20 ตามลำดับ



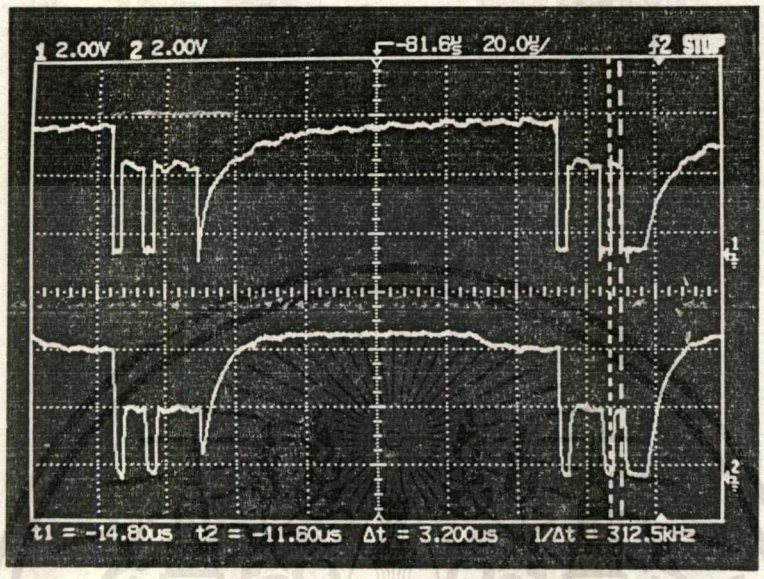
รูปที่ 4.19 สัญญาณ TDM เทียบกับสัญญาณดิจิตอลที่สร้างขึ้นจาก ตัวแปลงอนาลอกดิจิตอลตัวที่ 1



รูปที่ 4.20 สัญญาณ TDM เทียบกับสัญญาณดิจิตอล ที่สร้างขึ้นจาก ตัวแปลงอนาลอกเป็นดิจิตอลตัวที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการวัดสัญญาณดิจิตอลที่ดีมัลติเพล็กซ์ได้ เทียบกับสัญญาณดิจิตอลที่ป้อนเข้าไปจากตัวแปลงจากสัญญาณอนาลอกเป็นดิจิตอล

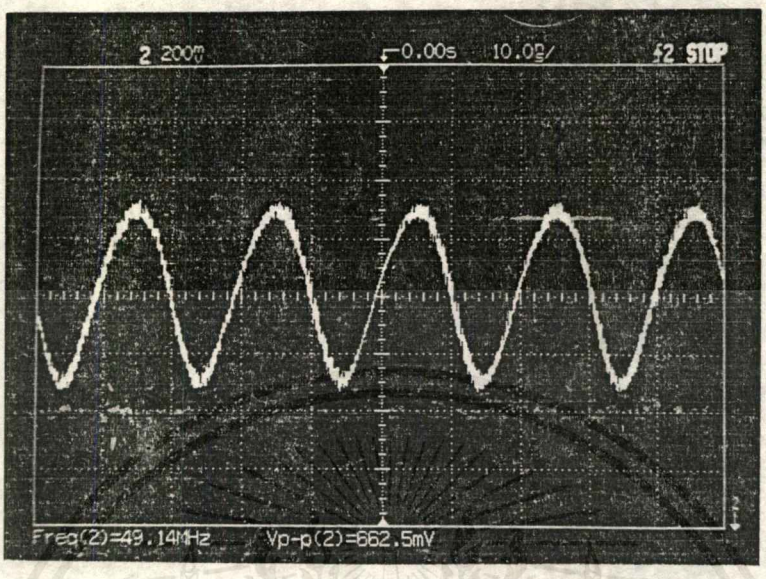


รูปที่ 4.21 สัญญาณดิจิตอลที่ดีมัลติเพล็กซ์ได้ เทียบกับสัญญาณดิจิตอลที่ป้อนเข้าไปจากตัวแปลงจากสัญญาณอนาลอกเป็นดิจิตอล

4.5 ทำการทดลองในส่วนของการมอดูเลตและดีมอดูเลตสัญญาณเอฟเอ็ม

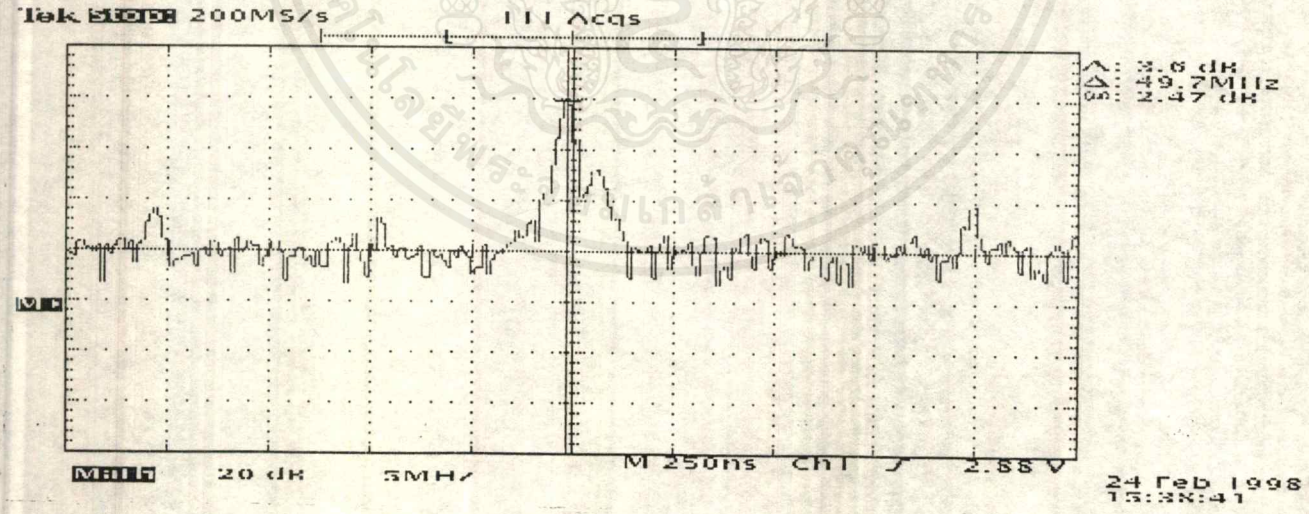
1. ทำการต่อวงจรการส่งสัญญารเอฟเอ็ม ตามรูปที่ 3.13 ทำการปรับให้ผลิตคลื่นพาห์ขนาด 49 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 รูปสัญญาณคลื่นพาห์ขนาด 49 เมกะเฮิรตซ์

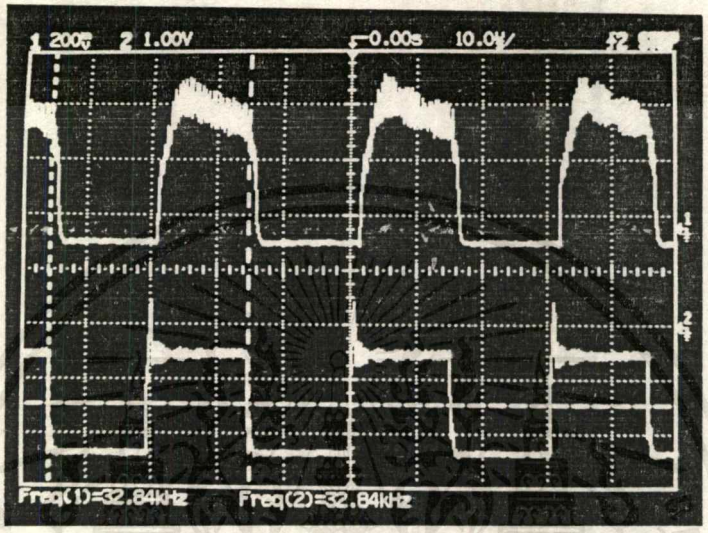
2. ทำการป้อนสัญญาณเบสแบนด์เข้าไป พร้อมทั้งวัดสเปคตรัมของสัญญาณคลื่นพาห์ที่ถูกมอดูเลตด้วยสัญญาณ TDM



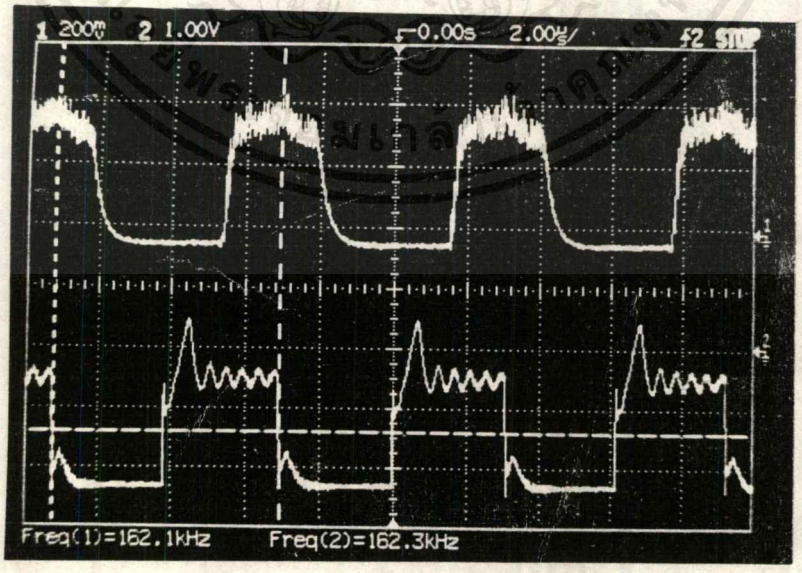
รูปที่ 4.23 สเปคตรัมของสัญญาณพาหะที่ถูกมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทำการป้อนข้อมูลอินพุตเป็นสัญญาณรูปสี่เหลี่ยมเข้าวงจรมอดูเลชั่นทางด้านส่ง เพื่อเปรียบเทียบกับสัญญาณที่สามารถตรวจจับออกมาได้ทางด้านรับ โดยมีการเปลี่ยนค่าความถี่อินพุตเป็นค่าต่าง ๆ ซึ่งจะสังเกตเห็นได้ว่าที่ค่าความถี่ต่ำ ๆ เอาต์พุตที่สามารถตรวจจับได้ที่ด้านรับ จะยังไม่มีความผิดเพี้ยนของสัญญาณและเฟสมากนัก แต่ที่ความถี่สูงขึ้นความผิดเพี้ยนจะมีมากขึ้น

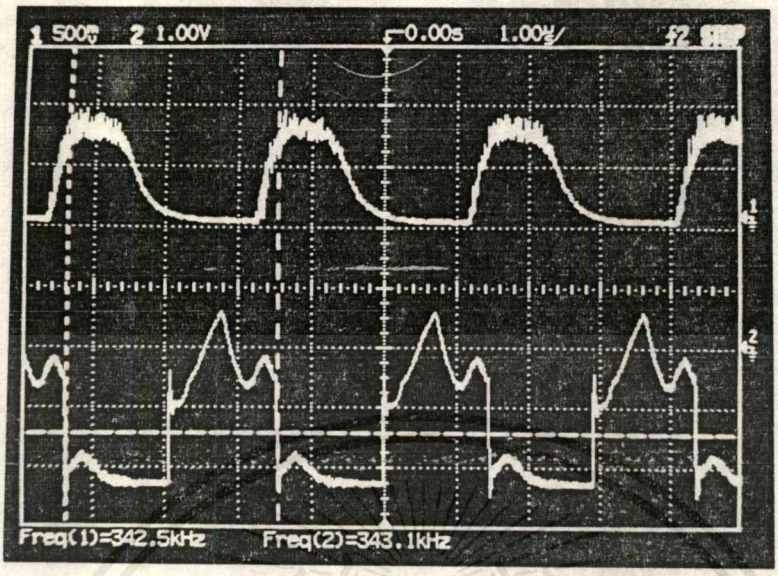


รูปที่ 4.24 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับ เปรียบเทียบกับสัญญาณอินพุตรูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 32 กิโลเฮิรตซ์



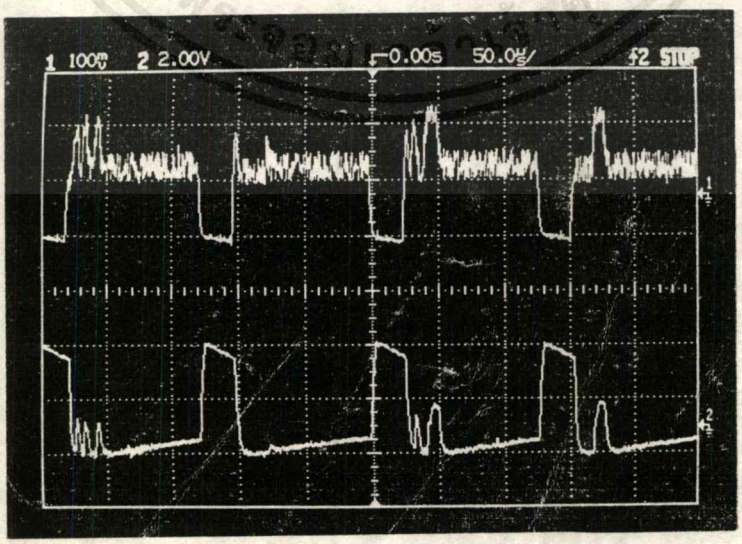
รูปที่ 4.25 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับ เปรียบเทียบกับสัญญาณอินพุตรูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 162 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



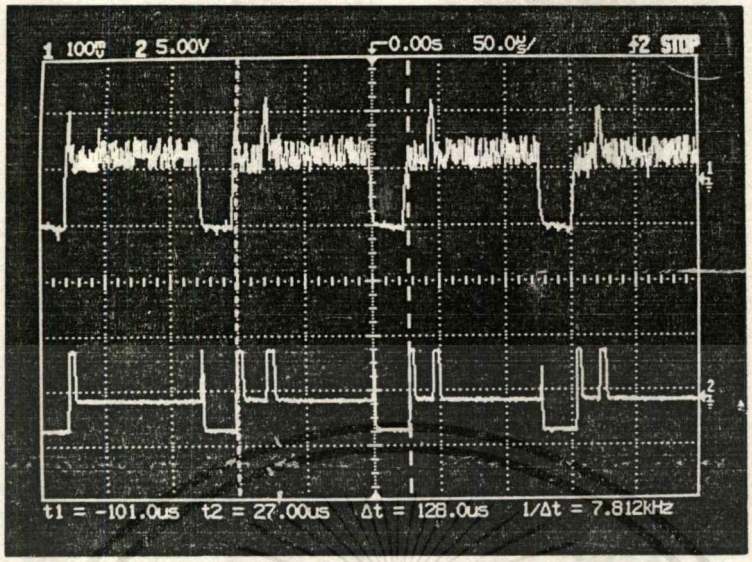
รูปที่ 4.26 เปรียบเทียบสัญญาณเอาต์พุตที่ตรวจจับออกมาได้ที่ด้านรับ เปรียบเทียบกับสัญญาณอินพุต รูปสี่เหลี่ยมที่ป้อนให้ด้านส่ง ที่ความถี่ 342 กิโลเฮิรตซ์

4. ที่ด้านรับทำการดีเทคสัญญาณ หลังจากผ่านส่วนเอนวิลอปดีเทคเตอร์แล้ว ได้ดังรูปที่ 4.27 ซึ่งจะพบว่าสัญญาณยังมีความไม่ชัดเจนและไม่สามารถนำไปผ่านในส่วนดีมัลติเพล็กซ์ได้ จึงต้องนำสัญญาณไปทำการสร้างสัญญาณทีดีเอ็มขึ้นมาใหม่โดยใช้วงจรคอมพาราเตอร์ และชมิตทริกเกอร์เพื่อให้ได้สัญญาณทีดีเอ็ม ดังรูปที่ 4.28



รูปที่ 4.27 สัญญาณ TDM ที่ดีเทคได้ในช่วงแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 จากรูปที่ 4.27 เมื่อนำไปผ่านขบวนการสร้างสัญญาณใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุป

สำหรับโครงงานนี้ส่วนหนึ่งที่มีความสำคัญคือระบบซิงโครนัสโดยต้องอาศัยสัญญาณซิงโครนัส (Synchronous Signal) ควบคุมการส่งและรับข้อมูลโดยสัญญาณซิงโครนัสจะต้องมีความถี่และเฟสที่คงที่ และต้องมีความแม่นยำ ถ้าสัญญาณมีความคลาดเคลื่อนแค่เพียงเล็กน้อยก็จะไม่สามารถนำสัญญาณข้อมูลเดิมกลับออกมาได้ โดยในระบบจะมีแหล่งกำเนิดสัญญาณซิงโครนัสหลักเพียงตัวเดียวทางด้านส่ง โดยส่วนทางด้านรับจะเป็นการนำสัญญาณ ที่ประกอบไปด้วยสัญญาณนาฬิกาหลักผลิตสัญญาณนาฬิกาที่ต้องการใช้อีกครั้งหนึ่ง ที่เราเรียกว่าคล็อกรีคอฟเวอรี่ (clock recovery) ซึ่งจำเป็นต้องผ่านวงจรซึ่งทำหน้าที่ในการหารหรือคูณหลายขั้นตอน เพื่อให้ได้ความถี่ที่เราต้องการ แต่ในการหารหรือคูณแต่ละครั้งจะมีเวลาในการหน่วงเวลา(delay) อยู่ในตัวอุปกรณ์แต่ละส่วน สำหรับการแก้ไขทำได้โดยการใช้ไอซีที่มีความเร็วสูง(high speed) เพื่อที่จะช่วยลดการหน่วงเวลาลงได้ อีกปัญหาหนึ่งที่เกิดขึ้นก็คือความไม่แน่นอนของความถี่ที่เกิดขึ้นจากอุปกรณ์ต่าง ๆ เช่น วงจรออสซิลเลเตอร์(oscillator) เฟสล็อกลูป(phase locked loop) คือการใช้งานแต่ละครั้งความถี่หรือเฟสจะเปลี่ยนไป ทำให้จากที่สัญญาณเคยมีความสอดคล้องกันอยู่(synchronize)ผิดเพี้ยนไป ทำให้สัญญาณเอาต์พุตที่ได้มีความผิดเพี้ยนไปหรือไม่ตรงกับช่องสัญญาณที่กำหนด ต้องทำการรีเซต(reset)เครื่องใหม่เพื่อให้ สัญญาณนาฬิกามีเฟสและความถี่ตรงตามที่เราต้องการและทำให้ได้สัญญาณเอาต์พุตทางด้านรับมีลักษณะเหมือนกับสัญญาณอินพุตที่เราป้อนเข้าไปทางด้านส่ง ซึ่งเราจะเห็นได้ว่า ส่วนของการซิงโครนัสเป็นส่วนที่สำคัญของวงจร ถ้ามีลักษณะไม่ตรงกับที่เราต้องการแล้ว ก็จะทำให้ข้อมูลที่รับได้มีความผิดเพี้ยนไปทั้งหมด นอกจากนี้แล้วสิ่งที่ประสบปัญหามากกับการทำโครงงานนี้คือ ที่ด้านรับถึงแม้ว่าเราจะสามารถนำสัญญาณซิงค์ที่แยกได้เพียงตัวเดียวมาสร้างสัญญาณคล็อกในทุกตำแหน่งที่ต้องการโดยไม่จำเป็นต้องใช้วงจรสร้างคล็อกใหม่ก็ตาม แต่ความไม่แน่นอนของไอซีที่ใช้ในการจัดการคล็อก โดยเฉพาะการคูณคล็อกจะทำให้ค่าความถี่และเฟสที่ได้มีการเลื่อนไป ทำให้สัญญาณอนาลอกที่สามารถสร้างกลับมาทางด้านรับมีความแตกต่างกับทางด้านส่งอยู่เล็กน้อย ดังนั้นการที่สามารถหาวงจรที่ใช้สังเคราะห์ความถี่ทางด้านรับที่มีความแน่นอนมากขึ้นกว่าที่ใช้นี้ก็จะเป็นทางที่สามารถแก้ปัญหาได้ สำหรับส่วนของการรับส่งสัญญาณโดยวิธีการมอดูเลชั่นทางความถี่(frequency modulation) ปัญหาที่ยังพบอยู่ก็คือวงจรทางด้านรับยังมีความไวไม่พอในการรับสัญญาณ คือเมื่อถึงช่วงที่ข้อมูลมีการเปลี่ยนแปลงกลับไปกลับมาจาก 1 เป็น 0 และจาก 0 เป็น 1 สัญญาณมอดูเลชั่นทางความถี่ที่ตรวจจับออกมาได้ทางด้านรับจะมีความผิดพลาด ซึ่งเมื่อส่งข้อมูลดังกล่าวเข้าไปยังส่วนดีมัลติเพล็กซ์ และส่วนการแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอก เอาต์พุตที่ได้จะมีความผิดพลาดอยู่ และเมื่อได้ทดสอบวงจรมอดูเลชั่นทางความถี่โดยป้อนสัญญาณรูปสี่เหลี่ยมที่ความถี่ต่าง ๆ เข้าทางด้านส่ง และตรวจจับสัญญาณที่ได้ทางด้านรับ ผลที่เกิดขึ้นคือ ยิ่งความถี่ของสัญญาณอินพุตที่เข้าทางด้านส่งยิ่งสูงขึ้นมากเท่าไร เอาต์พุตที่ตรวจจับออกมาได้ทางด้านรับจะยิ่งมีความผิดเพี้ยน คือแทนที่จะมีลักษณะเป็นสัญญาณรูปสี่เหลี่ยม กลับมีลักษณะที่มีความโค้งมนมากขึ้น รวมทั้งเอาต์พุตที่ได้มีการเลื่อนทางเฟสมากยิ่งขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145500/D

PCM Codec-Filter Mono-Circuit

MC145500
MC145501
MC145502
MC145503
MC145505

The MC145500, MC145501, MC145502, MC145503, and MC145505 are all per channel PCM Codec–Filter mono–circuits. These devices perform the voice digitization and reconstruction as well as the band limiting and smoothing required for PCM systems. The MC145500 and MC145503 are general purpose devices that are offered in a 16–pin package. They are designed to operate in both synchronous and asynchronous applications and contain an on–chip precision reference voltage. The MC145501 is offered in an 18–pin package and adds the capability of selecting from three peak overload voltages (2.5, 3.15, and 3.78 V). The MC145505 is a synchronous device offered in a 16–pin DIP and wide body SOIC package intended for instrument use. The MC145502 is the full–featured device which presents all of the options of the chip. This device is packaged in a 22–pin DIP and a 28–pin chip carrier package and contains all the features of the MC145500 and MC145501 plus several more. Most of these features can be made available in a lower pin count package tailored to a specific user's application. Contact the factory for further details.

These devices are pin–for–pin replacements for Motorola's first generation of MC14400/01/02/03/05 PCM mono–circuits and are upwardly compatible with the MC14404/06/07 codecs and other industry standard codecs. They also maintain compatibility with Motorola's family of MC33120 and MC3419 SLIC products.

The MC145500 family of PCM Codec–Filter mono–circuits utilizes CMOS due to its reliable low–power performance and proven capability for complex analog/digital VLSI functions.

MC145500 (This Device is Not Recommended for New Designs)

- 16–Pin Package
- Transmit Bandpass and Receive Low–Pass Filter On–Chip
- Pin Selectable Mu–Law/A–Law Companding with Corresponding Data Format
- On–Chip Precision Reference Voltage (3.15 V)
- Power Dissipation of 50 mW, Power–Down of 0.1 mW at ± 5 V
- Automatic Prescaler Accepts 128 kHz, 1.536, 1.544, 2.048, and 2.56 MHz for Internal Sequencing

MC145501 — All of the Above Plus:
(This Device is Not Recommended for New Designs)

- 18–Pin Package
- Selectable Peak Overload Voltages (2.5, 3.15, 3.78 V)
- Access to the Inverting Input of the TxI Input Operational Amplifier

MC145502 — All of the Above Plus:

- 22–Pin and 28–Pin Packages
- Variable Data Clock Rates (64 kHz to 4.1 MHz)
- Complete Access to the Three Terminal Transmit Input Operational Amplifiers
- An External Precision Reference May Be Used

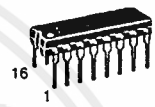
MC145503 — All of the Above Features of the MC145500 Plus:

- 16–Pin Package
- Complete Access to the Three Terminal Transmit Input Operational Amplifiers

MC145505 — Same as MC145503 Except:

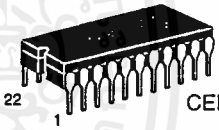
- 16–Pin Package
- Common 64 kHz to 4.1 MHz Transmit/Receive Data Clock

L SUFFIX
CERAMIC PACKAGE
CASE 620
MC145500/03/05

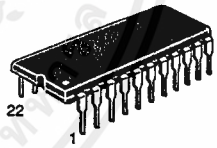


P SUFFIX
PLASTIC DIP
CASE 648
MC145503/05

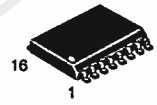
L SUFFIX
CERAMIC PACKAGE
CASE 726
MC145501



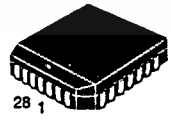
L SUFFIX
CERAMIC PACKAGE
CASE 736
MC145502



P SUFFIX
PLASTIC DIP
CASE 708
MC145502



DW SUFFIX
SOG PACKAGE
CASE 751G
MC145503/05



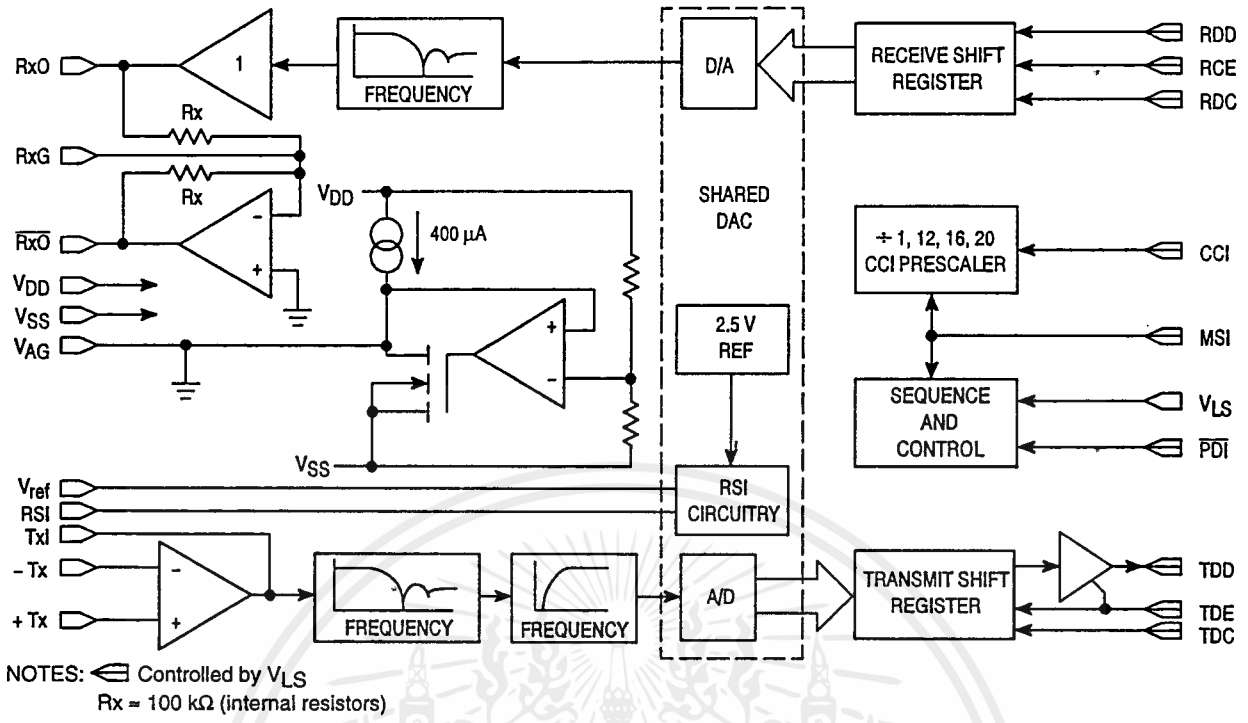
FN SUFFIX
PLCC PACKAGE
CASE 776
MC145502

REV 1
9/95 (Replaces ADI1287)

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

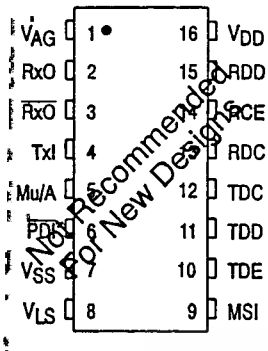
MC145500/01/02/03/05 PCM CODEC–FILTER MONO–CIRCUIT BLOCK DIAGRAM



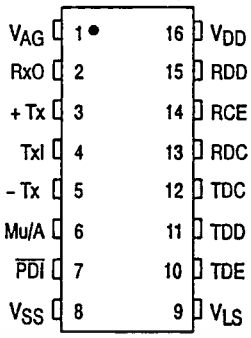
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS
(DRAWINGS DO NOT REFLECT RELATIVE SIZE)

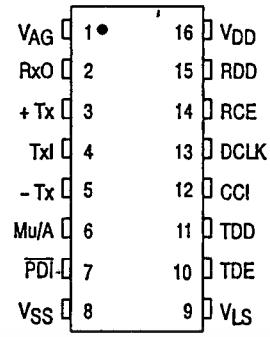
MC145500L



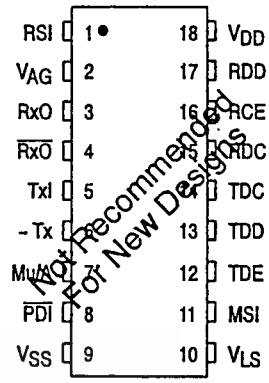
MC145503L, P



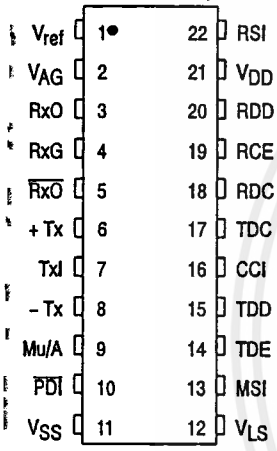
MC145505L, P



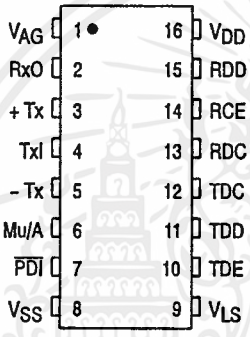
MC145501L



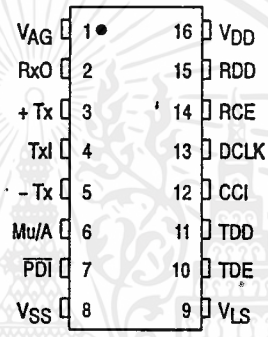
MC145502L, P



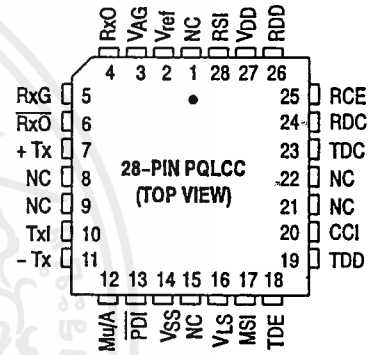
MC145503DW



MC145505DW



MC145502FN



NC = NO CONNECTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}, V_{SS}	− 0.5 to 13	V
Voltage, Any Pin to V_{SS}	V	− 0.5 to V_{DD} + 0.5	V
DC Drain Per Pin (Excluding V_{DD}, V_{SS})	I	10	mA
Operating Temperature Range	T_A	− 40 to + 85	°C
Storage Temperature Range	T_{stg}	− 85 to + 150	°C

This device contains circuitry to protect against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., V_{SS}, V_{DD}, V_{LS}, or V_{AG}).

RECOMMENDED OPERATING CONDITIONS (T_A = − 40 to + 85°C)

Characteristic	Min	Typ	Max	Unit
DC Supply Voltage				V
Dual Supplies: V_{DD} = − V_{SS}, (V_{AG} = V_{LS} = 0 V)	4.75	5.0	6.3	
Single Supply: V_{DD} to V_{SS} (V_{AG} is an Output, V_{LS} = V_{DD} or V_{SS})				
MC145500, MC145501, MC145502, MC145503, MC145505 (Using Internal 3.15 V Reference)	8.5	—	12.6	
MC145501, MC145502 Using Internal 2.5 V Reference	7.0	—	12.6	
MC145501, MC145502 Using Internal 3.78 V Reference	9.5	—	12.6	
MC145502 Using External 1.5 V Reference, Referenced to V_{AG}	4.75	—	12.6	
Power Dissipation				mW
CMOS Logic Mode (V_{DD} to V_{SS} = 10 V, V_{LS} = V_{DD})	—	40	70	
TTL Logic Mode (V_{DD} = + 5 V, V_{SS} = − 5 V, V_{LS} = V_{AG} = 0 V)	—	50	90	
Power Down Dissipation	—	0.1	1.0	mW
Frame Rate Transmit and Receive	7.5	8.0	8.5	kHz
Data Rate	—	128	—	kHz
MC145500, MC145501, MC145503	—	1536	—	
Must Use One of These Frequencies, Relative to MSI Frequency of 8 kHz	—	1544	—	
	—	2048	—	
	—	2560	—	
Data Rate for MC145502, MC145505	64	—	4096	kHz
Full Scale Analog Input and Output Level				Vp
MC145500, MC145503, MC145505	—	3.15	—	
MC145501, MC145502 (V_{ref} = V_{SS}) RSI = V_{DD}	—	3.78	—	
RSI = V_{SS}	—	3.15	—	
RSI = V_{AG}	—	2.5	—	
MC145502 Using an External Reference Voltage Applied at V_{ref} Pin RSI = V_{DD}	—	1.51 x V_{ref}	—	
RSI = V_{SS}	—	1.26 x V_{ref}	—	
RSI = V_{AG}	—	V_{ref}	—	

DIGITAL LEVELS (V_{SS} to V_{DD} = 4.75 V to 12.6 V, T_A = − 40 to + 85°C)

Characteristic		Symbol	Min	Max	Unit
Input Voltage Levels (TDE, TDC, RCE, RDC, RDD, DC, MSI, CCI, $\overline{PDI}$)					V
CMOS Mode (V_{LS} = V_{DD}, V_{SS} is Digital Ground)	"0"	V_{IL}	—	0.3 x V_{DD}	
	"1"	V_{IH}	0.7 x V_{DD}	—	
TTL Mode ($V_{LS} \le V_{DD}$ − 4.0 V, V_{LS} is Digital Ground)	"0"	V_{IL}	—	V_{LS} + 0.8 V	
	"1"	V_{IH}	V_{LS} + 2.0 V	—	
Output Current for TDD (Transmit Digital Data)					mA
CMOS Mode (V_{LS} = V_{DD}, V_{SS} = 0 V and is Digital Ground)					
(V_{DD} = 5 V, V_{out} = 0.4 V)		I_{OL}	1.0	—	
(V_{DD} = 10 V, V_{out} = 0.5 V)			3.0	—	
(V_{DD} = 5 V, V_{out} = 4.5 V)		I_{OH}	− 1.0	—	
(V_{DD} = 10 V, V_{out} = 9.5 V)			− 3.0	—	
TTL Mode ($V_{LS} \le V_{DD}$ − 4.75 V, V_{LS} = 0 V and is Digital Ground)	(V_{OL} = 0.4 V)	I_{OL}	1.6	—	
	(V_{OH} = 2.4 V)	I_{OH}	− 0.2	—	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG TRANSMISSION PERFORMANCE

(V_{DD} = + 5 V ± 5%, V_{SS} = – 5 V ± 5%, V_{LS} = V_{AG} = 0 V, V_{ref} = $\overline{RSI}$ = V_{SS} (Internal 3.15 V Reference), 0 dBm0 = 1.546 Vrms = + 6 dBm @ 600 Ω, T_A = – 40 to + 85°C, TDC = RDC = CC = 2.048 MHz, TDE = RCE = MSI = 8 kHz, Unless Otherwise Noted)

Characteristic		End–to–End		A/D		D/A		Unit
		Min	Max	Min	Max	Min	Max	
Absolute Gain (0 dBm0 @ 1.02 kHz, T_A = 25°C, V_{DD} = 5 V, V_{SS} = – 5 V)		—	—	– 0.30	+ 0.30	– 0.30	+ 0.30	dB
Absolute Gain Variation with Temperature 0 to + 70°C		—	—	—	± 0.03	—	± 0.03	dB
Absolute Gain Variation with Temperature – 40 to + 85°C		—	—	—	± 0.1	—	± 0.1	dB
Absolute Gain Variation with Power Supply (V_{DD} = 5 V, V_{SS} = – 5 V, 5%)		—	—	—	± 0.02	—	± 0.02	dB
Gain vs Level Tone (Relative to – 10 dBm0, 1.02 kHz)	+ 3 to – 40 dBm0	– 0.4	+ 0.4	– 0.2	+ 0.2	– 0.2	+ 0.2	dB
	– 40 to – 50 dBm0	– 0.8	+ 0.8	– 0.4	+ 0.4	– 0.4	+ 0.4	
	– 50 to – 55 dBm0	– 1.6	+ 1.6	– 0.8	+ 0.8	– 0.8	+ 0.8	
Gain vs Level Pseudo Noise (A–Law Relative to – 10 dBm0)								dB
CCITT G.714	– 10 to – 40 dBm0	—	—	– 0.25	+ 0.25	– 0.25	+ 0.25	
	– 40 to – 50 dBm0	—	—	– 0.30	+ 0.30	– 0.30	+ 0.30	
	– 50 to – 55 dBm0	—	—	– 0.45	+ 0.45	– 0.45	+ 0.45	
Total Distortion – 1.02 kHz Tone (C–Message)	0 to – 30 dBm0	35	—	36	—	36	—	dBC
	– 40 dBm0	29	—	29	—	30	—	
	– 45 dBm0	24	—	24	—	25	—	
Total Distortion With Pseudo Noise (A–Law)	– 3 dBm0	27.5	—	28	—	28.5	—	dB
CCITT G.714	– 6 to – 27 dBm0	35	—	35.5	—	36	—	
	– 34 dBm0	33.1	—	33.5	—	34.2	—	
	– 40 dBm0	28.2	—	28.5	—	30.0	—	
	– 55 dBm0	13.2	—	13.5	—	15.0	—	
Idle Channel Noise (For End–End and A/D, See Note 1)								
	Mu–Law, C–Message Weighted	—	15	—	15	—	9	dBrnC0
	A–Law, Psophometric Weighted	—	– 69	—	– 69	—	– 78	dBm0p
Frequency Response (Relative to 1.02 kHz @ 0 dBm0)	15 to 60 Hz	—	– 23	—	– 23	—	0.15	dB
	300 to 3000 Hz	– 0.3	+ 0.3	– 0.15	+ 0.15	– 0.15	+ 0.15	
	3400 Hz	– 1.6	0	– 0.8	0	– 0.8	0	
	4000 Hz	—	– 28	—	– 14	—	– 14	
	≥ 4600 Hz	—	– 60	—	– 32	—	– 30	
Inband Spurious (1.02 kHz @ 0 dBm0, Transmit and RxO)		—	—	—	– 43	—	– 43	dBm0
	300 to 3000 Hz							
Out–of–Band Spurious at RxO (300 – 3400 Hz @ 0 dBm0 In)								dB
	4600 to 7600 Hz	—	– 30	—	—	—	– 30	
	7600 to 8400 Hz	—	– 40	—	—	—	– 40	
	8400 to 100,000 Hz	—	– 30	—	—	—	– 30	
Idle Channel Noise Selective @ 8 kHz, Input = V_{AG}, 30 Hz Bandwidth		—	– 70	—	—	—	– 70	dBm0
Absolute Delay @ 1600 Hz (TDC = 2.048 MHz, TDE = 8 kHz)		—	—	—	310	—	180	µs
Group Delay Referenced to 1600 Hz (TDC = 2048 kHz,								µs
TDE = 8 kHz)	500 to 600 Hz	—	—	—	200	– 40	—	
	600 to 800 Hz	—	—	—	140	– 40	—	
	800 to 1000 Hz	—	—	—	70	– 30	—	
	1000 to 1600 Hz	—	—	—	40	– 20	—	
	1600 to 2600 Hz	—	—	—	75	—	90	
	2600 to 2800 Hz	—	—	—	110	—	120	
	2800 to 3000 Hz	—	—	—	170	—	160	
Crosstalk of 1020 Hz @ 0 dBm0 From A/D or D/A (Note 2)		—	—	—	– 75	—	– 80	dB
Intermodulation Distortion of Two Frequencies of Amplitudes – 4 to – 21 dBm0 from the Range 300 to 3400 Hz		—	—	—	– 41	—	– 41	dB

NOTES:
1. Extrapolated from a 1020 Hz @ – 50 dBm0 distortion measurement to correct for encoder enhancement.
2. Selectively measured while the A/D is stimulated with 2667 Hz @ – 50 dBm0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG ELECTRICAL CHARACTERISTICS (V_{DD} = – V_{SS} = 5 V to 6 V ± 5%, T_A = – 40 to + 85°C)

Characteristic		Symbol	Min	Typ	Max	Unit
Input Current	+Tx, –Tx (TxI for MC145500)	I_{in}	—	± 0.01	± 0.2	µA
AC Input Impedance to V_{AG} (1 kHz)	+Tx, –Tx TxI for MC145500	Z_{in}	5 0.1	10 0.2	— —	MΩ
Input Capacitance	+Tx, –Tx		—	—	10	pF
Input Offset Voltage of TxI Op Amp			—	< ± 30	—	mV
Input Common Mode Voltage Range	+Tx, –Tx	V_{ICR}	V_{SS} + 1.0	—	V_{DD} – 2.0	V
Input Common Mode Rejection Ratio	+Tx, –Tx	CMRR	—	70	—	dB
TxI Unity Gain Bandwidth	$R_L \geq 10$ kΩ	BW_p	—	1000	—	kHz
TxI Open Loop Gain	$R_L \geq 10$ kΩ	A_{VOL}	—	75	—	dB
Equivalent Input Noise (C–Message) Between +Tx and –Tx, at TxI			—	–20	—	dBmC0
Output Load Capacitance for TxI Op Amp			0	—	100	pF
Output Voltage Range TxI Op Amp, RxO or $\overline{RxO}$ R_L = 10 kΩ to V_{AG} R_L = 600 Ω to V_{AG}		V_{out}	 V_{SS} + 0.8 V_{SS} + 1.5	 — —	 V_{DD} – 1.0 V_{DD} – 1.5	V
Output Current TxI, RxO, $\overline{RxO}$	V_{SS} + 1.5 V ≤ V_{out} ≤ V_{DD} – 1.5 V		± 5.5	—	—	mA
Output Impedance RxO, $\overline{RxO}$*	0 to 3.4 kHz	Z_{out}	—	3	—	Ω
Output Load Capacitance for RxO and $\overline{RxO}$*			0	—	200	pF
Output dc Offset Voltage Referenced to V_{AG} Pin	RxO $\overline{RxO}$*		— —	— —	± 100 ± 150	mV
Internal Gainsetting Resistors for RxG to RxO and $\overline{RxO}$			62	100	225	kΩ
External Reference Voltage Applied to V_{ref} (Referenced to V_{AG})			0.5	—	V_{DD} – 1.0	V
V_{ref} Input Current			—	—	20	µA
V_{AG} Output Bias Voltage			—	0.53 V_{DD} + 0.47 V_{SS}	—	V
V_{AG} Output Current	Source Sink	I_{VAG}	0.4 10.0	— —	0.8 —	mA
Output Leakage Current During Power Down for the TxI Op Amp, V_{AG}, RxO, and $\overline{RxO}$			—	—	± 30	µA
Positive Power Supply Rejection Ratio, 0 – 100 kHz @ 250 mV, C–Message Weighting	Transmit Receive		45 55	50 65	— —	dBC
Negative Power Supply Rejection Ratio, 0 – 100 kHz @ 250 mV, C–Message Weighting	Transmit Receive		50 50	55 60	— —	dBC

* Assumes that RxG is not connected for gain modifications to $\overline{RxO}$.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE CONTROL LOGIC (V_{SS} to V_{DD} = 4.75 V to 12.6 V, T_A = − 40 to + 85°C)

Characteristic	Min	Typ	Max	Unit
V_{LS} Voltage for TTL Mode (TTL Logic Levels Referenced to V_{LS})	V_{SS}	—	V_{DD} – 4.0	V
V_{LS} Voltage for CMOS Mode (CMOS Logic Levels of V_{SS} to V_{DD})	V_{DD} – 0.5	—	V_{DD}	V
Mu/A Select Voltage				V
Mu–Law Mode	V_{DD} – 0.5	—	V_{DD}	
Sign Magnitude Mode	V_{AG} – 0.5	—	V_{AG} + 0.5	
A–Law Mode	V_{SS}	—	V_{SS} + 0.5	
RSI Voltage for Reference Select Input (MC145501 and MC145502) 3.78 V Mode	V_{DD} – 0.5	—	V_{DD}	V
2.5 V Mode	V_{AG} – 0.5	—	V_{AG} + 0.5	
3.15 V Mode	V_{SS}	—	V_{SS} + 0.5	
V_{ref} Voltage for Internal or External Reference (MC145502 Only)				V
Internal Reference Mode	V_{SS}	—	V_{SS} + 0.5	
External Reference Mode	V_{AG} + 0.5	—	V_{DD} – 1.0	
Analog Test Mode Frequency, MS = CCI (MC145500, MC145501, MC145502 Only) See Pin Description; Test Modes	—	128	—	kHz

SWITCHING CHARACTERISTICS (V_{SS} to V_{DD} = 9.5 V to 12.6 V, T_A = – 40 to + 85°C, C_L = 150 pF, CMOS or TTL Mode)

Characteristic	Symbol	Min	Typ	Max	Unit
Output Rise Time TDD	t_{TLH}	—	30	80	ns
Output Fall Time	t_{THL}	—	30	80	
Input Rise Time TDE, TDC, RCE, RDC, DC, MSI, CCI	t_{TLH}	—	—	4	µs
Input Fall Time	t_{THL}	—	—	4	
Pulse Width TDE Low, TDC, RCE, RDC, DC, MSI, CCI	t_w	100	—	—	ns
DCLK Pulse Frequency (MC145502/05 Only) TDC, RDC, DC	f_{CL}	64	—	4096	kHz
CCI Clock Pulse Frequency (MSI = 8 kHz)	f_{CL1}	—	128	—	kHz
CCI is internally tied to TDC on the MC145500/01/03, therefore, the	f_{CL2}	—	1536	—	
transmit data clock must be one of these frequencies. This pin will accept	f_{CL3}	—	1544	—	
one of these discrete clock frequencies and will compensate to produce	f_{CL4}	—	2048	—	
internal sequencing.	f_{CL5}	—	2560	—	
Propagation Delay Time					ns
TDE Rising to TDD Low Impedance TTL	t_{P1}	—	90	180	
CMOS		—	90	150	
TDE Falling to TDD High Impedance TTL	t_{P2}	—	—	55	
CMOS		—	—	40	
TDC Rising Edge to TDD Data, During TDE High TTL	t_{P3}	—	90	180	
CMOS		—	90	150	
TDE Rising Edge to TDD Data, During TDC High TTL	t_{P4}	—	90	180	
CMOS		—	90	150	
TDC Falling Edge to TDE Rising Edge Setup Time	t_{su1}	20	—	—	ns
TDE Rising Edge to TDC Falling Edge Setup Time	t_{su2}	100	—	—	ns
TDE Falling Edge to TDC Rising Edge to Preserve the Next TDD Data	t_{su8}	20	—	—	ns
RDC Falling Edge to RCE Rising Edge Setup Time	t_{su3}	20	—	—	ns
RCE Rising Edge to RDC Falling Edge Setup Time	t_{su4}	100	—	—	ns
RDD Valid to RDC Falling Edge Setup Time	t_{su5}	60	—	—	ns
CCI Falling Edge to MSI Rising Edge Setup Time	t_{su6}	20	—	—	ns
MSI Rising Edge to CCI Falling Edge Setup Time	t_{su7}	100	—	—	ns
RDD Hold Time from RDC Falling Edge	t_h	100	—	—	ns
TDE, TDC, RCE, RDC, RDD, DC, MSI, CCI Input Capacitance		—	—	10	pF
TDE,TDC, RCE, RDC, RDD, DC, MSI, CCI Input Current		—	± 0.01	± 10	µA
TDD Capacitance During High Impedance (TDE Low)		—	12	15	pF
TDD Input Current During High Impedance (TDE Low)		—	± 0.1	± 10.0	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE DESCRIPTIONS

A codec–filter is a device which is used for digitizing and reconstructing the human voice. These devices were developed primarily for the telephone network to facilitate voice switching and transmission. Once the voice is digitized, it may be switched by digital switching methods or transmitted long distance (T1, microwave, satellites, etc.) without degradation. The name codec is an acronym from "Coder" for the A/D used to digitize voice, and "Decoder" for the D/A used for reconstructing voice. A codec is a single device that does both the A/D and D/A conversions.

To digitize intelligible voice requires a signal to distortion of about 30 dB for a dynamic range of about 40 dB. This may be accomplished with a linear 13–bit A/D and D/A, but will far exceed the required signal to distortion at amplitudes greater than 40 dB below the peak amplitude. This excess performance is at the expense of data per sample. Two methods of data reduction are implemented by compressing the 13–bit linear scheme to companded 8–bit schemes. These companding schemes follow a segmented or "piecewise–linear" curve formatted as sign bit, three chord bits, and four step bits. For a given chord, all 16 of the steps have the same voltage weighting. As the voltage of the analog input increases, the four step bits increment and carry to the three chord bits which increment. With the chord bits incremented, the step bits double their voltage weighting. This results in an effective resolution of 6–bits (sign + chord + four step bits) across a 42 dB dynamic range (7 chords above zero, by 6 dB per chord). There are two companding schemes used; Mu–255 Law specifically in North America, and A–Law specifically in Europe. These companding schemes are accepted world wide. The tables show the linear quantization levels to PCM words for the two companding schemes.

In a sampling environment, Nyquist theory says that to properly sample a continuous signal, it must be sampled at a frequency higher than twice the signal's highest frequency component. Voice contains spectral energy above 3 kHz, but its absence is not detrimental to intelligibility. To reduce the digital data rate, which is proportional to the sampling rate, a sample rate of 8 kHz was adopted, consistent with a bandwidth of 3 kHz. This sampling requires a low–pass filter to limit the high frequency energy above 3 kHz from distorting the inband signal. The telephone line is also subject to 50/60 Hz power line coupling which must be attenuated from the signal by a high–pass filter before the A/D converter.

The D/A process reconstructs a staircase version of the desired inband signal which has spectral images of the inband signal modulated about the sample frequency and its harmonics. These spectral images are called aliasing components which need to be attenuated to obtain the desired signal. The low–pass filter used to attenuate filter aliasing components is typically called a reconstruction or smoothing filter.

The MC145500 series PCM Codec–Filters have the codec, both presampling and reconstruction filters, a precision voltage reference on chip, and require no external components. There are five distinct versions of the Motorola MC145500 Series.

MC145500

The MC145500 PCM Codec–Filter is intended for standard byte interleaved synchronous and asynchronous applications. The TDC pin on this device is the input to both the TDC and CCI functions in the pin description. Consequently, for MSI = 8 kHz, TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty cycle) 1.536, 1.544, 2.048, or 2.56 MHz. (For other data clock frequencies, see MC145502 or MC145505.) The internal reference is set for 3.15 V peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 V peak–to–peak. This is the + 3 dBm0 level of the PCM Codec–Filter. All other functions are described in the pin description.

MC145501

The MC145501 PCM Codec–Filter offers the same features and is for the same application as the MC145500, but offers two additional pins and features. The reference select input allows the full scale level of the device to be set at 2.5 Vp, 3.15 Vp, or 3.78 Vp. The –Tx pin allows for external transmit gain adjust and simplifies the interface to the MC3419 SLIC. Otherwise, it is identical to MC145500.

MC145502

The MC145502 PCM Codec–Filter is the full feature 22–pin device. It is intended for use in applications requiring maximum flexibility. The MC145502 contains all the features of the MC145500 and MC145501. The MC145502 is intended for bit interleaved or byte interleaved applications with data clock frequencies which are nonstandard or time varying. One of the five standard frequencies (listed above) is applied to the CCI input, and the data clock inputs can be any frequency between 64 kHz and 4.096 MHz. The V_{ref} pin allows for use of an external shared reference or selection of the internal reference. The RxG pin accommodates gain adjustments for the inverted analog output. All three pins of the input gain–setting operational amplifier are present, providing maximum flexibility for the analog interface.

MC145503

The MC145503 PCM Codec–Filter is intended for standard byte interleaved synchronous or asynchronous applications. TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty cycle), 1.536, 1.544, 2.048, or 2.56 MHz. (For other data clock frequencies, see MC145502 or MC145505.) The internal reference is set for 3.15 V peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 V peak–to–peak. This is the + 3 dBm0 level of the PCM Codec–Filter. The +Tx and –Tx inputs provide maximum flexibility for analog interface. All other functions are described in the pin description.

MC145505

The MC145505 PCM Codec–Filter is intended for byte interleaved synchronous applications. The MC145505 has all the features of the MC145503 but internally connects TDC and RDC (see pin description) to the DC pin. One of the five standard frequencies (listed above) should be applied to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCI. The data clock input (DC) can be any frequency between 64 kHz and 4.096 MHz.

PIN DESCRIPTIONS

DIGITAL

V_{LS}
Logic Level Select Input and TTL Digital Ground

V_{LS} controls the logic levels and digital ground reference for all digital inputs and the digital output. These devices can operate with logic levels from full supply (V_{SS} to V_{DD}) or with TTL logic levels using V_{LS} as digital ground. For V_{LS} = V_{DD}, all I/O is full supply (V_{SS} to V_{DD} swing) with CMOS switch points. For $V_{SS} < V_{LS} < (V_{DD} - 4\ V)$, all inputs and outputs are TTL compatible with V_{LS} being the digital ground. The pins controlled by V_{LS} are inputs MSI, CCI, TDE, TDC, RCE, RDC, RDD, $\overline{PDI}$, and output TDD.

MSI
Master Synchronization Input

MSI is used for determining the sample rate of the transmit side and as a time base for selecting the internal prescale divider for the convert clock input (CCI) pin. The MSI pin should be tied to an 8 kHz clock which may be a frame sync or system sync signal. MSI has no relation to transmit or receive data timing, except for determining the internal transmit strobe as described under the TDE pin description. MSI should be derived from the transmit timing in asynchronous applications. In many applications MSI can be tied to TDE. (MSI is tied internally to TDE in MC145503/05.)

CCI
Convert Clock Input

CCI is designed to accept five discrete clock frequencies. These are 128 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, or 2.56 MHz. The frequency at this input is compared with MSI and prescale divided to produce the internal sequencing clock at 128 kHz (or 16 times the sampling rate). The duty cycle of CCI is dictated by the minimum pulse width except for 128 kHz, which is used directly for internal sequencing and must have a 40 to 60% duty cycle. In asynchronous applications, CCI should be derived from transmit timing. (CCI is tied internally to TDC in MC145500/01/03.)

TDC
Transmit Data Clock Input

TDC can be any frequency from 64 kHz to 4.096 MHz, and is often tied to CCI if the data rate is equal to one of the five discrete frequencies. This clock is the shift clock for the transmit shift register and its rising edges produce successive data bits at TDD. TDE should be derived from this clock. (TDC and RDC are tied together internally in the MC145505 and are called DC.) CCI is internally tied to TDC on the MC145500/ 01/03. Therefore, TDC must satisfy CCI timing requirements also.

TDE
Transmit Data Enable Input

TDE serves three major functions. The first TDE rising edge following an MSI rising edge generates the internal transmit strobe which initiates an A/D conversion. The internal transmit strobe also transfers a new PCM data word into the transmit shift register (sign bit first) ready to be output at TDD. The TDE pin is the high impedance control for the transmit digital data (TDD) output. As long as this pin is high, the TDD output stays low impedance. This pin also enables the output shift register for clocking out the 8–bit serial PCM word. The logical AND of the TDE pin with the TDC pin clocks out a new data bit at TDD. TDE should be held high for eight consecutive TDC cycles to clock out a complete PCM word for byte interleaved applications. The transmit shift register feeds back on itself to allow multiple reads of the transmit data. If the PCM word is clocked out once per frame in a byte interleaved system, the MSI pin function is transparent and may be connected to TDE.

The TDE pin may be cycled during a PCM word for bit interleaved applications. TDE controls both the high impedance state of the TDD output and the internal shift clock. TDE must fall before TDC rises (t_{su8}) to ensure integrity of the next data bit. There must be at least two TDC falling edges between the last TDE rising edge of one frame and the first TDE rising edge of the next frame. MSI must be available separate from TDE for bit interleaved applications.

TDD
Transmit Digital Data Output

The output levels at this pin are controlled by the V_{LS} pin. For V_{LS} connected to V_{DD}, the output levels are from V_{SS} to V_{DD}. For a voltage of V_{LS} between $V_{DD}-4\ V$ and V_{SS}, the output levels are TTL compatible with V_{LS} being the digital ground supply. The TDD pin is a three–state output controlled by the TDE pin. The timing of this pin is controlled by TDC and TDE. When in TTL mode, this output may be made high–speed CMOS compatible using a pull–up resistor. The data format (Mu–Law, A–Law, or sign magnitude) is controlled by the Mu/A pin.

RDC
Receive Data Clock Input

RDC can be any frequency from 64 kHz to 4.096 MHz. This pin is often tied to the TDC pin for applications that can use a common clock for both transmit and receive data transfers. The receive shift register is controlled by the receive clock enable (RCE) pin to clock data into the receive digital data (RDD) pin on falling RDC edges. These three signals can be asynchronous with all other digital pins. The RDC input is internally tied to the TDC input on the MC145505 and called DC.

RCE
Receive Clock Enable Input

The rising edge of RCE should identify the sign bit of a receive PCM word on RDD. The next falling edge of RDC, after a rising RCE, loads the first bit of the PCM word into the receive register. The next seven falling edges enter the remainder of the PCM word. On the ninth rising edge, the receive PCM word is transferred to the receive buffer register and the A/D sequence is interrupted to commence the decode process. In asynchronous applications with an 8 kHz transmit sample rate, the receive sample rate should be between 7.5 and 8.5 kHz. Two receive PCM words may be decoded and analog summed each transmit frame to allow on–chip conferencing. The two PCM words should be clocked in as two single PCM words, a minimum of 31.25 µs apart, with a receive data clock of 512 kHz or faster.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RDD
Receive Digital Data Input

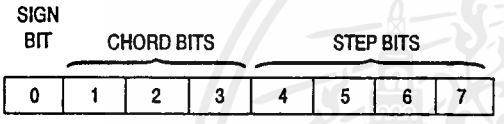
RDD is the receive digital data input. The timing for this pin is controlled by RDC and RCE. The data format is determined by the Mu/A pin.

Mu/A
Select

This pin selects the companding law and the data format at TDD and RDD.

Mu/A = V_{DD}; Mu–255 Companding D3 Data Format with Zero Code Suppress
Mu/A = V_{AG}; Mu–255 Companding with Sign Magnitude Data Format
Mu/A = V_{SS}; A–Law Companding with CCITT Data Format
Bit Inversions

Code	Sign/ Magnitude	Mu–Law	A–Law (CCITT)
+ Full Scale	1111 1111	1000 0000	1010 1010
+ Zero	1000 0000	1111 1111	1101 0101
– Zero	0000 0000	0111 1111	0101 0101
– Full Scale	0111 1111	0000 0010	0010 1010



NOTE: Starting from sign magnitude, to change format:
To Mu–Law —
MSB is unchanged (sign)
Invert remaining seven bits
If code is 0000 0000, change to 0000 0010 (for zero code suppression)
To A–Law —
MSB is unchanged (sign)
Invert odd numbered bits
Ignore zero code suppression

$\overline{PDI}$
Power Down Input

The power down input disables the bias circuitry and gates off all clock inputs. This puts the V_{AG}, TxI, RxO, $\overline{RxO}$, and TDD outputs into a high–impedance state. The power dissipation is reduced to 0.1 mW when $\overline{PDI}$ is a low logic level. The circuit operates normally with $\overline{PDI}$ = V_{DD} or with a logic high as defined by connection at V_{LS}. TDD will not come out of high impedance for two MSI cycles after $\overline{PDI}$ goes high.

DCLK
Data Clock Input

In the MC145505, TDC and RDC are internally connected to DCLK.

ANALOG

V_{AG}
Analog Ground Input/Output Pin

V_{AG} is the analog ground power supply input/output. All analog signals into and out of the device use this as their ground reference. Each version of the MC145500 PCM Codec–Filter family can provide its own analog ground supply internally. The dc voltage of this internal supply is 6% positive of the midway between V_{DD} and V_{SS}. This supply can sink more than 8 mA but has a current source limited to 400 µA. The output of this supply is internally connected to the analog ground input of the part. The node where this supply and the analog ground are connected is brought out to the V_{AG} pin. In symmetric dual supply systems (± 5, ± 6, etc.), V_{AG} may be externally tied to the system analog ground supply. When RxO or $\overline{RxO}$ drive low impedance loads tied to V_{AG}, a pull–up resistor to V_{DD} will be required to boost the source current capability if V_{AG} is not tied to the supply ground. All analog signals for the part are referenced to V_{AG}, including noise; therefore, decoupling capacitors (0.1 µF) should be used from V_{DD} to V_{AG} and V_{SS} to V_{AG}.

V_{ref}
Positive Voltage Reference Input (MC145502 Only)

The V_{ref} pin allows an external reference voltage to be used for the A/D and D/A conversions. If V_{ref} is tied to V_{SS}, the internal reference is selected. If $V_{ref} > V_{AG}$, then the external mode is selected and the voltage applied to V_{ref} is used for generating the internal converter reference voltage. In either internal or external reference mode, the actual voltage used for conversion is multiplied by the ratio selected by the RSI pin. The RSI pin circuitry is explained under its pin description below. Both the internal and external references are inverted within the PCM Codec–Filter for negative input voltages such that only one reference is required.

External Mode — In the external reference mode ($V_{ref} > V_{AG}$), a 2.5 V reference like the MC1403 may be connected from V_{ref} to V_{AG}. A single external reference may be shared by tying together a number of V_{ref} pins and V_{AG} pins from different codec–filters. In special applications, the external reference voltage may be between 0.5 and 5 V. However, the reference voltage gain selection circuitry associated with RSI must be considered to arrive at the desired codec–filter gain.

Internal Mode — In the internal reference mode ($V_{ref} = V_{SS}$), an internal 2.5 V reference supplies the reference voltage for the RSI circuitry. The V_{ref} pin is functionally connected to V_{SS} for the MC145500, MC145501, MC145503, and MC145505 pinouts.

RSI
Reference Select Input (MC145501/02 Only)

The RSI input allows the selection of three different overload or full–scale A/D and D/A converter reference voltages independent of the internal or external reference mode. The RSI pin is a digital input that senses three different logic states: V_{SS}, V_{AG}, and V_{DD}. For RSI = V_{AG}, the reference voltage is used directly for the converters. The internal reference is 2.5 V. For RSI = V_{SS}, the reference voltage is multiplied by the ratio of 1.26, which results in an internal converter reference of 3.15 V. For RSI = V_{DD}, the reference voltage is multiplied by 1.51, which results in an internal converter reference of 3.78 V. The device requires a minimum of 1.0 V of headroom between the internal converter reference to V_{DD}. V_{SS} has this same absolute valued minimum, also measured from V_{AG} pin. The various modes of operation are summarized in Table 2. The RSI pin is functionally connected to V_{SS} for the MC145500, MC145503, and MC145505 pinouts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RxO, $\overline{\text{RxO}}$
Receive Analog Outputs

These two complimentary outputs are generated from the output of the receive filter. They are equal in magnitude and out of phase. The maximum signal output of each is equal to the maximum peak–to–peak signal described with the reference. If a 3.15 V reference is used with RSI tied to V_{AG} and a + 3 dBm0 sine wave is decoded, the RxO output will be a 6.3 V peak–to–peak signal. $\overline{\text{RxO}}$ will also have an inverted signal output of 6.3 V peak–to–peak. External loads may be connected from RxO to $\overline{\text{RxO}}$ for a 6 dB push–pull signal gain or from either RxO or $\overline{\text{RxO}}$ to V_{AG}. With a 3.15 V reference each output will drive 600 Ω to + 9 dBm. With RSI tied to V_{DD}, each output will drive 900 Ω to + 9 dBm.

RxG
Receive Output Gain Adjust (MC145502 Only)

The purpose of the RxG pin is to allow external gain adjustment for the $\overline{\text{RxO}}$ pin. If RxG is left open, then the output signal at RxO will be inverted and output at $\overline{\text{RxO}}$. Thus the push–pull gain to a load from RxO to $\overline{\text{RxO}}$ is two times the output level at RxO. If external resistors are applied from RxO to RxG (RI) and from RxG to $\overline{\text{RxO}}$ (RG), the gain of $\overline{\text{RxO}}$ can be set differently from inverting unity. These resistors should be in the range of 10 kΩ. The RxO output level is unchanged by the resistors and the $\overline{\text{RxO}}$ gain is approximately equal to minus RG/RI. The actual gain is determined by taking into account the internal resistors which will be in parallel to these external resistors. The internal resistors have a large tolerance, but they match each other very closely. This matching tends to minimize the effects of their tolerance on external gain configurations. The circuit for RxG and $\overline{\text{RxO}}$ is shown in the block diagram.

TxI
Transmit Analog Input

TxI is the input to the transmit filter. It is also the output of the transmit gain amplifiers of the MC145501/02/03/05. The input impedance is greater than 100 kΩ to V_{AG} in the MC145500. The TxI input has an internal gain of 1.0, such that a +3 dBm0 signal at TxI corresponds to the peak converter reference voltage as described in the V_{ref} and RSI pin descriptions. For 3.15 V reference, the + 3 dBm0 input should be 6.3 V peak–to–peak.

+Tx / –Tx
Positive Tx Amplifier Input (MC145502/03/05 Only) / Negative Tx Amplifier Input (MC145501/02/03/05 Only)

The TxI pin is the input to the transmit band–pass filter. If +Tx or –Tx is available, then there is an internal amplifier preceding the filter whose pins are +Tx, –Tx, and TxI. These pins allow access to the amplifier terminals to tailor the input gain with external resistors. The resistors should be in the range of 10 kΩ. If +Tx is not available, it is internally tied to V_{AG}. If –Tx and +Tx are not available, the TxI is a unity gain high–impedance input.

POWER SUPPLIES

V_{DD}
Most Positive Power Supply

V_{DD} is typically 5 to 12 V.

V_{SS}
Most Negative Power Supply

V_{SS} is typically 10 to 12 V negative of V_{DD}.

For a ± 5 V dual–supply system, the typical power supply configuration is V_{DD} = + 5 V, V_{SS} = – 5 V, V_{LS} = 0 V (digital ground accommodating TTL logic levels), and V_{AG} = 0 V being tied to system analog ground.

For single–supply applications, typical power supply configurations include:

V_{DD} = 10 V to 12 V
V_{SS} = 0 V

V_{AG} generates a mid supply voltage for referencing all analog signals.

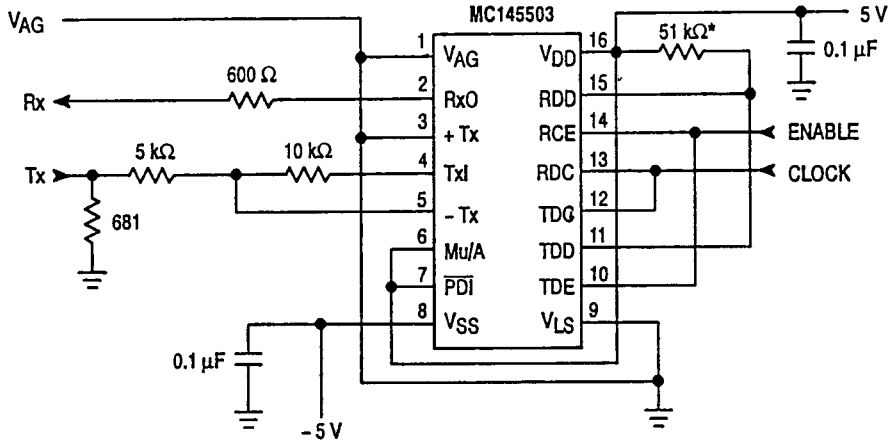
V_{LS} controls the logic levels. This pin should be connected to V_{DD} for CMOS logic levels from V_{SS} to V_{DD}. This pin should be connected to digital ground for true TTL logic levels referenced to V_{LS}.

TESTING CONSIDERATIONS (MC145500/01/02 ONLY)

An analog test mode is activated by connecting MSI and CCI to 128 kHz. In this mode, the input of the A/D (the output of the Tx filter) is available at the $\overline{\text{PDI}}$ pin. This input is direct coupled to the A/D side of the codec. The A/D is a differential design. This results in the gain of this input being effectively attenuated by half. If monitored with a high–impedance buffer, the output of the Tx low–pass filter can also be measured at the $\overline{\text{PDI}}$ pin. This test mode allows independent evaluation of the transmit low–pass filter and A/D side of the codec. The transmit and receive channels of these devices are tested with the codec–filter fully functional.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* To define RDD when TDD is high Z.

Figure 1. Test Circuit

Table 1. Options Available by Pin Selection

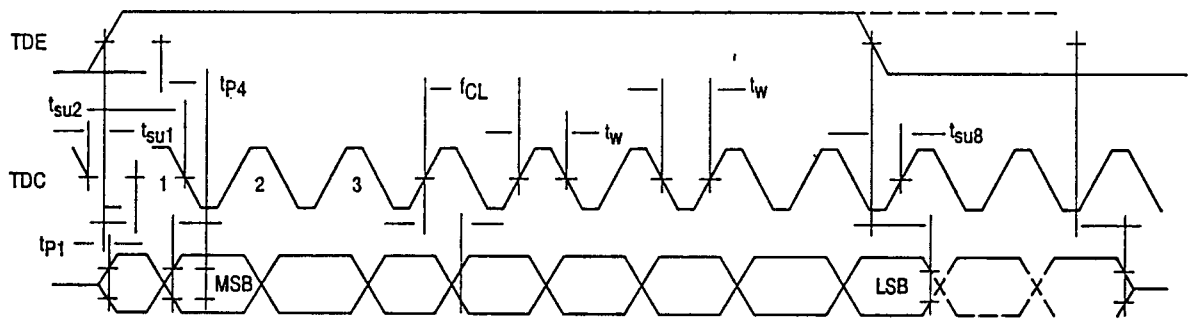
RSI* Pin Level	V_{ref}* Pin Level	Peak–to–Peak Overload Voltage (TxI, RxO)
V_{DD}	V_{SS}	7.56 V p–p
V_{DD}	$V_{AG} + V_{EXT}$	(3.02 x V_{EXT}) V p–p
V_{AG}	V_{SS}	5 V p–p
V_{AG}	$V_{AG} + V_{EXT}$	(2 x V_{EXT}) V p–p
V_{SS}	V_{SS}	6.3 V p–p
V_{SS}	$V_{AG} + V_{EXT}$	(2.52 x V_{EXT}) V p–p

* On MC145500/03/05, RSI and V_{ref} tied internally to V_{SS}. On MC145501, V_{ref} tied internally to V_{SS}.

Table 2. Summary of Operation Conditions User Programmed Through Pins V_{DD}, V_{AG}, and V_{SS}

Pin Programmed / Logic Level	Mu/A	RSI Peak Overload Voltage	V_{LS}
V_{DD}	Mu–Law Companding Curve and D3/D4 Digital Formats with Zero Code Suppress	3.78	CMOS Logic Levels
V_{AG}	Mu–Law Companding Curve and Sign Magnitude Data Format	2.50	TTL Levels V_{AG} Up
V_{SS}	A–Law Companding Curve and CCITT Digital Format	3.15	TTL Levels V_{SS} Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



* Data output during this time will vary depending on TDC rate and TDE timing.

Figure 2. Transmit Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

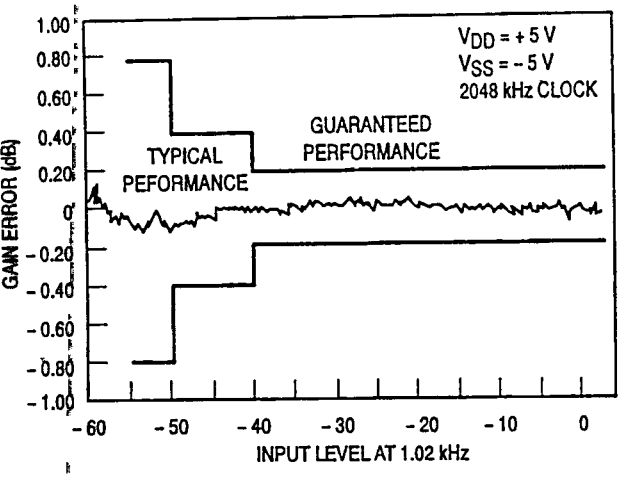


Figure 5. MC145502 Gain vs Level Mu–Law Transmit

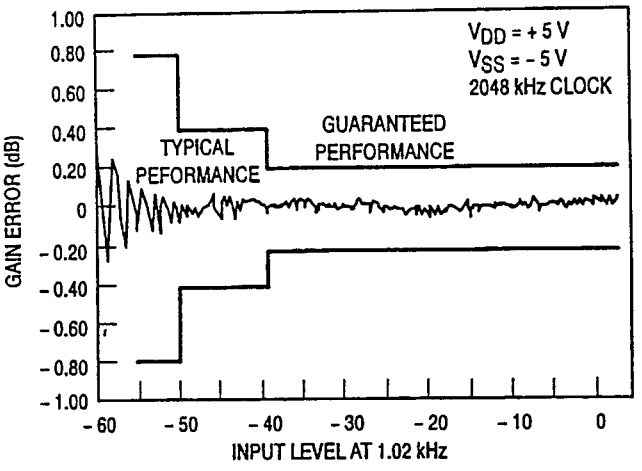


Figure 6. MC145502 Gain vs Level Mu–Law Receive

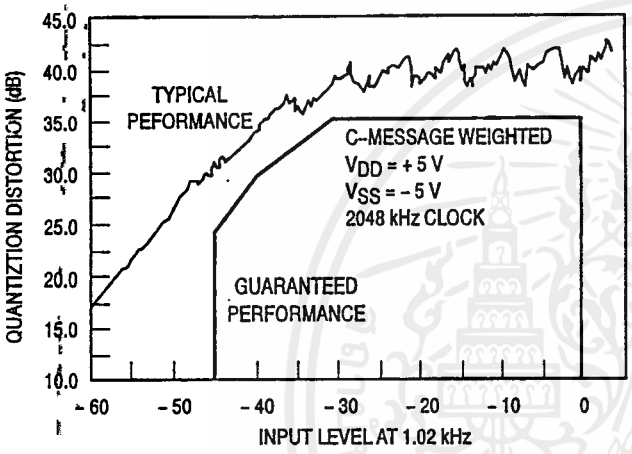


Figure 7. MC145502 Quantization Distortion Mu–Law Transmit

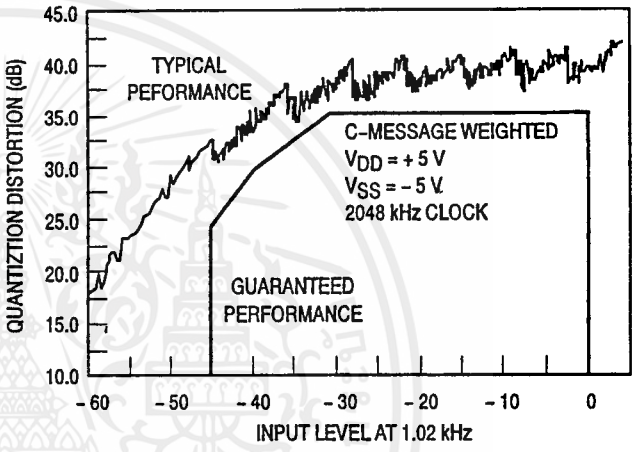


Figure 8. MC145502 Quantization Distortion Mu–Law Receive

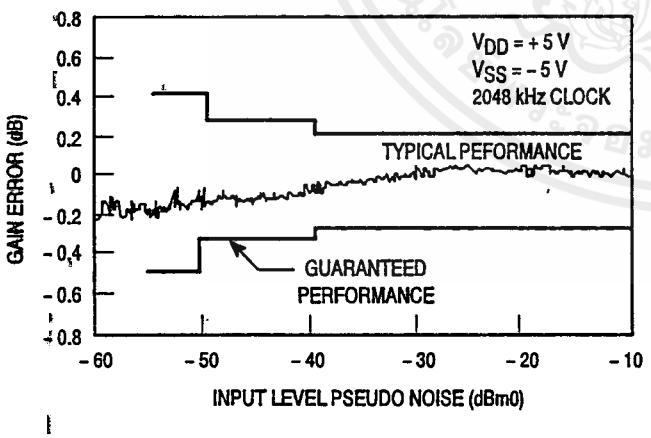


Figure 9. MC145502 Gain vs Level A–Law Transmit

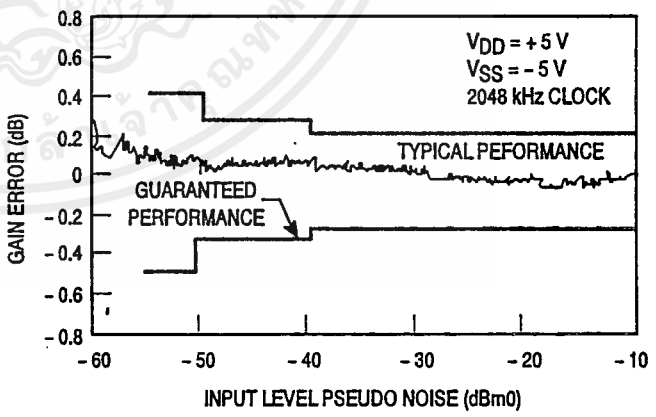


Figure 10. MC145502 Gain vs Level A–Law Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

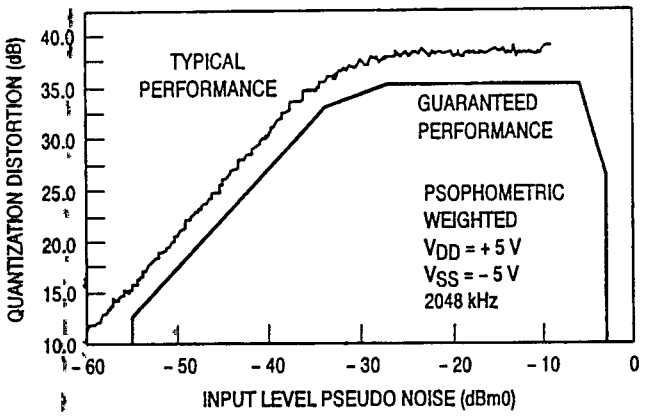


Figure 11. MC145502 Quantization Distortion A–Law Transmit

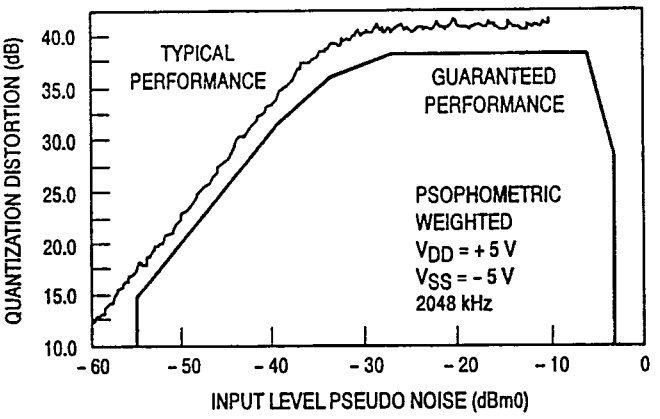


Figure 12. MC145502 Quantization Distortion A–Law Receive

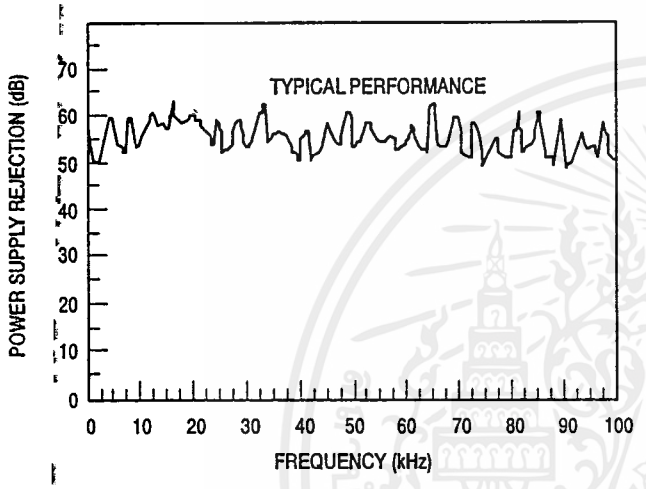


Figure 13. MC145502 Power Supply Rejection Ratio Positive Transmit VAC = 250 mVrms, C–Message Weighted

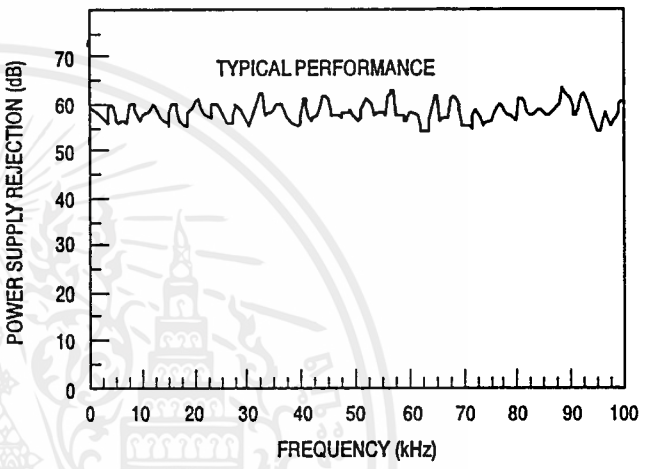


Figure 14. MC145502 Power Supply Rejection Ratio Negative Transmit VAC = 250 mVrms, C–Message Weighted

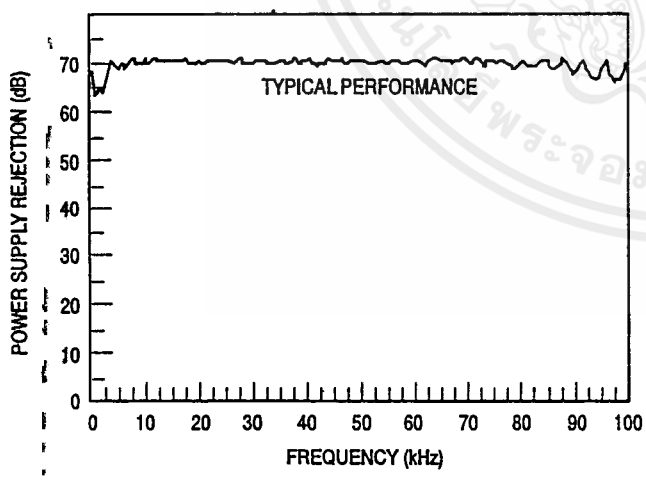


Figure 15. MC145502 Power Supply Rejection Ratio Positive Receive VAC = 250 mVrms, C–Message Weighted

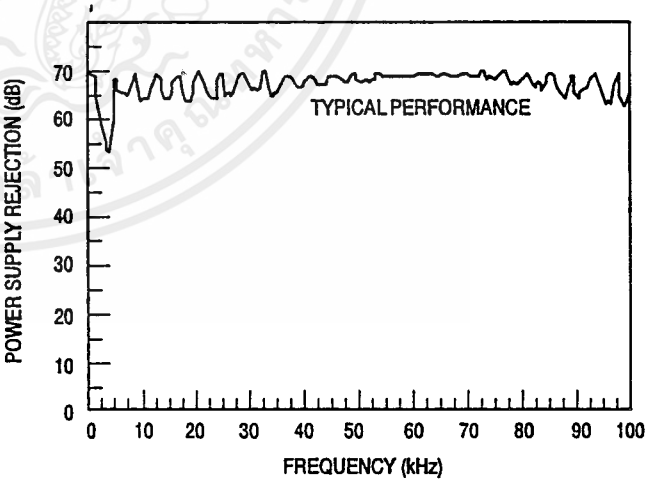


Figure 16. MC145502 Power Supply Rejection Ratio Negative Receive VAC = 250 mVrms, C–Message Weighted

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การจำหน่าย จ่ายแจก หรือการหาประโยชน์ในรูปแบบอื่นใด ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

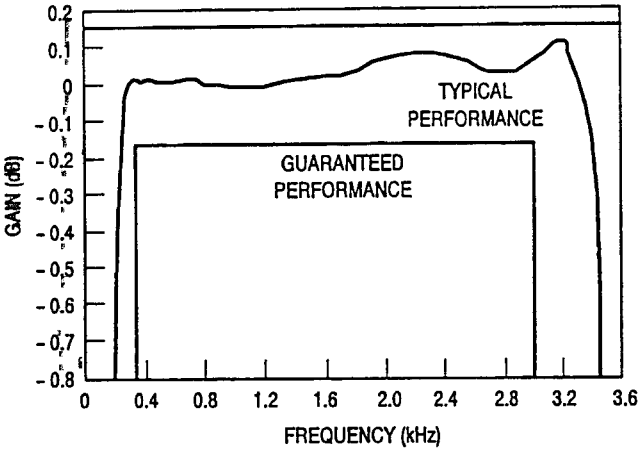


Figure 17. MC145502 Pass–Band Filter Response Transmit

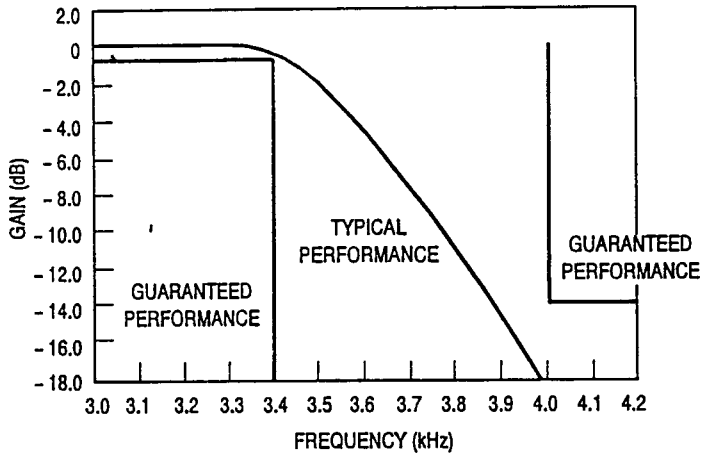


Figure 18. MC145502 Low–Pass Filter Response Transmit

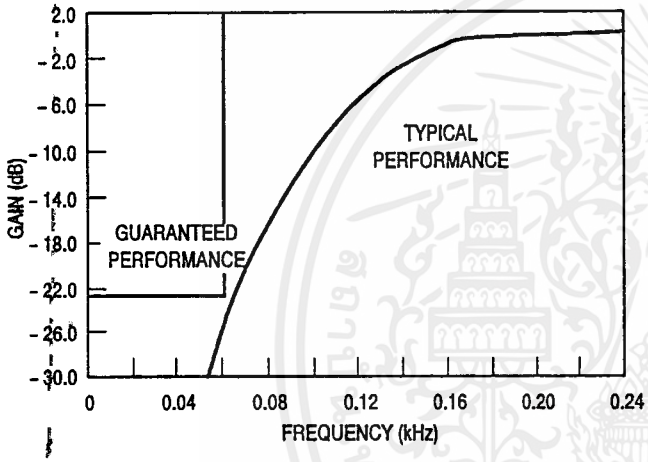


Figure 19. MC145502 High–Pass Filter Response Transmit

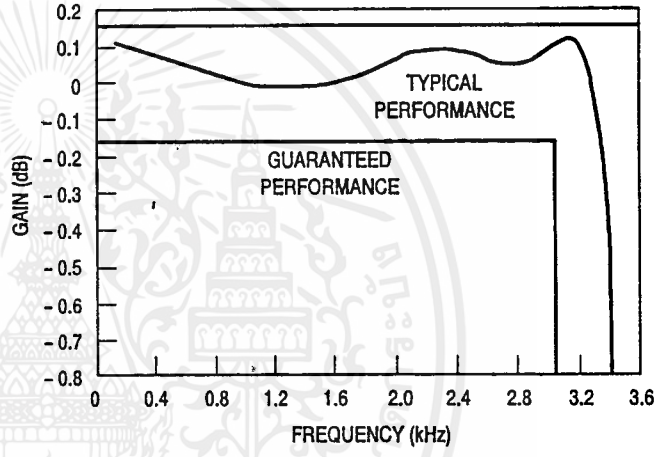


Figure 20. MC145502 Pass–Band Filter Response Receive

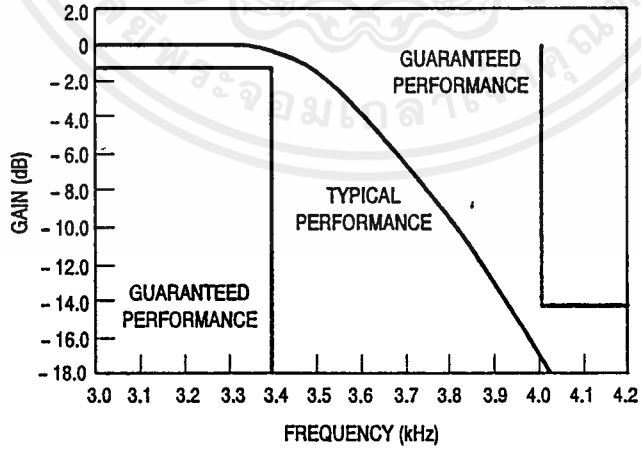


Figure 21. MC145502 Low–Pass Filter Response Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

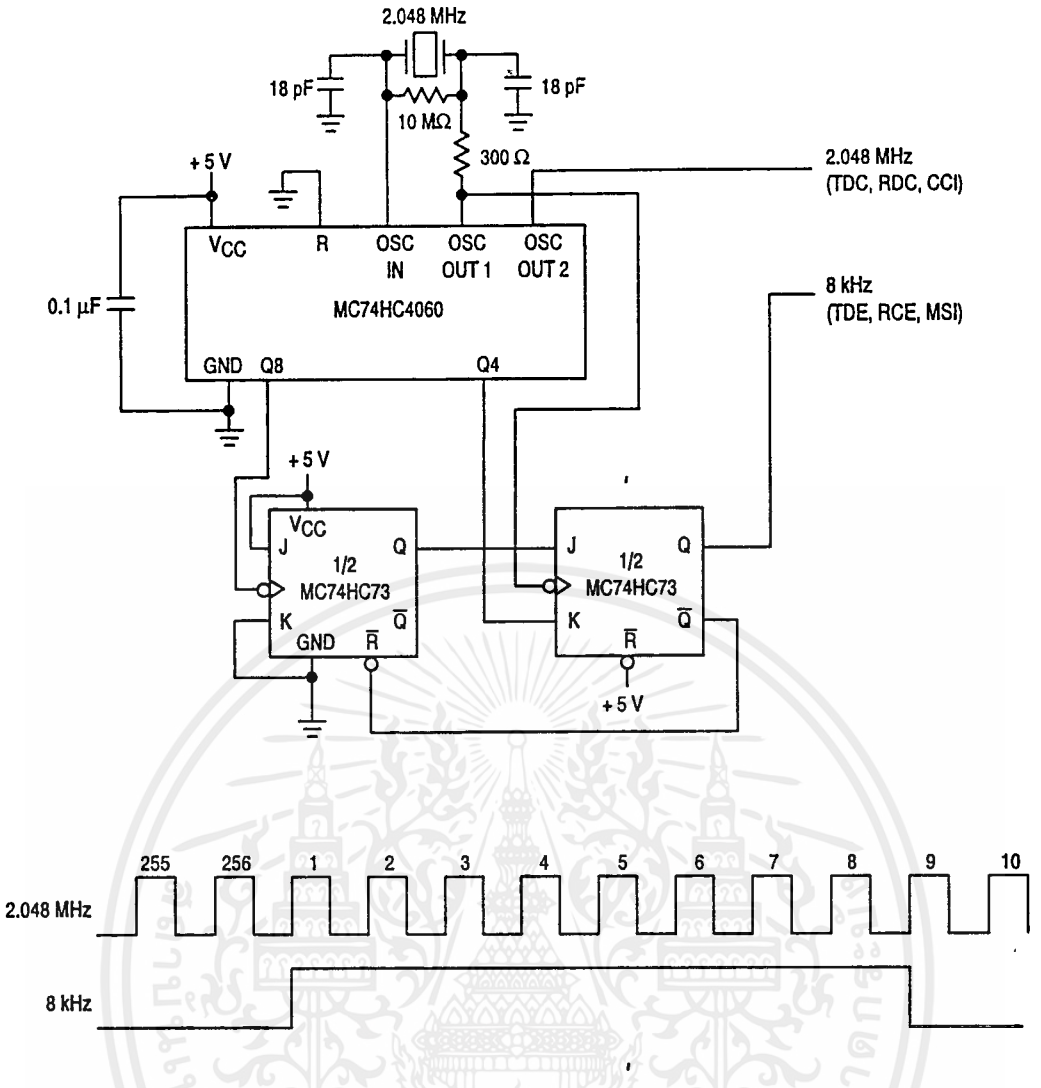
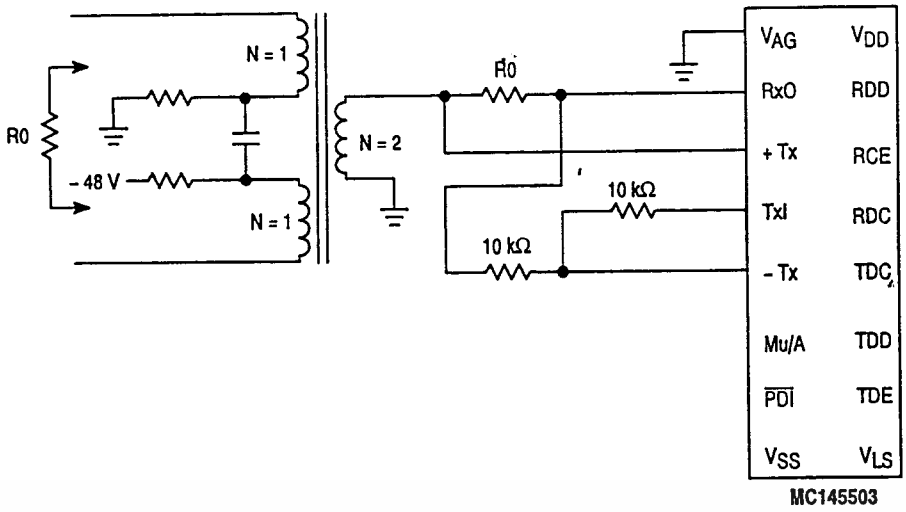
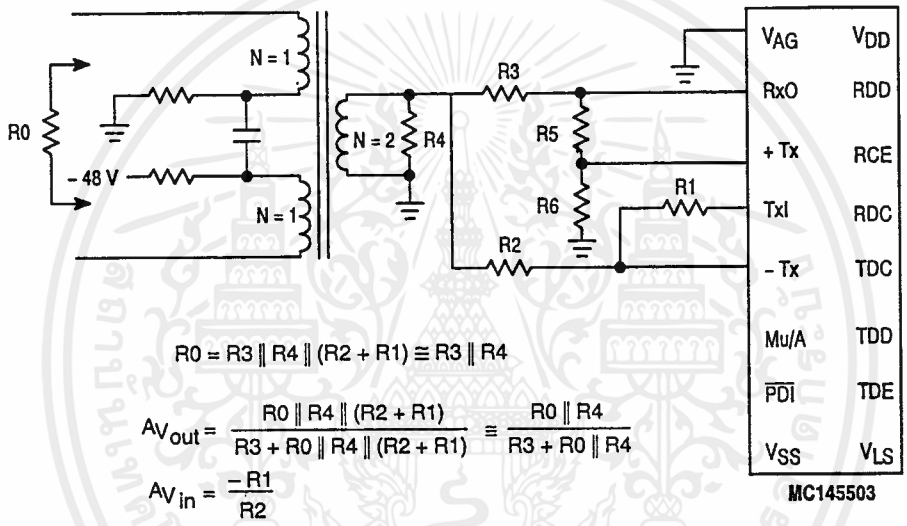


Figure 22. Simple Clock Circuit for Driving MC145500/01/02/03/05 Codec–Filters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



23a. Simplified Transformer Hybrid Using MC145503



$$R0 = R3 \parallel R4 \parallel (R2 + R1) \cong R3 \parallel R4$$

$$A_{V_{out}} = \frac{R0 \parallel R4 \parallel (R2 + R1)}{R3 + R0 \parallel R4 \parallel (R2 + R1)} \cong \frac{R0 \parallel R4}{R3 + R0 \parallel R4}$$

$$A_{V_{in}} = \frac{-R1}{R2}$$

NOTE: Hybrid Balance by R5 and R6 to equate the RxO signal gain at TxI through the inverting and non–inverting signal paths.

23b. Universal Transformer Hybrid Using MC145503

Figure 23. Hybrid Interfaces to the MC145503 PCM Codec–Filter Mono–Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นจะได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

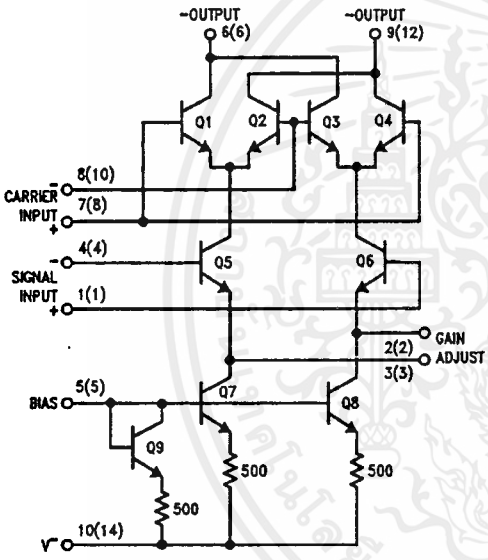
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

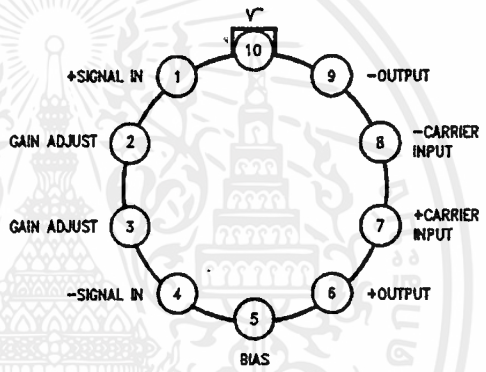
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



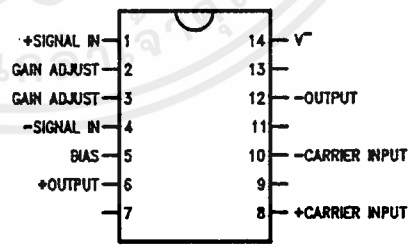
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5+I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave		300			300		MHz
	Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_6 + I_8)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

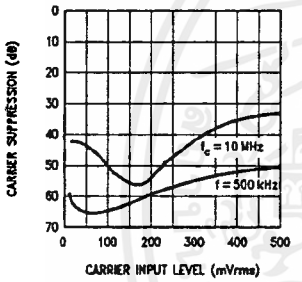
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

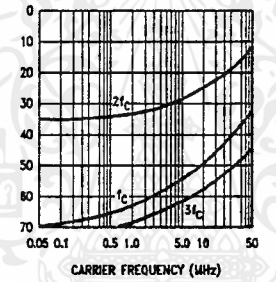
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

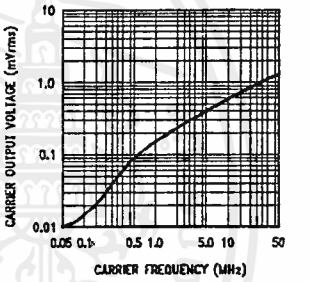
Carrier Suppression vs Carrier Input Level



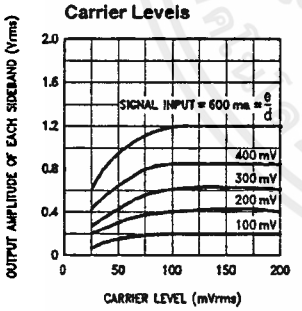
Carrier Suppression vs Frequency



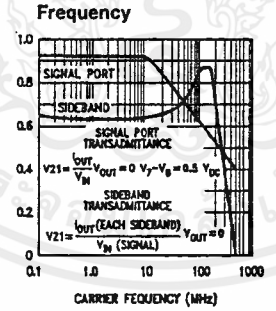
Carrier Feedthrough vs Frequency



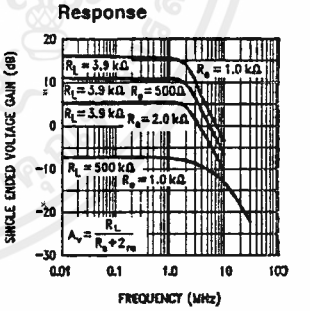
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

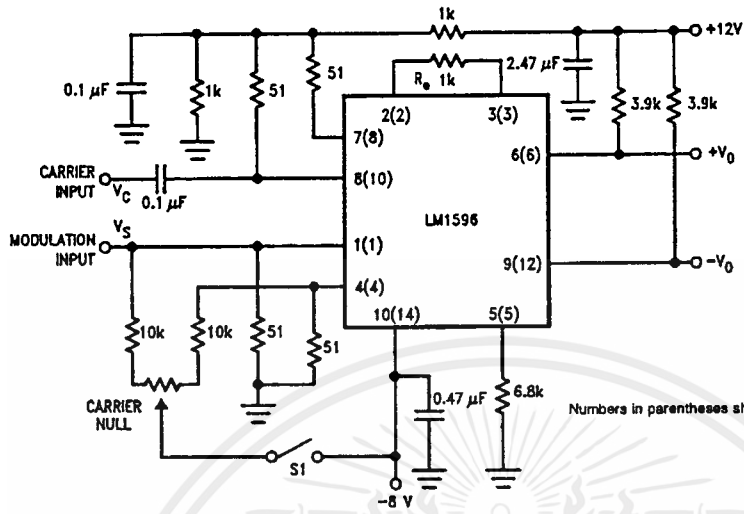


TL/H/7887–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

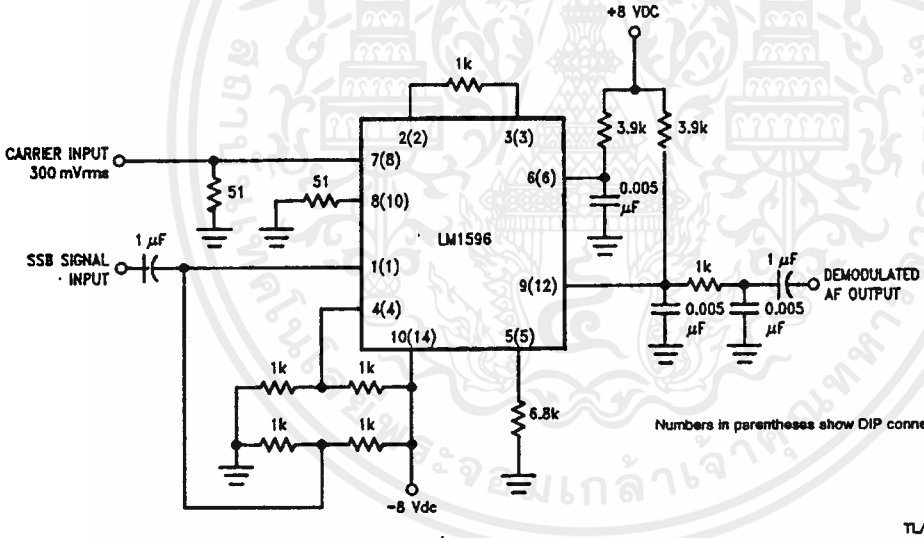


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

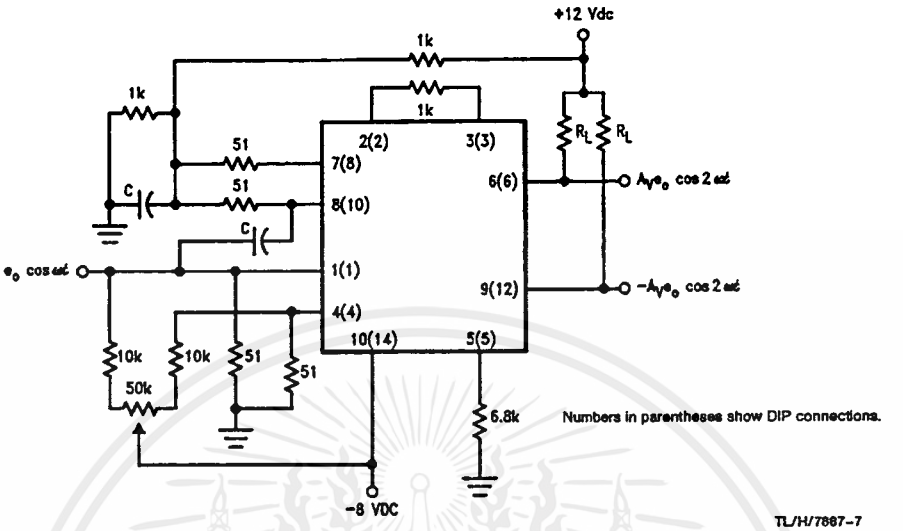
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler

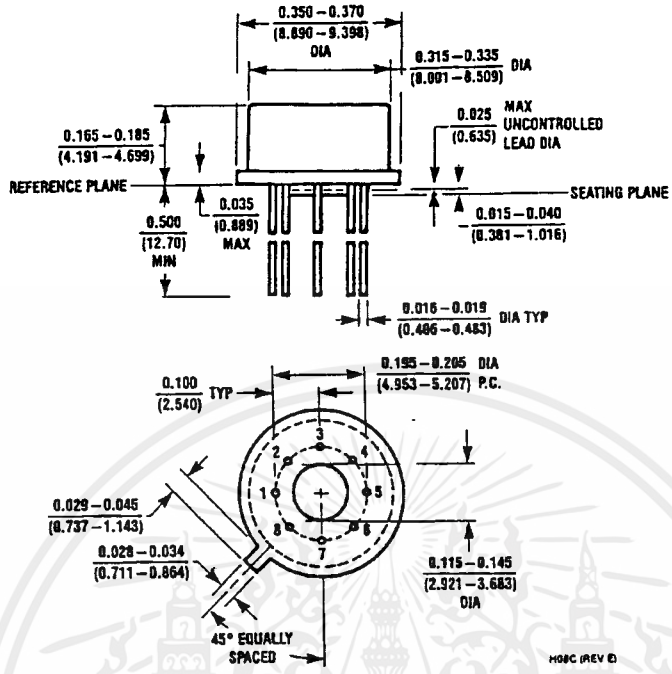


TL/H/7867–7

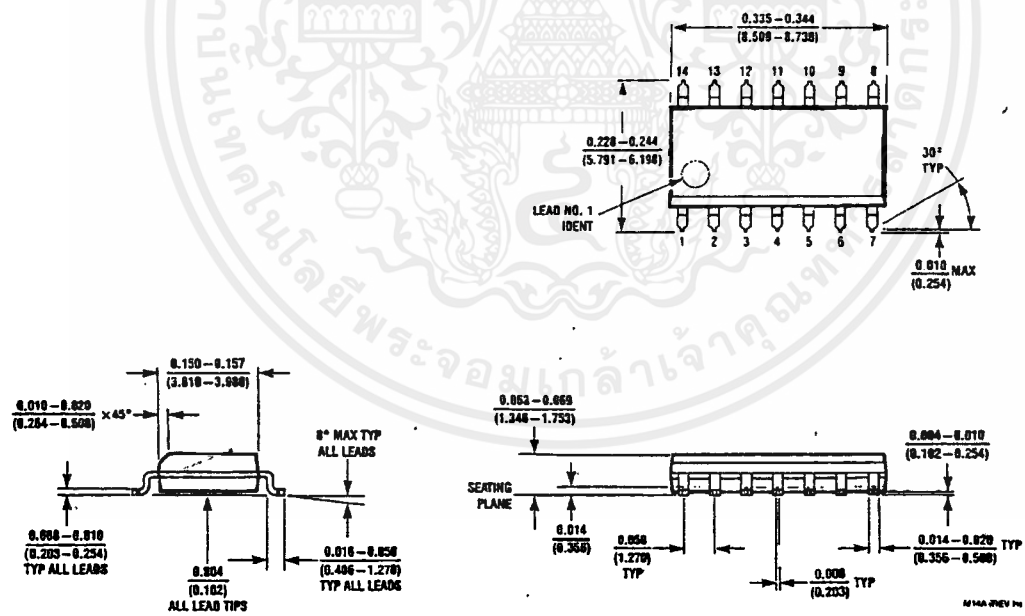
The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



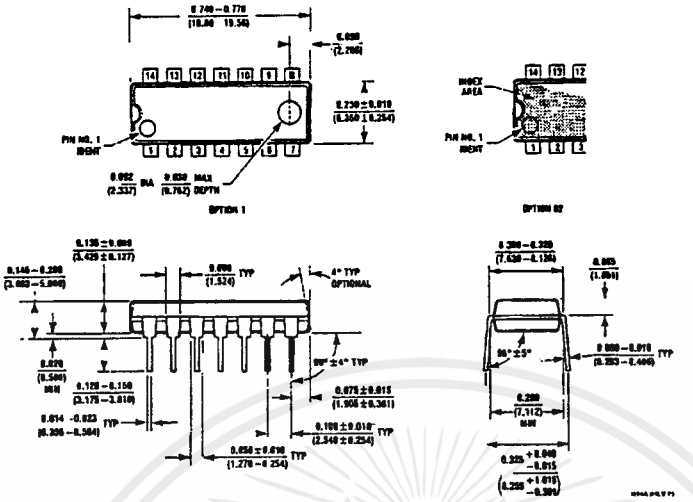
Metal Can Package (H)
Order Number LM1496H or LM1596H
NS Package Number H08C



Molded Small Outline Package (M)
Order Number LM1496M
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LM1496N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CD4046BMS

December 1992

CMOS Micropower Phase Locked Loop

Features

- Very Low Power Consumption: 70μW (typ.) at VCO fo = 10kHz, VDD = 5V
- Operating Frequency Range Up to 1.4 MHz (typ.) at VDD = 10V, RI = 5kΩ
- Low Frequency Drift: 0.04%/°C (typ.) at VDD = 10V
- Choice of Two Phase Comparators:
  - Exclusive-OR Network (I)
  - Edge-Controlled Memory Network with Phase-Pulse Output for Lock Indication (II)
- High VCO Linearity: <1% (typ.) at VDD = 10V
- VCO Inhibit Control for ON-OFF Keying and Ultra-Low Standby Power Consumption
- Source-Follower Output of VCO Control Input (Demod. Output)
- Zener Diode to Assist Supply Regulation
- Standardize, Symmetrical Output Characteristics
- 100% Tested for Quiescent Current at 20V
- 5V, 10V and 15V Parametric Ratings
- Meets All Requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications

- FM Demodulator and Modulator
- Frequency Synthesis and Multiplication
- Frequency Discriminator
- Data Synchronization
- Voltage-to-Frequency Conversion
- Tone Decoding
- FSK - Modems
- Signal Conditioning

Description

CD4046BMS CMOS Micropower Phase-Locked Loop (PLL) consists of a low power linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2V zener diode is provided for supply regulation if necessary.

The CD4046BMS is supplied in these 16-lead outline packages:

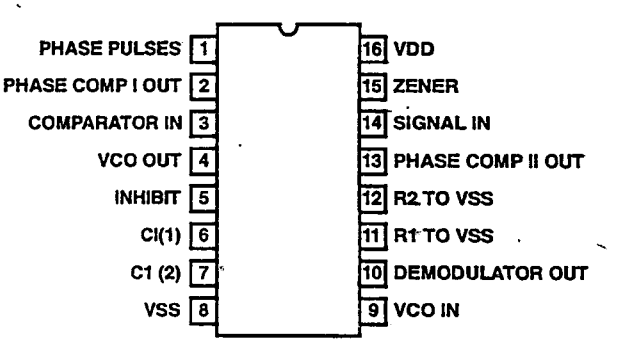
Braze Seal DIP	H4W
Frit Seal DIP	H1F
Ceramic Flatpack	H6W

VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12\Omega}$) of the VCO simplifies the design of low pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor (RS) of 10kΩ or more should be connected from this terminal to VSS. If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO and allows direct coupling to CMOS frequency dividers such as the Harris CD4024, CD4018, CD4020, CD4029, and CD4050. One or more CD4018 (Preset Table Divide-By-N Counter) or CD4029 (Presettable Up/Down Counter) or CD4029 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by "N" Counter), together with the CD4046BMS (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

Pinout

CD4046BMS
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.
Copyright © Harris Corporation 1992

File Number 3312

Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels (logic "0" ≤30% (VDD-VSS). logic "1" ≥70% (VDD - VSS)]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase-comparator I is an exclusive -OR network; it operates analogously to an overdriven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to VDD/2. The low-pass filter connected to the output of phase-comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock if it was initially out of lock is defined as the frequency capture range (2fc).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range (2fL). The capture range is ≤ the lock range.

With phase-comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 1 shows the typical, triangular, phase-to-output response characteristic of phase comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition of f_o is shown in Figure 2.

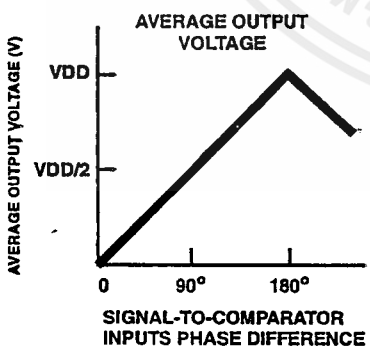


FIGURE 1. PHASE-COMPARATOR I CHARACTERISTICS AT LOW-PASS FILTER OUTPUT

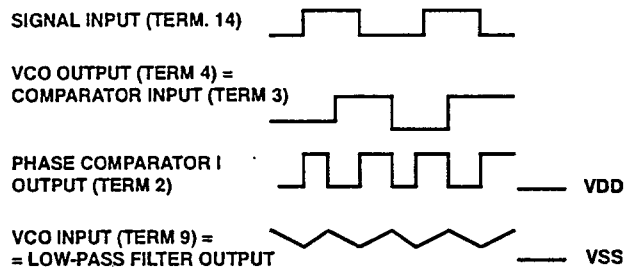


FIGURE 2. TYPICAL WAVEFORMS FOR CMOS PHASE-LOCKED LOOP EMPLOYING PHASE COMPARATOR IN LOCKED CONDITION OF f_o.

Phase comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n- type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to VDD or down to VSS, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal-input frequency is higher than the comparator-input frequency, the p-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3state) the remainder of the time. If the signal-input frequency is lower than the comparator-input frequency, the n-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal and comparator input frequencies are the same, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase differences. If the signal and comparator-input frequencies are the same, but the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point both p- and n-type output drivers remain OFF and thus the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 15 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range, (VDD) . . . . . -0.5V to +20V
(Voltage Referenced to VSS Terminals)
Input Voltage Range, All Inputs . . . . . -0.5V to VDD +0.5V
DC Input Current, Any One Input . . . . . ±10mA
Operating Temperature Range. . . . . -55°C to +125°C
Package Types D, F, K, H
Storage Temperature Range (TSTG). . . . . -65°C to +150°C
Lead Temperature (During Soldering) . . . . . +265°C
At Distance 1/16 ± 1/32 Inch (1.59mm ± 0.79mm) from case for 10s Maximum

Reliability Information

Thermal Resistance	θ_{ja}	θ_{jc}
Ceramic DIP and FRIT Package	80°C/W	20°C/W
Flatpack Package	70°C/W	20°C/W

Maximum Package Power Dissipation (PD) at +125°C
For TA = -55°C to +100°C (Package Type D, F, K) 500mW
For TA = +100°C to +125°C (Package Type D, F, K) . . . . . Derate Linearity at 12mW/°C to 200mW
Device Dissipation per Output Transistor 100mW
For TA = Full Package Temperature Range (All Package Types)
Junction Temperature . . . . . +175°C

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS (NOTE 1)		GROUP A SUBGROUPS	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
Supply Current	IDD	VDD = 20V, VIN = VDD or GND		1	+25°C	-	10	µA
				2	+125°C	-	1000	µA
		VDD = 18V, VIN = VDD or GND		3	-55°C	-	10	µA
Input Leakage Current	IIL	VIN = VDD or GND	VDD = 20	1	+25°C	-100	-	nA
				2	+125°C	-1000	-	nA
			VDD = 18V	3	-55°C	-100	-	nA
Input Leakage Current	IIH	VIN = VDD or GND	VDD = 20	1	+25°C	-	100	nA
				2	+125°C	-	1000	nA
			VDD = 18V	3	-55°C	-	100	nA
Output Voltage	VOL15	VDD = 15V, No Load		1, 2, 3	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOH15	VDD = 15V, No Load (Note 3)		1, 2, 3	+25°C, +125°C, -55°C	14.95	-	V
Output Current (Sink)	IOL5	VDD = 5V, VOUT = 0.4V		1	+25°C	0.53	-	mA
Output Current (Sink)	IOL10	VDD = 10V, VOUT = 0.5V		1	+25°C	1.4	-	mA
Output Current (Sink)	IOL15	VDD = 15V, VOUT = 1.5V		1	+25°C	3.5	-	mA
Output Current (Source)	IOH5A	VDD = 5V, VOUT = 4.6V		1	+25°C	-	-0.53	mA
Output Current (Source)	IOH5B	VDD = 5V, VOUT = 2.5V		1	+25°C	-	-1.8	mA
Output Current (Source)	IOH10	VDD = 10V, VOUT = 9.5V		1	+25°C	-	-1.4	mA
Output Current (Source)	IOH15	VDD = 15V, VOUT = 13.5V		1	+25°C	-	-3.5	mA
N Threshold Voltage	VNTH	VDD = 10V, ISS = -10µA		1	+25°C	-2.8	-0.7	V
P Threshold Voltage	VPTH	VSS = 0V, IDD = 10µA		1	+25°C	0.7	2.8	V
Functional	F	VDD = 2.8V, VIN = VDD or GND		7	+25°C	VOH > VDD/2	VOL < VDD/2	V
		VDD = 20V, VIN = VDD or GND		7	+25°C			
		VDD = 18V, VIN = VDD or GND		8A	+125°C			
		VDD = 3V, VIN = VDD or GND		8B	-55°C			
Input Voltage Low (Note 2)	VIL	VDD = 5V, VOH > 4.5V, VOL < 0.5V		1, 2, 3	+25°C, +125°C, -55°C	-	1.5	V
Input Voltage High (Note 2)	VIH	VDD = 5V, VOH > 4.5V, VOL < 0.5V		1, 2, 3	+25°C, +125°C, -55°C	3.5	-	V
Input Voltage Low (Note 2)	VIL	VDD = 15V, VOH > 13.5V, VOL < 1.5V		1, 2, 3	+25°C, +125°C, -55°C	-	4	V
Input Voltage High (Note 2)	VIH	VDD = 15V, VOH > 13.5V, VOL < 1.5V		1, 2, 3	+25°C, +125°C, -55°C	11	-	V
3 State Leakage Current	IOZL	VIN = VDD or GND VOUT = 0V	VDD = 20V	1	+25°C	-100	-	nA
				2	+125°C	-1000	-	nA
			VDD = 18V	3	-55°C	-100	-	nA
3 State Leakage Current	IOZH	VIN = VDD or GND VOUT = VDD	VDD = 20V	1	+25°C	-	100	nA
				2	+125°C	-	1000	nA
			VDD = 18V	3	-55°C	-	100	nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	CONDITIONS (NOTE 1)	GROUP A SUBGROUPS	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
Quiescent Leakage Phase Comparator (Bias Amp Leakage)	BIAS LKG	VDD = 20V, VIN = VDD or GND PIN 14 Open Pin 5 = VDD	1	+25°C	-	4	mA
			3	-55°C	-	4	mA
		VDD = 20V, VIN = VDD or GND PIN 14 = VSS or VDD Pin 5 = VDD	1	+25°C	-	160	µA
			3	-55°C	-	160	µA

NOTES: 1. All voltages referenced to device GND, 100% testing being implemented.
2. Go/No Go test with limits applied to inputs.
3. For accuracy, voltage is measured differentially to VDD. Limit is 0.050V max.

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS (NOTE 1)	GROUP A SUBGROUPS	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
AC Coupled Signal Input Voltage Sensitivity (Peak to Peak)	VS	VDD = 5V, Input Frequency = 100kHz Sine Wave	9	+25°C	-	360	mV

NOTES:
1. Go/No Go test with limits applied to inputs.

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
Output Voltage	VOL	VDD = 5V, No Load	1, 2	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOL	VDD = 10V, No Load	1, 2	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOH	VDD = 5V, No Load	1, 2	+25°C, +125°C, -55°C	4.95	-	V
Output Voltage	VOH	VDD = 10V, No Load	1, 2	+25°C, +125°C, -55°C	9.95	-	V
Output Current (Sink)	IOL5	VDD = 5V, VOUT = 0.4V	1, 2	+125°C	0.36	-	mA
				-55°C	0.64	-	mA
Output Current (Sink)	IOL10	VDD = 10V, VOUT = 0.5V	1, 2	+125°C	0.9	-	mA
				-55°C	1.6	-	mA
Output Current (Sink)	IOL15	VDD = 15V, VOUT = 1.5V	1, 2	+125°C	2.4	-	mA
				-55°C	4.2	-	mA
Output Current (Source)	IOH5A	VDD = 5V, VOUT = 4.6V	1, 2	+125°C	-	-0.36	mA
				-55°C	-	-0.64	mA
Output Current (Source)	IOH5B	VDD = 5V, VOUT = 2.5V	1, 2	+125°C	-	-1.15	mA
				-55°C	-	-2.0	mA
Output Current (Source)	IOH10	VDD = 10V, VOUT = 9.5V	1, 2	+125°C	-	-0.9	mA
				-55°C	-	-1.6	mA
Output Current (Source)	IOH15	VDD =15V, VOUT = 13.5V	1, 2	+125°C	-	-2.4	mA
				-55°C	-	-4.2	mA
Input Voltage Low	VIL	VDD = 10V, VOH > 9V, VOL < 1V	1, 2	+25°C, +125°C, -55°C	-	3	V
Input Voltage High	VIH	VDD = 10V, VOH > 9V, VOL < 1V	1, 2	+25°C, +125°C, -55°C	+7	-	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	CONDITIONS		NOTES	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
Quiescent Leakage Phase Comparator (Bias Amp Leakage)	BIAS LKG	VDD = 5 VIN = VDD or GND	Pin 14 Open Pin 5 = VDD	1, 2	+25°C/-55°C	-	0.2	mA
			Pin 14 = VSS or VDD Pin 5 = VDD	1, 2	+25°C/-55°C	-	20	µA
		VDD = 10 VIN = VDD or GND	Pin 14 Open Pin 5 = VDD	1, 2	+25°C/-55°C	-	1.0	mA
			Pin 14 = VSS or VDD Pin 5 = VDD	1, 2	+25°C/-55°C	-	40	µA
		VDD = 15 VIN = VDD or GND	Pin 14 Open Pin 5 = VDD	1, 2	+25°C/-55°C	-	1.5	mA
			Pin 14 = VSS or VDD Pin 5 = VDD	1, 2	+25°C/-55°C	-	80	µA
AC Coupled Signal Input Voltage Sensitivity (Peak to Peak)	VS	VDD = 10V, Input Frequency = 100kHz Sine Wave		1, 2	+25°C	-	660	mV
		VDD = 15V, Input Frequency = 100kHz Sine Wave		1, 2	+25°C	-	1800	mV

NOTES:

1. All voltages referenced to device GND.
2. The parameters listed on Table 3 are controlled via design or process and are not directly tested. These parameters are characterized on initial design release and upon design changes which would affect these characteristics.

TABLE 4. POST IRRADIATION ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS MIN	LIMITS MAX	UNITS
Supply Current	IDD	VDD = 20V, VIN = VDD or GND	1, 4	+25°C	-	25	µA
N Threshold Voltage	VNTH	VDD = 10V, ISS = -10µA	1, 4	+25°C	-2.8	-0.2	V
N Threshold Voltage Delta	ΔVTN	VDD = 10V, ISS = -10µA	1, 4	+25°C	-	±1	V
P Threshold Voltage	VTP	VSS = 0V, IDD = 10µA	1, 4	+25°C	0.2	2.8	V
P Threshold Voltage Delta	ΔVTP	VSS = 0V, IDD = 10µA	1, 4	+25°C	-	±1	V
Functional	F	VDD = 18V, VIN = VDD or GND	1	+25°C	VOH > VDD/2	VOL < VDD/2	V
		VDD = 3V, VIN = VDD or GND					
AC Coupled Signal Input Voltage Sensitivity	VS	VDD = 5V Input Frequency = 100kHz Sine Wave	1, 2, 3	+25°C	-	1.35 x +25°C Limit	mV

NOTES:
1. All voltages referenced to device GND.
2. Go/No Go test with limits applied to inputs.
3. See Table 2 for +25°C limit.

TABLE 5. BURN-IN AND LIFE TEST DELTA PARAMETERS +25°C

PARAMETER	SYMBOL	DELTA LIMIT
Supply Current - MSI-2	IDD	± 1.0µA
Output Current (Sink)	IOL5	± 20% x Pre-Test Reading
Output Current (Source)	IOH5A	± 20% x Pre-Test Reading

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP		METHOD	GROUP A SUBGROUPS	READ AND RECORD
Initial Test (Pre Burn-In)		100% 5004	1, 7, 9	IDD, IOL5, IOH5A
Interim Test 1 (Post Burn-In)		100% 5004	1, 7, 9	IDD, IOL5, IOH5A
Interim Test 2 (Post Burn-In)		100% 5004	1, 7, 9	IDD, IOL5, IOH5A
PDA (Note 1)		100% 5004	1, 7, 9, Deltas	
Interim Test 3 (Post Burn-In)		100% 5004	1, 7, 9	IDD, IOL5, IOH5A
PDA (Note 1)		100% 5004	1, 7, 9, Deltas	
Final Test		100% 5004	2, 3, 8A, 8B, 10, 11	
Group A		Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group B	Subgroup B-5	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11, Deltas	Subgroups 1, 2, 3, 9, 10, 11
	Subgroup B-6	Sample 5005	1, 7, 9	
Group D		Sample 5005	1, 2, 3, 8A, 8B, 9	Subgroups 1, 2 3

NOTE: 1. 5% Parameteric, 3% Functional; Cumulative for Static 1 and 2.

TABLE 7. TOTAL DOSE IRRADIATION

CONFORMANCE GROUPS	METHOD	TEST		READ AND RECORD	
		PRE-IRRAD	POST-IRRAD	PRE-IRRAD	POST-IRRAD
Group E Subgroup 2	5005	1, 7, 9	Table 4	1, 9	Table 4

TABLE 8. BURN-IN AND IRRADIATION TEST CONNECTIONS

FUNCTION	OPEN	GROUND	VDD	9V ± -0.5V	OSCILLATOR	
					50kHz	25kHz
Static Burn-In 1 Note 1	1, 2, 4, 6, 7, 10, 11, 13, 15	3, 5, 8, 9, 14	12, 16			
Static Burn-In 2 Note 1	1, 2, 4, 6, 7, 10, 11, 13, 15	8	3, 5, 9, 12, 14, 16			
Dynamic Burn-In Note 1	1, 2, 4, 6, 7, 10, 11, 13, 15	8, 9	3, 5, 12, 16	2	14	-
Irradiation Note 2	1, 2, 4, 6, 7, 10, 11, 13, 15	8	3, 5, 9, 12, 14, 16			

NOTE:

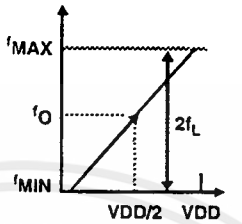
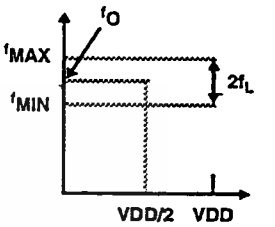
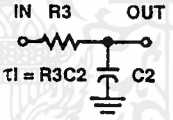
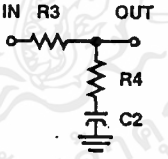
1. Each pin except VDD and GND will have a series resistor of 10K ± 5%, VDD = 18V ± 0.5V
2. Each pin except VDD and GND will have a series resistor of 47K ± 5%; Group E, Subgroup 2, sample size is 4 dice/wafer, 0 failures, VDD = 10V ± 0.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the values of external components for the CD4046BMS in a Phase-Locked-Loop system. The selected external components must be within the following ranges:

$5k\Omega \le R1, R2, RS \le 1M\Omega$ $\quad C1 \ge 100pF$ at $VDD \ge 5V$ $\quad C1 \ge 50pF$ at $VDD \ge 10V$

CHARACTERISTICS	PHASE COMPARATOR USED	DESIGN INFORMATION
VCO Frequency	1	VCO Without Offset R2 = ∞  VCO INPUT VOLTAGE VCO With Offset  VCO INPUT VOLTAGE
	2	Same as for Number 1
For Number Signal Input	1	VCO will adjust to center frequency, fo
	2	VCO will adjust to lowest operating frequency, fmin
Frequency Lock Range, 2fL	1, 2	2fL = full VCO frequency range
	1, 2	2fL = fmax - fmin
Frequency Capture Range, 2fC	1	 (1), (2) $2fC = \frac{1}{\pi}\sqrt{\frac{2\pi fL}{\tau 1}}$
Loop Filter Component Selection		 For 2 fC, see Ref. (2)
	2	fC = fL
Phase Angle Between Signal and Comparator	1	90° at center frequency (fo) approximating 0° and 180° at ends of lock range (2fL)
	2	Always 0° in lock.
Locks On Harmonic of Center Frequency	1	Yes
	2	No
Signal Input Noise Rejection	1	High
	2	Low

For further information, see
(1) F. Gardner, "Phase-Lock Techniques" John Wiley and Sons, New York 1966
(2) G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

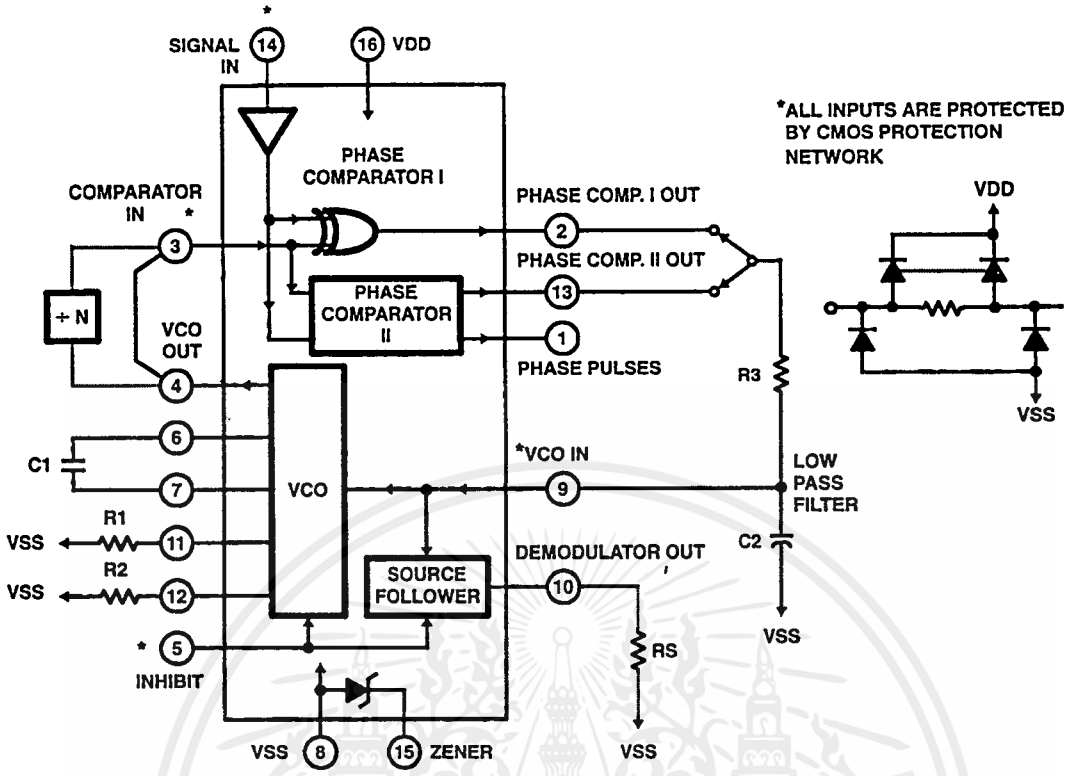
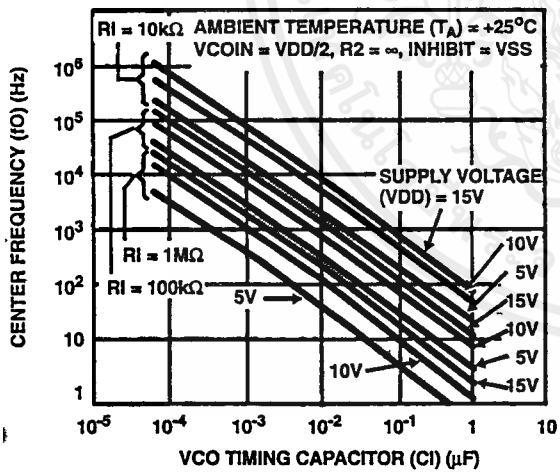


FIGURE 3. CMOS PHASE-LOCKED LOOP BLOCK DIAGRAM

Typical Performance Characteristics



TYPICAL CENTER FREQUENCY UNIT-TO-UNIT VARIATION

VDD (V)	Δf/fO (%)
5	±50
10	±30
15	±35

FIGURE 4. TYPICAL CENTER FREQUENCY AS A FUNCTION OF C1 AND R1 AT VDD = 5V, 10V, AND 15V

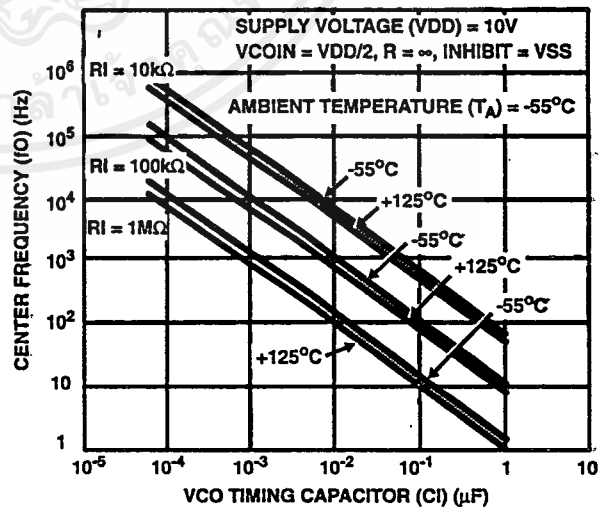
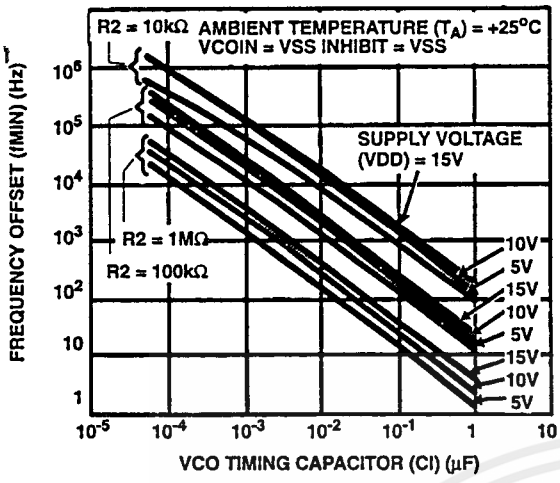


FIGURE 5. CENTER FREQUENCY AS A FUNCTION OF C1 AND R1 FOR AMBIENT TEMPERATURE OF -55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



TYPICAL fMIN UNIT-TO-UNIT VARIATION

VDD (V)	ΔfMIN/fMIN (%)
5	±25
10	±20
15	±25

FIGURE 6. TYPICAL FREQUENCY OFFSET AS A FUNCTION OF C1 AND R2 FOR VDD = 5V, 10V, AND 15V

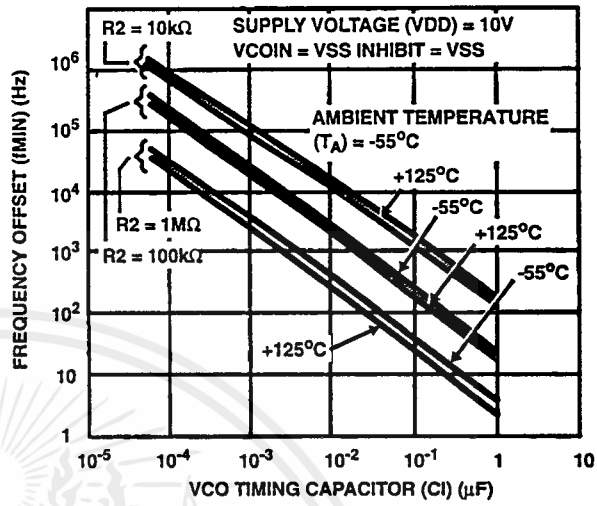
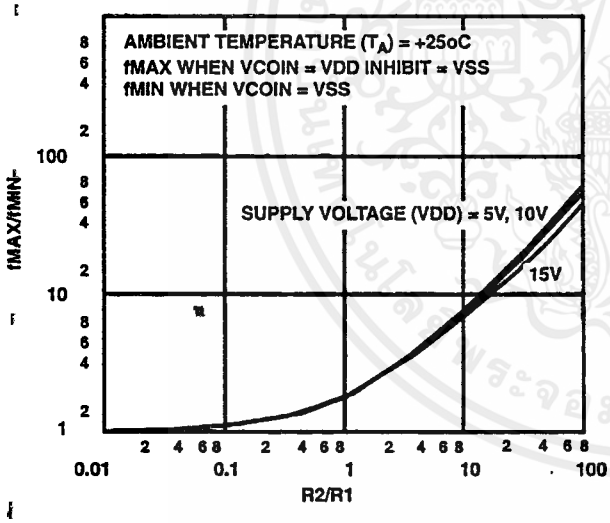


FIGURE 7. FREQUENCY OFFSET AS A FUNCTION OF C1 AND R2 FOR AMBIENT TEMPERATURES OF -55°C to 125°C



TYPICAL fMAX/fMIN UNIT-TO-UNIT VARIATION

VDD (V)	fMAX/fMIN (%)
5	±12
10	±8
15	±12

FIGURE 8. TYPICAL fMAX/fMIN AS A FUNCTION OF R2/R1

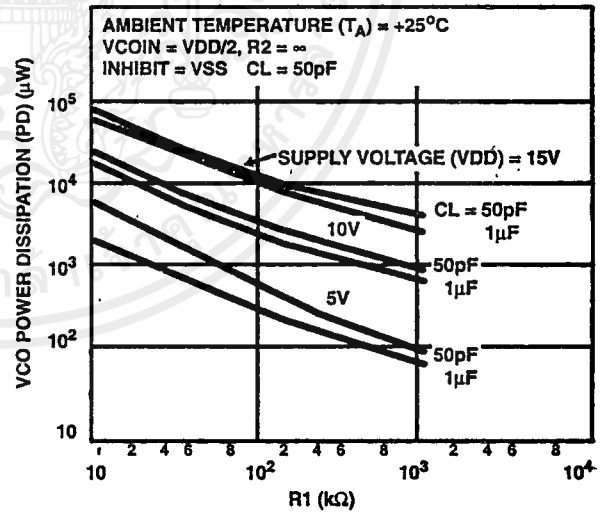


FIGURE 9. TYPICAL VCO POWER DISSIPATION AT CENTER FREQUENCY AS A FUNCTION OF R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

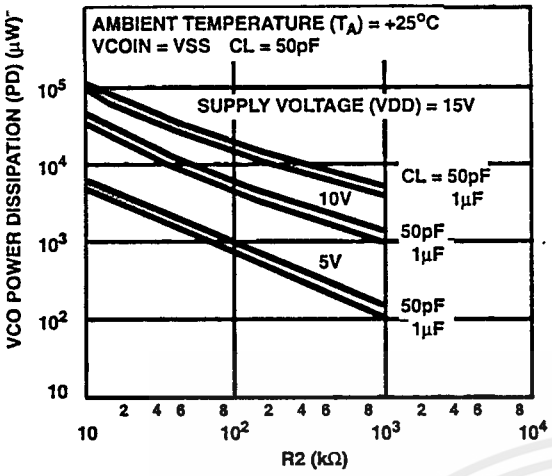


FIGURE 10. TYPICAL VCO POWER DISSIPATION AT fMIN AS A FUNCTION OF R2

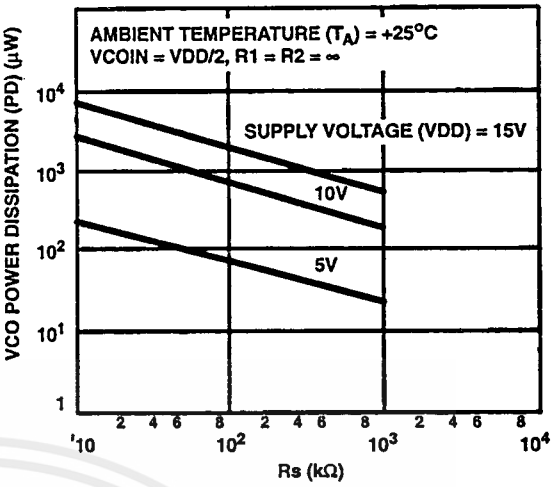


FIGURE 11. TYPICAL SOURCE FOLLOWER POWER DISSIPATION AS A FUNCTION OF RS

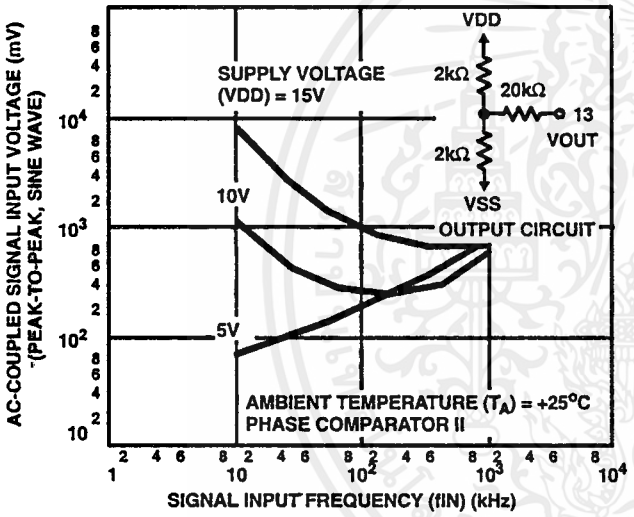


FIGURE 12. AC-COUPLED SIGNAL INPUT VOLTAGE AS A FUNCTION OF SIGNAL INPUT FREQUENCY

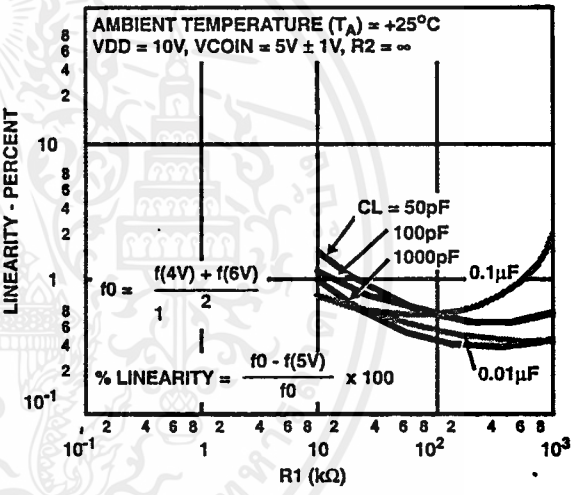


FIGURE 13. TYPICAL VCO LINEARITY AS A FUNCTION OF R1 AND C1 AT VDD = 10V

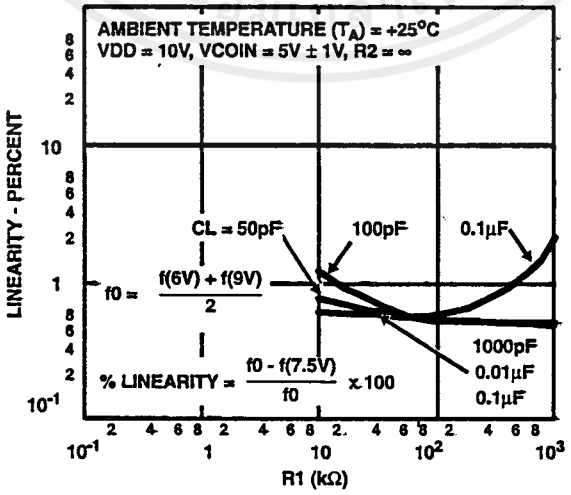
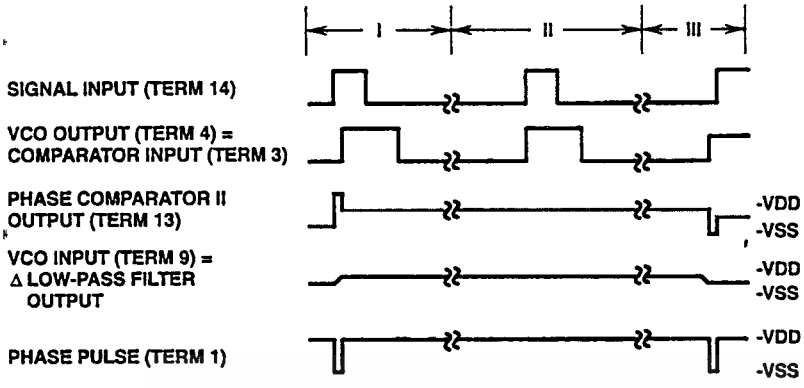


FIGURE 14. TYPICAL VCO LINEARITY AS A FUNCTION OF R1 AND C1 AT VDD = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: DASHED LINE IS AN OPEN CIRCUIT CONDITION (3RD STATE)

FIGURE 15. TYPICAL WAVEFORMS FOR COS/MOS PHASE-LOCKED LOOP EMPLOYING PHASE COMPARATOR II IN LOCKED CONDICTION

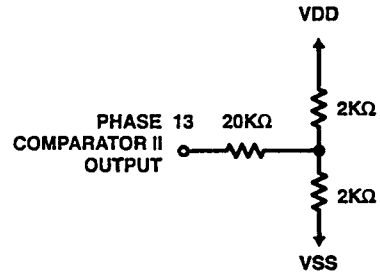
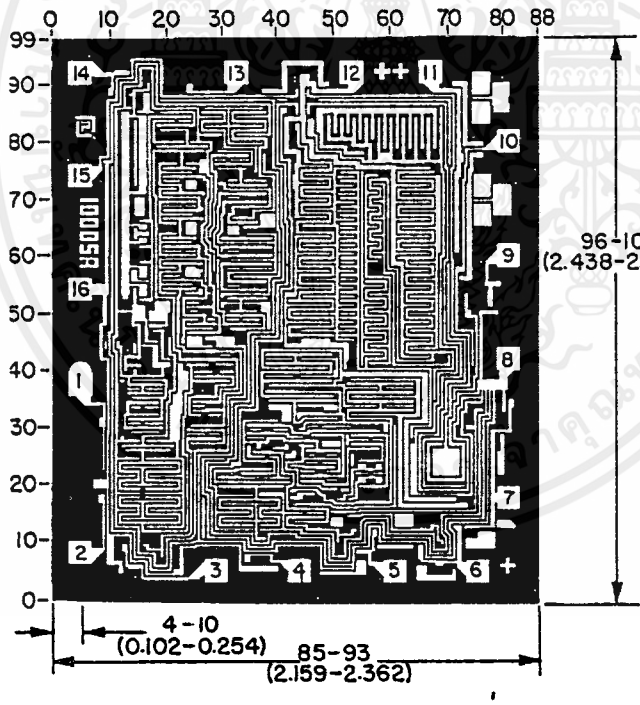


FIGURE 16. PHASE COMPARATOR II OUTPUT LOADING CIRCUIT

Chip Dimensions and Pad Layout



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch)

METALLIZATION: Thickness: 11kÅ – 14kÅ, AL.

PASSIVATION: 10.4kÅ - 15.6kÅ, Silane

BOND PADS: 0.004 inches X 0.004 inches MIN

DIE THICKNESS: 0.0198 inches - 0.0218 inches

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] นายพนม อิสรทะ และ นายวัลยา ศรีสุข, "การสื่อสารข้อมูลดิจิตอลผ่านเส้นใยแสง" , ปริญญานิพนธ์ ปีการศึกษา 2537 ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

[2] Clyde F .Combs,JR , "Basic Electronic Instrument Handbook", McGraw-Hill Book Company.

[3] Robertl.Daton , "Guide to Integrating Digital Services" , Intertext Publications McGraw-Hill Book Company New York.

[4] Lious E.Frenzel, JR , "Communication Electronic" , McGraw-Hill Publishing Company.

[5] Wayne Tomasi , "Advance Electronic Communication system" , Prentice Hall International,Inc.

[6] Adel S.Sedra and Kenneth C.Smith , "Microelectronic Circuit" , Saumders College Publishing.

[7] Bernardsklars , "Digital Communications Fundamentals and Applications" , Prentice Hall International,Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้