เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

โดย

นาย พีรวัสน์ พงษ์โพนทอง

นาย ชุติกานต์ ภูมิศรีแก้ว

วัน เดือน ปี 17 ตค. 2541

เลขทะเบียน 039056

เลขเรียกหนังสือ โ ม๐๑๙ พ ๒๑๔

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039056

เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

โดย

นาย พีรวัสน์ พงษ์โพนทอง 38013024

นาย ชุติกานต์ ภูมิศรีแก้ว 38013056

อาจารย์ที่ปรึกษา

ดร.สุทธิชัย นพนาคีพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

ผู้จัดทำ

1. นาย พีรวัสน์ พงษ์โพนทอง 38013024
2. นาย ชุติกานต์ ภูมิศรีแก้ว 38013056

.....อาจารย์ที่ปรึกษา

(ดร.สุทธิชัย นพนาคีพงษ์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

โดย นายพีรวัสน์ พงษ์โพนทอง
นายชุติกานต์ ภูมิศรีแก้ว
อาจารย์ที่ปรึกษา ดร.สุทธิชัย นพนาคีพงษ์
ปีการศึกษา 2540

บทคัดย่อ

เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์นี้เป็นเครื่องส่งที่ออกแบบเพื่อใช้ส่งสัญญาณ เอฟเอ็มสเตอริโอมัลติเพล็กซ์ในย่านความถี่ระหว่าง 88 - 108 MHz สามารถเลือกความถี่ได้ $\pm$ 25 kHz กำลังส่งสูงสุด 2 วัตต์ สามารถทำโปรแกรมเลือกความถี่ควบคุมด้วยบอร์ดควบคุม

ABSTRACT

FM stereo multiplex transmitter is designed to transmit FM stereo multiplex signals with 88 - 108 MHz frequency range.The selected frequency is $\pm$ 25 kHz .The maximum output power is 2 watts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	ก
สารบัญ	ข
บทที่ 1 บทนำ	1
1.1) การส่งวิทยุกระจายเสียง	1
1.2) เครื่องส่งสเตอริโอมัลติเพล็กซ์	1
บทที่ 2 ทฤษฎีและหลักการเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์	3
2.1) การมอดูเลตทางความถี่	3
2.2) ดัชนีการมอดูเลต	4
2.3) ไซด์แบนด์ FM	5
2.4) แบนด์วิดท์ของสัญญาณ FM	7
2.5) พรีเอ็มฟาสิสและดีเอ็มฟาสิส	7
2.6) หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์และเอสซีเอ	9
2.7) บาลานซ์มอดูเลเตอร์	10
บทที่ 3 หลักการโดยทั่วไปของการสังเคราะห์ความถี่	11
3.1) ระบบสังเคราะห์ความถี่	11
3.2) เฟสล็อกลูป	11
3.3) คุณสมบัติของวงจรสังเคราะห์ความถี่	15
3.4) การวิเคราะห์เฟสล็อกลูป	16
3.5) เฟสดีเทคเตอร์	18
3.6) ลูปฟิลเตอร์	23
3.7) วงจรผลิตความถี่ควบคุมด้วยแรงดัน	29
บทที่ 4 การออกแบบวงจรใช้งาน	31
4.1) วงจรผลิตคลื่นพาห์ความถี่สูง	31
4.2) การออกแบบ VCO	31
4.3) การออกแบบวงจรกรองความถี่ต่ำ	34
4.4) การออกแบบวงจร Stereo Multiplex	35
4.5) โปรแกรมควบคุมการเลือกความถี่	35
4.6) การออกแบบวงจร RF Amplifier	35
บทที่ 5 สรุปผลการทดลองและวิจารณ์	38
5.1) การทดลองวงจรภาคเฟสล็อกลูป	38
5.2) การทดสอบภาค Modulate	41
5.3) การทดลองภาคสเตอริโอมัลติเพล็กซ์	44
5.4) การทดสอบ VCO	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5) สรุปผลการทดลองและวิจารณ์

ภาคผนวก

- วงจรใช้งานและบล๊อกไดอะแกรม
- โปรแกรมควบคุมการเลือกความถี่
- ข้อมูลอุปกรณ์

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

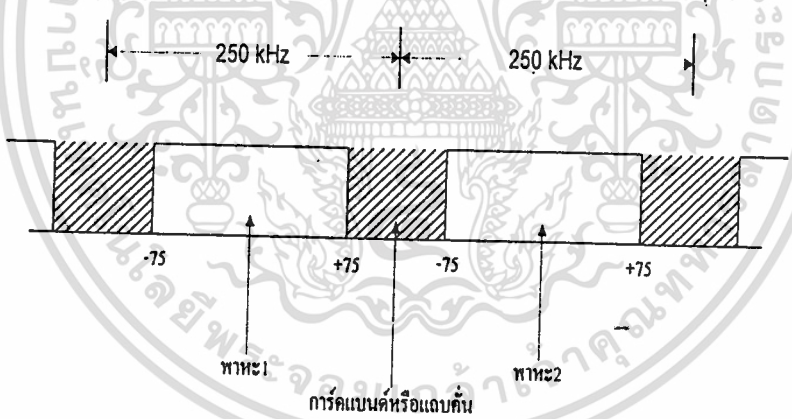
1.1) การส่งวิทยุกระจายเสียง

วิทยุกระจายเสียงที่สำคัญ ๆ ในประเทศไทยมี 2 ระบบ คือ ระบบวิทยุ AM และ ระบบวิทยุ FM (บางสถานีเป็น FM ธรรมดาและ บางสถานีเป็น FM สเตอริโอมัลติเพล็กซ์) ซึ่งจำนวนสถานีส่งวิทยุก็มีอยู่นับร้อยสถานี คณะกรรมการบริหารวิทยุกระจายเสียงและโทรทัศน์ ได้วางระเบียบการส่งกระจายเสียงไว้เพื่อป้องกันมิให้เกิดการรบกวนระหว่างกัน โดยยึดมาตรฐานสากล

ในระบบFM จะใช้ย่านความถี่ตั้งแต่ 88 เมกะเฮิรตซ์ ถึง108 เมกะเฮิรตซ์ คลื่น FM ของแต่ละสถานีมีแบนด์วิดท์ได้ไม่เกิน 200กิโลเฮิรตซ์ ความเที่ยงตรงของความถี่พาหะผิดพลาดไม่เกิน 20 ส่วนในล้านส่วน (20 / 1,000,000)หรือ 0.00002 คลื่นแปลกปลอมที่เล็ดลอดจากเครื่องส่งต้องมีค่าไม่เกิน 1 มิลลิวัตต์ (หรือต่ำกว่าคลื่นพาหะไม่น้อยกว่า 60 dB)

สำหรับมอดูเลเตอร์ FM จะต้องมีวงจรป้องกันโอเวอร์มอด (Over mod)โดยสัญญาณเสียงที่ใช้มอดูเลตมีความถี่อยู่ในช่วงระหว่าง 50 ถึง 15000 เฮิรตซ์

สัญญาณ FM ต้องมีการเบี่ยงเบน (deviation) ไม่เกิน $\pm$ 75 kHz (ดูรูป) สังเกตว่ามีการ์ดแบนด์ (guard band) คั่นระหว่างช่องสถานีเพื่อป้องกันการรบกวนเข้าช่องอีกด้วย



รูปที่ 1.1 แสดงแบนด์วิดท์และการ์ดแบนด์ของ FM

1.2) เครื่องส่งสเตอริโอมัลติเพล็กซ์

ในรูปที่ 1.2 แสดงแผนผังของเครื่องส่งระบบสเตอริโอมัลติเพล็กซ์ สัญญาณจากไมโครโฟนแชนเนลซ้าย (L) และ ขวา (R) จะผ่านวงจรขยายแล้วนำมาป้อนแก่วงจรบวก A เกิดเป็นสัญญาณ (L + R) สำหรับสัญญาณ (R) อีกทางหนึ่งจะผ่านวงจรอินเวอร์เตอร์ (วงจรขยายธรรมดา) เพื่อกลับเฟสให้เป็น (-R) แล้วป้อนเข้าวงจรบวก B เพื่อบวกกับสัญญาณ L เกิดเป็นสัญญาณ (L-R)

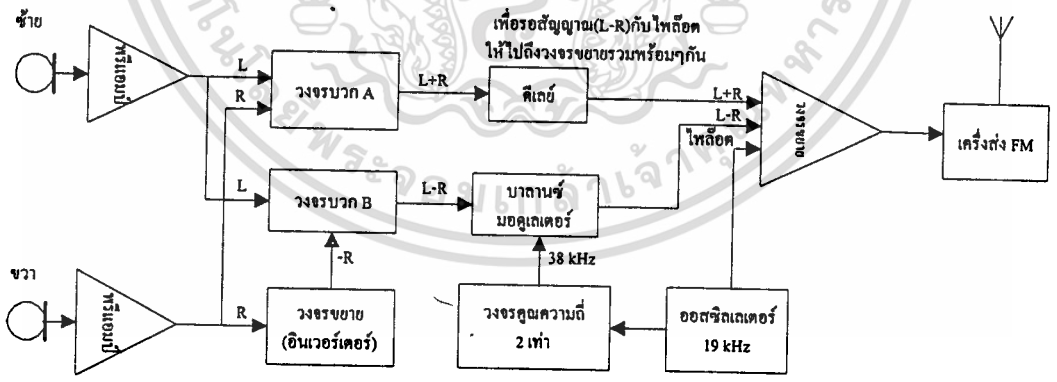
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ (L-R) จะป้อนไปให้วงจรบาลานซ์มอดูเลเตอร์ (BM) โดยใช้พาหะรอง 38 kHz พาหะรองนี้เกิดจากออสซิลเลเตอร์ 19 kHz มาคูณสองเท่าโดยวงจรคูณความถี่ที่ได้จาก BM จะเป็นสัญญาณ DSB ของ (L-R) สัญญาณนี้จะผ่านการขยายแล้วป้อนภาคส่ง เช่นเดียวกับสัญญาณ (L + R) ซึ่งต้องหน่วงเวลาเล็กน้อยเพื่อชดเชยเวลาที่สัญญาณ (L-R) ต้องเสียไปในการมอดูเลต ทำให้สัญญาณทั้ง (L+R) และ (L-R) มาถึงภาคส่งพร้อมกันนอกจากนั้นสัญญาณไพล็อต 19 kHz ออสซิลเลเตอร์ก็ป้อนให้ภาคส่งด้วย สัญญาณทั้งหมดจะถูกมอดูเลตแบบ FM โดยใช้พาหะร่วมกัน

มาตรฐานวิทยุกระจายเสียง FM กำหนดไว้ว่า ความถี่เบี่ยงเบนจะต้องเท่ากับ $\pm$ 75 kHz ไม่ว่าจะเป็นโมโนหรือสเตอริโอ ดังนั้น ในระบบสเตอริโอสัญญาณเสียงจะต้องลดเปอร์เซ็นต์การมอดูเลตลงไปเล็กน้อย

เนื่องจากเราต้องมอดูเลตสัญญาณไพล็อต 19 kHz ลงไปด้วย สัญญาณไพล็อตนี้จะมอดูเลตไว้ 10 เปอร์เซ็นต์ของความถี่เบี่ยงเบนสูงสุด $\pm$ 75 kHz หรือ $\pm$ 75 kHz $\times$ 10 เปอร์เซ็นต์ = $\pm$ 7.5 kHz ฉะนั้นสัญญาณเสียงที่เข้ามามอดูเลต จึงมอดูเลตลดลงไปอีก 90 เปอร์เซ็นต์ กับ 100 เปอร์เซ็นต์ ผิดกันเพียง 10 เปอร์เซ็นต์เท่านั้น ผู้ฟังจะสังเกตไม่ออกว่าความดังลดลง

สังเกตว่า ในส่วนที่เข้ามามอดูเลต 90 เปอร์เซ็นต์ของสัญญาณเสียงนี้ ยังต้องแบ่งอีกเป็น 2 ส่วน สำหรับ (L+R) กับ (L-R) เท่า ๆ กันอีก แต่ความจริงไม่เป็นเช่นนั้น เพราะสัญญาณ (L+R) กับ (L-R) รวมกันจะไม่ทำให้ความถี่เบี่ยงเบนเพิ่มขึ้นเป็นสองเท่า เนื่องจากเมื่อสัญญาณ (L+R) มีค่ามากสัญญาณ (L-R) จะมีค่าน้อยและในทางกลับกัน เมื่อสัญญาณ (L+R) มีค่าน้อย สัญญาณ (L-R) จะกลับมีค่ามาก ดังนั้นการเบี่ยงเบนความถี่จะไม่มีโอกาสเกินได้



รูปที่1.2 แสดงหลักการของเครื่องส่งระบบสเตอริโอมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

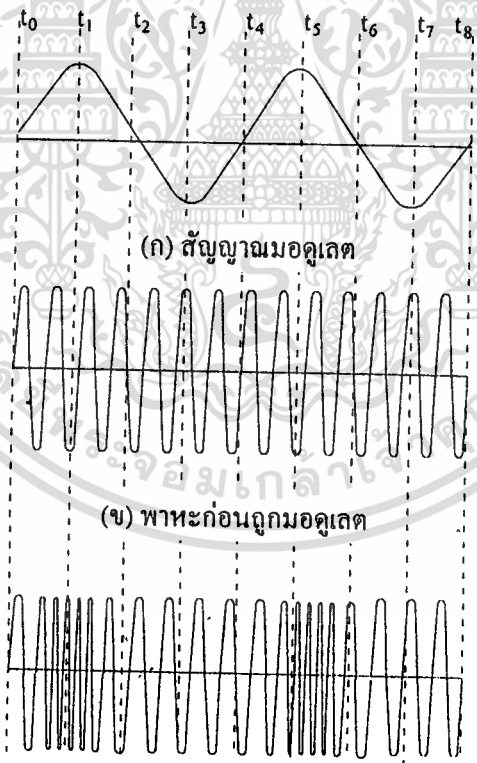
ทฤษฎีและหลักการเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์

2.1) การมอดูเลตทางความถี่

รูปคลื่นของสัญญาณ FM เกิดจากสัญญาณมอดูเลต ดังรูปที่ 2.1 (ก) เช่นสัญญาณเสียงซึ่งเป็นข่าวสารเข้าไปมอดูเลตลงบนสัญญาณพาหะดังรูปที่ 2.1(ข) สัญญาณพาหะหลังจากมอดูเลตแล้วในรูปที่ 2.1 (ก) เป็นสัญญาณในรูป2.1(ค) เป็นสัญญาณ FM จะเห็นว่าที่เวลา t_0 สัญญาณ FM อยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะจะเพิ่มขึ้นสูงสุด นั่นคือ สัญญาณมอดูเลตถึงจุดยอดสุด (สัญญาณมอดูเลตมีขนาดสูงสุดนั่นเอง) ที่เวลา t_1

ที่เวลา t_2 สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของสัญญาณพาหะก็จะลดลงมาที่ความถี่กลางดังเดิม หลังจากเวลาสัญญาณมอดูเลตมีค่าตกลงต่ำกว่าศูนย์กลายเป็นลบ สัญญาณพาหะจะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อสัญญาณมอดูเลตกลับเป็นศูนย์อีกครั้งหนึ่ง ความถี่ของพาหะก็จะกลับมายังความถี่ของพาหะก็คือ ความถี่กลางดังเดิม

ในช่วงเวลา t_4 ถึง t_6 ก็จะซ้ำแบบเดิมไปเรื่อย ๆ สรุปแล้วความถี่ของสัญญาณพาหะจะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณมอดูเลต และพาหะยังคงอยู่ที่ความถี่กลาง เมื่อสัญญาณมอดูเลตเป็นศูนย์



(ก) สัญญาณมอดูเลต

(ข) พาหะก่อนถูกมอดูเลต

(ค)พาหะที่มอดูเลตทาง FM แล้ว

รูปที่ 2.1 แสดงการมอดูเลตทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลาง เรียกว่า ความถี่เบี่ยงเบน (frequency deviation) ตัวอย่างเช่น พาหะมีความถี่ 100 เมกะเฮิรตซ์ ลดลงต่ำสุดเป็น 99.9 เมกะเฮิรตซ์ และเพิ่มขึ้นสูงสุดเป็น 100.1 เมกะเฮิรตซ์ สลับไปมาเช่นนี้ หมายความว่า ช่วงความถี่เบี่ยงเบนเท่ากับ 0.1 เมกะเฮิรตซ์ หรือ 100 กิโลเฮิรตซ์ อัตราการเปลี่ยนแปลงความถี่ของสัญญาณ FM ขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามามอดูเลต

สำหรับแอมพลิจูดของสัญญาณมอดูเลตจะเป็นตัวกำหนดช่วงความถี่เบี่ยงเบน ตัวอย่างเช่น สัญญาณโทนที่มีแอมพลิจูดสูงจะทำให้ความถี่เบี่ยงเบนไป $\pm$ 100 กิโลเฮิรตซ์ สัญญาณโทนที่มีแอมพลิจูดน้อยลง จะทำให้ความถี่เบี่ยงเบนไป $\pm$ 50 กิโลเฮิรตซ์

กล่าวโดยสรุป สัญญาณ FM มีคุณสมบัติที่สำคัญดังนี้

1. มีแอมพลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนแปลงตามสัญญาณที่เข้ามามอดูเลต
2. อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะเท่ากับความถี่ของสัญญาณที่เข้ามามอดูเลต
3. ช่วงความถี่เบี่ยงเบนเป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้า

2.2) ดัชนีการมอดูเลต

ในระบบ AM ปริมาณการมอดูเลต เรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่น AM ทั้งด้านต่ำสุดและสูงสุดแต่ในระบบ FM เราวัดเปอร์เซ็นต์การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = f_d / f_m \quad (\text{ของระบบ FM})$$

ในที่นี้ f_d คือ ช่วงความถี่เบี่ยงเบน

f_m คือ ความถี่ของสัญญาณที่เข้ามามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะอยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิรตซ์ สมมุติว่าเราใช้สัญญาณเสียง 1 กิโลเฮิรตซ์มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = 75 \text{ kHz} / 1 \text{ kHz} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามามอดูเลต ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด ($f_{d\,max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลต ($f_{m\,max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบนจะเท่ากับ

$$\text{อัตราการเบี่ยงเบน} = f_{d\,max} / f_{m\,max}$$

$$= 75 \text{ kHz} / 15 \text{ kHz} = 5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบ AM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามามอดูเลตเพื่อให้เปอร์เซ็นต์การมอดูเลตสูงขึ้นการเปลี่ยนแปลงแอมพลิจูด (กรอบคลื่น)ของพาหะจะเปลี่ยนแปลงมากขึ้น แต่ในระบบFMเมื่อแอมพลิจูดของสัญญาณที่เข้ามามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ได้ไม่เกิน 75 กิโลเฮิรตซ์ ถ้าเรามอดูเลตทำให้ความถี่เบี่ยงเบนไปเท่ากับ 75 กิโลเฮิรตซ์ แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = (f_d / f_{d\ max}) \times 100$$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบนเนื่องจากสัญญาณที่เข้ามามอดูเลต

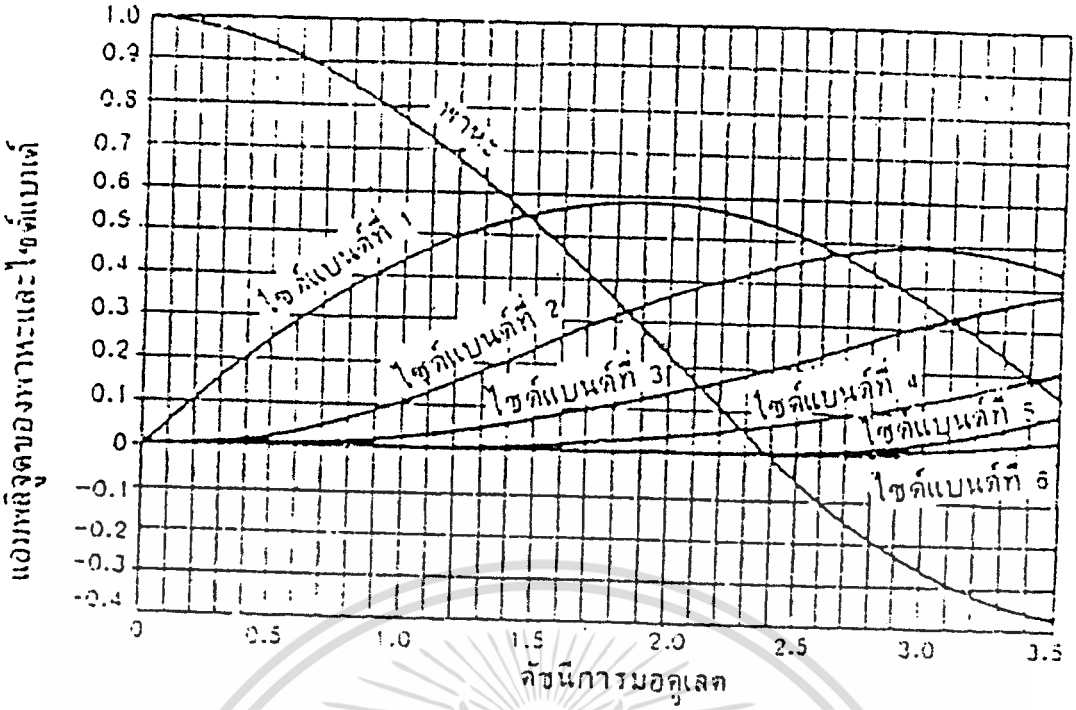
$f_{d\ max}$ คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

2.3)ไซด์แบนด์ FM

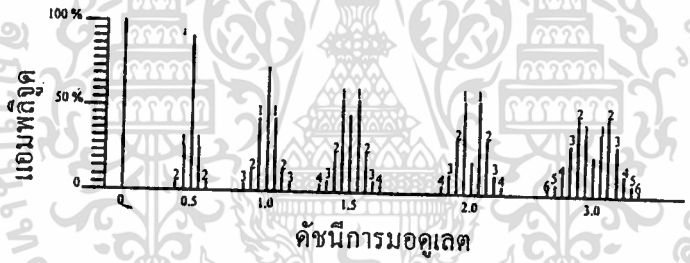
ความแตกต่างระหว่างระบบ AM กับ FMที่เห็นได้ชัดก็คือไซด์แบนด์ระบบ AM ถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนด์จำนวน 2 ตัว คือ USB และ LSB แต่ในระบบ FM ถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนด์จำนวนอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมาก ๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง ในระบบ AM ไซด์แบนด์อาจเสริมหรือหักล้างจากพาหะที่มีแอมพลิจูดคงที่ ซึ่งมีผลให้กรอบคลื่นของพาหะเปลี่ยนแปลง แต่ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่า กำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดูเลต เนื่องจาก ดัชนีการมอดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญ และ แอมพลิจูดของพาหะกับไซด์แบนด์ต่าง ๆ จะเห็นว่าเมื่อดัชนีการมอดูเลตเป็นศูนย์ จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์ เมื่อดัชนีการมอดูเลตเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ที่ไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงข้ามกับตอนแรกเช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ - 0.3 หน่วย)

กราฟในรูปที่ 2.2 เขียนได้เป็นดังตารางที่ 2.1 เพื่อให้ดูง่ายขึ้นในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดูเลต) ออกโดยไม่คำนึงถึง เช่น เมื่อดัชนีการมอดูเลตเท่ากับ 0.5 แอมพลิจูด ของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยมากจนสามารถตัดทิ้งไปได้เมื่อดัชนีการมอดูเลตสูงขึ้น การกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM



รูปที่ 2.3 แสดงรูปคลื่น FM ในเชิงความถี่

ดัชนีการมอดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0.00	1.00	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0.25	0.98	0.12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0.5	0.94	0.24	0.03	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1.0	0.77	0.44	0.11	0.02	-	-	-	-	-	-	-	-	-	-	-	-	-
1.5	0.51	0.56	0.23	0.06	0.01	-	-	-	-	-	-	-	-	-	-	-	-
2.0	0.22	0.58	0.35	0.13	0.03	-	-	-	-	-	-	-	-	-	-	-	-
2.5	-0.05	0.50	0.45	0.22	0.07	0.02	-	-	-	-	-	-	-	-	-	-	-
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	-	-	-	-	-	-	-	-	-	-
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	-	-	-	-	-	-	-	-	-
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	-	-	-	-	-	-	-	-
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	-	-	-	-	-	-	-
7.0	0.30	0.00	-0.30	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	-	-	-	-	-	-
8.0	0.17	0.23	-0.11	-0.29	-0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	-	-	-	-	-
9.0	-0.09	0.24	0.14	-0.18	-0.27	-0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	-	-	-
10.0	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	-	-
12.0	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12

ตารางที่ 2.1 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4) แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์ มีค่าความสัมพันธ์กับความถี่ของสัญญาณที่เข้ามามอดูเลต กล่าวคือ ไซด์แบนด์คู่แรก มีความถี่เท่ากับ $f_c + f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c + 2f_m$,...ฯลฯ

ฉะนั้นแบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือ แบนด์วิดท์ ขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามามอดูเลต แต่ดัชนีการมอดูเลตเท่ากับ f_d / f_m ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลต เราก็สามารถคำนวณหาแบนด์วิดท์ได้

ตัวอย่างเช่น ความถี่ของสัญญาณเสียงที่เข้ามามอดูเลตเท่ากับ 3 กิโลเฮิรตซ์ ความถี่เบี่ยงเบนเท่ากับ 18 กิโลเฮิรตซ์ เราคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = f_d / f_m$$
$$= 18\ kHz / 3\ kHz$$
$$= 6$$

นำค่า m = 6 ไปหาค่าไซด์แบนด์สำคัญที่พิจารณาได้จากตาราง จะเห็นว่าเมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาค่าแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3\ kHz \times 9 \times 2$$
$$= 54\ kHz$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบนด์วิดท์แบบประมาณจากค่า $f_{d\,max}$ และ $f_{m\,max}$ เลย ไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\,max}$$
หรือ $$BW = 2(f_{d\,max} + f_{m\,max})$$
เมื่อ $$m = f_{d\,max} / f_{m\,max}$$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า

$$BW = 2 \times (6+1) \times 3$$
$$= 42\ kHz$$
หรือ $$BW = 2 \times (18+3)$$
$$= 42\ kHz$$

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

2.5) พรีเอ็มฟาสิสและดีเอ็มฟาสิส

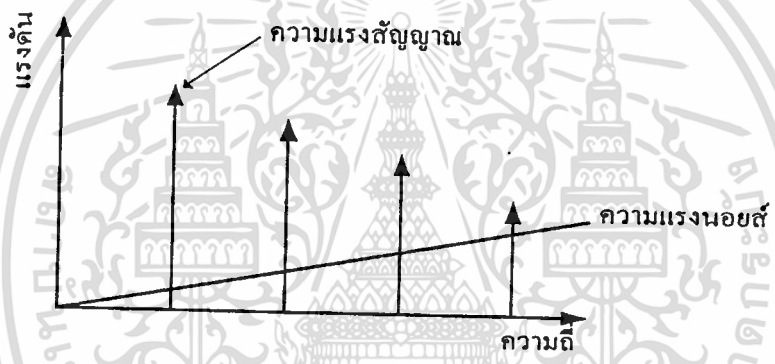
รูปคลื่นส่วนใหญ่จะประกอบด้วยองค์ประกอบฮาร์มอนิกมากมาย และทางด้านความถี่สูงมักจะมีแอมพลิจูดต่ำ ๆ ตัวอย่างเช่น เสียงพูดซึ่งอยู่ในย่านความถี่ประมาณ 20 - 20000 เฮิรตซ์ แต่เสียงพูดทั่วไปมักอยู่ในช่วง 500 เฮิรตซ์ สำหรับผู้ชาย และ 800 เฮิรตซ์ สำหรับผู้หญิง เป็นต้น แต่นอยส์ในระบบ FM จะตรงกันข้าม คือ นอยส์ FM จะมีแอมพลิจูดสูงขึ้นเป็นสัดส่วนกับความถี่ ดังนั้นเราจะเขียนรูปเทียบกันได้ดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

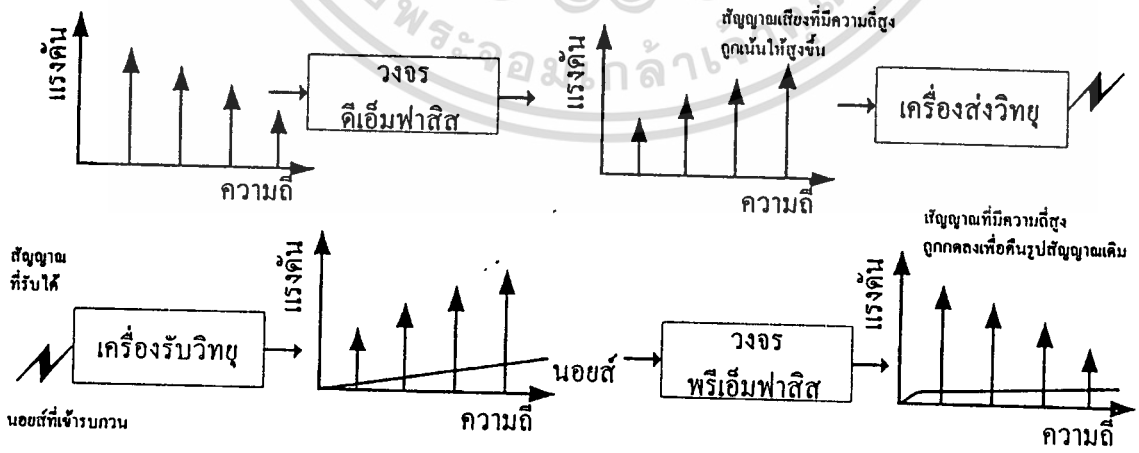
จะเห็นว่าที่ความถี่สูงจะมีนอยส์รบกวนมากกว่าด้านต่ำ วิธีการแก้ไขให้คุณภาพสัญญาณทางด้านความถี่สูงดีขึ้นก็โดยการใช้วิธีการยกระดับเน้น (emphasis) สัญญาณให้มีแอมพลิจูดสูงขึ้นในย่านความถี่สูง กรรมวิธีนี้เรียกว่า พรีเอ็มฟาสิส (pre-emphasis)

ในรูปที่ 2.4 สัญญาณมอดูเลตจะผ่านขบวนการพรีเอ็มฟาสิสที่เครื่องส่งเพื่อให้สัญญาณความถี่สูงเน้นแรงขึ้น แล้วจึงมอดูเลตที่เครื่องส่งออกอากาศต่อไป ทำให้สัญญาณความถี่สูงมีความแรงขึ้นจนนอยส์รบกวนได้ยาก เมื่อคลื่นมาถึงเครื่องรับและหลังจากทำการดีมอดแล้วเราจะต้องคืนสัญญาณที่เน้นความถี่สูงให้เหมือนเดิม ดังนั้นเราจึงต้องมีวงจรกดความถี่สูงลง กรรมวิธีนี้เรียกว่า ดีเอ็มฟาสิส (de - emphasis)

วงจรที่ใช้ในกรรมวิธีพรีเอ็มฟาสิสและดีเอ็มฟาสิส ก็คือ วงจรฟิลเตอร์นั่นเอง คุณสมบัติของวงจรฟิลเตอร์ในตอนพรีเอ็มฟาสิสกับดีเอ็มฟาสิสจะต้องเป็นตรงข้ามกัน ในระบบกระจายเสียง FM โดยมากเรากำหนดคุณสมบัติของวงจรฟิลเตอร์ (ทั้งพรีเอ็มฟาสิสและดีเอ็มฟาสิส) เป็นค่าคงตัวเวลา (time constant) เท่ากับ 75 ไมโครวินาที ซึ่งแอมพลิจูดจะค่อย ๆ เพิ่มขึ้น (พรีเอ็มฟาสิส) หรือลดลง (ดีเอ็มฟาสิส) ตั้งแต่ความถี่ 2122 เฮิรตซ์ เป็นต้น ดังรูป



รูปที่ 2.4 แสดงการเปรียบเทียบแอมพลิจูดของสัญญาณที่เข้ามามอดูเลตกับนอยส์



รูปที่ 2.5 แสดงขบวนการพรีเอ็มฟาสิสที่เครื่องส่ง และดีเอ็มฟาสิสที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6) หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์ และ เอสซีเอ

สัญญาณ FM STEREO MULTIPLEX ประกอบด้วย

2.6.1 สัญญาณรวม (Composite Signal) หรือ สัญญาณเสียงแบบโมโน เป็นสัญญาณ FM ธรรมดาที่อยู่ในช่วงความถี่ต่ำ ๆ ช่วงประมาณความถี่ 0-15 kHz การส่งสัญญาณนี้ออกไปเพื่อให้เครื่องรับ FM ธรรมดาสามารถรับฟังได้ เขียนเป็นความสัมพันธ์ ได้ว่า L+R

2.6.2 สัญญาณสำรอง (Sub Signal) หรือ สัญญาณผลต่าง เป็นสัญญาณที่เราส่งเข้าไปเพื่อให้เกิดการถอดรหัสสเตอริโอในเครื่องรับเขียนความสัมพันธ์ได้ว่า L-R สัญญาณนี้จะถูกมอดูเลตในระบบ AM คือ มีทั้ง -(L-R) และ +(L-R) เมื่อไปถึงเครื่องรับ เครื่องรับจะทำการถอดรหัส ซึ่งผลของการถอดรหัสสามารถเขียนเป็นความสัมพันธ์ได้ดังนี้

2.6.2.1(L+ R) + (L - R) = 2L (สัญญาณด้านซ้าย)

2.6.2.2 (L+ R) - (L - R) = 2R (สัญญาณด้านขวา)

สัญญาณในระบบ AM จะมีปัญหาในการส่งสัญญาณ เพราะสัญญาณทั้งหมดจะต้องส่งในรูปแบบ FM ฉะนั้นระบบ AM ที่นำมาใช้จะเป็น แบบ AM DOUBLE SIDE BAND SUPPRESSED CARRIER (AM - DSBSC) ซึ่งจะตัดความถี่พาหะย่อยออก ความถี่พาหะย่อย (SUB CARRIER) เท่ากับ 38 kHz ความถี่นี้จะไม่ไปรบกวนการส่ง เมื่อพิจารณาย่านความถี่จะอยู่ในช่วง 23 - 53 kHz (38 +15 kHz, 38-15 kHz)

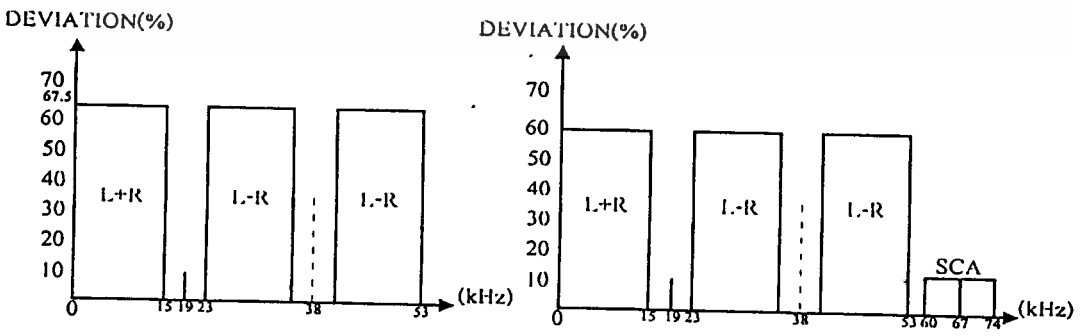
2.6.3 สัญญาณชี้นำ(Pilot Signal) ทำหน้าที่ควบคุมให้เครื่องรับและเครื่องส่งทำงานตรงกัน ถ้าไม่มีสัญญาณ Pilot Signal 19 kHz เครื่องรับจะไม่สามารถรับสัญญาณสเตอริโอมัลติเพล็กซ์ ได้ จำเป็นต้องมีสัญญาณ Pilot มาช่วยในการถอดรหัส

2.6.4 สัญญาณเอสซีเอ (SCA Signal) เป็นสัญญาณที่อาศัยเครื่องส่งของสถานีวิทยุ FM ใดก็ได้ส่งออกอากาศไปพร้อมกับการออกอากาศของรายการปกติ โดยมีการตั้งสตูดิโอเพื่อผสมสัญญาณแฝงเข้าไป สัญญาณ SCA จะอยู่ในช่วง 60 -70 kHz โดยมี Center Frequency อยู่ที่ 67 kHz ช่วงสวิงอยู่ระหว่าง +7 kHz ถึง -7kHz

ระบบ FM MONO ธรรมดา สวิงอยู่ระหว่าง 75 kHz Deviation 100%

ระบบ FM STEREO MULTIPLEX สวิงอยู่ระหว่าง 67.5 kHz Deviation 90 %

ระบบ FM STEREO MULTIPLEX & SCA สวิงอยู่ระหว่าง 60 kHz Deviation 80 %

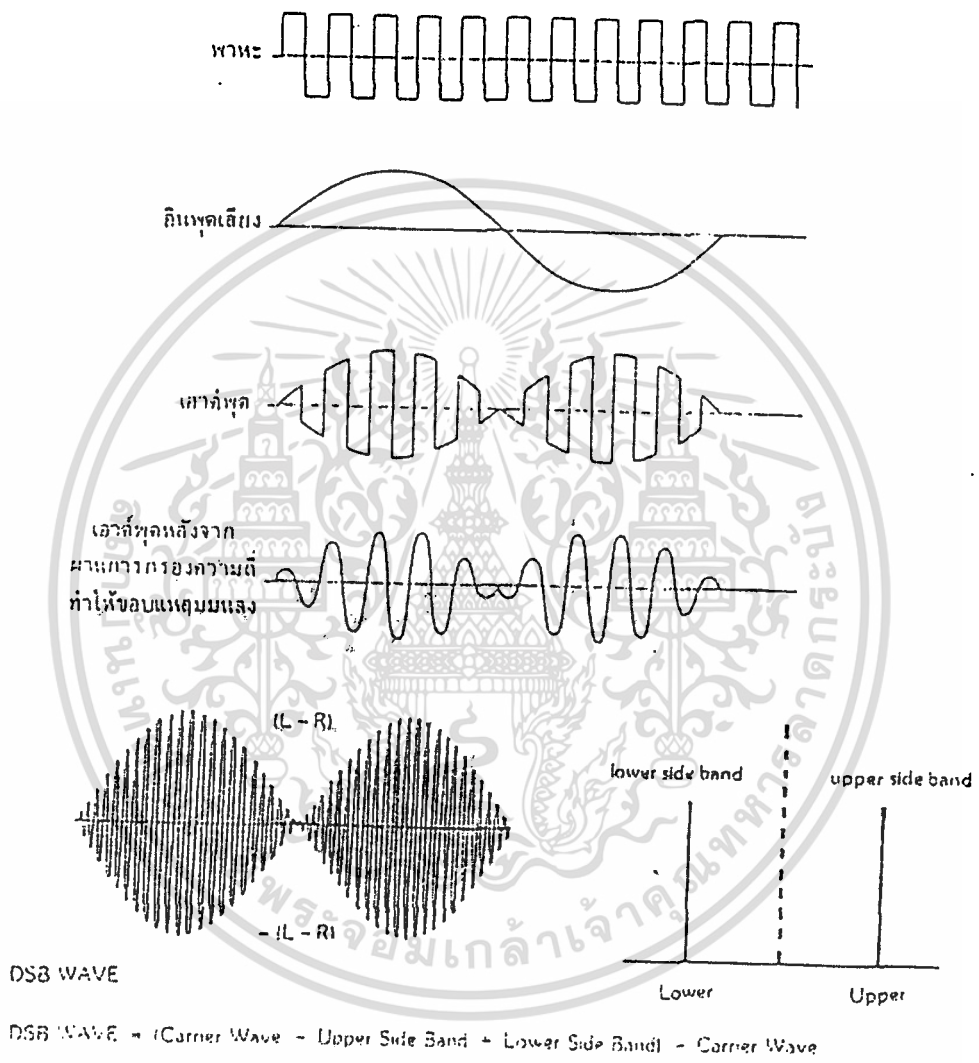


รูปที่ 2.6 แสดงสเปคตรัมที่ดิวิเอชั่นของ FM STEREO MULTIPLEX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7) บาลานซ์มอดูเลเตอร์

เนื่องจากในระบบ AM ไม่มีข่าวสารปนอยู่ในคลื่นพาหะ เราจึงสามารถกำจัดหรือเอาคลื่นพาหะออกก่อนที่จะทำการส่งออกอากาศ วงจรที่ทำหน้าที่นี้เรียกว่า วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) หรือเขียนว่า BM วงจร BM นี้จะผสมสัญญาณเสียงกับสัญญาณพาหะและผลลัพธ์จากการผสมเฉพาะไซด์แบนด์เท่านั้นที่ผ่านไปยังเอาพุทได้ สัญญาณที่ได้จากวงจรเรียกว่า AMDSBSC



รูปที่ 2.7 แสดงลักษณะการมอดูเลตของคลื่น AMDSBSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการโดยทั่วไปของการสังเคราะห์ความถี่

3.1) ระบบสังเคราะห์ความถี่ (Frequency Synthesizer)

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งนั้นวงจรที่ทำหน้าที่สังเคราะห์ความถี่ ด้วยวิธีสังเคราะห์ความถี่นี้ ทำให้เครื่องรับและเครื่องส่งวิทยุมีการพัฒนาขีดความสามารถขึ้น สามารถโปรแกรมความถี่ใช้งานได้ทำให้เกิดความคล่องตัวในวงการสื่อสารเป็นอย่างมาก

3.1.1) วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือวงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและมีขนาดความต้องการ การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือปุ่ม แต่ในปัจจุบันนิยมใช้วิธีสั่งงานด้วย Computer ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งาน และความละเอียดของความถี่ที่เปลี่ยนไปเรียกว่า รีโซลูชั่น(Resolution)

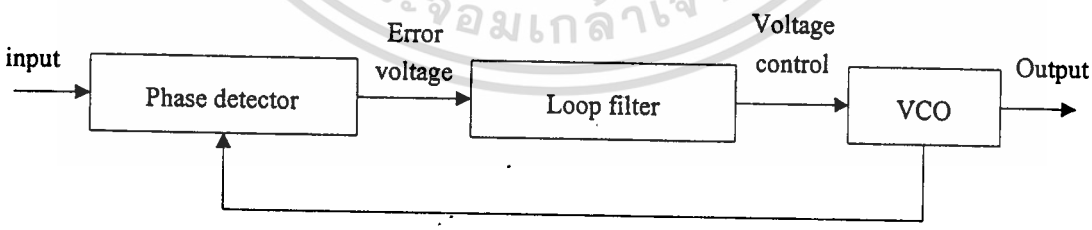
วิธีการสังเคราะห์ความถี่แบ่งออกได้เป็น 2 วิธี คือ

3.1.1.1 วิธีสังเคราะห์โดยตรง (Direct Synthesis) ซึ่งต้องใช้ความถี่หลาย ๆ ค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติใช้ x'tal หลายชุด

3.1.1.2 วิธีสังเคราะห์โดยทางอ้อม (Indirect Synthesis) วิธีการนี้อาศัยหลักการของเฟสล็อกลูป (Phase Locked Loop) โดยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ซึ่งควบคุมความถี่โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงจากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดัน ไปทำการควบคุมการผลิตความถี่ของ VCO อีกครั้งหนึ่ง

3.2) เฟสล็อกลูป (Phase Lock Loop) PLL

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ 3ภาค คือ เฟสดีเท็คเตอร์ (Phase Detector) ลูปฟิลเตอร์ (Loop Filter) และภาค VCO ดังรูป



รูปที่3.1 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิง

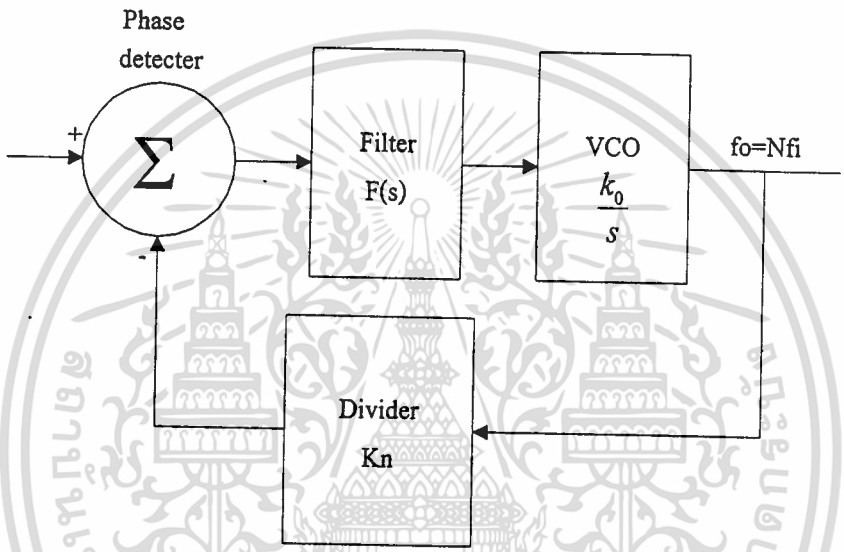
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1) การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายรูปแบบ ตัวอย่างที่จะกล่าวดังต่อไปนี้เป็นการสังเคราะห์ความถี่ซึ่งมีการกำหนดความถี่แต่ละขั้นมีค่าเท่ากับความถี่อ้างอิง (fr)

3.2.1.1) เฟสล็อกลูปโดยตรง

วิธีการสังเคราะห์แบบนี้ใช้ เฟสล็อกลูปแบบโดยตรงนับว่าเป็นวิธีการที่ง่าย โดยความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท ซึ่งความอาจขึ้นไปถึง 200 MHz อย่างไรก็ดีวงจรนับที่ทำหน้าที่โปรแกรมเป็นตัวหาร N นั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีการสังเคราะห์ความถี่เป็นแบบอื่น

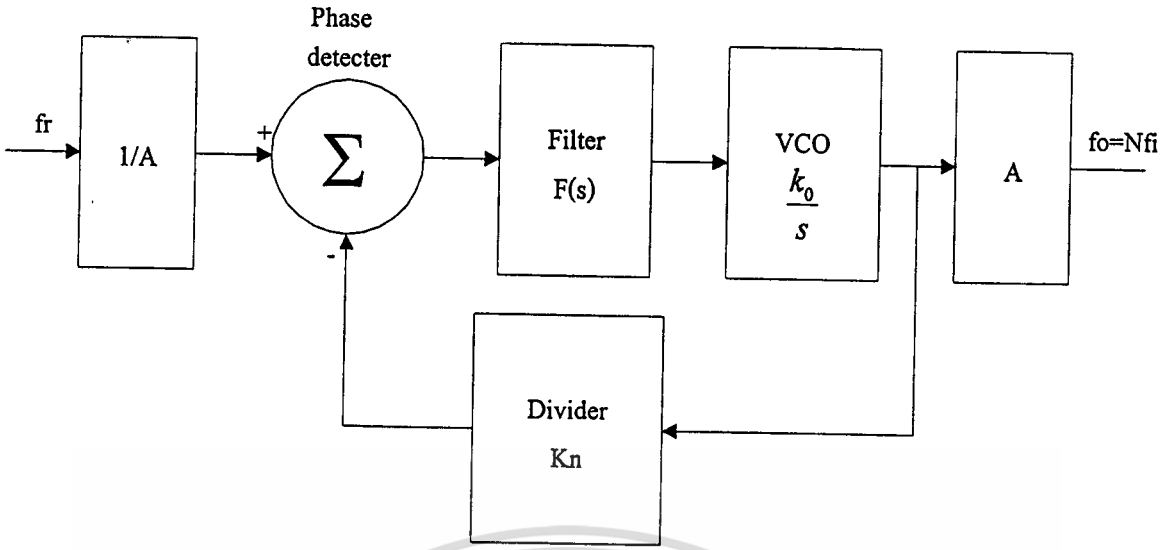


รูปที่ 3.2 แสดงการสังเคราะห์ความถี่เฟสล็อกลูปแบบโดยตรง

3.2.1.2) เฟสล็อกลูปแบบคูณความถี่

รูปที่ 3.3 เราจะหารความถี่อ้างอิงลง 9 เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลงแต่ก็ ทำให้การตอบสนองต่อการเปลี่ยนแปลงความถี่ของเฟสล็อกลูปช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

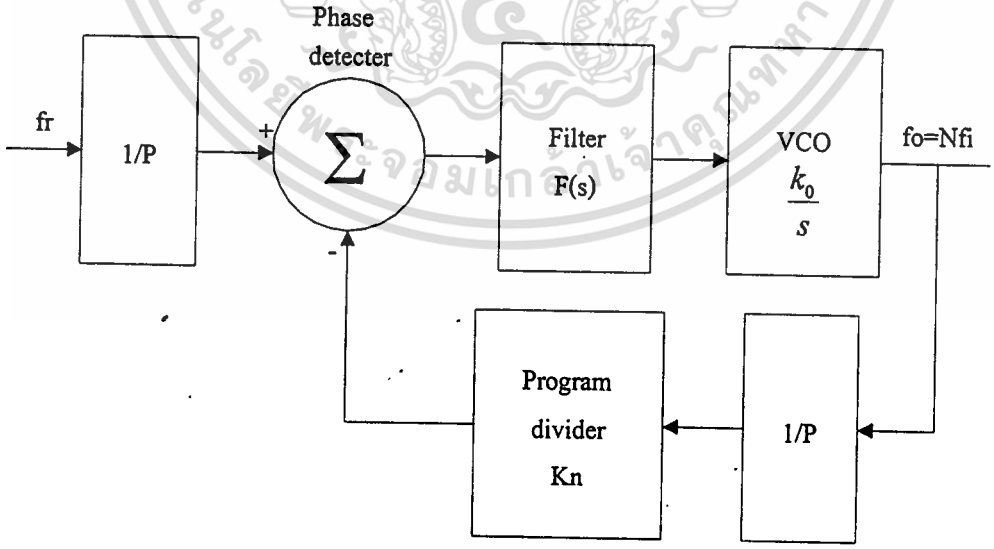


รูปที่ 3.3 แสดงเฟสล็อกลูปแบบคูณความถี่

3.2.1.3) เฟสล็อกลูปแบบพรีสเกลเลอร์

เฟสล็อกลูปในรูปที่ 3.4 ใช้วิธีหารความถี่อ้างอิงลง P เท่าก่อนที่จะป้อนแก่วงจรเฟสดีเทคเตอร์และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูปแทนที่จะคูณความถี่ภายนอกลูป ดังเช่น เฟสล็อกลูปแบบคูณความถี่วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ที่ใช้งานโดยไม่ต้องมีวงจรทวีคูณ (MULTIPLIER)

วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอบธรรมดาซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกวงจรนี้ว่าวงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับเฟสล็อกลูปในรูปที่ 3.3

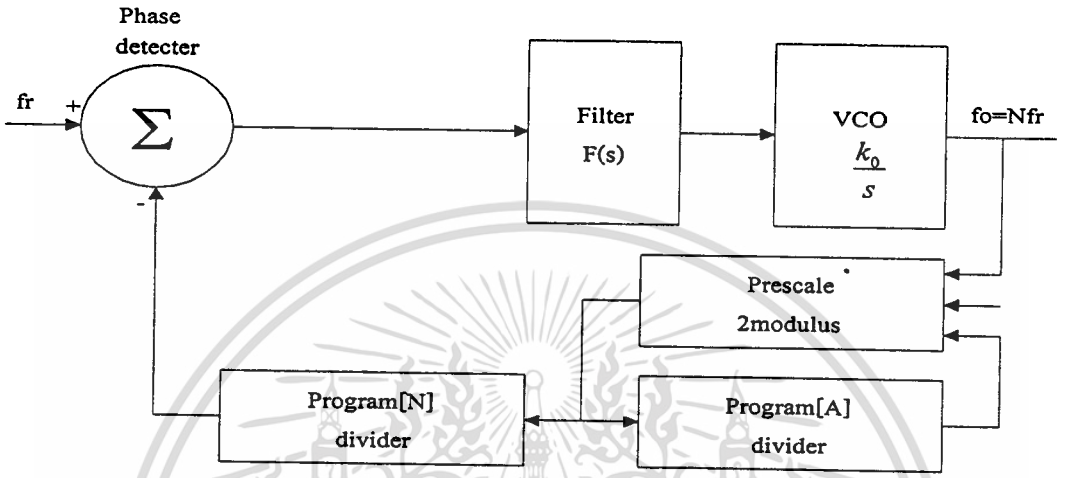


รูปที่ 3.4 แสดงเฟสล็อกลูปแบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.4) เฟสล็อกลูปแบบพรีสเกลสองโมดูลัส (Dual Modulus Prescaler)

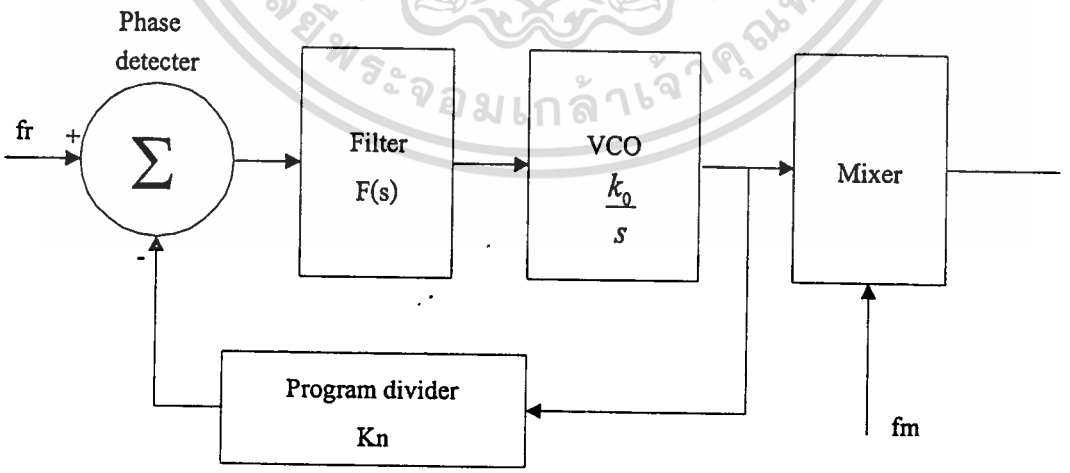
เฟสล็อกลูปในรูปที่ 3.5 ใช้พรีสเกลเลอร์เช่นเดียวกันกับในรูปที่ 3.4 เว้นแต่วงจรพรีสเกลเลอร์นี้ไม่ใช่เป็นวงจรนับหารค่าตายตัว P แต่เป็นวงจรนับหารเปลี่ยนค่าได้ระหว่าง P กับ P+1 เราเรียกพรีสเกลเลอร์สองโมดูลัส(เลือกตัวหาร P ก็ได้หรือจะเลือก P+1 ก็ได้) วงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง



รูปที่ 3.5 แสดงพรีสเกลเลอร์แบบสองโมดูลัส

3.2.1.5) เฟสล็อกลูปแบบมิกซิ่งนอกลูป

เฟสล็อกลูป ในรูปที่ 3.6 อาศัยความถี่อีกความถี่หนึ่งเพื่อผสม (MIXER) กับความถี่ VCO ให้เอาท์พุทของเฟสล็อกลูปมีความถี่สูงขึ้นในที่นี้เราปรับชั้นความถี่ได้แต่ละชั้นเท่ากับความถี่อ้างอิง เท่ากับผลรวมของความถี่เดิมผสมกับความถี่จาก VCO

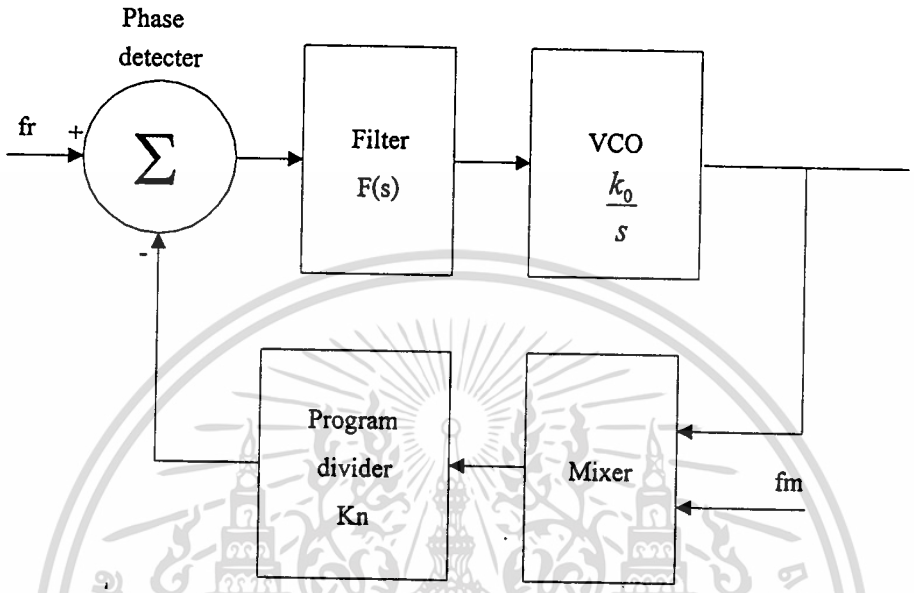


รูปที่ 3.6 แสดงมิกซิ่งนอกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.6) เฟสล็อกลูปแบบมิกซิ่งในลูป

จากในรูปที่ 3.7 เป็นการมิกอีกแบบหนึ่งซึ่งนำการผสมมาใช้ในลูปสัญญาณจาก VCO และความถี่ที่ได้จากการมิก (fm) จะบีม (beam) กันได้ความถี่ต่ำลงแล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผสมกับความถี่ VCO



รูปที่ 3.7 แสดงเฟสล็อกลูปแบบมิกซิ่งในลูป

3.3) คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่จะต้องผลิตและโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับ-ส่งวิทยุอีกด้วย

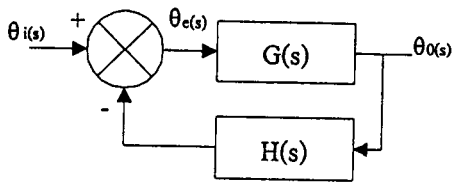
โดยปกติ วงจรสังเคราะห์ความถี่จะสามารถดำเนินสัญญาณเพียงอย่างเดียวแต่เลือกความถี่ได้หลายค่าและความละเอียดของความถี่ขึ้นอยู่กับรีโซลูชั่น ในขณะที่เราเปลี่ยนค่าความถี่วงจรสังเคราะห์จะต้องล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อก (Lockup Time)

วงจรสังเคราะห์ความถี่ที่ดีจะต้องมีสัญญาณเพียงความถี่เดียวปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่าความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) ค่าของฮาร์โมนิก (Harmonic) และสิ่งแปลกปลอม (Sperious) ต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิงซึ่งโดยทั่วไปจะใช้แร่ X'TAL ดังนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพหรือไม่จึงขึ้นอยู่กับ X'TAL OSCILLATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4) การวิเคราะห์เฟสล็อกลูป



$\theta_{i(s)}$ = Phase input

$\theta_{e(s)}$ = Phase error

$\theta_{o(s)}$ = Output Phase

G(s) = Forward Gain

H(s) = Feedback Gain

รูปที่ 3.8 ระบบป้อนกลับ

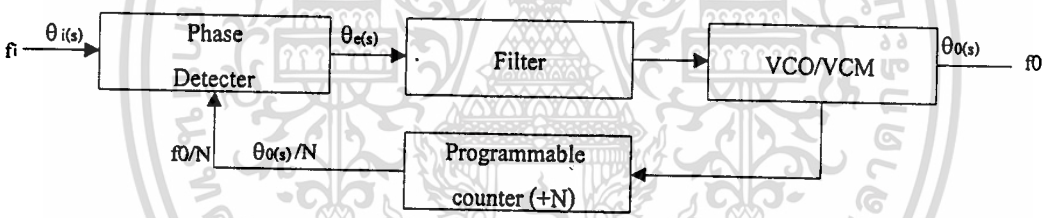
หลักสำคัญในการออกแบบ PLL หลักสำคัญจะอยู่ที่การใช้เทคนิคของ Laplace Tranform วิเคราะห์หาค่าการตอบสนองของระบบ F(t) ในรูปสมการเชิงซ้อน F(s) โดยการตอบสนองของระบบจะมีทั้งช่วงที่เป็น Transient (ช่วงสวิง) และช่วงสภาวะคงตัว (Steady State) โดยที่ Laplace tranform จะใช้กับช่วงเวลาที่เป็นบวก ซึ่ง PLL จะล็อกสัญญาณได้ทั้ง Linear และ Non Linear ดังรูป

เราสามารถวิเคราะห์ความสัมพันธ์ได้เป็น

$$\theta_{e(s)} = 1 / [1 + G(s)H(s)] \times \theta_{i(s)} \qquad (1)$$

$$\theta_{o(s)} = G(s) / [1 + G(s)H(s)] \times \theta_{i(s)} \qquad (2)$$

ค่า Parameter ต่าง ๆ ที่มีความสัมพันธ์กับ PLL ดังแสดงในรูปที่ 3.9



รูปที่ 3.9 เฟสล็อกลูป

เฟสดีเทคเตอร์จะทำการสร้างแรงดันไฟฟ้าโดยอาศัยความแตกต่างระหว่างเฟสของสัญญาณอินพุท $\theta_{i(s)}$ และสัญญาณเอาท์พุทที่ผ่านการหารความถี่ $\theta_{o(s)}$/ Nซึ่งแรงดันไฟฟ้าที่ได้นี้จะนำไปควบคุม VCO หรือ VCM (Voltage Control Multiplier)

ดังนั้น VCO หรือ VCM โดยอาศัยอินพุทโวลท์เตจเป็นตัวเปลี่ยนแปลงความถี่ และ ความถี่ที่ได้คือ

$$f_o = Nf_i$$

ใน Forward path จะประกอบด้วย เฟสดีเทคเตอร์ ฟิลเตอร์ และ VCO หรือ VCM ส่วนใน Feedback path จะประกอบด้วยโปรแกรมหารความถี่ ถ้าเราทำการปรับอัตราขยายใน Feedback path ให้มีค่าเป็นหนึ่ง (N=1) ความถี่เอาท์พุทจะเท่ากับความถี่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1) ค่าผิดพลาด (Error Constants)

$\theta e(s)$ คือ ค่าผิดพลาดของเฟสระหว่างสัญญาณอินพุท $\theta i(s)$ กับสัญญาณ Feedback $\theta o(s)/N$ เราจะนำ $\theta e(s)$ มาทำการวิเคราะห์หาค่า Steady State Transient โดยใช้ Laplace Tranform ทำการวิเคราะห์หาค่าผิดพลาดของระบบจาก

$$\lim [\theta e(t)] = \lim [S\theta e(s)]$$

เมื่อ

$$\theta e(s) = 1 / [1 + G(s)H(s)] \times \theta i(s)$$

และสัญญาณ input $\theta i(s)$ เป็น Step function

$$\theta i(t) = Cp \quad ; t > 0$$

$$\theta i(s) = Cp/S$$

เมื่อ Cp คือ ขนาดของสัญญาณ Step function

และที่สัญญาณอินพุทเป็น Lamp Function หรือเรียกอีกแบบว่า Step Velocity

$$\theta i(s) = Cv \times t \quad ; t > 0$$

$$\theta i(s) = Cv/S^2$$

เมื่อ Cv คือ ขนาดของอัตราส่วนของการเปลี่ยนมุมเฟสในหน่วยเรเดียนต่อวินาทีซึ่งก็คือความแตกต่างระหว่างความถี่อินพุทกับความถี่จาก VCO ดังนั้น Cv คือค่าความแตกต่างของความถี่ต่อวินาทีที่เฟสดีเทคเตอร์

และที่สัญญาณอินพุทเป็น Parabolic Function หรือ Step Acceleration

$$\theta i(t) = Ca \times t^2 \quad ; t > 0$$

$$\theta i(s) = 2Ca/S^3$$

เมื่อ Ca คือ ขนาดของอัตราส่วนความถี่ที่เปลี่ยนแปลงในหน่วยเรเดียนต่อวินาที^{2} พิจารณา Loop G(s)H(s)

Type 1.

$$G(s)H(s) = K/S(S+a)$$

Type 2.

$$G(s)H(s) = K(S+a)/S^2$$

Type 3.

$$G(s)H(s) = K(S+a)(S+b)/S^3$$

ค่า Final Value ของ Phase error สำหรับแบบที่ 1. (Type 1.) โดยป้อน Step position ที่อินพุทได้ $\theta i(s) = Cp/S$ จะได้

$$\theta e(s) = [1/\{1+K/S(S+a)\}][Cp/s]$$

$$= (S+a)Cp/(S^2+aS+K)$$

$$\theta e(t \rightarrow \infty) = \lim S\,\theta e(s)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \lim S(S+a)Cp/(S^2+aS+K)$$

$$\cong 0$$

จะเห็นได้ว่าที่ Steady State เฟสเออร์เรอร์จะไม่มี ($=0$)

แต่ถ้าสัญญาณอินพุทเป็น Step Velocity

$$\theta_{i(s)} = Cv/S^2$$

$$\theta_{e(s)} = [1/\{1+k/S(S+a)\}][Cv/S^2]$$

$$\theta_{e(s)} = (S+a)Cv/S(S^2+aS+K)$$

$$\theta_{e(t\rightarrow\infty)} = \lim S(S+a)Cv/S(S^2+aS+K)$$

$$= aCv/K \quad = \text{ค่าคงที่}$$

และถ้าสัญญาณอินพุทเป็น Step Acceleration

$$\theta_{i(s)} = 2Ca/S^3$$

$$\theta_{e(s)} = 2(S+a)Ca/[S^2(S^2+aS+K)]$$

$$\theta_{e(t\rightarrow\infty)} = \lim S*2(S+a)Ca/[S^2(S^2+aS+K)]$$

$$= \lim 2(S+a)Ca/[S(S^2+aS+K)]$$

$$\cong \infty$$

ดังจะสรุปได้ดังตาราง

อินพุท	Type 1	Type 2	Type 3
Step Position	0	0	0
Step Velocity	Constant	0	0
Step Acceleration	∞	Constant	∞

ตารางที่ 3.1 Steady State Error for Various System Type

ที่ค่าผิดพลาดเฟสเป็นศูนย์ จะแสดงให้เห็นว่าสัญญาณอินพุททั้งสองของเฟสดีเทคเตอร์มีเฟสสัมพันธ์กันจะทำให้เฟสล็อก

ที่ค่าผิดพลาดเฟสเป็นค่าคงที่ (Constant) จะแสดงให้เห็นว่าเกิดความแตกต่างทางเฟสระหว่างอินพุททั้งสองของ Phase Detector แต่เฟสยังล็อกอยู่

ที่ค่าผิดพลาดทางเฟสมีค่ามากขึ้นเรื่อย ๆ (Continually increasing $\theta_{e(t\rightarrow\infty)}$) จะแสดงให้เห็นว่าเฟสจะเปลี่ยนแปลงตามเวลาเสมอดังนั้นระบบจึงไม่ล็อก

3.5) เฟสดีเทคเตอร์

เฟสดีเทคเตอร์ (Phase Detector) เป็นส่วนหนึ่งของระบบเฟสล็อกลูป ซึ่งเป็นตัวทำหน้าที่ให้เกิดแรงดันอนาลอกหรือดิจิตอลที่เอาท์พุทของตัวมัน ซึ่งค่าแรงดันที่ปรากฏออกมานี้จะเป็นอัตราที่แปรผันตามความต่างเฟสของสัญญาณอินพุท 2 สัญญาณที่เข้ามาในเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรเฟสดีเทคเตอร์สามารถแบ่งการทำงานออกเป็น 2 แบบคือ

3.5.1) อนาลอกเฟสดีเทคเตอร์ (Analog Phase Detector)

ได้แก่ การมิกเซอร์ซึ่งเอาท์พุทจะแปรตามขนาดของสัญญาณอินพุท วงจรที่ทำหน้าที่ได้แก่ บาลานซ์มิกเซอร์ (Balance Mixer) และแซมปลิ้งดีเทคเตอร์ (Sampling Detector) เป็นการกำหนดโดยให้สัญญาณอ้างอิง fr เป็นสัญญาณพัลซ์ซึ่งมีคาบเวลาคงที่ ไปทำการสุ่มสัญญาณอินพุทด้วยช่วงเวลาสั้น ๆ โดยที่เอาท์พุทจะเป็นอัตราส่วนโดยตรงกัน

3.5.2) ดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detector)

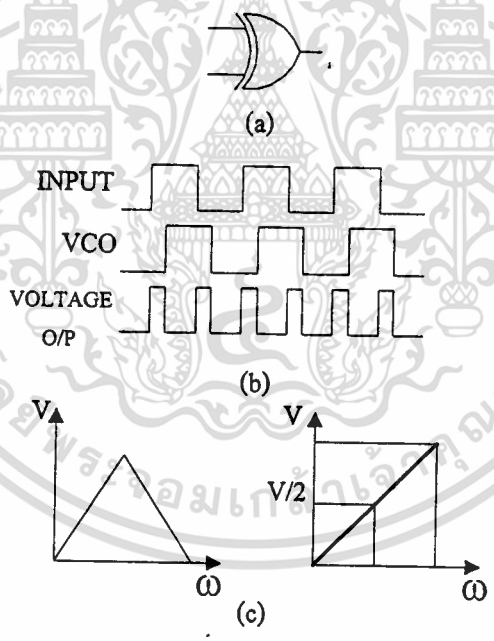
มีหลายชนิดได้แก่

3.5.2.1) เอกคลูซีฟออร์เฟสดีเทคเตอร์ (Exclusive OR Phase Detector) เราสามารถนำเอา เอกคลูซีฟออร์เกทมาทำเป็นเฟสดีเทคเตอร์ได้ โดยที่เอาท์พุทเป็น 1 ก็ต่อ เมื่อสัญญาณอินพุทมีเฟสต่างกันและลอจิกเป็น 0 เมื่ออินพุททั้งสองมีเฟสเหมือนกัน แรงดันเฉลี่ยที่เอาท์พุทของเฟสดีเทคเตอร์จะเป็นตามสมการ

$$Vo_{dc} = Vp + D$$

โดยที่ Vp = แรงเคลื่อนสูงสุดของลอจิก 1

D = duty cycle



รูปที่ 3.10 a) แสดงสัญญลักษณ์ของเอกคลูซีพออร์เฟสดีเทคเตอร์

b) แสดงแรงดันเอาท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา

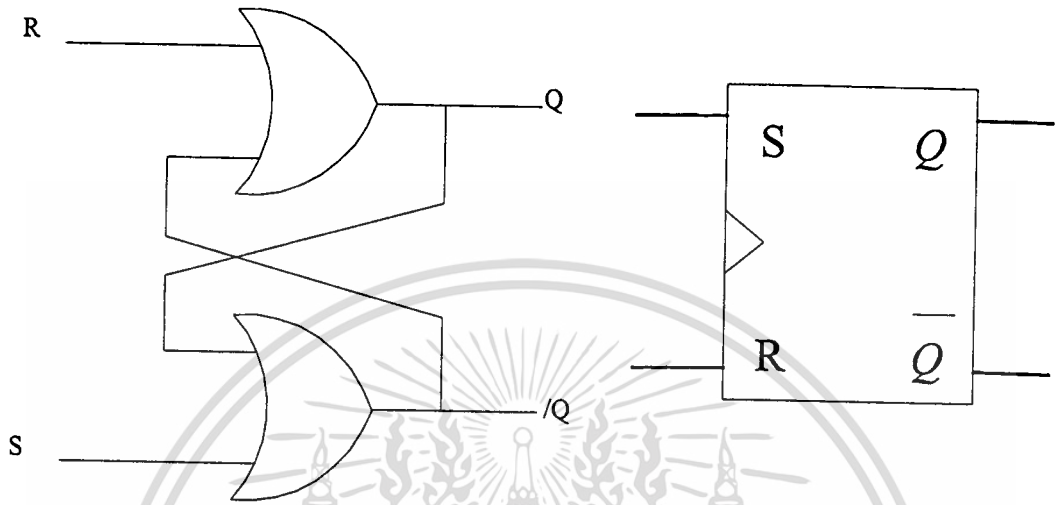
c) แสดงคุณสมบัติอินพุทเอาท์พุทของเฟสดีเทคเตอร์

จากคุณสมบัติอินพุทเอาท์พุทของเฟสดีเทคเตอร์ชนิดนี้ จะเห็นว่าสามารถใช้ได้ในช่วง ต่างเฟสระหว่าง 0 - π โดยที่สัญญาณอินพุทจำเป็นต้องมีค่า ดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซนต์ และเอาท์พุทที่ได้จะมีค่าความถี่เป็น 2 เท่าของความถี่อินพุท ส่วนค่าของคอนเวอร์ชันเกนเท่ากับ $V_{DD}/2\pi$

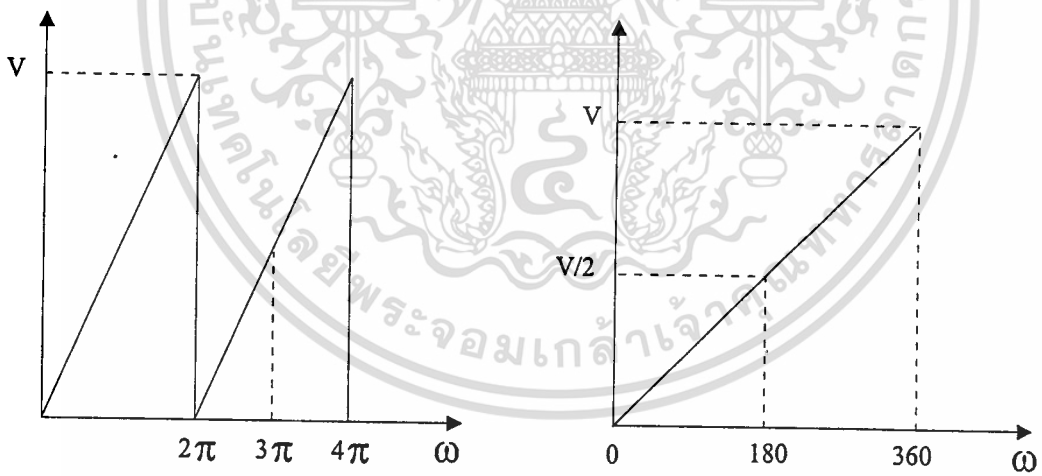
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039056

3.5.2.2) เอดจ์-ทริกเกอร์เฟสดีเทคเตอร์ หรือ ฟลิบฟลอบเฟสดีเทคเตอร์ (Edge-Triggered Phase Detector)

เป็นเฟสดีเทคเตอร์อีกชนิดหนึ่งที่ใช้ฟลิบฟลอบเป็นตัวทำให้เกิดแรงดันเอาท์พุทที่มีอัตราแปรผันกับ สัญญาณอินพุททั้ง 2 ที่เข้ามา ดังแสดงในรูป 3.11

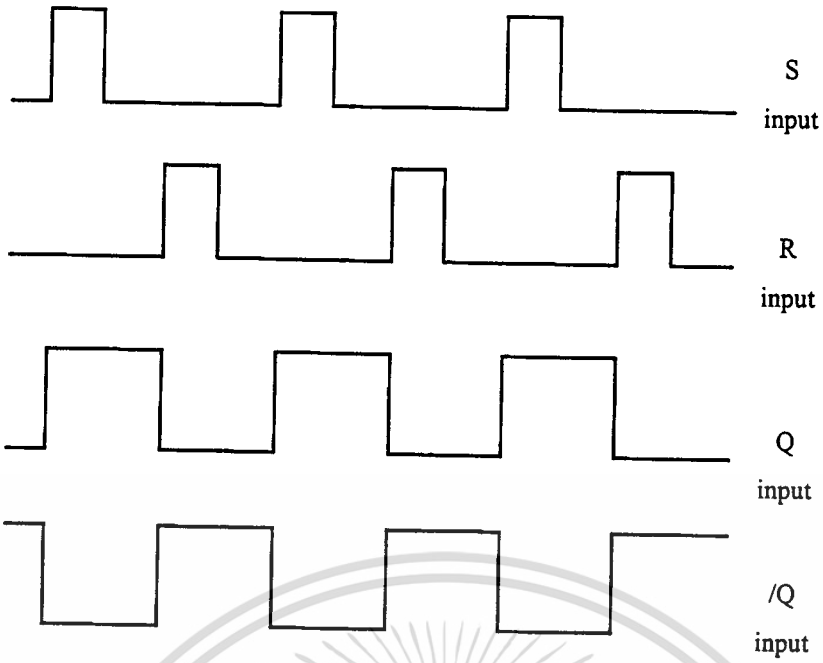


รูปที่ 3.11 แสดง R-S F/F เฟสดีเทคเตอร์



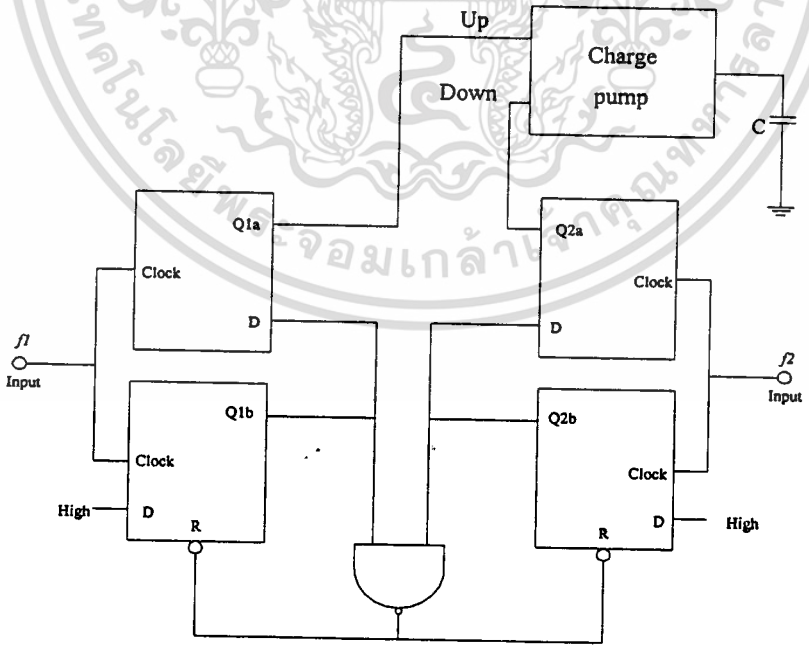
รูปที่ 3.12 แสดงสัญญาณอินพุทเอาท์พุทของ R-S F/F เฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงคุณสมบัติอินพุทเอาท์พุทของ F/F เฟสดีเทคเตอร์

จากรูปจะเห็นได้ว่า วงจรเฟสดีเทคเตอร์ที่ใช้ทริกด้วยขอบสัญญาณพัลซ์สามารถใช้ความต่างเฟสได้ตั้งแต่ 0-2π (เป็น 2 เท่าของเอคคลูซีฟออร์) และความถี่ของสัญญาณเอาท์พุท จะเท่ากับ อินพุทพัลซ์แต่ละลูกซึ่งไม่จำเป็นต้องมีค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซนต์ ส่วนคอนเวอร์ชันเกนมีค่าเท่ากับ Vdd/2π

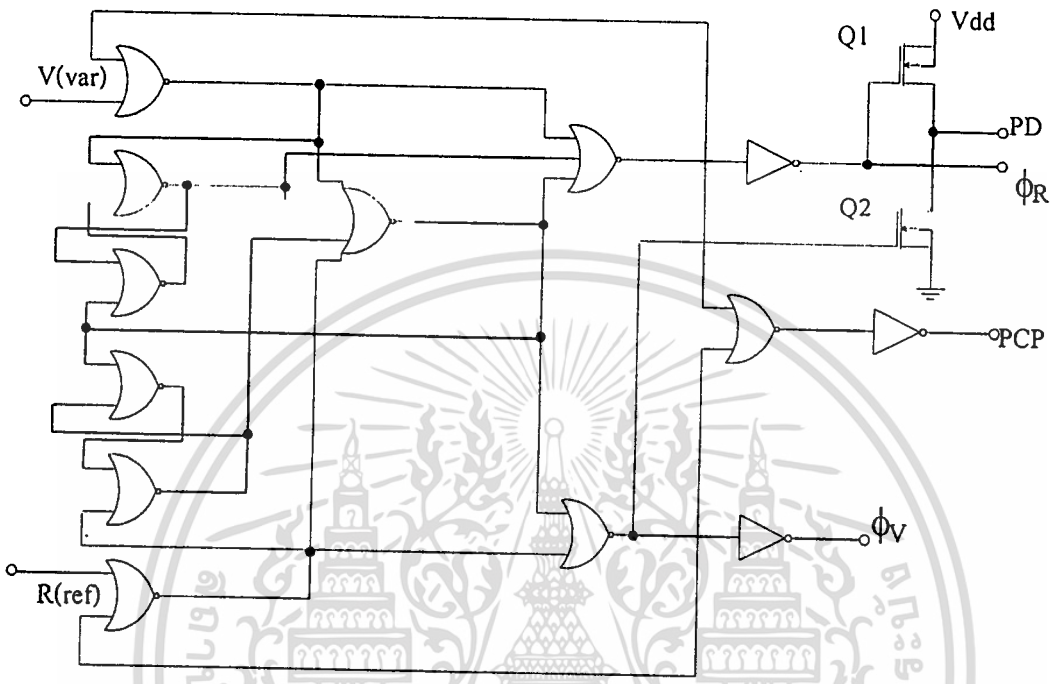


รูปที่ 3.14 เฟสดีเทคเตอร์ที่สร้างจาก D-Flip Flop

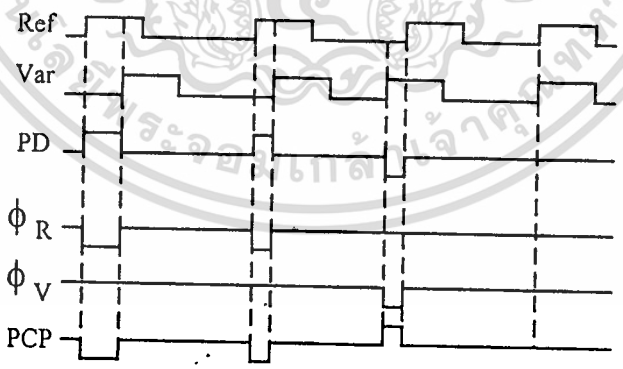
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2.3) Phase Frequency Detectors

แม้ว่าเฟสดีเทคเตอร์แบบ Ex-OR และแบบ Flip-Flop จะเป็นวงจรที่ง่ายแต่ก็มีข้อจำกัดคือ จำเป็นต้องมีการฟิลเตอร์สัญญาณเอาท์พุทที่ดี เพื่อจะแลกค่าเฉลี่ยของแรงดัน DC ที่ต้องการและเมื่อนำไปใช้ในวงจร PLL จะให้ผลตอบสนองช้าจึงได้มีการพัฒนามาเป็น Phase Frequency Detectors



รูปที่ 3.15 แสดง Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์



รูปที่ 3.16 แสดงรูปคลื่นของวงจร Phase Frequency Detectors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจะให้เอาท์พุท 3 แบบ คือ

1) Double Ended Output มีขา ΦR และ ΦV จะให้เอาท์พุทดังนี้

ถ้า fv > fr หรือ เฟสของ fv นำหน้า fr หา ΦV จะเป็น "0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ΦR จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Down

ถ้า fr < fv หรือ เฟสของ fr นำหน้า fv หา ΦR จะเป็น "0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ΦV จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Up

ถ้าความถี่ fr = fv และมีเฟสเดียวกัน ΦR และ ΦV จะเป็น "1" ตลอดยกเว้นในช่วงเวลาสั้นๆ ที่เฟสทั้งสองเข้าใกล้กันซึ่งจะเห็นเป็นพัลซ์แหลมๆ(Spike) ดังรูป2.16 จะไม่สามารถผ่านวงจร LPF ไปได้

2) Tri State Output ขา PD จะให้เอาท์พุทดังนี้

ถ้า fv > fr หรือ เฟส fv นำหน้า fr จะให้พัลซ์เป็นลบ (Q2 นำกระแส)

ถ้า fv < fr หรือ เฟส fv นำหน้า fr จะให้พัลซ์เป็นบวก (Q1 นำกระแส)

ถ้า fv = fr และ มีเฟสเดียวกัน Output จะมีสถานะเป็น High Impedance (Q1 และ Q2 ไม่นำกระแส)

3) Phase Pulse Output ให้ลอจิก "0" ทุก ๆ ครั้งที่เกิดความต่างเฟสของ fv และ fr นอกจากนั้นจะเป็น "1" ซึ่งสามารถใช้แสดงสถานะการล็อกได้

3.6) ลูปฟิลเตอร์ (LOOP FILTER)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก,แคปเจอร์, แบนด์วิดท์ และการตอบสนองค่าทรานเซี้ยนของลูป สำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สภาวะล็อกที่เรียกว่า คุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็ว โดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็วแต่ค่าคงตัวเวลาก็ไม่ควรน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง

หน้าที่ของโลพาสฟิลเตอร์ในเฟสล็อกลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1) ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Comparator) โดยการใช้คุณสมบัติการจำกัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO

2) ทำหน้าที่ควบคุมการทำงานของเฟสล็อกลูป ซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้

2.1) แคปเจอร์และล็อกเรนจ์

2.2) แบนด์วิดท์

2.3) การตอบสนองต่อทรานเซี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากโลพาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปแล้วยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

1) ขบวนการแคปเจอร์จะช้าลงและฟูลอินไทม์ (Full in Time) เพิ่มขึ้น

2) ช่วงแคปเจอร์จะลดลง

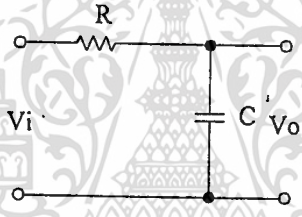
3) คุณสมบัติทางอินเตอร์เฟอเรนซ์ (Interference Rejection) ของเฟสล็อกลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป

4)ผลตอบสนองชั่วขณะของเฟสล็อกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่ แคปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์

3.6.1) วงจรโลพาสฟิลเตอร์ (LPF)

ในระบบเฟสล็อกลูปจะมี โลพาสฟิลเตอร์ เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลพาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

3.6.1.1) วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C



รูปที่ 3.17 แสดงโลพาสฟิลเตอร์อันดับ 1 โดยใช้ R-C

รูปที่ 3.17 โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (cutoff frequency W_{LPF}) สามารถหาได้จากสมการ

$$W_{LPF} = 1/RC \quad \text{Rad/Sec}$$

ค่าของความถี่ธรรมชาติของลูป (Loop Natural Frequency, Wn) สามารถหาได้จากความถี่คัทยอฟของวงจรกรองความถี่ โดยสมการ

$$Wn = (Kd*Kv* W_{LPF})^{1/2}$$

เมื่อ Kd คอนเวอร์ชันเกน (Convertion Gain) ของเฟสดีเทคเตอร์ หน่วย (volt/sec)

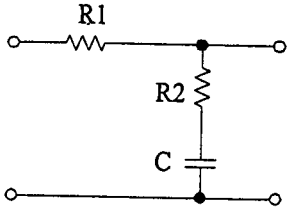
Kv คอนเวอร์ชันเกนของ VCO หน่วย (Rad/Scc/Volt)

เราสามารถหาค่าแดมปิ้งแฟคเตอร์จากสมการ

$$\zeta = N*Wn/(2Kd*Kv)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1.2) วงจรกรองความถี่ต่ำแบบ แลก-ลีด (Lag-Lead Circuit) ดังแสดงในรูป 3.18



รูปที่ 3.18 วงจร แลก-ลีด อันดับหนึ่ง

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

$$W_{LPF} = 1/(R_1 + R_2)C$$

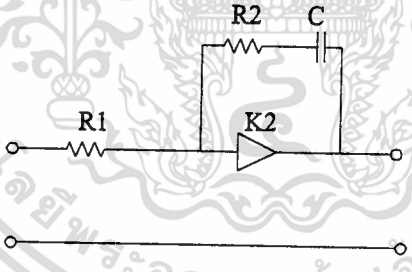
และความถี่ธรรมชาติหาได้จากสมการ

$$Wn = (Kd*Kv/[N*C*(R_1+R_2)]^{1/2}$$

และแดมปิ้งแฟคเตอร์หาได้จากสมการ

$$\zeta = 0.5\ Wn\ (R_2*C+N)/(Kd*Kv)$$

3.6.1.3) วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคทีฟฟิลเตอร์



รูปที่ 3.19 วงจรแอคทีฟฟิลเตอร์

ความถี่คัทออฟหาได้จากสมการ

$$W_{LPF} = 1/R_1*C \qquad \text{(Rad/Sec)}$$

ค่าของลูปความถี่ธรรมชาติ

$$Wn = [(Kd*Kv)/(N*C*R_1)^{1/2}$$

แดมปิ้งแฟคเตอร์ หาจากสมการ

$$\zeta = (Wn*R_2*C)/2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

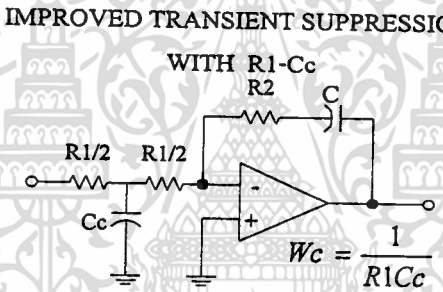
3.6.2) ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

3.6.2.1) เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้ออปแอมป์ มีฟังก์ชันเป็นอินเวอร์ติ้ง ดังนั้น จำเป็นต้องดัดแปลงแก้ไขการกลับเฟสนี้ก่อน เพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิลเลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุท Fr และ Fv ที่เฟสดีเทคเตอร์

3.6.2.2) กรณีเฟสดีเทคเตอร์มีเอาท์พุทเป็นดับเบิ้ลเอนด์ Kd = Vdd/2

3.6.3.3)วงจรแอคทีฟฟิลเตอร์อาจจะเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์มีขนาดใหญ่พร้อม ๆ กับเกิดทรานเชี้ยนโอเวอร์ชู๊ตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมีค่ามาก ดังนั้นถ้าอัตราส่วนของ R1/R2 มากกว่า 10 ความถี่นี้จะถูกขยายด้วยอัตราส่วนของ R1/R2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

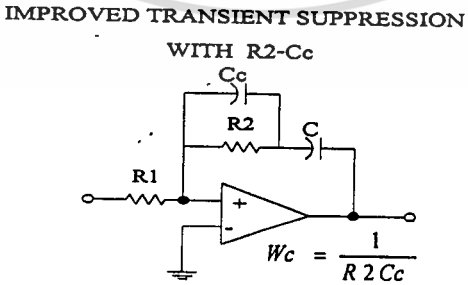
วิธีแก้ไขการอิ่มตัวของออปแอมป์ทำได้โดยการเพิ่มโลพาสฟิลเตอร์ก่อนวงจรอินทีเกรเตอร์ ดังรูปที่ 3.20



รูปที่ 3.20 วิธีแก้ทรานเชี้ยนด้วย R1-Cc

เมื่อ Rs<<R1/2 : Rs คือเอาท์พุทอิมพีแดนซ์ของเฟสดีเทคเตอร์

Wc = 4/R1*Cc



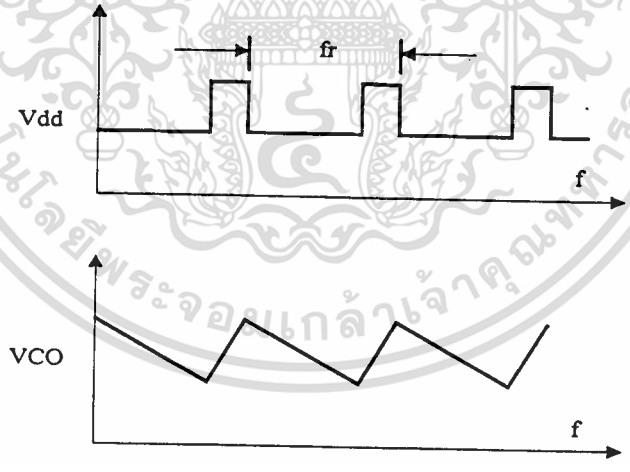
รูปที่ 3.21 วิธีแก้ทรานเชี้ยนด้วย R2-Cc

เมื่อ Wc=1/R2*Cc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.20 สามารถคำนวณความถี่คัทออฟได้จาก $4/R_1*Cc$ ถ้าเฟสดีเทคเตอร์เป็นดิจิตอล เนื่องจากมีความต้านทานเอาท์พุทต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะ มากกว่าความถี่ธรรมชาติ 5-10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติ จะทำให้ลูปเกิดโอเวอร์ชู้ตมากขึ้น และผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้น จะทำให้ความถี่อ้างอิง (Wr) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCO ควรเป็นแรงดันดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่ ดีซีจะทำให้เอาท์พุทของ VCO มีการมอดูเลตด้วยแรงดันที่ไม่ใช่ดีซี สำหรับแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ส่วนใหญ่จะมาจากความถี่อ้างอิงและน้อยส์ต่าง ๆ ในวงจรแอคทีฟฟิลเตอร์จะเพิ่มน้อยส์ลง ไปในแรงดันดีซีด้วย ดังนั้นวงจรขยายที่ใช้ฟิลเตอร์ควรมีคุณสมบัติในเรื่อง สัญญาณรบกวนที่สร้างขึ้นภายใน ตัวเอง ทางที่ดีควรใช้ชนิดที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้ และกระแสไบอัสอินพุทก็ควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวน หนึ่งจากเฟสดีเทคเตอร์ จะทำให้ความผิดพลาดเชิงเฟส เมื่ออยู่ในสภาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้ฟิลเตอร์แบบพาสซีฟฟิลเตอร์ ก็จะมีค่าผิดพลาดในสภาวะสงบ (steady state error) มากกว่าแอคทีฟฟิลเตอร์ เพราะพาสซีฟฟิลเตอร์จะดึงกระแสโหลด มากกว่า แอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีฟฟิลเตอร์ไม่เพิ่มน้อยส์เข้าไปในลูปเหมือนแอคทีฟและ R1 ของวงจรพาสซีฟสามารถแบ่งออกเป็น R1/2 แล้วใช้ Cc เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูปที่ 3.21 และใช้วิธีการคำนวณความถี่คัทออฟแบบเดียวกัน

3.6.2.4) แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่เอซีน้อยที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ (Sperious Output) เป็นไซด์แบนด์ ของความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด



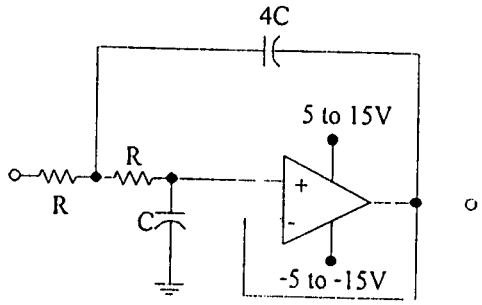
รูปที่ 3.22 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

รูปคลื่นจากรูปที่ 3.22 ทำให้เกิดไซด์แบนด์ที่สัมพันธ์กับแคเรียร์ (Carrier) ของ VCO ที่สามารถคาดคะเนโดยประมาณได้จาก

$$(\text{Sideband/Carrier}) = (V*Kv)/(2*Wr)$$

เมื่อ V คือค่าแรงดันยอด (Peak Value) ของความถี่อ้างอิงที่อินพุทของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์

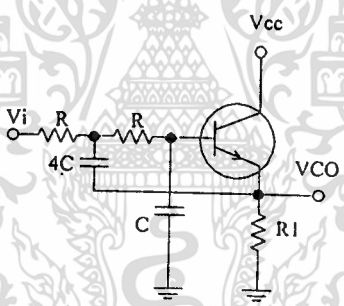
$Wc = 0.636/RC$

ให้เลือกค่า R

$1K \leq R < 1M$

ให้เลือกค่า C

$C = 0.5/(Wc*R)$

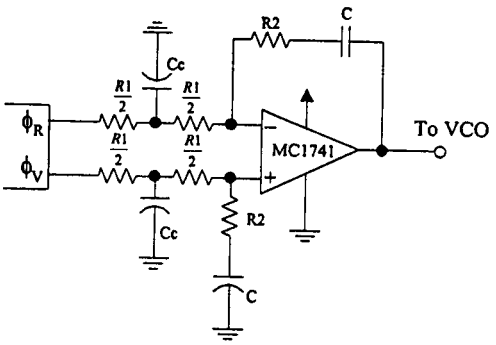


รูปที่ 3.24 วงจร LPF อันดับ 2

โดยใช้ทรานซิสเตอร์ต่อแบบ (Emitter Follower) ถ้าเอาท์พุทมีค่าน้อยกว่า Vcc อยู่ 0.1v วงจรจะมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย Vcc

สำหรับในการใช้เฟสดีเทคเตอร์ที่เอาท์พุทของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์ แบบซัมมิ่งเนทเวอร์ค (Summig Network)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 วงจรฟิลเตอร์และซัมมิ่งเนทเวอร์ค

ความสามารถในการลดไซด์แบนด์ โดยประมาณของวงจรในรูปคือ

$$dB = 40 \log (W_c/W_R)$$

สำหรับพาสซีฟฟิลเตอร์คือ

$$dB = 20 \log (W_c/W_R)$$

3.6.2.5) สำหรับเฟสดีเทคเตอร์ที่เป็นวงจรชนิด CMOS ขานอนอินเวอร์ติ้งของออปแอมป์ต้องไบอัสได้ที่ 1/2(Vdd) ส่วนเฟสดีเทคเตอร์ต้องดูจากคุณสมบัติของเฟสดีเทคเตอร์แต่ละเบอร์

3.7) วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator - VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกลูป เราพิจารณาได้ดังนี้

3.7.1) การเบี่ยงเบนความถี่ (Frequency Deviation) จุดสูงสุดของเคปเจอร์เรนจ์จะเท่ากับเกนการขยายของลูปเปิด (Open Loop Gain)

3.7.2) เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulation Sensitivity) ควรจะมีค่าสูง

3.7.3) การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

3.7.4) คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็นเชิงเส้น (linear)

3.7.5) Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาลอก วงจรผลิตความถี่ควบคุมโดยแรงดัน ควรจะมีสัญญาณเอาท์พุทที่บริสุทธิ์คือถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบเฟสล็อกลูป ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบและเสถียรภาพของความถี่รวมทั้งการดีมอดูเลตคลื่นเอฟเอ็มตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

3.7.6) ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น

3.7.7) เสถียรภาพของความถี่ที่ดี

3.7.8) สามารถใช้กับความถี่สูงได้

3.7.9) อัตราการขยายสูง

3.7.10) พิสัยการติดตามกว้าง

3.7.11) การตั้งความถี่กระทำได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

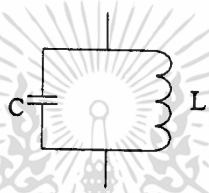
การออกแบบวงจรใช้งาน

4.1) วงจรผลิตคลื่นพาห์ความถี่สูง

วงจรผลิตความถี่สูงที่ใช้ในระบบ PLL เป็นแบบวงจร VCO (Voltage Control Oscillator) ซึ่งมีการทำงานคือ VCO จะมีหน้าที่เปลี่ยนแรงดันไฟฟ้าที่ได้รับให้เป็นความถี่ออกทางเอาท์พุทและวงจร VCOยังเป็นการสร้างสัญญาณ FM แบบทางตรง

4.2) การออกแบบวงจร VCO

สำหรับการออกแบบวงจร Voltage Control Oscillator เราจะนำ ไอซีเบอร์ MC 1648 มาทำการประยุกต์ใช้เป็นวงจร VCO เนื่องจากไอซีจะให้คุณสมบัติเป็นวงจรผลิตความถี่สูง สามารถผลิตความถี่ได้สูงสุดถึง 225 MHz โดยค่าความถี่ในการผลิตสัญญาณจะถูกกำหนดขึ้นโดยวงจรเรโซแนนท์แบบขนานดังรูป

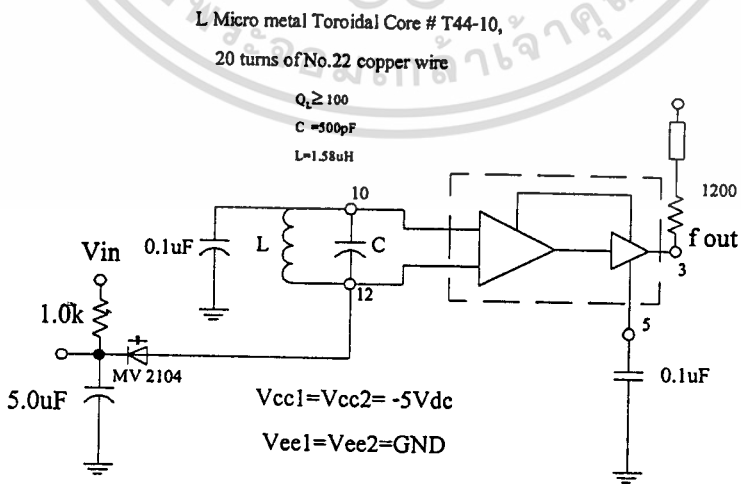


รูปที่ 4.1 วงจรเรโซแนนท์แบบขนาน

จากรูป ค่าความถี่เรโซแนนท์จะมีค่าเท่ากับ

$$f = 1/2\pi(LC)^{1/2}$$

จะเห็นได้ว่าการเปลี่ยนแปลงความถี่ทำได้โดยเปลี่ยนค่าของ L หรือ C แต่เนื่องจากการเปลี่ยนแปลงค่า C กระทำได้สะดวกกว่าจึงได้มีการนำอุปกรณ์วาเรคเตอร์ไดโอดมาใช้งานซึ่งให้คุณสมบัติเป็นตัวเก็บประจุ โดยค่าความจุไฟฟ้าจะมีค่าเปลี่ยนแปลงแรงดัน Vdc



รูปที่4.2 วงจรใช้งานเมื่อนำวงจรเรโซแนนท์แบบขนานทำงานร่วมกับ ไอซีเบอร์ MC 1648

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1) คุณสมบัติของวาเรคเตอร์เบอร์ MV 2104

จากข้อมูลคุณสมบัติของวาเรคเตอร์มีค่า tuning ratio คือ 2.5 ถึง 1 โดยทำให้มีค่าความจุไฟฟ้าประมาณ 6 pF ถึง 17 pF ที่แรงดันไบอัสกลับมีค่าเปลี่ยนแปลงแรงดันอยู่ระหว่าง 2 ถึง 30 V

เมื่อให้ Cr = อัตราส่วนของค่าคาปาซิแตนท์ (Capacitance Ratio)

Cv min = ค่าความจุต่ำสุดของวาเรคเตอร์

Cv max = ค่าความจุสูงสุดของวาเรคเตอร์

ρ = ค่าเอกซ์โพเนนของค่าคาปาซิแตนท์

จะได้ $Cr = Cv\ min / Cv\ max$

$= (Vmax / Vmin)^{\rho}$

เลือก tuning ratio = 2.9

$Cr = 2.9 = (30/2)^{\rho}$

$\log (2.9) = \rho \log (15)$

$\rho = 0.46239/1.17609$

$= 0.39316$

ที่แรงดัน 4 โวลท์ วาเรคเตอร์จะมีค่าความจุไฟฟ้าเท่ากับ 12 pF และใช้งานแรงดันไบอัสกลับสูงสุดถึง 9 โวลท์ จะได้ (แทนค่าในสมการ Cr)

$12\ pF / Cv\ max = (9 /4)^{0.39316}$

$Cv\ max = 12 \times 10^{-12} / 1.37551$

$= 8.72399\ pF$

ค่าความจุไฟฟ้าของวาเรคเตอร์ที่แรงดันไบอัสกลับสูงสุด = 8.72399 pF

ค่า Cv min จะได้

$Cr = Cv\ min / Cv\ max$

$2.9 = Cv\ min / 6\ pF$

$Cv\ min = 2.9 \times 6\ pF$

$\approx 17.4\ pF$

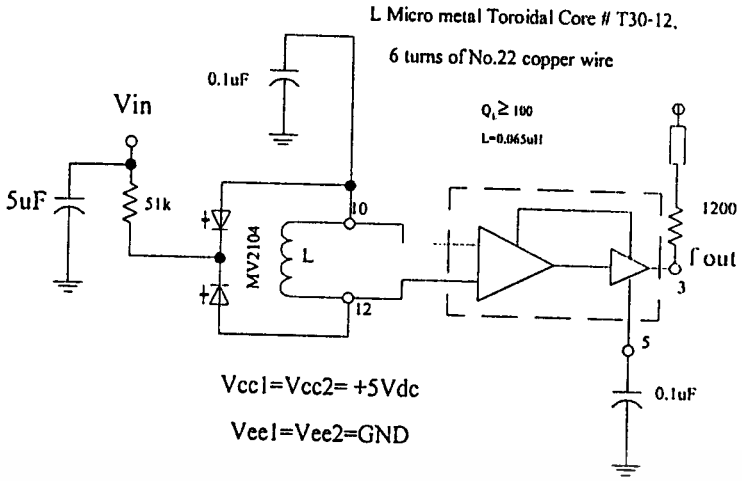
นั่นคือ จากวงจรใช้วาเรคเตอร์ทั้งหมด 4 ตัวทำให้ได้ค่าความจุไฟฟ้ารวมเป็น

$\therefore Cv\ max \approx 34.896\ pF$

$Cv\ min \approx 69.6\ pF$

จากวงจรใช้งาน เราต้องการความถี่เอาท์พุทของ VCO ในช่วงความถี่ 88-108 MHz แต่เนื่องจาก ไอซี MC 1648 จะมีค่าคาปาซิแตนท์ทางอินพุทประมาณ 6 pF ดังนั้นสามารถเขียนเป็นวงจรเรโซแนนท์ได้เป็นดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรใช้งาน

จะได้สมการคือ

$$fo = 1/2\pi \left[L(Cd + Cs)\right]^{1/2}$$

เมื่อ Cd = ค่าความจุไฟฟ้าของวาเรคเตอร์

Cs = ค่าความจุไฟฟ้าภายในไอซี มีค่าประมาณ 6 pF

จากคุณสมบัติของวาเรคเตอร์ที่ใช้งานเบอร์ MV 2104 จะมีค่าความจุเปลี่ยนแปลงอยู่ระหว่างประมาณ 6 pF ถึง 26 pF เมื่อใช้งาน 4 ตัวจะได้ค่าความจุรวมประมาณ 24 pF ถึง 104 pF (ที่แรงดัน 0.1 ถึง 30 โวลท์) แต่ที่แรงดัน 2 ถึง 9 โวลท์ จะได้ค่าความจุรวมประมาณ 34.896 pF ถึง 69.6 pF

กำหนดให้ ที่ f = 100MHz, C varactor = 48 pF (ที่ Vdc = 3 V)

จาก $fo = 1/2\pi \left[L(Cd + Cs)\right]^{1/2}$

$$L = 1/(2\pi f)^{2} (Cd + Cs)$$

$$= 1/(2\pi \times 100 \times 10^{6})^{2}(48+6)\times 10^{-2}$$

$$\approx 46.9 \text{ nH} \approx 47 \text{ nH}$$

ที่ f = 88 MHz

$$C = 1 /(2\pi f)^{2}(L)$$

$$= 1/(2\pi \times 88 \times 10^{6})^{2}(47 \times 10^{-9})$$

$$= 69.59 \text{ pF}$$

ที่ f = 100 MHz

$$C = 1 /(2\pi f)^{2}(L)$$

$$= 1/(2\pi \times 100 \times 10^{6})^{2}(47 \times 10^{-9})$$

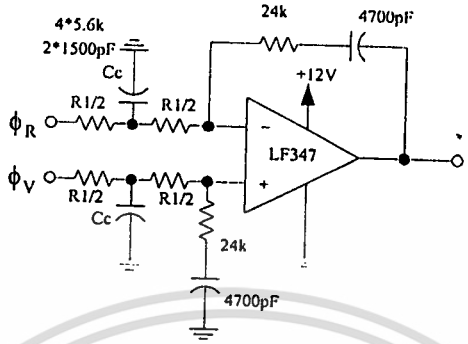
$$= 46.2 \text{ pF}$$

จะเห็นได้ว่าถ้าใช้ค่า L ประมาณ 47 nH กับวาเรคเตอร์ ไอซีสามารถผลิตความถี่ได้ครอบคลุมได้ตลอดย่านความถี่ที่ใช้งาน (ช่วง 88 ถึง 108 MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3) การออกแบบวงจรกรองความถี่ต่ำ

จากวงจรดังรูป เป็นวงจรกรองความถี่ต่ำแบบ doubled-ended phase detector ซึ่งใช้สัญญาณอินพุทที่ได้จากวงจรเปรียบเทียบเฟสเป็นแบบ ΦR และ ΦV ทำงานร่วมกับออปแอมป์



รูปที่ 4.4 Low Pass Filter

กำหนดค่า damping factor = 0.707

C1 = 0.01 uF

ความถี่อ้างอิง fr = 10 kHz

แรงดันที่ให้กับวงจร phase detector VDD = +5V

จากผลการทดลองวงจร VCO จะได้คุณสมบัติ คือ

ที่ความถี่ 88 MHz ใช้แรงดันที่ให้กับ VCO เท่ากับ 1.9 โวลท์

ที่ความถี่ 100 MHz ใช้แรงดันที่ให้กับ VCO เท่ากับ 4.9 โวลท์

จากสมการ $Wn = [(K\Phi Kvco)/(N*C_1*R_1)]^{1/2}$

ค่า damping factor , $\zeta = (Wn*R_2*C_1)/2$

เมื่อ $K\Phi = VDD/2\pi$

$= 5/2\pi$

$= 0.79577$ V/Rad

$Wn = 2\pi fr/50$

$= 2\pi*10*10^3/50$

$= 1,256.63706$ Rad/Sec

$Kvco = 2\pi \Delta fvco/\Delta Vvco$

$= 2\pi*(108-88)/(4.9-1.9)$

$= 31,415,926.5359$ Rad /Sec

ความถี่เฉลี่ยของ VCO = (108 MHz + 88 MHz)/2

= 98 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่า N ที่ใช้หาร $= fo/fr$

$= 98\ MHz / 10\ kHz$

$= 9,800$

จากสมการ $Wn = [(K\Phi Kvco)/(N*C_1*R_1)]^{1/2}$

ดังนั้น $R_1 = (K\Phi Kvco)/(C_1*Wn^2*N)$

$= (0.79577*31,415,926.5359)/[10*10^{-9}*9800*(1,256.63706)^2]$

$= 161,544.29\ k\Omega$

$R_2 = 2\zeta / WnC_1$

$= 2*0.707/[1256.63706*10*10^{-9}]$

$= 112,522.54\ k\Omega$

4.4) การออกแบบวงจร Stereo Multiplex

วงจร Stereo Multiplex ใช้ IC เบอร์ 4066 และ 4001 เป็นมัลติเพล็กซ์สวิทช์และผลิตความถี่ 38 kHz ตามลำดับโดยสัญญาณจากซ้ายและขวาจะถูกนำเข้ามาผสมเป็นสัญญาณ (L+R) และ (L-R) พร้อมกับสัญญาณ Pilot 19kHz เพื่อนำไป modulation กับสัญญาณความถี่หลักที่ต้องการออกอากาศ โดยที่สัญญาณอินพุททั้งซ้ายและขวาจะจำกัดขนาดความแรงของสัญญาณอยู่ที่ประมาณ 500 mV วงจรใช้งานจริงถูกแสดงไว้ที่ภาคผนวกในตอนท้าย

4.5) โปรแกรมควบคุมการเลือกความถี่

โปรแกรมสำหรับควบคุมการเลือกความถี่ในโครงงานนี้ใช้ไมโครคอนโทรเลอร์ 89C51 ซึ่งทำงานเหมือนกับไมโครคอนโทรเลอร์ตระกูล MCS51 ทั่ว ๆไปโดยที่จะสามารถปรับค่าความถี่ขึ้นได้ทีละ 25kHz โดยย่านความถี่ถูกจำกัดอยู่ในย่าน 87.5 MHz-108 MHz ความถี่เริ่มต้นอยู่ที่ 100 MHz เมื่อความถี่ถูกเพิ่มขึ้นจนถึง 108 MHz จะวนกลับมาเริ่มใหม่ที่ความถี่ต่ำสุดคือ 87.5 MHz Flow chart และโปรแกรมจะแสดงไว้ที่ภาคผนวกในตอนท้าย

4.6)การออกแบบวงจร RF Amplifier

4.6.1)ทรานซิสเตอร์ความถี่สูง พิจารณาทรานซิสเตอร์ที่ถูกออกแบบมาใช้ในวงจรขยายคอมมอนอิมิเตอร์ในรูปที่ 4.5 (ก) จะแสดงการแทนทรานซิสเตอร์ด้วยบล็อกอันหนึ่ง โดยมีอินพุทเข้าทางขาเบส และเอาท์พุทออกที่ขาคอลเล็กเตอร์ จากบล็อกดังกล่าวอาจแทนได้โดยตัวต้านทาน R_s ต่ออนุกรมอยู่กับรีแอกแตนท์ X_s ตามรูปที่ 4.5(ข) ซึ่งค่าของ X_s จะเป็นบวกหากเป็นตัวเหนี่ยวนำและเป็นลบหากเป็นตัวเก็บประจุ หน่วยของรีแอกแตนท์ จะอยู่ในรูปของโอห์มไม่ใช่ เฮนรี่ หรือ ฟารัด หากต้องการพิจารณาค่าของอินพุทและเอาท์พุทอิมพีแดนซ์สามารถพิจารณาโดยการนำตัวต้านทานและค่ารีแอกแตนท์มาขนานกัน ดังรูปที่ 4.5(ข) ซึ่งสรุปเป็นสูตรได้ดังนี้

$$R_s=(R_pX_p^2)/(R_p^2+X_p^2)$$

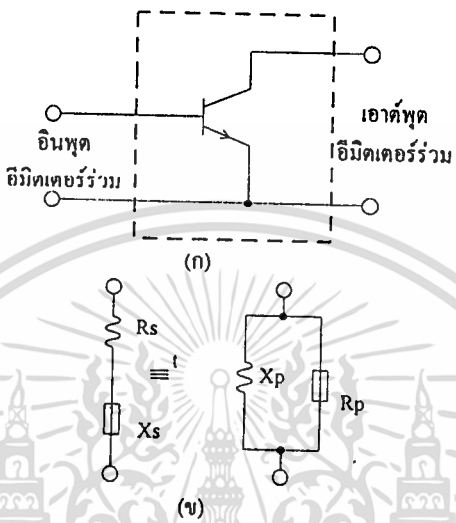
$$X_s=(R_p^2X_p)/(R_p^2+X_p^2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_p=(R_s^2+X_s^2)/R_s$$

$$X_p=(R_s^2+X_s^2)/X_s$$

โดย R_s และ X_s เป็นค่าความต้านทานและค่ารีแอกแตนท์เมื่อต่ออนุกรม R_p และ X_p เป็นค่าความต้านทานและค่ารีแอกแตนท์เมื่อต่อขนาน ปกติจะเขียนความสัมพันธ์ของค่าอิมพีแดนซ์ในรูปจำนวนเชิงซ้อน ซึ่งมีค่า j เข้ามาเกี่ยวข้อง โดยมีความหมายแสดงถึงแรงดันและกระแสต่างเฟสกัน 90 องศา



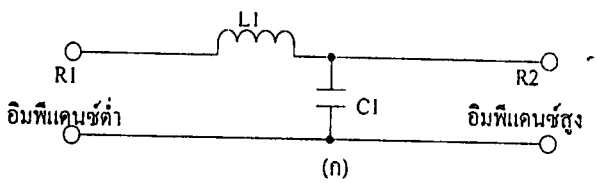
รูปที่4.5 การแทนทรานซิสเตอร์โดยบล็อกสี่เหลี่ยม

4.6.2) การแมตชิ่ง ในการส่งผ่านสัญญาณระหว่างวงจรมักพบปัญหาเกี่ยวกับอิมพีแดนซ์ไม่เหมาะสมหรือ ไม่แมตช์ รูปที่ 4.6 เป็นวงจรแมตชิ่งที่สามารถใช้เพื่อช่วยในการจัดอิมพีแดนซ์ให้เหมาะสมการคำนวณค่าของอุปกรณ์ต่าง ๆ ใช้สูตรที่อยู่ติดกับรูป

ค่าของ X_{L1} คือค่าความต้านทานทางไฟสลับ (รีแอกแตนท์) ของวงจรแมตชิ่งซึ่งตามรูปที่4.6 (ก) ถึง 4.6 (ค) จะเพิ่มขึ้นหากความต้านทาน R_1 ต่อกับตัวเก็บประจุ และจะลดลงหากต่อกับตัวเหนี่ยวนำ สำหรับในรูป (ง) ค่าของ X_{L1} จะถูกกำหนดโดยค่าของรีแอกแตนท์ที่ต่อร่วมกับ R_1 และค่า X_{L2} จะถูกกำหนดโดยค่ารีแอกแตนท์ที่ต่ออยู่กับ R_2 ค่าของรีแอกแตนท์สามารถแปลงกลับเป็นค่าของตัวเก็บประจุ หรือตัวเหนี่ยวนำได้ โดยใช้สูตรคำนวณดังนี้

$$L= X_L/(2\pi f)$$

$$C=1/2\pi f X_c$$

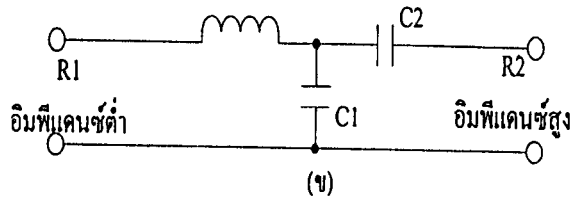


$$X_{L1} = QR_1, \qquad R_2 = R_1(1+Q^2)$$

$$X_{C1} = \frac{R_1^2 + X_L^2}{X_{L1}}$$

รูปที่ 4.6 แสดงวงจรแมตชิ่งที่ใช้ในการปรับอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



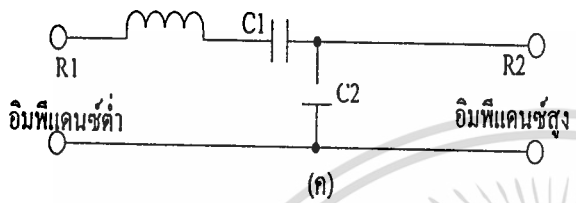
(ข)

$$B = R_1(1+Q^2)$$

$$A = \sqrt{\left(\frac{B}{R_2}\right)-1}$$

$$X_{L1} = QR_1 \qquad X_{C2} = AR_2$$

$$X_{C1} = \frac{B}{Q-A}$$

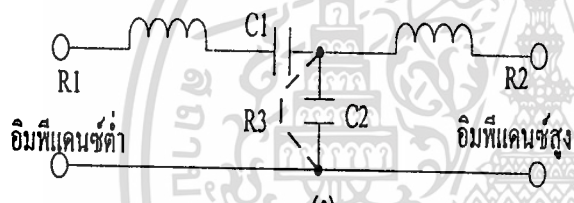


(ค)

$$X_{C1} = QR_1$$

$$X_{L1} = X_{C1} + \frac{R_1R_2}{X_{C2}}$$

$$X_{C2} = R_2\sqrt{\left(\frac{R_1}{R_2-R_1}\right)}$$



(ง)

$$R_3 = R_1(1-Q_2^2)$$

$$X_{Ca} = R_3\sqrt{\left(\frac{R_1}{R_3-R_1}\right)}$$

$$X_{L2} = Q_2R_2 \qquad X_{C1} = Q_1R_1$$

$$X_{cb} = \frac{R_2^2 + X_{L2}^2}{X_{L2}} \qquad C_2 = C_a + C_b$$

$$X_{L1} = X_{C1} + \frac{R_1R_3}{X_{Ca}}$$

รูปที่ 4.6 (ต่อ) แสดงวงจรแมตชิ่งที่ใช้ในการปรับอิมพีแดนซ์และสูตรการคำนวณ

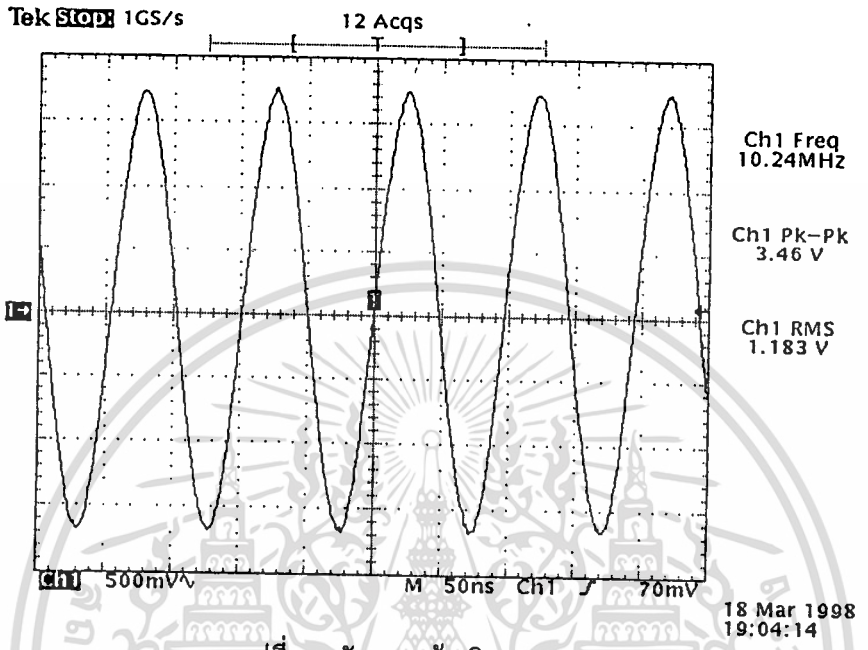
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลองและวิจารณ์

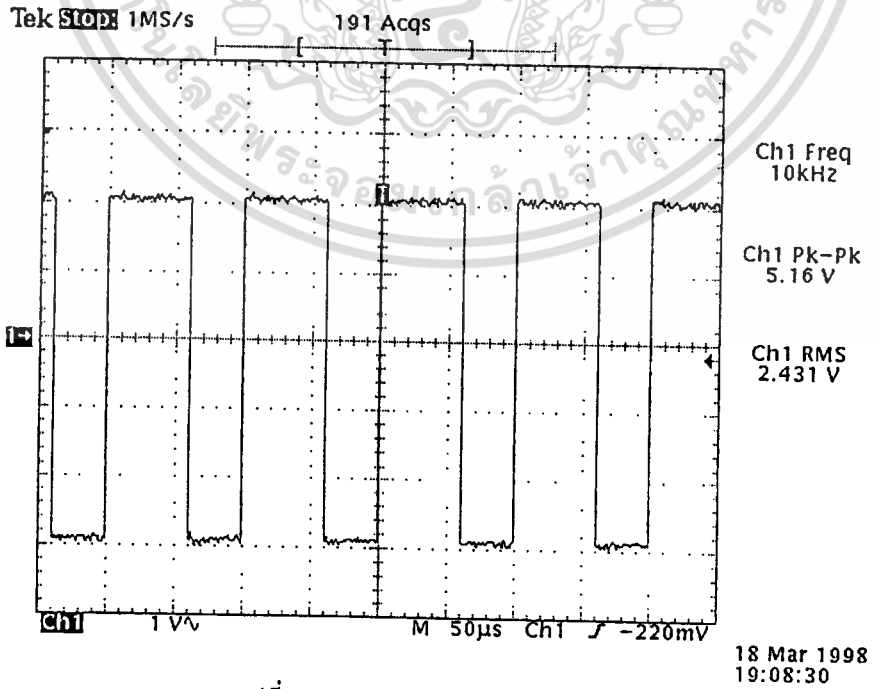
5.1) การทดลองวงจรภาคเฟสล็อกลูป

5.1.1) วัดสัญญาณความถี่อ้างอิงของภาค Phase Lock Loop ได้ดังรูปที่ 5.1



รูปที่ 5.1 สัญญาณอ้างอิง 10.24 MHz

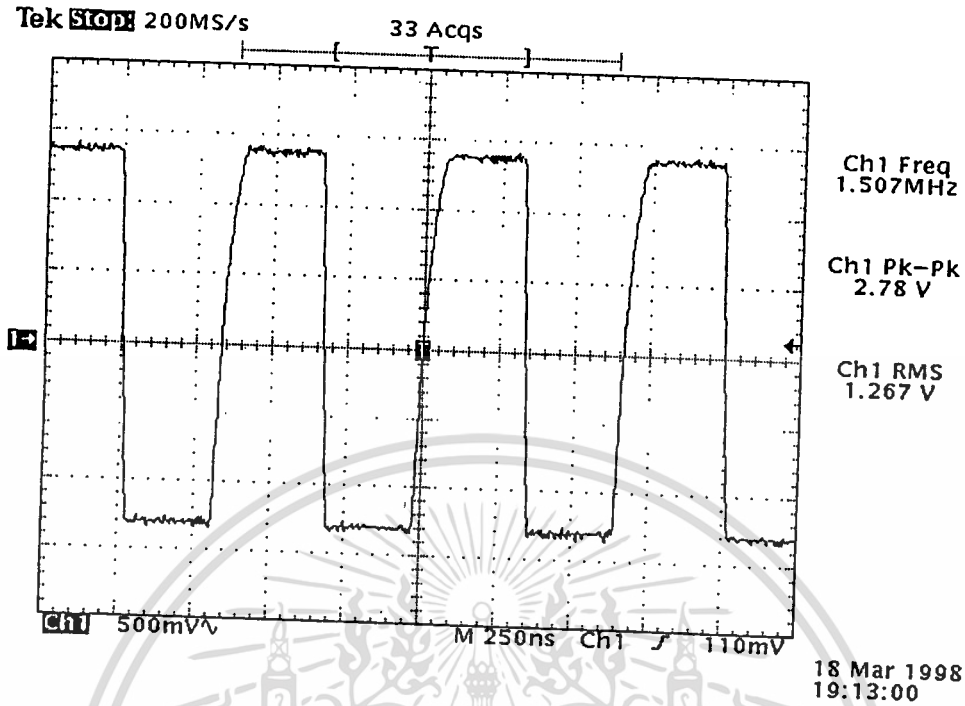
5.1.2) วัดสัญญาณควบคุมปรีสเกลเลอร์ได้ตามรูปที่ 5.2



รูปที่ 5.2 สัญญาณควบคุมปรีสเกลเลอร์

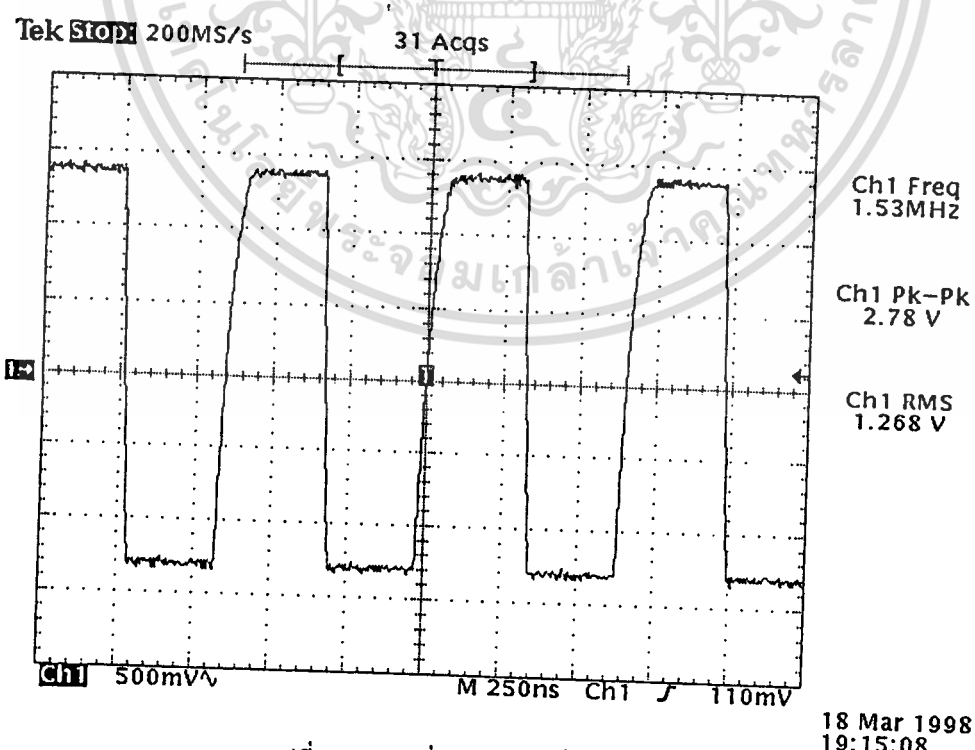
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3)วัดสัญญาณความถี่จากVCOเมื่อโปรแกรมPrescaler ให้มีค่าหารเท่ากับ 65ได้ดังรูปที่ 5.3



รูปที่ 5.3 ความถี่จาก VCO เมื่อหารด้วย 65

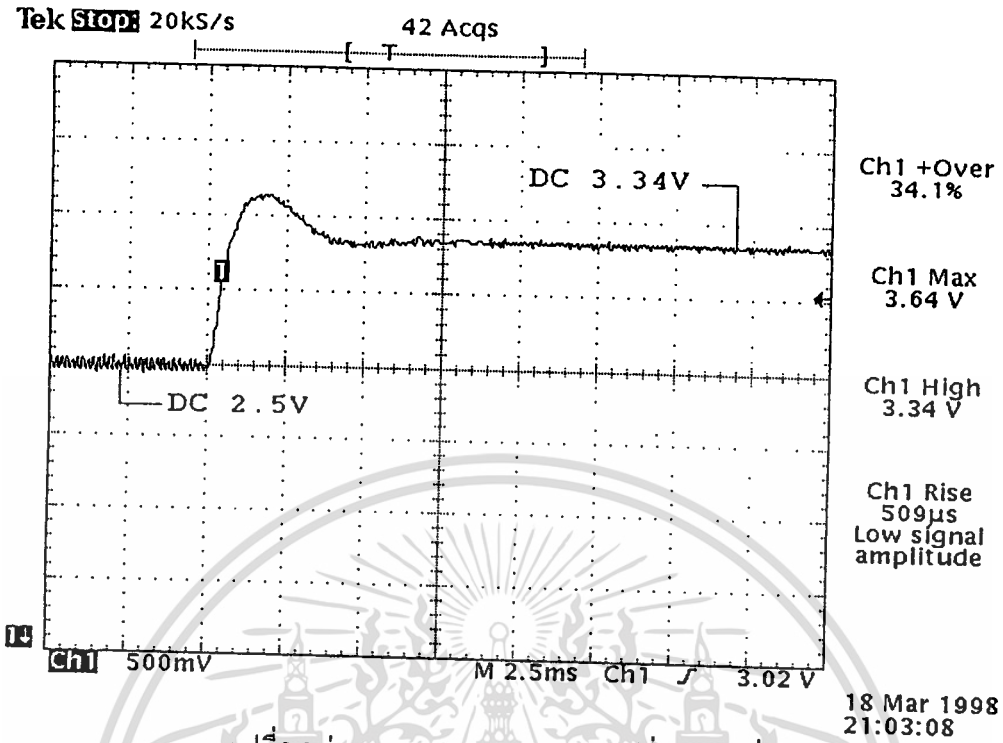
5.1.4) วัดสัญญาณความถี่จากVCOเมื่อโปรแกรมPrescaler ให้มีค่าหารเท่ากับ 64ได้ดังรูปที่ 5.4



รูปที่ 5.4 ความถี่จาก VCO เมื่อหารด้วย 64

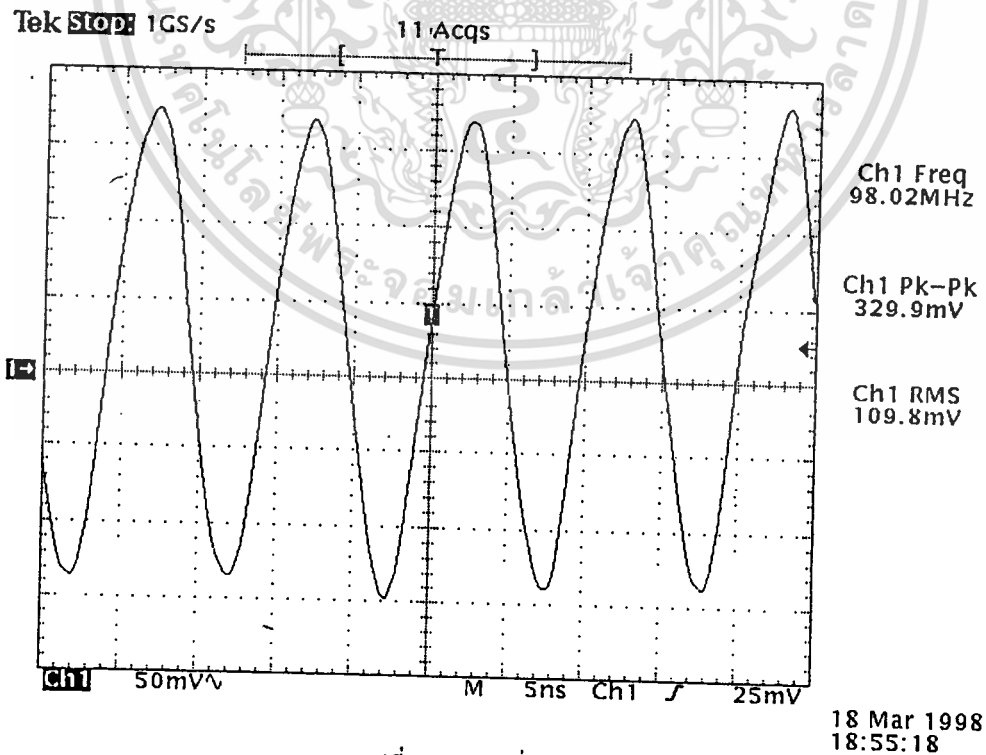
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5) วัดค่า Damping Factor ของการเปลี่ยนความถี่จาก 93MHz ไป 98MHz ได้ดังรูปที่ 5.5



รูปที่5.5 ค่า Damping Factor ของการเปลี่ยนความถี่จาก 93 ไป 98 MHz

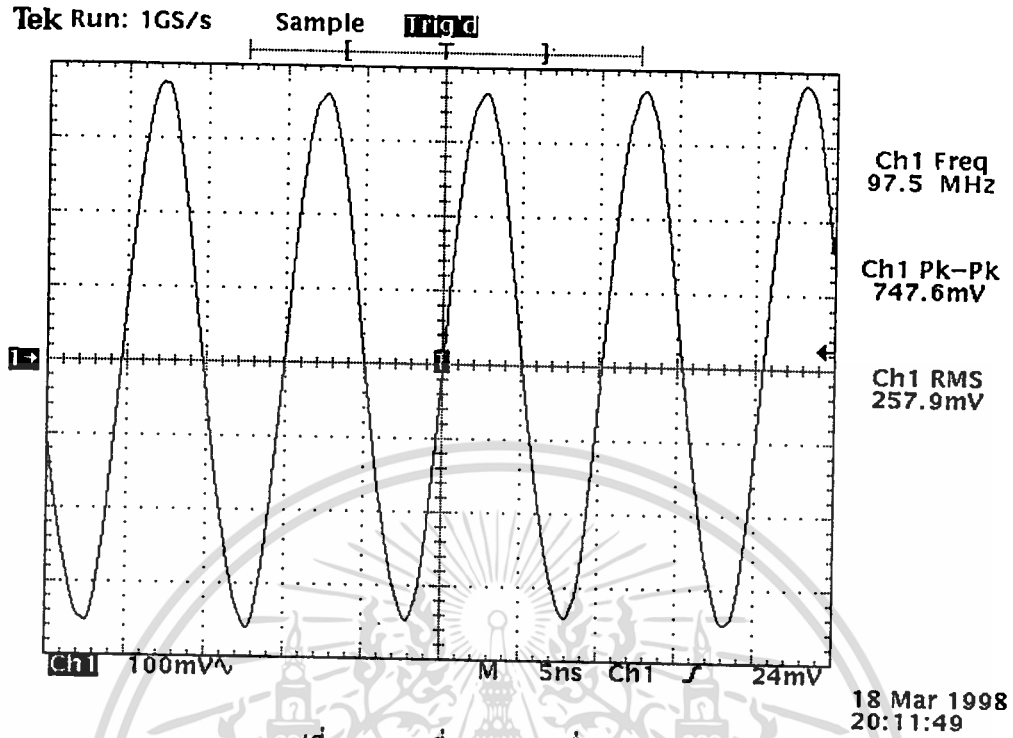
5.1.6)วัดสัญญาณความถี่จาก VCO ได้ดังรูปที่ 5.6



รูปที่ 5.6 ความถี่จาก VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

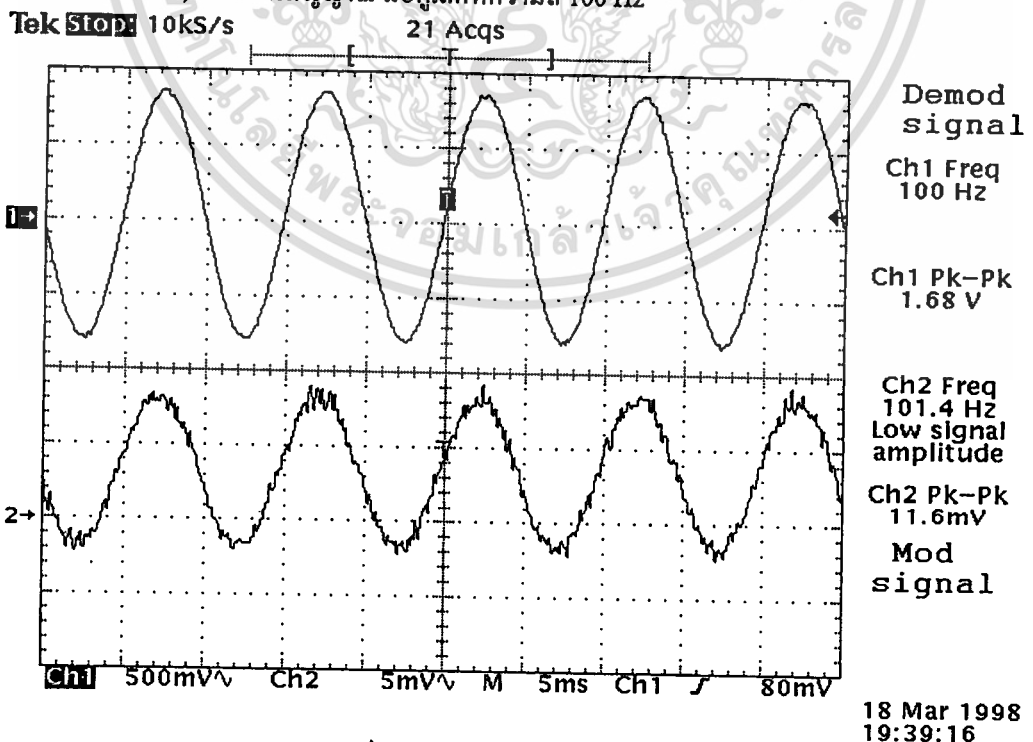
5.1.7) วัดสัญญาณความถี่จากวงจร VCO เมื่อผ่านวงจรปรีแอมป์ ได้ดังรูปที่ 5.7



รูปที่ 5.7 ความถี่จาก VCO เมื่อผ่านปรีแอมป์

5.2) การทดสอบภาค Modulate โดยทำการวัดสัญญาณมอดูเลตที่ความถี่ต่างๆ และวัดสัญญาณที่เครื่องรับสามารถรับได้เป็นดังนี้

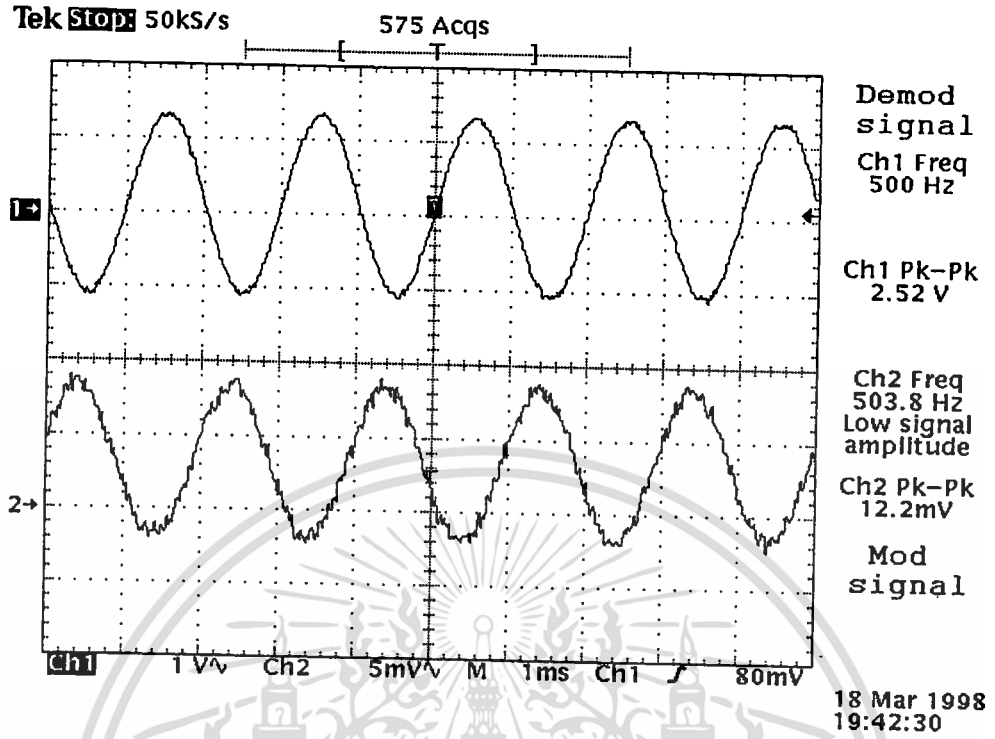
5.2.1)เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 100 Hz



รูปที่ 5.8 ป้อนสัญญาณเสียง 100 Hz

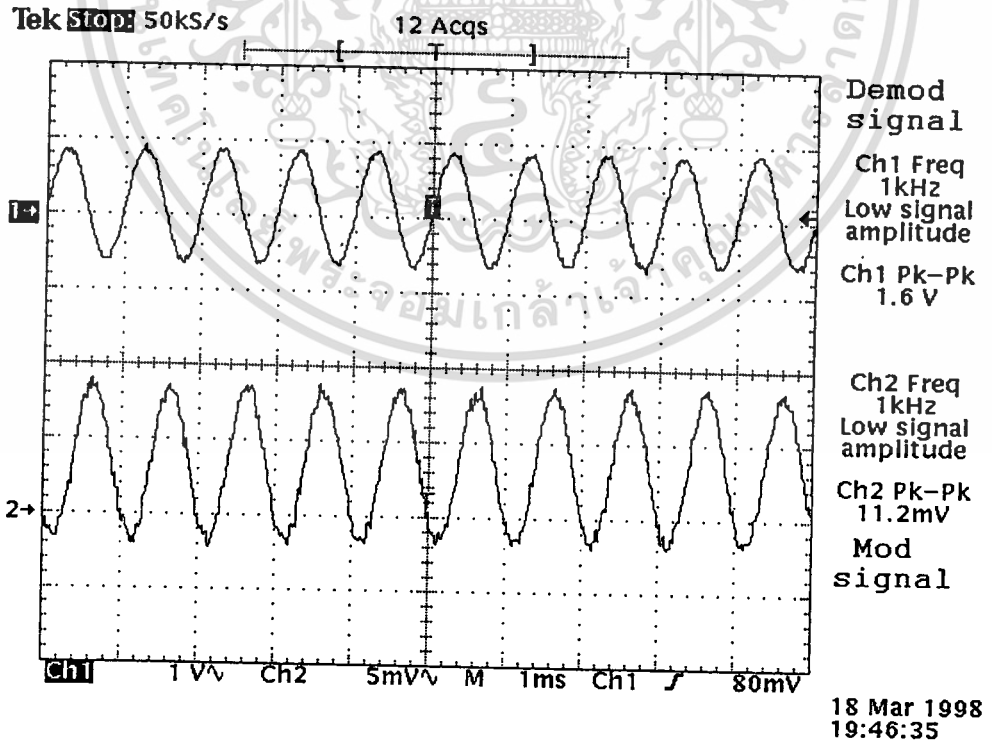
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2) เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 500 Hz



รูปที่ 5.9 ป้อนสัญญาณเสียง 500 Hz

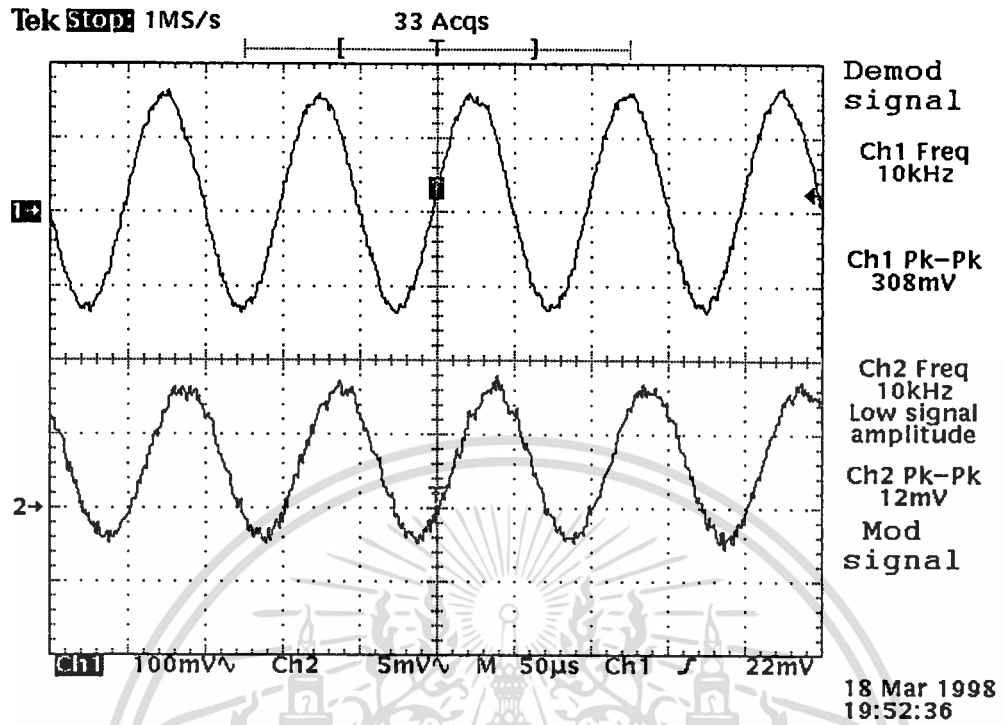
5.2.3) เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 1kHz



รูปที่ 5.10 ป้อนสัญญาณเสียง 1kHz

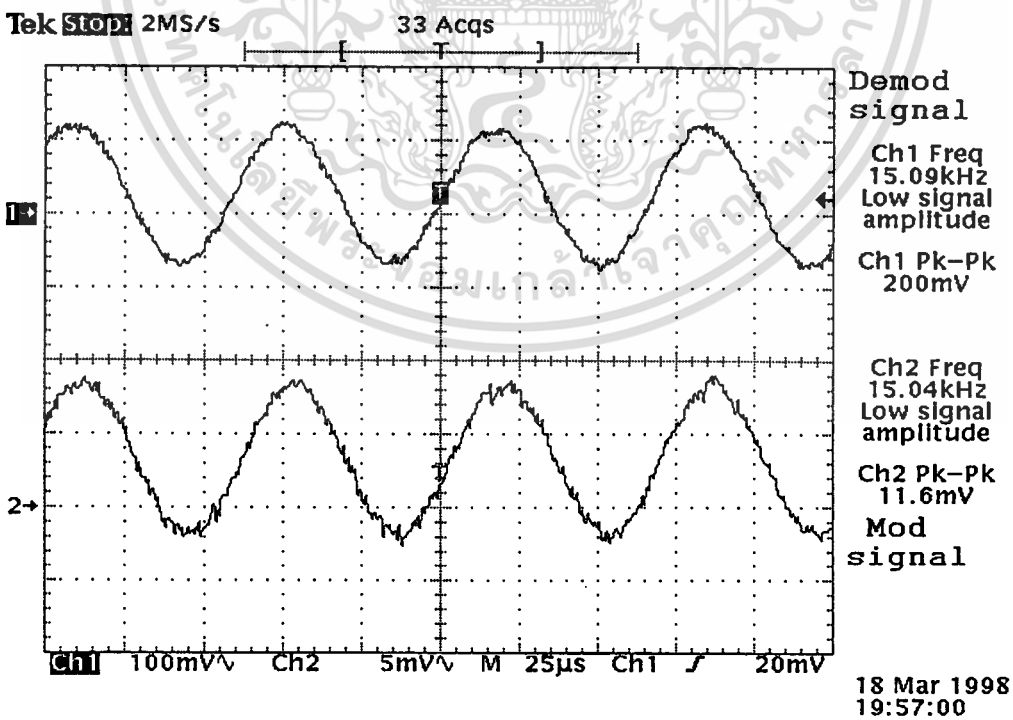
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4) เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 10kHz



รูปที่ 5.11 ป้อนสัญญาณเสียง 10 kHz

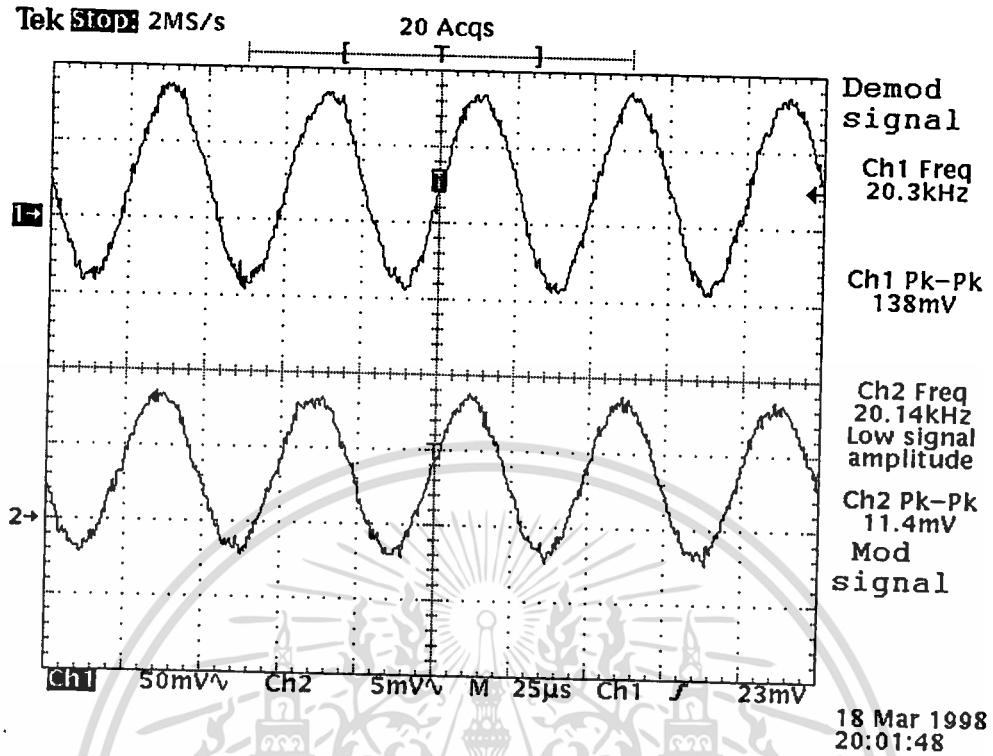
5.2.5)เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 15kHz



รูปที่ 5.12 ป้อนสัญญาณเสียง 15 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

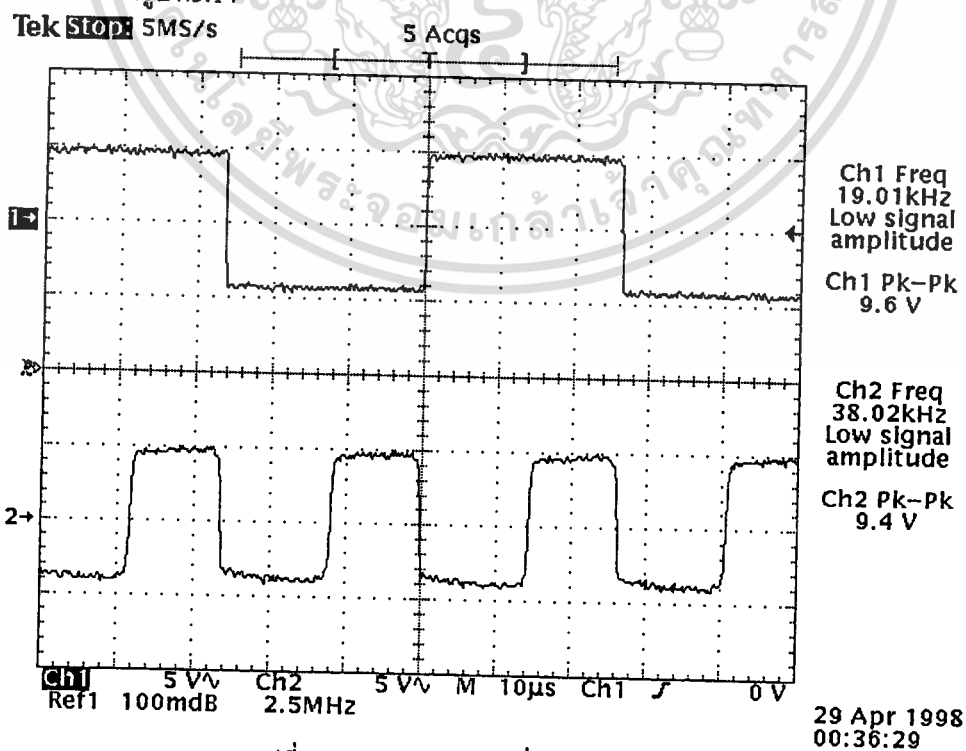
5.2.6)เมื่อป้อนสัญญาณ มอดูเลตที่ความถี่ 20kHz



รูปที่ 5.13 ป้อนสัญญาณเสียง 20 kHz

5.3)การทดลองภาคสเตอริโอมัลติเพล็กซ์

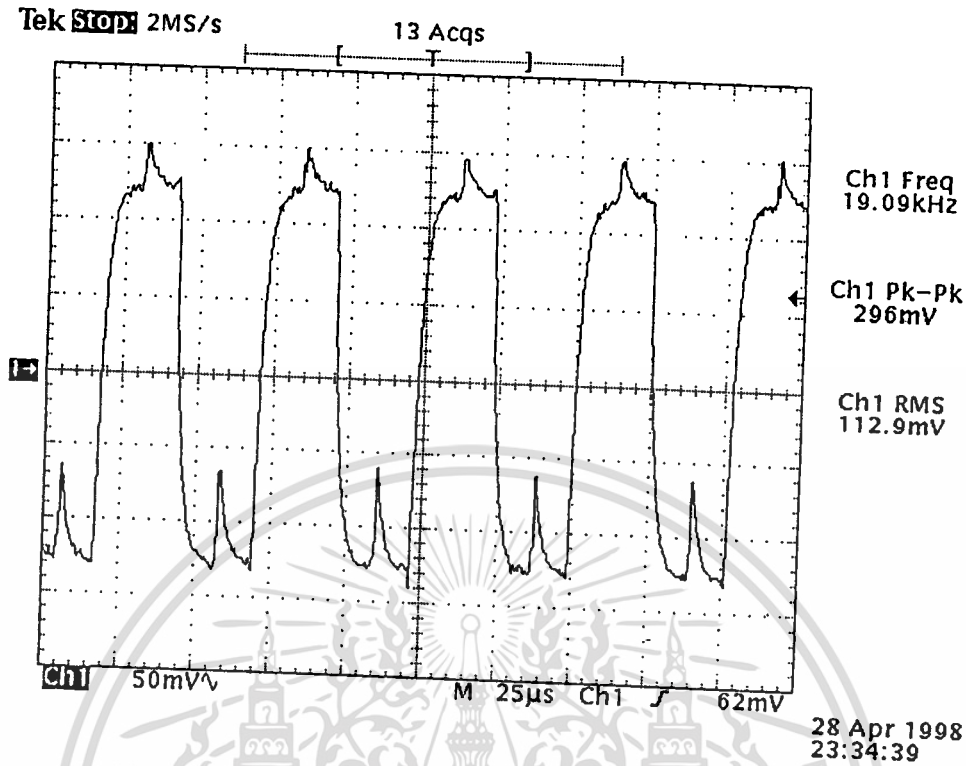
5.3.1)วัดสัญญาณความถี่ Sub Carrier 38 kHz และ Pilot Signal 19 kHz ในภาคสเตอริโอมัลติเพล็กซ์ได้ดังรูปที่5.14



รูปที่ 5.14 สัญญาณ ความถี่ Sub Pilot 38 kHz

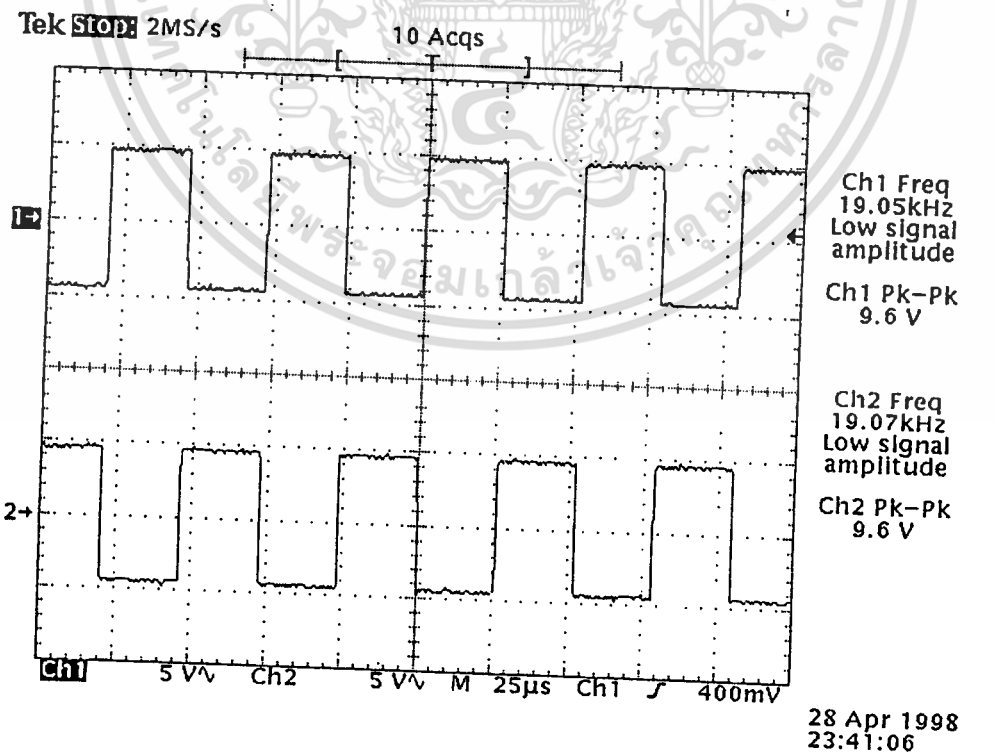
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2) วัดสัญญาณ Composite เมื่อไม่ป้อนสัญญาณอินพุท



รูปที่ 5.15 แสดงสัญญาณเอาท์พุทของภาคสเตอริโอเมื่อไม่มีอินพุท

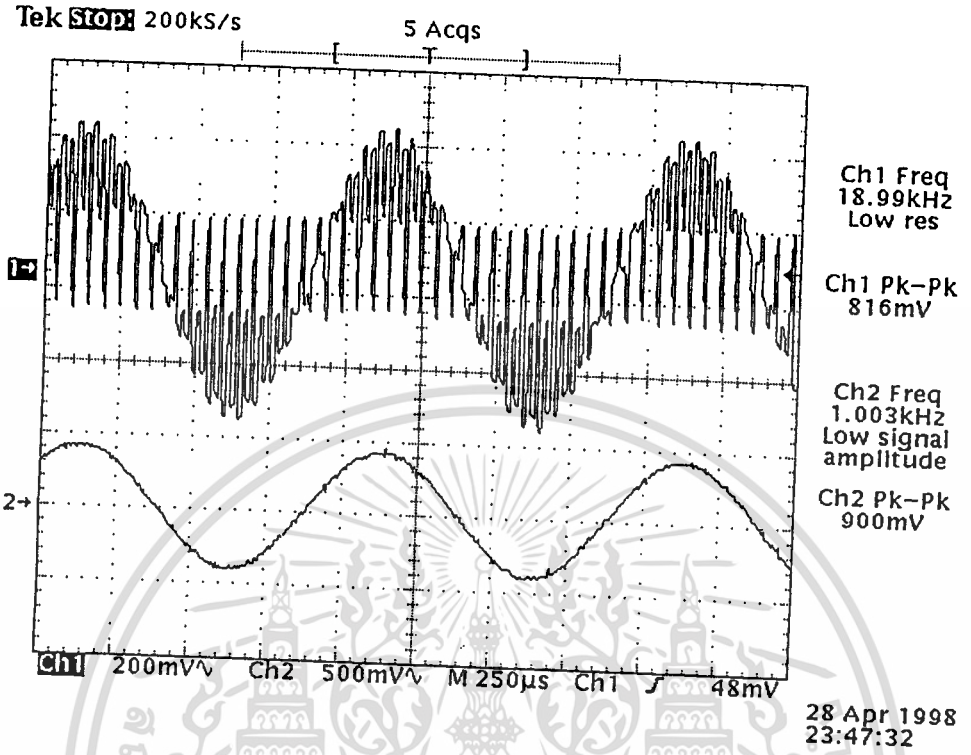
5.3.3)วัดสัญญาณควบคุมวงจรมัลติเพล็กซ์สวิทช์



รูปที่ 5.16 สัญญาณควบคุมวงจรมัลติเพล็กซ์สวิทช์

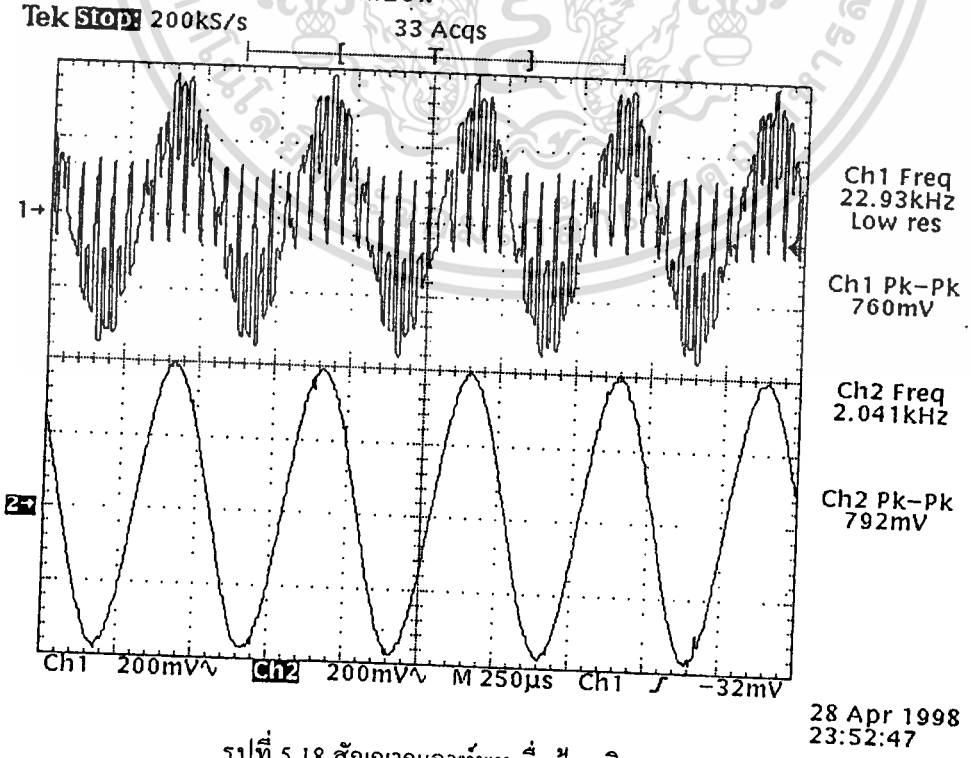
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.4)วัดเอาท์พุทของภาคสเตอริโอมัลติเพล็กซ์เมื่อป้อนสัญญาณ อินพุท 1 kHz เข้าช่องสัญญาณช่องใดช่องหนึ่งและอีกช่องหนึ่งไม่ป้อน



รูปที่ 5.17 สัญญาณเอาท์พุทเมื่อป้อนอินพุท 1kHz

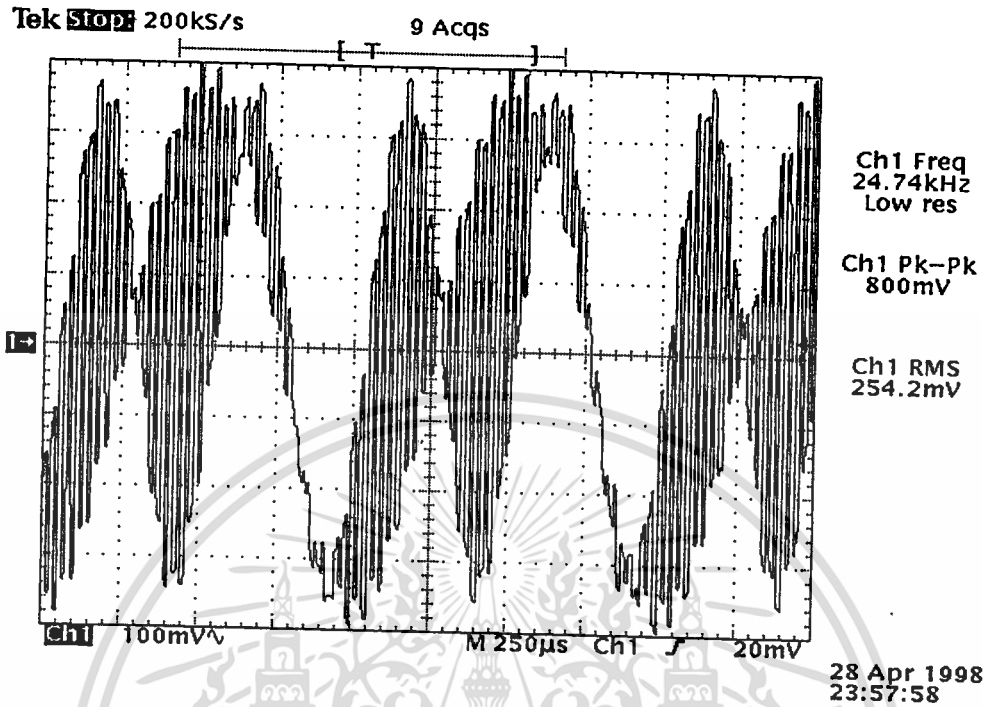
5.3.5)วัดเอาท์พุทของภาคสเตอริโอมัลติเพล็กซ์เมื่อป้อนสัญญาณ ,อินพุท 2 kHz เข้าช่องสัญญาณช่องใดช่องหนึ่งและอีกช่องหนึ่งไม่ป้อน



รูปที่ 5.18 สัญญาณเอาท์พุทเมื่อป้อนอินพุท 2kHz

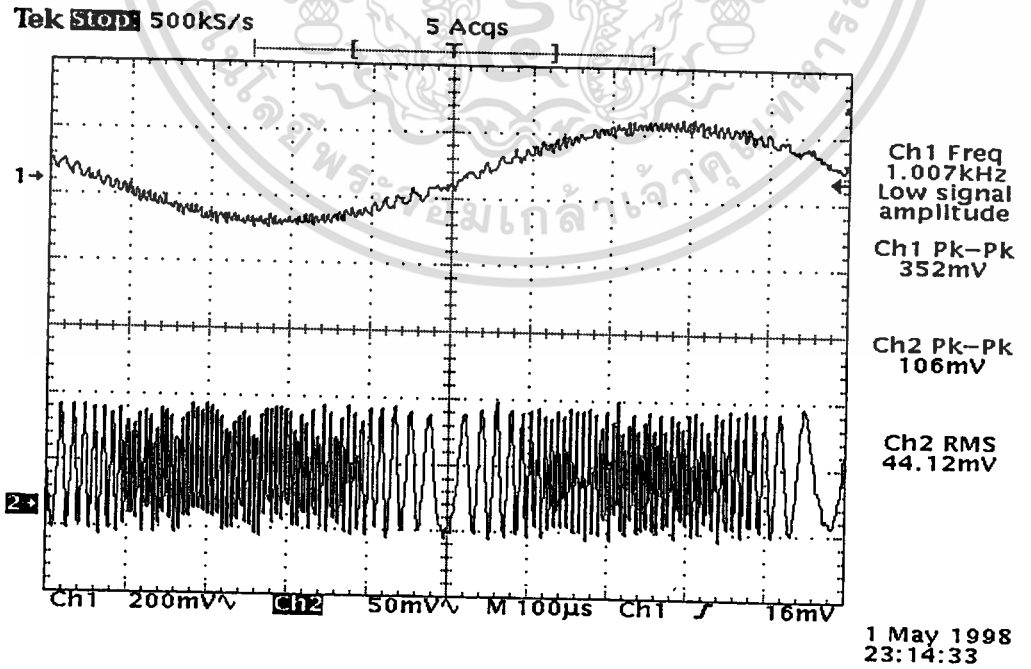
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.6)วัดเอาท์พุทของภาคสเตอริโอมัลติเพล็กซ์เมื่อป้อนอินพุท 1kHz และ 2kHz เข้าช่องสัญญาณด้านซ้ายและขวาตามลำดับได้ดังรูป 5.19



รูปที่ 5.19 เอาท์พุทของสเตอริโอเมื่อป้อนอินพุท 1kHz และ 2kHz

5.3.7) วัดสัญญาณพาหะเมื่อถูกมอดูเลตทางเอฟเอ็มได้ดังรูป 5.20



รูปที่ 5.20 สัญญาณพาหะเมื่อถูกมอดูเลตด้วยสัญญาณความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4) การทดลองวัดค่าแรงดัน VCO ที่ความถี่ต่างๆ ได้ดังนี้

ตารางที่ 5.1 แสดงค่าแรงดัน VCO ที่ความถี่ต่างๆกัน

ความถี่ (MHz)	แรงดัน (V)
87.5	1.98
88	2.02
88.5	2.08
89	2.12
89.5	2.18
90	2.24
90.5	2.30
91	2.36
91.5	2.43
92	2.50
92.5	2.57
93	2.65
93.5	2.73
94	2.82
94.5	2.91
95	3.00
95.5	3.10
96	3.21
96.5	3.32
97	3.43
97.5	3.55
98	3.68
98.5	3.82
99	3.96
99.5	4.12
100	4.28
100.5	4.45
101	4.63
101.5	4.82
102	5.02

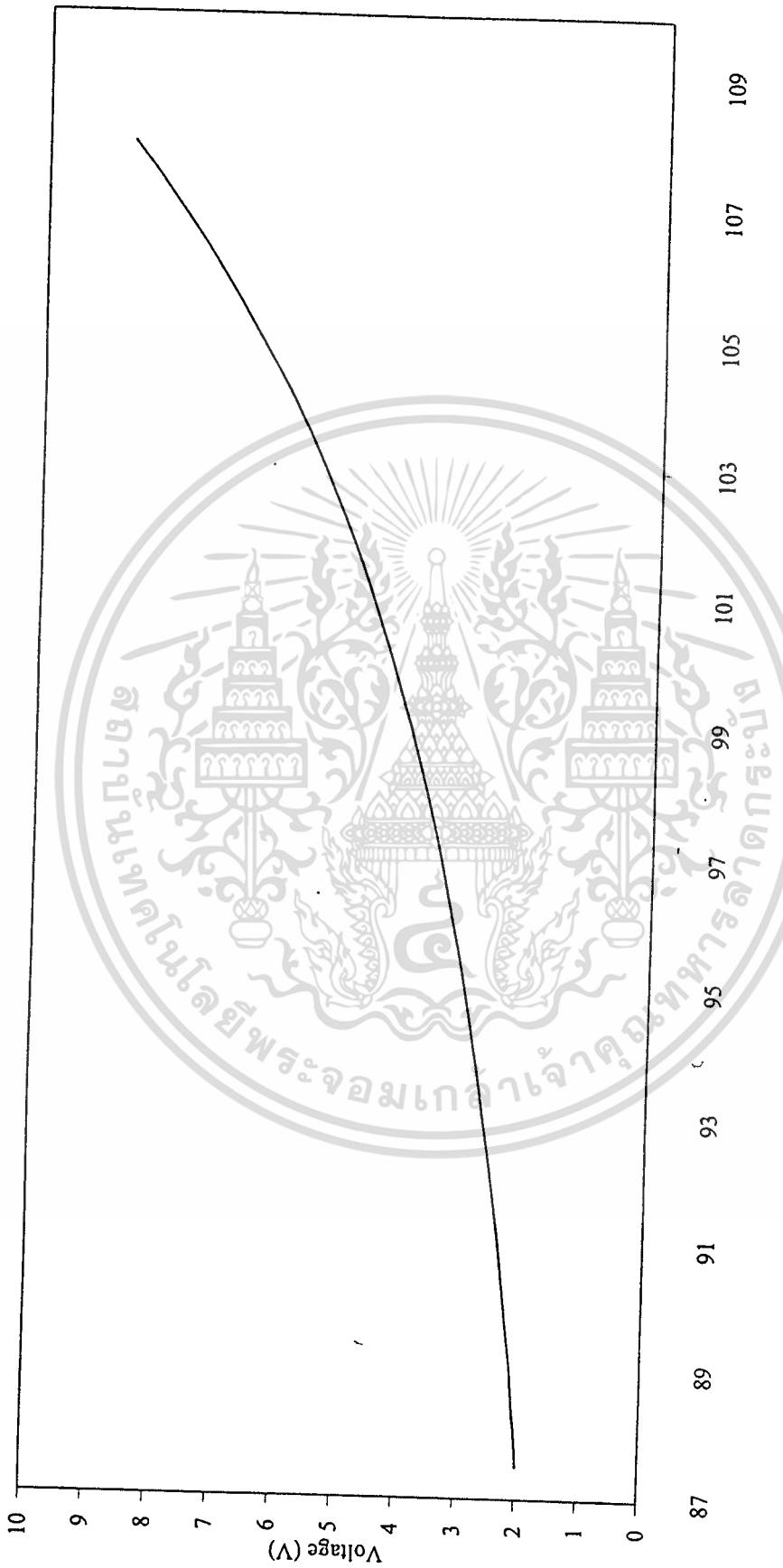
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (MHz)	แรงดัน (V)
102.5	5.24
103	5.46
103.5	5.70
104	5.96
104.5	6.23
105	6.52
105.5	6.82
106	7.14
106.5	7.48
107	7.85
107.5	8.23
108	8.64

ตารางที่ 5.1 (ต่อ)

จากตารางสามารถนำมาเขียนเป็นกราฟแสดงความสัมพันธ์ระหว่างความถี่กับแรงดัน VCO ได้ดังรูปที่ 5.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 กราฟแสดงแรงดันควบคุม VCOเพื่อผลิตความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5)สรุปผลการทดลองและวิจารณ์

5.5.1)วงจร เฟสล็อกลูป

ความถูกต้องแม่นยำในการผลิตความถี่ จะมีความผิดพลาดขึ้นกับเงื่อนไขดังนี้

5.5.1.1)ความถูกต้องของความถี่อ้างอิง เนื่องจากใช้เป็นมาตรฐานในการสร้างความถี่ ในโครงงานนี้ใช้คริสตัลเป็นตัวกำหนดความถี่ 10.24 MHz แล้วทำการหารด้วย 1024 จึงได้เป็นความถี่อ้างอิงใกล้เคียงกับ 10 kHz หรือค่าความถี่ผิดพลาดลดลงไป 1/1000

5.5.1.2)วงจรหารความถี่แบบสองโมดูลัส สามารถตั้งจำนวนหารความถี่ได้ละเอียดขึ้นเป็นค่าจุดทศนิยม มีค่าการเปลี่ยนแปลงของจุดทศนิยมเท่ากับ 1/64 แต่มีขีดจำกัดคือ ไม่สามารถกำหนดค่า N < A ได้

5.5.1.3)ค่าจำนวนนับของวงจรหารความถี่จะอยู่ระหว่าง8,750(N=136,A=46)ถึง1080 (N=168,A=48)

5.5.1.4) ค่าแรงดันควบคุมที่ออกจาก Loop filter ควรให้มีค่าแรงดันกระเพื่อมน้อยที่สุด เพราะจะเสมือนว่ามีสัญญาณมามอดูเลตตลอดเวลา

5.5.2)วงจร Voltage Control Oscillator

เนื่องจากค่าความจุของวาริแคป มีค่าเปลี่ยนแปลงน้อยจึงได้ทำการขนาน เพื่อเพิ่มความจุทำให้สามารถผลิตความถี่ได้ตลอดย่าน 87.5 MHz ถึง 108 MHz และ ไอซีที่ใช้ผลิตความถี่มีความไวต่อแรงดันไฟเลี้ยงอยู่บ้าง

5.5.3)วงจรสเตอริโอมัลติเพล็กซ์

ระบบการมัลติเพล็กซ์จะใช้สวิทชิ่ง มาทำการย้ายสเปคตรัมของสัญญาณ L-R ไปอยู่ที่ 23 kHz –53kHz จะใช้ได้ผลดีในการปรับแต่งวงจรดีกว่าแบบบาลานซ์มอด เพราะไม่มีวงจรปรับบาลานซ์ แต่สัญญาณที่ได้จะเป็นพัลซ์ทำให้มีแถบสเปคตรัมกว้างเกินไป จึงควรผ่านวงจร Low pass filter ก่อนนำไปใช้งาน

วงจรผลิตความถี่ Sub carrier ควรจะมีความเที่ยงตรงสูงและมีเสถียรภาพทางความถี่ที่ดี แต่วงจรที่ใช้ในโครงงานใช้วงจร RC Oscillator จึงได้เปลี่ยนไปใช้ VR แบบรอบสูง (250รอบ)ทำให้วงจรมีเสถียรภาพดีขึ้นและมีค่าผิดพลาดทางความถี่ลดลง

5.5.4)ไมโครคอนโทรเลอร์ควบคุมความถี่

เนื่องจาก เพื่อทำให้การปรับเปลี่ยนความถี่สะดวกต่อการใช้งานจึงได้มีการนำไมโครคอนโทรเลอร์มาควบคุมความถี่ โดยจะส่งค่าของผลหารคือ N=136 ถึง 168 และ A =0 ถึง 64 ออกทางพอร์ตต่อไปที่ไอซี เฟสล็อกลูป

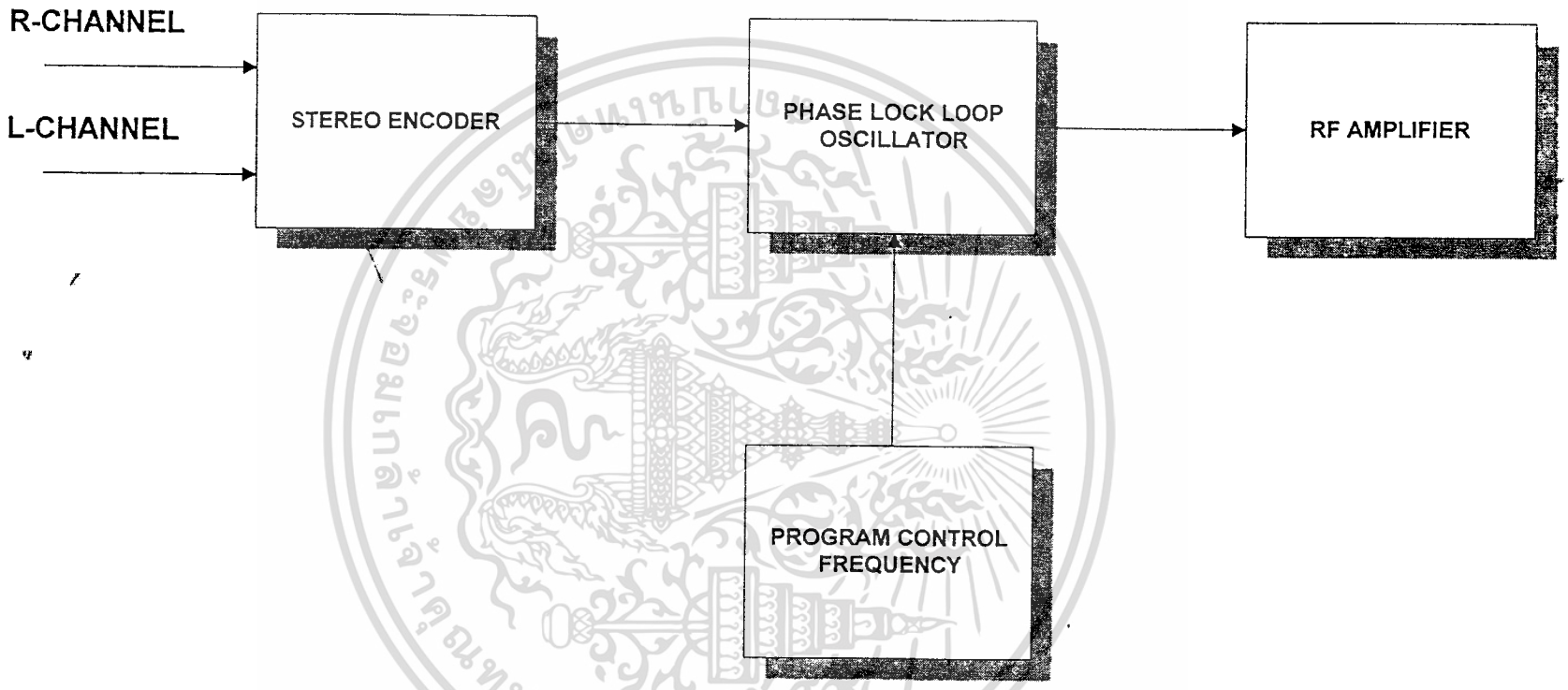
5.5.5)วงจร RF Amplifier

ปัญหาสำคัญของวงจรความถี่สูงอย่างหนึ่งก็คือระบบ กราวด์ ควรมีพื้นที่กราวด์ครอบคลุมที่สุดและผลกระทบที่เกิดจากค่า R,L,C ที่เกิดขึ้นจากลายวงจร ค่าอิมพีแดนซ์มีค่าเปลี่ยนแปลงไปจากที่คำนวณไว้ได้ เนื่องจากได้ทำการทดลองเปลี่ยนลายวงจรพบว่า ต้องมีการเปลี่ยนค่า R,L,C บางตัวใหม่ไปจากเดิม

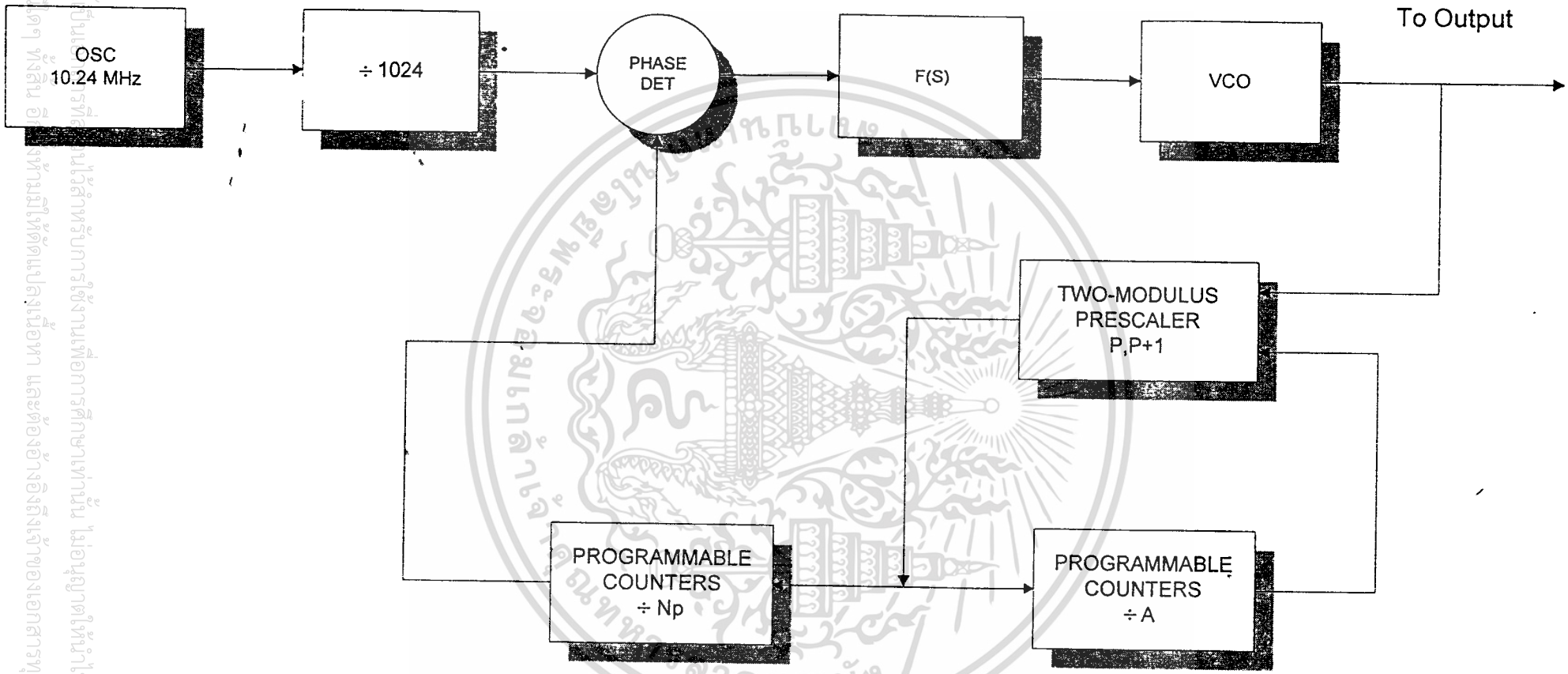
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

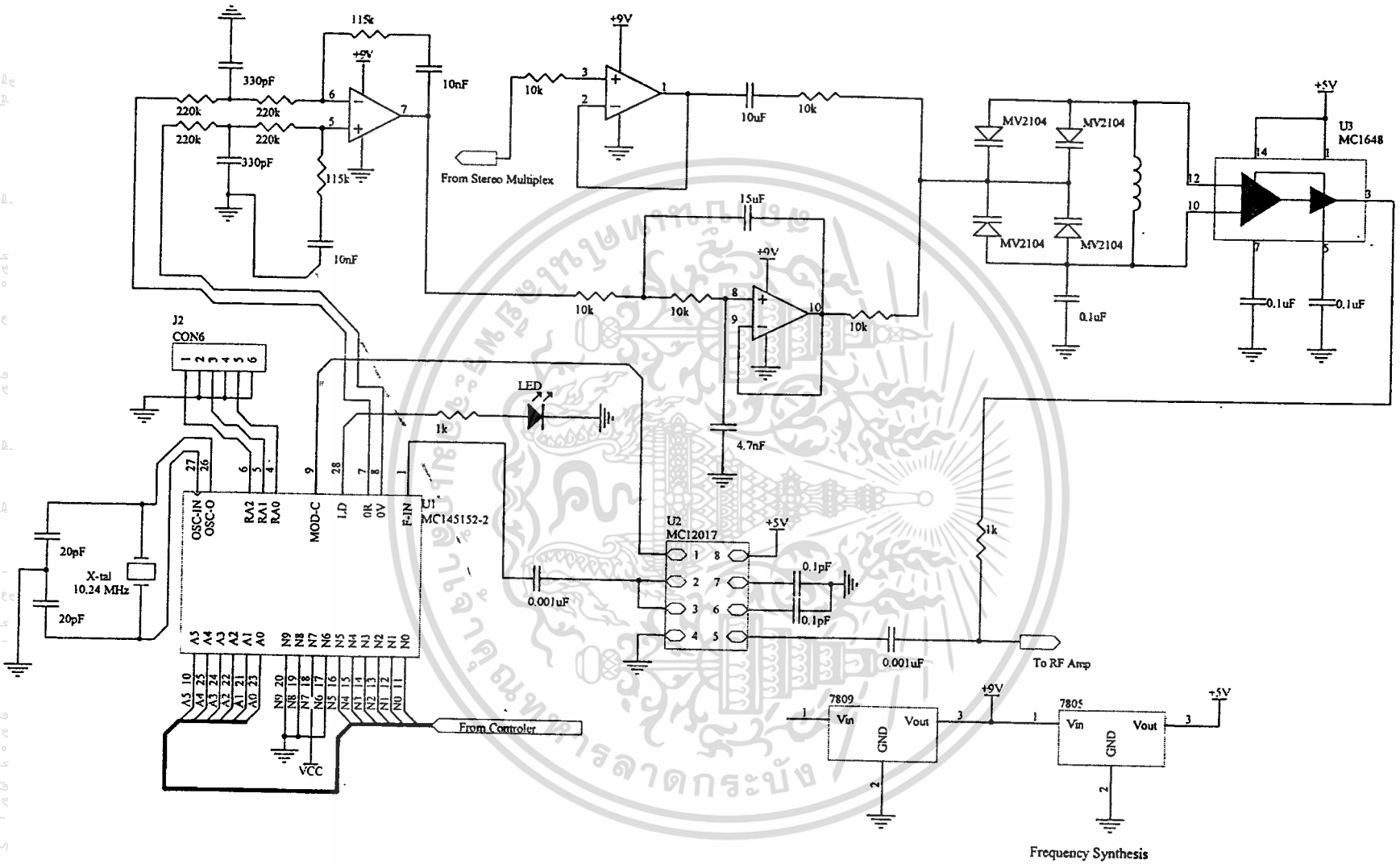
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



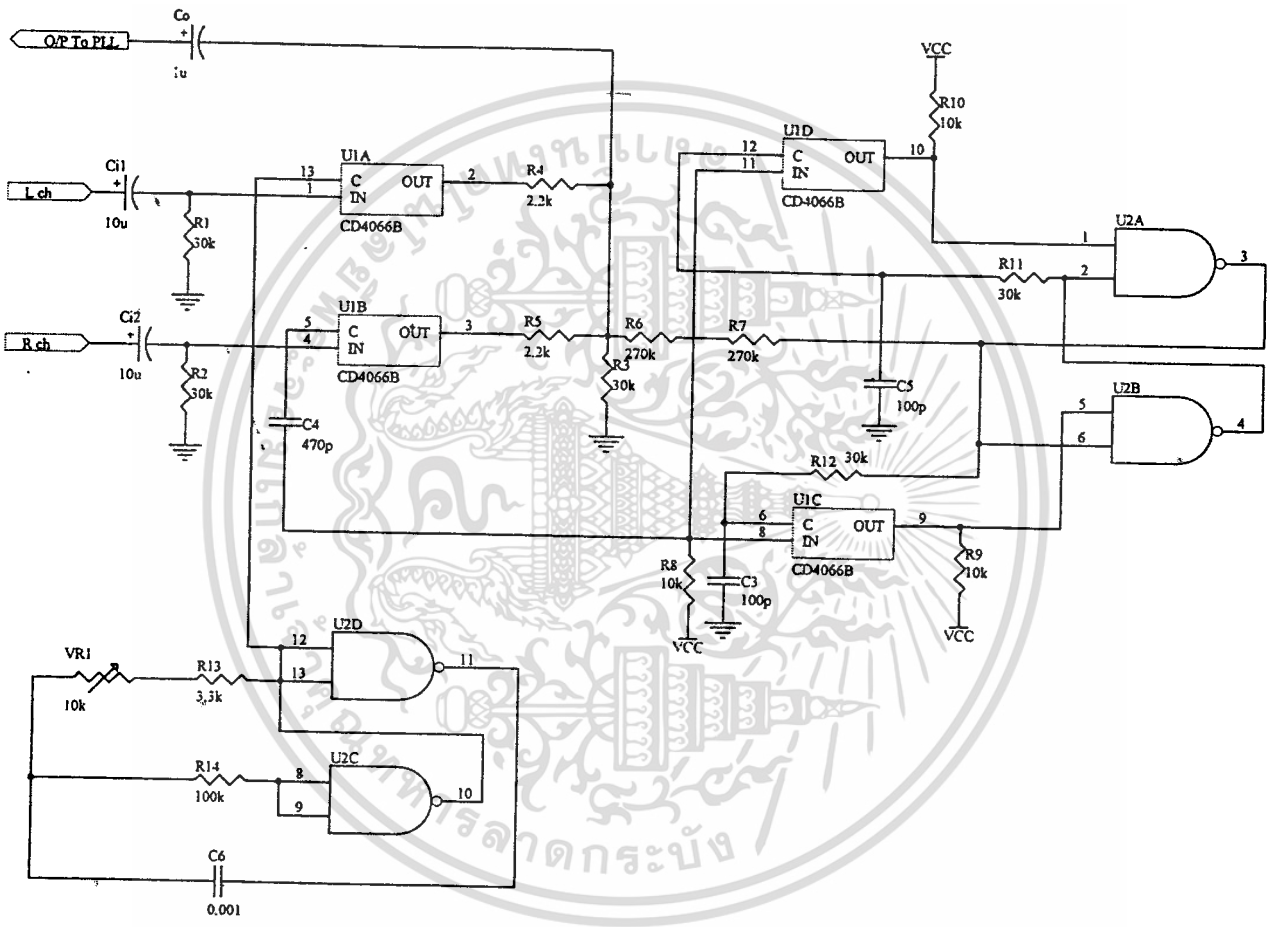
รูปที่ 1 Block Diagram ของเครื่องส่ง เอฟเอ็มสเตอริโอมัลติเพล็กซ์



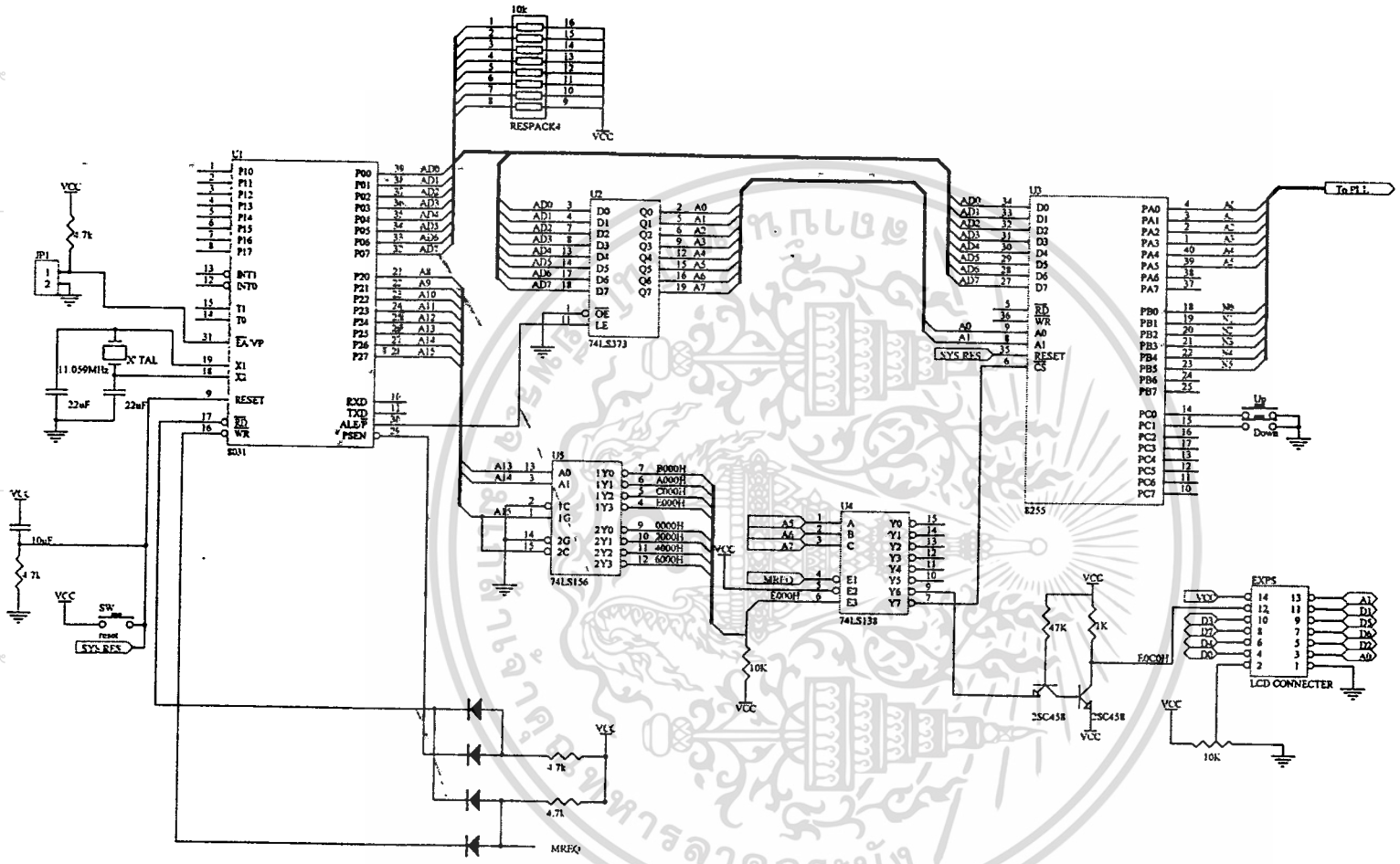
รูปที่ 2 Block Diagram ของเฟสล็อกลูปออสซิลเลเตอร์



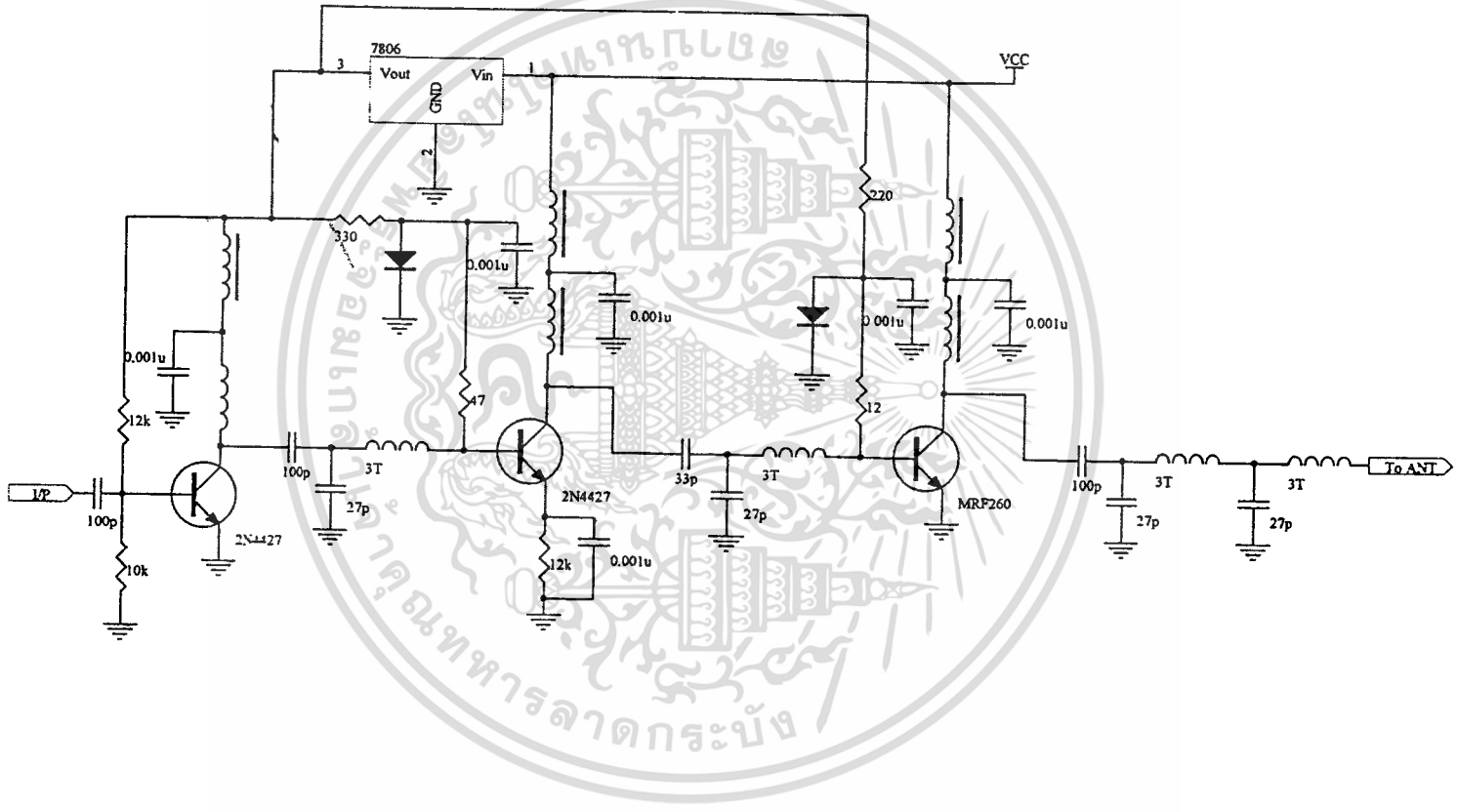
รูปที่ 3 วงจรเฟสล็อกลูปที่ใช้งานจริง



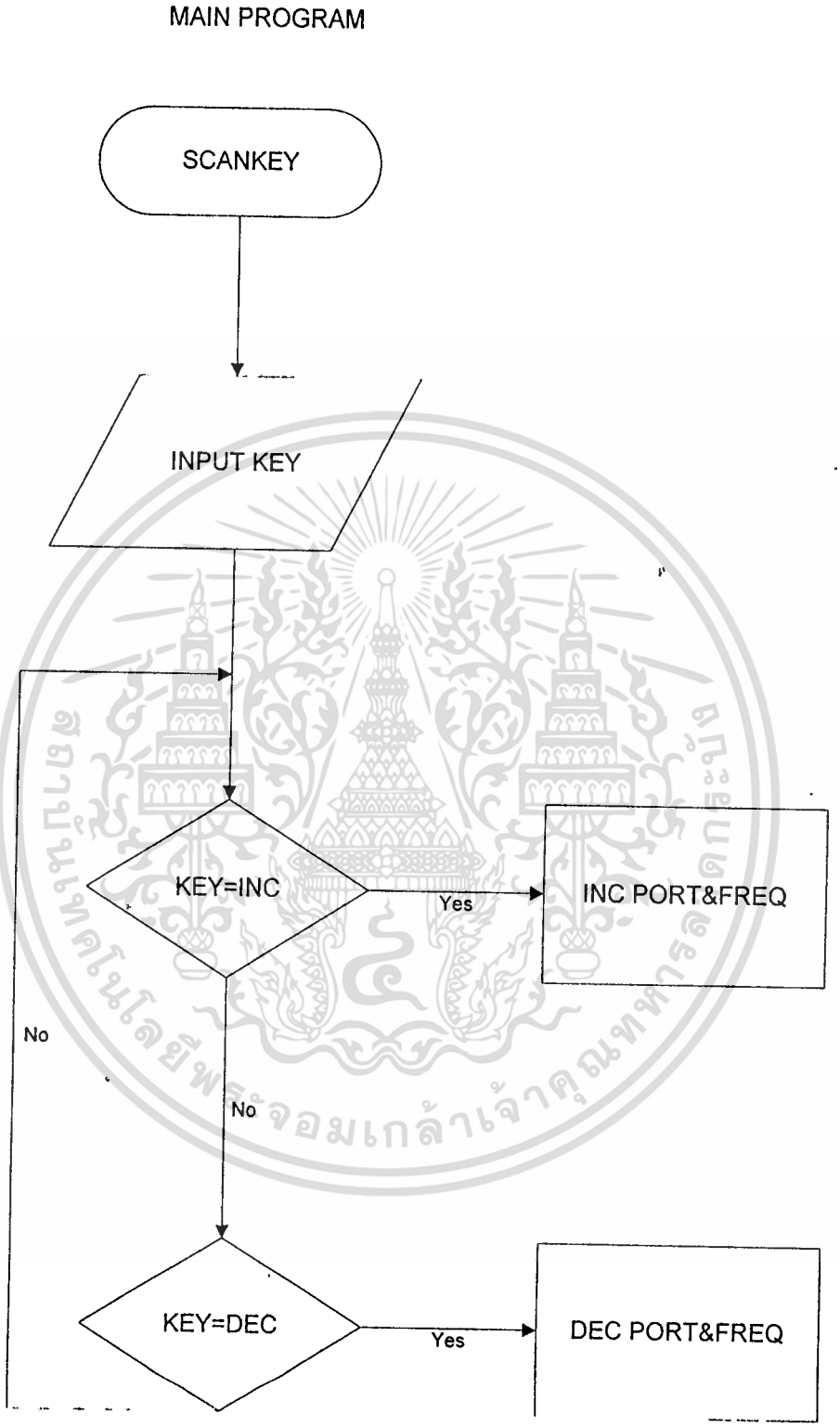
รูปที่4 วงจรสเตอริโอมัลติเพล็กซ์ที่ใช้งานจริง



รูปที่5 แสดงบอร์ดคอนโทรเลอร์ที่ใช้งานจริง

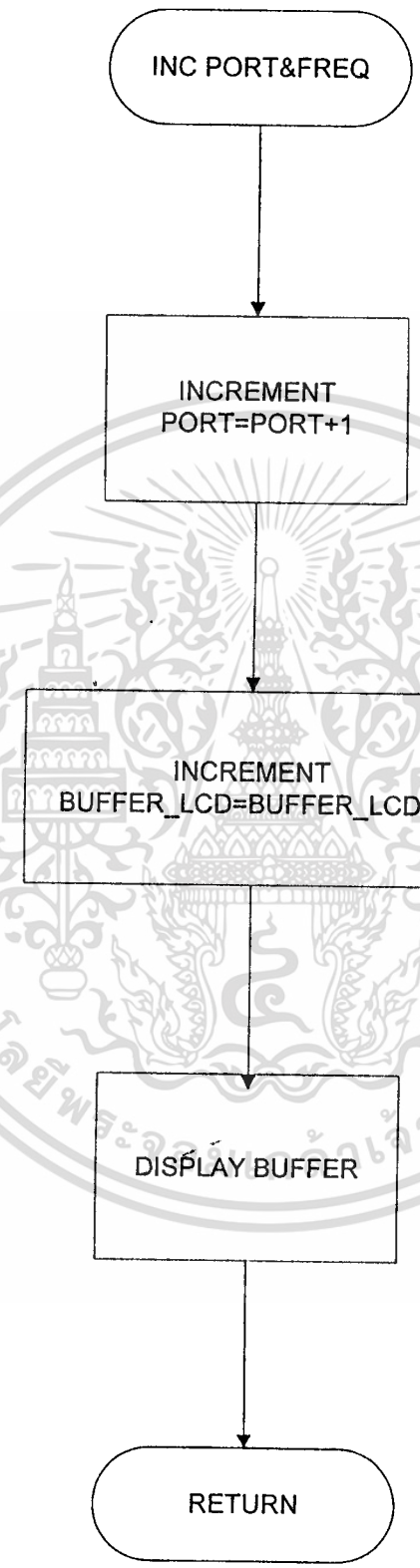


รูปที่6 แสดงวงจรเพาเวอร์แอมป์ที่ใช้งานจริง



รูปที่ 7 แสดง Flow Chart โปรแกรมหลัก

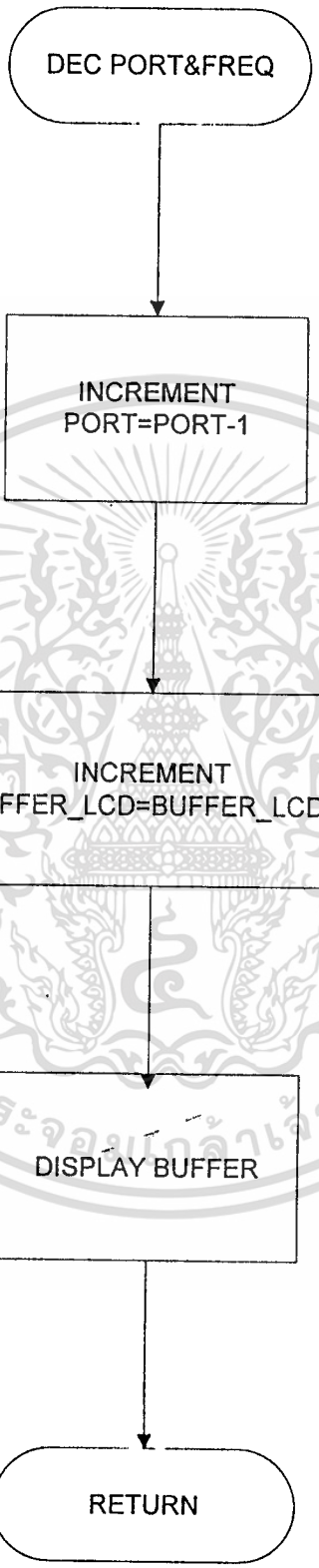
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 แสดง Flow Chart โปรแกรมเพิ่มความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECREMENT FREQUENCY PROGRAM



รูปที่ 9 แสดง Flow Chart โปรแกรมลดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    ;<<<<Program Control Frequency>>>>

        ORG   0000H
COMMAND         EQU       0E0C0H
READBUSY    EQU     0E0C1H
WRITEDATA   EQU     0E0C2H
READDATA    EQU     0E0C3H
PORTA     EQU       0E0E0H ; COUNT A
PORTN     EQU       0E0E1H ; COUNT N(B)
PORTC     EQU  0E0E2H ; KEY_IN
PORT_CON    EQU     0E0E3H
BUF_A     EQU       30H
BUF_N     EQU       31H
BUF_D1          EQU       32H
BUF_D2          EQU       33H
BUF_D3          EQU       34H
BUF_LCD1    EQU     35H
BUF_LCD2    EQU     36H
BUF_LCD3    EQU     37H
BUF_LCD4    EQU     38H
BUF_LCD5    EQU  39H
BUF_LCD6    EQU     3AH
BUF_HEX1    EQU     3BH
BUF_HEX2    EQU  3CH
BUF_HEX3    EQU     3DH
;<<<<< START PROGRAM >>>>>>>
      LCALL DELAY
START:      LCALL INIT_PORT
MAIN: LCALL INTRO
MAIN1:      LCALL       INIT_SYS
MAIN2:      LJMP  KEY_IN
;<<<<<<<< END MAIN >>>>>>>>
;
;------- LCD DISPLAY -----
DISP: LCALL INIT_LCD
      ACALL DISP1
      ACALL DISP2
      RET
;**** DISPLAY LINE#1 ****
DISP1:      MOV   R0,#10H
ST1:  CLR   A
      MOVC  A,@A+DPTR
      LCALL WRITE_CHR
      INC   DPTR
      DJNZ  R0,ST1
      MOV   A,#90H
      LCALL GOTOXY
      MOV   R0,#04H
ST2:  CLR   A
      MOVC  A,@A+DPTR
      LCALL WRITE_CHR
      INC   DPTR
      DJNZ  R0,ST2
      RET
;**** DISPLAY LINE#2 ****
DISP2:      MOV   A,#40H
      LCALL GOTOXY
      MOV   R0,#10H
ST3:  CLR   A
      MOVC  A,@A+DPTR
      LCALL WRITE_CHR
```

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC    DPTR
        DJNZ   R0,ST3
        MOV    A,#0D0H
        LCALL  GOTOXY
        MOV    R0,#04H
ST4:    CLR    A
        MOVC   A,@A+DPTR
        LCALL  WRITE_CHR
        INC    DPTR
        DJNZ   R0,ST4
        RET
INIT_LCD:PUSH     DPL
        PUSH   DPH
        MOV    DPTR,#COMMAND
        MOV    A,#38H
        MOVX   @DPTR,A
        LCALL  WAITBF
        MOV    A,#0CH
        MOVX   @DPTR,A
        LCALL  WAITBF
        MOV    A,#06H
        MOVX   @DPTR,A
        LCALL  WAITBF
        MOV    A,#01H
        MOVX   @DPTR,A
        LCALL  WAITBF
        POP    DPH
        POP    DPL
        RET
;***WRITE ASCII TO LCD***
WRITE_CHR:PUSH    DPL
        PUSH   DPH
        MOV    DPTR,#WRITEDATA
        MOVX   @DPTR,A
        LCALL  WAITBF
        POP    DPH
        POP    DPL
        RET
;*** WAIT FOR READY,CHECK BUSY flag ***
WAITBF:     PUSH   DPL
        PUSH   DPH
        MOV    DPTR,#READBUSY
RDY1:   MOVX   A,@DPTR
        JB     ACC.7,RDY1
        POP    DPH
        POP    DPL
        RET
;*** GO TO ADDRESS OF LCD ***
GOTOXY:     PUSH   DPL
        PUSH   DPH
        MOV    DPTR,#COMMAND
        SETB   ACC.7
        MOVX   @DPTR,A
        LCALL  WAITBF
        POP    DPH
        POP    DPL
        RET
DELAY:      MOV    R7,#04H
S_DELAY:MOV R6,#00H
LOOP1:      MOV    R5,#00H
LOOP2:      DJNZ   R5,LOOP2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DJNZ   R6,LOOP1
        DJNZ   R7,S_DELAY
        RET
;
;-----DISPLAY INC&DEC---------
;
CHAGE:      MOV    A,#48H
        LCALL GOTOXY
        MOV    R0,#BUF_LCD1
        MOV    R5,#06H
CHG:    MOV    A,@R0
        LCALL WRITE_CHR
        INC    R0
        DJNZ   R5,CHG
        RET
;---TRANFER DECIMAL TO BUF_LCD---
TRAN:   MOV    R5,#02H
        MOV    R1,#BUF_D2
        MOV    R0,#BUF_LCD2
TRAN1:      MOV    R4,#02H
        MOV    A,@R1
TRAN2:      SWAP   A
        PUSH   ACC
        CLR    ACC.7
        CLR    ACC.6
        SETB   ACC.5
        SETB   ACC.4
        MOV    @R0,A
        INC    R0
        POP    ACC
        DJNZ   R4,TRAN2
        INC    R0
        INC    R1
        DJNZ   R5,TRAN1
        MOV    BUF_LCD4,#2EH
        MOV    BUF_LCD1,#31H
        MOV    A,BUF_D1
        CJNE   A,#00H,TRAN3
        MOV    BUF_LCD1,#90H
TRAN3:      ACALL CHAGE
        RET
;------KEY IN------
KEY_IN: MOV R4,#08H
KEY:    MOV    DPTR,#PORTC
KEY1:   MOVX   A,@DPTR
        CLR    C
        ORL    C,ACC.0              ;INC FREQ
        JC     KEY2
        LCALL INC_PORT
        ACALL DELAY_K
KEY2:   MOVX   A,@DPTR
        CLR    C
        ORL    C,ACC.1              ;DEC FREQ
        JC     KEY3
        LCALL DEC_PORT
KEY3:   DJNZ   R4,KEY
KEY_END:SJMP       KEY_IN
;
DELAY_K:MOV R5,#40H
K1:     MOV    R6,#00H
K2:     DJNZ   R6,K2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DJNZ  R5,K1
        RET
;
;------ INCREMENT PORT ---------
;
INC_PORT:CLR      C            ;START INC
        MOV   R0,#BUF_A
        MOV   R1,#BUF_N
        MOV   A,@R0
        ADD   A,#19H
        ORL   C,ACC.6
        JNC   INC_L1
        CLR   ACC.6
INC_L1:     MOV   @R0,A
        MOV   A,@R1
        JNC   INC_L2
        INC   A
INC_L2:     MOV   @R1,A
        CJNE  @R1,#0A9H,INC_L3
        CJNE  @R0,#09H,INC_L3
        MOV   @R1,#88H
        MOV   @R0,#2EH
INC_L3: LCALL     OUT_PORT
        ACALL INC_DAA
        RET
;-------INC DACIMAL------
INC_DAA:CLR C
        MOV   A,BUF_HEX3
        ADD   A,#25H
        DA    A
        MOV   BUF_HEX3,A
        CJNE  A,#00H,INC1
        MOV   BUF_HEX3,#00H
        INC   BUF_HEX2
INC1: MOV   A,BUF_HEX2
        DA    A
        MOV   BUF_HEX2,A
        CJNE  A,#08H,INC2
        MOV   A,BUF_HEX3
        CJNE  A,#25H,INC2
        MOV   BUF_HEX1,#00H
        MOV   BUF_HEX2,#87H
        MOV   BUF_HEX3,#50H
INC2: MOV   A,BUF_HEX2
        CJNE  A,#00H,INC3
        MOV   BUF_HEX1,#01H
        MOV   BUF_HEX2,#00H
INC3: MOV   BUF_D1,BUF_HEX1
        MOV   BUF_D2,BUF_HEX2
        MOV   BUF_D3,BUF_HEX3
        LCALL TRAN
C_KEY:      MOV   DPTR,#PORTC
        MOVX  A,@DPTR
        CLR   C
        ORL   C,ACC.0
        JNC   C_KEY
        RET
;
;-------DECREMENT_ PORT------
;
DEC_PORT:CLR      C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    R0,#BUF_A
        MOV    R1,#BUF_N
        MOV    A,@R0
        SUBB   A,#19H
        JNC    DEC_L1
        ANL    A,#3FH
        DEC    @R1
DEC_L1:     MOV    @R0,A
DEC_L2:     CJNE   @R1,#88H,DEC_L3
        CJNE   @R0,#15H,DEC_L3
        MOV    @R1,#0A8H
        MOV    @R0,#30H
DEC_L3:     LCALL OUT_PORT
        ACALL DEC_DAA
        RET
;
;------DECREMENT_DACIMAL---------
DEC_DAA:CLR C
        MOV    A,BUF_HEX3
        MOV    R1,#BUF_HEX3
        MOV    R0,#BUF_HEX2
        ORL    C,ACC.5
        JC     DEC1
        CLR    C
        SUBB   A,#31H
        SJMP   DEC2
DEC1:   CLR    C
        SUBB   A,#25H
DEC2:   DA     A
        JNC    DEC3
        DEC    @R0 ;BUF_HEX2
        SETB   ACC.6
        CLR    ACC.7
DEC3:   MOV    BUF_HEX3,A
        CJNE   @R0,#0FFH,DEC4
        MOV    @R0,#99H
        MOV    BUF_HEX1,#00H
DEC4:   CJNE   @R0,#8FH,DEC5
        MOV    @R0,#89H
        MOV    BUF_HEX1,#00H
DEC5:   CJNE   @R0,#87H,DEC6
        CJNE   @R1,#25H,DEC6
        MOV    @R0,#08H
        MOV    @R1,#00H
        INC    BUF_HEX1
DEC6:   MOV    BUF_D1,BUF_HEX1
        MOV    BUF_D2,BUF_HEX2
        MOV    BUF_D3,BUF_HEX3
;       CJNE   A,#00H,DEC1
        LCALL TRAN
KEY_D:      CLR    C
        MOV    DPTR,#PORTC
        MOVX   A,@DPTR
        CLR    C
        ORL    C,ACC.1
        JNC    KEY_D
        RET
;
;------INTRODUCTION---------
;
INTRO:      MOV    DPTR,#TABLE1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL DISP
        MOV   R7,#1BH
        LCALL S_DELAY
        MOV   DPTR,#TABLE2
        LCALL DISP
        LCALL DELAY
        MOV   DPTR,#TABLE3
        LCALL DISP
        LCALL DELAY
        MOV   DPTR,#TABLE4
        LCALL DISP
        LCALL DELAY
        RET
;------INITIAL SYSTEM------------
INIT_SYS:MOV      DPTR,#TABLE5
        LCALL DISP
        MOV   A,#10H
        MOV   BUF_A,A
        MOV   A,#9CH
        MOV   BUF_N,A
        ACALL OUT_PORT
        ACALL DELAY
        MOV   BUF_HEX1,#01H
        MOV   BUF_HEX2,#00H
        MOV   BUF_HEX3,#00H
        RET
;----------- OUT PORT -----------
INIT_PORT:MOV     DPTR,#PORT_CON
        MOV   A,#81H
        MOVX  @DPTR,A
        RET
OUT_PORT:MOV      DPTR,#PORTA
        MOV   A,BUF_A
        MOVX  @DPTR,A
        INC   DPTR      ; PORTN
        MOV   A,BUF_N
        MOVX  @DPTR,A
        RET
TABLE1: DB ' FM STEREO MULTIPLEX'
        DB '    TRANSMITTER     '
TABLE2: DB '      DIRECTOR      '
        DB '         BY         '
TABLE3:     DB ' << MR.PEERAWAT >>  '
        DB ' << MR.CHUTIKAN >>  '
TABLE4: DB '  TELECOMUNICATION  '
        DB '  ENGINEER <CONTI>  '
TABLE5: DB '*CHANNEL-TRANSMITED*'
        DB '*FREQ : 100.000 MHz*'
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1992

CD4066BM/CD4066BC Quad Bilateral Switch

General Description

The CD4066BM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

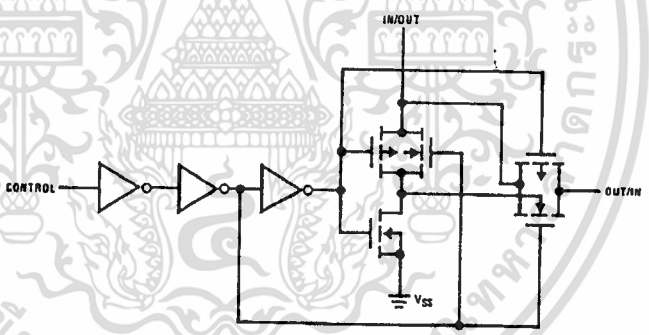
Features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} (typ.)
- Wide range of digital and analog switching — ±7.5 V_{PEAK}
- "ON" resistance for 15V operation — 80Ω
- Matched "ON" resistance over 15V signal input — ΔR_{ON} = 5Ω (typ.)
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio — 65 dB (typ.) @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree linearity — 0.1% distortion (typ.) @ f_{is} = 1 kHz, V_{is} = 5V_{p-p}, $V_{DD} - V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" switch leakage — 0.1 nA (typ.) @ $V_{DD} - V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance — 10^{12}Ω (typ.)
- Low crosstalk between switches — −50 dB (typ.) @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" — 40 MHz (typ.)

Applications

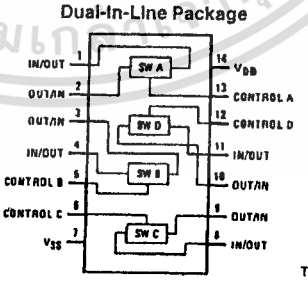
- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

Schematic and Connection Diagrams



Order Number CD4066B

Dual-In-Line Package



TL/F/5665–1

Top View

©1995 National Semiconductor Corporation TL/F/566

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{DD})	−0.5V to +18V
Input Voltage (V_{IN})	−0.5V to V_{DD} +0.5V
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	300°C

Recommended Operating Conditions (Note 2)

Supply Voltage (V_{DD})	3V to 15V
Input Voltage (V_{IN})	0V to V_{DD}
Operating Temperature Range (T_A)	
CD4066BM	−55°C to +125°C
CD4066BC	−40°C to +85°C

DC Electrical Characteristics CD4066BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		0.25		0.01	0.25		7.5	μA
		V_{DD} = 10V		0.5		0.01	0.5		15	μA
		V_{DD} = 15V		1.0		0.01	1.0		30	μA
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, $V_C = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD}								
		V_{DD} = 5V		800		270	1050		1300	Ω
		V_{DD} = 10V		310		120	400		550	Ω
		V_{DD} = 15V		200		80	240		320	Ω
ΔR_{ON}	Δ"ON" Resistance Between any 2 of 4 Switches	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, $V_C = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD}								
		V_{DD} = 10V				10				Ω
		V_{DD} = 15V				5				Ω
I_{IS}	Input or Output Leakage Switch "OFF"	V_C = 0, V_{IS} = 15V and 0V, V_{OS} = 0V and 15V		±50		±0.1	±50		±500	nA
CONTROL INPUTS										
V_{ILC}	Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD}, $V_{OS} = V_{DD}$ and V_{SS}, I_{IS} = ±10 μA								
		V_{DD} = 5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V		4.0		6.75	4.0		4.0	V
V_{IHC}	High Level Input Voltage	V_{DD} = 5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V (see note 6)	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	$V_{DD} - V_{SS}$ = 15V, $V_{DD} \geq V_{IS} \geq V_{SS}$, $V_{DD} \geq V_C \geq V_{SS}$		±0.1		±10^{-5}	±0.1		±1.0	μA

DC Electrical Characteristics CD4066BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		1.0		0.01	1.0		7.5	μA
		V_{DD} = 10V		2.0		0.01	2.0		15	μA
		V_{DD} = 15V		4.0		0.01	4.0		30	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Continued) CD4066BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	$R_L = 10\ k\Omega$ to $\frac{V_{DD}-V_{SS}}{2}$ $V_C = V_{DD}$, V_{SS} to V_{DD}								
		$V_{DD} = 5V$		850		270	1050		1200	Ω
		$V_{DD} = 10V$		330		120	400		520	Ω
		$V_{DD} = 15V$		210		80	240		300	Ω
ΔR_{ON}	Δ"ON" Resistance Between Any 2 of 4 Switches	$R_L = 10\ k\Omega$ to $\frac{V_{DD}-V_{SS}}{2}$ $V_{CC} = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD}								
		$V_{DD} = 10V$				10				Ω
		$V_{DD} = 15V$				5				Ω
I_{IS}	Input or Output Leakage Switch "OFF"	$V_C = 0$		±50		±0.1	±50		±200	nA
CONTROL INPUTS										
V_{ILC}	Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD} $V_{OS} = V_{DD}$ and V_{SS} $I_{IS} = \pm 10\mu A$								
		$V_{DD} = 5V$		1.5		2.25	1.5		1.5	V
		$V_{DD} = 10V$		3.0		4.5	3.0		3.0	V
		$V_{DD} = 15V$		4.0		6.75	4.0		4.0	V
V_{IHC}	High Level Input Voltage	$V_{DD} = 5V$	3.5		3.5	2.75		3.5		V
		$V_{DD} = 10V$ (See note 6)	7.0		7.0	5.5		7.0		V
		$V_{DD} = 15V$	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	$V_{DD} - V_{SS} = 15V$ $V_{DD} \geq V_{IS} \geq V_{SS}$ $V_{DD} \geq V_C \geq V_{SS}$		±0.3		$\pm 10^{-5}$	±0.3		±1.0	μA

AC Electrical Characteristics* $T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time Signal Input to Signal Output	$V_C = V_{DD}$, $C_L = 50$ pF, (*Figure 1*) $R_L = 200k$				
		$V_{DD} = 5V$		25	55	ns
		$V_{DD} = 10V$		15	35	ns
		$V_{DD} = 15V$		10	25	ns
t_{PZH}, t_{PZL}	Propagation Delay Time Control Input to Signal Output High Impedance to Logical Level	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, (*Figures 2* and *3*)				
		$V_{DD} = 5V$			125	ns
		$V_{DD} = 10V$			60	ns
		$V_{DD} = 15V$			50	ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time Control Input to Signal Output Logical Level to High Impedance	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, (*Figures 2* and *3*)				
		$V_{DD} = 5V$			125	ns
		$V_{DD} = 10V$			60	ns
		$V_{DD} = 15V$			50	ns
	Sine Wave Distortion	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$ $R_L = 10\ k\Omega$, $V_{IS} = 5V_{p-p}$, $f = 1$ kHz, (*Figure 4*)		0.1		%
	Frequency Response-Switch "ON" (Frequency at −3 dB)	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $R_L = 1\ k\Omega$, $V_{IS} = 5V_{p-p}$, 20 Log_{10} V_{OS}/V_{OS} (1 kHz) − dB, (*Figure 4*)		40		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* (Continued) $T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	Feedthrough — Switch "OFF" (Frequency at −50 dB)	$V_{DD} = 5.0V$, $V_{CC} = V_{SS} = -5.0V$, $R_L = 1\ k\Omega$, $V_{IS} = 5.0V_{p-p}$, 20 Log_{10}, $V_{OS}/V_{IS} = -50$ dB, *(Figure 4)*		1.25		
	Crosstalk Between Any Two Switches (Frequency at −50 dB)	$V_{DD} = V_{C(A)} = 5.0V$; $V_{SS} = V_{C(B)} = 5.0V$, $R_L 1\ k\Omega$, $V_{IS(A)} = 5.0\ V_{p-p}$, 20 Log_{10}, $V_{OS(B)}/V_{IS(A)} = -50$ dB *(Figure 5)*		0.9		MHz
	Crosstalk; Control Input to Signal Output	$V_{DD} = 10V$, $R_L = 10\ k\Omega$, $R_{IN} = 1.0\ k\Omega$, $V_{CC} = 10V$ Square Wave, $C_L = 50$ pF *(Figure 6)*		150		mV_{p-p}
	Maximum Control Input	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, *(Figure 7)* $V_{OS(f)} = 1/2\ V_{OS}$(1.0 kHz)				
		$V_{DD} = 5.0V$		6.0		MHz
		$V_{DD} = 10V$		8.0		MHz
		$V_{DD} = 15V$		8.5		MHz
C_{IS}	Signal Input Capacitance			8.0		pF
C_{OS}	Signal Output Capacitance	$V_{DD} = 10V$		8.0		pF
C_{IOS}	Feedthrough Capacitance	$V_C = 0V$		0.5		pF
C_{IN}	Control Input Capacitance			5.0	7.5	pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: These devices should not be connected to circuits with the power "ON".

Note 4: In all cases, there is approximately 5 pF of probe and jig capacitance in the output; however, this capacitance is included in C_L wherever it is specified.

Note 5: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 6: Conditions for V_{IHC}: a) $V_{IS} = V_{DD}$, I_{OS} = standard B series I_{OH} b) $V_{IS} = 0V$, I_{OL} = standard B series I_{OL}.

AC Test Circuits and Switching Time Waveforms

FIGURE 1. t_{PHL}, t_{PLH} Propagation Delay Time Signal Input to Signal Output

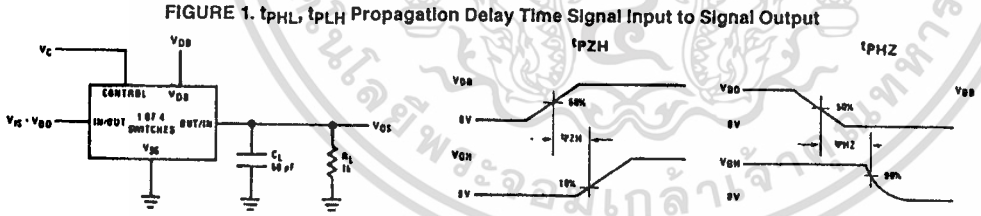
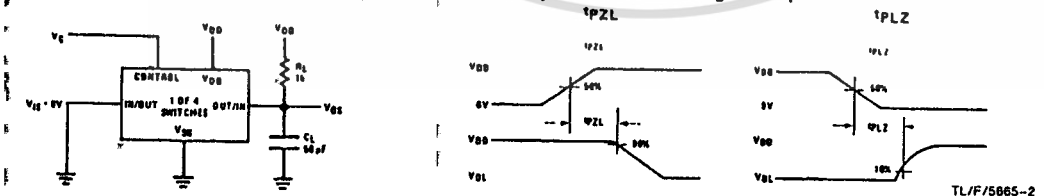


FIGURE 2. t_{PZH}, t_{PHZ} Propagation Delay Time Control to Signal Output



TL/F/5865–2

FIGURE 3. t_{PZL}, t_{PLZ} Propagtion Delay Time Control to Signal Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms (Continued)

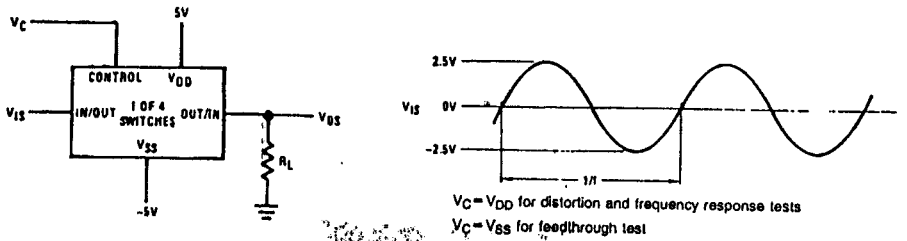


FIGURE 4. Sine Wave Distortion, Frequency Response and Feedthrough

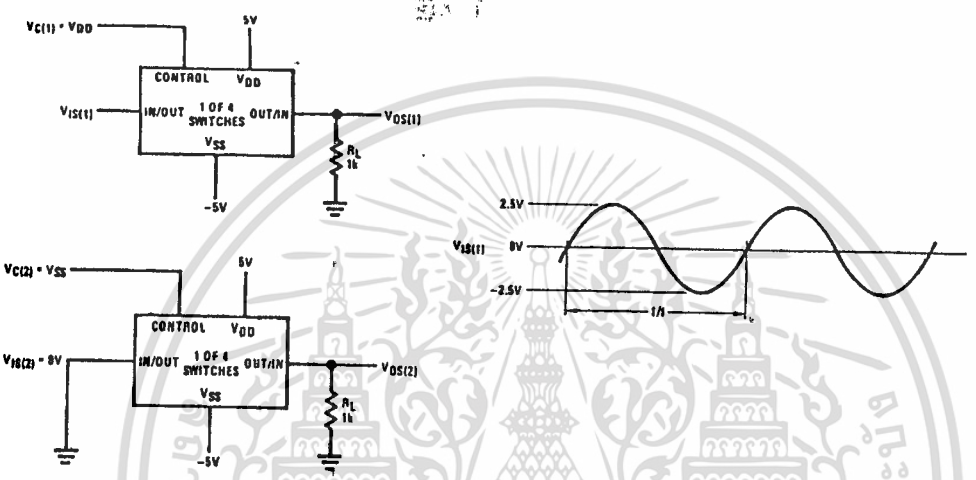


FIGURE 5. Crosstalk Between Any Two Switches

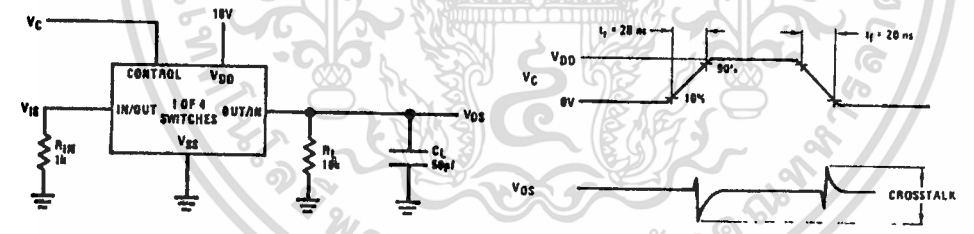
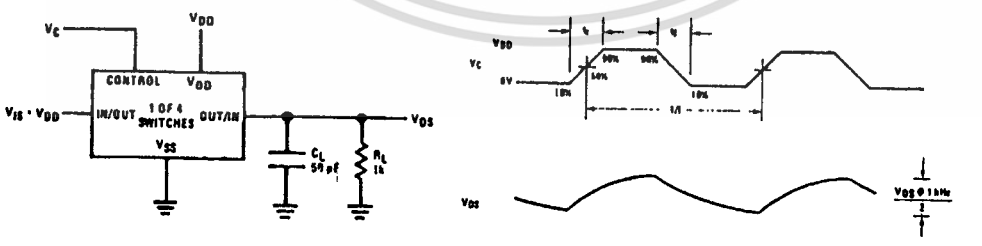


FIGURE 6. Crosstalk: Control Input to Signal Output



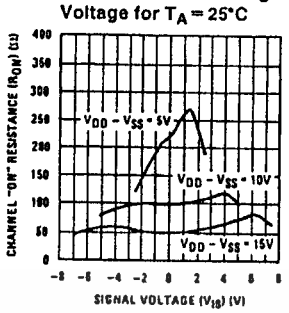
TL/F/5665–3

FIGURE 7. Maximum Control Input Frequency

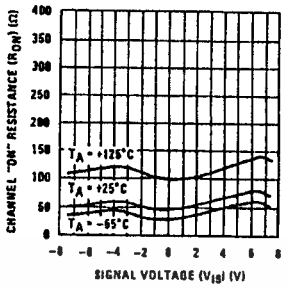
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

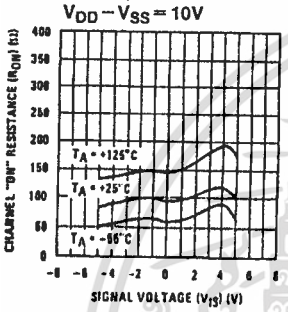
"ON" Resistance vs Signal Voltage for $T_A = 25°C$



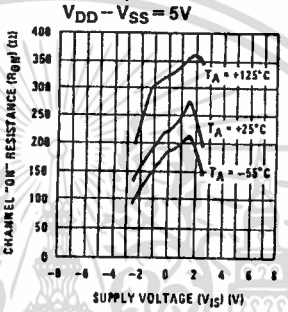
"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 15V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 10V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 5V$



TL/F/5665–4

Special Considerations

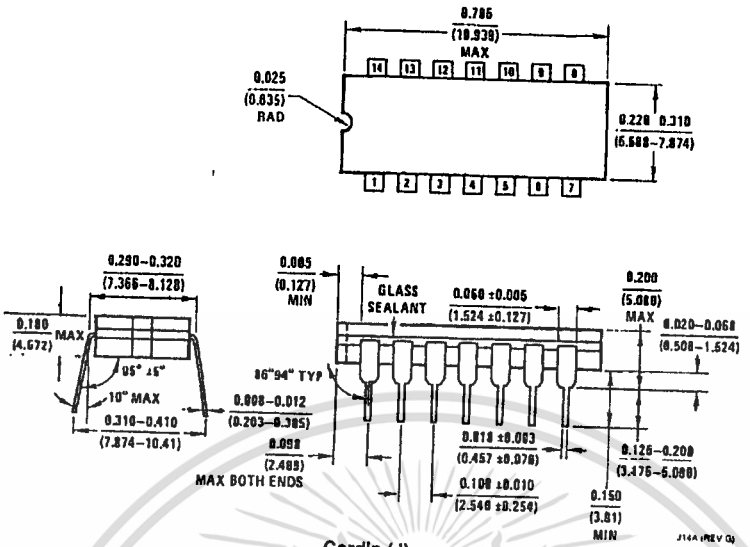
In applications where separate power sources are used to drive V_{DD} and the signal input, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066BM/CD4066BC bilateral switches). This provision avoids any permanent current flow or clamp action of the V_{DD} supply when power is applied or removed from CD4066BM/CD4066BC.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.6V at $T_A \leq 25°C$, or 0.4V at $T_A > 25°C$ (calculated from R_{ON} values shown).

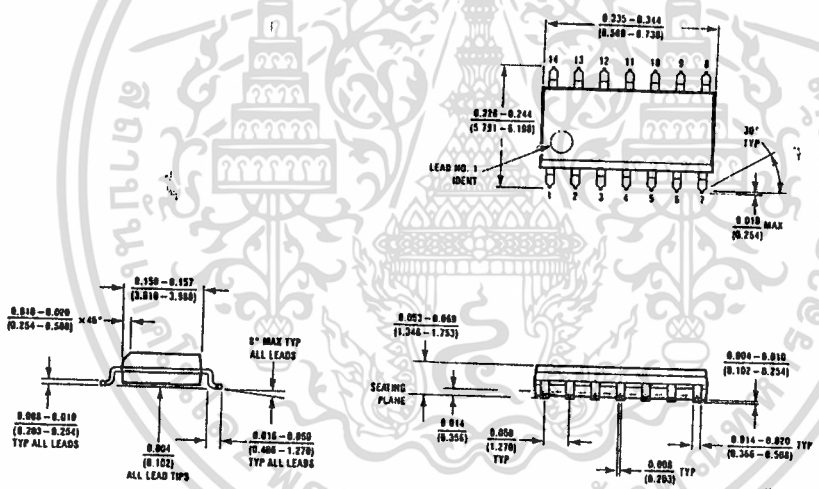
No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9 or 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



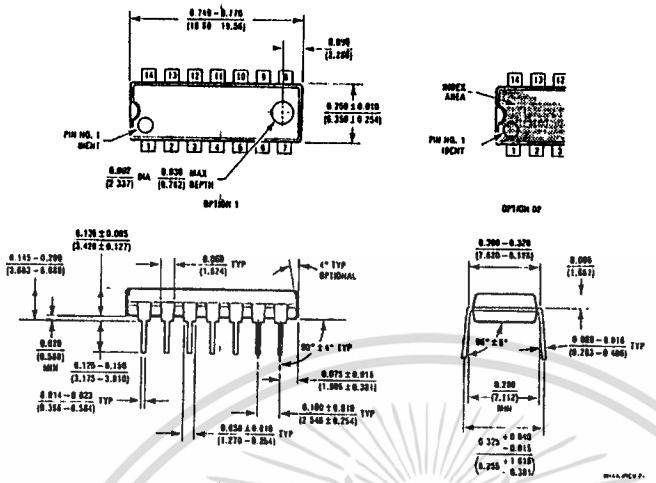
Cerdip (J)
Order Number CD4066BMJ or CD4066BCJ
NS Package Number J14A



S.O. Package (M)
Order Number CD4066BCM
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Dual-In-Line Package (N)
Order Number CD4066BMN or CD4066BCN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

March 1988

CD4001BM/CD4001BC Quad 2-Input NOR Buffered B Series Gate
CD4011BM/CD4011BC Quad 2-Input NAND Buffered B Series Gate

General Description

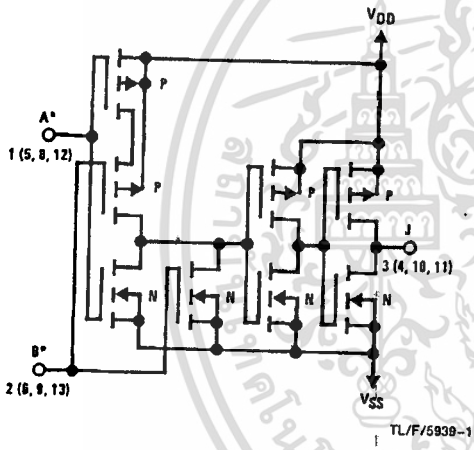
These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

Features

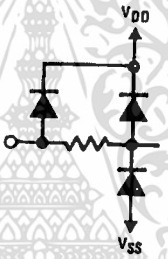
- Low power TTL compatibility — Fan out of 2 driving 74L or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μA at 15V over full temperature range

Schematic Diagrams



TL/F/5939–1

CD4001BC/BM



¼ of device shown

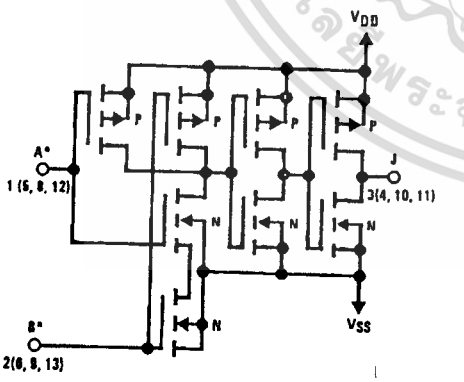
$J = \overline{A + B}$

Logical "1" = High

Logical "0" = Low

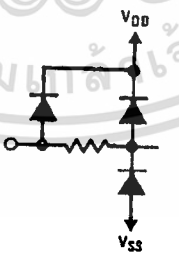
TL/F/5939–2

*All inputs protected by standard CMOS protection circuit.



TL/F/5939–5

CD4011BC/BM



¼ of device shown

$J = \overline{A \cdot B}$

Logical "1" = High

Logical "0" = Low

TL/F/5939–6

*All inputs protected by standard CMOS protection circuit.

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Voltage at any Pin	$-0.5V$ to $V_{DD}+0.5V$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
V_{DD} Range	$-0.5\ V_{DC}$ to $+18\ V_{DC}$
Storage Temperature (T_S)	$-65°C$ to $+150°C$
Lead Temperature (T_L) (Soldering, 10 seconds)	260°C

Operating Conditions

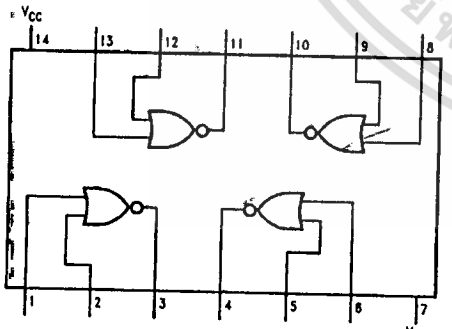
Operating Range (V_{DD})	$3\ V_{DC}$ to $15\ V_{DC}$
Operating Temperature Range	
CD4001BM, CD4011BM	$-55°C$ to $+125°C$
CD4001BC, CD4011BC	$-40°C$ to $+85°C$

DC Electrical Characteristics CD4001BM, CD4011BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V, V_{IN}=V_{DD}$ or V_{SS}		0.25		0.004	0.25		7.5	μA
		$V_{DD}=10V, V_{IN}=V_{DD}$ or V_{SS}		0.50		0.005	0.50		15	μA
		$V_{DD}=15V, V_{IN}=V_{DD}$ or V_{SS}		1.0		0.006	1.0		30	μA
V_{OL}	Low Level Output Voltage	$V_{DD}=5V$ / $10V$ / $15V$, $\lvert I_O\rvert < 1\ \mu A$		0.05		0	0.05		0.05	V
				0.05		0	0.05		0.05	V
				0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$V_{DD}=5V$ / $10V$ / $15V$, $\lvert I_O\rvert < 1\ \mu A$	4.95		4.95	5		4.95		V
			9.95		9.95	10		9.95		V
			14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	$V_{DD}=5V, V_O=4.5V$		1.5		2	1.5		1.5	V
		$V_{DD}=10V, V_O=9.0V$		3.0		4	3.0		3.0	V
		$V_{DD}=15V, V_O=13.5V$		4.0		6	4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD}=5V, V_O=0.5V$	3.5		3.5	3		3.5		V
		$V_{DD}=10V, V_O=1.0V$	7.0		7.0	6		7.0		V
		$V_{DD}=15V, V_O=1.5V$	11.0		11.0	9		11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD}=5V, V_O=0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD}=10V, V_O=0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD}=15V, V_O=1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD}=5V, V_O=4.6V$	−0.64		−0.51	−0.88		−0.36		mA
		$V_{DD}=10V, V_O=9.5V$	−1.6		−1.3	−2.25		−0.9		mA
		$V_{DD}=15V, V_O=13.5V$	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	$V_{DD}=15V, V_{IN}=0V$		−0.10		-10^{-5}	−0.10		−1.0	μA
		$V_{DD}=15V, V_{IN}=15V$		0.10		10^{-5}	0.10		1.0	μA

Connection Diagrams

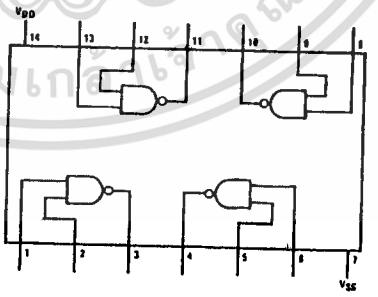
CD4001BC/CD4001BM
Dual-In-Line Package



TL/F/5939–3

Top View

CD4011BC/CD4011BM
Dual-In-Line Package



TL/F/5939–4

Top View

Order Number CD4001B or CD4011B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics CD4001BC, CD4011BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V, V_{IN} = V_{DD} or V_{SS}		1		0.004	1		7.5	μA
		V_{DD} = 10V, V_{IN} = V_{DD} or V_{SS}		2		0.005	2		15	μA
		V_{DD} = 15V, V_{IN} = V_{DD} or V_{SS}		4		0.006	4		30	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert$ < 1 μA		0.05		0	0.05		0.05	V
		V_{DD} = 10V, $\lvert I_O \rvert$ < 1 μA		0.05		0	0.05		0.05	V
		V_{DD} = 15V, $\lvert I_O \rvert$ < 1 μA		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert$ < 1 μA	4.95		4.95	5		4.95		V
		V_{DD} = 10V, $\lvert I_O \rvert$ < 1 μA	9.95		9.95	10		9.95		V
		V_{DD} = 15V, $\lvert I_O \rvert$ < 1 μA	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 4.5V		1.5		2	1.5		1.5	V
		V_{DD} = 10V, V_O = 9.0V		3.0		4	3.0		3.0	V
		V_{DD} = 15V, V_O = 13.5V		4.0		6	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V	3.5		3.5	3		3.5		V
		V_{DD} = 10V, V_O = 1.0V	7.0		7.0	6		7.0		V
		V_{DD} = 15V, V_O = 1.5V	11.0		11.0	9		11.0		V
I_{OL}	Low Level Output Current (Note 3)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.30		-10^{-5}	−0.30		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.30		10^{-5}	0.30		1.0	μA

AC Electrical Characteristics* CD4001BC, CD4001BM

T_A = 25°C, Input t_r; t_f = 20 ns. C_L = 50 pF, R_L = 200k. Typical temperature coefficient is 0.3%/°C.

Symbol	Parameter	Conditions	Typ	Max	Units
t_{PHL}	Propagation Delay Time, High-to-Low Level	V_{DD} = 5V	120	250	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	35	70	ns
t_{PLH}	Propagation Delay Time, Low-to-High Level	V_{DD} = 5V	110	250	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	35	70	ns
t_{THL}, t_{TLH}	Transition Time	V_{DD} = 5V	90	200	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	40	80	ns
C_{IN}	Average Input Capacitance	Any Input	5	7.5	pF
C_{PD}	Power Dissipation Capacity	Any Gate	14		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

Note 3: I_{OL} and I_{OH} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* CD4011BC, CD4011BM

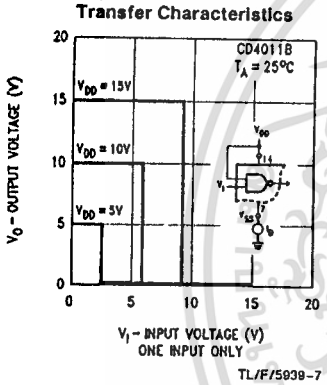
T_A = 25°C, Input t_r; t_f = 20 ns. C_L = 50 pF, R_L = 200k. Typical Temperature Coefficient is 0.3%/°C.

Symbol	Parameter	Conditions	Typ	Max	Units
t_{PHL}	Propagation Delay, High-to-Low Level	V_{DD} = 5V	120	250	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	35	70	ns
t_{PLH}	Propagation Delay, Low-to-High Level	V_{DD} = 5V	85	250	ns
		V_{DD} = 10V	40	100	ns
		V_{DD} = 15V	30	70	ns
t_{THL}, t_{TLH}	Transition Time	V_{DD} = 5V	90	200	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	40	80	ns
C_{IN}	Average Input Capacitance	Any Input	5	7.5	pF
C_{PD}	Power Dissipation Capacity	Any Gate	14		pF

*AC Parameters are guaranteed by DC correlated testing.

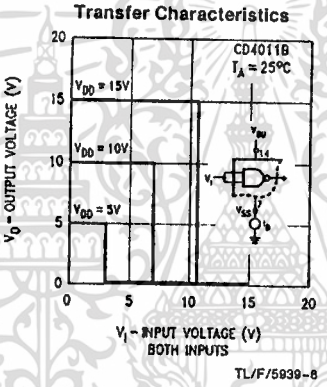
Typical Performance Characteristics

Typical Transfer Characteristics



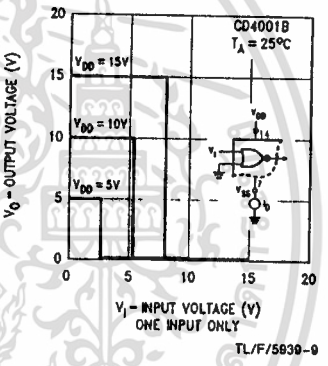
TL/F/5939-7

Typical Transfer Characteristics



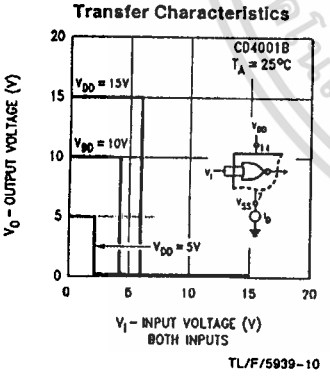
TL/F/5939-8

Typical Transfer Characteristics

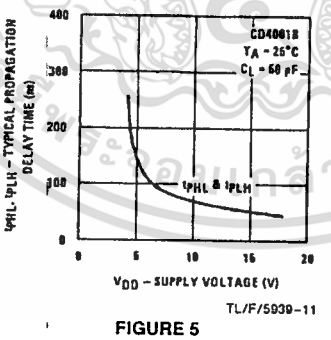


TL/F/5939-9

Typical Transfer Characteristics

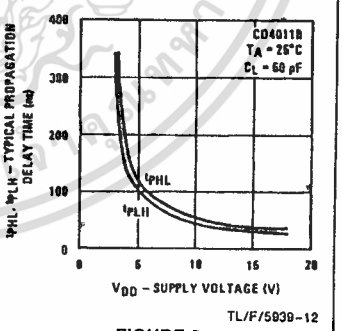


TL/F/5939-10



TL/F/5939-11

FIGURE 5



TL/F/5939-12

FIGURE 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

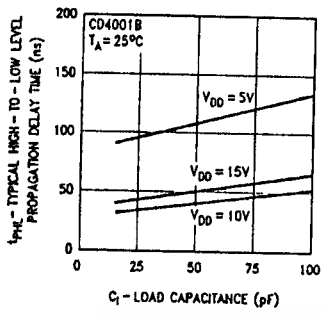


FIGURE 7

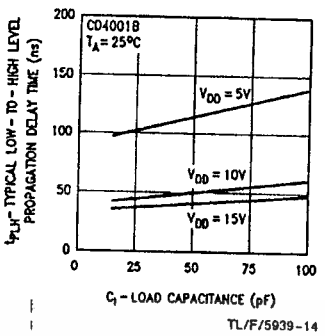


FIGURE 8

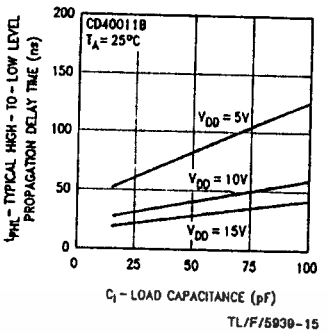


FIGURE 9

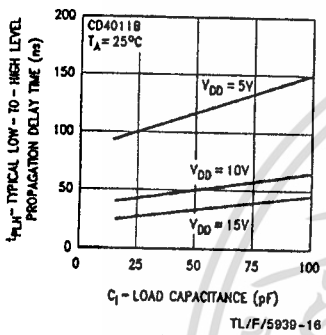


FIGURE 10

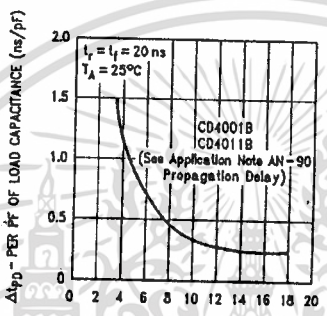


FIGURE 11

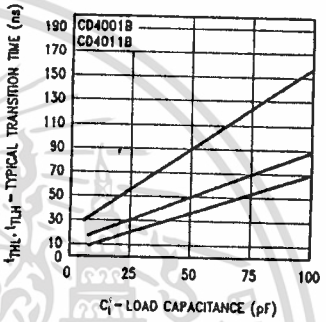


FIGURE 12

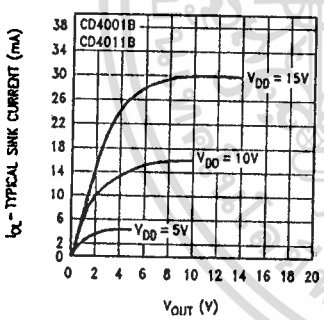


FIGURE 13

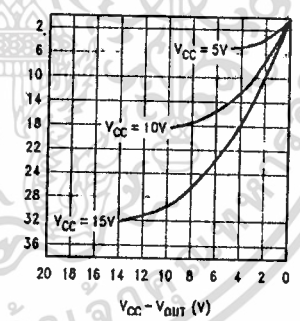
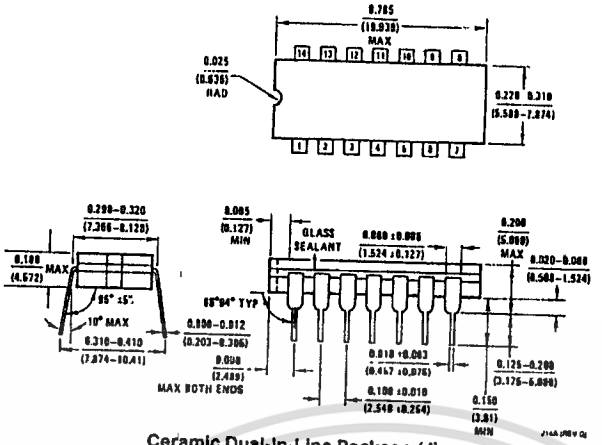


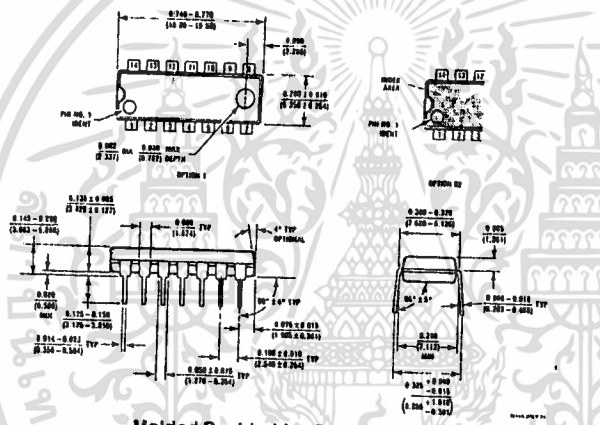
FIGURE 14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



Ceramic Dual-In-Line Package (J)
Order Number CD4001BMJ, CD4001BCJ, CD40011BMJ or CD4011BCJ
NS Package Number J14A



Molded Dual-In-Line Package (N)
Order Number CD4001BMN, CD4001BCN, CD4011BMN or CD4011BCN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage Controlled Oscillator

Consider MC12148 for New Designs

MC1648

VOLTAGE CONTROLLED OSCILLATOR

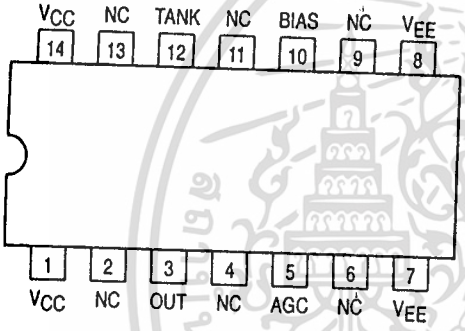
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C). **For Maximum Performance $Q_L \geq 100$ at Frequency of Operation.**

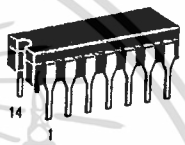
A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase–Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2)

The MC1648 may be operated from a +5.0Vdc supply or a –5.2Vdc supply, depending upon system requirements.

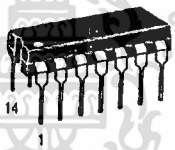
NOTE: The MC1648 is NOT useable as a crystal oscillator.

Pinout: 14-Lead Package (Top View)



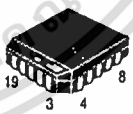


L SUFFIX
CERAMIC PACKAGE
CASE 632–08



P SUFFIX
PLASTIC PACKAGE
CASE 646–06

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05



FN SUFFIX
PLCC PACKAGE
CASE 775-02

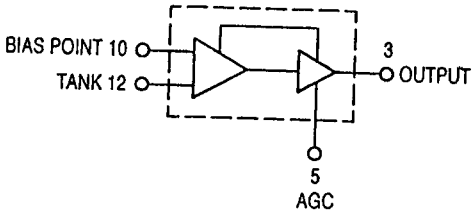
Supply Voltage	GND Pins	Supply Pins
+5.0Vdc	7,8	1,14
–5.2Vdc	1,14	7,8

MC1648 NON–STANDARD PIN CONVERSION DATA

Package	TANK	V_{CC}	V_{CC}	OUT	AGC	V_{EE}	V_{EE}	BIAS
8 D	1	2	3	4	5	6	7	8
14 L,P	12	14	1	3	5	7	8	10
20FN	18	20	2	4	8	10	12	14

*NOTE – All unused pins are not connected.

LOGIC DIAGRAM



- Input Capacitance = 6.0pF (TYP)
- Maximum Series Resistance for L (External Inductance) = 50Ω (TYP)
- Power Dissipation = 150mW (TYP)/Pkg (+5.0Vdc Supply)
- Maximum Output Frequency = 225MHz (TYP)

V_{CC1} = Pin 1
V_{CC2} = Pin 14
V_{EE} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1994

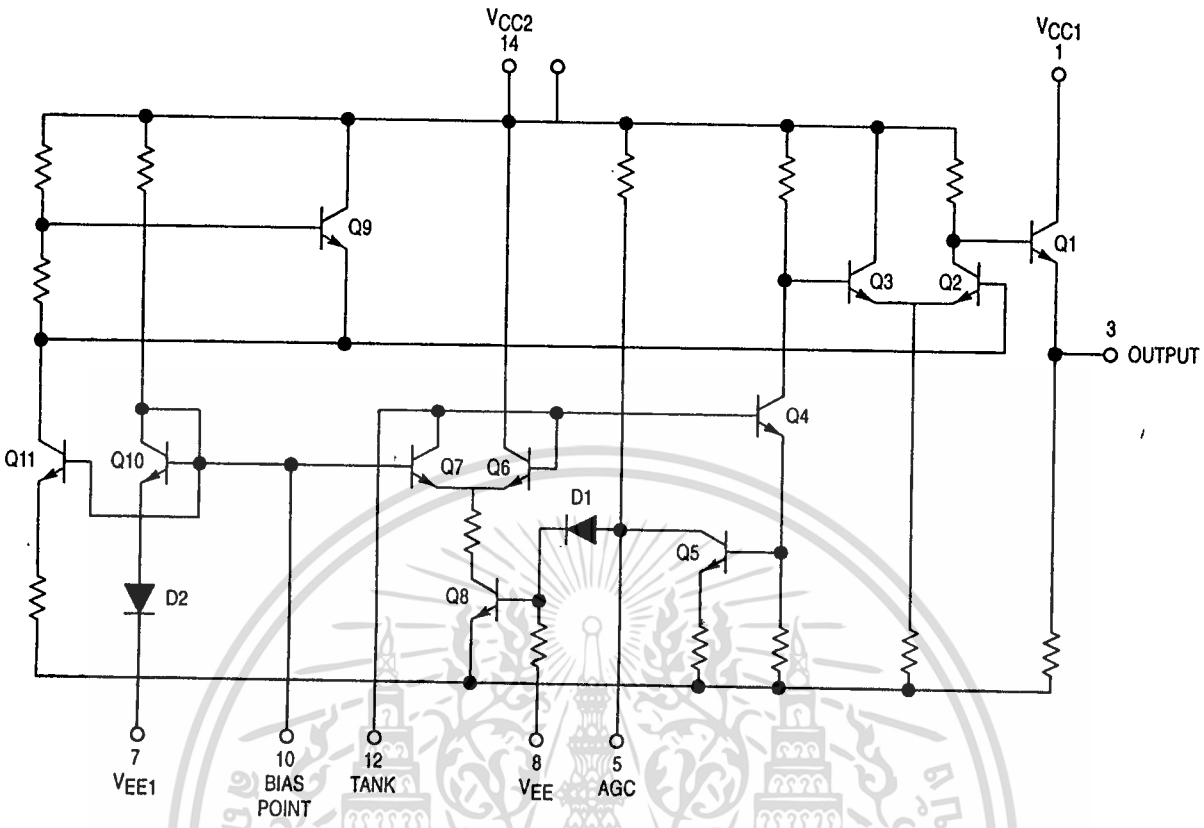


Figure 1. Circuit Schematic

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{CC}	I_L
MC1648				
–30°C	+2.0	+1.5	5.0	–5.0
+25°C	+1.85	+1.35	5.0	–5.0
+85°C	+1.7	+1.2	5.0	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

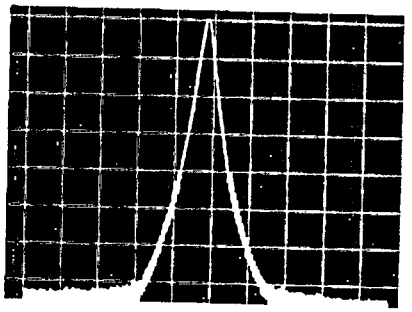
ELECTRICAL CHARACTERISTICS (Supply Voltage = +5.0V)

Symbol	Characteristic	–30°C		+25°C		+85°C		Unit	Condition
		Min	Max	Min	Max	Min	Max		
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	3.955	4.185	4.04	4.25	4.11	4.36	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	3.16	3.4	3.2	3.43	3.22	3.475	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	1.6	1.9	1.45	1.75	1.3	1.6	Vdc	V_{ILmin} to Pin 12

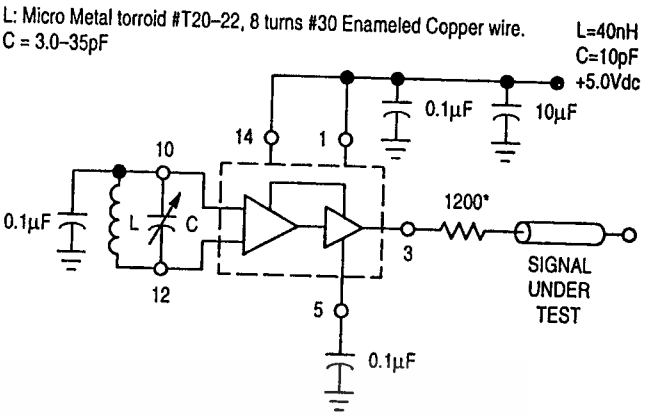
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1 This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2 Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–075–50 or equivalent.

Figure 2. Spectral Purity of Signal Output for 200MHz Testing

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts) V_{IHmax}	(Volts) V_{ILmin}	(Volts) V_{CC}	mAdc I_L
MC1648				
–30°C	–3.2	–3.7	–5.2	–5.0
+25°C	–3.35	–3.85	–5.2	–5.0
+85°C	–3.5	–4.0	–5.2	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

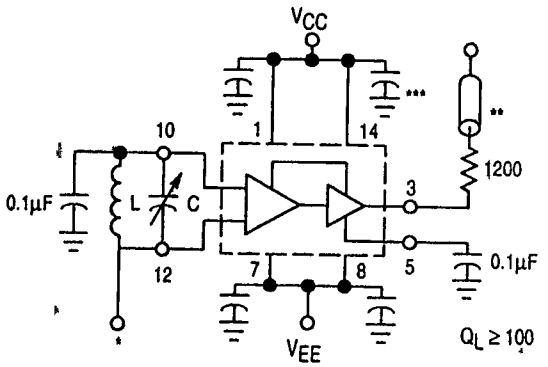
ELECTRICAL CHARACTERISTICS (Supply Voltage = –5.2V)

Symbol	Characteristic	–30°C Min	–30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	Unit	Condition
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	–1.045	–0.815	–0.96	–0.75	–0.89	–0.64	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	–1.89	–1.65	–1.85	–1.62	–1.83	–1.575	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	–3.6	–3.3	–3.75	–3.45	–3.9	–3.6	Vdc	V_{ILmin} to Pin 12

Symbol	Characteristic	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* Use high impedance probe (>1.0 Megohm must be used).

** The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent.

*** Bypass only that supply opposite ground.

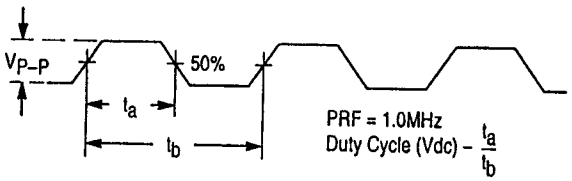


Figure 3. Test Circuit and Waveforms

OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" V_{BE} above V_{EE} (≈1.4V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

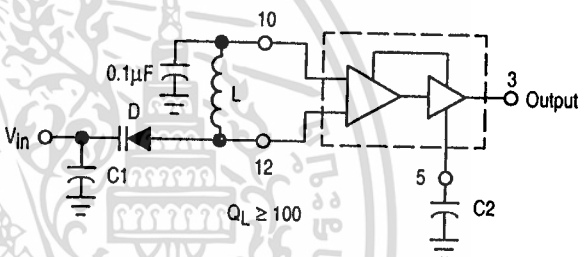
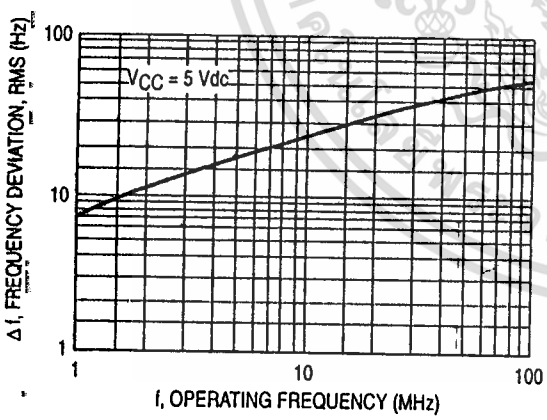
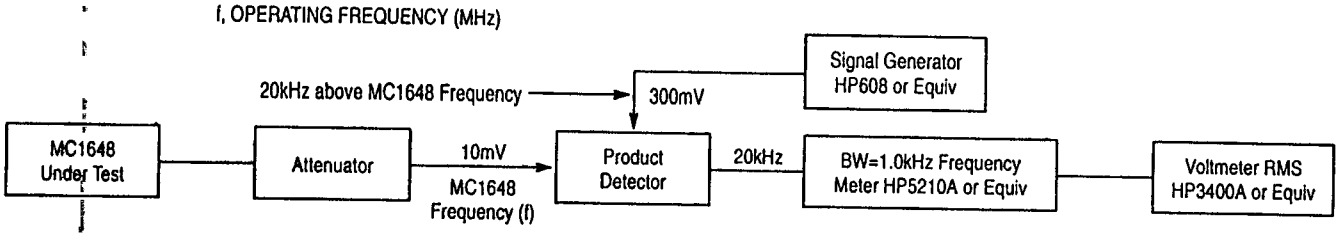


Figure 4. The MC1648 Operating in the Voltage Controlled Mode



Oscillator Tank Components (Circuit of Figure 4)

f MHz	D	L µH
1.0–10	MV2115	100
10–60	MV2116	2.3
60–100	MV2106	0.15



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0Volt}}$$

Figure 5. Noise Deviation Test Circuit and Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

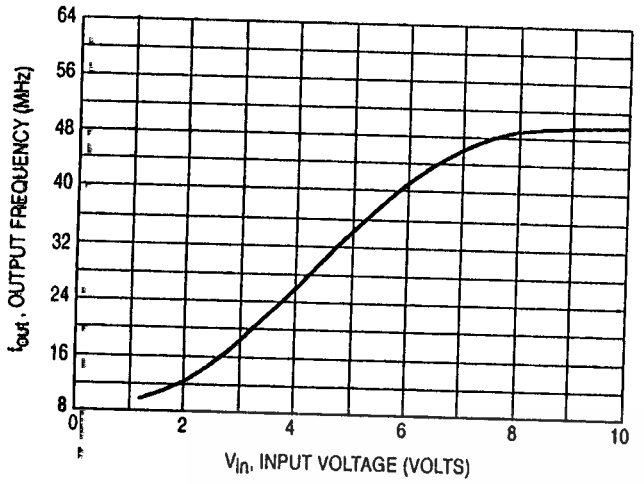
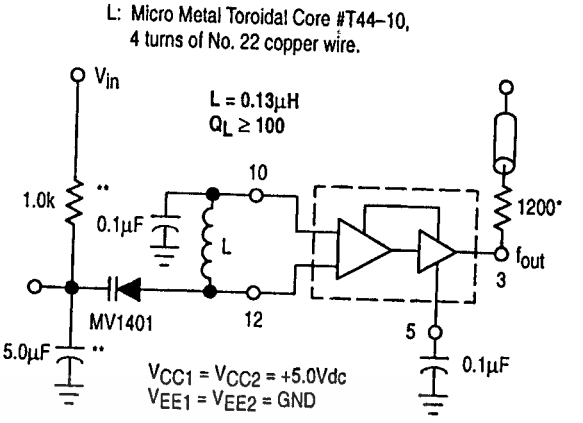


Figure 6



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

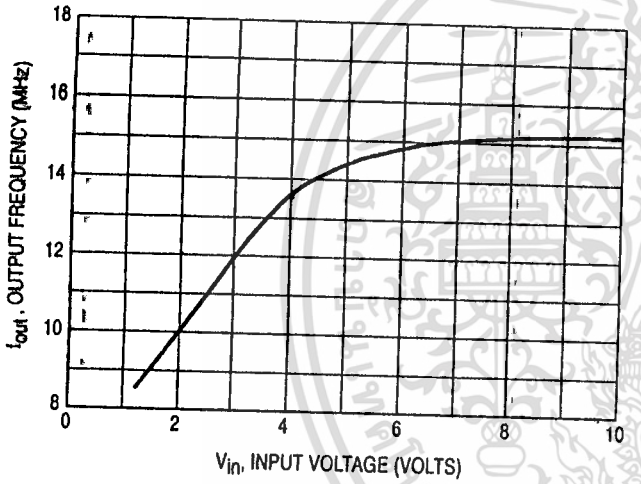
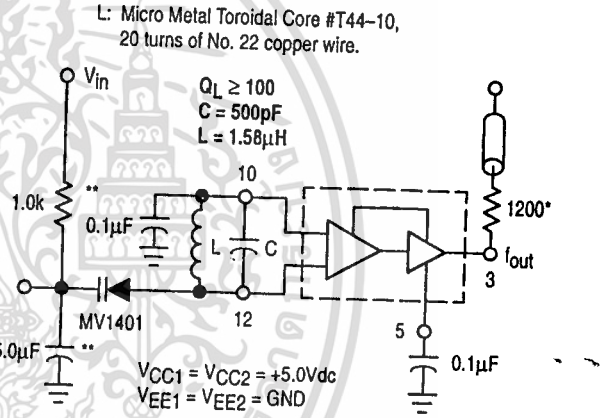


Figure 7



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

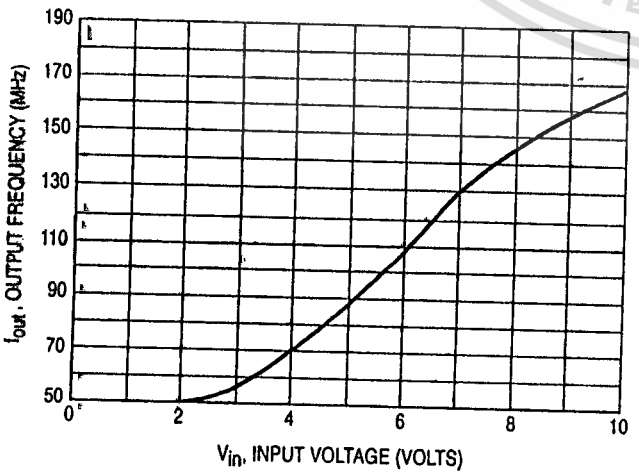
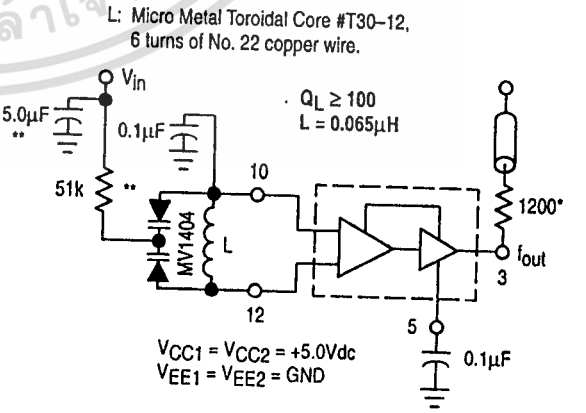


Figure 8



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figure 6, Figure 7 and Figure 8; Figure 6 and Figure 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0kΩ resistor in Figure 6 and Figure 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger–valued resistor (51kΩ) in Figure 8 is required to provide isolation for the high–impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(min) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $$f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$$

CS = shunt capacitance (input plus external capacitance)

CD = varactor capacitance as a function of bias voltage

Good RF and low–frequency bypassing is necessary on the power supply pins. (See Figure 2)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0MHz and 50MHz a 0.1μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak–to–peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential. (ground if +5.0 volt supply is used, –5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak–to–peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0kΩ minimum), from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a –5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked–loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To extend the useful range of the device (maintain a square wave output above 175Mhz), a resistor is added to the AGC circuit at pin 5 (1.0 kohm minimum).

Figure 12 shows the MC1648 operating from +5.0Vdc and +9.0Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figure 13 and Figure 14 for 100MHz and 10MHz operation. The total collector load includes R in parallel with R_p of L1 and C1 at resonance. The optimum value for R at 100MHz is approximately 850 ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

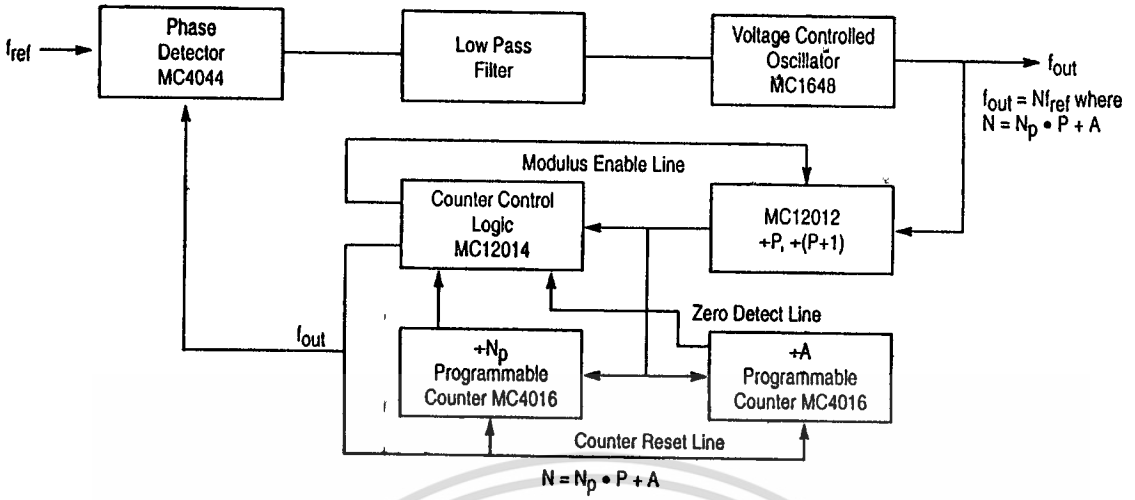


Figure 9. Typical Frequency Synthesizer Application

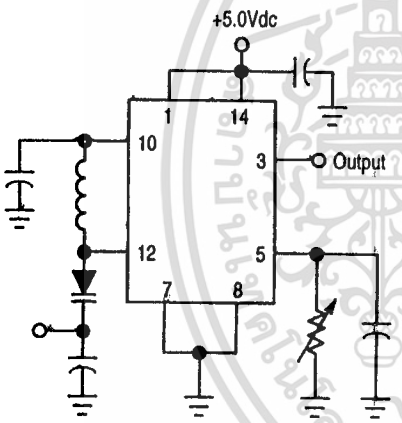


Figure 10. Method of Obtaining a Sine–Wave Output

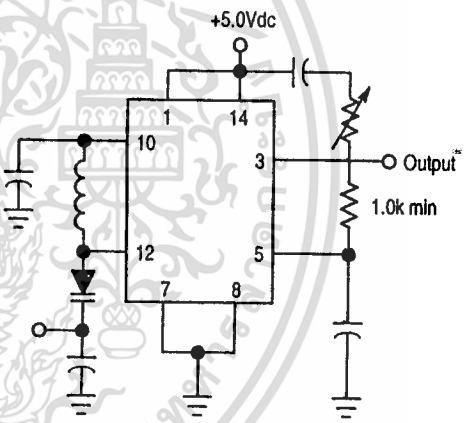


Figure 11. Method of Extending the Useful Range of the MC1648 (Square Wave Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

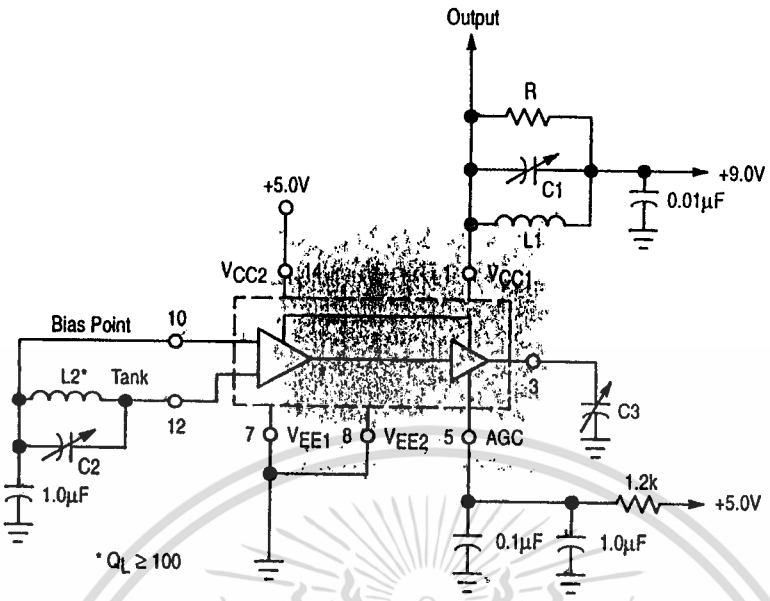
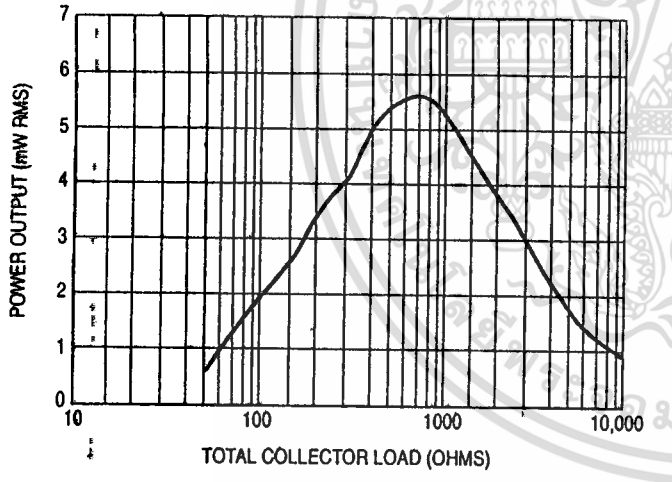
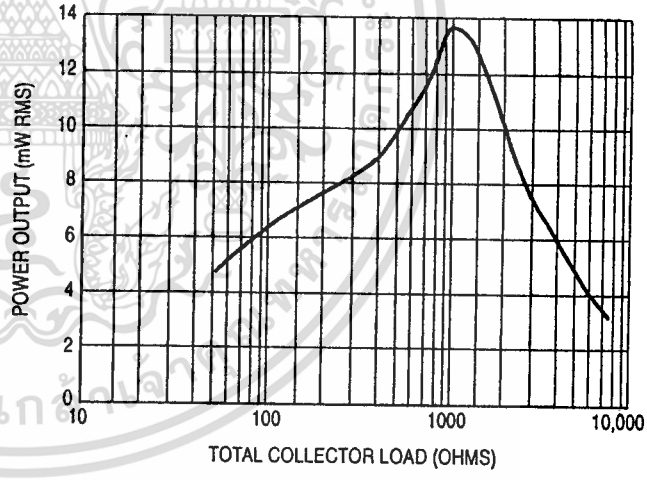


Figure 12. Circuit Used for Collector Output Operation



See test circuit, Figure 12, f = 100MHz
C3 = 3.0–35pF
Collector Tank
L1 = 0.22µH C1 = 1.0–7.0pF
R = 50Ω–10kΩ
RP of L1 and C1 = 11kΩ @ 100MHz Resonance
Oscillator Tank
L2 = 4 turns #20 AWG 3/16" ID
C2 = 1.0–7.0pF

Figure 13. Power Output versus Collector Load



See test circuit, Figure 12, f = 10MHz
C3 = 470pF
Collector Tank
L1 = 2.7µH C1 = 24–200pF
R = 50Ω–10kΩ
RP of L1 and C1 = 6.8kΩ @ 10MHz Resonance
Oscillator Tank
L2 = 2.7µH
C2 = 16–150pF

Figure 14. Power Output versus Collector Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Modulus Prescaler

MC12015
MC12016
MC12017

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5Vdc to Pin 8.

- 225MHz Toggle Frequency
- Low–Power 7.5mA Maximum at 6.8V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5V to 9.5V

MECL PLL COMPONENTS

DUAL MODULUS PRESCALER

P SUFFIX
PLASTIC PACKAGE
CASE 626–05

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05

MAXIMUM RATINGS

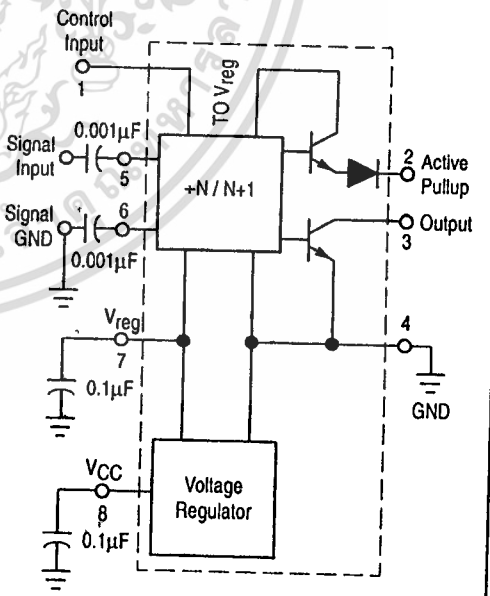
Symbol	Characteristic	Range	Unit
V_{reg}	Regulated Voltage, Pin 7	8.0	Vdc
V_{CC}	Power Supply Voltage, Pin 8	10.0	Vdc
T_A	Operating Temperature Range	–40 to +85	°C
T_{stg}	Storage Temperature Range	–65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5V; V_{reg} = 4.5 to 5.5V; T_A = –40 to +85°C)

Symbol	Characteristic	Min	Typ	Max	Unit
f_{max} f_{min}	Toggle Frequency (Sine Wave Input)	225		35	MHz
I_{CC}	Supply Current		6.0	7.8	mA
V_{IH}	Control Input HIGH (+32, 40 or 64)	2.0			V
V_{IL}	Control Input LOW (+33, 41 or 65)			0.8	V
V_{OH}	Output Voltage HIGH[1] (I_{source} = 50µA)	2.5			V
V_{OL}	Output Voltage LOW[1] (I_{sink} = 2mA)			0.5	V
V_{in}	Input Voltage Sensitivity 35MHz 50–225MHz	400 200		800 800	mV_{PP}
t_{PLL}	PLL Response Time (Notes 2 and 3)			t_{out}–70	ns

1. Pin 2 connected to Pin 3
2. t_{PLL} = the period of time the PLL has from the prescaler rising output transistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection
3. t_{out} = period of output waveform

PRESCALER BLOCK DIAGRAM



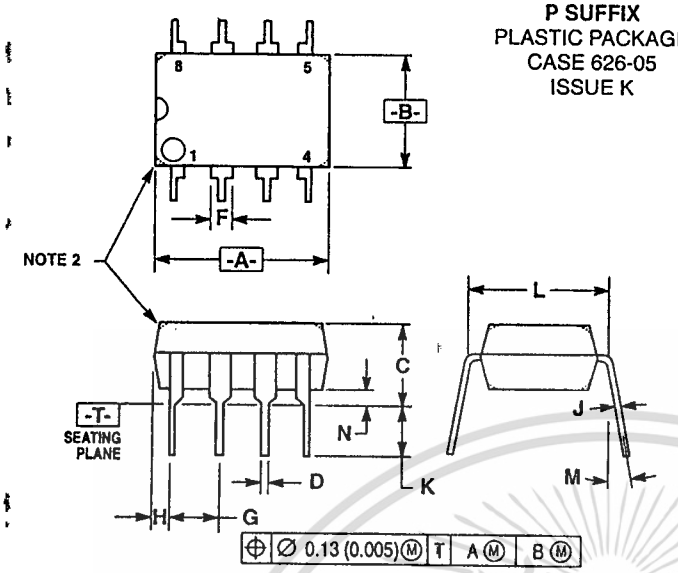
1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงความเป็นเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996

OUTLINE DIMENSIONS

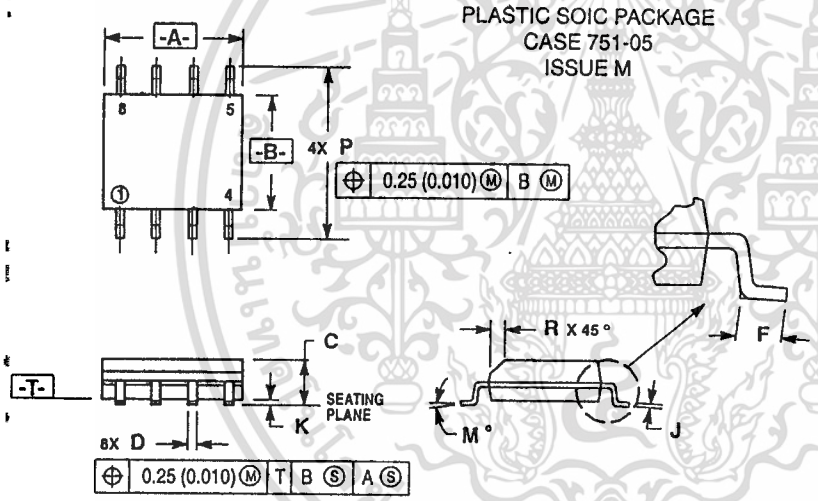
P SUFFIX
PLASTIC PACKAGE
CASE 626-05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751-05
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.196
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.18	0.25	0.007	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Literature Distribution Centers:
USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.
EUROPE: Motorola Ltd.; European Literature Centre; 88 Tanners Drive, Blakelands, Milton Keynes, MK14 5BP, England.
JAPAN: Nippon Motorola Ltd.; 4-32-1, Nishi-Gotanda, Shinagawa-ku, Tokyo 141 Japan.
ASIA-PACIFIC: Motorola Semiconductors H.K. Ltd.; Silicon Harbour Center, No. 2 Dai King Street, Tai Po Industrial Estate, Tai Po, N.T., Hong Kong.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MC145151-2

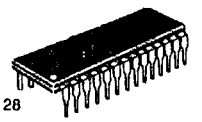
Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

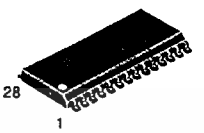
The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates



P SUFFIX
PLASTIC DIP
CASE 710

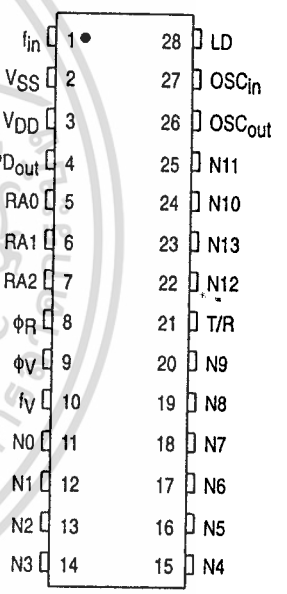


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT

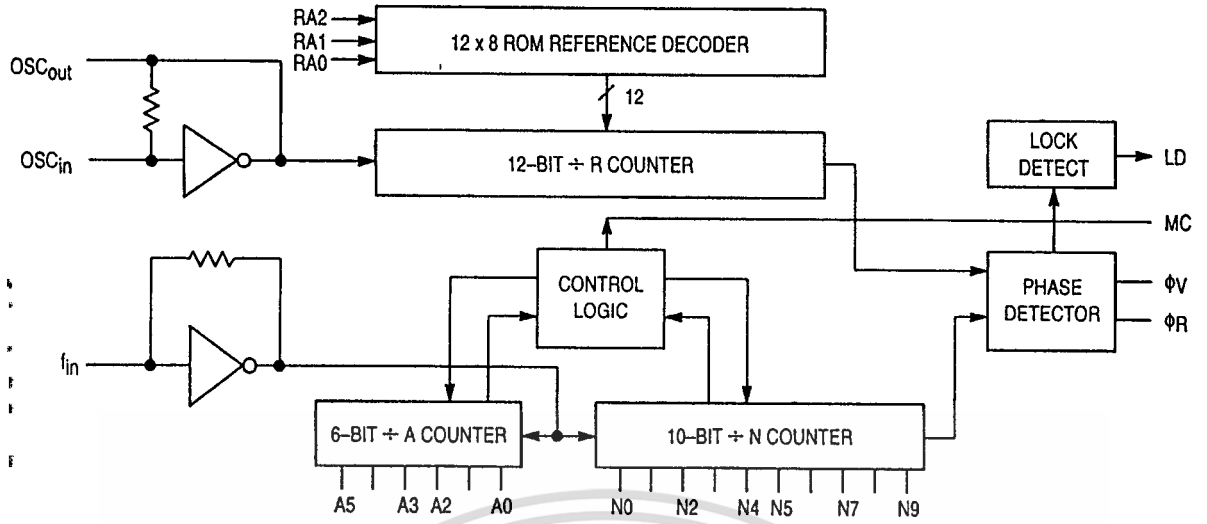


REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs (Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕ_R, ϕ_V
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the + N counter, and A the number programmed into the + A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

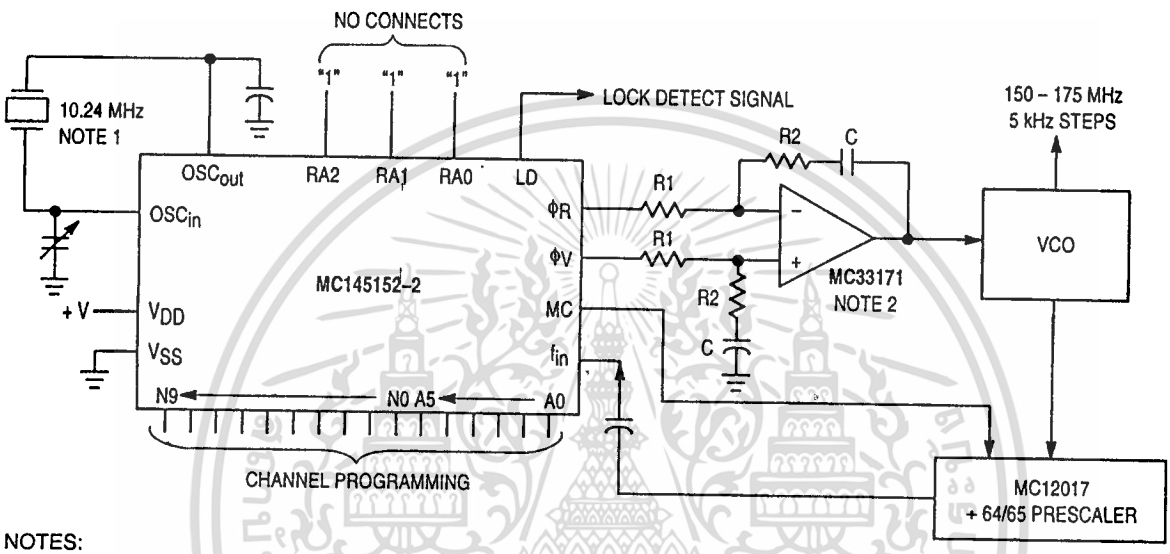
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

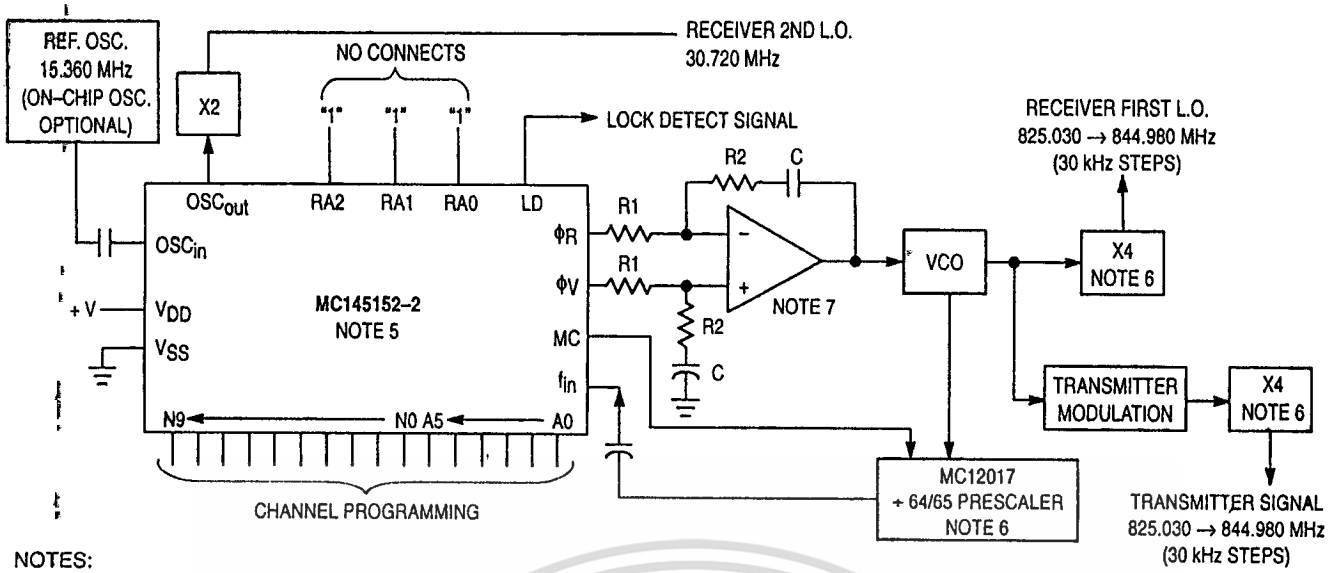
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152–2 Data Sheet Continued on Page 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MRF4427/D

The RF Line

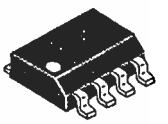
NPN Silicon RF Low Power Transistor

MRF4427R2

Designed for amplifier, frequency multiplier, or oscillator applications i industrial equipment constructed with surface mount components. Suitable fo use as output driver or pre–driver stages in VHF and UHF equipment.

- Low Cost SORF Plastic Surface Mount Package
- Guaranteed RF Specification — $|S_{21}|^2$
- S–Parameter Characterization
- Low Voltage Version of MRF3866
- Tape and Reel Packaging Available.
  R2 suffix = 2,500 units per reel

1.0 W, 175 MHz
HIGH–FREQUENCY
TRANSISTOR
NPN SILICON



CASE 751–05, STYLE 1
SORF
(SO–8)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	20	Vdc
Collector–Base Voltage	V_{CBO}	40	Vdc
Emitter–Base Voltage	V_{EBO}	2.0	Vdc
Collector Current — Continuous	I_C	400	mAdc
Total Device Dissipation @ T_C = 75°C Derate above 75°C	P_D	1.67 22.2	Watts mW/°C
Operating Junction and Storage Temperature Range	T_J, T_{stg}	–65 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	45	°C/W

DEVICE MARKING

MRF4427 = 4427

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector–Emitter Sustaining Voltage (I_C = 5.0 mAdc, I_B = 0)	$V_{(BR)CEO}$	20	—	—	Vdc
Collector–Emitter Breakdown Voltage (I_C = 5.0 mAdc, R_{BE} = 10 ohms)	$V_{(BR)CER}$	40	—	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 100 µAdc)	$V_{(BR)EBO}$	2.0	—	—	Vdc
Collector Cutoff Current (V_{CE} = 12 Vdc, I_B = 0)	I_{CEO}	—	—	20	µAdc

NOTE:
1.Case temperature measured on collector lead immediately adjacent to body of package

(continued)

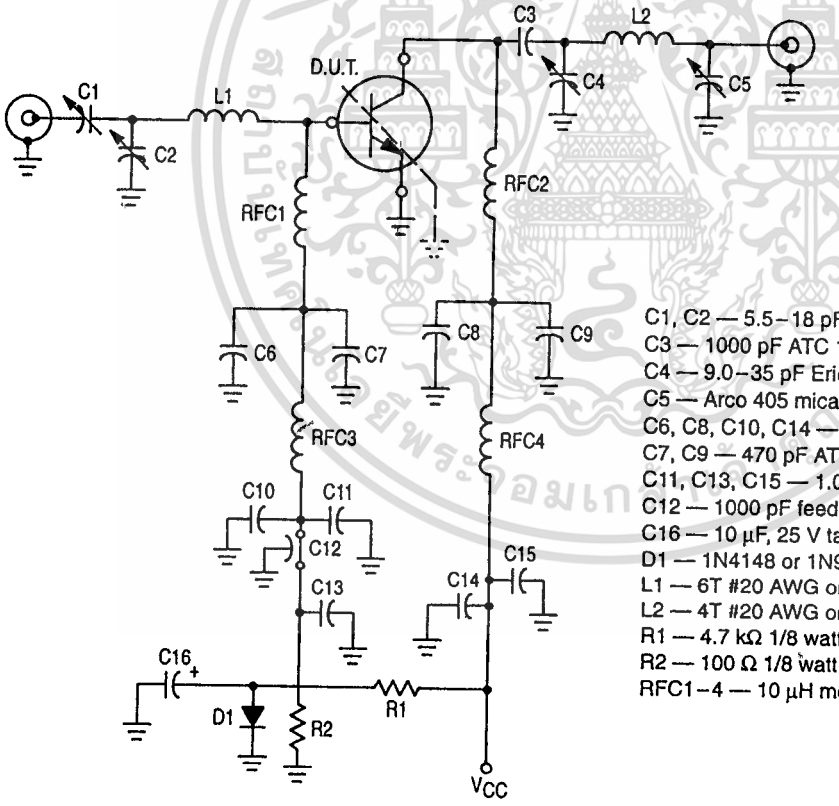
REV 8

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS — continued (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
ON CHARACTERISTICS					
DC Current Gain (I_C = 100 mAdc, V_{CE} = 5.0 Vdc) (I_C = 360 mAdc, V_{CE} = 5.0 Vdc)	h_{FE}	 10 5.0	 50 —	 200 —	—
Collector–Emitter Saturation Voltage (I_C = 100 mAdc, I_B = 20 mAdc)	$V_{CE(sat)}$	—	60	—	mVdc
DYNAMIC CHARACTERISTICS					
Current–Gain — Bandwidth Product (I_C = 50 mAdc, V_{CE} = 12 Vdc, f = 200 MHz)	f_T	—	1600	—	MHz
Output Capacitance (V_{CB} = 12 Vdc, I_E = 0, f = 1.0 MHz)	C_{ob}	—	—	3.0	pF
FUNCTIONAL TESTS					
Common–Emitter Amplifier Power Gain (P_{in} = 15 mW, V_{CC} = 12 Vdc, f = 175 MHz)	G_{pe}	—	18	—	dB
Collector Efficiency (Figure 1) (P_{out} = 1.0 W, V_{CC} = 12 Vdc, f = 175 MHz)	η	—	60	—	%
Insertion Gain (V_{CE} = 12 Vdc, I_C = 50 mA, f = 200 MHz)	$\lvert S_{21}\rvert^2$	14	16.4	—	dB



C1, C2 — 5.5–18 pF Erie ceramic trimmer
C3 — 1000 pF ATC 100 mil chip cap.
C4 — 9.0–35 pF Erie ceramic trimmer
C5 — Arco 405 mica trimmer
C6, C8, C10, C14 — 0.1 µF Erie blue cap.
C7, C9 — 470 pF ATC 100 mil chip cap.
C11, C13, C15 — 1.0 µF Erie blue cap, non–polar
C12 — 1000 pF feedthru
C16 — 10 µF, 25 V tantalum
D1 — 1N4148 or 1N914
L1 — 6T #20 AWG on #2 drill bit
L2 — 4T #20 AWG on #4 drill bit
R1 — 4.7 kΩ 1/8 watt carbon
R2 — 100 Ω 1/8 watt carbon
RFC1–4 — 10 µH molded choke

Figure 1. 175 MHz RF Amplifier Circuit for Functional Tests

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

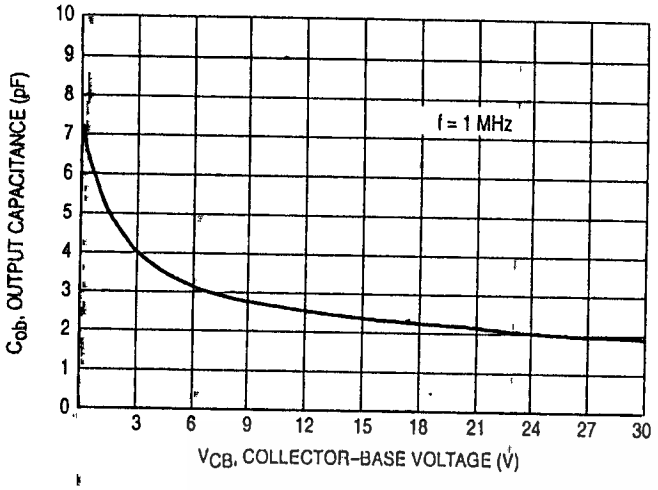


Figure 2. Collector–Base Capacitance versus Voltage

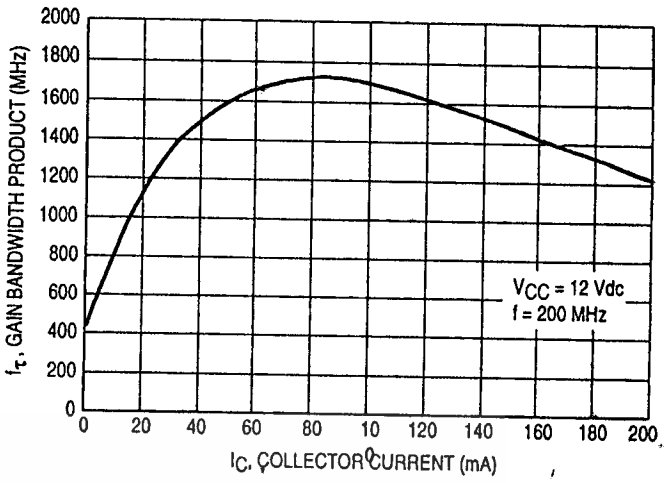


Figure 3. Gain Bandwidth Product versus Collector Current

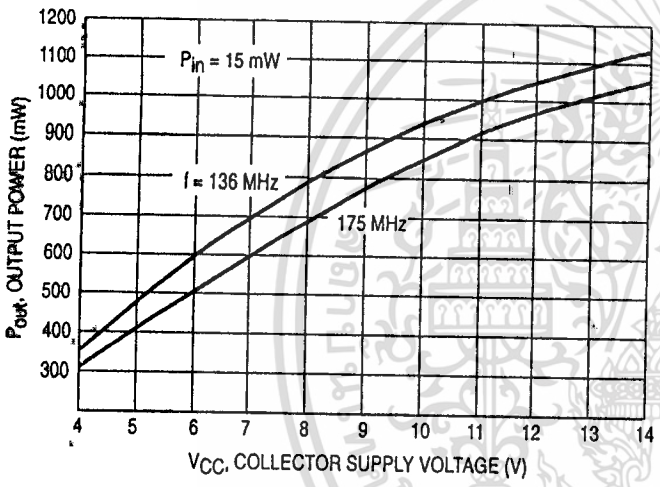


Figure 4. Output Power versus Voltage

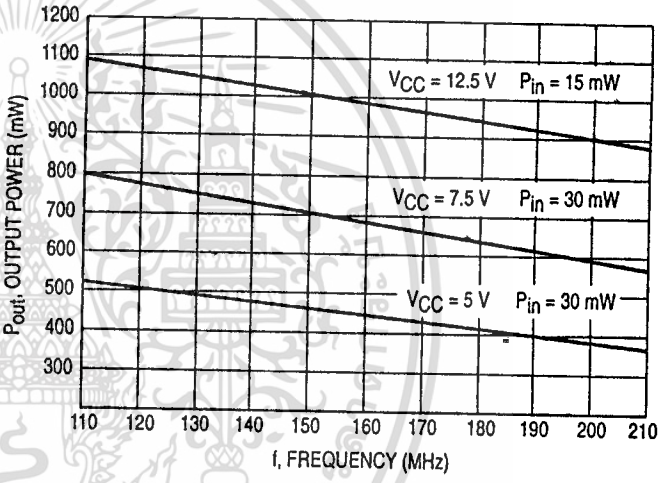


Figure 5. Output Power versus Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{CE} (Volts)	I_C (mA)	f (MHz)	S_{11}		S_{21}		S_{12}		S_{22}	
			$\|S_{11}\|$	$\angle\phi$	$\|S_{21}\|$	$\angle\phi$	$\|S_{12}\|$	$\angle\phi$	$\|S_{22}\|$	$\angle\phi$
5.0	5.0	50	0.82	−104	10.3	125	0.05	38	0.68	−34
		100	0.83	−141	6.1	103	0.06	26	0.51	−40
		200	0.81	−165	3.2	85	0.07	21	0.44	−46
		500	0.80	169	1.3	57	0.07	32	0.49	−73
		750	0.79	156	0.8	42	0.08	49	0.58	−94
		1000	0.76	144	0.6	30	0.11	61	0.65	−114
	25	50	0.77	−151	19	107	0.02	36	0.35	−75
		100	0.79	−168	9.9	94	0.03	37	0.21	−87
		200	0.79	−180	5.0	82	0.04	49	0.16	−97
		500	0.78	163	2.0	61	0.07	62	0.22	−106
		750	0.77	152	1.3	48	0.10	66	0.31	−115
		1000	0.74	141	0.9	36	0.13	66	0.37	−127
	50	50	0.77	−163	21.1	103	0.02	37	0.29	−98
		100	0.79	−174	10.7	92	0.02	50	0.19	−119
		200	0.79	177	5.4	82	0.03	62	0.16	−134
		500	0.78	162	2.2	62	0.07	67	0.20	−131
		750	0.77	151	1.4	50	0.10	69	0.26	−130
		1000	0.74	140	1.1	38	0.13	67	0.32	−139
12	5.0	50	0.83	−97	11	129	0.04	46	0.75	−26
		100	0.82	−135	6.8	107	0.05	29	0.61	−29
		200	0.81	−162	3.6	88	0.05	24	0.54	−34
		500	0.79	171	1.4	60	0.06	37	0.47	−57
		750	0.78	157	0.9	44	0.07	55	0.64	−76
		1000	0.75	145	0.7	32	0.09	68	0.70	−95
	25	50	0.73	−143	22.1	111	0.02	38	0.43	−52
		100	0.76	−164	11.7	96	0.02	39	0.29	−52
		200	0.77	−177	6.0	84	0.03	48	0.22	−53
		500	0.76	165	2.4	63	0.06	64	0.27	−69
		750	0.75	154	1.6	49	0.08	67	0.35	−84
		1000	0.72	143	1.1	38	0.11	69	0.42	−98
	50	50	0.73	−156	25.5	106	0.02	41	0.32	−67
		100	0.75	−171	13.1	94	0.02	49	0.20	−69
		200	0.76	59	6.6	83	0.03	60	0.15	−71
		500	0.75	164	2.6	64	0.06	69	0.20	−81
		750	0.74	153	1.7	51	0.09	70	0.27	−92
		1000	0.71	142	1.2	38	0.12	70	0.34	−104

Table 1. Common Emitter S–Parameters

Freq. (MHz)	P_{in} (mW)	P_{out} (mW)	V_{CC} (Volts)	Z_{in} (Ohms)	Z_{OL}^* (Ohms)
136	15	—	12.5	6.2 – j11.6	—
175	15	—	12.5	4.6 – j10.4	—
136	—	1000	12.5	—	47.7 + j41.7
175	—	1000	12.5	—	47.4 – j34.4
136	30	—	7.5	5.65 – j12.6	—
175	30	—	7.5	6.25 – j12.2	—
136	—	650	7.5	—	27.6 – j32.4
175	—	650	7.5	—	27.9 – j27.6
136	30	—	5.0	6.1 – j13.3	—
175	30	—	5.0	5.9 – j12.22	—
136	—	450	5.0	—	24.8 – j22.8
175	—	450	5.0	—	28.3 – j29.3

Z_{OL}^* = Conjugate of the optimum load impedance into which the device output operates at a given output power, voltage and frequency

Table 2. Series Input/Output Impedances

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้รับความช่วยเหลือในการให้คำแนะนำและข้อมูลเพื่อการศึกษาและทำการทดลองออกแบบอย่างดียิ่งจากอาจารย์ที่ปรึกษาปริญญานิพนธ์คือ ท่านอาจารย์ ดร.สุทธิชัย นพนาคีพงษ์ ซึ่งให้คำแนะนำและการสนับสนุนในการทำวิจัยด้วยดีตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] W.F. Egan, Frequency Synthesis by Phase Lock, Wiley, New York, 1981

[2] J.K. Hardy, High Frequency Circuit Design, Reston, Viging, 1979

[3] บัณฑิต โรจน์อารยานนท์ , " หลักการไฟฟ้าสื่อสาร" , สำนักพิมพ์จุฬาลงกรณมหาวิทยาลัย , 2537

[4] ถวิล กิ่งทอง , "ทฤษฎีและระบบสื่อสาร" , Japan International Cooperation Agency (JICA) , 2535

[5] สุชาติ กังวารจิตต์ , "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร" , บริษัท ซีเอ็ดยูเคชั่น , 2521

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้