



การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์

INSTRUMENTATION CARD AND STORAGE SIGNAL USING MICROCOMPUTER

โดย
นายจักรกฤษณ์ ไชยศรีษะ
นายนิวัตร เขตบรรพต

Hand wave
passed
4 ม.ค 41

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์

INSTRUMENTATION CARD AND STORAGE SIGNAL USING MICROCOMPUTER

โดย

นายจักรกฤษณ์ ไชยศรีษะ 38013003

นายนิวัตร เขตบรรพต 38013059

อาจารย์ที่ปรึกษา

ผศ.นิภา สีสารุจิ

วัน เดือน ปี..... 17 ค.ค. 2541
เลขทะเบียน..... 039055
เลขเรียกหนังสือ..... 110196 จ 216 ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039055

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การวัดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์

INSTRUMENTATION CARD AND STORAGE SIGNAL USING MICROCOMPUTER

ผู้จัดทำ

1. นายจักรกฤษณ์ ไชยศรีษะ 38013003

2. นายนิวัตร เขตบรรพต 38013059

.....
(ผศ.นิภา ลีลารุจิ) อาจารย์ที่ปรึกษา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์

INSTRUMENTATION CARD AND STORAGE SIGNAL USING MICROCOMPUTER

โดย นาย จักรกฤษณ์ ไชยศรีษะ 38013003

นาย นิวัตร เขตบรรพต 38013059

อาจารย์ที่ปรึกษา ผศ. นิภา ลีลารุจิ

บทคัดย่อ

โครงการนี้เป็นการนำเสนอเครื่องวัดสัญญาณโดยออกแบบเป็นการ์ดให้สามารถใช้งานบนเครื่อง PC (IBM หรือ Compatible) โดยจะมีส่วนประกอบที่สำคัญ 2 ส่วนคือส่วนที่เป็น Hardware จะเสียบเข้าที่ สล็อตของเครื่อง PC และส่วนที่เป็น Software ใช้ควบคุมการทำงานของการ์ด ซึ่งสามารถนำสัญญาณอนาล็อก (Analog) มาแปลงเป็นสัญญาณดิจิทัล (Digital) โดยใช้ IC แบบ Flash CA 3306 ซึ่งเป็นตัวแปลงสัญญาณที่มีความเร็วสูง และวัดความถี่ไม่เกิน 5 MHz สามารถแสดงผลที่เป็นจอแบบ VGA , EGA แสดงรูปสัญญาณพร้อมทั้งเก็บข้อมูลลงแผ่นดิสก์และพิมพ์รูปสัญญาณออกจากเครื่องพิมพ์

ABSTRACT

This project proposes the signal instrument by designing in card for using in PC (IBM or Compatible) . It has two important parts ; hardware plug in slot and software to control card. It can be converted analog to digital signal by using IC CA3306 that convert the signal into high speed and measure the frequency less than 5 MHz . It can display the response on VGA , EGA monitor . It can display signal and stores the data in diskette and print out to the printer.

สารบัญรูปภาพ

สารบัญตาราง

บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	2
	2.1 หลักการของเครื่องมือวัดควบคุมด้วยไมโครโพรเซสเซอร์	2
	2.2 การทำงานของ ไอซี CA 3306	7
	2.3 การใช้งาน 8255	12
	2.4 การเชื่อมต่อกับระบบบัสของ IBM PC	17
บทที่ 3	หลักการออกแบบวงจร (HARD WARE)	22
	3.1 หลักการของ BLOCK DIAGRAM	22
	3.2 ภาคลิตความถี่ที่ใช้สุ่มสัญญาณอินพุต (Sampling Frequency Generator)	23
	3.3 ภาคนหน่วยความจำ (Memory Unit)	25
	3.4 ภาควัดควบคุม (Control Unit)	26
	3.5 ภาควัดแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital Converter : ADC)	28
บทที่ 4	หลักการออกแบบโปรแกรม (SOFTWARE)	29
	4.1 การแสดงผลบนจอ (CRT DISPLAY)	29
	4.2 FLOW CHART PROGRAM	32
บทที่ 5	การทดลองและผลการทดลอง	51
บทที่ 6	การสรุปและวิจารณ์	64

สารบัญรูปภาพ

หน้าที่

รูปที่ 2.1	บล็อกไดอะแกรมการทำงานของเครื่องมือวัดสัญญาณ	2
รูปที่ 2.2	บล็อกไดอะแกรมการนับความถี่	3
รูปที่ 2.3	แสดงโพลวชาร์ตของส่วนเก็บข้อมูล	4
รูปที่ 2.4	โครงสร้างทางซอฟต์แวร์	4
รูปที่ 2.5	โพลวชาร์ตของโปรแกรมควบคุมการทำงาน	5
รูปที่ 2.6	วงจรพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน (แฟลช)	7
รูปที่ 2.7	โครงสร้างภายในและการทำงานของ CA 3306	9
รูปที่ 2.8	การควบคุมของ CA 3306 ด้วยการใช้ขาควบคุมเฟสไปควบคุมระดับลอจิกของสัญญาณนาฬิกา	11
รูปที่ 2.9	แสดงบล็อกไดอะแกรม	12
รูปที่ 2.10	แสดงการวางตำแหน่งขาของ 8255	13
รูปที่ 2.11	แสดงรูปแบบการสั่งงานของรีจิสเตอร์ควบคุม	15
รูปที่ 2.12	แสดงบัสของระบบที่ออกมาที่สลอตของ IBM PC	17
รูปที่ 2.13	แสดงการแม็ปตำแหน่ง I/O ของ IBM PC	21
รูปที่ 3.1	แสดงบล็อกไดอะแกรมของออสซิลโลสโคป (Block diagram oscilloscope)	22
รูปที่ 3.2	แสดงวงจรภาคผลิตความถี่ที่ใช้สุ่มสัญญาณอินพุต (Sampling Frequency Generator)	24
รูปที่ 3.3	แสดงวงจรภาคหน่วยความจำ (Memory Unit)	25
รูปที่ 3.4	แสดงการติดต่อ PORT 8255 ของ CPU	26
รูปที่ 3.5	แสดงวงจรภาคควบคุม (Control Unit)	27
รูปที่ 3.6	แสดงวงจรภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter: ADC)	28
รูปที่ 4.1	โครงสร้างของจอภาพ	29
รูปที่ 4.2	ขั้นตอนการทำงานของโปรแกรม WINDOW	33
รูปที่ 4.3	ขั้นตอนการทำงานของโปรแกรม WINDOW ต่อมา	34
รูปที่ 4.4	เป็นส่วนที่ต่อเนื่องมาจนจบขั้นตอนสุดท้ายและ โปรแกรม จะกลับมาสู่สถานะการตรวจสอบการกดคีย์ เช่นเดิม	35
รูปที่ 4.5	ขั้นตอนการทำงานของโปรแกรม Help	36
รูปที่ 4.6	ขั้นตอนการทำงานของโปรแกรม Load data	37
รูปที่ 4.7	ขั้นตอนการทำงานของโปรแกรม save data	38
รูปที่ 4.8	ขั้นตอนการทำงานของโปรแกรม Print screen	39
รูปที่ 4.9	ขั้นตอนการทำงานของโปรแกรม Edit name	40
รูปที่ 4.10	ขั้นตอนการทำงานของโปรแกรม Time – Inc	41
รูปที่ 4.11	ขั้นตอนการทำงานของโปรแกรม Time – Dec	42
รูปที่ 4.12	ขั้นตอนการทำงานของโปรแกรม Trig Mode	43

รูปที่ 4.13 ขั้นตอนการทำงานของโปรแกรม Volt – Inc	44
รูปที่ 4.14 ขั้นตอนการทำงานของโปรแกรม Volt – Dec	45
รูปที่ 4.15 ขั้นตอนการทำงานของโปรแกรม Pan left	46
รูปที่ 4.16 ขั้นตอนการทำงานของโปรแกรม Pan Right	47
รูปที่ 4.17 ขั้นตอนการทำงานของโปรแกรม ZOOMIN	48
รูปที่ 4.18 ขั้นตอนการทำงานของโปรแกรม ZOOMOUT	49
รูปที่ 4.19 ขั้นตอนการทำงานของโปรแกรม PAUSE	50
รูปที่ 4.20 ขั้นตอนการทำงานของโปรแกรม Quit	50
รูปที่ 5.1 การทดลองสัญญาณอินพุตในรูปกระแสดวงรี	53
รูปที่ 5.2 การทดลองสัญญาณอินพุตในรูปกระแสดวงรีกลับ	54
รูปที่ 5.3 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sine Waveform	55
รูปที่ 5.4 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sine Waveform	55
รูปที่ 5.5 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sine Waveform	56
รูปที่ 5.6 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sine Waveform	56
รูปที่ 5.7 แสดงรูปสัญญาณอินพุตจริงในรูปของ Square Waveform	58
รูปที่ 5.8 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Square Waveform	58
รูปที่ 5.9 แสดงรูปสัญญาณอินพุตจริงในรูปของ Square Waveform	59
รูปที่ 5.10 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Square Waveform	59
รูปที่ 5.11 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sawtooth Waveform	61
รูปที่ 5.12 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sawtooth Waveform	61
รูปที่ 5.13 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sawtooth Waveform	62
รูปที่ 5.14 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sawtooth Waveform	62

ตารางที่ 2.1 ค่าของเอาต์พุต เปลี่ยนแปลงไปตามช่วงแรงดันของอนาล็อกอินพุต	8
ตารางที่ 3.1 ตารางแสดงการเลือกความถี่	23



บทที่ 1

บทนำ

ในปัจจุบันคอมพิวเตอร์ ได้มีบทบาทมากในงานต่างๆซึ่งวิวัฒนาการทางด้านคอมพิวเตอร์ก้าวหน้าไปอย่างรวดเร็ว ดังนั้นโครงงานนี้จึงเป็นการนำเอาวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D CONVERTER) มาทำงานร่วมกับคอมพิวเตอร์ ซึ่งโครงงานนี้จะเป็นการวัดค่าสัญญาณต่างๆ ทางด้านอินพุตมาแสดงผลบนจอภาพ ลักษณะเหมือนจอภาพของออสซิลโลสโคป และเนื่องจากออสซิลโลสโคปมีราคาค่อนข้างสูงมาก ซึ่งโครงงานนี้มีหน้าที่หรือการทำงานลักษณะเหมือนกับออสซิลโลสโคป เมื่อนำ A/D Card มาเสียบบนสล็อตของเครื่องคอมพิวเตอร์และโปรแกรมที่ใช้ร่วมกับ A/D Card ก็สามารถใช้งานในการวัดค่าสัญญาณได้และไม่ยุ่งยากในการติดตั้ง ราคาก็ไม่สูงมากนัก

โดยทั่วไป เมื่อกล่าวถึง A/D CONVERTER แล้วจะหมายถึง ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล สัญญาณอนาลอกก็คือ สัญญาณที่มีการเปลี่ยนแปลงต่อเนื่องกันไป ที่รู้จักกันเคยกันดีก็คือสัญญาณรูปไซน์ (SINE WAVE FORM) ,สัญญาณรูปสามเหลี่ยม (TRIANGULAR WAVE FORM) และ สัญญาณเสียง (AUDIO SIGNAL)

ไอซี CA 3306 เป็นวงจรรวมที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบแฟลช (FLASH) ขนาด 6 บิต มีความเร็วในการแปลงสัญญาณสูงมาก มีขนาดขา 18 ขา ตัวถังเป็นแบบ DIP คำว่า “แฟลช” ที่มีอยู่ข้างหน้า A/D CONVERTER เป็นรูปแบบการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลอีกแบบหนึ่งในอีกหลายๆ แบบซึ่งแบบแฟลชนี้มีความเร็วในการแปลงสัญญาณสูงกว่าแบบอื่นๆ แต่หัวใจสำคัญของการแปลงสัญญาณไม่ว่าจะเป็น A/D หรือ D/A คือค่าความถูกต้องของการแปลงสัญญาณ ซึ่งขึ้นอยู่กับความละเอียด (RESOLUTION) ของการแปลงสัญญาณและความเร็วในการแปลงสัญญาณ เพราะการแปลงสัญญาณเป็นเพียงการแปลงสัญญาณที่อยู่ในรูปแบบหนึ่งให้อยู่ในรูปแบบหนึ่ง โดยเนื้อหาจะต้องคงเดิมอยู่ มิใช่แปลงรูปแบบไปแล้วเปลี่ยนเนื้อหาไปด้วย

บทที่ 2

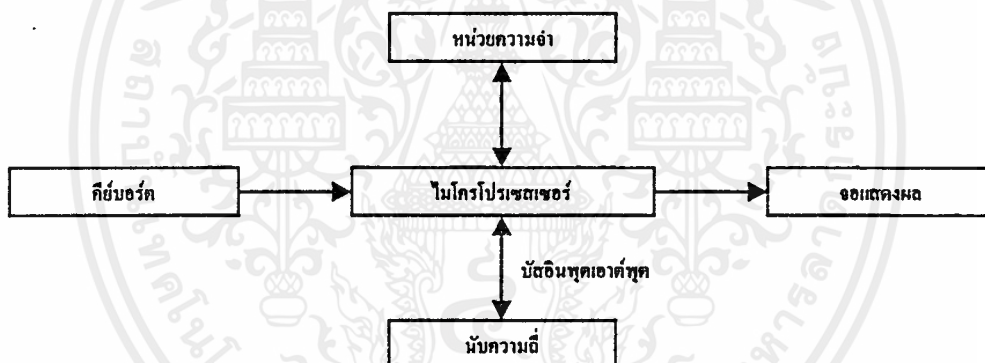
ทฤษฎีและหลักการ

2.1 หลักการของเครื่องมือวัดควบคุมด้วยไมโครโพรเซสเซอร์

ภาพรวมของระบบ

รูปที่ 2.1 เป็นบล็อกไดอะแกรมการทำงานของเครื่องมือวัดสัญญาณ สัญญาณอนาลอกทั้งหมดจะถูกแปลงเป็นสัญญาณข้อมูลดิจิทัล แล้วส่งเข้าไปทำการประมวลผล ตัวไมโครโพรเซสเซอร์ ซึ่งจะทำงานที่บันทึกไว้ในหน่วยความจำรวม ข้อมูลของการวัดที่ผ่านการประมวลผลแล้ว จะส่งออกไปแสดงที่จอแสดงผลต่อไป

คีย์บอร์ดเป็นส่วนที่ใช้ในการป้อนข้อมูลเกี่ยวกับการเลือกฟังก์ชันในการวัดว่าจะให้เครื่องมือวัดนี้ วัดค่าของสัญญาณใด โดยจะมีการทำงานในลักษณะการอินเตอร์รัพต์ตัวไมโครโพรเซสเซอร์ ให้ไปทำการวัดค่าต่างๆ นั่นก็หมายความว่าคีย์บอร์ดจะทำหน้าที่ควบคุมการเลือกย่านวัดนั่นเอง



รูปที่ 2.1 บล็อกไดอะแกรมการทำงานของเครื่องมือวัดสัญญาณ

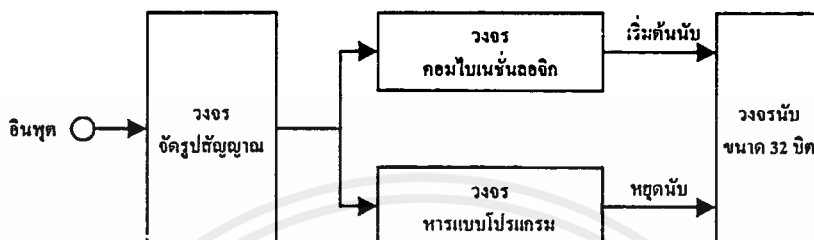
เมื่อมองเห็นภาพรวมทางฮาร์ดแวร์แล้วจะมาเจาะรายละเอียดกันทีละส่วนเริ่มจาก ส่วนของเครื่องวัดความถี่ ส่วนเก็บข้อมูล และรายละเอียดด้านซอฟต์แวร์

เครื่องนับความถี่

การนับความถี่มีบล็อกไดอะแกรมแสดงดังรูปที่ 2.2 เริ่มจากวงจรจัดรูปสัญญาณเพื่อทำให้สัญญาณอินพุตมีลักษณะของสัญญาณเป็นรูปสี่เหลี่ยม จากนั้นสัญญาณจะแยกไป 2 ทางเข้าสู่วงจรลอจิกที่ประกอบด้วย ฟลิปฟลอปทางหนึ่ง และเข้าสู่วงจรหารที่สามารถโปรแกรมได้ อีกทางหนึ่ง

เอาต์พุตจากทั้งสองวงจรจะไปทำการควบคุมวงจรนับขนาด 32 บิต โดยมีขั้นตอนการทำงานคือ เมื่อมีสัญญาณอินพุตเข้ามาจะถูกแปลงเป็นสัญญาณรูปสี่เหลี่ยม ป้อนเข้าสู่วงจรลอจิกสัญญาณจากวงจรลอจิกจะทำการ

อีนาลิวงจรนับ 32 บิต ให้เริ่มทำการนับจำนวนพัลส์ที่เกิดขึ้นในช่วงเวลา 0.1 วินาที ซึ่งค่าของ 0.1 วินาทีจะถูกโปรแกรมไปยังวงจรหาร เพื่อควบคุมช่วงเวลาในการนับเมื่อถึงเวลาที่กำหนดวงจรหารจะส่งสัญญาณไปยังวงจรนับให้หยุดนับ ก็จะได้อ่านจำนวนพัลส์ที่เกิดขึ้นในช่วงเวลา 0.1 วินาที ไมโครโพรเซสเซอร์จะนำค่านี้ไปคำนวณเพื่อหาค่าความถี่แล้วแสดงผลการนับออกที่จอแสดงผล



รูปที่ 2.2 บล็อกไดอะแกรมการนับความถี่

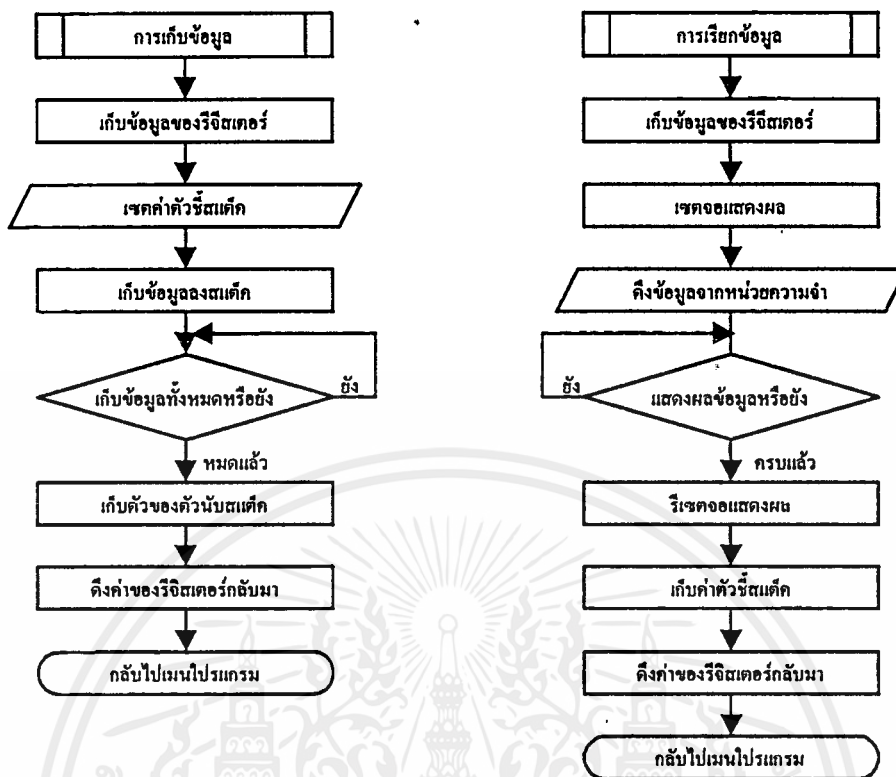
หลักการทํางานส่วนเก็บข้อมูล (Data logger)

ส่วนนี้มีหน้าที่เก็บข้อมูลของการวัดในทุกรูปแบบลงในหน่วยความจำเพื่อนำไปแสดงผลที่จอแสดงผลในช่วงเวลาอื่นใด ดังนั้นการทํางานในส่วนนี้จึงเป็นเรื่องของซอฟต์แวร์ล้วนๆ อันมีโพลีชาร์ตของซอฟต์แวร์ดังรูป

การทํางานจะเริ่มขึ้นเมื่อข้อมูลการวัดในเวลาปัจจุบันปรากฏบนจอแสดงผล ผู้ใช้งานมีความต้องการจะเก็บข้อมูลการวัดนี้ไว้ ก็ให้ทำการกดปุ่มข้อมูลในที่นี้จะเรียกว่าปุ่ม RESTORE เครื่องก็จะทำการเก็บข้อมูลของรีจิสเตอร์ทุกตัวของไมโครโพรเซสเซอร์ที่กำลังทํางานไว้ก่อน จากนั้นตามด้วยการกำหนดค่าตัวชี้ตำแหน่งหน่วยความจำที่ใช้เก็บข้อมูลหรือแอสต์ริค ตามด้วยการนำข้อมูลที่แสดงผลบนจอแสดงผลไปเก็บไว้ในสแต็ค

จากนั้นตรวจสอบว่าเก็บข้อมูลครบหรือยัง ถ้าครบเรียบร้อยก็จะต้องบันทึกตำแหน่งของสแต็คไว้ ขั้นตอนต่อไปก็ต้องนำข้อมูลรีจิสเตอร์ที่ทํางานค้างอยู่ก่อนหน้ากลับคืนมา แล้วออกจากกระบวนการเก็บข้อมูลไป

ถ้าหากต้องการนำข้อมูลออกมาแสดงผล ก็ต้องกดปุ่มเรียกข้อมูล ในที่นี้จะเรียกว่าปุ่ม RECALL ก็จะมีขั้นตอนคล้ายกับการเก็บข้อมูลคือ เก็บข้อมูลของรีจิสเตอร์ที่ทํางานค้างอยู่เสียก่อนจากนั้นตรวจสอบความพร้อมของจอแสดงผล ตามด้วยเรียกข้อมูลจากหน่วยความจำในสแต็คออกมา แล้วนำไปแสดงผลที่จอแสดงผล จากนั้นตรวจสอบว่าแสดงผลครบถ้วนสมบูรณ์หรือยัง หากเรียบร้อยแล้ว ให้ทำการรีเซตจอแสดงผลเก็บค่าของสแต็คใหม่ จากนั้นคืนค่าข้อมูลของรีจิสเตอร์ ก็เป็นอันจบกระบวนการ

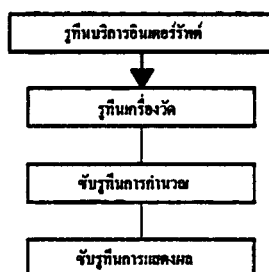


รูปที่ 2.3 แสดงโฟลชาร์ตของส่วนเก็บข้อมูล

การเก็บและเรียกข้อมูลออกจากสแต็คจะมีลักษณะการทำงานเป็นแบบ LIFO หรือ Last - In - First - Out กล่าวคือ ข้อมูลที่ป้อนเข้ามาเก็บทีหลังสามารถเรียกออกมาก่อน โดยปกติความสามารถในการเก็บข้อมูลจะอยู่ที่ประมาณ 100 ข้อมูลเป็นอย่างน้อย

โครงสร้างทางซอฟต์แวร์

การทำงานของเครื่องมือวัดที่ควบคุมด้วยไมโครโพรเซสเซอร์ จะใช้เทคนิคการจัดจังหวะการทำงานของไมโครโพรเซสเซอร์ หรืออินเตอร์รัพต์ (interrupt) โดยเมื่อการกดปุ่มเพื่อเลือกฟังก์ชันการวัดก็จะเกิดการอินเตอร์รัพต์ไมโครโพรเซสเซอร์ก็จะต้องกระโดดมาจัดการตามที่โปรแกรมบริการอินเตอร์รัพต์ที่กำหนดไว้

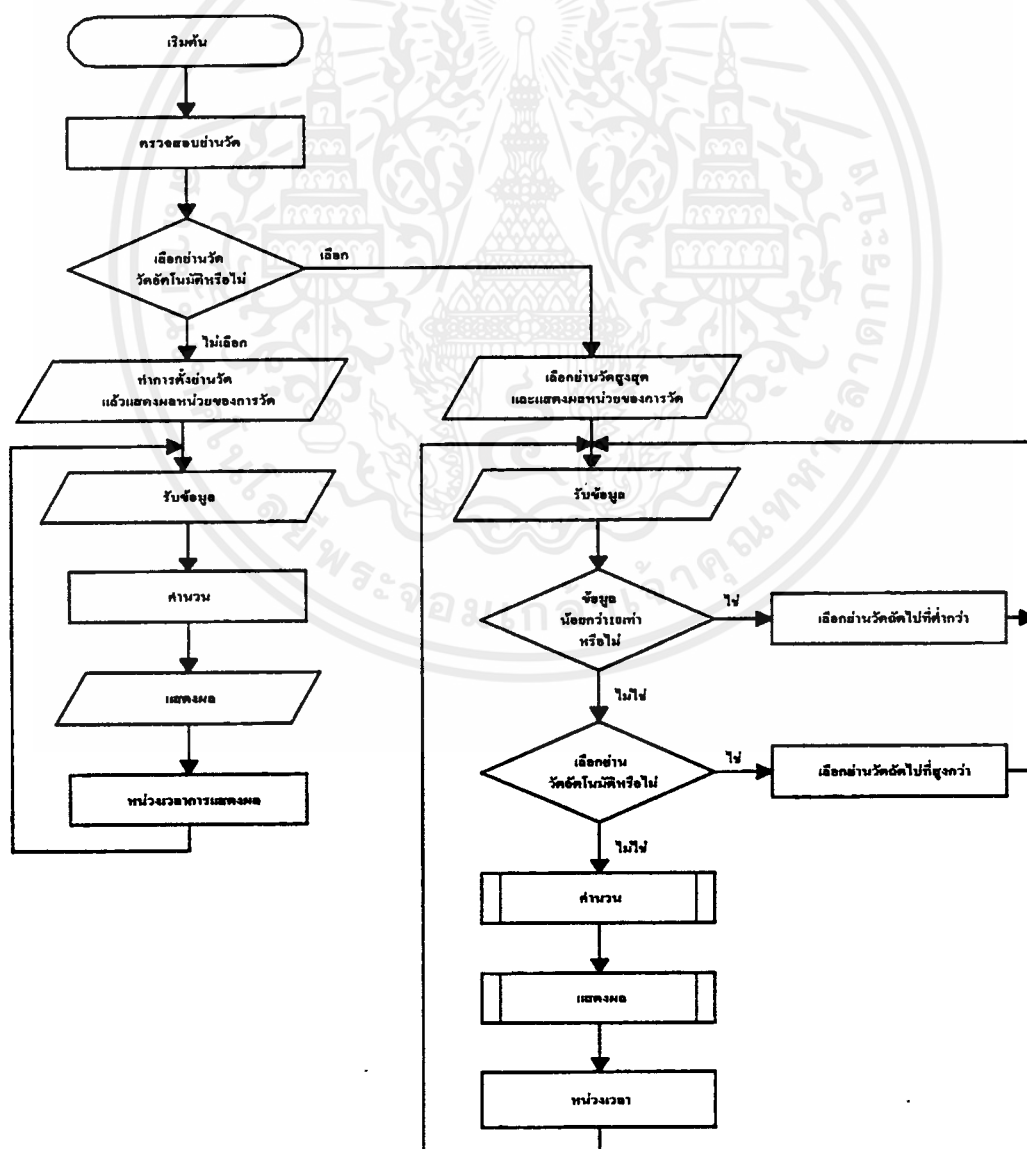


รูปที่ 2.4 โครงสร้างทางซอฟต์แวร์

ในรูปที่ 2.4 แสดงโครงสร้างทางซอฟต์แวร์เครื่องมือวัดนี้ หลักการทำงานก็คือ เมื่อเกิดการกดปุ่มเลือกฟังก์ชันการวัดไมโครโพรเซสเซอร์ได้รับการอินเตอร์รัพต์ก็จะตอบสนองการอินเตอร์รัพต์ การกระโดดมาทำงานที่รูทีนของการอินเตอร์รัพต์ จากนั้นก็จะตรวจสอบว่าการกดปุ่มของฟังก์ชันการวัดใด ก็จะกระโดดไปทำงานในซับรูทีนของฟังก์ชันการวัดแต่ละแบบต่อไป

ใน 1 รูทีนของฟังก์ชันการวัดประกอบด้วย รูทีนบริการฟังก์ชันการวัดนั้น ๆ (Service routine), ซับรูทีนการคำนวณ (Calculation subroutine) และซับรูทีนของการแสดงผลของข้อมูล (Display subroutine)

ส่วนสำคัญที่สุดของซอฟต์แวร์คือ โปรแกรมที่ใช้ในการควบคุมการทำงานมันจะมีหน้าที่ตั้งแต่ตรวจสอบย่านการวัดว่าจะเป็นแบบธรรมดาหรือเป็นแบบปรับย่านการวัดอัตโนมัติ, คำนวณค่าต่างๆ เพื่อให้ได้ข้อมูลไปแสดงผลการวัด, ติดต่อกับจอแสดงผล, ควบคุมการหน่วงเวลาของการแสดงผลได้อย่างชัดเจนดังมีโฟลว์ชาร์ตการทำงานดังในรูปที่ 2.5



ฮาร์ดแวร์หลักของระบบ

จากคุณสมบัติและรายละเอียดต่าง ๆ ของเครื่องมือวัดจะไม่เกิดขึ้นเลขหากไม่มีส่วนของฮาร์ดแวร์หลักของระบบฮาร์ดแวร์หลักจะประกอบด้วย

1. ไมโครโพรเซสเซอร์
2. หน่วยความจำรวมซอฟต์แวร์ที่ใช้ในการควบคุมการทำงาน
3. หน่วยความจำแรมใช้เป็นที่เก็บข้อมูลเพื่อการประมวลผลของไมโครโพรเซสเซอร์ และเก็บข้อมูลของการวัด
4. ไอซีที่ทำหน้าที่เป็นบัฟเฟอร์, แลตช์ และชิฟตอร์หัสแอดเดรสของหน่วยความจำ และพอร์ตต่างๆ
5. ชิพที่ทำหน้าที่เป็นพอร์ตอินพุตเอาต์พุต เพื่อติดต่อวงจรอินพุตของฟังก์ชันการวัดแต่ละแบบ และติดต่อกับจอแสดงผล
6. จอแสดงผล
7. คีย์บอร์ดแบบเมมเบรน ซึ่งต้องมีวงจรเข้ารหัสคีย์บอร์ดมาเรียบร้อยแล้ว
8. บอร์ดของวงจรอินพุตของแต่ละฟังก์ชันการวัด

ความแม่นยำของการวัด

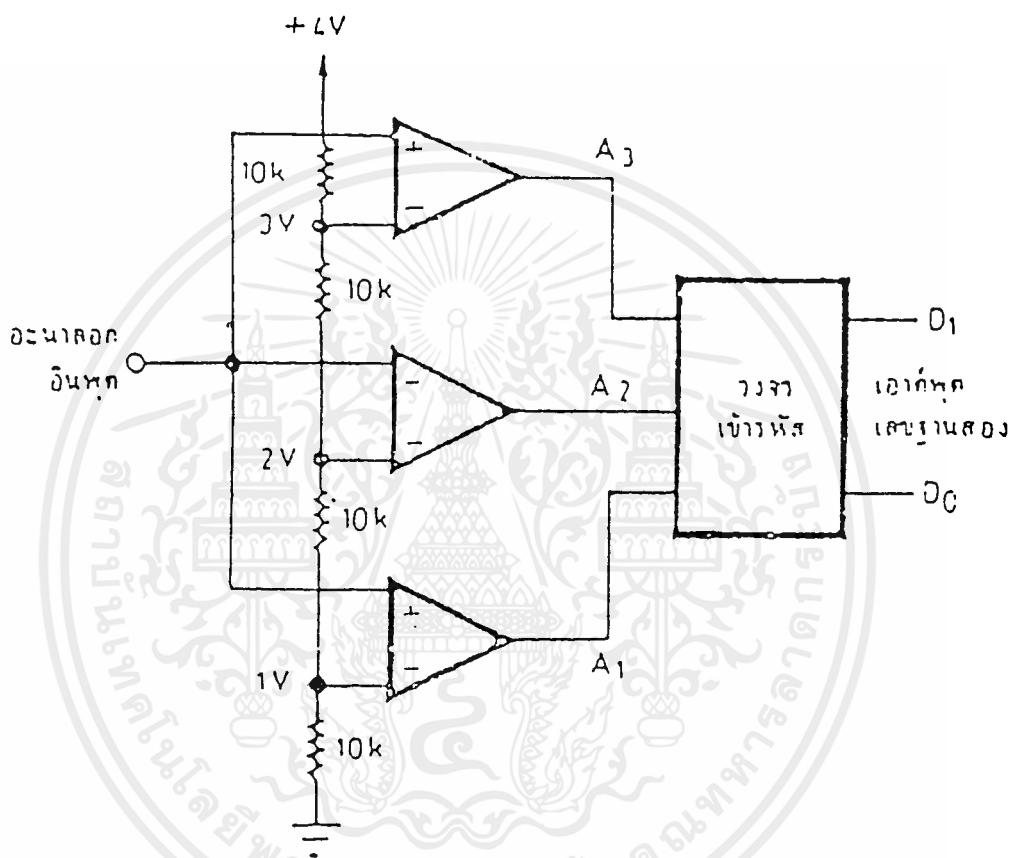
จะขึ้นอยู่กับองค์ประกอบหลักๆ 3 ประการคือ

1. ความเที่ยงตรงของวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล
2. ความผิดพลาดของอุปกรณ์ทั้งหมด
3. โปรแกรมควบคุมการทำงาน

ส่วนที่มีผลต่อความเที่ยงตรงมากที่สุดคือ วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล แต่ก็พอมีทางแก้ไข โดยเขียนโปรแกรมแก้ไขความผิดพลาด แต่ก็เพิ่มความซับซ้อนของโปรแกรมมากขึ้นอีก

2.2 การทำงานของ ไอซี CA 3306

2.2.1 พื้นฐานการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน (FLASH A/D)



รูปที่ 2. 6 วงจรพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน (แฟลช)

หลักการอย่างง่ายที่สุดของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน แสดงดังรูปที่ 2.6 โดยใช้ตัวเปรียบเทียบทั้ง 3 ตัวต่อในลักษณะ “ ขนานกัน ” มีตัวต้านทานต่อแบ่งแรงดันอ้างอิงไว้ กำหนดค่าแรงดันต่ำสุดที่ตัวเปรียบเทียบทั้ง 3 ตัวและยังสามารถทำงานได้แรงดันอ้างอิง ซึ่งอาจจะมีค่าเท่ากับค่าแรงดันสูงสุดของสัญญาณอินพุตที่เป็นอนาลอกก็ได้

ตารางที่ 2.1 ค่าของเอาต์พุต เปลี่ยนแปลงไปตามช่วงแรงดันของอนาล็อกอินพุต

อนาล็อกอินพุต (โวลต์)	เอาต์พุตตัวเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A1	A2	A3	D1	D0
0-1	0	0	0	0	0
1-2	1	0	0	0	0
2-3	1	1	0	1	0
3-4	1	1	1	1	1

จากตารางที่ 2.1 จะเห็นว่า ตัวเปรียบเทียบแต่ละตัวจะให้เอาต์พุตเป็น “1” ก็ต่อเมื่อแรงดันอินพุตมีค่าสูงกว่าแรงดันอ้างอิงของตัวเปรียบเทียบแต่ละตัว ซึ่งมีค่าแตกต่างกันและถ้าแรงดันอินพุตมีค่าอยู่ในช่วง 3-4 โวลต์ (แรงดันอ้างอิง + 4 โวลต์) จะทำให้ตัวเปรียบเทียบทั้ง 3 ตัวให้เอาต์พุตเป็น “1” หมด เอาต์พุตจากตัวเปรียบเทียบทั้งหมดจะส่ง เข้าไปที่วงจรเข้ารหัส เพื่อทำให้เป็นสัญญาณดิจิตอลในระบบเลขฐานสองต่อไป

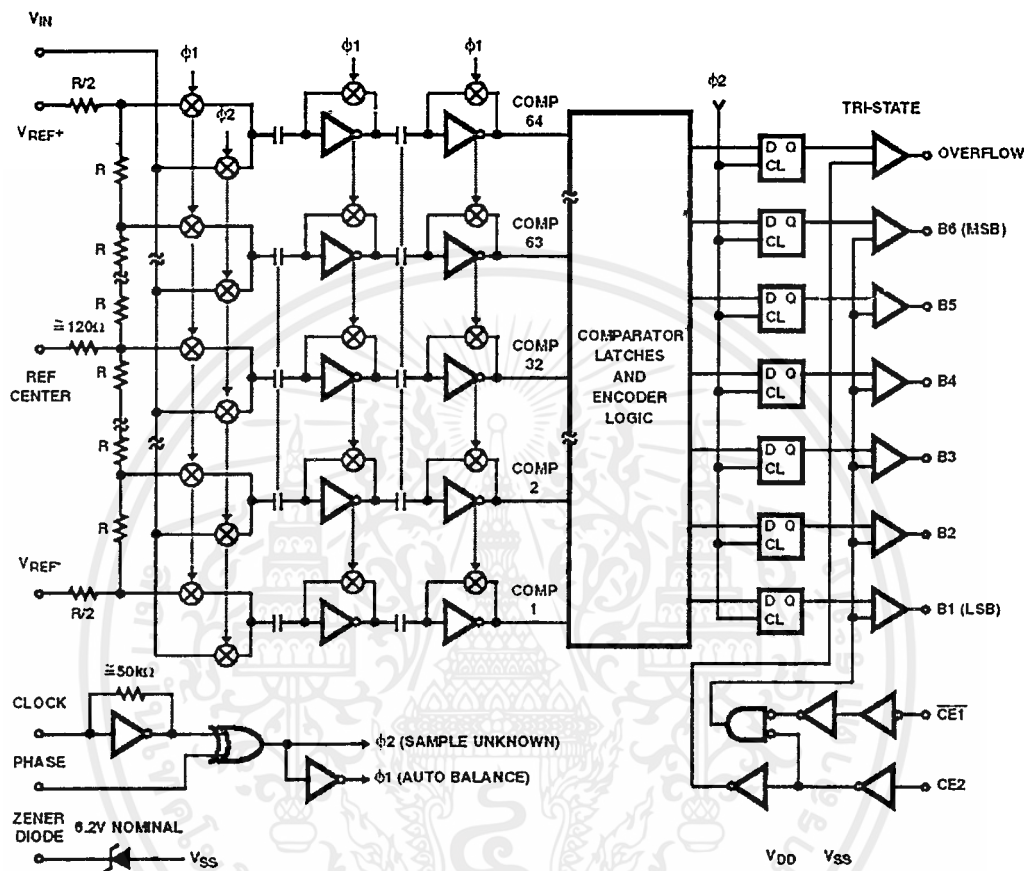
รูปวงจรที่ 2.6 นี้ ตอบสนองต่อแรงดันอินพุต (อนาล็อก) 4 ระดับ และแต่ละระดับมีความแตกต่าง 1 โวลต์ ดังนั้น ความละเอียด (resolution) ของวงจรนี้มีขนาด 2 บิตเราสามารถหาความละเอียดของวงจรได้จากจำนวนของตัวเปรียบเทียบ คือ

$$\begin{aligned} \text{จำนวนตัวเปรียบเทียบ} &= 2^n - 1 \\ \text{เมื่อ } n &= \text{ความละเอียด} \end{aligned}$$

เช่น ต้องการความละเอียดขนาด 8 บิต จะต้องใช้ตัวเปรียบเทียบถึง 255 ตัว (แทนค่า $n=8$) จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกัน เพื่อให้รับสัญญาณอินพุตได้พร้อม ๆ กัน เราจึงเรียกววงจรนี้ว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบขนาน (Parallel A/D convertér) และต่อเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุตที่เป็นอนาล็อก และแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลด้วยความเร็วสูง เราจึงเรียกได้อีกอย่างว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลช (Flash A/D converter)

2.2.2 โครงสร้าง และการทำงานของ CA 3306

Functional Block Diagram



รูปที่ 2.7 โครงสร้างภายในและการทำงานของ CA 3306

โครงสร้างภายใน และการทำงานของ CA 3306 แสดงดังรูปที่ 2.7 เป็นดังนี้ คือ ชุดสวิท อิเล็กทรอนิกส์ (ส่วนที่เป็นวงกลมมีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ชุดตัวเปรียบเทียบจำนวน 64 ตัว ตัวเปรียบเทียบนี้จะทำหน้าที่เปรียบเทียบสัญญาณอินพุตที่เป็นสัญญาณอนาลอกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 64 ชุด ที่ได้กำหนดไว้แล้ว ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (เป็น "0" หรือ "1") ถูกส่งเข้า D ฟลิปฟล็อปทั้ง 64 ชุด โดยตรงเป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งข้อมูลเข้า D ฟลิปฟล็อป ชุดที่ 1 คือ ส่งเข้าชุดไครเซอร์ D ฟลิปฟล็อปทำหน้าที่เป็น shift register ทำงานในโหมดสัญญาณนาฬิกา คือ ตอบสนองต่อสัญญาณนาฬิกา เฉพาะช่วงขอบขาขึ้น และขอบขาลง pulse เท่านั้น ทำการ latch ข้อมูลไว้ชั่วขณะ จนกว่าจะมีข้อมูลใหม่เข้ามาจึงจะเลื่อน shift ข้อมูลนั้นส่งไปยังชุดเข้ารหัส (encoder logic array) เพื่อแปลงให้เป็นรหัสจำนวน 128 รหัส ออกมาเป็นข้อมูลดิจิทัลขนาด 7 บิต (รวมบิตส่วนเกิน over flow bit ด้วย) ส่งต่อไปยัง output ของ Register ซึ่งใช้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D-Flip-flop ทำหน้าที่อีกเช่นเคยก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุตต่อไป เอาต์พุตนี้สามารถควบคุมได้ด้วย CE1 และ CE2 การทำงานทั้งหมดนี้ สามารถควบคุมได้ที่ขาควบคุมเฟส (ขา 8)

2.2.3 คุณสมบัติของ CA 3306

คุณสมบัติในแบบคร่าว ๆ ของ CA 3306 มีดังนี้ คือ

- ใช้เทคโนโลยี CMOS กินกำลังไฟต่ำ
- ใช้เทคนิคการแปลงข้อมูลแบบขนาน
- อัตราการแปลงข้อมูล 15 MSPS ที่ 5 โวลต์
- ให้เอาต์พุตขนาด 6 บิต และ over flow bit
- ใช้แหล่งจ่ายเพียงชุดเดียว 3-6 โวลต์
- มีความเที่ยงตรงขนาด ± 0.5 LBS
- สามารถเพิ่มความเร็วเป็น 2 เท่าได้โดยการขนานกัน

2.2.4 สัญญาณนาฬิกากับเฟส

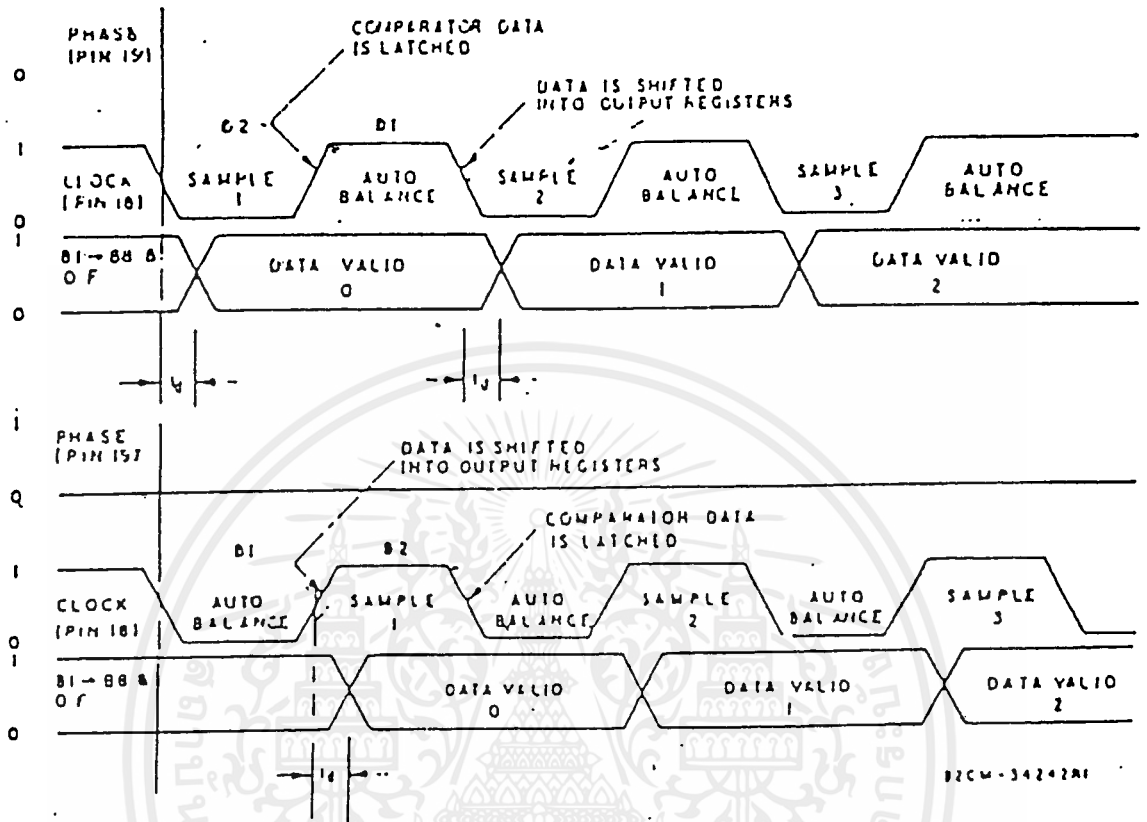
CA 3306 ใช้เทคนิคการแปลงข้อมูลแบบขนานเป็นลำดับ (Sequential parallel technique) โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกัน ซึ่งจุดประสงค์จริง ๆ ก็คือ ความเร็วในการแปลงสัญญาณต้องเป็นแบบ “เฟลซ”

จากรูปแสดงโครงสร้างภายในรูปที่ 2.7 ขาป้อนสัญญาณนาฬิกา (ขา 7) และขาควบคุมเฟส (ขา 8) ต่อกับวงจรลอจิกเกตชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟสคือ $\phi 1$ (Auto balance) และ $\phi 2$ (Sample unknown) เฟสทั้ง 2 เฟสนี้จะถูกจัดให้อยู่ในช่องลอจิก “0” หรือ “1” ของสัญญาณนาฬิกา 1 คาบเวลา เราควบคุมได้โดยใช้ขาควบคุมเฟส

จากการจัด $\phi 1$ และ $\phi 2$ ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ทำให้สามารถควบคุมความเร็วในการแปลงสัญญาณข้อมูลของ CA 3306 ให้เปลี่ยนแปลงไปตามสัญญาณนาฬิกาได้

2.2.5 การควบคุม CA 3306

เราจะใช้ขาควบคุมเฟส (ขา 8) ควบคุมความเร็วการแปลงสัญญาณของ CA 3306 ได้ 2 วิธีคือ



รูปที่ 2.8 การควบคุมของ CA 3306 ด้วยการให้ขาควบคุมเฟสไปควบคุมระดับลอจิกของสัญญาณนาฬิกา

(ก) เมื่อให้ขาควบคุมเฟส เป็น “0”

(ข) เมื่อให้ขาควบคุมเฟส เป็น “1”

2.2.5.1 โดยการป้อนลอจิก “0” เข้าที่ขาควบคุมเฟสแสดงดังรูปที่ 2.8 (ก) $\phi 1$ จะถูกจัดให้อยู่ในลอจิก “1” และ $\phi 2$ ถูกจัดให้อยู่ในลอจิก “0” ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบ (อนาล็อก) จะถูก Latch ไว้ที่ขอบขาขึ้นของ pulse $\phi 1$ และเมื่อถึงช่วงขอบขาลงของ pulse $\phi 1$ แล้วก็จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาต์พุตรีจิสเตอร์ต่อไป ซึ่งวิธีนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบเวลาของสัญญาณนาฬิกา เท่านั้น

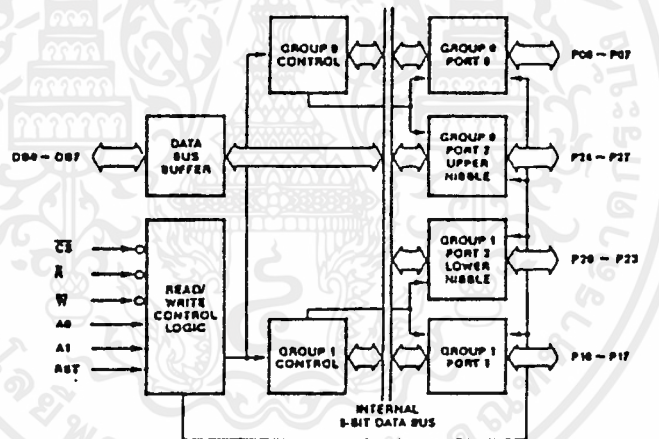
2.2.5.2 โดยการป้อนลอจิก “1” เข้าที่ขาควบคุมเฟสเช่นกัน แสดงดังรูปที่ 2.8 (ข) $\phi 1$ ถูกจัดให้อยู่ในลอจิก “0” และ $\phi 2$ ข้อมูลจากตัวเปรียบเทียบ (อนาล็อก) ถูก Latch ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของ pulse $\phi 2$ ถูกต่อมาจึงจะทำการเลื่อนข้อมูลส่งเข้าเอาต์พุตรีจิสเตอร์วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา

2.3 การใช้งาน 8255

ชิพ 8255 มักจะถูกนำมาใช้งานในลักษณะเป็นพอร์ทอินพุต หรือ เอาท์พุต เพื่อใช้ในการควบคุมหรือส่งผ่านข้อมูล ในบทนี้จะกล่าวถึงรายละเอียด การใช้งาน และการนำไปใช้งานในลักษณะต่าง ๆ

2.3.1 รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI (LARGE SCALE INTEGRATED CIRCUIT) บรรจุอยู่ในแพคเกจขนาด 40 ขา แบบ DIP (DUAL - IN - LINE PACKAGE) เริ่มผลิต โดยบริษัทอินเทล ผู้ผลิตไมโครโพรเซสเซอร์เบอร์ 8080 จุดประสงค์ เพื่อใช้งานร่วมกับ 8080 โดยเฉพาะ แต่ในภายหลังได้มีการนำ 8255 ไปประยุกต์ใช้งานร่วมกับไมโครโพรเซสเซอร์เบอร์อื่น ๆ กันมาก ทำให้นิยมใช้กันอย่างแพร่หลายคุณสมบัติเบื้องต้นของการนำ 8255 มาใช้งานคือ เป็น อินพุต/เอาท์พุต พอร์ท โดยมีพอร์ทขนาด 8 บิต ที่สามารถสั่งให้เป็น อินพุตหรือ เอาท์พุต ก็ได้จำนวน 3 พอร์ท รูปที่ 2.9 แสดงบล็อกไดอะแกรม ของ 8255 ซึ่งหน้าที่ของแต่ละบล็อกมีดังต่อไปนี้



รูปที่ 2.9 แสดงบล็อกไดอะแกรม

บล็อกกลุ่มแรกที่ได้แก่ บล็อก 4 บล็อก ที่อยู่ทางด้านขวาของรูป ซึ่งจะเป็นอินพุต หรือ เอาท์พุต พอร์ท เพื่อเชื่อมต่อกับอุปกรณ์ภายนอกอื่น ๆ โดยแบ่งเป็น 3 พอร์ท ได้แก่ พอร์ท A มีขา PA0-PA7 พอร์ท B มีขา PB0-PB7 และ พอร์ท C มีขา PC0-PC7 พอร์ทเหล่านี้แต่ละพอร์ทสามารถโปรแกรมให้เป็นพอร์ทอินพุต หรือ พอร์ทเอาท์พุตก็ได้แล้วแต่ผู้ใช้จะกำหนด แต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255 เพื่อเป็นทางเดินของข้อมูลที่ติดต่อกับ ไมโครโพรเซสเซอร์

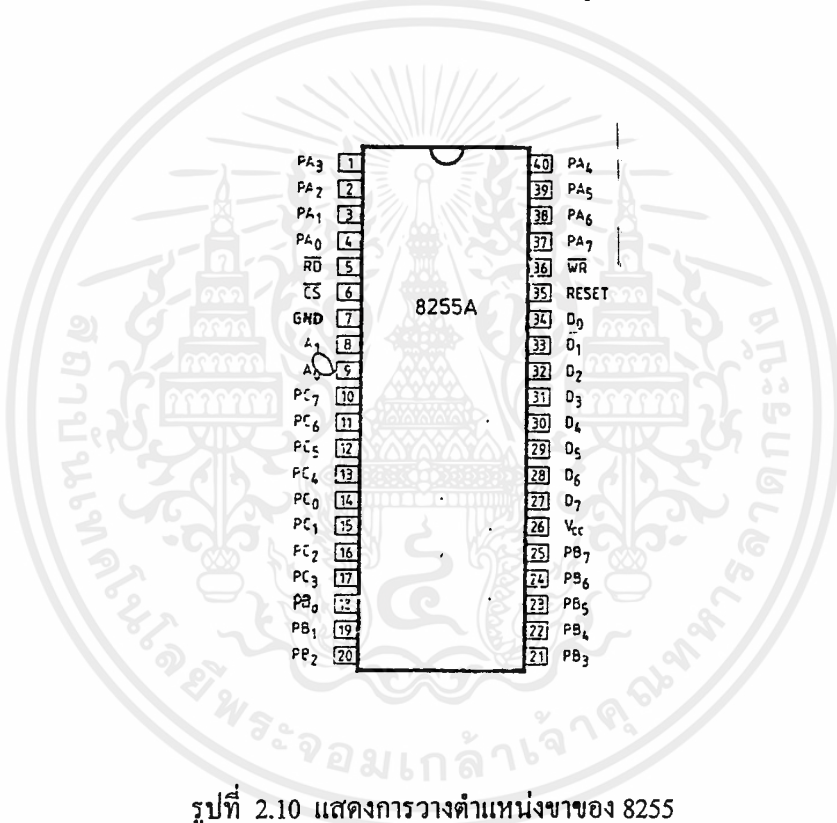
กลุ่มถัดมาได้แก่ รีจิสเตอร์ควบคุมกลุ่ม A และ B (GROUP A CONTROL และ GROUP B CONTROL) จะทำหน้าที่เป็นตัวกำหนด โหมดการทำงานของพอร์ท A B และ C โดยกำหนดได้จากโปรแกรมผ่านทางคำสั่งควบคุม (CONTROL WORD) รีจิสเตอร์นี้จะแบ่งเป็น 2 กลุ่ม โดย GROUP A CONTROL จะเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุม พอร์ต A กับ พอร์ต C สี่บิต ด้านสูง (PC4-PC7) ส่วน GROUP B CONTROL จะควบคุม พอร์ต B กับ พอร์ต C สี่บิตด้านต่ำ (PC4-PC7)

กลุ่มสุดท้ายได้แก่ บัฟเฟอร์ของบัสดข้อมูล (DATA BUS BUFFER) และ ส่วนควบคุมการอ่าน/เขียน (READ/WRITE CONTROL) ซึ่งบล็อกเหล่านี้จะเป็นส่วนติดต่อกับไมโครโปรเซสเซอร์ ทำหน้าที่เป็นบัฟเฟอร์ให้กับบัสดข้อมูลของไมโครโปรเซสเซอร์ และเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือ ออกจากรีจิสเตอร์ภายในตัวให้ถูกต้องสอดคล้องกับการทำงานของระบบ

2.3.3 รายละเอียดการจัดเรียงขาของ 8255

ในส่วนนี้จะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะใช้ประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสดของไมโครโปรเซสเซอร์ สำหรับการจัดขาแสดงไว้ในรูปที่ 2.10



รูปที่ 2.10 แสดงการวางตำแหน่งขาของ 8255

รายละเอียดของแต่ละขามีดังนี้คือ

D0-D7 เป็นบัสดข้อมูล อินพุต/เอาต์พุต แบบสองทิศทาง ใช้สำหรับเป็นทางผ่านของข้อมูลระหว่างพอร์ตต่างๆของ 8255 กับบัสดข้อมูลของไมโครโปรเซสเซอร์

CS สัญญาณเลือกใช้ชิพ(CHIP SELECT)เป็นสัญญาณอินพุตเมื่อขานี้มีสถานะทางลอจิกเป็น 0 ไมโครโปรเซสเซอร์ จะสามารถอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD สัญญาณอ่านข้อมูล (READ) เป็นสัญญาณอินพุต เมื่อขานี้มีสถานะทางลอจิกเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ สัญญาณ CS มีลอจิกเป็น 0 ข้อมูลจาก 8255 จะวางออกมาทางบัตข้อมูลซึ่งต่อไปยังไมโครโพรเซสเซอร์ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอาไมโครโพรเซสเซอร์เป็นหลัก)

WR	สัญญาณเขียนข้อมูล (WRITE) เป็นสัญญาณเอ๊าท์พุทเมื่อขานี้มีสถานะทางลอจิกเป็น 0 และ สัญญาณ CS มีลอจิกเป็น 0 ข้อมูลจากบัตข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้
A0-A1	สัญญาณแอดเดรส A0-A1 (ADDRESS A0-A1) เป็นสัญญาณอินพุท ใช้เป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255
RESET	สัญญาณรีเซ็ต (RESET) เป็นสัญญาณอินพุท เมื่อขานี้มีในสถานะทางลอจิกเป็น 1 8255 จะอยู่ในสภาวะรีเซ็ตทุกๆพอร์ทของ 8255 จะถูกเซ็ตให้อยู่ในโหมดอินพุท
PA0-PA7	ขาอินพุท/เอ๊าท์พุทของพอร์ท A ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ทขนาด 8 บิต ใช้ต่อไปยังอุปกรณ์ภายนอกอื่นๆ
PB0-PB7	ขาอินพุท/เอ๊าท์พุทของพอร์ท B ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ทขนาด 8 บิต ใช้ต่อไปยังอุปกรณ์ภายนอกอื่นๆ
PC0-PC7	ขาอินพุท/เอ๊าท์พุทของพอร์ท C ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ทขนาด 8 บิต เช่นเดียวกับ PA0-PA7 และ PB0-PB7 แต่ขาสัญญาณของพอร์ท C สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิต คือ พอร์ท C สี่บิตด้านสูง (PC7-PC4) และพอร์ท C สี่บิตด้านต่ำ (PC3-PC0)
Vcc	แหล่งจ่ายไฟ 5 โวลท์
GND	กราวด์

2.3.3 การควบคุม การเขียน หรือการอ่านข้อมูล

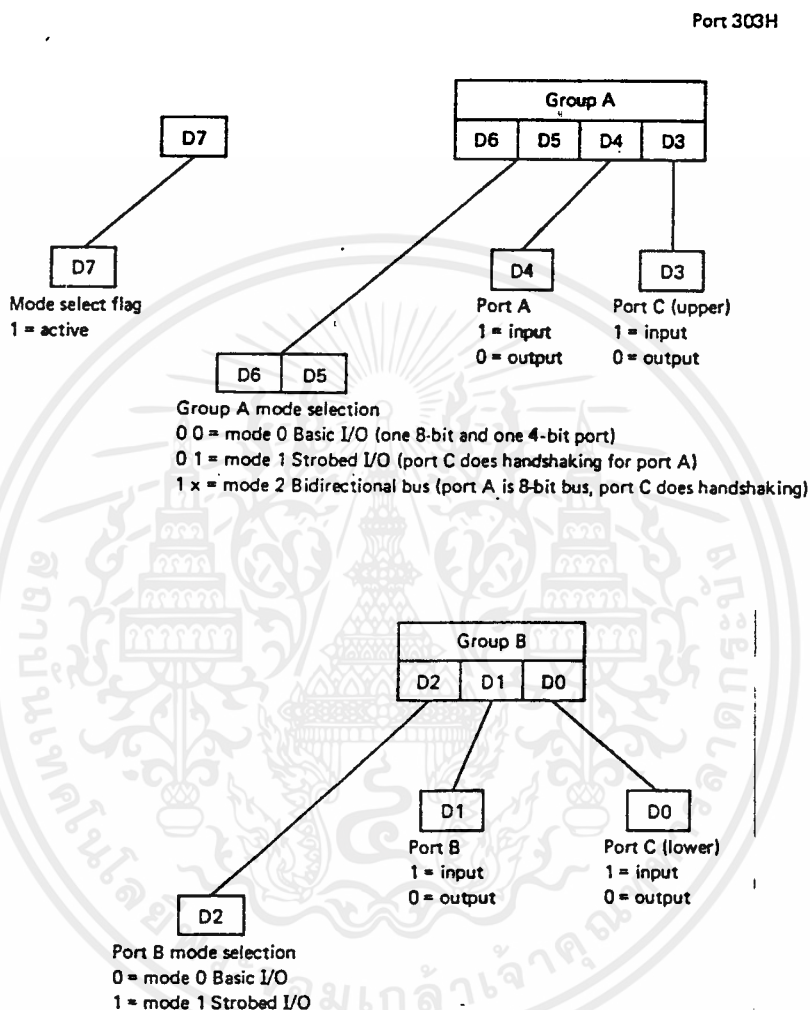
ต่อไปเป็นการศึกษาการโปรแกรมใช้งาน 8255 เพื่อที่จะให้การทำงานตามที่ต้องการได้ โดยเริ่มต้นพิจารณาที่รีจิสเตอร์ภายใน 4 ตัวของ 8255 รายละเอียดของรีจิสเตอร์เหล่านี้มีดังนี้

A1	A2	WR	RD	ทิศทาง
0	0	0	1	ข้อมูลจาก พอร์ท A ไปยัง บัสข้อมูล
0	1	0	1	ข้อมูลจาก พอร์ท B ไปยัง บัสข้อมูล
1	0	0	1	ข้อมูลจาก พอร์ท C ไปยัง บัสข้อมูล
0	0	0	0	ข้อมูลจาก บัสข้อมูล ไปยัง พอร์ท A
0	1	0	0	ข้อมูลจาก บัสข้อมูล ไปยัง พอร์ท B
1	0	0	0	ข้อมูลจาก บัสข้อมูล ไปยัง พอร์ท C
1	1	0	0	ข้อมูลจาก บัสข้อมูล ไปยัง รีจิสเตอร์ควบคุม
1	1	1	0	ไม่กำหนดให้ใช้

x x 1 x x

เข้าสู่สถานะอิมพีแดนซ์สูง

การที่จะกำหนดให้พอร์ต A,B หรือ C เป็น อินพุต หรือ เอาท์พุต ขึ้นกับ คำสั่งควบคุมที่ส่งไปยังรีจิสเตอร์ควบคุม รูปแบบจะเป็นดังนี้



รูปที่ 2.11 แสดงรูปแบบการสั่งงานของรีจิสเตอร์ควบคุม

บิต รายละเอียด

- 0 กำหนดให้ พอร์ต C4 บิตด้านต่ำ เป็น อินพุต หรือ เอาท์พุต
0=เอาท์พุต 1=อินพุต
- 1 กำหนดให้ พอร์ต B ทั้ง 8 บิต เป็น อินพุต หรือ เอาท์พุต
0=เอาท์พุต 1=อินพุต
- 2 กำหนดโหมดการทำงานของกลุ่ม B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0=โหมด 0 1=โหมด 1

3 กำหนดให้ พอร์ต C4 บิตด้านสูง เป็น อินพุต หรือ เอาท์พุต

0=เอาท์พุต 1=อินพุต

4 กำหนดให้ พอร์ต A ทั้ง 8 บิต เป็น อินพุต หรือ เอาท์พุต

0=เอาท์พุต 1=อินพุต

5 และ 6 กำหนดโหมดการทำงานของกลุ่ม A

D6 D5 โหมด

0 0 0

0 1 1

1 x 2

7 แฟลกระบุคำสั่งควบคุม

1=คำสั่งควบคุม สำหรับกำหนดโหมดและอินพุต/เอาท์พุต

0=คำสั่งควบคุม สำหรับการกระทำบิตเซ็ทหรือรีเซ็ท

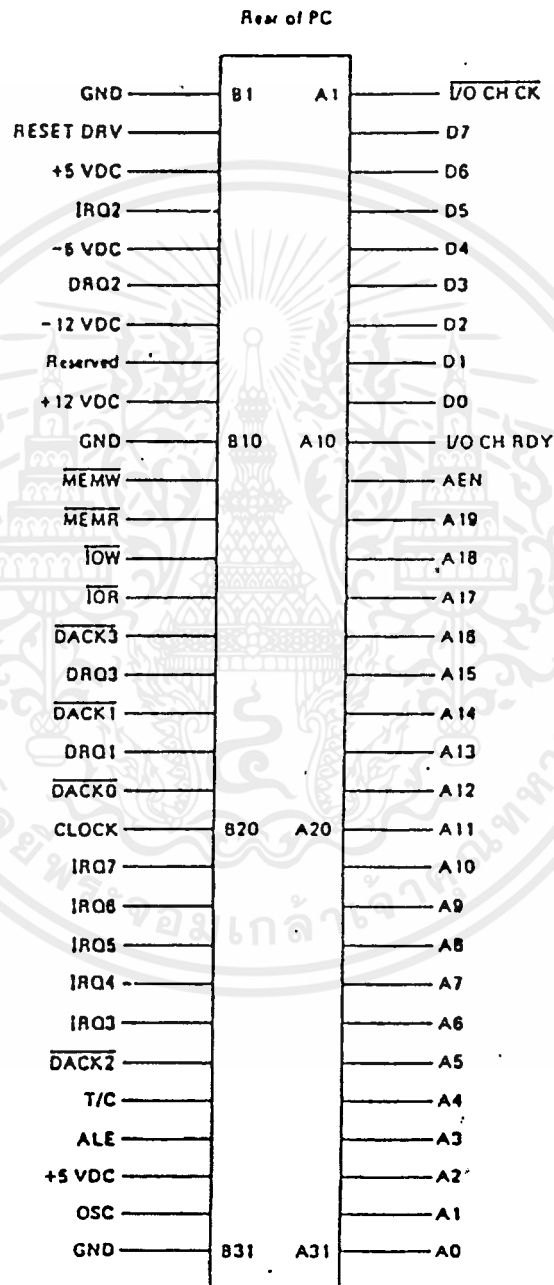
ข้อควรระวังเมื่อใช้คำสั่งเลือกโหมด

ทุกครั้งเมื่อมีการเขียนข้อมูลลงในรีจิสเตอร์คำสั่งเพื่อเปลี่ยนแปลงการทำงานของโหมดการทำงานของโหมดการทำงานของพอร์ต A และ C จะถูกเคลียร์เป็น 0 ส่วนพอร์ต B ไม่สามารถกำหนดสภาวะที่แน่นอนได้

2.4 การเชื่อมต่อกับระบบบัสของ IBM PC

Interfacing to the IBM PC bus

2.4.1 ระบบบัสของ IBM PC



รูปที่ 2.12 แสดงบัสของระบบที่ออกมาที่สล็อตของ IBM PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.12 เป็นการกำหนดบัสของ IBM PC ออกมาที่คอนเนคเตอร์ขนาด 62 ขา รายละเอียดเป็นดังนี้ (ทุกสัญญาณทำงานที่ลอจิกสูงทั้งหมดยกเว้นที่ระบุไว้)

A0 - A19

ทั้ง 20 ขา จะให้สัญญาณแอดเดรสของหน่วยความจำและอินพุต/เอาต์พุตออกมา โดยมี A0 เป็นบิต ที่มีนัยสำคัญต่ำสุด (LBS) และ A19 เป็นบิตที่มีนัยสำคัญสูงสุด (MSB) สายสัญญาณเหล่านี้ขับตรงออกมาจาก 8088 ไมโครโพรเซสเซอร์ หรือ DMA คอนโทรลเลอร์ โดยผ่านการคิ่มลติเพล็กซ์เรียบร้อยแล้ว

D0 - D7

เป็นบัสข้อมูลขนาด 8 บิต แบบสองทิศทาง มี D0 เป็นบิตที่มีนัยสำคัญต่ำสุด และ D7 เป็นบิตที่มีนัยสำคัญสูงสุดในขณะที่ 8088 กำลังทำวงรอบการเขียนข้อมูลลงในบัส 8088 จะวางข้อมูลลงบนบัสข้อมูล ก่อนขอขาขึ้นของสัญญาณเขียน อินพุต/เอาต์พุต (IOW) หรือสัญญาณเขียนหน่วยความจำ (MEMW) ซึ่งจะใช้เป็นสัญญาณพิกที่ชี้เขตข้อมูล ไปยังเอาต์พุตพอร์ทหรือหน่วยความจำ ในขณะที่ 8088 กระทำวงรอบเขียนข้อมูลข้อมูลจากอินพุต พอร์ท หรือ หน่วยความจำ จะวางลงในบัสข้อมูลก่อนขอขาขึ้นของสัญญาณ อ่านอินพุต/เอาต์พุต (IOR) หรืออ่านจากหน่วยความจำ (MEMR) ซึ่งจะแลทข้อมูลเข้าสู่ 8088

(MEMR),(MEMW),(IOR),(IOW)

เป็นสัญญาณแอคทีฟด้านต่ำ (active-low) ใช้สำหรับควบคุมการอ่านและการเขียนตามที่กล่าวมาข้างต้น สัญญาณเหล่านี้สร้างมาจาก 8088 หรือ DMA คอนโทรลเลอร์

ALE (Address latch enable)

ในระบบบัสของ PC สัญญาณ ALE จะแสดงการเริ่มต้นของวงจรรอบของบัส เมื่อสัญญาณนี้ ปรากฏออกมาเป็นการแสดงว่าเป็นการเริ่มต้นวงรอบของบัสเมื่อถึงขอบลบของพัลส์จะเป็นการแสดงว่า ข้อมูลที่บัส AD7-AD0 จะเป็นแอดเดรส (ที่ขาของ 8088) แต่ที่สล็อตสัญญาณ ALE จะแสดงถึงจุดเริ่มต้นของบัสเท่านั้น ทั้งนี้เนื่องจาก สัญญาณข้อมูลกับ

แอดเดรสเมื่อมาถึงสล็อตจะถูกคิ่มลติเพล็กซ์ และแลทซ์สถานะเอาไว้เรียบร้อยแล้ว

AEN (address enable)

สัญญาณนี้ถูกส่งออกมาจาก DMA คอนโทรลเลอร์ เพื่อแสดงว่าวงรอบของการ DMA กำลังกระทำอย่างค่อเนื่องอยู่สัญญาณนี้ จะถูกนำมาใช้คิ่สเอบิลลอจิกที่ใช้ลอครหัส อินพุต/เอาต์พุตพอร์ทในขณะที่ทำ DMA เพื่อไม่ให้แอดเดรสที่ส่งออกไปจาก DMA คอนโทรลเลอร์ ถูกมองเป็น อินพุต/เอาต์พุตพอร์ท ทั้งนี้เนื่องจาก สัญญาณ IOR หรือ IOW อาจแอคทีฟในขณะที่ทำ DMA



OSC (Oscillator), CLOCK

สัญญาณ OSC จะเป็นสัญญาณนาฬิกาของระบบที่ต้องการสัญญาณที่มีความถี่สูงมีช่วงเวลาเป็น 70 นาโนวินาที (14.31818 MHz) และ 50% ดิวตี้ ไซเคิล ส่วนสัญญาณ CLOCK จะมีความถี่เป็น 1 ใน 3 ของ OSC (4.77 MHz) ซึ่งใช้เป็นสัญญาณนาฬิกาของ 8088 มีช่วงกว้างเป็น 210 นาโนวินาที และ 33% ดิวตี้ ไซเคิล สัญญาณเหล่านี้ส่งมาจากชิพ 8284

IRQ2 - IRQ7 (Interrupt request)

อุปกรณ์อินพุต/เอาต์พุต จะใช้สายสัญญาณอินพุตทั้งหมดเส้นนี้สร้างสัญญาณร้องขอการอินเทอร์รัพต์ไปยัง 8088 ลำดับความสำคัญจัดไว้คือ IRQ2 จะมีลำดับความสำคัญสูงสุด (ในกระบวนการที่ออกมาที่สล็อต) และ IRQ7 มีลำดับความสำคัญต่ำสุด การอินเทอร์รัพต์จะเกิดเมื่อสายสัญญาณ IRQ เปลี่ยนสถานะจากลอจิก 0 เป็น 1 (ขอบขาขึ้น) และค้างสถานะเป็นลอจิก 1 จนกระทั่งจะได้รับการตอบรับจากโปรเซสเซอร์เพราะว่าสัญญาณการตอบรับจากไมโครโปรเซสเซอร์ (INTA) ไม่ออกมาที่สล็อตฉะนั้นการตอบรับจะต้องกระทำโดยการอาศัยบิตใดบิตหนึ่งของ I/O พอร์ตเป็นตัวแสดงสถานะแทนผ่านคำสั่ง OUT ออกมาภายนอก (โดยคำสั่ง OUT จะอยู่ในโปรแกรม บริการอินเทอร์รัพต์ที่ผู้ใช้เขียนขึ้น)

I/O CH RDY (I/O channel ready)

เป็นสัญญาณอินพุตใช้สำหรับสร้างสถานะการรอ เพื่อขยายความยาวของวงรอบของบัสออกไปใช้สำหรับเชื่อมต่อบัสกับเข้ากับหน่วยความจำ หรือ อุปกรณ์อินพุต/เอาต์พุต ที่ทำงานช้ากว่าข้อกำหนดของระบบ

RESET DRV (reset drive)

สัญญาณนี้ใช้สำหรับการรีเซ็ต หรือ กำหนดสถานะเริ่มต้นให้กับลอจิกของระบบเมื่อเริ่มจ่ายไฟให้กับระบบ สัญญาณนี้จะซิงค์โครไนซ์กับขอบขาลงของ OSC

DRQ1 - DRQ3 (DMA request)

สัญญาณนี้เป็นสัญญาณอินพุต ที่สอดคล้องกับการร้องขอการทำ DMA แต่ละช่องสัญญาณการร้องขอทำ DRQ จะต้องค้างสถานะลอจิก 1 ไว้จนกระทั่งสัญญาณ DACK ซึ่งเป็นการตอบรับการ DMA เป็นลอจิก 0 ข้อสังเกตคือ DRQ0 จะไม่ถูกต่อออกมายังสล็อตเพื่อใช้งานภายนอกทั้งนี้เนื่องจากตัวมันใช้สำหรับรีเฟรช ไดนามิกแรม ซึ่งเป็นหน่วยความจำหลักของระบบ

DACK0 - DACK3 (DMA acknowledge signal)

สัญญาณนี้แยกที่ฟีดแบ็คเป็นสัญญาณตอบรับการร้องขอทำ DAM ส่วน DACK0 ใช้สำหรับรีเฟรชไดนามิกแรมของระบบ

T/C (terminal count)

สัญญาณนี้ใช้สำหรับสร้างพัลส์ออกมาภายนอก เมื่อ terminal count ที่เกิดจากการทำ DMA ของช่วงนั้น ๆ ถึงค่าที่กำหนด

2.4.2 ข้อควรคำนึงเกี่ยวกับบอร์ดต้นแบบที่สร้างขึ้นใช้งาน

• ข้อจำกัดของแหล่งจ่ายไฟ

อย่าลืมว่า แหล่งจ่ายไฟขนาด 5 โวลต์ จะถูกต่อกับโหลดมากที่สุด โหลดนี้จะรวมทั้ง เมนบอร์ดและการ์ดต่าง ๆ ที่เสียบอยู่กับสล๊อตทั้งหมดด้วย โดยทั่ว ๆ ไปจะประมาณเอาว่าการใช้ไฟของบอร์ดต้นแบบที่แรงดันไฟ 5 โวลต์ ไม่ควรเกิน 1 แอมป์

• การดีคัปลิ่งแหล่งจ่ายไฟ

ทั้งนี้เนื่องจากระบบดิจิทัลจะเป็นระบบที่ใช้กำลังไฟเปลี่ยนแปลงไปมาอย่างรวดเร็ว (หมายถึงการดึงกระแสจากแหล่งจ่ายไฟ) ในช่วงเวลาหนึ่ง ๆ ขึ้นอยู่กับการทำงานในขณะนั้น ๆ ดังนั้นจึงต้องทำการดีคัปลิ่งแหล่งจ่ายไฟจะไม่สามารถจ่ายกระแสที่มี การเปลี่ยนแปลงอย่างรวดเร็วได้ทัน ทั้งนี้เนื่องจากผลของการตอบสนองต่าง ๆ ในระบบเสมือนกับการเพิ่มตัวเหนี่ยวนำเข้าไปในระบบจึงทำให้การตอบสนองของระบบช้าลง ในทางปฏิบัติจึงใช้ดีคัปลิ่งคาปาซิเตอร์ ต่อเพิ่มเข้าไปในวงจรเพื่อจ่ายกระแสช่วงสั้น ๆ แทนแหล่งจ่ายไฟ

ในกรณีที่แรงดันของแหล่งจ่ายไฟมีการกระเพื่อมไว้มาก ๆ แต่เป็นไปอย่างช้า ๆ จะใช้ตัวเก็บประจุขนาด 5 - 50 นาโนฟารัด เป็นดีคัปลิ่ง คาปาซิเตอร์ แต่ถ้าแรงดันของแหล่งจ่ายไฟมีความถี่สูงปนอยู่ หรือ เกิดไฟกระชากขนาดต่ำ ๆ ควรใช้ ดีคัปลิ่ง คาปาซิเตอร์ แบบ เซรามิก ค่าประมาณ 10 ถึง 100 นาโนฟารัด ต่อเข้าไป ตัวเก็บประจุเหล่านี้ควรต่อไว้ที่บริเวณใกล้กับขาของแหล่งจ่ายกับกราวด์ของตัว ไอ.ซี. ให้มากที่สุด ไอ.ซี. ที่ควรต่อ ดีคัปลิ่ง คาปาซิเตอร์ ได้แก่ ชิพ TTL ต่าง ๆ บัส บัฟเฟอร์ บัส ไดรเวอร์ บัส ทรานซิวเวอร์ ชิพ LSI ต่าง ๆ และอุปกรณ์สวิตชิงซึ่งที่มีความเร็วสูง ๆ เป็นต้น

• การโหลดบัลลของระบบ

ก่อนที่จะเชื่อมต่อกับระบบอื่น ๆ เข้ากับบัลลจะต้องพิจารณาให้รอบคอบก่อนว่าบัลลนั้นสามารถขับโหลดได้สูงสุดเท่าใด ถ้าคิดว่าไม่พอเพียงจะต้องต่อ ไอซี ขับบัลลให้มีกำลังแรงขึ้น อย่างไรก็ตามข้อกำหนดต่อไปนี้อาจช่วยได้บ้างสำหรับการออกแบบ

ข้อแรก อย่าต่อชิพ NMOS LST เข้ากับระบบบัลลโดยตรง เพราะว่า อุปกรณ์เหล่านี้นอกจากจะมีกำลังขับเคลื่อนแล้วยังไม่สามารถทนต่อแรงดันไฟลบอันเนื่องมาจากผลของการเกิด negative overshoot ของบัลล

ข้อสอง อย่าต่อชิพ LSI เข้ากับบัลลโดยตรงเกินสองชิพ ถ้าเกินต้องสร้างวงจรขับบัลลเข้าช่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อสาม อย่าเดินสายสัญญาณต่าง ๆ บนบอร์ดคั่นแบบยาวเกินไป จะทำให้สัญญาณถูกหน่วงเวลาและผิดเพี้ยนไป เนื่องจากผลของตัวเก็บประจุแบบสเตร (stray capacitance) อาจทำให้บอร์ดคั่นแบบทำงานผิดพลาด

2.5.3 การแม็ปตำแหน่ง I/O ของ IBM PC

เพื่อสร้างสัญญาณเลือกชิพให้ถูกต้อง จึงจำเป็นต้องรู้ว่า แอดเดรสของอินพุท/เอาต์พุทพอร์ท บน IBM PC ได้ออกแบบให้ใช้ 10 บิต ของแอดเดรส A0-A9 มาถอดรหัสเป็นแอดเดรส ของ I/O พอร์ท โดยแยกเป็นสองส่วนคือ 512 แอดเดรสจาก 0000H-01FFH ถูกกำหนดให้ใช้บนเมนบอร์ด อีก 512 แอดเดรสจาก 0200H-03FFH ใช้สำหรับบอร์ดภายนอกที่จะนำมาเสียบเข้าสล็อต ดังรูปที่ 2.13

Hex range	Usage	
000-00F	DMA chip 8237A-5	Assigned to system board components
020-021	Interrupt 8259A	
040-043	Timer 8253-5	
060-063	PPI 8255A-5	
080-083	DMA page registers	
0Ax	NMI mask register	
0Cx	Reserved	
0Ex	Reserved	
100-1FF	Not usable	
200-20F	Game control	
210-217	Expansion unit	Assigned to feature card ports
220-24F	Reserved	
278-27F	Reserved	
2F0-2F7	Reserved	
2F8-2FF	Asynchronous communications (2)	
300-31F	Prototype card	
320-32F	Fixed disk	
378-37F	Printer	
380-38C	SDLC communications	
380-389	Binary synchronous communications (2)	
3A0-3A9	Binary synchronous communications (1)	
3B0-3BF	IBM monochrome display/printer	
3C0-3CF	Reserved	
3D0-3DF	Color/graphics	
3E0-3F7	Reserved	
3F0-3F7	Diskette	
3F8-3FF	Asynchronous communications (1)	

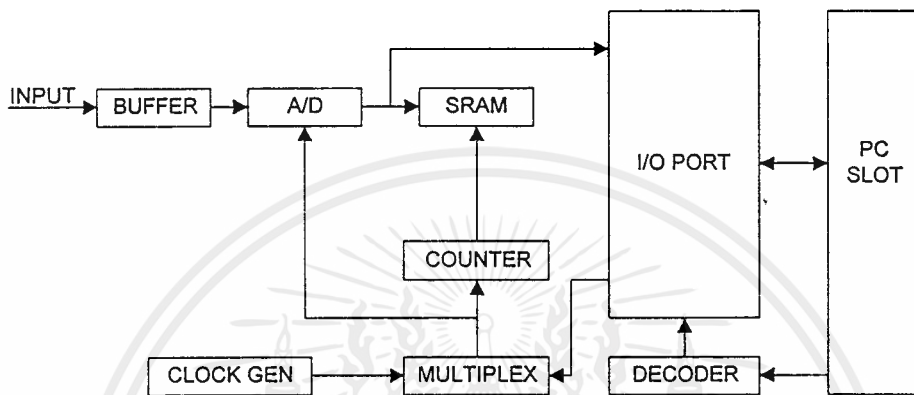
Figure 3.4 I/O map in IBM PC.

รูปที่ 2.13 แสดงการแม็ปตำแหน่ง I/O ของ IBM PC

บทที่ 3

หลักการออกแบบวงจร (HARD WARE)

3.1 หลักการของ BLOCK DIAGRAM



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของออสซิลโลสโคป (Block diagram oscilloscope)

สัญญาณอินพุตที่เป็น ANALOG จะป้อนผ่าน BUFFER เพื่อป้องกัน A/D เสียหายในกรณีที่ อินพุตมี Voltage มากเกินไป BUFFER ตัวนี้ใช้ OP-AMP ต่อเป็นวงจรขยายแบบ 1:1 เพื่อไม่ให้อินพุต Voltage มีค่าเปลี่ยนไป

A/D ที่ใช้เป็นชนิดความเร็วสูง (Flash) จะได้ clock sampling มาจาก clock generator มีความถี่ 10MHz สัญญาณที่วัดได้จะถูกนำไปเก็บไว้ที่ STATIC RAM จำนวน 2 ตัวขนาด 32Kx8bit สามารถเก็บข้อมูลได้ 32Kb x 2 = 64Kb ต้องเลือกใช้ RAM ชนิด STATIC RAM เพราะการออกแบบวงจรทำได้ง่ายและมีความเร็วในการ access ข้อมูลสูงมาก

วงจร COUNTER เป็นตัวนับ Address ให้กับ RAM โดยค่า counter จะเพิ่มขึ้นทุกครั้งที่ มี clock pulse จำพวกวงจรที่ใช้เป็น Synchronous Counter จะเพิ่มขึ้นทุกครั้งที่ มี clock pulse จำพวกวงจรที่ใช้เป็น Synchronous Counter จะมีการเปลี่ยนแปลงที่ out put ทุกบิตพร้อมกันทำให้การเขียนข้อมูลลงที่ RAM มีตำแหน่งที่แน่นอนไม่ผิดพลาด

CLOCK GENERATOR เป็นวงจรสร้าง clock pulse จำให้กับวงจร A/D และวงจร Counter ใช้ X-tal ความถี่ 10MHz แล้วหารด้วย 10 จำนวน 5 ครั้งจะได้สัญญาณดังนี้คือ 10MHz, 1000MHz, 100kHz, 10kHz, 0.1kHz

PORT จะทำหน้าที่ควบคุม A/D ให้อ่านสัญญาณแล้วเก็บลงที่ RAM พอเสร็จสิ้นขบวนการ CPU จะอ่านข้อมูลจาก RAM เข้ามา Display ที่จอภาพโดยผ่านทาง Port และวนซ้ำไปเรื่อยๆ ดังนั้น Port จะทำหน้าที่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสมือนตัวเชื่อมโยงระหว่าง CPU และ A/D รวมทั้ง RAM ด้วยการต่อ RAM ในลักษณะนี้มีข้อดีคือ ไม่ทำให้หน่วยความจำของเครื่องลดลงเพราะใช้วิธีการต่อผ่านทาง Port

3.2. ภาคผลิตความถี่ที่ใช้สุ่มสัญญาณอินพุท (Sampling Frequency Generator)

ภาคผลิตความถี่ที่ใช้สุ่มสัญญาณอินพุท สามารถแบ่งออกเป็นส่วนต่างๆดังนี้

3.2.1 วงจรผลิตความถี่ 10MHz ซึ่งประกอบด้วย ไอซี U6:A(#74LS04), U6:B(#74LS04) ทำงานร่วมกับ X-tal กำเนิดความถี่ 10MHz ส่วนไอซี U7:A(#74LS14) จะทำให้สัญญาณที่ได้เป็น Square wave ยิ่งขึ้น

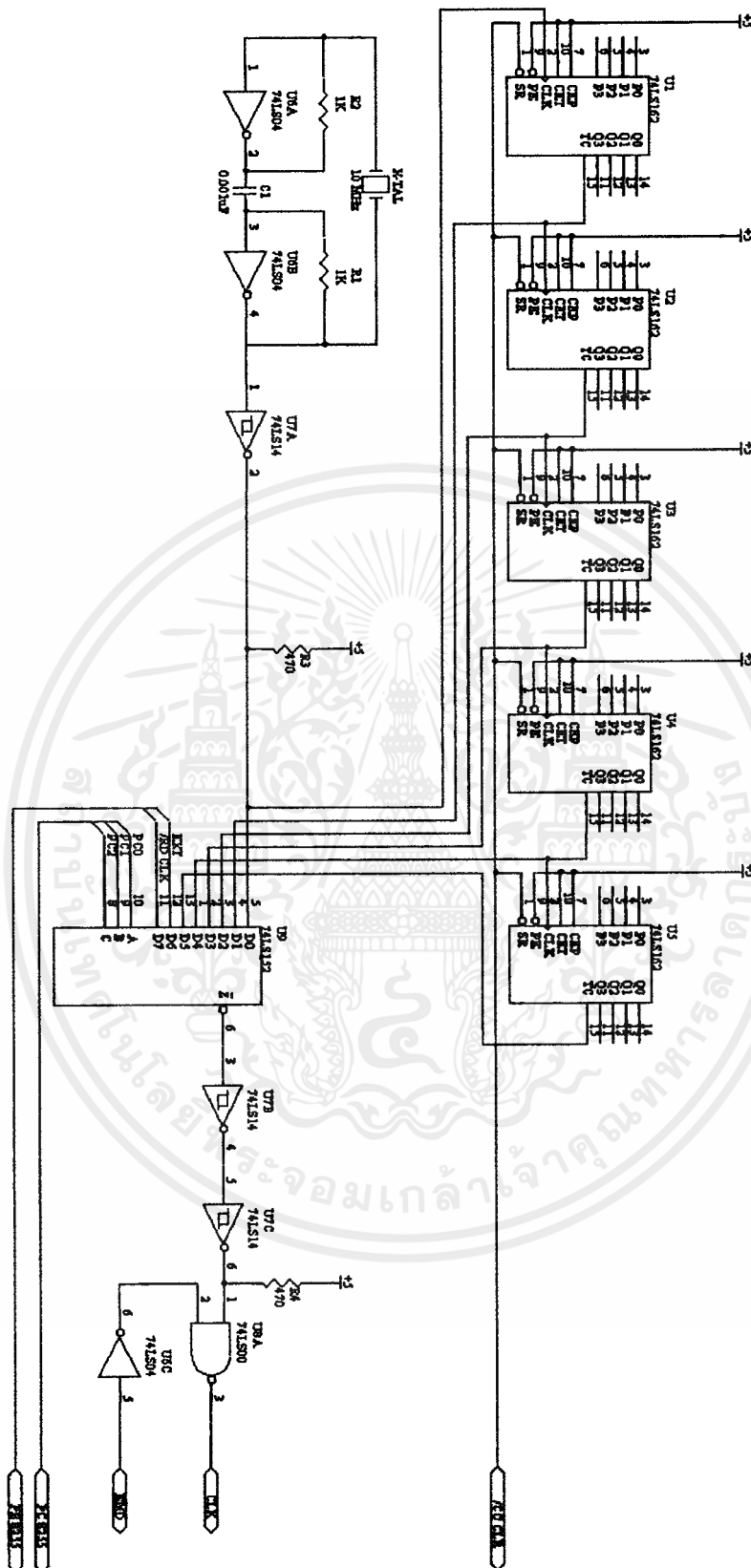
3.2.2 วงจรหารความถี่ประกอบด้วย ไอซี U1,U2,U3,U4และU5 (#74LS162) จะเป็นวงจรหารสิบ เมื่อความถี่ผ่าน U1 จะทำให้ความถี่ลดลงเหลือ 1000kHz ผ่าน U2 แล้วลดลงเหลือ 100kHz ผ่าน U3 ลดลงเหลือ 10kHz และเมื่อผ่าน U4 ลดลงเหลือ 1kHz และเมื่อผ่าน U5 ลดลงเหลือ 0.1kHz

3.2.3 วงจรเลือกความถี่ใช้ไอซี U9(#74LS152) เป็นตัวเลือกว่าจะต้องการ Sampling เอาความถี่เท่าใด โดยการควบคุมที่ขา Input ABC เช่น

ตารางที่ 3.1 ตารางแสดงการเลือกความถี่

SELECT INPUT			OUTPUT W	FREQUENCY
C	B	A		
L	L	L	D0	10MHz
L	L	H	D1	1000kHz
L	H	L	D2	100kHz
L	H	H	D3	10kHz
H	L	L	D4	1kHz
H	L	H	D5	0.1kHz
H	H	L	D6	เลือกความถี่จากภายนอก
H	H	H	D7	เลือกความถี่ Clock ของ CPU

ซึ่ง ไอซี U8:A (#74LS00), U6:D (#74LS04) จะทำหน้าที่ช่วยควบคุมสัญญาณ Sampling Frequency ให้อยู่ในช่วงที่เหมาะสม

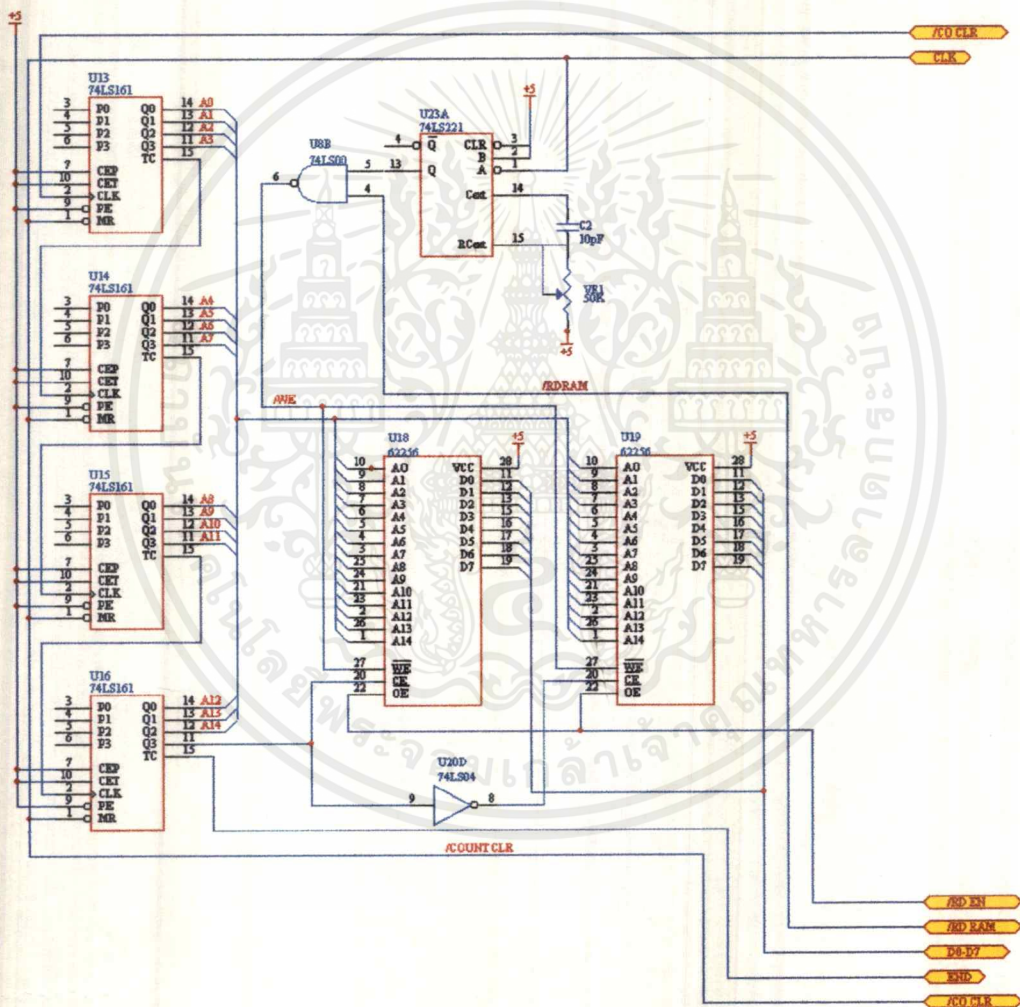


รูปที่ 3.2 แสดงวงจรภาคผลิตความถี่ที่ใช้ส่วนสัญญาณอินพุท (Sampling Frequency Generator)

3.3 ภาคนหน่วยความจำ (Memory Unit) ประกอบไปด้วย

3.3.1 วงจรกำหนด Address หน่วยความจำและวงจรหน่วยความจำขนาด 64Kb จะประกอบไปด้วยไอซี U12, U13, U14 และ U15 (#74LS161) เป็นส่วนที่กำหนด Address ให้แก่หน่วยความจำเพื่อใช้ในการเก็บข้อมูล ไอซี U16, U17 เป็น Static Ram ขนาด 32Kb x 8bit สามารถเก็บข้อมูลได้ $32Kb \times 2 = 64Kb$

3.3.2 วงจรกำหนดสัญญาณอ่านเขียน (R/W) ประกอบไปด้วย ไอซี U23:A (#74LS221) ทำงานร่วมกับ C2 ขนาด 10pF และ VR1 ขนาด 50kΩ ซึ่งเป็นวงจร Multivibrator ทำหน้าที่กำหนดสัญญาณ R/W ผ่านทาง U8:B (#74LS00) ซึ่งถูกควบคุมโดย ไอซี U20 (#8255 ของภาค Control)



รูปที่ 3.3 แสดงวงจรภาคนหน่วยความจำ (Memory Unit)

3.4 ภาควควบคุม (Control Unit)

ประกอบไปด้วย ไอซี U20 (#8255) , U21 (#74LS138), U22 (#74LS668) และ Dip Switch (SW-DIP8) ซึ่งไอซี U20 (#8255) เป็นส่วนเชื่อมโยงระหว่างส่วนแปลงข้อมูลเข้าเครื่องคอมพิวเตอร์ เพื่อประมวลผลและแสดงข้อมูลออกมาให้เห็น ส่วนเชื่อมโยง 8255 ดำเนินการถ่ายเทข้อมูลโดยผ่านพอร์ท 3 พอร์ท ซึ่งเป็นพอร์ทขนาด 8 บิต ทั้งนี้ขึ้นอยู่กับเราจะเขียนคำสั่งให้พอร์ทใดเป็นพอร์ทอินพุต หรือ พอร์ทเอาต์พุต ดังแสดงในรูป ซึ่งแสดงให้เห็นถึงโครงสร้างและส่วนเชื่อมโยง (8255) โดย

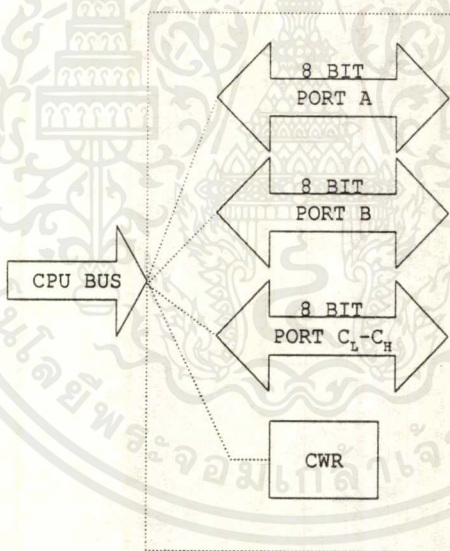
Port A ทำหน้าที่เป็น Input Port รับข้อมูลจาก Static RAM มีหมายเลข Port เป็น 204

Port B ทำหน้าที่เป็น Output Port มีหมายเลข Port เป็น 205

Port C_L ทำหน้าที่เป็น Output Port ทำหน้าที่เลือกสัญญาณ Sampling frequency ผ่านทางไอซี U9 (#74LS152) มีหมายเลข Port เป็น 206

Port C_H ทำหน้าที่เป็น Input Port เป็นตัว ABC check Static RAM ว่าเก็บข้อมูลเต็มหรือไม่ ถ้าเต็มจะบอกให้ PC ทำการอ่านเอาข้อมูล มีหมายเลข Port เป็น 206

Control Port ทำหน้าที่ควบคุม มีหมายเลข Port เป็น 207



รูปที่ 3.4 แสดงการติดต่อ PORT 8255 ของ CPU

จากรูป CPU ของเครื่องไมโครคอมพิวเตอร์จะติดต่อหน่วยเก็บข้อมูลขนาด 64 Kb บน แผงวงจร (A/D CARD) โดยจะต้องมีการกำหนดว่าจะให้พอร์ทใดเป็นอินพุต พอร์ทใดเป็นเอาต์พุต โดยจะต้องผ่าน CWR (Control Word Register) ซึ่งเป็นตัวควบคุมพอร์ทอีกครั้งหนึ่ง

3.5 ภาคแปลงสัญญาณอนาลอกเป็นดิจิทัล (Analog to Digital Converter: ADC)

จากรูป จะประกอบด้วย ไอซี U10, U11 (#CA3306A) ซึ่งเป็น ADC (A/D) Converter แบบ Flash A/D 6 Bit 2 ตัว ทำการขยายให้เป็น 7 bit และรวมกับ Overflow bit เป็น 8 bit และไอซี U12 (#74LS373) ทำหน้าที่เป็น Buffer ข้อมูลระหว่าง ไอซี A/D กับ Static RAM

สำหรับ ไอซี #CA3306A ต้องการแรงดันอ้างอิงอยู่ 3 ระดับ คือ

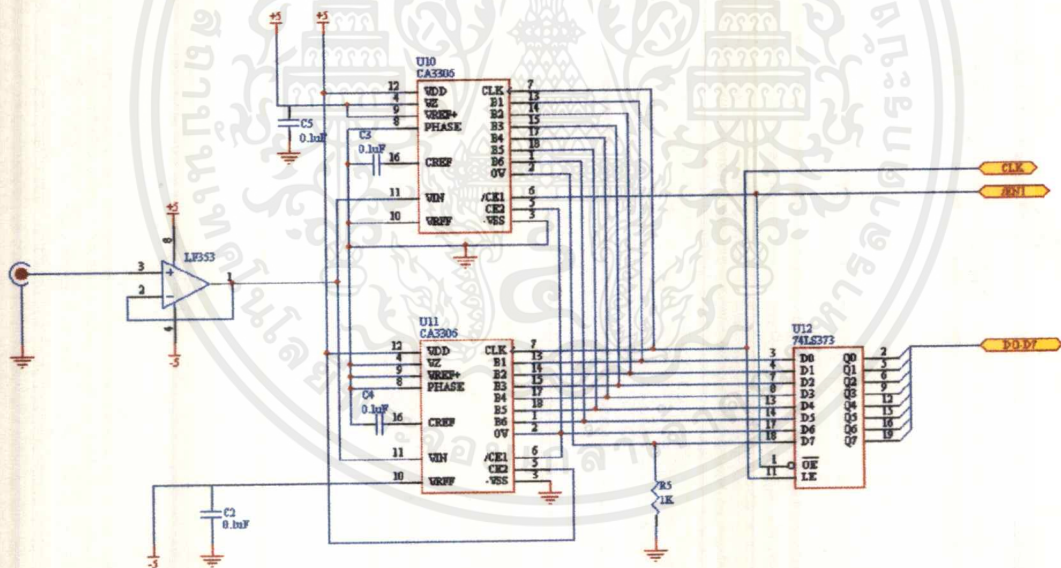
3.5.1 Voltage Reference (+) กำหนดเป็นตัวเทียบแรงดันสูงสุดของ I/P ที่รับเข้ามา

3.5.2 Voltage Reference (-) กำหนดเป็นตัวเทียบแรงดันต่ำสุดของ I/P ที่รับเข้ามา

3.5.3 Voltage Center เป็นตัวแบ่งแรงดันครึ่งหนึ่งของ Voltage Reference (+) และ (-)

เมื่อเราจัด Voltage Reference แล้วป้อนแรงดันให้กับ ภาค A/D ก็สามารที่จะวัดแรงดันสูงสุด และต่ำสุดเท่าใด

วงจรกำหนดแรงดันต่ำสุดที่ -5 V สูงสุดที่ 5 V โดยไอซี U10 (#CA3306A) รับ Input ตั้งแต่ 0 - 5 V และ ไอซี U9 (#CA3306A) รับ Input ตั้งแต่ (-5) - 0 V



รูปที่ 3.6 แสดงวงจรภาคแปลงสัญญาณอนาลอกเป็นดิจิทัล (Analog to Digital Converter: ADC)

บทที่ 4

หลักการออกแบบโปรแกรม (SOFTWARE)

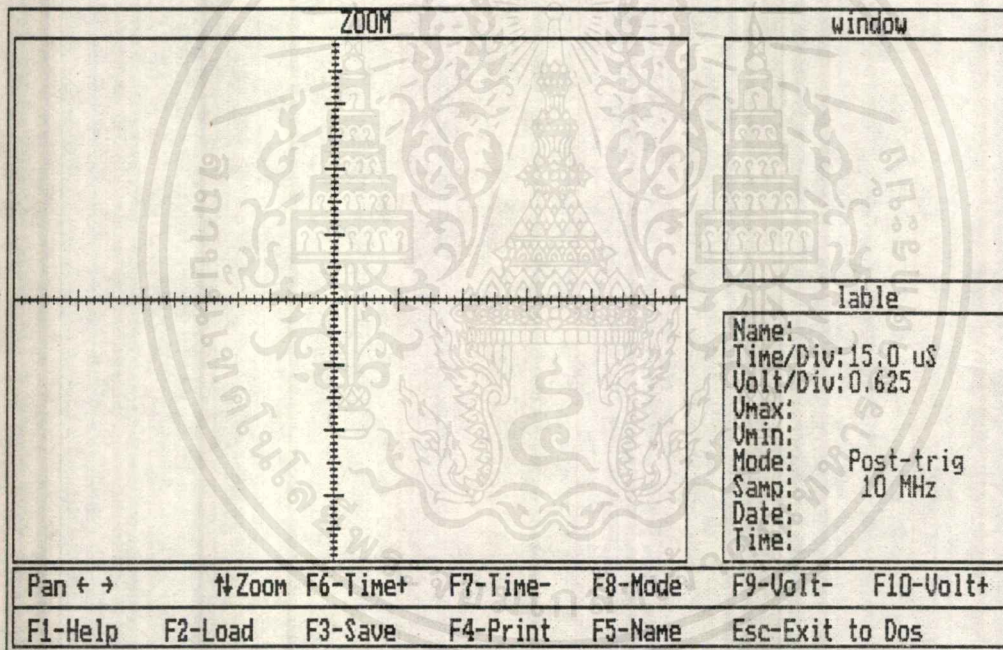
4.1 การแสดงผลบนหน้าจอ

การแสดงผลบนหน้าจอสามารถจัดแบ่ง Window ได้ 4 แบบคือ

4.1.1 Window ของส่วน Label

Window นี้จะประกอบไปด้วย Function ของค่าต่าง ๆ คือ

- Name : เป็นส่วนที่ใช้สำหรับกำหนดชื่อ File ของข้อมูลที่แสดงผลบนจอในขณะนั้น เพื่อทำการ Save ข้อมูลนั้นไว้ใน Disk
- Time/Div: เป็นส่วนที่แสดงถึง คาบเวลาของความถี่ของสัญญาณต่อหน่วยเวลา
- Volt/Div: เป็นส่วนที่แสดงค่าแรงดันของสัญญาณ และแสดงผลบนจอว่ามีขนาดแรงดันเป็นเท่าใด ในที่นี้ออกแบบไว้เป็น 0.625 V., 1.25 V., 2.5 V., 5.0 V. ตามลำดับ



รูปที่ 4.1 โครงสร้างของจอภาพ

- Vmax : เป็นส่วนที่แสดงค่าแรงดันสูงสุดของสัญญาณที่แสดงผลบนจอในนั้น ๆ โดยค่าแรงดันนี้จะเปลี่ยนไปตามระดับสัญญาณของรูปคลื่นที่เคลื่อนที่เปลี่ยนไป ซึ่งบางครั้งอาจเป็นค่าของแรงดัน Transient ก็ได้ แรงดัน Vmax สูงสุดกำหนดไว้ไม่เกิน 5 V.
- Vmin: เป็นส่วนที่แสดงค่าแรงดันต่ำสุดของสัญญาณที่แสดงผลบนจอในนั้น ๆ โดยค่าแรงดันนี้จะเปลี่ยนไปตามระดับสัญญาณของคลื่นที่เคลื่อนที่ไปในขณะนั้น ๆ แรงดันต่ำสุดของสัญญาณกำหนดไว้เป็น -5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Mode : เป็นตัวเลือกสัญญาณแบ่งเป็น Mode ของ Pre-Trig และ Post-Trig
- Sampling: เป็นส่วนที่แสดงค่าความถี่ที่ใช้ในการสุ่มสัญญาณ ซึ่งมีอยู่ 6 ค่า คือความถี่ 10 MHz, 1 MHz, 100 kHz, 10 kHz, 1 kHz, 100 Hz และ EXT ส่วนของ EXT นั้น เป็นสัญญาณความถี่ภายนอกที่นอกเหนือจากสัญญาณความถี่ที่ได้ออกแบบไว้ แต่ต้องอยู่ในช่วง 0-10 MHz จึงจะนำมาใช้เป็น Sampling Frequency ได้
- Date: เป็นส่วนของการบันทึก วัน เดือน ปี ที่ทำการบันทึกหรือ Save ข้อมูลในขณะนั้น
- Time: เป็นส่วนของการบันทึกเวลาที่ใช้ในการบันทึกข้อมูลในขณะนั้น

4.1.2 Window ของส่วน Zoom

Window นี้เป็นส่วนที่แสดงการขยายสัญญาณของส่วน Window เล็กให้ใหญ่ขึ้น เพื่อรายละเอียดต่าง ๆ ของสัญญาณได้ชัดเจนขึ้น โดย Window นี้มี Scale ในแกน X และ Y เพื่อแสดงขนาดของสัญญาณ คือ Time/Div และ Volt/Div ตามลำดับ

4.1.3 Window ของส่วนแสดงสัญญาณ (Window เล็ก)

Window นี้ จะแสดงภาพของสัญญาณข้อมูลที่เก็บไว้ในหน่วยความจำขนาด 64 กิโลไบต์ ซึ่งสัญญาณนี้จะไม่สามารถรายละเอียดได้ชัดเจนมาก ถ้าต้องการรายละเอียดของสัญญาณให้ใช้ Window ส่วนของ Zoom แทน

4.1.4 Window ของส่วน Key ต่าง ๆ

Window นี้จะแสดงหน้าที่ของ Key ต่าง ๆ ที่ใช้ ซึ่งดังนี้คือ

- PAN : ← → เป็นส่วนของการดูสัญญาณทางซ้ายหรือขวา โดยเลือกกดตามทิศทางของลูกศรที่แสดงไว้
- ZOOM: ↑ ↓ แบ่งเป็น ZOOMIN และ ZOOMOUT โดยที่ ZOOMIN มีหน้าที่เพิ่มขนาดของ Time/Div ดังนั้น จะสามารถมองเห็นข้อมูลได้มากขึ้นแต่รายละเอียดของสัญญาณข้อมูลจะเพิ่มขึ้น แต่จะเห็นเพียงบางส่วน ของสัญญาณข้อมูลเท่านั้น
- Time : เป็นคีย์ที่แสดงค่า Time/Div และ Sampling โดยถ้ากด F7 จะแสดงค่า Time/Div ที่ลดลง ในขณะเดียวกันความถี่ที่ใช้ในการ Sampling ก็จะลดตาม เมื่อกด F6 ค่าของ Time/Div และ Sampling จะเพิ่มตามเป็นสัดส่วนกัน ดังนี้

Time/Div	5 μ s	50 μ s	500 μ s	5 ms	50 ms	500 ms	*****
Sampling	10 MHz	1 MHz	100 kHz	10 kHz	1 kHz	100 Hz	EXIT

F8-Mode: ใน Oscilloscope โดยทั่วไปจะมีสัญญาณ Trig Mode อยู่หลายโหมด แต่สำหรับ A/D Card นี้แล้วใช้เพียง 2 Mode คือ Pre-Trig Mode และ Post-Trig Mode กล่าวคือ Pre-Trig Mode จะทำหน้าที่ดูสัญญาณที่เกิดขึ้นก่อนที่เราจะกดคีย์ให้อยู่ในส่วนของ Pre-Trig แล้วตามด้วยเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Return Key Post-Trig Mode จะทำหน้าที่ดูสัญญาณที่เกิดขึ้นหลังจากกดคีย์ ให้อยู่ในส่วนของ Post-Trig แล้วตามด้วย Return Key

Volt : เป็นส่วนแสดงค่าแรงดัน Volt/Div โดยถ้ากด F9 จะเป็นการลดค่าแรงดันลงและกด F10 จะเป็นการเพิ่มค่าแรงดันขึ้น แรงดัน Volt/Div มีย่าน 0.625 V., 1.25 V., 2.5 V., 5.0 V.

F1-Help: เป็น Key ที่ใช้อธิบายหน้าที่ Key ต่าง ๆ ดังนี้

F1: Help Menu

F2: Load Data From Disk

F3: Save Data To Disk

F4: Print Screen To Print

F5: Change File Name

F6: Increase Sampling Time

F7: Decrease Sampling Time

F8: Select Trig-Mode

F9: Decrease Volt/Div

F10: Increase Volt/Div

เมื่อ Help Menu แล้ว เมื่อต้องการกลับสู่ Window เดิมให้กด Enter

F2-Load: เป็นคีย์ที่ใช้ในการเรียกข้อมูลที่ Save ไว้ออกมาดู

F3-Save : เป็นคีย์ที่ใช้ในการ Save ข้อมูลไว้ใน Disk ให้กด F3 หลัง F5

F4-Print: เป็นคีย์ที่ใช้ในการพิมพ์ข้อมูลที่อยู่บนจอภาพในขณะนั้นทั้งหมดออกทางเครื่องพิมพ์

F5-Name: เป็นคีย์ที่ใช้สำหรับตั้งชื่อ File ของข้อมูลที่ต้องการเก็บไว้โดยให้ระบุคีย์ก่อนตามด้วย “.” และชื่อพร้อมนามสกุลของ File ขนาดไม่เกิน 8 ตัวอักษร

Esc-Edit To Dos : เป็นคีย์ที่กลับสู่ Dos เมื่อ ไม่ต้องการดูภาพสัญญาณของข้อมูลอีกต่อไปโดยเมื่อกดคีย์นี้แล้วจะแสดงชื่อของ Drive ที่ใช้อยู่ในขณะนั้น

4.2 FLOW CHART PROGRAM

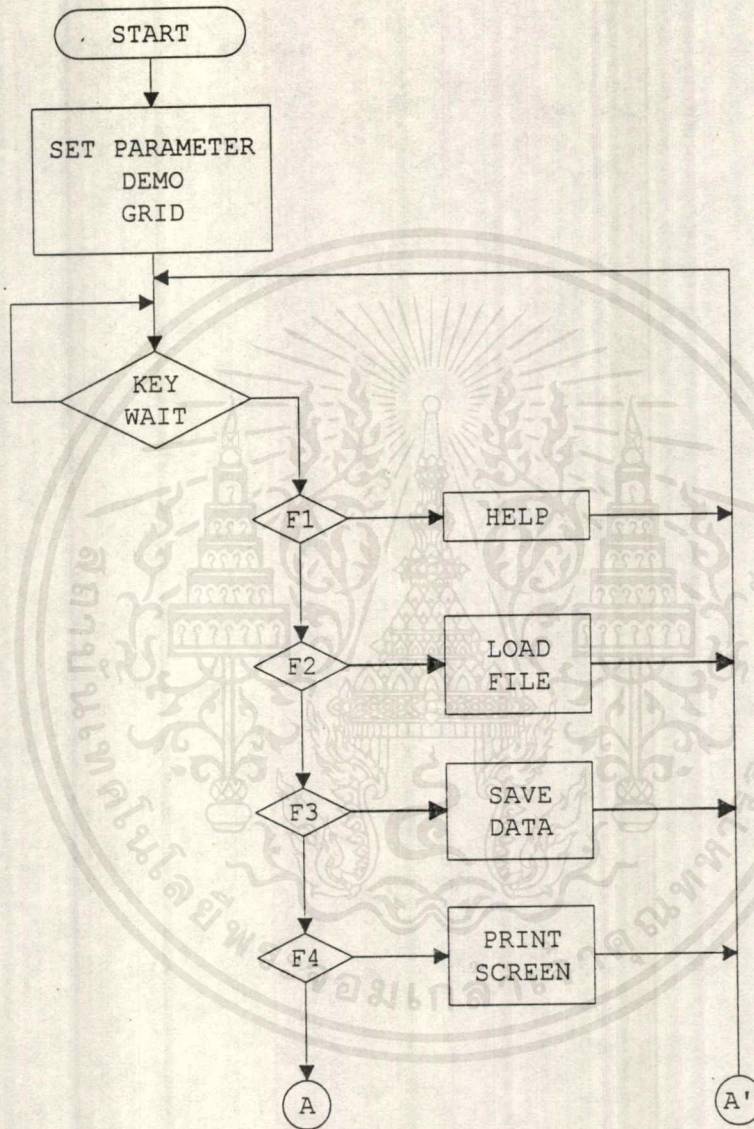
FLOW CHART เป็นส่วนที่เขียนไว้เพื่อแสดงขั้นตอนการทำงานของ SOURCE PROGRAM ต่าง ๆ ซึ่งแบ่ง FLOW CHART ออกเป็น 17 FLOW CHART คือ

- 4.2.1 WINDOW PROGRAM
- 4.2.2 HELP PROGRAM
- 4.2.3 LOAD PROGRAM
- 4.2.4 SAVE PROGRAM
- 4.2.5 PRINT SCREEN PROGRAM
- 4.2.6 EDIT PROGRAM
- 4.2.7 TIME – INC PROGRAM
- 4.2.8 TIME – DEC PROGRAM
- 4.2.9 TRIG – DEC PROGRAM
- 4.2.10 VOLT – INC PROGRAM
- 4.2.11 VOLT – INC PROGRAM
- 4.2.12 PAN – LEFT PROGRAM
- 4.2.13 PAN – RIGHT PROGRAM
- 4.2.14 ZOOMIN PROGRAM
- 4.2.15 ZOOMOUT PROGRAM
- 4.2.16 PAUSE PROGRAM
- 4.2.17 QUIT PROGRAM

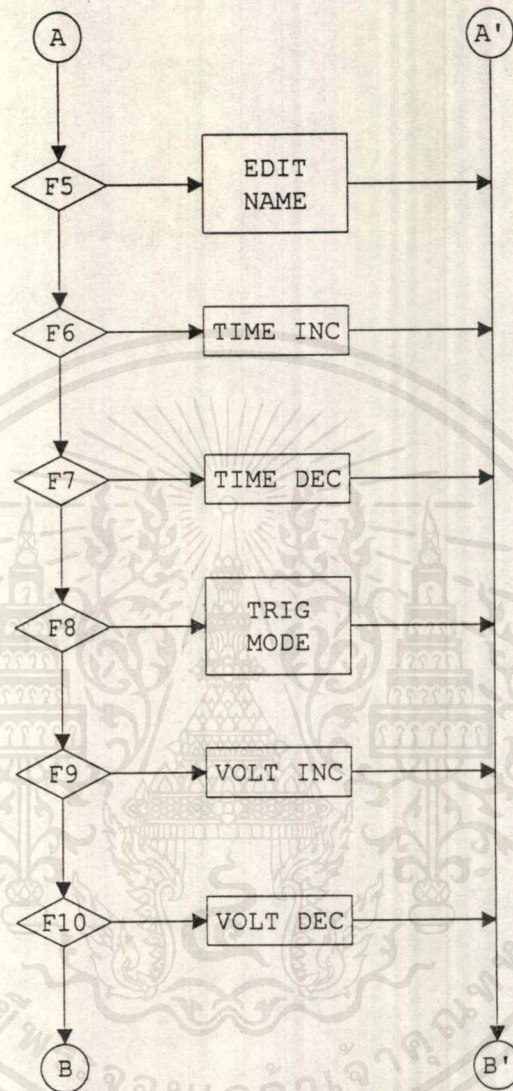
ส่วนของ SOURCE PROGRAM ได้มีแสดงไว้หลังของ FLOWCHART โดยโปรแกรมจะเรียงไปตามลำดับขั้นตอนการทำงานต่าง ๆ ตาม FLOWCHART รวมทั้ง FUNCTION ต่าง ๆ ที่นอกเหนือจากนี้ เช่นการจัดหน้าจอ การกำหนด Port การจัดและกำหนด Key ต่าง ๆ เป็นต้น ในส่วนของ Window program นั้นจะแสดงลำดับขั้นตอนการทำงานเรียงกันไป เป็นขั้นตอนตามทิศทางของหัวลูกศร โปรแกรมส่วนนี้เป็นส่วนแสดงผลหน้าจอ ซึ่งประกอบด้วยคีย์หน้าที่ต่างๆ

4.2.1 WINDOW PROGRAM

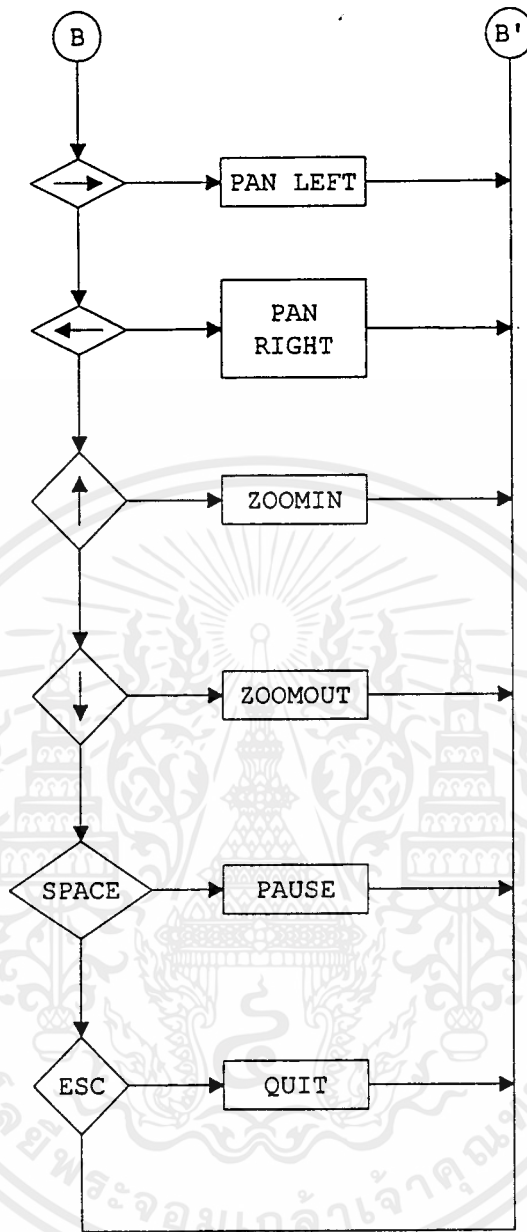
หลังการบูทไฟล์ของโปรแกรมโดยเรียกชื่อไฟล์ว่า P แล้ว หน้าจอของเครื่องจะถูกเซตให้เป็นกรอบสี่เหลี่ยมต่าง ๆ ของข้อมูล ซึ่งลำดับขั้นตอนการทำงานจะเริ่มด้วยการรอกคีย์ว่า มีคีย์ใด ๆ กดหรือไม่ ถ้ามีคีย์ใด ๆ กด โปรแกรมของคีย์นั้นก็จะทำงานทันที



รูปที่ 4.2 ขั้นตอนการทำงานของโปรแกรม WINDOW



รูปที่ 4.3 ขั้นตอนการทำงานของโปรแกรม WINDOW ต่อมา

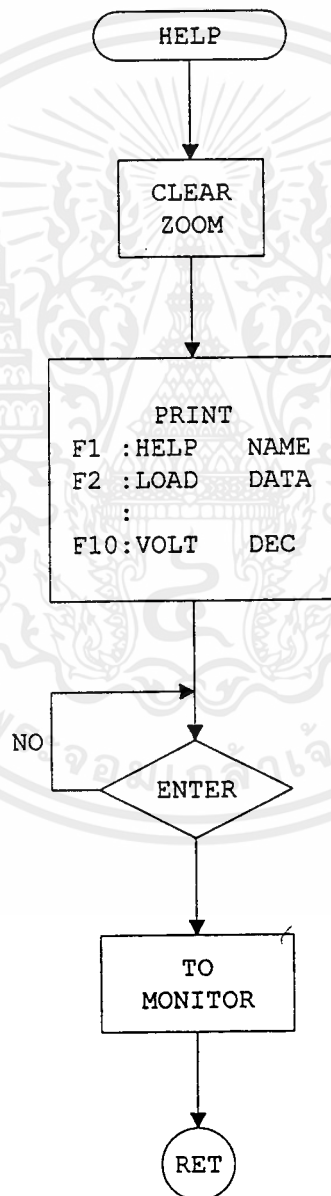


รูปที่ 4.4 เป็นส่วนที่ต่อเนื่องมาจนจบขั้นตอนสุดท้ายและโปรแกรม
จะกลับมาสู่สถานะการรอตรวจสอบการกดคีย์ เช่นเดิม

ขั้นตอนการทำงานของคีย์ต่าง ๆ นั้นจะได้แสดงให้เห็นเป็น Step ไปตามลำดับดังต่อไปนี้

4.2.2 HELP PROGRAM

โปรแกรมส่วนนี้จะทำหน้าที่อธิบายถึง หน้าที่ของคีย์ต่าง ๆ ให้เราทราบ โดยเมื่อเรากดคีย์ F1 จอภาพจะแสดงคำอธิบายหน้าที่ของคีย์ F1 ถึง F10 ให้เราทราบ ซึ่งทำให้เราเข้าใจหน้าที่ของคีย์ต่าง ๆ ได้เร็วขึ้น โดยหลังจากการกดคีย์ F1 แล้วโปรแกรมของส่วนนี้จะทำการเคลียร์หน้าจอทั้งหมดแล้วแสดงรายละเอียดของ F1 ถึง F10 ให้เราทราบจากนั้นโปรแกรมก็จะกลับไปสู่หน้าจอปกติ แต่ถ้าเป็นคีย์อื่น ๆ ที่ไม่ใช่ Enter แล้วโปรแกรมจะไม่รับรู้จนกว่าจะกด Enter คีย์

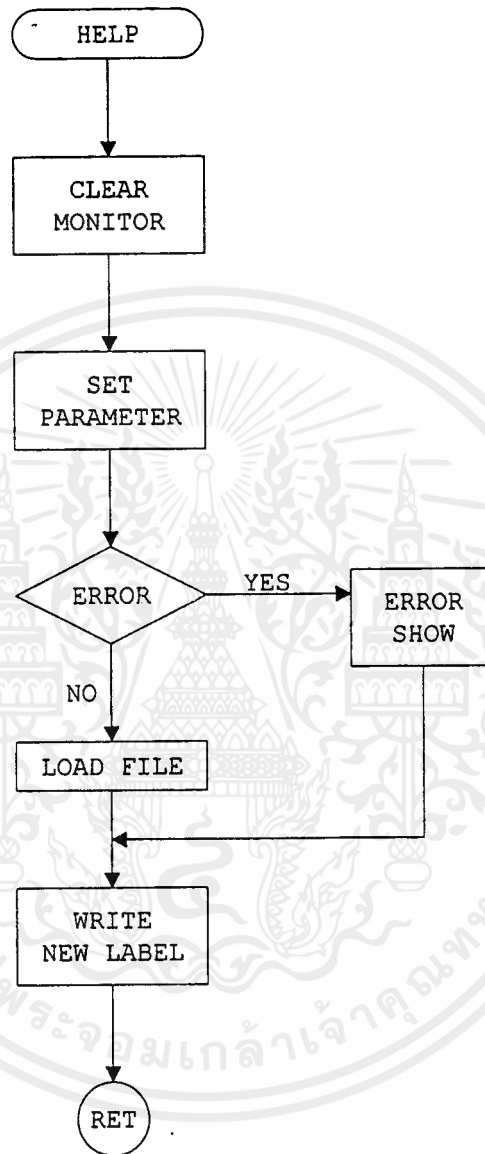


รูปที่ 4.5 ขั้นตอนการทำงานของโปรแกรม Help

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 LOAD PROGRAM

โปรแกรมส่วนนี้จะทำหน้าที่นำข้อมูลจากดิสก์ซึ่งได้เก็บไว้แล้วออกมาแสดงบนหน้าจอซึ่งเป็นข้อมูลบนหน้าจอทั้งหมดรวมทั้งรูปสัญลักษณ์ที่เก็บไว้

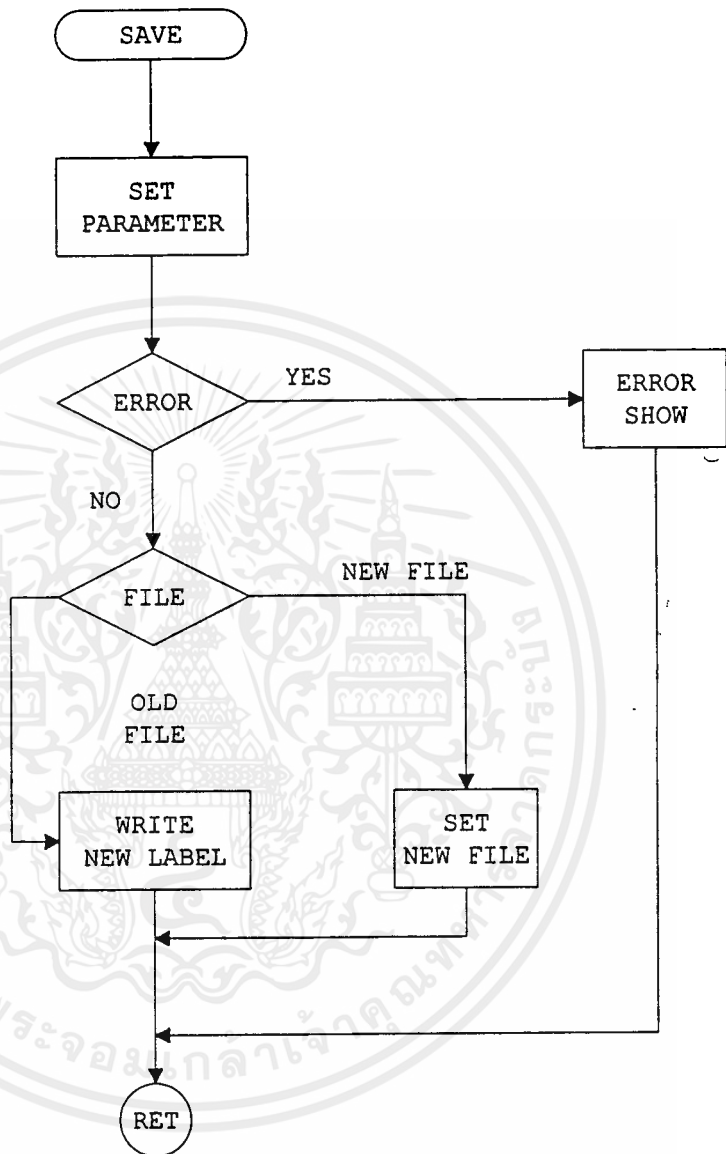


รูปที่ 4.6 ขั้นตอนการทำงานของโปรแกรม Load data

จากรูปจะเห็นว่าโปรแกรมจะทำการเคลียร์ข้อมูลต่าง ๆ บนหน้าจอแล้วจึงเซตค่าตัวแปรต่าง ๆ ที่เป็นข้อมูลที่เก็บไว้ในในแผ่นดิสก์ ตามชื่อไฟล์ที่เราป้อนออกมาแสดง แต่ก่อนที่จะแสดง แต่ก่อนที่จะแสดงข้อมูลออกมานั้นโปรแกรมจะตรวจสอบว่ามี Error เกิดขึ้นหรือไม่ ถ้ามีโปรแกรมก็จะแสดงออกมา เช่น ในกรณีเราป้อนชื่อไฟล์ผิด หน้าจอจะแสดงคำว่า file not found ออกมา แต่ถ้าไม่มี Error แล้วโปรแกรมจะ load file ข้อมูลนั้นออกมาเลย เสร็จแล้วโปรแกรมจะรอคำสั่งชื่อไฟล์อื่น ๆ ใหม่

4.2.4 SAVE PROGRAM

เป็นโปรแกรมที่ทำหน้าที่เก็บบันทึกข้อมูลทั้งหมดบนหน้าจอ เข้าไว้ในแผ่นดิสก์ โดยเราต้องกดคีย์ F5 ก่อนเพื่อทำการตั้งชื่อไฟล์และนามสกุล โดยที่ชื่อไฟล์ต้องมีขนาดไม่เกิน 8 ตัวอักษรแล้วตามด้วยจุดแล้วตามด้วยนามสกุล

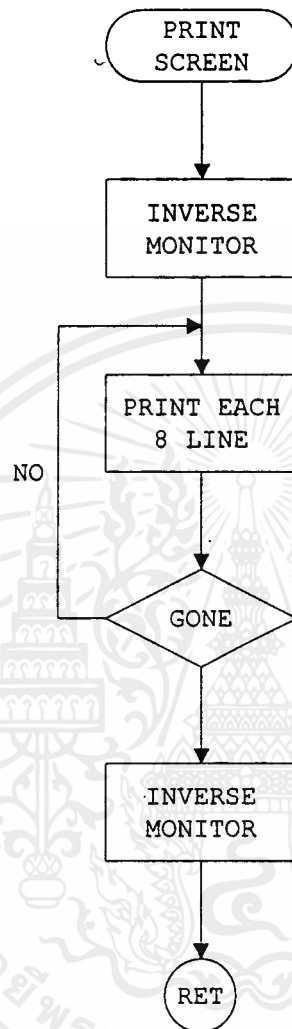


รูปที่ 4.7 ขั้นตอนการทำงานของโปรแกรม save data

เมื่อเราตั้งชื่อไฟล์เสร็จแล้วให้กดคีย์ F3 เพื่อเก็บข้อมูลลงแผ่นดิสก์ต่อไป ในขั้นตอนแรกโปรแกรมต้องเช็คค่า parameter ต่าง ๆ ให้เรียบร้อย แล้วจึงตรวจสอบดู Error ว่ามีหรือไม่ ถ้ามีก็กลับมาเริ่มต้นใหม่ แต่ถ้าไม่มี Error โปรแกรมก็จะมาตรวจสอบดูว่า ชื่อไฟล์ที่เราป้อนนั้นเป็นชื่อไฟล์ที่ซ้ำกันหรือไม่ ถ้าชื่อไฟล์ซ้ำกันเครื่องจะทำการบันทึกข้อมูลของชื่อไฟล์ใหม่นั้นทับลงบนลงบนข้อมูลของชื่อไฟล์เท่านั้น ถ้าชื่อไฟล์ไม่ซ้ำกับโปรแกรมจะบันทึกข้อมูลและไฟล์นั้นๆต่อจากข้อมูลของไฟล์เดิมเลย

4.2.5 PRINT SCREEN PROGRAM

เป็นโปรแกรมที่ใช้ในการเคลียร์ข้อมูลบนหน้าจอทั้งหมด โดยจะทำการ Inverse background และ foreground ของจอเดิมให้มีสีตรงกันข้าม นั่นคือ

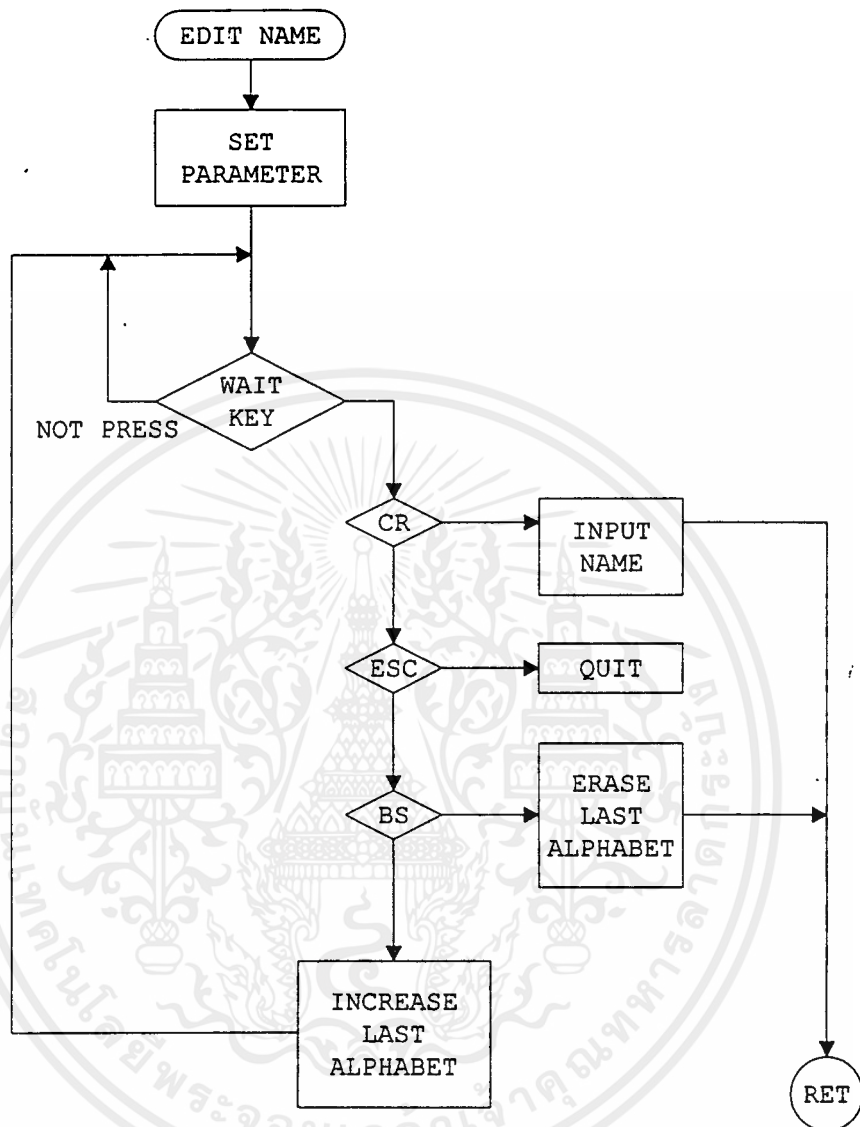


รูปที่ 4.8 ขั้นตอนการทำงานของโปรแกรม Print screen

หน้าจอที่ไม่ใช่ส่วนของสัญญาณจะถูก Inverse สีจากสีเขียวเป็นสีดำแทน แต่จะคงส่วนของสัญญาณให้เห็นอย่างชัดเจน เพื่อที่จะพิมพ์ข้อมูลบนจอทั้งหมดโดย Printer เป็นตัวพิมพ์ข้อมูลหน้าจอทั้งหมด โดยกดคีย์ F4 เมื่อ Printer ทำการพิมพ์ข้อมูลลงบนกระดาษเรียบร้อยแล้ว หน้าจอก็จะกลับไปสู่สถานะเดิม

4.2.6 EDIT NAME PROGRAM

เป็นโปรแกรมที่ควบคุมในด้านการเปลี่ยนแปลงและแก้ไขชื่อไฟล์ของข้อมูล โดยใช้คีย์ F5

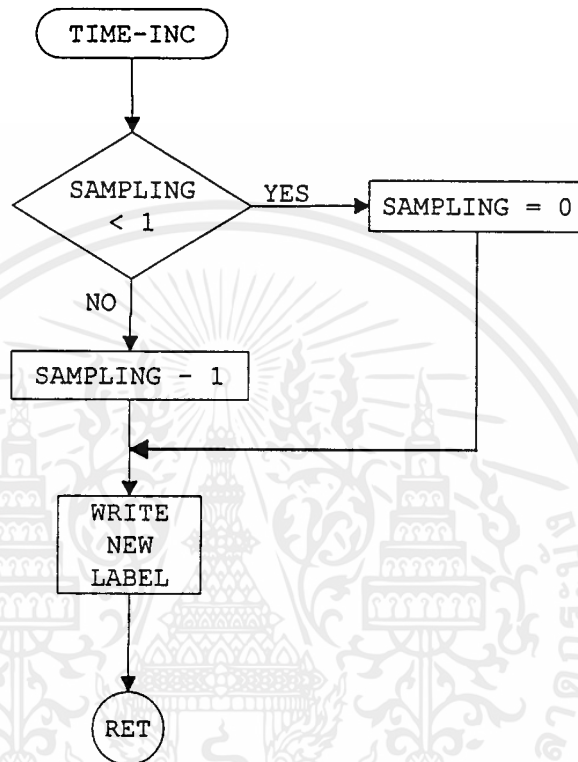


รูปที่ 4.9 ขั้นตอนการทำงานของโปรแกรม Edit name

โดยชื่อไฟล์ต้องประกอบด้วยชื่อไฟล์ที่มีขนาดไม่เกิน 8 ตัวอักษร แล้วก็ตามด้วยจุดแล้วตามด้วยชื่อสกุลขนาดไม่เกิน 3 ตัวอักษร เมื่อทำการให้ชื่อไฟล์เก็บข้อมูลเรียบร้อยแล้ว เราก็สามารถเก็บข้อมูลทั้งหมดบนหน้าจอลงบนแผ่นดิสก์ โดยกดคีย์ F3 ซึ่งเป็นการ Save ข้อมูลนั่นเอง

4.2.7 TIME – INC PROGRAM

เป็นโปรแกรมที่ใช้ในการเปลี่ยนค่าความถี่ (SAMPLING FREQUENCY) ที่ใช้ในการสุ่มสัญญาณทางอินพุตโดยโปรแกรมนี้เป็นโปรแกรมที่ทำหน้าที่เพิ่มค่าความถี่จากค่าความถี่ต่ำสุด คือ 100 Hz ไปจนถึงค่าความถี่สูงสุด คือ 10 MHz

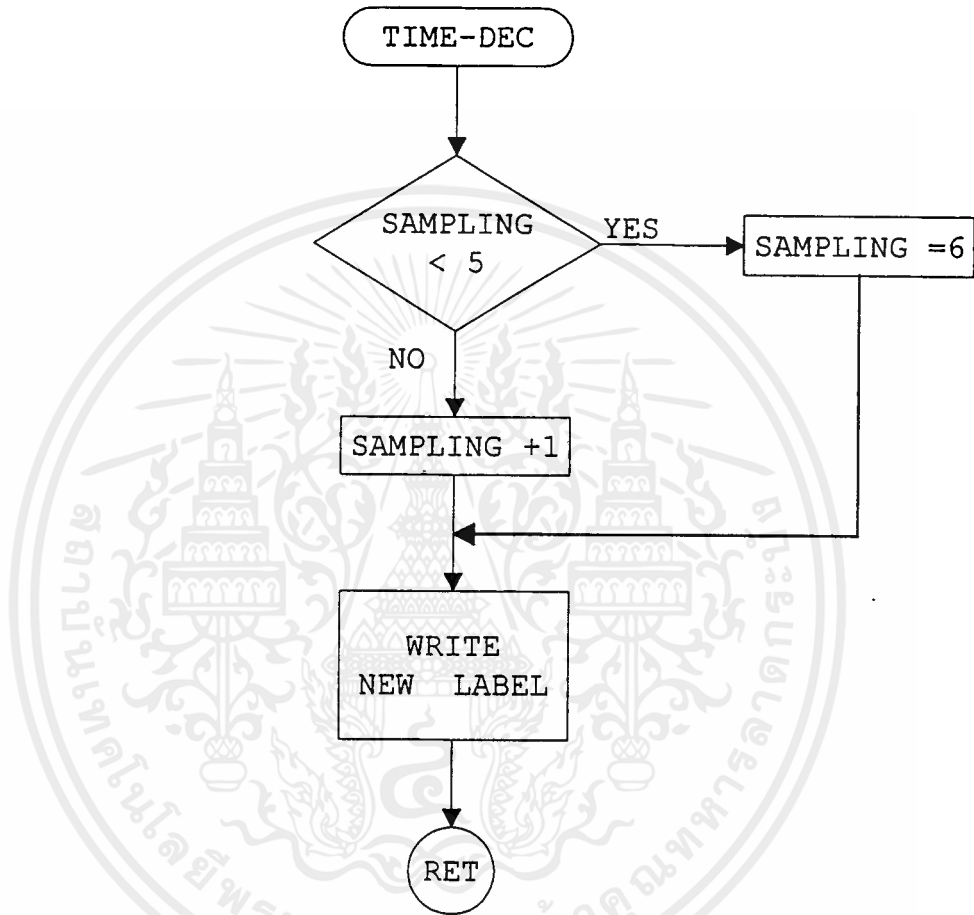


รูปที่ 4.10 ขั้นตอนการทำงานของโปรแกรม Time – Inc

ค่าความถี่ที่ใช้สุ่มสัญญาณทางอินพุตนั้น จะแปรเปลี่ยนไปเป็นสัดส่วนกับค่า Time/Div ดังที่ได้กล่าวมาแล้วข้างต้น ในส่วนของ Window แล้วถ้าสัญญาณอินพุตมีค่าความถี่สูง ค่าความถี่ที่ใช้ในการสุ่มก็ควรมีค่าสูงตามแต่ถ้าสัญญาณอินพุตมีค่าความถี่ต่ำความถี่ที่ใช้ในการสุ่มสัญญาณอินพุตก็ต้องมีค่าต่ำตามด้วย

4.2.8 TIME – DEC PROGRAM

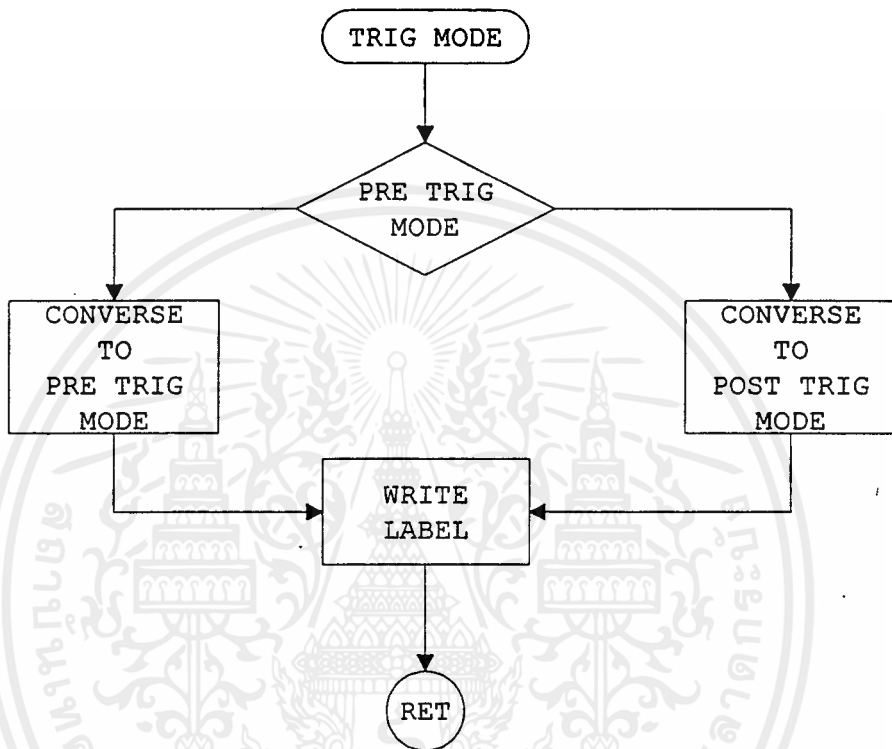
โปรแกรมนี้มีลักษณะการทำงานคล้ายกับโปรแกรม Time – Inc เพียงแต่จะทำงานตรงกันข้าม คือ เป็นการลดค่าความถี่สูงสุดจาก 10 MHz มาเป็นค่าความถี่ต่ำสุดคือ 100 Hz เพื่อใช้ในการสุ่มค่าสัญญาณทาง อินพุต



รูปที่ 4.11 ขั้นตอนการทำงานของโปรแกรม Time – Dec

4.2.9 TRIG MODE PROGRAM

เป็นโปรแกรมที่ใช้ในการกำหนดหน้าที่การแสดงผลข้อมูลหน้าจอ โดยแบ่งเป็น 2 โหมด คือ Pre Trig Mode และ Post Trig Mode โดยที่ Pre trig Mode เป็นโหมดที่แสดงผลข้อมูลในส่วนก่อนที่เราจะกดคีย์ และ Post Trig Mode เป็นส่วนที่แสดงผลข้อมูลหลังจากที่เรากดคีย์แล้ว

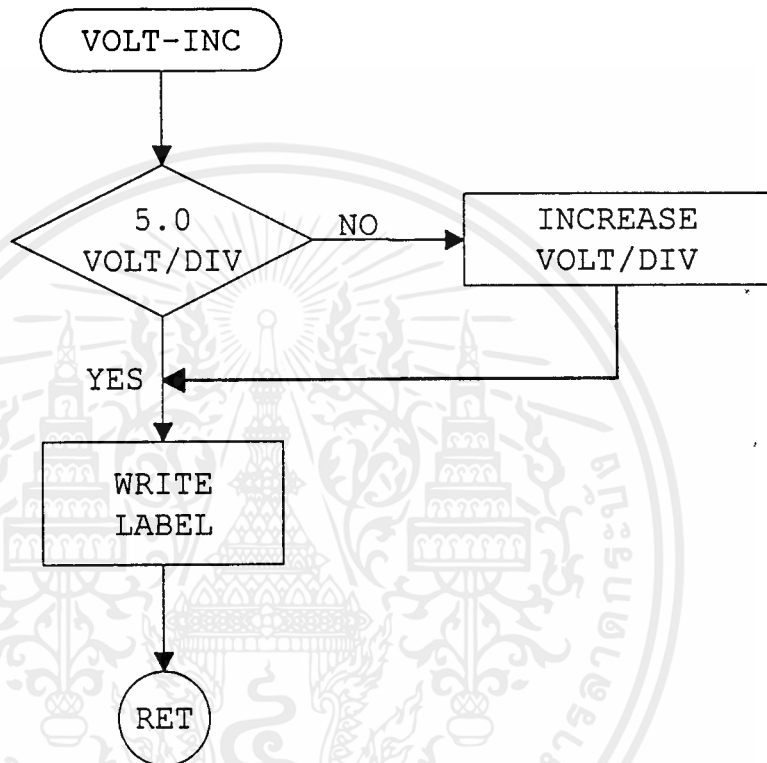


รูปที่ 4.12 ขั้นตอนการทำงานของโปรแกรม Trig Mode

นั่นคือ Pre Trig Mode จะแสดงผลข้อมูลที่ระหว่างของสัญญาณตามการกดคีย์ Enter แต่ครั้งอย่างไม่ต้อง
เนื่อง ส่วน Post Trig Mode จะแสดงผลข้อมูลไปอย่างต่อเนื่องหลังจากที่กดคีย์ Enter แล้ว

4.2.10 VOLT-INC PROGRAM

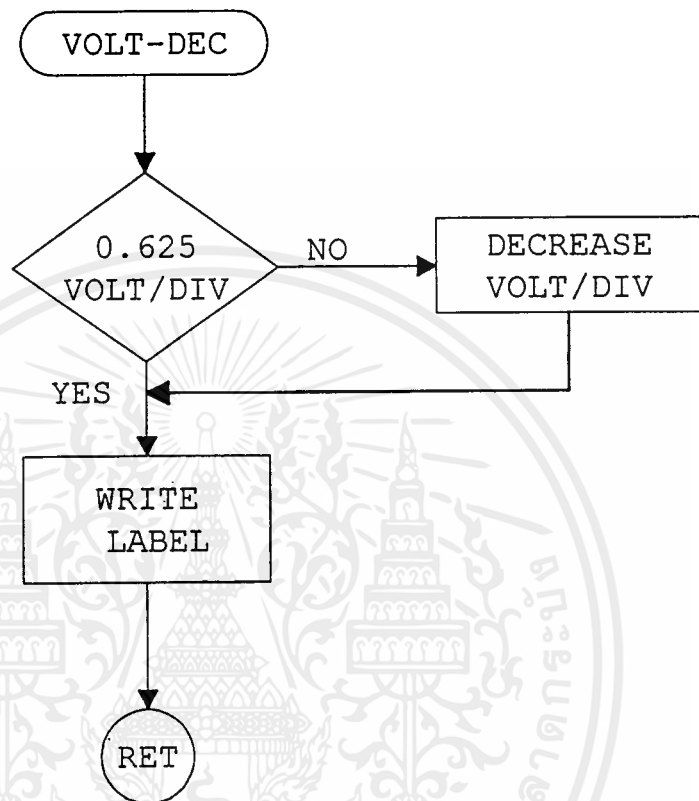
เป็นโปรแกรมที่ใช้ในการเพิ่มค่า Volt/Div ขึ้น นั่นคือ รายละเอียดของสัญญาณจะมีมากขึ้น แต่ขนาดของสัญญาณจะน้อยลงเป็นสัดส่วนกัน ขนาดของแรงดันจะเพิ่มจากต่ำสุดไปยังค่าสูงสุด คือ 0.625 V, 1.25 V, 2.5 V, และ 5.0 V.



รูปที่ 4.13 ขั้นตอนการทำงานของโปรแกรม Volt - Inc

4.2.11 VOLT - DEC PROGRAM

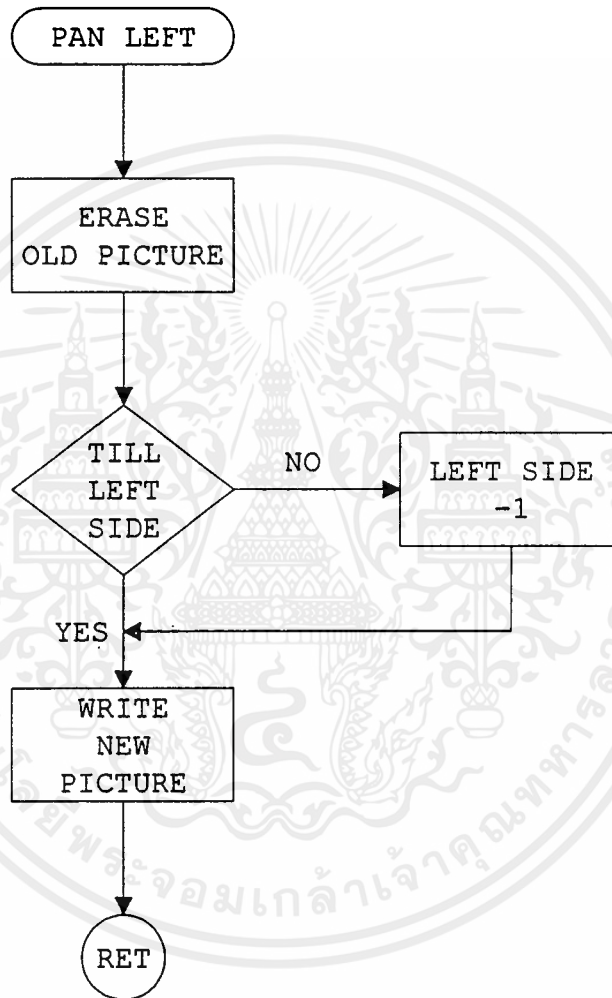
เป็นโปรแกรมที่ทำหน้าที่ลดค่าแรงดัน Volt/Div ลงดั่งนั้นขนาดสัญญาณจะลดลงจากค่าสูงสุดลงมายังต่ำสุด คือ 5.0 V, 2.5 V, 1.25 V, และ 0.625V.



รูปที่ 4.14 ขั้นตอนการทำงานของโปรแกรม Volt-Dec

4.2.12 PAN LEFT PROGRAM

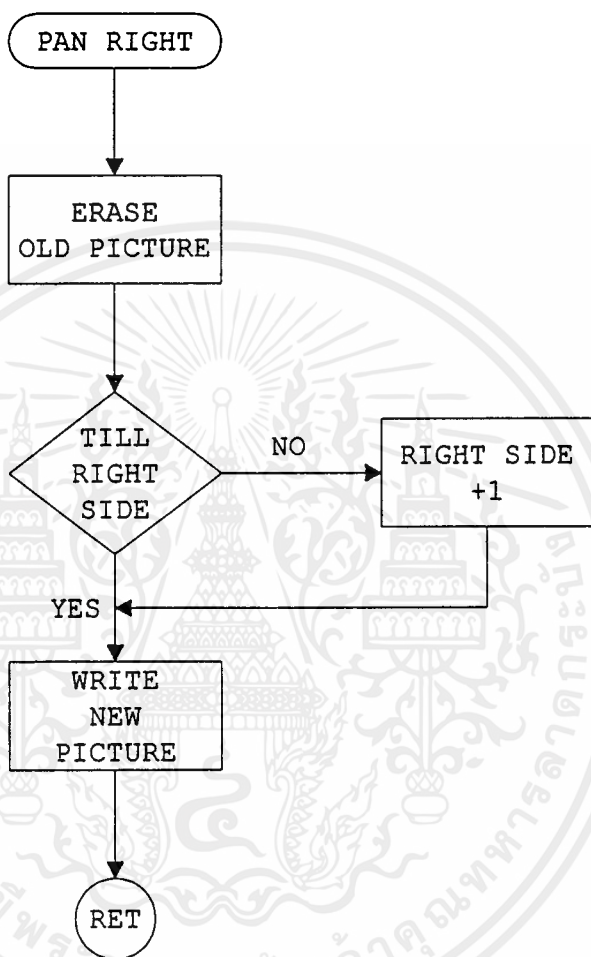
เป็นโปรแกรมที่ทำหน้าที่นำข้อมูลที่อยู่ด้านข้างจอภาพออกมาแสดง เนื่องจากข้อมูลที่แสดงบนหน้าจอ นั้นเป็นเพียงข้อมูลส่วนหนึ่งของข้อมูลทั้งหมด ข้อมูลทั้งหมดจะแสดงบน Window เล็กขวามือบน ส่วน Window Zoom นั้นจะเป็นส่วนขยายข้อมูลเพียงส่วนย่อยของข้อมูลทั้งหมดของ window เล็กเท่านั้น ซึ่งเป็นการเน้นด้านรายละเอียดของสัญญาณให้ชัดขึ้นนั่นเอง



รูปที่ 4.15 ขั้นตอนการทำงานของโปรแกรม Pan left

4.2.13 PAN RIGHT PROGRAM

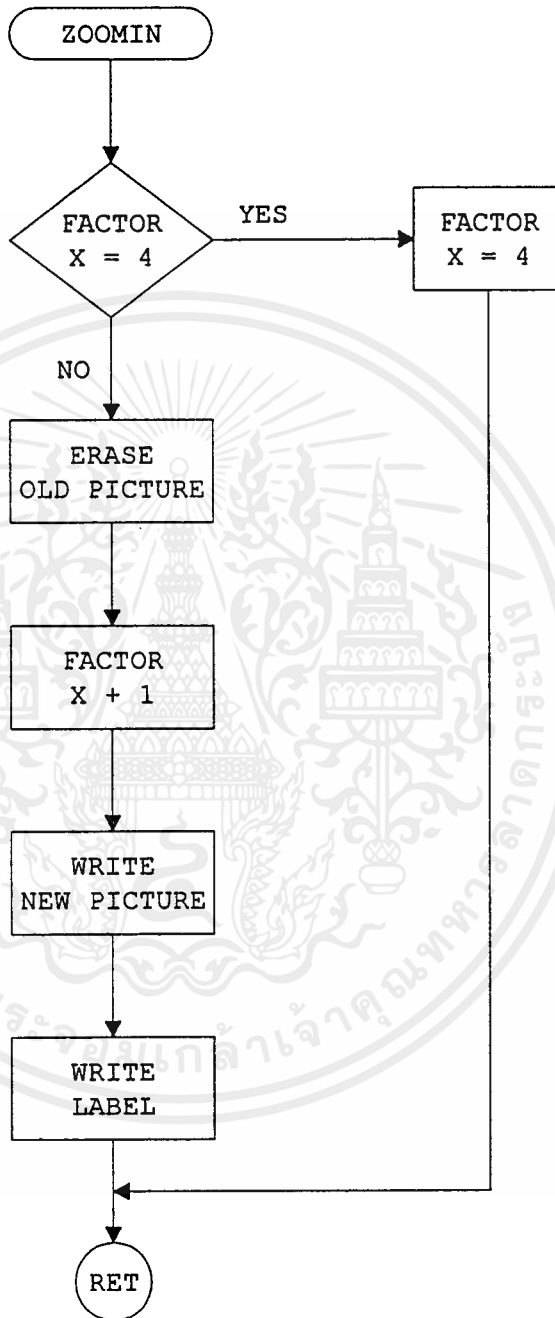
เป็นโปรแกรมที่ทำหน้าที่เช่นเดียวกับโปรแกรม Pan Left เพียงโปรแกรมนี้จะทำหน้าที่เลื่อนข้อมูลทางขวามือมาแสดงนั่นเอง



รูปที่ 4.16 ขั้นตอนการทำงานของโปรแกรม Pan Right

4.2.14 ZOOMIN PROGRAM

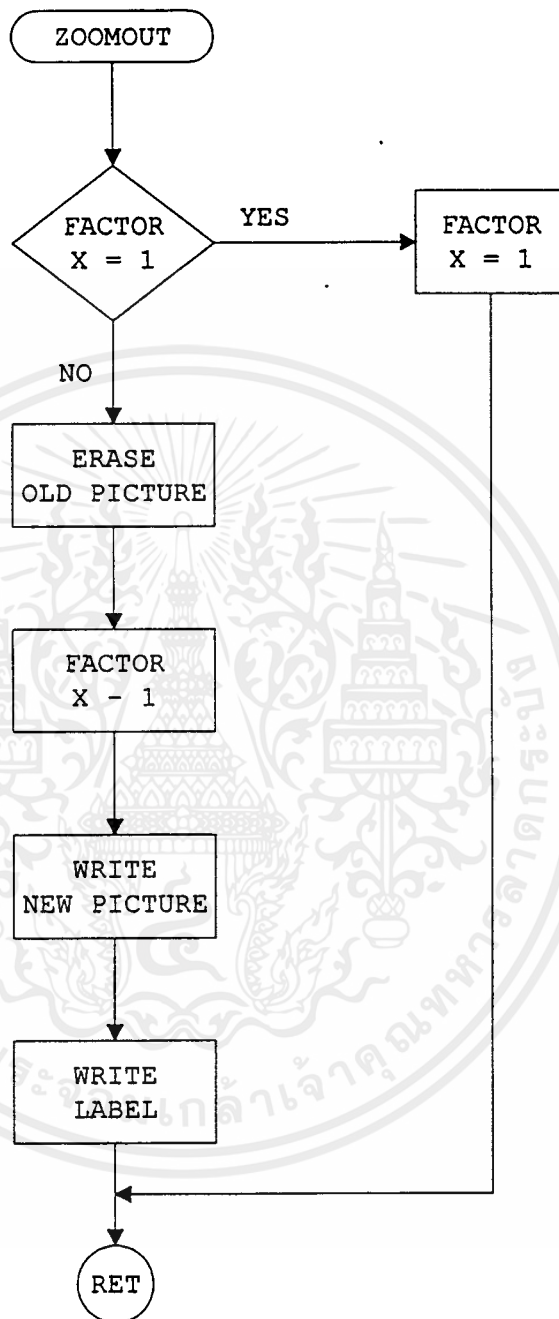
เป็นโปรแกรมที่ทำหน้าที่เพิ่มขนาดของ Time/Div ให้มากขึ้น เพื่อดูข้อมูลได้ชัดขึ้นและมากขึ้น แต่รายละเอียดของสัญญาณจะลดลง



รูปที่ 4.17 ขั้นตอนการทำงานของโปรแกรม ZOOMIN

4.2.15 ZOOMOUT PROGRAM

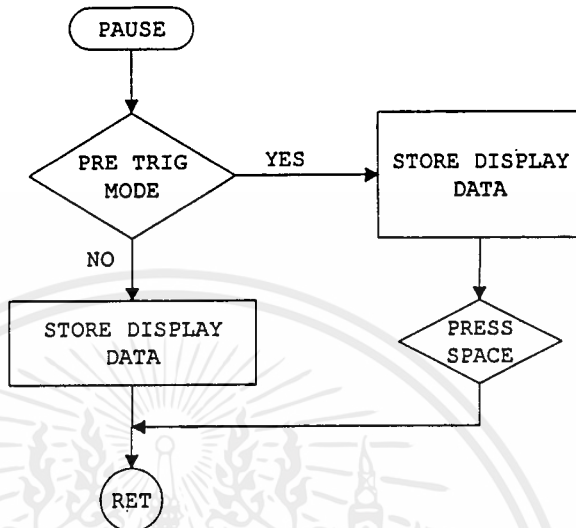
เป็นโปรแกรมที่ทำหน้าที่ตรงกันข้ามกับโปรแกรม ZOOMIN ดังนั้นรายละเอียดของสัญญาณจะเพิ่มขึ้น แต่จะเห็นเพียงบางส่วนของสัญญาณทั้งหมดเท่านั้น



รูปที่ 4.18 ขั้นตอนการทำงานของโปรแกรมของโปรแกรม ZOOMOUT

4.2.16 PAUSE PROGRAM

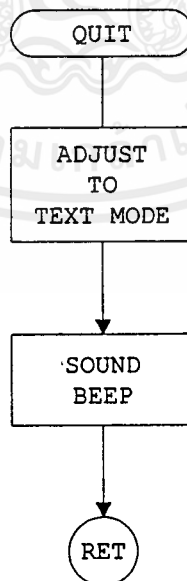
เป็นโปรแกรมที่ใช้งานร่วมกับโปรแกรม Pre trig Mode เท่านั้น เมื่อใช้โปรแกรมนี้นี้เครื่องจะตอบรับการกดคีย์บอร์ดและกลับไปสู่ Main Menu โปรแกรมนี้จะทำหน้าที่หน่วงเวลาที่ใช้ในการแสดงผลข้อมูลไว้ ทำให้เราสามารถดูข้อมูลได้ตลอดเวลานั่นเอง



รูปที่ 4.19 ขั้นตอนการทำงานของโปรแกรม PAUSE

4.2.17 QUIT PROGRAM

เป็นโปรแกรมที่ทำหน้าที่หยุดการแสดงผลเพื่อที่ที่ต้องการจะกลับสู่ DOS ให้กดคีย์ ESC ซึ่งจะมีเสียงดังอยู่ 1 ครั้งและบนหน้าจอจะแสดงอักษร A:\ ซึ่งคือ Drive A นั่นเอง



รูปที่ 4.20 ขั้นตอนการทำงานของโปรแกรม Quit

บทที่ 5

การทดลองและผลการทดลอง

ขั้นตอนการทดลอง

เมื่อเราทำการเสียบแผ่นการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์เสียบลงในสล็อต ISA AT-bus 16 bit ของเครื่องไมโครคอมพิวเตอร์ให้ต่อสายนำสัญญาณอินพุตเข้าที่แผ่นการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ เพื่อเตรียมป้อนสัญญาณอินพุตให้กับวงจร แต่ก่อนที่จะป้อนสัญญาณอินพุตให้แก่ การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ จะต้องทำการ Boot Dos ก่อน เมื่อเครื่องไมโครคอมพิวเตอร์ทำการอ่านโปรแกรมการจัดการและแสดงผลทางจอภาพแล้วให้คีย์ข้อมูลของ วัน เดือน ปี และเวลาในขณะนั้นลงไปด้วยตามลำดับเสร็จแล้วนำแผ่นที่มีโปรแกรม P.EXT มาใส่ใน Drive และเรียก P เครื่องก็จะแสดงผลออกมาเป็น Window ต่าง ๆ เสร็จแล้วป้อนสัญญาณอินพุตให้กับการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ โดยมีคีย์ต่าง ๆ ดังที่อธิบายมาแล้วข้างต้น เมื่อป้อนสัญญาณอินพุตแล้วให้กดคีย์ Space Bar ของคีย์บอร์ด Window เล็กและ Window Zoom จะแสดงสัญญาณข้อมูลที่ได้ ซึ่งจะเป็นข้อมูลขนาด 64 Kbytes หลังจากกด Space Bar และจะบอกค่าแรงดันต่ำสุดและแรงดันค่าสูงสุดที่อ่านได้ในช่วง 64 Byte เปลี่ยนตามไปด้วย จากนั้นเมื่อต้องการดูรายละเอียดข้อมูลต่าง ๆ ก็ดำเนินการตามที่กล่าวมาแล้วตั้งแต่ต้น

ในการทดลองครั้งนี้ ได้ทำการทดลองโดยป้อนสัญญาณอินพุตเป็น 5 รูปแบบ คือ

1. สัญญาณอินพุตในรูปของกระแสดตรงสี่กบว
2. สัญญาณอินพุตในรูปของกระแสดตรงสี่กลบ
3. สัญญาณอินพุตในรูปของ Sine Waveform
4. สัญญาณอินพุตในรูปของ Square Waveform
5. สัญญาณอินพุตในรูปของ Sawtooth Waveform

ซึ่งจริง ๆ แล้ว การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ นี้สามารถที่จะรับสัญญาณอินพุตได้ในรูปแบบต่าง ๆ ได้หลายชนิด แต่ทั้งนี้สัญญาณที่ป้อนเข้ามานั้นต้องมีขนาดของสัญญาณที่มีขนาดสูงสุดไม่เกิน 5 โวลท์ ทั้งทางด้านสัญญาณที่เป็นช่วงบวกและช่วงลบ แต่ถ้าป้อนสัญญาณทางด้านสัญญาณทั้งช่วงบวกและช่วงลบที่สูงกว่าค่าแรงดันที่กำหนด วงจรภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter: ADC) จะทำการตัดสัญญาณช่วงที่สูงกว่าแรงดันที่กำหนดทิ้งไป ค่าแรงดันที่แสดงให้เห็นจากส่วนของแรงดันสูงสุด (V_{max}) และแรงดันต่ำสุด (V_{min}) จะมีส่วนของสัญญาณรบกวนที่มีค่าสูงสุดและต่ำสุดเข้ามา และจะแสดงรูปของสัญญาณรบกวนออกทางจอภาพด้วย ซึ่งค่าแรงดันทั้งสองนี้จะเปลี่ยนแปลงไปตามเวลาที่สัญญาณอินพุตยังป้อนเข้ามา สัญญาณที่แสดงบนจอภาพนั้นเราสามารถที่จะปรับขนาดของ Time/Div, Volt/Div Mode และ Sampling Rate ได้ตามต้องการ เพื่อจะดูรายละเอียดของสัญญาณได้ชัดเจนยิ่งขึ้น โดยทำการปรับเปลี่ยนได้จากคีย์ฟังก์ชันต่าง ๆ ที่แสดงไว้บนจอภาพ นั่นเอง

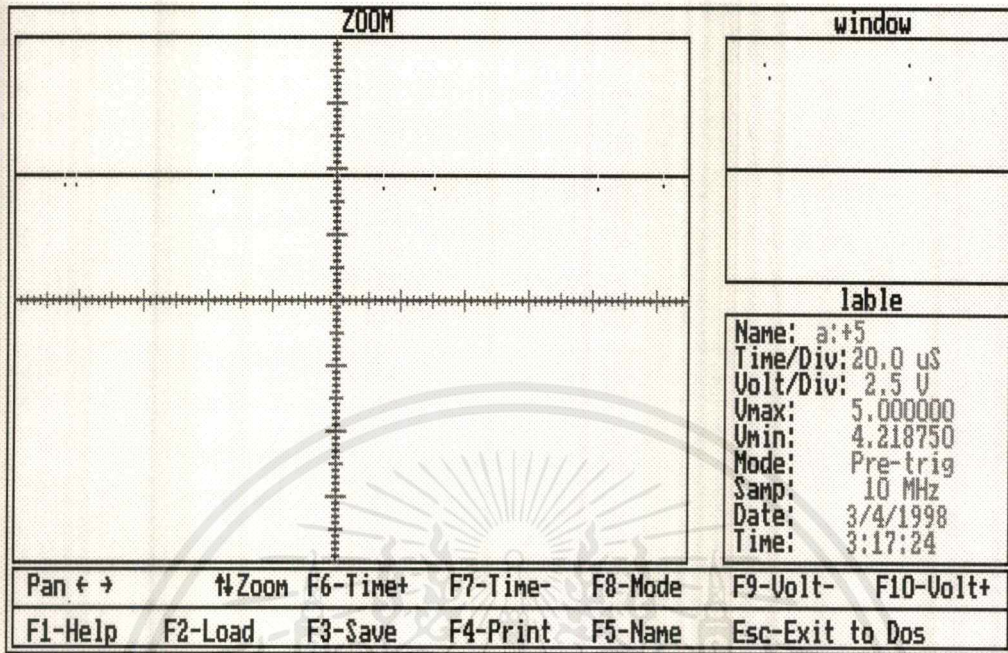
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของ วัน เดือน ปี และ เวลาที่ทำการทดลองและบันทึกผลการทดลอง วงจรภายในเครื่องคอมพิวเตอร์จะทำการบันทึกให้โดยอัตโนมัติ เมื่อเราได้ทำการเก็บข้อมูลลงในแผ่นดิสก์ ก็จะสามารถที่จะทำการ Print ข้อมูลออกมาได้ รวมถึงขณะที่เราทำการทดลองโดยการคีย์ F4-Print เครื่องพิมพ์ก็จะทำการพิมพ์ข้อมูลทั้งหมดบนจอภาพให้แก่เรา วัน เดือน ปี และเวลาที่เครื่องคอมพิวเตอร์ได้ทำการบันทึกนั้น เราต้องทำการป้อนให้แก่เครื่องคอมพิวเตอร์ก่อนในช่วงของการ Boot Dos เพื่อให้ วัน เดือน ปี และเวลาที่ได้นั้นเป็น วัน เดือน ปี และเวลาที่ทำการทดลองจริง ๆ

ส่วนในเรื่องของชื่อที่เราใช้ในการเก็บข้อมูล เราสามารถทำได้โดยการกดคีย์ F5 Name แล้วตามด้วยชื่อไฟล์ขนาดไม่เกิน 8 ตัวอักษร และตามด้วยนามสกุลขนาดไม่เกิน 3 ตัวอักษร โดยระหว่างชื่อไฟล์และนามสกุลต้องมี “.” คั่นไว้ จากนั้นให้กดคีย์ F3-Save เพื่อทำการเก็บข้อมูลเข้าไปในดิสก์ เมื่อเราต้องการเรียกข้อมูลที่เก็บไว้ออกมา ให้ทำการกดคีย์ F5 Name ตามด้วยชื่อไฟล์และนามสกุล แล้วกดคีย์ F2-Load เพื่อเรียกข้อมูลออกมา

หมายเหตุ ในการทดลองนำสัญญาณที่ได้จากการวัดด้วยการวัดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ เปรียบเทียบกับสัญญาณที่ได้จากการวัดด้วยออสซิลโลสโคป ยี่ห้อ Tektronix TDS 360 TWO CHANNEL DIGITAL REAL - TIME OSCILLOSCOPE 200 MHz 1GS/s

1. สัญญาณอินพุตในรูปของกระแสดรงชีกบวก



รูปที่ 5.1 การทดลองสัญญาณอินพุตในรูปกระแสดรงชีกบวก

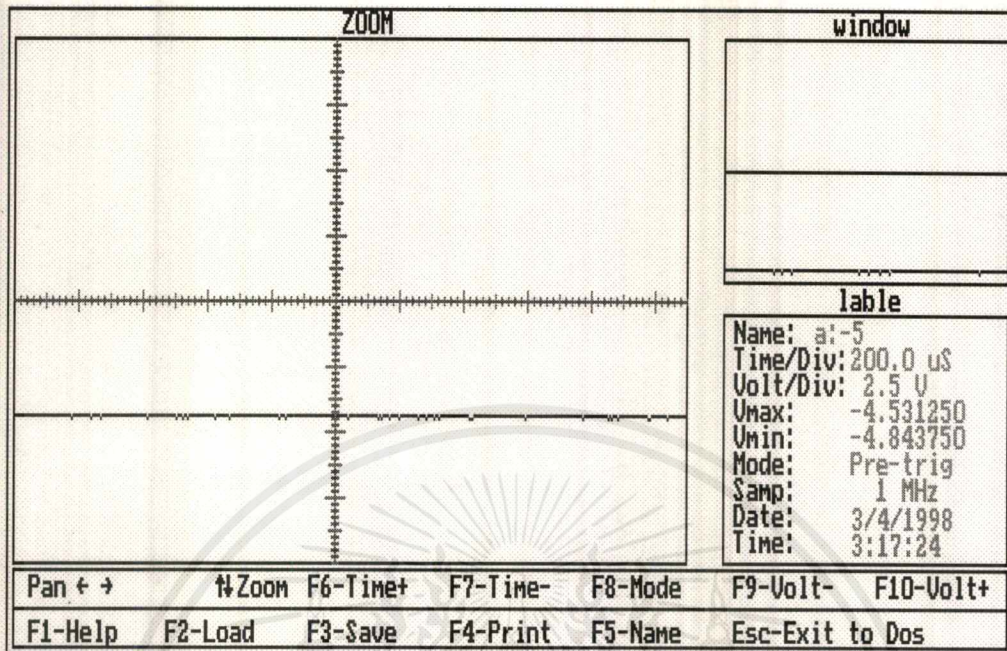
การทดลองนี้ได้ป้อนสัญญาณอินพุตในรูปกระแสดรงชีกบวก โดยให้มีขนาดแรงดันเท่ากับ +5 V จากผลการทดลองที่ได้้นั้นค่าแรงดันที่ตรวจจับได้มีค่าของแรงดันเท่ากับ $V_{max} = +5$ V และ $V_{min} = +4.218750$ V ส่วนรายละเอียดของสัญญาณเราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ 20 μ s, Volt/Div เท่ากับ 2.5 V, และ Sampling เท่ากับ 10 MHz

มีค่าความผิดพลาดของแรงดัน $V_{max} = 0 \%$

$V_{min} = 18.518 \%$

จากการทดลองจะเห็นได้ว่ามีสัญญาณรบกวนเกิดขึ้นทำให้เกิดค่าความผิดพลาดขึ้นซึ่งค่าที่ถูกต้องควรจะได้ $V_{max} = V_{min} = +5$ V

2. สัญญาณอินพุตในรูปของกระแสดรงซีกกลับ



รูปที่ 5.2 การทดลองสัญญาณอินพุตในรูปกระแสดรงซีกกลับ

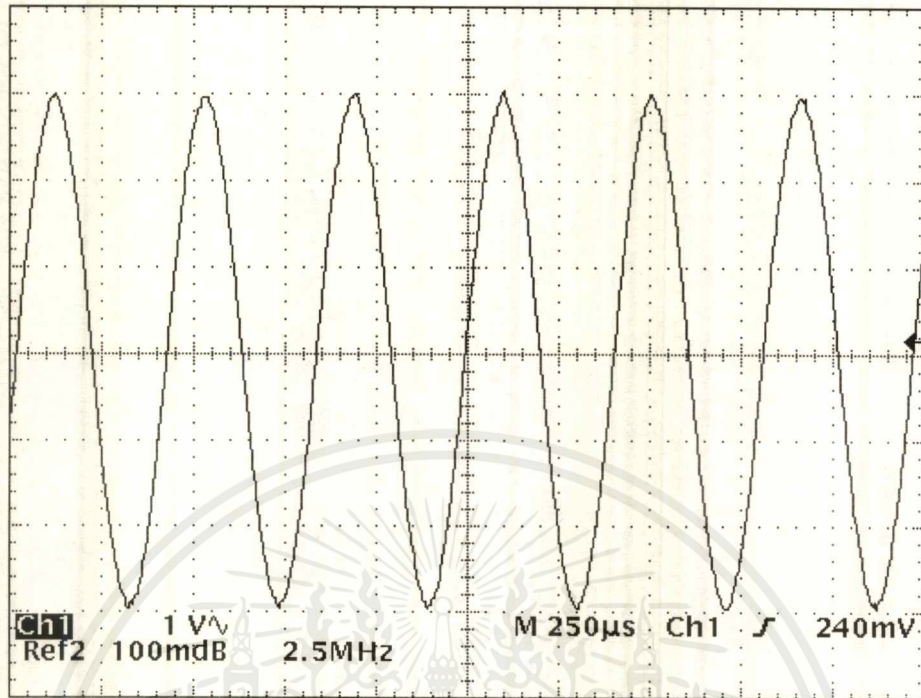
การทดลองนี้ได้ป้อนสัญญาณอินพุตในรูปกระแสดรงซีกกลับ โดยให้มีขนาดแรงดันเท่ากับ -5 V จากผลการทดลองที่ได้นั้นค่าแรงดันที่ตรวจจับได้มีค่าของแรงดันเท่ากับ $V_{\max} = -4.53125$ V และ $V_{\min} = -4.84375$ V ส่วนรายละเอียดของสัญญาณเราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ 200 μ s, Volt/Div เท่ากับ 2.5 V, และ Sampling เท่ากับ 1 MHz

มีค่าความผิดพลาดของแรงดัน $V_{\max} = 10.344$ %

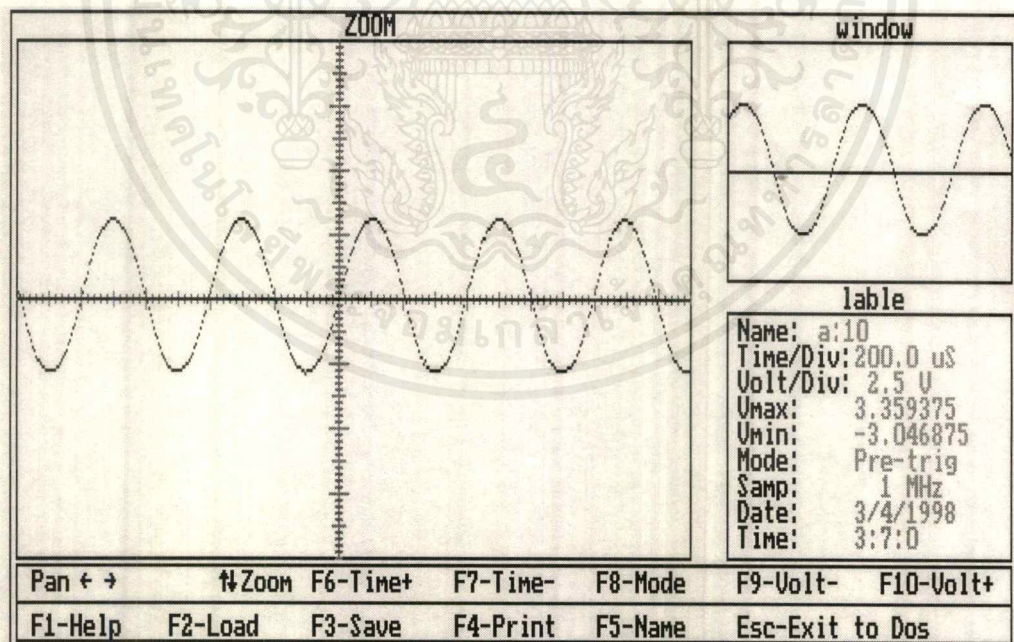
$V_{\min} = 3.225$ %

จากการทดลองจะเห็นได้ว่ามีสัญญาณรบกวนเกิดขึ้นทำให้เกิดค่าความผิดพลาดขึ้นซึ่งค่าที่ถูกต้องควรจะได้ $V_{\max} = V_{\min} = -5$ V

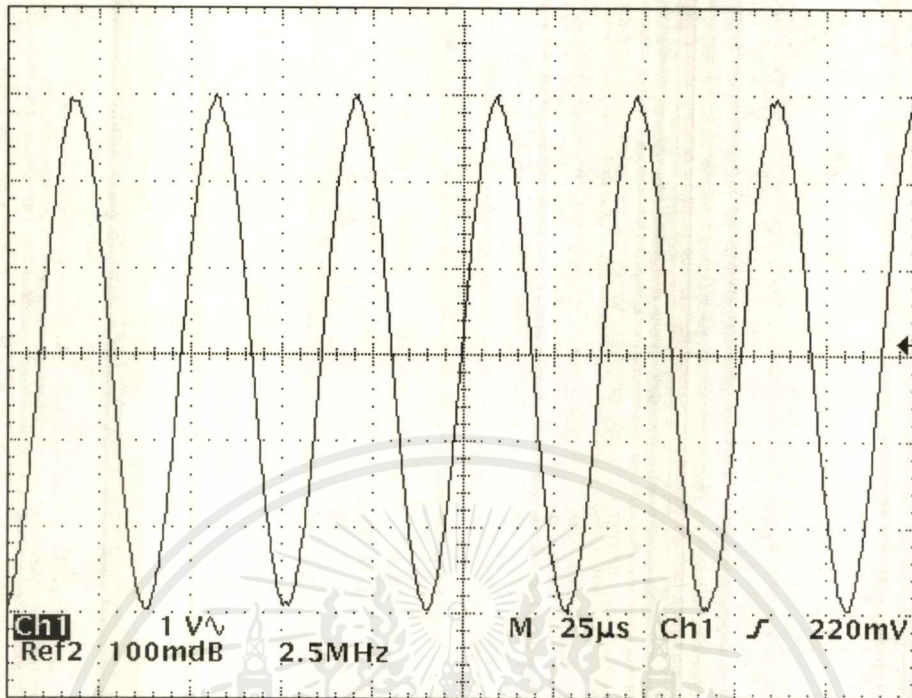
2. สัญญาณอินพุตในรูปของ Sine Waveform



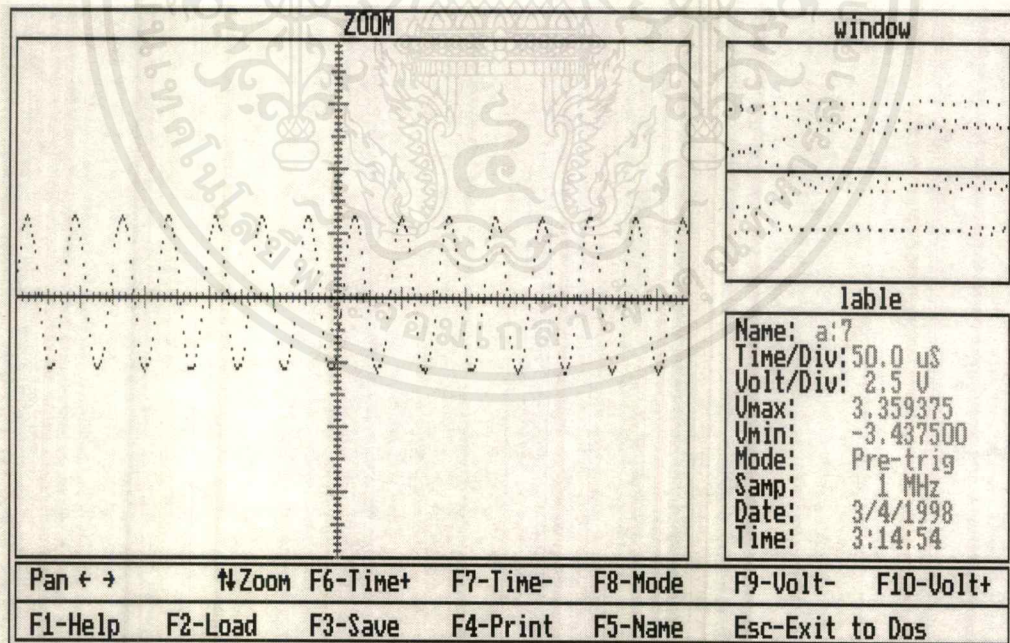
รูปที่ 5.3 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sine Waveform



รูปที่ 5.4 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sine Waveform



รูปที่ 5.5 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sine Waveform



รูปที่ 5.6 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sine Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

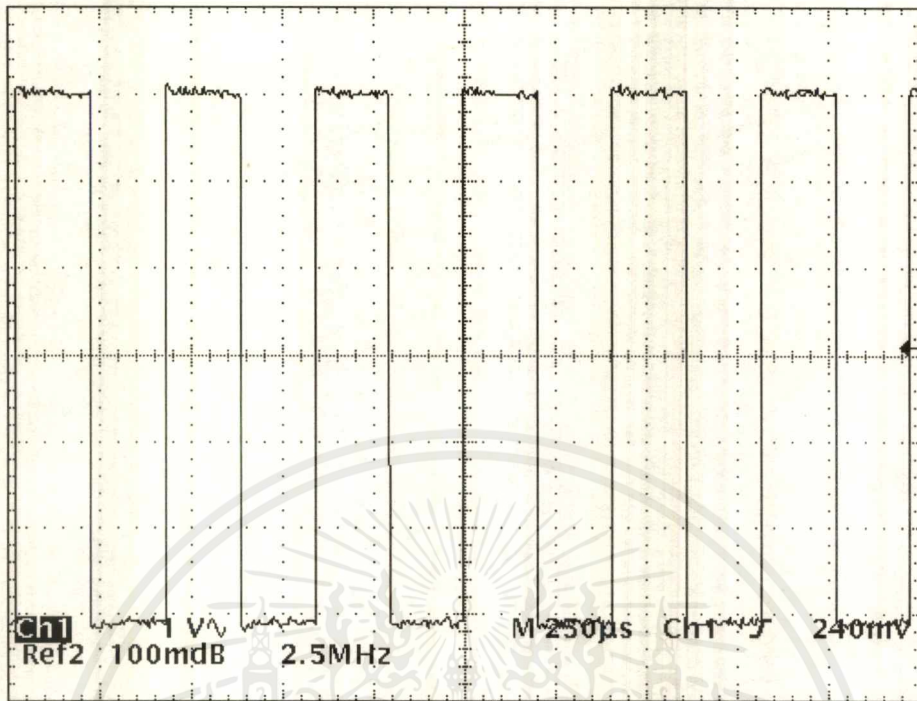
ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุทในรูปของ Sine Waveform ดังรูปที่ 5.3

- รูปที่ 5.3 วัดสัญญาณโดยใช้ฮอสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{\max} = 3 \text{ V}$ และ $V_{\min} = -3 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$
- รูปที่ 5.4 วัดสัญญาณโดยการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{\max} = 3.359375 \text{ V}$ และ $V_{\min} = -3.046875 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $200 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{\max} = 10.697 \%$
 $V_{\min} = 1.538 \%$
- มีค่าความผิดพลาดของความถี่ $= 0 \%$

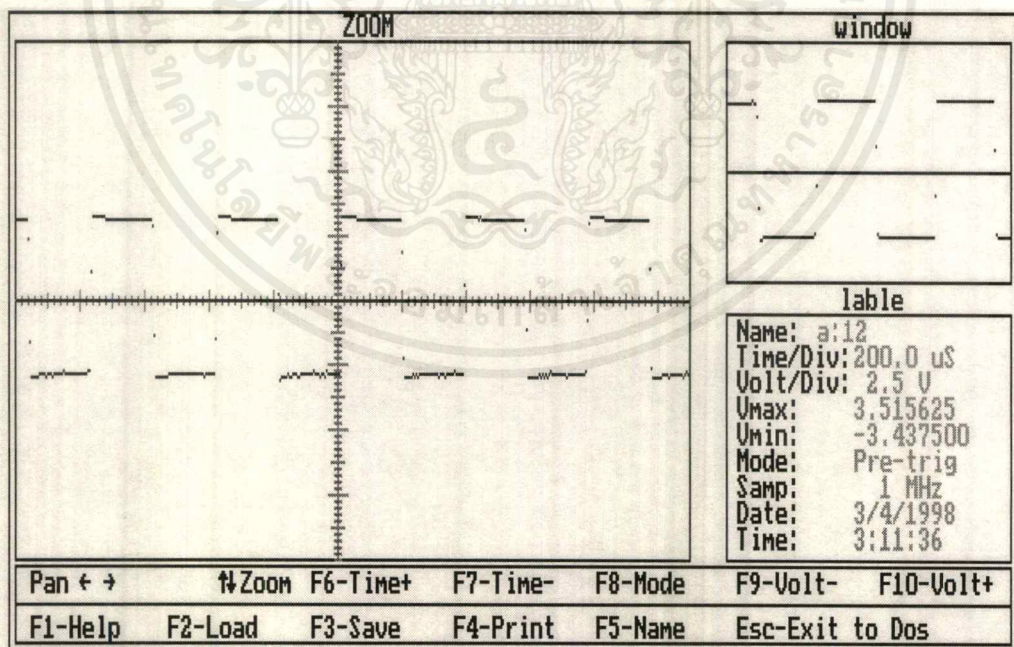
ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุทในรูปของ Sine Waveform ดังรูปที่ 5.5

- รูปที่ 5.5 วัดสัญญาณโดยใช้ฮอสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{\max} = 3 \text{ V}$ และ $V_{\min} = -3 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$
- รูปที่ 5.6 วัดสัญญาณโดยการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{\max} = 3.359375 \text{ V}$ และ $V_{\min} = -3.4375 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $50 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{\max} = 10.697 \%$
 $V_{\min} = 12.727 \%$
- มีค่าความผิดพลาดของความถี่ $= 0 \%$

4. สัญญาณอินพุตในรูปของ Square Waveform

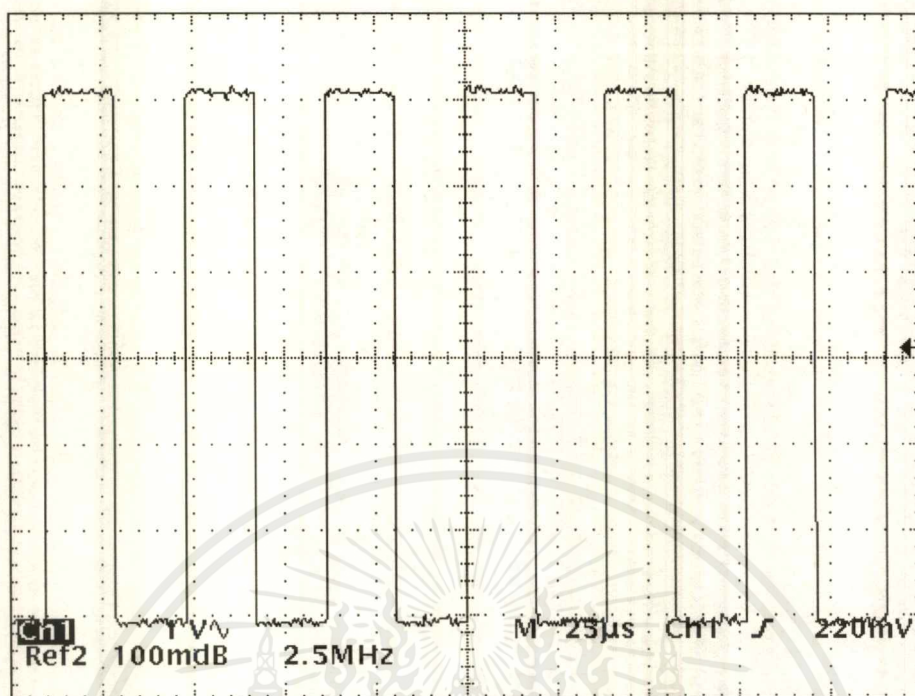


รูปที่ 5.7 แสดงรูปสัญญาณอินพุตจริงในรูปของ Square Waveform

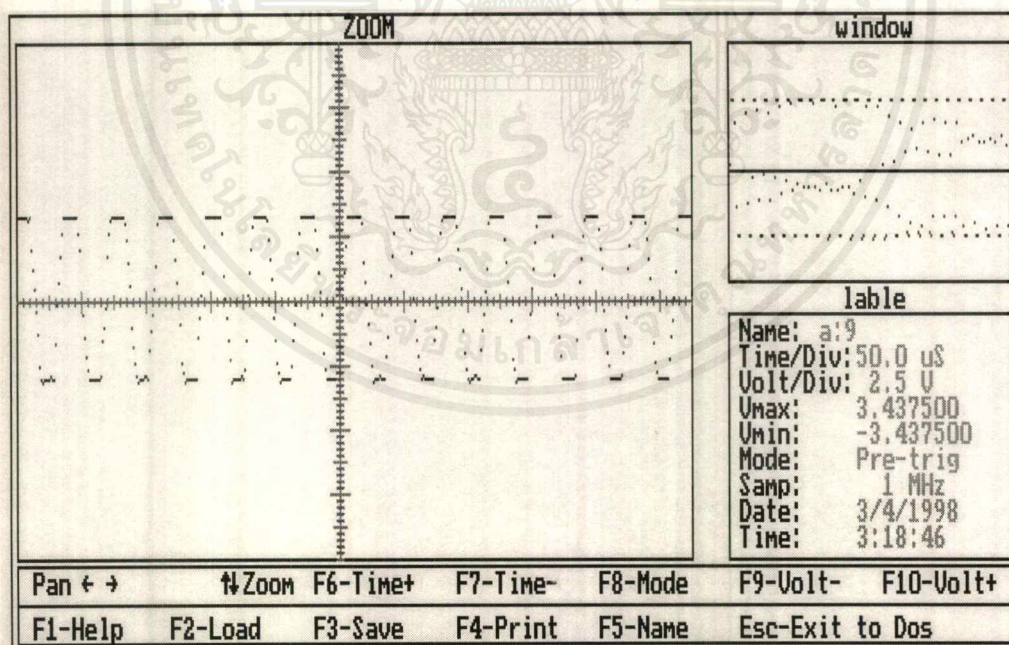


รูปที่ 5.8 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Square Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงรูปสัญญาณอินพุตจริงในรูปของ Square Waveform



รูปที่ 5.10 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Square Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

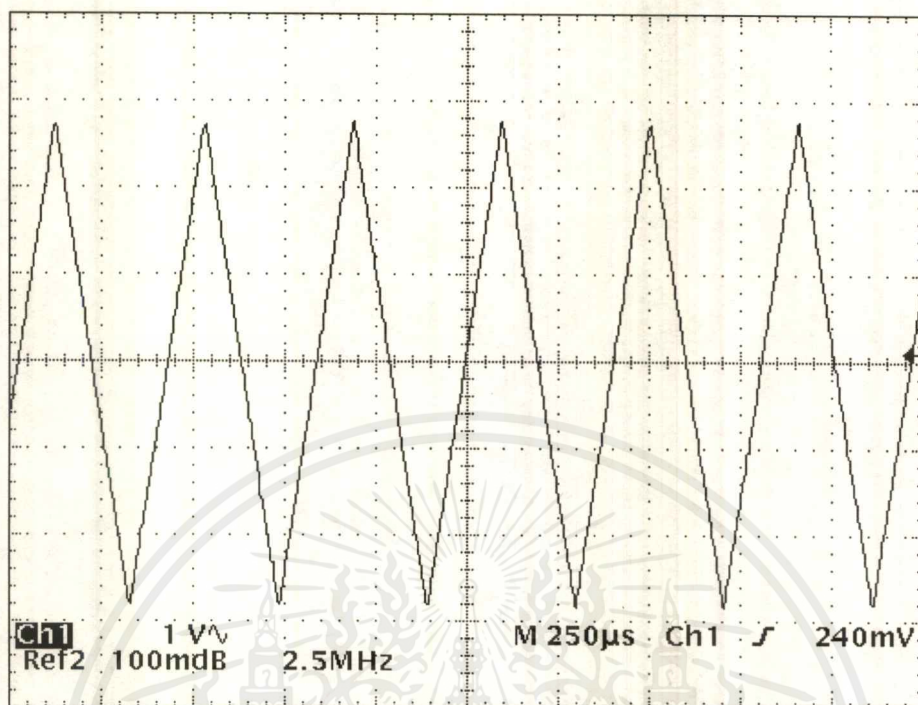
ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุตในรูปของ Square Waveform ดังรูปที่ 5.7

- รูปที่ 5.7 วัดสัญญาณโดยใช้ออสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{max} = 3 \text{ V}$ และ $V_{min} = -3.1 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$
- รูปที่ 5.8 วัดสัญญาณโดยการใช้เครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{max} = 3.515625 \text{ V}$ และ $V_{min} = -3.4375 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $200 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{max} = 14.667 \%$
 $V_{min} = 12.727 \%$
- มีค่าความผิดพลาดของความถี่ = 0%

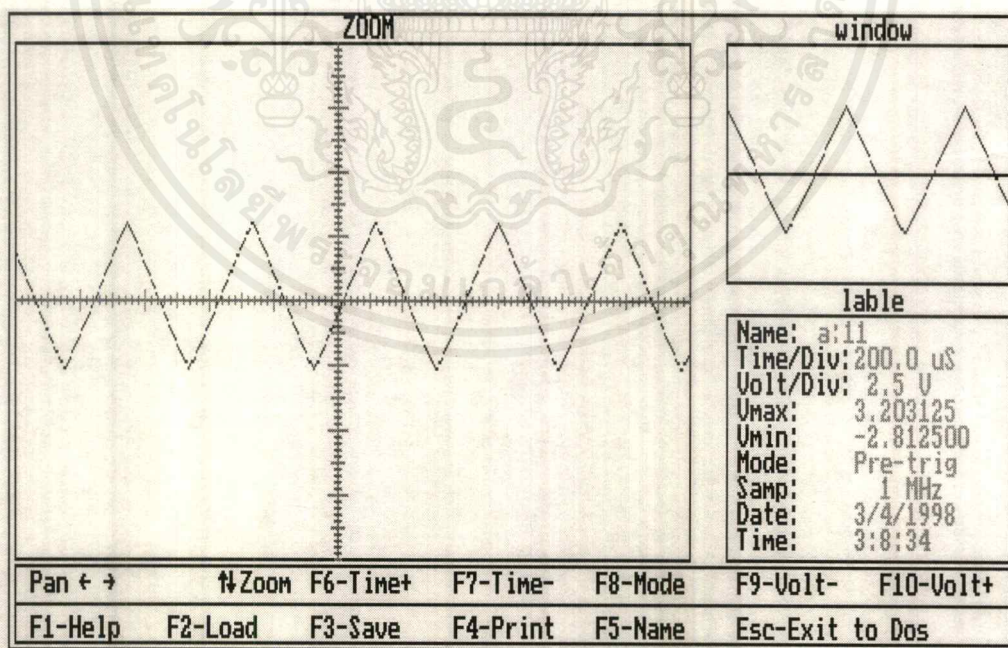
ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุตในรูปของ Square Waveform ดังรูปที่ 5.9

- รูปที่ 5.9 วัดสัญญาณโดยใช้ออสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{max} = 3.1 \text{ V}$ และ $V_{min} = -3.1 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$
- รูปที่ 5.10 วัดสัญญาณโดยการใช้เครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{max} = 3.4375 \text{ V}$ และ $V_{min} = -3.4375 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $50 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{max} = 9.818 \%$
 $V_{min} = 9.818 \%$
- มีค่าความผิดพลาดของความถี่ = 0%

5. สัญญาณอินพุตในรูปของ Sawtooth Waveform

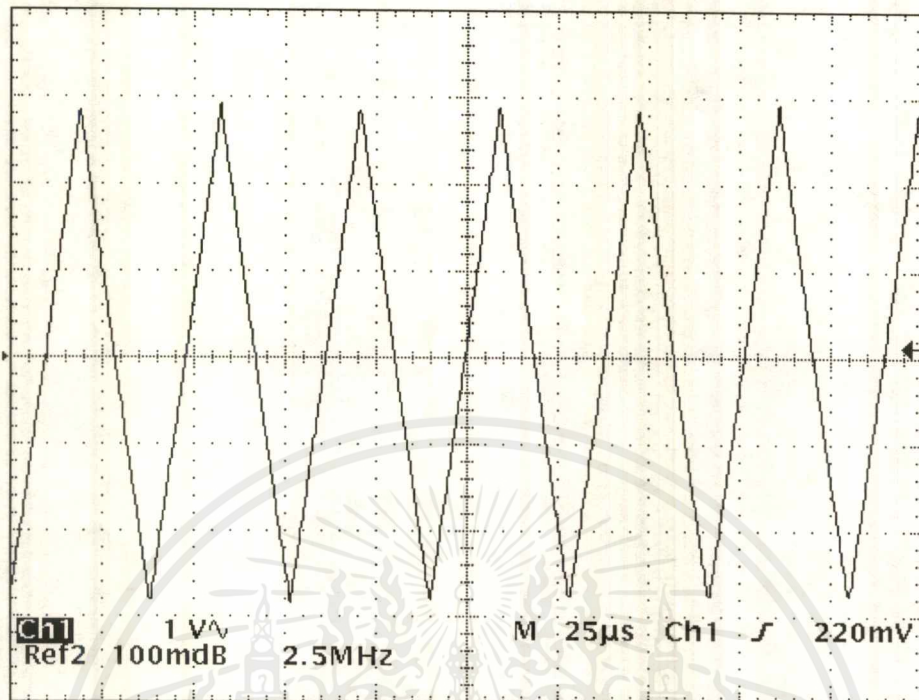


รูปที่ 5.11 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sawtooth Waveform

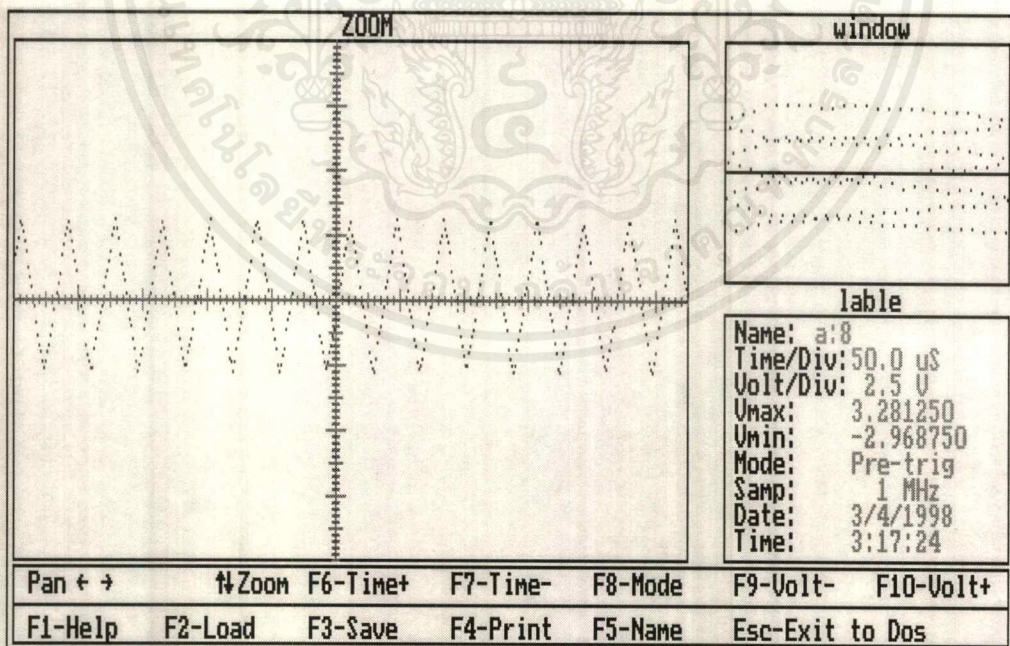


รูปที่ 5.12 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sawtooth Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 แสดงรูปสัญญาณอินพุตจริงในรูปของ Sawtooth Waveform



รูปที่ 5.14 แสดงรูปสัญญาณอินพุตที่วัดได้จากการทดลองสัญญาณอินพุตในรูปของ Sawtooth Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุตในรูปของ Sawtooth Waveform ดังรูปที่ 5.11

- รูปที่ 5.11 วัดสัญญาณโดยใช้ฮอสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{max} = 2.8 \text{ V}$ และ $V_{min} = -2.8 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$
- รูปที่ 5.12 วัดสัญญาณโดยการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{max} = 3.203125 \text{ V}$ และ $V_{min} = -2.8125 \text{ V}$ ความถี่ $f = 2500 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $200 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{max} = 12.585 \%$
 $V_{min} = 0.44 \%$
- มีค่าความผิดพลาดของความถี่ $= 0 \%$

ผลการทดลองที่ได้จากการป้อนสัญญาณอินพุตในรูปของ Sawtooth Waveform ดังรูปที่ 5.13

- รูปที่ 5.13 วัดสัญญาณโดยใช้ฮอสซิลโลสโคปสัญญาณที่วัดได้ แรงดัน $V_{max} = 2.9 \text{ V}$ และ $V_{min} = -2.8 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$
- รูปที่ 5.14 วัดสัญญาณโดยการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ สัญญาณที่วัดได้ แรงดัน $V_{max} = 3.28125 \text{ V}$ และ $V_{min} = -2.96875 \text{ V}$ ความถี่ $f = 25000 \text{ Hz}$ เราสามารถดูได้ละเอียดยิ่งขึ้น โดยกดคีย์ต่าง ๆ ในการทดลองครั้งนี้ใช้ Time/Div เท่ากับ $50 \mu\text{s}$, Volt/Div เท่ากับ 2.5 V , และ Sampling เท่ากับ 1 MHz
- มีค่าความผิดพลาดของแรงดัน $V_{max} = 11.619 \%$
 $V_{min} = 5.684 \%$
- มีค่าความผิดพลาดของความถี่ $= 0 \%$

บทที่ 6

สรุปและวิจารณ์

สรุปผลการทดลอง

คุณสมบัติของเครื่องการ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์

- การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์สามารถใช้งานได้กับเครื่อง PC (IBM หรือ Compatible)
- สามารถแสดงผลบนจอที่เป็นจอแบบ VGA , EGA
- สามารถแสดงรูปสัญญาณพร้อมทั้งเก็บข้อมูลลงแผ่นดิสก์และพิมพ์รูปสัญญาณออกทางเครื่องพิมพ์
- สามารถวัดสัญญาณได้ตั้งแต่ 50Hz - 5 MHz
- ค่าความถี่ที่ใช้ในการสุ่มสัญญาณ มีอยู่ 6 ค่า คือความถี่ 10 MHz, 1 MHz, 100 kHz, 10 kHz, 1 kHz, 100 Hz
- สัญญาณอินพุตจะต้องไม่เกิน ± 5 โวลท์

ข้อจำกัดและแนวทางการพัฒนาการทำให้โครงการชิ้นนี้คือ

1. จากการทดลองสามารถวัดสัญญาณได้สูงสุด 5 MHz ดังนั้นแนวทางการพัฒนาเพื่อเพิ่มประสิทธิภาพ คือ การเพิ่มความถี่ของสัญญาณความถี่ที่ใช้ในการสุ่ม เพื่อให้ได้สัญญาณดิจิทัลที่มีความละเอียดเพิ่มขึ้น
2. เนื่องจากโครงการนี้ใช้ไอซีขนาด 6 บิต จำนวน 2 ตัวต่ออนุกรมกัน เพื่อให้ได้ขนาด 7 บิต แต่ความละเอียดของสัญญาณที่ได้ไม่เท่ากับไอซีขนาด 8 บิต และ 12 บิต ดังนั้นในการพัฒนาเพื่อให้ได้สัญญาณที่มีความละเอียดใกล้เคียงกับสัญญาณอนาลอกมากที่สุดควรใช้ไอซีขนาดบิตที่มากขึ้น เพื่อให้ได้ความละเอียดมากที่สุด
3. การ์ดเครื่องมือวัดและบันทึกสัญญาณโดยใช้ไมโครคอมพิวเตอร์ยังไม่สามารถวัดความถี่ออกเป็นตัวเลขได้ ดังนั้นจึงควรพัฒนาให้สามารถวัดความถี่ให้เป็นตัวเลขได้เลย
4. สัญญาณอินพุตจะต้องไม่เกิน ± 5 โวลท์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Video Speed 6-Bit Flash A/D Converter

December 1993

Features

- CMOS Low Power with Video Speed (70mW Typ.)
- Parallel Conversion Technique
- Signal Power Supply Voltage (3V to 7.5V)
- 15MHz Sampling Rate with Single 5V Supply
- 6-Bit Latched Tri-State Output with Overflow Bit
- Pin-for-Pin Retrofit for the CA3300

Applications

- TV Video Digitizing
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision

Description

The CA3306 family are CMOS parallel (FLASH) analog-to-digital converters designed for applications demanding both low power consumption and high speed digitization. Digitizing at 15MHz, for example, requires only about 50mW.

The CA3306 family operates over a wide, full scale signal input voltage range of 1V up to the supply voltage. Power consumption is as low as 15mW, depending upon the clock frequency selected. The CA3306 types may be directly retrofitted into CA3300 sockets, offering improved linearity at a lower reference voltage and high operating speed with a 5V supply.

The intrinsic high conversion rate makes the CA3306 types ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3306s in series to increase the resolution of the conversion system. A series connection of two CA3306s may be used to produce a 7-bit high speed converter. Operation of two CA3306s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

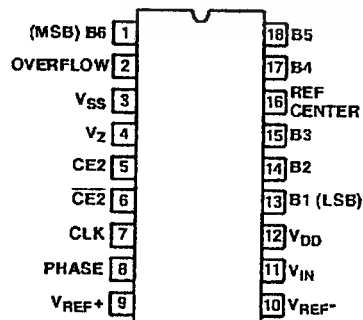
Sixty-four paralleled auto balanced comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3306. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

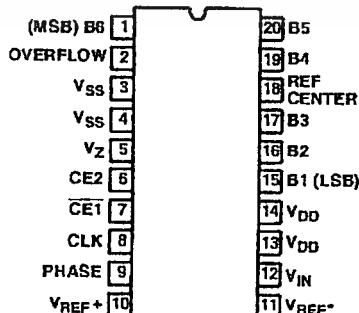
PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3306E	±0.5 LSB	15MHz (67ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306AE	±0.25 LSB	15MHz (67ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306CE	±0.5 LSB	10MHz (100ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306M	±0.5 LSB	15MHz (67ns)	-40°C to +85°C	20 Lead Plastic SOIC
CA3306CM	±0.5 LSB	10MHz (100ns)	-40°C to +85°C	20 Lead Plastic SOIC
CA3306D	±0.5 LSB	15MHz (67ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306AD	±0.25 LSB	15MHz (67ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306CD	±0.5 LSB	10MHz (100ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306J3	±0.5 LSB	15MHz (67ns)	-55°C to +125°C	20 Lead LCC
CA3306J3	±0.5 LSB	10MHz (100ns)	-55°C to +125°C	20 Lead LCC

Pinouts

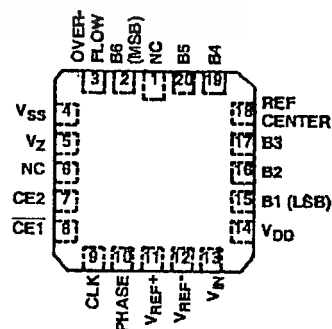
CA3306 (PDIP, CDIP)
TOP VIEW



CA3306 (SOIC)
TOP VIEW



CA3306 (LCC)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.
Copyright © Harris Corporation 1993

File Number 3102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram

Specifications CA3306, CA3306A, CA3306C

Absolute Maximum Ratings

DC Supply Voltage Range, V_{DD}
 Voltage Referenced to V_{SS} Terminal -0.5V to +8.5V
 Input Voltage Range
 All Inputs Except Zener -0.5V to $V_{DD} + 0.5V$
 DC Input Current
 CLK, PH, CE1, CE2, V_{IN} $\pm 20mA$
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (Soldering 10s) +300°C

Thermal Information

Thermal Resistance
 Ceramic DIP Package θ_{JA} 70°C/W θ_{JC} 12°C/W
 Plastic DIP 95°C/W -
 Plastic SOIC 95°C/W -
 Ceramic LCC 65°C/W 12°C/W
 Maximum Power Dissipation
 E, M, or D Package 315mW
 Operating Temperature Range (T_A)
 Ceramic Package (D Suffix) -55°C to +125°C
 Plastic Package (E or M Suffix) -40°C to +85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Supply Voltage Range 3V to 8V Max Junction Temperature
 Ceramic Package +175°C
 Plastic Package +150°C

Electrical Specifications $T_A = +25^\circ C$, $V_{DD} = 5V$, $V_{REF+} = 4.8V$, $V_{SS} = V_{REF-} = GND$, Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C

PARAMETERS		TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE						
Resolution			6	-	-	Bits
Integral Linearity Error, INL	CA3306, CA3306C		-	± 0.25	± 0.5	LSB
	CA3306A		-	± 0.2	± 0.25	LSB
Differential Linearity Error, DNL	CA3306, CA3306C		-	± 0.25	± 0.5	LSB
	CA3306A		-	± 0.2	± 0.25	LSB
Offset Error (Unadjusted)	CA3306, CA3306C	(Note 1)	-	± 0.5	± 1	LSB
	CA3306A		-	± 0.25	± 0.5	LSB
Gain Error (Unadjusted)	CA3306, CA3306C	(Note 2)	-	± 0.5	± 1	LSB
	CA3306A		-	± 0.25	± 0.5	LSB
Gain Temperature Coefficient			-	+0.1	-	mV/°C
Offset Temperature Coefficient			-	-0.1	-	mV/°C
DYNAMIC CHARACTERISTICS (Input Signal Level 0.5dB Below Full Scale)						
Maximum Conversion Speed	CA3306C		10	13	-	MSPS
	CA3306, CA3306A		15	20	-	MSPS
Maximum Conversion Speed	CA3306C	(Note 4)	12	-	-	MSPS
	CA3306, CA3306A	$\phi 1, \phi 2 \geq \text{Minimum}$	18	-	-	MSPS
Allowable Input Bandwidth		(Note 4)	DC	-	$f_{CLOCK}/2$	MHz
-3dB Input Bandwidth			-	30	-	MHz
Signal to Noise Ratio (SNR) = $\frac{\text{RMS Signal}}{\text{RMS Noise}}$		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	34.6	-	dB
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	33.4	-	dB
Signal to Noise Ratio (SINAD) = $\frac{\text{RMS Signal}}{\text{RMS Noise} + \text{Distortion}}$		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	34.2	-	dB
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	29.0	-	dB
Total Harmonic Distortion, THD		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	-46.0	-	dBc
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	-30.0	-	dBc
Effective Number of Bits (ENOB)		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	5.5	-	Bits
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	4.5	-	Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3306, CA3306A, CA3306C

Electrical Specifications $T_A = 125^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{REF+} = 4.8\text{V}$, $V_{SS} = V_{REF-} = \text{GND}$, Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C (Continued)

PARAMETERS	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS					
Positive Full Scale Input Range	(Notes 3, 4)	1	4.8	$V_{DD} + 0.5$	V
Negative Full Scale Input Range	(Notes 3, 4)	-0.5	0	$V_{DD} - 1$	V
Input Capacitance		-	15	-	pF
Input Current	$V_{IN} = 4.92\text{V}$, $V_{DD} = 5\text{V}$	-	-	± 500	μA
INTERNAL VOLTAGE REFERENCE					
Zener Voltage	$I_Z = 10\text{mA}$	5.4	6.2	7.4	V
Zener Dynamic Impedance	$I_Z = 10\text{mA}$, 20mA	-	12	25	Ω
Zener Temperature Coefficient		-	-0.5	-	mV/ $^\circ\text{C}$
REFERENCE INPUTS					
Resistor Ladder Impedance		650	1100	1550	Ω
DIGITAL INPUTS					
Maximum V_{IN} , Logic 0	All Digital Inputs (Note 4)	-	-	$0.3 \times V_{DD}$	V
Maximum V_{IN} , Logic 1	All Digital Inputs (Note 4)	$0.7 \times V_{DD}$	-	-	V
Digital Input Current	Except CLK, $V_{IN} = 0\text{V}$, 5V	-	± 1	± 5	μA
Digital Input Current	CLK Only	-	± 100	± 200	μA
DIGITAL OUTPUTS					
Digital Output Tri-State Leakage	$V_{OUT} = 0\text{V}$, 5V	-	± 1	± 5	μA
Digital Output Source Current	$V_{OUT} = 4.6\text{V}$	-1.6	-	-	mA
Digital Output Sink Current	$V_{OUT} = 0.4\text{V}$	3.2	-	-	mA
TIMING CHARACTERISTICS					
Auto Balance Time ($\phi 1$)	CA3306C	50	-	∞	ns
	CA3306, CA3306A	33	-	∞	
Sample Time ($\phi 2$)	CA3306C	(Note 4)	33	-	5000
	CA3306, CA3306A		22	-	5000
Aperture Delay		-	8	-	ns
Aperture Jitter		-	100	-	ps _{p-p}
Output Data Valid Delay (T_D)	CA3306C	-	35	50	ns
	CA3306, CA3306A	-	30	40	ns
Output Data Hold Time (T_H)	(Note 4)	15	25	-	ns
Output Enable Time, (T_{EN})		-	20	-	ns
Output Disable Time (T_{DIS})		-	15	-	ns
POWER SUPPLY CHARACTERISTICS					
I_{DD} Current, Refer to Figure 4	CA3306C	Continuous Conversion (Note 4)	-	11	20
	CA3306, CA3306A		-	14	25
I_{DD} Current	Continuous $\phi 1$	-	7.5	15	mA

NOTES:

1. OFFSET ERROR is the difference between the input voltage that causes the 00 to 01 output code transition and $(V_{REF+} - V_{REF-})/128$.
2. GAIN ERROR is the difference the input voltage that causes the 3F₁₆ to overflow output code transition and $(V_{REF+} - V_{REF-}) \times 127/128$.
3. The total input voltage range, set by V_{REF+} and V_{REF-} , may be in the range of 1 to $(V_{DD} + 1)$ V.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

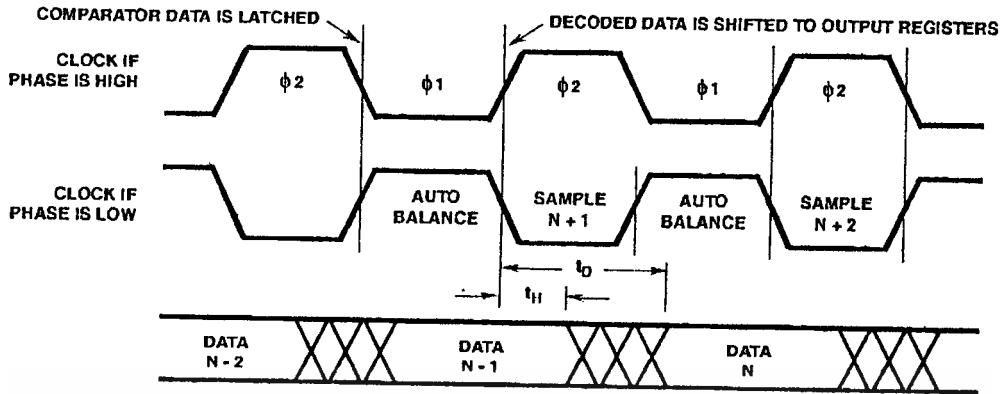


FIGURE 1. INPUT-TO-OUTPUT

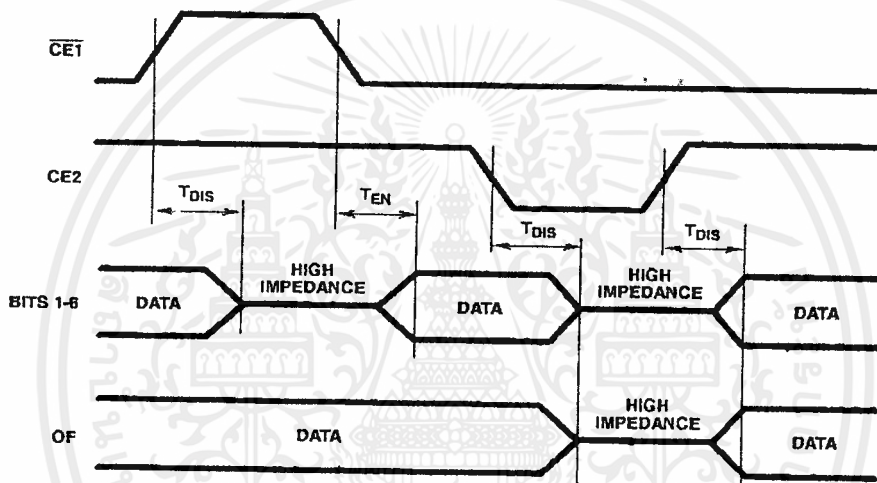


FIGURE 2. OUTPUT ENABLE

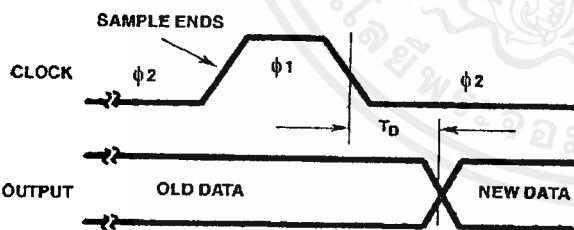


FIGURE 3A.

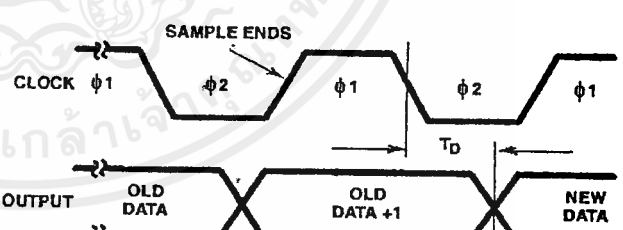


FIGURE 3B.

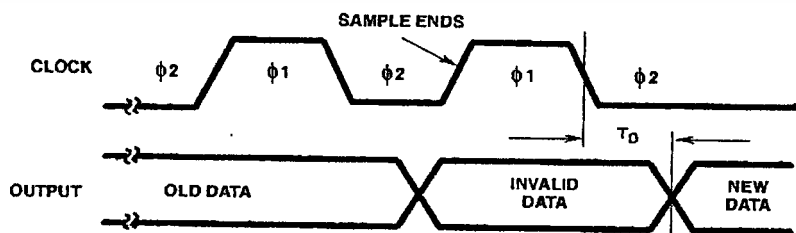


FIGURE 3C.

FIGURE 3. PULSE MODE

Typical Performance Curves

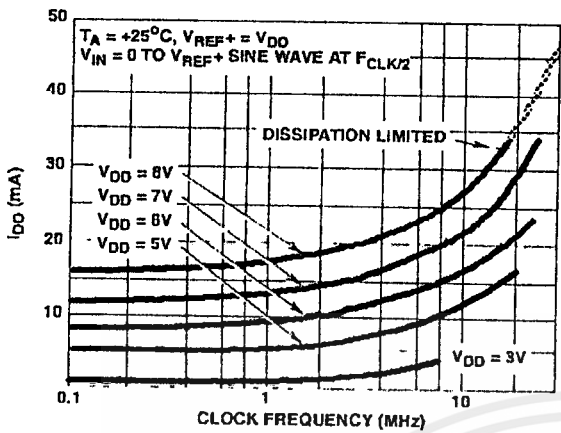


FIGURE 4. TYPICAL I_{DD} AS A FUNCTION OF V_{DD}

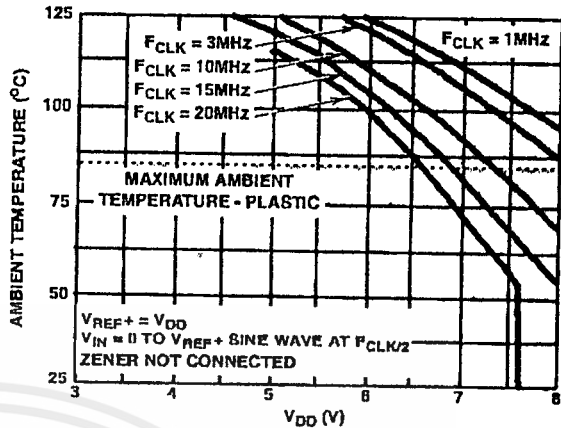


FIGURE 5. TYPICAL MAXIMUM AMBIENT TEMPERATURE AS A FUNCTION OF SUPPLY VOLTAGE

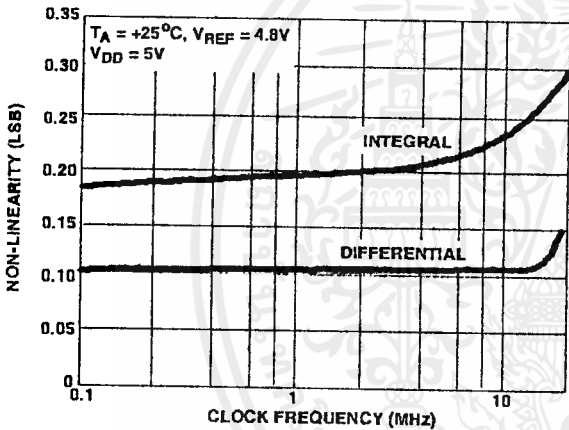


FIGURE 6. TYPICAL NON-LINEARITY AS A FUNCTION OF CLOCK SPEED

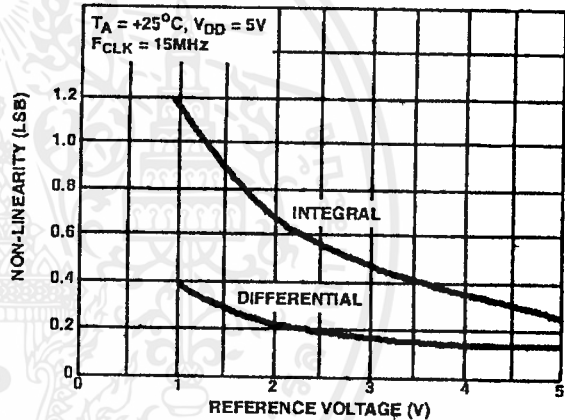


FIGURE 7. TYPICAL NON-LINEARITY AS A FUNCTION OF REFERENCE VOLTAGE

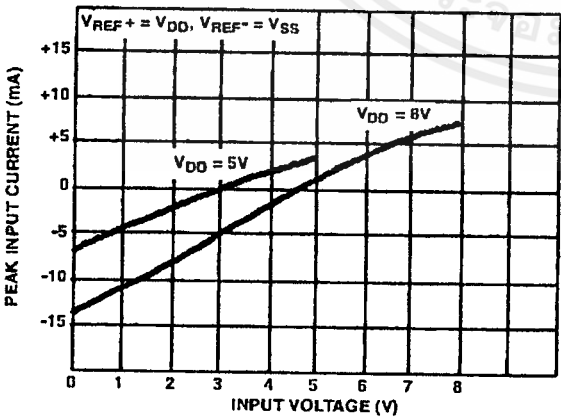


FIGURE 8. TYPICAL PEAK INPUT CURRENT AS A FUNCTION OF INPUT VOLTAGE

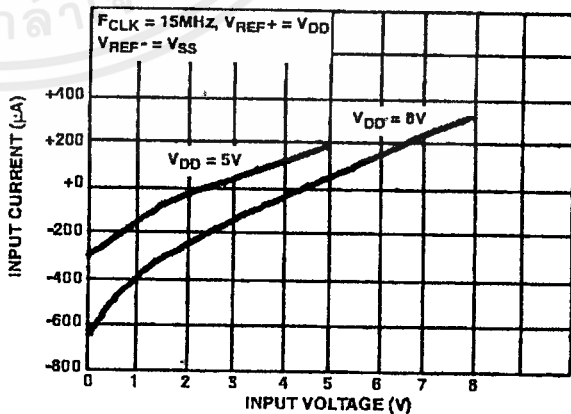


FIGURE 9. TYPICAL AVERAGE INPUT CURRENT AS A FUNCTION OF INPUT VOLTAGE

Typical Performance Curves (Continued)

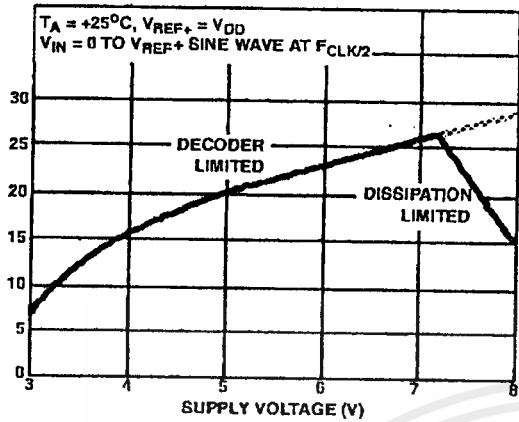


FIGURE 10. TYPICAL MAXIMUM CLOCK FREQUENCY AS A FUNCTION OF SUPPLY VOLTAGE

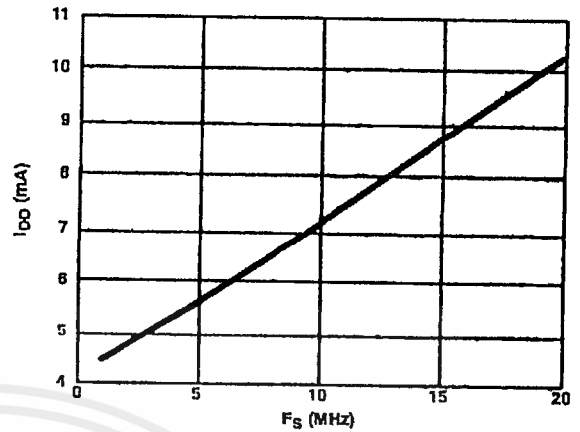


FIGURE 11. DEVICE CURRENT vs SAMPLE FREQUENCY

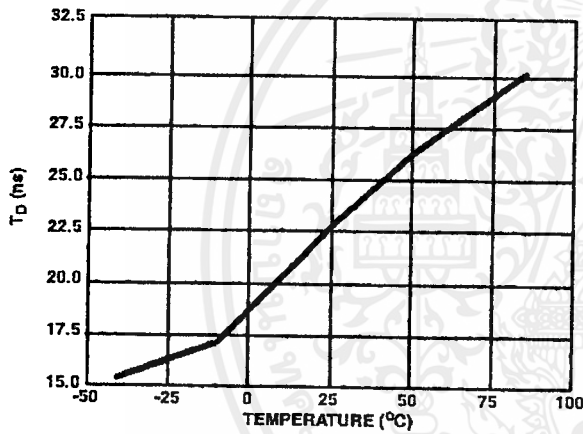


FIGURE 12. DATA DELAY vs TEMPERATURE

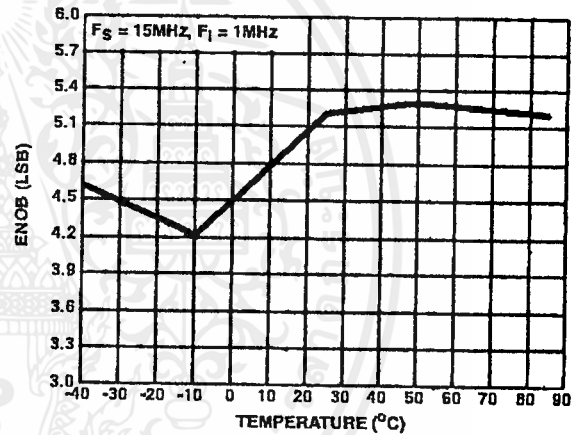


FIGURE 13. ENOB vs TEMPERATURE

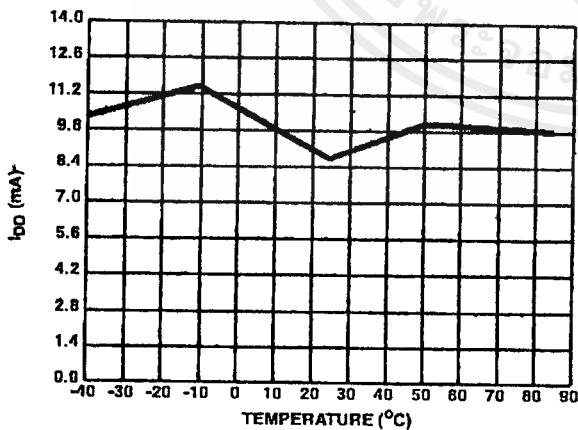


FIGURE 14. I_{DD} vs TEMPERATURE

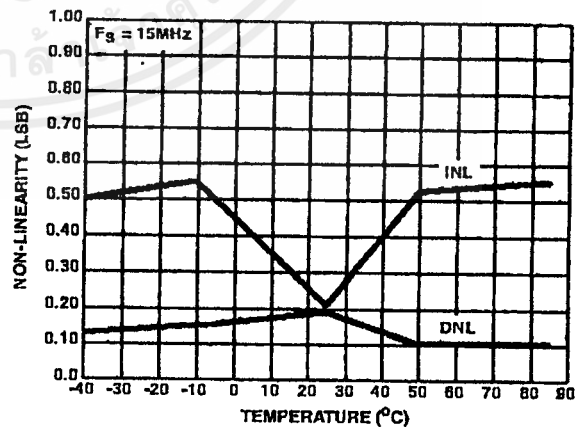


FIGURE 15. NON-LINEARITY vs TEMPERATURE

Typical Performance Curves (Continued)

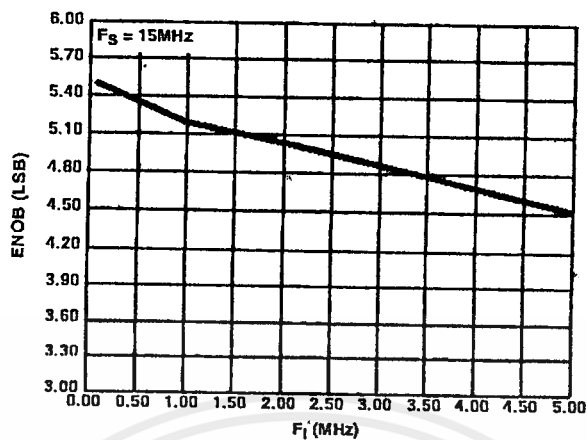


FIGURE 18. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN NUMBER		NAME	DESCRIPTION
DIP	SOIC		
1	1	B6	Bit 6, Output (MSB).
2	2	OF	Overflow, Output.
3	3, 4	V _{SS}	Digital Ground.
4	5	VZ	Zener Reference Output.
5	6	CE2	Tri-State Output Enable Input, Active Low. See Table 1.
6	7	$\overline{\text{CE1}}$	Tri-State Output Enable Input, Active High. See Table 1.
7	8	CLK	Clock Input.
8	9	Phase	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
9	10	V _{REF+}	Reference Voltage Positive Input.
10	11	V _{REF-}	Reference Voltage Negative Input.
11	12	V _{IN}	Analog Signal Input.
12	13, 14	V _{DD}	Power Supply, +5V.
13	15	B1	Bit 1, Output (LSB).
14	16	B2	Bit 2, Output.
15	17	B3	Bit 3, Output.
16	18	REF(CTR)	Reference Ladder Midpoint.
17	19	B4	Bit 4, Output.
18	20	B5	Bit 5, Output.

CA3306, CA3306A, CA3306C

TABLE 1. CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B6	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't care

TABLE 2. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE				BINARY OUTPUT CODE (LSB)							DECIMAL COUNT
	V _{REF} 6.40 (V)	V _{REF} 5.12 (V)	V _{REF} 4.80 (V)	V _{REF} 3.20 (V)	OF	B6	B5	B4	B3	B2	B1	
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.10	0.08	0.075	0.05	0	0	0	0	0	0	1	1
2 LSB	0.20	0.16	0.15	0.10	0	0	0	0	0	1	0	2
.	.	.	.	.	.	.	.	.	.	.	.	.
1/2 Full Scale - 1 LSB	3.10	2.48	2.325	1.55	0	0	1	1	1	1	1	31
1/2 Full Scale	3.20	2.56	2.40	1.60	0	1	0	0	0	0	0	32
1/2 Full Scale + 1 LSB	3.30	2.64	2.475	1.65	0	1	0	0	0	0	1	33
.	.	.	.	.	.	.	.	.	.	.	.	.
Full Scale - 1 LSB	6.20	4.96	4.65	3.10	0	1	1	1	1	1	0	62
Full Scale	6.30	5.04	4.725	3.15	0	1	1	1	1	1	1	63
Overflow	6.40	5.12	4.80	3.20	1	1	1	1	1	1	1	127

NOTE:

1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Device Operation

A sequential parallel technique is used by the CA3306 converter to obtain its high speed operation. The sequence consists of the "Auto Balance" phase ϕ_1 and the "Sample Unknown" phase ϕ_2 . (Refer to the circuit diagram.) Each conversion takes one clock cycle.* With the phase control low, the "Auto Balance" (ϕ_1) occurs during the High period of the clock cycle, and the "Sample Unknown" (ϕ_2) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission-gate switch is used to connect each of 64 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(V_{REF}/64) \times N] - [V_{IH}/(2 \times 64)] \\ = V_{REF}(2N - 1)/128$$

Where: $V_{TAP}(N)$ = reference ladder tap voltage at point N
 V_{REF} = voltage across V_{REF-} to V_{REF+}
 N = tap number (1 through 64)

* This device requires only a single-phase clock. The terminology of ϕ_1 and ϕ_2 refers to the High and Low periods of the same clock.

The other side of the capacitor is connected to a single-stage inverting amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately, $(V_{DD} - V_{SS})/2$. The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and V_{IN} is switched to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators whose tap voltages were lower than V_{IN} will drive the comparator outputs to a "low" state. All comparators whose tap voltages were higher than V_{IN} will drive the comparator outputs to a "high" state. A second, capacitor-coupled, auto-zeroed amplifier further amplifies the outputs.

The status of all these comparator amplifiers are stored at the end of this phase (ϕ_2), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64-bit 7-bit decode array and the results are clocked into a storage register at the rising edge of the next ϕ_2 .

A tri-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. $\overline{CE2}$ will independently disable B1 through B6 and the OF buffers when it is in the low state (Table 1).

To facilitate usage of this device a phase-control input is provided which can effectively complement the clock as it enters the chip. Also, an on-board zener is provided for use as a reference voltage.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3306 via the following steps. (Refer to timing diagram, Figure 1.) With the phase control in a "High" state, the rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, after the specified aperture delay, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay as valid data at the output of the tri-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse Mode Operation

For sampling high speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of three ways. The fastest method is to keep the converter in the Sample Unknown phase, ϕ_2 , during the standby state. The device can now be pulsed through the Auto Balance phase with a single pulse. The analog value is captured on the leading edge of ϕ_1 and is transferred into the output registers on the trailing edge of ϕ_1 . We are now back in the standby state, ϕ_2 , and another conversion can be started, but not later than 5 μ s due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between ϕ_2 and ϕ_1 , the lower the power consumption. (See Timing Waveform, Figure 3.)

The second method uses the Auto Balance phase, ϕ_1 , as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two ϕ_2 pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second ϕ_2 pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes slightly longer, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of ϕ_2 to ϕ_1 . (See Timing Waveform, Figure 3B.)

For applications requiring both indefinite standby and lowest power, standby can be in the ϕ_2 (Sample Unknown) state with two ϕ_1 pulses to generate valid data (see Figure 3C). Valid data now appears two full clock cycles after starting the conversion process.

Analog Input Considerations

The CA3306 input terminal is characterized by a small capacitance (see Specifications) and a small voltage-dependent current (See Typical Performance Curves). The signal-source impedance should be kept low, however, when operating the CA3306 at high clock rates.

The CA3306 outputs a short (less than 10ns) current spike of up to several mA amplitude (See Typical Performance Curves) at the beginning of the sample phase. (To a lesser extent, a spike also appears at the beginning of auto balance.) The driving source must recover from the spike by the end of the same phase, or a loss of accuracy will result.

A locally terminated 50 Ω or 75 Ω source is generally sufficient to drive the CA3306. If gain is required, a high speed, fast settling operational amplifier, such as the HA-5033, HA-2542, or HA5020 is recommended.

Digital Input And Output Interfacing

The two chip-enable and the phase-control inputs are standard CMOS units. They should be driven from less than $0.3 \times V_{DD}$ to at least $0.7 \times V_{DD}$. This can be done from 74HC series CMOS (QMOS), TTL with pull-up resistors, or, if V_{DD} is greater than the logic supply, open collector or open drain drivers plus pull-ups. (See Figure 20.)

The clock input is more critical to timing variations, such as ϕ_1 becoming too short, for instance. Pull-up resistors should generally be avoided in favor of active drivers. The clock input may be capacitively coupled, as it has an internal 50k Ω feedback resistor on the first buffer stage, and will seek its own trip point. A clock source of at least 1V_{P-P} is adequate, but extremely non-symmetrical waveforms should be avoided.

The output drivers have full rail-to-rail capability. If driving CMOS systems with V_{DD} below the V_{DD} of the CA3306, a CD74HC4050 or CD74HC4049 should be used to step down the voltage. If driving LSTTL systems, no step-down should be necessary, as most LSTTLs will take input swings up to 10V to 15V.

Although the output drivers are capable of handling typical data bus loading, the capacitor charging currents will produce local ground disturbances. For this reason, an external bus driver is recommended.

Increased Accuracy

In most cases the accuracy of the CA3306 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy; i.e., offset trim, gain trim, and midpoint trim.

Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the operational amplifier. When this is not possible the V_{REF} input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $1/2$ LSB. The equation is as follows:

$$V_{IN} (0 \text{ to } 1 \text{ transition}) = \frac{1}{2} \text{ LSB} = \frac{1}{2}(V_{REF}/64) \\ = V_{REF}/128$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50 Ω pot connected between V_{REF} and ground will accomplish the adjustment. Set V_{IN} to $1/2$ LSB and trim the pot until the 0 to 1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50 Ω pot should be connected between V_{REF} and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the operational amplifier. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 63 to overflow transition. That voltage is $1/2$ LSB less than V_{REF} and is calculated as follows:

$$V_{IN} (63 \text{ to } 64 \text{ transition}) = V_{REF} - V_{REF}/128 \\ = V_{REF}(127/128)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 63 to overflow transition. Now adjust V_{REF} until that transition occurs on the outputs.

Midpoint Trim

The reference center (RC) is available to the user as the midpoint of the resistor ladder. To trim the midpoint, the offset and gain trims should be done first. The theoretical transition from count 31 to 32 occurs at $31 \frac{1}{2}$ LSBs. That voltage is as follows:

$$V_{IN} (31 \text{ to } 32 \text{ transition}) = 31.5 (V_{REF}/64) \\ = V_{REF}(63/128)$$

An adjustable voltage follower can be connected to the RC pin or a 2k pot can be connected between V_{REF+} and V_{REF-} with the wiper connected to RC. Set V_{IN} to the 31 to 32 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create unique transfer functions. The user must remember, however, that there is approximately 120 Ω in series with the RC pin.

Applications

7-Bit Resolution

To obtain 7-bit resolution, two CA3306s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enabler controls - all of which are available on the CA3306.

The first step for connecting a 7-bit circuit is to totom-pole the ladder networks, as illustrated in Figure 17. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry.

Doubled Sampling Speed

The phase control and both positive and negative true chip enables allow the parallel connection of two CA3306s to double the sampling speed. Figure 18 shows this configuration. One converter samples on the positive phase of the clock, and the second on the negative. The outputs are also alternately enabled. Care should be taken to provide a near square-wave clock it operating at close to the maximum clock speed for the devices.

8-Bit to 12-Bit Conversion Techniques

To obtain 8-bit to 12-bit resolution and accuracy, use a feed-forward conversion technique. Two A/D converters will be needed to convert up to 11 bits; three A/D converters to convert 12 bits. The high speed of the CA3306 allows 12-bit conversions in the 500ns to 900ns range.

The circuit diagram of a high-speed 12-bit A/D converter is shown in Figure 19. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit D/A converter whose accuracy level is good to 12 bits. The D/A converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash A/D converter, which is connected in a 7-bit configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that:

- The linearity of the first converter is better than $1/2$ LSB.
- An offset bias of 1 LSB (1/64) is subtracted from the first conversion since the second converter is unipolar.
- The D/A converter and its reference are accurate to the total number of bits desired for the final conversion (the A/D converter need only be accurate to 6 bits).

The first converter can be offset-biased by adding a 20Ω resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.4V reference is used in the system, for example, then the first CA3306 will require a 6.5V reference.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$\text{ENOB} = (\text{SINAD} - 1.76 + V_{\text{CORR}})/6.02$$

where: $V_{\text{CORR}} = 0.5\text{dB}$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

Operating and Handling Considerations

1. Handling

All inputs and outputs of Harris CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

2. Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause $V_{\text{DD}} - V_{\text{SS}}$ to exceed the absolute maximum rating.

Input Signals

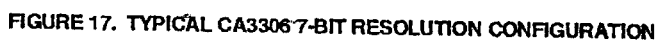
To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS} . Input currents must not exceed 20mA even when the power supply is off. The zener (pin 4) is the only terminal allowed to exceed V_{DD} .

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{DD} or V_{SS} , whichever is appropriate.

Output Short Circuits

Shorting of outputs to V_{DD} or V_{SS} may damage CMOS devices by exceeding the maximum device dissipation.



Application Circuits (Continued)

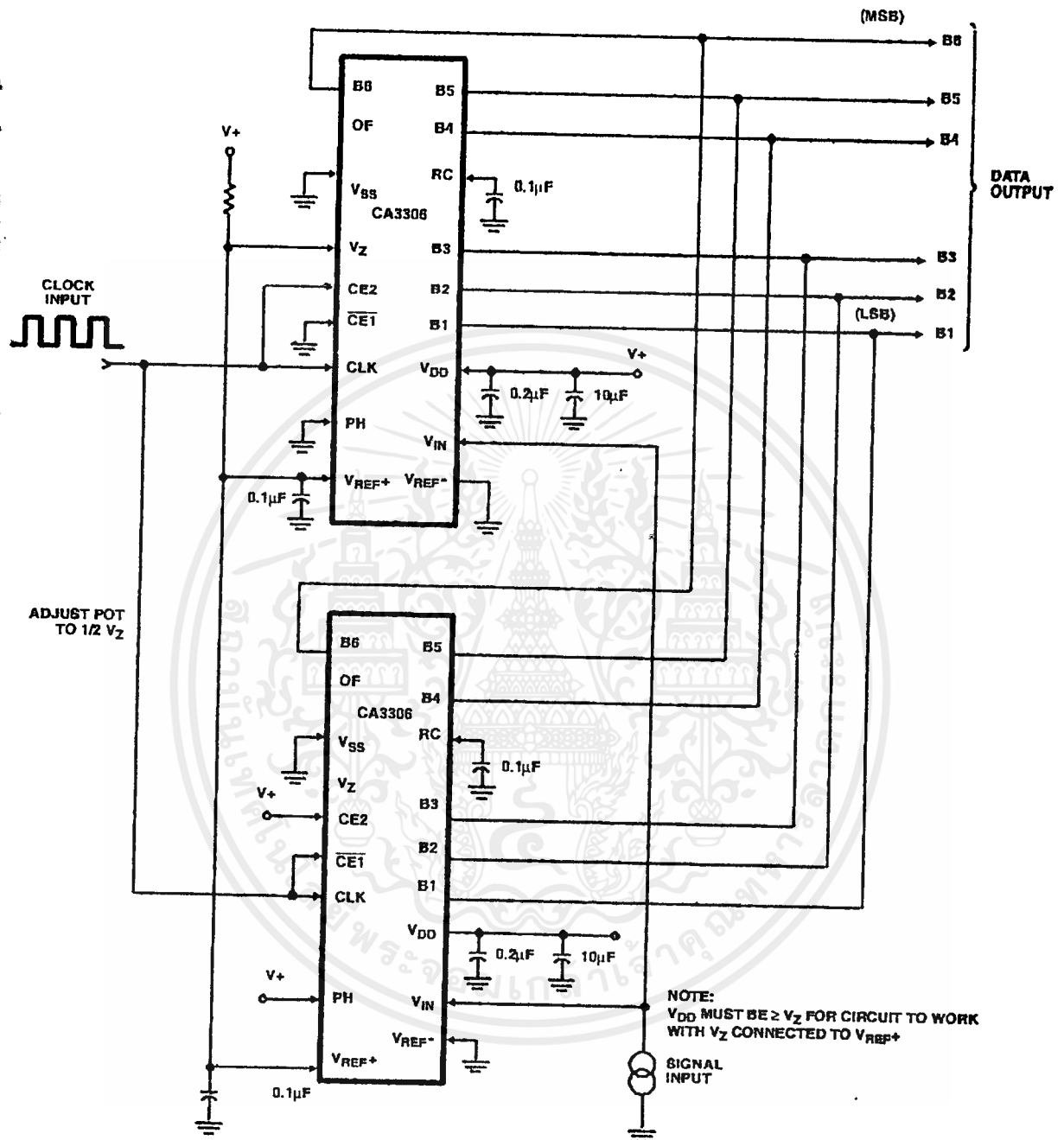


FIGURE 18. TYPICAL CA3306 6-BIT RESOLUTION CONFIGURATION WITH DOUBLE SAMPLING RATE CAPABILITY

Application Circuits (Continued)

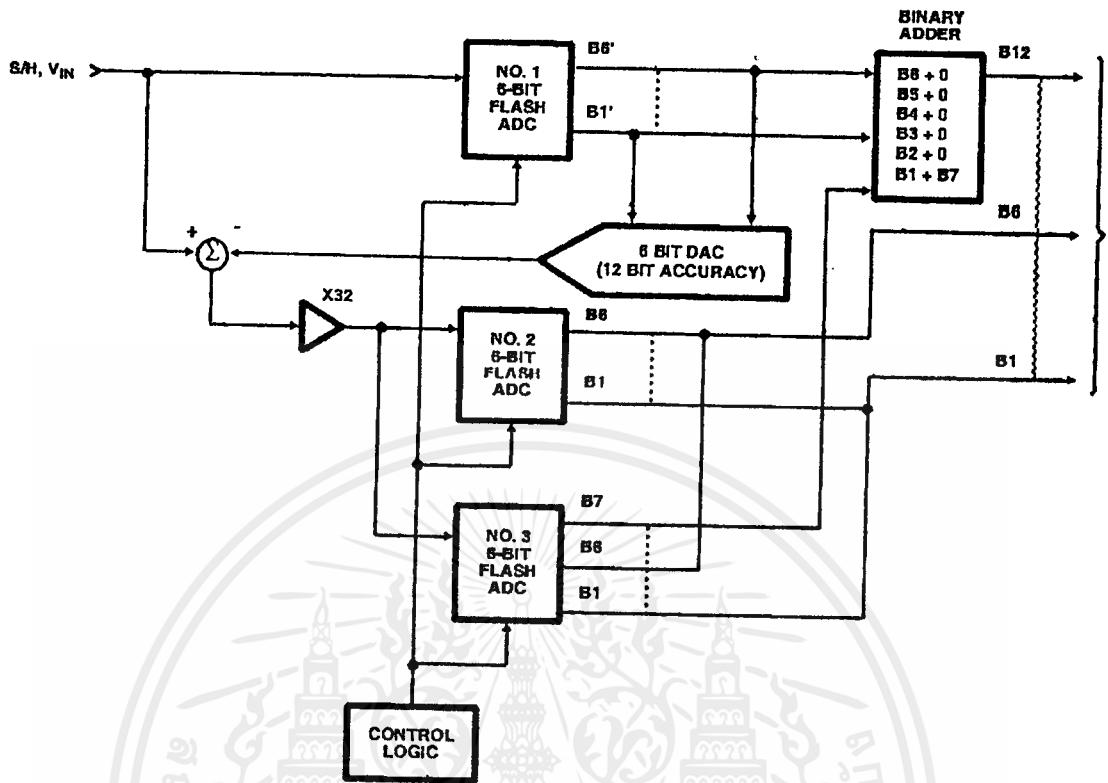


FIGURE 19. TYPICAL CA3306, 800ns, 12-BIT ADC SYSTEM

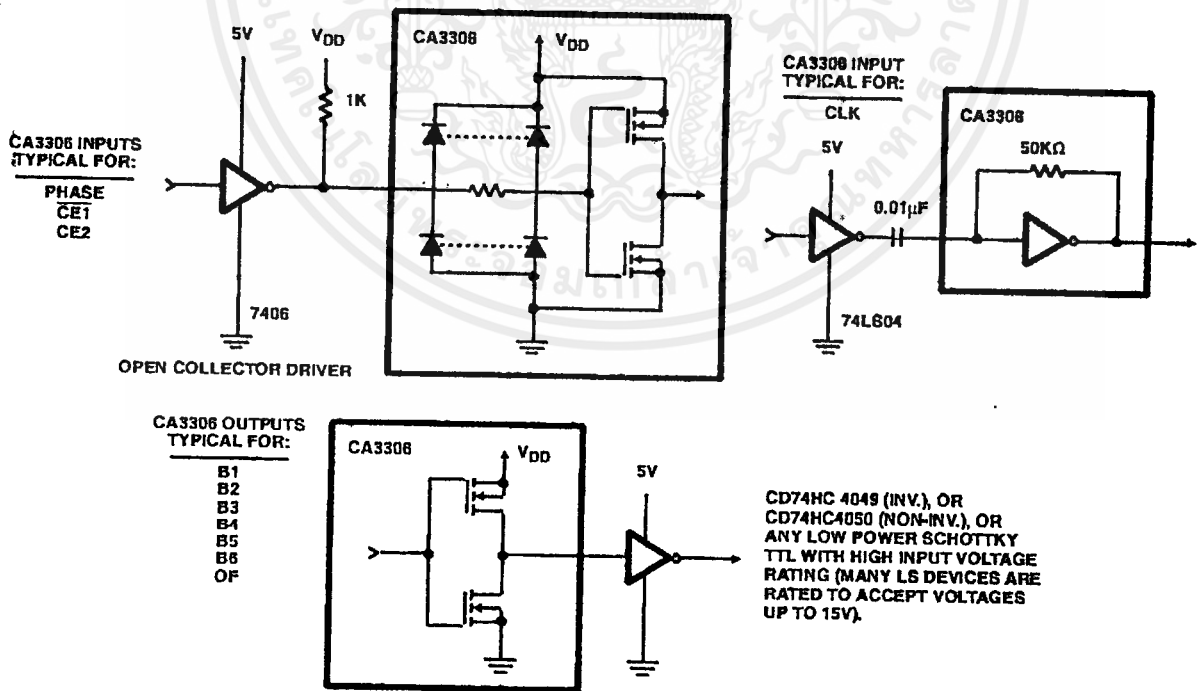


FIGURE 20. 5V LOGIC INTERFACE CIRCUIT FOR $V_{DD} > 5.5V$

บรรณานุกรม

จิตติ หนูแก้ว, เทคนิคการเชื่อมต่อ IBM PC (พ.ศ.2541) – บริษัท ซีเอ็ดยูเคชั่น จำกัด, 800/43-45 ซอยตระกูล
สุข ถนนอโศกดินแดง เขตห้วยขวาง กรุงเทพฯ 10400

อาจหาญ สัตยารักษ์, เทคนิคการเขียนกราฟิกบนเทอร์โบปาสคาล (พ.ศ. 2521) - บริษัท ซีเอ็ดยูเคชั่น จำกัด,
800/43-45 ซอยตระกูลสุข ถนนอโศกดินแดง เขตห้วยขวาง กรุงเทพฯ 10400

ยีน ภู่วรรณ, เทคโนโลยีฮาร์ดแวร์ (พ.ศ. 2521) - บริษัท ซีเอ็ดยูเคชั่น จำกัด, 800/43-45 ซอยตระกูลสุข
ถนนอโศกดินแดง เขตห้วยขวาง กรุงเทพฯ 10400

