สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

โดย

นางสาวมิ่งขวัญ ธนะชัยบันธ์

นางสาวรัชนี ฝ่ายหมื่นไวย์

นางสาวสุกานดา ชูเพ็ง

วัน เดือน ปี 17 ตค. 2541

เลขทะเบียน 039043

เลขเรียกหนังสือ T 10218 ม 556ส

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ 039043

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

โดย

นางสาวมิ่งขวัญ	ธนะชัยบันธ์	37014340
นางสาวรัชนี	ฝ่ายหมื่นไวย์	37014354
นางสาวสุกานดา	ชูเพ็ง	37014498

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

ผู้จัดทำ

1. นางสาวมิ่งขวัญ ชนะชัยบันธ์ 37014340
2. นางสาวรัชนี ฝ้ายหมื่นไวย์ 37014354
3. นางสาวสุกานดา ชูเพ็ง 37014498

ทองทด วานิชศรี อาจารย์ที่ปรึกษา

(ดร.ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

โดย นางสาวมิ่งขวัญ ชนะชัยขันธ์ 37014340
นางสาวรัชนี ฝ่ายหมื่นไวย์ 37014354
นางสาวสุกานดา ชูเพ็ง 37014498

อาจารย์ที่ปรึกษา ดร.ทองทด วานิชศรี

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและสร้างสเปคตรัม อนาไลเซอร์ ที่สามารถวัดความถี่สูงสุดได้ 10 MHz มี Resolution bandwidth ที่สามารถปรับได้ตั้งแต่ 10 kHz ถึง 300 kHz สามารถปรับ scanwidth ได้ตั้งแต่ 10 kHz ถึง 10 MHz สามารถแสดงผลได้โดยใช้ Oscilloscope (ใน mode XY) โดยขนาดของสัญญาณจะแสดงใน log scale (Y) ส่วนความถี่จะแสดงใน linear scale (X)

ABSTRACT

This thesis represents the design and invention of Spectrum Analyzer. It can measure the maximum frequency at 10 MHz and has an adjustable resolution bandwidth from 10 kHz to 10 MHz that presents its output to an oscilloscope.The magnitude of the signal is displayed in log scale (y-axis) and the frequency in linear scale (x-axis).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	5
2.1 วงจรกรองความถี่	6
2.1.1 วงจรกรองความถี่ต่ำ	6
2.1.2 วงจรกรองช่วงความถี่	8
2.2 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน	11
2.3 การกำเนิดสัญญาณฟันเลื่อย	16
2.4 วงจรดีเทคเตอร์	19
2.5 วงจรมิกเซอร์	21
2.6 วงจรขยายลอการิทึม	24
2.7 วงจรออสซิลเลเตอร์	26
บทที่ 3 การคำนวณและการสร้าง	33
3.1 วงจรกรองความถี่	34
3.1.1 วงจรกรองความถี่ต่ำ	33
3.1.2 วงจรกรองช่วงความถี่ 21.4 MHz	35
3.1.3 วงจรกรองช่วงความถี่ 455 kHz	37
3.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน	39
3.3 วงจรสัญญาณฟันเลื่อย	40
3.4 วงจรดีเทคเตอร์	41
3.5 วงจรมิเซอร์	42
3.6 วงจรขยายลอการิทึม	43
3.7 วงจรออสซิลเลเตอร์	44
บทที่ 4 การทดลองและผลการทดลอง	48
4.1 วงจรกรองความถี่	48
4.1.1 วงจรกรองความถี่ต่ำ	48
4.1.2 วงจรกรองช่วงความถี่ 21.4 MHz	50
4.1.3 วงจรกรองช่วงความถี่ 455 kHz	52
4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน	55
4.3 วงจรสัญญาณฟันเลื่อย	57
4.4 วงจรดีเทคเตอร์	59
4.5 วงจรมิกเซอร์	62
4.6 วงจรขยายลอการิทึม	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรออสซิลเลเตอร์ 66
4.8 ผลการทดลองสเปคตรัม อนาไลเซอร์ 68
บทที่ 5 บทสรุปและบทวิจารณ์ 74
ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 1 บทนำ

- รูปที่ 1.1 Block diagram ของ wave analyzer 1
- รูปที่ 1.2 Block diagram ของ wave analyzer 2
- รูปที่ 1.3 Block diagram ของ swept spectrum analyzer 3
- รูปที่ 1.4 แสดงส่วนประกอบของ Heterodyne Spectrum Analyzer แบบที่มีโลคอลออสซิลเลเตอร์ 2 ตัว 3

บทที่ 2 ทฤษฎีและหลักการ

- รูปที่ 2.1 แสดงบล็อคไดอะแกรมการทำงานของ Spectrum Analyzer 5

2.1 วงจรกรองความถี่

- รูปที่ 2.1.1 แสดงผลตอบสนองของวงจรกรองความถี่ทั้ง 4 แบบ 7
- รูปที่ 2.1.2 การกรองความถี่ในลักษณะสัญญาณต่างๆ 9
- รูปที่ 2.1.3 การต่อวงจรความถี่ต่ำกับวงจรกรองความถี่สูงเข้าด้วยกัน 9
- รูปที่ 2.1.4 การต่อวงจรความถี่ต่ำกับวงจรความถี่สูง 10

2.2 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

- รูปที่ 2.2.1 วงจร Colpitts oscillor 13
- รูปที่ 2.2.2 วงจรเสมือนของ L ที่ความถี่สูง 13
- รูปที่ 2.2.3 วงจรเสมือนของ C ที่ความถี่สูง 14
- รูปที่ 2.2.4 วงจรรีโซเนเตอร์ 14
- รูปที่ 2.2.5 วงจรออสซิลเลเตอร์ 15

2.3 การกำเนิดสัญญาณฟันเลื่อย

- รูปที่ 2.3.1 สัญญาณฟันเลื่อยแบบเชิงเส้น 16
- รูปที่ 2.3.2 วงจรกำเนิดสัญญาณรูปสามเหลี่ยม 17
- รูปที่ 2.3.3 วงจรกำเนิดสัญญาณฟันเลื่อย 18

2.4 วงจรดีเทคเตอร์

- รูปที่ 2.4.1 แสดงวงจร Half-wave rectifier 19
- รูปที่ 2.4.2 แสดงวงจร Precision Half-wave rectifier 20

2.5 วงจรมิกเซอร์

- รูปที่ 2.5.1 ตัวอย่างมิกเซอร์ภาคเครื่องรับ 21
- รูปที่ 2.5.2 วงจรบาลานซ์มิกเซอร์ ชนิดพาสซีฟ 22
- รูปที่ 2.5.3 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ FET 22
- รูปที่ 2.5.4 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ IC 22
- รูปที่ 2.5.5 วงจรมิกเซอร์แบบไม่สมดุล 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรขยายลอการิทึม
- รูปที่ 2.6.1 Thetransdiode logarithmic amplifier 24
- รูปที่ 2.6.2 แสดงวงจรขยายลอการิทึม 24
2.7 วงจรออสซิลเลเตอร์
- รูปที่ 2.7.1 แผนผังของเฟสล็อกลูป 26
- รูปที่ 2.7.2 แผนผังของหน่วยสังเคราะห์ความถี่ 27
- รูปที่ 2.7.3 PLL แบบพรีสเกลเลอร์ 29
- รูปที่ 2.7.4 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์ 29
- รูปที่ 2.7.5 วงจรออสซิลเลเตอร์อ้างอิง และตัวอย่าง IC 31
- รูปที่ 2.7.6 ตัวอย่างวงจรลูปฟิลเตอร์ 31
บทที่ 3 การคำนวณและการสร้าง
3.1 วงจรกรองความถี่
- รูปที่ 3.1.1 วงจรกรองความถี่ต่ำคัทออฟที่ 10 MHz 34
- รูปที่ 3.1.2 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำ จากการ 35
ออกแบบโดยใช้ Simulator
- รูปที่ 3.1.3 Coupled resonators 36
- รูปที่ 3.1.4 แสดงวงจรกรองช่วงความถี่ 21.4 MHz ที่ออกแบบได้ 36
- รูปที่ 3.1.5 แสดงวงจรกรองช่วงความถี่ 455 kHz ที่ออกแบบได้ 37
3.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน
- รูปที่ 3.2.1 แสดงวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันที่ออกแบบได้ 39
3.3 วงจรสัญญาณฟันเลื่อย
- รูปที่ 3.3.1 วงจรสร้างสัญญาณฟันเลื่อย 40
3.4 วงจรดีเทคเตอร์
- รูปที่ 3.4.1 วงจร Full-wave rectifier ประกอบไปด้วย Half-wave rectifier 41
3.5 วงจรมิกเซอร์
- รูปที่ 3.5.1 แสดงวงจร Ring Balance Modulator 42
3.6 วงจรขยายลอการิทึม
- รูปที่ 3.6.1 แสดงวงจรขยายลอการิทึม 43
3.7 วงจรออสซิลเลเตอร์
- รูปที่ 3.7.1 แสดง block diagram ของ MC145152 - 2 44
- รูปที่ 3.7.2 แสดงวงจร Presettable Counter 44
- รูปที่ 3.7.3 แสดงวงจรสังเคราะห์ความถี่ 47
บทที่ 4 การทดลองและผลการทดลอง
4.1 วงจรกรองความถี่
- รูปที่ 4.1.1 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำ 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รูปที่ 4.1.2 แสดงขนาดของสัญญาณเอาท์พุทที่ความถี่คัทออฟ 9.9 MHz 49
- รูปที่ 4.1.3 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 21.4 MHz 51
- รูปที่ 4.1.4 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 455 kHz ที่ BW 30 kHz 53
- รูปที่ 4.1.5 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 455 kHz ที่ BW 100 kHz 53
- รูปที่ 4.1.6 แสดงสัญญาณ mix ระหว่างความถี่ 21.4 MHz และความถี่ 21.855 MHz ที่ผ่านวงจร bandpass filter 455 kHz 54

4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน

- รูปที่ 4.2.1 กราฟแสดงความสัมพันธ์ของ forward voltage bias และความถี่ที่เปลี่ยนไป 56
- รูปที่ 4.2.2 แสดงสัญญาณที่เกิดจากการออสซิลเลทของวงจร ณ ความถี่ 26.4 MHz 56

4.3 วงจรสร้างสัญญาณฟันเลื่อย

- รูปที่ 4.3.1 แสดงสัญญาณฟันเลื่อย 30 ms ขนาด 4.125 V 57
- รูปที่ 4.3.2 แสดงสัญญาณฟันเลื่อย 500 ms ขนาด 4.187 V 58
- รูปที่ 4.3.3 แสดงสัญญาณฟันเลื่อย 1 s ขนาด 4.250 V 58

4.4 วงจรดีเทคเตอร์

- รูปที่ 4.4.1 แสดงสัญญาณเอาท์พุทที่ได้จากวงจร Half-wave rectifier 59
- รูปที่ 4.4.2 แสดงสัญญาณ Full-wave ที่ได้จากวงจร Full-wave rectifier 60
- รูปที่ 4.4.3 แสดงสัญญาณเอาท์พุทที่ได้จากวงจร 3.4.1 จากสัญญาณอินพุทความถี่ 455 kHz 61

4.5 วงจรมิกเซอร์

- รูปที่ 4.5.1 แสดงสัญญาณที่ได้จากการ mix สัญญาณความถี่ 5 MHz และสัญญาณความถี่ 26.4 MHz 62
- รูปที่ 4.5.2 แสดงสัญญาณความถี่ 21.4 MHz เมื่อนำเอาท์พุทจาก mixer ผ่านวงจรกรองช่วงความถี่ 21.4 MHz 63

4.6 วงจรขยายลอการิทึม

- รูปที่ 4.6.1 กราฟแสดงความสัมพันธ์ระหว่างอินพุท (dB) และเอาท์พุท (mV) 65

4.7 วงจรออสซิลเลเตอร์

- รูปที่ 4.7.1 แสดงเอาท์พุทที่ออกมาจากวงจรหาร 5 66
- รูปที่ 4.7.2 แสดงการเปรียบเทียบระหว่างความถี่อ้างอิงภายในกับความถี่ที่ได้จาก VCO 67
- รูปที่ 4.7.3 แสดงสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ 21.855 MHz 67

4.8ผลการทดลองสเปคตรัม อนาไลเซอร์

- รูปที่ 4.8.1แสดงการวัดสัญญาณ sine 6 MHz 68
- รูปที่ 4.8.2 แสดงการวัดสัญญาณ sine 1 MHz และ 10 MHz 68
- รูปที่ 4.8.3 แสดงการวัดสัญญาณ sine 3 MHz ,5 MHz,7 MHz,9 MHz และ 10 MHz 69
- รูปที่ 4.8.4 แสดงการวัดสัญญาณสี่เหลี่ยม (sqiare wave) 1 MHz 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รูปที่ 4.8.5 แสดงการวัดสัญญาณ sine 2 MHz 70
- รูปที่ 4.8.6 แสดงการวัดสัญญาณสี่เหลี่ยม 2 MHz 70
- รูปที่ 4.8.7 แสดงการวัดสัญญาณ pulse train ความถี่ 1 MHz โดยใช้สเปคตรัม อนาไลเซอร์ที่ออกแบบ 71
- รูปที่ 4.8.8 แสดงการวัดสัญญาณ pulse train ความถี่ 1 MHz โดยใช้สเปคตรัม อนาไลเซอร์เครื่องจริง 71
- รูปที่ 4.8.9 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำ 73
- รูปที่ 4.8.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ โดยวัดจากสเปคตรัมอนาไลเซอร์ที่ได้ออกแบบ 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 2 ทฤษฎีและหลักการ

2.1 วงจรกรองความถี่

-ตารางที่ 2.1.1 แสดงตัวอย่างค่าอินดักแตนซ์และคาปาซิแตนซ์ โดยใช้วงจรบัทเทอร์เวิท 8

บทที่ 4 การทดลองและผลการทดลอง

4.1 วงจรกรองความถี่

-ตารางที่ 4.1.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ 48

-ตารางที่ 4.1.2 แสดงผลการทดลองของวงจรกรองช่วงความถี่ 21.4 MHz 50

-ตารางที่ 4.1.3 แสดงผลการทดลองของวงจรกรองช่วงความถี่ 455 kHz 52

4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน

-ตารางที่ 4.2.1 แสดงความสัมพันธ์ของ forward voltage bias และความถี่ที่เปลี่ยนไป 55

4.6 วงจรขยายลอการิทึม

-ตารางที่ 4.6.1 แสดงความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุท 64

4.8 ผลการทดลองสเปคตรัม อนาไลเซอร์

-ตารางที่ 4.8.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

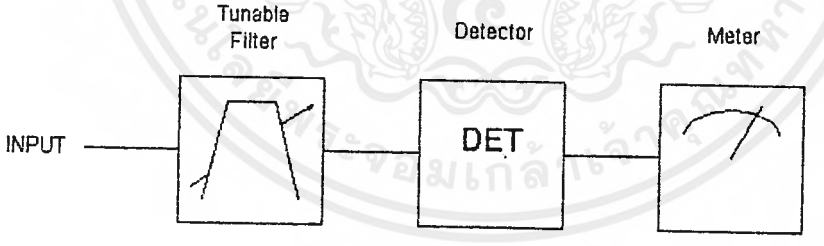
บทนำ

เครื่อง Spectrum Analyzer เหมือนกับออสซิลโลสโคปตรงที่ใช้ในการตรวจสอบรูปคลื่น โดยที่ออสซิลโลสโคปแสดงลักษณะของรูปคลื่นในเชิงเวลา ส่วน Spectrum Analyzer แสดงลักษณะรูปคลื่นในเชิงความถี่ Spectrum Analyzer จึงใช้เป็นเครื่องมือในการตรวจลักษณะสเปกตรัม (เชิงความถี่) ของรูปคลื่น

Spectrum Analyzer เป็นเครื่องมือวัดที่ใช้ในการแสดงคุณลักษณะของสัญญาณในเชิงความถี่ (Frequency Domain) กล่าวคือ เป็นเครื่องมือที่แสดงค่าขนาดของสัญญาณที่ความถี่ต่างๆ ซึ่งสามารถแบ่งชนิดของ Spectrum Analyzer ได้ดังนี้

1. Serial Analyzer (Scanning) จะวัด Spectrum ที่ความถี่หนึ่งๆ ณ เวลาหนึ่งๆ แบ่งเป็น
   - Tune Filter
   - Heterodyne
2. Parallel Analyzer (simultaneous) ซึ่งใช้วัด Spectrum หลายๆความถี่ ณ เวลาเดียวกันแบ่งออกเป็น
   - Filter Bank
   - Indirect Analyzer
   - Fourier Analyzer

จากโครงงานได้ทำการออกแบบ Spectrum Analyzer ซึ่งทำงานที่ย่านความถี่ 0 Hz จนถึง 10MHz จึงเลือกใช้วิธี swept heterodyne the wave analyzer (wave meter) ใช้วัดความถี่หนึ่ง ณ เวลาหนึ่ง โดยใช้ filter 1 ตัวทำการจูนในย่านความถี่ที่ต้องการดังรูป

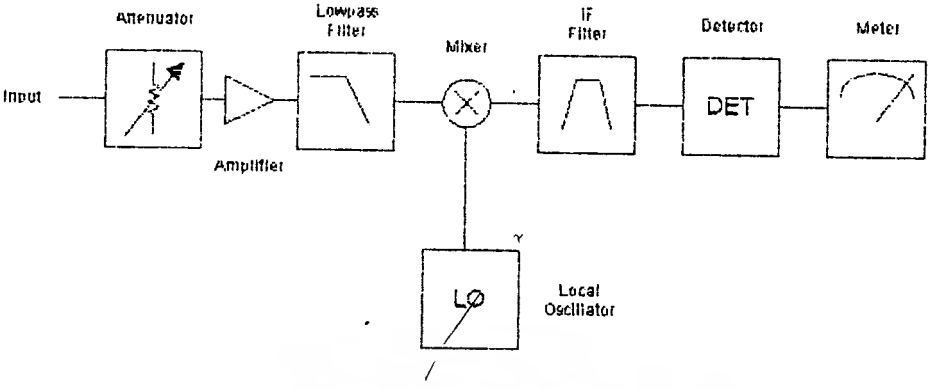


รูปที่ 1.1 block diagram ของ wave analyzer

วงจรแบนด์พาสฟิลเตอร์จูนความถี่ในย่านที่ต้องการได้ยาก ดังนั้น wave analyzer จึงไม่ค่อยใช้การจูนความถี่ของ filter แต่จะกำหนดให้ความถี่ของ filter คงที่ที่ความถี่ IF (intermediate frequency) และเรียก filter นี้ว่า IF filter

Block diagram อย่างง่ายๆของ wave analyzer แสดงดังรูปที่ 1.2 โดยมีองค์ประกอบสำคัญ คือ mixer ซึ่งประกอบไปด้วย 3 ส่วน ได้แก่ สัญญาณอินพุท สัญญาณจากโลคอลออสซิลเลเตอร์ (Local Oscillater) และสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 block diagram ของ the wave analyzer

สัญญาณอินพุท $V_{RF} = A\cos(2\pi f_{RF}t)$

สัญญาณจากโลคอลออสซิลเลเตอร์ $V_{LO}(t) = \cos(2\pi f_{LO}t)$

สัญญาณเอาท์พุทของวงจรมิกเซอร์ $V_{IF}(t) = A\cos(2\pi f_{RF}t)\cos(2\pi f_{LO}t)$

$$V_{IF}(t) = \frac{A}{2}\left[\cos(2\pi f_{RF}t + 2\pi f_{LO}t) + \cos(2\pi f_{RF}t - 2\pi f_{LO}t)\right]$$

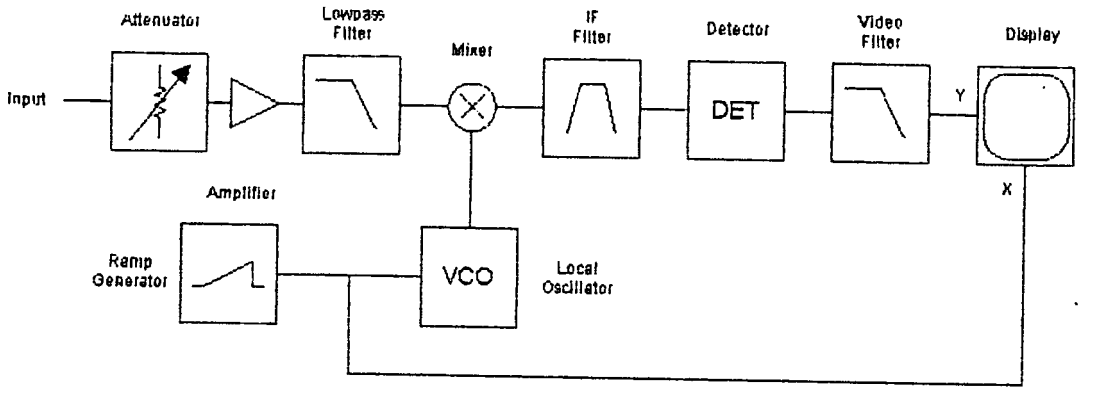
เอาท์พุทของมิกเซอร์ที่ได้เป็นความถี่ผลบวกและความถี่ผลต่างของโลคอลออสซิลเลเตอร์และสัญญาณอินพุทแต่จะใช้ผลต่าง จากลักษณะนี้เป็นแบบ Superheterodyne block diagram โดยมี IF filter ซึ่งจูนที่ความถี่กลาง ความถี่มิกเซอร์ใช้เป็นตัวเลื่อนความถี่อินพุทให้เป็นความถี่กลาง ส่วนความถี่อื่นๆที่เหลือจะถูกกำจัดออกไปโดย IF filter

สัญญาณอินพุทที่เข้ามามีการเปลี่ยนความถี่ ดังนั้นเพื่อให้เอาท์พุทของมิกเซอร์เป็นความถี่กลาง ความถี่ของโลคอลออสซิลเลเตอร์ต้องมีการจูนซึ่งเป็นการง่ายกว่าที่จะสร้างวงจร filter ที่มีการจูนในย่านกว้าง

Image Frequency คือ ความถี่อินพุทที่ไม่ต้องการ แต่ผลต่างของความถี่นี้กับโลคอลออสซิลเลเตอร์ได้เป็นความถี่ IF ซึ่ง Image Frequency จะมีค่าเป็น 2 เท่าของความถี่อินพุทที่ต้องการ

Image Frequency จะเกิดกับกรณีที่ความถี่ IF สูงกว่าความถี่อินพุทและแก้ปัญหาได้ โดยการใช้โลพาสฟิลเตอร์ที่ภาคอินพุทของการ Superheterodyne เพื่อกำจัด Image Frequency ออกไปก่อน Spectrum Analyzer ต้องมีการกวาดค่าความถี่ของโลคอลออสซิลเลเตอร์

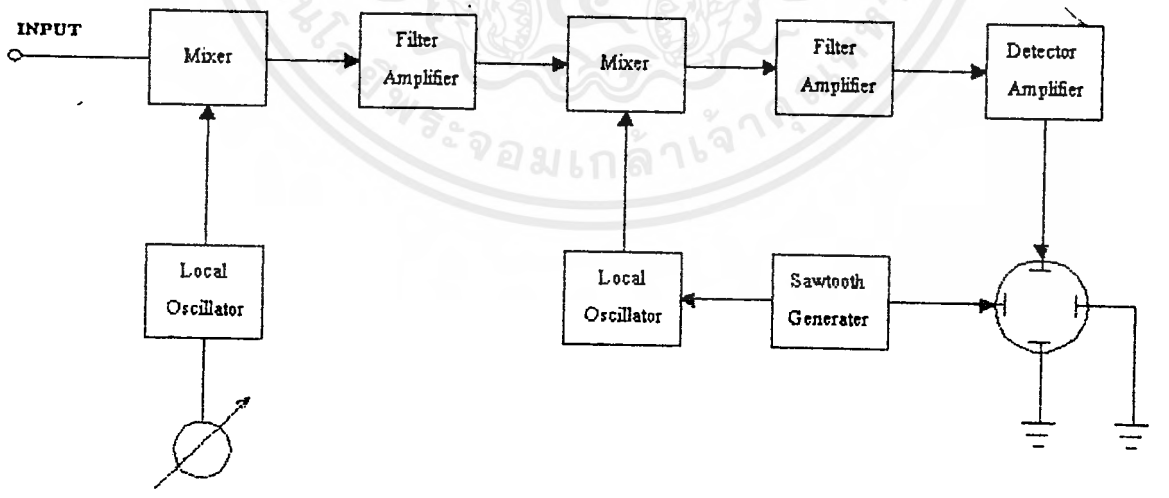
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 block diagram ของ swept spectrum analyzer

จากรูป block diagram ของ Spectrum Analyzer พัฒนามาจาก wave analyzer โดยการใช้ vco (voltage control oscillator) มาแทนโลคอลออสซิลเลเตอร์และมี Ramp Generator ซึ่งผลิตสัญญาณเอาท์พุทที่เพิ่มขึ้นแบบเชิงเส้น เพื่อนำมาขับ vco และนำมาแสดงในแกนนอน ส่วนแกนตั้งเป็นสัญญาณที่ผ่านโลพาสฟิลเตอร์และถูกดีเทคแล้ว

block diagram ที่ใช้ mixer / ภาค If 1ตัว เรียกว่า Single conversion receive ค่าความถี่ IF สูง ทำให้การกำจัด Image Frequency ได้ง่าย แต่ IF filter แบนด์แคบและดีเทคเตอร์จะสร้างยากที่ความถี่สูงๆ ซึ่งในทางกลับกัน filter แบนด์แคบและดีเทคเตอร์สร้างง่ายที่ความถี่ต่ำแต่จะมีปัญหาในการกำจัด Image Frequency ดังนั้นจึงใช้ Multiple conversion stage cascaded โดยแต่ละ Stage ประกอบด้วย Mixer , โลคอลออสซิลเตอร์ และ IF filter ดังรูป



รูปที่ 1.4 แสดงส่วนประกอบของ Heterodyne Spectrum Analyzer แบบที่มีโลคอลออสซิลเลเตอร์ 2 ตัว (Superheterodyne)

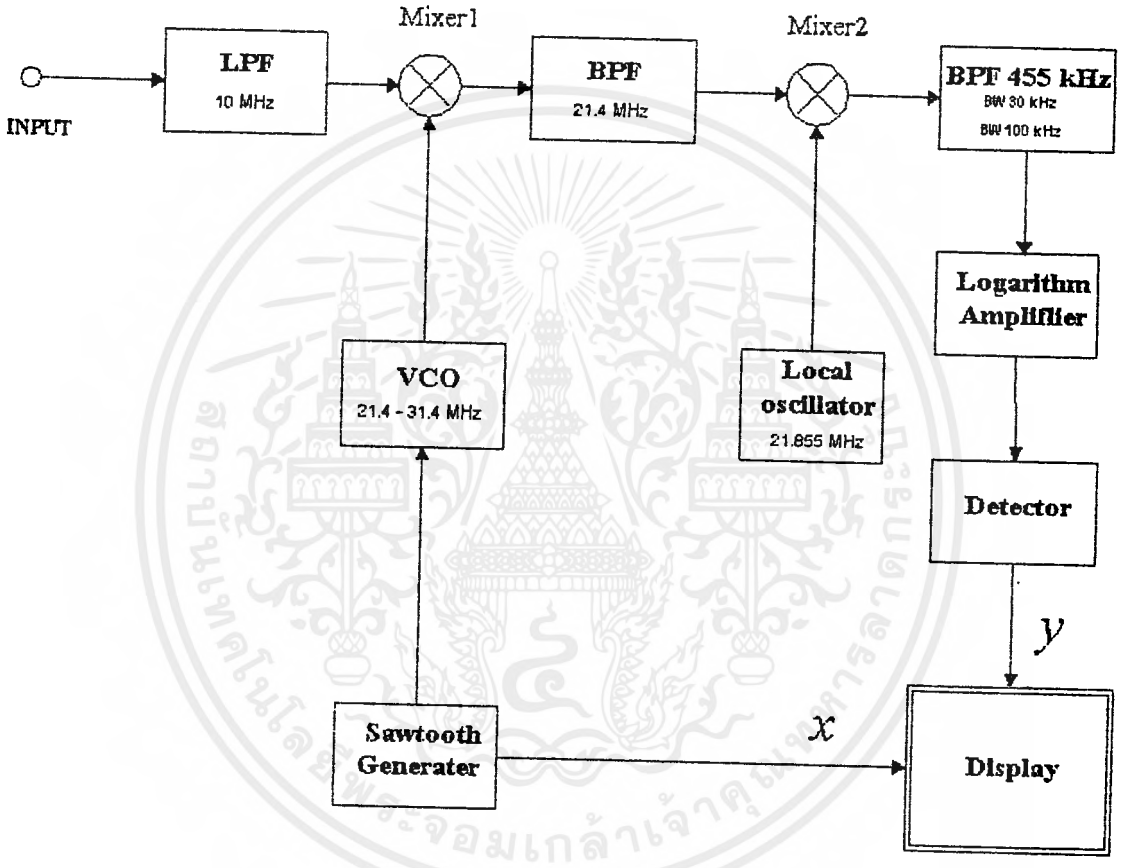
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Superheterodyne Analyzer มีการใช้โลคอลออสซิลเลเตอร์ 2 ตัว สำหรับแยกในการจูนความถี่ตัวหนึ่ง และอีกตัวหนึ่งใช้ในการ Scanning โดยการควบคุมของสัญญาณฟันเลื่อย ในการแยกหน้าที่กันของออสซิลเลเตอร์ จะช่วยให้การออกแบบกระทำได้ง่ายขึ้น วงจรแบบนี้มีข้อเสียอีกประการหนึ่งคือ ช่วงความถี่ในการใช้งานในการสแกน ของเครื่องวัดถูกจำกัดโดยแบนด์วิด ของ filter ตัวแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ



รูปที่ 2.1 แสดงบล็อคไดอะแกรมการทำงานของ Spectrum Analyzer

จากบล็อคไดอะแกรมตามรูปที่ 2.1 เป็นการทำงานของ Spectrum Analyzer ซึ่งใช้หลักการของ Superheterodyne มีหลักการทำงาน คือ เมื่อป้อนสัญญาณอินพุทเข้ามา สัญญาณอินพุทก็จะนำมาผ่านวงจรLPF เป็นการกรองสัญญาณที่ความถี่ 10 MHz สัญญาณที่ได้จะถูกนำมาผสมกับสัญญาณที่ได้จาก VCO ซึ่งเป็นสัญญาณที่ถูกควบคุมจากวงจร Sawtooth Generator เอาท์พุทของ Mixer ที่ได้เป็นความถี่ผลบวกและความถี่ผลต่าง แต่ในการทดลองนี้จะเลือกใช้ความถี่ผลต่าง และนำสัญญาณที่ได้มาผ่าน BPF ที่ 21.4 MHz ซึ่งจะคัดเลือกเอาเฉพาะความถี่ IF ออกมาโดยสัญญาณที่ได้จะถูกนำมาผสมกับโลคอลออสซิลเลเตอร์อีกครั้งหนึ่งและนำไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่าน BPF ที่จะกรองสัญญาณในช่วงค่าแบนด์วิดท์ต่าง ๆ ณ ความถี่กลางที่ 455 KHz สัญญาณที่ได้จะนำมาผ่านวงจรขยายลอการิทึมแล้วทำการดีเทคสัญญาณออกมา

ในการแสดงผลจะแสดงทางหน้าจอของออสซิลโลสโคป โดยแสดงเป็นแกน X และแกน Y ซึ่งแกน X จะนำมาจากสัญญาณของวงจร Sawtooth Generator ซึ่งผลิตเอาท์พุทมาขับ VCO ส่วนแกน Y เป็นสัญญาณที่ผ่าน LPF , Mixer 2 ชุด และ BPF แล้วทำการดีเทคสัญญาณ

2.1 วงจรกรองความถี่ (Filter)

โดยทั่วไปวงจรกรองความถี่ แบ่งออกเป็นหลายรูปแบบ

1.วงจรกรองความถี่ชนิด Analog หรือชนิด Digital

2.วงจรกรองความถี่ประเภท Passive หรือ Active

3.วงจรกรองความถี่ย่านความถี่เสียง (Audio Frequency) หรือย่านวิทยุ (Radio Frequency)

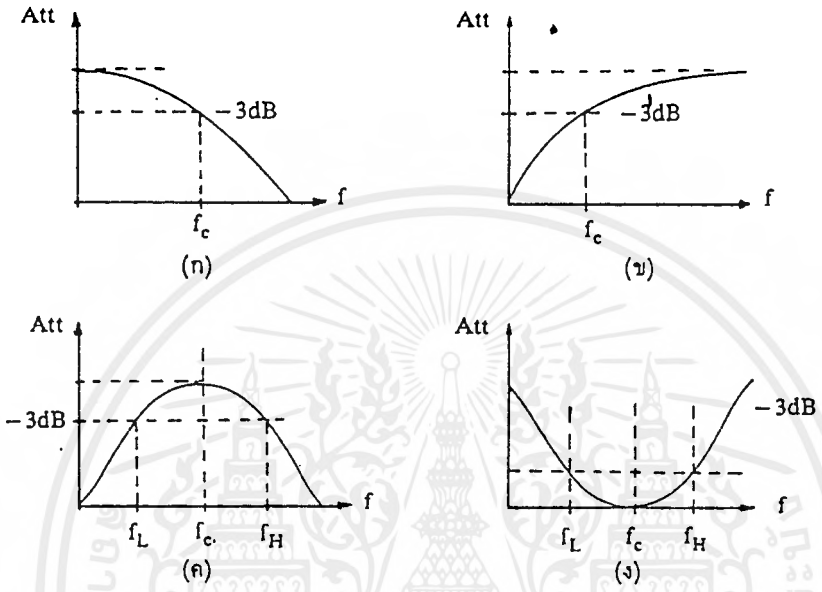
วงจรกรองความถี่ชนิด Analog ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วนวงจรกรองความถี่ชนิด Digital ใช้งานกับสัญญาณ Analog โดยอาศัยเทคนิคทาง Digital มาช่วย ถ้าคำนึงถึงชิ้นส่วน (element) ที่นำมาประกอบเป็นวงจรกรองความถี่ แบ่งออกเป็นประเภท Passive และ Active ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ ตัวต้านทาน (R), ตัวเก็บประจุ (C) และขดลวดเหนี่ยวนำ (L) ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก ทรานส์ซิสเตอร์ หรือ IC ในรูป Op-Amp และ ตัวต้านทาน และตัวเก็บประจุ ทำงานร่วมกัน ตัวต้านทาน, ตัวเก็บประจุ และขดลวดเหนี่ยวนำ ถือว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนใดนั้น ขึ้นกับย่านความถี่สัญญาณที่ต้องการให้วงจรกรองความถี่ทำงาน ยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียง (Audio Frequency) หรือ ใช้ในย่านความถี่ต่ำ (Low Frequency) ขณะที่ LC Filter หรืออาจจะกล่าวไปถึง Crystal Filter เหมาะที่จะใช้ในย่านความถี่วิทยุ (Radio Frequency) หรือย่านความถี่สูง (High Frequency) และโดยเฉพาะอย่างยิ่งเนื่องจากค่า Q หรือ Figure of merit ที่สูงของตัว Crystal ทำให้ Crystal Filter มีเสถียรภาพที่ความถี่สูงมาก ๆ ดีกว่า LC Filter อีกด้วย

วงจรกรองความถี่ที่ใช้ในวงจรโทรคมนาคมนั้นพอจะแยกออกเป็น 2 ส่วน คือ ส่วนที่หนึ่งเป็นวงจรกรองความถี่ที่ใช้กับสัญญาณที่มีค่าต่ำ ๆ (สัญญาณเสียง) ในวงจรกรองความถี่พวกนี้สามารถออกแบบวงจรกรองความถี่แบบ Active ส่วนที่สองเป็นวงจรกรองความถี่ที่ใช้กับวงจรที่มีกระแสผ่านสูง เช่น วงจรกรองความถี่ในวงจรขยายกำลังส่งออกของเครื่องส่งวิทยุ เป็นต้น ในวงจรกรองความถี่แบบนี้จำเป็นต้องใช้วงจรแบบ Passive แม้ว่าจะเกิดค่าสูญเสียก็ตาม วงจรกรองความถี่ที่ใช้กันมาก ๆ มีอยู่ 4 แบบ คือ วงจรกรองความถี่ต่ำ (Lowpass Filter) , วงจรกรองความถี่สูง (Highpass Filter) , วงจรกรองช่วงความถี่ (Bandpass Filter) และวงจรกรองความถี่ข้าง (Bandreject Filter)

2.1.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

วงจรกรองความถี่ต่ำ คือ วงจรที่ยอมให้สัญญาณความถี่ต่ำกว่าความถี่คัทออฟ (อัตราขยายของวงจรมีค่าลดลง 3 dB หรือเอาท์พุทตกลงเหลือ 0.707 เท่า) ผ่านออกมาได้ โดยการสูญเสียน้อยที่สุด ขณะที่สัญญาณที่ความถี่สูงกว่าความถี่คัทออฟ (อัตราการขยายผ่านจะมีการสูญเสียมาก) ถูกกันไม่ให้ผ่านวงจรออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.1 แสดงผลตอบสนองของวงจรกรองความถี่ทั้ง 4 แบบ

วงจรกรองความถี่แบบบัทเทอร์เวิท (Butterworth Filter) มีคุณสมบัติทางความถี่ตอบสนองที่ราบเรียบ โดยเลือกค่า Q ได้พอสมควร ค่าการสูญเสียในวงจรกรองความถี่แบบนี้หาได้จากสมการ

$$A_{bd} = 10\log\left[1+(\omega/\omega_c)\right]^{2n}$$

ω = ความถี่ที่ต้องการทราบค่าการสูญเสียของสัญญาณ

ω_c = ความถี่จุดตัดของความถี่ตอบสนองคิดที่ -3 dB

n = จำนวนอินดักเตอร์และคาปาซิเตอร์

ในวงจรกรองความถี่แบบบัทเทอร์เวิท เมื่อทำการนอร์มอลไลซ์ (คิดเสมือนนำความต้านทาน 1 โอห์มไปค่อ) จะได้

$$A_k = 2\sin\left[(2k-1)\pi/2n\right]$$

n = จำนวนอินดักเตอร์และคาปาซิเตอร์

A_k = ค่าของรีแอคแตนซ์ (reactance) ที่แต่ละค่าของ k

ค่าของ A_k หาได้ตามตารางที่ 2.1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

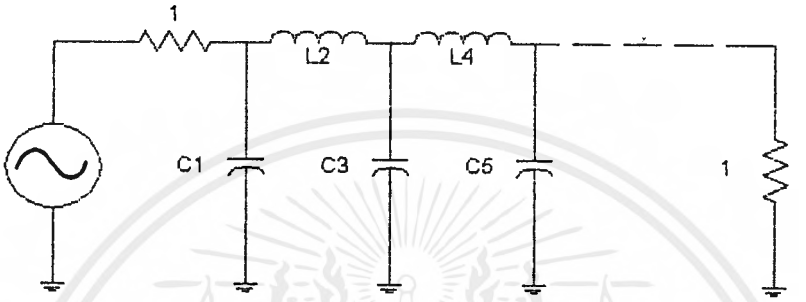
จากการ scalling จะได้ว่า

$$L_{new} = \frac{K_m}{K_f} L_{old}$$

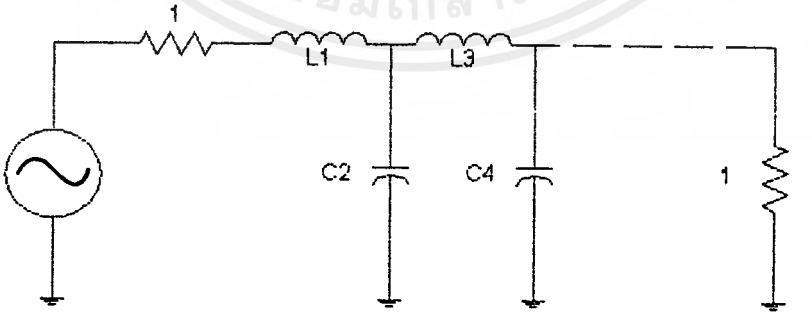
$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

เมื่อ K_m คือค่าที่กำหนด

K_f คือ $2\pi f_c$



n	C_1	L_2	C_3	L_4	C_5	L_6	C_7
2	1.4142	1.4142					
3	1.0000	2.0000	1.0000				
4	0.7654	1.8478	1.8478	0.7654			
5	0.6180	1.6180	2.0000	1.6180	0.6180		
6	0.5176	1.4142	1.9319	1.9319	1.4142	0.5176	
7	0.4450	1.2470	1.8019	2.0000	1.8019	1.2470	0.4450
n	L_1	C_2	L_3	C_4	L_5	C_6	L_7



ตารางที่ 2.1.1 แสดงตัวอย่างค่าอินดักแตนซ์และคาปาซิแตนซ์ โดยใช้วงจรบัทเทอร์เวิท

2.1.2 วงจรกรองช่วงความถี่ (Bandpass Filter)

วงจรกรองช่วงความถี่ จะยอมให้ความถี่ที่เหมาะสมย่านหนึ่ง (ย่านความถี่ผ่าน) เท่านั้นที่ผ่านไปได้ กล่าวคือ ย่านความถี่สูงและต่ำจะถูกบล็อกเอาไว้ ช่วงของความถี่ที่ผ่านได้ ถูกเรียกว่า " ช่วงกว้างของความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Bandwidth : BW) " โดยจะหาได้จาก

$$BW = f_U - f_L$$

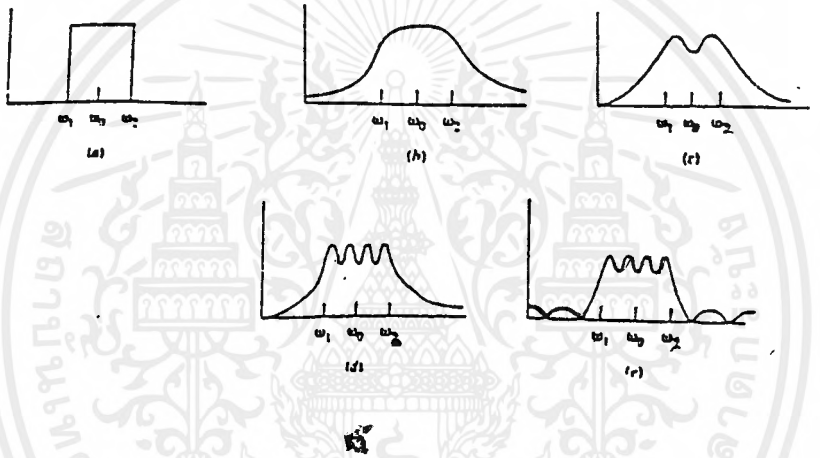
และค่าของความถี่กลาง (f_o) สามารถหาได้โดย

$$f_o = \sqrt{f_L f_U}$$

เมื่อ f_L และ f_U คือ lower และ upper frequency ของช่วงผ่าน

พารามิเตอร์ที่สำคัญอีกตัวหนึ่งของ bandpass filter คือค่า selectivity หรือ Q หาได้จาก $Q = \frac{f_o}{BW}$

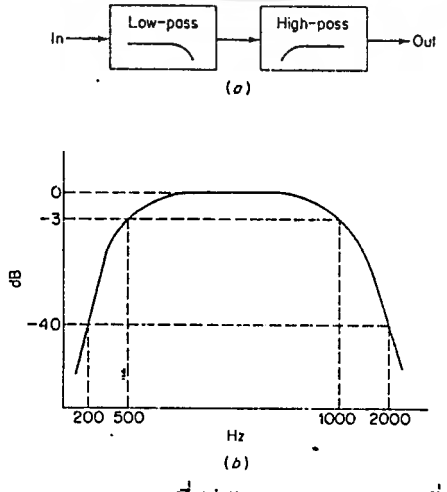
โดยรูปที่ 2.1.2 (a) แสดงให้เห็นถึงคุณลักษณะของแบนด์พาสฟิลเตอร์ ไม่มีริปเปิ้ล ซึ่งทั้งสองข้างของความถี่กลาง ไม่มีการเปลี่ยนแปลง



รูปที่ 2.1.2 การกรองความถี่ในลักษณะสัญญาณต่างๆกัน

<u>วงจรกรองช่วงความถี่แบนด์กว้าง</u> (Wide-Band Bandpass Filter)

สามารถแยกได้เป็นวงจรกรองความถี่ต่ำและวงจรกรองความถี่สูง โดยเป็นอิสระต่อกัน และถูกนำมาต่อกันเพื่อให้ได้ผลการตอบสนองเป็นวงจรกรองช่วงความถี่ ดังรูปที่ 2.1.3

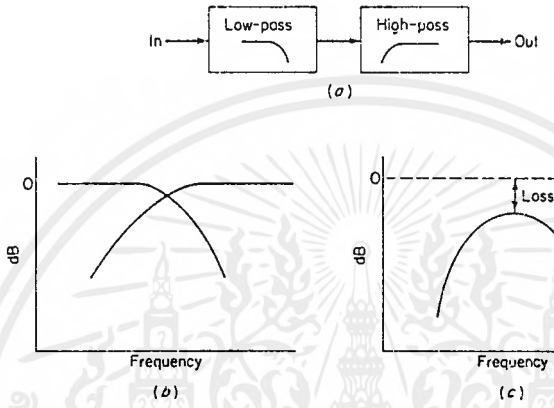


รูปที่ 2.1.3 การต่อวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูงเข้าด้วยกัน (a) ; ผลการตอบสนองทางความถี่ (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองช่วงความถี่แบนด์แคบ (Narrow-Band Bandpass Filter)

จะมีค่าอัตราส่วนระหว่าง upper cutoff frequency กับ lower cutoff frequency ประมาณ 2 เท่าหรือน้อยกว่า และไม่สามารถออกแบบโดยแยกเป็นวงจรกรองความถี่ต่ำและวงจรกรองความถี่สูงได้ เหตุผลสำคัญ ดูได้จากรูปที่ 2.1.4 ซึ่งอัตราส่วนระหว่าง upper cutoff freq. กับ lower cutoff freq. มีค่าลดลง แต่จะมี loss มากขึ้นที่ความถี่กลาง ซึ่งจะเป็นข้อละเว้นสำหรับอัตราส่วนที่เข้าใกล้ 1



รูปที่ 2.1.4 การต่อวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง (a); การประกอบผลการตอบสนองทางความถี่ (b) ; ผลรวมทางคณิตศาสตร์ของการลดทอน (c)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO)

วงจร VCO โดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ ใช้วาแรกเตอร์หรือวาริแคปเป็นส่วนหนึ่งในวงจรจูน คุณสมบัติที่สำคัญของ VCO ที่ต้องคำนึงถึงก็คือเฟสนอยส์ ซึ่งเกิดจากนอยส์ในตัววาแรกเตอร์ ค่า Q เลื่อนไหลของวงจรจูน (drift) และคุณสมบัติในตัวอุปกรณ์แอกทีฟไม่คงที่ วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและอินพุทอิมพีแดนซ์มีค่าสูง แต่บางครั้งอาจใช้ไอซี เช่น เบอร์ MC 1648 ความถี่ของวงจร VCO ถูกควบคุมด้วยแรงดันควบคุมที่ป้อนมาไบแอสแก่วาริแคปในวงจรจูน ถ้าแรงดันที่ไบแอสแก่วาริแคปเพิ่มขึ้นส่วนใหญ่ VCO จะมีความถี่เพิ่มขึ้น แต่ก็มีบางวงจรที่ทำให้ความถี่ VCO ลดลง แต่เป็นส่วนน้อย (เช่นในกรณีที่ใช้วงจรขยายอินเวอร์เตอร์มาขยายแรงดันควบคุมก่อน)

วงจร VCO นับว่ามีความสำคัญมากที่สุดในระบบ PLL ก็ว่าได้ เพราะว่าจะเป็นตัวกำหนดเสถียรภาพของความถี่ และถ้าใช้วงจร PLL เป็นวงจรดีมอดูเลตสัญญาณ FM ลักษณะของวงจรก็จะขึ้นอยู่กับความเป็นเชิงเส้นของ VCO คุณสมบัติของ VCO ที่พึงปรารถนาได้แก่

1. การแปลงแรงดันเป็นความถี่มีลักษณะเป็นเชิงเส้น
2. มีเสถียรภาพเชิงความถี่ (การเลื่อนหรือ drift เนื่องจากอุณภูมิมีน้อยทั้งระยะสั้นและระยะยาว)
3. ทำงานได้ที่ความถี่สูง
4. ช่วงตามรอยกว้าง
5. ปรับคลื่นได้ง่าย

คุณสมบัติเหล่านี้ขัดแย้งในตัวอยู่บ้าง เช่น ข้อ 2 ขัดแย้งกับข้ออื่น ๆในกรณีนี้ก็ต้องออมชอม และเลือกชนิดของ VCO แล้วแต่ว่าต้องการเน้นคุณสมบัติในข้อใด วงจร VCO แบ่งเป็น 3 ชนิดซึ่งจะเรียงลำดับตามเสถียรภาพของความถี่ได้ดังนี้

1. วงจรที่ใช้ผลึก
2. วงจรแกว่ง
3. วงจรอเนกระรัว (multivibrators)

สำหรับสองชนิดแรกการปรับคลื่นหรือควบคุมความถี่ทำได้โดยการปรับค่าแรงดันคร่อมไดโอดวาแรกเตอร์(varactor diode) สำหรับวงจรอเนกระรัว การควบคุมโดยความถี่ทำโดยการเปลี่ยนแรงดันให้เป็นกระแสเพื่อไปสะสมประจุใน ตัวเก็บประจุไฟฟ้า ตัวหนึ่ง VCO ชนิดที่ใช้ในวงจรประมวลจะเป็นแบบสองชนิดหลัง ซึ่งแม้ว่าจะมีเสถียรภาพสู้วงจรแบบผลึกไม่ได้ แต่มีช่วงตามรอยที่กว้างกว่าโดยเฉพาะชนิดสุดท้าย อย่างไรก็ดีวงจรแกว่ง LC ทำงานได้ดีที่ความถี่สูงกว่า แต่มีช่วงตามรอยที่แคบกว่า วงจรอเนกระรัวที่เป็น VCO ที่สำคัญมี 2 แบบ แบบหนึ่งใช้วงจรลั่นไกของชมิดต์ (Schmitt trigger) ที่มีฮิสเตอเรซิส(hysteresis) กว้างหรือ V1-V2 ค่าสูง ตัวเก็บประจุที่ใช้เก็บคลื่นจะสะสมและคายประจุระหว่างค่า V1 และ V2 ด้วยกระแสคงตัว I ซึ่งที่ค่าขึ้นอยู่กับแรงดันควบคุม V_d อีกแบบหนึ่งใช้วงจรอเสถียร (astable) เชื่อมโยงผ่านอิมิตเตอร์ ทรานส์ซิสเตอร์ทำงานแบบไม่อิ่มตัวทำให้ทำงานได้ที่ความถี่สูง

VCO ที่ใช้ในการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 วงจรแกว่ง LC ควบคุมโดยไดโอดวาแรกเตอร์

จะได้ความถี่ $f = \frac{1}{2LC}$

C แปรค่าได้ด้วยวาแรกเตอร์ไดโอด

มีคุณสมบัติคือ

1. ใช้กับความถี่สูง
2. เหมาะกับการใช้งาน
3. มีองค์ประกอบเป็นตัว ๆ
4. ช่วงตามรอยแคบ
5. ใช้ L ในวงจรรีโซแนนซ์

2.2.2 วงจรอินทิกระรัว ใช้การอินทิเกรต่วมกับวงจรสั่นไกของชมิตต์

$$f_0 = V_d g_m / 2C_0(V_2 - V_1)$$
$$g_m = V_d / i$$

มีคุณสมบัติคือ

1. ไม่ใช้ L
2. ช่วงแกว่งค่าสูง
3. ใช้กับความถี่ต่ำกว่า
4. ช่วงตามรอยปานกลาง

2.2.3 วงจร VCO ที่ใช้วงจรอะซิง โครนัสเชื่อมโยงผ่านอิมิตเตอร์

$$f_0 = V_d g_m / 4C_0 V_{be}$$
$$g_m = V_d / i$$

มีคุณสมบัติคือ

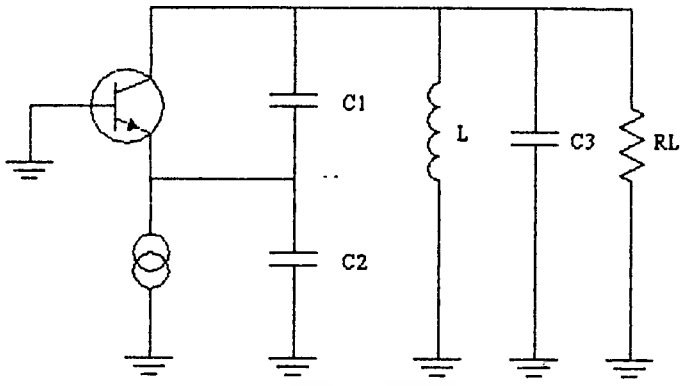
1. ไม่ใช้ L ในวงจร
2. ใช้กับความถี่สูงประมาณ 150 MHz
3. ช่วงตามรอยกว้าง

วงจร VCO มีประโยชน์มาก และควรผลิตเป็นวงจรประมวลผลช่วยทำให้ประยุกต์ใช้งานได้กว้างขึ้น และความสามารถของวงจรก็สามาถปรับปรุงได้อีก

วงจรออสซิลเลเตอร์ จะแบ่งการทำงานเป็น 2 ช่วง คือ ช่วงเริ่มต้น ซึ่งมีค่าลูปเกนมากกว่า 1 และช่วงทำงานซึ่งมีค่าเท่ากับ 1 ดังนั้นย่านการทำงานของแอมปลิไฟเออร์จะต้องเป็นชนิดไม่เป็นเชิงเส้น ทั้งนี้ เพื่อรักษาเสถียรภาพของขนาดของสัญญาณเอาท์พุทไว้ ซึ่งเป็นเหตุให้สัญญาณที่ได้ออกมานั้นมีฮาร์โมนิคต่างๆร่วมอยู่มาก

เพื่อลดขนาดของฮาร์โมนิคต่างๆให้น้อยลงนั้น จะใช้วิธีลดค่าเกนเริ่มต้น เพื่อไม่ให้แอมปลิไฟเออร์ทำงานเข้าสู่ย่านที่ไม่เป็นเชิงเส้นมากเกินไป ดังเช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



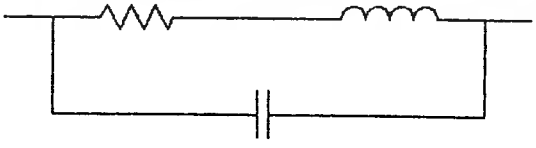
รูปที่ 2.2.1 วงจร colpitts oscillator

ปรกติเราจะใช้ common base transistor เป็นแอมปลิไฟเออร์ เพราะมีการตอบสนองต่อความถี่สูงได้ และมี phase shift (ϕ) ระหว่างอินพุทกับเอาท์พุทน้อย

- การแก้ไขไม่ให้ทรานซิสเตอร์ทำงานเข้าสู่ย่าน non-linear มากเกินไป

เนื่องจากต่อวงจรชนิด common base ดังนั้น input resistance จะมีค่าประมาณเท่ากับ $KT/q \Big/ I_{EQ} \approx \frac{0.026}{I_{EQ}}$ ซึ่งมีค่าน้อย ฉะนั้นจะเห็นว่าจะต้องใช้อัตราส่วนของโวลท์เตจสำหรับ capacitive voltagedivider ที่มาก ซึ่งทำได้ยาก และวงจรจะมีค่าอัตราขยายเริ่มต้นที่สูงมากเกินไป แก้ไขโดยการต่อความต้านทานอนุกรมกับ input resistance ซึ่งจะทำให้สามารถลดค่าอัตราขยายเริ่มต้นได้ โดยค่าความต้านทานนี้ขึ้นกับทรานซิสเตอร์และการทดลอง

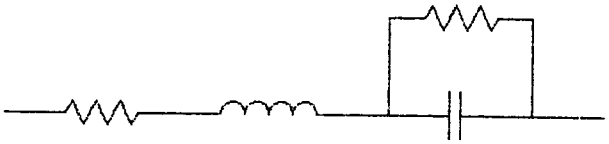
- การต่อวงจรเป็นชนิด common base อาจพิจารณาได้ว่าทรานซิสเตอร์จะทำตัวเสมือนเป็นตัวจ่ายกระแสต่อขนานกับอินดัคแตนท์



รูปที่ 2.2.2 วงจรเสมือนของ L ที่ความถี่สูง

และในทางปฏิบัติไม่สามารถเลือก C ที่มีค่ามากๆได้ เนื่องจาก C จะเกิด self resonance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

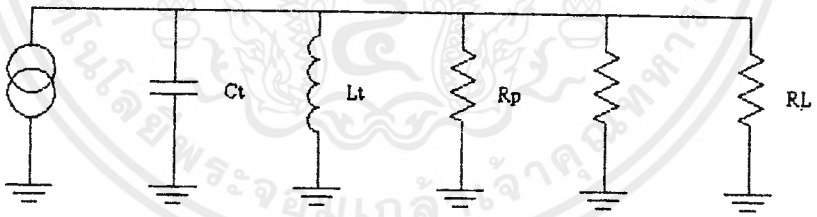


รูปที่ 2.2.3 วงจรเสมือนของ C ที่ความถี่สูง

- ประสิทธิภาพ

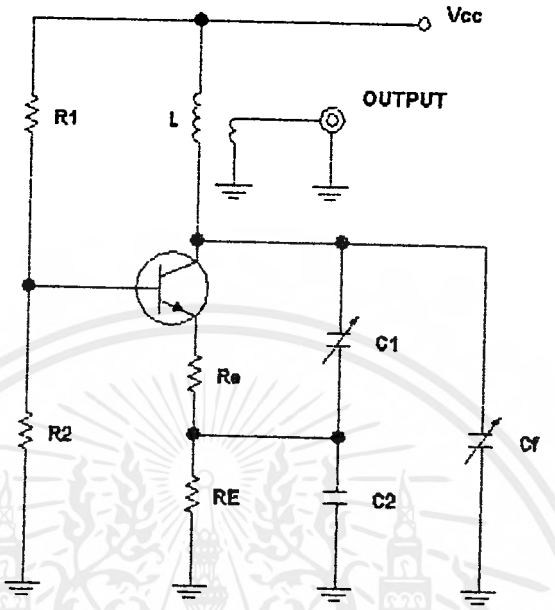
จากรูปที่ 2.2.6 จะเห็นว่าวงจร RLC resonator มีความต้านทาน 3 ตัวขนานกันอยู่ คาปาซิแตนท์ และความต้านทาน 3 ตัว คือ

1. ความต้านทานซึ่งแทนค่าการสูญเสียของ L
2. ความต้านทานซึ่งถูกแปลงจาก input resistance ของทรานซิสเตอร์ โดย capacitive voltage divider
3. โหลด



รูปที่ 2.2.4 วงจรรีโซเนเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

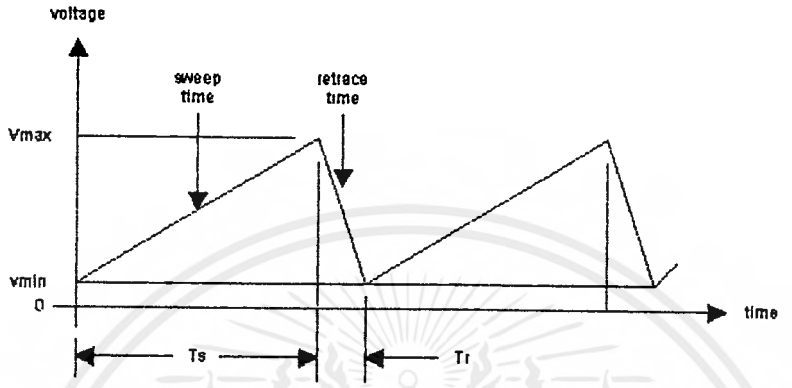


รูปที่ 2.2.5 วงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การกำเนิดสัญญาณฟันเลื่อย (Sawtooth Wave Generator)

สัญญาณฟันเลื่อยในอุดมคติ (ideal) จะต้องทำงานอย่างเป็นเชิงเส้นจากค่าแรงดันต่ำสุดไปหาค่าแรงดันสูงสุด และสะบัดกลับ (retrace) อย่างรวดเร็วกลับไปยังระดับแรงดันต่ำสุดค่าเดิม สัญญาณฟันเลื่อย แสดงดังรูปที่ 2.3.1



รูปที่ 2.3.1 สัญญาณฟันเลื่อยแบบเชิงเส้น

จากรูปที่ 2.3.1 แสดงสัญญาณฟันเลื่อยแบบเชิงเส้น แบ่งส่วนของสัญญาณออกเป็น 2 ส่วน คือ ส่วนลาดขึ้นแบบเชิงเส้น(linear rising)เรียกว่าแรงดันแรมป์ (ramp voltagte) มีช่วงเวลากวาด T (sweep time)แรงดันของแรมป์จะเปลี่ยนแปลงจากค่าต่ำ (V_{min}) ไปค่าสูง (V_{max}) คือเริ่มกวาดจากขอบซ้ายของหน้าจอไปยังขอบขวา เมื่อสุดขอบขวาแล้วจะต้องสะบัดกลับเป็นส่วนที่สอง มีช่วงเวลาสะบัดกลับTr (retrace time) ซึ่งจะต้องมีเวลาช่วงที่สั้นที่สุด เพื่อจะได้เริ่มทำงานใหม่อย่างรวดเร็ว ในช่วงสะบัดกลับนี้ชุดปืนอิเลคตรอนจะต้องหยุดทำงาน จะได้ไม่เห็นเส้นสะบัดกลับบนจอภาพ

สัญญาณรูปฟันเลื่อยที่ดีจะต้องมีคุณสมบัติดังนี้

1.กวาดได้เป็นเชิงเส้น

2.มีการสะบัดกลับรวดเร็ว

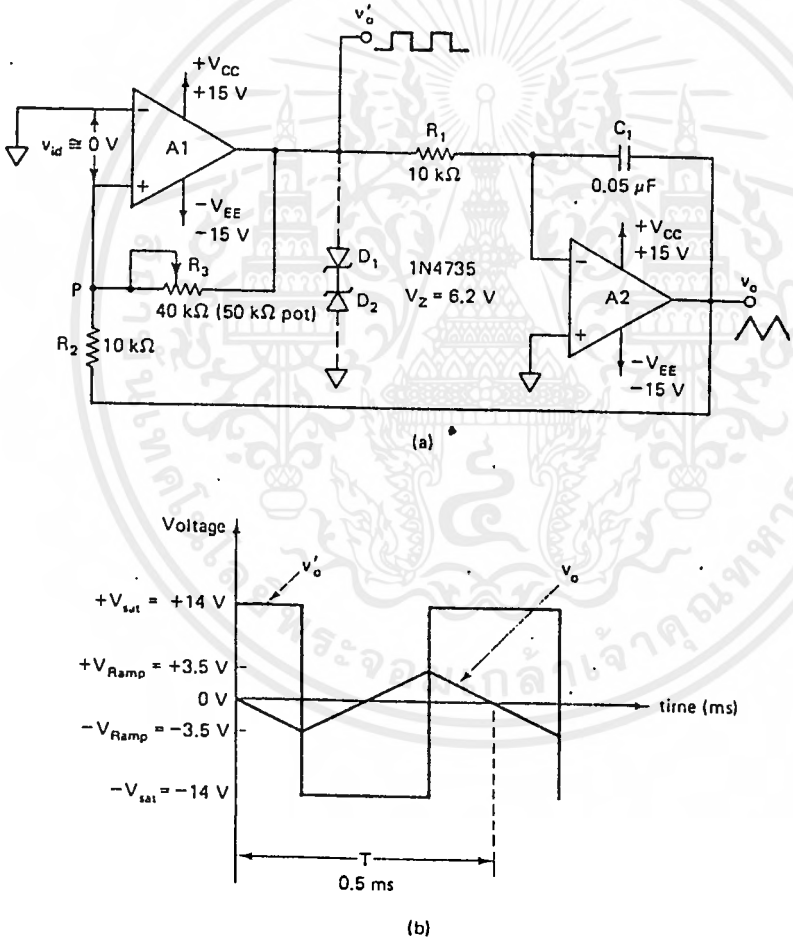
3.ควบคุมความถี่และปรับแต่งได้ง่าย

4.ซิงโครไนซ์ได้ง่าย

วงจรกำเนิดสัญญาณฟันเลื่อยมีอยู่ด้วยกันหลายแบบ ตั้งแต่วงจรกำเนิดแบบง่ายๆ ใช้RC จนถึงวงจรกำเนิดที่มีประสิทธิภาพสูง เช่น ทรานซิสเตอร์

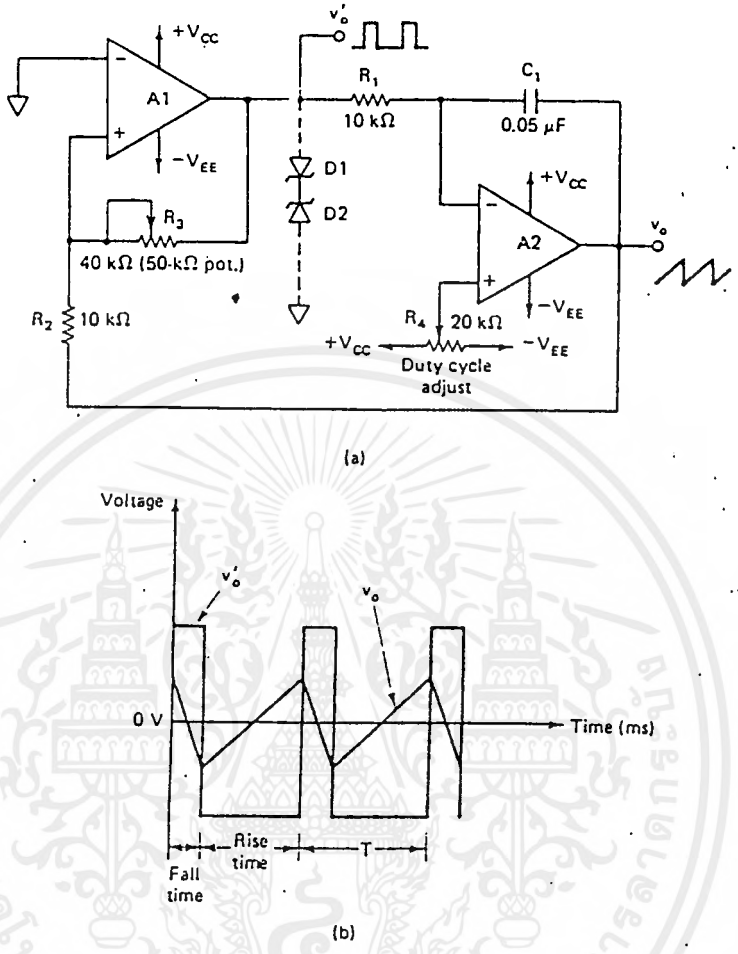
สิ่งที่แตกต่างกันระหว่างสัญญาณรูปสามเหลี่ยม (triangular) และสัญญาณรูปฟันเลื่อย (sawtooth) ก็คือ ช่วงเวลาขาขึ้น (rise time) ของสัญญาณสามเหลี่ยมจะเท่ากับช่วงเวลาขาลง (fall time) เสมอ นั่นคือ เวลาทั้งหมดที่แกว่ง (swing) จาก $-V_{ramp}$ ถึง $+V_{ramp}$ จะเท่ากับเวลาที่แกว่งจาก $+V_{ramp}$ ถึง $-V_{ramp}$ ในทางตรงกันข้ามสัญญาณฟันเลื่อยเวลาขาขึ้นจะไม่เท่ากับเวลาขาลงนั่นคือ เวลาขาขึ้นอาจจะเร็วกว่าขาลงหรือในทางกลับกัน วงจรสร้างสัญญาณสามเหลี่ยมสามารถที่จะดัดแปลงให้เป็นวงจรสร้างสัญญาณฟันเลื่อยได้โดยการป้อนแรงดันกระแสตรง (dc voltage) เข้าไปที่ขานอนอินเวอร์ติ้ง ของอินทิเกรเตอร์ A2 ซึ่งทำได้โดยการใช้เครื่องวัดระดับไฟฟ้า (Potentiometer) และต่อเข้ากับ +Vcc และ -Vee ระดับของดีซีโวลเตจที่ปนอยู่ในเอาท์พุทของA2 ขึ้นอยู่

กับการปรับค่าR4 สมมติให้A1 เป็นสัญญาณสี่เหลี่ยม (square) และปรับค่าRให้มีระดับค่าไฟดีซีที่แน่นอน นั่นก็หมายความว่า เอาท์พุทของA2 จะได้รูปสัญญาณสามเหลี่ยมออกมาซึ่งจะทับอยู่ในระดับไฟดีซี ซึ่งขึ้นอยู่กับการปรับค่า R4ดิวตี้ไซเคิล (duty cycle) ของสัญญาณสี่เหลี่ยมหาได้จากขั้ว (Polarity) และขนาด (Amplitude) ของระดับไฟดีซี ค่าดิวตี้ไซเคิลที่มีค่าน้อยกว่า50% จะทำให้เกิดสัญญาณฟันเลื่อยขึ้นที่เอาท์พุทของA2 (ดูที่รูป 2.3.3 a) ถ้าปรับค่าR4ให้อยู่ตรงกลางพอดีจะได้สัญญาณสามเหลี่ยมที่เอาท์พุทของA2 และที่ตำแหน่งอื่นๆจะได้สัญญาณฟันเลื่อย ถ้าปรับค่อนไปทาง -Vee ช่วงเวลาขาขึ้นของสัญญาณฟันเลื่อยจะมากกว่าช่วงเวลาขาลง ในทางตรงข้ามถ้าปรับให้ค่อนไปทาง+Vcc ช่วงเวลาขาลงจะมากกว่าเวลาขาขึ้น ดังนั้นความถี่ของสัญญาณฟันเลื่อยลดลงถ้าR4 ถูกปรับให้ค่อนไปทาง +Vcc หรือ -Vee อย่างไรก็ตามขนาดของสัญญาณไม่ขึ้นกับการปรับค่าR4



รูปที่ 2.3.2 วงจรกำเนิดสัญญาณรูปสามเหลี่ยม (a) รูปสัญญาณ : A1 และ A2 dual op-amp (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



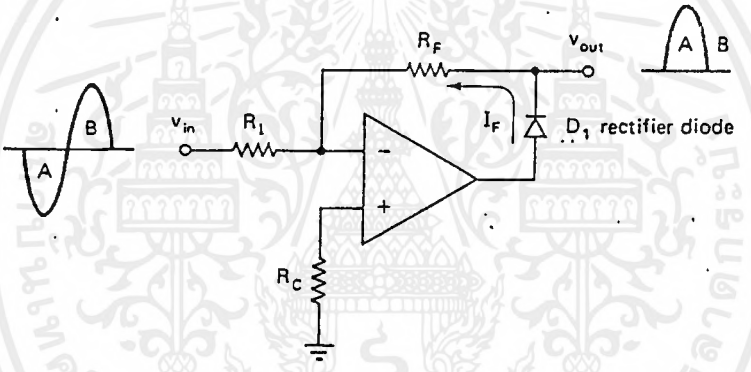
รูปที่ 2.3.3 วงจรกำเนิดสัญญาณฟันเลื่อย : A1 และ A2 dual op-amp,D1 และ D2 (a) รูปสัญญาณเอาท์พุท (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

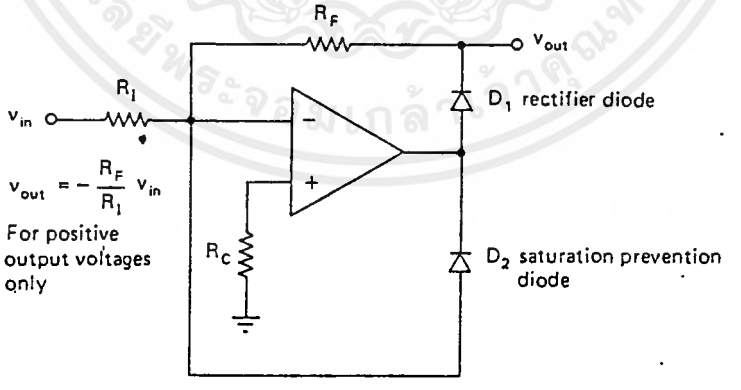
2.4 วงจรดีเทคเตอร์ (Detector)

Half-wave Presion Rectifier

Half-wave Presion rectifier ประกอบด้วย inverting amplifier ดังรูปที่ 2.4.1 ไดโอดต่ออนุกรมกับ R_F แสดงดังรูปที่ 2.4.1 ได้เอาท์พุทที่จุดต่อระหว่างไดโอดกับ R_F ขั้ว (polarity) ของการ rectify หาได้จากทิศทางของไดโอด ในรูป 2.4.1 (a) ทิศทางของกระแสไหลผ่าน R_F หาจากทิศทางของไดโอด และทิศทางของกระแสนี้นำไปสู่ขั้วของโวลเตจเอาท์พุท ส่วนไดโอดตัวที่สอง (D_2) ในรูป 2.4.1 (b) ต่ออยู่ระหว่างเอาท์พุทของออบแอมป์และจุดรวม(อินพุทขาลบ) ป้องกันการ saturate ของออบแอมป์จากส่วนที่ไม่ต้องการ (unwanted half-cycle) อัตราขยายแรงดัน(voltage gain) ระหว่าง V_{in} และ V_{out} คือ - (R_F/R_i) อัตราการขยายของวงจรสามารถเปลี่ยนได้ด้วยการเปลี่ยนค่าของรีซิสเตอร์นั่นคือ R_i หรือ R_F



(a) Basic half wave rectifier circuit



(b) Half wave precision rectifier circuit

รูปที่ 2.4.1 แสดงวงจร half-wave rectifier

จากรูปที่ 2.4.2 เป็น inverting half-wave rectifier ซึ่งพิจารณาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

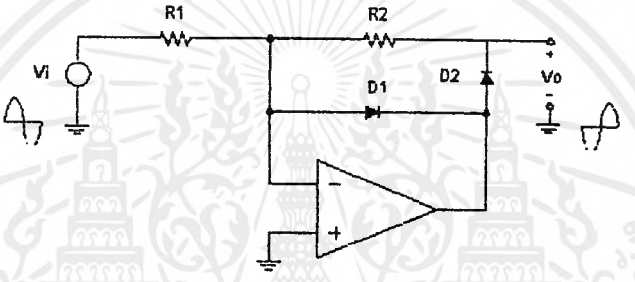
039043

เมื่อ $V_i > 0$ V โวลเตจที่อินพุทขาลบ (V_n) และโวลเตจที่อินพุทขาบวก (V_p) ของออบแอมป์ = 0 V กระแสไหลผ่าน R_1 จะต้องไหลจากซ้ายไปขวาในรูป กระแสผ่าน D_1 เท่านั้น ดังนั้นที่เอาท์พุทของออบแอมป์จะมีค่าประมาณ -0.7 V กระแสไม่สามารถไหลผ่าน R_2 - D_2 ดังนั้น D_2 จะอยู่ในฐานะปิดและ

$$V = 0V \qquad \text{สำหรับ} \qquad V_i > 0\ V$$

เมื่อ $V_i < 0$ V โวลเตจที่อินพุทขาลบ (V_n) และโวลเตจที่อินพุทขาบวก(V_p) ของออบแอมป์ = 0 V กระแสไหลผ่าน R_1 จากซ้ายไปขวา กระแสไหลผ่านได้เฉพาะ D_2 และ R_2 เท่านั้น ดังนั้น D_1 อยู่ในสภาวะปิดและจะได้ความสัมพันธ์ของ V_{out} และ V_{in} คือ

$$V_0 = \frac{R_2}{R_1} V_i \qquad \text{สำหรับ} \qquad V_i < 0\ V$$



รูปที่ 2.4.2 แสดงวงจร Precision half-wave rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรมิกเซอร์ (Mixer)

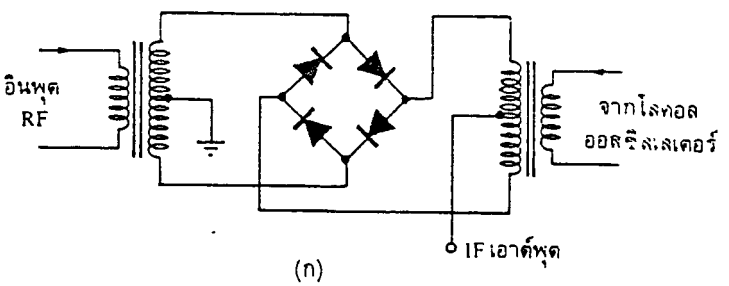
วงจรมิกเซอร์แบ่งออกได้เป็น 2 ประเภท คือประเภทแอกตีฟ (active) ใช้ทรานซิสเตอร์หรือไอซี รวมทั้งอุปกรณ์อื่นๆ ที่ให้อัตราการขยาย (ในการผสมคลื่น) และประเภทพาสซีฟ (passive) ใช้ไดโอด ซึ่งไม่มีการขยายสัญญาณ

นอกจากนี้ เราอาจแบ่งวงจรมิกเซอร์ได้เป็น 2 ประเภท คือ สมดุลหรือบาลานซ์ กับแบบไม่สมดุล หรืออันบาลานซ์ วงจรมิกเซอร์แบบสมดุลนี้ เราต่อวงจรให้ขั้วอินพุทหรือเอาท์พุทของวงจรมิกเซอร์ ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว)คุณสมบัตินี้เราเรียกว่า การแยกระหว่างขั้ว หรือ ไอโซเลชั่น และมีขั้วเอาท์พุท 1 ขั้ว คือสัญญาณ IF (หรือ RF) ดูรูปที่ 2.5.1 ลองพิจารณาในกรณีของภาครับจะเห็นว่าการกระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับขั้ว IF จะช่วยมิให้สัญญาณที่มีความพอดีตรงกับความถี่ IF เล็ดลอดเข้าไปสู่วงจรขยาย IF ในกรณีของภาคส่งก็พิจารณาในทำนองเดียวกัน

รูปที่ 2.5.1 ตัวอย่างมิกเซอร์ภาคเครื่องรับ (ก) และมิกเซอร์ของภาคเครื่องส่ง (ข)

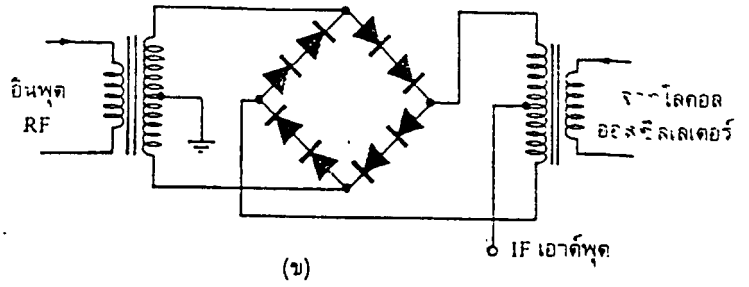
สำหรับวงจรมิกเซอร์แบบไม่สมดุลนั้น มีคุณสมบัติการแยกระหว่างขั้วไม่ดีเหมือนกับแบบสมดุล ถ้าต้องการให้มีการแยกสัญญาณดี ต้องใช้ฟิลเตอร์ช่วยในการกรองสัญญาณต่างหากอีก

ดูตัวอย่างวงจรบาลานซ์มิกเซอร์ รูปที่ 2.5.2 ซึ่งใช้ในภาคเครื่องรับ ไดโอดที่ใช้ต้องมีคุณสมบัติเหมือนกัน และหม้อแปลงก็ต้องสมมาตรกับจุดกลาง วงจรในรูปที่ 2.5.2 (ข) จะแตกต่างจากรูปที่ 2.5.2 (ก) ตรงที่ใช้จำนวนไดโอดเพิ่มอีก 4 ตัว เพื่อให้เหมาะกับการผสมสัญญาณที่ความแรงมากกว่า (เช่นมิกเซอร์ในภาคเครื่องส่ง)



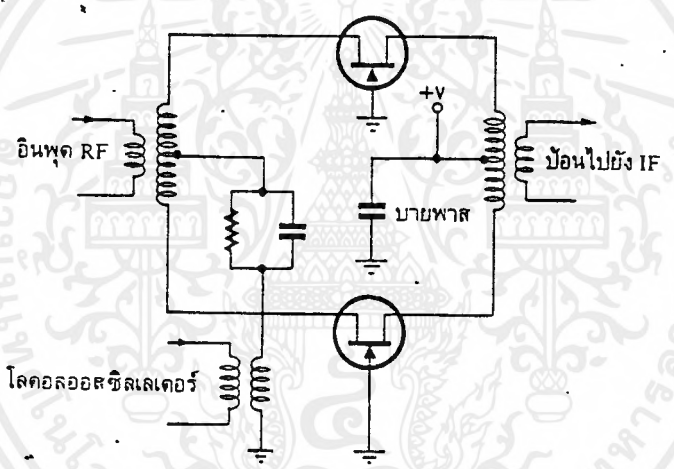
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

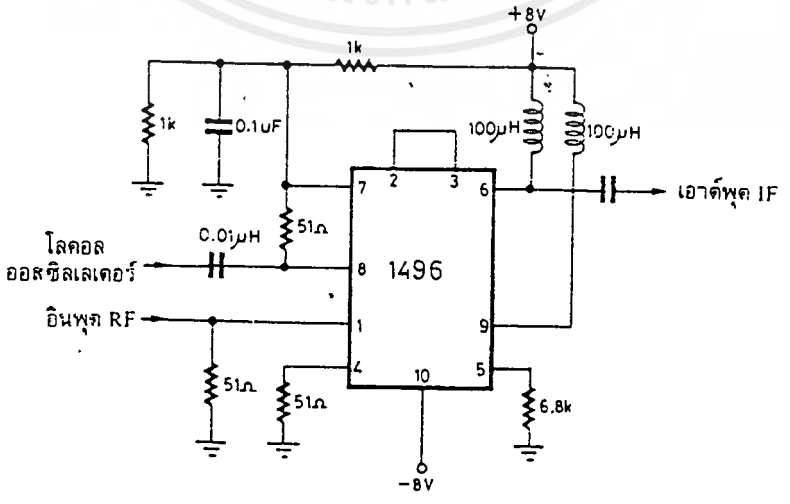


รูปที่ 2.5.2 วงจรบาลานซ์มิกเซอร์ ชนิดพาสซีฟ

ในรูปที่ 2.5.3 แสดงวงจรบาลานซ์มิกเซอร์แบบแอกตีฟ ซึ่งให้อัตราขยายในการผสมคลื่น (แทนที่จะให้อัตราสูญเสียในการผสมคลื่นเหมือนกับแบบพาสซีฟ) และรูปที่ 2.5.4 เป็นวงจรบาลานซ์มิกเซอร์อีกแบบหนึ่ง ที่ใช้ไอซี



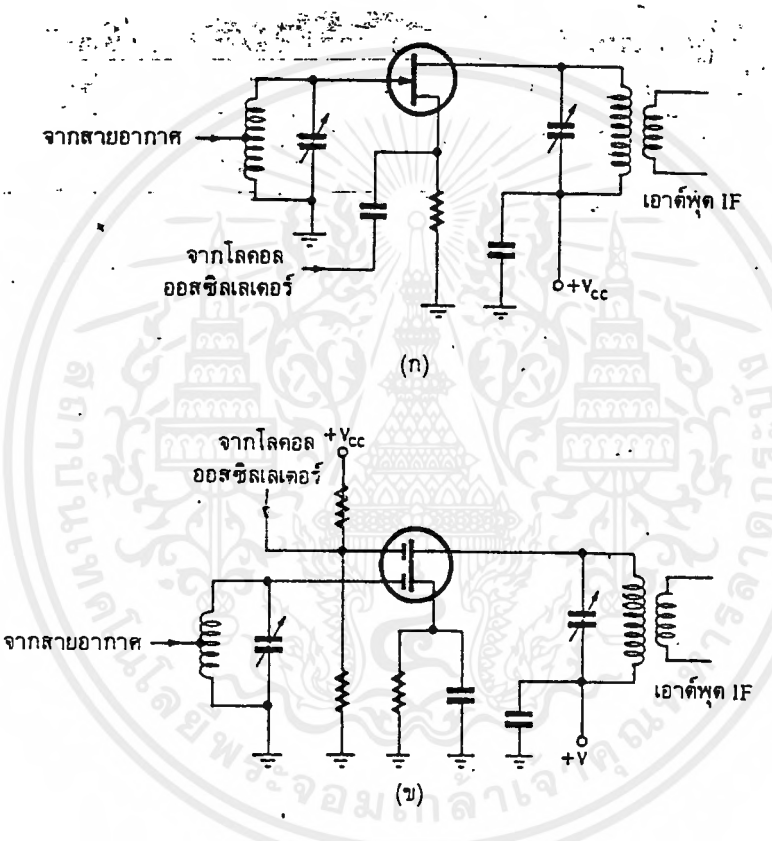
รูปที่ 2.5.3 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ FET



รูปที่ 2.5.4 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมิกเซอร์แบบไม่สมดุลแสดงไว้ในรูปที่ 2.5.5 (ข) ซึ่งใช้ MOSFET คุณสมบัติของวงจร คือมีการแยกระหว่างขั้วออสซิลเลเตอร์กับสายอากาศค่อนข้างดี แต่ระหว่างขั้ว RF และขั้ว IF ไม่ค่อยดี เราจำเป็นต้องใช้ฟิลเตอร์ช่วยกรองความถี่เพื่อกำจัดสัญญาณ RF มิให้เล็ดลอดเข้าขั้ว IF ไ ในรูปที่ 2.5.4 (ก) เราใช้ JFET โดยป้อนสัญญาณออสซิลเลเตอร์เข้าทางซอส และสัญญาณ RF เข้าทางเกต ซึ่งคุณสมบัติการแยกระหว่างขั้ว RF กับขั้ว ออสซิลเลเตอร์จะไม่ค่อยดี



รูปที่ 2.5.5 วงจรมิกเซอร์แบบไม่สมดุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรขยายลอการิทึม (Logarithmic Amplifier)

วงจรขยายลอการิทึม จะมีขนาดของสัญญาณ output แปรผันตามค่า log ของสัญญาณ input หรือ

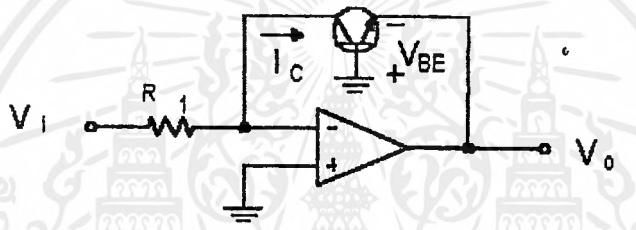
$$V_O = \log V_i \qquad (1)$$

อุปกรณ์ที่ใช้ในวงจรขยายลอการิทึม เป็นอุปกรณ์ nonlinear เช่น ไดโอด หรือ ทรานซิสเตอร์ ซึ่งมีการทำงานในฟังก์ชันของลอการิทึม โวลเตจที่ตกคร่อมตัวไดโอด (V_D) เป็นฟังก์ชันของกระแสที่ไหลผ่านตัวไดโอด โดยมีความสัมพันธ์คือ

$$V_D = A\log(I) \qquad (2)$$

โดยที่ค่าคงที่ A ขึ้นอยู่กับคุณสมบัติของสารกึ่งตัวนำในไดโอด

สำหรับการสร้างวงจรขยายลอการิทึม ที่จะใช้งานได้จริง จะนิยมใช้ทรานซิสเตอร์มากกว่าไดโอด ดังแสดงในรูปที่ 2.6.1

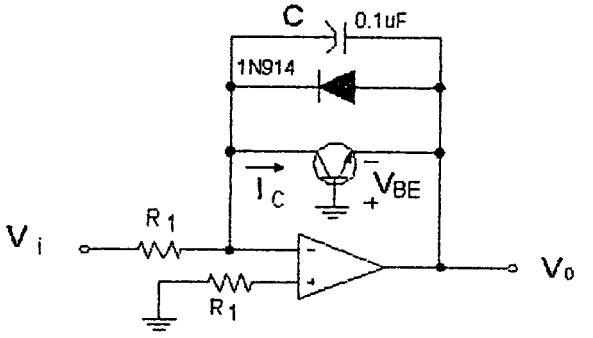


รูปที่ 2.6.1 The transdiode logarithmic amplifier

วงจรขยายลอการิทึมแบบทรานส์ไดโอด ดังรูปที่ 2.6.1 ใช้สมการที่ (2) เป็นพื้นฐาน ซึ่งโวลเตจที่ตกคร่อมไดโอด ก็คือ โวลเตจระหว่างเบส-อีมิตเตอร์ ของทรานซิสเตอร์ และกระแสคือกระแสคอลเลคเตอร์ ดังนั้น

$$V_{BE} = A\log(I_C) \qquad (3)$$

จากวงจรดังรูปที่ 2.6.1 เราสามารถปรับปรุงวงจรให้ใช้งานได้จริง ดังรูปที่ 2.6.2 ตัวเก็บประจุ ที่ต่อคร่อมทรานซิสเตอร์แบบ npn เป็นตัวลด ac gain ในขณะที่ไดโอดป้องกัน reverse voltage ที่มากเกินไป



รูปที่ 2.6.2 แสดงวงจรขยายลอการิทึม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย R_1 ถูกกำหนดโดย

$$R_1 \geq \frac{(V_t)\max}{(I_C)\max} \qquad (4)$$

และ

$$R_1 \leq \frac{(V_t)\min}{input-bias-current-of-op-amp} \qquad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรออสซิลเลเตอร์

2.7.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด(คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือกดปุ่มช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้นเรียกว่า เรโซลูชั่น (RESOLUTION)

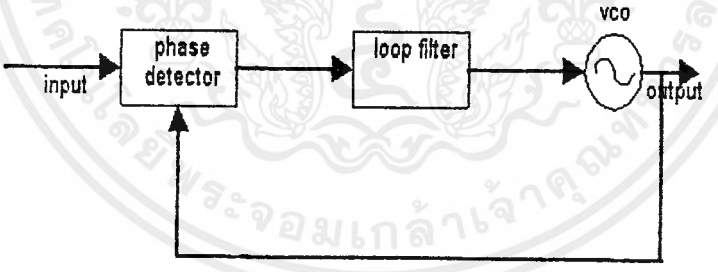
วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

1.วิธีสังเคราะห์โดยตรง (DIRECT SYNTHESIS) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

2.วิธีสังเคราะห์โดยอ้อม (INDIRECT SYNTHESIS) วิธีนี้อาศัยเฟสล็อกลูป (PHASE LOCK LOOP) เรียกย่อว่า PLL

2.7.2 เฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่ หรือเฟสของสัญญาณอ้างอิงภายนอกเฟสล็อกลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบ หรือเฟสดีเทกเตอร์ (PHASE DETECTOR) ภาคลูปฟิลเตอร์ (LOOP FILTER) และภาควีซีโอ (VCO) (ดูรูปข้างล่าง) ในที่นี้สมมติว่า เราต่อเอาท์พุทจากวงจรวีซีโอ



รูปที่ 2.7.1 แผนผังของเฟสล็อกลูป

สมมติว่า มีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (PERIODIC) เข้ามาที่อินพุท ภาคเทียบเฟสมีหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจากวีซีโอ เอาท์พุทที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสอง ที่ทำการเปรียบเทียบแรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ชนิดโลพาสกรองความถี่เอาแต่เฉพาะความถี่ต่างๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของวีซีโอต่อไป

เมื่อลูปอยู่ในสภาวะล็อก (lock) ความถี่ของวีซีโอจะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่ภาคเฟสดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage)ไปควบคุมการทำงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุทแตกต่างนั้นจะมีค่าคงที่ (constant phase defference) ในกรณีที่มีเฟสไม่ตรงกัน

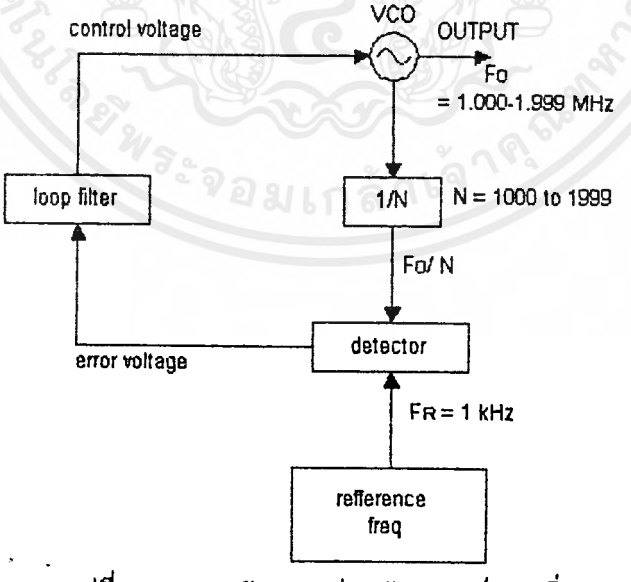
เราสามารถนำเฟสล็อกลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท(จากวีซีโอ)ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

เฟสล็อกลูปยังมีประโยชน์อื่นๆอีกเช่นในการดีมอดสัญญาณเอฟเอ็ม (หรือพีเอ็ม) เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์มีค่าสัมพันธ์กับการเปลี่ยนเฟสของคลื่นพาหะ

2.7.3 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

เฟสล็อกลูปเป็นหัวใจในการสังเคราะห์ความถี่เสมอ รูปข้างล่างเป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่าย ประกอบด้วย 5 ภาค คือ ภาควีซีโอ เป็นออสซิลเลเตอร์ กำเนิดสัญญาณเอาท์พุทของระบบสังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่นๆ (reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

แผนผังนี้ สัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่งคือ จากวีซีโอ มีความถี่เท่ากับ F_o/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบ ก็คือ ผลต่างระหว่างสัญญาณ F_o/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลเตอร์ของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน



รูปที่ 2.7.2 แผนผังของหน่วยสังเคราะห์ความถี่

ในสภาวะล็อก (lock) ความถี่ของวีซีโอ เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$VCO = NF_R$$

(คำนวณจาก $F_o/N = F_R$ ที่วงจรเทียบเฟส)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวอีกนัยหนึ่งว่า เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิงสมมติว่า F_R = 1 กิโลเฮิรตซ์ N = 1000 จะได้ F_0 = 1 เมกะเฮิรตซ์ ถ้า N เพิ่มทีละ 1 เป็น 1.001, 1.002, 1.003 ....ค่า FO จะเพิ่มทีละ 1 กิโลเฮิรตซ์ ไปเรื่อยๆ เป็น 1.001, 1.002, 1.003....เมกะเฮิรตซ์ ตามลำดับ

สังเกตว่า เฟสล็อกลูปดังกล่าว สามารถผลิตความถี่ได้ แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ N) ย่อมเป็นเลขจำนวนเต็มเสมอ

2.7.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่นในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือ ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อก (lock-up time) สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้น มีความจำเป็นอย่างยิ่งสำหรับเครื่องรับวิทยุ

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) คือความถี่ฮาร์โมนิกและสปิวเรียสต่างๆจะถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียวในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์ (phase noise)

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิง มักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่ จะมีเสถียรภาพและความเที่ยงตรงทางความถี่ เทียบเท่ากับคริสตอลออสซิลเลเตอร์

2.7.5 วงจรในเฟสล็อกลูป

ก. วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage Control Oscillator - VCO)

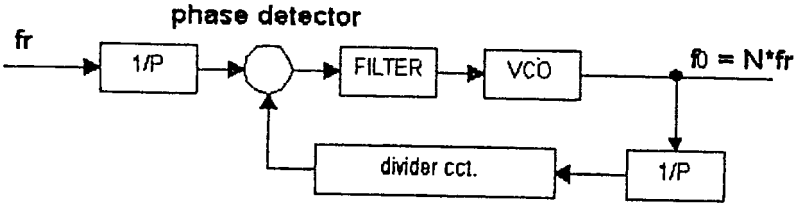
ดังที่ได้กล่าวมาแล้วใน หัวข้อ 2.2

ข. วงจรหารพรีสเกลเลอร์ (PRESCALE)

เป็นวิธีที่จะทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่ได้สูงมากอีกวิธีหนึ่งซึ่งส่วนสำคัญของวงจรหารแบบนี้คือ ไอซีตระกูล ECL ซึ่งมีความสามารถในการทำงานที่ความถี่สูงกว่าตระกูล TL หลายเท่า ไอซีที่กล่าวถึงจะทำการหารล่วงหน้า (Prescale) ก่อน โดยการหารความถี่อ้างอิง f_r ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และใช้วิธีคูณความถี่ขึ้นไป P เท่า ภายในลูปซึ่งจะทำงานถึงความถี่ที่ใช้งานโดยไม่ต้องมีวงจรมัลติพลาย

วงจรนับหาร P เป็นชุดวงจรฟลิบฟลอบธรรมดา ซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับเฟสล็อกลูปในรูปที่ 2.7.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

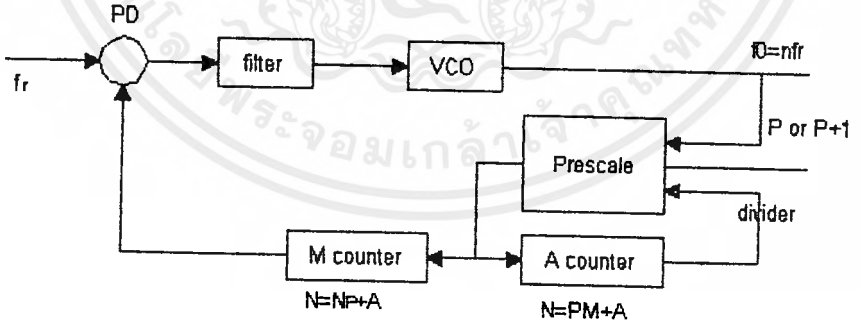


รูปที่ 2.7.3 PLLแบบพรีสเกลเลอร์

จากที่ได้กล่าวมาแล้วว่าวงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบโมดูลัส (modulus divider) เป็นวิธีที่ทำให้ระบบสงเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้า (prescale) ก่อน ซึ่งหมายถึงว่ามีการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ ดังแสดงในรูป 2.7.4 เอาท์พุตของพรีสเกลเลอร์จะป้อนให้กับวงจรนับ (counter) สองตัวตัวหนึ่งเป็นตัวนับหลัก (main counter) อีกตัวหนึ่งเป็นตัวนับเสริม (auxiliary counter)

ตัวนับเสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหารใดคือหารด้วย 10 หรือ 11 เช่นสมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้ตัวนับเสริม และในขณะนี้จะใช้ 11 เป็นตัวหารเมื่อตัวนับเสริมหยุดนับจึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10 ตัวนับหลักก็เช่นเดียวกันจะค่อยๆ นับถอยหลังไปเรื่อยๆ เมื่อตัวนับหลักและตัวนับเสริมนับถึงศูนย์ ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้แก่ตัวนับเสริมจะต้องน้อยกว่าค่าตัวเลขที่พรีเซตให้กับตัวนับหลัก



รูปที่ 2.7.4 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์

สมมติให้ตัวเลขที่พรีเซตให้กับตัวนับหลักเป็น M และตัวนับเสริมเป็น A เริ่มแรกใช้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ไปจนตัวนับเสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมคิดเป็นจำนวนไซเคิลของ VCO ที่ผ่านไปเท่ากับ 11 คูณด้วย A ไซเคิล หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 โดยตัวนับเสริม ในขณะนี้ตัวนับหลักผ่าน A ไปแล้ว พร้อมกับตัวนับเสริมยังเหลืออยู่อีก (M-A) ไซเคิลก่อนที่จะนับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวนับหลักเป็นต่อไปอีกคิดเป็นจำนวนไซเคิลที่ผ่านไปของ VCO เท่ากับ 10 คูณด้วย (M-A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้นคือ

VCO ไซเคิล = 11A+10(M-A)

= 10M+A

ความถี่ของ VCO จะเท่ากับ (10M+A) เท่าของความถี่อ้างอิงหรือ

$F_{SYNTH} = F_{ref}(10M+A)$

สังเกตว่าผลของตัวเลขM มีผลต่อความถี่ F_{SYNTH} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร (10M+A) ก็ไม่สามารถหารได้ครบทุกค่าตัวเลขเนื่องจากมีจำกัดตรงที่ M จะต้องมากกว่าหรือเท่ากับ A ในที่นี้ตัวหาร (10M+A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่ยกตัวอย่างข้างต้นใช้พรีสเกลเลอร์แบบ 10/11 ในกรณีที่ใช้พรีสเกลเลอร์ชนิดหารสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

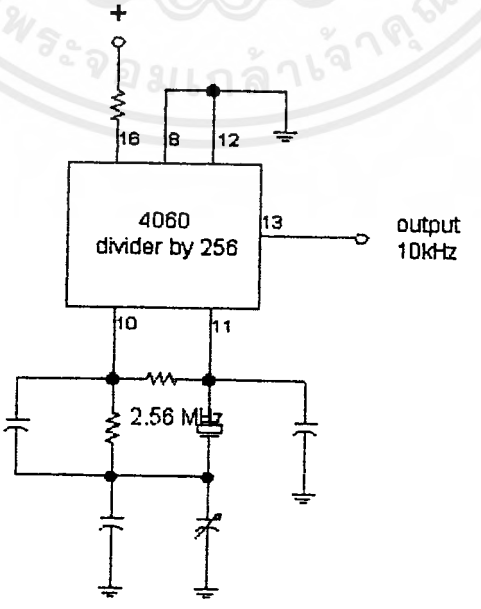
ตัวการของระบบสังเคราะห์ความถี่ = PM+A

ตัวหารต่ำสุด = P(P-1)

ตัวหารสูงสุด = $P_{max} - A_{max}$

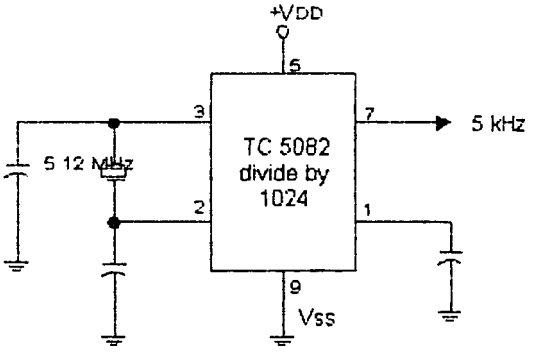
ถ้าตัวหารของพรีสเกลเลอร์มีค่ามาก ตัวหารต่ำสุดก็จะยิ่งมากขึ้นไปอีกซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูงๆ และช่วงห่างระหว่างแคบ

เหตุผลสำคัญในการใช้พรีสเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ถ้าใช้พรีสเกลเลอร์แบบ256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพรีสเกลเลอร์ชนิดหารสองโมดูลัสคือ การให้กำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดงเช่นในภาวะรับโลคอลออสซิลเลเตอร์จะผลิตความถี่ที่แตกต่างกับความถี่ที่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่งเช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับ รีพีตเตอร์เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้คือ สามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย



(ก) วงจรออสซิลเลเตอร์อ้างอิง CMOS เบอร์ 4060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)ตัวอย่าง IC ที่ใช้กำเนิดความถี่ อ้างอิง เบอร์ TC 5082 P

รูปที่ 2.7.5

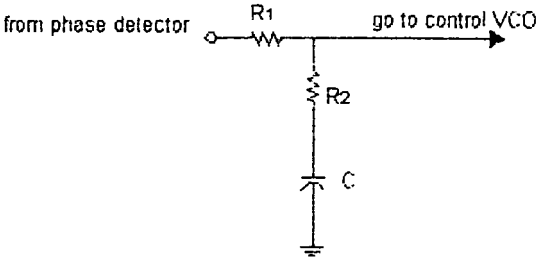
ค. ภาคความถี่อ้างอิง นิยมใช้คริสตอลออสซิลเลเตอร์ และมีวงจรหารความถี่ค่าตายตัวส่วนใหญ่เป็นไอซี ดูตัวอย่างในรูป 2.7.5 (ก) แสดงตัวอย่างวงจรออสซิลเลเตอร์ ซึ่งใช้แร่ความถี่ 2.56 เมกะเฮิรตแล้วหารออกมาเป็น 10 กิโลเฮิรตซ์ ทั้งวงจรออสซิลเลเตอร์และวงจรหารความถี่จะอยู่ภายในตัวไอซีทั้งหมดมีแต่เฉพาะ R กับ C เท่านั้นที่ต่อภายนอก ส่วนรูปที่ 2.7.5 (ข) เป็นไอซีที่ใช้งานแบบเดียวกัน

ความถี่ออสซิลเลเตอร์อ้างอิงนี้ เป็นตัวกำหนดเรโซลูชั่นและเสถียรภาพของความถี่อ้างอิงที่ดี จึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพดีด้วย

ง. ภาคเทียบเฟสส่วนใหญ่จะเป็นแบบดิจิตอล ซึ่งเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณที่ได้จาก วีซีโอ (หลังจากหาร N) เอาท์พุทที่ได้จากการเปรียบเทียบจะเป็นพัลส์ที่มีวัฏจักรหน้าที่ (duty cycle) เปลี่ยนแปลง

จ. วงจรเทียบเฟส นี้จะเรียกว่า เทียบเฟส หรือ เฟสความถี่ก็ได้ เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์ขึ้นอยู่กับผลต่างเฟส หรือความถี่ของสัญญาณอินพุท 2 สัญญาณ ผลลัพธ์ที่ได้จากเฟสดีเทกเตอร์จะเป็นพัลส์ ซึ่งมีส่วนผสมของไฟดีซีปนอยู่ ส่วนที่เป็นไฟดีซีนี้จะนำไปใช้ควบคุมความถี่ของวีซีโอ ไม่ว่าความถี่ของวีซีโอจะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรเฟสล็อกลูปสามารถแก้ไขได้เรียกว่า แคปเจอร์เรนจ์ (capture range)

ฉ. ลูปฟิลเตอร์ เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของวีซีโอ โดยทั่วไปมักใช้ลูปฟิลเตอร์ประเภทพาสซีฟ (มีแค่ R กับ C หรือ อาจใช้ฟิลเตอร์ชนิดแอกทีฟก็ได้) ดูรูปที่ 2.7.6 เรียกว่า คุณสมบัติชั่วครู่ (transient) ถ้าเลือกอัตราขยายลูป (loop gain) และค่าคงตัวเวลาของลูป (loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนไปเปลี่ยนมา



รูปที่2.7.6 ตัวอย่างวงจรลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนเฟสล็อกลูปจะต้องล็อกได้เร็ว โดยไม่มีการสะบัด (overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (jitter)

ช. ภาคหาร N (หรือ programmable divider) เป็นภาคที่มีผลต่อช่วงเวลาที่ใช้ในการล็อกความถี่เวลาที่ใช้ในการล็อกความถี่เมื่อ N มีค่าน้อยที่สุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (decade counter) หลายๆ ชุดมาต่อร่วมกับเกตต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

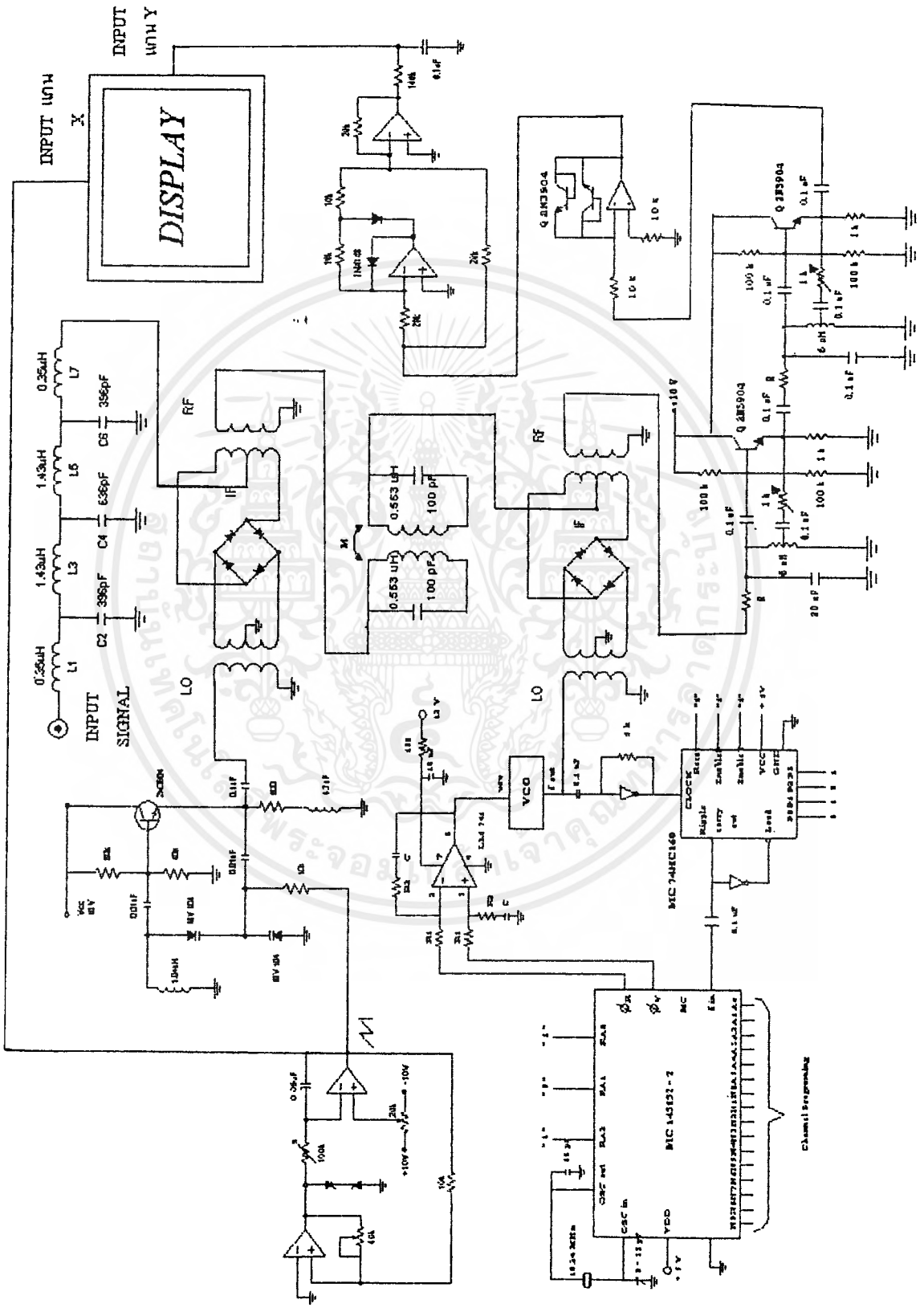
วงจรหาร N นี้ เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่ และจำนวนช่องความถี่

ปัญหาสำคัญของวงจรสังเคราะห์ความถี่อีกอย่างหนึ่งคือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้)ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรหาร N ทำงานได้ วิธีต่างๆที่นิยมใช้ได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งคือ ใช้วิธีพรีสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวนและการสร้าง



รูปวงจรภายในของ SPECTRUM ANALYZER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำ ญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 วงจรกรองความถี่ (Filter)

3.1.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

การออกแบบ

จากวงจรกรองความถี่ต่ำ 7 order (n = 7) ตามตารางที่ 2.1.1 จะได้วงจรกรองความถี่ต่ำที่มีจุดคัทออฟ 10 MHz ดังรูปที่ 3.1.1

โดยที่ $L_{new} = \frac{K_m}{K_f} L_{old}$

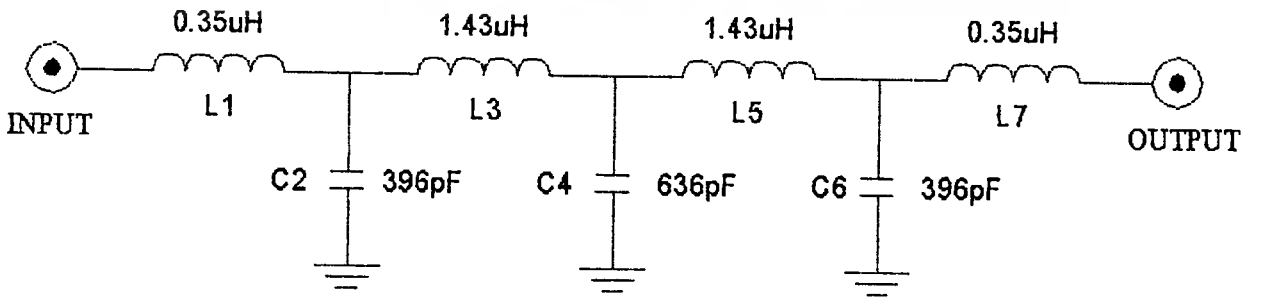
$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

กำหนดให้ $K_m = 50$

$K_f = 2\pi f_c = 2\pi * 10^7$

ดังนั้น

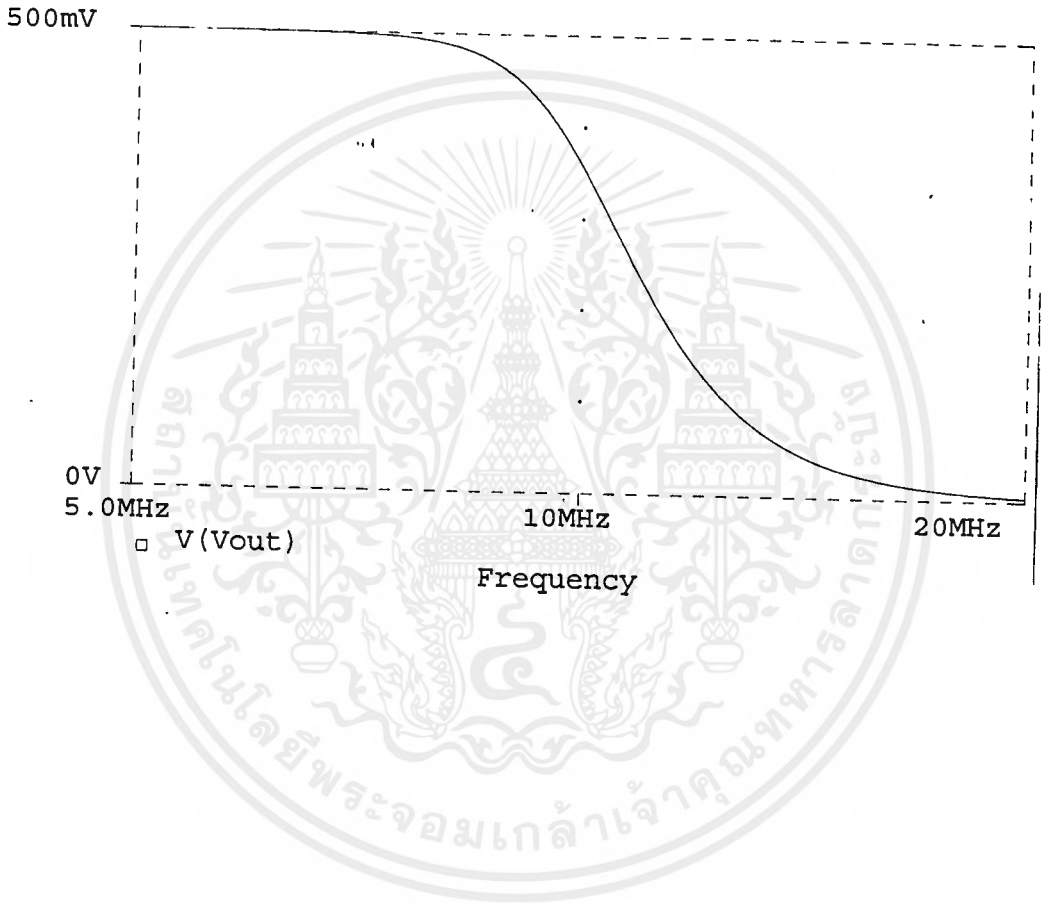
$$L_1 = \frac{50(0.445)}{2\pi * 10^7}$$
$$= 0.35\mu H \qquad = L_7$$
$$C_2 = \frac{1(1.247)}{50 * 2\pi * 10^7}$$
$$= 396pF \qquad = C_6$$
$$L_3 = \frac{50(1.8019)}{2\pi * 10^7}$$
$$= 1.43\mu H \qquad = L_5$$
$$C_4 = \frac{1(2)}{50 * 2\pi * 10^7}$$
$$= 636pF$$



รูปที่ 3.1.1 วงจรกรองความถี่ต่ำ คัทออฟที่ 10 MHz ที่ออกแบบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบโดยใช้ Simulator จะได้กราฟคุณลักษณะของวงจรกรองความถี่ต่ำ ดังรูปที่ 3.1.2

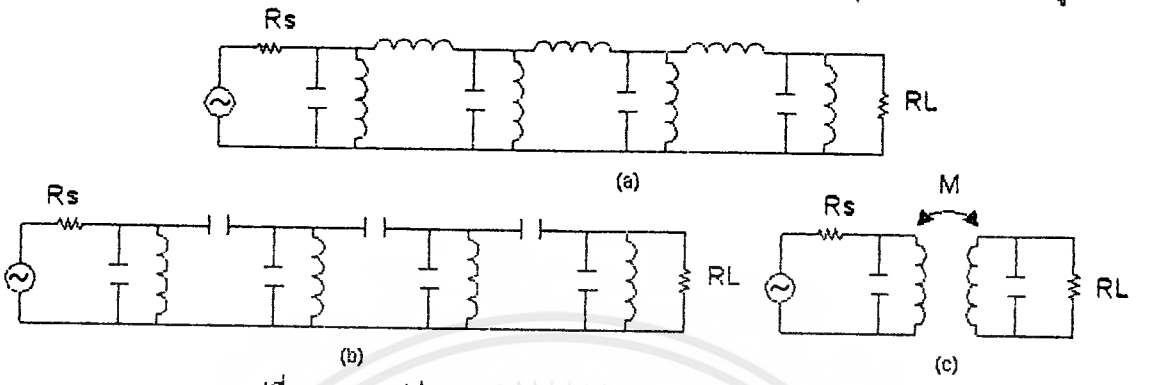


รูปที่ 3.1.2 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำจากการออกแบบโดยใช้ simulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรกรองช่วงความถี่ 21.4 MHz

สามารถออกแบบได้โดยใช้เทคนิคการคัปปลิ้ง (coupling) โดยวงจรจูนแบบขนาน แต่ละวงจรจะถูกเชื่อมต่อกันโดยอุปกรณ์ที่ใช้สำหรับคัปปลิ้ง เช่น ตัวเหนี่ยวนำ (L) หรือตัวเก็บประจุ (C) ดังแสดงใน รูปที่ 3.1.3



รูปที่ 3.1.3 Coupled resonators : (a) แบบ inductive coupling,
(b) แบบ capacitive coupling และ (c) แบบ magnetic coupling

coupled resonator นิยมใช้สำหรับฟิลเตอร์แบนด์แคบ ซึ่งมีค่า Q ประมาณ 10 หรือมากกว่า ค่าของอุปกรณ์ต่างๆ สามารถใช้ปฏิบัติได้จริงมากกว่าการออกแบบโดยการแปลง lowpass filter เป็น bandpass filter โดยเฉพาะในกรณีที่ Q มีค่าสูงมากๆ การจูนทำได้ง่ายโดยที่แต่ละโหนดจะเกิดการ resonance ที่ความถี่เดียวกัน จากตัวอย่างข้างต้น ดังรูปที่ 3.1.3 capacitive coupling เป็นชนิดที่เหมาะสมที่สุด เนื่องจากง่ายต่อการสร้างและประหยัดค่าใช้จ่าย

สำหรับ Bandpass filter 21.4 MHz ได้ออกแบบโดยใช้ฟิลเตอร์แบบ magnetic coupling ดังรูปที่ 3.1.3 (c) โดยมีวงจรจูนทั้งหมด 3 order ซึ่งสามารถคำนวนได้จาก

$$f_o = \frac{1}{2\pi\sqrt{LC}}$$

เมื่อ $f_0 = 21.4$ MHz และกำหนด $C = 100$ pF

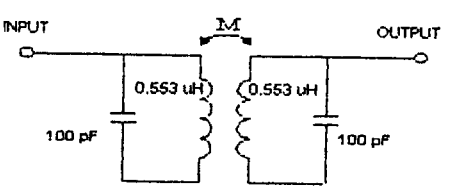
ดังนั้น

$$L = \frac{1}{(2\pi f_0)^2 C}$$

$$= \frac{1}{(2\pi * 21.4 * 10^6)^2 * 100 * 10^{-12}}$$

$$= 0.553 \mu H$$

โดย C ที่ใช้ในวงจรจะเป็น C ปรับค่าได้ เพื่อการปรับจูนให้ได้ bandpass filter ตรงตามที่ต้องการ ซึ่งวงจรที่ออกแบบได้ แสดงดังรูป 3.1.4



รูปที่ 3.1.4 แสดงวงจรกรองช่วงความถี่ 21.4 MHz ที่ออกแบบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 วงจรกรองช่วงความถี่ 455 KHz

วงจรกรองช่วงความถี่ 455 KHz ออกแบบโดยใช้แบบ passive filter ซึ่งมี L, C เป็นส่วนประกอบ จากการคำนวน

จาก $$\omega_0 = \frac{1}{\sqrt{LC}}$$

$$f = \frac{1}{2\pi\sqrt{LC}}$$

ความถี่คัทออฟ 455 KHz

$$\frac{1}{LC} = \left(455 * 10^3 * 2\pi\right)^2$$

$$= 8.173 * 10^{12}$$

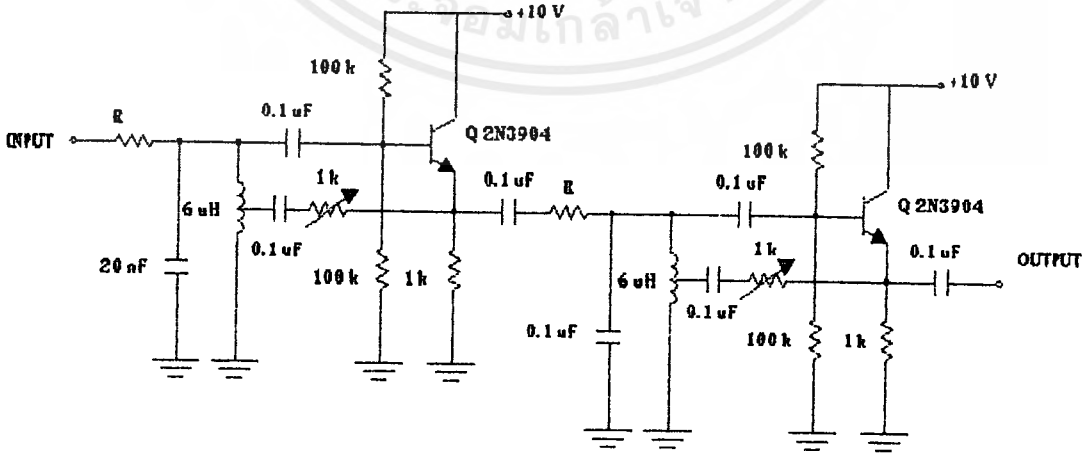
$$\therefore \quad L = \frac{0.12 * 10^{-12}}{C}$$

เลือก C = 20 nF

$$L = \frac{0.12 * 10^{-12}}{20 * 10^{-9}}$$

$$\therefore \quad L = 6\mu H$$

วงจร Band Pass Filter ที่ออกแบบได้ ดังรูป 3.1.5



รูปที่ 3.1.5 แสดงวงจรกรองช่วงความถี่ 455 KHz ที่ออกแบบได้

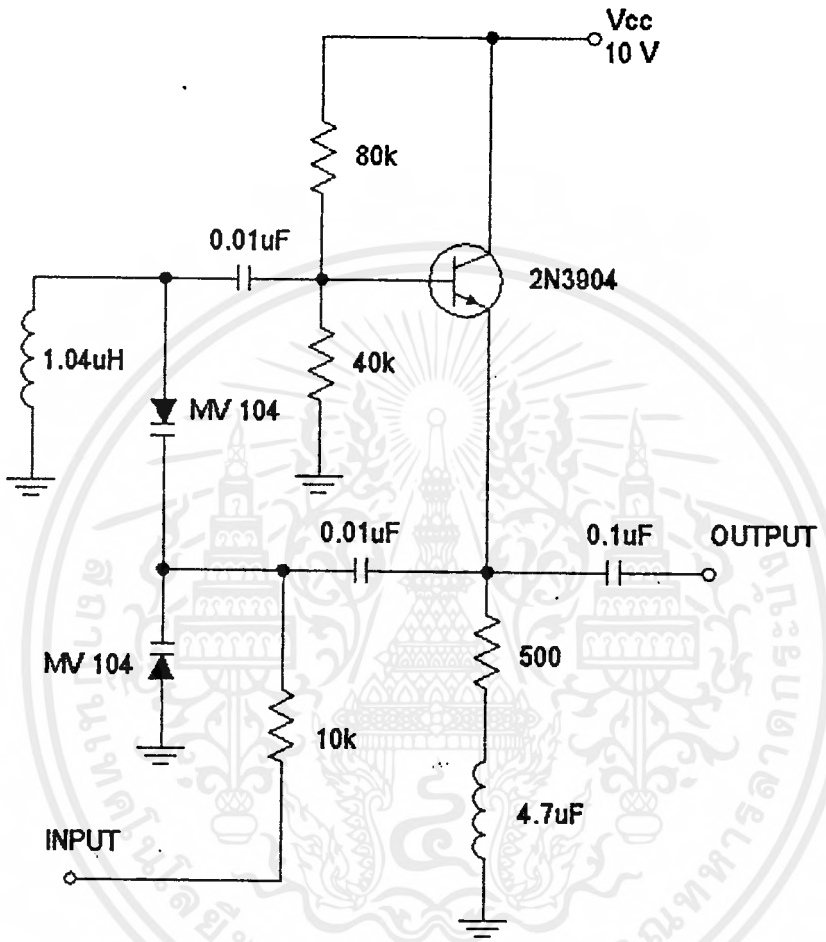
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจร Bandpass filter 455 kHz นี้ ได้ออกแบบไว้ 2 bandwidth คือ 30 KHz และ 100KHz จากวงจรจะประกอบด้วย 2 stage ซึ่งจะทำให้ค่า BW แคบกว่าวงจร stage เดียว เนื่องจากมีการกรองความถี่หลายครั้งกว่า ซึ่งวงจรกรองความถี่ 455 kHz BW 30 KHz ใช้วงจรแบบ 2 stage ส่วนที่ BW 100KHz นั้นใช้วงจร stage แรก และเปลี่ยนค่า resistance ทางด้านอินพุทก่อนเข้าแต่ละ stage ซึ่งเป็นตัวเปลี่ยน bandwidth ของวงจร โดยใช้สวิตช์เป็นตัวควบคุม ซึ่งแต่ละ stage จะมีการป้อนกลับแบบบวก เพื่อให้ได้ช่วงความถี่ที่ได้แคบลงยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

VCO เป็นวงจรที่จะกำหนดเสถียรภาพเชิงความถี่ โดยจะมีคุณสมบัติ คือ จะแปลงแรงดันเป็นความถี่ในลักษณะเชิงเส้น จะทำงานได้ที่ความถี่สูง และจะมีช่วงของการ tracking กว้าง



รูปที่ 3.2.1 แสดงวงจร ออสซิลเลเตอร์ควบคุมด้วยแรงดันที่ออกแบบได้

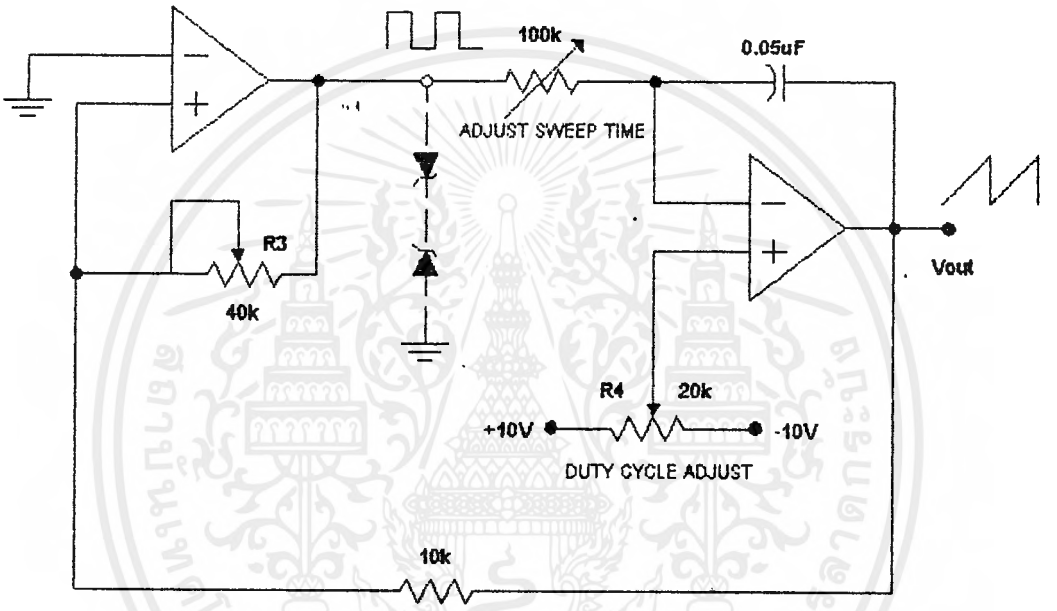
โดยหลักการในการออกแบบของ VCO จะเป็นออสซิลเลเตอร์ ที่อาศัยการป้อนกลับแบบบวกมาทำการออสซิลเลท โดยจะใช้โวลเตจอินพุท มาควบคุมให้เกิดการเปลี่ยนแปลงของความถี่ ซึ่งจากรูปที่ 3.2.1 จะใช้หลักการออกแบบของวงจรแบบ โคลพิตออสซิลเลเตอร์ (Colpitts Oscillator) ซึ่งประกอบด้วยส่วนที่เป็นวงจรขยาย คือใช้ทรานซิสเตอร์ 2N3904 โดยทำการไบอัสด้วยไฟ +12 V และส่วนที่ทำหน้าที่เป็นวงจรแทงค์ ซึ่งก็คือ วาแรกเตอร์ไดโอด (D_1 และ D_2) ซึ่งจะทำการป้อนกลับแบบบวก โดยนำสัญญาณจากเอาท์พุทกลับไปยังอินพุทที่ตัววาแรกเตอร์ไดโอด ซึ่งมีการแทปตัวเก็บประจุ โดยจะใช้การคำนวนจาก

$$f_o = \frac{1}{2\pi\sqrt{LC}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรสัญญาณฟันเลื่อย (Sawtooth Generator)

จากรูปที่ 3.3.1 ค่าดิวตี้ไซเคิลของสัญญาณฟันเลื่อยขึ้นอยู่กับการปรับค่ารีซิสแตนท์ (R_4) โดยมีช่วงเวลาขาลงน้อยที่สุด การที่จะควบคุมความถี่ของสัญญาณสามารถทำได้โดยการปรับค่ารีซิสแตนท์ (R_5) โดยที่ขนาดของสัญญาณ (peak to peak) นั้นจะขึ้นอยู่กับขนาดของแรงดัน ($+V_{cc}$, $-V_{ee}$)ที่ป้อนให้แก่วงจร

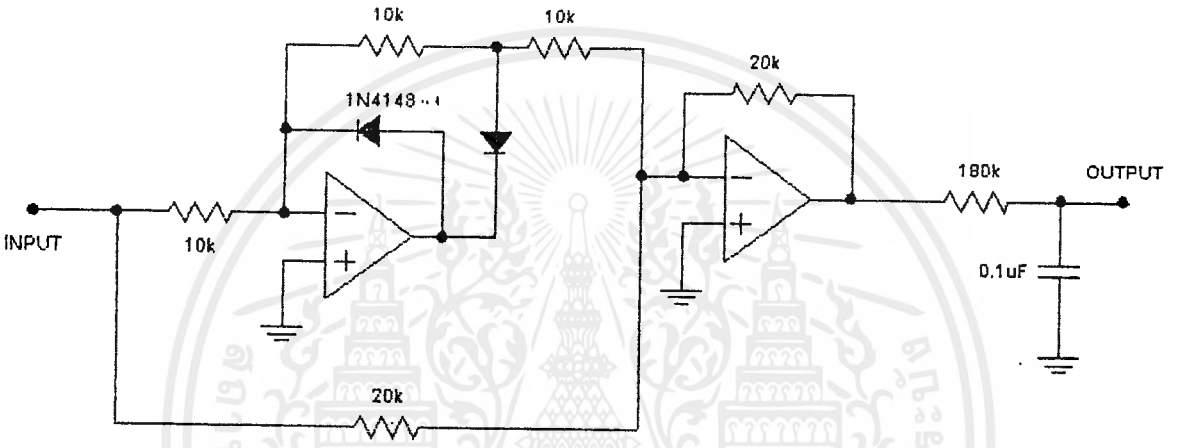


รูปที่ 3.3.1 วงจรสร้างสัญญาณฟันเลื่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรดีเทคเตอร์ (Detector)

ในการทดลองนี้ส่วนของวงจรดีเทคเตอร์จะทำการกลับเฟสของสัญญาณไซน์ในช่วงครึ่งลูกสัญญาณ (Half-wave rectifier) แสดงดังรูปที่ 3.4.1 ซึ่งจากรูปจะประกอบไปด้วย half-wave precision rectifier

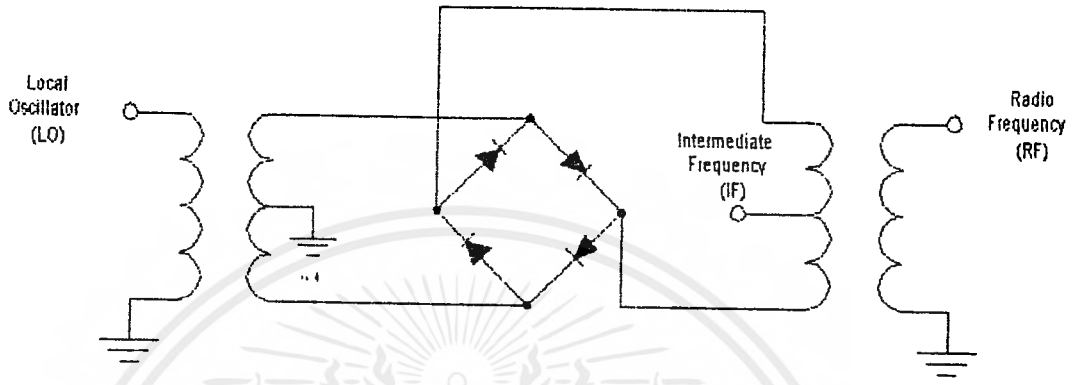


รูปที่ 3.4.1 วงจร Full-wave rectifier ประกอบไปด้วย Half-wave rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรมิกเซอร์ (Mixer)

วงจรมิกเซอร์ที่ใช้เป็นแบบ Balance Mixer ดังรูป 3.5.1

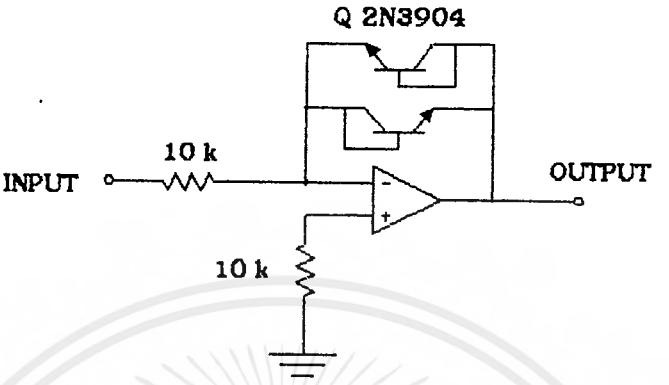


รูปที่ 3.5.1 แสดงวงจร Balance Mixer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรขยายลอการิทึม (Logarithmic Amplifier)

วงจรขยายลอการิทึมอย่างง่าย สามารถออกแบบได้ดังรูปที่ 3.6.1



รูปที่ 3.6.1 แสดงวงจรขยายลอการิทึม

หาค่า R_1 โดย

ให้ ขนาดของสัญญาณอินพุทมีค่าตั้งแต่ 1mV ถึง 10 V

input bias current op-amp = 80 nA

กระแสคอลเลคเตอร์ (I_c) = 1 mA

ดังนั้น ค่าที่ต่ำที่สุดของ R_1 คือ

$$R_1 \geq \frac{10V}{1mA}$$

$$\geq 10k\Omega$$

และค่าที่สูงที่สุดของ R_1 คือ

$$R_1 \leq \frac{1mV}{80nA}$$

$$\leq 12.5k\Omega$$

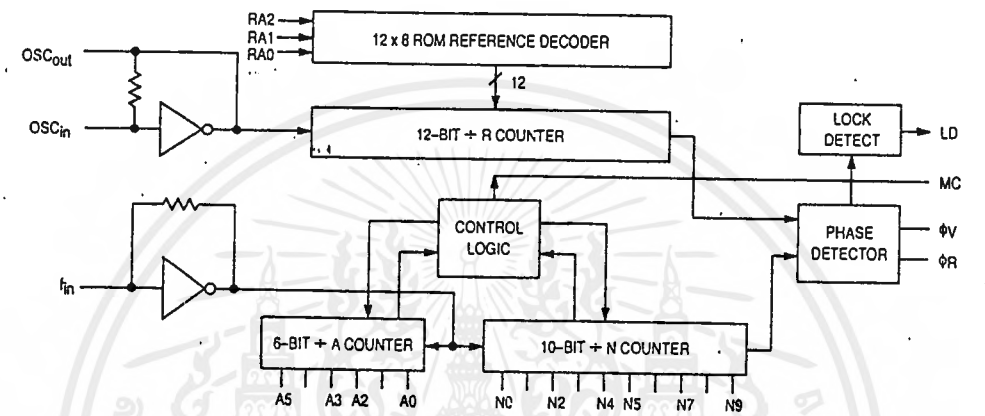
นั่นคือ R_1 ควรมีค่าระหว่าง $10k\Omega$ ถึง $12.5k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรออสซิลเลเตอร์

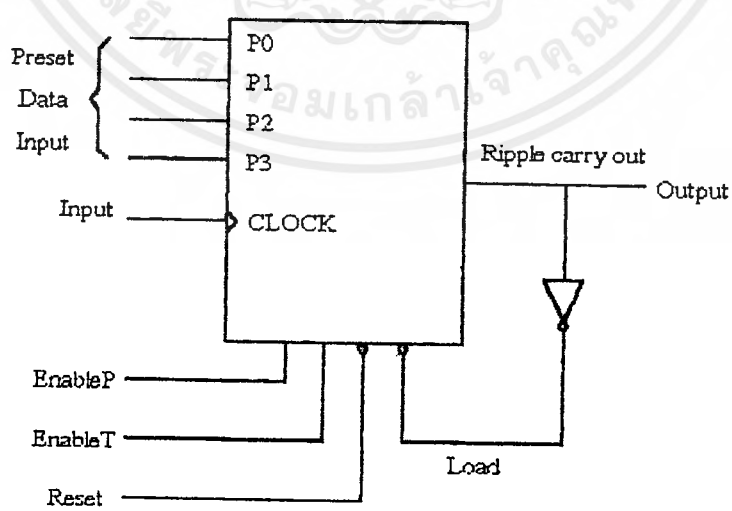
วงจรออสซิลเลเตอร์ที่ออกแบบจะใช้ระบบสังเคราะห์ความถี่ ซึ่งใช้วงจรเฟสล็อกลูปแบบพรีสเกลเลอร์ ซึ่งใช้ไอซี 3 ตัว คือ MC 145152 - 2 , MC 74HC160 และ LM 741

MC 145152 - 2 เป็น Parallel - Input PLL Frequency Synthesizer ใช้โปรแกรมหารความถี่ได้ 16 bit แบบขนาน และสามารถเทียบเฟสได้ในตัวเดียวกัน จากออสซิลเลเตอร์อ้างอิงภายใน และมี Modulus control มี block diagram ดังนี้



รูปที่ 3.7.1 แสดง block diagram ของ MC 145152 - 2

MC 74HC160 เป็น Presettable Counter ใช้เป็นพรีสเกลเลอร์ หารความถี่ให้ต่ำลง โดยสามารถตั้งค่าตัวหารได้ 4 bit โดยการกำหนดค่า $P_3 P_2 P_1 P_0$ วงจรมีลักษณะดังรูปที่ 3.7.2



รูปที่ 3.7.2 แสดงวงจร Presettable Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวน

กำหนดให้

$f_0 = 21.85 MHz$ (Local oscillator)

$f_s = 10 kHz$ (channel spacing)

$f_b = 0.01 f_s$ (loop bandwidth)

$f_{rc} = 20 f_b$ (filter cut off frequency)

$\zeta = 1$ (loop damping factor)

$VDD = 5V$ (PLL supply voltage)

$$K_{VCO} = 2\pi \frac{\Delta f_{VCO}}{\Delta V_{VCO}}$$ (VCO gain , measired on VCO)

$C = 0.1 \mu F$ (active integrator)

$$K\phi = \frac{VDD}{2\pi}$$ (phase detector gain)

$$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{N_t C R_1}}$$ (Nayural frequency)

$$N_t = \frac{f_o}{f_s}$$ (Total Division ratio in feedback loop)

$$R_2 = \frac{2\zeta}{\omega_n C}$$

จากสมการข้างต้นต้องการหา R_1, R_2, C_c ดังนั้น

$$K\phi = \frac{VDD}{2\pi} = \frac{5}{2\pi} = 0.796$$

$K_{VCO} = 4.461 * 10^6 \, rad / V$ (จากการวัด)

$$N_t = \frac{f_O}{f_S} = \frac{21.85 * 10^6}{10 * 10^3} = 2185$$

$\omega_n = 1000$

เอกสารนี้เผยแพร่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_1 = \frac{K_\phi K_{VCO}}{C\omega_n^{\,2} N_t} = \frac{0.796 * 4.461 * 10^6}{0.1 * 10^6 * (1000)^2 * 2185} = 16.25k\Omega$$

$$R_2 = \frac{2\zeta}{\omega_n C} = \frac{2 * 1}{1000 * .01 * 10^{-6}} = 20k\Omega$$

ตามคำแนะนำให้ R_1 แบ่งเป็น 2 ตัว จึงได้ค่าประมาณ 15 k และ 12k ตามลำดับ

จากสมการ $N_t = NP + A$

เมื่อ N คือ ตัวโปรแกรม N_9 - N_0 = 10 Bit หารตั้งแต่ 3 - 1023

A คือ ตัวโปรแกรม A_9 - A_0 = 6 Bit หารตั้งแต่ 0 - 63

P คือ ตัวหารของ Presettable Counter หาร 5

จากการคำนวนได้ $N_t = 2185$ จะได้

N = 437

P = 5

A = 0

ซึ่งค่า N และ A เป็นการนับแบบ binary คือ

$N = 437 = {}_{(MSB)}0110110101_{(LSB)}$

$A = 0 = {}_{(MSB)}000000_{(LSB)}$

สำหรับ MC 74HC160 ซึ่งเป็น Presettable Counter นั้นจะโปรแกรมให้หารด้วย 5 โดยการกำหนด P_3 P_2 P_1 P_0 เป็น 0101 ตามลำดับ ส่วนขา Reset , Enable P และ Enable T จะเซ็ตให้เป็น "1"ตาม data sheet ของ MC74HC160 เพื่อกำหนดสภาวะ count

ในส่วนความถี่อ้างอิง จะใช้ crystal 10.24 MHz เป็นตัวอ้างอิง และสามารถหารความถี่ลงมาโดยกำหนดค่า RA0 , RA1 , RA2 ในส่วนนี้ได้กำหนด RA0 , RA1 และ RA2 เป็น 1 0 1 ซึ่งเท่ากับการหารด้วย 1024 จะได้ความถี่อ้างอิงภายในตัว IC คือ 1

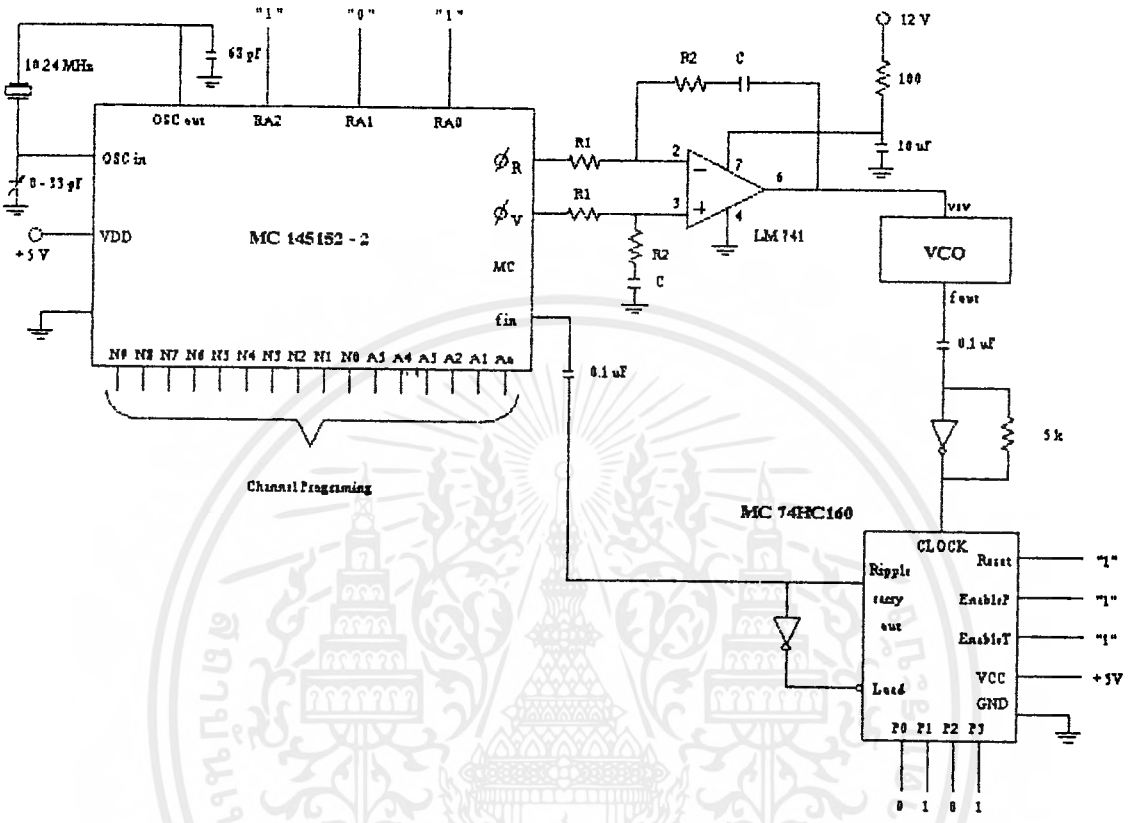
$$\frac{10.24\,MHz}{1024} = 10kHz \qquad (f_R)$$

ซึ่งจะนำมาเปรียบเทียบกับค่าที่ได้จากการโปรแกรม คือ

$$\frac{f_{VCO}}{N_t} = \frac{21.85 * 10^6}{2185} = 10kHz \qquad (f_V)$$

จริงๆแล้ว ระบบสังเคราะห์ความถี่นี้ ต้องการออกแบบให้ได้ความถี่ 21.855 MHz แต่ค่าที่ใช้ในการคำนวน คือ f_0 = 21.85 MHz ซึ่งสามารถให้เอาท์พุทเป็นความถี่ 21.855 MHz ได้โดยการปรับค่า C ในส่วนของวงจรสร้างความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7.3 แสดงวงจรสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

ในการทดลองได้ทำการแบ่งการทดลองออกเป็นส่วน ๆ ซึ่งรายละเอียดของแต่ละส่วนนั้นจะอธิบายวิธีการทดลองและผลการทดลองที่ได้ตามหัวข้อต่าง ๆ ดังต่อไปนี้

4.1วงจรกรองความถี่ (Filter)

4.1.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

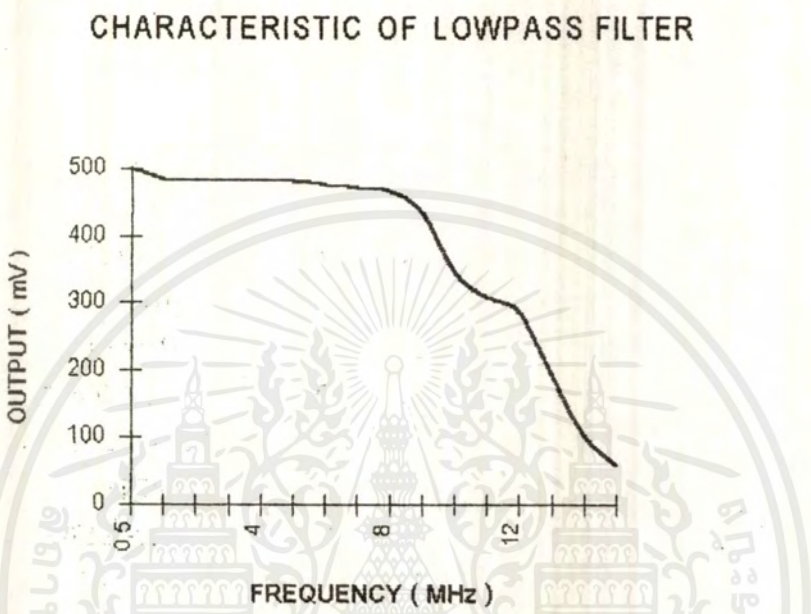
ทำการทดสอบคุณสมบัติของวงจรกรองความถี่ต่ำ ดังรูปที่ 3.1.1 โดยการป้อนสัญญาณคงที่ค่าหนึ่งเข้าทางด้านอินพุทของวงจร และวัดขนาดของสัญญาณเอาท์พุทที่ได้ออกมา แล้วทำการเปลี่ยนความถี่ค่าต่าง ๆ โดยรักษาระดับของสัญญาณอินพุทให้คงที่ทุก ๆ ความถี่ จะได้ผลการทดลองดังตารางที่ 4.1.1

ความถี่ (MHz)	ขนาดของสัญญาณ	
	input	output
0.5	1000	500
1	1000	484.4
2	1000	481.3
3	1000	481.3
4	1000	481.3
5	1000	481.3
6	1000	475
7	1000	471.9
8	1000	465.6
9	1000	434.4
10	1000	343.8
11	1000	309.4
12	1000	285.9
13	1000	192.2
14	1000	101.9
15	1000	59.38

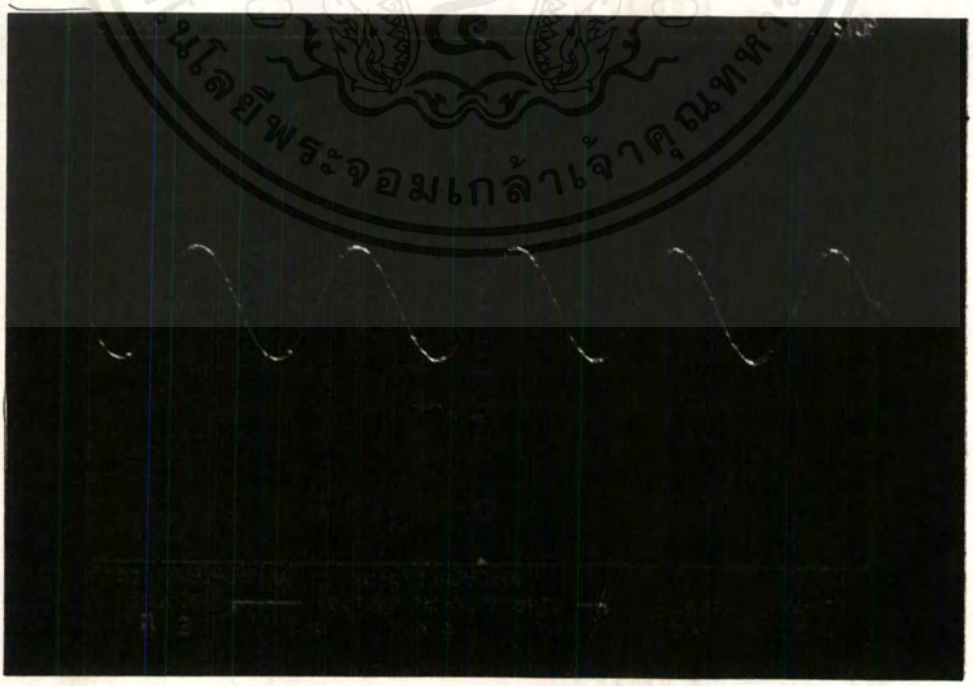
ตารางที่ 4.1.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะเห็นว่าวงจรกรองความถี่ต่ำนี้มีความถี่คัทออฟประมาณ 9.9 MHz ซึ่งจัดว่าเป็นค่าใกล้เคียงกับค่าที่ต้องการ (10 MHz) นำผลการทดลองมา plot กราฟแสดงคุณลักษณะของวงจรกรองความถี่ต่ำได้ดังรูปที่ 4.1.1 และรูปที่ 4.1.2 แสดงขนาดของสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุท 1000 mV ณ ที่ความถี่คัทออฟ



รูปที่ 4.1.1 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำ



รูปที่ 4.1.2 แสดงขนาดของสัญญาณเอาท์พุทที่ความถี่คัทออฟ 9.9 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 วงจรกรองช่วงความถี่ 21.4 MHz

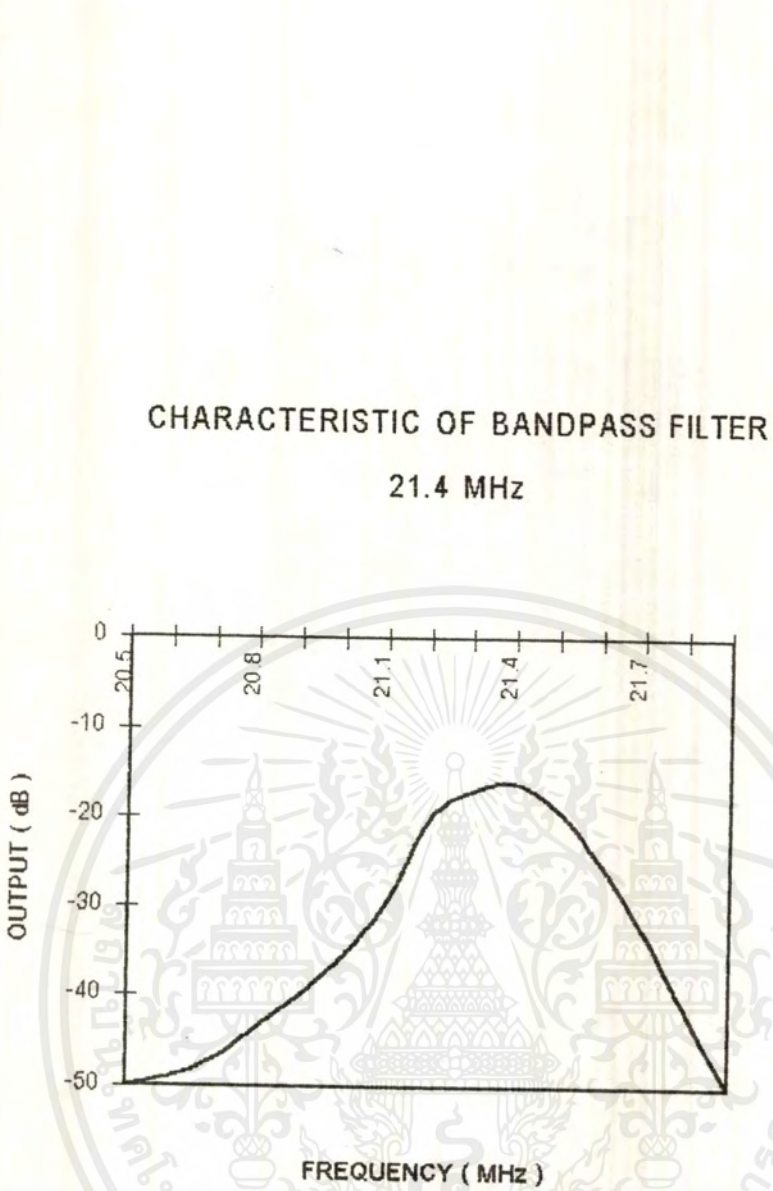
ทำการป้อนสัญญาณ 0 dB ที่ความถี่ต่าง ๆ เข้าอินพุทของวงจรดังรูปที่ 3.1.3 (c) แล้ววัดสัญญาณเอาท์พุท ออกมา ได้ดังตารางที่ 4.1.2

ความถี่ (MHz)	ขนาดของสัญญาณเอาท์พุท (dB)
20.5	-50
20.6	-49
20.7	-47
20.8	-43.5
20.9	-40
21	-35.5
21.1	-29.5
21.2	-20
21.3	-17
21.4	-16
21.5	-19
21.6	-25
21.7	-32.5
21.8	-41.5
21.9	-50

ตารางที่ 4.1.2 แสดงผลการทดลองของวงจรกรองช่วงความถี่ 21.4 MHz

จากผลการทดลองที่ได้ จะเห็นได้ว่าวงจรกรองช่วงความถี่มี Bandwidth ประมาณ 300 kHz และมี center frequency ที่ 21.4 MHz แต่สัญญาณเอาท์พุทจะถูกลดทอนอย่างมากเมื่อใช้วงจรแบบ magnetic coupling โดยจะมี loss ประมาณ 16 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.3 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 21.4 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจรกรองช่วงความถี่ 455 kHz

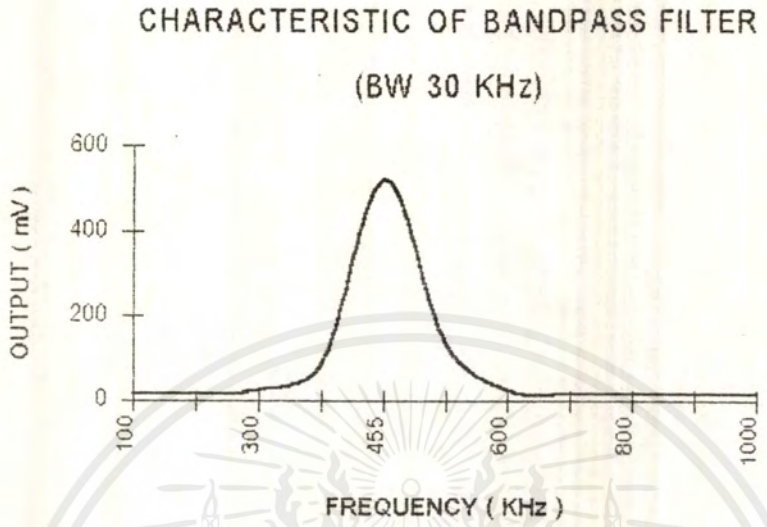
ทำการป้อนสัญญาณ 1 V ที่ความถี่ต่างๆ เข้าอินพุทของวงจร ดังรูปที่ 3.1.4 แล้ววัดขนาดของสัญญาณเอาท์พุทที่ออกมา ได้ผลดังตารางที่ 4.1.3

ความถี่ (KHz)	ขนาดเอาท์พุท BPF 30 KHz (mV)	ขนาดเอาท์พุท BPF 100 KHz (mV)
100	15	125
200	15	187
300	25	312
400	87	656
410	125	718
420	171	781
430	250	875
440	381	906
450	500	953
455	525	953
460	500	953
470	371	906
480	262	875
490	181	781
500	134	750
600	25	406
700	15	296
800	15	250
900	15	203
1000	15	187

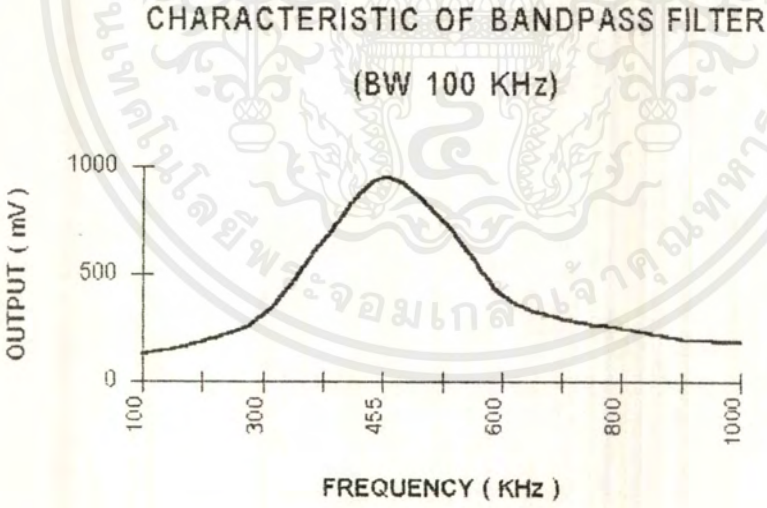
ตารางที่ 4.1.3 แสดงผลการทดลองของวงจรกรองช่วงความถี่ 455 kHz

จากผลการทดลองที่ได้จะเห็นได้ว่า วงจรกรองช่วงความถี่จะมี center frerquency ที่ 455 kHz และเอาท์พุทที่ได้ จะมีขนาดลดลง เนื่องจากวงจรกรองความถี่ได้ออกแบบเป็นแบบ passive ซึ่งจะมีการลดทอนสัญญาณอินพุทที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



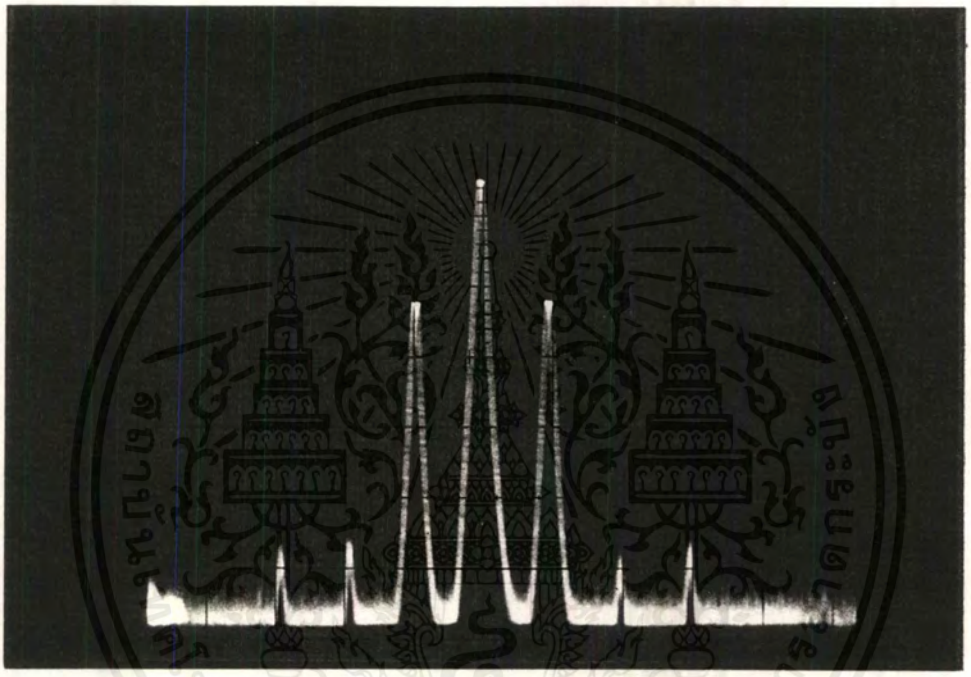
รูปที่ 4.1.4 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 455 kHz ที่ BW 30 kHz



รูปที่ 4.1.5 แสดงกราฟคุณลักษณะของวงจรกรองช่วงความถี่ 455 kHz ที่ BW 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำสัญญาณความถี่ 21.4 MHz mix กับสัญญาณความถี่ 21.855 MHz แล้วนำสัญญาณที่ mix กันแล้วไปผ่านวงจร bandpass filter 455 kHz ที่ band width 100 kHz เมื่อวัดสัญญาณเอาท์พุท โดยใช้ spectrum analyzer จะได้สัญญาณออกมาดังรูปที่ 4.1.6



รูปที่ 4.1.6 แสดงสัญญาณ mix ระหว่างความถี่ 21.4 MHz และความถี่ 21.855 MHz ที่ผ่านวงจร bandpass filter 455 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

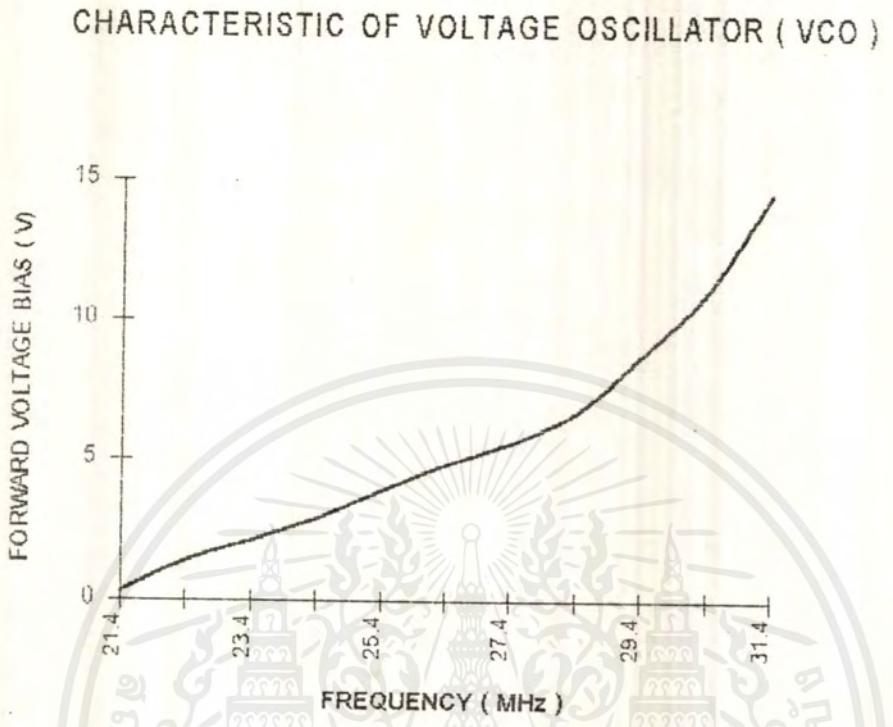
4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

ในการทดลองต่อวงจรดังรูปที่ 3.2.1 เมื่อทำการวัดเอาท์พุท จะได้ผลการทดลองแสดงความสัมพันธ์ระหว่างโวลท์เตจที่ไบอัสและความถี่ที่เปลี่ยนไป ดังตารางที่ 4.2.1

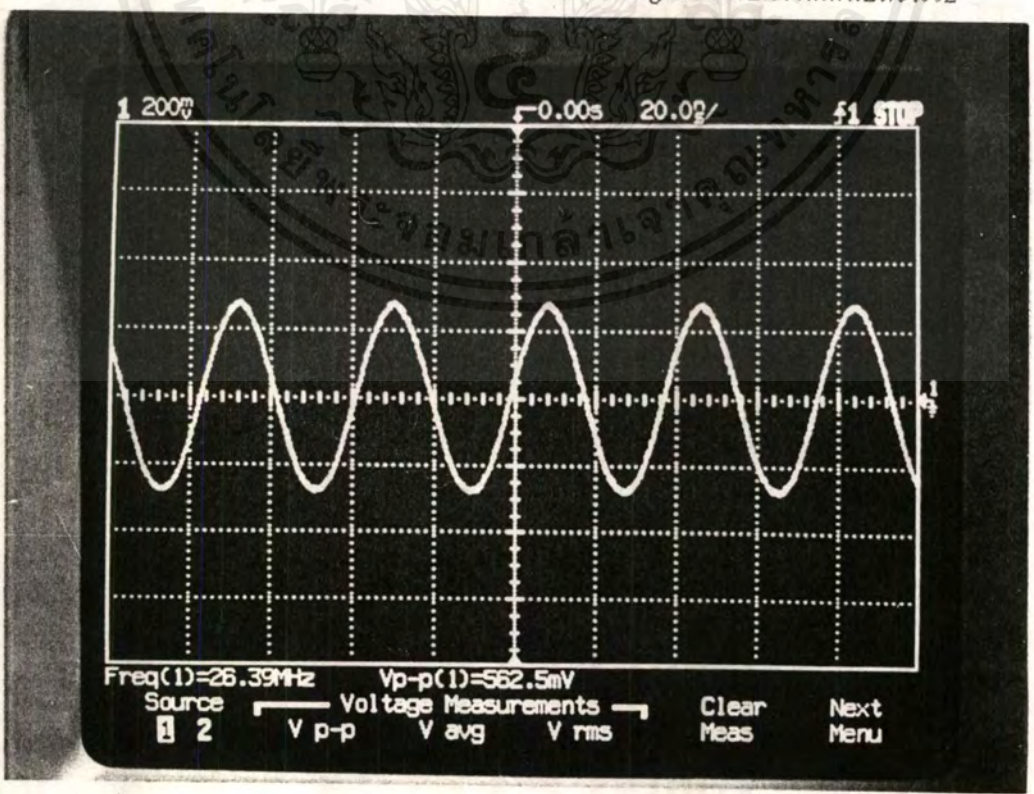
Forward Voltage Bias (V)	ความถี่ (MHz)	Vout (V)
0.3	21.4	6.6
1.4	22.4	6.6
2.1	23.4	6.56
2.9	24.4	6.5
3.9	25.4	6.44
4.8	26.4	6.44
5.6	27.4	6.38
6.7	28.4	6.38
8.7	29.4	6.38
11	30.4	6.38
14.5	31.4	6.31

ตารางที่ 4.2.1 แสดงความสัมพันธ์ของ Forward Voltage Bias และความถี่ที่เปลี่ยนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.1 กราฟแสดงความสัมพันธ์ของ Forward Voltage Bias กับความถี่ที่เปลี่ยนไป



รูปที่ 4.2.2 แสดงสัญญาณที่เกิดจากการออสซิลเลทของวงจร ณ ความถี่ 26.4 MHz

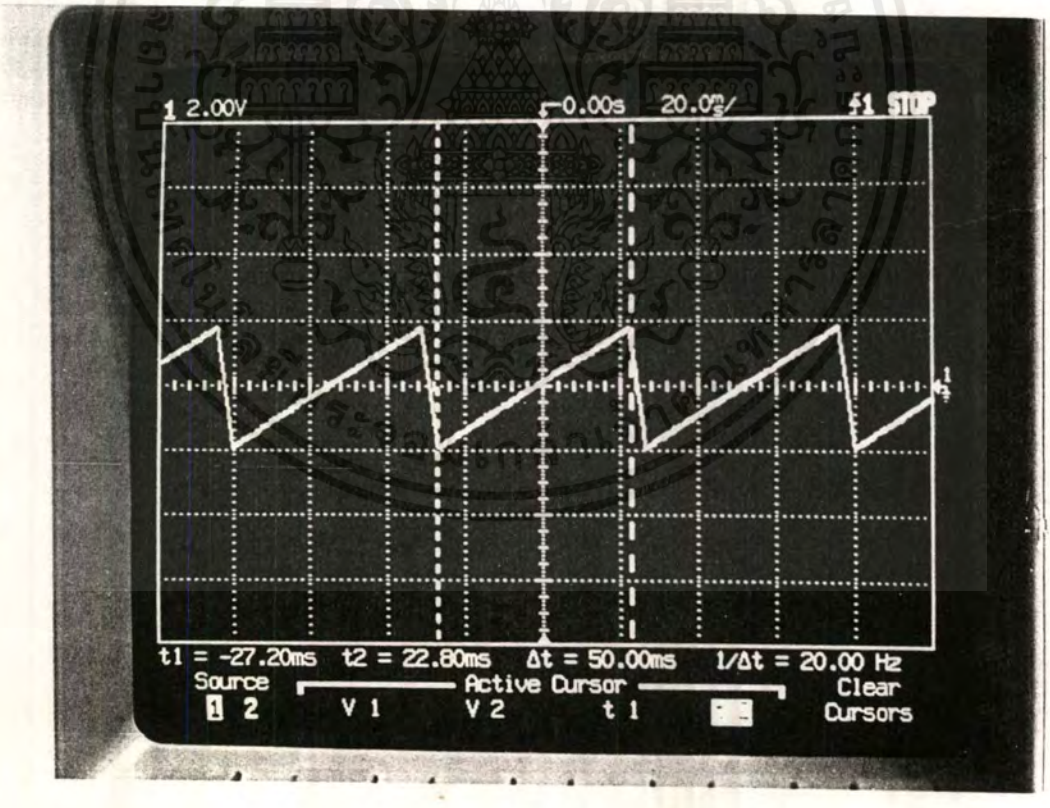
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรสร้างสัญญาณฟันเลื่อย (Sawtooth Generator)

เมื่อทำการทดลองตามวงจรที่ได้ออกแบบตามรูปที่ 3.3.1 จะได้สัญญาณฟันเลื่อยซึ่งมีช่วงเวลาขาขึ้นต่างกันดังนี้

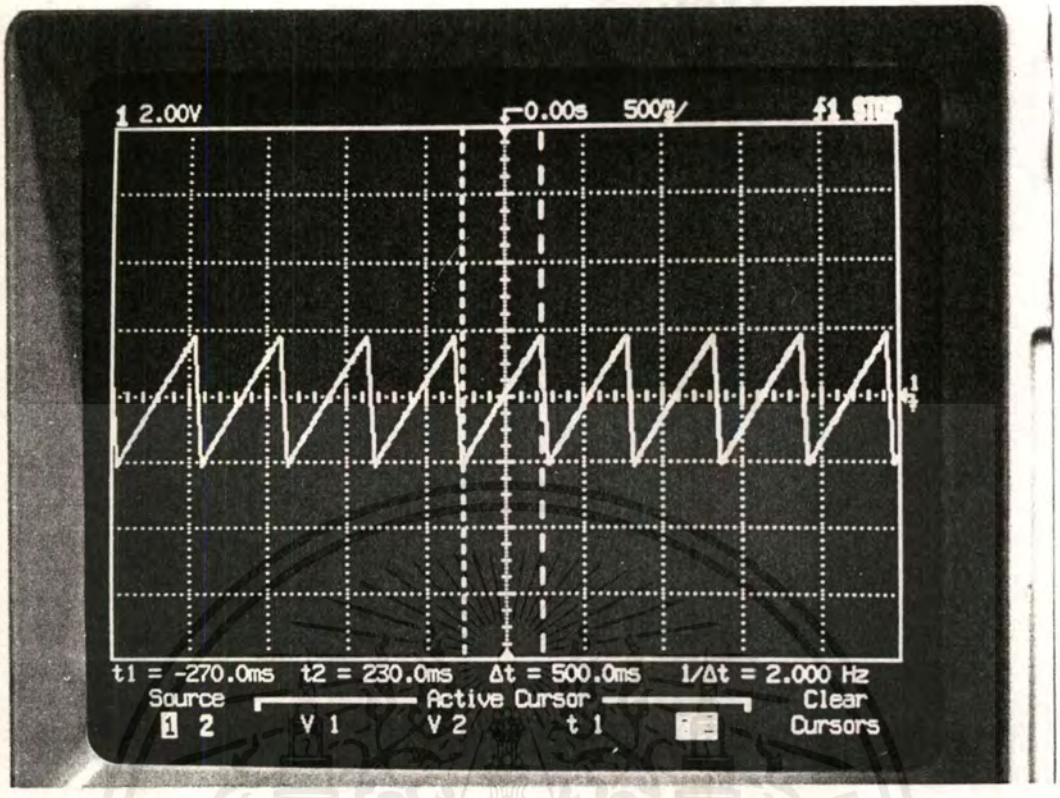
1) 30 mS วัดขนาดเอาท์พุทได้ 4.125 V
2) 50 mS วัดขนาดเอาท์พุทได้ 4.312 V
3) 500 mS วัดขนาดเอาท์พุทได้ 4.187 V
4) 1 S วัดขนาดเอาท์พุทได้ 4.250 V
5) 5 S วัดขนาดเอาท์พุทได้ 4.000 V

ค่าต่างๆเหล่านี้เป็นค่าระดับแรงดันที่ควบคุมวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันให้ได้ช่วงความถี่ 10 MHz แสดงผลดังรูป 4.3.1,4.3.2 และ 4.3.3 ดังนั้น เมื่อนำสัญญาณฟันเลื่อยนี้ ไปผ่านวงจร summing amplifier ซึ่งจะเป็นการเปลี่ยนระดับแรงดันของสัญญาณที่ป้อนให้กับวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน ทำให้สามารถปรับช่วงความถี่ที่ต้องการพิจารณา

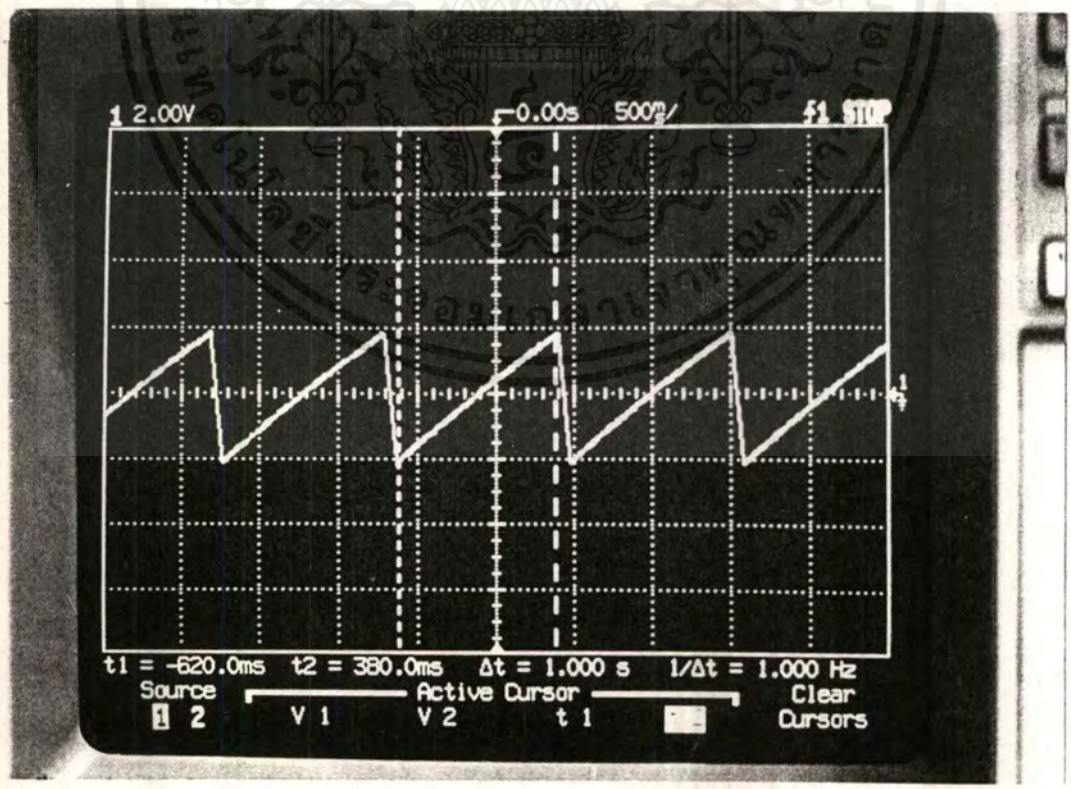


รูปที่ 4.3.1 แสดงสัญญาณฟันเลื่อย 50 mS ขนาด 4.312 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.2 แสดงสัญญาณฟันเลื่อย 500 mS ขนาด 4.187 V

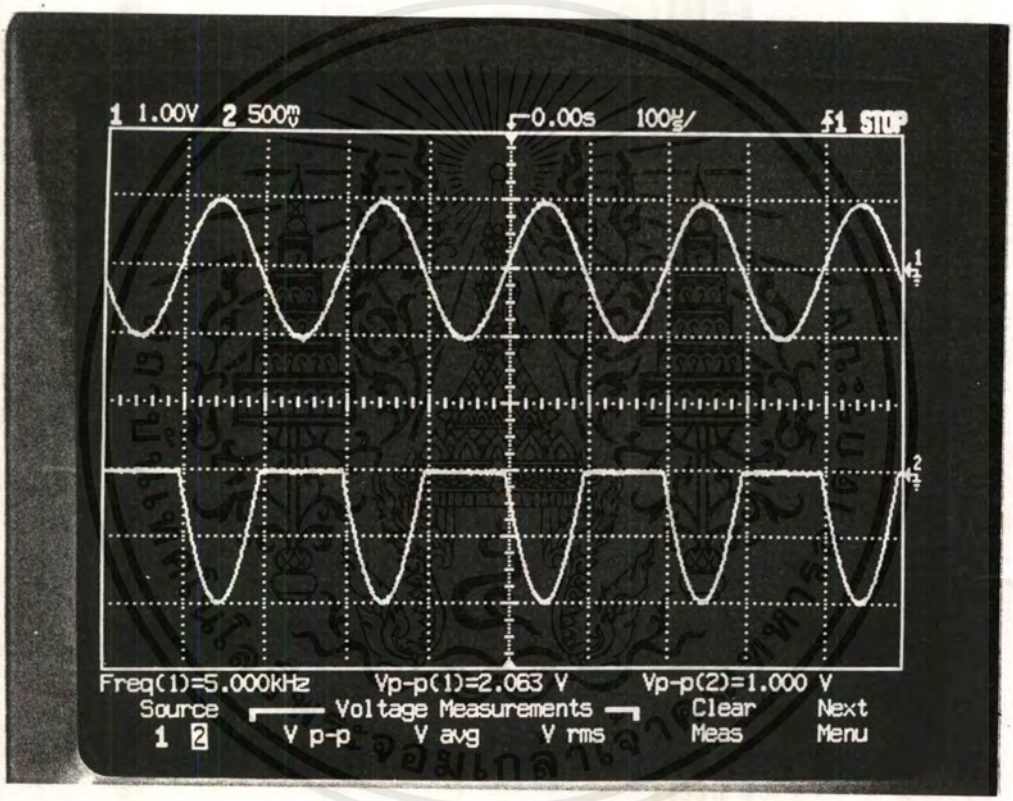


รูปที่ 4.3.3 แสดงสัญญาณฟันเลื่อย 1 S ขนาด 4.250 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรดีเทคเตอร์ (Detecter)

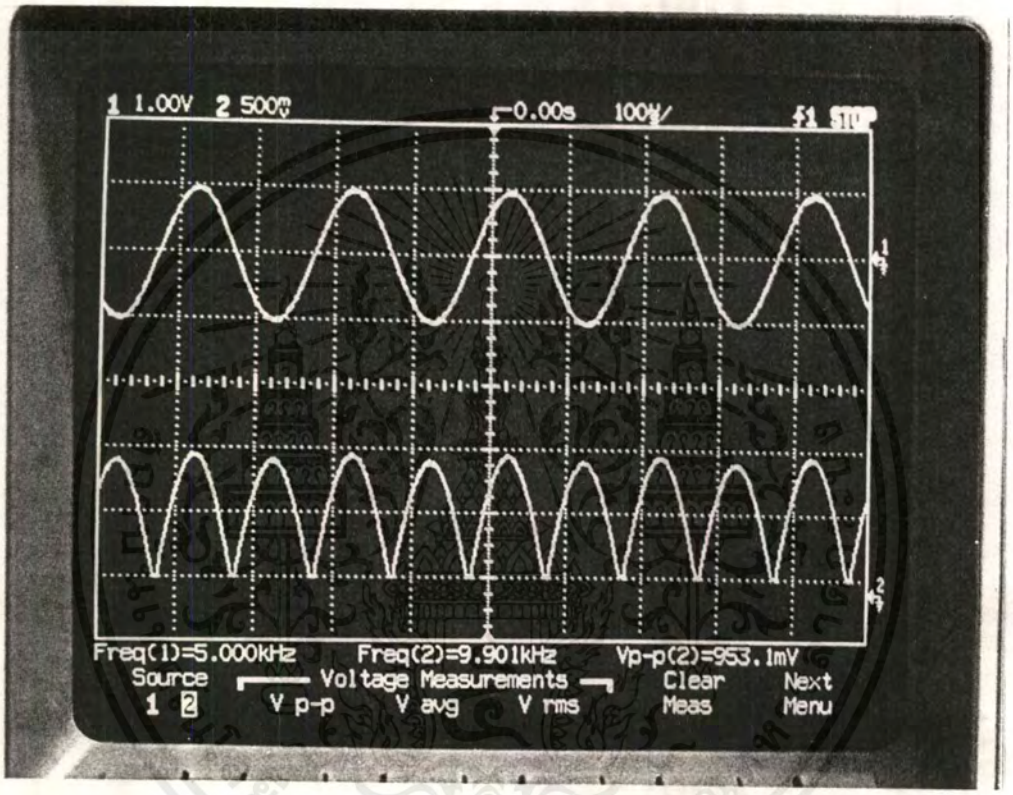
จากวงจรในรูปที่ 3.4.1 เมื่อป้อนสัญญาณรูปไซน์ (ช่องสัญญาณที่ 1) เข้าที่อินพุท สัญญาณเอาท์พุท (Full-Wave) ที่ได้จาก Full Wave rectifier (สัญญาณเอาท์พุทของ Full Wave Rectifier วัดที่จุดต่อระหว่าง รีซิสเตอร์ 10 กิโลโอห์ม, ไดโอด และ รีซิสเตอร์ 10 กิโลโอห์ม) จะมีความถี่เป็น 2 เท่าของสัญญาณอินพุท แสดงได้ดังรูป 4.4.1 (ช่องสัญญาณที่ 2)



รูปที่ 4.4.1 แสดงสัญญาณเอาท์พุท (Half Wave) ที่ได้จากวงจร Half-wave rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

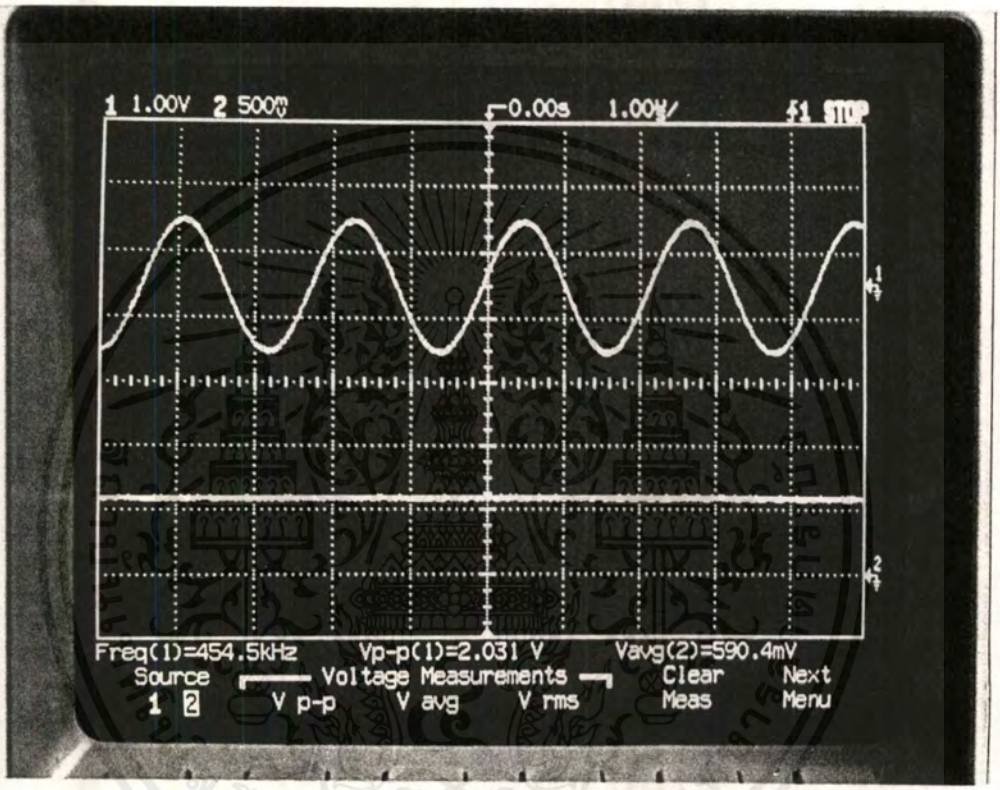
สัญญาณเอาท์พุทที่ได้จะเป็นสัญญาณ Full-wave (วัดจากจุดต่อระหว่าง รีซิสเตอร์ 20 กิโลโอห์ม, ไดโอด และรีซิสเตอร์ 180 กิโลโอห์ม) ที่ได้จากการนำสัญญาณอินพุทและสัญญาณ Half-wave ที่ได้มาผ่านวงจร inverting summer ซึ่งจะมีความถี่เป็น 2 เท่าของสัญญาณอินพุท แสดงดังรูป 4.4.2



รูปที่ 4.4.2 แสดงสัญญาณ Full-wave ที่ได้จากวงจร Full-wave rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุทที่ได้ จะผ่านวงจร Low-pass filter อย่างง่ายๆ ที่ต่อจากวงจร Full-wave rectifier เพื่อเปลี่ยนให้เป็นสัญญาณไฟดีซี รูปที่ 4.4.3 แสดงสัญญาณเอาท์พุทที่ได้จากวงจร 3.4.1 (ช่องสัญญาณที่ 2) ซึ่งเป็นสัญญาณไฟดีซี จากการป้อนสัญญาณความถี่ 455 kHz (ช่องสัญญาณที่ 1) เข้าที่อินพุทของวงจร

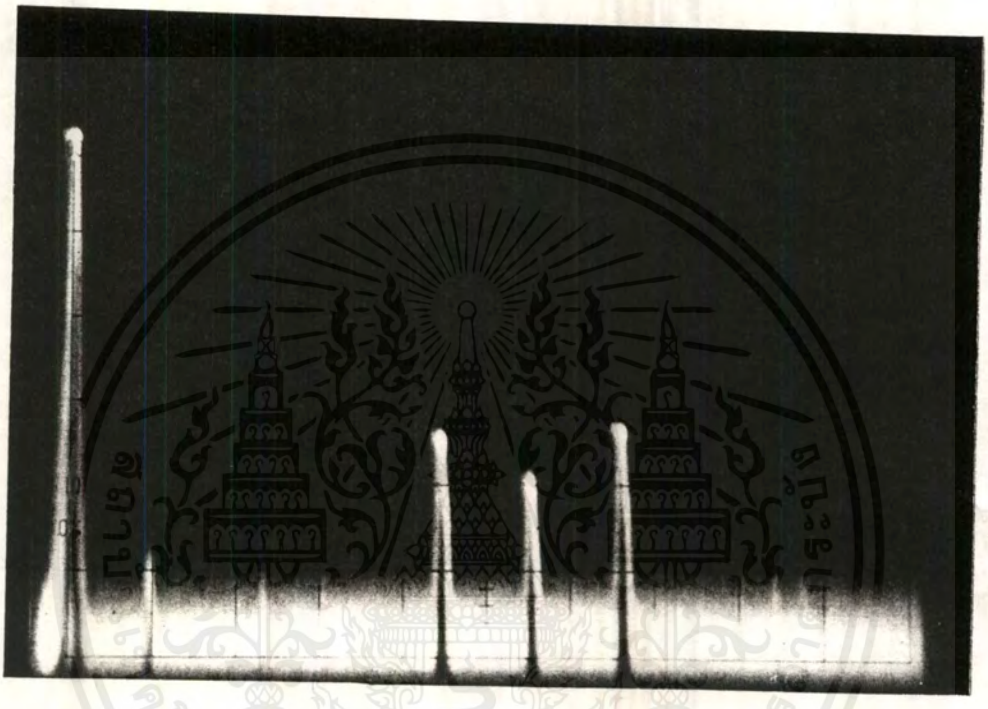


รูปที่ 4.4.3 แสดงสัญญาณเอาท์พุทที่ได้จากวงจร 3.4.1 จากสัญญาณอินพุทความถี่ 455 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 วงจรมิกเซอร์ (MIXER)

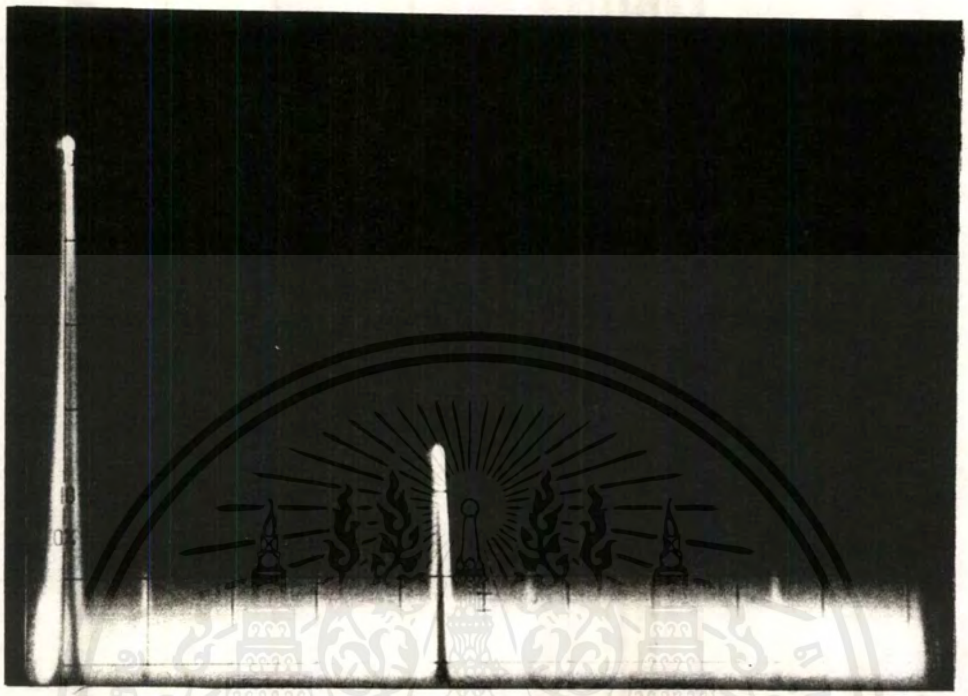
จากวงจรรูปที่ 3.5.1 เมื่อที่การป้อนสัญญาณอินพุทที่ความถี่ 5 MHz และสัญญาณความถี่ 26.4 MHz จะได้สัญญาณเอาท์พุทออกมา ดังรูปที่ 4.5.1 เมื่อวัดสัญญาณด้วยสเปคตรัมอนาไลเซอร์ ซึ่งประกอบด้วยสัญญาณ 5 MHz , 26.4 MHz , สัญญาณที่เป็นความถี่ผลบวก คือ 31.4 MHz และสัญญาณที่เป็นความถี่ผลต่าง คือ 21.4 MHz



รูปที่ 4.5.1 แสดงสัญญาณที่ได้จากการ mix สัญญาณอินพุทความถี่ 5 MHz และสัญญาณความถี่ 26.4 MHz

และเมื่อนำสัญญาณเอาท์พุทที่ออกจากวงจร mixer ไปผ่านวงจรกรองช่วงความถี่ 21.4 MHz เพื่อกรองเฉพาะความถี่IF ซึ่งเป็นความถี่ผลต่าง จะได้สัญญาณความถี่ 21.4 MHz ดังรูป 4.5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.2 แสดงสัญญาณความถี่ 21.4 MHz เมื่อนำเอาท์พุทจาก mixer ผ่านวงจรกรองช่วงความถี่ 21.4 MHz

และเมื่อป้อนสัญญาณความถี่ 21.4 MHz และสัญญาณความถี่ 21.855 MHz จะได้สัญญาณเอาท์พุทมีลักษณะเดียวกันกับรูปที่ 4.5.1 ซึ่งประกอบด้วยสัญญาณความถี่ 21.4 MHZ , 21.855 MHz , สัญญาณความถี่ที่เป็นบวก คือ 43.355 MHz และสัญญาณที่เป็นความถี่ผลต่าง คือ 455 kHz และเมื่อนำสัญญาณเอาท์พุทที่ออกจากวงจร mixer ไปผ่านวงจรกรองช่วงความถี่ 455 kHz เพื่อกรองความถี่ผลต่าง จะได้สัญญาณความถี่ 455 kHz ออกมาดังรูป 4.1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรขยายลอการิทึม (Logarithmic Amplifier)

ทำการทดลองโดยใช้วงจรดังรูปที่ 3.6.1 เมื่อป้อนสัญญาณอินพุทที่ความถี่ 455 kHz แล้วทำการวัดสัญญาณเอาท์พุท จะได้ผลดังตาราง 4.6.1

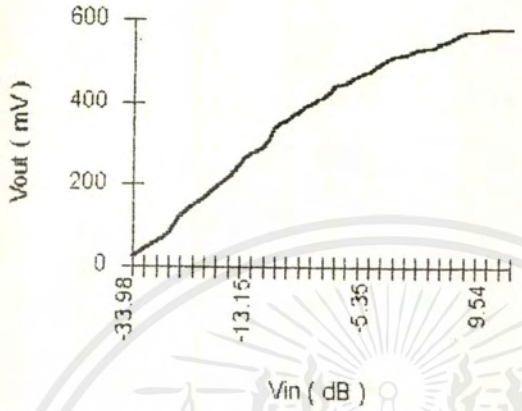
Vin (mV)	Vin (dB)	Vout (mV)
20	-33.98	22.5
40	-27.96	42
60	-24.44	63.5
80	-21.94	82.5
100	-20	125
120	-18.42	150
140	-17.08	170
160	-15.92	193
180	-14.89	220
200	-13.98	250
220	-13.15	278
240	-12.4	296
280	-11.06	340
300	-10.46	356
340	-9.37	380
360	-8.87	396
400	-7.96	418

Vin (mV)	Vin (dB)	Vout (mV)
440	-7.13	443
460	-6.74	450
500	-6.02	468
540	-5.35	480
600	-4.44	500
660	-3.61	515
700	-3.09	518
760	-2.38	530
800	-1.94	534
900	-0.92	546
1000	0	556
1500	3.52	575
2000	6.02	575
3000	9.54	580
4000	12.04	580
5000	13.98	580

ตารางที่ 4.6.1 แสดงความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำผลการทดลองมาพล็อตกราฟ จะได้ดังรูปที่ 4.6.1



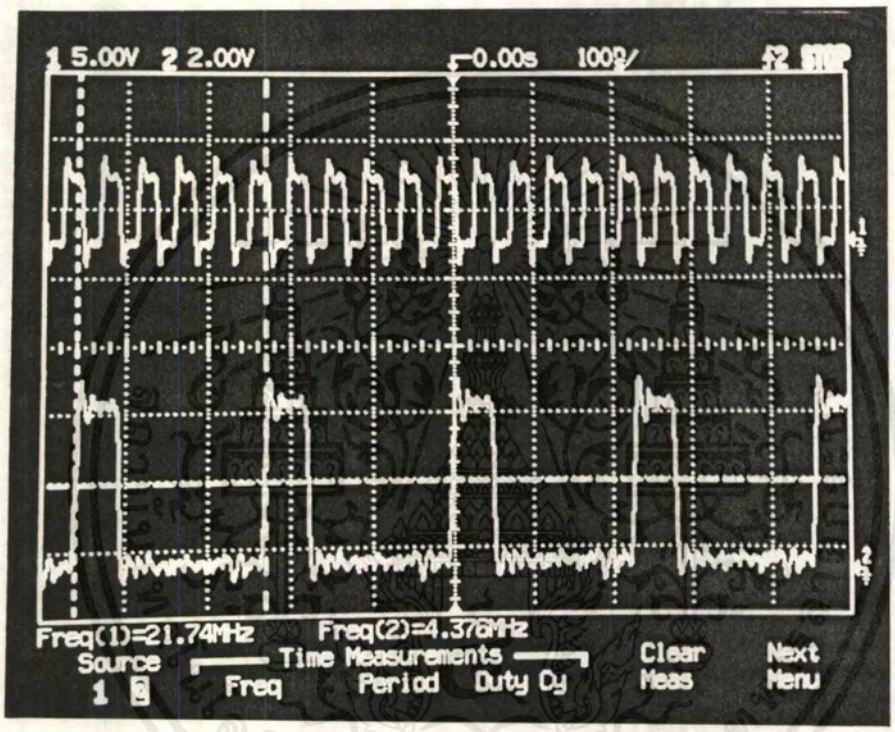
รูปที่ 4.6.1 กราฟแสดงความสัมพันธ์ระหว่างอินพุท(dB) และเอาท์พุท(mV)

จากกราฟ จะเห็นได้ว่า ความสัมพันธ์ระหว่างสัญญาณอินพุท(dB) และเอาท์พุท(mV) กราฟจะเป็นเส้นตรงในบางช่วงเท่านั้น จึงเลือกเฉพาะช่วงที่วงจรขยายทำงานเป็นลักษณะ linear มาใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

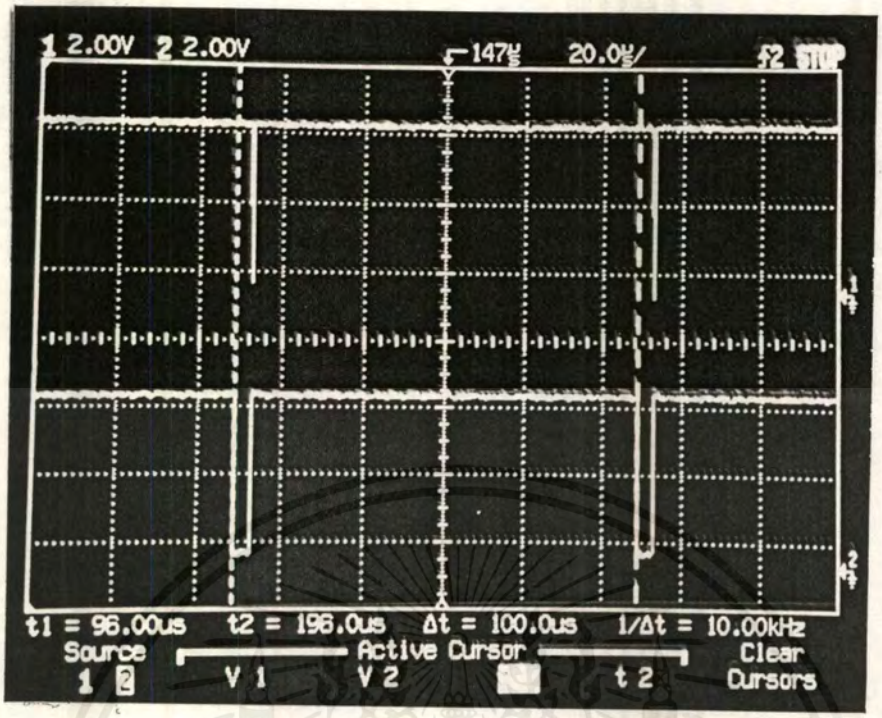
4.7 วงจรออสซิลเลเตอร์ 21.855 MHz

ในการออกแบบใช้ระบบสังเคราะห์ความถี่ ซึ่งประกอบไปด้วยวงจร โวลเตจคอนโทรลออสซิลเลเตอร์ (VCO) , วงจรพรีสเกลเลอร์ (Prescaler) , วงจรเปรียบเทียบเฟส (Phase detector) และวงจรฟิลเตอร์ (Loop Filter)

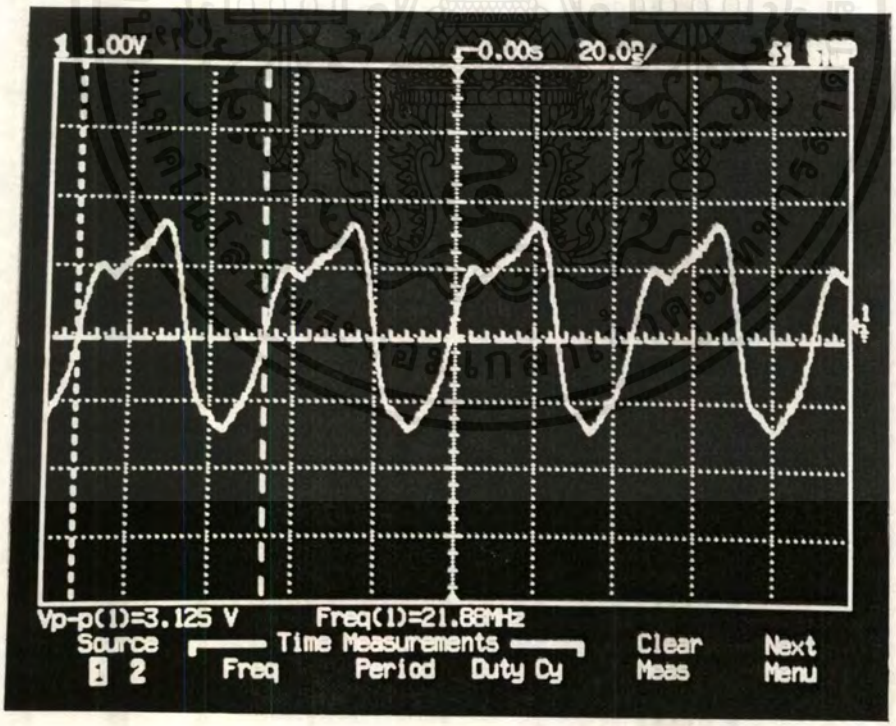


รูปที่ 4.7.1 แสดงเอาท์พุทที่ออกมาจากวงจรหาร 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7.2 แสดงการเปรียบเทียบระหว่างความถี่อ้างอิงภายใน (ϕ_R) กับความถี่ที่ได้จาก VCO (ϕ_V)

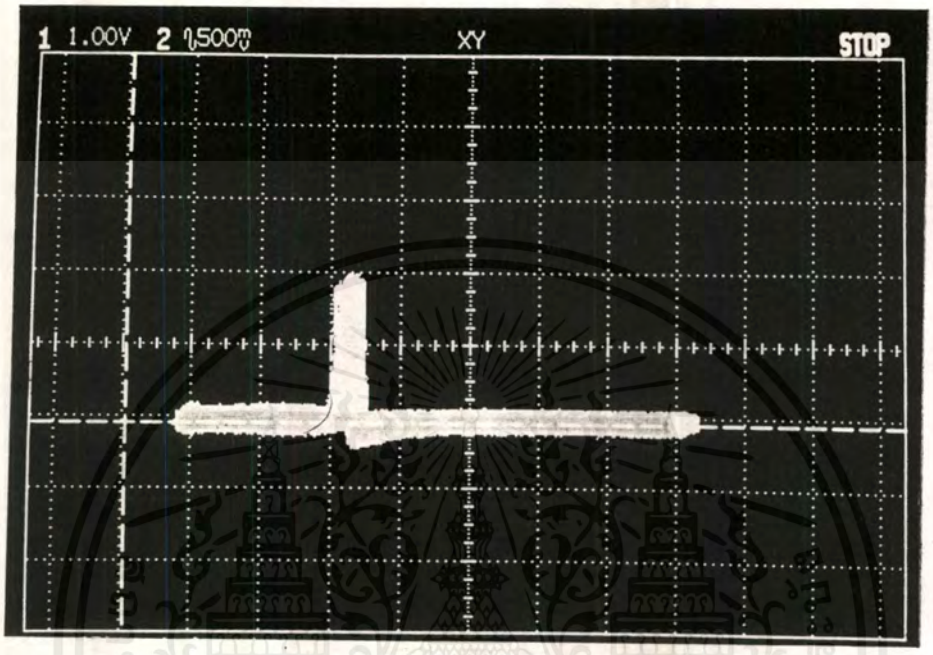


รูปที่ 4.7.3 แสดงสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ 21.855 MHz

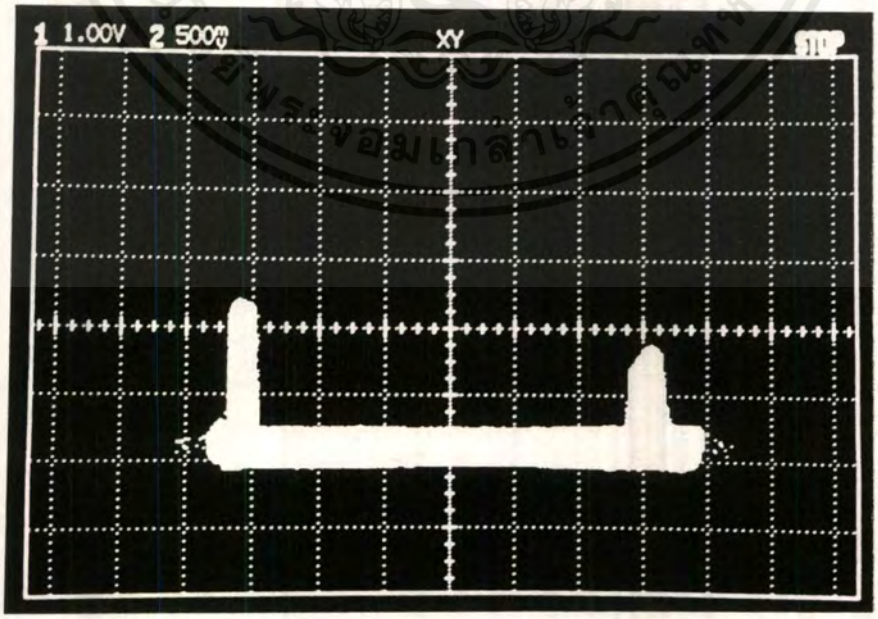
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ผลการทดลองสเปคตรัม อนาไลเซอร์

จากการนำวงจรต่างๆที่ออกแบบมาประกอบเข้าด้วยกัน เป็นสเปคตรัมอนาไลเซอร์ แล้วทำการทดลองวัดสัญญาณต่างๆ ผลการทดลองเป็นไปดังรูป

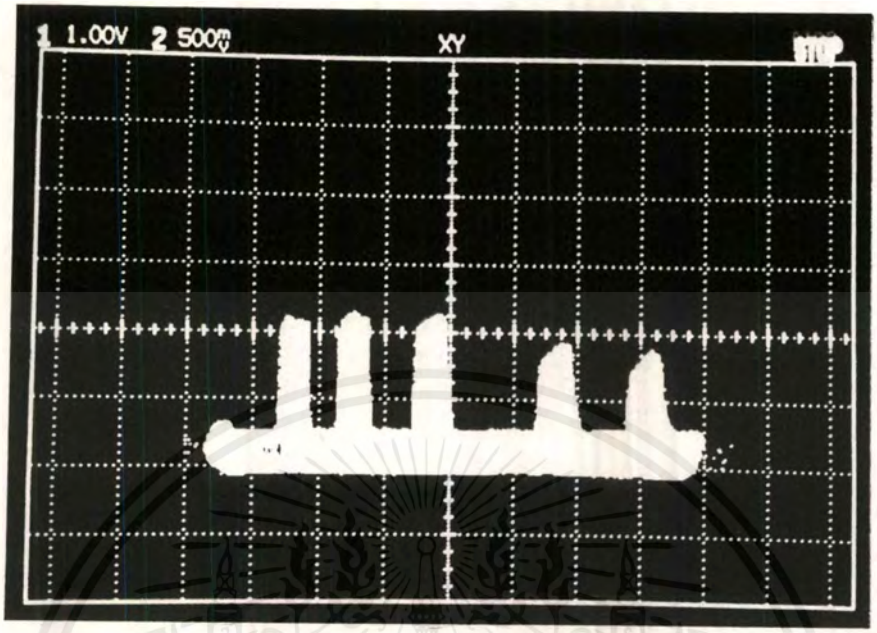


รูปที่ 4.8.1 แสดงการวัดสัญญาณ sine 6 MHz

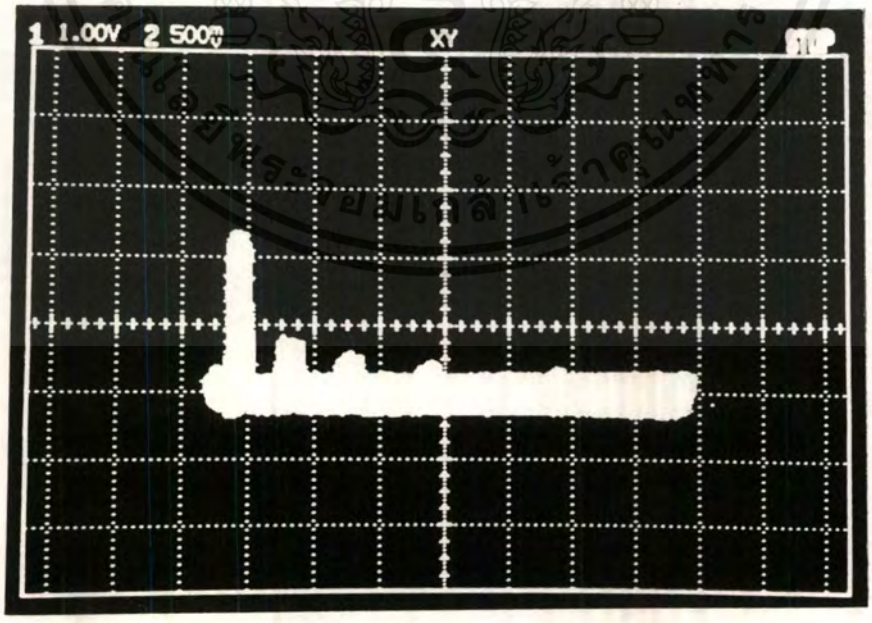


รูปที่ 4.8.2 แสดงการวัดสัญญาณ sine 1 MHz และ 10 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



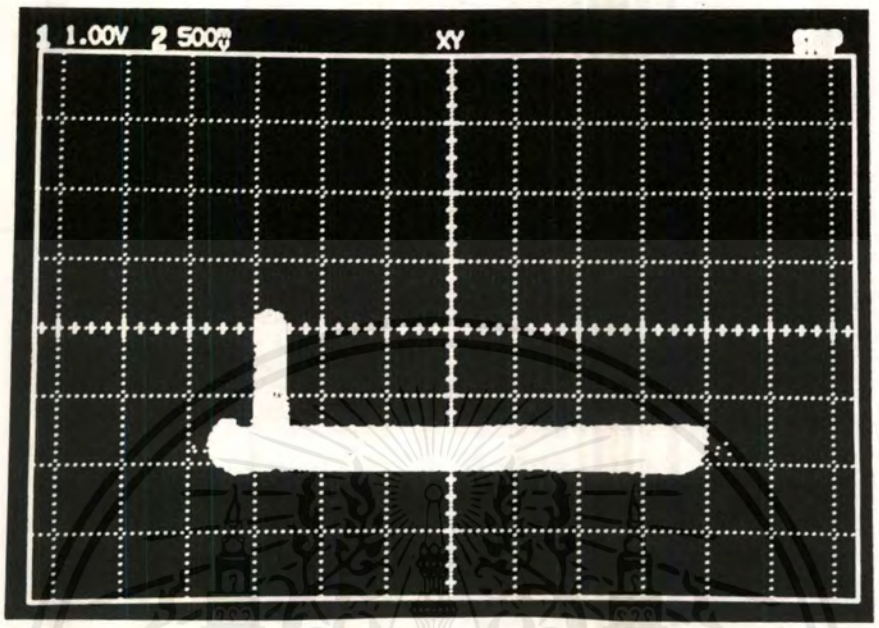
รูปที่ 4.8.3แสดงการวัดสัญญาณ sine 3 MHz , 5 MHz ,7 MHz , 9 MHz และ 10 MHz



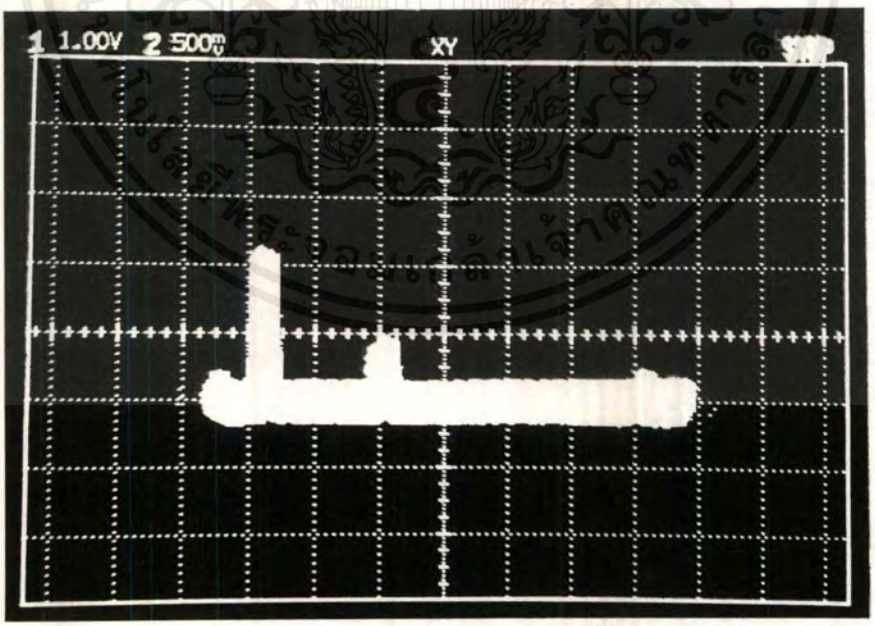
รูปที่ 4.8.4 แสดงการวัดสัญญาณสี่เหลี่ยม 1 MHz จะเกิดสัญญาณฮาร์โมนิคที่(3) 3 MHz , ฮาร์โมนิคที่(5) 5 MHz , ฮาร์โมนิคที่(7) 7MHz และ ฮาร์โมนิคที่(9) 9 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.8.5 และ 4.8.6 เป็นการเปรียบเทียบเมื่อทำการวัดสัญญาณ sine ความถี่ 2 MHz กับสัญญาณสี่เหลี่ยม ความถี่ 2 MHz จะได้ผลออกมาดังรูป



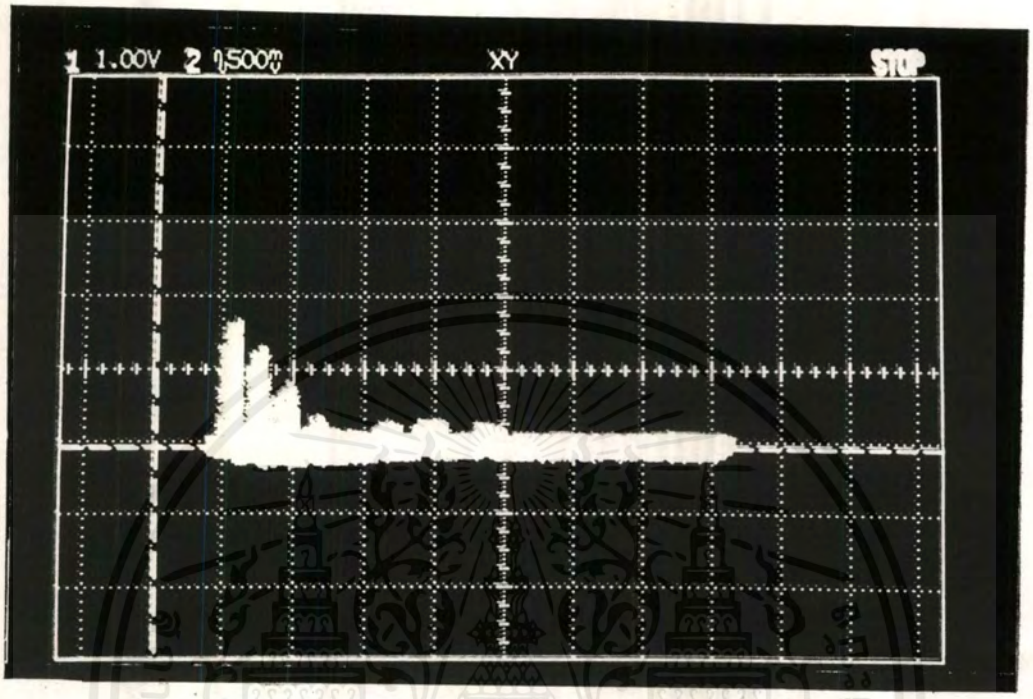
รูปที่ 4.8.5 แสดงการวัดสัญญาณ sine 2 MHz



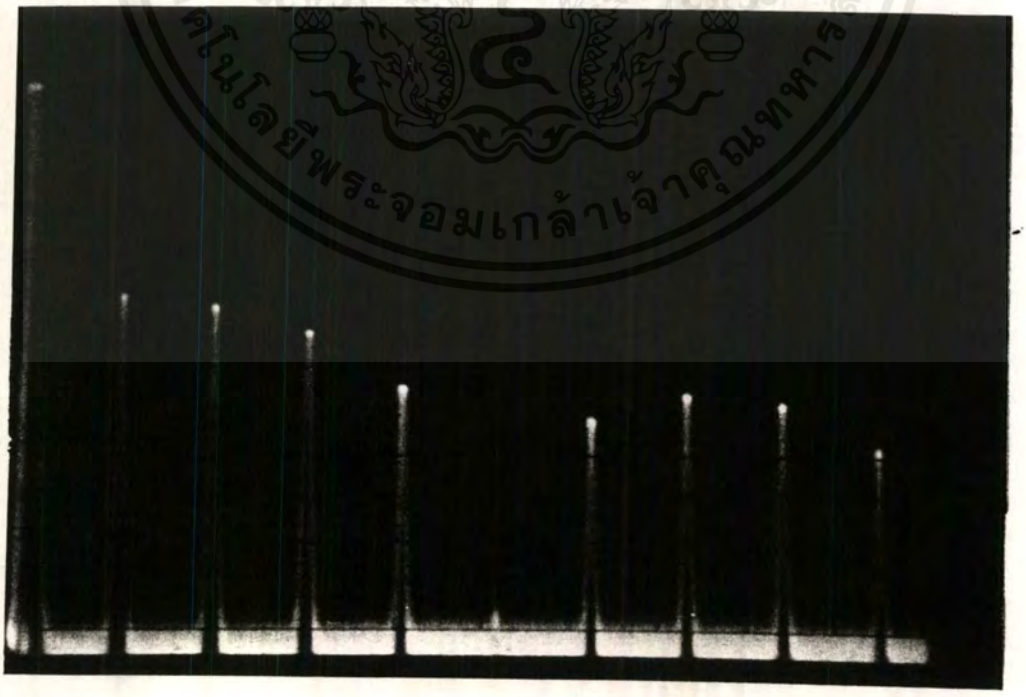
รูปที่ 4.8.6 แสดงการวัดสัญญาณสี่เหลี่ยมความถี่ 2 MHz จะเกิดสัญญาณ
ฮาร์โมนิคที่(3) 6 MHZ และฮาร์โมนิคที่(5) 10 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการวัดสัญญาณ pulse train ความถี่ 1 MHz duty cycle 20% แล้วนำผลที่ได้มาเปรียบเทียบกับผลที่ได้จากสเปคตรัม อนาไลเซอร์เครื่องจริง ได้ผลดังรูปที่ 4.8.7 และ 4.8.8 ตามลำดับ



รูปที่ 4.8.7 แสดงการวัดสัญญาณ pulse train ความถี่ 1 MHz โดยใช้สเปคตรัม อนาไลเซอร์ที่ออกแบบ



รูปที่ 4.8.8 แสดงการวัดสัญญาณ pulse train ความถี่ 1 MHz โดยใช้สเปคตรัม อนาไลเซอร์เครื่องจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

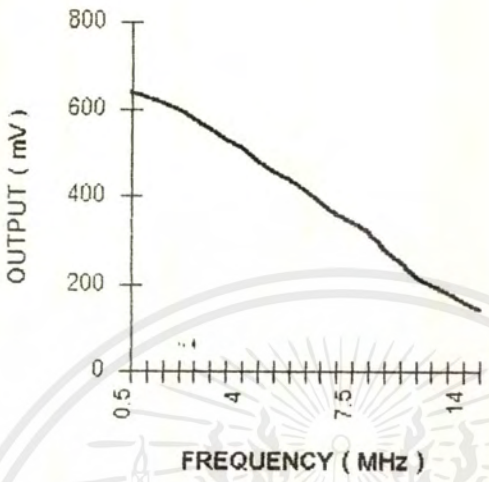
เมื่อทำการทดสอบผลตอบสนองทางความถี่ (Frequency Response) ของวงจร Low-pass Filter ที่มีความถี่คัทออฟที่ 5 MHz โดยการป้อนสัญญาณอินพุทคงที่ค่าหนึ่งที่ความถี่ต่างๆ และวัดขนาดของสัญญาณเอาท์พุทที่ได้ออกมา จะได้ผลดังตารางที่ 4.8.1 และกราฟแสดงผลตอบสนองทางความถี่จะเป็นดังรูปที่ 4.8.9

ความถี่ (MHz)	ขนาดสัญญาณเอาท์พุท (mV)
0.5	637.7
1	625
1.5	612.5
2	600
2.5	575.5
3	556.2
3.5	531
4	512
4.5	481
5	456.2
5.5	437.5
6	412

ความถี่ (MHz)	ขนาดสัญญาณเอาท์พุท (mV)
6.5	387
7	359
7.5	340
8	318
9	278
10	250
11	218
12	200
13	181
14	159
15	140

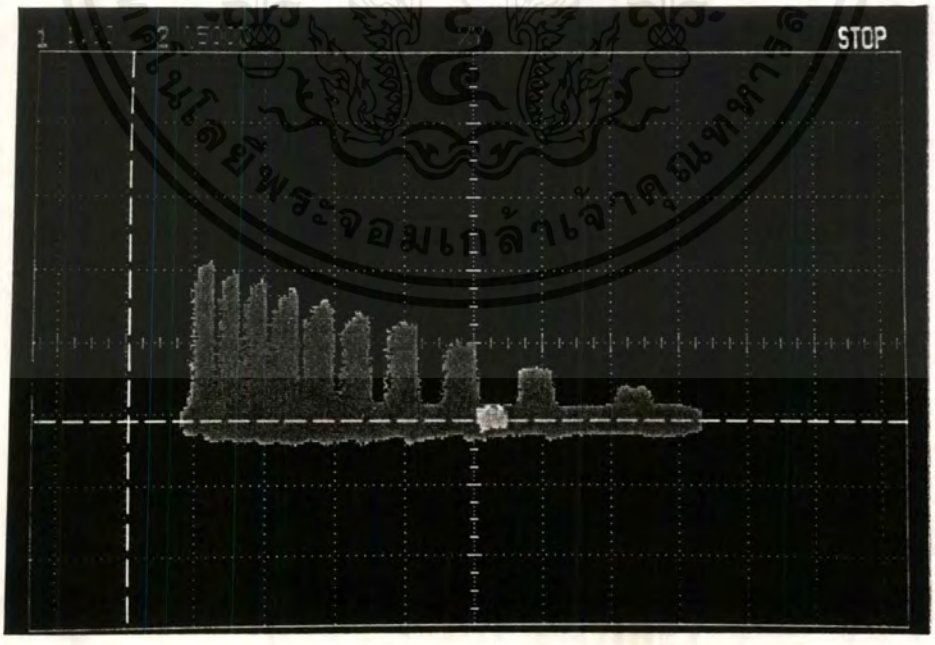
ตารางที่ 4.8.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8.9 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำ

เมื่อนำกราฟที่ได้จากรูปที่ 4.8.9 มาทำการเปรียบเทียบกับผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ โดยใช้สเปคตรัม อนาไลเซอร์ที่ได้ออกแบบไว้ จะได้ผลดังรูปที่ 4.8.10



รูปที่ 4.8.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำโดยใช้สเปคตรัม อนาไลเซอร์ที่ออกแบบวัด

จากการทดลองทั้ง 2 วิธี จะได้ผลการทดลองในลักษณะเดียวกัน คือมีความถี่คัทออฟที่ 5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและบทวิจารณ์

จากการทดลองส่วนประกอบต่าง ๆ ของ Spectrum Analyzer ที่ความถี่ 10 kHz - 10 MHz ซึ่งมี Dynamic Range ที่ minimum 200 mV และ maximum 1.5 V ซึ่งประกอบไปด้วยวงจรต่าง ๆ คือ วงจรกรองความถี่ต่ำ , วงจรมิกเซอร์ , วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO) , วงจรสร้างสัญญาณฟันเลื่อย , วงจรกรองช่วงความถี่ , วงจรดีเทคเตอร์ และวงจรขยายลอการิทึม

เมื่อได้ทำการทดลอง การทำงานของแต่ละวงจร ผลที่ได้จากการทดลองของวงจร VCO ซึ่งจะต้องมีช่วงความถี่ตั้งแต่ 21.4 - 31.4 MHz และความสัมพันธ์ระหว่าง forward voltage bias และความถี่ที่เปลี่ยนไปต้องมีลักษณะเป็น linear แต่ผลที่ได้ยังไม่ดีเท่าที่ควร แต่สามารถเปลี่ยนแปลงความถี่ในช่วงที่ต้องการได้ และมีขนาดของสัญญาณสูง

สำหรับวงจรกรองช่วงความถี่ 455 kHz จะต้องมีการปรับค่า BW ได้ 2 ค่า คือ 30 kHz , 100 kHz แต่ในการทดลองครั้งนี้ได้เลือกใช้ BW เพียง ค่าเดียว คือ 100 kHz เนื่องจากเมื่อเลือก BW ค่าอื่น ขนาดของสัญญาณจะต่ำ ทำให้วงจรดีเทคเตอร์ไม่สามารถดีเทคสัญญาณออกมาได้

และในส่วนของวงจรขยายลอการิทึม เมื่อนำมาต่อรวมกับวงจร ไม่สามารถดีเทคสัญญาณออกมาได้ เนื่องจากมีสัญญาณรบกวนเกิดขึ้น และผลจากกราฟที่ได้ยังไม่ linear พอ ดังนั้นจึงแสดงผลในรูปของสเกล mV แทน

เมื่อนำวงจรต่าง ๆ ต่อเข้าด้วยกันทั้งหมด Spectrum Analyzer นี้ จะสามารถวัดสัญญาณได้ที่ความถี่ 1 - 10 MHz และสัญญาณที่ออกมามี BW ที่กว้าง เนื่องจากเลือกค่า BW จากวงจรกรองความถี่ 455 kHz ได้เพียง 100 kHz และจากการที่ความสัมพันธ์ระหว่าง forward voltage bias กับความถี่ยังไม่เป็น linear พอ ทำให้ความถี่ที่วัดได้มีความเบี่ยงเบนไปบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

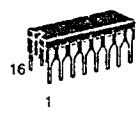
Presettable Counters
High–Performance Silicon–Gate CMOS

MC54/74HC160
MC54/74HC162

The MC54/74HC160 and HC162 are identical in pinout to the LS160 and LS162, respectively. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC160 and HC162 are programmable BCD counters with asynchronous and synchronous Reset inputs, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 234 FETs or 58.5 Equivalent Gates



J SUFFIX
CERAMIC PACKAGE
CASE 620–10

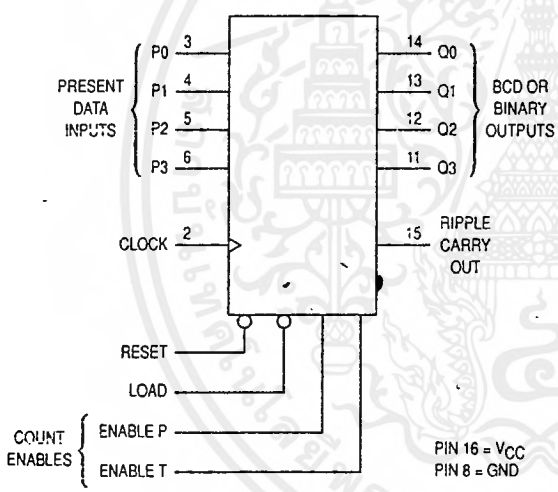
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

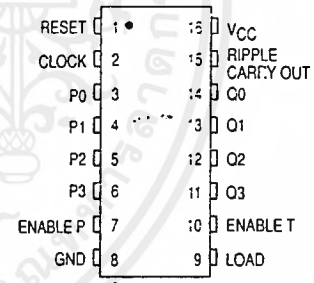
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



Device	Count Mode	Reset Mode
HC160	BCD	Asynchronous
HC162	BCD	Synchronous

FUNCTION TABLE

Inputs					Output
Clock	Reset*	Load	Enable P	Enable T	Q
↑	L	X	X	X	Reset
↑	H	L	X	X	Load Preset Data
↑	H	H	H	H	Count
↑	H	H	L	X	No Count
↑	H	H	X	L	No Count

* HC162 only. HC160 is an Asynchronous Reset Device
H = high level
L = low level
X = don't care

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package)	260	°C
	(Ceramic DIP)	300	

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit – 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle)* (Figures 1 and 7)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}	Maximum Propagation Delay, Clock to Q (Figures 1 and 7)	2.0 4.5 6.0	170 34 29	215 43 37	255 51 43	ns
t_{PHL}		2.0 4.5 6.0	205 41 35	255 51 43	310 62 53	
t_{PHL}	Maximum Propagation Delay, Reset to Q (HC160 Only) (Figures 2 and 7)	2.0 4.5 6.0	210 42 36	265 53 45	315 63 54	ns
t_{PLH}	Maximum Propagation Delay, Enable T to Ripple Carry Out (Figures 3 and 7)	2.0 4.5 6.0	160 32 27	200 40 34	240 48 41	ns
t_{PHL}		2.0 4.5 6.0	195 39 33	245 49 42	295 59 50	
t_{PLH}	Maximum Propagation Delay, Clock to Ripple Carry Out (Figures 1 and 7)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PHL}		2.0 4.5 6.0	215 43 37	270 54 46	325 65 55	
t_{PHL}	Maximum Propagation Delay, Reset to Ripple Carry Out (HC160 Only) (Figures 2 and 7)	2.0 4.5 6.0	220 44 37	275 55 47	330 66 56	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 7)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

* Applies to noncascaded/nonsynchronously clocked configurations only. With synchronously cascaded counters, (1) Clock to Ripple Carry Out propagation delays, (2) Enable T or Enable P to Clock setup times, and (3) Clock to Enable T or Enable P hold times determine f_{max}. However, if Ripple Carry Out of each stage is tied to the Clock of the next stage (nonsynchronously clocked), the f_{max} in the table above is applicable. See Applications Information in this data sheet.

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2.
2. Information on typical parametric values can be found in Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	60	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Preset Data Inputs to Clock (Figure 5)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{su}	Minimum Setup Time, Load to Clock (Figure 5)	2.0 4.5 6.0	135 27 23	170 34 29	205 41 35	ns
t_{su}	Minimum Setup Time, Reset to Clock (HC162 only) (Figure 4)	2.0 4.5 6.0	160 32 27	200 40 34	240 48 41	ns
t_{su}	Minimum Setup Time, Enable T or Enable P to Clock (Figure 6)	2.0 4.5 6.0	200 40 34	250 50 43	300 60 51	ns
t_h	Minimum Hold Time, Clock to Preset Data Inputs (Figure 5)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to Load (Figure 5)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_h	Minimum Hold Time, Clock to Reset (HC162 only) (Figure 4)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_h	Minimum Hold Time, Clock to Enable T or Enable P (Figure 6)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (HC160 only) (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_{rec}	Minimum Recovery Time, Load Inactive to Clock (Figure 5)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (HC160 only) (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2.

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION DESCRIPTION

The HC160/162 are programmable 4–bit synchronous counters that feature parallel Load, synchronous or asynchronous Reset, a Carry Output for cascading, and count–enable controls.

The HC160 and HC162 are BCD counters with asynchronous Reset, and synchronous Reset, respectively.

INPUTS

Clock (Pin 2)

The internal flip–flops toggle and the output count advances with the rising edge of the Clock input. In addition, control functions, such as resetting (HC162) and loading occur with the rising edge of the Clock input.

Preset Data Inputs P0, P1, P2, P3 (Pins 3, 4, 5, 6)

These are the data inputs for programmable counting. Data on these pins may be synchronously loaded into the internal flip–flops and appear at the counter outputs. P0 (pin 3) is the least–significant bit and P3 (pin 6) is the most–significant bit.

OUTPUTS

Q0, Q1, Q2, Q3 (Pins 14, 13, 12, 11)

These are the counter outputs (BCD or binary). Q0 (pin 14) is the least–significant bit and Q3 (pin 11) is the most–significant bit.

Ripple Carry Out (Pin 15)

When the counter is in its maximum state (1001 for the BCD counters or 1111 for the binary counters), this output goes high, providing an external look–ahead carry pulse that may be used to enable successive cascaded counters. Ripple Carry Out remains high only during the maximum count state. The logic equation for this output is:

Ripple Carry Out = Enable T • Q0 • $\overline{Q1}$ • $\overline{Q2}$ • Q3 for BCD counters HC160 and HC162

CONTROL FUNCTIONS

Resetting

A low level on the Reset pin (pin 1) resets the internal flip–flops and sets the outputs (Q0 through Q3) to a low level. The HC160 resets asynchronously and the HC162 resets with the rising edge of the Clock input (synchronous reset).

Loading

With the rising edge of the Clock, a low level on Load (pin 9) loads the data from the Preset Data Input pins (P0, P1, P2, P3) into the internal flip–flops and onto the output pins, Q0 through Q3. The count function is disabled as long as Load is low.

Although the HC160 and HC162 are BCD counters, they may be programmed to any state. If they are loaded with a state disallowed in BCD code, they will return to their normal count sequence within two clock pulses (see the Output State Diagram).

Count Enable/Disable

These devices have two count–enable control pins: Enable P (pin 7) and Enable T (pin 10). The devices count when these two pins and the Load pin are high. The logic equation is:

Count Enable = Enable P • Enable T • Load

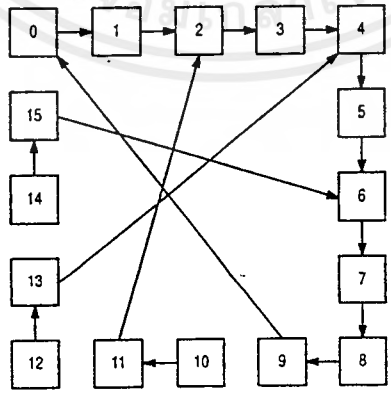
The count is either enabled or disabled by the control inputs according to Table 1. In general, Enable P is a count–enable control; Enable T is both a count–enable and a Ripple–Carry Output control.

Table 1. Count Enable/Disable

Control Inputs		Result at Outputs		
Load	Enable P	Enable T	Q0 – Q3	Ripple Carry Out
H	H	H	Count	High when Q0–Q3 are maximum*
L	H	H	No Count	
X	L	H	No Count	High when Q0–Q3 are maximum*
X	X	L	No Count	L

*Q0 through Q3 are maximum for the HC160 and HC162 when Q3 Q2 Q1 Q0 = 1001.

OUTPUT STATE DIAGRAMS
HC160 and HC162 BCD Counters



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

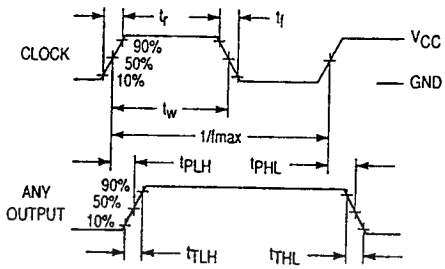


Figure 1.

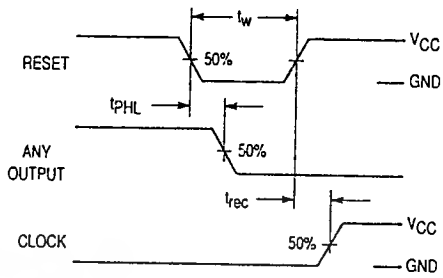


Figure 2.

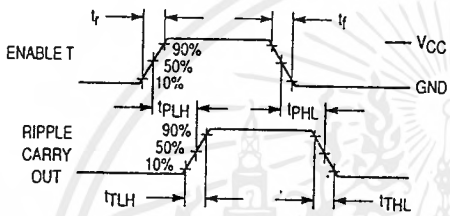


Figure 3.

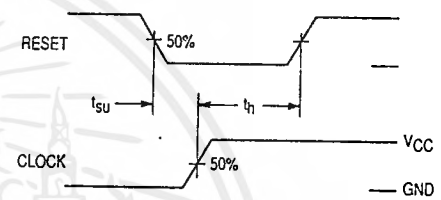


Figure 4. HC162 Only

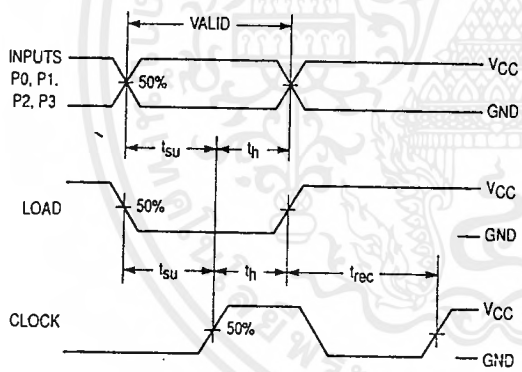


Figure 5.

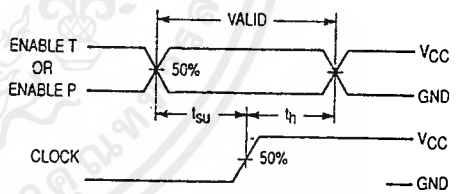
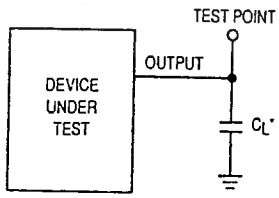


Figure 6.

TEST CIRCUIT

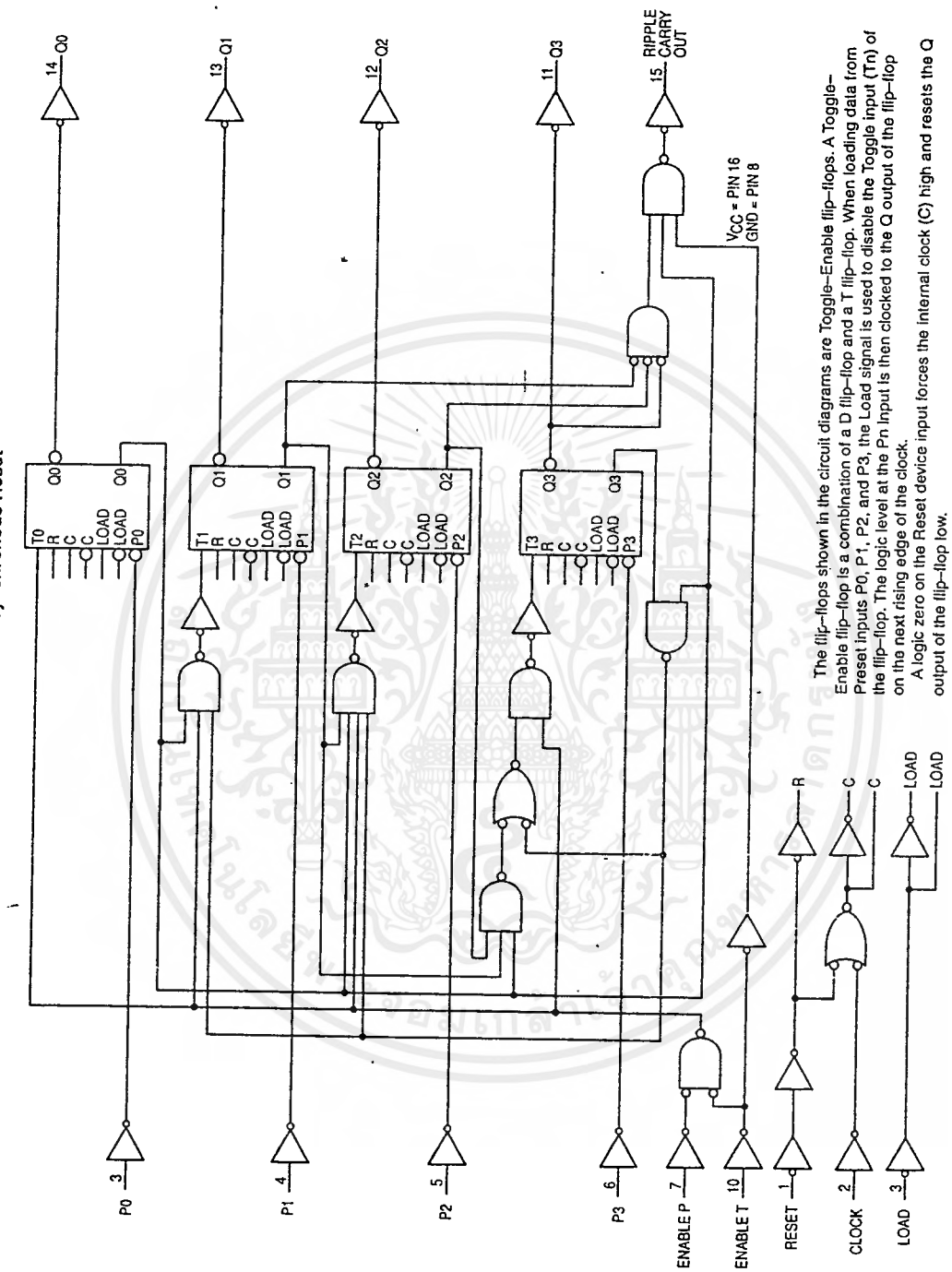


* Includes all probe and jig capacitance

Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC160 • MC74HC160
BCD Counter with Asynchronous Reset



The flip–flops shown in the circuit diagrams are Toggle–Enable flip–flops. A Toggle–Enable flip–flop is a combination of a D flip–flop and a T flip–flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (Tn) of the flip–flop. The logic level at the Pn input is then clocked to the Q output of the flip–flop on the next rising edge of the clock.

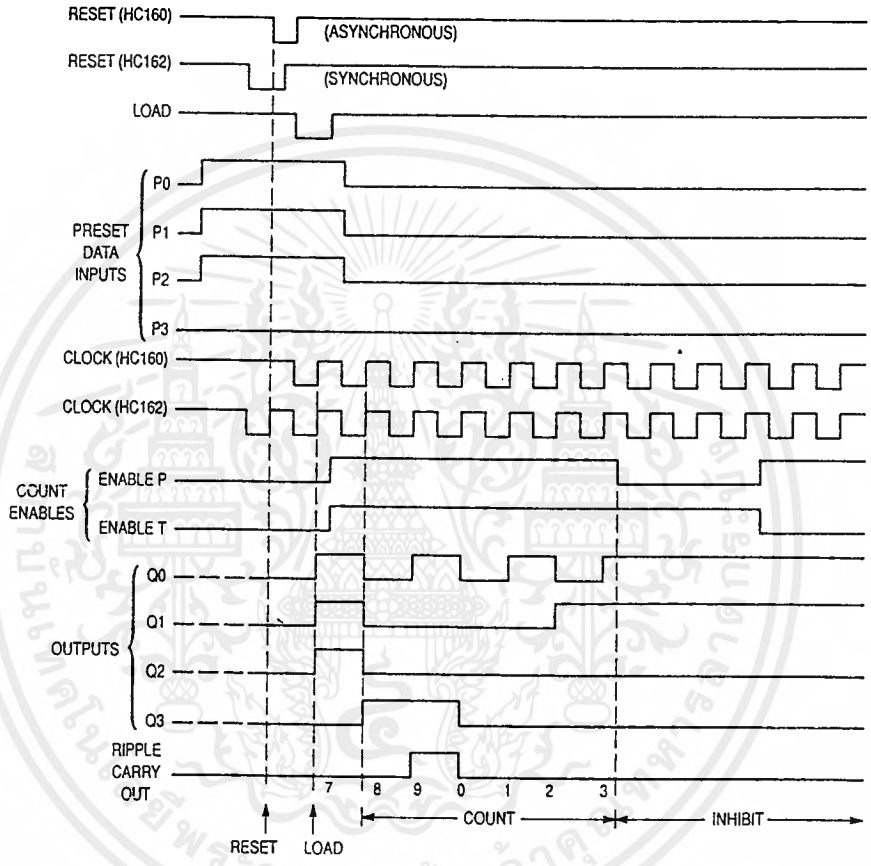
A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip–flop low.

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HC160, HC162 TIMING DIAGRAM

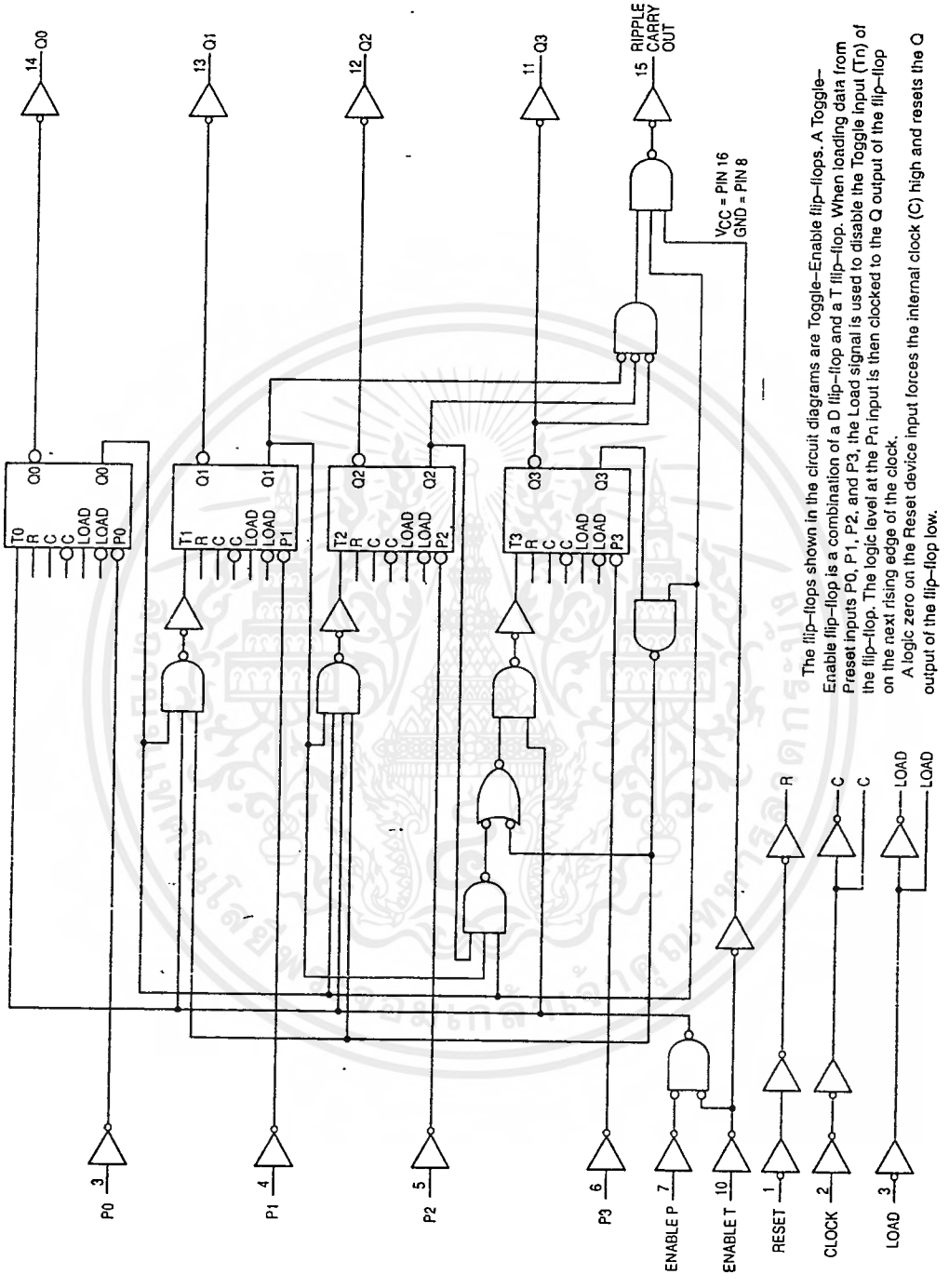
Sequence illustrated in waveforms:
1. Reset outputs to zero.
2. Preset to BCD seven.
3. Count to eight, nine, zero, one, two, and three.
4. Inhibit.



3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC160 • MC74HC160
BCD Counter with Synchronous Reset



The flip–flops shown in the circuit diagrams are Toggle–Enable flip–flops. A Toggle–Enable flip–flop is a combination of a D flip–flop and a T flip–flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (Tn) of the flip–flop. The logic level at the Pn input is then clocked to the Q output of the flip–flop on the next rising edge of the clock.

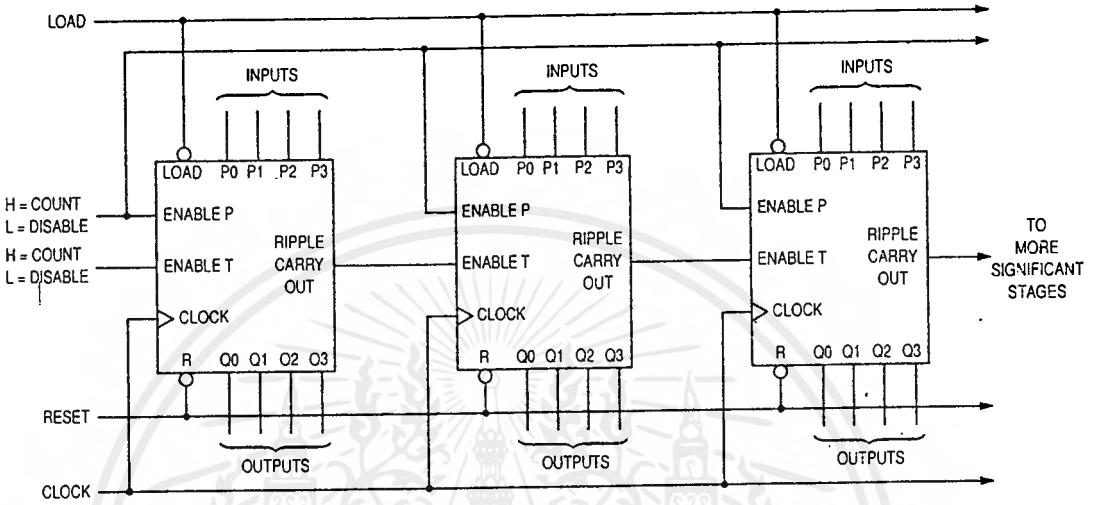
A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip–flop low.

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS
CASCADING

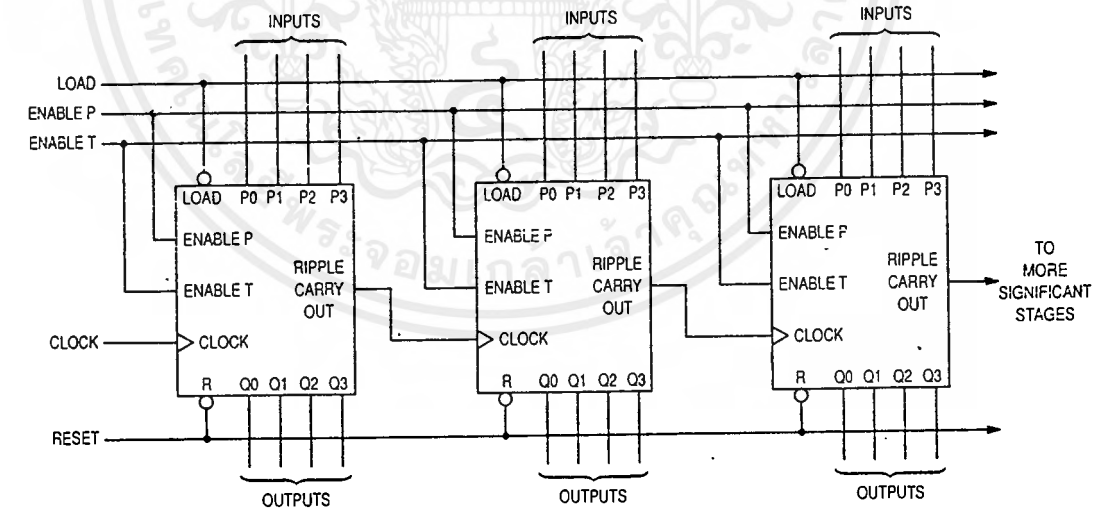
N–Bit Synchronous Counters



NOTE: When used in these cascaded configurations the clock f_{max} guaranteed limits may not apply. Actual performance will depend on number of stages. This limitation is due to set up times between Enable (Port) and Clock.

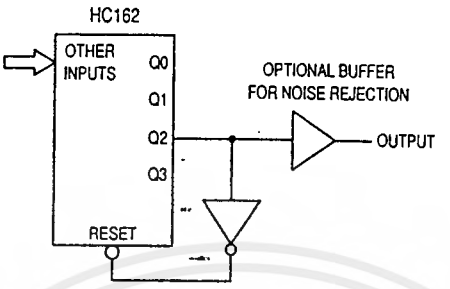
3

Nibble Ripple Counter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION



Modulo–5 Counter

The HC162 facilitates designing counters of any modulus with minimal external logic. The output is glitch–free due to the synchronous Reset.

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

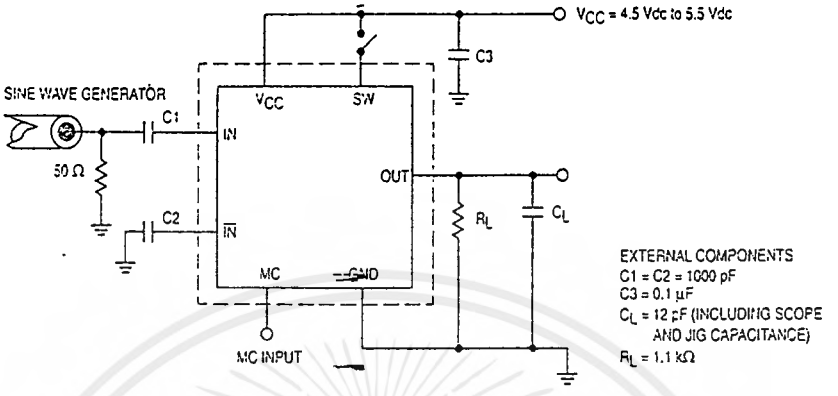


Figure 4. AC Test Circuit

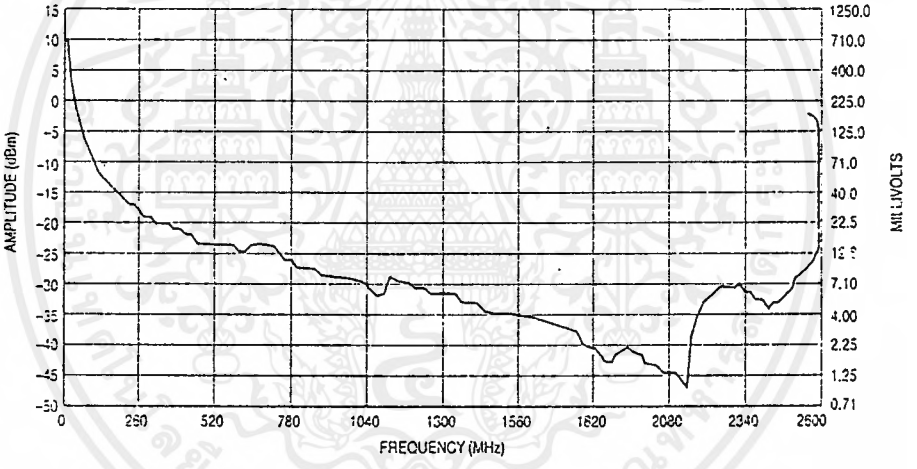


Figure 5. Input Signal Amplitude versus Input Frequency
Divide Ratio = 65

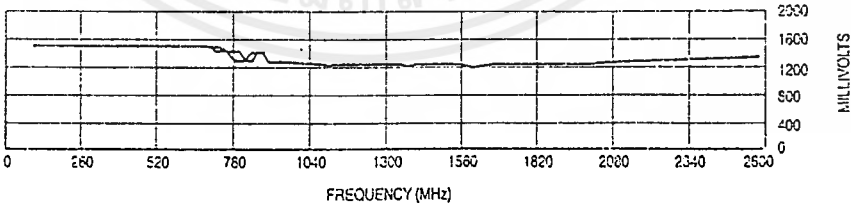


Figure 6. Output Amplitude versus Input Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

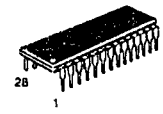
Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

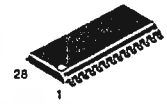
The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable + A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable + R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- + N Range = 3 to 1023, + A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



P SUFFIX
PLASTIC DIP
CASE 710

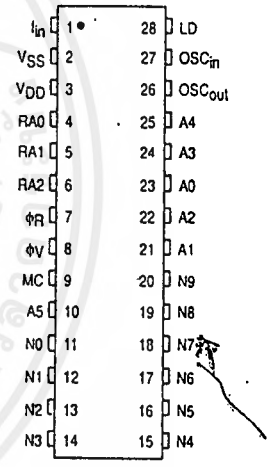


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

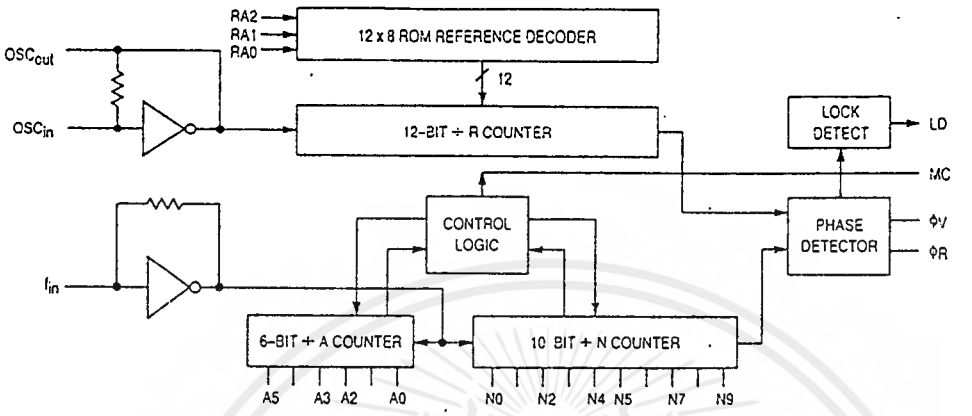
PIN ASSIGNMENT



REV 1
8/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see Dual–Modulus Prescaling section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the + N counter, and A the number programmed into the + A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

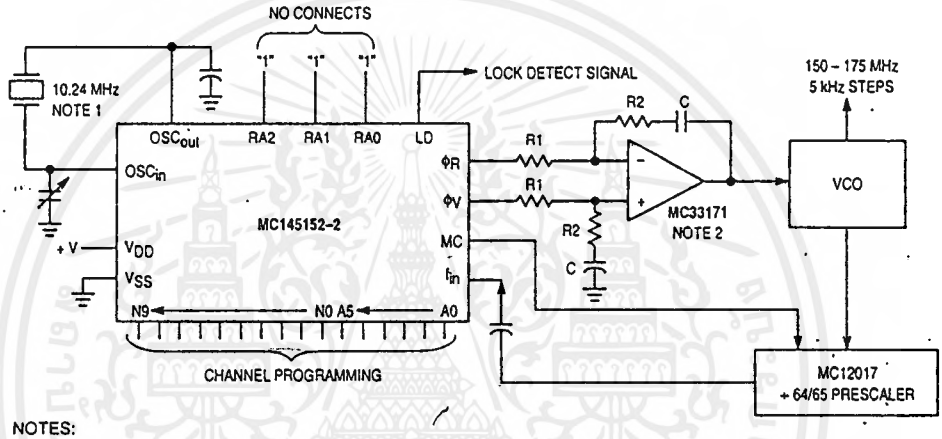
The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

2

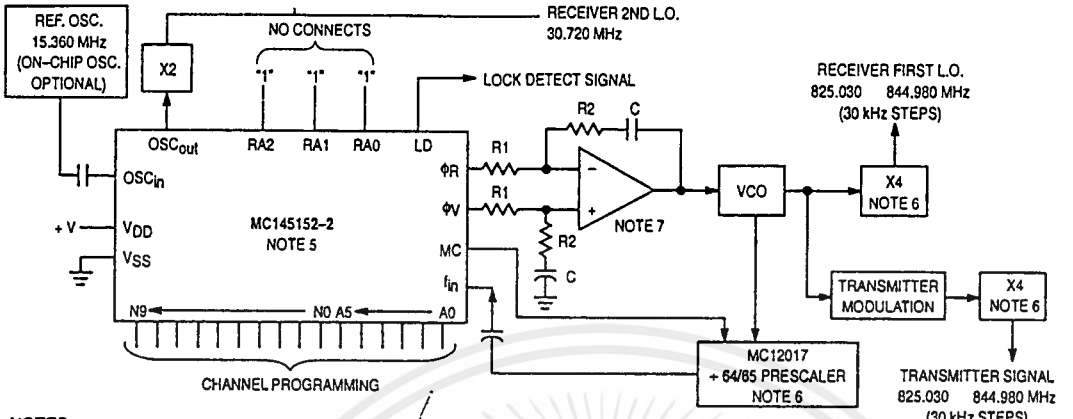
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



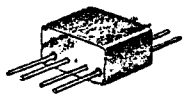
NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

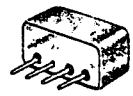
Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152–2 Data Sheet Continued on Page 2–650

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LMX



TUF

+7 dBm Lo, up to +1 dBm RF

MODEL NO.	FREQUENCY MHz LO/RF f_L-f_U	IF	CONVERSION LOSS dB Mid-Band m x	σ	Max.	Total Range Max.	LO-RF ISOLATION, dB L Typ.	Min.	M Typ.	Min.	U Typ.	Min.	LO-IF ISOLATION, dB L Typ.	Min.	M Typ.	Min.	U Typ.	Min.	CAPD DATA (see RF/IF Designer Handbook) Page	Case Style Note B	CONNECTION	Price $ Qty. (1-9)
LMX-3	0.04-400	DC-400	4.84	.05	7.0	8.0	60	50	50	35	35	25	45	40	35	25	25	20	1-68	BB48	q	25.95
LMX-113	5-1000	DC-1000	5.72	.05	7.0	8.0	50	40	40	25	35	25	45	35	35	30	30	20	1-78	BB48	q	16.95
LMX-124	0.5-500	DC-500	5.18	.06	6.5	7.0	50	40	45	25	45	22	45	40	40	30	30	20	1-80	BB48	q	27.95
LMX-149	10-1500	DC-1500	6.58	.09	7.5	9.0	55	40	45	35	30	20	50	40	40	25	20	12	1-82	BB48	q	29.95
LMX-156	800-2500	DC-1500	7.09	.37	9.0	9.0	35	25	35	25	35	25	22	17	22	17	22	17	1-214	BB48	q	44.95
TUF-1	2-600	DC-600	5.85	.04	7.0	8.0	60	50	42	30	37	25	60	45	47	30	36	22	1-192	B02	z	4.25
TUF-2	50-1000	DC-1000	5.85	.07	7.5	9.0	58	40	47	30	42	25	50	35	44	20	29	18	1-194	B02	z	5.20
TUF-3	0.15-400	DC-400	4.7	.02	7.0	8.0	60	50	46	30	35	25	60	40	47	25	35	20	1-200	B02	z	6.10
TUF-5	20-1500	DC-1000	5.7	.04	9.0	9.0	54	40	42	30	39	25	40	25	32	18	23	8	1-206	B02	z	9.45
TUF-5X	1-1500	1-1000	5.9	.10	7.0	9.0	60	40	40	20	28	17	60	45	45	25	38	20	1-83	B02	gm	11.95
TUF-11A	1400-1900	40-500	6.8	.30	8.6	8.6			33 (typ.)		20 (min.)				29 (typ.)		15 (min.)		1-167	B02	z	16.95
TUF-860	800-1050	DC-250	5.6	.24	7.75	7.75			35 (typ.)		25 (min.)				27 (typ.)		20 (min.)		1-165	B02	z	9.45

L = low range (f_L to 10 f_L) M = mid range (10 f_L to f_U/2) U = upper range (f_U/2 to f_U)

m = mid band ($2f_L$ to f_U/2)

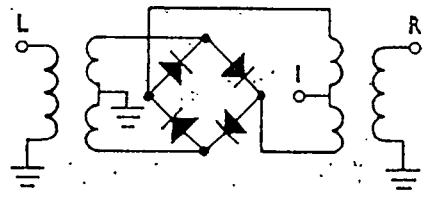
NSN GUIDE

MCL NO.	NSN
ASK-1	5895-01-320-0366
TFM-2	5895-01-135-1852
TFM-3	5895-01-112-0031
TFM-4	5895-01-317-9388
TFM-11	5895-01-409-1158
TFM-12	5895-01-179-5686

PRECISION TECHNOLOGIES PTE LTD
211 HENDERSON ROAD
#13-02 HENDERSON INDUSTRIAL PARK
SINGAPORE 159552
TEL. 2734573 (5 LINES) FAX: 2738898

pin connections see case style outline drawings

PORT	q	w	z	aa	gm
LO	8	1	4	1	4
IF	5	4	1	4	2
RF	4	5	2	2	1
GND EXT.	1,2,3,6,7	2,3,6	3	3	3
CASE GND	1,2,3,6,7	—	3	3	3
NOT USED	—	—	—	—	—



CAPD now available! computer-automated performance data

In Stock... Immediate Delivery

For Custom Versions Of Standard Models Consult Our Applications Dept.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

signetics

HIGH PERFORMANCE OPERATIONAL AMPLIFIER | μA741

LINEAR INTEGRATED CIRCUITS

DESCRIPTION

The μA741 is a high performance operational amplifier with high open loop gain, internal compensation, high common mode range and exceptional temperature stability. The μA741 is short-circuit protected and allows for nulling of offset voltage.

FEATURES

- INTERNAL FREQUENCY COMPENSATION
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- EXCELLENT TEMPERATURE STABILITY
- HIGH INPUT VOLTAGE RANGE
- NO LATCH-UP

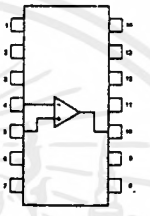
ABSOLUTE MAXIMUM RATINGS

	μA741C	μA741
Supply Voltage	±18V	±22V
Internal Power Dissipation (Note 1)	500mW	500mW
Differential Input Voltage	±30V	±30V
Input Voltage (Note 2)	±15V	±15V
Voltage between Offset Null and V⁻	±0.5V	±0.5V
Operating Temperature Range	0°C to +70°C	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Solder, 60 sec)	300°C	300°C
Output Short Circuit Duration (Note 3)	Indefinite	Indefinite

Notes
1. Rating applies for case temperatures to 125°C; derate linearly at 6.8mW/°C for ambient temperatures above +75°C.
2. For supply voltages less than ±18V, the absolute maximum input voltage is equal to the supply voltage.
3. Short circuit may be to ground or either supply. Rating applies to +125°C case temperature or +75°C ambient temperature.

PIN CONFIGURATIONS

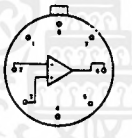
A PACKAGE
(Top View)



1. NC
2. NC
3. Offset Null
4. Inv. Input
5. Non-Inv. Input
6. V⁻
7. NC
8. NC
9. Offset Null
10. Output
11. V⁺
12. NC
13. NC
14. NC

ORDER PART NO. μA741CA

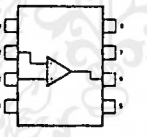
T PACKAGE



1. Offset Null
2. Inverting Input
3. Non-Inverting Input
4. V⁻
5. Offset Null
6. Output
7. V⁺
8. NC

ORDER PART NOS. μA741T/μA741CT

V PACKAGE



1. Offset Null
2. Inv. Input
3. Non-Inv. Input
4. V⁻
5. Offset Null
6. Output
7. V⁺
8. NC

ORDER PART NO. μA741CV

EQUIVALENT CIRCUIT

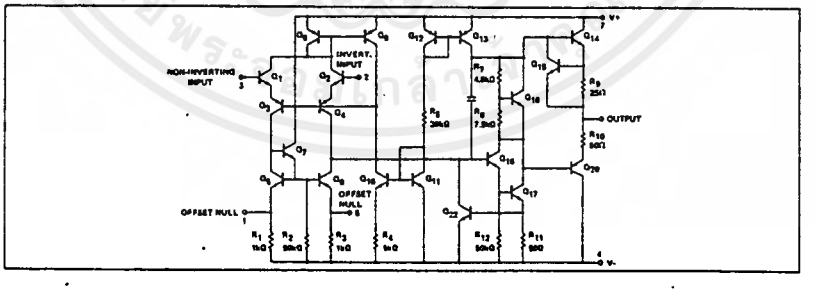


Fig. 1-2. μA741 high-performance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

PARAMETER	MIN.	TYP.	MAX.	UNITS	TEST CONDITIONS
μA741C					
Input Offset Voltage		2.0	6.0	mV	R_S < 10kΩ
Input Offset Current		20	200	nA	
Input Bias Current		80	500	nA	
Input Resistance	0.3	2.0		MΩ	
Input Capacitance		1.4		pF	
Offset Voltage Adjustment Range		±15		mV	
Input Voltage Range	±12	±13		V	
Common Mode Rejection Ratio	70	90		dB	R_S < 10kΩ
Supply Voltage Rejection Ratio		10	150	μV/V	R_S < 10kΩ
Large-Signal Voltage Gain	20,000	200,000			R_L > 2kΩ, V_{out} = ±10V
Output Voltage Swing	±12	±14		V	R_L > 10kΩ
	±10	±13		V	R_L > 2kΩ
Output Resistance		75		Ω	
Output Short-Circuit Current		25		mA	
Supply Current		1.4	2.8	mA	
Power Consumption		50	85	mW	
Transient Response (unity gain)					V_{in} = 20mV, R_L = 2kΩ, C_L < 100pF
Risetime		0.3		μs	
Overshoot		5.0		%	
Slew Rate		0.5		V/μs	R_L > 2kΩ
The following specifications apply for 0°C < T_A < +70°C					
Input Offset Voltage			7.5	mV	
Input Offset Current			300	nA	
Input Bias Current			800	nA	
Large-Signal Voltage Gain	15,000				R_L > 2kΩ, V_{out} = ±10V
Output Voltage Swing	±10	±13		V	R_L > 2kΩ
μA741					
Input Offset Voltage		1.0	5.0	mV	R_S < 10kΩ
Input Offset Current		10	200	nA	
Input Bias Current		80	500	nA	
Input Resistance	0.3	2.0		MΩ	
Input Capacitance		1.4		pF	
Offset Voltage Adjustment Range		±15		mV	
Large-Signal Voltage Gain	50,000	200,000			R_L > 2kΩ, V_{out} = ±10V
Output Resistance		75		Ω	
Output Short Circuit Current		25		mA	
Supply Current		1.4	2.8	mA	
Power Consumption		50	85	mW	
Transient Response (unity gain)					V_{in} = 20mV, R_L = 2kΩ, C_L < 100pF
Risetime		0.3		μs	
Overshoot		5.0		%	
Slew Rate		0.5		V/μs	R_L > 2kΩ
The following specifications apply for −55°C < T_A < +125°C					
Input Offset Voltage		1.0	6.0	mV	R_S < 10kΩ
Input Offset Current		7.0	200	nA	T_A = +125°C
		20	500	nA	T_A = −55°C
Input Bias Current		0.03	0.5	μA	T_A = +125°C
		0.3	1.5	μA	T_A = −55°C
Input Voltage Range	±12	±13		V	
Common Mode Rejection Ratio	70	90		dB	R_S < 10kΩ
Supply Voltage Rejection Ratio		10	150	μV/V	R_S < 10kΩ
Large-Signal Voltage Gain	25,000				R_L > 2kΩ, V_{out} = ±10V
Output Voltage Swing	±12	±14		V	R_L > 10kΩ
	±10	±13		V	R_L > 2kΩ
Supply Current		1.5	2.5	mA	T_A = +125°C
		2.0	3.3	mA	T_A = −55°C
Power Consumption		45	75	mW	T_A = +125°C
		45	100	mW	T_A = −55°C

Courtesy Signetics Corp.

operational amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTIC CURVES

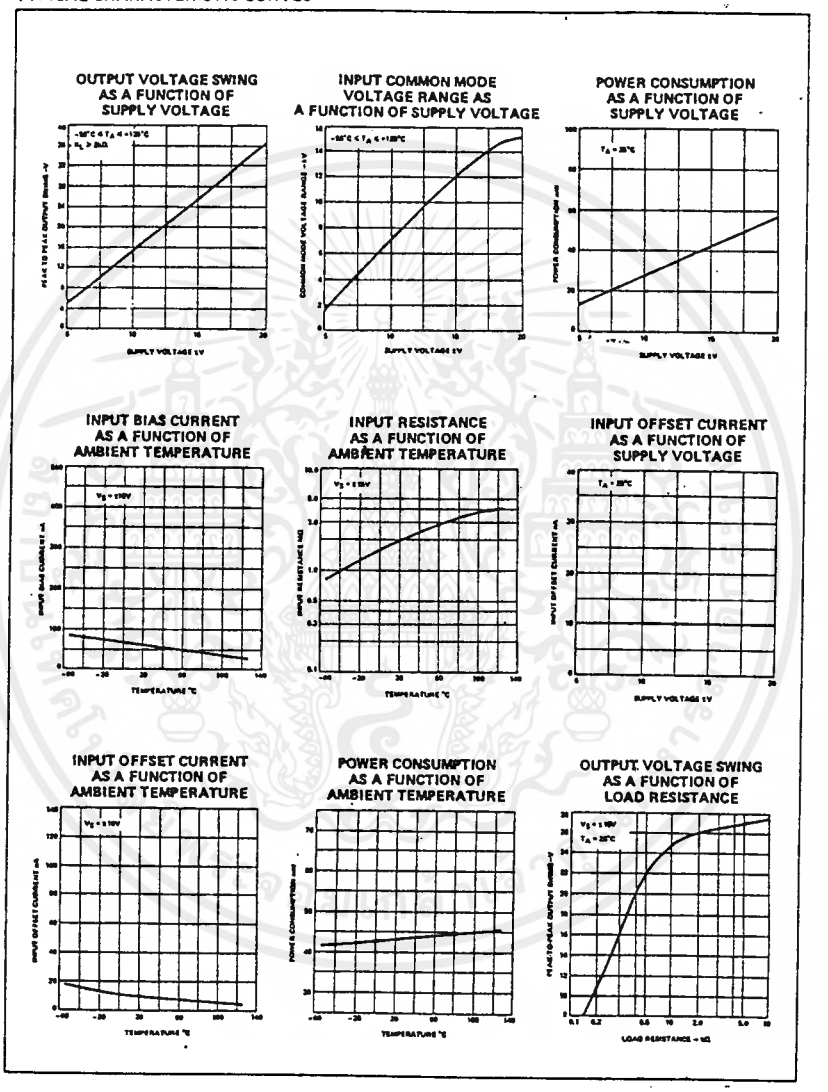
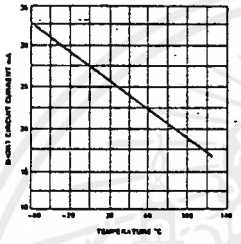


Fig. 1-2 (Cont.). μA741 high-performance

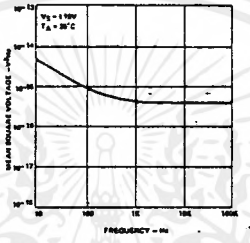
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTIC CURVES (Cont'd.)

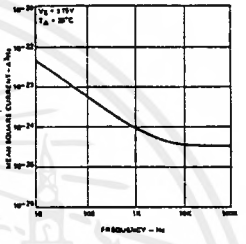
OUTPUT SHORT-CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



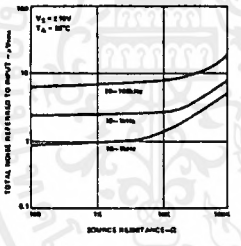
INPUT NOISE VOLTAGE AS A FUNCTION OF FREQUENCY



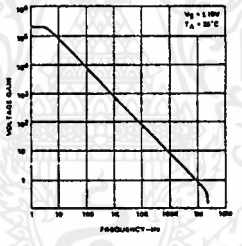
INPUT NOISE CURRENT AS A FUNCTION OF FREQUENCY



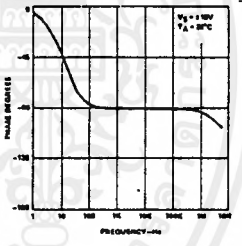
BROADBAND NOISE FOR VARIOUS BANDWIDTHS



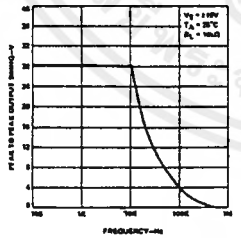
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF FREQUENCY



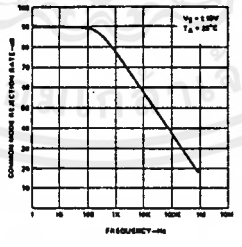
OPEN LOOP PHASE RESPONSE AS A FUNCTION OF FREQUENCY



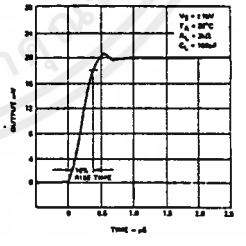
OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY



COMMON MODE REJECTION RATIO AS A FUNCTION OF FREQUENCY



TRANSIENT RESPONSE



Courtesy Signetics Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MV104
MV104G

VVC

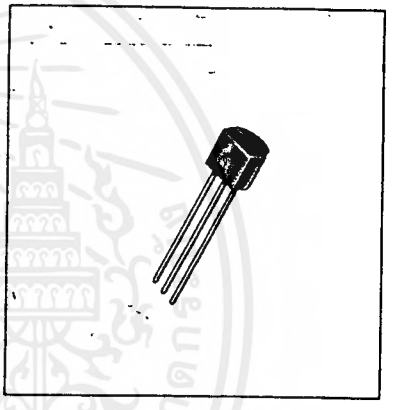
SILICON EPICAP DIODES

DUAL
VOLTAGE-VARIABLE
CAPACITANCE DIODES

. . . designed for FM tuning, general frequency control and tuning, or any top-of-the-line application requiring back-to-back diode configurations for minimum signal distortion and detuning. This device is supplied in the popular TO-92 plastic package for high volume, economical requirements of consumer and industrial applications.

- High Figure of Merit —
  Q = 140 (Typ) @ V_R = 3.0 Vdc, f = 100 MHz
- Guaranteed Capacitance Range
  — 34-39 pF @ V_R = 3.0 Vdc (MV104G)
  — 37-42 pF @ V_R = 3.0 Vdc (MV104)
- Dual Diodes — Save Space and Reduce Cost
- TO-92 Package for Easy Handling and Mounting
- Guaranteed Matching* Tolerance From Diode to Diode and Group to Group
- Monolithic Chip Provides Near Perfect Matching — Guaranteed ± 1% (Max) Over Specified Tuning Range.

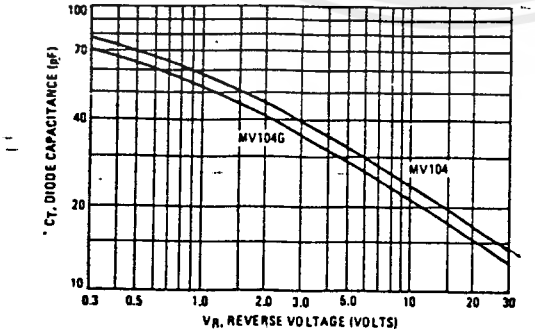
*Upon request, diodes are available in matched sets or in matched groups. All diodes in a set or group can be matched for capacitance to ±1.5% or 0.1 pF (whichever is greater) over the specified tuning range.

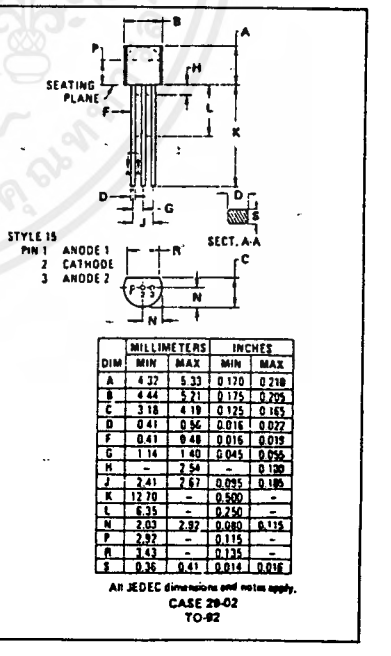


MAXIMUM RATINGS (Each Device)

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	32	Volts
Forward Current	I_F	200	mA
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

FIGURE 1 — DIODE CAPACITANCE (Each Device)





DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.32	5.33	0.170	0.210
B	4.44	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.56	0.016	0.022
F	0.41	0.48	0.016	0.019
G	1.14	1.40	0.045	0.055
H	–	2.54	–	0.100
J	2.41	2.67	0.095	0.105
K	12.70	–	0.500	–
L	6.35	–	0.250	–
N	2.03	2.97	0.080	0.115
P	2.92	–	0.115	–
R	3.43	–	0.135	–
S	0.36	0.41	0.014	0.016

All JEDEC dimensions and notes apply.
CASE 29-02
TO-92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted, Each Device)

Characteristic–All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	BV_R	32	-	-	Vdc
Reverse Voltage Leakage Current (V_R = 30 Vdc) T_A = 25°C T_A = 60°C	I_R	- -	- -	50 500	nAdc
Series Inductance (f = 250 MHz, Lead Length ≈ 1/16")	L_S		6.0	-	nH
Case Capacitance (f = 1.0 MHz, Lead Length ≈ 1/16")	C_C		0.18		pF
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C		280	400	ppm/°C

	C_T, Diode Capacitance V_R = 3.0 Vdc, f = 1.0 MHz pF		*Q, Figure of Merit V_R = 3.0 Vdc f = 100 MHz		C_R, Capacitance Ratio C_3/C_{30} f = 1.0 MHz	
Device	Min	Max	Min	Typ	Min	Max
MV104	37	42	100	140	2.5	2.8
MV104G	34	39	100	140	2.5	2.8

*$Q = \frac{1}{2\pi f C_T R_S}$

TYPICAL CHARACTERISTICS (Each Device)

FIGURE 2 – FIGURE OF MERIT versus VOLTAGE

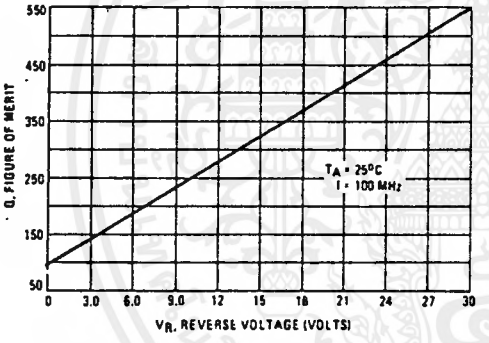


FIGURE 3 – FIGURE OF MERIT versus FREQUENCY

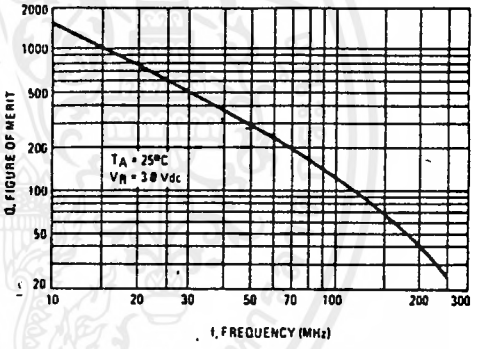


FIGURE 4 – DIODE CAPACITANCE versus TEMPERATURE

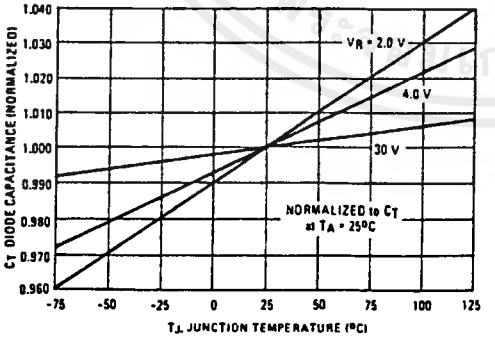
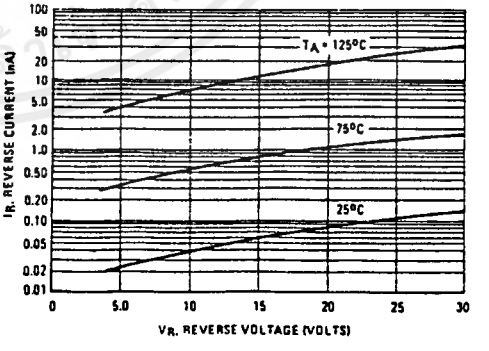


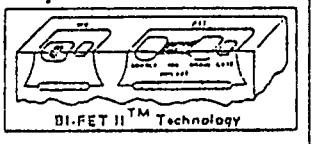
FIGURE 5 – REVERSE CURRENT versus REVERSE VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

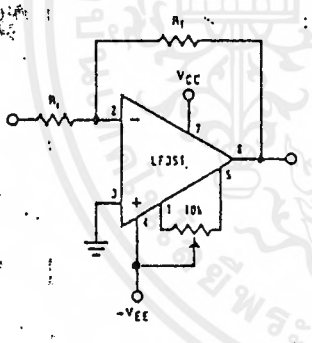
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

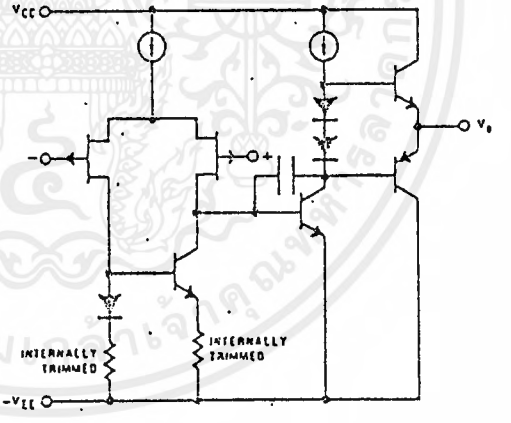
Features

✱ Internally trimmed offset voltage	10 mV
✱ Low input bias current	50 pA
✱ Low input noise voltage	16 nV/√Hz
✱ Low input noise current	0.01 pA/√Hz
✱ Wide gain bandwidth	4 MHz
✱ High slew rate	13 V/μs
✱ Low supply current	1.8 mA
✱ High input impedance	$10^{12}\Omega$
✱ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p\text{-}p}$, BW = 20 Hz-20 kHz	<0.02%
✱ Low 1/f noise corner	50 Hz
✱ Fast settling time to 0.01%	2 μs

Typical Connection

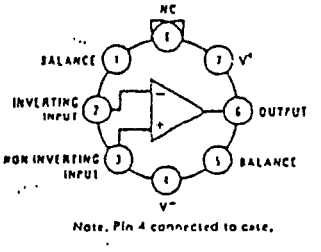


Simplified Schematic



Connection Diagrams (Top Views)

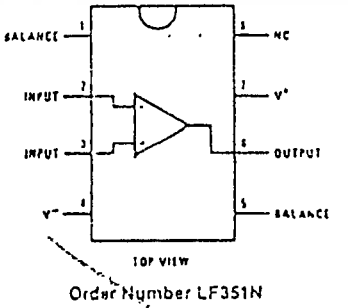
Metal Can Package



Note: Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



Order Number LF351N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
T_J(MAX)	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351 MIN	LF351 TYP	LF351 MAX	UNITS
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_J = 25°C$, (Notes 3, 4) $T_J \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_J = 25°C$, (Notes 3, 4) $T_J \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_J = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351 MIN	LF351 TYP	LF351 MAX	UNITS
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	$T_J = 25°C$, $f = 1000$ Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

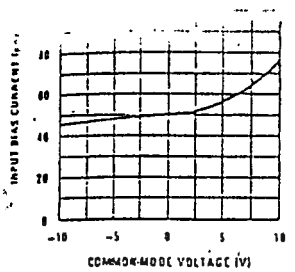
Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C < T_A < +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

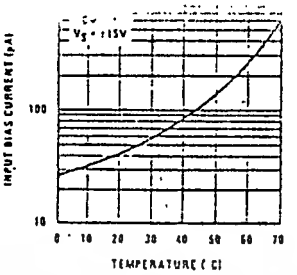
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

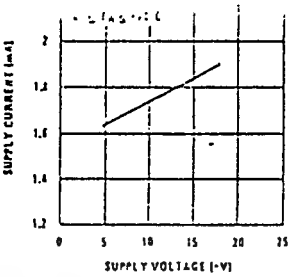
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

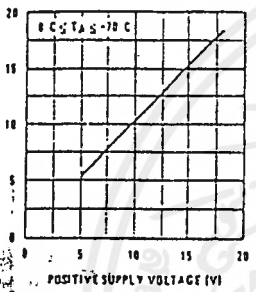
Typical Performance Characteristics



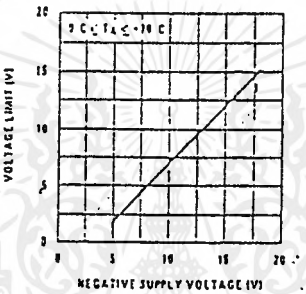




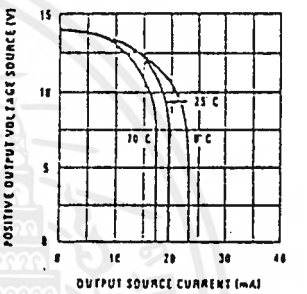
Positive Common-Mode Input Voltage Limit



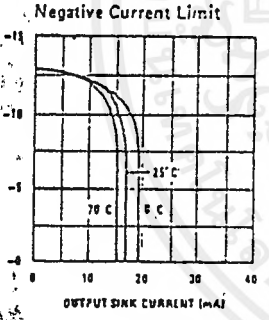
Negative Common-Mode Input Voltage Limit



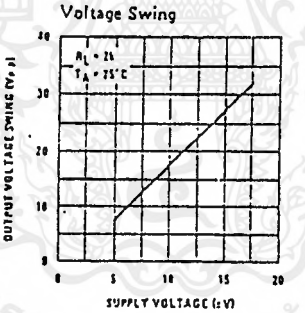
Positive Current Limit



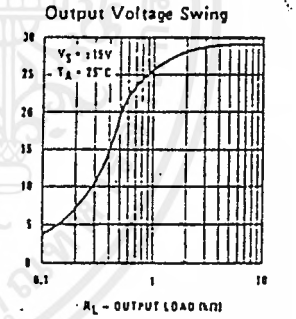
Negative Current Limit



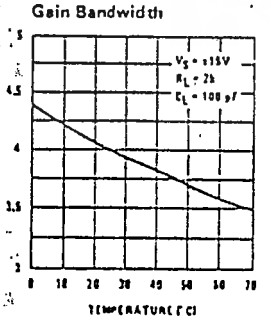
Voltage Swing



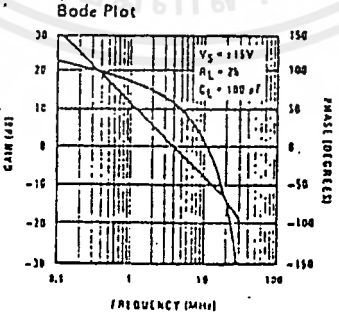
Output Voltage Swing



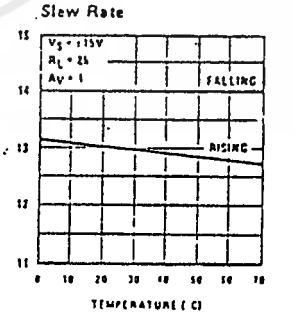
Gain Bandwidth



Bode Plot



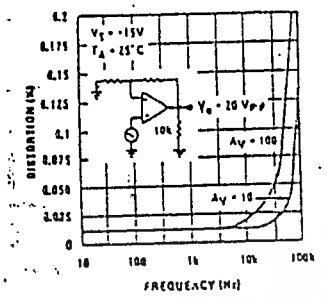
Slew Rate



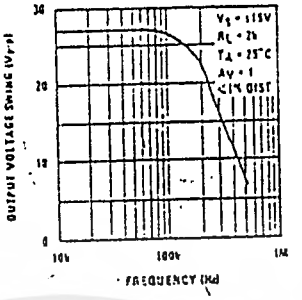
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

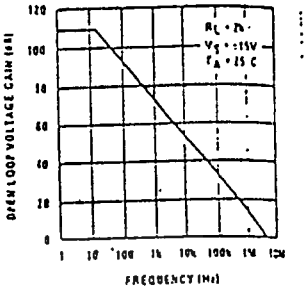
Distortion vs Frequency



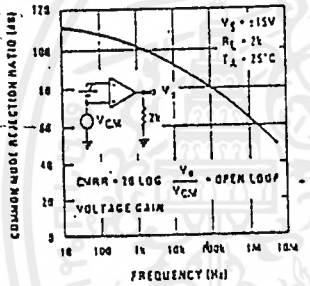
Undistorted Output Voltage Swing



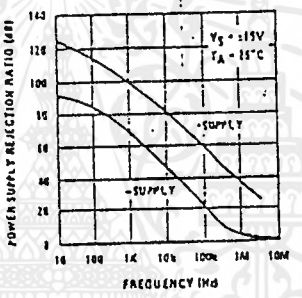
Open Loop Frequency Respon



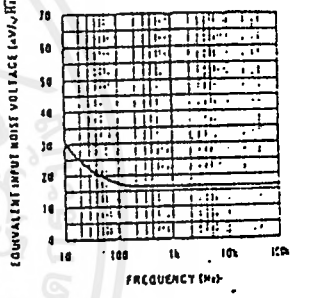
Common-Mode Rejection Ratio



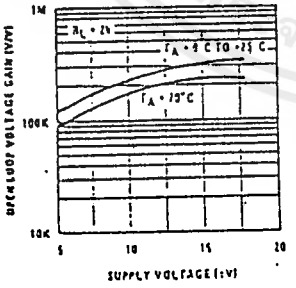
Power Supply Rejection Ratio



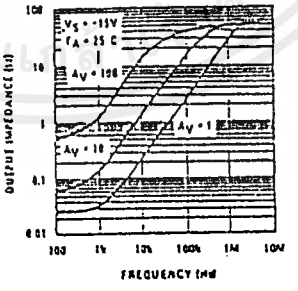
Equivalent Input Noise Voltage



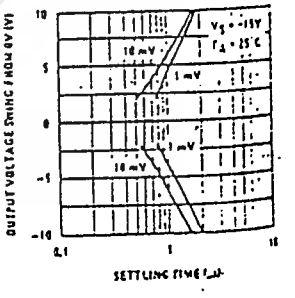
Open Loop Voltage Gain (V/V)



Output Impedance



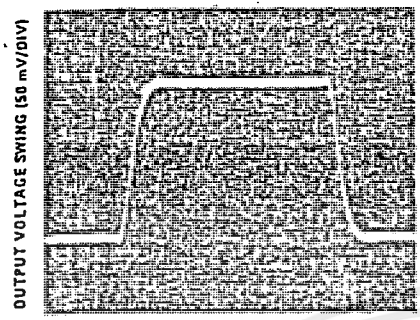
Inverter Setding Time



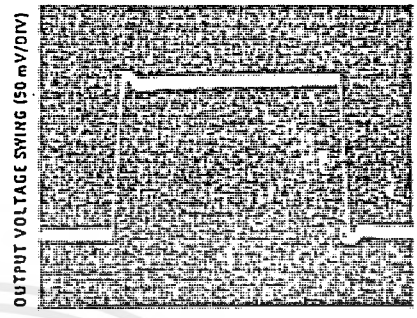
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Response

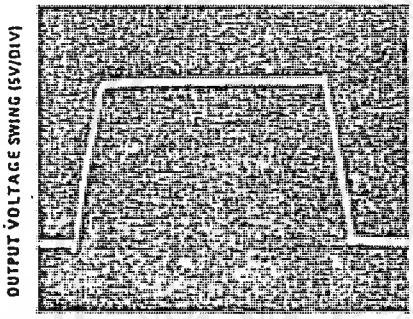
Small Signal Inverting



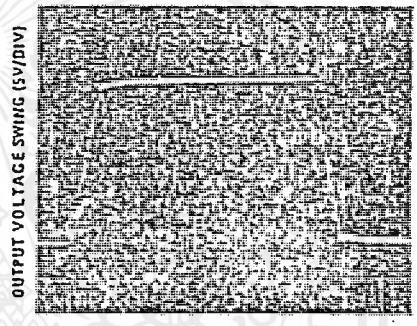
Small Signal Non-Inverting



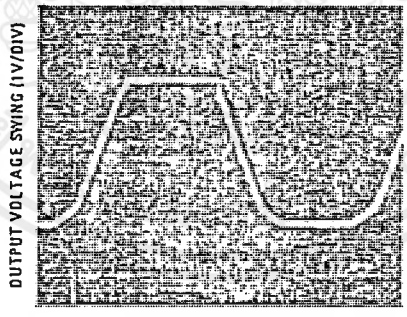
Large Signal Inverting



Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

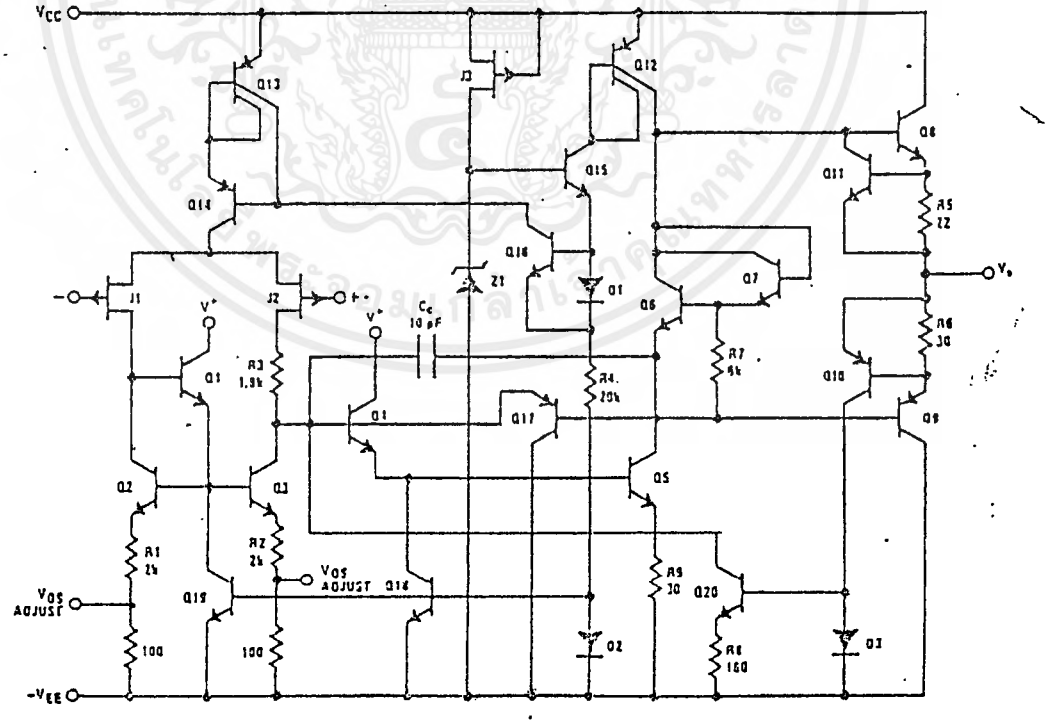
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

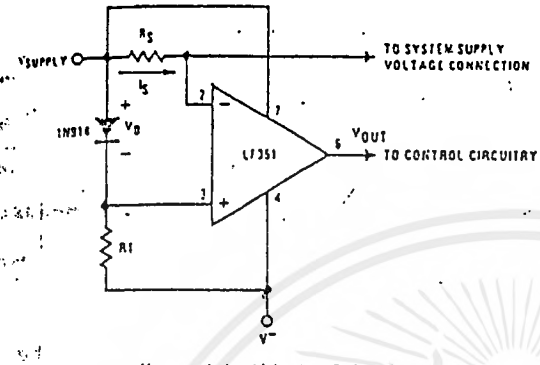
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

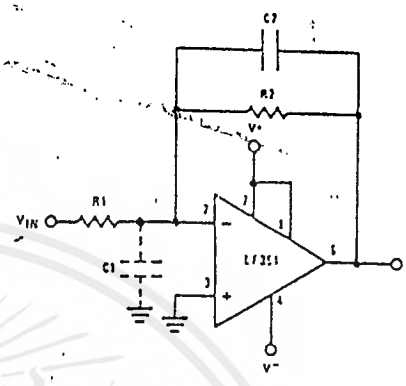
Typical Applications

Supply Current Indicator/Limiter



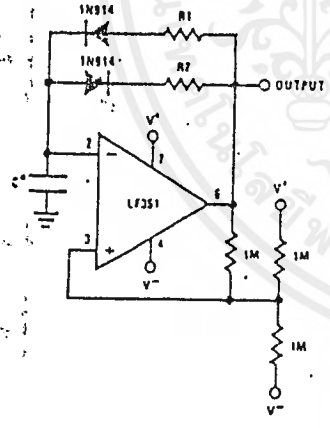
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ 10 pF for LF351 plus any additional layout capacitance interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≤ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



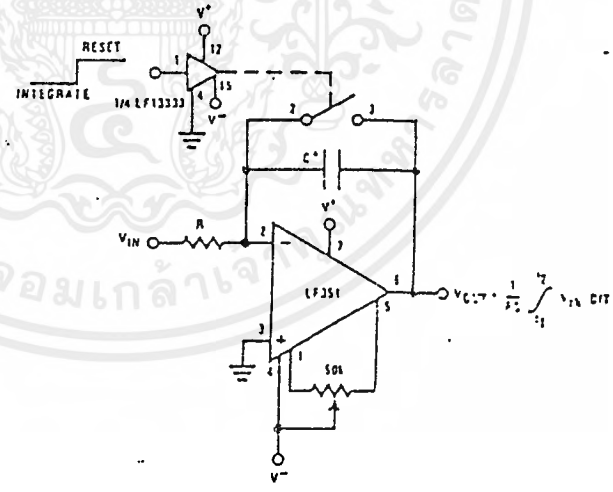
• $t_{OUTPUT\ HIGH} = R1C1\ \ln \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} = R2C2\ \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



• Low leakage capacitor

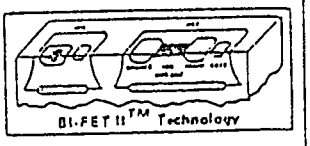
• 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers

LF353 Wide Bandwidth Dual JFET Input Operational Amplifier



General Description

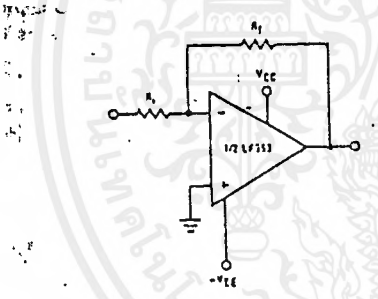
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

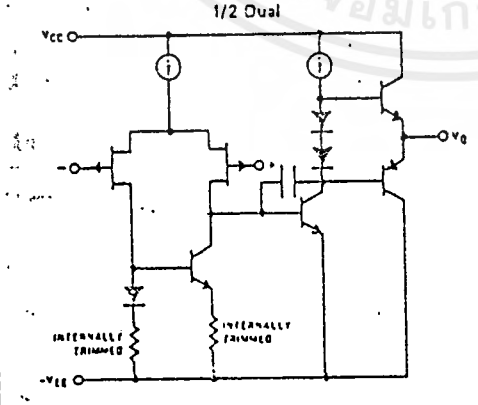
Features

✱ Internally trimmed offset voltage	10 mV
✱ Low input bias current	50 pA
✱ Low input noise voltage	16 nV/√Hz
✱ Low input noise current	0.01 pA/√Hz
✱ Wide gain bandwidth	4 MHz
✱ High slew rate	13 V/μs
✱ Low supply current	3.6 mA
✱ High input impedance	$10^{12}\Omega$
✱ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
✱ Low 1/f noise corner	50 Hz
✱ Fast settling time to 0.01%	2 μs

Typical Connection

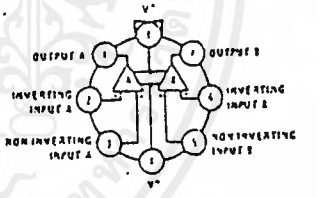


Simplified Schematic



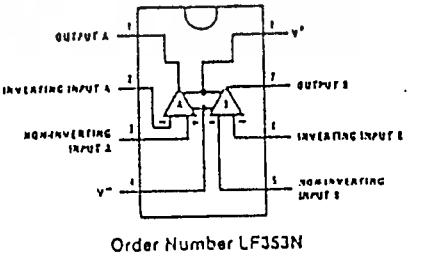
Connection Diagrams

LF353H Metal Can Package (Top View)



Order Number LF353H
See NS Package H08C

LF353N Dual-In-Line Package (Top View)



Order Number LF353N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V	Input Voltage Range (Note 2)	±15V
Power Dissipation (Note 1)	500mW	Output Short Circuit Duration	Continuous
Operating Temperature Range	0°C to +70°C	Storage Temperature Range	−65°C to +150°C
T_j (MAX)	115°C	Lead Temperature (Soldering, 10 seconds)	300°C
Differential Input Voltage	±30V		

DC Electrical Characteristics (Note 4)

SYMBOL	PARAMETER	CONDITIONS	LF353 MIN	LF353 TYP	LF353 MAX	UNITS
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 4, 5)		25	100	pA
		$T_j \leq 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 4, 5)		50	200	pA
		$T_j \leq 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	25	100		V/mV
		$V_O = \pm 10V$, $R_L = 2k\Omega$				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15		V
				−12		V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I_D	Supply Current			3.6	6.5	mA

AC Electrical Characteristics (Note 4)

SYMBOL	PARAMETER	CONDITIONS	LF353 MIN	LF353 TYP	LF353 MAX	UNITS
	Amplifier to Amplifier Coupling	$T_A = 25°C$, f = 1Hz–20kHz (Input Referred)		−120		dB
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 160°C/W junction to ambient for N package, and 150°C/W junction to ambient for the H package.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: The power dissipation limit, however, cannot be exceeded.

Note 4: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

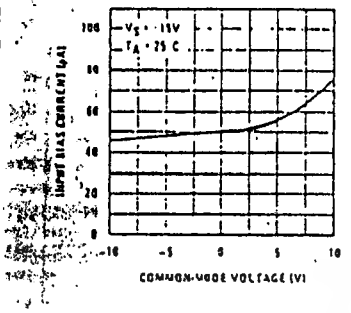
Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \Theta_{jA} P_D$ where Θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

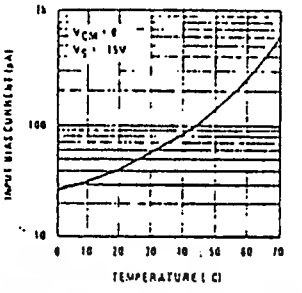
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

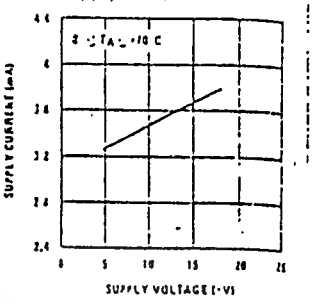
Input Bias Current



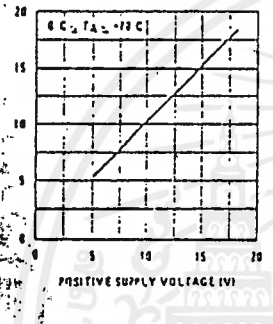
Input Bias Current



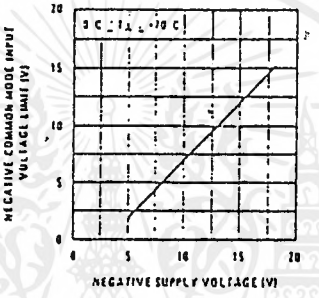
Supply Current



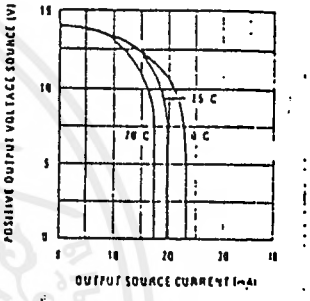
Positive Common-Mode Input Voltage Limit



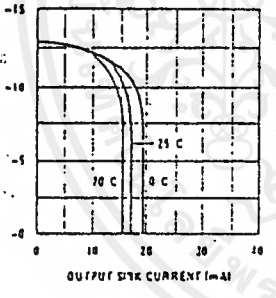
Negative Common-Mode Input Voltage Limit



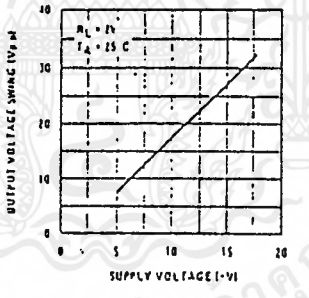
Positive Current Limit



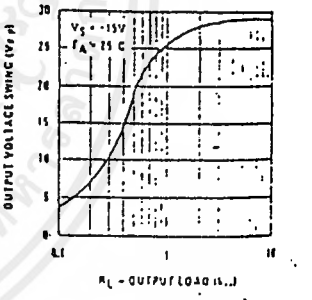
Negative Current Limit



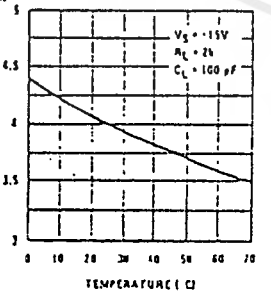
Voltage Swing



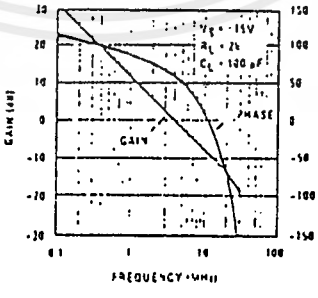
Output Voltage Swing



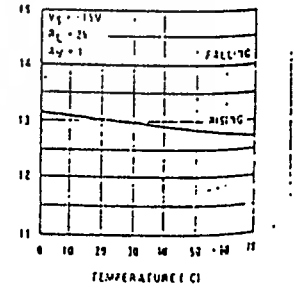
Gain Bandwidth



Bode Plot



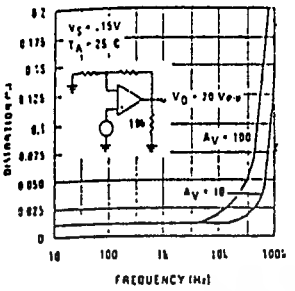
Slew Rate



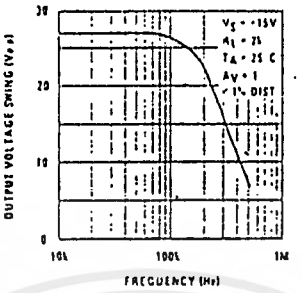
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

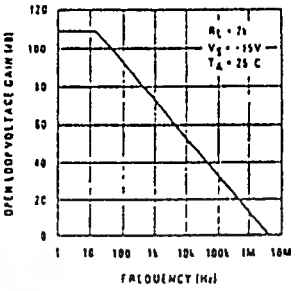
Distortion vs Frequency



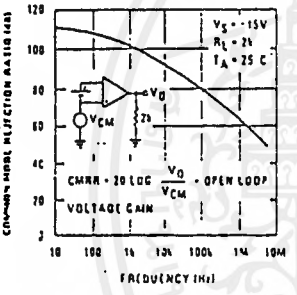
Undistorted Output Voltage Swing



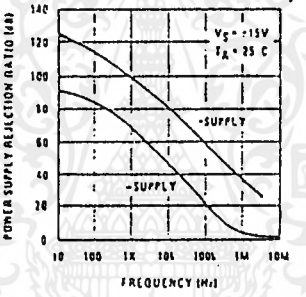
Open Loop Frequency Response



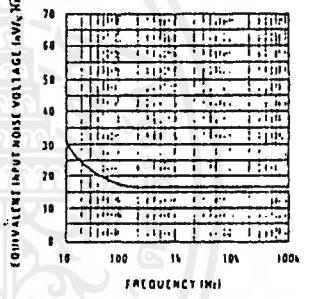
Common-Mode Rejection Ratio



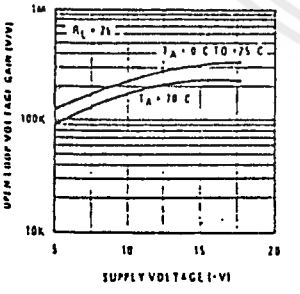
Power Supply Rejection Ratio



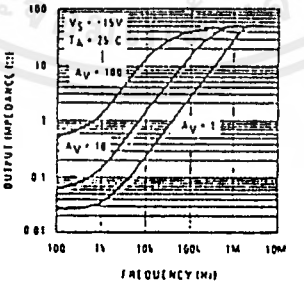
Equivalent Input Noise Voltage



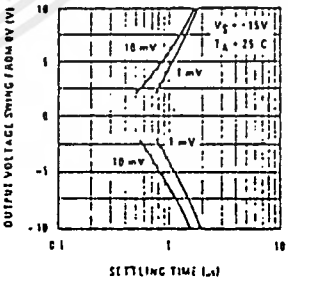
Open Loop Voltage Gain (V/V)



Output Impedance



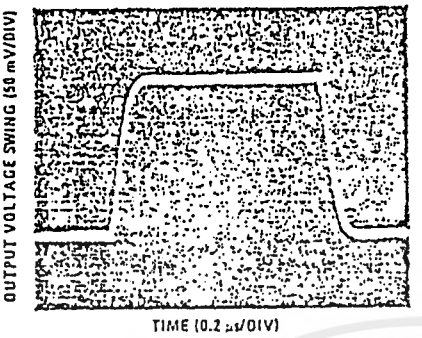
Inverter Settling Time



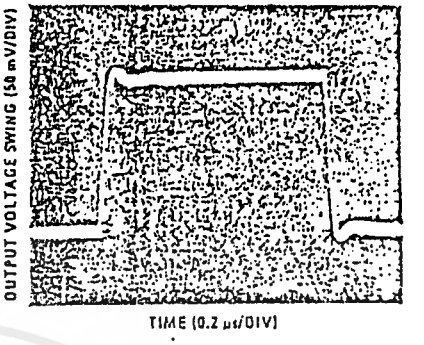
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Response

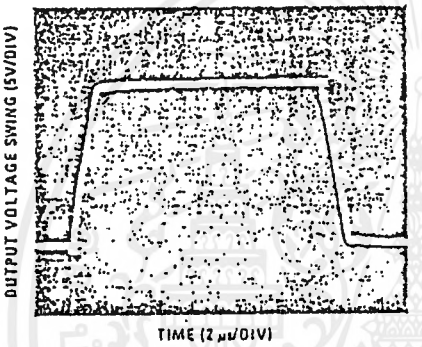
Small Signal Inverting



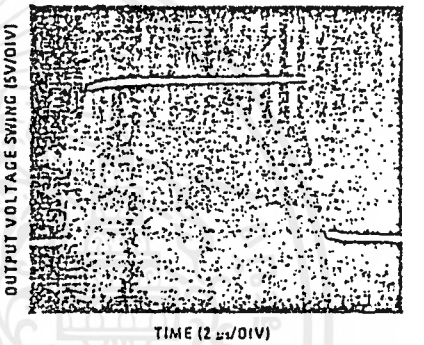
Small Signal Non-Inverting



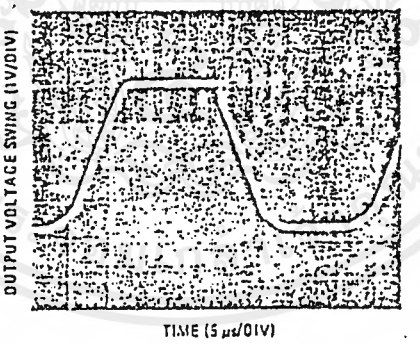
Large Signal Inverting



Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

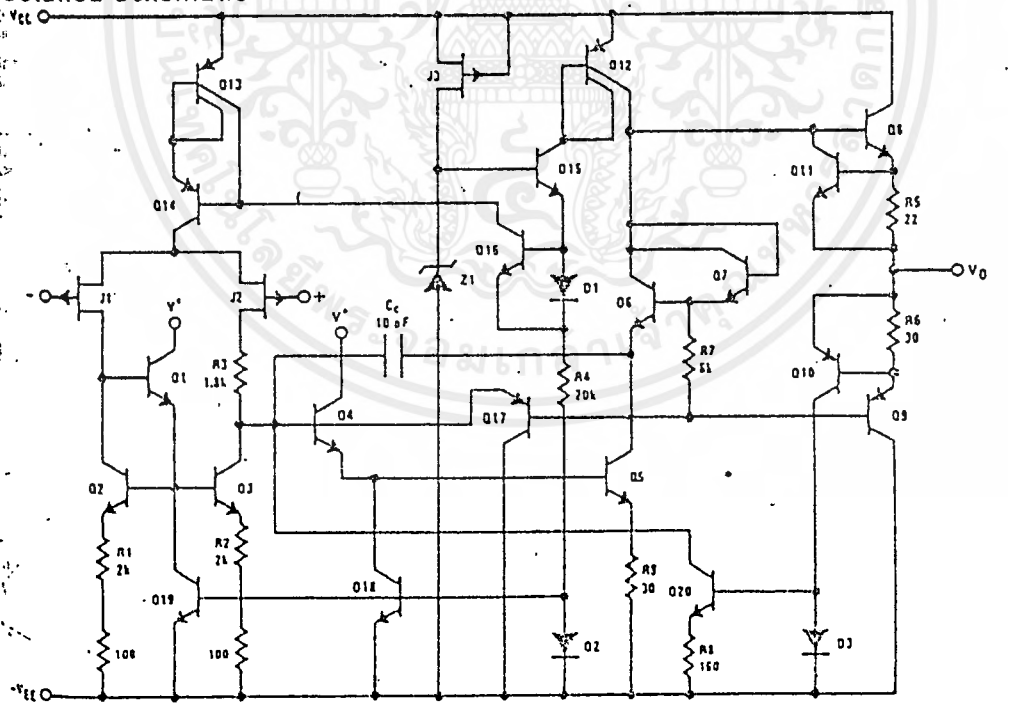
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

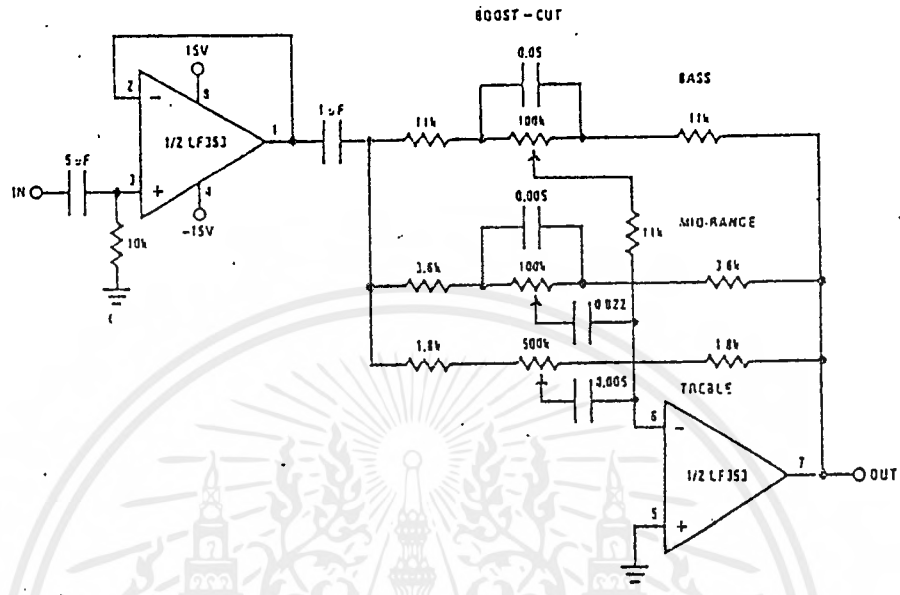
Detailed Schematic

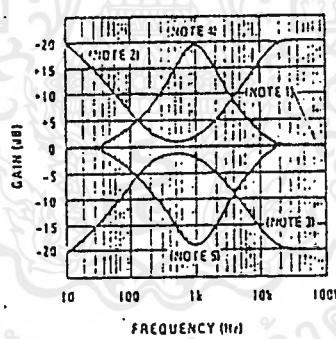


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Three-Band Active Tone Control





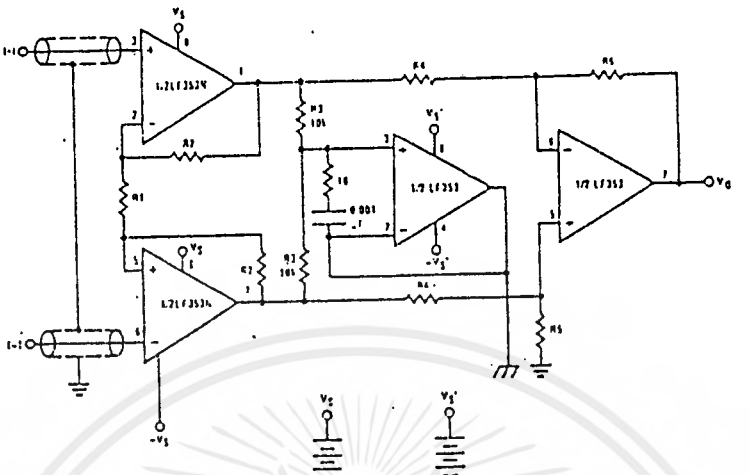
Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

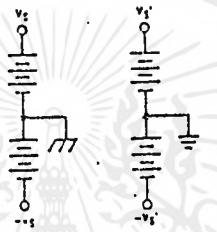
- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Improved CMRR Instrumentation Amplifier





SEPARATE

$$A_V = \left(\frac{2R2}{R1} + 1\right)\frac{R5}{R4}$$

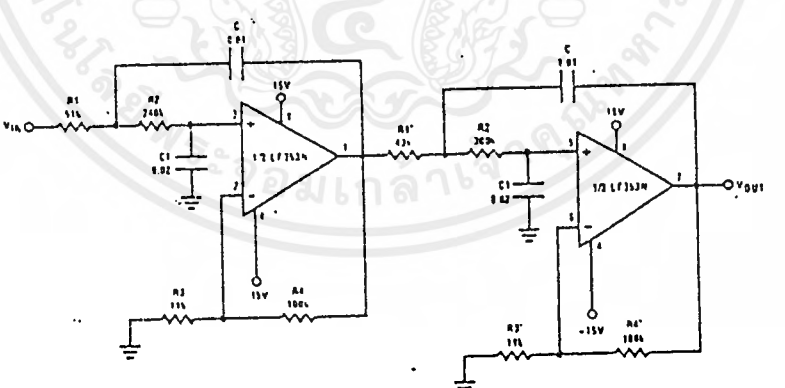
⏚ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

Fourth Order Low Pass Butterworth Filter

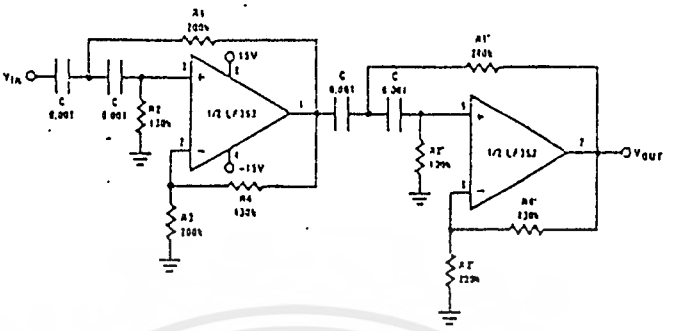


- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} \cdot \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

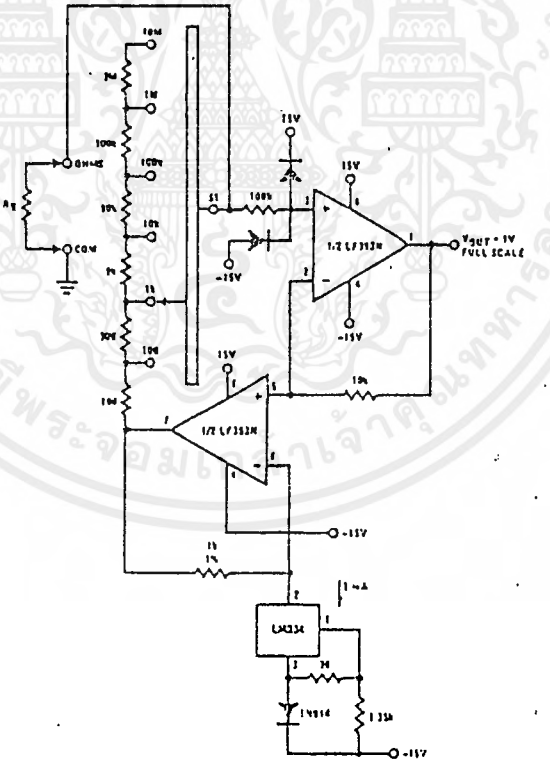
Typical Applications (Continued)

Cascade Hi-Pass Butterworth Filter



- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3)(1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10

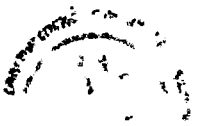
Ohms to Volts Converter



$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



หนังสืออ้างอิง

[1] สิทธิชัย โภไคยอุดม, พีรศักดิ์ วรสุนทรโรสถ และโตะมิโอะ อิวะสะกิ, "ทฤษฎีและการคำนวณวงจรอิเล็กทรอนิกส์, " กรุงเทพฯ: บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2533

[2] นิกร สุขุมตันติม, "อิเล็กทรอนิกส์พื้นฐาน," กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สจล. , 2533

[3] ณวิล พึ่งมา, "การออกแบบวงจรไทรคมนาคม,"กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สจล.

[4] Ramakant A. Gayakwad,"Op-amps and Liner integrated Circuits," Regents/Prentice Hall, Englewood Cliffs, N.J. 07632

[5] Arhur B. Williams, Fred J. Taylor, " Electronic Filter Design Handbook ," : McGraw - Hill Publishing Company

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้