



เครื่องโอนสายโทรศัพท์
AUTOMATIC ATTENDANTED

โดย

นาย จักร เจริญศักดิ์วิโรจน์
นาย สุภรักษ์ ดอกรัก

วัน เดือน ปี..... 17 คค 2541
เลขทะเบียน..... 039041
เลขเรียกหนังสือ..... 140282 จ.ง.ค.

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039041

เครื่องโอนสายโทรศัพท์
AUTOMATIC ATTENDANTED

โดย
นาย จักร เจริญศักดิ์วิโรจน์ 37014045
นาย ศุภรักษ์ ดอกกรัก 37014444
อาจารย์ที่ปรึกษา
รศ.สมยศ จุณณะปิยะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชา วิศวกรรมโทรคมนาคม

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องโอนสายโทรศัพท์

AUTOMATIC ATTENDANTED

ผู้จัดทำ

- | | |
|--------------------------------|----------|
| 1. นาย จักร เจริญศักดิ์วีโรจน์ | 37014045 |
| 2. นาย สุภรักษ์ ดอกรัก | 37014444 |


.....
(รศ.สมยศ จุณณะปิยะ)

อาจารย์ที่ปรึกษา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องโอนสายโทรศัพท์

AUTOMATIC ATTENDANTED

โดย นายจักร เจริญศักดิ์วิโรจน์ 37014045

นายสุภรักษ์ ดอกกรัก 37014444

อาจารย์ที่ปรึกษา รศ.สมยศ จุณณะปิยะ

บทคัดย่อ

วิทยานิพนธ์นี้ ได้ใช้เทคโนโลยี ของ ไมโครคอนโทรลเลอร์ 8051 ทำการวิจัยเป็น เครื่องโอนสายโทรศัพท์อัตโนมัติ ซึ่งสามารถต่อคู่สายโทรศัพท์ได้เอง โดยปราศจากโอเปอเรเตอร์ที่เป็นบุคคล ซึ่งจะต้องเสียค่าจ้างมานั่งคอยต่อคู่สายให้ตลอด 24 ชั่วโมง จึงเป็นการใช้เทคโนโลยีเข้ามาแทนที่ได้ดีกว่า เพราะมีประสิทธิภาพสูง ขนาดกะทัดรัด และสะดวกในการใช้งานในกรณีต่างๆ

เครื่องโอนสายโทรศัพท์อัตโนมัติ ที่ทำการพัฒนานี้เหมาะสำหรับในการใช้งานในอพาร์ทเมนต์ บริษัท หรือสำนักงานขนาดเล็กถึงขนาดกลาง

ABSTRACT

This thesis is result of technology of Microcontroller 8051. This research is developed to automatic attendanted which can work as an operator. It can work continually in 24 hours. If we use the operator, we must use more than one and pay very much. Therefore, using an automatic attendanted instead of operator will be facile and efficient. Because it is small, reliable, flexible and easy to use it. The automatic attendanted is suitable for apartment, office or company.

สารบัญ

บทที่ 1

บทนำ	1
------	---

บทที่ 2

2.1 ระบบโทรศัพท์	2
2.2 โทรศัพท์	3
2.3 สัญญาณพื้นฐาน	3
2.4 การติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์	4
2.5 ระบบโทรศัพท์แบบส่งความถี่คู่	5
2.6 ข้อควรคำนึงในการเชื่อมต่อระบบ DTMF กับสายส่งสัญญาณ	7
2.7 ข้อดีสำหรับระบบการส่งแบบ DTMF	8
2.8 สมาชิกของไมโครคอนโทรลเลอร์ตระกูล MCS-51	9
2.9 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	11
2.10 ตำแหน่งขาของ MCS-51	12
2.11 โครงสร้างภายในของ MCS-51	15
2.12 วิธีการเข้าถึงข้อมูล	20

บทที่ 3

3.1 ส่วนเชื่อมต่อกับคู่สายโทรศัพท์	23
3.2 ภาครับส่งเลขหมายโทรศัพท์	24
3.3 ภาควัดความยาวสาย	27
3.4 ภาควินเตอร์เฟซกับสายโทรศัพท์	32
3.5 ภาควัดจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง	33
3.6 ภาควัดไฟเลี้ยง	34
3.7 ส่วนควบคุมและประมวลผล	35
3.7.1 ไฟล์ชาร์ตการทำงาน	36
3.7.2 เมมโมรีแมปและไอโอแมป	37

บทที่ 4

4.1 ผลการทดลองของส่วนเชื่อมต่อกับสายโทรศัพท์และ ส่วนตรวจจับสัญญาณกระดิ่ง	38
4.2 ผลการทดลองของส่วนรับส่งสัญญาณ DTMF	38
4.3 ผลการทดลองของส่วนตรวจจับสัญญาณเรียกกลับและ	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

สัญญาตายไม่วาง

4.4 ผลการทดลองแสดงสัญญาอื่นๆ

42

บทที่ 5

44

เอกสารอ้างอิง

ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

บทที่ 1

บทที่ 2

รูปที่ 2.1	แสดงบล็อกไดอะแกรมของโทรศัพท์	3
รูปที่ 2.2	แสดงสัญญาณต่างๆ	5
รูปที่ 2.3	แสดงเป็นกคหมายเลขและค่าความถี่ในแนวนอน และแนวตั้งของหมายเลขนั้นๆ	6
รูปที่ 2.4	แสดงวงจรพื้นฐาน ที่ใช้อุปกรณ์แบบแยกชิ้นของโทรศัพท์ ที่ใช้ระบบ DTMF	7
รูปที่ 2.5	แสดงตำแหน่งขาของไมโครคอนโทรลเลอร์ MCS-51	12
รูปที่ 2.6	แสดงวงจรสำหรับรีเซตไมโครคอนโทรลเลอร์ MCS-51	14
รูปที่ 2.7	แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51	15
รูปที่ 2.8	แสดงโครงสร้างหน่วยความจำทั้งหมดของ MCS-51	16
รูปที่ 2.9	แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS-51	17
รูปที่ 2.10	แสดงตำแหน่งหน่วยความจำของโปรแกรมบริการอินเทอร์รัปต์ แต่ละชนิดใน MCS-51	18

บทที่ 3

รูปที่ 3.1	ผังแสดงส่วนประกอบของเครื่องโอนสายโทรศัพท์	22
รูปที่ 3.2	โครงสร้างภายในของ MT8888	24
รูปที่ 3.3	ตำแหน่งขาต่างๆของ MT8888	25
รูปที่ 3.4	การต่อวงจรไอซี MT8888 ใช้งาน	27
รูปที่ 3.5	แสดงการจัดขาใช้งานของ ISD 1420	28
รูปที่ 3.6	บล็อกไดอะแกรมภายในตัวไอซี ISD 1420	29
รูปที่ 3.7	วงจรภาคส่งข้อความข่าวสาร	31
รูปที่ 3.8	ลักษณะการต่อใช้งานของ MH88632	32
รูปที่ 3.9	แสดงวงจรต่อเพิ่มเติมในภาคอินเตอร์เฟสกับคู่สาย	33
รูปที่ 3.10	แสดงวงจรตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง	34
รูปที่ 3.11	วงจรจ่ายไฟเลี้ยง	35
รูปที่ 3.12	แสดงโฟร์ชาต์การทำงานของเครื่องโอนสายโทรศัพท์	36
รูปที่ 3.13	เมมโมรีแมปและไอโอแมป	37

สารบัญรูปภาพ(ต่อ)

บทที่ 4

รูปที่ 4.1	แสดงสัญญาณที่ได้จากการตรวจจับสัญญาณกริ่ง	38
รูปที่ 4.2	แสดงสัญญาณ DTMF หมายเลข 1 4 7	39
รูปที่ 4.3	แสดงสัญญาณ DTMF หมายเลข 4 5 6	39
รูปที่ 4.4	วงจรตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง	40
รูปที่ 4.5	แสดงเอาต์พุตที่ได้จากการป้อนสัญญาณ DTMF	40
รูปที่ 4.6	แสดงสัญญาณเรียกกลับและเอาต์พุตที่ได้	41
รูปที่ 4.7	แสดงสัญญาณสายไม่ว่างและเอาต์พุตที่ได้	41
รูปที่ 4.8	แสดงขนาดสัญญาณที่ผ่านการขยายด้วย LM386	42
รูปที่ 4.9	แสดงระดับแรงดันของภาคจ่ายไฟ	42
รูปที่ 4.10	แสดงระดับของสัญญาณที่เปลี่ยนเนื่องจากการ Loop Line	43

บทที่ 5

สารบัญตาราง

บทที่ 1

บทที่ 2

ตารางที่ 2.1 แสดงความแตกต่างของสมาชิกไมโครคอนโทรลเลอร์ 11

ตารางที่ 2.2 รีจิสเตอร์ใช้งานเฉพาะ IE 19

ตารางที่ 2.3 รีจิสเตอร์ใช้งานเฉพาะ IP 19

บทที่ 3

ตารางที่ 3.1 การทำงานของรีจิสเตอร์ 26

ตารางที่ 3.2 รายละเอียดของข้อมูลไบนารี 26

บทที่ 4

บทที่ 5



บทที่ 1

บทนำ

ปัจจุบัน ตามหอพัก หรืออพาร์ทเมนต์ เมื่อมีผู้โทรเข้ามาจะต้องมีคนคอยรับสาย แล้วคอยสอบถามหมายเลขห้อง ที่ผู้โทรเข้าต้องการติดต่อด้วย พอทราบหมายเลขห้องที่ต้องการติดต่อแล้ว ก็จะบอกให้คนในห้องหมายเลขนั้นมารับสาย จะเห็นว่าเป็นการยุ่งยาก และไม่สะดวก

ซึ่งถ้าใช้เครื่อง โอนสายโทรศัพท์ จะทำหน้าที่แทนการรับสาย โดยไม่ต้องใช้บุคคล (Operator) ทำหน้าที่ในการติดต่อสาย ในกรณีถ้าใช้บุคคลทำหน้าที่รับสายนั้น อาจไม่เหมาะ เพราะไม่สามารถทำงานได้ตลอด 24 ชั่วโมง หรืออาจต้องเสียค่าจ้างโอเพอร์เรเตอร์ เพิ่มขึ้นอีกเพื่อให้ทำงานได้ตลอด 24 ชั่วโมง แต่เครื่องโอนสายโทรศัพท์ สามารถทำงานได้ตลอดวันทั้งคืน (24 ชั่วโมง) โดยไม่ต้องใช้บุคคลในการติดต่อสายโทรศัพท์

โดยมีหลักการการทำงานคร่าวๆ คือ เมื่อมีผู้โทรเข้ามา ผู้โทรจะต้องคอยกดหมายเลขประจำห้องที่ต้องการติดต่อด้วย ตัวอย่างเช่น ผู้โทรต้องการติดต่อกับห้องหมายเลข 25 หลังจากกดเบอร์ชุมสายโทรศัพท์แล้ว เมื่อเครื่องโอนสายโทรศัพท์ตรวจสอบสัญญาณการเรียกเข้าได้แล้ว เครื่องโอนสายโทรศัพท์ก็จะบอกผู้โทรเข้ามา ให้กดหมายเลขห้องที่ต้องการติดต่อด้วย ผู้โทรเข้ามาก็จะกดหมายเลข 25 เมื่อเครื่องโอนสายโทรศัพท์ ได้รับรหัสห้องที่ต้องการติดต่อแล้ว ก็จะส่งสัญญาณ DTMF ไปให้ชุมสายให้ทำเรียกไปยังโทรศัพท์ห้องนั้น เพื่อทำการติดต่อตามที่ต้องการ

บทที่ 2

ทฤษฎีและหลักการทำงาน

2.1 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบสื่อสารที่มีโครงข่ายชุมสายบริการระหว่างสมาชิกและผู้รู้เลขหมายสมาชิก ให้สามารถเรียกกลับระหว่างคู่สนทนาต่าง ๆ โดยลดการเดินทางที่ไม่จำเป็นไปได้

โทรศัพท์ที่ใช้อยู่ในปัจจุบันมี 2 ระบบ คือ ระบบ Cross Bar กับระบบ DTMF (Dual Tone Multi Frequency) ซึ่งระบบแรกเป็นระบบเดิม ใช้นับตั้งแต่เริ่มมีการใช้โทรศัพท์ ส่วนระบบ DTMF เป็นระบบใหม่ที่เข้ามาแทนที่ระบบ cross bar เพราะมีประสิทธิภาพสูงกว่า ใช้เวลาในการส่งหมายเลขน้อยกว่า และการใช้ระบบ DTMF นั้นที่ชุมสายโทรศัพท์จะใช้วงจรอิเล็กทรอนิกส์ ซึ่งมีความทนทาน และมีอายุใช้งานนานกว่าระบบ cross bar ซึ่งเป็นระบบ mechanic ที่มีการสึกหรอและเสียง่าย ซึ่งในรายงานนี้จะกล่าวถึงเฉพาะระบบ DTMF ซึ่งเป็นระบบที่ใช้อยู่มากในปัจจุบัน

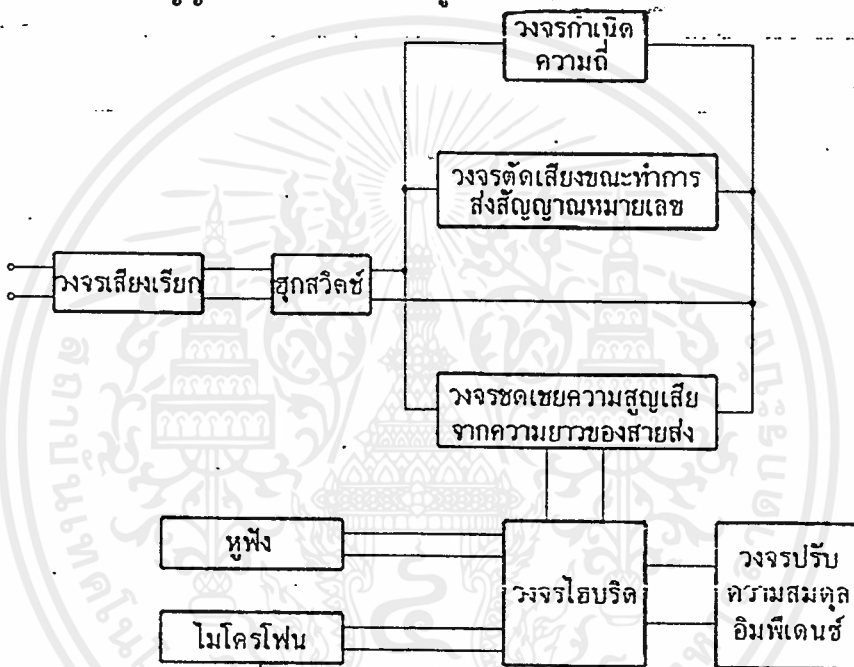
ในระบบโทรศัพท์จะประกอบด้วย

1. การเรียกทางโทรศัพท์ (TELEPHONE CALL) คือการเรียกผ่านระบบโทรศัพท์ระหว่างสมาชิกผู้เรียกและผู้รับ
2. เครื่องโทรศัพท์ (TELEPHONE SET) คืออุปกรณ์สำหรับสมาชิกใช้พูดและฟังในการสนทนาระยะไกลผ่านโครงข่ายโทรศัพท์ เมื่อต้องการเรียกก็หมุนหรือกดหมายเลขผู้รับที่หน้าปัทม์
3. ผู้เรียก (CALLING SUBSCRIBER) หรือสมาชิกผู้เรียก คือผู้เริ่มต้นการเรียก จะด้วยการแจ้งให้พนักงานช่วยต่อกับผู้รับ หมุนหรือกดหมายเลขของผู้รับเมื่อเครื่องโทรศัพท์นั้นเป็นคู่สายของเครื่องชุมสายอัตโนมัติ
4. ผู้รับ (CALLED SUBSCRIBER) หรือสมาชิกผู้ถูกเรียก คือผู้ที่ตอบรับการเรียกทางโทรศัพท์เมื่อได้ยินสัญญาณกริ่งเรียก (RINGING SIGNAL)
5. คู่สายสมาชิก (SUBSCRIBER LINE) คือคู่ตัวนำกระแสไฟฟ้าที่เปลี่ยนมาจากเสียงพูดแจกจ่ายออกมาจากสถานที่ ติดตั้งเครื่องชุมสายท้องถิ่น ไปยังบ้านของผู้เช่าหรือสมาชิกแต่ละรายอย่างอิสระ
6. เครื่องชุมสายโทรศัพท์ (อัตโนมัติ) (AUTOMATIC TELEPHONE SWITCHING) คือเครื่องชุมสายโทรศัพท์ที่มีการพัฒนาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 โทรศัพท์

โทรศัพท์จะมี Block Diagram การทำงานดังรูปที่ 2.1 ซึ่งส่วนต่าง ๆ ที่จำเป็นในเครื่องโทรศัพท์ โดยจะเชื่อมต่อกับชุมสายด้วยสาย T (tip) และสาย R (ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องโทรศัพท์กับอุปกรณ์ของชุมสายก็คือ วงจรกำเนิดสัญญาณเรียก (ringer) ซึ่งจะส่ง สัญญาณเรียก (ringing signal) เมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงคือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ สุกสวิทช์ (switch hook) จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังสุกสวิทช์ได้ ดังนั้นถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากสุกสวิทช์ก็จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามา



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของโทรศัพท์

เมื่อมีการยกหูโทรศัพท์ขึ้น สุกสวิทช์ S_1 และ S_2 ก็ปิดวงจร ทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกันกระแสเดียวกันนี้ก็จะมีไหลผ่านขดลวดรีเลย์ที่ชุมสายด้วย ก็จะทำให้หน้าสัมผัสของรีเลย์ที่ชุมสายถูกปิดลง เพื่อที่จะให้อุปกรณ์ต่าง ๆ ในชุมสายพร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายก็จะส่ง สัญญาณหมุน (dial tone) ไปยังผู้ที่ยกหูโทรศัพท์เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการจะติดต่อด้วยมายังชุมสายหลังจากที่ชุมสายได้รับหมายเลขที่ถูกส่งออกมาแล้ว ชุมสายก็จะเลิกส่งสัญญาณหมุน ซึ่งกระบวนการตอนนี้จะเกิดขึ้นอย่างรวดเร็ว

2.3 สัญญาณพื้นฐาน

คือสัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสถานะต่าง ๆ ว่าควรทำอย่างไร ซึ่งประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สัญญาณให้หมุน (DIAL TONE) ใช้เพื่อแสดงให้สมาชิกผู้เรียกให้หมุนหมายเลขผู้รับมาได้ ซึ่งเป็นเสียงที่ได้ยินเมื่อเวลาขงู เป็นสัญญาณเสียงที่มีความถี่ 350 เฮิรตซ์ กับ 440 เฮิรตซ์ มอดูเลตรวมกัน

2. สัญญาณไม่ว่าง (BUSY TONE) ใช้เพื่อเตือนสมาชิกผู้เรียกว่า ผู้รับไม่ว่างควรวางหูก่อนระยะหนึ่งแล้วจึงเริ่มต่อใหม่ เป็นสัญญาณ 480 เฮิรตซ์ กับ 620 เฮิรตซ์ มอดูเลตกันมา ดัง 0.5 วินาที เียบ 0.5 วินาที

3. สัญญาณกริ่งเรียก (RINGING TONE SIGNAL) ใช้เมื่อการต่อทุกชั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จด้วยกริ่งเรียก ผู้รับมาตอบการเรียกเป็นสัญญาณ 16 เฮิรตซ์ กล้า กับ 400 เฮิรตซ์ แบบ AM ส่ง 1 วินาที เียบ 4 วินาที

4. สัญญาณเรียกกลับ (RING BACK TONE) ใช้เมื่อการต่อทุกชั้นตอน ตามความประสงค์ของผู้เรียกมายังผู้รับเครื่องชุมสายโทรศัพท์ ดำเนินการต่อสำเร็จ แจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จ เป็นสัญญาณความถี่ 440 เฮิรตซ์ กับ 480 เฮิรตซ์ มอดูเลตกันมา ช่วงเวลาส่งและเียบเช่นเดียวกับสัญญาณกริ่งเรียก

2.4 การติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์

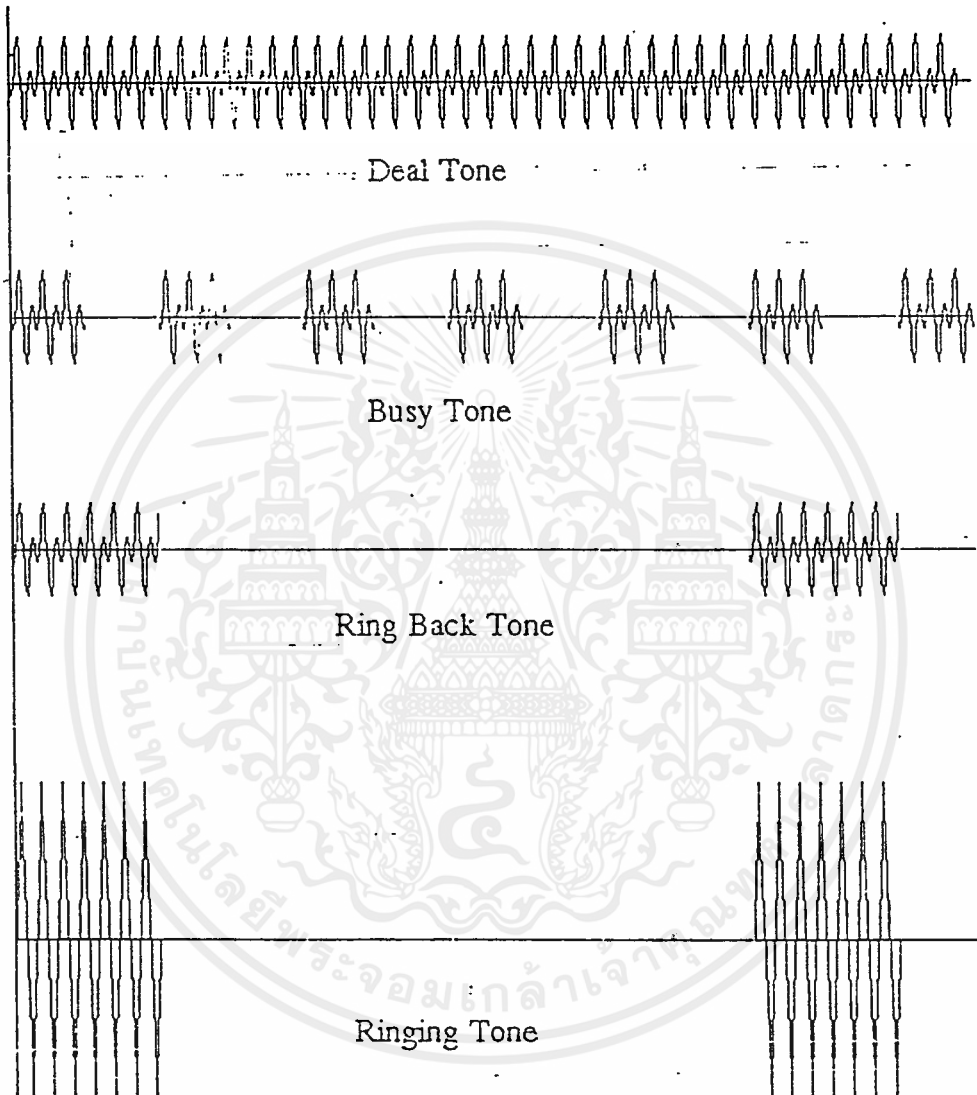
เครื่องส่ง

- ขณะที่ไม่ได้มีการขงูโทรศัพท์ จะมีศักดาตกร่อมสายโทรศัพท์เป็นสัญญาณกระแสดตรง 48 V
- เมื่อผู้เรียกขงูโทรศัพท์ศักดาจะลดลงเหลือ 8 V พร้อมทั้งมีสัญญาณให้หมุนซึ่งเป็นสัญญาณกระแสดลับขนาด 250 mV ความถี่ 350 เฮิรตซ์ กับ 440 เฮิรตซ์ มอดูเลตรวมกัน ซึ่งเมื่อกรหัสสัญญาณเลขหมายแล้ว สัญญาณให้หมุนนี้จะหายไป
- กรหัส (CODE) เบอร์โทรศัพท์ทั้งหมด 7 หลัก รหัสความถี่ที่ส่งจะเป็นสัญญาณผสมสองความถี่ เป็นความถี่สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่
- ขณะที่รอรับสายจะมีสัญญาณตอบกลับ 2 แบบ เพื่อจะบอกว่าสายว่างหรือไม่คือ สัญญาณเรียกกลับหรือสัญญาณสายไม่ว่าง ตามลำดับ
- เมื่อมีการรับสายแล้ว สัญญาณเสียงจะขึ้นอยู่กับความดังและความถี่ของเสียงพูดตามสาย
- เมื่อวางหูโทรศัพท์เลิกการติดต่อ ขนาดศักดาจะกลับไป 48 V ดังเดิม

เครื่องรับ

- ขณะที่วางหูอยู่จะมีศักดากระแสดร่อมสายอยู่ 48 V
 - เมื่อมีสัญญาณกริ่งเรียกจะมีขนาดประมาณ 100 Vrms จังหวะดัง 1 วินาทีหยุด 4 วินาที ซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง
 - จากนั้นเมื่อผู้รับขงูโทรศัพท์ ขนาดศักดากระแสดตรงจะเหลือ 8 V และมีการกระเพื่อมตามขนาดและความถี่ของเสียงพูด
- เอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อวางหูโทรศัพท์ ขนาดศักดาจะกลับไปที่ 48 V ตามเดิม

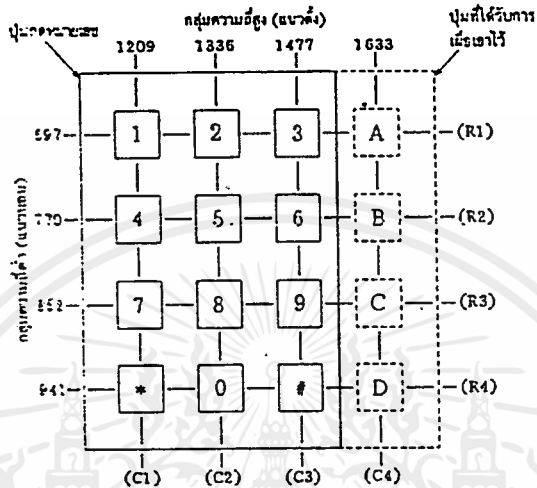


รูปที่ 2. 2 แสดงสัญญาณต่างๆ

2.5 ระบบโทรศัพท์แบบส่งความถี่คู่ (Dual Tone Multi Frequency type)

ระบบนี้มีวิธีการส่งหมายเลขของผู้ที่ต้องการจะติดต่อด้วย โดยการส่งสัญญาณความถี่ 2 ความถี่มอดูเลตกันไป ซึ่งจะแทนของหมายเลขที่กด ซึ่งส่งความถี่ที่ถูกส่งออกไปจะอยู่ในย่านของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

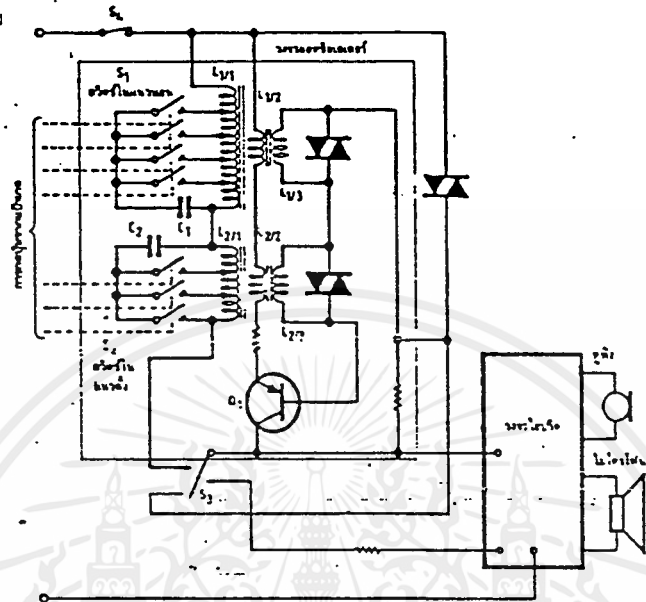
ความถี่เสียงพูด (0-4 กิโลเฮิรตซ์) ซึ่งค่าความถี่ที่มากกว่าจะเป็นความถี่ที่แสดงในแนวนอน และอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่าง ๆ จะแสดงไว้ในรูปที่ 2.3 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ มอดูเลตกันออกมา



รูปที่ 2.3 แสดงปุ่มกดหมายเลขและค่าความถี่ในแนวนอนและแนวตั้งของหมายเลขนั้นๆ

สำหรับวงจรออสซิลเลเตอร์ที่สร้างความถี่เหล่านี้ขึ้นมาก็คือวงจรในรูปที่ 2.4 ซึ่งเป็นวงจรที่ยังคงใช้อุปกรณ์ต่าง ๆ มาต่อรวมกันเป็นวงจรอยู่ ซึ่งปัจจุบันจะมีการใช้อุปกรณ์ที่ถูกผลิตในรูปไอซีสำเร็จรูปมาใช้งานมากกว่า แต่จะกล่าวถึงหลักการทำงานเพื่อให้เข้าใจถึงหลักการพื้นฐานของการทำงานของวงจร

การทำงานของวงจรนี้จะเริ่มจากสวิทช์ S_1 (สวิทช์ในแนวนอน) S_2 (สวิทช์ในแนวตั้ง) และ S_3 จะถูกเปิดวงจรอยู่ เมื่อมีการกดปุ่มโทรศัพท์ขึ้น กระแสจากขั้วสายจะผ่าน RV_1 , L_{1A} และ L_{2A} ทรานซิสเตอร์ Q_1 จะไม่นำกระแส เมื่อมีการกดหมายเลข สวิทช์ S_1 , S_2 จะถูกปิดลงตามตำแหน่งของหมายเลขที่ถูกกด C_1 , C_2 จะถูกต่อเข้ากับ L_{1A} และ L_{2A} ตามลำดับ เกิดเป็นวงจรออสซิลเลเตอร์ขึ้น โดย L_{1A} และ C_1 จะเป็นออสซิลเลเตอร์ที่ผลิตความถี่ที่ต่ำกว่าความถี่ที่เกิดจาก L_{2A} และ C_2 และขณะนี้ S_3 จะถูกปิดลงเช่นกัน ทำให้ทรานซิสเตอร์ Q_1 ทำหน้าที่มอดูเลตสัญญาณจากออสซิลเลเตอร์ทั้งสองเข้าด้วยกันและส่งไปยังขั้วสาย ในขณะที่ทำการกดหมายเลขอยู่นั้นส่วนของหูฟังและไมโครโฟนก็จะถูกต่อขานานกัน จึงทำให้ได้ยินสัญญาณที่เกิดขึ้นจากวงจรออสซิลเลเตอร์ด้วย สำหรับทางขั้วสายก็จะมีวงจรตรวจจับเอาสัญญาณไปประมวลต่อไป และยังคงมีวงจรรองความถี่ป้องกันไม่ให้ความถี่แปลกปลอมอื่น ๆ เข้าไปในขั้วสายด้วย



รูปที่ 2.4 แสดงวงจรพื้นฐานที่ใช้อุปกรณ์แบบแยกชิ้นของโทรศัพท์ที่ใช้ระบบ DTMF

2.6 ข้อควรคำนึงในการเชื่อมต่อระบบ DTMF กับสายส่งสัญญาณ

- ระดับแรงดันและกระแสสลับ จะต้องรักษาให้คงที่ ตลอดระยะทางของสายส่งสัญญาณ
 - ความถี่ที่ถูกผลิตขึ้นจะต้องไม่มีความผิดเพี้ยนทั้งคาบและขนาดของสัญญาณ
 - วงจรออสซิลเลเตอร์จะต้องมีอิมพีแดนซ์ที่ สมดุล (matching) กับสายส่งสัญญาณ
- ซึ่งจากข้อสรุปข้างบน ถ้าจะแยกรายละเอียดของแต่ละหัวข้อก็จะมีพารามิเตอร์ที่ต้องคำนึงถึง

ดังต่อไปนี้

ความผิดเพี้ยนของสัญญาณ

สำหรับข้อกำหนดของความผิดเพี้ยนของสัญญาณมีดังต่อไปนี้

- สัญญาณอื่นที่แทรกสอดเข้ามาในสายสัญญาณส่งสัญญาณรวมกันแล้วจะต้องน้อยกว่า

ระดับของสัญญาณที่ถูกส่งออกไปจริงอย่างน้อย 20 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับสัญญาณที่แทรกสอดเข้ามาจะต้องมีข้อกำหนดดังต่อไปนี้

1. ต้องมีค่าไม่มากกว่า -33 dBm ในช่วง 300 ถึง 3,400 เฮิรตซ์
2. ที่ความถี่สูงกว่า 3,400 เฮิรตซ์ สัญญาณแทรกสอดจะต้องลดลง 12 dB ต่อออกเตฟไปจน

ถึงความถี่ 50 กิโลเฮิรตซ์

3. ต้องมีระดับสัญญาณไม่มากกว่า -80 dB ที่ความถี่สูงกว่า 50 กิโลเฮิรตซ์

โดยที่ความผิดเพี้ยนถ้าถูกกำหนดในรูปของเดซิเบลคือ

$$\text{ความผิดเพี้ยน} = 20 \log (V_1^2 + V_2^2 + \dots + V_n^2) / (V_L^2 + V_H^2)$$

โดยที่ V_1 ถึง V_n คือระดับแรงดันของสัญญาณที่แทรกสอดเข้ามา

V_L คือ ระดับแรงดันของสัญญาณความถี่ต่ำกว่า

V_H คือ ระดับแรงดันของสัญญาณความถี่สูงกว่า

ไคนามิกอิมพีแดนซ์

วงจรกำเนิดความถี่สำหรับระบบ DTMF จะต้องมียิมพีแดนซ์อย่างน้อย 900 โอห์ม ขณะที่ผลิตความถี่ออกมา และต้องมีอิมพีแดนซ์ให้ต่ำสุดขณะที่ไม่ทำการผลิตสัญญาณ

ความสูญเสียที่เกิดจากการสะท้อนกลับของสัญญาณ (return loss)

ก็เป็นค่าพารามิเตอร์อีกตัวที่จะต้องควบคุมโดยกำหนดค่าความสูญเสียในการสะท้อนกลับของสัญญาณหรือ RL ด้วยสมการ

$$RL = 20 \log \{ (Z_L + Z_g) / (Z_L - Z_g) \}$$

โดยที่ Z_L คือ อิมพีแดนซ์ของสายส่งสัญญาณ

Z_g คือ อิมพีแดนซ์ของเครื่องโทรศัพท์

ค่ามาตรฐานสำหรับ RL จะต้องมากกว่า 14 dB ในช่วงความถี่ระหว่าง 300 ถึง 3,400 เฮิรตซ์ และมากกว่า 10 dB ในช่วงความถี่ 50 ถึง 300 เฮิรตซ์ และ 3,400 ถึง 20,000 เฮิรตซ์

2.7 ข้อดีสำหรับระบบการส่งแบบ DTMF

จากข้อมูลทั้งหมดสามารถสรุปถึงข้อดีของระบบ DTMF ได้คือ

- ลดระยะเวลาในการส่งหมายเลขโทรศัพท์ไปยังชุมสาย
- สามารถใช้วงจรที่ใช้อุปกรณ์โซลิดสเตตได้ ซึ่งจะทำให้เกิดความประหยัด และสะดวก
- ลดอุปกรณ์จำพวกหน่วยความจำที่ใช้ภายในชุมสาย

- สามารถนำไปใช้เชื่อมต่อกับอุปกรณ์ภายในชุมสายอย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการศึกษาและอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 สมาชิกของไมโครคอนโทรลเลอร์ตระกูล MCS-51

จะกล่าวถึงโครงสร้างรวมทั้งรายละเอียดของไมโครคอนโทรลเลอร์เบอร์ 8051 ซึ่งเป็นเบอร์พื้นฐานของตระกูลนี้เป็นหลัก ดังนั้นชื่อ “MCS-51” ส่วนใหญ่จะหมายถึงชิปไมโครคอนโทรลเลอร์เบอร์ 8051 เท่านั้น และในบางครั้งอาจจะมีการกล่าวเฉพาะเบอร์ที่สำคัญ ๆ ด้วยเบอร์อื่น ๆ ตระกูล MCS-51 จะมีความสามารถพิเศษมากน้อยแตกต่างกันไป ดังแสดงให้เห็นในตารางที่ 2.1

คุณสมบัติของ MCS-51

คุณสมบัติที่สำคัญ ๆ ของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมคอมพิวเตอร์การทำงาน อยู่ภายในชิปจำนวน 4 กิโลไบต์ เบอร์ 8031, 8032 ไม่มีหน่วยความจำส่วนนี้ เบอร์ 8052 มีหน่วยความจำ 8 กิโลไบต์และเบอร์ 83C51FB จะมีหน่วยความจำ 16 กิโลไบต์
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ใน 8031, 8051) หรือ 256 ไบต์ (ในเบอร์ 8032, 8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที สำหรับเวลาทำงาน 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- มีพอร์ทที่สามารถรับหรือส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ทๆ ละ 8 บิตหรือสามารถใช้งาน เป็นพอร์ทขนาด 1 บิตแยกจากกัน ทำให้เสมือนมีพอร์ทขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ท
- รับและส่งข้อมูลแบบอนุกรมได้ในตัวเอง โดยสามารถกำหนดอัตราเร็วในการรับและส่งข้อมูล (baud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที
- จัดลำดับความสำคัญของสัญญาณอินเทอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์ สำหรับใช้งานเป็นไทม์เมอร์หรือเคาน์เตอร์ เพื่อบันทึกจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา (ส่วนเบอร์ 8052 จะมี 3 ตัว)
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วน สามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และระดับบิต เพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีน เพื่อใช้ในงานควบคุมโดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ที่จัดว่าเป็นเบอร์พื้นฐานในตระกูลนี้คือเบอร์ 8051,8751 และ 8031 มีจำนวนขาภายนอก 40 ขาเท่ากันใช้เวลาและสัญญาณในการปฏิบัติคำสั่งแต่ละคำสั่งเท่ากัน (มีไทม์มิงโคอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งที่แตกต่างกันระหว่างเบอร์ทั้งสามคือขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (on chip program memory) มีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกัน ดังจะกล่าวต่อไปนี้

เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM (Erasable Programmable Read Only Memory) ขนาด 4 กิโลไบต์ ทำให้สามารถใช้รังสีอัลตราไวโอเลตในการลบโปรแกรมเก่าที่มีอยู่และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรมไมโครคอนโทรลเลอร์ MCS-51เบอร์8751จะใช้งานเป็นการพัฒนาเบื้องต้น (prototyping) ซึ่งจำเป็นต้องทดสอบ โปรแกรมเพื่อหาข้อผิดพลาด(bugs)และแก้ไขเรียบร้อยแล้วก่อนทำการผลิตจริงการแก้ไขโดยการใช้รังสีอัลตราไวโอเลตและการบรรจุโปรแกรมที่แก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัด ทั้งนี้เพราะหน่วยความจำที่เป็น EPROM เมื่อใช้ไปนาน ๆ จะเกิดเสื่อมสภาพ ทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้

เบอร์ 8051 หลังจากทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้ว จะเป็นช่วงของการผลิตจริงซึ่งต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ซึ่งในการผลิตจริงจะใช้ไมโครคอนโทรลเลอร์เบอร์ 8051 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM (Read Only Memory)ขนาด 4 กิโลไบต์แทน เพราะราคาต่ำกว่ามาก แต่มีข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมที่ได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีใดก็ตาม

เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป แต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์ อาจจะใช้เป็น ROM,PROM, EPROM ตามความต้องการของผู้ผลิต เบอร์ 8031 นี้มีไว้ในกรณีที่โปรแกรมมีขนาดเล็กกว่า 4 กิโลไบต์หรือมากกว่า 4 กิโลไบต์มาก (เบอร์ 8751,8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เองเมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์หรืออาจบังคับให้ไมโครคอนโทรลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 ลงกราวด์ ทำให้มีคุณสมบัติเหมือนเบอร์ 8031 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

Device	ROMless Version	EPROM Version	ROM Bytes	RAM Bytes	8-Bit I/O Ports	16-Bit Timer/ Counters	Interrupt Sources/ Vectors
8051	8031	-	4K	128	4	2	6/5
8051AH	8031AH	8751H 8751BH	4K	128	4	2	6/5
8052AH	8032AH	8752BH	8K	256	4	3	8/6
80C51BH	80C31BH	87C51	4K	128	4	2	6/5
83C51FA	80C51FA	87C51FA	8K	256	4	3	14/7
83C51FB	80C51FA	87C51FB	16K	256	4	3	14/7
83C51GA	80C51GA	87C51GA	4K	128	4	2	8/7
83C152JA	50C152JA	-	8K	256	5	2	19/11
-	80C152JB	-	-	256	7	2	19/11
83C152JC	80C152JC	-	8K	256	5	2	19/11
-	80C152JD	-	-	256	7	2	19/11
83C451	80C451	-	4K	128	7	2	6/5
83C452	80C452	87C452P	8K	256	5	2	9/8

ตารางที่ 2.1 แสดงความแตกต่างของสมาชิกไมโครคอนโทรลเลอร์

2.9 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาล็อกเป็นดิจิทัลในตัว สามารถรับอินเตอร์รัปต์ได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มมากขึ้น คุณสมบัติพิเศษที่แตกต่างกันของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูลนี้แสดงในตารางที่ 2.1 ที่ผ่านมา

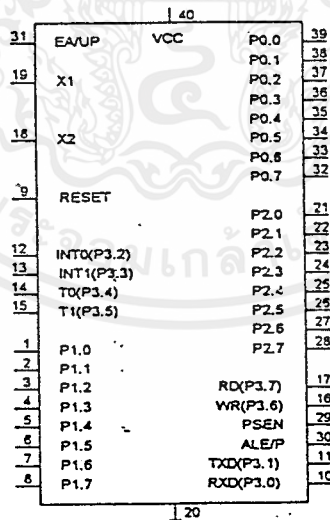
ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นเบอร์พื้นฐาน สำหรับตระกูล MCS-51 นี้ได้แก่ เบอร์ 8051, 8031, 8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เอง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวน 128 ไบต์มีพอร์ทขนาด 8 บิต 4 พอร์ท มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเทอร์รัปต์จากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ทสื่อสารข้อมูลแยกอนุกรม มีวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณพิกัดควบคุมการทำงานในตัวเอง ส่วนเบอร์ 8751 จะมีคุณสมบัติเหมือนเบอร์ 8051 ทุกอย่าง ต่างกันเพียงชนิดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปของเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์ 8051 ต่างกันเพียงเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเท่านั้น

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ ใช้แรงดันไฟเพียง 5 โวลต์ในการทำงาน ส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิตเบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้มีตัวอักษร C อยู่ตรงเบอร์ เช่น 80C31, 80C51 เป็นเบอร์ของชิปที่ผลิตโดยอาศัยเทคโนโลยี CHMOS ใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิปได้จากโปรแกรม เพื่อการประหยัดพลังงานในระบบ

2.10 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์มีตำแหน่งขาพื้นฐานที่เหมือนกันดังแสดงในรูปที่ 2.5



รูปที่ 2.5 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ MCS-51

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล มีดังนี้

- ขา V_{ss} (ขา 20) สำหรับต่อลงกราวด์
- ขา V_{cc} (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● ขาพอร์ท 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ท 0 ขนาด 8 บิต (P0.0 - P0.7) แบบ Open Drain Bidirectional พอร์ทนี้ สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ททั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ทต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้ เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ทแล้ว พอร์ท 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งแอดเดรสไบต์ต่ำ (AO-A7) และมัลติเพล็กซ์กับการรับส่งข้อมูล (DO-D7) จากหน่วยความจำภายนอก ในระหว่างการเขียนหรืออ่านข้อมูล โดยมีวงจรพูลอัพภายใน

● ขาพอร์ท 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ท 1 (P1.0-P1.7) สามารถใช้เป็นอินพุตหรือเอาต์พุตพอร์ททั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ทต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพ (pull up) ภายใน

● ขาพอร์ท 2 ขา (ขา 21-28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ท 2 (P2.0-P2.7) ขนาด 8 บิต แบบ Open Drain Bidirectional พอร์ทนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ททั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ท ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากจะใช้งานเป็นอินพุตเอาต์พุตพอร์ททั่วไป พอร์ท 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15) และมีวงจรพูลอัพ (Pull up) ภายใน

● ขาพอร์ท 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ท 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ททั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ทต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้ เพื่อให้มีสถานะ high impedance โดยใช้วงจรพูลอัพ (pull up) ภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่าง ๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 1

ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0

ขา P3.5 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 1

ขา P3.6 สัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

ขา P3.7 สัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ท 3 ในหน้าที่พิเศษดังกล่าวนี้ ต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

● ขา RST (ขา 9) ใช้สำหรับการรีเซ็ตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่ การรีเซ็ตใช้เมื่อเริ่มจ่ายพลังหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซ็ตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมกซีนไซเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อจะทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซ็ตเองเมื่อเริ่มจ่ายพลังงานให้ตัวเก็บประจุขนาด 10 μF คร่อมระหว่างขา RST กับ V_{CC} ดังแสดงในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

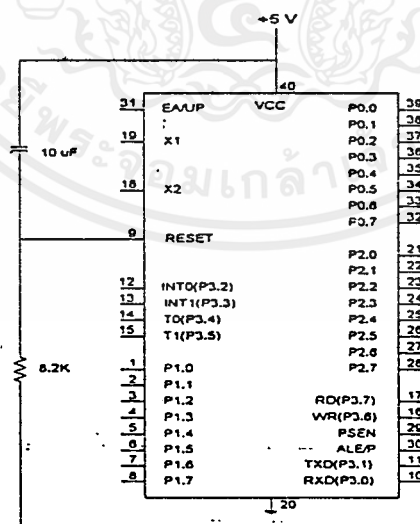
• ขา ALE/PROG (ขา30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมแลตช์แอดเดรสไบต์ต่ำ (address latch enable) จากพอร์ท 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอกโดยปกติ เมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะลดลงครึ่งหนึ่งในระหว่างที่ติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิปนอกจากนี้ขา ALS ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

• ขา PSEN (ขา29) ใช้ส่งสัญญาณสตrobe เพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสตrobe สองครั้งในแต่ละเมกซ์ซินไซเคิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอก หรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขา

• ขา EN/V_{pp} (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยถ้าหากขานี้มีสถานะเป็น 0 ก็จะหมายถึงการให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือ จากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป ด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ

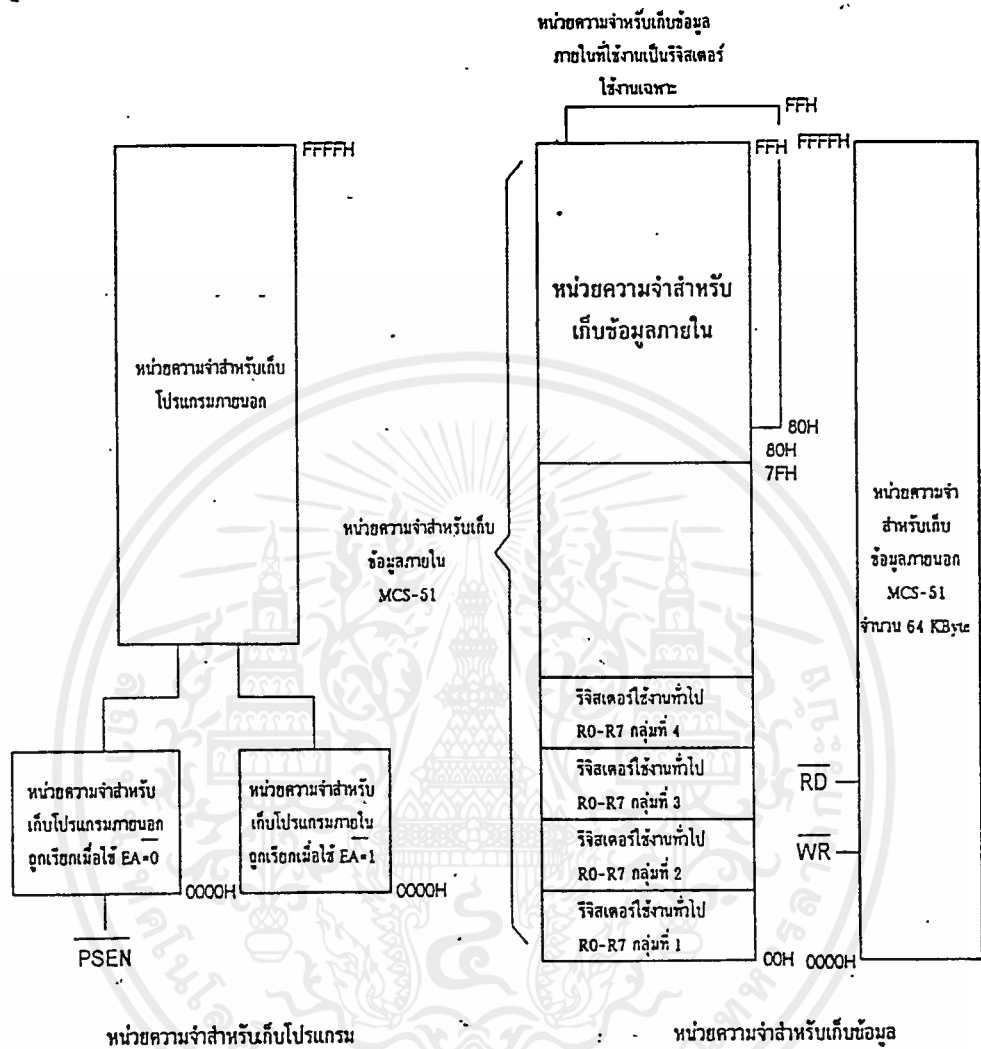
• ขา XTAL (ขา 19) ใช้ต่อคริสตัลจากภายนอก โดยใช้เป็นขาอินพุตเข้าสู่วงจรรอสซิลเลเตอร์

• ขา XTAL (ขา 18) ใช้ต่อคริสตัลภายนอก โดยเป็นขาเอาต์พุตออกจากวงจรรอสซิลเลเตอร์



รูปที่ 2.6 แสดงวงจรสำหรับรีเซตชิปไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงโครงสร้างหน่วยความจำทั้งหมดของ MCS-51

2.11.1.1 หน่วยความจำสำหรับเก็บโปรแกรม

หน่วยความจำสำหรับเก็บโปรแกรมในชิป MCS-51 จะแบ่งออกเป็น 2 ส่วน คือ หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป(internal program memory)และหน่วยความจำสำหรับเก็บโปรแกรมภายนอก ชิป (external program memory) ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปมีได้ตั้งแต่ 0,4,8,16 กิโลไบต์ ขึ้นอยู่กับเบอร์ของชิป

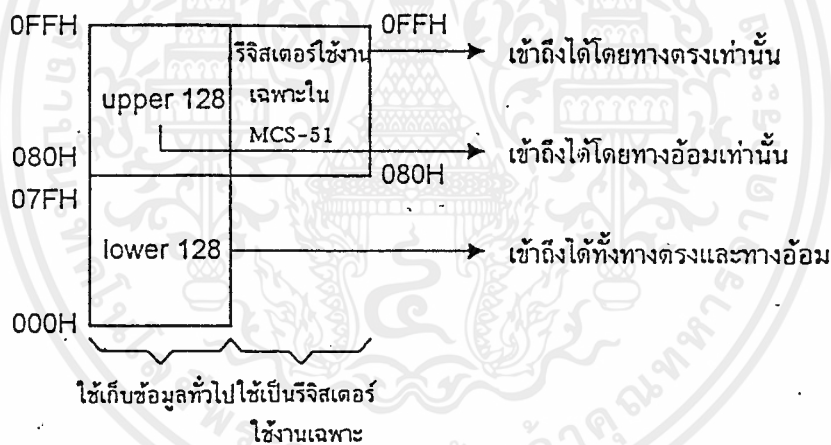
2.11.1.2 หน่วยความจำสำหรับเก็บข้อมูล

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำสำหรับเก็บข้อมูลของ MCS-51 จะแบ่งออกเป็น 2 ส่วน คือ หน่วยความจำสำหรับเก็บข้อมูลภายในชิป และหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป หน่วยความจำสำหรับเก็บข้อมูลภายในชิป ของ MCS-51 ยังแบ่งออกเป็น 3 ส่วนย่อยดังนี้

- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ram) บริเวณ 128 ไบต์ล่าง (lower 128)
- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ram) บริเวณ 128 ไบต์บน (upper 128)
- ส่วนที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (special function register)

หน่วยความจำส่วนที่ใช้เก็บข้อมูลทั่วไปภายในชิป เป็นหน่วยความจำสำหรับเก็บข้อมูลที่มีอยู่ภายใน MCS-51 หน่วยความจำส่วนนี้มีไว้สำหรับเก็บข้อมูลในขณะที่ทำงาน ส่วนหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ ใช้งานเฉพาะเป็นหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS-51 ซึ่งถูกกำหนดให้เป็น รีจิสเตอร์ใช้งานเฉพาะ เพื่อควบคุมการทำงานและบอกสถานะของชิพียู ซึ่งแผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิปทั้งสองบริเวณดังแสดงในรูปที่ 2.9



รูปที่ 2.9 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS-51

2.11.2 ไทม์เมอร์/เคาน์เตอร์

ใน MCS-51 มีรีจิสเตอร์ใช้งานเฉพาะ ที่สามารถนับจำนวนสัญญาณนาฬิกาหรือแมกซ์ซินไซเกิลของวงจรอสซิลเลเตอร์ภายใน (ทำงานเป็นตัวไทม์เมอร์) หรือนับจำนวนครั้งของการเปลี่ยนสถานะของสัญญาณภายนอก (นับจำนวนพัลส์ภายนอก) ที่ขา T0, T1 ของพอร์ท 3 (ทำงานเป็นเคาน์เตอร์) รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์มีขนาด 16 บิตจำนวน 2 ตัวคือ รีจิสเตอร์ไทม์เมอร์ 0 และรีจิสเตอร์ไทม์เมอร์ 1 ตามลำดับ (ในเบอร์ 8052 มีรีจิสเตอร์ไทม์เมอร์ 2 เพิ่มให้อีก 1 ตัว) เมื่อต้องการใช้ไทม์เมอร์ 0 หรือไทม์เมอร์ 1 จะต้องโหลดค่าที่ต้องการนับไปไว้ในรีจิสเตอร์ไทม์เมอร์ 0 หรือรีจิสเตอร์ไทม์เมอร์ 1 และเมื่อนับครบจำนวนที่ตั้งไว้จะมีสัญญาณอินเตอร์รัปต์เพื่อขอให้ชิพียูทราบสัญญาณนั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการคำนวณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมการทำงานของไมโครคอนโทรลเลอร์ สามารถควบคุมได้จากวงจรภายนอก (ควบคุมด้วยสัญญาณที่ขา INT0,INT1) หรือควบคุมจากคำสั่งโปรแกรม ดังนั้นรีจิสเตอร์ที่ใช้เป็นไมโครคอนโทรลเลอร์ใน MCS-51 จะสามารถวัดช่วงห่างของเวลา วัดความกว้างของพัลส์หรือนับจำนวนครั้งของเหตุการณ์ที่เกิดขึ้นภายนอกที่เปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าแล้ว รวมทั้งใช้ในการกำเนิดสัญญาณอินเตอร์รัปต์ที่มีความยาวแน่นอน

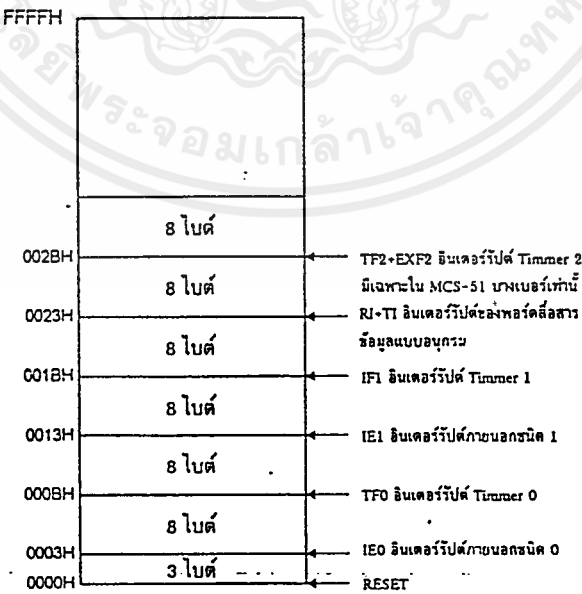
2.11.3 พอร์ตสื่อสารข้อมูลแบบอนุกรม MCS-51

สามารถรับและส่งข้อมูลแบบอนุกรมได้ โดยไม่ต้องพึ่งอุปกรณ์ภายนอกอื่น ๆ แต่อย่างใด ในด้านอัตราเร็วของการรับส่งข้อมูลก็จะสามารถกำหนดค่าได้ตามความต้องการของผู้ใช้โดยสามารถเลือกอัตราเร็วในการรับส่งข้อมูล (baud rate) มาตรฐานได้ตั้งแต่ 110-1.2K, 2.4K, 4.8K, 9.6K ,19.2K 375K ตามความเหมาะสมในแต่ละงาน

2.11.4 โครงสร้างการอินเตอร์รัปต์ MCS-51

สามารถรับสัญญาณอินเตอร์รัปต์ได้ถึง 5 ชนิด โดยจะเป็นสัญญาณอินเตอร์รัปต์ที่เกิดจากภายนอก 2 ชนิดและที่เกิดจากภายในชิปอีก 3 ชนิด เมื่อมีสัญญาณอินเตอร์รัปต์เกิดขึ้น MCS-51 จะละการทำงานโปรแกรมที่กำลังทำอยู่และข้ามไปทำงานโปรแกรมบริการ อินเตอร์รัปต์ (interrupt service routine) ที่อยู่ในหน่วยความจำตำแหน่งต่าง ๆ ขึ้นอยู่กับชนิดของสัญญาณอินเตอร์รัปต์ดังแสดงในรูปที่ 2.10

เราสามารถเลือกให้ชิพใน MCS-51 ถูกอินเตอร์รัปต์โดยสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นได้ โดยการกำหนดค่าในรีจิสเตอร์ใช้งานเฉพาะ IE นอกจากนี้ยังสามารถควบคุมลำดับความสำคัญในการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ MCS-51 ได้ด้วยรีจิสเตอร์ใช้งานเฉพาะ IP



รูปที่ 2.10 แสดงตำแหน่งหน่วยความจำของโปรแกรมบริการอินเตอร์รัปต์แต่ละชนิดใน MCS-51



IE (interrupt Enable Register) เข้าถึงข้อมูลได้ในระดับบิต รายละเอียดมีดังแสดงในตารางที่ 2.2

IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0
EA	-	ET2	ES	ET1	EX1	ET0	EX0

ตารางที่ 2.2 รีจิสเตอร์ใช้งานเฉพาะ IE

บิต	ชื่อบิต	ความหมาย
IE7	EA	ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ทั้งหมด 0 : MCS-51 จะไม่ตอบสนองต่อสัญญาณอินเตอร์รัปต์ใด ๆ ทั้งสิ้น 1 : อินเตอร์รัปต์แต่ละชนิดจะถูกควบคุมการตอบสนองอย่างอิสระจากบิตในรีจิสเตอร์นี้
IE6	-	ไม่ถูกกำหนดการใช้งาน
IE5	ET2	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ Timmer 2 เมื่อ Overflow
IE4	ES	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของพอร์ตสื่อสารอนุกรม
IE3	ET1	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ Timmer 1 เมื่อ Overflow
IE2	EX1	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ภายนอกชนิด 1
IE1	ET0	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ Timmer 0 เมื่อ Overflow
IE0	EX0	ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ภายนอกชนิด 0

หมายเหตุ ถ้าบิตที่ควบคุมการตอบสนองต่ออินเตอร์รัปต์แต่ละบิตมีค่าเป็น 1 หมายถึงอนุญาตให้ MCS-51 ตอบสนองต่ออินเตอร์รัปต์ได้ หากมีค่าเป็น 0 หมายถึงไม่ให้ MCS-51 ตอบสนองต่อสัญญาณอินเตอร์รัปต์ที่เกิดขึ้น

IP (Interrupt Priority Register) เข้าถึงข้อมูลได้ในระดับบิต รายละเอียดมีดังแสดงในตารางที่ 2.3

IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
-	-	PT2	PS	PT1	PX1	PT0	PX0

ตารางที่ 2.3 รีจิสเตอร์ใช้งานเฉพาะ IP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039041

บิต	ชื่อบิต	ความหมาย
IP7	-	ไม่ถูกกำหนดการใช้งาน
IP6	-	ไม่ถูกกำหนดการใช้งาน
IP5	PT2	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ Timer 2
IP4	PS	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ ของพอร์ตสื่อ-สารอนุกรม
IP3	PT1	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ Timer 1
IP2	PX1	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ภายนอกชนิด 1
IP1	PT0	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ Timer 0
IP0	PX0	กำหนดลำดับความสำคัญการตอบสนองต่อสัญญาณอินเทอร์รัปต์ภายนอกชนิด 0

2.12 วิธีการเข้าถึงข้อมูล

วิธีการเข้าถึงข้อมูลในคำสั่งของ MCS-51 มี 6 วิธีคือ

- การเข้าถึงข้อมูล โดยตรง (direct addressing)
- การเข้าถึงข้อมูล โดยทางอ้อม (indirect addressing)
- การเข้าถึงข้อมูล ในรีจิสเตอร์ใช้งานทั่วไป (register instructions)
- การเข้าถึงข้อมูล ในรีจิสเตอร์เฉพาะของคำสั่ง (register-specific instructions)
- การเข้าถึงข้อมูลที่กำหนดเองโดยตรง (immediate constants)
- การเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (indexed addressing)

2.12.1 การเข้าถึงข้อมูลโดยตรง

วิธีนี้จะระบุค่าตำแหน่งหน่วยความจำที่เก็บข้อมูลโดยตรงในคำสั่ง ข้อมูลที่นำมาประมวลโดยวิธีนี้จะ เป็นค่าของข้อมูลในหน่วยความจำสำหรับเก็บข้อมูล ที่ใช้เก็บข้อมูลทั่วไปเฉพาะในบริเวณ 128 ไบต์ล่างและ หน่วยความจำสำหรับเก็บข้อมูลที่ใช้รีจิสเตอร์ ใช้งานเฉพาะเท่านั้น และเนื่องจากหน่วยความจำสำหรับเก็บ ข้อมูลที่ใช้เก็บข้อมูลทั่วไปในบริเวณ 128 ไบต์ล่างกับหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ใช้งาน เฉพาะมีขนาดรวมกันทั้งสิ้น 256 ไบต์ ดังนั้นค่าตำแหน่งหน่วยความจำที่ใช้ต้องเป็นเลขไบนารีขนาด 8 บิต เท่านั้น

2.12.2 การเข้าถึงข้อมูลโดยทางอ้อม

ค่าตำแหน่งหน่วยความจำที่ต้องการติดต่อกับไว้ในรีจิสเตอร์เฉพาะของคำสั่ง ดังนั้นวิธีนี้จึงถือเป็น วิธีการเข้าถึงข้อมูลโดยทางอ้อม คือแทนที่ผู้เขียนโปรแกรมจะระบุค่าตำแหน่งข้อมูลโดยตรง วิธีนี้จะใช้ค่าที่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บไว้ในรีจิสเตอร์ที่ระบุในรหัสคำสั่งซึ่งไปยังตำแหน่งของหน่วยความจำแทน หน่วยความจำเป็นหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปในบริเวณ 128 ไบต์ล่าง และ 128 ไบต์บน รวมทั้งหน่วยความจำสำหรับเก็บข้อมูลที่อยู่นอกชิป

2.12.3 การเข้าถึงข้อมูลในรีจิสเตอร์ใช้งานทั่วไป

วิธีนี้เป็นการเข้าถึงข้อมูลที่อยู่ในรีจิสเตอร์ R0-R7 ของรีจิสเตอร์ใช้งานทั่วไป แต่ละกลุ่ม รีจิสเตอร์ใช้งานทั่วไปแต่ละกลุ่มทั้งกลุ่ม 4 กลุ่ม คือ บริเวณหนึ่งของหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลในบริเวณ 128 ไบต์ล่าง หรือตำแหน่ง 32 ไบต์ล่างสุดของหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไป ดังนั้นหากผู้เขียนโปรแกรมต้องการอ่านหรือเขียนข้อมูลในรีจิสเตอร์ทั้ง 32 ตัว แต่ละตัวมีตำแหน่งในหน่วยความจำที่แน่นอนก็สามารถชี้ตำแหน่งของหน่วยความจำที่ตรงกับรีจิสเตอร์แต่ละตัวด้วยวิธีการเข้าถึงข้อมูลโดยตรงหรือโดยทางอ้อม

2.12.4 การเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของคำสั่ง

คำสั่งบางคำสั่งของ MCS-51 จะระบุไว้แล้วว่าต้องปฏิบัติการกับข้อมูลในรีจิสเตอร์ตัวใด เช่น รีจิสเตอร์ A, รีจิสเตอร์ DPTR, รีจิสเตอร์ SP ในรหัสคำสั่งของคำสั่งที่ใช้วิธีการเข้าถึงข้อมูลประเภทนี้ MCS-51 จะทราบเองว่าต้องทำงานกับรีจิสเตอร์ตัวใด โดยไม่จำเป็นต้องระบุตำแหน่งรีจิสเตอร์ที่ใช้โดยคำสั่งเองเลย

2.12.5 การเข้าถึงข้อมูลที่กำหนดเองโดยตรง

เป็นการกำหนดค่าข้อมูลที่จะนำไปประมวลผลโดยตรง ข้อมูลที่นำมาประมวลผลในคำสั่งจะอยู่ตามหลังรหัสคำสั่ง โดยการใช้เครื่องหมาย “#” ระบุหน้าข้อมูลที่ต้องการ

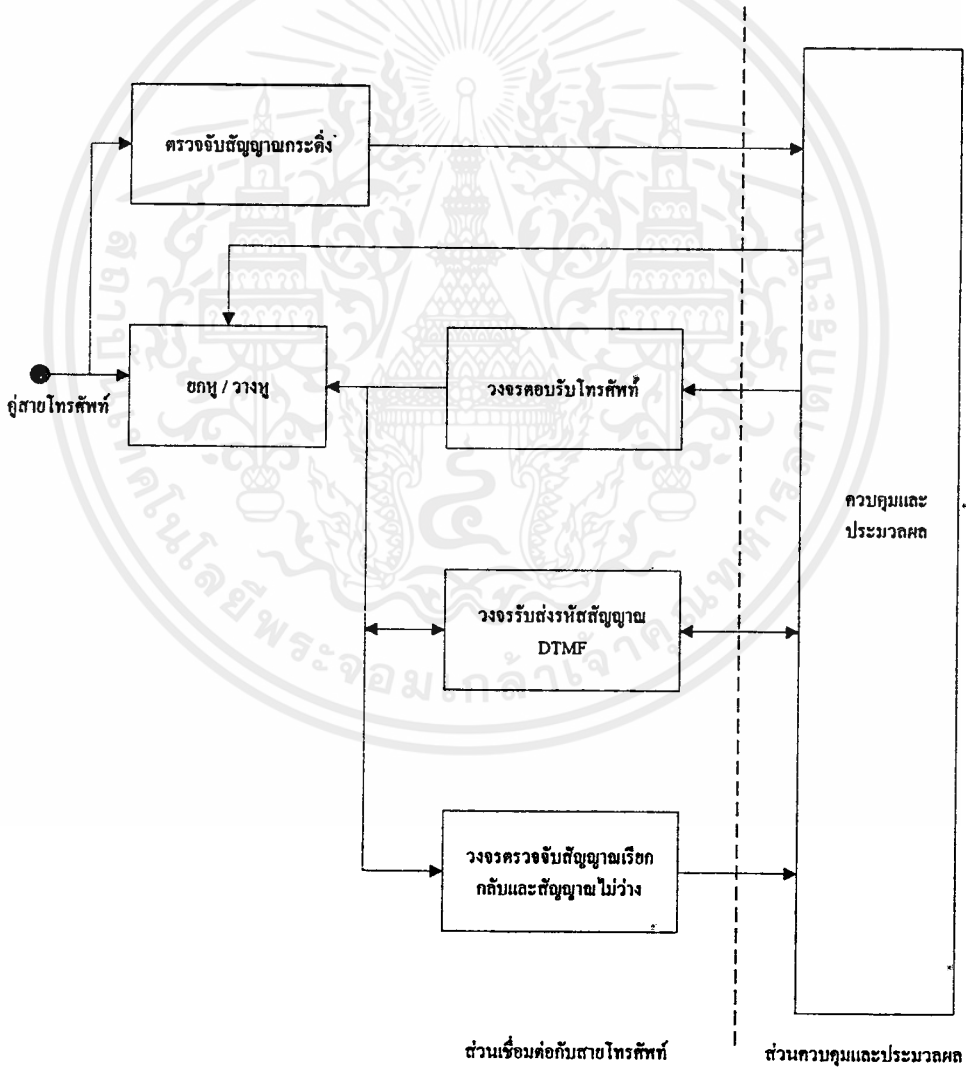
2.12.6 การเข้าถึงข้อมูลโดยใช้ตัวชี้อ้างอิง

ข้อมูลที่ใช้วิธีการอ้างอิงแบบนี้ เป็นข้อมูลที่อยู่ในหน่วยความจำสำหรับเก็บโปรแกรมเท่านั้น นั่นแสดงว่าเราสามารถอ่านข้อมูลนี้ออกมาได้แต่ไม่สามารถนำข้อมูลไปเก็บโดยวิธีนี้ได้จุดประสงค์ของการอ้างอิงข้อมูลแบบนี้มีไว้เพื่อ ใช้ในการเปิดหาค่าข้อมูลในหน่วยความจำสำหรับเก็บโปรแกรม ซึ่งเป็นหน่วยความจำชนิดถาวร (ROM) ข้อมูลในส่วนนี้จะไม่สูญหายไปแม้ไม่มีพลังงาน ในการทำงานของคำสั่งที่ใช้การเข้าถึงข้อมูลวิธีนี้จะใช้ค่าของรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC มารวมกับค่าในรีจิสเตอร์ A เพื่อชี้ไปยังตำแหน่งของหน่วยความจำสำหรับเก็บโปรแกรมที่เก็บข้อมูลไว้ ดังนั้นค่าในรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC จะต้องมียกเท่ากับตำแหน่งต้นของหน่วยความจำสำหรับเก็บโปรแกรมในส่วนของที่เก็บข้อมูล โดยใช้ค่ารีจิสเตอร์ A เป็นตัวระบุว่าข้อมูลอยู่ห่างจากตำแหน่งเริ่มต้น ในรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC เท่าใด จุดประสงค์ของวิธีการอ้างอิงข้อมูลแบบนี้คือใช้ในการเปิดหาค่าข้อมูลในตารางซึ่งอยู่ในหน่วยความจำสำหรับเก็บโปรแกรมเรียงต่อกันไป

บทที่ 3

การคำนวณและการสร้าง

ในโครงการนี้ได้นำเอาเครื่องโทรศัพท์มาประยุกต์ใช้ เป็นเครื่องตอบรับอัตโนมัติ ที่ต่ออยู่กับ PABX ซึ่งสามารถรับรู้และตอบสนองต่อการทำงานของ PABX ได้ ดังนั้นจึงต้องทำตัวเสมือนเครื่องรับโทรศัพท์เครื่องหนึ่ง สามารถติดต่อกับ และเข้าใจสัญญาณต่าง ๆ จาก PABX เช่น การรับสัญญาณกระดิ่งจาก PABX การยกหูวางหูโทรศัพท์ การถอดรหัสสัญญาณและการส่งสัญญาณ DTMF ไปยัง PABX การตรวจสอบเครื่องถูกขยับปลายทางได้ จากความแตกต่างที่กล่าวมา จึงแบ่งเครื่องตอบรับอัตโนมัติออกเป็น 2 ส่วนใหญ่ ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 แสดงส่วนประกอบของเครื่องโอนสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 ส่วนเชื่อมต่อกับตู้สายโทรศัพท์

หน้าที่หลักของส่วนเชื่อมต่อกับตู้สายโทรศัพท์คือ การทำให้ส่วนควบคุมและประมวลผลกลาง ทำงานร่วมกับตู้สายลูกข่ายได้ โดยที่สัญญาณภายในตู้ สายลูกข่ายเป็นสัญญาณอนาล็อก และมีความแตกต่างของแรงดันภายในตู้สายลูกข่ายมาก ได้แก่ สัญญาณกระดิ่ง สัญญาณเรียกกลับ เป็นต้น ในขณะที่สัญญาณของส่วนควบคุมและประมวลผลกลางเป็นสัญญาณดิจิทัลดังที่กล่าวมาแล้ว

ส่วนเชื่อมต่อกับตู้สายโทรศัพท์ประกอบด้วย วงจรตรวจจับสัญญาณกระดิ่ง วงจรตัดต่อตู้สาย วงจรตอบรับโทรศัพท์ วงจรถอด-ส่งสัญญาณเลขหมาย วงจรตรวจจับสัญญาณเรียกกลับและ สัญญาณสายไม่ว่าง ซึ่งใช้หลักการของเครื่องลูกข่ายดังนี้

1.การยกหูวางหู ของเครื่องโทรศัพท์ ในขณะที่เครื่องโทรศัพท์วางหูอยู่โดยแรงดันภายในตู้สายโทรศัพท์มีค่าประมาณ 48 โวลต์ และอิมพีแดนซ์ (IMPEDANCE) ของเครื่องโทรศัพท์มีค่าสูงมาก แต่ในขณะที่เครื่องโทรศัพท์ ยกหู แรงดันภายในตู้ สายโทรศัพท์มีค่าประมาณ 8-12 โวลต์ ทั้งนี้เนื่องจากอิมพีแดนซ์ของเครื่องโทรศัพท์ในขณะที่ยกหูมีค่าประมาณ 600 โอห์ม โดย PABX จะตรวจสอบการยกหู หรือวางหูของเครื่องโทรศัพท์จากการเปลี่ยนแปลงของอิมพีแดนซ์ของเครื่องรับโทรศัพท์ โดยการต่อหม้อแปลง (TRANSFORMER) ที่มีความต้านทานขนาด 600 โอห์ม ทำหน้าที่แทนเครื่องรับโทรศัพท์ในขณะที่ยกหู เพื่อให้ PABX รับรู้

2. สัญญาณเสียงพูดในระบบโทรศัพท์ใช้ในช่วงความถี่ 300 ถึง 3400 เฮิรตซ์ (สัญญาณเสียงที่มนุษย์ได้ยินอยู่ในช่วง 20 ถึง 20000 เฮิรตซ์) ซึ่งเป็นช่วงความถี่ที่ใช้แล้วมนุษย์สามารถสื่อสารกันด้วยคำพูดที่เข้าใจได้ ในส่วนของวงจรตอบรับโทรศัพท์ จึงใช้ไอซี เบอร์ ISD1420 สำหรับการเก็บเสียงพูดที่บันทึกไว้และเล่นกลับเพื่อแจ้งสภาวะของระบบให้กับผู้ใช้ได้ทราบ

3. สัญญาณกระดิ่ง เป็นสัญญาณที่ส่งจาก PABX ไปยังเครื่องโทรศัพท์ทางด้านผู้รับ ให้ขับกระดิ่งภายในเครื่องโทรศัพท์ เพื่อบอกให้ฝ่ายรับ ทราบว่ามีการเรียกเข้า โดยมีระดับสัญญาณ 75-100 โวลต์ ความถี่ 20 เฮิรตซ์ ส่ง 1.25 วินาที หยุด 3.75 วินาที ทั้งนี้จะขึ้นอยู่กับกรเรียกเข้าจากตู้สายภายนอกหรือจากเครื่องลูกข่าย อื่น และชนิดของ PABX ด้วย

4. สัญญาณเลขหมายเป็นสัญญาณที่สร้างจากเครื่องรับโทรศัพท์ เพื่อใช้ส่งเลขหมายของผู้รับสำหรับลักษณะของสัญญาณเลขหมาย ขึ้นอยู่กับชนิดของเครื่องโทรศัพท์ และชุมสายโทรศัพท์ที่ใช้ คือแบบหมุน (ส่งสัญญาณเป็นพัลส์) และแบบกดปุ่ม (ส่งสัญญาณความถี่คู่) เนื่องจากในปัจจุบันชุมสายโทรศัพท์ส่วนใหญ่เป็นแบบกดปุ่ม ดังนั้นในโครงการชุดนี้จึงพัฒนาให้ใช้กับเครื่องโทรศัพท์แบบกดปุ่มเท่านั้น ซึ่งมีลักษณะของสัญญาณเป็นแบบความถี่คู่ (DUAL TONE MULTI FREQUENCY) โดยทั่วไปเครื่องรับโทรศัพท์ แบบนี้มีหน้าปัทม์ 12 ปุ่ม จะผลิตความถี่ขึ้น 2 ความถี่ที่แตกต่างกัน เป็นความถี่ต่ำความถี่หนึ่ง และความถี่สูงอีกความถี่ ในส่วนนี้นอกจากจะต้องตรวจสอบสัญญาณเลขหมายที่ส่งมาจากตู้สายภายนอกแล้วยังจะต้องส่งสัญญาณเลขหมายนี้ไปยัง PABX เพื่อให้ PABX เรียกไปยังเครื่องลูกข่ายที่ต้องการติดต่อด้วย

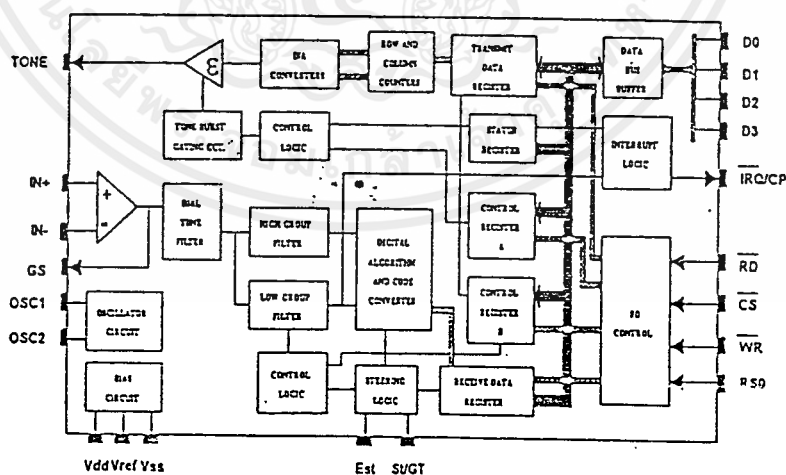
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ภาครับ - ส่งเลขหมายโทรศัพท์

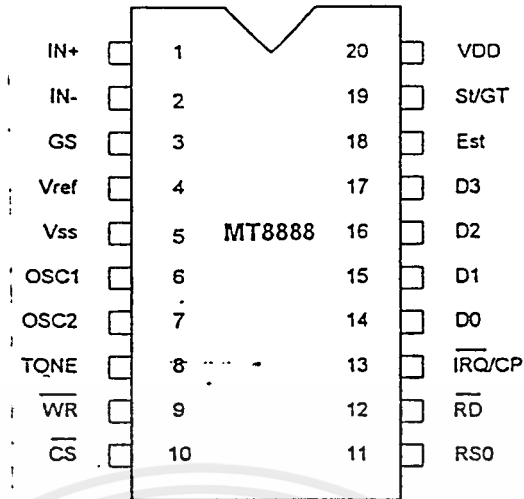
สำหรับภาครับและส่งเลขหมายโทรศัพท์ในโครงงานนี้จะใช้ไอซีเบอร์ MT 8888 เป็นตัวรับ-ส่ง ซึ่งไอซีเบอร์นี้ถูกออกแบบมาให้ใช้งานด้านการส่ง และรับสัญญาณความถี่ DTMF และควบคุมการ รับ-ส่งด้วยไมโครโปรเซสเซอร์ หรือ ไมโครคอนโทรลเลอร์ โดยสัญญาณสำหรับควบคุมการส่งหมายเลขโทรศัพท์จะเป็นสัญญาณแบบไบนารี 4 บิต และสัญญาณที่รับเข้ามาจะถูกแปลงจากความถี่ DTMF เป็นสัญญาณไบนารี 4 บิตส่งไปให้ไมโครคอนโทรลเลอร์ทำการแปลรหัส โครงสร้างของไอซีเบอร์ MT 8888 แสดงดังรูปที่ 3.2 และตำแหน่งขาต่างๆ ของไอซีจะแสดงในรูปที่ 3.3

หน้าที่การทำงานของขาต่างๆ มีดังนี้

- ขา 1 (IN +) เป็นขา input non inverting ของ op-amp
- ขา 2 (IN -) เป็นขา input inverting ของ op-amp
- ขา 3 (GS) ทำหน้าที่ปรับ gain ของ input ที่รับเข้ามา
- ขา 4 (V_{ref}) เป็นขา reference voltage ของ op-amp
- ขา 5 (V_{ss}) เป็นขา ground
- ขา 6 (OSC1)และขา 7 (OSC2) เป็นขา oscillator สองขานี้จะถูกต่อด้วย crystal ความถี่ 3.579 MHz
- ขา 8 (TONE)เป็นขา output ความถี่ผสม DTMF จะถูกส่งออกทางขานี้
- ขา 9 (WR) เป็นขา write จะถูกควบคุมโดยไมโครคอนโทรลเลอร์
- ขา 10 (CS) เป็นขา chip select ถูกควบคุมโดยไมโครคอนโทรลเลอร์



รูปที่ 3.2 โครงสร้างภายในของ MT8888



รูปที่ 3.3 ตำแหน่งขาต่างๆของ MT8888

- ขา 11 (RSO)เป็นขา register select ถูกควบคุมโดยไมโครคอนโทรลเลอร์ รายละเอียดแสดงดังตารางที่ 3.1
- ขา 12 (RD) เป็นขา read ถูกควบคุมโดยไมโครคอนโทรลเลอร์
- ขา 13 (IRQ/CP) เป็นขา interrupt request / call progress ถูกควบคุมโดยไมโครคอนโทรลเลอร์
- ขา 14-17 (D0-D3) เป็นขาข้อมูลสัญญาณไบนารี 4 บิต สำหรับรับและส่งข้อมูล กับไมโครคอนโทรลเลอร์ รายละเอียดของข้อมูลแสดงในตารางที่ 3.2
- ขา 18 (Est) เป็นขา early steering ใช้สำหรับตรวจสอบความถูกต้องของสัญญาณ DTMF ที่รับเข้ามาและส่งออก
- ขา 19 (St/GT) เป็นขา steering input /guard time ใช้ตรวจสอบช่วงเวลาการส่งและรับสัญญาณ DTMF
- ขา 20 (V_{dd}) เป็นขาไฟเลี้ยง 5 V

ไอซีเบอร์นี้สามารถเป็นได้ทั้งตัวส่งเลขหมาย และรับเลขหมายโทรศัพท์ ปรับอัตราขยายสัญญาณอินพุต ได้ โดยเปลี่ยนค่าความต้านทาน R_1 และ R_2 การนำไปใช้งานจะต่อกับ ไมโครคอนโทรลเลอร์ ตระกูล MCS - 51 สัญญาณหมายเลขโทรศัพท์ที่ถูกส่งมาจากไมโครคอนโทรลเลอร์เป็นแบบไบนารี 4 บิตส่งเข้าไปยังขา D0-D3 ไอซี MT 8888 จะเปลี่ยนสัญญาณไบนารีเป็นสัญญาณ DTMF ส่งเข้าไปในสายโทรศัพท์ โดยให้ขา WR, RD ของ MT8888 ต่อกับ ขา WR, RD ของ MCS-51 และให้ขา D0-D3 ต่อกับ P1.0-P1.3 สำหรับ IRQ/CP ต่อกับ INT1 ของ MCS-51 , ขา RSO ต่อกับ A8 และ CS ต่อกับ user ของ 74HCT138

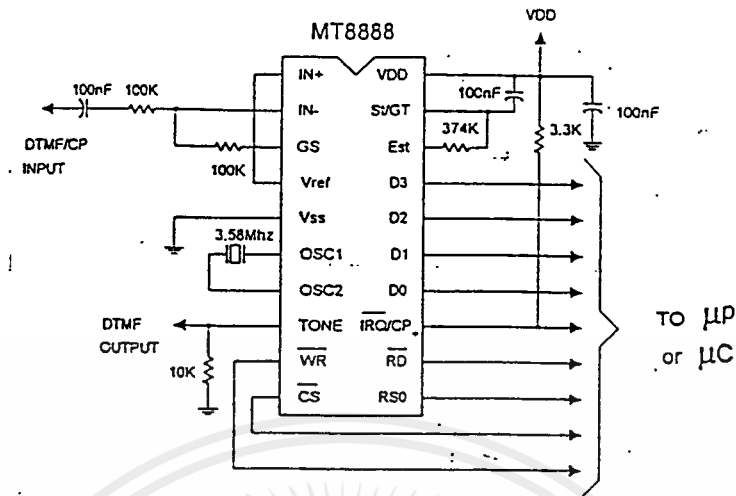
RS0	WR	RD	FUNCTION
0	0	1	Write to Transmit Data Register
0	1	0	Read from Receive Data Register
1	0	1	Write to Control Register
1	1	0	Read from Status Register

ตารางที่ 3.1 การทำงานของ Register

F_low	F_high	DIGIT	D5	D2	D1	D0
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

ตารางที่ 3.2 รายละเอียดของข้อมูลไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 การต่อวงจรไอซี MT8888 ใช้งาน

3.3 ภาควงข้อมูลความช้าสาร

ภาควงข้อมูลความช้าสารนี้จะใช้ไอซีบันทึกเสียงตระกูล ISD 14xx เป็นตัวส่ง โดยที่ไอซีตระกูลนี้มีข้อดีคือ สามารถบันทึกเสียงได้ภายในตัวมันเอง ไม่ต้องมีหน่วยความจำมาต่อภายนอก และเมื่อไฟเลี้ยงขาดหายไปก็ยังสามารถเก็บข้อมูลเอาไว้ได้ ไอซีตระกูล ISD นี้อาศัยเทคโนโลยีการบันทึกเสียงทางอนาล็อกโดยตรง และภายในประกอบด้วย ส่วนต่างๆที่ทำหน้าที่เก็บข้อมูลไว้ภายในหรือที่เรียกว่า NV RAM (nonvolatile ram) ทำให้สามารถบันทึกเสียงได้นานตั้งแต่ 10 - 20 วินาที ตามเบอร์ของไอซีในตระกูล ISD 12xx และ 14xx ซึ่งการใช้งาน และการจัดขาของไอซีตระกูลนี้เหมือนกันหมดต่างกันตรงที่ ความสามารถในการบันทึกเสียงเท่านั้นเอง

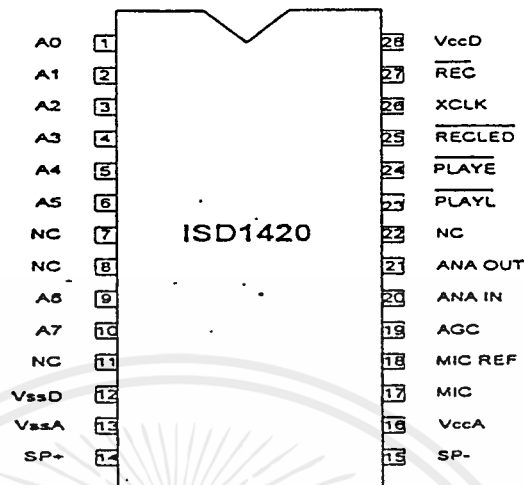
รูปร่างของไอซีตระกูล ISD 12xx/14xx ได้แสดงไว้ในรูปที่ 3.5 ซึ่งแสดงรูปร่างและลักษณะการจัดขาของไอซี คุณสมบัติที่แตกต่างไปจากไอซีบันทึกเสียงที่เคยมีมาก็คือระยะเวลา บันทึกเสียงด้วยตัวของไอซีเอง (ไม่มีหน่วยความจำภายนอกมาต่อเพิ่มเติม) สามารถบันทึกได้นานกว่า โดยจะกำหนดมาเป็นเบอร์ ซึ่งแต่ละเบอร์ไอซีจะมีระยะเวลาต่างกันในการบันทึก และก็อยู่ในตระกูล ISD เช่นกัน ลักษณะโดยรวมด้านอื่นๆนั้นเหมือนกันทุกประการ และมีลักษณะการต่อใช้งานเหมือนกันทำให้ง่ายต่อการพัฒนาในลักษณะของการเพิ่มระยะเวลาในการบันทึกก็เพียงแต่เปลี่ยนเบอร์ไอซี ในตระกูลนี้เท่านั้นเอง นอกจากนั้นหากต้องการระยะเวลาการบันทึกที่ยาวนานมากขึ้นก็จำเป็นต้องเพิ่มหน่วยความจำภายนอกเพิ่มเติมเข้าไป โดยไม่มีความยุ่งยากแต่ประการใด

คุณสมบัติของ ISD 12xx/14xx

- เมื่อใช้ในฟังก์ชันการบันทึก และเล่นกลับด้วยไอซี เองง่ายมาก
- ไม่มีไอซีเบอร์อื่นๆประกอบเพิ่มเติมภายนอก
- ต่ออุปกรณ์พาสซีฟภายนอกน้อยมาก

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรืออาจมีเนื้อหาการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ให้ระดับสัญญาณในการบันทึกที่มีประสิทธิภาพสูง

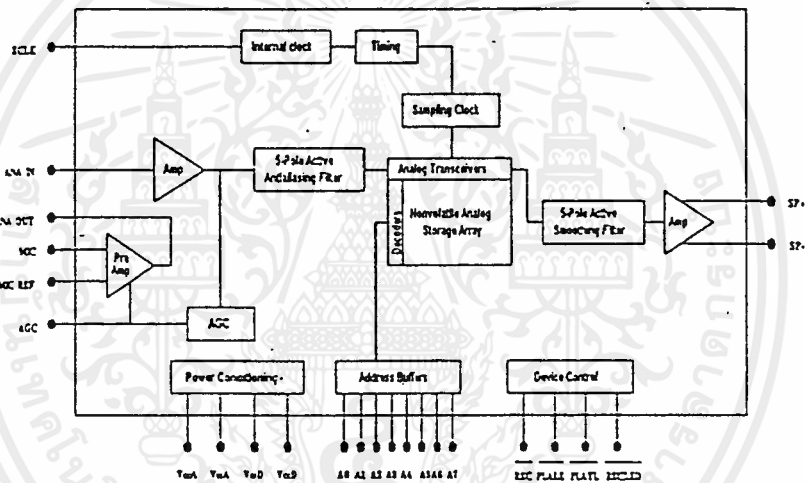


รูปที่ 3.5 แสดงการจัดขาใช้งานของ ISD 1420

- สามารถต่อกับสวิตช์ควบคุมการบันทึก ,เล่นกลับ ,หยุดชั่วคราว และยังสามารถปรับระดับสัญญาณได้
- ข้อมูลที่ถูกบันทึกไว้ไม่สูญหายถึงแม้ว่าจะไม่มีแรงดันจ่ายให้กับไอซี และไม่ต้องการแบตเตอรี่สำรอง
- เก็บข้อมูลไว้ได้นานถึง 100 ปี แม้ไม่มีแรงดันไฟเลี้ยง
- สามารถบันทึกใหม่ได้ 100,000 ครั้งปกติ
- มีวงจรฐานเวลาภายใน
- ไม่มีการโปรแกรมในตัวไอซี และไม่ต้องพัฒนาระบบเพิ่มเติมเพื่อให้ทำงานได้
- มีระบบสแตนด์บายเพื่อประหยัดพลังงานจากแหล่งจ่าย เมื่อไม่มีการบันทึกหรือเล่นกลับ
- ใช้แรงดันไฟเลี้ยงเดียวกินกระแสขณะสแตนด์บายต่ำเพียง 0.5 ไมโครแอมป์

จากคุณสมบัติคร่าวๆ ของไอซีที่ได้กล่าวมาข้างต้น ก็พอจะทราบได้ว่าเป็นไอซีที่ได้รับการออกแบบขึ้นมาเพื่อให้ง่ายและสำเร็จรูปมากขึ้นเวลานำไปใช้งาน ดังจะให้เห็นวงจรการนำไปใช้งาน ไอซีในตระกูล ISD 12xx/14xx นี้จะถูกผลิตขึ้นมาเป็นไอซีที่ทำหน้าที่บันทึกและเล่นกลับ จนจบกระบวนการภายในไอซีเพียงตัวเดียว เพื่อประโยชน์ และต้องการให้เป็นอุปกรณ์ที่ทำหน้าที่บันทึกข้อมูลเพียงสั้นๆ ข้อมูลหนึ่ง รวมทั้งคุณภาพของสัญญาณที่บันทึกและเล่นกลับ ก็ถือว่าดีมากไม่แตกต่างจากการบันทึกลงบนตลับเทปคาสเซตต์ โครงสร้างของบล็อกไดอะแกรมการทำงานภายในไอซี แสดงไว้ในรูปที่ 3.6 ซึ่งแสดงถึงบล็อกการทำงานทุกส่วนภายในไอซี ISD 12xx/14xx ภายในไอซีจะประกอบไปด้วย ส่วนการทำงานที่สำคัญทุกส่วน โดยมีอุปกรณ์พาสซีฟต่อภายนอกเพียงเล็กน้อยเท่านั้น ซึ่งภายในก็มีวงจรกำเนิดความถี่ฐานเวลาชนิดซิมอส ,วงจรขยายสัญญาณไมโครโฟน ,วงจรควบคุมอัตราขยายอัตโนมัติ ,วงจรกรองความถี่และวงจรขยายสัญญาณ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกสู่ลำโพง แต่สัญญาณที่จับลำโพงโดยตรงจากไอซีตัวนี้อาจจะไม่ดังมากพอ ก็สามารถต่อวงจรขยายสัญญาณภายนอกเพิ่มเติมได้ นอกจากนั้นยังสามารถพัฒนาวงจรหรือแก้ไขวงจรเพิ่มเติมเพื่อต้องการให้วงจรสามารถใช้ลำโพงเป็นไมโครโฟนได้ พร้อมกับการจับสัญญาณเสียงที่บันทึกออกมาให้ได้ยินอีก ซึ่งทั้งสองหน้าที่จะทำงานไม่พร้อมกัน (ทำงานคนละจังหวะกัน) การควบคุมการบันทึกและเล่นกลับ สามารถควบคุมได้ด้วยปุ่มเพียงสองปุ่มเท่านั้น สัญญาณที่จะทำการบันทึก จะถูกเก็บหรือบันทึกลงบนหน่วยความจำภายในไอซี ซึ่งเป็นหน่วยความจำที่ไม่ต้องการแรงดันไฟเลี้ยงขณะที่ไม่มีการจ่ายแรงดันให้แก่วงจร ซึ่งสามารถเก็บข้อมูลไว้ได้นานเป็น 10 ปี ลักษณะการบันทึกลงบนหน่วยความจำภายในไอซี จะทำการบันทึกสัญญาณอนาล็อกโดยตรง (Direct Analog Storage Technology :DAST) ซึ่งสัญญาณอนาล็อกนี้อาจจะเป็นเสียงพูด หรือสัญญาณย่านความถี่เสียง 20 Hz - 20 KHz การบันทึกนี้สัญญาณจะถูกเก็บไว้ในหน่วยความจำภายในชนิด EPROM ซึ่งสามารถบันทึกและลบใหม่ได้ ในอัตราการบันทึก 100,000 ครั้งตลอดอายุการใช้งานของไอซี



รูปที่ 3.6 บล็อกไดอะแกรมภายในตัวไอซี ISD 1420

การทำงานของเบื้องต้นของ ISD 12xx/14xx จะเป็นชิปไอซีเพียงตัวเดียวและมีสัญญาณควบคุมการทำงานในฟังก์ชันต่างๆเป็นสัญญาณแบบเดี่ยว (single signal) เพื่อควบคุมที่ขา REC และสัญญาณควบคุมการเล่นกลับจะถูกควบคุมด้วยสวิตช์ควบคุม 2 สวิตช์ คือควบคุมที่ขา PLAYE , PLAYL นอกจากนั้นหากต้องการให้สามารถควบคุมการบันทึกได้หลายๆลักษณะก็สามารถใช้ขาแอสเคตไลน์ มาทำการประยุกต์ใช้งานควบคุมได้เช่นกัน และการทำงานของขาใช้งานแต่ละขาจะอธิบายถึงหน้าที่และลักษณะการทำงาน

ประสิทธิภาพของเสียงที่บันทึก ประสิทธิภาพของสัญญาณที่ทำการบันทึกและเล่นกลับจะมีคุณภาพดีมากเนื่องจากการบันทึกและเล่นกลับจะใช้เทคโนโลยี DAST โดยที่สัญญาณที่ทำการบันทึก หรือสัญญาณเสียงพูดที่เข้ามาทางอินพุตจะถูกบันทึกหรือเก็บเข้าไปไว้ใน EPROM ซึ่งเป็นหน่วยความจำภายในโดยตรงด้วยเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

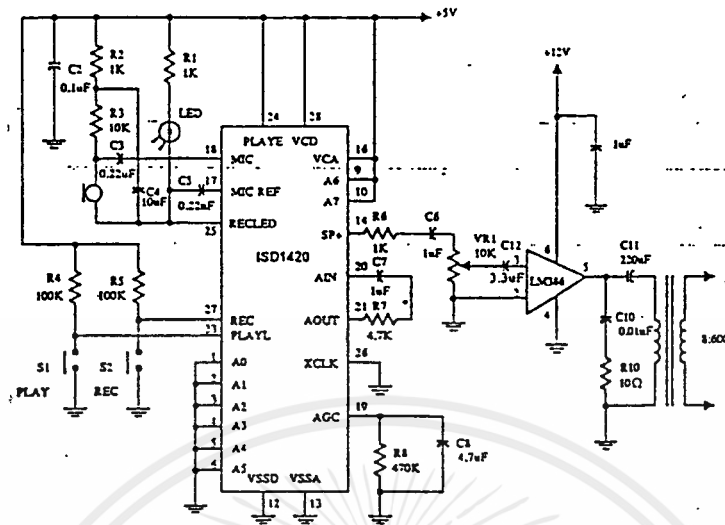
สัญญาณแบบอนาล็อก และการเล่นกลับออกมาก็จะเหมือนกับสัญญาณที่ก่อนทำการบันทึกแน่นอน เพราะการเล่นกลับไม่มีผลของคุณสมบัติหัวเทปมาเกี่ยวข้อง เพราะในกรณีนี้ไม่ได้ใช้หัวเทปในการขยายสัญญาณออกมา แต่ใช้กระบวนการทางดิจิทัล

ปิดตัวเองเมื่อไม่มีการบันทึกหรือเล่นกลับ ในขณะที่วงจรหรือขั้นตอนการทำงานเล่นกลับหรือบันทึกสิ้นสุดลง ไอซีนี้ก็จะมีการทำงานให้ตัดเข้าสู่โหมดของการสแตนด์บายเพื่อให้ปริมาณการใช้พลังงานอยู่ในระดับที่ต่ำเพื่อต้องการประหยัดแบตเตอรี่ ซึ่งจะกินกระแสเพียง 0.5 ไมโครแอมป์เท่านั้น ในช่วงที่ทำการเล่นกลับจบลง วงจรภายในก็จะตัดเข้าสู่สถานะสแตนด์บาย ในโหมดของการบันทึก หลังจากที่ทำกรบันทึกเสร็จสิ้นลงก็จะกลับมาสู่สถานะสแตนด์บาย เมื่อขา REC มีระดับลอจิกเป็น 1

ควบคุมการบันทึก (REC) ที่ขาควบคุมการบันทึกทางอินพุตนี้ จะต้องการระดับลอจิก 0 เพื่อทำการบันทึกสัญญาณ และจะเริ่มทำการบันทึกเมื่อระดับลอจิกที่ขา REC นี้เป็นลอจิก 0 และสถานะลอจิกที่ขานี้จะต้องได้รับสัญญาณให้ทำการบันทึกก่อนเสมอก่อนที่จะทำการเล่นกลับหรือก่อนที่จะมีสัญญาณมาควบคุมที่ขา PLAYE หรือ PLAYL ถ้าที่ขา REC มีระดับลอจิก 0 เพิ่มขึ้นไปเป็นค่าแรงดันบวก (ลอจิก 1) ก็จะเข้าสู่การทำงานของการเล่นกลับทันที

ควบคุมการเล่นกลับ (PLAYE) เมื่อขาควบคุมการเล่นกลับนี้ได้รับระดับลอจิกเป็น 0 หรือได้รับการกระตุ้นด้วยลอจิก 0 ที่อินพุตนี้วงจรจะเริ่มทำการเล่นกลับเพื่อนำข้อมูลที่ถูกระบุบันทึกอยู่แสดงออกมาทางลำโพง การเล่นกลับในฟังก์ชันนี้ จะเป็นการเล่นกลับอย่างต่อเนื่องจนถึงข้อมูลสุดท้ายที่ทำการบันทึกตามเวลาที่กำหนดไว้ (10-20 วินาที) หรือเล่นกลับจนกว่าข้อมูลที่บันทึกไว้ใน EPROM ทุกข้อมูลจะถูกเล่นกลับออกมาทั้งหมด ซึ่งเป็นการเล่นกลับอย่างสมบูรณ์ หลังจากนั้นก็จะตัดเข้าสู่โหมดสแตนด์บาย ในระหว่างที่กำลังอยู่ในสถานะเล่นกลับนั้นทันทีที่ขา PLAYE มีสถานะเป็น 1 การเล่นกลับก็จะหยุดทันที

ควบคุมการเล่นกลับ (PLAYL) เมื่อขาอินพุตนี้มีการเปลี่ยนแปลงระดับลอจิกจาก 1 ไป 0 จะเป็นการเล่นกลับแบบต่อเนื่องจนกระทั่งที่ขา PLAYL เพิ่มขึ้นเป็น 1 หมายถึงเกิดการตรวจจบการเล่นสิ้นสุดลงแล้ว หรือจบสิ้นข้อมูลที่ถูกระบุไว้ใน EPROM แล้ว และก็จะกลับสู่สถานะสแตนด์บาย



รูปที่ 3.7 วงจรภาคส่งข้อความข่าวสาร

การทำงานของวงจร

วงจรของภาคส่งข้อความข่าวสารแสดงดังรูป 3.7 ที่ขา 23 และ ขา 27 ซึ่งต่ออยู่กับ S_1 , S_2 ในวงจรใช้งานจริงจะใช้พอร์ทของไมโครคอนโทรลเลอร์ (PB2, PB3) มาต่อแทน เพื่อควบคุมการบันทึกและเล่นกลับด้วยไมโครคอนโทรลเลอร์ ที่ขา 14 ซึ่งเป็นขาเอาต์พุต จะถูกต่อเข้าวงจรขยาย และ transformer matching

การทำงานเริ่มต้นโดยเมื่อจ่ายไฟเลี้ยงให้วงจรไอซี ISD 1420 ก็พร้อมที่จะรับข้อมูลเพื่อทำการบันทึก โดยเมื่อขา 27 ได้รับลอจิก 0 ทำให้ขา REC มีสถานะเป็น 0 ในขณะนี้จะเกิดการบันทึกเสียง โดยมีคอนเดนเซอร์ไมโครโฟน (MIC) ทำหน้าที่รับสัญญาณเสียง และ R_2 , R_3 เป็นตัวจัดไบแอส สัญญาณจะถูกคัปปลิ่งผ่าน C_3 มาเข้าที่ขา 18 เพื่อทำการขยายสัญญาณให้แรงขึ้น สัญญาณที่ผ่านการขยายโดยวงจรปริแอมป์จะออกมาทางขา 21 ซึ่งเป็นสัญญาณอนาล็อกเอาต์พุต และคัปปลิ่งผ่าน R_7 , C_7 เข้าขา 20 ซึ่งเป็นวงจรขยายสัญญาณภายในไอซีเช่นกัน สัญญาณที่ถูกขยายจะถูกบันทึกลงในหน่วยความจำภายในไอซี ขา 25 (RECLED) เป็นขาขับหลอดแสดงสถานะขณะทำการบันทึก ซึ่งแสดงผลโดย LED ที่ขา 19 มีตัวต้านทาน R_8 , C_8 จัดเป็นวงจรรักษาระดับสัญญาณการบันทึกให้คงที่ หรือ AGC (automatic gain control) เพื่อให้สัญญาณของการบันทึกมีความเหมาะสมเมื่อเล่นกลับสัญญาณ จะได้ไม่เกิดความผิดเพี้ยนขึ้น เมื่อทำการบันทึกไปจนครบเวลาที่กำหนดคือ 20 วินาที วงจรบันทึกจะหยุดทำงานทันที และหากต้องการเล่นกลับก็ต้องควบคุมที่ขา 23 ด้วยลอจิก 0 กระบวนการเล่นกลับก็จะทำงาน และให้สัญญาณเอาต์พุต ออกมาทางขา 14 ถึงแม้ว่าเอาต์พุตจะสามารถขับลำโพงเล็กๆ ได้โดยตรง แต่อาจมีระดับความดังของเสียงค่อยๆ ดังนั้นจึงเพิ่มภาคขยายเสียงเข้าไปอีก โดยสัญญาณจะถูกคัปปลิ่งผ่าน R_6 , C_6 มาเข้าที่ VR_1 สัญญาณจะถูกส่งเข้าขา 3 ของ ไอซี LM 386 ซึ่งเป็นไอซีขยายเสียง สัญญาณที่ผ่านการขยายแล้วจะออกมาทางขา 5 ผ่าน C_{11} ขับออกสู่ matching transformer โดยมี C_{10} , R_9 ทำหน้าที่ชดเชยวงจรย่านความถี่สูงและ ป้องกันการออสซิลเลททางเอาต์พุตของวงจรขยาย

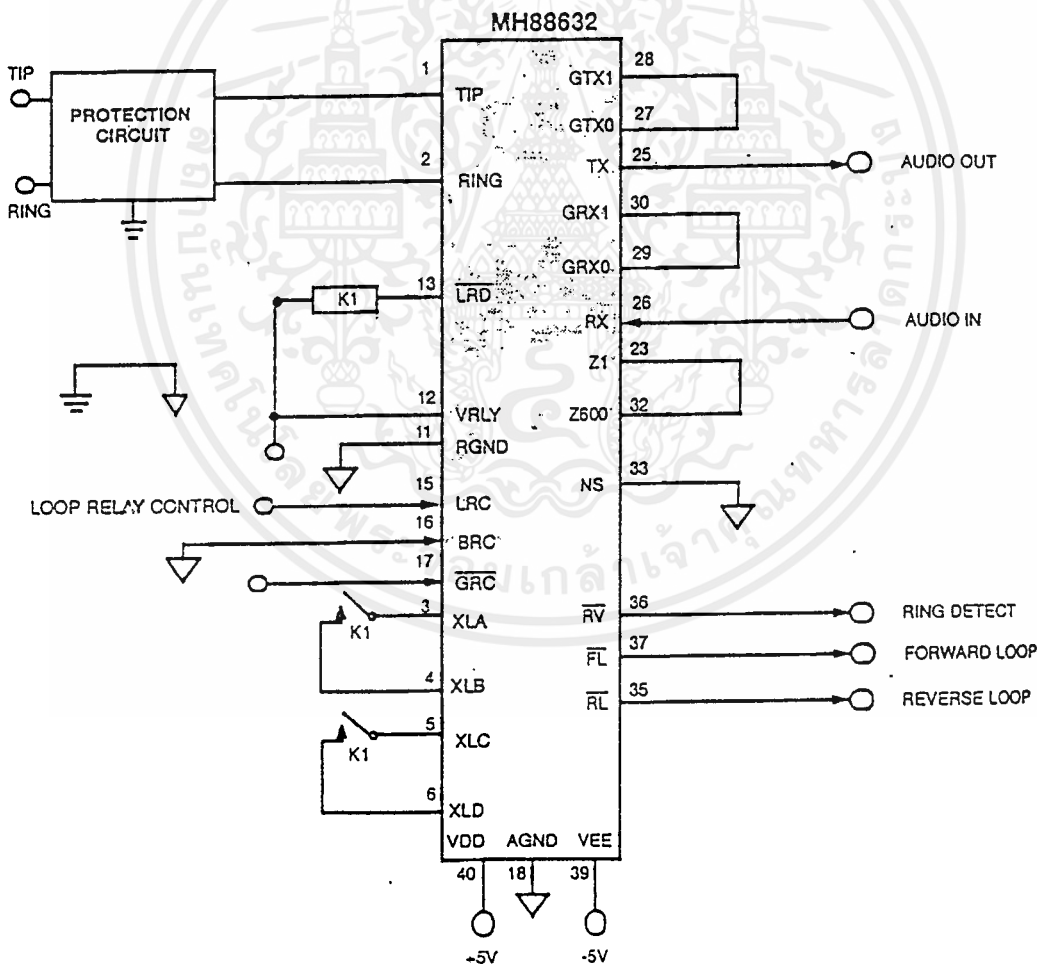
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ภาคอินเตอร์เฟสกับสายโทรศัพท์

ในภาคนี้เป็นการรวมเอาวงจร 2 ภาคไว้ด้วยกัน คือ ภาคตรวจจับสัญญาณกระดิ่ง และ ภาคตัดต่อคู่สาย ซึ่งจะให้มีประสิทธิภาพการทำงานดีกว่าเดิม โดยใช้ไอซี MH88632 ซึ่งมีข้อดีคือ

1. สามารถทำการ Loop Line ได้
2. สามารถต่ออิมพีแดนซ์แมชซึ่ง ได้ทั้ง 600 โอห์ม และ 900 โอห์ม
3. แปลงจากคู่สายโทรศัพท์ จาก 2 เป็น 4 เส้น
4. มีส่วนของการขยายภายใน

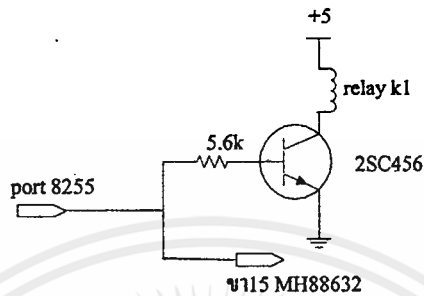
และไอซีนี้ก็ไม่ต้องต่ออุปกรณ์ภายนอกเพิ่มเติมมากนัก ที่สำคัญก็คือเรื่องของการอินเตอร์เฟส เนื่องจากการทดลองในเทอมที่แล้วจะมีปัญหาที่การ รับส่งสัญญาณซึ่งจะรบกวนกันมากจึงได้ทำการปรับปรุงให้ดีขึ้น ซึ่งมีลักษณะการต่อใช้งานดังรูปที่ 3.8



รูปที่ 3.8 ลักษณะการต่อใช้งานของ MH88632

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเมื่อมีสัญญาณกระดิ่งเข้ามา ก็จะมีสัญญาณ Ring Detect ออกมาที่ ขา 36 ซึ่งจะถูกส่งไปยัง INT ของ MCS-51 สำหรับการทำให้ Loop Line ก็เพียงส่งสัญญาณเข้าที่ ขา 15 เท่านั้น และการรับส่งสัญญาณอื่นๆ ก็ส่งผ่าน Audio Out/In ที่ ขา 25 , 26 ตามลำดับ แต่ก็ยังมีปัญหาในส่วนของรีเลย์ (K1) เมื่อมีการทำให้ Loop Line รีเลย์จะค้าง จึงแก้ไขโดย ไม่ต่อเข้าที่ ขา 13 แต่จะต่อ ผ่านทรานซิสเตอร์แทนดังรูปที่ 3.9



รูปที่ 3.9 แสดงวงจรต่อเพิ่มเติมในภาคอินเทอร์เฟซกับตู้สาย

3.5 ส่วนตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง

เมื่อเครื่องถูกข่ายภายใน PABX เรียกไปยังเครื่องถูกข่ายอื่น ก็จะมีสัญญาณกระดิ่งดังขึ้นที่ เครื่องถูกข่ายที่ถูกเรียก และมีสัญญาณเรียกกลับไปยังเครื่องถูกข่ายที่กำลังเรียก สัญญาณกระดิ่งจะหยุดเมื่อ เครื่องถูกข่ายที่ถูกเรียกยกหูเช่นเดียวกับการติดต่อผ่านชุมสาย เพียงแต่สัญญาณเรียกกลับและสัญญาณกระดิ่งจะแตกต่างจากชุมสาย เพื่อแยกความแตกต่างระหว่างการเรียกจากสายภายนอก และจากภายใน สำหรับการเรียกที่ไม่สำเร็จก็จะเกิดสัญญาณไม่ว่าง ซึ่งในโครงงานนี้จะอาศัยสัญญาณเรียกกลับ และสัญญาณไม่ว่าง ในการบอกให้ส่วนควบคุมทราบว่า ลูกข่ายภายในมีสถานะเป็นอย่างไร ในกรณีสัญญาณเรียกกลับ เครื่องโอนสายจะนับสัญญาณ เมื่อสัญญาณหายไปแสดงว่ามีผู้รับสาย เครื่องโอนสายจะวางสายตัวเอง เพื่อให้สายนอกถูกต่อไปยังเครื่องถูกข่าย ซึ่งขึ้นอยู่กับชนิดของ PABX ในการโอนสายด้วย แต่ถ้าไม่มีผู้รับสายเครื่องโอนสายจะนับจำนวน สัญญาณเรียกกลับ เมื่อครบจำนวนที่ตั้งไว้ ก็จะดึงสายนอกกลับโดยการปล่อยสัญญาณ FLASH เพื่อแจ้งว่า ไม่มีผู้รับสายที่ต้องการติดต่อ แต่ในกรณีสัญญาณสายไม่ว่าง เครื่องโอนสายก็จะแจ้งให้ผู้โทรเข้ามาทราบว่า สายที่ต้องการติดต่อไม่ว่าง

สัญญาณเรียกกลับและสัญญาณสายไม่ว่าง มีลักษณะเป็นสัญญาณ ความถี่ประมาณ 425 Hz โดยสัญญาณเรียกกลับ และสัญญาณสายไม่ว่าง จะมีช่วงการดัง และหยุด ไม่เท่ากันในแต่ละ PABX

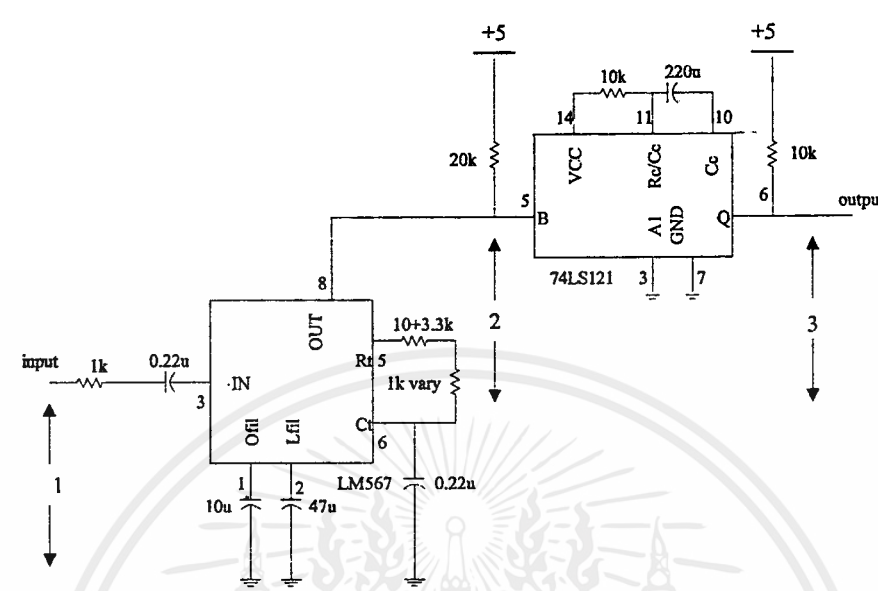
วงจรตรวจจับสัญญาณเรียกกลับ และสัญญาณสายไม่ว่าง อาศัยการทำงานของ ไอซี LM567 ซึ่งสามารถปรับจูนความถี่ได้ โดยหาความถี่ จาก $f_0 = 1.1 / RC$

f_0 เป็นความถี่ที่ขา 3

R เป็นความต้านทานระหว่างขา 5 , 6

C เป็นตัวเก็บประจุที่ขา 6

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

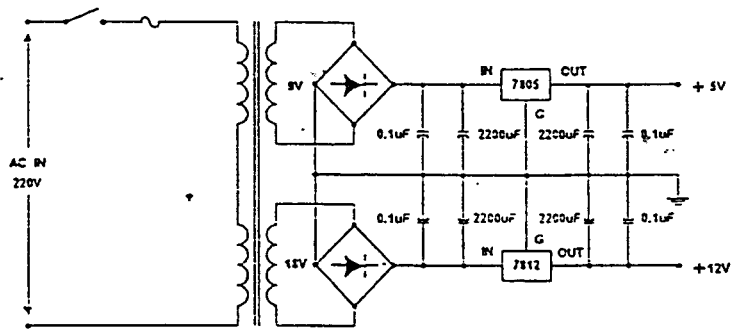
ดังนั้น ที่ความถี่ 425 Hz และตัวเก็บประจุมีค่า 0.22 ไมโครฟารัด จะได้ความต้านทาน ประมาณ 13.8 กิโลโอห์ม


รูปที่ 3.10 แสดงวงจรตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง

เมื่อมีสัญญาณความถี่ประมาณ 425 Hz เข้ามาที่ขา 3 ของ LM 567 จะทำให้เอาต์พุต ที่ขา 8 มีสถานะต่ำ แต่สำหรับสัญญาณแบบอื่นๆ จะมีสถานะสูง แต่เนื่องจากสัญญาณที่ได้จาก LM 567 จะขาดความคมชัด ของสัญญาณจึงต้องนำเข้าวงจรหน่วงเวลา แล้วให้เอาต์พุตที่ได้ต่อไปยังส่วนประมวลผล เพื่อแยกความแตกต่าง ระหว่างสัญญาณไม่ว่าง และสัญญาณเรียกกลับต่อไป โดยอาศัยช่วงเวลาของสัญญาณที่ต่างกัน

3.6 ภาคจ่ายไฟเลี้ยง

วงจรภาคจ่ายไฟเลี้ยงประกอบด้วย หม้อแปลงสำหรับลดแรงดันไฟสลับจาก 220 V เหลือ 12 V และ 9 V ผ่านไปยังวงจรบริดจ์เรกติไฟเออร์ เพื่อเปลี่ยนแรงดันไฟสลับให้เป็นแรงดันไฟตรง จากนั้นถูกกรองกระแส ด้วยค่าคาปาซิเตอร์ 2200 μF และถูกควบคุมแรงดันด้วยไอซีเรกูเลเตอร์เบอร์ 7805 และ 7812 เพื่อให้ แรงดันไฟเลี้ยงวงจร 5 V_{DC} และ 12 V_{DC} โดยไอซีสองตัวนี้จะให้กระแสสูงสุด 1 A แรงดันไฟตรงที่ผ่านวงจร เรกูเลเตอร์แล้ว จะผ่านวงจรกรองกระแสอีกครั้งหนึ่งเพื่อให้กระแสเรียบยิ่งขึ้น ส่วนคาปาซิเตอร์ค่า 0.1 μF มีไว้เพื่อป้องกันสัญญาณรบกวน วงจรภาคจ่ายไฟแสดงดังรูป 3.11



รูปที่ 3.11 วงจรจ่ายไฟเลี้ยง

3.7 ส่วนควบคุมและประมวลผล

ในส่วนนี้จะใช้ ไมโครคอนโทรลเลอร์ MCS-51 โดยจะใช้เป็นบอร์ด ANT-31PJ ซึ่งมีวงจรแสดง ดังใน ภาพผนวกท้ายเล่ม โดยมีลักษณะการใช้งานดังนี้

ภาคอินเตอร์เฟสกับคู่สาย

- มีสัญญาณตรวจจับกริ่ง จะถูกต่อเข้ายัง INTO ของ MCS-51
- มีการส่งสัญญาณเพื่อทำ Loop Line จะถูกต่อเข้า PC0 ของ 8255

ภาคตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ

- มีสัญญาณที่ตรวจจับได้ จะถูกต่อเข้า PA0 ของ 8255

ภาคส่งสัญญาณเสียง

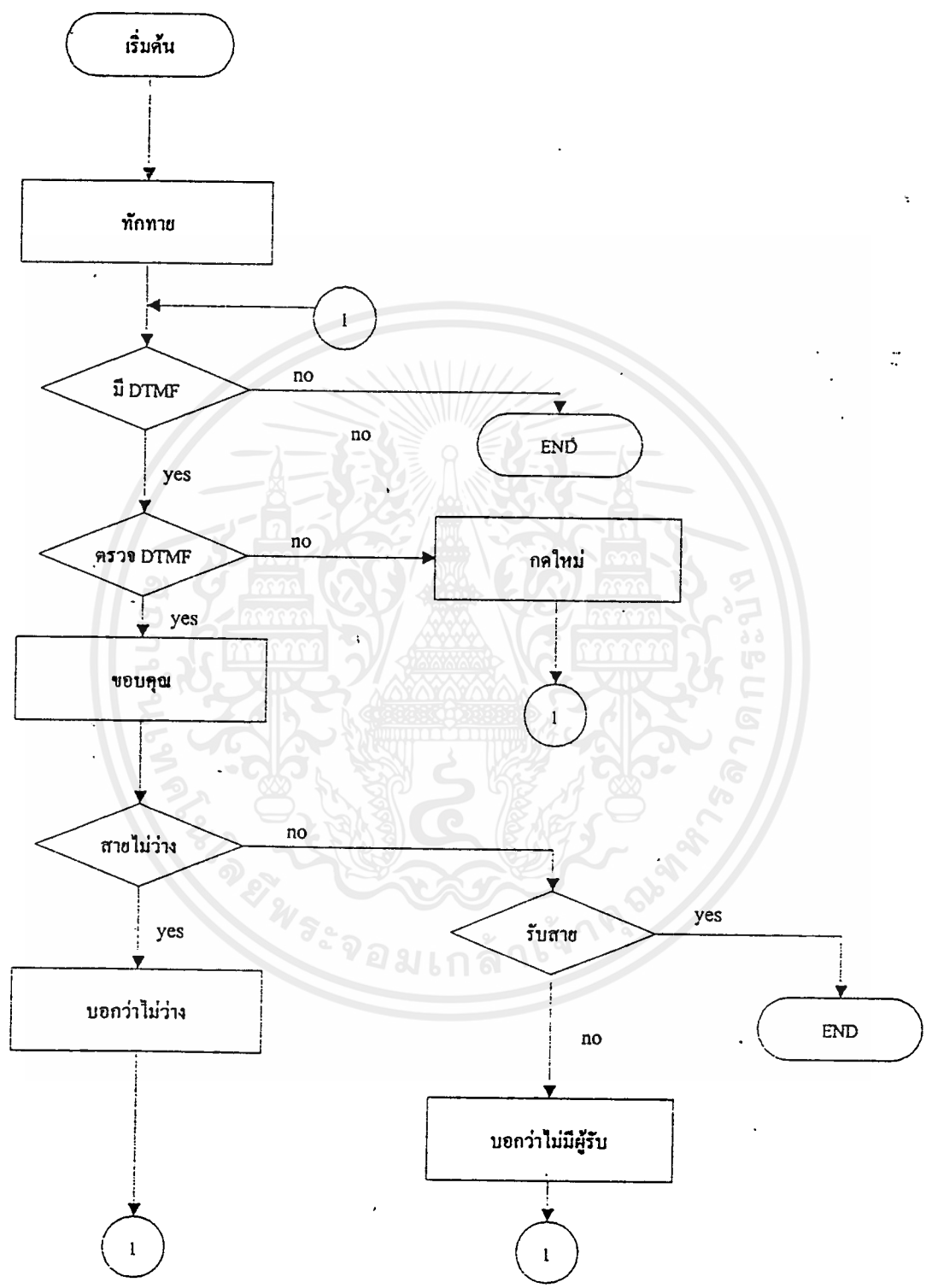
- มีการส่งสัญญาณให้เล่นกลับ จะถูกต่อเข้า PC1
- มีการส่งสัญญาณบอกแอดเดรส จะถูกต่อเข้า PC2

ภาครับส่ง DTMF

- มีการรับส่งแอดเดรส(D0-D3) จะถูกต่อเข้ากับ P0.0-P0.3 หรือ PB0-PB3
- มีสัญญาณ IRQ/CP จะถูกต่อเข้ากับ INT1
- มีการส่งสัญญาณ RS0 จะถูกต่อเข้ากับ PC3
- มีการส่งสัญญาณ CS จะถูกต่อเข้ากับ PC4
- มีการส่งสัญญาณอ่าน-เขียนข้อมูล จะถูกต่อเข้ากับ PC5 และ PC6 ตามลำดับ

และได้ทำการเขียนโปรแกรมตาม ไฟล์ชาร์ต และ เมมโมรีแมป ดังนี้

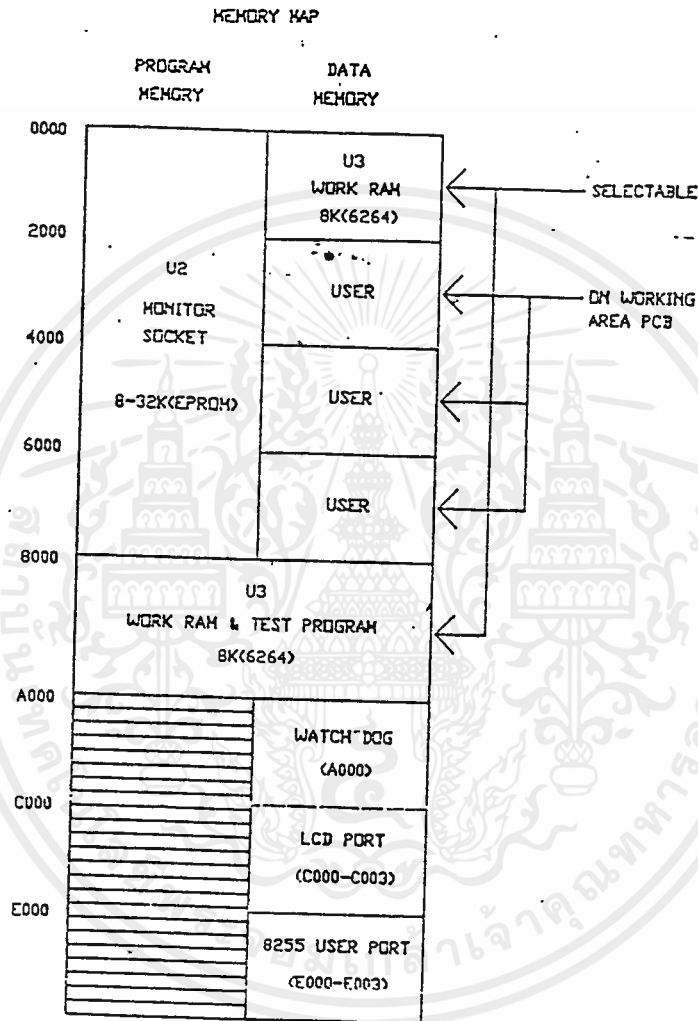
3.7.1 โฟว์ชาร์ตการทำงาน



รูปที่ 3.12 โฟว์ชาร์ตการทำงานของเครื่องโอนสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.2 เมมโมรีแมป และ ไอโอแมป



รูปที่ 3.13 แสดงเมมโมรีแมปและไอโอแมป

PORT A	E000 H
PORT B	E001 H
PORT C	E002 H
CONTROL	E003 H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

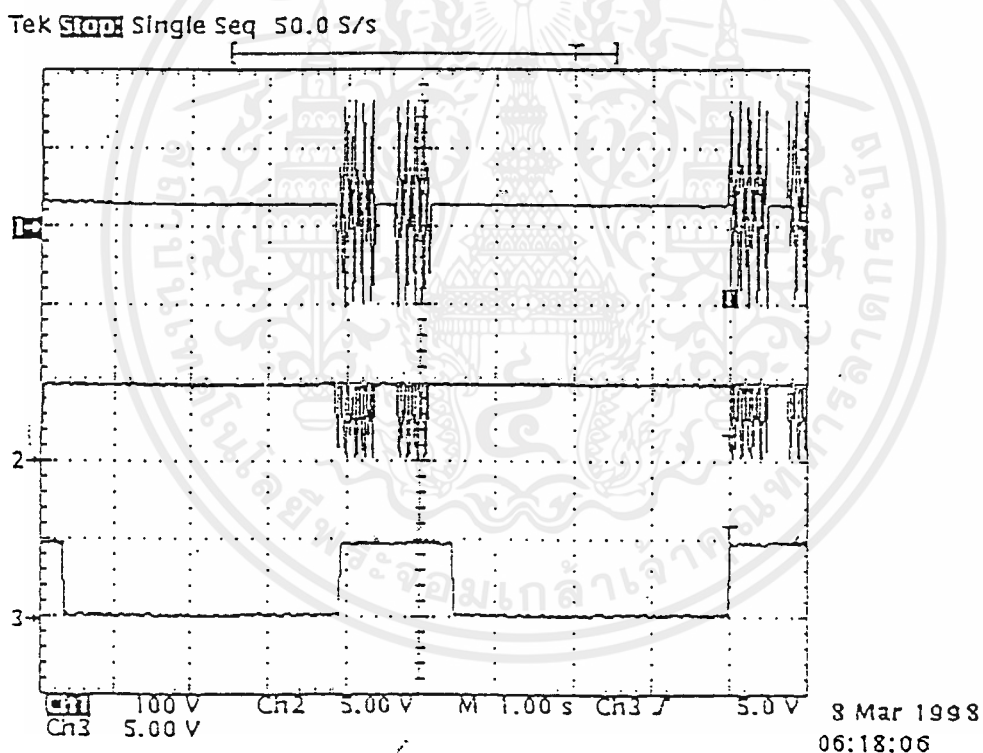
การทดลองที่ได้ทำเพิ่มเติมคือ

1. ส่วนของภาคเชื่อมต่อกับสายโทรศัพท์และส่วนตรวจจับสัญญาณกระดิ่ง
2. ส่วนรับส่งสัญญาณ DTMF
3. ส่วนตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง

4.1 ผลการทดลองของส่วนเชื่อมต่อกับสายโทรศัพท์และส่วนตรวจจับสัญญาณกระดิ่ง

จากวงจร ของ ส่วนนี้ได้ทำการทดลองวัดสัญญาณกระดิ่งที่ตรวจจับได้ซึ่งได้ผลการทดลองดัง

รูป 4.1

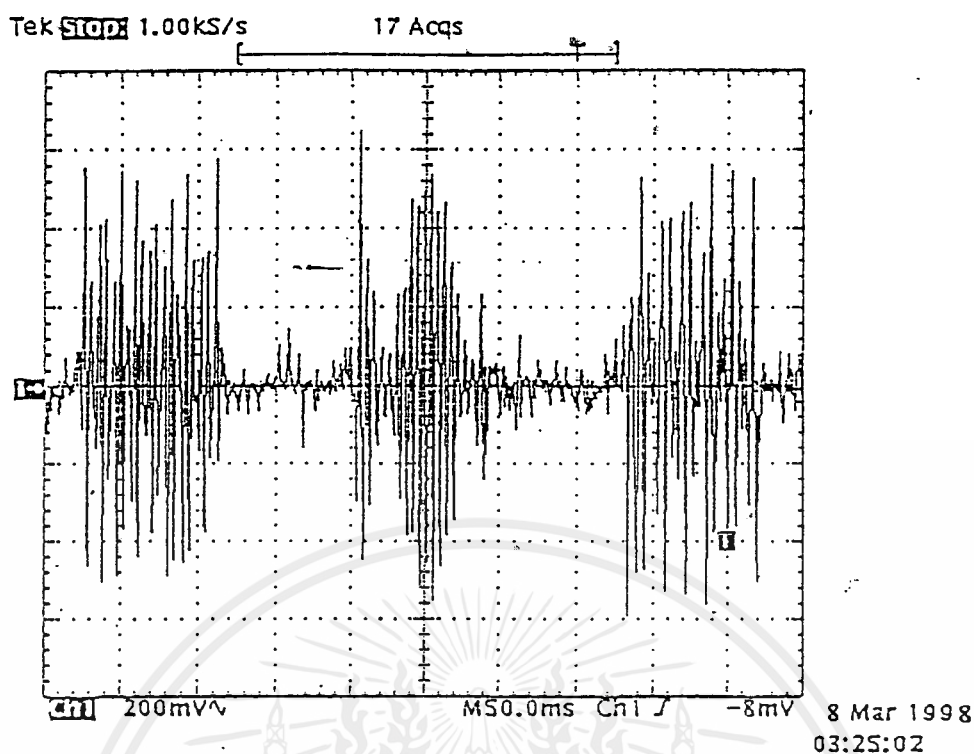


รูปที่ 4.1 แสดงสัญญาณที่ได้จากการตรวจจับเสียงกริ่ง

4.2 ผลการทดลองของส่วนรับส่งสัญญาณ DTMF

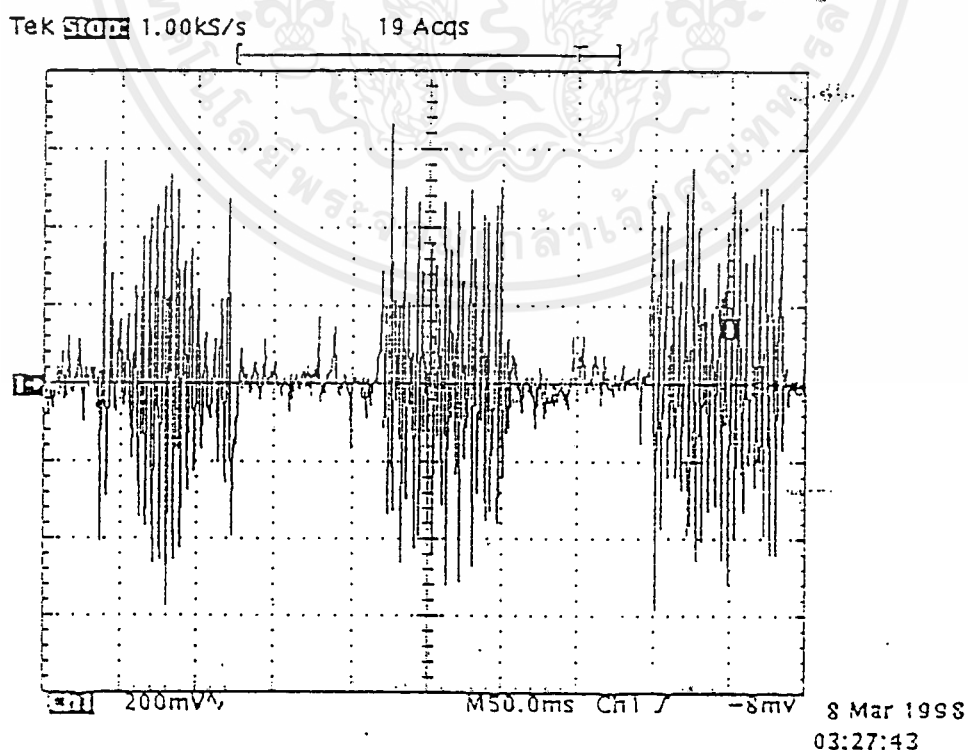
การทดลองหลังจากที่ได้ กำหนดโปรแกรมที่ใช้ และเซตไอซีให้เป็นโมดรับและคอย DTMF ซึ่งจะทำให้การตรวจจับและ แปลงเป็นรหัสไบนารี 4 บิต ซึ่งทำการป้อนสัญญาณดังรูป 4.2 , 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงสัญญาณDTMFหมายเลข 1 4 7

ในรูปที่ 4.2 เป็นสัญญาณ DTMF ที่ซึ่งถูกส่งไปเก็บในหน่วยความจำ ส่วนรูปที่ 4.3 แสดงสัญญาณ DTMF ที่ ไอซี MT 8888 สามารถตรวจจับได้ถึงแม้ว่าคาบ และช่วงห่างของสัญญาณจะมีขนาดน้อยมาก ประมาณ 0.1 วินาที

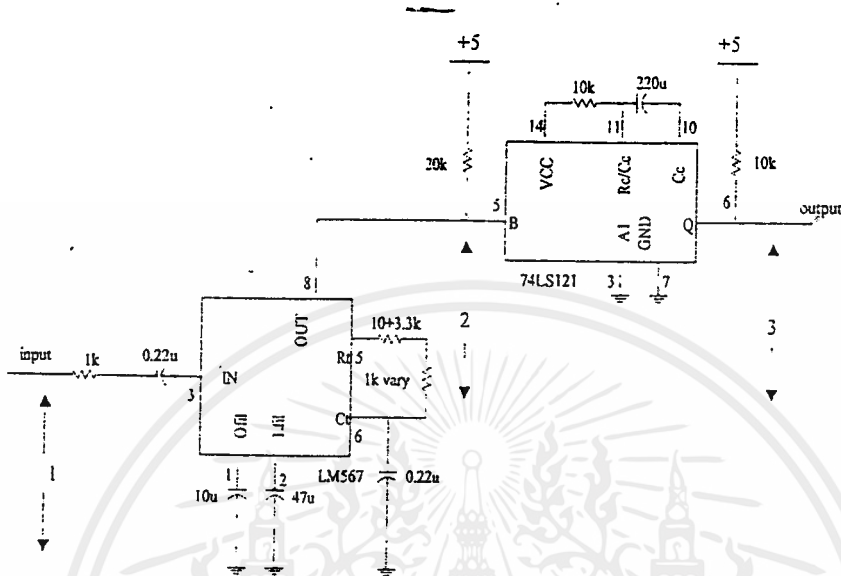


รูปที่ 4.3 แสดงสัญญาณDTMFหมายเลข 4 5 6

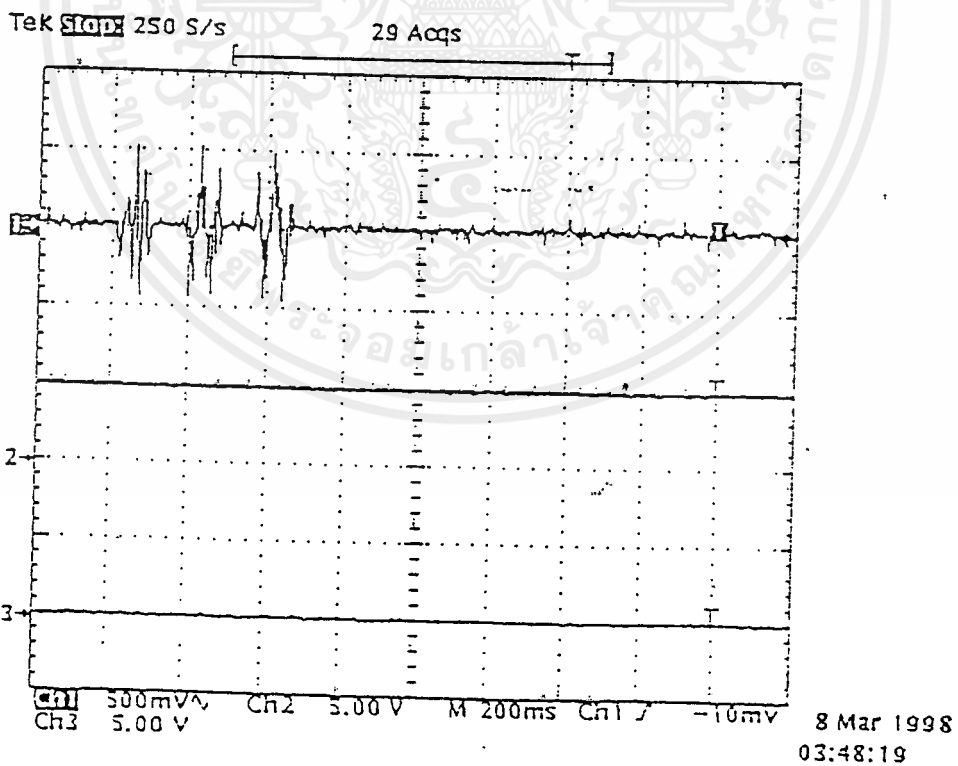
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองของส่วนตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง

หลังจากที่ได้ต่อวงจรแล้วก็ทำการป้อนสัญญาณ DTMF แล้วดูผลของวงจรซึ่งยังไม่มีการเปลี่ยนแปลง ในช่วงแรกที่ป้อนสัญญาณ

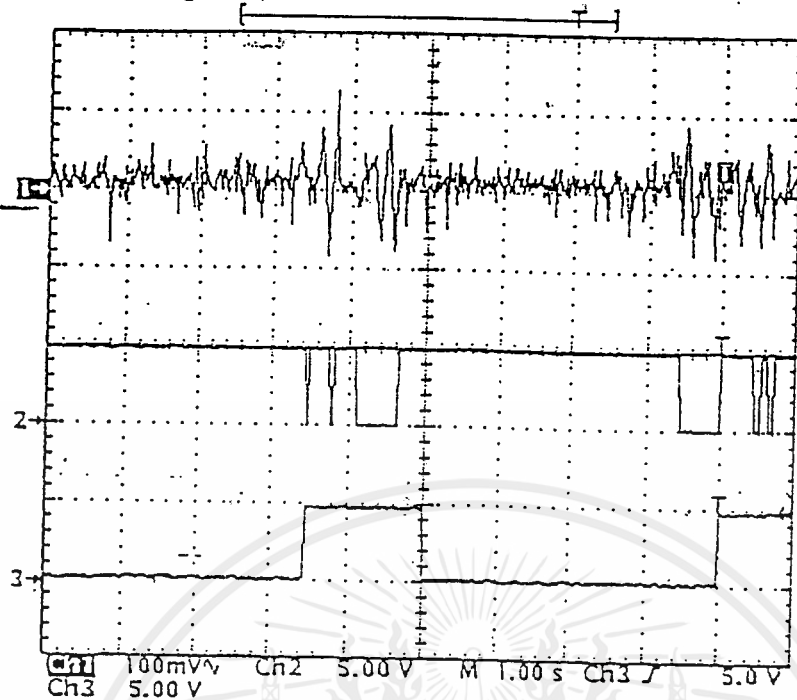


รูปที่ 4.4 วงจรตรวจจับสัญญาณเรียกกลับและสัญญาณสายไม่ว่าง

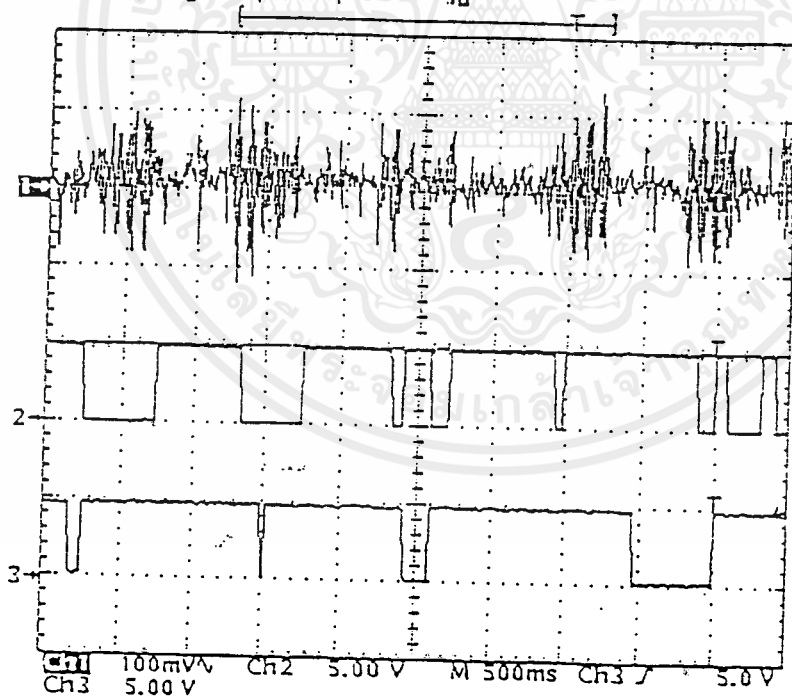


รูปที่ 4.5 แสดงเอาต์พุตที่ได้จากการป้อนสัญญาณ DTMF

แต่เมื่อมีสัญญาณเรียกกลับเข้ามาจะปรากฏผลดังรูป 4.6 ในส่วนของสัญญาณสายไม่ว่างจะมีผลดังรูปที่ 4.7 ซึ่งการ โปรแกรมสามารถแยกสัญญาณได้โดยตรวจสอบช่วงเวลา
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tek **Stop** Single Seq 50.0 S/s8 Mar 1998
06:32:27

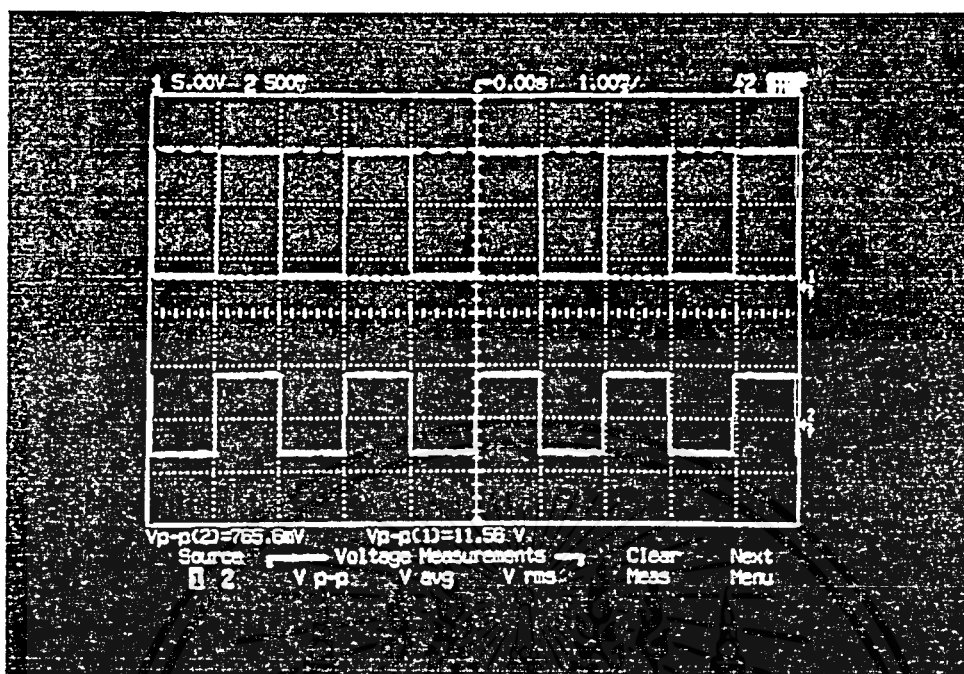
รูปที่ 4.6 แสดงสัญญาณเรียกกลับและเอาท์พุทที่ได้

Tek **Stop** Single Seq 1 Sample8 Mar 1998
06:38:37

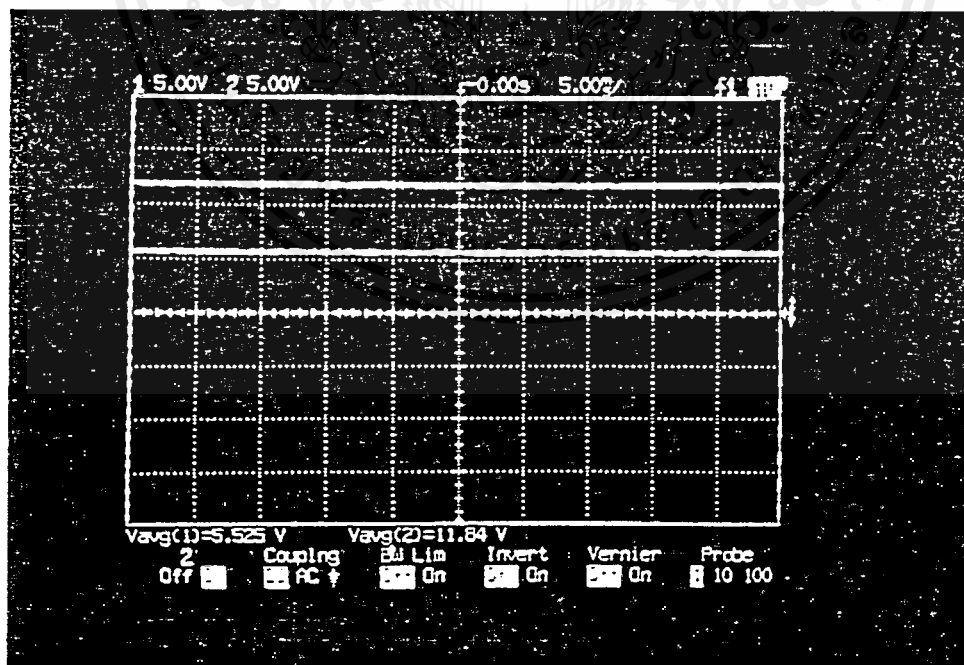
รูปที่ 4.7 แสดงสัญญาณสายไม่ว่างและเอาท์พุทที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองแสดงสัญญาณอื่นๆ

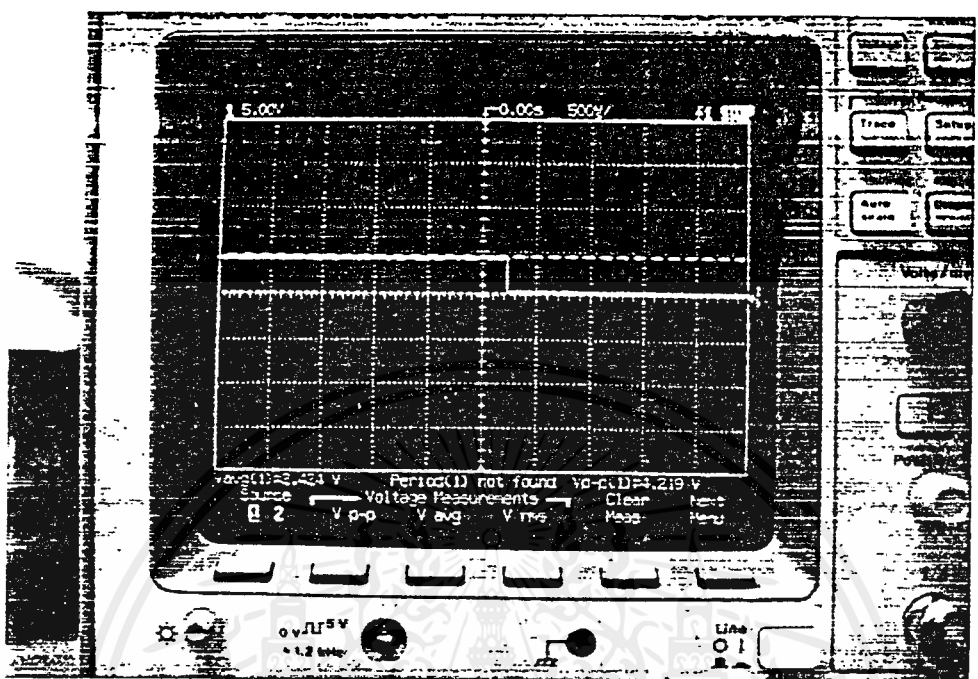


รูปที่ 4.8 แสดงขนาดของสัญญาณที่ผ่านการขยายด้วย LM386



รูปที่ 4.9 แสดงระดับแรงดันของภาคจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงระดับสัญญาณที่เปลี่ยนเนื่องจากการLoop Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและบทวิจารณ์

หลังจากที่ได้ทำการศึกษาหัวข้อโครงการ จนเข้าใจถึงหลักการทำงานและขอบเขตการทำงาน ทั้งหมดของอุปกรณ์ แล้วจึงเริ่มทำการแบ่งแยกการทำงาน ซึ่งแบ่งได้เป็น 7 ส่วนดังนี้

1. ส่วนควบคุมและประมวลผล
2. ส่วนตรวจจับสัญญาณกระดิ่ง
3. ส่วนสัญญาณเสียงตอบรับ
4. ส่วนรับสัญญาณคู่ความถี่
5. ส่วนส่งสัญญาณคู่ความถี่
6. ส่วนตรวจจับสัญญาณเรียกกลับ และสัญญาณสายไม่ว่าง
7. ส่วนเชื่อมต่อกับสายโทรศัพท์

เมื่อแบ่งแยกส่วนย่อยได้แล้ว ก็เขียนโคอะแกรมแสดงการเชื่อมต่อ ในแต่ละส่วนของ เครื่องโอนสาย โทรศัพท์ หลังจากนั้นจึงเขียน ไฟว์ชาร์ต แสดงขั้นตอนการทำงานตามลำดับ ตั้งแต่เริ่มรับสัญญาณกระดิ่ง จนกระทั่งสิ้นสุดการสนทนา ส่วน ไฟว์ชาร์ต จะนำไปใช้ประกอบการเขียนโปรแกรม

ขั้นตอนต่อไปก็คือขั้นตอน การออกแบบวงจร สิ่งสำคัญที่ต้องคำนึงถึงคือ จะนำอุปกรณ์ อิเล็กทรอนิกส์ โค มาใช้เพื่อให้เกิดความเหมาะสม สะดวกและประหยัดมากที่สุด สำหรับอุปกรณ์หลักที่นำมาใช้ในแต่ละส่วนมีดังนี้

1. ส่วนควบคุมและประมวลผล ใช้ไมโครคอนโทรลเลอร์ MCS-51
2. ส่วนตรวจจับสัญญาณกระดิ่ง และ ส่วนเชื่อมต่อกับสายโทรศัพท์ ใช้ไอซี MH88632
3. ส่วนตรวจจับสัญญาณเรียกกลับ และสัญญาณสายไม่ว่าง ใช้ไอซี LM567
4. ส่วนสัญญาณเสียงตอบรับใช้ไอซี ISD 1420
5. ส่วนรับส่งสัญญาณคู่ความถี่ใช้ไอซี MT8888

ซึ่งได้ทำการปรับปรุง วงจรจากทอมที่แล้วโดยทำให้ขนาดของวงจรมีขนาดเล็กลงและมีประสิทธิภาพการทำงานมากขึ้น และได้เพิ่มส่วนของ ส่วนตรวจจับสัญญาณเรียกกลับ และสัญญาณสายไม่ว่างด้วย หลังจากนั้นจึงทำการทดลอง และเขียนโปรแกรมต่อไป

ปัญหาและการแก้ไข

1. ปัญหาที่เกิดจากไอซี MH 88632 เนื่องจากการค้างของรีเลย์ที่ต่อกับไอซี ซึ่งได้ทำการแก้ไขโดยต่อรีเลย์ผ่าน ทรานซิสเตอร์ แต่ไม่ต่อกับ ขาLRD ของ MH 88632 และใช้พอร์ทของ 8255 ทำการควบคุมแทน
2. ถ้ามีความต้องการจะเพิ่มขนาดของหน่วยความจำก็สามารถทำได้โดยต่อเพิ่มวงจรของไอซี ISD 1420 และต่อเข้ากับพอร์ทของ 8255 และทำการแก้ไขโปรแกรมบางส่วน หรือจะเปลี่ยนตัวไอซีเป็นISD2590 ซึ่งจะมีช่วงเวลาการบันทึกยาวนานกว่า คือ ประมาณ 90 วินาที



ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

con      equ      0e003h
porta    equ      0e000h      ;bit 1 control hang up
portb    equ      0e001h      ;out dtmf BCD
portc    equ      0e002h      ;upper in ring dedect and Lower in
;
port374  equ      4000h
wordcon  equ      83h
dtmfDET  equ      0f4h
dtmftrn  equ      0f8h
pmsgcom  equ      17h
stopmsg  equ      0ffh
pmsgnew  equ      57h
pmsgstk  equ      97h
upl      equ      90h      ;up with disable 374
ena374   equ      80h      ;up with enable 374
down     equ      10h
tbuf1    equ      30h
del      equ      31h
msg       equ      32h
back     equ      33h
koyl     equ      34h
sec5     equ      0ch
sec1     equ      03h
sec20    equ      40h

org      0000h
ljmp     initial

org      0003h
ljmp     int_0

org      0100h

initial:
mov      a,#wordcon
mov      dptr,#con
movx     @dptr,a
mov      koyl,#00h
setb     ea
setb     it0
setb     ex0

start:
mov      a,#down      ;sure hang down
mov      dptr,#portc
movx     @dptr,a

mov      dptr,#portb      ;input ring detect
movx     a,@dptr
anl      a,#02h      ;bit 2 portb normal 1 after 0
cjne     a,#00,start

hang_up:
mov      del,#sec5
lcall    delay
mov      dptr,#portc
mov      a,#upl
movx     @dptr,a

```

```

;----- msg come -----
    mov     msg,#01h
    lcall   play

    sjmp    $

int_0:
;----- msg new -----
    mov     msg,#02h
    lcall   play

    mov     msg,#01h           ;stop msg
    lcall   stop
    mov     dptr,#porta
    mov     a,#dtmfdet
    movx    @dptr,a
    mov     dptr,#portc
    movx    a,@dptr

    anl     a,#0fh

    cjne    a,#01h,c2
    sjmp    store

c2:
    cjne    a,#02h,c3
    sjmp    store

c3:
    cjne    a,#03h,c4
    sjmp    store

c4:
    cjne    a,#04h,c5
    sjmp    store

c5:
    cjne    a,#05h,c6
    sjmp    store

c6:
    cjne    a,#06h,c7
    sjmp    store

c7:
    cjne    a,#07h,c8
    sjmp    store

c8:
    cjne    a,#08h,c9
    sjmp    store

c9:
    cjne    a,#09h,int_0
    sjmp    store

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

store:  mov     tbuf1,a

        mov     msg,#03h
        lcall   play

        lcall   pabx

        reti

pabx:   push     acc
        push     psw

        mov     a,#00h
        mov     dptr,#portc
        movx    @dptr,a
        mov     del,#sec1
        lcall   delay
        mov     a,#ena374
        movx    @dptr,a
        mov     dptr,#porta
        mov     a,#dtmftrn
        movx    @dptr,a
        mov     dptr,#port374
        mov     a,#tbuf1
        movx    @dptr,a
        mov     del,#sec1
        lcall   delay
        mov     a,#up1
        mov     dptr,#portc
        movx    @dptr,a
        lcall   back_busy
        mov     a,back
        cjne    a,#01h,busyl
        mov     dptr,#portb
ftp:    mov     a,koy1
        cjne    a,#12h,get
        ajmp    wet
get:    movx    a,@dptr
        anl     a,#04h
        cjne    a,#00h,ftp
        mov     del,#05h
        lcall   delay
        inc     koy1
        movx    a,@dptr
        anl     a,#04h
        cjne    a,#00h,ftp

wet:    lcall   vang
        sjmp    hey

busyl:  lcall   vang
        mov     msg,#04h
        lcall   play

hey:    pop     psw
        pop     acc

        ret

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

delay:      push    acc
            push    psw

            mov     r5,del
delay3:     mov     r6,#00h
delay2:     mov     r7,#00h
delay1:     nop
            nop
            djnz    r7,delay1
            djnz    r6,delay2
            djnz    r5,delay3

            pop     psw
            pop     acc

            ret

play:       push    acc
            push    psw

play1:      mov     r5,msg
            mov     dptr,#porta
            mov     a,#0c4h
            movx    @dptr,a
            mov     del,#sec1
            lcall   delay
            mov     a,#44h
            movx    @dptr,a
            lcall   delay
            djnz    r5,play1
            mov     a,#44h
            movx    @dptr,a

end_msg:    mov     dptr,#portb
            movx    a,@dptr
            anl     a,#01h,end_msg

res:        mov     a,#0e4h
            movx    @dptr,a

            pop     psw
            pop     acc

            ret

stop:       push    acc
            push    psw

            mov     r5,msg

```

```

stop1:    mov     dptr,#porta
          mov     a,#0c4h
          movx    @dptr,a
          mov     del,#sec1
          lcall   delay
          mov     a,#44h
          movx    @dptr,a
          lcall   delay
          djnz    r5,stop1
          mov     a,#44h
          movx    @dptr,a

```

```

rs:       mov     a,#0e4h
          movx    @dptr,a

          pop     psw
          pop     acc

          ret

```

```

back_busy:

```

```

          push    acc
          push    psw

agl:      mov     dptr,#portb
          movx    a,@dptr
          anl     a,#04h,agl
          mov     del,#sec1
          lcall   delay
          movx    a,@dptr
          anl     a,#04h,busy
          mov     back,#01h
busy:     mov     back,#02h

```

```

          pop     psw
          pop     acc

          ret

```

```

vang:     push    acc
          push    psw

          mov     del,#00h
          lcall   delay
          mov     dptr,#portc
          mov     a,#00h
          movx    @dptr,a
          mov     del,#sec1
          lcall   delay
          mov     a,#up1
          movx    @dptr,a

          pop     psw
          pop     acc

          ret

```

```

end

```

DATA SHEET

80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L - CMOS SINGLE-CHIP 8-BIT MICROCONTROLLER with factory mask-programmable RCM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/O
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJ1 VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

DESCRIPTION

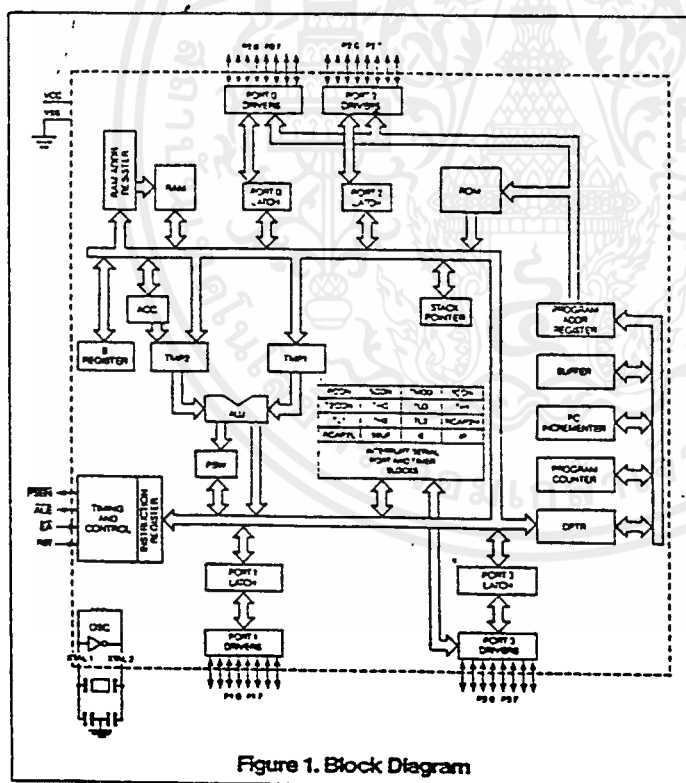


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μ C and is manufactured using a self-aligned silicon gate CMOS process (SAJ1 VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:

Commercial 0°C to 70°C

Industrial - 40°C to 85°C

Storage Temperature - 65°C to + 150°C

Voltage on VCC to VSS - 0.5V to + 7V

Voltage on Any Pin to VSS - 0.5V to VCC + 0.5V

Power Dissipation 1W*

*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

***NOTICE:**

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = - 40°C to 85°C; VCC = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	- 0.5	0.2 VCC - 0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 VCC + 0.9	VCC + 0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 VCC	VCC + 0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 VCC	VCC + 0.5	V	
VPD	Power Down Voltage To VCC in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, PSEN		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 VCC		V	IOH = - 10µA
		2.4		V	IOH = - 60µA VCC = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, PSEN	0.9 VCC		V	IOH = - 40µA
		2.4		V	IOH = - 400µA VCC = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		- 50	µA	Vin = 0.45V
ILI	Input Leakage Current		± 10	µA	0.45 < Vin < VCC
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		- 500	µA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	µA	VCC = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	fC = 1MHz, TA = 25°C

Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the VOLS of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0

transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi VOL peak 0.6V. A Schmitt Trigger use is not necessary.

Table 1. MCS[®]-51 Instruction Set Description

ARITHMETIC OPERATIONS				
Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Increment indirect RAM	1	1
INC	DPTR	Increment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1
LOGICAL OPERATIONS				
Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

Table 1. (Cont.)

DATA TRANSFER			
Mnemonic		Description	Byte Cyc
MOV	A,Rn	Move register to Accumulator	1 1
MOV	A,direct	Move direct byte to Accumulator	2 1
MOV	A,@Ri	Move indirect RAM to Accumulator	1 1
MOV	A,#data	Move immediate data to Accumulator	2 1
MOV	Rn,A	Move Accumulator to register	1 1
MOV	Rn,direct	Move direct byte to register	2 2
MOV	Rn,#data	Move immediate data to register	2 1
MOV	direct,A	Move Accumulator to direct byte	2 1
MOV	direct,Rn	Move register to direct byte	2 2
MOV	direct,direct	Move direct byte to direct	3 2
MOV	direct,@Ri	Move indirect RAM to direct byte	2 2
MOV	direct,#data	Move immediate data to direct byte	3 2
MOV	@Ri,A	Move Accumulator to indirect RAM	1 1
MOV	@Ri,direct	Move direct byte to indirect RAM	2 2
MOV	@Ri,#data	Move immediate data to indirect RAM	2 1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3 2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1 2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1 2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1 2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1 2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1 2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1 2
PUSH	direct	Push direct byte onto stack	2 2
POP	direct	Pop direct byte from stack	2 2
XCH	A,Rn	Exchange register with Accumulator	1 1
XCH	A,direct	Exchange direct byte with Accumulator	2 1
XCH	A,@Ri	Exchange indirect RAM with A	1 1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1 1
BOOLEAN VARIABLE MANIPULATION			
Mnemonic		Description	Byte Cyc
CLR	C	Clear Carry flag	1 1
CLR	bit	Clear direct bit	2 1
SETB	C	Set Carry flag	1 1
SETB	bit	Set direct Bit	2 1
CPL	C	Complement Carry flag	1 1
CPL	bit	Complement direct bit	2 1
ANL	C,bit	AND direct bit to Carry flag	2 2
ANL	C,1 bit	AND complement of direct bit to Carry	2 2
ORL	C,bit	OR direct bit to Carry flag	2 2
ORL	C,1 bit	OR complement of direct bit to Carry	2 2
MOV	C,bit	Move direct bit to Carry flag	2 1
MOV	bit,C	Move Carry flag to direct bit	2 2
PROGRAM AND MACHINE CONTROL			
Mnemonic		Description	Byte Cyc
ACALL	addr 11	Absolute Subroutine Call	2 2
LCALL	addr 16	Long Subroutine Call	3 2
RET		Return from subroutine	1 2
RETI		Return from interrupt	1 2
AJMP	addr 11	Absolute Jump	2 2
LJMP	addr 16	Long Jump	3 2
SJMP	rel	Short Jump (relative addr)	2 2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1 2
JZ	rel	Jump if Accumulator is Zero	2 2
JNZ	rel	Jump if Accumulator is Not Zero	2 2
JC	rel	Jump if Carry flag is set	2 2
JNC	rel	Jump if No Carry flag	2 2

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)				
Mnemonic		Description	Byte	Cyc
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data,rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct,rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

- Rn - Working register R0-R7
 direct - 128 internal RAM locations, any I/O port, control or status register
 @Ri - Indirect internal RAM location addressed by register R0 or R1
 #data - 8-bit constant included in instruction
 #data 16 - 16-bit constant included as bytes 2 & 3 of instruction
 bit - 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

- addr 16 - Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
 Addr 11 - Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
 rel - SJMP and all conditional jumps include an 8-bit offset byte. Range is +127 -128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979



9161-002-166-NA

ISSUE 1

July 1993

Ordering Information

MT8888CE/CE-1	20 Pin Plastic DIP
MT8888CC/CC-1	20 Pin Ceramic DIP
MT8888CS/CS-1	20 Pin SOIC

-40°C to +85°C

- Central office quality DTMF transmitter/receiver
- Low power consumption
- High speed Intel micro interface
- Adjustable guard time
- Automatic tone burst mode
- Call progress tone detection to -30dBm

The receiver section is based upon the industry standard MT8870 DTMF receiver while the transmitter utilizes a switched capacitor D/A converter for low distortion, high accuracy DTMF signalling. Internal counters provide a burst mode such that tone bursts can be transmitted with precise timing. A call progress filter can be selected allowing a microprocessor to analyze call progress tones.

- Credit card systems
- Paging systems
- Repeater systems/mobile radio
- Interconnect dialers
- Personal computers

The MT8888C utilizes an Intel micro interface, which allows the device to be connected to a number of popular microcontrollers with minimal external logic. The MT8888C-1 is functionally identical to the MT8888C except the receiver is enhanced to accept lower level signals, and also has a specified low signal rejection level.

The MT8888C is a monolithic DTMF transceiver with a progress filter. It is fabricated in CMOS technology offering low power consumption and high reliability.

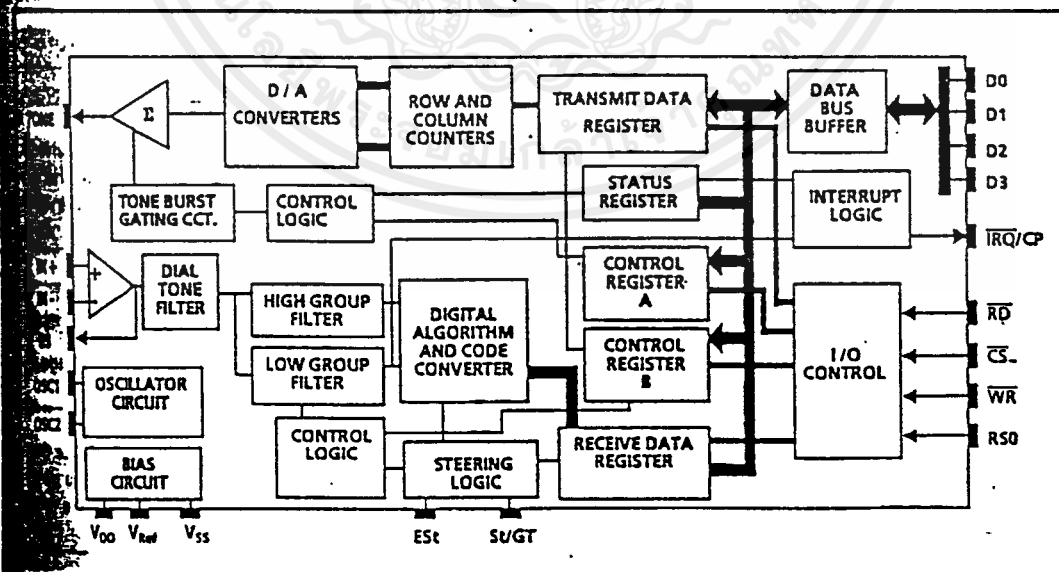


Figure 1- Functional Block Diagram

MT8888C/MT8888C-1

applications, leaving R1 to be selected by the designer. Different steering arrangements may be used to select independent tone present (t_{GTP}) and tone absent (t_{GTA}) guard times. This may be necessary to meet system specifications which place both accept and reject limits on tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity.

Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain a valid signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 6. The receiver timing is shown in Figure 7 with a description of the events in Figure 9.

Call Progress Filter

A call progress mode, using the MT8888C/MT8888C-1, can be selected allowing the detection of various tones, which identify the progress of a telephone call on the network. The call progress tone input and DTMF input are common, however, call progress tones can only be detected when CP mode has been selected. DTMF signals cannot be

detected if CP mode has been selected (see Table 7). Figure 8 indicates the useful detect bandwidth of the call progress filter. Frequencies presented to the input, which are within the 'accept' bandwidth limits of the filter, are hard-limited by a high gain comparator with the $\overline{IRQ}/CP$ pin serving as the output. The squarewave output obtained from the schmitt trigger can be analysed by a microprocessor or counter arrangement to determine the nature of the call progress tone being detected. Frequencies which are in the 'reject' area will not be detected and consequently the $\overline{IRQ}/CP$ pin will remain low.

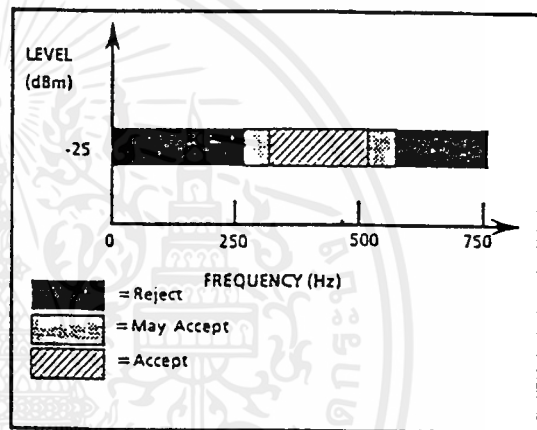


Figure 8 - Call Progress Response

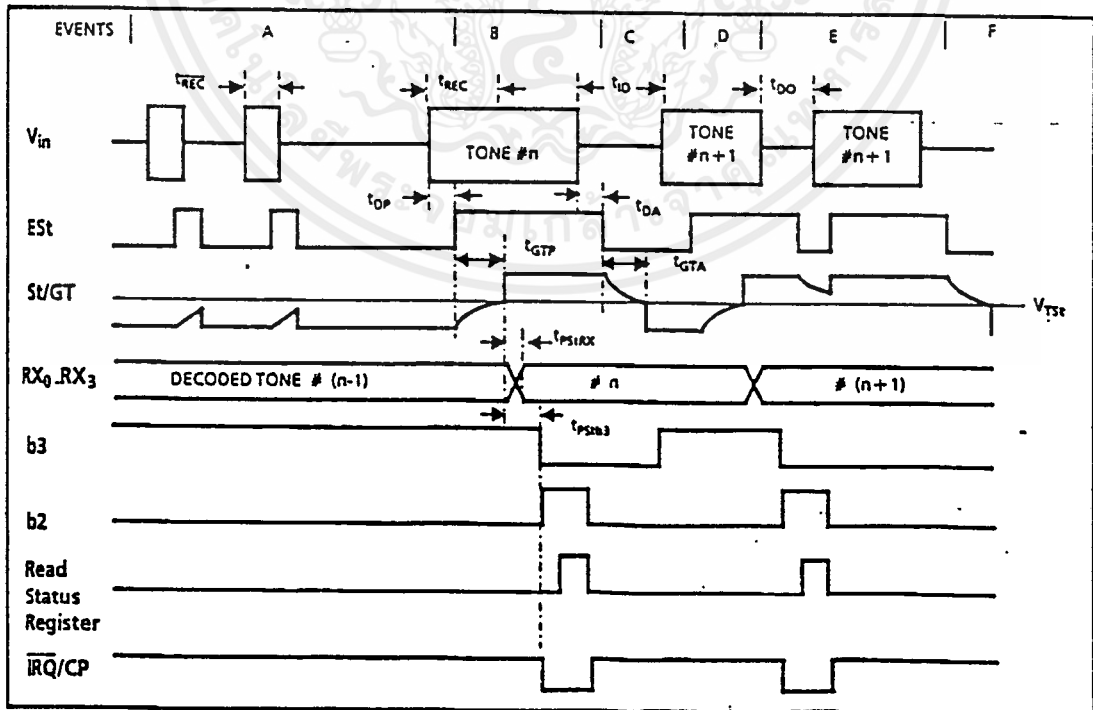


Figure 7 - Receiver Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (Est) output will go to an active state. Any subsequent loss of signal condition will cause Est to assume an inactive state.

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by Est. A logic high on Est causes v_c (see Figure 5) to rise as the capacitor discharges. Provided that the signal condition is maintained (Est remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TS}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the Receive Data Register. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as Est remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag goes high, signalling that a received tone pair has been registered. The status of the delayed steering flag can be monitored by checking the appropriate bit in the status register. If Interrupt mode has been selected, the IRQ/CP pin will pull low when the delayed steering flag is active.

The contents of the output latch are updated on an active delayed steering transition. This data is presented to the four bit bidirectional data bus when the Receive Data Register is read. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

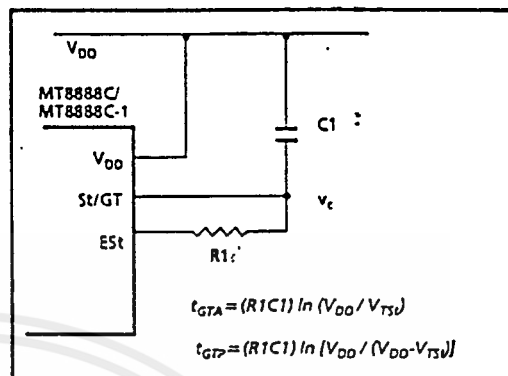


Figure 5 - Basic Steering Circuit

Guard Time Adjustment

The simple steering circuit shown in Figure 5 is adequate for most applications. Component values are chosen according to the following inequalities (see Figure 7):

$$\begin{aligned} t_{REC} &\geq t_{DPmax} + t_{GTPmax} - t_{DAmin} \\ t_{REC} &\leq t_{DPmin} + t_{GTPmin} - t_{DAmax} \\ t_{ID} &\geq t_{DAmax} + t_{GTmax} - t_{DPmin} \\ t_{DO} &\leq t_{DAmin} + t_{GTmin} - t_{DPmax} \end{aligned}$$

The value of t_{DP} is a device parameter (see AC Electrical Characteristics) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for $C1$ of $0.1 \mu F$ is recommended for most

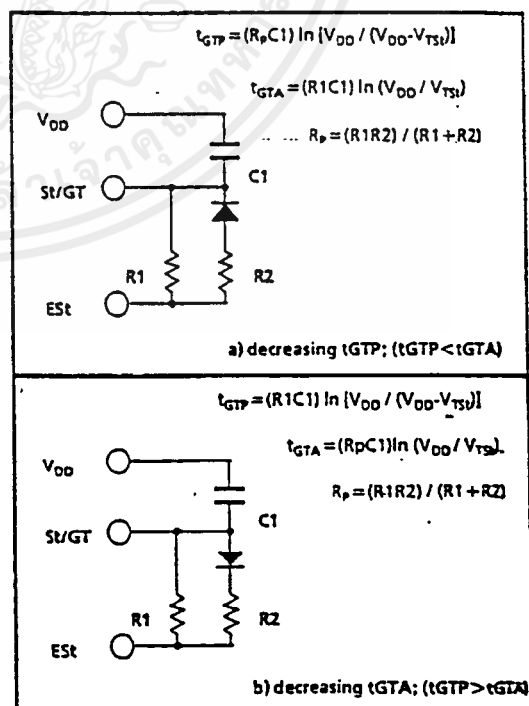


Figure 6 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

Functional Description

The MT8888C/MT8888C-1 Integrated DTMF Transceiver consists of a high performance DTMF receiver with an internal gain setting amplifier and a DTMF generator which employs a burst counter to synthesize precise tone bursts and pauses. A call progress mode can be selected so that frequencies within the specified passband can be detected. The Intel micro interface allows microcontrollers, such as the 8080, 80C31/51 and 8085, to access the MT8888C/MT8888C-1 internal registers.

Input Configuration

The input arrangement of the MT8888C/MT8888C-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}), which is used to bias the inputs at $V_{DD}/2$. Provision is made for connection of a feedback resistor to the op-amp output (GS) for gain adjustment. In a single-ended configuration, the input pins are connected as shown in Figure 3.

Figure 4 shows the necessary connections for a differential input configuration.

Receiver Section

Separation of the low and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies (see Table 1). These filters incorporate notches at 350 Hz and 440 Hz for exceptional dial tone rejection. Each filter output is followed by a single order switched capacitor filter section, which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

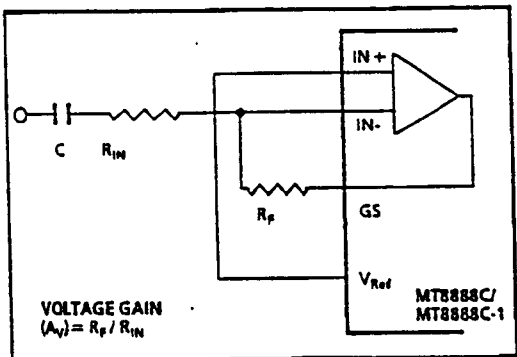


Figure 3 - Single-Ended Input Configuration

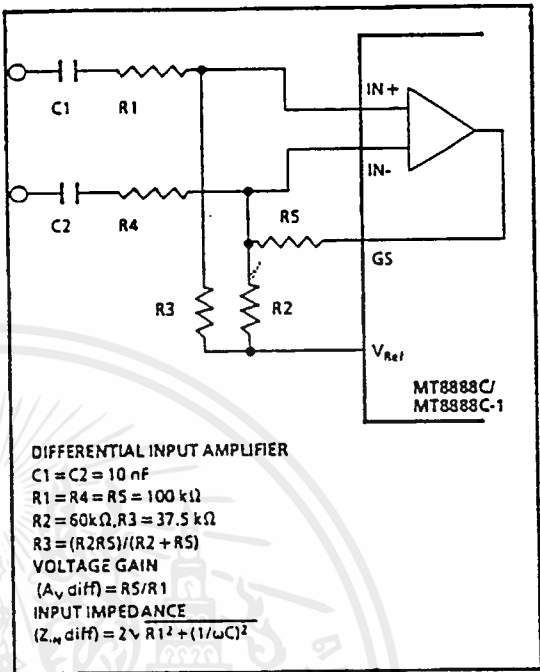


Figure 4 - Differential Input Configuration

F _{LOW}	F _{HIGH}	DIGIT	D ₁	D ₂	D ₃	D ₀
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

0 = LOGIC LOW, 1 = LOGIC HIGH

Table 1 - Functional Encode/Decode Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

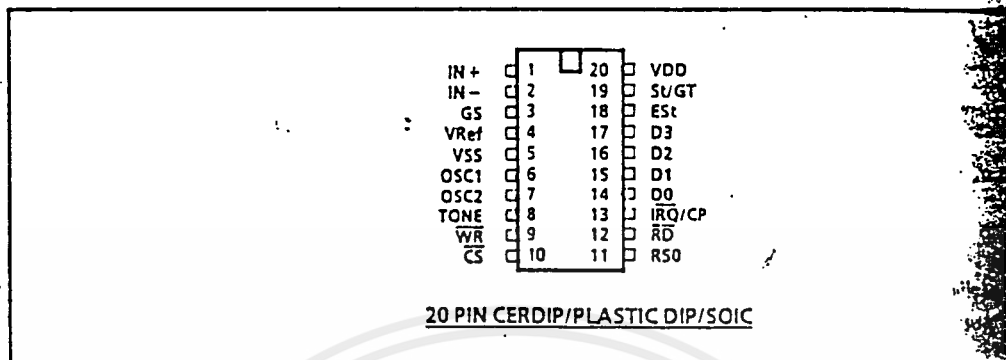


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	IN +	Non-inverting op-amp input.
2	IN -	Inverting op-amp input.
3	GS	Gain Select. Gives access to output of front end differential amplifier connection of feedback resistor.
4	V _{Ref}	Reference Voltage output (V _{DD} /2).
5	V _{SS}	Ground (0V).
6	OSC1	Oscillator input. This pin can also be driven directly by an external clock.
7	OSC2	Oscillator output. A 3.579545 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit. Leave open circuit when OSC1 is driven externally.
8	TONE	Output from internal DTMF transmitter.
9	WR	Write microprocessor input. TTL compatible.
10	CS	Chip Select input. Active Low. This signal must be qualified externally by address latch enable (ALE) signal, see Figure 12.
11	RS0	Register Select input. Refer to Table 3 for bit interpretation. TTL compatible.
12	RD	Read microprocessor input. TTL compatible.
13	IRQ/CP	Interrupt Request/Call Progress (open drain) output. In interrupt mode, the output goes low when a valid DTMF tone burst has been transmitted or received. In call progress mode, this pin will output a rectangular signal representative of the input signal applied at the input op-amp. The input signal must be within the bandwidth limits of the call progress filter, see Figure 8.
14-17	D0-D3	Microprocessor Data Bus. High impedance when CS = 1 or RD = 1. TTL compatible.
18	EST	Early Steering output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause EST to return to a logic low.
19	ST/GT	Steering Input/Guard Time output (bidirectional). A voltage greater than V _{ST} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V _{TST} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of EST and the voltage on St.
20	VDD	Positive power supply (5V typ.).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

EXPLANATION OF EVENTS	
A)	TONE BURSTS DETECTED, TONE DURATION INVALID, RX DATA REGISTER NOT UPDATED
B)	TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
C)	END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.
D)	TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
E)	ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, DATA REMAINS UNCHANGED.
F)	END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.
EXPLANATION OF SYMBOLS	
V_{in}	DTMF COMPOSITE INPUT SIGNAL.
Est	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GrT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
RX_0-RX_3	4-BIT DECODED DATA IN RECEIVE DATA REGISTER
$b3$	DELAYED STEERING. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL. ACTIVE LOW FOR THE DURATION OF A VALID DTMF SIGNAL.
$b2$	INDICATES THAT VALID DATA IS IN THE RECEIVE DATA REGISTER. THE BIT IS CLEARED AFTER THE STATUS REGISTER IS READ.
$\overline{IRQ}/CP$	INTERRUPT IS ACTIVE INDICATING THAT NEW DATA IS IN THE RX DATA REGISTER. THE INTERRUPT IS CLEARED AFTER THE STATUS REGISTER IS READ.
t_{REC}	MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
t_{REQ}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID}	MINIMUM TIME BETWEEN VALID SEQUENTIAL DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROPOUT DURING VALID DTMF SIGNAL.
t_{OP}	TIME TO DETECT VALID FREQUENCIES PRESENT.
t_{OA}	TIME TO DETECT VALID FREQUENCIES ABSENT.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 9 - Description of Timing Events

DTMF Generator

The DTMF transmitter employed in the MT8888C/MT8888C-1 is capable of generating all sixteen standard DTMF tone pairs with low distortion and high accuracy. All frequencies are derived from an external 3.579545 MHz crystal. The sinusoidal waveforms for the individual tones are digitally synthesized using row and column programmable dividers and switched capacitor D/A converters. The row and column tones are mixed and filtered providing a DTMF signal with low total harmonic distortion and high accuracy. To specify a DTMF signal, data conforming to the encoding format shown in Table 1 must be written to the transmit Data Register. Note that this is the same as the receiver output code. The individual tones which are generated (f_{LOW} and f_{HIGH}) are referred to as Low Group and High Group tones. As seen from the table, the low group frequencies are 697, 770, 852 and 941 Hz. The high group frequencies are 1209, 1336, 1477 and 1633 Hz. Typically, the high group to low group amplitude ratio (twist) is 2 dB to compensate for high group attenuation on long loops.

The period of each tone consists of 32 equal time segments. The period of a tone is controlled by varying the length of these time segments. During

write operations to the Transmit Data Register the 4 bit data on the bus is latched and converted to 2 of 8 coding for use by the programmable divider circuitry. This code is used to specify a time segment length, which will ultimately determine the frequency of the tone. When the divider reaches the appropriate count, as determined by the input code, a reset pulse is issued and the counter starts again. The number of time segments is fixed at 32, however, by varying the segment length as described above the frequency can also be varied. The divider output clocks another counter, which addresses the sinewave lookup ROM.

The lookup table contains codes which are used by the switched capacitor D/A converter to obtain discrete and highly accurate DC voltage levels. Two identical circuits are employed to produce row and column tones, which are then mixed using a low noise summing amplifier. The oscillator described needs no "start-up" time as in other DTMF generators since the crystal oscillator is running continuously thus providing a high degree of tone burst accuracy. A bandwidth limiting filter is incorporated and serves to attenuate distortion products above 8 kHz. It can be seen from Figure 8 that the distortion products are very low in amplitude.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

The Fourier components of the tone output correspond to $V_{2f}, \dots, V_{nf}$ as measured on the output waveform. The total harmonic distortion for a dual tone can be calculated using Equation 2. V_L and V_H correspond to the low group amplitude and high group amplitude, respectively and V_{IMO} is the sum of all the intermodulation components. The internal switched-capacitor filter following the D/A converter keeps distortion products down to a very low level as shown in Figure 10.

$$THD(\%) = 100 \frac{\sqrt{V_{2L}^2 + V_{2H}^2 + \dots + V_{2nL}^2 + V_{2nH}^2 + V_{IMO}^2}}{\sqrt{V_L^2 + V_H^2}}$$

Equation 2. THD (%) For a Dual Tone

DTMF Clock Circuit

The internal clock circuit is completed with the addition of a standard television colour burst crystal having a resonant frequency of 3.579545 MHz. A number of MT8888C/MT8888C-1 devices can be connected as shown in Figure 11 such that only one crystal is required. Alternatively, the OSC1 inputs on all devices can be driven from a TTL buffer with the OSC2 outputs left unconnected.

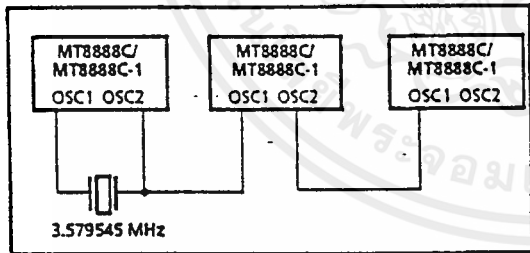


Figure 11 - Common Crystal Connection

Microprocessor Interface

The MT8888C/MT8888C-1 incorporates an Intel microprocessor interface which is compatible with fast versions (16 MHz) of the 80C51. No wait cycles need to be inserted.

Figures 17 and 18 are the timing diagrams for the Intel 8031, 8051 and 8085 (5 MHz) microcontrollers. By NANDing the address latch enable (ALE) output with the high-byte address (P2) decode output, $\overline{CS}$ is generated. Figure 12 summarizes the connection of these Intel processors to the MT8888C/MT8888C-1 transceiver.

The microprocessor interface provides access to five internal registers. The read-only Receive Data Register contains the decoded output of the last valid DTMF digit received. Data entered into the write-only Transmit Data Register will determine which tone pair is to be generated (see Table 1 for coding details). Transceiver control is accomplished with two control registers (see Tables 6 and 7), CRA and CRB, which have the same address. A write operation to CRB is executed by first setting the most significant bit (b3) in CRA. The following write operation to the same address will then be directed to CRB, and subsequent write cycles will be directed back to CRA. The read-only status register indicates the current transceiver state (see Table 8).

A software reset must be included at the beginning of all programs to initialize the control registers upon power-up or power reset (see Figure 17). Refer to Tables 4-7 for bit descriptions of the two control registers.

The multiplexed $\overline{IRQ}/CP$ pin can be programmed to generate an interrupt upon validation of DTMF signals or when the transmitter is ready for more data (burst mode only). Alternatively, this pin can be configured to provide a squarewave output of the call progress signal. The $\overline{IRQ}/CP$ pin is an open drain output and requires an external pull-up resistor (see Figure 13).

RS0	WR	RD	FUNCTION
0	0	1	Write to Transmit Data Register
0	1	0	Read from Receive Data Register
1	0	1	Write to Control Register
1	1	0	Read from Status Register

Table 3 - Internal Register Functions

b3	b2	b1	b0
RSEL	IRQ	CP/DTMF	TOUT

Table 4 - CRA Bit Positions

b3	b2	b1	b0
C/ $\overline{R}$	S/ $\overline{D}$	TEST	BURST ENABLE

Table 5 - CRB Bit Positions

MT8888C/MT8888C-1

BIT	NAME	STATUS FLAG SET	STATUS FLAG CLEARED
b0	IRQ	Interrupt has occurred. Bit one (b1) or bit two (b2) is set.	Interrupt is inactive. Cleared after Status Register is read.
b1	TRANSMIT DATA REGISTER EMPTY (BURST MODE ONLY)	Pause duration has terminated and transmitter is ready for new data.	Cleared after Status Register is read or when in non-burst mode.
b2	RECEIVE DATA REGISTER FULL	Valid data is in the Receive Data Register.	Cleared after Status Register is read.
b3	DELAYED STEERING	Set upon the valid detection of the absence of a DTMF signal.	Cleared upon the detection of a valid DTMF signal.

Table 8 - Status Register Description

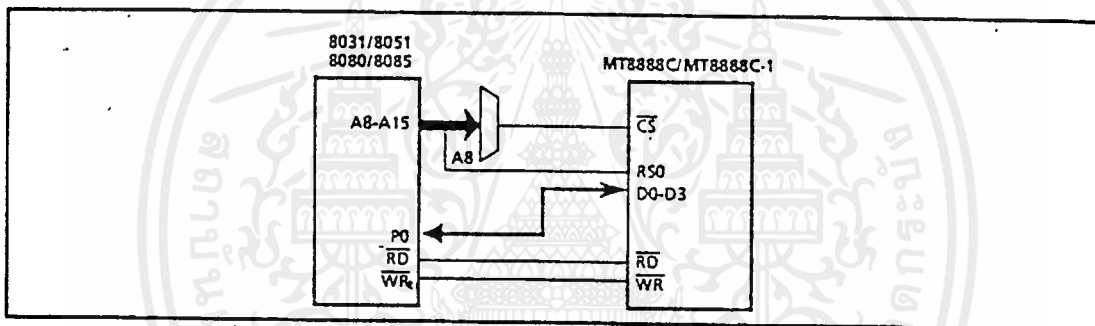


Figure 12 - MT8888C Interface Connections for Various Intel Micros

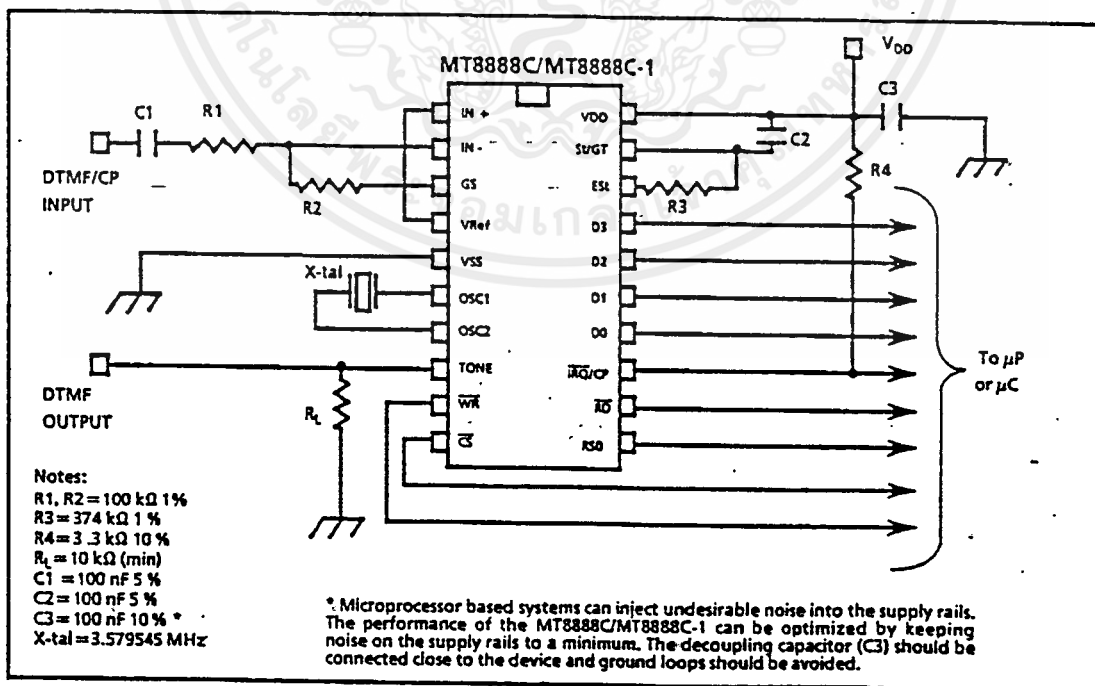


Figure 13 - Application Circuit (Single-Ended Input)

MT8888C/MT8888C-1

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage $V_{DD}-V_{SS}$	V_{DD}		6	V
2	Voltage on any pin	V_i	$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (Except V_{DD} and V_{SS})			10	mA
4	Storage temperature	T_{ST}	-65	+150	°C
5	Package power dissipation	P_D		1000	mW

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ [†]	Max	Units	Test Conditions
1	Positive power supply	V_{DD}	4.75	5.00	5.25	V	
2	Operating temperature	T_O	-40		+85	°C	
3	Crystal clock frequency	f_{CLK}	3.575965	3.579545	3.583124	MHz	

[†] Typical figures are at 25 °C and for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics[†] - $V_{SS}=0V$.

		Characteristics	Sym	Min	Typ [†]	Max	Units	Test Conditions
1	S U P	Operating supply voltage	V_{DD}	4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		7.0	11	mA	
3		Power consumption	P_C			52.5	mW	
4	I N P U T S	High level input voltage (OSC1)	V_{IHO}	3.5			V	Note 9*
5		Low level input voltage (OSC1)	V_{ILO}			1.5	V	Note 9*
6		Steering threshold voltage	V_{TSt}	2.2	2.3	2.5	V	$V_{DD}=5V$
7	O U T P U T S	Low level output voltage (OSC2)	V_{OLO}			0.1	V	No load Note 9*
8		High level output voltage (OSC2)	V_{OHO}	4.9			V	No load Note 9*
9		Output leakage current (IRQ)	I_{OZ}		1	10	μA	$V_{OH}=2.4V$
10		V_{Ref} output voltage	V_{Ref}	2.4	2.5	2.6	V	No load, $V_{DD}=5V$
11		V_{Ref} output resistance	R_{OR}		1.3		kΩ	
12	D i g i t a l	Low level input voltage	V_{IL}			0.8	V	
13		High level input voltage	V_{IH}	2.0			V	
14		Input leakage current	I_{IZ}			10	μA	$V_{IN}=V_{SS}$ to V_{DD}
15	Data Bus	Source current	I_{OH}	-1.4	-6.6		mA	$V_{OH}=2.4V$
16		Sink current	I_{OL}	2.0	4.0		mA	$V_{OL}=0.4V$
17	Est and St/Gt	Source current	I_{OH}	-0.5	-3.0		mA	$V_{OH}=4.6V$
18		Sink current	I_{OL}	2	4		mA	$V_{OL}=0.4V$
19	IRQ/ CP	Sink current	I_{OL}	4	16		mA	$V_{OL}=0.4V$

[†] Characteristics are over recommended operating conditions unless otherwise stated.

* Typical figures are at 25 °C, $V_{DD}=5V$ and for design aid only: not guaranteed and not subject to production testing.

• See "Notes" following AC Electrical Characteristics Tables.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8888C/MT8888C-1

AC Electrical Characteristics - MPU Interface - Voltages are with respect to ground (V_{SS}), unless otherwise stated.

	Characteristics	Sym	Min	Typ†	Max	Units	Conditions
1	$\overline{RD}/\overline{WR}$ clock frequency	f _{CYC}		4.0		MHz	Figure 16
2	$\overline{RD}/\overline{WR}$ cycle period	t _{CYC}		250		ns	Figure 16
3	$\overline{RD}/\overline{WR}$ rise and fall time	t _R , t _F			20	ns	Figure 16
4	Address setup time	t _{AS}	23			ns	Figures 17 & 18
5	Address hold time	t _{AH}	26			ns	Figures 17 & 18
6	Data hold time (read)	t _{DHR}	22			ns	Figures 17 & 18
7	$\overline{RD}$ to valid data delay (read)	t _{DDR}			100	ns	Figures 17 & 18
8	$\overline{RD}$, $\overline{WR}$ pulse width low	t _{PWL}	150			ns	Figures 16, 17 & 18
9	$\overline{RD}$, $\overline{WR}$ pulse width high	t _{PWH}		100		ns	Figures 16, 17 & 18
10	Data setup time (write)	t _{DSW}	45			ns	Figures 17 & 18
11	Data hold time (write)	t _{DHW}	10			ns	Figures 17 & 18
12	Input Capacitance (data bus)	C _{IN}		5		pF	
13	Output Capacitance ($\overline{IRQ}/CP$)	C _{OUT}		5		pF	

† Characteristics are over recommended operating conditions unless otherwise stated

† Typical figures are at 25°C, V_{DD} = 5V, and for design aid only: not guaranteed and not subject to production testing

- NOTES: 1) dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2) Digit sequence consists of all 16 DTMF tones.
3) Tone duration = 40 ms. Tone pause = 40 ms.
4) Nominal DTMF frequencies are used.
5) Both tones in the composite signal have an equal amplitude.
6) The tone pair is deviated by $\pm 1.5\% \pm 2$ Hz.
7) Bandwidth limited (3 kHz) Gaussian noise.
8) The precise dial tone frequencies are 350 and 440 Hz ($\pm 2\%$).
9) Guaranteed by design and characterization. Not subject to production testing.
10) Referenced to the lowest amplitude tone in the DTMF signal.
11) For guard time calculation purposes.

MT8888C/MT8888C-1

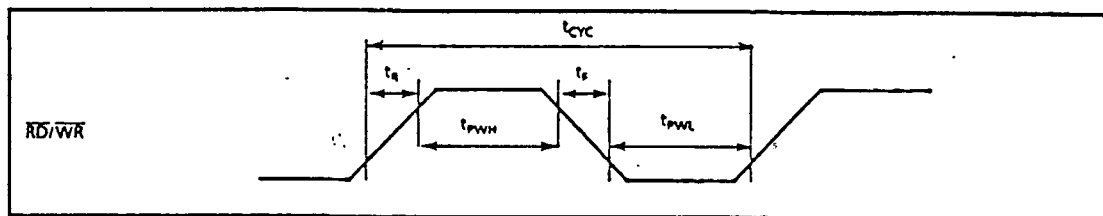


Figure 16 - $\overline{RD}/\overline{WR}$ Clock Pulse

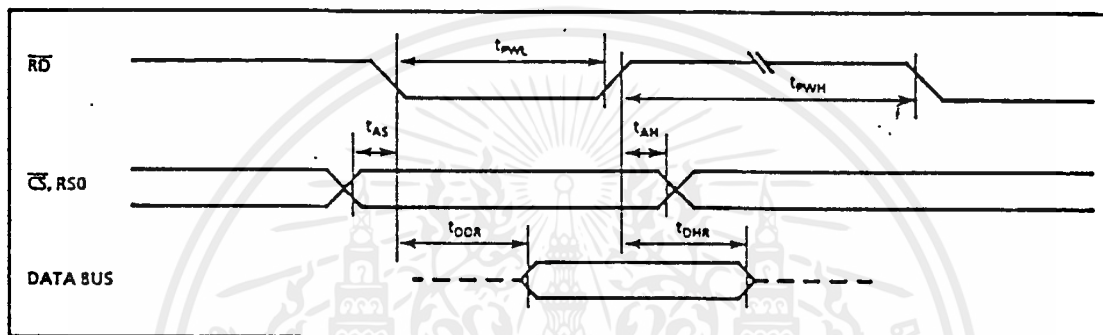


Figure 17 - 8031/8051/8085 Read Timing Diagram

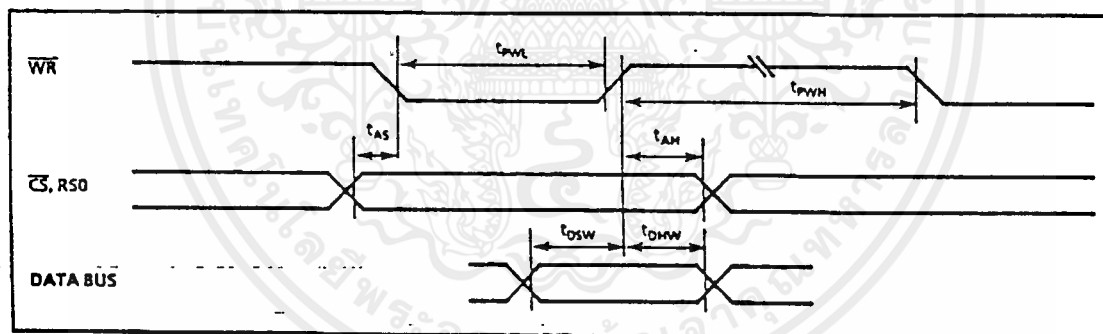


Figure 18 - 8031/8051/8085 Write Timing Diagram



**INFORMATION
STORAGE
DEVICES**

ISD1200/1400 Series

Single-Chip Voice Record/Playback Devices

10-, 12-, 16-, and 20-Second Durations

GENERAL DESCRIPTION

ชาตชาบ ชาของบด

Information Storage Devices' ISD1200/1400 ChipCorder™ Series provides high-quality, single-chip record/playback solutions to short duration messaging applications. The CMOS devices include an on-chip oscillator, microphone pre-amplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in nonvolatile memory cells, providing zero-power message storage. This unique solution is made possible through ISD's patented Direct Analog Storage Technology (DAST®), whereby voice and audio signals are stored directly, in their natural analog form, into EEPROM memory. Direct analog storage allows natural voice reproduction in a single-chip solid-state solution.

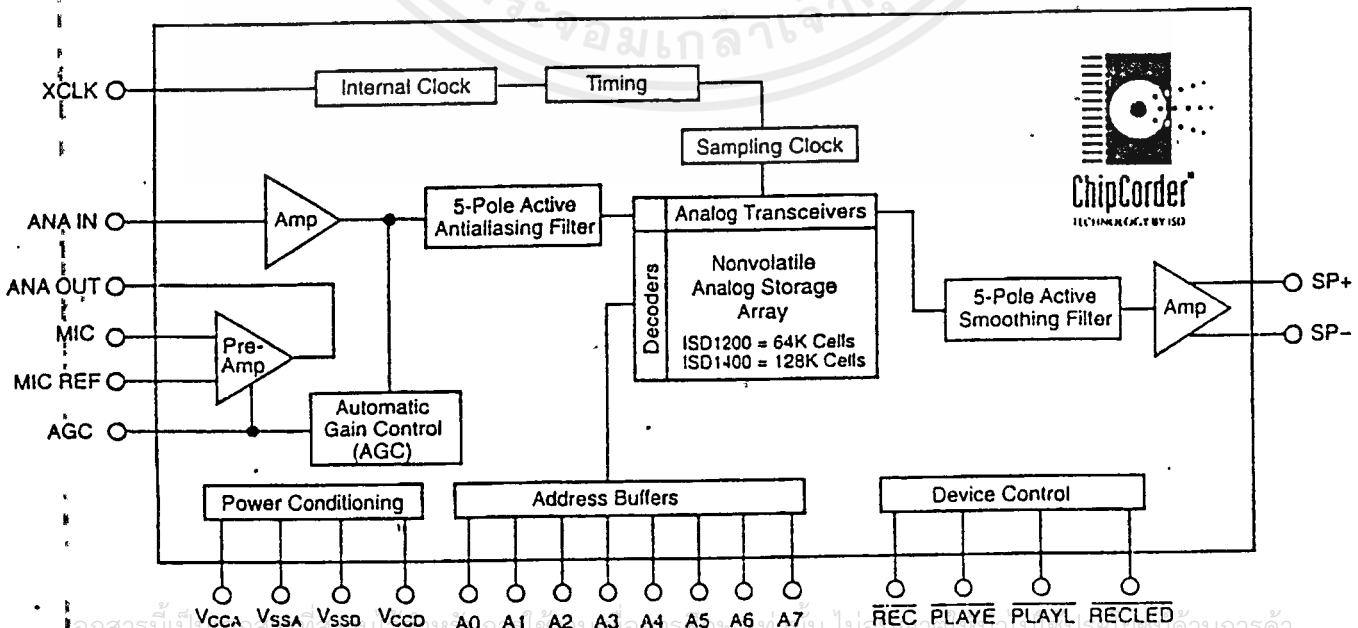
ISD1200/1400 SERIES SUMMARY

Part Number	Minimum Duration (Seconds)	Maximum Input Sample Rate (KHz)	Upper Pass Band (KHz)
ISD1210	10	6.4	2.7
ISD1212	12	5.3	2.3
ISD1416	16	8.0	3.4
ISD1420	20	6.4	2.7

FEATURES

- Easy-to-use single-chip voice record/playback solution
 - No external ICs required
 - Minimizes external components
- High-quality, natural voice/audio reproduction
- Push-button interface
 - Playback can be edge- or level-activated
- Zero-power message storage
 - Eliminates battery backup circuits
- 100-year message retention (typical)
- 100 K record cycles (typical)
- On-chip clock source
- No programmer or development system needed
- Fully addressable to handle multiple messages
- Automatic power-down mode
 - Enters standby mode immediately following a record or playback cycle
 - Standby current 0.5 μ A (typical)
- Single power supply
- Available in DIP, SOIC, and die form for Chip-on-Board (COB) Module assembly

ISD1200/1400 SERIES BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และใช้เพื่อการค้าเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตด้านการค้า

DETAILED DESCRIPTION

Basic Operation

The ISD1200/1400 ChipCorder Series devices are controlled by a single signal, REC, and either of two push-button control playback signals, PLAYE (edge-activated playback), and PLAYL (level-activated playback). The ISD1200/1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 4.

Speech Quality

ISD's patented DAST technology provides natural record and playback. The input voice signals are stored directly in nonvolatile EEPROM cells, and reproduced without the synthetic effect often heard with digital solid-state speech solutions. A complete sample is stored in a single cell, minimizing the memory necessary to store a recording of a given duration.

Automatic Power-Down Mode

At the end of a playback or record cycle, the ISD1200/1400 Series devices automatically return to a low-power standby mode, consuming typically 0.5 μ A. During a playback cycle, the device powers down automatically at the end of the message. During a record cycle, the device powers down immediately after REC is released HIGH.

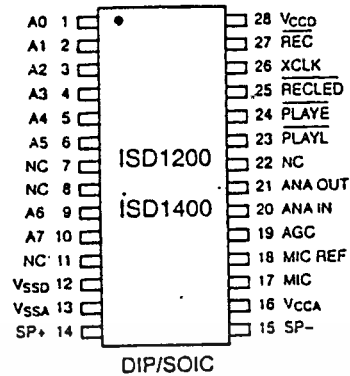
Addressing (optional)

In addition to providing simple message playback, the ISD1200/1400 Series provides a full addressing capability.

The ISD1200 Series storage array has 80 distinct addressable segments, while the ISD1400 Series storage array has 160 distinct addressable segments, providing the following resolutions.

Part Number	Resolution
ISD1210	125 ms
ISD1212	150 ms
ISD1416	100 ms
ISD1420	125 ms

ISD1200/1400 SERIES PINOUTS



Note: NC means Must Not Connect

PIN DESCRIPTIONS

Note: The REC, PLAYL, and PLAYE signals are all debounced for 50 ms. on the rising edge to prevent a false retriggering from a push-button switch.

Record (REC)

The REC input is an active-LOW record signal. The device records whenever REC is LOW. This signal must remain LOW for the duration of the recording. REC takes precedence over either playback (PLAYE or PLAYL) signal. If REC is pulled LOW during a playback cycle, the playback immediately ceases and recording begins.

A record cycle is completed when REC is pulled HIGH. An end-of-message marker is internally recorded, enabling a subsequent playback cycle to terminate appropriately. The device automatically powers down to standby mode when REC goes HIGH.

Playback, Edge-Activated (PLAYE)

When a LOW-going transition is detected on this input signal, a playback cycle begins. Playback continues until an end-of-message marker is encountered or the end of the memory space is reached. Upon completion of the playback cycle, the device automatically powers down into standby mode. Taking PLAYE HIGH during a playback cycle will not terminate the current cycle.

Playback, Level-Activated (PLAYL)

When this input signal transitions from HIGH to LOW, a playback cycle is initiated. Playback continues until PLAYL is pulled HIGH, an end-of-message marker is detected, or the end of the device space is reached. The device automatically powers down to standby mode upon completion of the playback cycle.

Note: In playback, if either PLAYE or PLAYL is held LOW during EOM or OVERFLOW, the device will still enter

standby and the internal oscillator and timing generator will stop. However, the rising edge of $\overline{\text{PLAYE}}$ and $\overline{\text{PLAYL}}$ will no longer be debounced and any subsequent falling edge present on the input pins will initiate another playback.

Record LED Output ($\overline{\text{RECLED}}$)

The output $\overline{\text{RECLED}}$ is LOW during a record cycle. It can be used to drive an LED to provide feedback that a record cycle is in progress. In addition, $\overline{\text{RECLED}}$ pulses LOW momentarily when an end-of-message marker is encountered in a playback cycle.

Microphone Input (MIC)

The microphone is usually AC-coupled to this pin via a series capacitor. The user-selectable value of the input series capacitor (together with the 10K ohm resistance internal to the chip) determines the low-frequency cutoff for the ISD1200/1400 Series passband.

Microphone Reference (MIC REF)

When MIC REF is AC coupled to the microphone ground, the recorded noise level is significantly reduced. Ground noise is referenced to the preamplifier. If this pin is not used, it must **NOT** be connected to any signal or voltage. It must float.

Analog Output (ANA OUT)

The microphone signal is amplified and is output to the ANA OUT pin. The voltage gain of the preamp is determined by the voltage level at the Automatic Gain Control (AGC) pin. The preamplifier has a maximum gain of about 24 dB for small input signal levels.

Analog Input (ANA IN)

An external capacitor connects ANA IN to the ANA OUT pin. The value of the external capacitor, together with the 3 K Ω input impedance at ANA IN, can be chosen to give additional cutoff at the low-frequency end of the voice passband. The ANA IN pin may also be used to input alternative sources of analog signals (instead of the microphone signal) through a coupling capacitor.

Automatic Gain Control (AGC)

The purpose of the AGC is to dynamically adjust the preamplifier gain, and therefore extend the range of input signals which can be applied to the microphone input without causing distortion. The AGC can considerably extend the range of recordable sound from whispers to loud voices. To use the AGC feature, an external resistor and capacitor should be connected in

parallel between the AGC pin and Ground. Recommended values are 470 K Ω and 4.7 μF . The "attack" time of the gain control is determined by the source resistance (5 K Ω) and the external capacitor. The "release" time is determined by the external resistor and capacitor. For AGC voltages of 1.5 Volts and below, the preamplifier is at its maximum gain of 24 dB. Reduction in preamplifier gain occurs for voltages of approximately 1.8 Volts. If the AGC function is not desired, the AGC pin can be tied to Ground and the preamplifier gain will be held at its highest level of approximately 24 dB.

If operating at voltages above 5.5 V, insert a 5.1 K Ω resistor in series with the capacitor from pin 20 to pin 21 to minimize distortion.

Speaker Outputs (SP+, SP-)

The SP+ and SP- pins provide direct drive for loudspeakers with impedances as low as 16 ohms. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when SP+ and SP- are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the SP pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at V_{SSA} during Power Down.

Optional External Clock (XCLK)

This signal is normally tied to ground in applications circuits. If, however, greater timing precision is desired, (internal clock has $\pm 2.5\%$ tolerance over temperature and voltage range), the chip can be externally clocked through this pin. If the XCLK is not used, this input should be connected to ground.

V_{CCA} and V_{CCD}

Analog and digital circuits internal to the ISD1200/1400 Series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

V_{SSA} and V_{SSD} (Ground)

Similar to V_{CCA} and V_{CCD} , the analog and digital circuits internal to the ISD1200/1400 Series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

TABLE 1. OPERATIONAL MODES

Address Ctrl. (HIGH)	Function	Typical Use	Jointly* Compatible
A0	Message cueing	Fast-forward through messages	A4
A1	Delete EOM markers	Position EOM marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1-
A4	Consecutive addressing	Record/Play multiple consecutive messages	A0, A1
A5	Unused		

* Indicates additional operational modes which can be used simultaneously with the given mode.

Address Inputs (A0-A7).

The Address-Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are ALL interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$ or $\overline{\text{REC}}$.

OPERATIONAL MODES

The ISD1200/1400 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1200/1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH, the remaining address signals are interpreted as mode bits and NOT as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1200/1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback, Playback to Record, or when a Power-Down cycle is executed.

Second, an Operational Mode is executed when any of the control inputs, $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

(Note: The two MSBs are on pins 9 and 10 for each ISD1200/1400 Series member.)

OPERATIONAL MODE DESCRIPTIONS

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — Message Cueing ($\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ only)

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the A4 Operational Mode.

A1 — Delete EOM Markers ($\overline{\text{REC}}$ only)

The A1 Operational Mode allows sequentially recorded messages to be concatenated into a single message with only one EOM marker set at the end of the combined message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

A2 — Unused

A3 — Message Looping ($\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ only)

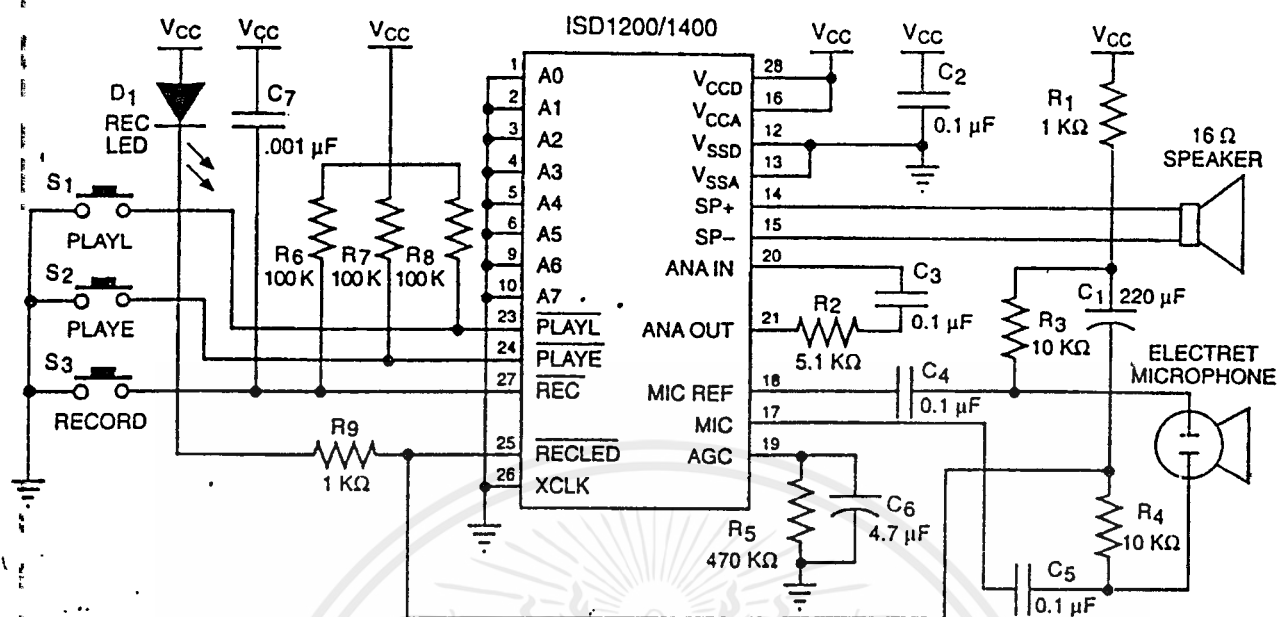
The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message CAN completely fill the ISD1200/1400 device and will loop from beginning to end.

A4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an EOM marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be played back consecutively.

A5 — Unused

APPLICATION SCHEMATIC



Note: ISD Application Notes and Design Manual available

FUNCTIONAL DESCRIPTION EXAMPLE

The following example operating sequence demonstrates the functionality of the ISD1200/1400 Series devices.

1. Record a message filling the address space.

Pulling the $\overline{\text{REC}}$ signal LOW initiates a record cycle from the beginning of the message space. If $\overline{\text{REC}}$ is held LOW, the recording continues until the message space has been filled. Once the message space is filled, recording ceases. The device will automatically power down after $\overline{\text{REC}}$ is pulled HIGH.

2. Edge-activated playback.

Pulling the $\overline{\text{PLAYE}}$ signal LOW initiates a playback cycle from the beginning of the message space. The rising edge of $\overline{\text{PLAYE}}$ has no effect on operation. If a recording has filled the message space, the entire message is played. When the device reaches the end of the message space, it automatically powers down. A subsequent falling edge on $\overline{\text{PLAYE}}$ initiates a new play cycle from the start address.

3. Level-activated playback.

Pulling the $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle from the beginning of the message space. If $\overline{\text{PLAYL}}$ remains LOW, the device plays through to the end of the message and subsequently enters the power-down mode.

4. Level-activated playback (truncated).

If $\overline{\text{PLAYL}}$ is pulled HIGH any time during the play-back cycle, the device stops playing and enters the power-down mode. A subsequent falling edge on $\overline{\text{PLAYL}}$ initiates a new play cycle from the start address.

5. Record (interrupting playback).

The $\overline{\text{REC}}$ signal takes precedence over other operations. Any LOW-going transition on $\overline{\text{REC}}$ initiates a new record operation from the beginning of the start address, regardless of any current operation in progress.

6. Record a message, partially filling the address space.

A record operation need not fill the entire message space. Releasing the $\overline{\text{REC}}$ signal HIGH before filling the message space causes the recording to stop and an end-of-message marker to be placed. The device powers down automatically.

7. Play back a message, partially filling the address space.

Pulling the $\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle which is then completed when the end-of-message marker is encountered. Playback ceases and the device powers down.

8. $\overline{\text{RECLED}}$ operation.

The $\overline{\text{RECLED}}$ output pin provides an active-LOW signal which can be used to drive an LED as a "record in progress" indicator. It returns to a HIGH state when the $\overline{\text{REC}}$ pin is released HIGH or when the recording is completed due to the message space being filled.

APPLICATIONS NOTE

Some users may experience an unexpected recording taking place when their circuit is powered up, or the batteries are changed and V_{CC} rises faster than REC. This undesired recording prevents playback of the previously recorded message. A spurious End Of Message (EOM) marker appears at the very beginning of the memory, preventing access to the original message, and nothing is played.

To prevent this occurrence, place a capacitor (approx. .001 μ F) between the control pin (REC) and V_{CC} . This pulls

the control pin voltage up with V_{CC} as it rises. Once the voltage is HIGH, the pull-up device will keep the pin HIGH until intentionally pulled LOW, preventing the false EOM marker.

Since this anomaly is dependent upon factors such as the capacitance of the user's printed circuit board, not all circuit designs will exhibit the spurious marker. It is recommended, however, that the capacitor is included for design reliability. A more detailed explanation and resolution of this occurrence is described in the ISD Application Notes and Design Manual.

ABSOLUTE MAXIMUM RATINGS (ISD1200/1400 SERIES - PACKAGED)

Condition	Value
Temperature under bias	- 65° C to + 125° C
Storage temperature range	- 65° C to + 150° C
Voltage applied to any pin	(V_{SS} - 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to $\pm$ 20 mA)	(V_{SS} - 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering - 10 seconds)	300° C
V_{CC} - V_{SS}	- 0.3 V to + 7.0 V

Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability.

DC PARAMETERS (ISD1200/1400 SERIES - PACKAGED)

Operating Conditions: $T_A = 0^\circ$ to 70° C, $V_{CC} = 4.5$ V to 6.5 V ⁽¹⁾, $V_{SS} = 0$ V ⁽²⁾, unless otherwise noted.

Symbol	Parameters	Min	Typ ⁽³⁾	Max	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 4.0$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -1.6$ mA
I_{CC}	V_{CC} Current @ 5.5 V (Operating)		15	30	mA	$V_{CC} = 5.5$ V, $R_{EXT} = \infty$ ⁽⁴⁾
I_{CC}	V_{CC} Current @ 6.5 V (Operating)		15	35	mA	$V_{CC} = 6.5$ V, $R_{EXT} = \infty$ ⁽⁴⁾
I_{SB}	V_{CC} Current (Standby)		0.5	10	μ A	⁽⁴⁾ ⁽⁵⁾
I_{IL}	Input Leakage Current			± 1	μ A	⁽⁴⁾ ⁽⁵⁾
I_{ILPD}	Input Current HIGH w/Pull Down			130	μ A	Force V_{CC} ⁽⁶⁾ ⁽⁷⁾
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance		10		K Ω	Pins 17, 18
$R_{ANA In}$	Ana In Input Resistance		3		K Ω	
A_{PRE1}	Preamp Gain 1		24		dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		- 45	- 15	dB	AGC = 2.5 V
A_{ARP}	Ana In to SP+/-		22		dB	
R_{ACC}	AGC Output Resistance		5		K Ω	
I_{PREH}	Preamp Out Source		- 2		mA	@ $V_{OUT} = 1.0$ V
I_{PREL}	Preamp In Sink		0.5		mA	@ $V_{OUT} = 2.0$ V

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.

2. $V_{SS} = V_{SSA} = V_{SSD}$.

3. Typical values @ $T_A = 25^\circ$ C and 5.0 V.

4. V_{CCA} and V_{CCD} connected together.

5. REC, PLAYL, and PLAYE must be V_{CCD} .

6. Pin 26.

7. Applies only to ISD1200 and ISD1400 future version (see page 13).

DC PARAMETERS (ISD1200/1400 SERIES - PACKAGED)

Operating Conditions: $T_A = 0^\circ$ to 70° C, $V_{CC} = 4.5$ V to 6.5 V ⁽¹⁾, $V_{SS} = 0$ V ⁽²⁾; unless otherwise noted

Symbol	Characteristic	Min	Typ ⁽³⁾	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz
T _{LED1}	RECLED ON Delay		5		μsec	
T _{LED2}	RECLED OFF Delay		48.6		msec	
T _S	A3 Loop Setup Time	300			nsec	
T _H	A3 Loop Hold Time	0			nsec	
T _{RPUD}	Record Power-Up Delay		32		msec	
T _{RPDD}	Record Power-Down Delay		32		msec	
T _{PP}	Play Power-Up Delay		32		msec	
T _{PPDD}	Play Power-Down Delay		8.1		msec	
P _{OUT}	Speaker Output Power		12.2		mW	R _{EXT} = 16 Ω
V _{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V _{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

AC PARAMETERS

Symbol	Characteristic	ISD-1210	ISD-1212	ISD-1416	ISD-1420	Units	Conditions
F _S	Sampling Frequency (max)	6.4	5.3	8	6.4	KHz	Internal Oscillator
BW	Bandwidth (max)	2.7	2.3	3.4	2.7	KHz	3 dB Roll-Off Point ⁽⁵⁾
RPW	Record Pulse Width (max)	10	12	16	20	sec.	
T _{PLAY}	Playback Duration (min)	10	12	16	20	sec.	
T _{LED2}	RECLED OFF Delay	48.6	58.3	38.9	48.6	msec	(6)
T _{RPUD}	Rec. Power-Up Delay	32	39	26	32	msec	(6)
T _{RPDD}	Rec. Power-Down Delay	32	39	26	32	msec	(6)
T _{PPUD}	Play Power-Up Delay	32	39	26	32	msec	(6)
T _{PPDD}	Play Power-Down Delay	8.1	9.7	6.5	8.1	msec	(6)

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.

2. $V_{SS} = V_{SSA} = V_{SSD}$.

3. Typical values @ $T_A = 25^\circ$ C, 5.0 V, and 6.2 KHz sample rate.

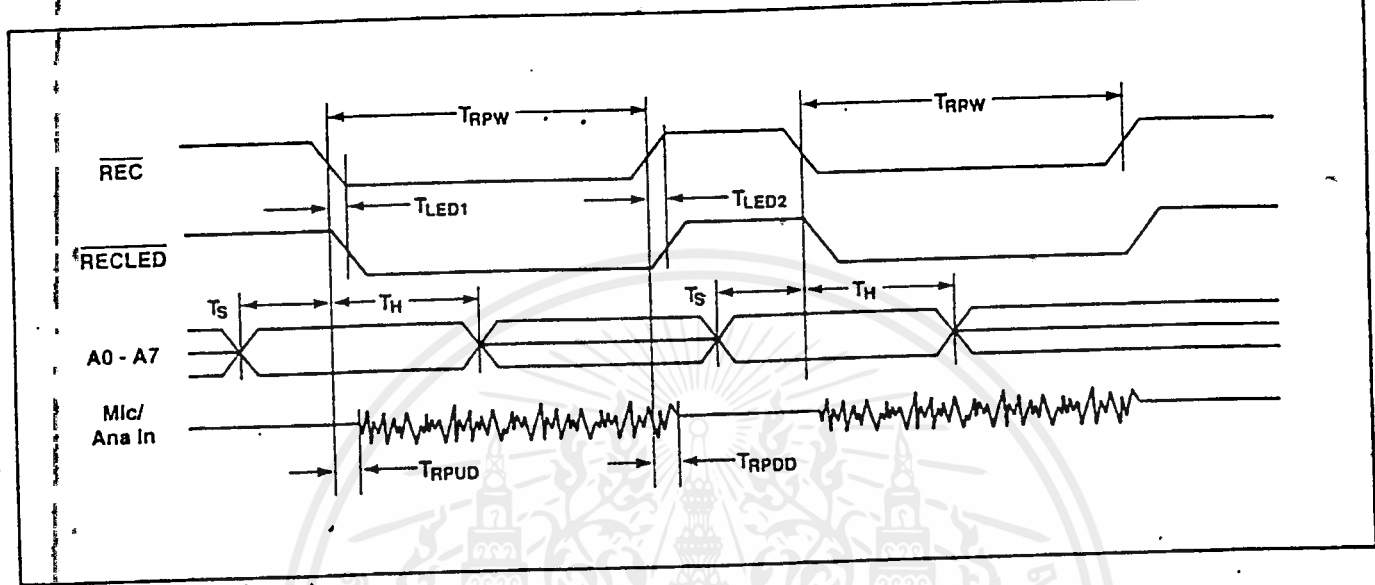
4. With 12 KΩ series resistor at ANA IN.

5. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).

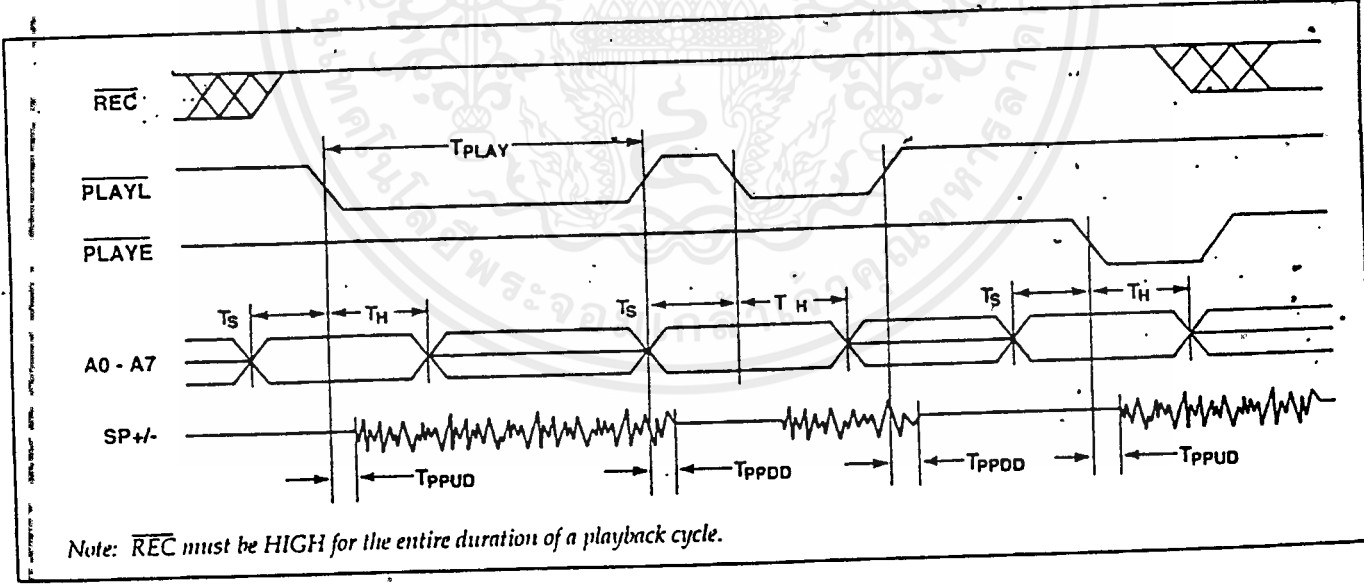
6. Typical values @ $T_A = 25^\circ$ C and 5.0 V.

TIMING DIAGRAMS (ISD1200/1400 SERIES - PACKAGED)

RECORD



PLAYBACK



TE MAXIMUM RATINGS (ISD1200X/1400X SERIES - UNPACKAGED DIE)

	Value
temperature range	- 65°C to 150°C
applied to any pin	(V _{SS} - 0.3 V) to (V _{CC} + 0.3 V)
applied to any pin	(V _{SS} - 1.0 V) to (V _{CC} + 1.0 V)
current limited to ± 20 mA)	- 0.3 V to + 7.0 V

above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability.

PARAMETERS (ISD1200X/1400X SERIES - UNPACKAGED DIE)

Operating Conditions: T_A = 0° to 50° C (ambient), V_{CC} = 4.5 V to 6.5 V ⁽¹⁾, V_{SS} = 0 V ⁽²⁾, unless otherwise noted

Symbol	Parameters	Min	Typ ⁽³⁾	Max	Units	Conditions
	Input Low Voltage			0.8	V	
	Input High Voltage	2.4			V	
	Output Low Voltage			0.4	V	I _{OL} = 4.0 mA
	Output High Voltage	2.4			V	I _{OHI} = 1.6 mA
I _{CC}	V _{CC} Current @ 5.5 V (Operating)		15	30	mA	V _{CC} = 5.5 V, R _{EXT} = ∞ ⁽⁴⁾
I _{CC}	V _{CC} Current @ 6.5 V (Operating)		15	35	mA	V _{CC} = 6.5 V, R _{EXT} = ∞ ⁽⁴⁾
I _{SS}	V _{CC} Current (Standby)		0.5	10	μA	⁽⁴⁾ ⁽⁵⁾
I _{IL}	Input Leakage Current			±1	μA	⁽⁴⁾ ⁽⁵⁾
I _{IHPD}	Input Current (HIGH w/Pull Down)			130	μA	Force V _{CC} ⁽⁶⁾ ⁽⁷⁾
R _{EXT}	Output Load Impedance	16			Ω	Speaker Load
R _{MIC}	Preamp In Input Resistance		10		KΩ	Pins 17, 18
R _{ANA In}	Ana In Input Resistance		3		KΩ	
A _{PRE1}	Preamp Gain 1		24		dB	AGC = 0.0 V
A _{PRE2}	Preamp Gain 2		-45	-15	dB	AGC = 2.5 V
A _{ARP}	Ana In to SP+/-		22		dB	
R _{ACC}	ACC Output Resistance		5		KΩ	
I _{PREH}	Preamp Out Source		-2		mA	@ V _{OUT} = 1.0 V
I _{PREL}	Preamp In Sink		0.5		mA	@ V _{OUT} = 2.0 V

- Notes: 1. V_{CC} = V_{CCA} = V_{CCD}.
2. V_{SS} = V_{SSA} = V_{SSD}.
3. Typical values @ T_A = 25° C and 5.0 V.
4. V_{CCA} and V_{CCD} connected together.

5. REC, PLAYL, and PLAYE must be V_{CCD}.
6. Pin 26.
7. Applies only to ISD1200 and ISD1400 future version (see page 13).

AC PARAMETERS (ISD1200X/1400X SERIES – UNPACKAGED DIE)

Operating Conditions: $T_A = 0^\circ$ to 50° C (ambient), $V_{CC} = 4.5$ V to 6.5 V ⁽¹⁾, $V_{SS} = 0$ V ⁽²⁾, unless otherwise noted

Symbol	Characteristic	Min	Typ ⁽³⁾	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz
T_{LED1}	RECLED ON Delay		5		μ sec	
T_{LED2}	RECLED OFF Delay		48.6		msec	
T_S	A3 Loop Setup Time	300			nsec	
T_H	A3 Loop Hold Time	0			nsec	
T_{RPUD}	Record Power-Up Delay		32		msec	
T_{RPDD}	Record Power-Down Delay		32		msec	
T_{PPUD}	Play Power-Up Delay		32		msec	
T_{PPDD}	Play Power-Down Delay		8.1		msec	
P_{OUT}	Speaker Output Power		12.2		mW	$R_{EXT} = 16 \Omega$
V_{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	$R_{EXT} = 600 \Omega$
V_{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V_{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

AC PARAMETERS

Symbol	Characteristic	ISD-1210	ISD-1212	ISD-1416	ISD-1420	Units	Conditions
F_S	Sampling Frequency (max)	6.4	5.3	8	6.4	KHz	Internal Oscillator
BW	Bandwidth (max)	2.7	2.3	3.4	2.7	KHz	3 dB Roll-Off Point ⁽⁵⁾
T_{RPW}	Record Pulse Width (max)	10	12	16	20	sec.	
T_{PLAY}	Playback Duration (min)	10	12	16	20	sec.	
T_{LED2}	RECLED OFF Delay	48.6	58.3	38.9	48.6	msec	⁽⁶⁾
T_{RPUD}	Rec. Power-Up Delay	32	39	26	32	msec	⁽⁶⁾
T_{RPDD}	Rec. Power-Down Delay	32	39	26	32	msec	⁽⁶⁾
T_{PPUD}	Play Power-Up Delay	32	39	26	32	msec	⁽⁶⁾
T_{PPDD}	Play Power-Down Delay	8.1	9.7	6.5	8.1	msec	⁽⁶⁾

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.

2. $V_{SS} = V_{SSA} = V_{SSD}$.

3. Typical values @ $T_A = 25^\circ$ C, 5.0 V, and 6.2 KHz sample rate.

4. With 12 K Ω series resistor at ANA IN.

5. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).

6. Typical values @ $T_A = 25^\circ$ C and 5.0 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

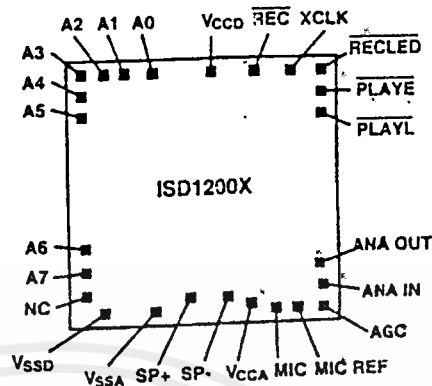
ISD1200X DIE BONDING PHYSICAL LAYOUT

ISD1200X

I. Die Dimensions
 X: 172.2 ± 1 mils
 Y: 138.2 ± 1 mils

II. Die Thickness
 21 mils

III. Pad Opening (min)
 88 x 112 microns
 (3.46 x 4.41 mils)

ISD1200X PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (μm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1364	1589.6	VCCA	VCC Analog Power Supply	780	-1552.4
A1	Address 1	-1648.4	1589.6	MIC	Microphone Input	992	-1590
A2	Address 2	-1816.4	1589.6	MIC REF	Microphone Reference	1169.2	-1590
A3	Address 3	-2013.6	1515.6	AGC	Automatic Gain Control	1978.4	-1590
A4	Address 4	-2013.6	1337.6	ANA IN	Analog Input	2005.6	-1196.4
A5	Address 5	-2013.6	1129.6	ANA OUT	Analog Output	1991.2	-995.2
A6	Address 6	-2013.6	-831.2	PLAYL	Level-Activated Playback	2014.4	1224.4
A7	Address 7	-2013.6	-1022	PLAYE	Edge-Activated Playback	2014.4	1392.8
NC	No Connect	-2013.6	-1361.6	RECLED	Record LED Output	2012.4	1587.6
VSSD	VSS Digital Power Supply	-1893.6	-1588	XCLK	No Connect (optional)	1581.2	1589.6
VSSA	VSS Analog Power Supply	-357.6	-1588	REC	Record	752.8	1589.6
SP+	Speaker Output +	-17.2	-1512.8	VCCD	VCC Digital Power Supply	-48	1545.2
SP-	Speaker Output -	412.4	-1512.8				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

ISD1400X CURRENT DIE BONDING PHYSICAL LAYOUT

ISD1400X

I. Die Dimensions

X: 211 ±1 mils

Y: 207 ±1 mils

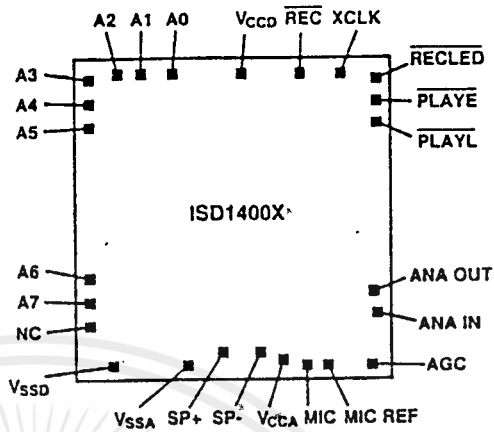
II. Die Thickness

21 mils

III. Pad Opening (min)

109 microns

(4.3 mils)



ISD1400X PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (μm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1712.5	2445.5	VCCA	VCC Analog Power Supply	952.2	-2412
A1	Address 1	-2068	2445.5	MIC	Microphone Input	1217.5	-2459
A2	Address 2	-2278	2445.5	MIC REF	Microphone Reference	1439	-2459
A3	Address 3	-2509.5	2368	AGC	Automatic Gain Control	2450.5	-2410
A4	Address 4	-2509.5	2145.5	ANA IN	Analog Input	2484.5	-1980.5
A5	Address 5	-2509.5	1885.5	ANA OUT	Analog Output	2466.5	-1715.5
A6	Address 6	-2509.5	-1525.5	PLAYL	Level-Activated Playback	2495.5	1989
A7	Address 7	-2509.5	-1764	PLAYE	Edge-Activated Playback	2495.5	2201
NC	No Connect	-2509.5	-2178.5	RECLED	Record LED Output	2493	2443
VSSD	VSS Digital Power Supply	-2359.5	-2456.5	XCLK	No Connect (optional)	1970	2445.5
VSSA	VSS Analog Power Supply	-469.5	-2456.5	REC	Record	900	2445.5
SP+	Speaker Output +	-29	-2362.5	VCCD	VCC Digital Power Supply	-52.5	2390
SP-	Speaker Output -	508	-2362.5				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

ISD1400X FUTURE DIE BONDING PHYSICAL LAYOUT

ISD1400X FUTURE

I. Die Dimensions

X: 206.3 ± 1 mils

Y: 202.3 ± 1 mils

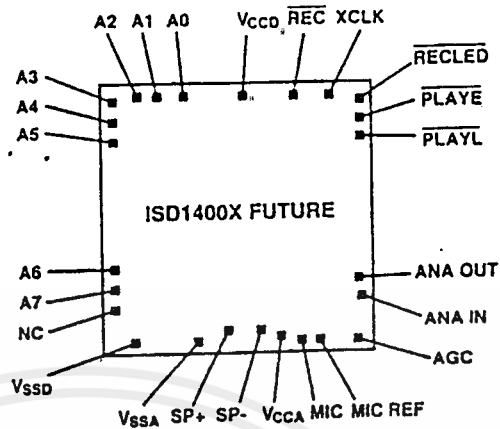
II. Die Thickness

21 mils

III. Pad Opening (min)

100 x 112 microns

(3.9 x 4.4 mils)



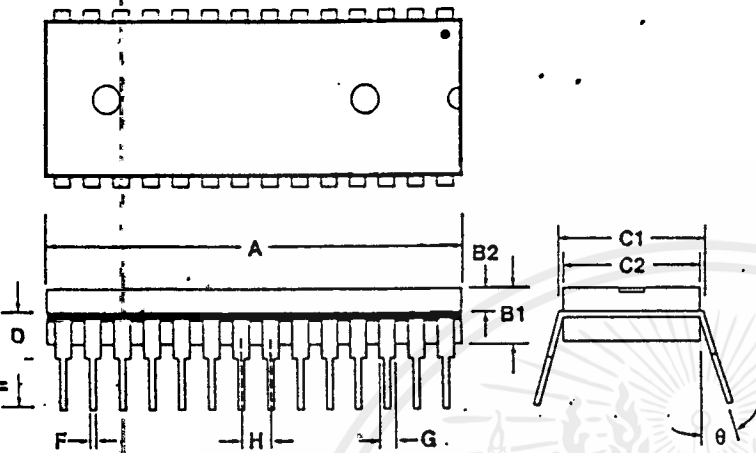
ISD1400X FUTURE PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (μm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1332.5	1973.8	VCCA	VCC Analog Power Supply	779.5	-1936.2
A1	Address 1	-1628.9	1973.8	MIC	Microphone Input	991.5	-1973.8
A2	Address 2	-1808.9	1973.8	MIC REF	Microphone Reference	1168.7	-1973.8
A3	Address 3	-2014.1	1910.2	AGC	Automatic Gain Control	1977.9	-1910.6
A4	Address 4	-2014.1	1722.6	ANA IN	Analog Input	2005.1	-1580.2
A5	Address 5	-2014.1	1519.8	ANA OUT	Analog Output	1990.7	-1379
A6	Address 6	-2014.1	-1214.6	PLAYL	Level-Activated Playback	2013.9	1608.6
A7	Address 7	-2014.1	-1399.8	PLAYE	Edge-Activated Playback	2013.9	1777
N	No Connect	-2014.1	-1745.4	RECD	Record LED Output	2011.9	1971.8
VSSD	VSS Digital Power Supply	-1894.1	-1971.8	XCLK	No Connect (optional)	1580.7	1973.8
VSSA	VSS Analog Power Supply	-358.1	-1971.8	REC	Record	752.3	1973.8
SP+	Speaker Output +	-17.7	-1896.6	VCCD	VCC Digital Power Supply	-48.5	1929.4
SP-	Speaker Output -	411.9	-1896.6				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

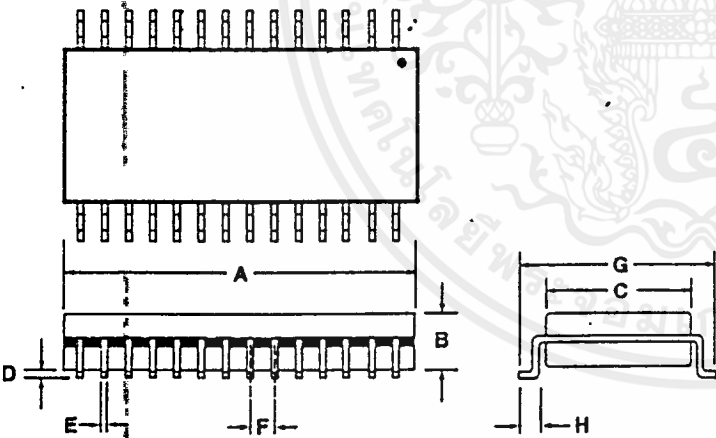
PACKAGE DIAGRAMS

28-Lead Plastic Dual In-Line Package (DIP) Type P



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	1.445	1.450	1.455	36.7	36.83	36.95
B1		.150			3.81	
B2	.065	.070	.075	1.65	1.78	1.91
C1	.600		.625	15.24		15.88
C2	.530	.540	.550	13.46	13.72	13.97
D	.115	.120	.125	2.92	3.05	3.18
E	.125	.130	.135	3.18		3.43
F	.015	.018	.022	0.38	0.46	0.56
G	.055	.060	.065	1.40	1.52	1.65
H		.100			2.54	
θ	0°	7°	15°	0°	7°	15°

28-Lead Plastic Small Outline Package (SOIC) Type J



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	.706	.714	.718	17.93	18.14	18.24
B	.086	.088	.090	2.18	2.24	2.29
C	.340	.346	.350	8.64	8.79	8.89
D	.004	.007	.010	.102	.178	.254
E	.014	.016	.020	.360	.410	.480
F		.050			1.27	
G	.463	.470	.477	11.76	12.00	12.12
H	.020	.031	.042	.510	.790	1.07



MH88632

Central Office Interface Circuit

Preliminary Information

2

ISSUE 5

April 1995

Features

- Loop start and ground start capabilities
- Transformerless 2-4 wire conversion
- Programmable transmit/receive gain with 0dB defaults
- Programmable input impedance with 600Ω and 900Ω defaults
- Programmable network balance with 600Ω, 900Ω, and AT&T compromise default
- One loop start & two ground start relay drivers
- Line state detection outputs
- Forward loop, reverse loop, ring ground, tip ground, ringing voltage
- +5V operation
- On-hook audio reception (to accommodate ANI)

Ordering Information

MH88632 40 Pin SIL Package

0°C to 70°C

Description

The Mitel MH88632 Central Office Trunk Interface circuit provides a complete audio and signalling link between audio switching equipment and a central office. The functions provided by the MH88632 include 2-4 Wire Hybrid conversion, programmable transmit and receive gains, programmable line impedance and programmable network balance. The device is fabricated using thick film hybrid technology which incorporates various technologies for optimum circuit design and very high reliability.

Applications

Interface to Central Office for:

- PBX
- Key Telephone System
- Channel bank
- Voice Mail
- Terminal Equipment
- Digital Loop Carrier

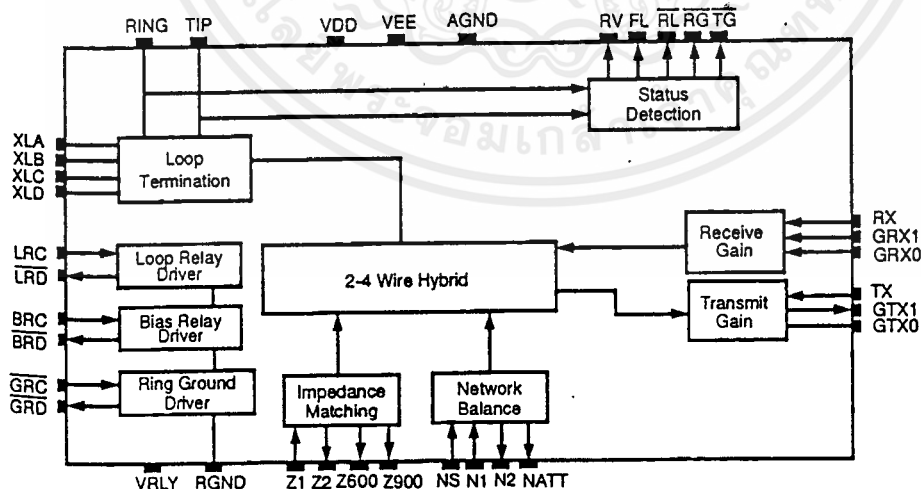


Figure 1 - Functional Block Diagram

2-235

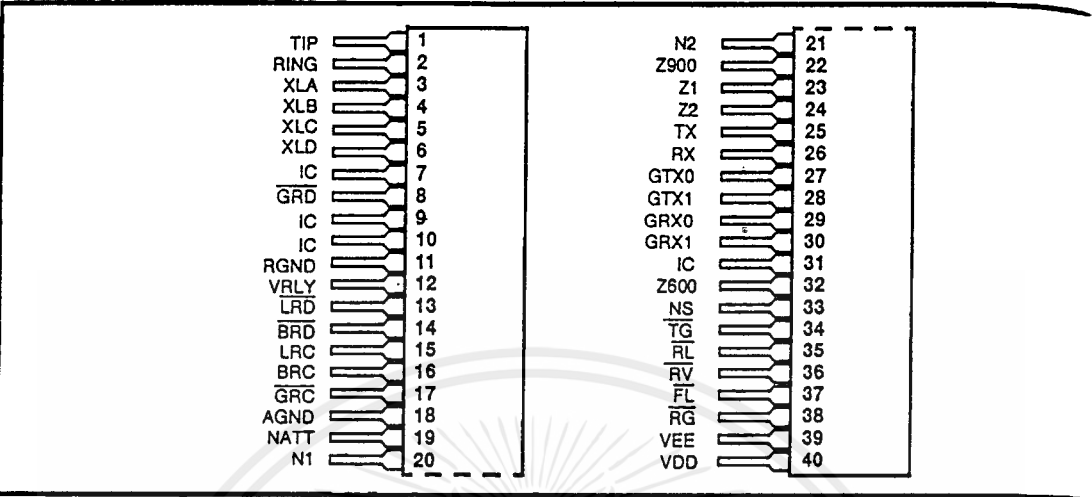


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP	Tip Lead. Connects to the "Tip" or "Ring" lead of Central Office.
2	RING	Ring Lead. Connects to the "Ring" or "Tip" lead of the Central Office.
3	XLA	Loop Relay Contact A. Connects to XLB through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
4	XLB	Loop Relay Contact B. See XLA for description.
5	XLC	Loop Relay Contact C. Connects to XLD through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
6	XLD	Loop Relay Contact D. See XLC for description
7	IC	Internal Connection. This pin is internally connected and must be left open.
8	GRD	Ground Relay Lead Relay Drive (Output). Connects to the Ground Ring Lead Relay Co used for Ground Start applications. A logic low activates the relay. An internal clamp diode from VRLY to GND is provided.
9	IC	Internal Connection. This pin is internally connected and must be left open.
10	IC	Internal Connection. This pin is internally connected and must be left open.
11	RGND	Relay Ground. Return path for relay supply voltage.
12	VRLY	Relay Positive Supply Voltage. Normally +5V. Connects to the relay coil and the relay supply voltage
13	LRD	Loop Relay Drive (Output). Connects to the Bias Relay coil. A logic low activates the relay. An internal clamp diode from VRLY to LRD is provided.
14	BRD	Bias Relay Drive (Output). Connects to the Bias Relay coil, used for Ground start applications only. A logic low activates the relay. An internal clamp diode from VRLY to BRD is provided.
15	LRC	Loop Relay Control (Input). A logic high activates the Loop Relay Drive output (LRD). The Loop Relay activates internal circuitry which provides a DC termination across Tip and Ring. Used for line seizure and dial pulsing.

Pin Description (Continued)

Pin #	Name	Description
16	BRC	Bias Relay Control (Input). A logic high activates the Loop Relay Drive output (BRD), used for Ground start applications only. This input should be connected to logic high when not used.
17	GRC	Ground Ring Lead Relay Control (Input). A logic low activates the Ground Ring Lead Relay Drive output (GRD), used for Ground Start applications only. This input should be connected to logic high when not used.
18	AGND	Analog Ground. 4-Wire ground. Normally connected to System Ground.
19	NATT	Network Balance AT+T Node. Connects to N1 for a network balance impedance of AT&T compromise ($350\Omega + 1k\Omega // 210nF$); the device's input impedance must be set to 600Ω . This node is active only when NS is at logic high. This node should be left open circuit when not used.
20	N1	Network Balance Node 1 (Input). 0.1 times the impedance between pins N1 and N2 must match the device's input impedance, while 0.1 times the impedance between pins N1 and AGND is the device's network balance impedance. This node is active only when NS is at logic high. This node may be terminated when not used (i.e., NS at logic low).
21	N2	Network Balance Node 2 (Output). See N1 for description.
22	Z900	Line Impedance 900Ω Node. Connects to Z1 for a line impedance of 900Ω . This node should be left open circuit when not used.
23	Z1	Line Impedance Node 1 (Input). 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node must always be connected.
24	Z2	Line Impedance Node 2 (Output). 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node should be left open circuit when not used.
25	TX	Transmit (output). 4-Wire ground (AGND) referenced audio output.
26	RX	Receive (Input). 4-Wire ground (AGND) referenced audio input.
27	GTX0	Transmit Gain Node 0. Connects to GTX1 for 0dB transmit gain.
28	GTX1	Transmit Gain Node 1. Connects to a resistor to AGND for transmit gain adjustment.
29	GRX0	Receive Gain Node 0. Connects to GRX1 for 0dB gain.
30	GRX1	Receive Gain Node 1. Connects to a resistor to AGND for receive gain adjustment.
31	IC	Internal Connection. This pin is internally connected and must be left open.
32	Z600	Line Impedance 600Ω Node (Output). Connects to Z1 for a line impedance of 600Ω . This pin should be left open circuit when not used.
33	NS	Network Balance Setting (Input). The logic level at NS selects the network balance impedance. A logic 0 enables an internal balance equivalent to the input impedance (Zin). While a logic 1 enables an external balance 0.1 times the impedance between pins N1 and AGND balanced to 0.1 times the impedance between pins N1 and N2. The impedance between N1 and N2 must be equivalent to 10 times the input impedance (Zin).
34	TG	Tip Lead Ground Detect (Output). A logic low output indicates that the Tip lead is at ground (AGND) potential.
35	RL	Ring Loop Detect (Output). In the on-hook state, a logic low output indicates that reverse loop battery is present. In the off-hook state, a logic low output indicates that reverse loop current is present. Reverse loop refers to the Tip lead negative with respect to the Ring lead.
36	RV	Ring Voltage Detect (Output). A logic low indicates that ringing voltage is across the Tip and Ring leads. Note that this output toggles at the ringing cadence and not at the ringing frequency.

Pin Description (Continued)

Pin #	Name	Description
37	FL	Forward Loop Detect (Output). In the on hook state, a logic low output indicates that forward loop battery is present. In the off-hook state, a logic low output indicates that forward loop current is present. Forward loop refers to the Ring Lead negative with respect to the Tip lead.
38	RG	Ring Lead Ground Detect (Output). A logic low indicates that the Ring lead is at ground (AGND) potential.
39	VEE	Negative Supply Voltage. -5V dc.
40	VDD	Positive Supply Voltage. +5V dc.

Functional Description

The MH88632 is a COIC (Central Office Interface Circuit) used to interface to Central Office 2-Wire Analog Trunks. The COIC provides both Loop start and Ground start interface capabilities.

Approvals

FCC part 68, DOC CS-03, UL 1459, CAN/CSA 22.2 No.225-M90 are all system (i.e., connectors, power supply, cabinet, etc.) requirements. Since the MH88632 is a component and not a system, it cannot be approved as a stand alone part by these standards bodies. However, when installed into a properly designed system, the MH88632 has been designed to meet the CO Trunk Interface requirements of FCC, DOC, UL and CSA, and thus enabling the complete system to be approved by these standards bodies.

To meet the regulatory high voltage requirements, an external protection circuit is required. The protection circuit shown in Figure 9 is matched to the MH88632 and ensures that they meet the high voltage requirements of FCC, DOC, CSA and UL when installed in a properly designed system.

Products are designed in accordance with meeting the above requirements; however, full conformance to these standards is dependent upon the application in which the hybrid is being used, and therefore, approvals are the responsibility of the customer and Mitel will not have tested the product to meet the above standards.

DC Loop Termination

The DC loop termination circuitry provides the loop with an active Dc load termination when a logic low is applied to the LRC (Loop Start Relay Control) input. the termination is similar to a DC resistance between

200Ω and 275Ω. An external relay is used to activate internal circuitry which switches the termination in and out of the loop. This is used for both seizing the line as well as generating dial pulses.

Supervision Features

The supervision circuitry provides the signalling status outputs. The system controlling the COIC monitors these logic outputs. The supervision circuitry is capable of detecting ringing voltage, both forward and reverse loop battery and loop current, and both grounded tip lead and grounded ring lead.

a) Supervision Features RV (Ring Voltage Detect Output)

The RV (Ringing Voltage Detect) output provides a logic low when ringing voltage is detected. This detector includes a ringing filter which ensures that the output toggles at the ringing cadence and not at the ringing frequency. Typically, this output goes low 50ms after ringing voltage is applied and remains low for 50ms after ringing voltage is removed.

b) Supervision Features FL & RL (Forward Loop and Reverse Loop Detect Output).

The FL (Forward Loop Detect) output provides a logic low when either forward loop battery or forward loop current is detected (ring lead voltage negative with respect to ring lead). The RL (Reverse Loop Detect) output provides a logic low when either reverse loop battery or reverse loop current is detected (tip lead voltage negative with respect to ring lead).

See Table 5 for Loop Battery and Current Status Outputs.

c) Supervision Features $\overline{TG}$ & $\overline{RG}$ (Tip Ground and Ring Ground Detect Output)

The $\overline{TG}$ (Tip Lead Ground Detect) output provides a logic low when the tip lead is at ground (AGND) potential. The $\overline{RG}$ (Ring Lead Ground Detect) output provides a logic low when the Ring lead is at ground (AGND) potential.

See Table 6 for Loop Ground Status Outputs.

Ground Start Signalling Features

For Ground Start signalling, relay K2 and resistors R1 and R2, and relay K3 and resistor R3 are required (See Figure 8). Activation of K2 is controlled by the logic signal at the BRC (Bias Relay Control) input while activation of K3 is controlled by the logic signal at the GRC (Ground Relay Control) input.

K2 is used to engage the bias resistors while K3 is used to ground the ring lead; this is used in ground start applications for signalling to the central office.

Typical Ground Start Signalling Protocol

Refer to Figure 8 for Typical LS-GS Application Circuit.

In the Idle state, the system (e.g., PBX control card) provides a logic high to the BRC input. This activates the COIC's second internal relay driver which activates relay K2. Both contacts of relay K2 close, which connect the -48VDC supply to Tip (tip lead) and Ring (ring lead) through bias resistors R1 and R2.

Depending on which Ground Start protocol is used, initiating a Ground start call to the central office can be performed by the following sequence of events.

The system provides a logic low to the $\overline{GRC}$ input. This activates the COIC's third internal relay driver which activates relay K3. The contacts of relay K3 close, which connects the ring lead to ground through a current limiting resistor R3.

The Central Office recognizes the ring ground condition and responds by grounding the tip lead.

The COIC senses the grounded Tip and switched the $\overline{TG}$ (Tip Lead Ground Detect) output to a logic low.

The system then applies a logic high to the LRC (Loop Relay Control) input. This activates the COIC's first internal relay driver which activates relay K1. Both contacts the relay K1 close, which activates the COIC's internal circuitry resulting in an active line termination across Tip and Ring. The system then provides a logic low to the BRC input. This deactivates the COIC's second internal relay driver which deactivates K2. Both contacts of relay K2 open, which disconnect the bias from Tip and Ring. The system then provides a logic high to the $\overline{GRC}$ input. This deactivates the COIC's third internal relay driver which deactivates relay K3. The contact of relay K3 opens, which disconnects the grounded ring lead. The voice link is now established.

Receiving a Ground Start call from central office is performed similarly. The central office can signal the COIC by either grounding the tip lead or by grounding the ring lead.

Hybrid

The 2-4 Wire Hybrid circuit separates the balanced full duplex signal at Tip and Ring of the telephone line into receive and transmit ground referenced signals at Rx (Receive) and TX (Transmit) of the COIC. The hybrid also prevents the input signal at RX from appearing at TX. The degree to which the Hybrid minimises the contribution of the RX signal at the TX output is specified as transhybrid loss. For maximizing transhybrid loss, see the Network Balance section.

The 4-Wire side can be interfaced to a filter/codec such as the Mitel MT896X, for use in digital voice switched systems.

Line Impedance

The MH88632's Tip-Ring impedance (Z_{in}) can be set to 600 Ω , 900 Ω or to a user selectable value. Thus, Z_{in} can be set to any international requirements. The connection to Z1 determines the input impedance. With Z1 connected to Z600, the line impedance is set to 600 Ω . With Z1 connected to Z900, the line impedance is set to 900 Ω . A user defined impedance can be selected which is 0.1 times the impedance between Z1 and Z2. For example, with 2200 Ω in series with 11.5nF in parallel with 8200 Ω , all between Z1 and Z2, the devices line impedance will be 220 Ω in series with 115nF in parallel with 820 Ω . See Table 3 and Figures 4 & 5.

Stability

The part will be stable with an AC load over the range $0.5 Z_{in} < \text{Load} < 2 \times Z_{in}$.

The range of loads that can be simulated by the MH88632 is extensive including those which are purely resistive and complex in nature. For loads with a low or zero series resistance additional measures need to be taken to maintain stability which involves simulating with a larger series resistance and adjusting other components accordingly.

Examples:

Sweden: Load is 900Ω in a parallel with 30nF . This is synthesised on the MH88632 by $1.5\text{k}\Omega$ in series with a parallel combination of 3nF and $7.4\text{k}\Omega$.

Norway: Load is 120Ω in series with a parallel combination of 820Ω and 110nF . This is synthesised on the MH88632 by $1.5\text{k}\Omega$ in series with a parallel combination of 12nF and $7.8\text{k}\Omega$.

Italy: Load is 750Ω in parallel with 18nF . This is synthesised on the MH88632 by $1.5\text{k}\Omega$ in series with a parallel combination of 2nF and $6\text{k}\Omega$.

Network Balance

Transhybrid loss is maximized when the line termination impedance and COIC network balance are matched. The MH88632's network balance impedance can be set to Z_{in} , AT&T ($350\Omega + 1\text{k}\Omega // 210\text{nF}$) or to a user Selectable value. Thus, the network balance impedance can be set to any international requirement. A logic level control input NS selects the balance mode. With NS at logic low, an internal network balance impedance is matched to the line impedance (Z_{in}). With NS at logic high, a user defined network balance impedance is selected which is 0.1 times the impedance between N1 and AGND. For example, with 2200Ω in series with 11.5nF in parallel with 8200Ω , all between N1 and AGND, and NS at logic high, the devices network balance impedance is 220Ω in series with 115nF in parallel with 820Ω , the impedance between N1 and N2 must be equivalent to 10 times the input impedance (Z_{in}). In addition, with NS at logic high, an AT&T network balance impedance can be selected by connecting NATT to N1; in this case, no additional network is required between N1 and N2. See Table 4 and Figures 6 & 7.

TIP-RING Drive Circuit

The audio input ground referenced signal at F is converted to a balanced output signal at Tip Ring. The Tip-Ring Drive Circuit is optimised for good 2-Wire longitudinal balance.

TIP-RING Receive Circuit

The differential audio signal at Tip and Ring is converted to a ground referenced audio signal at TX output. This circuit operates with or without current; signal reception with no loop current is required for on-hook reception enabling the detection of ANI (Automatic Number Identification) signals.

Programmable Transmit and Receive Gain

Transmit gain (Tip-Ring to TX) and receive Gain (TX to Tip-Ring) are programmed by connecting external resistors (RRX and RTX) from GRX1 to AGND from GTX1 to AGND as indicated in Figure 3 Tables 1 and 2. The programmable gain range from -12dB to $+6\text{dB}$; this wide range accommodates any loss plan. Alternatively, default Receive Gain of 0dB and Transmit Gain of 0dB can be obtained by connecting GRX0 to G and GTX0 to GTX1. In addition, a Receive Gain of $+6\text{dB}$ and Transmit Gain of $+6\text{dB}$ can be obtained not connecting resistors RRR and RTX. For call gain programming, the MH88632's Tip-Ring impedance (Z_{in}) must match the line termination impedance. For optimum performance, resistor should be physically located as close as possible to the GRX1 input pin.

ANI (Automatic Number Identification)

ANI provides the called party with calling telephone number identification. The central office utilizes the voice path of a regular loop telephone line when the COIC (subscriber's terminal) is in the on-hook state. The central office sends ANI information (data transmission typically a FSK signal of 1200Hz and 2200Hz) typically 60ms after the first ringing burst.

The COIC outputs this FSK signal at the TX output.

Absolute Maximum Ratings*

	Parameter	Sym	Min	Max	Units
1	DC Supply Voltage	V _{DD} V _{EE}	-0.3 0.3	7 -7	V
2	DC Ring Relay Voltage	V _{RLY}	-0.3	20	V
3	Storage Temperature	T _S	-55	+125	°C

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions

	Parameter	Sym	Typ*	Min	Max	Units	Comments
1	DC Supply Voltage	V _{DD} V _{EE}	5.0 -5.0	4.75 -4.75	5.25 -5.25	V	
2	DC Ring Relay Voltage	V _{VRLY}	5.0		15	V	
3	Operating Temperature	T _{OP}		0	70	°C	

* Typical figures are at 25° C with nominal ±5V supplies for design aid only.

DC Electrical Characteristics†

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1	Supply Current	I _{DD} I _{EE}			13 13	mA mA	
2	Power Consumption	PC			137	mW	
3	Low Level Output Voltage High Level Output Voltage	V _{OL} V _{OH}	2.4		0.5	V V	I _{OL} = 4mA I _{OH} = 0.5mA
4	Sink Current, Relay to V _{DD} Clamp Diode Current	I _{OL} I _{CD}	100 510			mA mA	V _{OL} = -0.35V
5	Low Level Input Voltage High Level Input Voltage	V _{IL} V _{IH}	2.0		0.8	V V	
6	High Level Input Current Low Level Input Current	I _{IH} I _{IL}		1 1		µA µA	

† DC Electrical Characteristics are over recommended operating conditions unless otherwise stated. Typical figures are at 25°C with nominal ±5V supplies and are for design aid only.

Loop Electrical Characteristics †

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1	Ring Voltage	VR	40	90	130	Vrms	
2	Ring Frequency		17	20	33	Hz	
3	Ring Equivalent Number (Type A)	REN			3		
4	Operating Loop Current		18			mA	
5	Operating Loop Resistance		0		90	Ω	@18mA, -48V
6	Off-Hook DC Resistance				2300	Ω	
7	Leakage Current (Tip-Ring to AGND)				10	mA	@1000Vac
8	FL Threshold Tip-Ring Voltage Detect Tip-Ring Current Detect		+30 +1.0		+40 +4.2	Vdc Vdc	LRC=0V LRC=0V

Loop Electrical Characteristics (Continued)

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
9	RL Threshold Tip-Ring Voltage Detect Tip-Ring Current Detect		-30 -1.0		-40 -40	Vdc Vdc	LRC = 0v LRC = 0V
10	TG and RG Detect Threshold		-12		-14	Vdc	

† DC Electrical Characteristics are over recommended operating conditions unless otherwise stated.
Typical figures are at 25°C with nominal $\pm 5V$ supplies and are for design aid only.

AC Electrical Characteristics†

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1	2-wire Input Impedance ①	Z_{in}		600 900 Ext.		Ω Ω Ω	
2	Return Loss at 2-Wire ($Z_{in} = \text{Ref.} = 600\Omega$)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
3	Return Loss at 2-Wire ($Z_{in} = \text{Ref.} = 900\Omega$)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
4	Return Loss at 2-Wire ② ($Z_{in} = \text{Ref.} = \text{External}$)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
5	Longitudinal to Metallic Balance ② ③ ④		58 58 55 53 51			dB dB dB dB dB	200 Hz 1000-Hz 2000 Hz 3000 Hz 4000 Hz
6	Metallic to Longitudinal Balance		60 40			dB dB	200-1000 Hz 1000-4000 Hz
7	Transhybrid Loss ($Z_{in} = \text{Ref.} = \text{Net} = 600\Omega$)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
8	Transhybrid Loss ($Z_{in} = \text{Ref.} = \text{Net} = 900\Omega$)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
9	Transhybrid Loss ($Z_{in} = \text{Ref.} = \text{Net} = \text{External}$)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
10	Transhybrid Loss ($Z_{in} = \text{Ref.} = \text{Net} = 600\Omega$)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
11	Input Impedance At RX					k Ω	
12	Output Impedance at TX					Ω	
13	Transmit Gain, (TX/2-Wire): Default Gain (0dB) ② ③ Programmable Range Frequency response gain ② ③ (relative to gain at 1kHz)					dB dB dB dB dB	Input 0.5V 1kHz 1kHz 200 Hz 300 Hz 3000 Hz 3400 Hz
14	Receive Gain, (2-Wire/RX): Default Gain (0dB) ② ③ Programmable Range Frequency response gain ② ③ (relative to gain at 1kHz)					dB dB dB dB dB dB	Input 0.5V 1kHz 1kHz 200 Hz 300 Hz 3000 Hz 3400 Hz

AC Electrical Characteristics† (Continued)

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
15	Signal Output Overload Level at 2-wire at TX		4.0 4.0			dBm dBm	% THD < 5% Ref. 600Ω Ref. 600Ω
16	Total Harmonic Distortion at 2-Wire at TX	THD		1.0 1.0		% %	Input 0.5V, 1kHz
17	Idle Channel Noise at 2-Wire at Tx	Nc			13 13	dBrnC dBrnC	
18	Power Supply Rejection Ratio at 2-Wire and TX V _{DD} V _{EE}	PSRR	20 20	30 30		dB dB	Ripple 0.1V, 1kHz
19	On-Hook Transmit Gain, (TX/2-Wire) Default Gain (0dB) Programmable Range On-Hook frequency Response Gain (relative to gain to 1kHz)		-1 -12 -3 -1		1 6 1 1	dB dB dB dB	Input 0.5V 1kHz 1kHz 200 Hz 3400 Hz

*Typical figure are at 25°C with nominal ±5V supplies and are for design aid only.

†AC Electrical Characteristics are over recommended operating conditions unless otherwise stated.

‡Impedance set by external network of 600Ω or 900Ω default.

§External network for test purposes consists of 2200Ω + 8200Ω // 11.5nF between pins Z1 and Z2, the equivalent Z_{in} has 1/10th the impedance and is equivalent to 220Ω + 820Ω // 115nF

¶Test condition uses a Z_{in} value of 600Ω, 900Ω and the above external network.

‡Test conditions use a transmit and receive gain set to 0dB default and a Z_{in} value of 600Ω unless otherwise stated.

Notes:

Test conditions use a transmit and receive gain set to 0dB default and a Z_{in} value of 600Ω unless otherwise stated.

Test conditions uses both the off-hook state (LRC=+5VDC) and the on-hook state (LRC=AGND)

*Ref indicates reference impedance which is equivalent to the termination impedance.

†Net indicates network balance impedance

Tables 1 & 2: Transmit and Receive Gain Programming

Transmit Gain (dB)	RTX Resistor Value (Ω)	Notes
+6.0	No Resistor	
+4.0	38.3k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
+3.7	32.4k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
0.0	GTX0 to GTX1	
-3.0	5.49k	
-6.0	3.32k	
-12.0	1.43k	
Receive Gain (dB)	RRX Resistor Value (Ω)	Notes
+6.0	No Resistor	
0.0	GRX0 to GRX1	
-3.0	5.49k	
-3.7	4.87k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
-4.0	4.64k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
-6.0	3.32k	
-12.0	1.43k	

Note 1: See Figures 3 and 4 for additional details.

Note 2: Overall gain refers to the receive path of PCM to 2-wire, and transmit path of 2-wire to PCM.

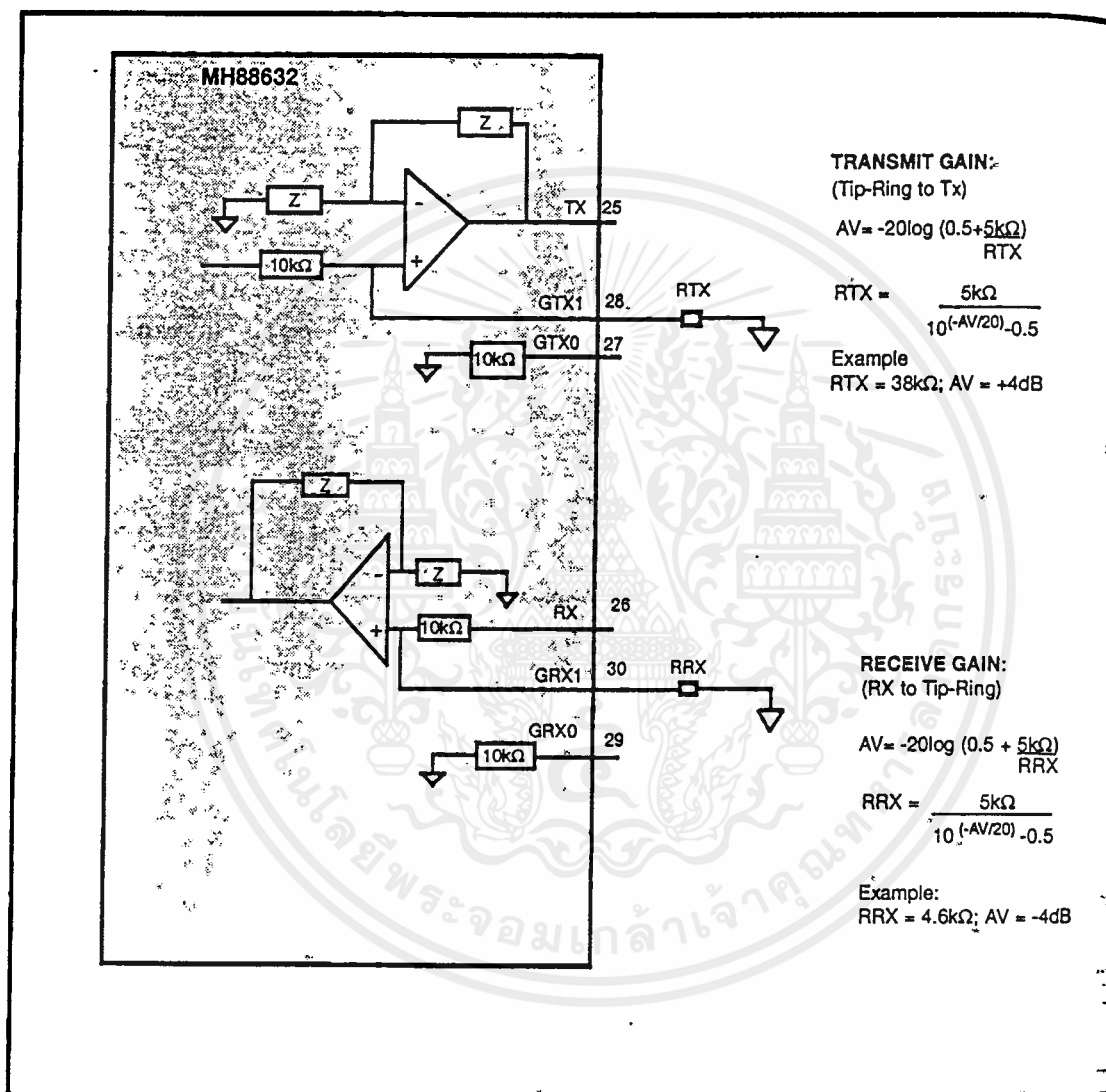


Figure 3 - Gain Programming with External Components

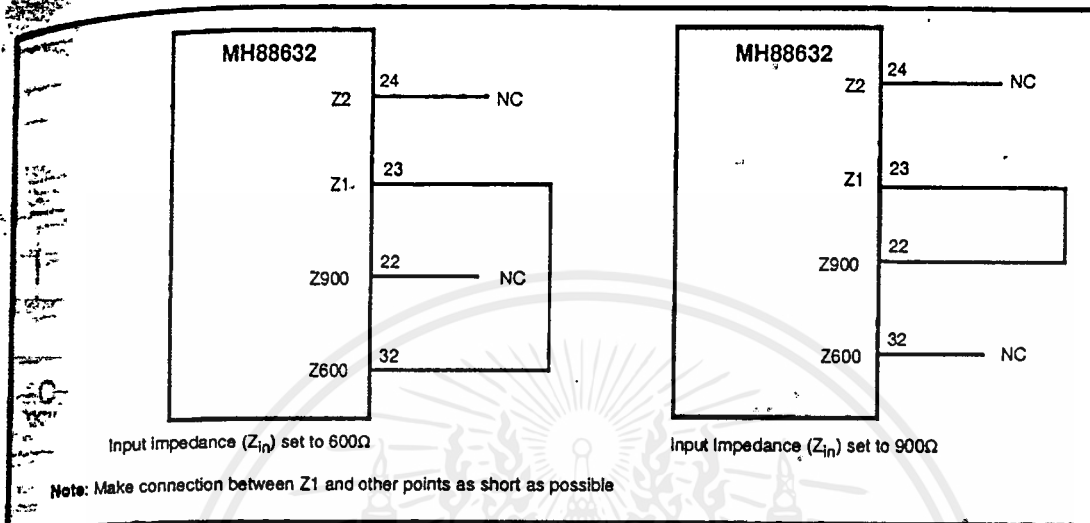


Figure 4 - Input Impedance (Z_{in}) Settings with Z_{in} equal to 600 or 900Ω

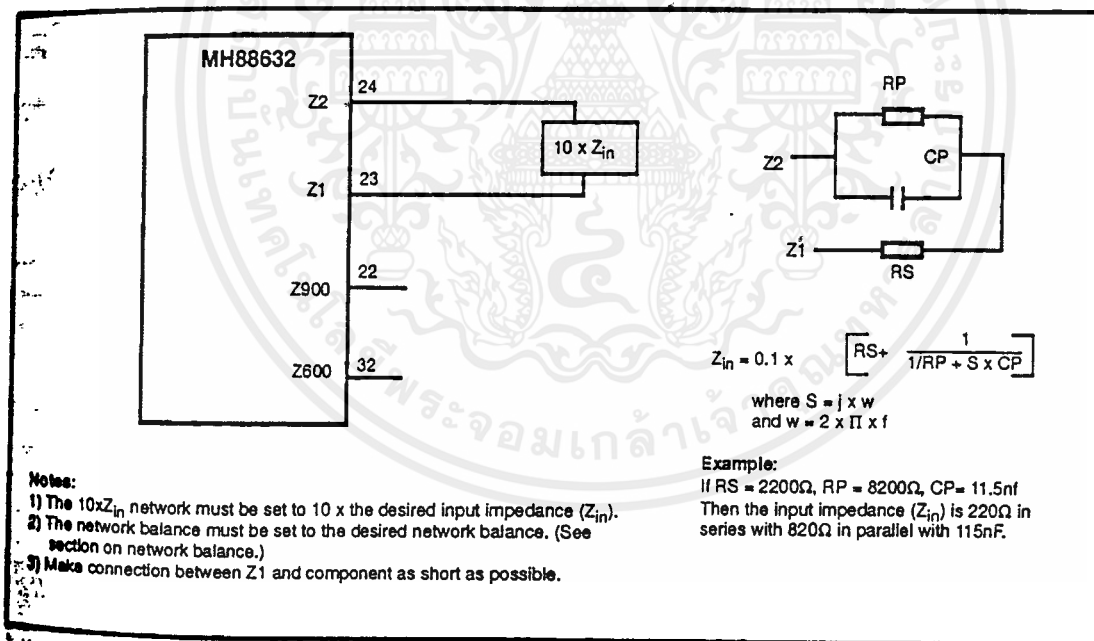


Figure 5 - Input Impedance (Z_{in}) Settings with Z_{in} not equal to 600 to 900Ω

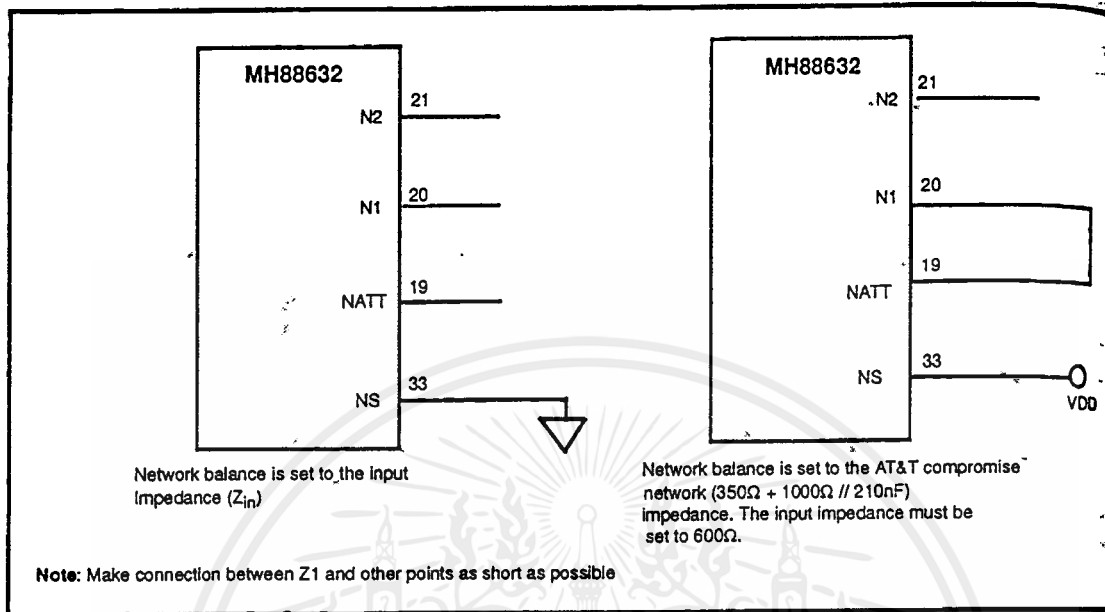
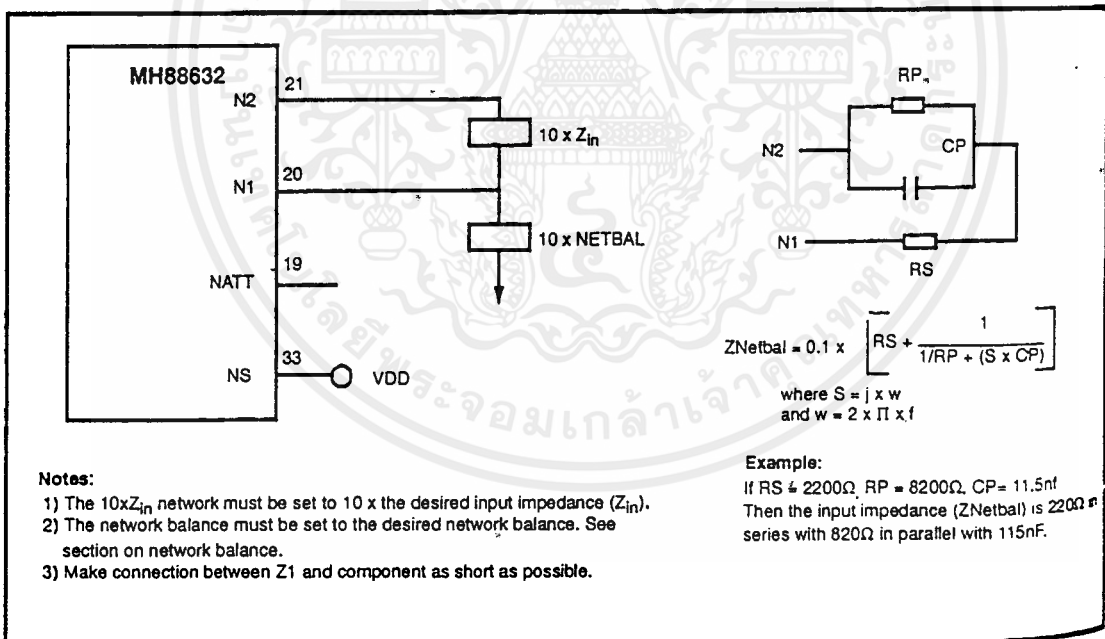
Figure 6 - Network Balance Setting with NETBAL equal to Z_{in} or AT&TFigure 7 - Network Balance Setting with NETBAL not equal to Z_{in} or AT&T

Table 3: Input Impedance Settings

Z2	Z1	Z600	Z900	Resulting input impedance (Z_{in})
NA	Connect Z1 to Z600		NA	600 Ω
NA	Connect Z1 to Z900	NA	Connect Z1 to Z900	900 Ω
Connect network from Z1 to Z2		NA	NA	0.1 x impedance between Z1 & Z2

Note 1: NA indicates high impedance (10k Ω) connection to this pin does not effect the resulting network balance.
 Note 2: See Figure 4 & 5 for Applications Circuits

Table 4: Network Balance Settings.

NS (Input)	N2	N1	NATT	Resulting input impedance (Z_{in})
Low	NA	NA	NA	Equivalent to Z_{in}
High	NA	Connect N1 to NATT		AT&T compromise (350 Ω + 1k Ω // 210nF) Zin must be 600 Ω
High	Connect network from N1 to AGND equivalent to 10 x NETBAL. Connect network from N1 to N2 equivalent to 10 x Z_{in} .		NA	0.1 x impedance between N1 & N2

Note 1: NA indicates high impedance (10k Ω) connection to this pin does not effect the resulting network balance.
 Note 2: Low Indicates Logic Low.
 Note 3: See Figures 6 and 7 for Application Circuit.

Table 5: Control Decode Table

Loop Status	Loop Condition	LRC (Input)	FL (Output)	RL (Output)
Forward Battery	VT-VR > 40 V	Low	Low	High
Forward Current	VT-VR > 3.4 V	High	Low	High
Reverse Battery	VR-VT > 40V	Low	High	Low
Reverse Current	VR-VT > 3.4 V	High	High	Low
No Battery	IVT-VRI > 1.0 V	Low	High	High
No Current	IVT-VRI > 10 V	High	High	High
Not Valid	No Condition	High or Low	Low	Low

Note 1: VT - VR = Differential voltage from Tip to Ring VR - VT = Differential voltage from Ring to Tip
 Note 2: Low indicates Logic Low. High indicates logic High.
 Note 3: See Figures 8 & 10 for Application Circuit.

Table 6: Loop Current Setting

Loop Status	Loop Condition	RG (Output)	TG (Output)
Ring and Tip open	VT-VG > -14 V VR-VG < -14V	High	High
Ring Ground and Tip Open	VR-VG > -12 V VT-VG < -14V	Low	High
Tip Ground and Ring Open	VT-VG > -12 V VR-VG < -14V	High	Low
Ring and Tip Ground	VR-VG > -12 V VT-VG < -12V	Low	Low

Note 1: VT - VR = Differential voltage from Tip to Ring VR - VT = Differential voltage from Ring to AGND
 Note 2: A > -B indicates that "A" is less negative than "-B". A < -B indicates that "A" is more negative than "-B".
 Note 3: Low indicates Logic Low. High indicates logic High.
 Note 4: See Figure 8 for Application Circuit.

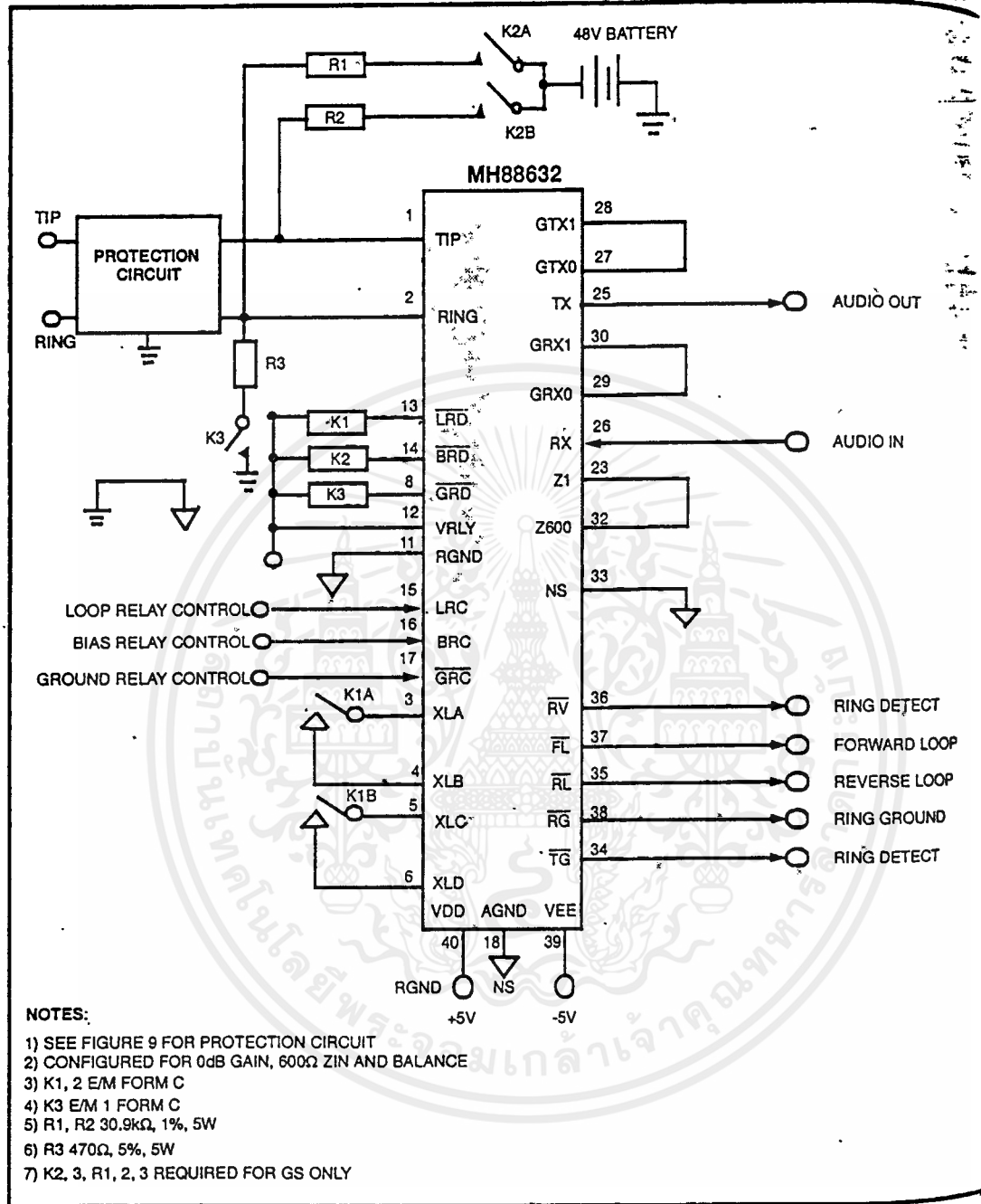
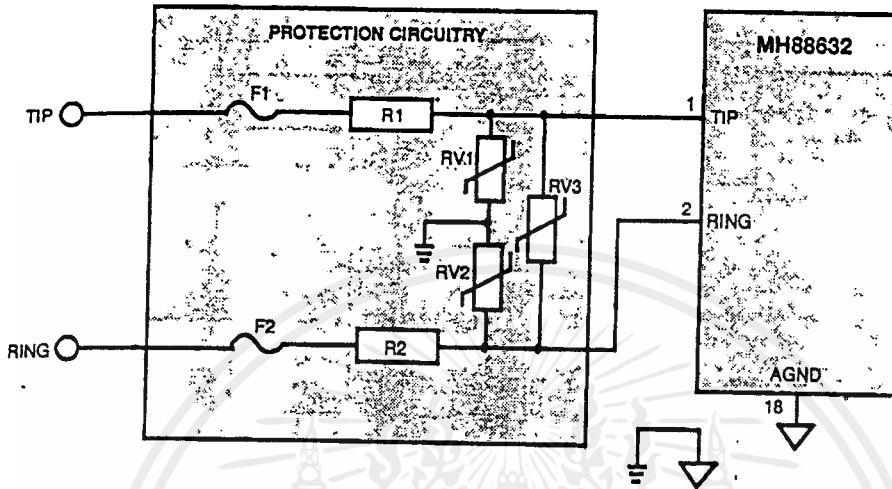


Figure 8 - Typical LS-GS Application Circuit



Notes:

- 1) F1, 2 1AMP, 250VAC, SLOW-BLOW LITTLEFUSE 230 2AG
- 2) R1, 2, 2.4Ω 5% 1/2W 350V, FLAME RATED RESISTOR I.e., ALLEN BRADLEY EB24G5, DALE/VISHAY LCA 0411NE 2.4Ω 5%
- 3) RV1, 2, 3, 250VAC, 35J, METAL OXIDE VARISTOR I.e., HARRIS, V250LA10, OHIZUMI 0250NC12D

Figure 9 - External Protection Applications Circuit

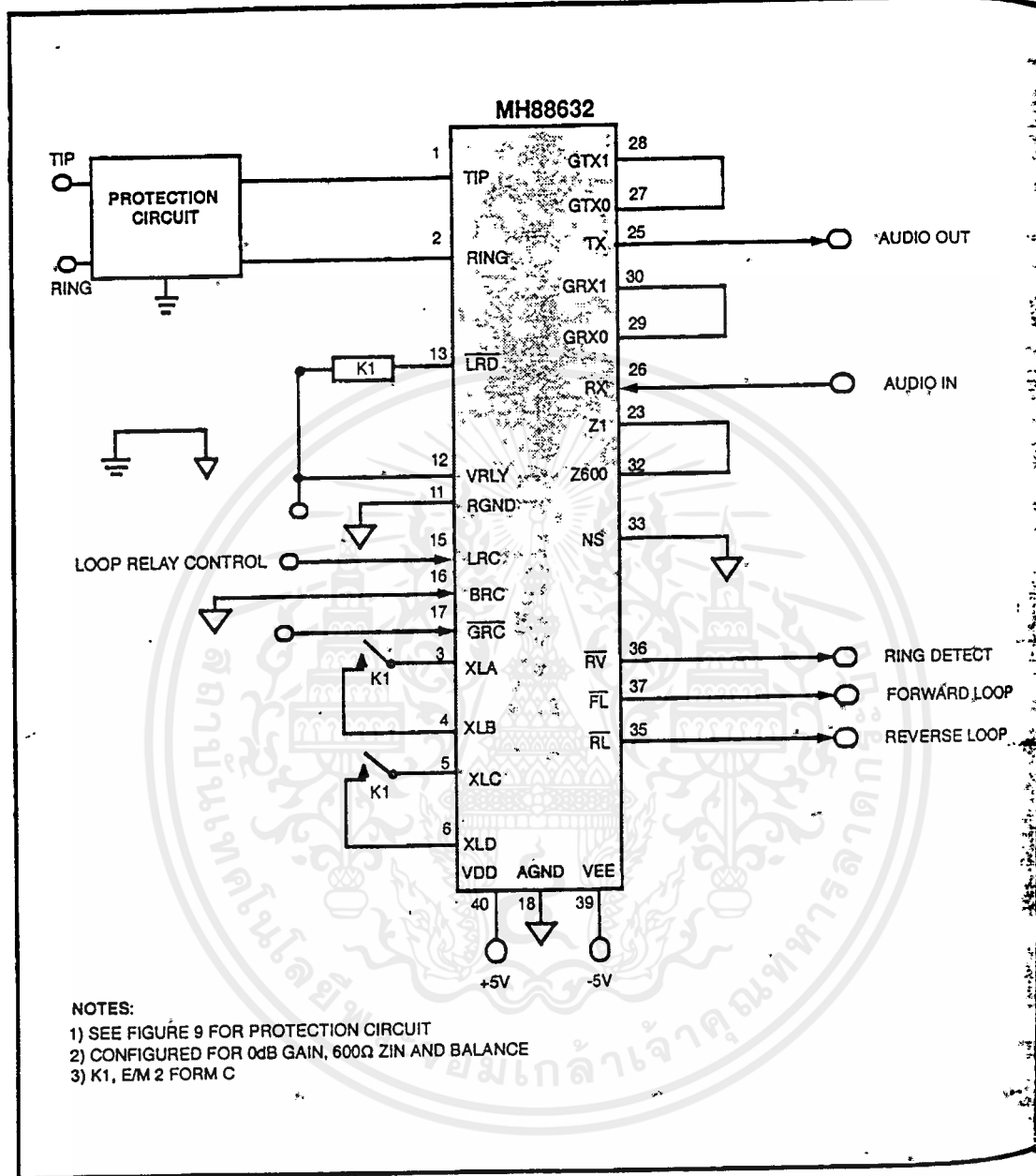


Figure 10 - Typical LS Application Circuit

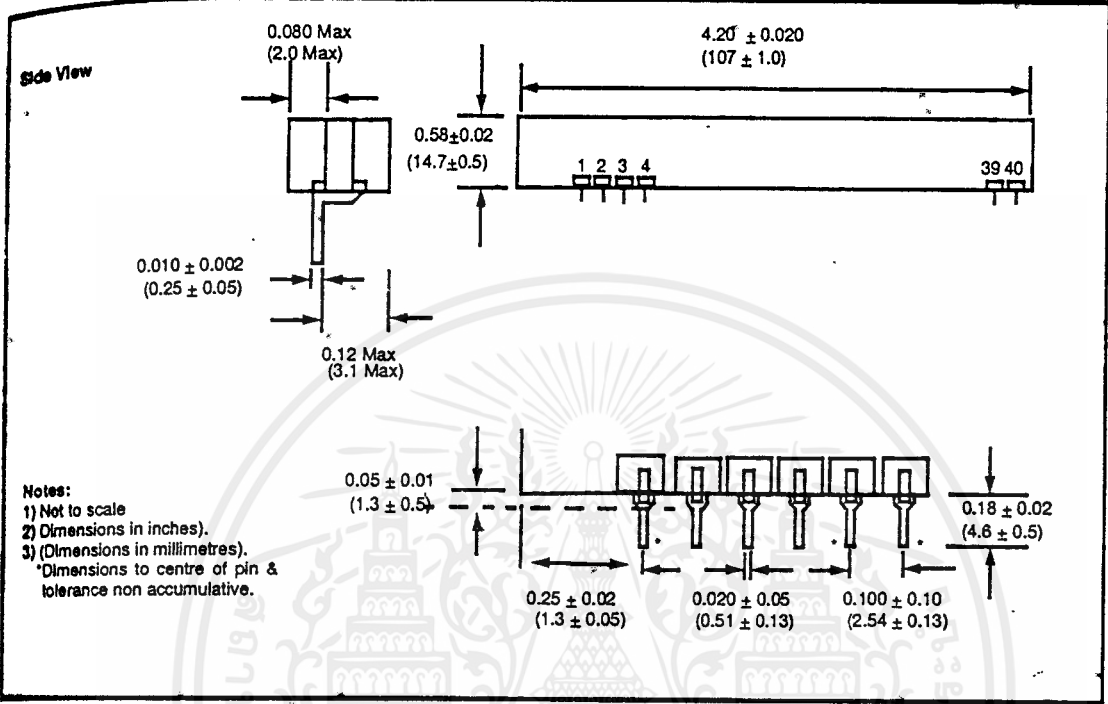


Figure 11 - Mechanical Data

เอกสารอ้างอิง

1. ประเมษฐ์ ประณยานันท์ และ ปิยะพงศ์ เผ่าวนิช. “คู่มือและการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS - 51” กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น , 2536
2. ทิพัฒน์ เลาหสงคราม. “ภาษาแอสเซมบลีสำหรับไมโครคอนโทรลเลอร์ MCS - 51” กรุงเทพมหานคร : ภาควิชาเทคโนโลยีทางอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2537
3. รัชชัย อินทุโส และ ไตรภพ อินทุโส. “ไมโครคอนโทรลเลอร์ 8051” กรุงเทพมหานคร : ฟิสิกส์ เซ็นเตอร์ , 2537
4. สุนทร วิฑูรพจน์. “การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051” กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น , 2536
5. สุทรนันท์ พรศิริกุล. “ลิกอิกนิตกับโทรศัพท์” เซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 121 (ตุลาคม 2535) 108-116 , ฉบับที่ 122 (พฤศจิกายน 2535) 52-60
6. เสกสิทธิ์ คำชมภู. “เครื่องบันทึกเสียงไร้เส้นเทป” เซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 146 (กุมภาพันธ์ - มีนาคม 2538) 58-61
7. เสกสิทธิ์ คำชมภู. “อุปกรณ์นำใช้/ไอซีนำสน” เซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 145 (ธันวาคม 2537 - มกราคม 2538) 100-104
8. โกมล ยุทธหาญ, ชาติชาย ชำของยนต์ และ อภิชาติ หมวดทอง “ระบบแจ้งข้อความทางโทรศัพท์” ปรินูญานิพนธ์ ภาควิชา เทคโนโลยีอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2538
9. Digital / Analog communications handbook. CANADA : MITEL Corporation. 1993