เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

โดย

นางสาวอาทิตา ถาวรวรรณ

นายเอกวิทย์ โกมลพันธุ์

วัน เดือน ปี 17 ธค. 2541

เลขทะเบียน 039029

เลขเรียกหนังสือ โ40170 ค585ท

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M039029

เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

โดย

นางสาวอาทิตา ถาวรวรรณ 37014586

นายเอกวิทย์ โกมลพันธุ์ 37014607

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

ผู้จัดทำ

1. นางสาวอาทิตา ถาวรวรรณ 37014586
2. นายเอกวิทย์ โกมลพันธุ์ 37014607

..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION

โดย นางสาว อาทิตา ถาวรวรรณ 37014586

นาย เอกวิทย์ โกมลพันธุ์ 37014607

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้ เป็นการนำเสนอการทดลองการส่งสัญญาณดิจิตอลความเร็ว 256 kbps ไปตามสายโคแอกเชียล โดยใช้หลักการของการมอดูเลทแบบ 16 QAM ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอล ข้อมูลดิจิตอลนั้นจะถูกบรรจุอยู่ในเฟสหรือขนาดหรือทั้งคู่ของสัญญาณพาหะ ในโครงงานนี้จะใช้วงจรผลิตสัญญาณพาหะ 1.024 MHz และสัญญาณไพล็อทโทน 896 kHz ที่อ้างอิงจากสัญญาณนาฬิกา 256 kbps และใช้วงจรแยกสัญญาณดิจิตอล แล้วนำสัญญาณดิจิตอลไปแปลงเป็นสัญญาณ PAM ก่อนจะเข้าวงจาบาลานซ์มอดูเลเตอร์ ดังนั้น ที่วงจรบาลานซ์มอดูเลอเตอร์ จะมีการเปลี่ยนแปลงที่เอาท์พุทหนึ่งครั้งเมื่อมีข้อมูลอินพุทเข้ามาทุกๆ 4 บิท ซึ่งสามารถแสดงให้เห็นว่า 16 QAM มีประสิทธิภาพในการใช้แบนด์วิธมากกว่า BPSK สำหรับบิทเรทที่เท่ากัน

ABSTRACT

This project presents a digital transmission system which is transmitted via the coaxial cable at 256 kbps speed by using the 16 QAM. 16 QAM is a form of digital modulation which the digital information is contained of both the amplitude and phase of the transmitted carrier. This project uses the carrier signal frequency and the pilot tone signal frequency at 1.024 MHz and 896 kHz, respectively, all of the system is controlled by clock at 256 kbps. To use 2 to 4-levels converter to convert the digital signal to be the PAM signal is carried out before passing the signal to the balanced modulator. The output signal is changed every 4 bit input data. The results show that 16 QAM has more bandwidth efficiency than BPSK, at the same bit rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
1. บทนำ	1
2. ทฤษฎีและหลักการ	2
2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น	2
2.1.1 ประสิทธิภาพของแถบความถี่	4
2.1.2 การพิจารณาแถบความถี่ของ 16 QAM	6
2.1.3 ความน่าจะเป็นของความผิดพลาดของบิท	7
2.2 แอคทีฟฟิลเตอร์	7
2.3 เฟสล็อคลูป	10
2.3.1 หลักการของเฟสล็อคลูป	11
2.3.2 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป	13
2.4 วงจรขยายความแตกต่าง	13
2.5 วงจรซัมมิ่งแอมป์ ,สเกลลิ่ง และเอเวอร์เรจจิ้งแอมป์	17
3. การออกแบบและทดลองวงจรทางด้านภาคส่งและรับ	19
3.1 วงจรแยกสัญญาณดิจิตอล	19
3.2 วงจรแปลง 2 บิทไปเป็น 4 ระดับ	20
3.3 วงจรกรองความถี่ต่ำ	21
3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz	22
3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 896 kHz	23
3.6 วงจรกรองช่วงความถี่	24
3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	25
3.8 วงจรบาลานซ์มอดูเลเตอร์	26
3.9 วงจรรวมสัญญาณมอดูเลท	27
3.10 วงจรกู้สัญญาณนาฬิกา	28
3.11 วงจรกู้สัญญาณพาหะ	29
3.12 วงจรบาลานซ์ดีมอดูเลเตอร์	30
3.13 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิท	31
3.14 วงจรรวมสัญญาณดิจิตอล	33
4. การทดลองและผลการทดลอง	43
5. สรุปและวิจารณ์ผลการทดลอง	53
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบสื่อสารโทรคมนาคมที่ใช้กันปัจจุบันมีความต้องการเพิ่มขึ้นอย่างมาก ทั้งทางคุณภาพ ปริมาณ และความยืดหยุ่นในการใช้งาน ด้วยเหตุนี้ ระบบสื่อสารแบบดิจิตอล (Digital Communication system) ที่ให้ความถูกต้องแม่นยำมากกว่า จึงถูกพัฒนาเข้ามาแทนที่ระบบสื่อสารแบบอนาลอก (Analog Communication System) อีกทั้งในการส่งสัญญาณ หรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์ ระบบสื่อสารดาวเทียมภาคพื้นดิน หรือ ระบบสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Sattellite System) เป็นต้น จึงจำเป็นต้องใช้เทคนิคการมอดูเลทสัญญาณดิจิตอล ที่ละเอียดซับซ้อน ทำให้ต้องมีการศึกษาและค้นคว้าเทคนิคในการมอดูเลทแบบต่างๆ เพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดูเลทสัญญาณดิจิตอลนั้น มีหลายรูปแบบ เช่น FSK , PSK , BPSK , QPSK , 8PSK , QAM , 8QAM , 16QAM ฯลฯ แต่ในการส่งสัญญาณดิจิตอลนั้น หากเป็นสัญญาณที่มีอัตราเร็วสูงๆ จะมีผลทำให้มีขนาดของแบนด์วิธที่กว้างมาก ไม่เป็นการประหยัดในการเข้าใช้ช่องสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิธของสัญญาณ ดังนั้น โครงงานนี้จึงนำเสนอการส่งสัญญาณดิจิตอลที่มีอัตราเร็วในการส่งสัญญาณดิจิตอล 256 kbps โดยใช้วิธีการส่งสัญญาณแบบ 16QAM ซึ่งการเปลี่ยนแปลงของคลื่นพาหะ จะมีทั้งเฟสและขนาดรวม 16 ตำแหน่ง ภายในหนึ่งคาบเวลา ซึ่งทำให้สามารถ ลดแบนด์วิธลงได้ ถึง 4 เท่า ของการส่งสัญญาณแบบ PSK จะทำให้ การใช้ช่องสัญญาณ มีประสิทธิภาพมากยิ่งขึ้น เพราะสามารถลดขนาดแบนด์วิธของช่องสัญญาณได้ หรือกล่าวอีกนัยหนึ่งก็คือ สามารถเพิ่มบิทเรทของสัญญาณข้อมูลได้ ขณะที่มีแบนด์วิธเท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น

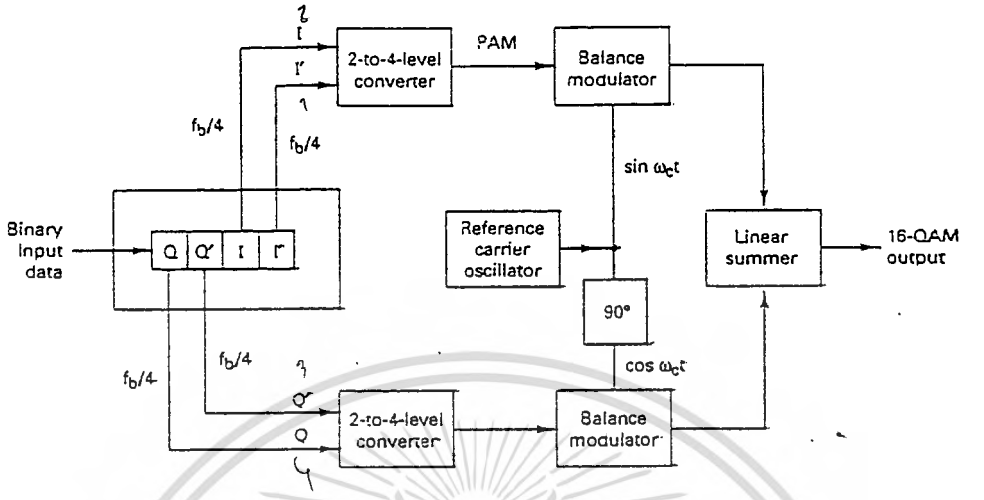
(Quadrature Amplitude Modulation : QAM)

ควอดราเจอร์แอมปลิจูดมอดูเลชั่น เป็นการมอดูเลทสัญญาณดิจิตอลอีกรูปแบบหนึ่ง ซึ่งข้อมูลดิจิตอลจะถูกบรรจุ ในทั้งแอมปลิจูด และเฟสของสัญญาณพาหะ และในโครงงานนี้ จะเลือกใช้แบบ 16 QAM ซึ่งเป็นเทคนิคการเข้ารหัสแบบ M-ary เมื่อ M = 16 ข้อมูลอินพุทถูกแบ่งเป็นกลุ่มๆ ละ 4 ($2^4 = 16$)

รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 16 QAM ข้อมูลอินพุทแบบเลขฐานสองจะถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่อง คือ I , I , Q และ Q บิทเรทในแต่ละช่องมีค่าเป็น 1/4 เท่าของบิทเรทอินพุท ($f_b/4$) อินพุททั้ง 4 บิทจะถูกส่งแบบอนุกรมเข้าวงจรแยกบิท แล้วถูกส่งออกมาพร้อมๆ กัน เป็นเอาท์พุทแบบขนานด้วยช่อง I , I´, Q และ Q´ บิท I และ Q ทั้งคู่ จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ โดยบิท I และ Q จะเป็นตัวกำหนดโพลาริตี้ (polarity) ของเอาท์พุท ที่ออกจากวงจรแบ่ลง 2 ลอจิก ไปเป็น 4 ระดับ (ลอจิก 1 = บวก และลอจิก 0 = ลบ) ส่วนบิท I และ Q จะเป็นตัวกำหนดขนาด (ลอจิก 1 = 0.821 V และลอจิก 0 = 0.22 V) ดังนั้นวงจรแปลง 2 ลอจิก เป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณ คือ มี 2 ขั้ว และ 2 ขนาดที่เป็นไปได้ที่เอาท์พุทของวงจรแปลง 2 ลอจิกเป็น 4 ระดับแต่ละวงจร ซึ่งมีค่าเป็น +0.22V และ +0.821V สัญญาณ PAM จะเข้าไปมอดูเลท กับ สัญญาณพาหะอินเฟส (Inphase) และ สัญญาณพาหะควอดราเจอร์เฟส (Quadrature Phase) ด้วยวงจรคูณ ดังนั้นผลที่ได้จะมี 4 เอาท์พุทสำหรับวงจรคูณแต่ละวงจร ดังแสดงในตาราง รูปที่ 2.2 วงจรคูณ I มีค่าเป็น $+0.821\sin w_c t$, $+0.22\sin w_c t$, $-0.22\sin w_c t$ และ $-0.821\sin w_c t$ ส่วนวงจรคูณ Q มีค่าเป็น $+0.821\cos w_c t$, $+0.22\cos w_c t$, $-0.22\cos w_c t$ และ $-0.821\cos w_c t$ และ เมื่อนำผลลัพธ์ที่ได้จากวงจรคูณ I และ Q ไปรวมกัน ที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอาท์พุทถึง 16 รูปแบบ สำหรับ 16 QAM

ส่วนในการพิจารณาขนาดของแบนด์วิธนั้น สำหรับบิทเรทอินพุทที่เหมือนกัน แถบความถี่ที่น้อยที่สุดที่ต้องการส่งผ่านวงจรมอดูเลท 16 QAM มีค่าเป็น 1/4 เท่าของวงจรมอดูเลท BPSK และมีค่าเป็น 1/2 เท่าของ QPSK และน้อยกว่า 25% เมื่อใช้ 8PSK สำหรับการมอดูเลทแต่ละวิธีอัตราบอด (baud rate) จะถูกลดลงด้วยอัตราส่วนที่เหมือนๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของ 16 QAM มอดูเลเตอร์

I	I´	Output
0	0	-0.220
0	1	-0.821
1	0	+0.220
1	1	+0.821

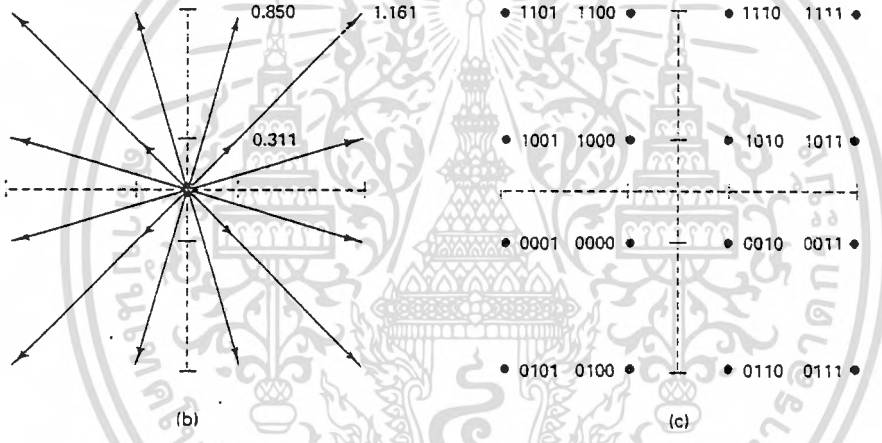
Q	Q´	Output
0	0	-0.220
0	1	-0.821
1	0	+0.220
1	1	+0.821

รูปที่ 2.2 แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary input				16-QAM output	
Q	Q′	I	I′		
0	0	0	0	0.311 V	−135°
0	0	0	1	0.850 V	−165°
0	0	1	0	0.311 V	−45°
0	0	1	1	0.850 V	−15°
0	1	0	0	0.850 V	−105°
0	1	0	1	1.161 V	−135°
0	1	1	0	0.850 V	−75°
0	1	1	1	1.161 V	−45°
1	0	0	0	0.311 V	135°
1	0	0	1	0.850 V	175°
1	0	1	0	0.311 V	45°
1	0	1	1	0.850 V	15°
1	1	0	0	0.850 V	105°
1	1	0	1	1.161 V	135°
1	1	1	0	0.850 V	75°
1	1	1	1	1.161 V	45°

(a)



รูปที่ 2.3 แสดงเฟสเซอร์ไดอะแกรม และคอนสตีลเลชั่นไดอะแกรมของ 16 QAM

(Phasor diagram and Constellation diagram of 16 QAM)

2.1.1 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิทเรทในการส่งกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่มักจะถูกจัดให้เป็น 1 เฮิรตซ์ เพื่อทำให้สามารถแยกจำนวนบิท ที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ได้ เราสามารถเขียนสมการประสิทธิภาพของแถบความถี่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพของแถบความถี่ = อัตราเร็วในการส่ง (bps) / แถบความถี่ที่น้อยที่สุด (Hz)

= บิท / ไซเคิล

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK, QPSK, 8PSK และ16QAM ซึ่งแถบความถี่ที่น้อยที่สุด ที่ใช้ส่งสัญญาณ ที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆ แสดงได้ดังตารางในรูปที่ 2.4

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

รูปที่ 2.4 แสดงตารางค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทแบบต่างๆ

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16 QAM มีประสิทธิภาพสูงที่สุด และ 16 QAM ต้องการเพียง 1/4 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน และสามารถสรุปข้อแตกต่างของ FSK, PSK และ QAM ได้ดังในตารางรูปที่ 2.5

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	$\geqslant f_b$	f_b	$\leqslant 1$
BPSK	Single bit	f_b	f_b	1
QPSK	Dibit	$f_b/2$	$f_b/2$	2
8PSK	Tribit	$f_b/3$	$f_b/3$	3
8QAM	Tribit	$f_b/3$	$f_b/3$	3
16PSK	Quadbit	$f_b/4$	$f_b/4$	4
16QAM	Quadbit	$f_b/4$	$f_b/4$	4

รูปที่ 2.5 แสดงตารางสรุปข้อแตกต่างของ FSK, PSK และ QAM

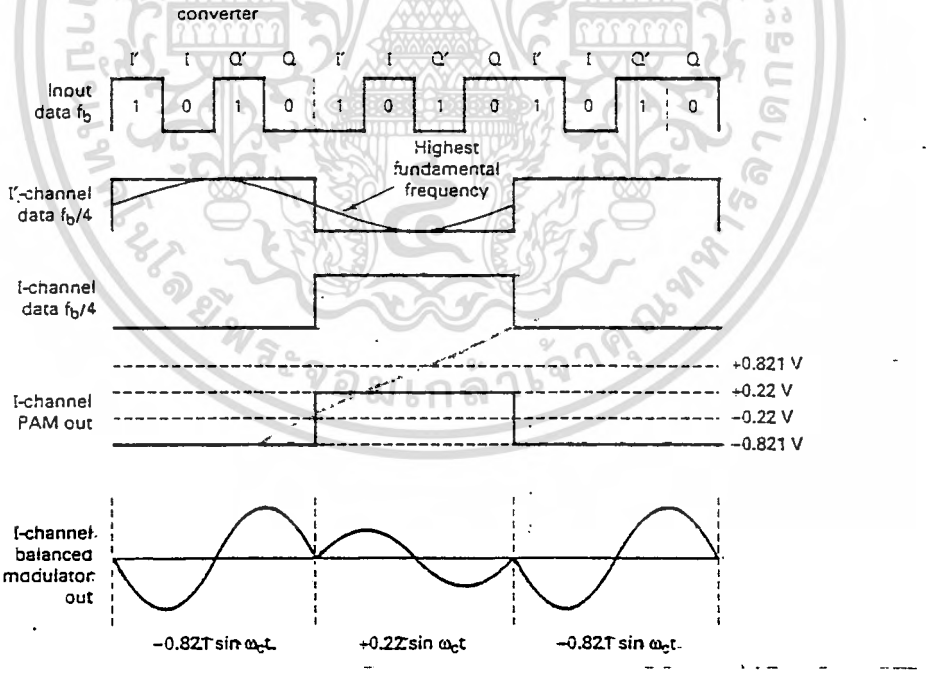
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 การพิจารณาแถบความถี่ของ 16 QAM

การส่งข้อมูลดิจิตอลแบบ 16 QAM นี้เมื่อป้อนข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเพื่อป้อนเข้าฟลิปฟลอป 4 ตัว และ บิทเรทในช่อง I , I′,Q และ Q′ มีค่าเท่ากับ 1/4 ของอัตราขาเข้า ของข้อมูลอินพุทแบบเลขฐานสอง ($f_b/4$) วงจรแยกบิทจะขยายบิท I , I′,Q และ Q′ ให้มีคาบเวลาเป็นสี่เท่าของคาบเวลาบิทอินพุท ทั้งนี้เพราะว่า บิท I , I′, Q และ Q′ จะเป็นเอาท์พุทออกมาพร้อมกัน และอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุท และเอาท์พุทเป็น 1/4 เท่า ของอัตราเข้าของข้อมูลอินพุท

จากรูปที่ 2.6 แสดงความสัมพันธ์ของเวลาของบิท (Bit timing relationship) ระหว่าง สัญญาณอินพุท 2 บิท และ สัญญาณจากช่อง I , I′, Q และ Q′ และสัญญาณ PAM จากช่อง I จะเห็นว่า ความถี่พื้นฐานสูงที่สุด (highest fundamental frequency) ในช่อง I , I′, Q และ Q′ จะมีค่า 1/8 เท่า ของบิทเรท ดิจิตอลอินพุท (หนึ่งไซเคิลในช่อง I , I′, Q และ Q′ จะใช้เวลาเท่ากับเวลาที่อินพุทเข้ามา 8 บิท) ดังนั้น ความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณ จะมีค่าเท่ากับ 1/8 ของบิทเรทดิจิตอลอินพุท

วงจรมอดูเลเตอร์ของ 16 QAM จะมีการเปลี่ยนแปลงเอาท์พุท 1 ครั้ง (เฟส หรือแอมปลิจูด หรือทั้งสองอย่าง) สำหรับเมื่อมีสัญญาณอินพุทเข้ามาทุกๆ 4 บิท ดังนั้น จะมีอัตราบอดเท่ากับ $f_b/4$ ซึ่งจะเท่ากันกับแถบความถี่ที่น้อยที่สุด



รูปที่ 2.6 แสดงการพิจารณาแถบความถี่ของ 16 QAM มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 ความน่าจะเป็นของความผิดพลาด และอัตราความผิดพลาดของบิท

(Probability of error and Bit Error Rate : P(e) & BER)

ความน่าจะเป็นของความผิดพลาด และอัตราความผิดพลาดของบิท จะมีความหมายที่แตกต่างกันอยู่เล็กน้อย P(e) คือ การคาดเดาอย่ามีเหตุผลของอัตราการผิดของบิท ส่วน BER คือ การบันทึกโดยการสังเกตการกระทำของระบบที่เกิดการผิดพลาดจริง

ความน่าจะเป็นของความผิดพลาด เป็นฟังก์ชั่นของอัตราส่วนระหว่างสัญญาณพาหะและสัญญาณรบกวนของเครื่องรับ ขึ้นอยู่กับ M-ary ที่ใช้และ P(e) ที่ต้องการ โดยทั่วไป อัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการสำหรับระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

2.2 แอคทีฟฟิลเตอร์ (Active Filter)

แอคทีฟฟิลเตอร์ เป็นวงจรที่ทำหน้าที่กรองความถี่สัญญาณ ประกอบด้วย ทรานซิสเตอร์ หรือไอซี หรือ วงจรเลือกความถี่ (Frequency Selective) จำพวก รีซิสเตอร์ (Resister) กับ คาปาซิเตอร์ (Capacitor) วงจรให้ผ่านได้ เฉพาะสัญญาณ ในช่วงความถี่ที่กำหนด ขณะเดียวกัน จะขวางกั้น (Block) หรือ ลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่เอาท์พุท โดยทั่วไปแล้ว ฟิลเตอร์แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. ฟิลเตอร์ (Filter) ชนิดอนาลอก (Analog) หรือ ดิจิตอล(digital)
2. ฟิลเตอร์ ประเภทแอคทีฟ (Active) หรือ แพสซีฟ (Passive)
3. ฟิลเตอร์ ย่านความถี่เสียง (Audio Frequency) หรือ ย่านความถี่วิทยุ (Radio Frequency)

ฟิลเตอร์แบบอนาลอก ออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วนฟิลเตอร์แบบดิจิตอลใช้งานกับสัญญาณดิจิตอล โดยอาศัยเทคนิคทางอนาลอกมาช่วย ถ้าคำนึงถึงชิ้นส่วน ที่นำมาประกอบกัน เป็นวงจรฟิลเตอร์ แบ่งออกเป็น แพสซีฟ และแอคทีฟ ชิ้นส่วนวงจรที่ใช้ใน ฟิลเตอร์แบบแพสซีฟ ได้แก่ รีซิสเตอร์ คาปาซิเตอร์ และ อินดัคเตอร์ (Inductor) ส่วนวงจรกรองความถี่แบบแอคทีฟ ประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์ หรือไอซี ในรูปออปแอมป์ และรีซิสเตอร์ และคาปาซิเตอร์ ทำงานร่วมกัน รีซิสเตอร์ คาปาซิเตอร์ และอินดัคเตอร์ ถือได้ว่าเป็นชิ้นส่วนประเภทแพสซีฟ การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณ ที่ต้องการให้วงจรฟิลเตอร์ทำงาน ยกตัวอย่าง วงจร ฟิลเตอร์แบบ RC (RC filter) ใช้กับย่านความถี่เสียง หรือในย่านความถี่ต่ำ ในขณะที่วงจรฟิลเตอร์แบบ LC (LC filter) จะใช้ในย่านความถี่วิทยุ หรือย่านความถี่สูง

ข้อดีของแอคทีฟฟิลเตอร์ ที่มีเหนือกว่า แพสซีฟฟิลเตอร์

1. การปรับอัตราการขยาย และปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของออปแอมป์ ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมด ด้วยการจัดค่าชิ้นส่วนอุปกรณ์ ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ไม่มีปัญหาโหลดดิ้ง (Loading) จากการที่ออปแอมป์ มีคุณสมบัติของอินพุทอิมพิแดนซ์สูง และเอาท์พุทอิมพิแดนซ์ต่ำ วงจรแอคทีฟฟิลเตอร์ อาศัยออปแอมป์ จึงไม่เกิดปัญหาการโหลดดิ้งกับเอาท์พุท และอินพุทของวงจร ณ จุดที่นำแอคทีฟฟิลเตอร์เข้าไปต่อร่วม

3. ราคาถูกกว่า เนื่องจากแอคทีฟฟิลเตอร์มีราคาถูกกว่าแพสซีฟฟิลเตอร์ เพราะไม่ต้องอาศัยอินดัคเตอร์ที่มีราคาแพง และยังใช้ออปแอมป์ ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่งแอคทีฟฟิลเตอร์ ตามลักษณะการทำงานออกเป็น 5 ชนิด

ก. โลพาสฟิลเตอร์ (Low Pass Filter : LPF)

ข. ไฮพาสฟิลเตอร์ (High Pass Filter : HPF)

ค. แบนด์พาสฟิลเตอร์ (Band Pass Filter : BPF)

ง. แบนด์รีเจคท์ หรือ แบนด์สต๊อปฟิลเตอร์
(Band Reject or Band Stop Filter : BSF)

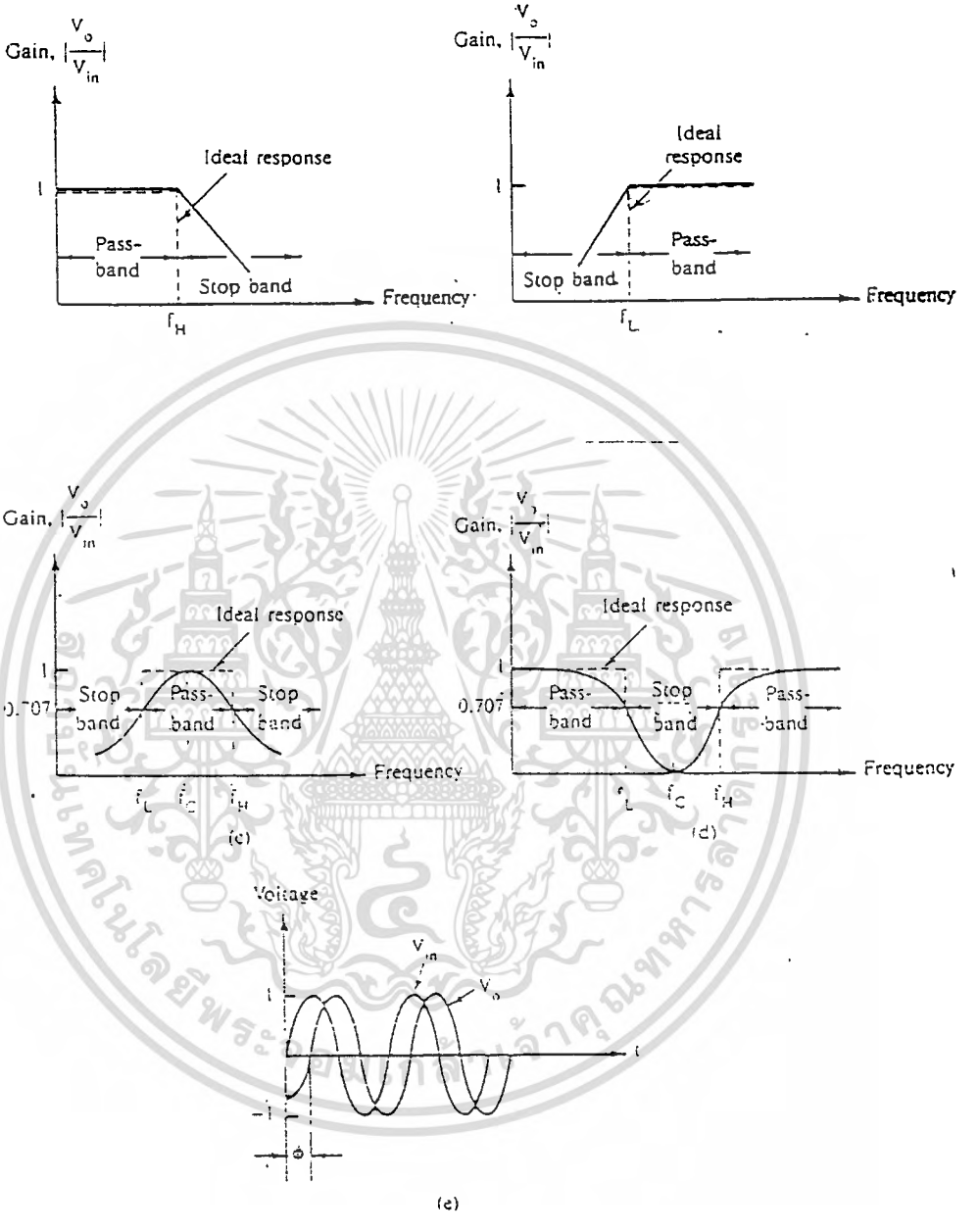
จ. ออลพาสฟิลเตอร์ (All Pass Filter)

ฟิลเตอร์เหล่านี้อาศัย รีซิสเตอร์ และคาปาซิเตอร์ เป็นอุปกรณ์แบบแพสซีฟ ทำงานร่วมกับ อุปกรณ์แบบแอคทีฟ (Active Element) จำพวกออปแอมป์ อาศัยไอซีที่มีคุณสมบัติไฮสปีด (High Speed) ที่มีสลูว์เลท (Slew Rate) สูง และ ยูนิตี้เกนแบนด์วิธ (Unity Gain Bandwidth) สูงๆ เช่น LM318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่ และด้านอัตราการขยายของฟิลเตอร์ดีขึ้น

การตอบสนองความถี่ (Frequency Response) ของฟิลเตอร์ทั้ง 5 ชนิด แสดงดังในรูปที่ 2.7 เส้นประแสดงถึง การตอบสนอง (Response) ที่เป็นอุดมคติ ในทางทฤษฎี ส่วน กราฟการตอบสนอง (Response Curve) ในทางปฏิบัติแสดงด้วยเส้นทึบ

รูปที่ 2.7 (a) แสดงการตอบสนองความถี่ของวงจรโลพาสฟิลเตอร์ มีขนาดของเกน (gain) คงที่ จากความถี่ 0 เฮิรตซ์ ถึงความถี่ไฮคัทออฟ (High Cutoff Frequency: f_H) ค่าของแบนด์วิธจึงเท่ากับ f_H ที่ f_H หรือ ตำแหน่งความถี่ไฮคัทออฟนั้นค่าเกนจะลดลง 3 เดซิเบล (dB) และที่ความถี่มากกว่า f_H นั่นคือ ที่ $f > f_H$ อัตราการขยาย หรือเกนของวงจร ก็จะลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณอินพุทที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0 - f_H เราเรียกว่า พาสแบนด์ (Pass Band) ส่วนช่วงความถี่ที่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า สต๊อปแบนด์ (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประ แสดงให้เห็นว่า ฟิลเตอร์ที่เป็นอุดมคติ จะมีการลดทอนเป็นศูนย์ ตลอดช่วงพาสแบนด์ และมีการลดทอนเป็นอนันต์ในช่วงสต๊อปแบนด์ แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตาม เราอาจสร้างกราฟการตอบสนองในทางปฏิบัติ ตามเส้นทึบ ให้ใกล้เคียงกับการตอบสนอง ที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วยประกอบวงจร ด้วยชิ้นส่วนอุปกรณ์ เช่น รีซิสเตอร์ และ คาปาซิเตอร์ ที่มีค่าถูกต้องแม่นยำ หรือ มีค่าผิดพลาดน้อยที่สุด และใช้ออปแอมป์ชนิดไฮสปีด (High Speed)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ

รูปแบบของฟิลเตอร์ที่นิยมนำมาใช้กันมากในทางปฏิบัติ ซึ่งให้กราฟการตอบสนองประมาณใกล้เคียงทางทฤษฎี ได้แก่ รูปแบบบัทเตอร์เวิร์ธ (Butterworth) , เชฟบีเชฟ (Chebyshev) และ คอร์ (Caur) ซึ่งแต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป บัทเตอร์เวิร์ธฟิลเตอร์ ให้คุณลักษณะของทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาสแบนด์ และสต็อปแบนด์ในลักษณะค่อนข้างเรียบ บางโอกาสจึงเรียกว่า แฟลทฟิลเตอร์ (Flat Filter) สำหรับเชฟบีเชฟฟิลเตอร์มีคุณลักษณะพาสแบนด์ และสต็อปแบนด์เป็นริปเปิ้ล (Ripple) ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.7(b) เป็นกราฟการตอบสนองของไฮพาสฟิลเตอร์ เมื่อให้ f เป็นความถี่ใด ๆ และ f_L เป็นโลคัทออฟฟรีเควนซี (Low Cutoff Frequency) แล้ว ช่วงสต็อปแบนด์จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงพาสแบนด์อยู่ที่ $f > f_L$

รูปที่ 2.7(c) แสดงการตอบสนองความถี่ของวงจรแบนด์พาสฟิลเตอร์ ช่วงพาสแบนด์อยู่ระหว่างสองความถี่คัทออฟ ได้แก่ ไฮคัทออฟฟรีเควนซี (f_H) และ โลคัทออฟฟรีเควนซี (f_L) ซึ่งเป็นตำแหน่งที่เกนลดลง 3 dB และช่วงสต็อปแบนด์มีสองช่วงที่ $0<f<f_L$ กับ $f>f_H$ โดยที่ $f>f_H$ เป็นค่าแบนด์วิธของแบนด์พาสฟิลเตอร์เท่ากับ $f_H - f_L$ และเซ็นเตอร์ฟรีเควนซี (Center Frequency) อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วงพาสแบนด์เกน (Pass Band Gain) พอดี

รูปที่ 2.7(d) แสดงการตอบสนองของแบนด์รีเจคฟิลเตอร์ มีกราฟคุณลักษณะตรงข้ามกับแบนด์พาสฟิลเตอร์ กล่าวคือ ช่วงสต็อปแบนด์อยู่ระหว่างความถี่คัทออฟสองจุด คือ f_H กับ f_L และมีช่วงพาสแบนด์สองช่วงอยู่ระหว่างความถี่ $f>f_H$ และ $0<f<f_L$ อาจเรียกแบนด์รีเจคฟิลเตอร์ว่า แบนด์สต็อปฟิลเตอร์หรือแบนด์อลิมิเนชั่นฟิลเตอร์ (Band Elimination Filter) ก็ได้ ค่าแบนด์วิธของสต็อปแบนด์เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางข่องช่วงสต็อปแบนด์เป็นความถี่เซ็นเตอร์ฟรีเควนซี หรือ fc

รูปที่ 2.7(e) แสดงเฟสชิป (Phase Shift) ระหว่างอินพุทโวลเตจ (V_{in}) กับเอาท์พุทโวลเตจ (V_0) ของออลพาสฟิลเตอร์ มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆ กัน กล่าวคือ ให้ V_0 เท่ากับ V_{in} ในทุกความถี่ โดยปรากฏเฟสชิปขึ้นระหว่าง V_0 กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_0 กับ V_{in} ยังคงมีขนาดเท่ากัน ขึ้นอยู่กับคุณสมบัติยูนิตี้เกนแบนด์วิธ (Unity Gain Bandwidth) ของออปแอมป์ ที่ความถี่นี้เฟสชิปที่เกิดขึ้นระหว่าง V_0 กับ V_{in} จะมีค่าสูงสุด

2.3 เฟสล็อคลูป (Phase Lock Loop : PLL)

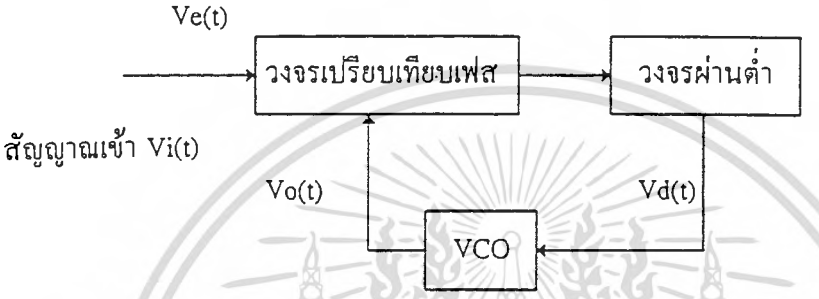
เฟสล็อคลูป (PLL) เป็นอิเลกทรกนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อคหรือ ชิงค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์ (Phase Detector) จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรง และล็อคกับสัญญาณที่เข้ามา ดังนั้นโวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามา อาทิเช่น หากสัญญาณที่เข้ามาเป็นเอฟเอ็ม (Frequency Modulation) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่านโลพาสฟิลเตอร์จะเป็นสัญญาณที่ถูกทำการดีมอดูเลท (demodulate) นั่นเอง

ในปัจจุบัน ด้วยการพัฒนาทางด้านเซมิคอนดัคเตอร์ ทำให้วงจรเฟสล็อคลูปที่ซับซ้อน สามารถที่จะบรรจุอยู่ในไอซีเล็ก ๆ เพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่าย สะดวก และประหยัดหลายประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 หลักการของเฟสล็อคลูป

หลักการเบื้องต้น ของเฟสล็อคลูป ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วย ส่วนสำคัญสามส่วน ดังบล็อคไดอะแกรม ในรูปที่ 2.8 คือ เฟสดีเทคเตอร์ , โลพาสฟิลเตอร์ และโวลเตจคอนโทรล ออสซิลเลเตอร์ (Voltage Control Oscillator : VCO)



รูปที่ 2.8 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา V_d จะเท่ากับศูนย์ และ VCO จะผลิตความถี่ แบบที่เรียกว่า ฟรีรันนิ่ง (Free Running) เท่ากับ f_o เมื่อมีอินพุท V_s ป้อนเข้ามามีความถี่เท่ากับ f_s วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า f_s และ f_o แตกต่างกันจะได้ V_e (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ ผ่านโลพาสฟิลเตอร์ เป็น V_d ไปเข้า VCO ปรับความถี่ f_o ให้เท่ากับ f_s และเมื่อ f_o เท่ากับ f_s ก็คือ สภาวะล็อค หรือซิงค์ เอาท์พุทจากเฟสดีเทคเตอร์ V_e จะเป็นศูนย์ และ V_d ก็เท่ากับศูนย์ด้วย

ในเรื่องเฟสล็อคลูปนี้ มีคำที่มักเข้าใจสับสนกันบ่อยๆ คือคำว่า ล็อคเรนจ์ (Lock Range) กับ คำว่า แคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายแตกต่างกันดังนี้

ล็อคเรนจ์ หมายถึง ย่านความถี่ที่ใกล้เคียงกับ f_o ซึ่ง เฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของล็อคเรนจ์จะลดลง เมื่ออัตราการขยายทั้งหมดของเฟสล็อคลูปลดลง

แคปเจอร์เรนจ์ หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ f_o ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของแคปเจอร์เรนจ์ ขึ้นอยู่กับแบนด์วิธของโลพาสฟิลเตอร์ คือ จะลดลงหากแบนด์วิธแคบ และโดยปกติแคปเจอร์เรนจ์จะมีค่าน้อยกว่าล็อคเรนจ์

เพื่อให้เข้าใจคำว่า ล็อคเรนจ์และ แคปเจอร์เรนจ์ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.10 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่ กับ ค่าโวลเตจที่ผิดพลาด (Error Voltage) ของ เฟสล็อคลูป ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

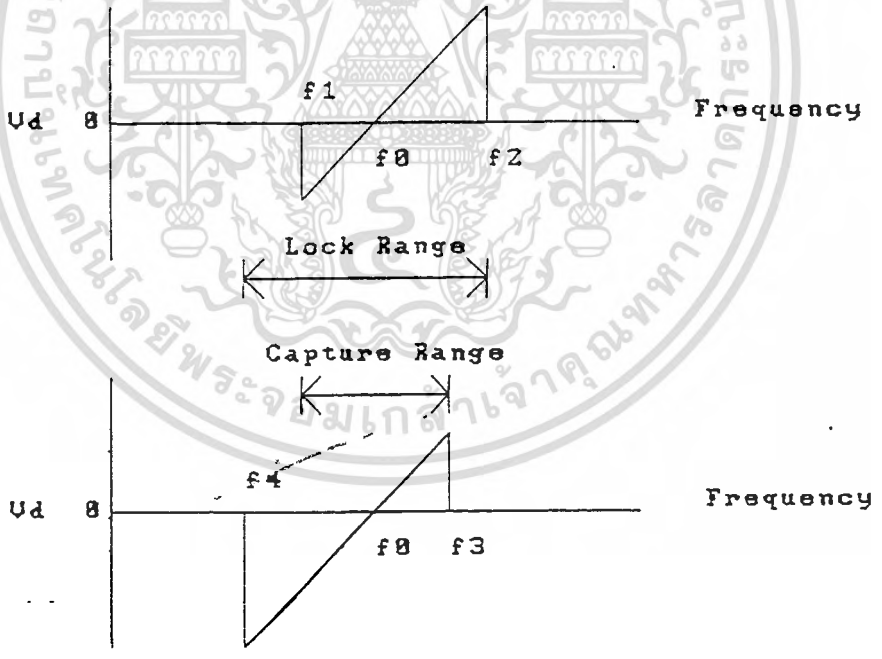
จากส่วนบนของรูปที่ 2.9 สมมุติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ V_d เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา f_s ซึ่งเป็นความถี่ต่ำสุดของแคปเจอร์เรนจ์ ทำให้เฟสล็อคลูปเริ่มล็อคกับ f_s และ V_d มีค่าเป็นลบ เพื่อปรับ VCO ให้ f_o เท่ากับ f_s แต่ในที่นี้เราสมมุติว่า f_s เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ V_d เป็นลบน้อยลง

จนกระทั่ง $f_s = f_o$ ทำให้ V_d เท่ากับศูนย์ จากนั้น V_d จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง $f_s = f_2$ ซึ่งเป็นความถี่สูงสุดของล็อคเรนจ์ จะทำให้หลุดจากการล็อค และ V_d เท่ากับศูนย์

ในทางกลับกัน ถ้า f_s เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.9 ส่วนล่างของเฟสล็อคลูปจะเริ่มล็อคเมื่อ $f_s = f_3$ ซึ่งเป็นค่าสูงสุดของแคปเจอร์เรนจ์ ทำให้ V_d มีค่าเป็นบวกทันที เมื่อ f_s ลดลงจน $f_s = f_o$ จะได้ V_d เท่ากับศูนย์ แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง $f_s = f_4$ ซึ่งเป็นค่าต่ำสุดของล็อคเรนจ์ จะทำให้ f_s หลุดจากการล็อคของเฟสล็อคลูป และ V_d กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

ล็อคเรนจ์ $= f_2 - f_4$

แคปเจอร์เรนจ์ $= f_3 - f_1$

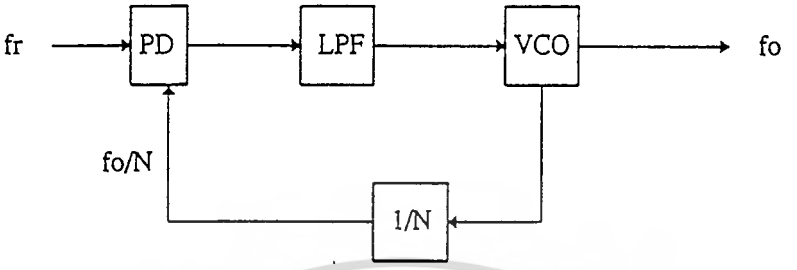


รูปที่ 2.9 แสดงคุณลักษณะระหว่างความถี่กับค่าโวลเตจที่ผิดพลาดของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูปเป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังในรูปที่ 2.10



รูปที่ 2.10 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.10 ส่วนที่เพิ่มเข้าไป จากโครงสร้างเฟสล็อคลูป ที่ได้กล่าวมาแล้ว คือ วงจรหาร N(1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency reference : f_r) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r \times N$$

หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o จะเป็นจำนวนเท่าของความถี่อ้างอิง) ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบ กับความถี่อ้างอิง ที่เฟสดีเทคเตอร์ (PD) หารด้วย จำนวน N ให้เท่ากับความถี่อ้างอิง

2.4 วงจรขยายความแตกต่าง (Differential Amplifier)

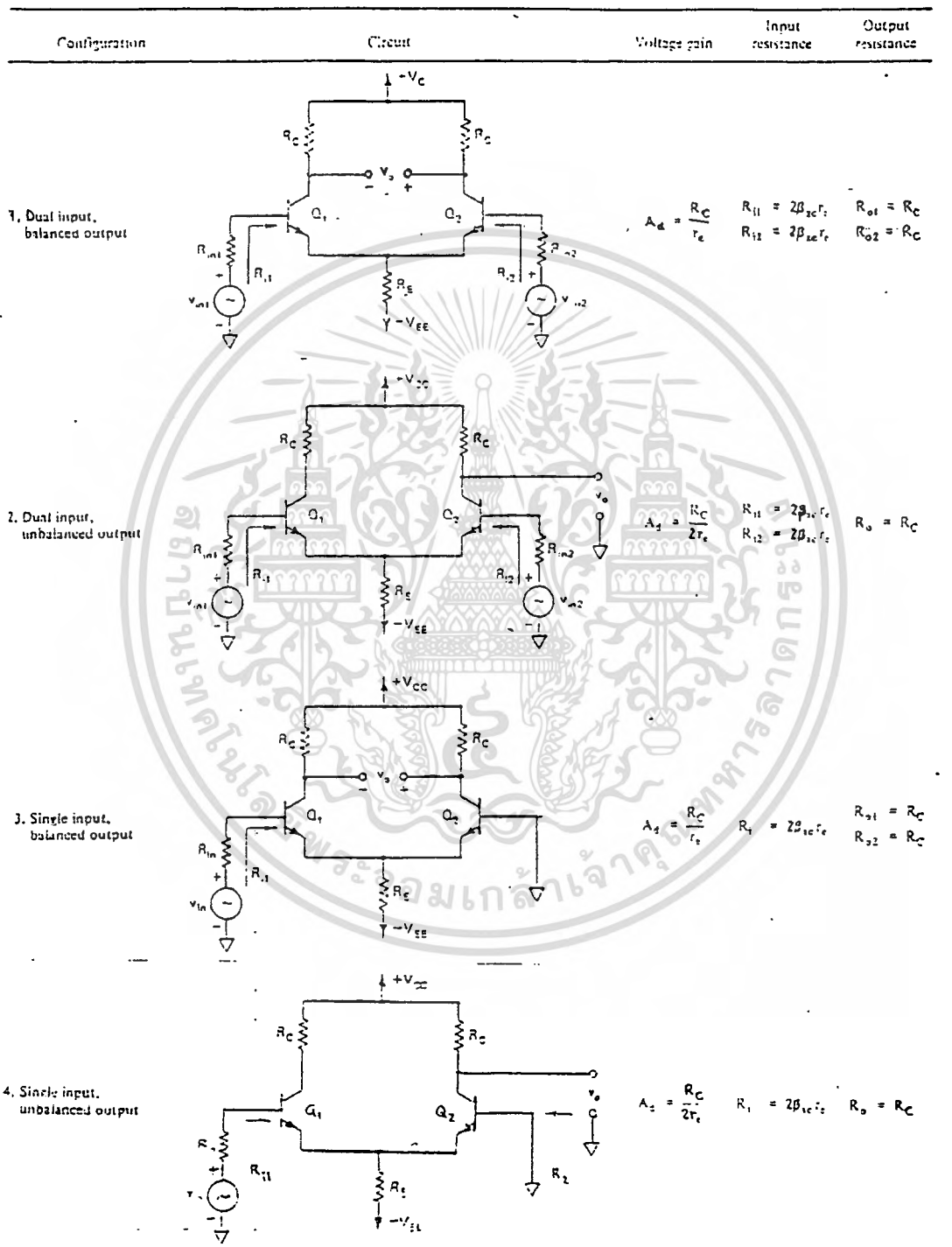
วงจรขยายความแตกต่าง คือ วงจรที่ใช้เปรียบเทียบสัญญาณอินพุท และสามารถเลือกสัญญาณใช้เอาท์พุทได้ มีอยู่ด้วยกัน 4 ชนิด ดังนี้

1. Dual - input , balance - output differential amplifier
2. Dual - input , unbalance - output differential amplifier
3. Single - input , balance - output differential amplifier
4. Single - input , unbalance - output differential amplifier

การแบ่งลักษณะการเรียกชื่อชนิดวงจรนั้นๆ พิจารณาจาก จำนวนสัญญาณอินพุท และลักษณะการวัดเอาท์พุท ถ้ามีอินพุทเข้า 2 เส้น จะเรียกว่า dual - input แต่ถ้ามีอินพุทเส้นเดียว ก็จะเรียกว่า single - input นอกจากนั้นก็แบ่งตามลักษณะการใช้งานเอาท์พุท ถ้าวัดเอาท์พุทระหว่างขาคอลเลคเตอร์ของทรานซิสเตอร์ทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สองตัว (พื้นฐานของวงจรขยายความแตกต่างนี้จะใช้ทรานซิสเตอร์ NPN 2 ตัว ดังจะได้แสดงรูปวงจรต่อไป) จะเรียกว่า balance - output แต่ถ้าหากวัดขาคอลเลคเตอร์ของทรานซิสเตอร์ตัวใดตัวหนึ่ง แล้วเทียบกับกราวน์ ก็จะเรียกว่า unbalance - output



รูปที่ 2.11 แสดงการวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด

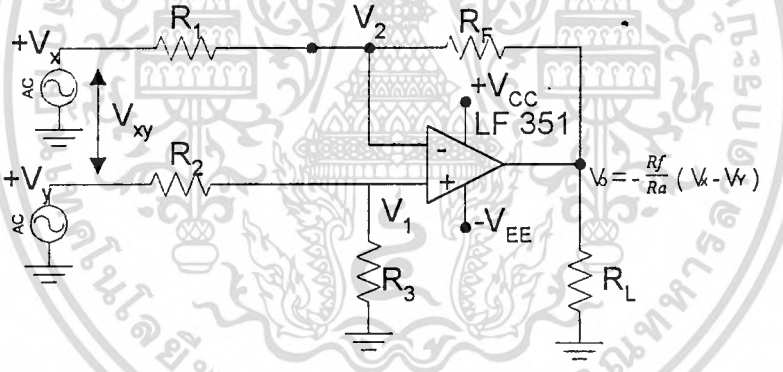
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์วงจรทั้ง 4 ประเภท จะใช้วงจรเทียบเคียงทางไฟฟ้ากระแสตรง (DC equivalent circuit) และวงจรเทียบเคียงทางไฟฟ้ากระแสสลับ (AC equivalent circuit) เพื่อใช้ทำการวิเคราะห์หาคุณลักษณะทางด้านไฟฟ้ากระแสตรง คุณลักษณะทางด้านไฟฟ้ากระแสสลับ อัตราขยายแรงดัน อินพุทอิมพิแดนซ์ เอาท์พุทอิมพิแดนซ์ ดังจะได้สรุปในรูปที่ 2.11

เนื่องจากในโครงงานนี้ จะใช้วงจรขยายความแตกต่าง ชนิด Dual-input , balance-output differential amplifier จึงจะได้ทำการวิเคราะห์วงจรชนิดนี้ ซึ่งผลการวิเคราะห์ ได้สรุปไว้แล้วในรูปที่ 2.11

โดยทั่วไปแล้ว วงจรดิฟเฟอเรนเชียลแอมป์ จะใช้ในอุปกรณ์ที่ต้องการขยายความแตกต่างระหว่างสัญญาณอินพุทสองค่า เช่น วงจรวิทสโตนบริดจ์ (Wheatstone bridge) เนื่องจากว่ามันสามารถป้องกันสัญญาณรบกวนได้ดีกว่าวงจรที่มีอินพุทค่าเดียว เช่น อินเวิร์ทติ้งแอมป์ และนอนอินเวิร์ทติ้งแอมป์

ในที่นี้จะกล่าวถึงวงจรดิฟเฟอเรนเชียลแอมป์ที่มีออปแอมป์ตัวเดียว รูปที่ 2.12 แสดงวงจรดิฟเฟอเรนเชียลแอมป์ที่มีออปแอมป์ตัวเดียว เราจะวิเคราะห์วงจรนี้โดยการพิจารณาจากค่าโวลเตจเกนและค่าอินพุทรีซิสแตนท์ ตามรูปแสดงให้เห็นว่าวงจรดิฟเฟอเรนเชียลแอมป์สามารถเป็นได้ทั้งอินเวิร์ทติ้งแอมป์ และนอนอินเวิร์ทติ้งแอมป์ นั่นคือ เมื่อ V_x มีค่าลดต่ำลงจนเป็นศูนย์ วงจรจะกลายเป็นนอนอินเวิร์ทติ้งแอมป์ และในทำนองเดียวกันเมื่อ V_y มีค่าลดต่ำลงจนกระทั่งเป็นศูนย์ วงจรจะเป็นอินเวิร์ทติ้งแอมป์



รูปที่ 2.12 วงจรดิฟเฟอเรนเชียลแอมป์ที่มีออปแอมป์ตัวเดียว ซึ่ง $R_1 = R_2$ และ $R_F = R_3$

ค่าโวลเตจเกน เมื่อวงจรดังรูปที่ 2.12 มีอินพุทสองค่า V_x และ V_y ดังนั้น เราจะใช้ทฤษฎีซุปเปอร์โพสิชั่น (Superposition theorem) เพื่อสร้างความสัมพันธ์ระหว่างอินพุท และเอาท์พุท เมื่อ $V_y = 0$ V วงจรจะเป็นอินเวิร์ทติ้งแอมป์ ดังนั้น ผลของเอาท์พุทจะเกิดเนื่องจากค่า V_x เพียงอย่างเดียว

$$V_{ox} = \frac{-R_3(V_x)}{R_1}$$

ในทำนองเดียวกัน เมื่อ $V_x = 0$ V วงจรจะเป็นนอนอินเวิร์ทติ้งแอมป์ ที่มีวงจรโวลเตจดีไวเดอร์ (Voltage divider) ซึ่งประกอบด้วย R_2 และ R_3 ที่ขานอนอินเวิร์ทติ้งอินพุท ดังนั้น

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_1 = \frac{R_3(V_y)}{R_2 + R_3}$$

และค่าเอาท์พุทเนื่องจาก V_y จะเป็น

$$V_{oy} = (1+ \frac{R_F}{R_1}) V_1$$

นั่นคือ

$$V_{oy} = \frac{R_3}{R_2 + R_3}(\frac{R_1 + R_F}{R_1}) Vy$$

เนื่องจาก $R_1=R_2$ และ $R_F=R_3$

$$V_{oy} = \frac{R_F(V_y)}{R_1}$$

ดังนั้น จากสมการข้างต้น ทำให้ผลลัพธ์ของเอาท์พุทโวลเตจมีค่าเป็น

$$V_o = V_{ox} + V_{oy}$$

$$V_o = \frac{-R_F}{R_1}(V_x - V_y) = \frac{-R_F(V_{xy})}{R_1}$$

หรือ ค่าโวลเตจเกนมีค่าเป็น

$$A_D = \frac{V_o}{V_{xy}} = \frac{-R_F}{R_1}$$

<u>หมายเหตุ</u> ค่าเกนของดิฟเฟอเรนเชียลแอมป์มีค่าเท่ากันกับอินเวิร์ทติ้งแอมป์

ค่าอินพุทรีซิสแตนท์ ค่าอินพุทรีซิสแตนท์ของ R_{if} ของวงจรดิฟเฟอเรนเชียลแอมป์ คือค่ารีซิสแตนท์ที่พิจารณาจากอินพุทขาใดขาหนึ่งเมื่ออีกขาหนึ่งต่อลงกราวน์ ดังนั้น เมื่อ V_y = 0 V วงจรในรูปที่ 2.12 จะเป็นวงจรอินเวิร์ทติ้งแอมป์ซึ่งมีค่าอินพุทรีซิสแตนท์ คือ

$$R_{iFx} \cong R_1$$

ในทำนองเดียวกัน เมื่อ V_y = 0 V วงจรดิฟเฟอเรนเชียลแอมป์ในรูปที่ 2.12 จะเป็นวงจรนอนอินเวิร์ทติ้งแอมป์ ซึ่งอินพุทรีซิสแตนท์จะมีค่าเป็น

$$R_{iFy} \cong (R_2 + R_3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรซัมมิ่งแอมป์ สเกลลิ่ง และเอเวอร์เรจจิ้งแอมป์

(Summing ,Scaling and Averaging Amplifier)

ในส่วนนี้จะกล่าวถึงการใช้อินเวิร์ทติ้งแอมป์ นอนอินเวิร์ทติ้งแอมป์ และวงจรดิฟเฟอเรนเชียลในการประยุกต์ใช้เป็นซัมมิ่งแอมป์ สเกลลิ่ง และเอเวอร์เรจจิ้งแอมป์

ในรูป 2.13 แสดงการใช้วงจรอินเวิร์ทติ้งที่มีอินพุทสามค่า V_a, V_b และ V_c วงจรนี้สามารถใช้เป็นได้ทั้งวงจรซัมมิ่งแอมป์ สเกลลิ่งแอมป์ หรือเอเวอร์เรจจิ้งแอมป์ โดยขึ้นอยู่กับค่าความสัมพันธ์ระหว่างฟีดแบครีซิสเตอร์ R_F และ อินพุทรีซิสเตอร์ R_a, R_b และ R_c ฟังก์ชั่นของวงจรสามารถหาได้จากค่าเอาท์พุทโวลเตจ V_o ซึ่งหาได้จากการคำนวณตามสมการกระแสของเคอร์ชอฟฟ์ที่โหนด V_2 ในรูปที่ 2.13

$$I_a + I_b + I_c = I_B + I_F$$

เนื่องจาก Ri และ A ของออปแอมป์ทางอุดมคติมีค่าเป็นอนันต์ ค่า $I_B = 0$ A และ $V_1 = V_2 = 0$ V ดังนั้น

$$\frac{V_a}{R_a} + \frac{V_b}{R_b} + \frac{V_c}{R_c} = -\frac{V_0}{R_F}$$

หรือ

$$V_0 = -\left(\frac{R_F}{R_a}V_a + \frac{R_F}{R_b}V_b + \frac{R_F}{R_c}V_c\right)$$

วงจรซัมมิ่งแอมป์ ถ้าในวงจรของรูปที่ $R_a = R_b = R_c = R$ สมการ สามารถเขียนใหม่ได้เป็น

$$V_0 = -\frac{R_F}{R}\left(V_a + V_b + V_c\right)$$

นั่นก็คือ ค่าเอาท์พุทโวลเตจจะมีค่าเท่ากับ ค่าที่เป็นลบของ ค่าผลรวมของอินพุทคูณกับค่าเกนของวงจร R_F/R ดังนั้นวงจรนี้จึงเรียกว่า วงจรซัมมิ่งแอมป์ จะสังเกตเห็นได้ว่า เมื่อเกนของวงจรมีค่าเท่ากับ 1 นั่นคือ $R_a = R_b = R_c = R_F$ ค่าเอาท์พุทโวลเตจจะมีค่าเท่ากับ ค่าที่เป็นลบของผลรวมอินพุททั้งหมด ดังนั้น

$$V_0 = -\left(V_a + V_b + V_c\right)$$

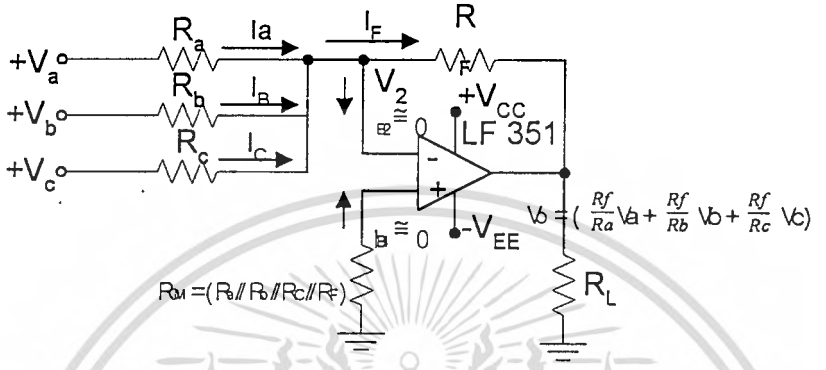
สเกลลิ่ง หรือ เวทเต็ดแอมป์ (Scaling or weighted amplifier) ถ้าค่าอินพุทโวลเตจแต่ละค่าถูกขยายโดยค่าที่ต่างกัน ส่งผลให้เอาท์พุทที่ได้มีค่าออกมาต่างๆกัน ดังวงจรรูปที่ 2.13 ซึ่งจะเรียกได้ว่า สเกลลิ่งหรือเวทเต็ดแอมป์ ก็ต่อเมื่อ ค่า R_a, R_b และ R_c มีค่าแตกต่างกัน ดังนั้นเอาท์พุทโวลเตจของสเกลลิ่งแอมป์จะมีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_0 = -\left(\frac{R_F}{R_a}V_a + \frac{R_F}{R_b}V_b + \frac{R_F}{R_c}V_c\right)$$

โดยที่

$$\frac{R_F}{R_a} \neq \frac{R_F}{R_b} \neq \frac{R_F}{R_c}$$



รูปที่ 2.13 วงจรอินเวิร์ทติ้งแอมป์ที่มีสามอินพุท ซึ่งสามารถใช้เป็นซัมมิ่งแอมป์ สเกลลิ่งแอมป์ และเอเวอร์เรจจิ้งแอมป์

วงจรเอเวอร์เรจจิ้ง วงจรดังรูปที่ 2.13 สามารถใช้เป็นวงจรเอเวอร์เรจจิ้งได้ก็ต่อเมื่อค่าเอาท์พุทโวลเตจมีค่าเท่ากับค่าเฉลี่ยของผลรวมอินพุททั้งหมด ซึ่งจะสามารถทำได้โดยใช้ค่าอินพุทรีซิสเตอร์ให้มีค่าเท่ากันทุกค่า $R_a = R_b = R_c = R$ และนอกจากนี้ยังต้องทำให้ค่าเกนของแต่ละอินพุทที่ถูกขยายมีค่าเป็น 1 ส่วนด้วยจำนวนของอินพุท นั่นคือ

$$\frac{R_F}{R} = \frac{1}{n}$$

เมื่อ n คือจำนวนของอินพุท

- ดังนั้น ถ้ามีอินพุท 3 ค่า (ดังรูปที่ 2.13) เราต้องการให้ $R_F / R = 1/3$ จึงเป็นผลทำให้

$$V_0 = -\left(\frac{V_a + V_b + V_c}{3}\right)$$

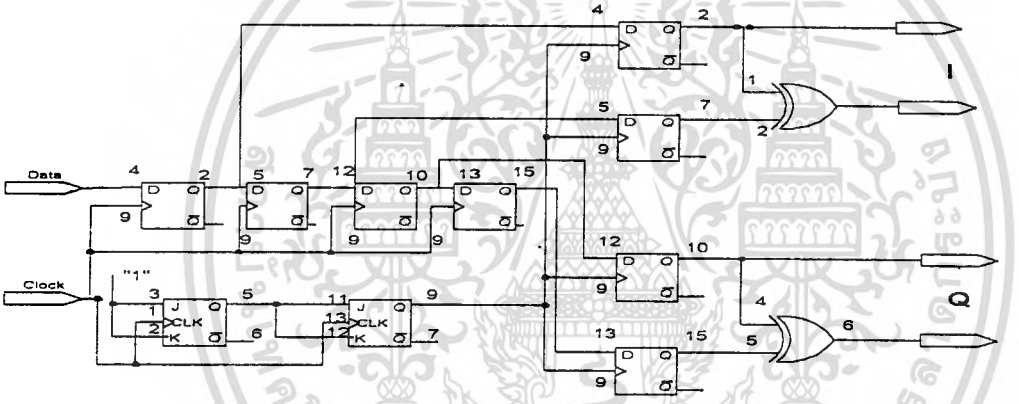
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและทดลองวงจรทางด้านภาคส่งและภาครับ

3.1 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุทออกเป็น 2 ชุดๆละ 2 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 4 บิท เพื่อควบคุมให้อินพุทเข้ามาครบ 4 บิทเสียก่อน แล้วจึงทำการแยกสัญญาณ

จากรูปที่ 3.1 นั้นจะใช้ D ฟลิปฟลอบ และ JK ฟลิปฟลอบ ทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ ก็คือ วงจรหน่วงเวลา 4 บิท หรือวงจรหาร 4 นั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรนี้อาศัยหลักการทำงานของวงจรเปลี่ยนสัญญาณข้อมูลจากแบบอนุกรมเป็นแบบขนาน (Serial to Parallel) นั่นเอง



รูปที่ 3.1 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากวงจรส่วนนี้ มีอยู่ 2 ส่วนคือบิทบน (Inphase) และ บิทล่าง (Quadrature phase) นั่นเอง ข้อมูลที่ได้ออกมาจะมี 2 บิท และจะมีการเปลี่ยนแปลงครั้งละ 2 บิทพร้อมๆกัน จึงควรออกแบบเพื่อแปลงสัญญาณไบนารีดังกล่าว ให้เป็น Gray Code เสียด้วย ทั้งนี้เพื่อช่วยลดอัตราความผิดพลาดของข้อมูลได้ เพราะว่าบิทข้างเคียงของ Gray Code จะต่างกันเพียง 1 บิทเท่านั้น ดังตารางที่ 3.1

Binary Code	Gray Code
0 0	0 0
0 1	0 1
1 0	1 1
1 1	1 0

ตารางที่ 3.1 การแปลงรหัสจาก Binary Code ไปเป็น Gray Code

เอกสารนี้เป็นเอกสาร[illegible]ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039029

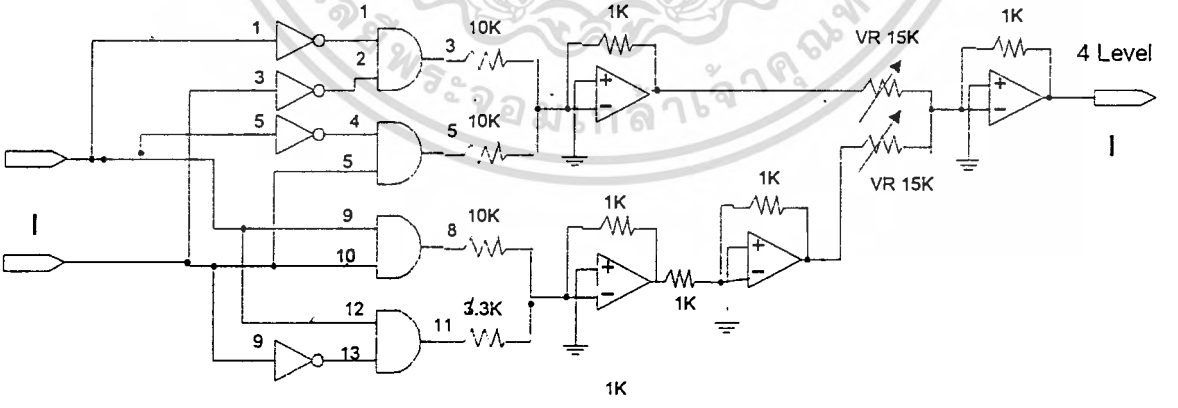
3.2 วงจรแปลง 2 บิท ไปเป็น 4 ระดับ

ด้วยสาเหตุที่ว่าโครงงานนี้เป็นการมอดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะ กันที่วงจรบาลานซ์มอดูเลเตอร์ และสัญญาณดิจิตอลที่จะนำไปมอดูเลท จะต้องเป็นสัญญาณเส้นเดียว แต่สัญญาณที่เราแยกออกมาเป็นสัญญาณ 2 เส้น (2 บิท) จึงต้องมีการแปลงสัญญาณจาก 2 เส้น ให้เป็นสัญญาณเส้นเดียว แต่มีหลายระดับเสียก่อน ในที่นี้ความเปลี่ยนแปลงอันเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ $2^2 = 4$ ระดับและจากข้อกำหนดของไอซีเบอร์ MC 1596 ที่กำหนดให้ระดับของสัญญาณอินพุทที่จะนำไปมอดูเลทนั้นมีขนาดไม่เกิน 300 V_{p-p} จึงได้ทำการกำหนดระดับการแปลงสัญญาณให้เป็นไปดังตารางที่ 3.2

ในส่วนของอุปกรณ์ที่ใช้ในวงจรส่วนนี้จะอาศัย NOT Gate และ AND Gate ให้ทำหน้าที่แปลงสัญญาณ 2 บิท ให้เป็น 4 เอาท์พุทแล้วออปแอมป์ จะทำหน้าที่แปลงทั้ง 4 เอาท์พุท ให้เป็น 4 ระดับ ดังข้อกำหนดในตารางที่ 3.2 ดังนั้นจึงได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิท ไปเป็น 4 ระดับ เพื่อจะนำไปมอดูเลทกับสัญญาณพาหะ ดังรูปที่ 3.2

Gray Code (อินพุท 2 บิท)	Level (เอาท์พุท 4 ระดับ)
0 0	+150 mV
0 1	+50 mV
1 1	-50 mV
1 0	-150 mV

ตารางที่ 3.2 การแปลง 2 บิท ไปเป็น 4 ระดับ



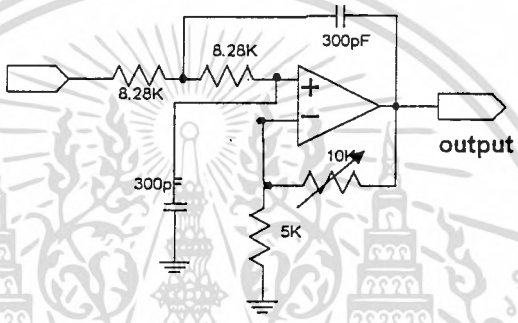
รูปที่ 3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรกรองความถี่ต่ำ

วงจรกรองความถี่ต่ำ (Low Pass Filter) นี้ จะทำหน้าที่คัดเลือกเฉพาะความถี่ต่ำๆให้สามารถผ่านไปโดยไม่ถูกลดทอน แต่ความถี่ที่สูงกว่าจุดคัทออฟจะถูกลดทอนลงไปอย่างมาก หน้าที่ของวงจรกรองความถี่ต่ำในที่นี้จะช่วยปรับรูปร่างสัญญาณ 4 ระดับ ที่ออกมาจาก วงจรแปลง 2 บิท ไปเป็น 4 ระดับ ก่อนจะเข้าวงจรบาลานซ์มอดูเลเตอร์ ทั้งนี้เพื่อลดขนาดของแบนด์วิดธ์ของสัญญาณที่จะไปมอดูเลท เนื่องจากในโครงงานนี้ บิทเรทของสัญญาณที่ถูกแยกออกมาจากวงจรแยกสัญญาณดิจิตอล มีค่าเท่ากับ 64 kbps ดังนี้ ความถี่สูงสุดที่สามารถผ่านวงจรกรองความถี่ต่ำโดยไม่ถูกลดทอนนี้ มีค่าประมาณ 64 kHz (f_H = 64 kHz)

รายละเอียดของการออกแบบ แสดงได้ดังต่อไปนี้



รูปที่ 3.3 Second - Order Low Pass Butterworth Filter

จากรูป จะได้ว่า

$$V_o / V_{in} = A_F / 1+ (f / f_H)^4$$

เมื่อ V_o / V_{in} = Gain ของวงจร

A_F = $1+ R_f/R_1$ = Pass Band Gain ของวงจร

f = ความถี่ของสัญญาณอินพุทที่เข้ามา

f_H = $1 / 2\pi R_2 C_2$ = High Cut Off Frequency

ขั้นตอนการออกแบบวงจร

1. เลือกค่าความถี่สูงสุดที่จะยอมให้ผ่านได้ (f_H) ของวงจรในที่นี้จะเลือกค่าเท่ากับ 1 ใน 4 ของอัตราความเร็วของข้อมูล 256 kbps คือ 64 kbps
2. เลือกค่า $C_2 = 10 / f_H = 10 /64 k = 156.25 \mu F$
   แต่ในที่นี้จะเลือกใช้ C_2 = 300 pF
3. คำนวณค่า $R_2 = 1 / 2\pi f_H C_2 = 1 / 2\pi x64x10^3 x300x10^{-12} = 8.28$ k
4. คำนวณหาค่า R_1 และ R_f ตามค่า Pass Band Gain แต่ในการทดลองเอาท์พุทของวงจรกรองความถี่ต่ำ จะไปป้อนเข้าวงจรบาลานซ์มอดูเลเตอร์ จึงเลือกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_1 = 5 k

R_2 = V_R 10 k

3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ (sine wave) ความถี่ 1.024 MHz เพื่อใช้เป็นสัญญาณพาหะและนำไปคูณกับสัญญาณหลายระดับ ที่วงจรบาลานซ์มอดูเลเตอร์ เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้ มีหัวใจสำคัญคือการซิงโครไนซ์เซชั่น (synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ในทั้งภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 256 kbps จึงมีสัญญาณนาฬิกา 256 kbpsมาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 1.024 MHz โดยใช้วงจรเฟสล็อกลูป (Phase Lock Loop) ช่วยเลือกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจากเราไม่สามารถคูณความถี่ 256 kbps ให้เป็น 1.024 MHzได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ซึ่งอยู่ในวงจรแยกสัญญาณดิจิตอล ซึ่งจะมีความถี่ 256 kbps , 256 / 2 = 128 kbps และ 256 / 4 = 64 kbps และได้เลือกใช้ความถี่สัญญาณนาฬิกา 128 kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 128x8 = 1024 kbps พอดี

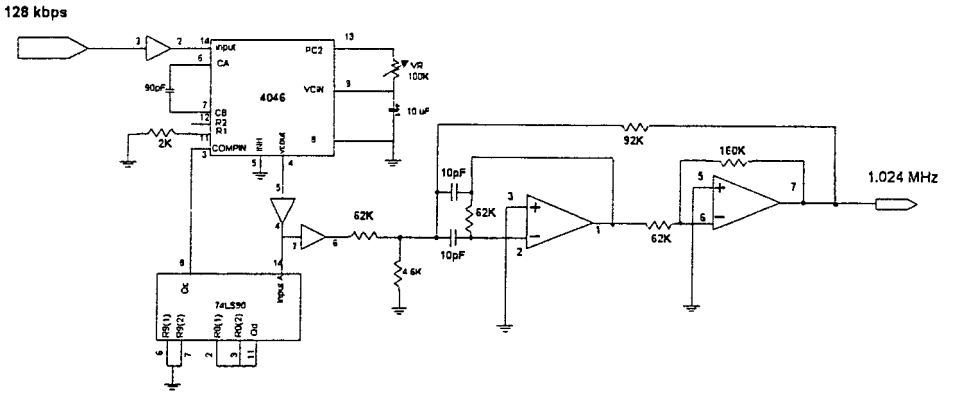
วงจรในส่วนนี้จะใช้ไอซีเฟสล็อคลูปเบอร์ 4046 เพราะมีอุปกรณ์ประกอบภายนอกไม่ยุ่งยาก แต่ทว่าช่วงการล็อกความถี่จะกว้างมาก แต่ถึงอย่างไรก็ถือว่าไม่ใช่วัตถุประสงค์หลักในการทำโครงงานครั้งนี้ เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

ในส่วนของวงจรหารความถี่ลดลง 8 เท่า นั้นก็เลือกใช้ไอซี 74LS90 เพราะสะดวกในการต่อวงจรและมีความเชื่อถือได้พอสมควร อนึ่งสัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบจึงได้นำไอซีเบอร์ 4050 มาประกอบร่วมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจรเฟสล็อกลูปแล้ว ก็ยังคงเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาร์โมนิคมากมายไม่เหมาะสมในการนำไปมอดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) เพื่อทำการกรองเอาความถี่ฮาร์โมนิค ที่ 1 ซึ่งเป็นสัญญาณไซน์เวฟ ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยม หรืออาจจะกล่าวง่ายๆว่า เป็นการกรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม (square wave) นั่นเอง

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 1.024 Mbps จากการนำสัญญาณนาฬิกาความถี่ 128 kbps ผ่านวงจรเฟสล็อกลูป และภายในวงจรเฟสล็อกลูปนั้น มีวงจรหาร 8 ประกอบอยู่ด้วย ดังแสดงให้เห็นวงจรทั้งหมด ในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 Mhz

3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 896 kHz

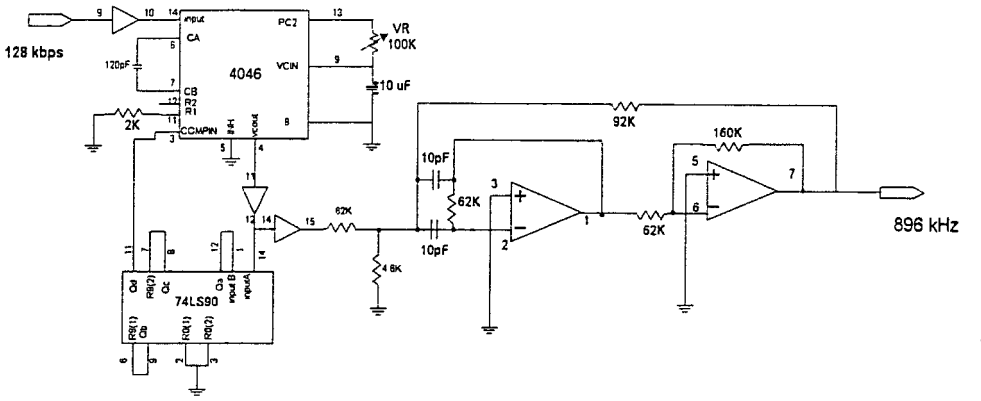
สัญญาณไพล็อทโทน ในที่นี้คือ สัญญาณไซน์เวฟ ที่มีความถี่ใกล้เคียงกันกับสัญญาณพาหะและมีความสัมพันธ์กันกับสัญญาณนาฬิกา เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาหะนั่นเอง โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 896 kHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า (Lower Side Band) ของสเปคตรัมการมอดูเลทในโครงงานนี้ สาเหตุที่เลือกความถี่ 896 kHz ก็เพราะว่าอยู่ห่างจากความถี่ 1.024 MHz เท่ากับ 128 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะได้ใช้วงจรหาร 7 ภายในวงจรเฟสล็อกลูป ในส่วนนี้ได้เลย และที่ความถี่ 896 kHz นี้เป็นช่วงที่สเปคตรัมอยู่ในตำแหน่งของนัลที่ 2 (Second - null) พอดี จึงทำให้สามารถหลีกเลี่ยงสัญญาณรบกวนอันอาจจะเกิดจากการมอดูเลทแบบ 16 QAM นี้ได้ในระดับหนึ่ง

ถ้าหากพิจารณาอีกแง่หนึ่งจะพบว่าเป็นการใช้ช่วงความถี่ที่ไม่ค่อยมีประสิทธิภาพเท่าใดนัก เพราะแทนที่จะวางสัญญาณไพล็อทโทนไว้ตรงนัลแรก (First null) เพื่อเป็นการใช้ช่วงความถี่ที่แคบลงมาอีก แต่จุดประสงค์ในโครงงานนี้ก็เพื่อที่จะศึกษาหลักการ ความเป็นไปได้ และความน่าจะเป็นของความผิดพลาดของการมอดูเลทแบบ 16 QAM ซึ่งเมื่อเทียบกับการมอดูเลทแบบ BPSK จะได้เป็นแนวทางในการศึกษาพัฒนาระบบการส่งสัญญาณดิจิตอลต่อไป

สำหรับวงจรที่ใช้ก็จะเหมือนกันกับวงจรกำเนิดสัญญาณพาหะ 1.024 MHz เกือบทุกอย่างแตกต่างกันเพียงตรงวงจรหารความถี่เท่านั้น คือเปลี่ยนจากวงจรหาร 8 มาเป็นวงจรหาร 7 เท่านั่นเอง รวมไปถึงวงจร กรองช่วงความถี่ผ่านที่ใช้ ก็เปลี่ยนความถี่ศูนย์กลางจากเดิมที่ 1.024 MHz ให้กลายมาเป็น 896 kHz แทน

รายละเอียดของวงจรกำเนิดสัญญาณไพล็อทโทน แสดงได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

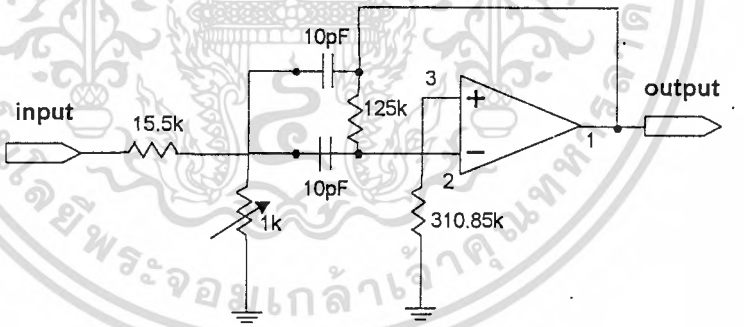


รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 896 kHz

3.6 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้ จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณไพล็อทโทน และยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ ในที่นี้จะเลือกใช้แบบแบนด์แคบ (Narrow Band Pass Filter) ที่มีชื่อว่า Multiple- feedback filter ซึ่งใช้ออปแอมป์เพียงตัวเดียวและอยู่ใน inverting mode ดังรูปที่ 3.6



รูปที่ 3.6 วงจรกรองช่วงความถี่

ในการออกแบบ จะเลือกค่า C = 10 pF , Q = 10 , A_F = 10

จากสูตร

$R_1 = Q / 2\pi f_c C A_F = 10 / 2x\pi x1.024x10^{6}x10x10^{-12}x10$

$= 15.542$ k

$R_2 = Q / 2\pi f_c C(2Q^2 - A_F) = 10 / 2x\pi x1.024x10^{6}x10x10^{-12}x (2x10^2 - 10)$

$= 0.818$ k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_3 = Q / \pi f_c C = 10 / \pi x 1.024 x 10^6 x 10 x 10^{-12}$$
$$= 310.85 \text{ k}$$

เราสามารถเลื่อนค่า f_c ได้จากสูตร

$$R'_2 = R_2 (f_c / f'_c)^2$$

และเนื่องจากในโครงงานนี้มี f_c อยู่ 2 ค่าคือ 1.024 MHz และ 896 kHz ดังนั้นเราจึงใช้วงจรเดิมได้ทันทีเพียงแต่เลื่อนความถี่จาก 1.024 MHz ไปเป็น 896 kHz แทนโดยการเปลี่ยนค่า R_2 ใหม่ดังนี้

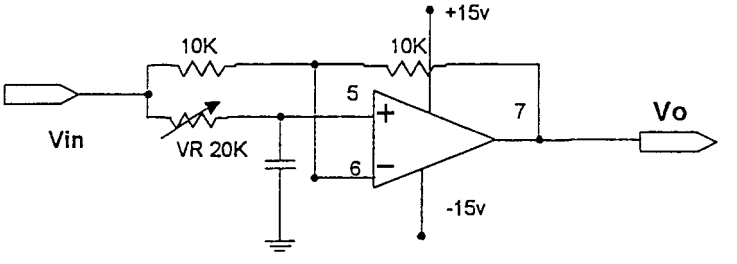
$$R'_2 = 0.818 \text{ k x } (1024 / 896)^2$$
$$= 1.068 \text{ k}$$

แต่ในการใช้งานจริงๆนั้น จะต้องใช้ตัวต้านทานปรับค่าได้ ทั้งนี้เพราะว่าจะช่วยให้มีค่าความต้านทานตรงตามทฤษฎีที่คำนวณ และสามารถปรับสูนให้การตอบสนองของวงจรดียิ่งขึ้น

3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากการที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วน คือบิทบนและบิทล่าง เราจึงมีวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุด เพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกัน แต่มีความต่างเฟสกัน 90 องศา โดยใช้สัญญาณ พาหะไซน์เวฟที่ได้จาก วงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดูเลทกับสัญญาณ 4 ระดับ ที่ทางด้านบิทบน และใช้สัญญาณพาหะโคไซน์เวฟ (cosine wave) ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้านบิทล่าง

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟสโดยอาศัยหลักการของวงจร All - Pass Filter ชนิด V_o ล้าหลัง V_{in} ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.7 วงจร All Pass Filter ชนิด V_o ล้าหลัง V_{in}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จะได้ว่า

$$V_o / V_{in} = 1 + 2\Pi fR_2C_2 \,/\, 1 + 2\Pi fR_2C_2$$

$$= 1$$

$$\theta = -2\tan^{-1}(2\Pi fR_2C_2)$$

เมื่อ V_o / V_{in} = อัตราขยายของวงจร

θ = ความแตกต่างทางเฟสระหว่าง V_0 และ V_{in}

ขั้นตอนการออกแบบวงจร

1. เลือกค่า θ = 90 องศา
2. ใช้ค่าความถี่เท่ากับสัญญาณแคร์เรียร์ คือ 1.024 MHz
3. จากสูตร $C_2 = 10 / f = 10 / 1.024$ MHz $= 9.76\ \mu F$

   แต่ในการทดลอง ใช้ $C_2 = 10$ pF เพราะความถี่สูงควรใช้ C ค่าต่ำๆ
4. จากสูตร $R_2 = \tan(-\Pi/2) / (2\Pi fC_2)$

   $= \tan(-90 /2) / (2x\Pi x1.024x10^{6} x10x10^{-12})$

   $= 15.54$ k

   ในการทดลองใช้ V_R = 20 k

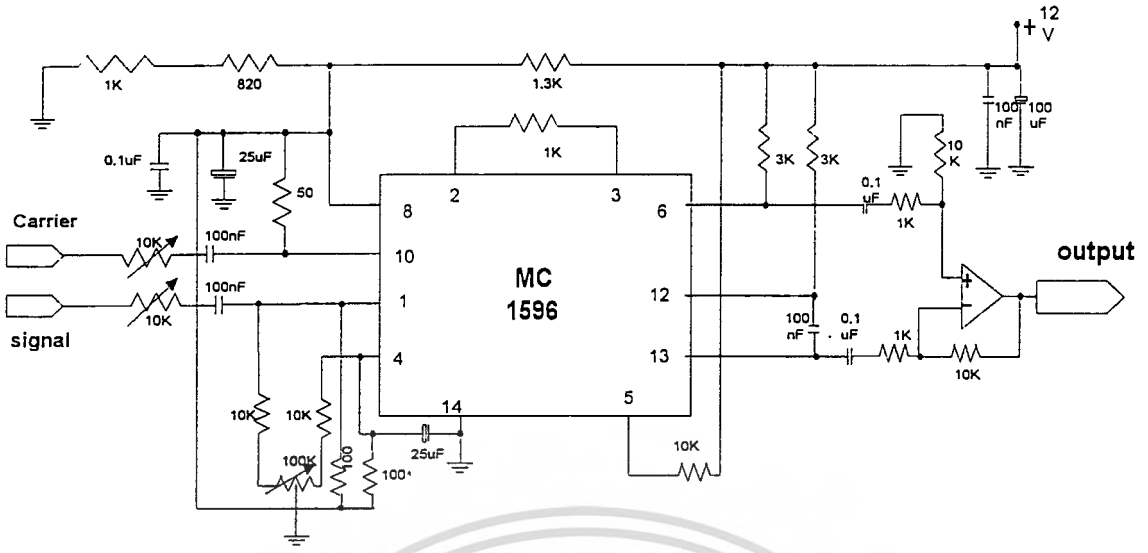
3.8 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้นับว่าเป็นส่วนสำคัญยิ่งของวงจร เพราะจะทำหน้าที่คูณสัญญาณพาหะ กับสัญญาณ 4 ระดับซึ่งจะมี 2 ส่วน เหมือนกันกับสัญยาณ 4 ระดับที่แยกออกจากกัน โดยวงจรแยกสัญญาณดิจิตอล กล่าวคือจะมีทั้งบิทบน และบิทล่าง

วงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบน ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่มาจากวงจรแยกสัญญาณดิจิตอลทางด้านบิทบน กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่ได้มาจากวงจรแยกสัญญาณดิจิตอลทางด้านบิทล่าง กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะ แล้วผ่านวงจรเลื่อนเฟส 90 องศา

ทั้งนี้ รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการดังแสดงไว้ในรูปที่3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดของไอซีเบอร์ MC 1596 ที่ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 400 mV_{p-p} และขนาดของสัญญาณพาหะควรมีค่าประมาณ 100 mV_{rms} ดังนั้นสัญญาณทั้งสองก่อนที่จะเข้าไปคูณกัน ต้องผ่านตัวต้านทานปรับค่าได้เสียก่อน เพื่อจะได้ควบคุมระดับสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

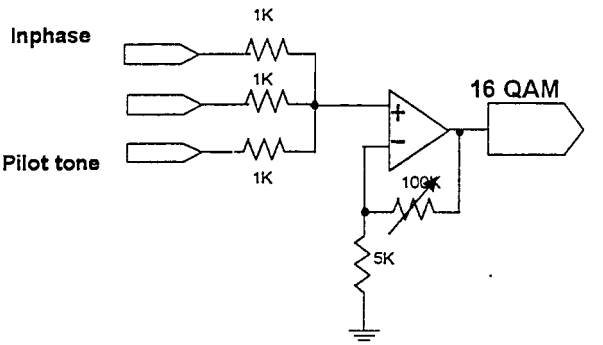
ไอซีเบอร์ MC 1596 นี้เป็นวงจรมอดูเลเตอร์ที่ใช้กับสัญญาณขนาดเล็ก (small signal) จึงเกิดการรบกวนค่อนข้างง่าย จนต้องใช้ตัวเหนี่ยวนำ (L) ต่อร่วมไปในวงจรด้วย เพื่อกำจัดสัญญาณรบกวนความถี่สูงที่เกิดขึ้นภายในวงจรบาลานซ์มอดูเลเตอร์เอง ดังในรูป

สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์นั้นมีขนาดเล็กมาก จึงต้องผ่านวงจรขยายความแตกต่าง (Differential Amplifier) โดยอาศัยสัญญาณที่ออกจากขา 6 และขา 12 (สัญญาณที่ขา 6 และขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ขา 2 และขา 3 ของออปแอมป์ตามลำดับ และสามารถกำหนดอัตราขยายจากอัตราส่วนตัวต้านทาน ทำนองเดียวกันกับวงจรขยายสัญญาณแบบกลับเฟส (Inverting Amplifier)

3.9 วงจรรวมสัญญาณมอดูเลท

เมื่อได้ทำการมอดูเลทสัญญาณทั้งสองส่วนแล้ว ก็ต้องนำมารวมกัน แล้วส่งออกไปพร้อมๆกันซึ่งสัญญาณที่ต้องการส่งไปนั้น จะประกอบด้วยสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้านบิทบน , สัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้านบิทล่างและสัญญาณไพล็อททโทน และทั้งสามสัญญาณจะต้องถูกส่งออกไปพร้อมกันด้วยวงจรขยายรวมสัญญาณ (Summing Amplifier) โดยสัญญาณดังกล่าวจะถูกส่งไปตามสายโคแอกเชียล ดังนั้นนอกจากจะใช้ออปแอมป์มาเป็นวงจรรวมสัญญาณ แล้วยังต้องใช้ทรานซิสเตอร์มาช่วยขยายสัญญาณให้มีกำลังเพียงพอที่จะส่งไปอีกด้วย ดังจะได้แสดงในรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรรวมสัญญาณ

3.10 วงจรกู้สัญญาณนาพิกา

สัญญาณ 16QAM จะถูกส่งมาตามสายโคแอกเชียล เข้ามายังภาครับ ดังนั้นจำเป็นต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณ ที่สามารถเข้าสู่ภาครับได้ให้อยู่ในเฉพาะช่วงที่ต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะมีวงจรกรองช่วงความถี่อยู่ 2 วงจร จะใช้กรองความถี่ของสัญญาณมอดูเลทช่วง 1.024 MHz และใช้กรองความถี่ของสัญญาณไพล็อทโทน 896 kHz ลักษณะรายละเอียดในการออกแบบและทดลองวงจร จะคล้ายคลึงกันกับวงจรกรองช่วงความถี่ของวงจรภาคส่ง

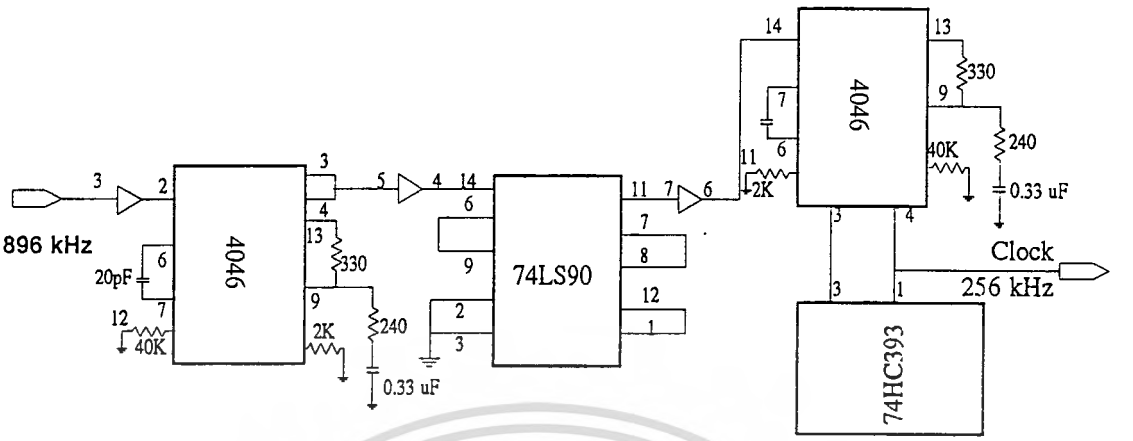
เมื่อสัญญาณไพล็อทโทน 896 kHz ผ่านวงจรกรองช่วงความถี่แล้ว จะถูกส่งต่อไปยังวงจรกู้สัญญาณนาพิกา เพื่อทำการแปลงสัญญาณรูปไซน์เวฟ ให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็จะผ่านวงจรหาร 7 เพื่อทำให้สัญญาณรูปสแควร์เวฟ 896 kHz มีความถี่ลดลงเหลือ 256 kHz ซึ่งจะมีค่าเท่ากับสัญญาณนาพิกา 256 kHz ที่ภาคส่งพอดี

เนื่องจากการที่ทางด้านภาคส่งนั้น สัญญาณไพล็อทโทนได้มาจากการอ้างอิงมาจากสัญญาณนาพิกา โดยใช้วงจรเฟสล็อกลูป ทำการล็อคสัญญาณนาพิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้น หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณรูปสแควร์เวฟ กลายเป็นสัญญาณรูปไซน์เวฟ และที่ภาครับเมื่อรับสัญญาณไพล็อทโทนได้แล้ว จะใช้วงจรเฟสล็อคลูป ทำการล็อคสัญญาณเอาไว้ พร้อมกับแปลงสัญญาณไซน์เวฟให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือ 128 kHz จากนั้นจึงนำสัญญาณที่ได้นี้ ไปเข้าวงจรเฟสล็อคลูปเพื่อคูณความถี่ขึ้นมาอีก 2 เท่าเพื่อให้ได้ความถี่เท่ากับความถี่ของสัญญาณนาพิกาคือ 256 kHz

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณไพล็อทโทน ของทางภาคส่งและสัญญาณนาพิกาของทางภาครับนั้น จะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูป ซึ่งมีวงจรผลิตความถี่ และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (Synchronization) กัน ระหว่างภาคส่งและภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

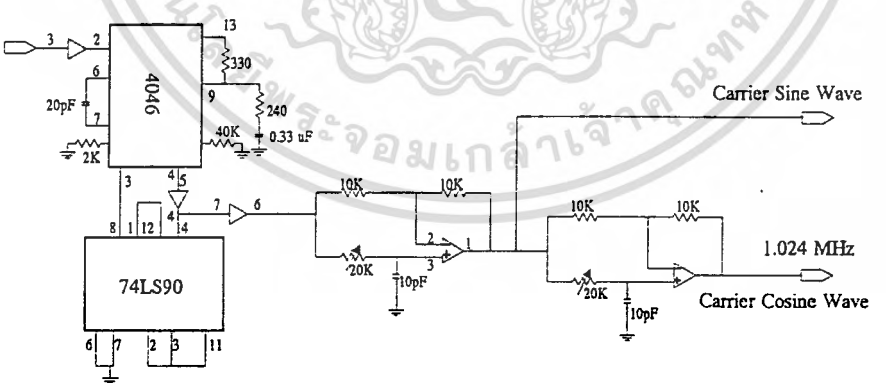
วงจรกู้สัญญาณนาฬิกา (Clock Recovery) แสดงได้ในรูปที่ 3.10



รูปที่ 3.10 วงจรกู้สัญญาณนาฬิกา

3.11 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ (Carrier Recovery) นั้น ก็จะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่งของบทที่ 3 กล่าวคือ จะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา มาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้น โดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองช่วงความถี่ ทำการคัดเลือกเฉพาะสัญญาณไซน์เวฟ เพื่อนำไปเป็นสัญญาณพาหะ สำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 3.11



รูปที่ 3.11 วงจรกู้สัญญาณพาหะ

เนื่องจากสัญญาณมอดูเลทที่รับมาได้นั้น จะประกอบไปด้วย สัญญาณดิจิตอล ที่ถูกแยกออกเป็น 2 ส่วน และสัญญาณข้อมูล 2 บิทที่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 4 ระดับแล้วมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

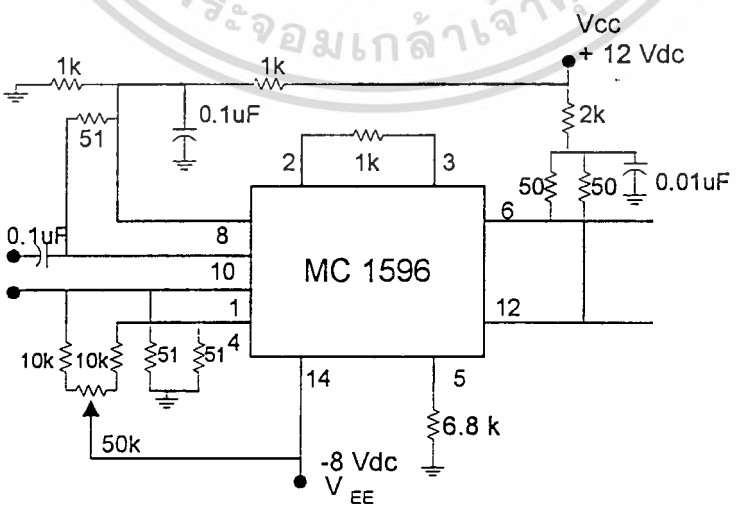
กับสัญญาณพาหะ โดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลททางด้านอินเฟส ที่ใช้สัญญาณไซน์เวฟเป็นสัญญาณพาหะ และสัญญาณมอดูเลททางด้านควอดราเจอร์เฟส ที่ใช้สัญญาณโคไซน์เป็นสัญญาณพาหะ ในทำนองเดียวกัน ณ ที่ภาครับนี้ สัญญาณพาหะก็ต้องมี 2 ชุดด้วย โดยจะใช้สัญญาณไซน์เวฟที่ได้มาจากวงจรกู้สัญญาณพาหะ เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านอินเฟส และจะใช้สัญญาณโคไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านควอดราเจอร์เฟส

สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศานั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All-Pass Filter) ชนิด Vo ล้าหลัง Vin เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็นการทำให้สอดคล้องกับทางด้านภาคส่งนั่นเอง

3.12 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ใช้ในภาครับนี้ จะเป็นวงจรที่มีลักษณะคล้ายกันกับวงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) ที่ใช้ในภาคส่งมีข้อแตกต่างกันอยู่เล็กน้อยเท่านั้น ดังจะได้แสดงวงจรไว้ในรูปที่ 4.6 และด้วยเหตุที่ว่าข้อมูลถูกส่งมา 2 ส่วน ดังนั้นในทางด้านภาครับนี้ก็จะต้องมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่ในการแยกสัญญาณ 4 ระดับ ที่ถูกมอดูเลทมากับสัญญาณพาหะ ทั้งทางด้านอินเฟส และทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณพาหะโดยตรงคือไซน์เวฟคูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศาคือ
สัญญาณรูปโคไซน์คูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้งสองวงจรจะเหมือนกันทุกประการจึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 3.12



รูปที่ 3.12 วงจรบาลานซ์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุทของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้งสองวงจรนั้น จะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลทกับสัญญาณพาหะ และผลที่ได้จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ซึ่งสัญญาณ 4 ระดับ ที่เป็นสัญญาณข้อมูลที่ต้องการ จะอยู่ในส่วนของสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไป เหลือเพียงสัญญาณ 4 ระดับ ในส่วนของความถี่ต่ำเท่านั้น

3.13 วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 บิท

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้ว จะเป็นสัญญาณความถี่ต่ำ และเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้ว จะเป็นสัญญาณ 4 ระดับ เหมือนกันกับสัญญาณก่อนที่จะเข้าวงจรบาลานซ์มอดูเลเตอร์ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าว ให้เป็นสัญญาณดิจิตอล 2 บิท เพื่อที่จะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

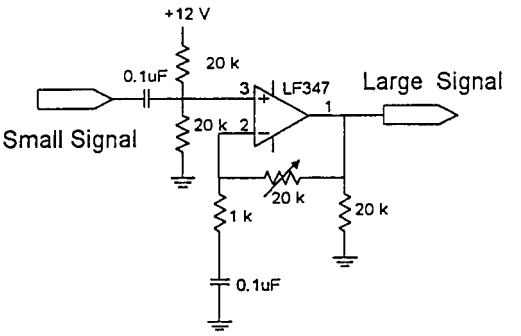
เพื่อความสะดวกในการตรวจจับระดับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับซึ่งมีขนาดเล็กไม่ถึง 1 V_{P-P} ให้เป็นสัญญาณขนาดใหญ่ 8 V_{P-P} ดังจะได้สรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตารางที่ 3.3

อินพุท 4 ระดับ (สัญญาณขนาดเล็ก)	เอาท์พุท 4 ระดับ (สัญญาณขนาดใหญ่)
+150 mV	9 V
+50 mV	7 V
-50 mV	5 V
-150 mV	3 V

ตารางที่ 3.3. การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ ได้ทำการออกแบบและทดลองวงจร แสดงไว้ในรูปที่ 3.13 โดยอาศัยวงจรขยายออปแอมป์แบบไม่กลับขั้ว (non - inverting) ใช้ตัวต้านทานแบ่งแรงดันจาก 12 โวลท์ให้ได้ 6 โวลท์ เข้าที่ขา 3 ของออปแอมป์ เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ และใช้ตัวเก็บประจุขนาด 0.1 μF ร่วมกันกับความต้านทานขนาด 1 kΩ ที่ขา 2 ของออปแอมป์ ทั้งนี้เพื่อช่วยให้วงจรตอบสนองสัญญาณที่ความถี่ต่ำ (64 kHz) ได้ดียิ่งขึ้น ส่วน R_f ของวงจรนี้จะใช้ V_R 20 kΩ เพื่อใช้ปรับอัตราการขยายของวงจรให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรขยายสัญญาณ 4 ระดับ

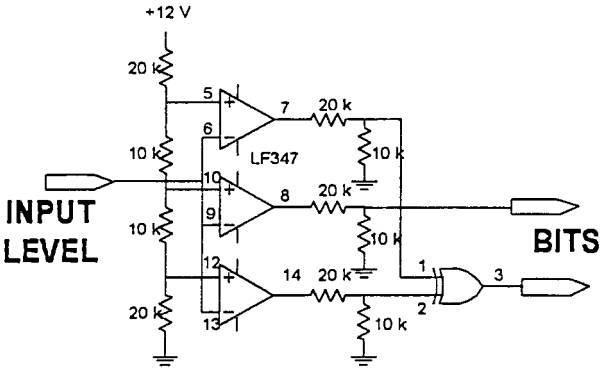
เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณแล้ว จะถูกส่งไปเข้าวงจรแปลงระดับให้เป็น 2 บิท โดยจะใช้วงจรเปรียบเทียบแรงดัน ซึ่งอาศัยออปแอมป์ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของ ออปแอมป์ไว้ที่ระดับต่างๆกัน ดังนี้ 4 โวลท์ , 6 โวลท์ และ 8 โวลท์ เมื่อสัญญาณเข้ามาออปแอมป์ แต่ละตัวจะตรวจสอบ เปรียบเทียบความต่างศักย์ระหว่าง ขากลับขั้ว และขาไม่กลับขั้ว แล้วให้เอาท์พุทตามลักษณะสมบัติของตัวมัน และที่เอาท์พุทแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 โวลท์ ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 โวลท์ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ ของออปแอมป์ทุกตัว ทั้งนี้เพื่อให้สอดคล้องกับอินพุทที่ EX-OR Gate ต้องการ (ไฟเลี้ยงของออปแอมป์ จะป้อน + 12 โวลท์ เข้าที่ขา 7 และขา 4 ลงกราวน์ ดังนั้นเอาท์พุทของออปแอมป์จะไม่มีโอกาสเป็นไฟลบ)

ดังนั้นเอาท์พุทจากวงจรที่ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็น Gray Code ดังตารางที่ 3.4

สัญญาณอินพุท	เอาท์พุทจากเกร์โค้ด
9 V	0 0
7 V	0 1
5 V	1 1
3 V	1 0

ตารางที่ 3.4 การตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกร์โค้ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

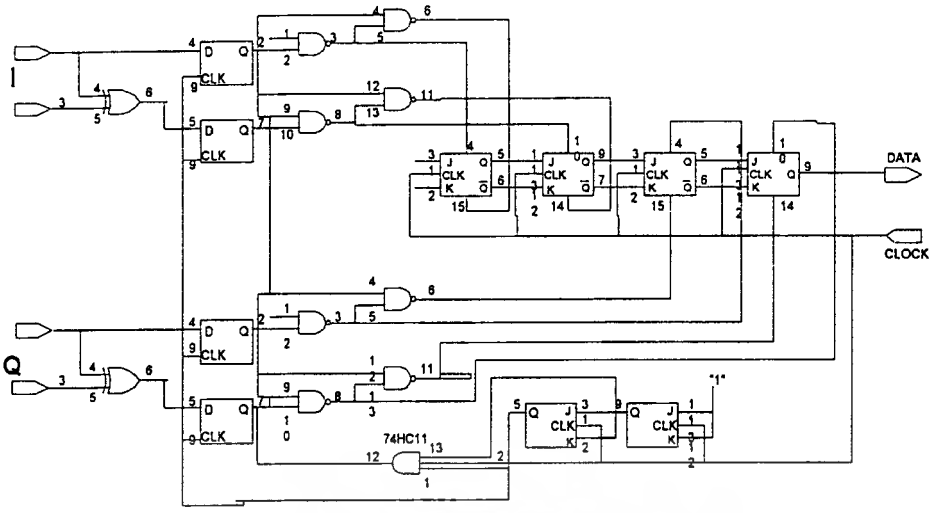
3.14 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงาน ตรงกันข้ามกันกับวงจรแยกสัญญาณดิจิตอล ของทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้งด้านอินเฟส และด้านควอดราเจอร์เฟส (บิทบนและบิทล่าง) จากสัญญาณดิจิตอลแบบขนาน ไปเป็นสัญญาณดิจิดอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิปฟลอปจากสัญญาณนาฬิกา ที่ได้มาจากวงจรกู้สัญญาณนาฬิกา

สัญญาณดิจิตอลที่ได้มาจากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอล นั้นจะเป็นรหัสเกร์โค้ด จึงต้องทำการแปลงสัญญาณให้เป็นรหัสไบนารี โดยอาศัยหลักการทำงานของ EX-OR Gate เหมือนกันกับทางด้านภาคส่ง

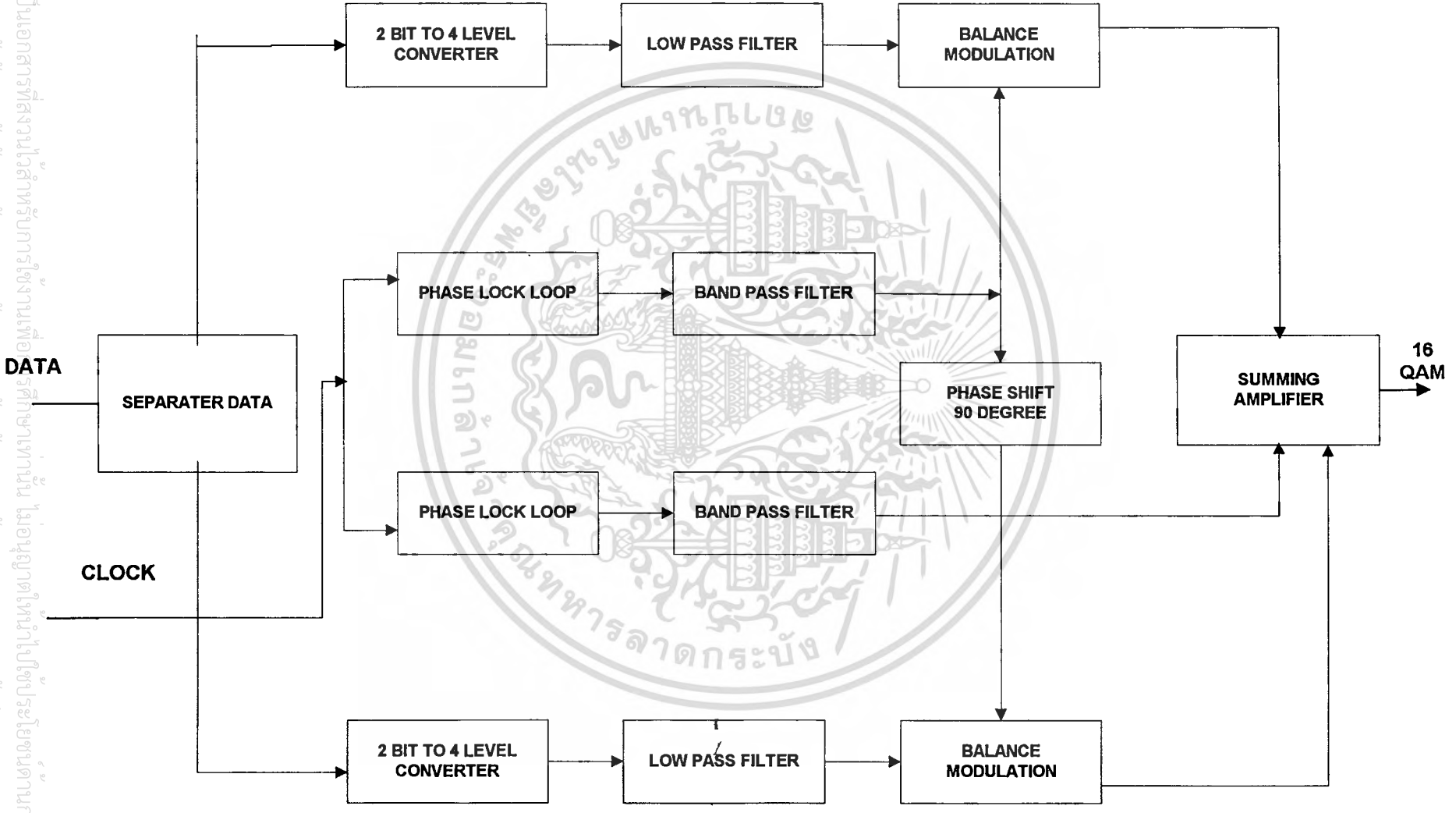
วงจรหาร 4 หรือวงจรหน่วงเวลา 4 บิท ก็จะเข้ามามีบทบาทอีกเช่นเดิม แต่จะทำหน้าที่พิเศษในการบังคับ D ฟลิปฟลอปให้มีจังหวะพอดีกับความต้องการรับข้อมูลของ JK ฟลิปฟลอป เพราะว่าข้อมูลจาก D ฟลิปฟลอปจะถูกส่งไปบังคับให้ JK ฟลิปฟลอป มีเอาท์พุทเหมือนกันกับข้อมูลที่ได้รับมาโดยผ่านการควบคุมที่ขา SET และขา RESET ของ JK ฟลิปฟลอปแต่ละตัว เมื่อ JK ฟลิปฟลอป รับข้อมูลไปแล้วนั้นควรจะใช้เวลาเพียงสัญญาณนาฬิกาพัลซ์ลูกเดียวเท่านั้น จึงใช้ NAND Gate แบบ 3 อินพุท เข้าช่วยในการบังคับให้ D ฟลิปฟลอป ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น (พัลซ์ควบคุม ดี-ฟลิปฟลอป จะมี 4 ลูก) ซึ่งหลักการดังกล่าวนี้ก็เป็นหลักการของวงจรแปลงข้อมูลแบบขนานไปเป็นแบบอนุกรมนั่นเอง วงจรที่ได้ทำการออกแบบและทดลอง แสดงได้ดังรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

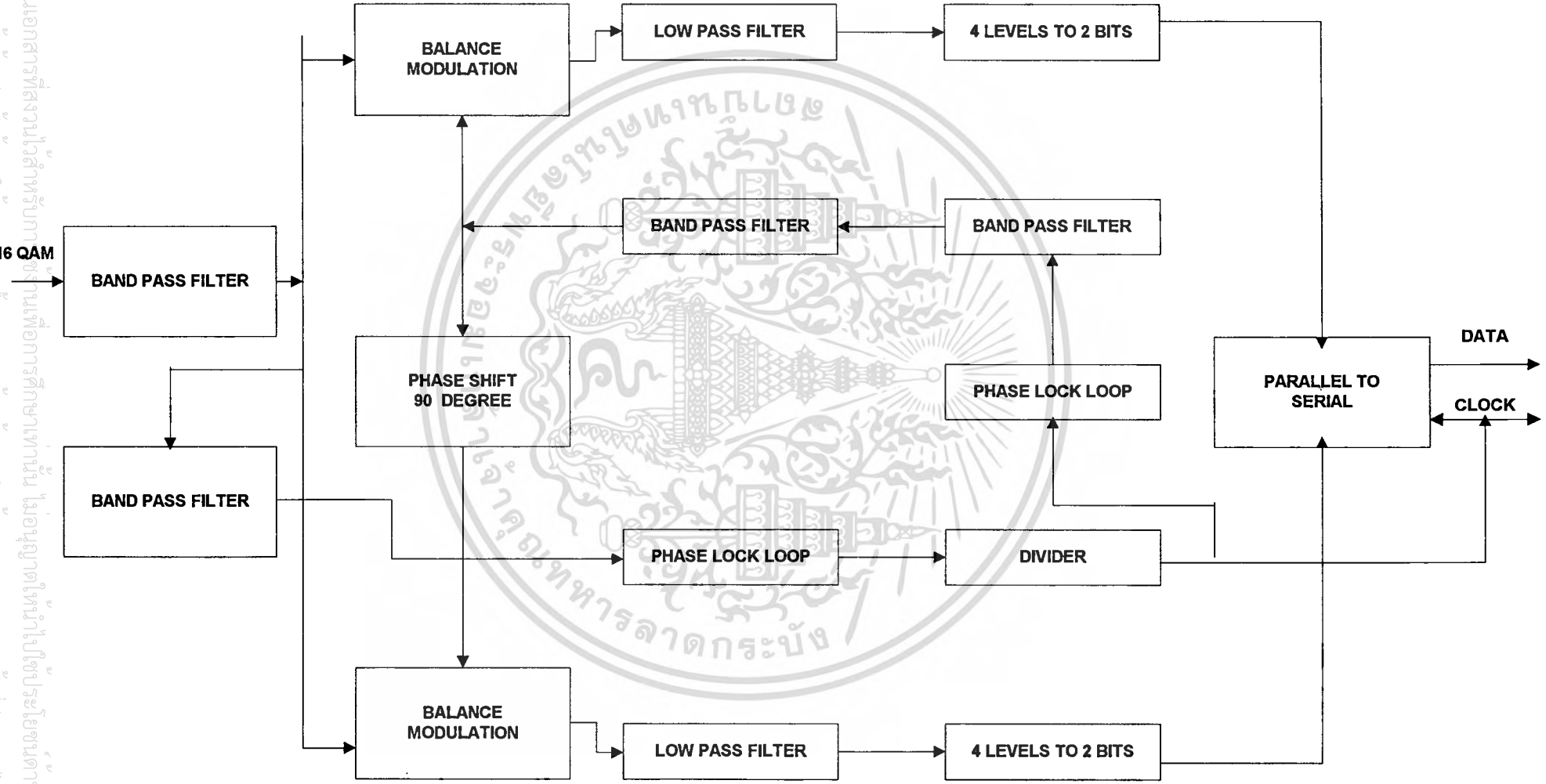


รูปที่ 3.15 วงจรรวมสัญญาณดิจิตอล

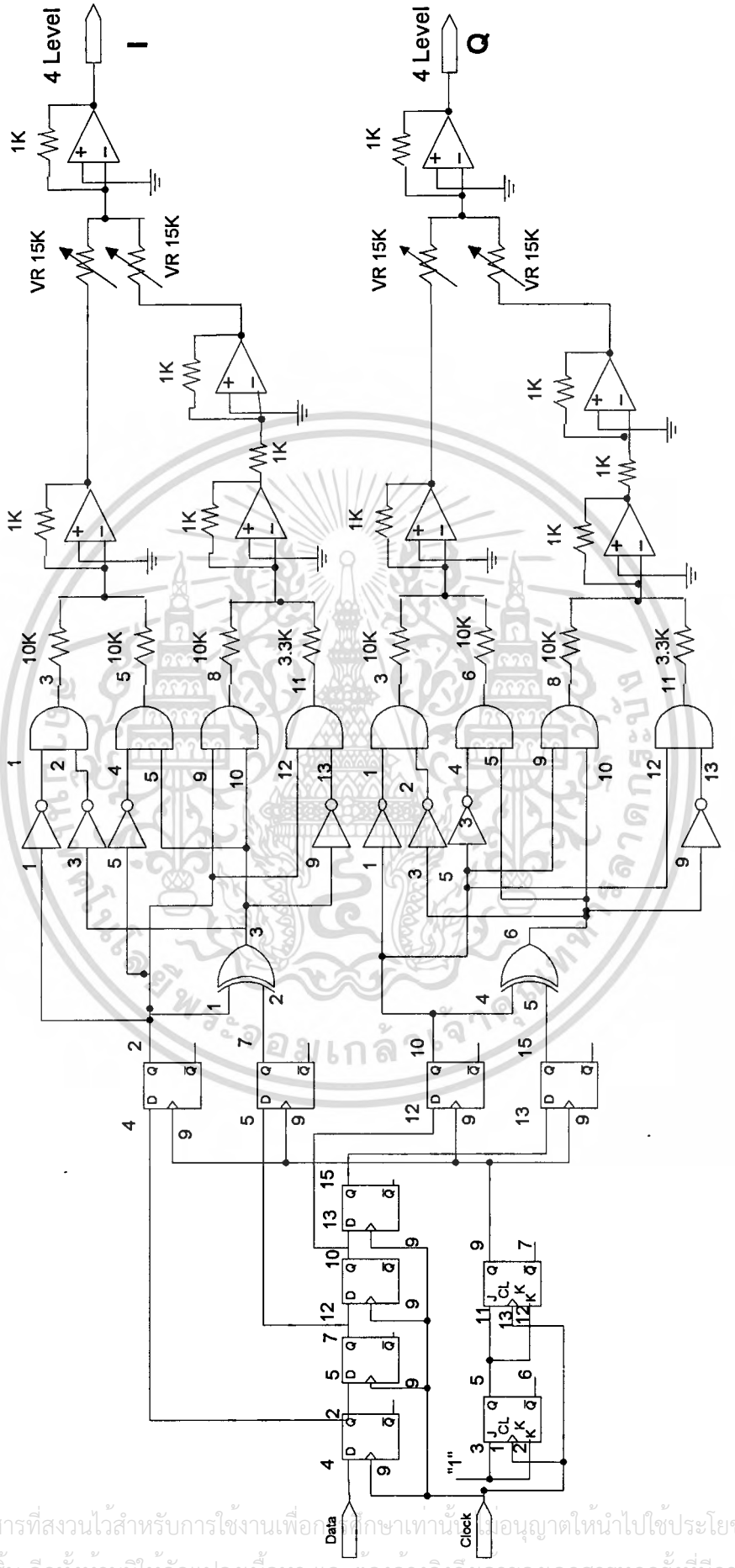
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 BLOCK DIAGRAM 16 QAM TRANSMITTER

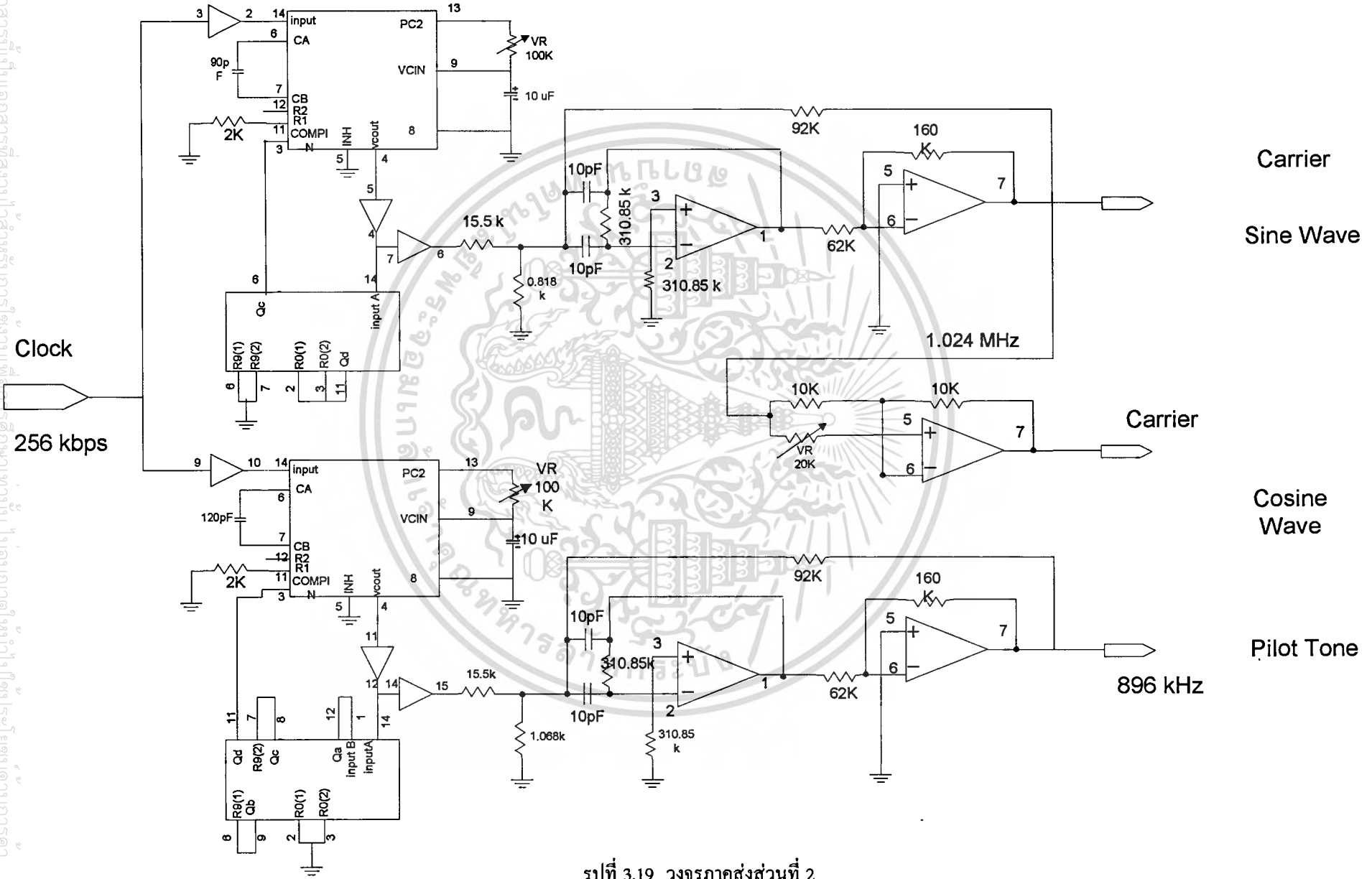


รูปที่ 3.17 BLOCK DIAGRAM 16 QAM RECIEVER

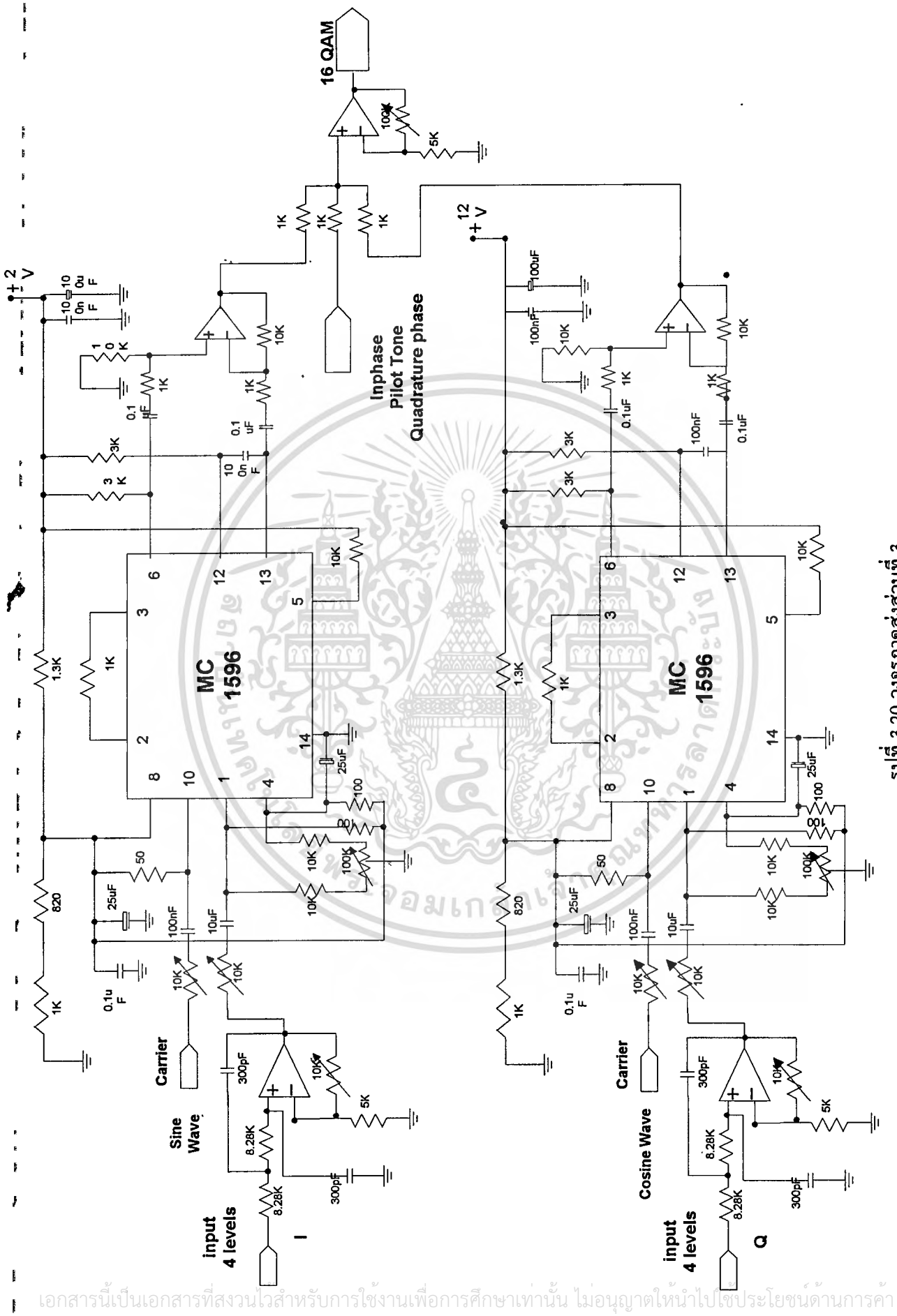


รูปที่ 3.18 วงจรภาคส่งส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

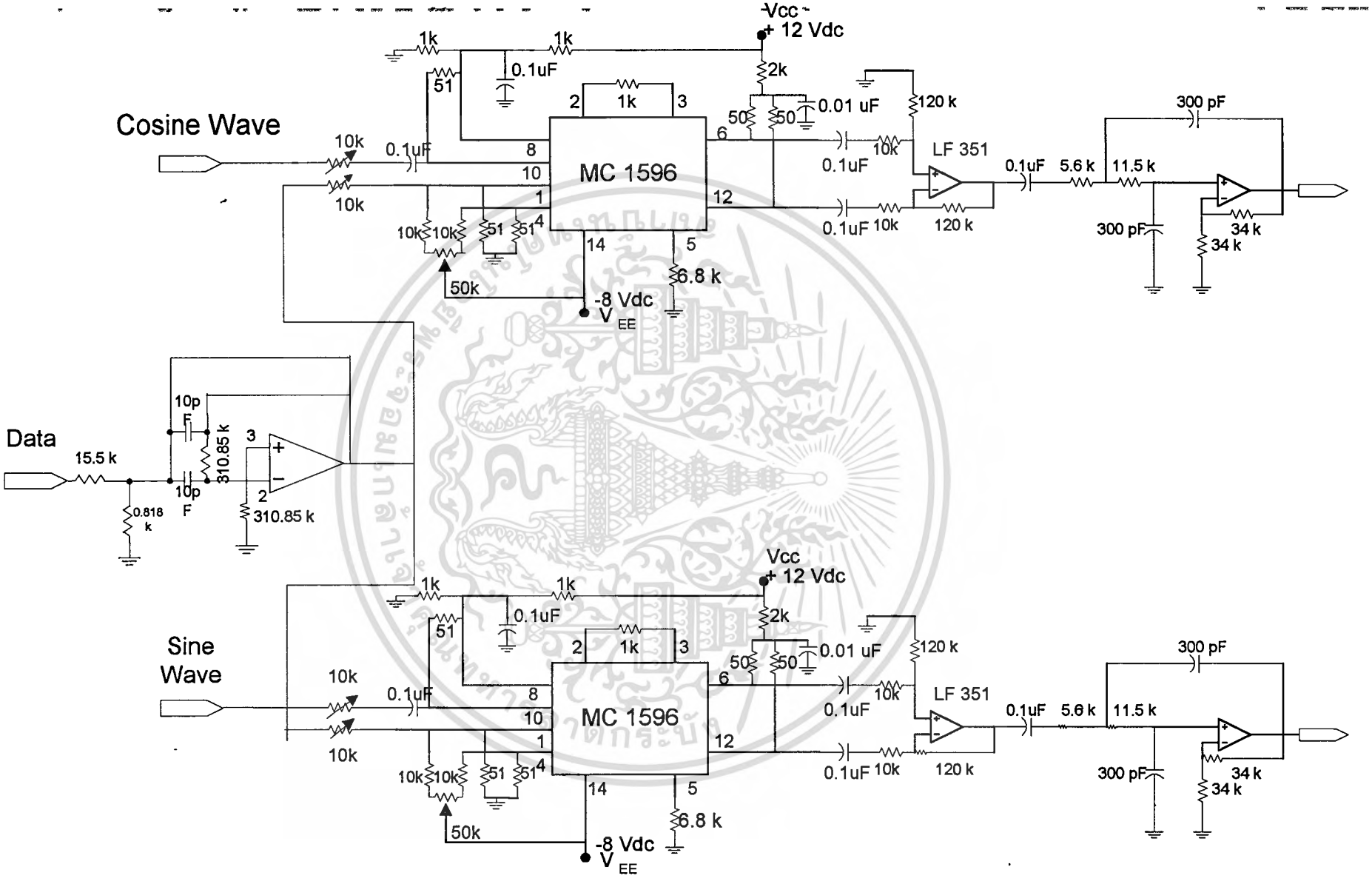


รูปที่ 3.19 วงจรภาคส่งส่วนที่ 2

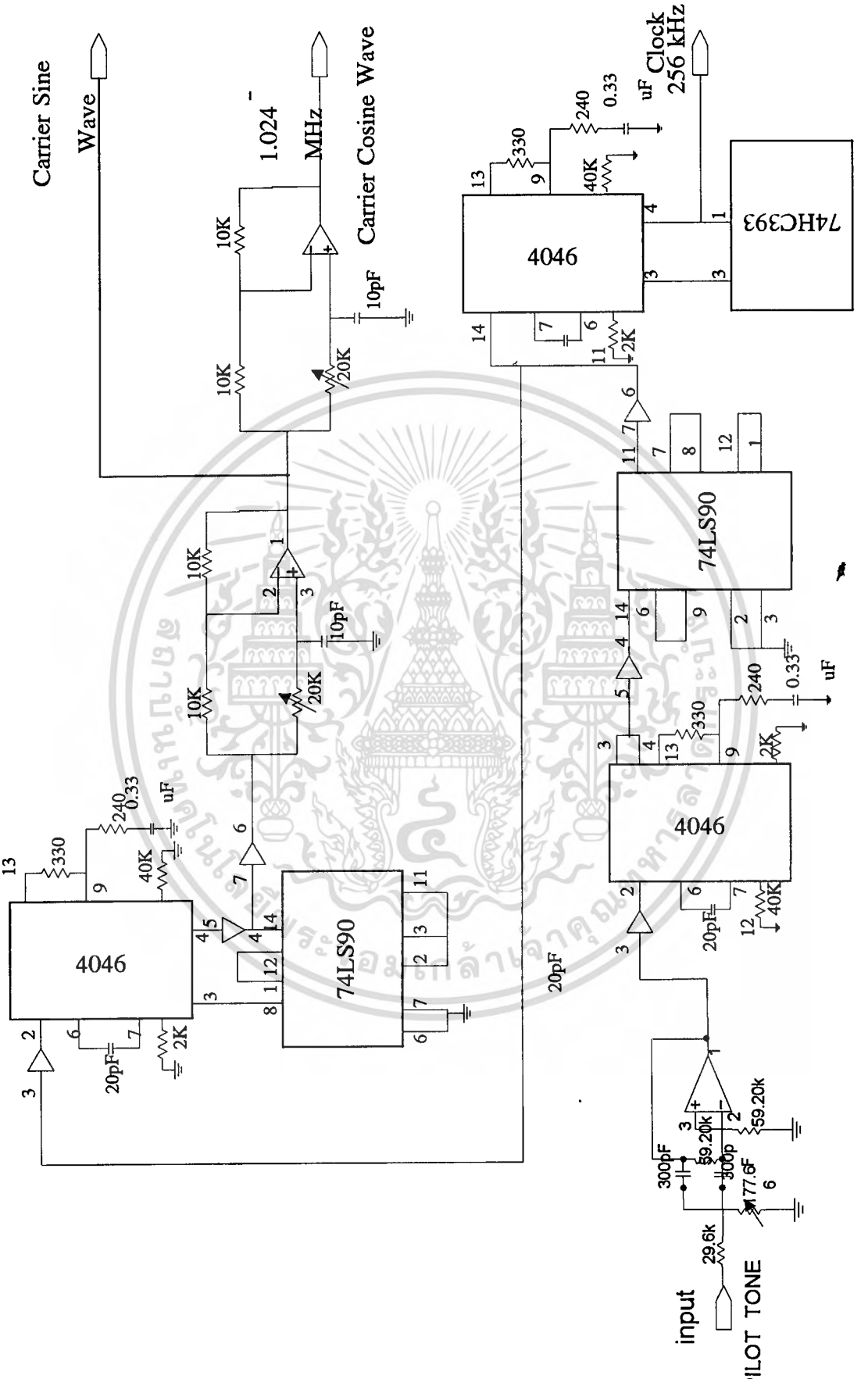


รูปที่ 3.20 วงจรภาคส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

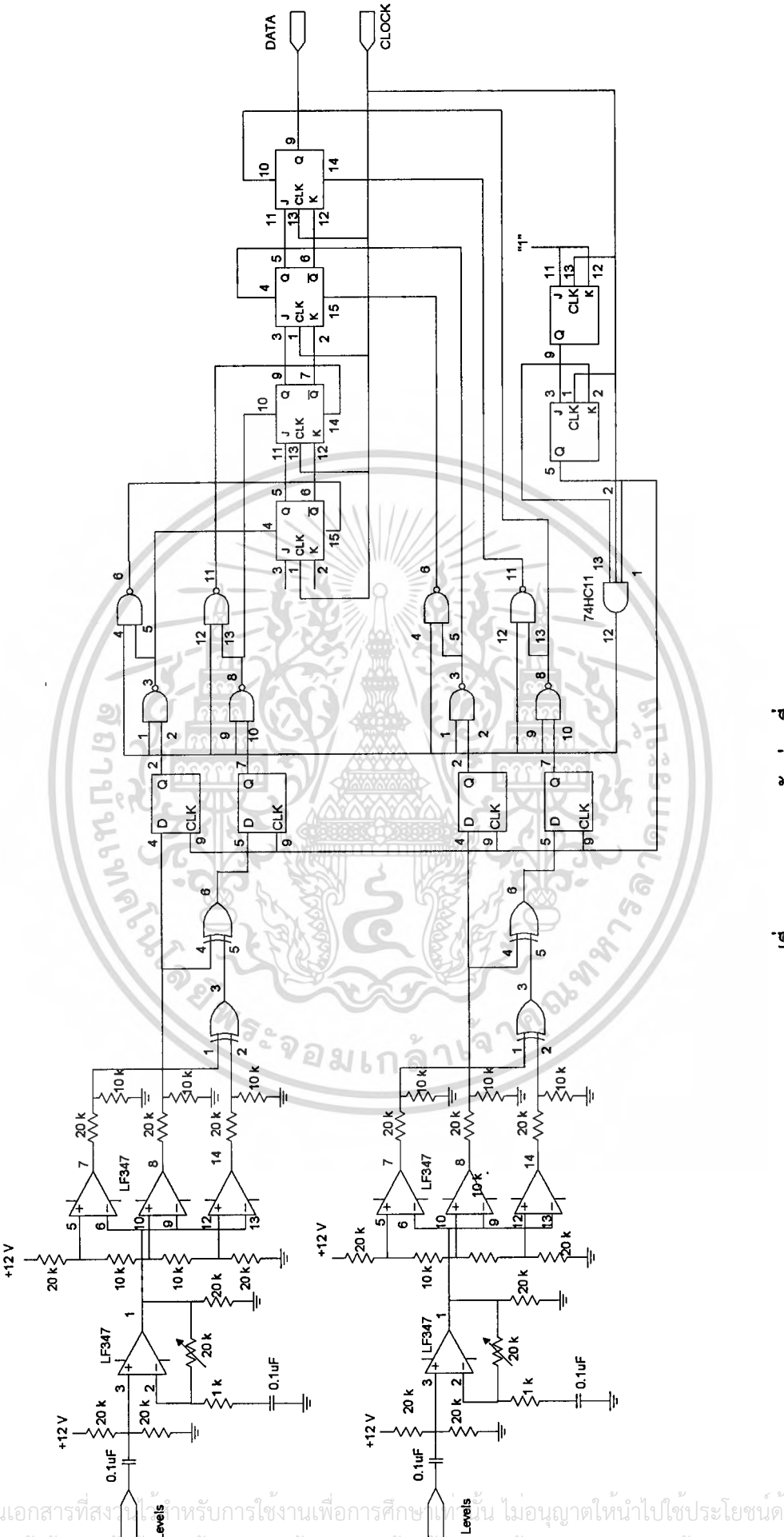


รูปที่ 3.21 วงจรภาครับส่วนที่ 1



รูปที่ 3.22 วงจรภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

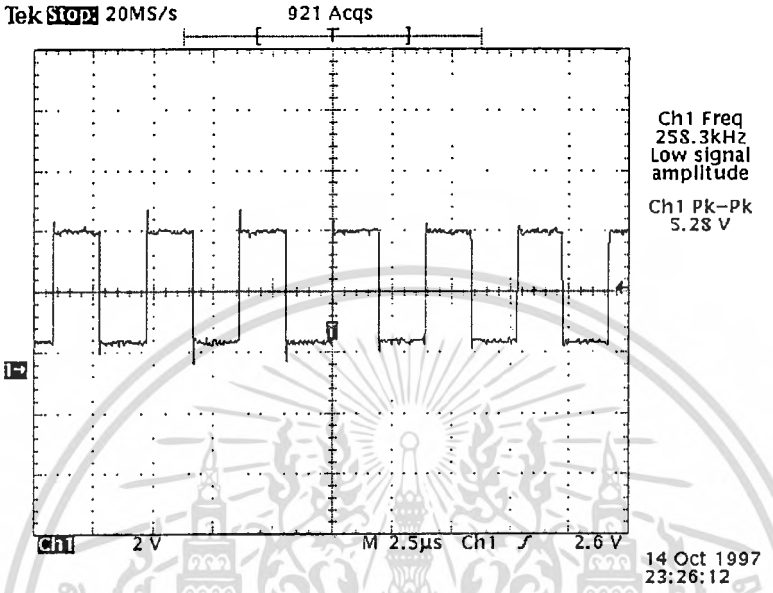


รูปที่ 3.22 วงจรภาครับส่วนที่ 3

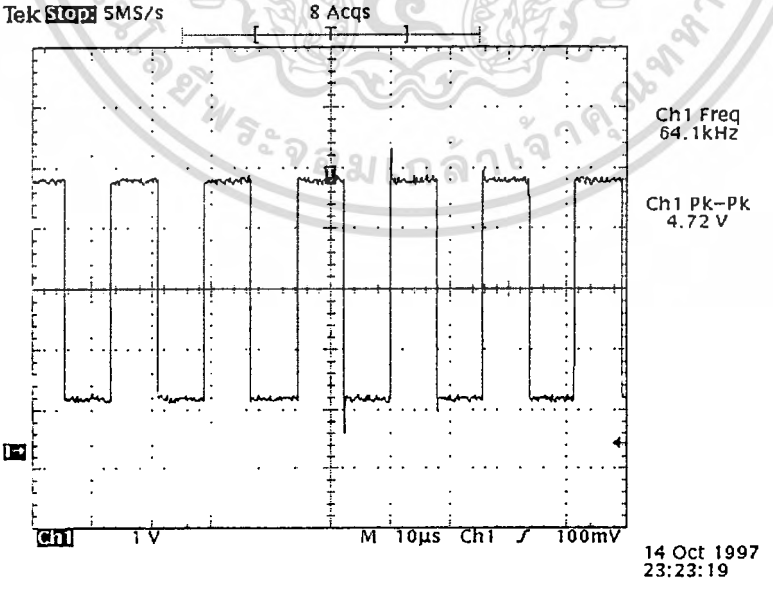
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

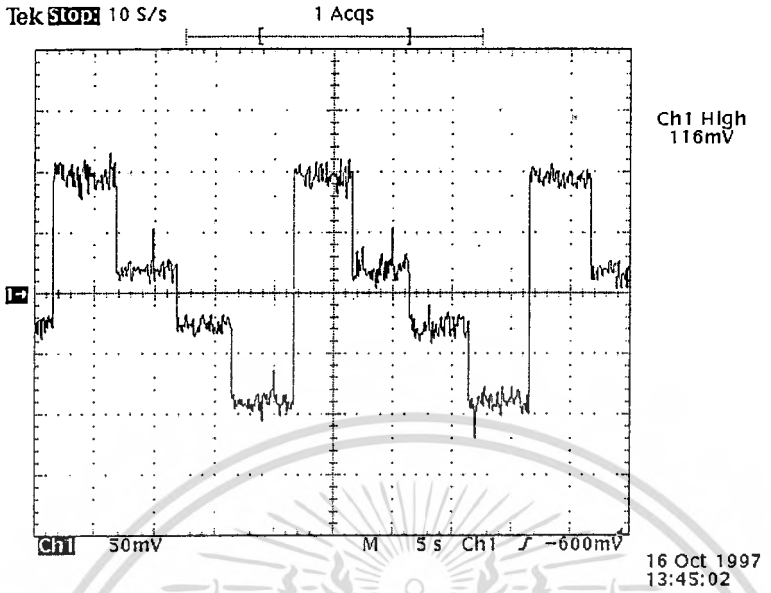


รูปที่ 4.1 แสดงสัญญาณนาฬิกาที่ป้อนให้ D ฟลิปฟลอป

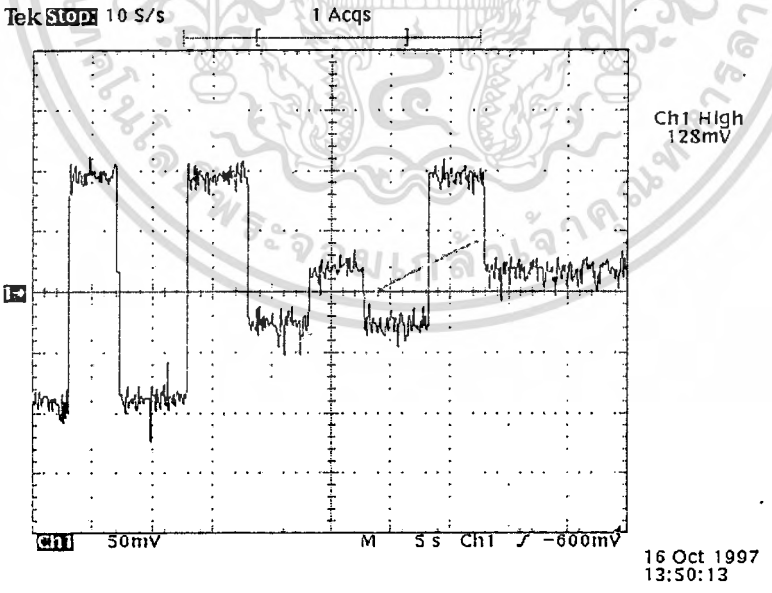


รูปที่ 4.2 แสดงสัญญาณนาฬิกา ซึ่งถูกหน่วงเวลาไว้ 4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

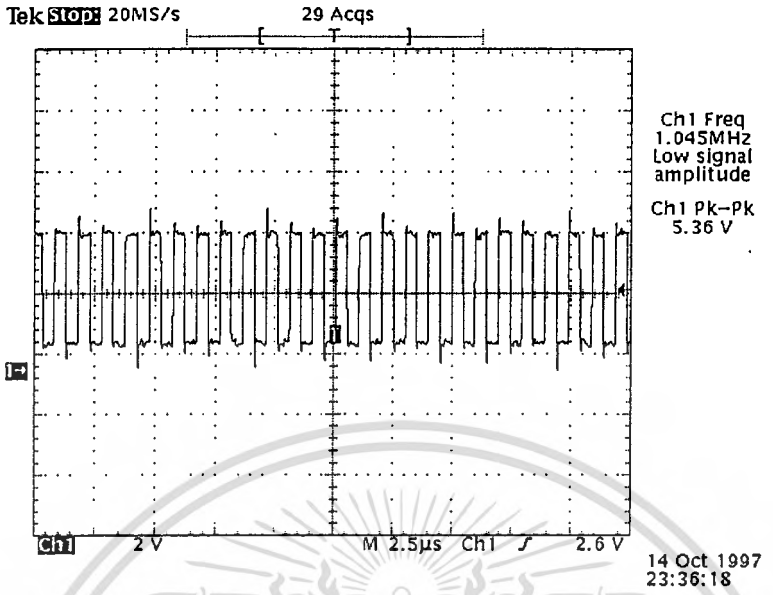


รูปที่ 4.3 แสดงสัญญาณดิจิตอลที่ถูกแปลงเป็น 4 ระดับ (แบบที่ 1)

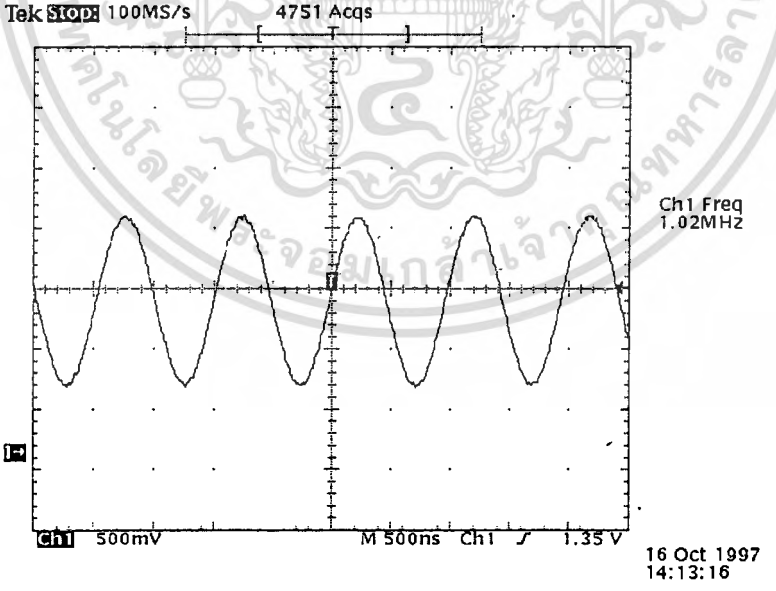


รูปที่ 4.4 แสดงสัญญาณดิจิตอลที่ถูกแปลงเป็น 4 ระดับ (แบบที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

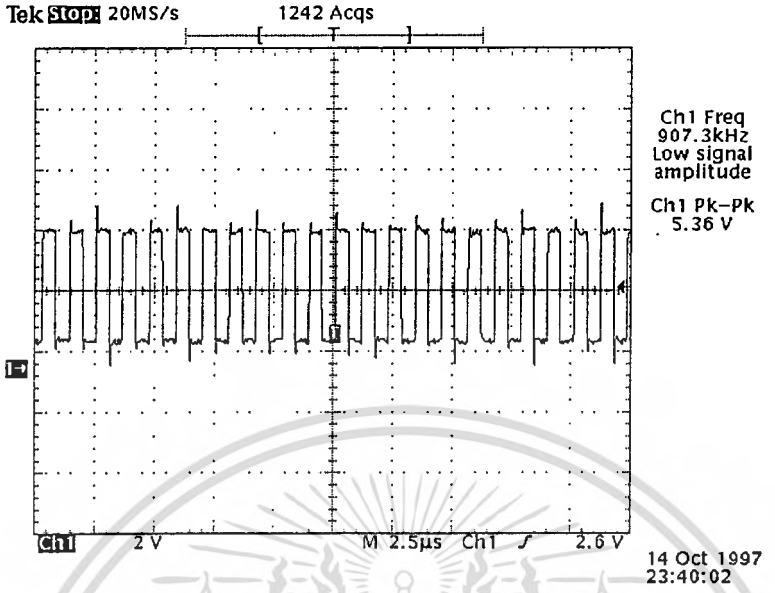


รูปที่ 4.5 แสดงสัญญาณนาฬิกาเมื่อถูกคูณความถี่ขึ้นไป 8 เท่า

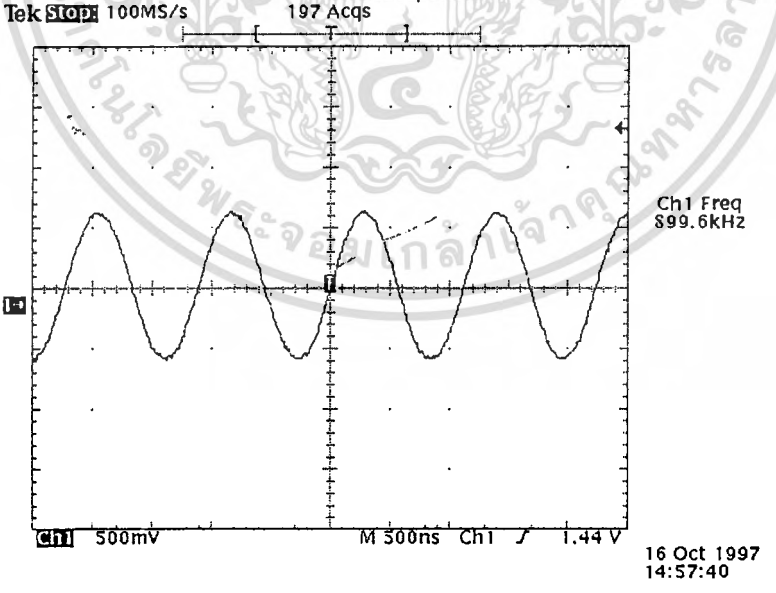


รูปที่ 4.6 แสดงสัญญาณพาหะความถี่ 1.024 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

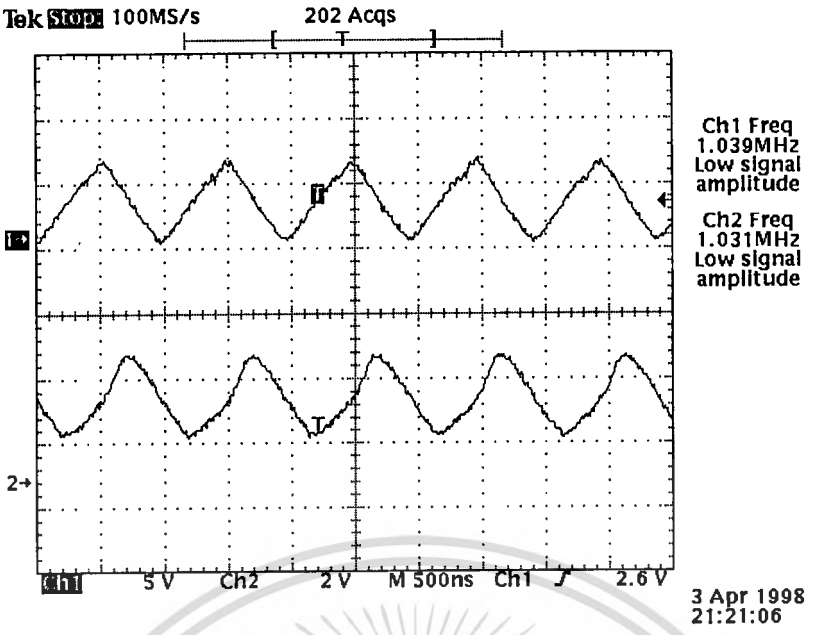


รูปที่ 4.7 แสดงสัญญาณนาฬิกาเมื่อถูกคูณความถี่ขึ้นไป 7 เท่า

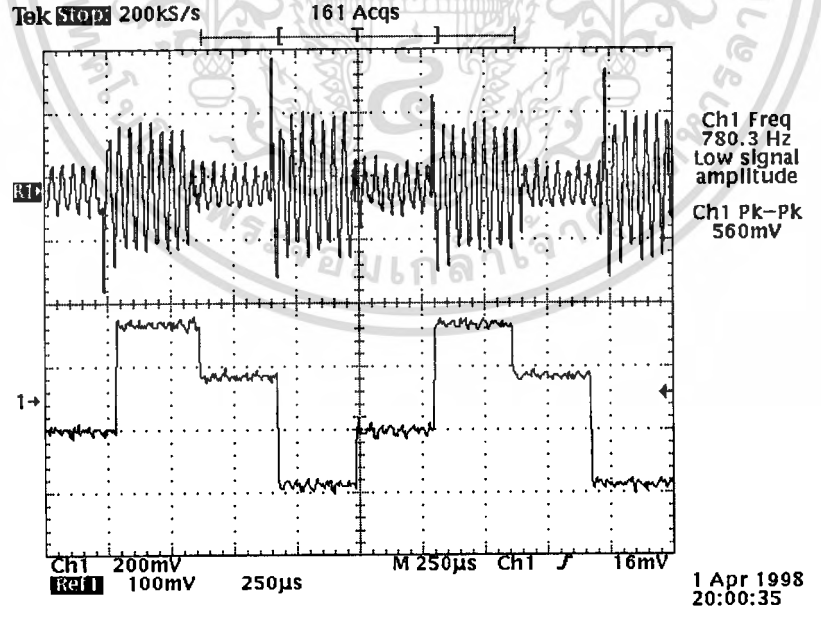


รูปที่ 4.8 แสดงสัญญาณไพล็อทโทนความถี่ 896 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

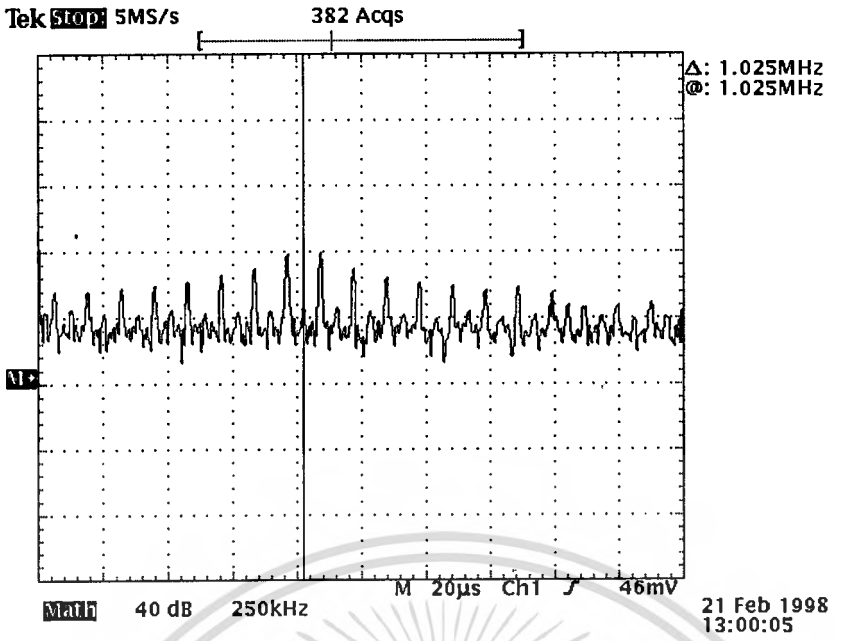


รูปที่ 4.9 แสดงการเลื่อนเฟสของสัญญาณพาหะไป 90 องศา

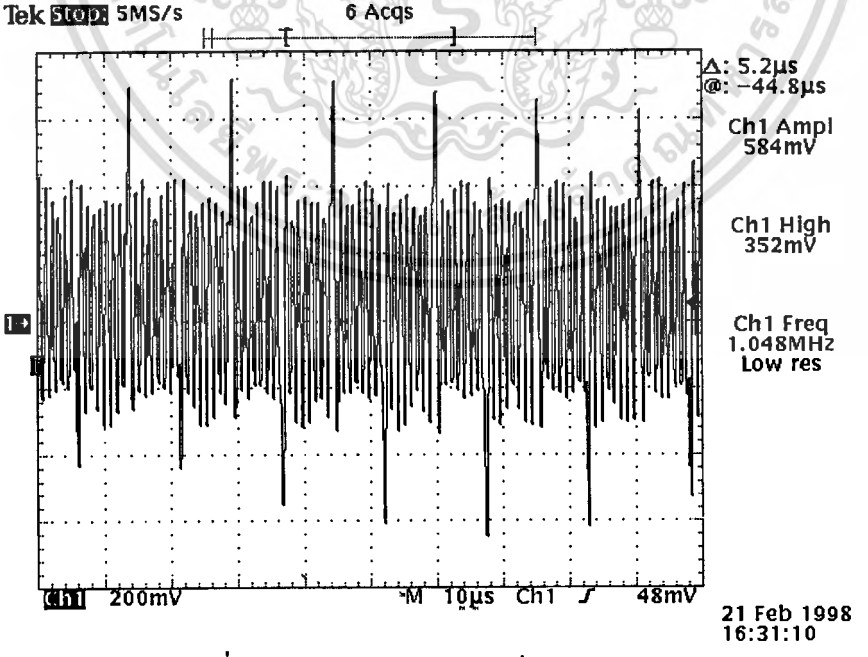


รูปที่ 4.10 แสดงการเปรียบเทียบสัญญาณ 4 ระดับ
หลังผ่านวงจรมอดูเลเตอร์กับก่อนผ่านวงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

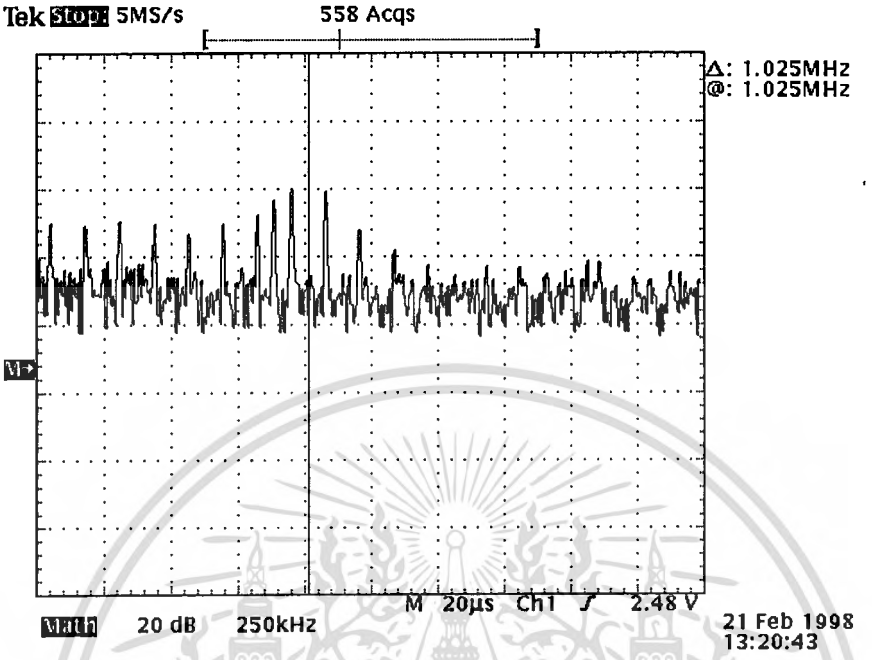


รูปที่ 4.11 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ โดยดูจากเครื่องสเปคตรัมอนาไลเซอร์

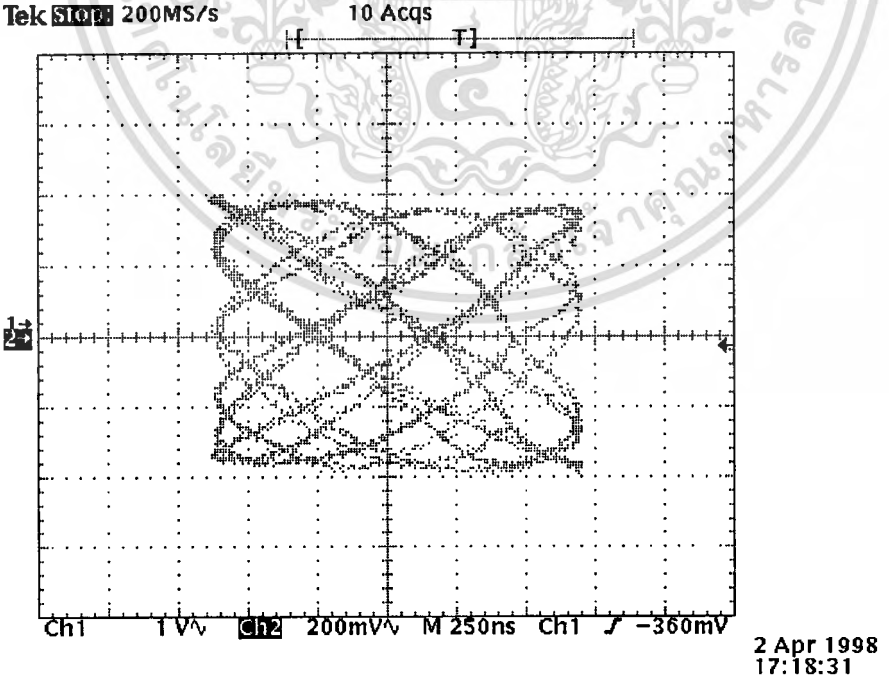


รูปที่ 4.12 แสดงสัญญาณเอาท์พุท 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

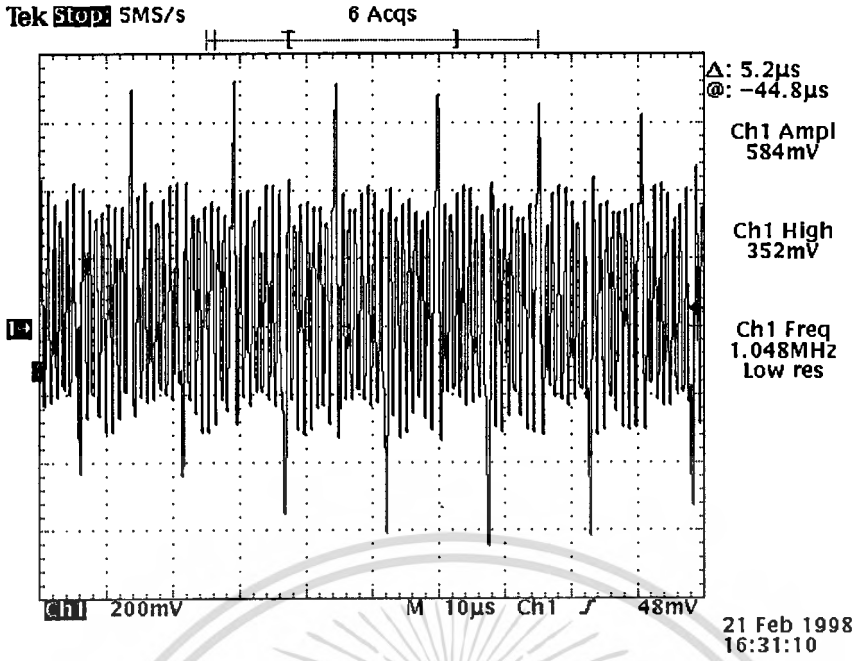


รูปที่ 4.13 แสดงเอาท์พุทของสัญญาณ 16 QAM
โดยดูจากสเปคตรัมอนาไลเซอร์

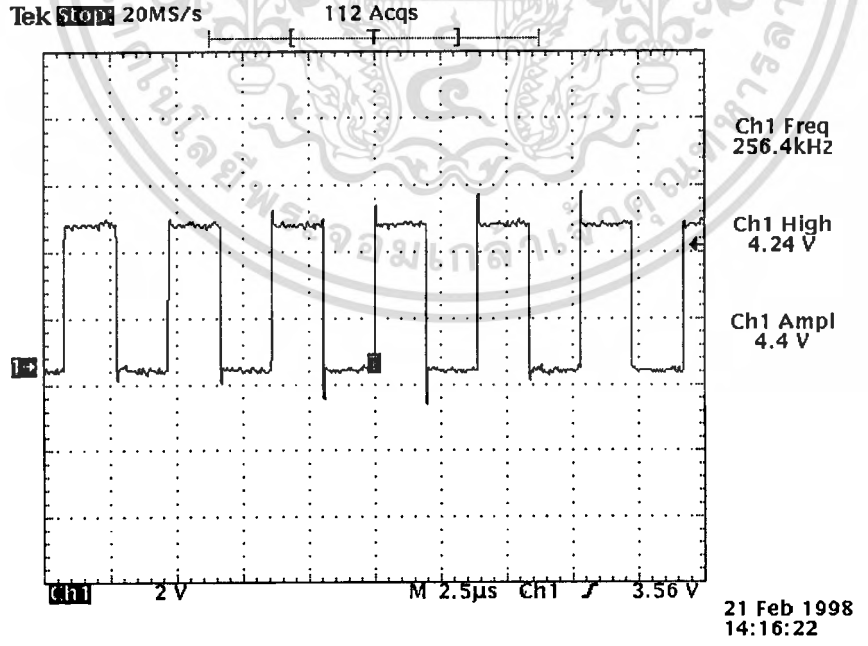


รูปที่ 4.14 แสดงรูปเฟสเซอร์ไดอะแกรมของสัญญาณ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

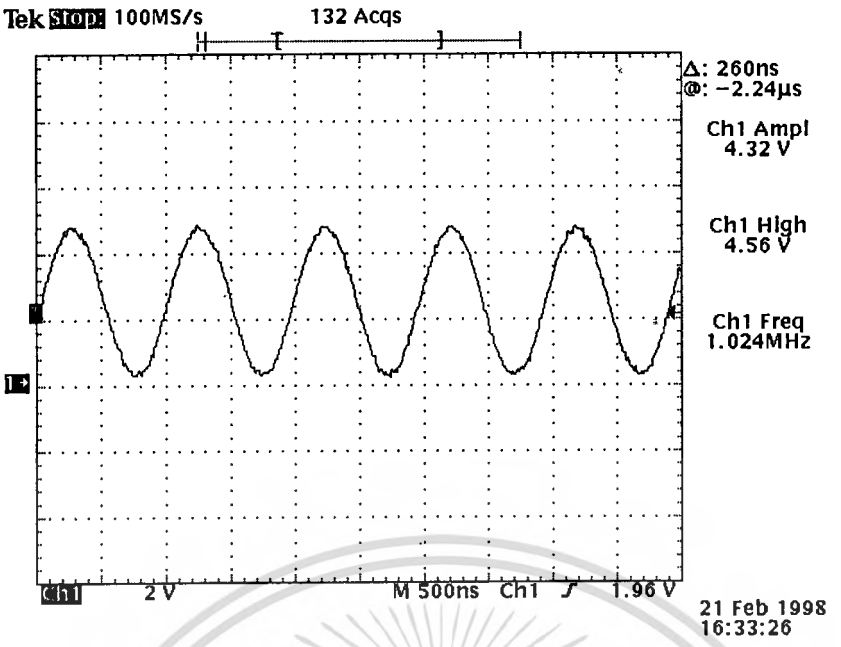


รูปที่ 4.15 แสดงสัญญาณ 16 QAM ที่รับได้

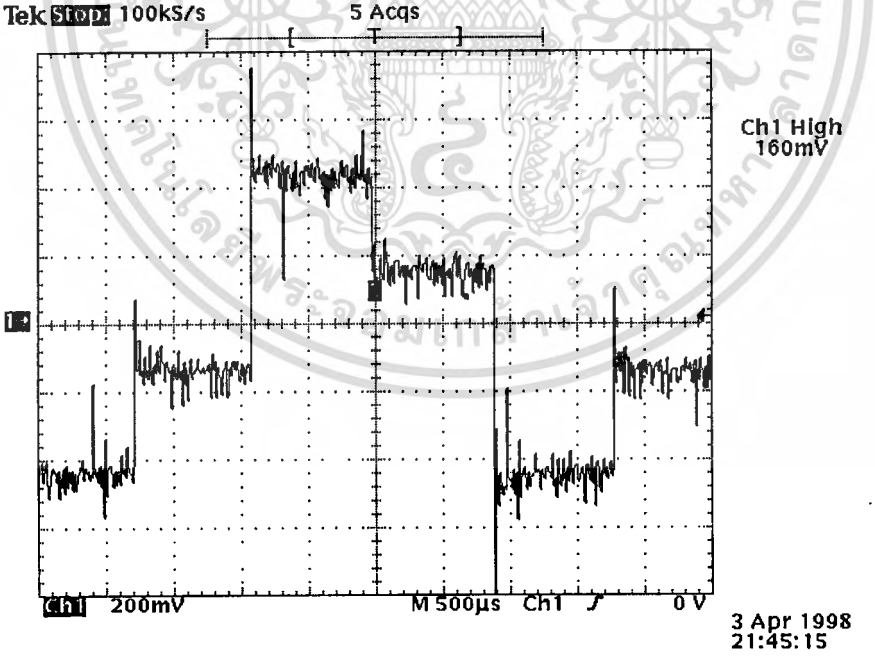


รูปที่ 4.16 แสดงสัญญาณนาฬิกาที่กู้ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

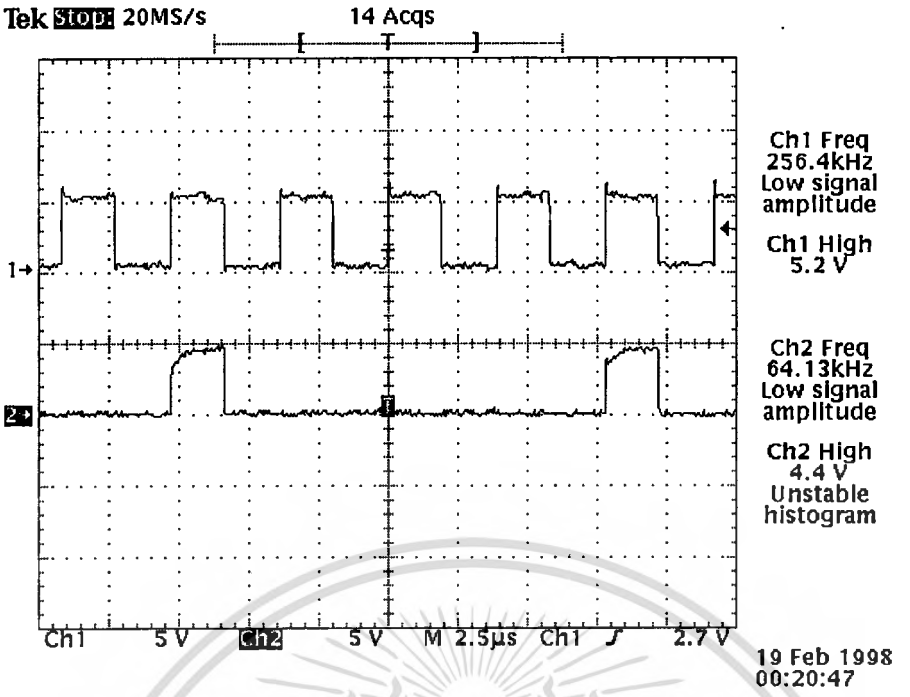


รูปที่ 4.17 แสดงสัญญาณพาหะที่กู้ออกมาได้

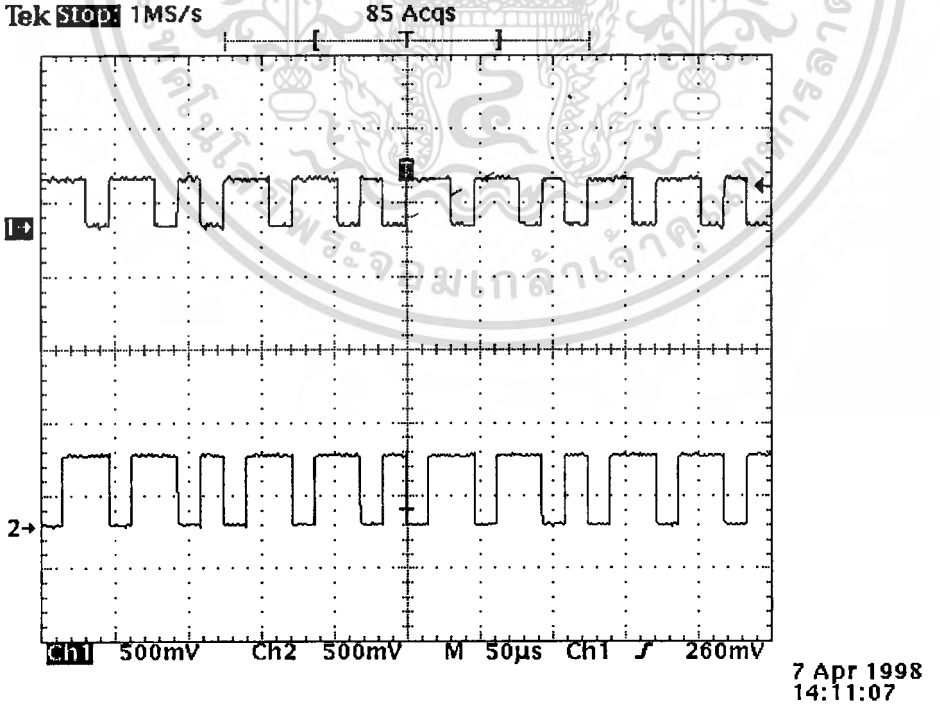


รูปที่ 4.18 แสดงเอาท์พุทของสัญญาณดีมอดูเลเตอร์
เมื่อผ่านวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ขา 12 ของไอซีเบอร์ 74HC11 กับสัญญาณนาฬิกา



รูปที่ 4.20 แสดงการเปรียบเทียบสัญญาณอินพุทและสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

โครงงานนี้เป็นการศึกษาระบบการทำงานของ 16 QAM ซึ่งเป็นรูปแบบหนึ่งที่นิยมใช้กันมากในการส่งข้อมูลแบบดิจิตอล โดยจะแบ่งออกเป็น 2 ส่วนคือภาคส่งและภาครับ

ในส่วนของภาคส่งนั้นจะเริ่มด้วยการรับสัญญาณดิจิตอลเข้ามาทาง D-flipflop โดยข้อมูลดิจิตอลจะเข้ามาแบบอนุกรมและถูกพักข้อมูลไว้ที่ D-flipflop และอาศัยสัญญาณนาฬิกาซึ่งเป็นตัวกระตุ้นให้ข้อมูลเลื่อนไปเรื่อยๆ โดยข้อมูลที่ออกจาก D-flipflop สี่ตัวแรกนี้จะไปเข้า D-flipflop ชุดที่ 2 อีก 4 ตัว และ D-flipflop 4 ตัวนี้จะใช้สัญญาณนาฬิกาซึ่งถูกหน่วงเวลาเอาไว้แล้ว 4 เท่าเป็นตัวกระตุ้นให้ข้อมูลเลื่อนออกไป ขั้นตอนนี้เป็นการแปลงข้อมูลดิจิตอลจากแบบอนุกรมไปเป็นแบบขนาน สัญญาณที่ได้ออกมาจะถูกนำไปเข้ารหัสเป็นแบบเกร์โค้ด เพื่อป้องกันความผิดพลาดอันอาจจะเกิดขึ้นได้ทางด้านภาครับ ในตอนนี้สัญญาณดิจิตอลได้ถูกแบ่งออกเป็น 2 ส่วนคือ บิทบนและบิทล่าง และรหัสเกร์โค้ดที่ได้มาจะถูกแปลงให้เป็นเอาท์พุท 4 ระดับโดยอาศัยวงจร Inverter , Nand Gate , และออปแอมป์

ทางด้านวงจรกำเนิดสัญญาณพาหะ จะนำสัญญาณนาฬิกาซึ่งมีความถี่ 256 kHz มาทำการสังเคราะห์ความถี่ โดยอาศัยวงจรเฟสล็อคลูปและวงจรหารความถี่ทำงานร่วมกัน ผลที่ได้คือถ้าใช้วงจรหาร 8 สัญญาณที่ได้ออกมาจะมีความถี่เพิ่มขึ้นเป็น 8 เท่าคือเท่ากับ 1.024 Mhz ซึ่งเราจะนำมาใช้เป็นสัญญาณพาหะ ส่วนถ้าเราใช้วงจรหาร 7 สัญญาณเอาท์พุทที่ได้จะมีความถี่เพิ่มขึ้น 7 เท่าคือเท่ากับ 896 kHz ในที่นี้เรานำมาใช้เป็นสัญญาณไพล็อทโทนส่งออกไป สัญญาณนาฬิกาเมื่อถูกคูณความถี่ขึ้นไปแล้วเอาท์พุทที่ได้จะมีลักษณะเป็นรูปพัลซ์สี่เหลี่ยม ดังนั้นเราจึงนำมาผ่านวงจรกรองช่วงความถี่เพื่อเปลี่ยนสัญญาณจากรูปพัลซ์สี่เหลี่ยม ให้กลายเป็นรูปสัญญาณไซน์เวฟ และนำสัญญาณนี้ไปผ่านวงจรเลื่อนเฟสอีกครั้ง เพื่อให้ได้สัญญาณโคไซน์โดยปรับแต่งให้เฟสเลื่อนไปเท่ากับ 90 องศา ปัญหาที่เกิดขึ้นในส่วนนี้จะอยู่ที่การออกแบบเฟสล็อคลูปให้ทำการล็อคความถี่ที่เราต้องการ ซึ่งมันจะไม่เป็นไปตามทฤษฎีมากนัก ต้องอาศัยการเปลี่ยนค่าความต้านทานและค่าตัวเก็บประจุไปเรื่อยๆ ทำให้เสียเวลามากพอสมควร แต่ก็ได้ผลเป็นที่น่าพอใจ

เมื่อเราได้สัญญาณดิจิตอลซึ่งถูกแปลงเป็น 4 ระดับแล้ว อีกทั้งยังมีสัญญาณพาหะแล้วด้วยจึงได้นำสัญญาณทั้ง 2 มาเข้าวงจรบาลานซ์มอดูเลเตอร์ โดยก่อนจะนำสัญญาณทั้งสองเข้าอินพุทของไอซีเบอร์ 1596 เราจะต้องทำการปรับระดับแรงดันให้ได้ตามข้อกำหนดของไอซีเบอร์นี้เสียก่อน โดยเราจะใช้ความต้านทานปรับค่าได้ต่ออนุกรมเข้าไปที่ขาอินพุททั้ง 2 ขา

สัญญาณเอาท์พุทที่ได้จากการมอดูเลทนั้นจะถูกนำมาเข้าวงจรขยายความแตกต่างอีกครั้ง เพื่อให้มีระดับโวลท์เตจของสัญญาณสูงขึ้น ในส่วนวงจรบาลานซ์มอดูเลเตอร์นี้จะมีความต้านทานปรับค่าได้อยู่ตัวนึงมีค่า 100 k ซึ่งความต้านทานตัวนี้จะเป็นตัวควบคุมการกดสัญญาณของคลื่นพาหะให้ลดลง จะลดลงมากหรือน้อยก็อยู่ที่การปรับแต่ง จากนั้นสัญญาณเอาท์พุทของวงจรมอดูเลเตอร์ทั้ง 2 ส่วนและสัญญาณไพล็อทโทนจะถูกนำมารวมกันโดยใช้วงจรรวมสัญญาณ จากนั้นจึงทำการส่งออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของทางภาครับนั้นจะต้องทำการกู้สัญญาณนาฬิกาจากทางด้านภาคส่งออกมา ซึ่งจะเห็นว่าทางภาคส่งเราได้ทำการส่งสัญญาณไพล็อทโทนมากับสัญญาณ 16 QAM และในที่นี้จะใช้วงจรกรองความถี่ในการกรองสัญญาณไพล็อทโทนออกมา เมื่อได้แล้วนำสัญญาณไพล็อทโทนไปเข้าวงจรเฟสล็อคลูปเพื่อล็อคความถี่ 896 kHz นี้ไว้จากนั้นนำไปเข้าวงจรหาร 7 จะได้ความถี่ 128 kHz ออกมาทำการแบ่งสัญญาณออกเป็น 2 ส่วน โดยส่วนแรกนำไปเข้าวงจรสังเคราะห์ความถี่เพื่อให้ได้สัญญาณพาหะทั้งไซน์เวฟและโคไซน์เวฟออกมา และส่วนที่สองนำไปเข้าวงจรสังเคราะห์เอาสัญญาณนาฬิกาออกมา ในส่วนนี้ปัญหาอยู่ที่การออกแบบวงจรกรองช่วงความถี่ให้สามารถกรองเอาสัญญาณไพล็อทโทนออกมาให้ได้ เพราะความถี่ของสัญญาณไพล็อทโทนมีความใกล้เคียงกันกับความถี่ของสัญญาณพาหะพอสมควร และวงจรกรองช่วงความถี่ก็ไม่สามารถลดทอนความถี่ที่ไม่ต้องการได้อย่างรวดเร็วเหมือนทางอุดมคติ จึงต้องอาศัยการออกแบบเฟสล็อคลูปให้สามารถล็อคความถี่ได้ในช่วงความถี่ของสัญญาณไพล็อทโทนเท่านั้น

จากนั้นนำสัญญาณพาหะที่ได้กับสัญญาณ 16 QAM ที่รับได้ไปเข้าวงจรดีมอดูเลเตอร์ เพื่อทำการดึงข้อมูลจากทางภาคส่งออกมา สัญญาณเอาท์พุทที่ได้ออกมาจะถูกนำไปเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อนำสัญญาณข้อมูลออกมา จากนั้นนำไปทำการขยายระดับสัญญาณให้แรงขึ้น และผ่านเข้าไปยังวงจรเปรียบเทียบระดับแรงดัน ซึ่งได้ทำการออกแบบมาแล้วว่าที่ระดับแรงดันเท่าไหร่ ให้ออกมาเป็นรหัสอะไร จากนั้นผ่านรหัสที่ได้เข้าเกร์โค้ดเพื่อถอดรหัส และส่งไปทำการแปลงข้อมูลดิจิตอลจากแบบขนานให้เป็นแบบอนุกรมต่อไป

โครงงานนี้ประกอบด้วยส่วนย่อยๆหลายส่วน และการทดลองในแต่ละส่วนก็มิได้ผ่านไปอย่างง่ายดาย เนื่องจากมีปัญหาเกิดขึ้นมากมายโดยแต่ละส่วนก็จะมีปัญหาแตกต่างกันออกไป ดังนั้นถ้าผู้ใดสนใจโครงงานลักษณะนี้ จะต้องมีเวลาให้กับโครงงานอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. หนังสือการออกแบบวงจรอิเลกทรอนิกส์ พิมพ์ครั้งที่ 1 ตำราชุดวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดย นิกร สุขุตมตันติ

2. Advanced Electronic Communication System , second edition Prentice Hall , Eagle Wood Cliffs , N. J. , 1992 Wayne Tomasi

3. Op - Amps and Linear Integrated Circuits , second edition Prentice Hall , International , 1988 Ramakant A.Gayakwad

4. Analog Integrated Circuits (Operational Amplifier and Analog Multipliers) , Research Institute for Telecommunication , Budapest , Hungary , A Wiley-Interscience Publication by Miklos Herpy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

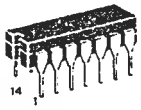
MC1496
MC1596

BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

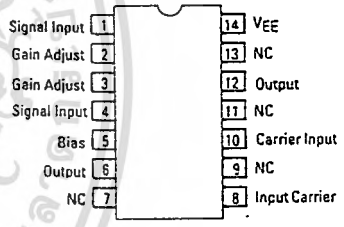


L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596L	−55°C to +125°C	Ceramic DIP

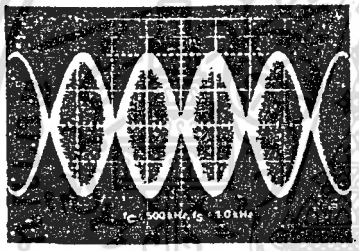


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

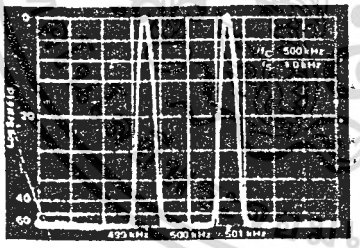


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

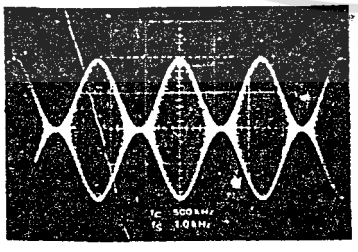
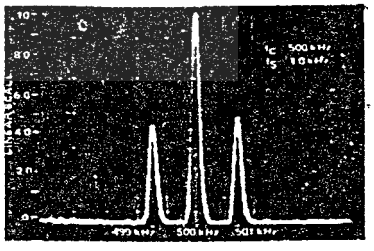


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_8$, $V_{10} - V_1$, $V_{12} - V_8$, $V_{12} - V_{10}$, $V_8 - V_4$, $V_8 - V_1$, $V_{10} - V_4$, $V_6 - V_{10}$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_8 - V_{10}$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave										
f_S = 1.0 kHz, 300 mV(rms) sine wave				—	300	—	—	300	—	
Signal Input Port, V_S = 300 mV(rms) sine wave										
$\lvert V_C \rvert$ = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C \rvert$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_8 + I_{10}}{2}$	7	—								μA
			I_{bS}	—	12	25	—	12	30	
			I_{bC}	—	12	25	—	12	30	
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_8 - I_{10}$	7	—								μA
			$\lvert I_{ioS} \rvert$	—	0.7	5.0	—	0.7	7.0	
			$\lvert I_{ioC} \rvert$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Iio} \rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo} \rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo} \rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C \rvert$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_{12}$			I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{14}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} = V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5) V_5 - V_{14}$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_{12},$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - -\phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12},\ V_8 = V_{10},\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 8, and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_c = 0.5\text{ Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

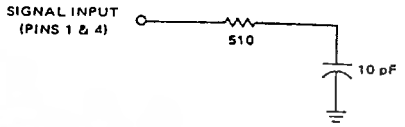
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

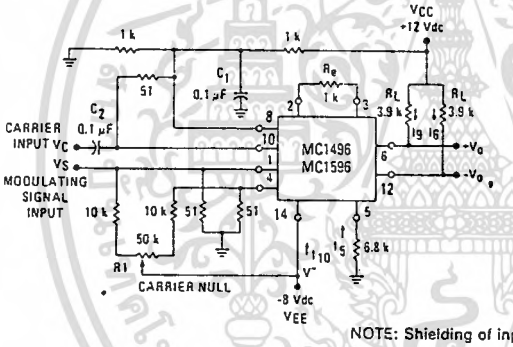
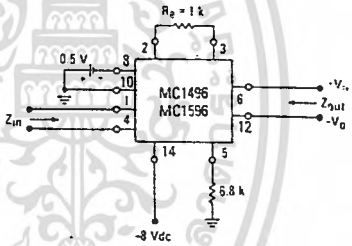


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

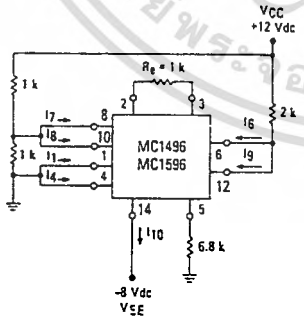
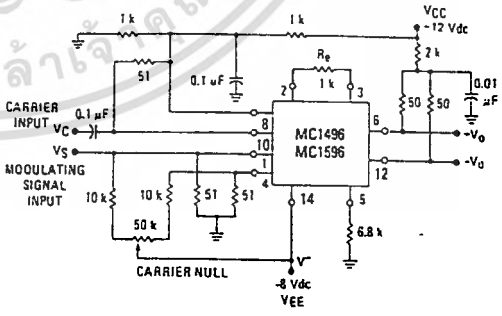


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – COMMON MODE GAIN

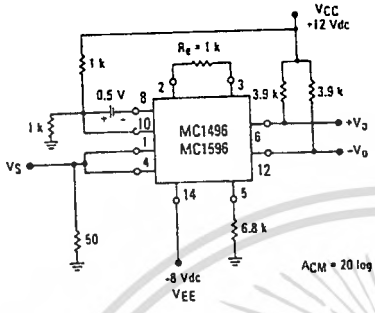
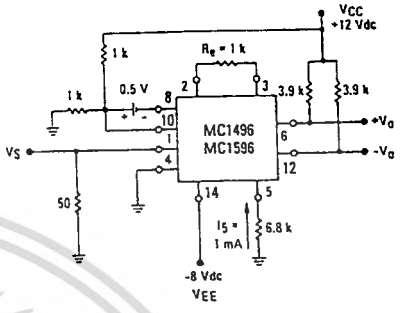


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

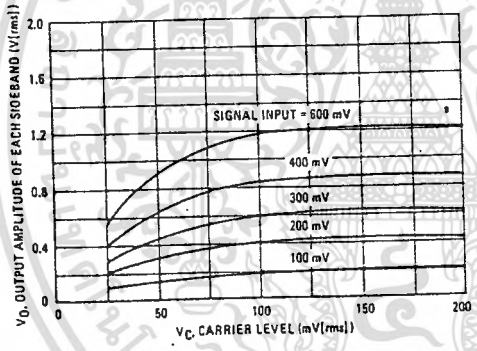


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

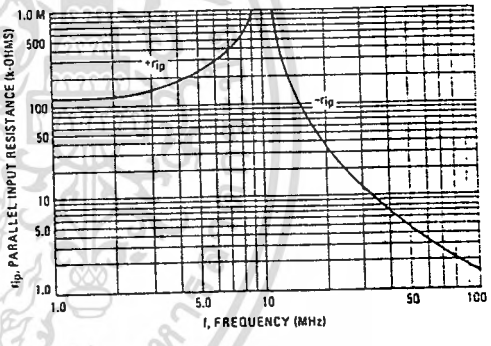


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

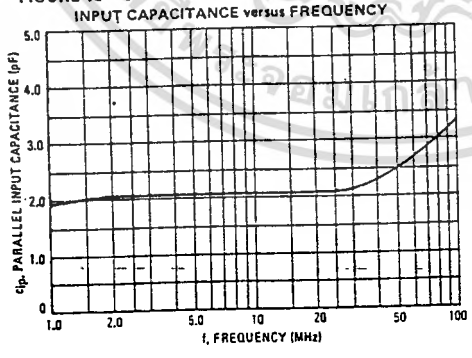
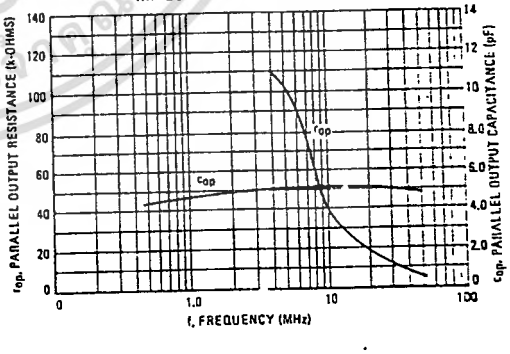


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

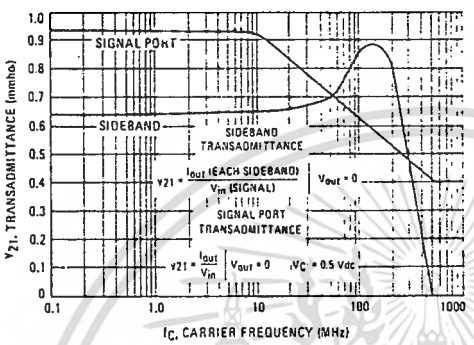


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

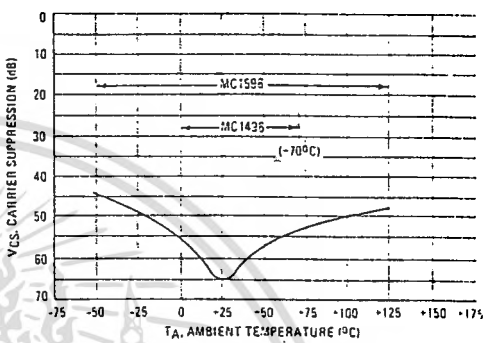


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

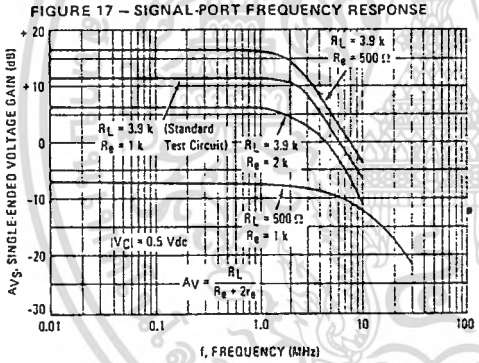


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

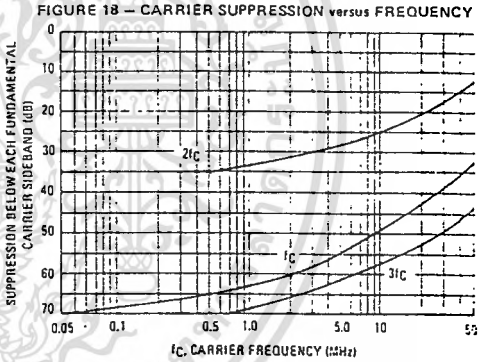


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

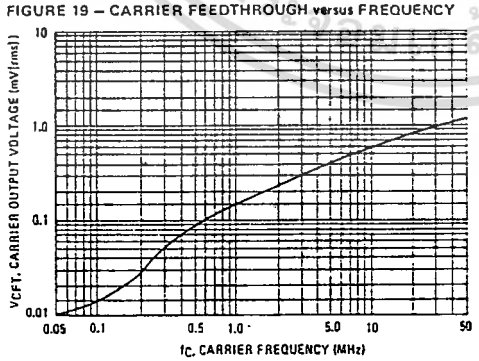
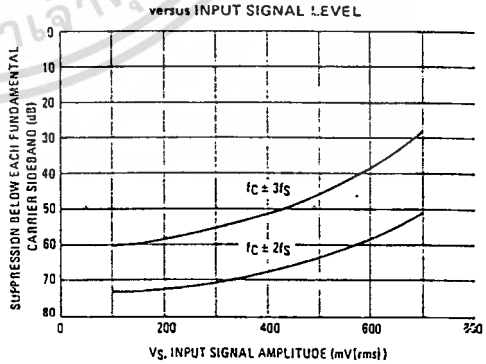


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

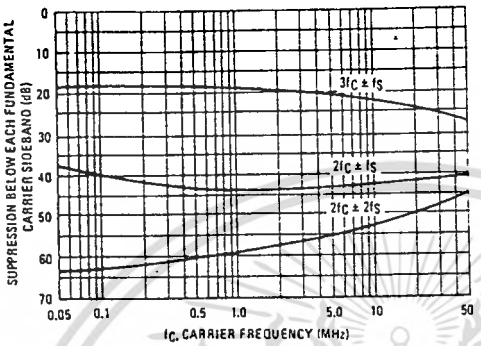
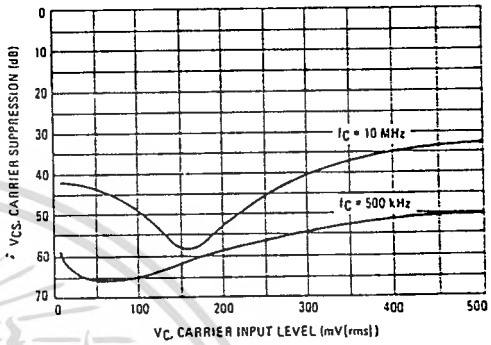


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

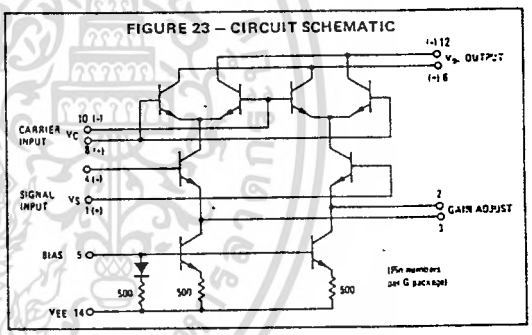
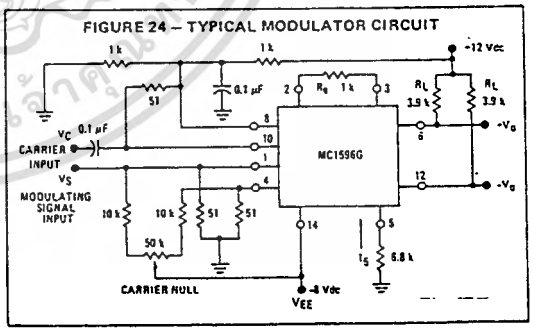


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

8

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 8 and 10 should be increased to 1.0 μF. Also, the output filter at pin 12 can be tailored to a specific intermediate frequency and audio amplifier inout impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

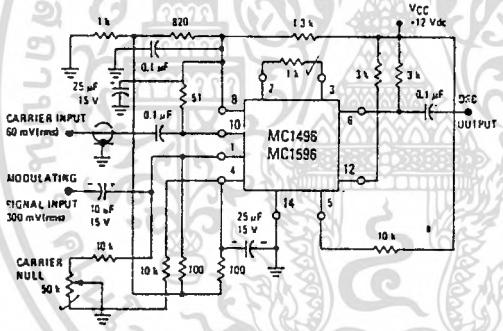


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

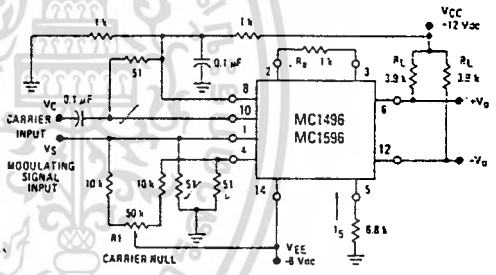


FIGURE 28 – AM MODULATOR CIRCUIT

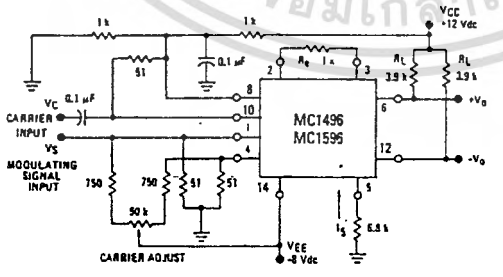
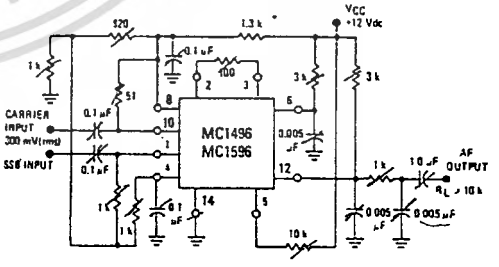


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

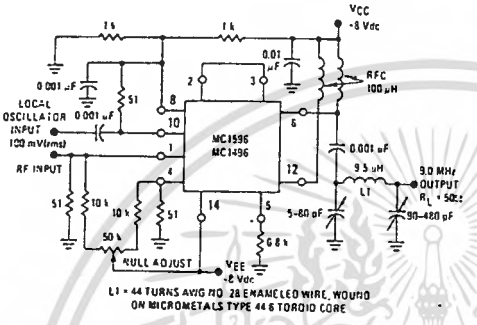


FIGURE 31 – LOW-FREQUENCY DOUBLER

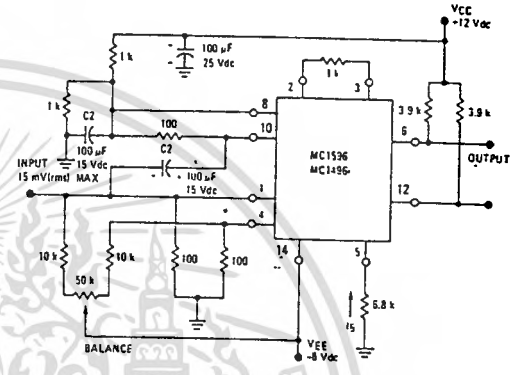
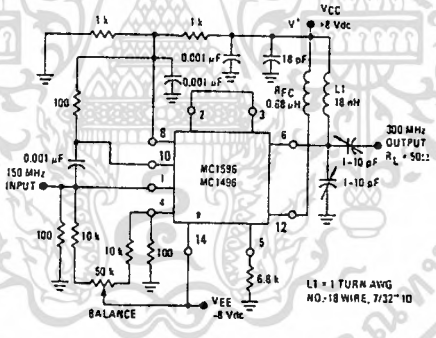
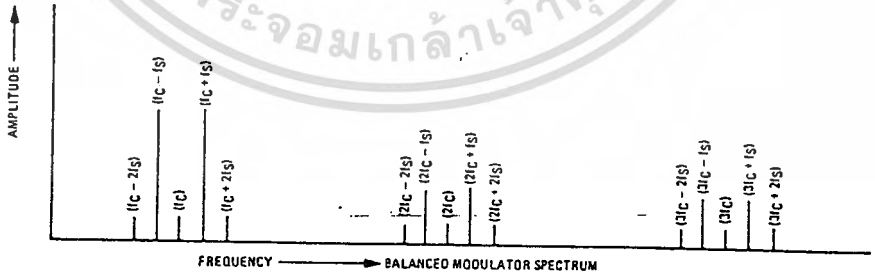


FIGURE 32 – 150 to 300 MHz DOUBLER





DEFINITIONS

f_C	CARRIER FUNDAMENTAL	$f_C \pm nf_S$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
f_S	MODULATING SIGNAL	nf_C	CARRIER HARMONICS
$f_C \pm f_S$	FUNDAMENTAL CARRIER SIDEBANDS	$nf_C \pm nf_S$	CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC393

Dual 4-Stage Binary Ripple Counter

High-Performance Silicon-Gate CMOS

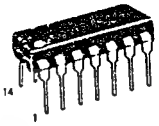
The MC54/74HC393 is identical in pinout to the LS393. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two independent 4-bit binary ripple counters with parallel outputs from each counter stage. A ÷256 counter can be obtained by cascading the two binary counters.

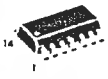
Internal flip-flops are triggered by high-to-low transitions of the clock input. Reset for the counters is asynchronous and active-high. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or as strobes except when gated with the Clock of the HC393.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 236 FETs or 59 Equivalent Gates

J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



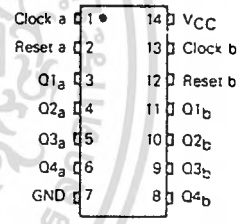
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

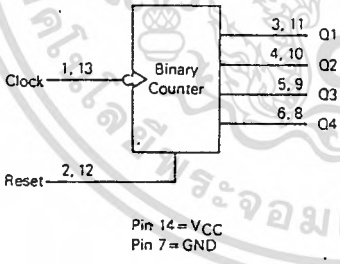
MC74HCXXXD	SOIC
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



FUNCTION TABLE

Inputs		Outputs
Clock	Reset	
X	H	L
H	L	No Change
L	L	No Change
↑	L	No Change
↓	L	Advance to Next State

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP) (Ceramic DIP)	260 300	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
Ceramic DIP: − 10 mW/°C from 100° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in}$ or $V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20$ μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20$ μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20$ μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20$ μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND; I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0	5.4	4.4	3.6	MHz
		4.5	27	22	18	
		6.0	32	26	21	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q1 (Figures 1 and 3)	2.0	120	150	180	ns
		4.5	24	30	36	
		6.0	20	26	31	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q2 (Figures 1 and 3)	2.0	190	240	285	ns
		4.5	38	48	57	
		6.0	32	41	48	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q3 (Figures 1 and 3)	2.0	240	300	360	ns
		4.5	48	60	72	
		6.0	41	51	61	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q4 (Figures 1 and 3)	2.0	290	365	435	ns
		4.5	58	73	87	
		6.0	49	62	74	
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0	165	205	250	ns
		4.5	33	41	50	
		6.0	28	35	43	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Counter) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	pF
		40	

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0	50	65	75	ns
		4.5	10	13	15	
		6.0	9	11	13	
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0	125	155	190	ns
		4.5	25	31	38	
		6.0	21	26	32	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

CLOCK (PINS 1, 13) — Clock input. The internal flip-flops are toggled and the counter state advances on high-to-low transitions of the clock input.

CONTROL INPUTS

RESET (PINS 2, 12) — Active-high, asynchronous reset. A separate reset is provided for each counter. A high at the Reset input prevents counting and forces all four outputs low.

OUTPUTS

Q1, Q2, Q3, Q4 (PINS 3, 4, 5, 6, 8, 9, 10, 11) — Parallel binary outputs. Q4 is the most significant bit.

SWITCHING WAVEFORMS

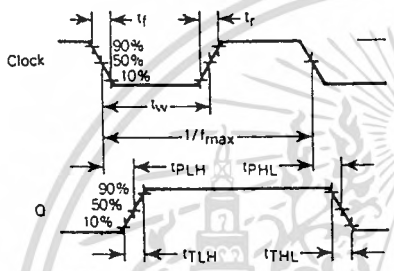


Figure 1.

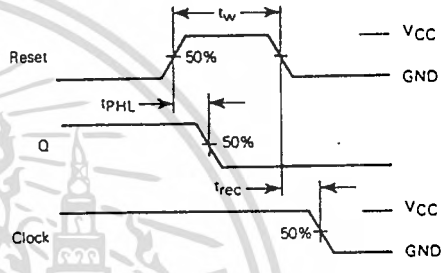
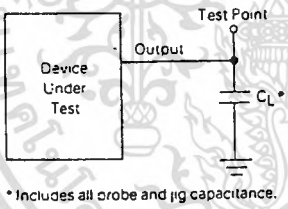


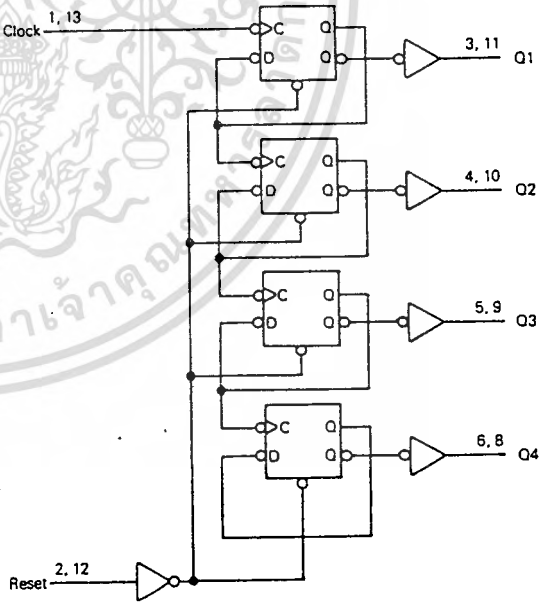
Figure 2.



* Includes all probe and jig capacitance.

Figure 3. Test Circuit

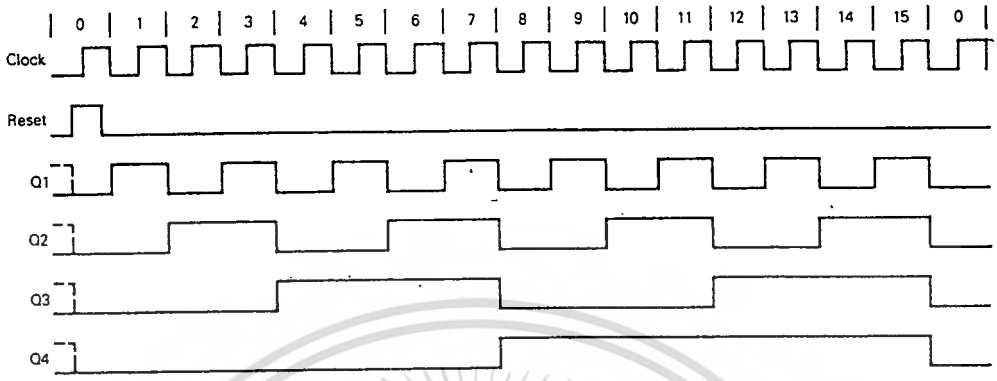
EXPANDED LOGIC DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM



COUNT SEQUENCE

	Outputs			
Count	Q4	Q3	Q2	Q1
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

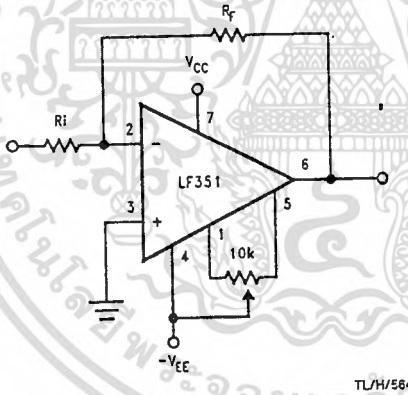
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

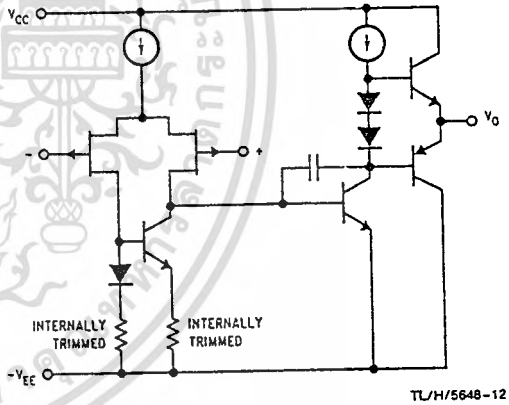
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

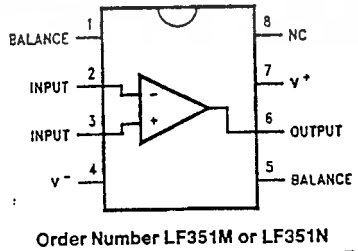
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\,k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\,k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\,k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\,k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\,k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		nV/$\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		pA/$\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

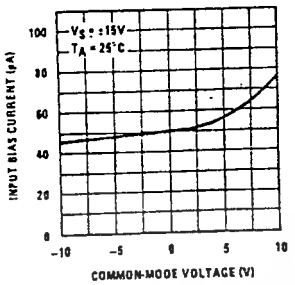
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

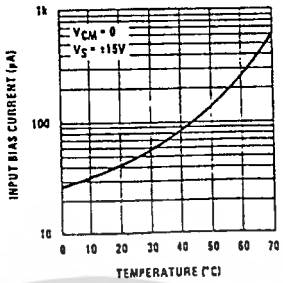
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

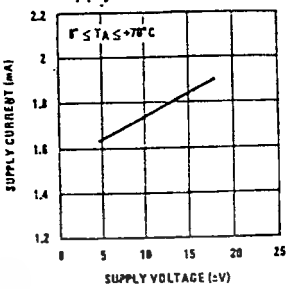
Input Bias Current



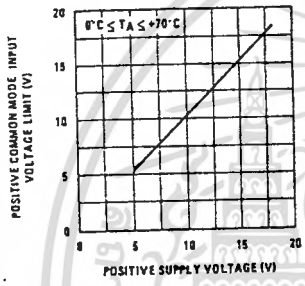
Input Bias Current



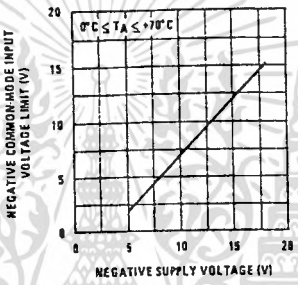
Supply Current



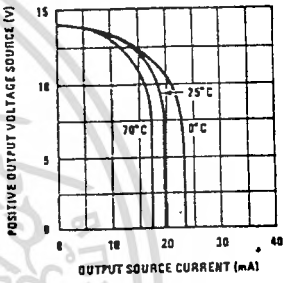
Positive Common-Mode Input Voltage Limit



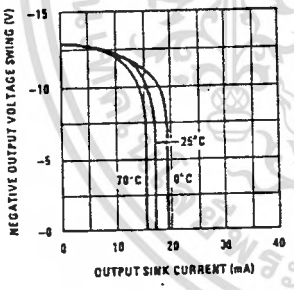
Negative Common-Mode Input Voltage Limit



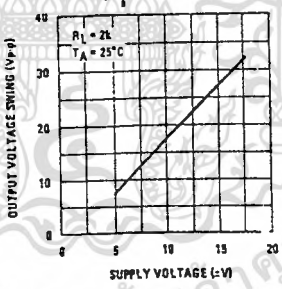
Positive Current Limit



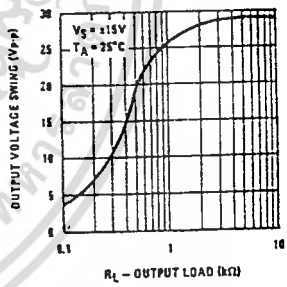
Negative Current Limit



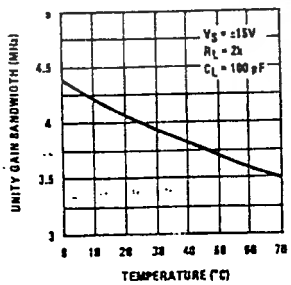
Voltage Swing



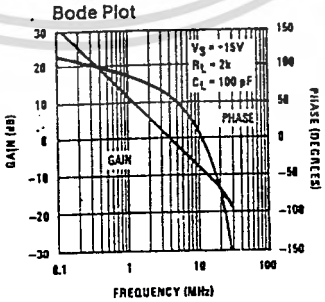
Output Voltage Swing



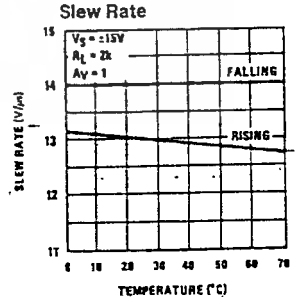
Gain Bandwidth



Bode Plot



Slew Rate

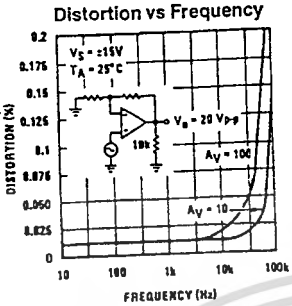


TL/H/5648–2

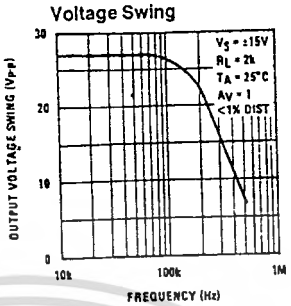
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

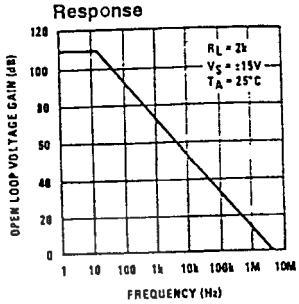
Distortion vs Frequency



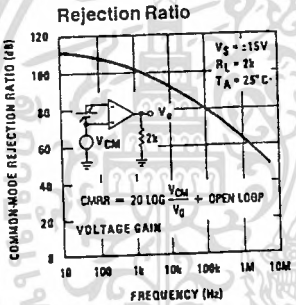
Undistorted Output Voltage Swing



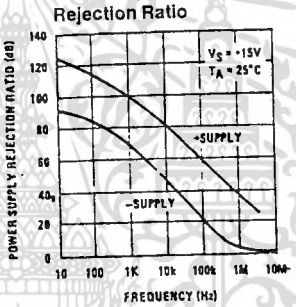
Open Loop Frequency Response



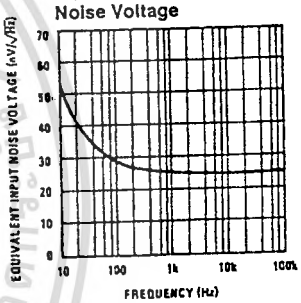
Common-Mode Rejection Ratio



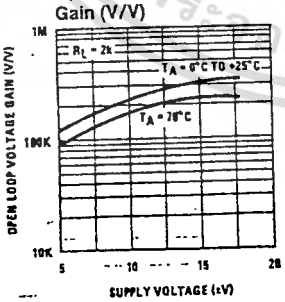
Power Supply Rejection Ratio



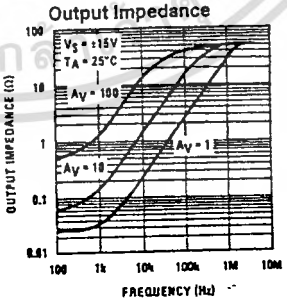
Equivalent Input Noise Voltage



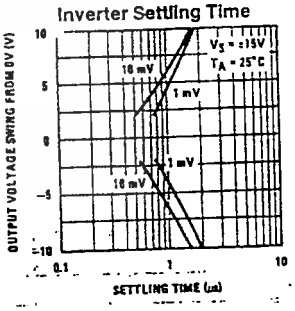
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

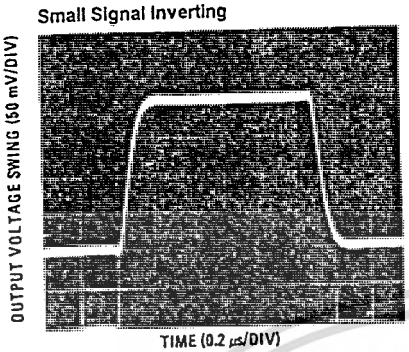


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

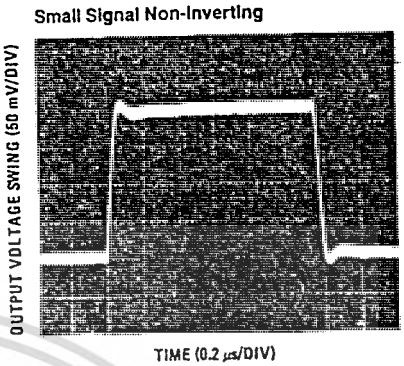
Pulse Response

Small Signal Inverting



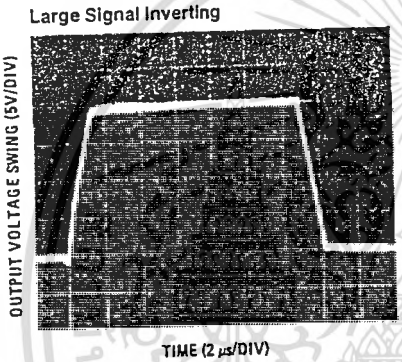
TL/H/5648–4

Small Signal Non-Inverting



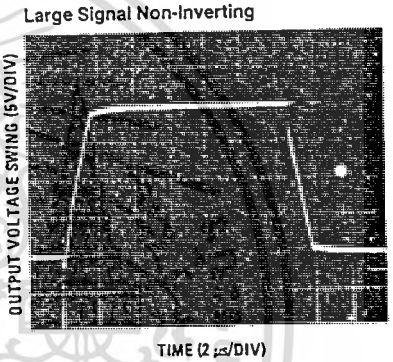
TL/H/5648–5

Large Signal Inverting



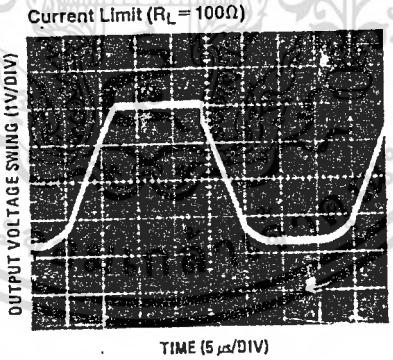
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

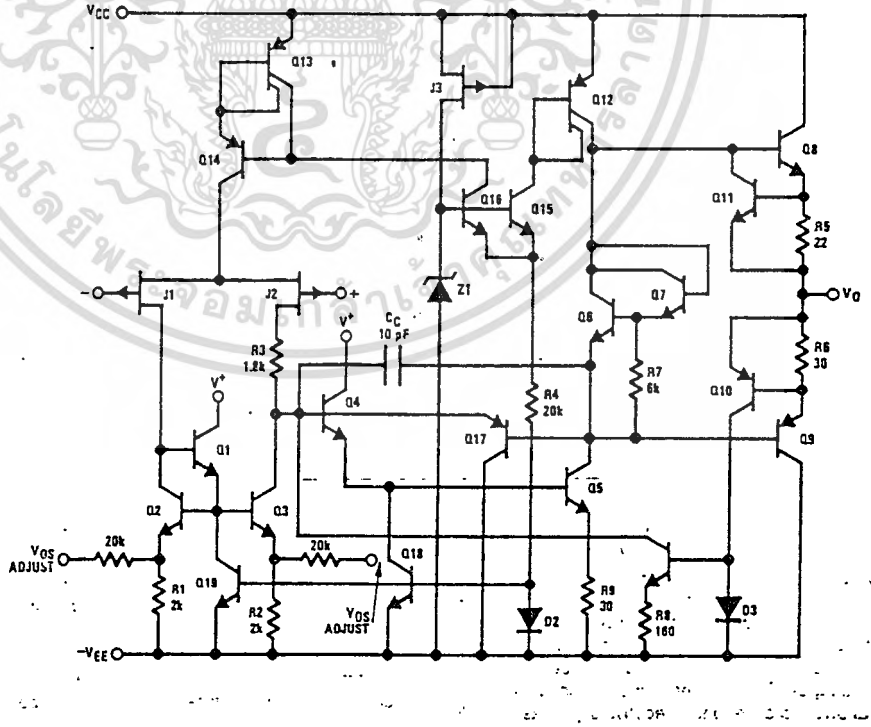
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

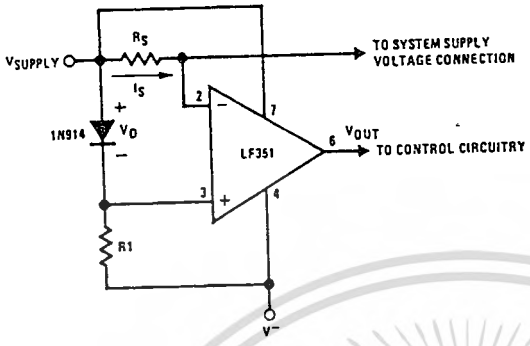
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

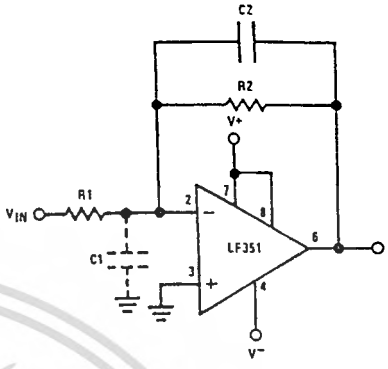
Typical Applications

Supply Current Indicator/Limiter



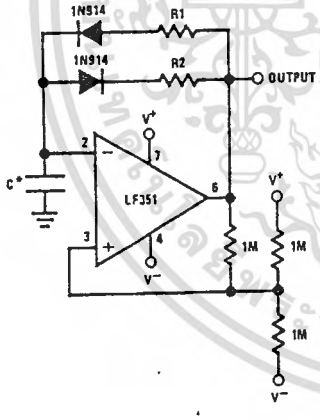
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≅ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≅ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



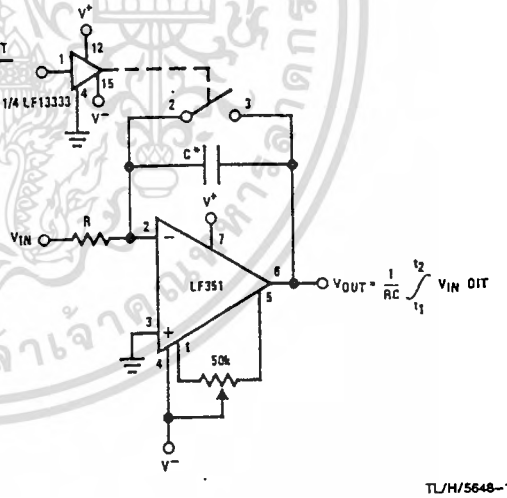
• $t_{OUTPUT\ HIGH} \cong R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \cong R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



TL/H/5648–10

*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

เอกสาร
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF353 Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

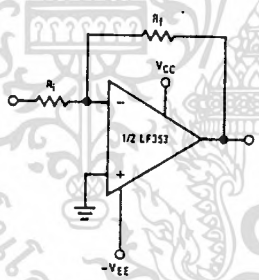
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

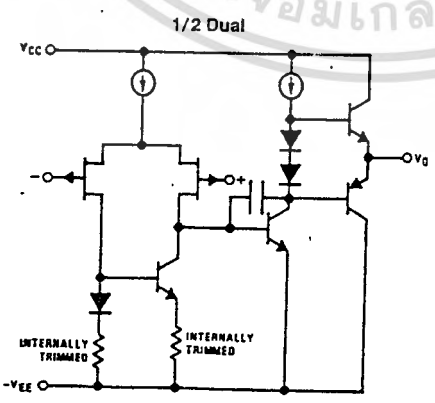
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	3.6 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

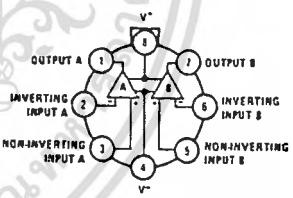


Simplified Schematic



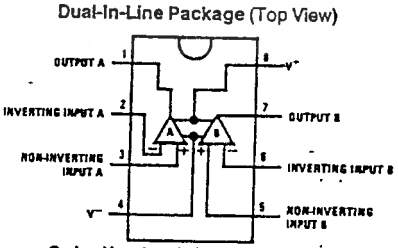
Connection Diagrams

Metal Can Package (Top View)



Order Number LF353H
See NS Package Number H08A

Dual-In-Line Package (Top View)



Order Number LF353M or LF353N
See NS Package Number M08A or N08E

TL/H/5649–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation	(Note 1)
Operating Temperature Range	0°C to +70°C
T_j(MAX)	150°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 7)	1700V
θ_{JA} M Package	TBD

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353 Min	LF353 Typ	LF353 Max	Units
V_{OS}	Input Offset Voltage	R_S=10kΩ, T_A=25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S=10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j=25°C, (Notes 4, 5) T_j≤70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j=25°C, (Notes 4, 5) T_j≤70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j=25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S=±15V, T_A=25°C V_O=±10V, R_L=2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S=±15V, R_L=10kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S=±15V	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	R_S≤ 10kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353 Min	LF353 Typ	LF353 Max	Units
	Amplifier to Amplifier Coupling	T_A=25°C, f=1 Hz−20 kHz (Input Referred)		−120		dB
SR	Slew Rate	V_S=±15V, T_A=25°C	8.0	13		V/µs
GBW	Gain Bandwidth Product	V_S=±15V, T_A=25°C	2.7	4		MHz
e_n	Equivalent Input Noise Voltage	T_A=25°C, R_S=100Ω, f=1000 Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	T_j=25°C, f=1000 Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperatures, the device must be derated based on a thermal resistance of 115°C/W typ junction to ambient for the N package, and 158°C/W typ junction to ambient for the H package.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: The power dissipation limit, however, cannot be exceeded.

Note 4: These specifications apply for V_S=±15V and 0°C≤T_A≤+70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM}=0.

Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_j=T_A+θ_{jA} P_D where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

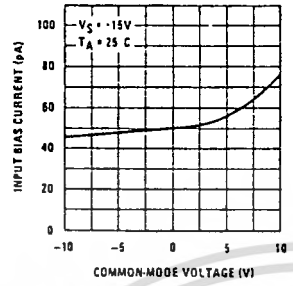
Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. V_S = ±6V to ±15V.

Note 7: Human body model, 1.5 kΩ in series with 100 pF.

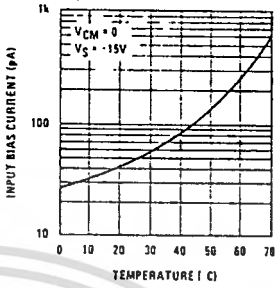
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

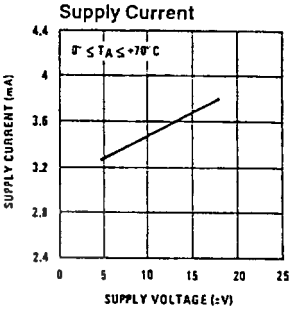
Input Bias Current



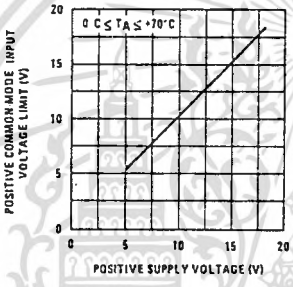
Input Bias Current



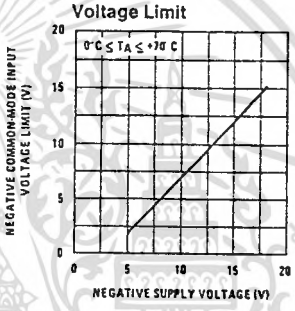
Supply Current



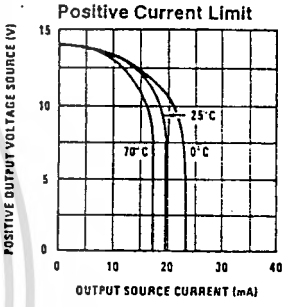
Positive Common-Mode Input Voltage Limit



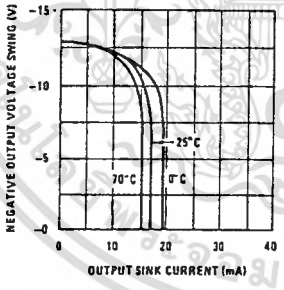
Negative Common-Mode Input Voltage Limit



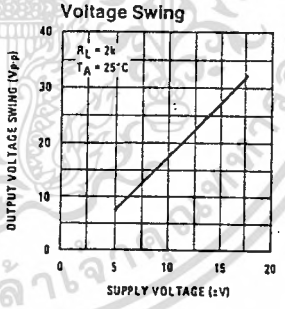
Positive Current Limit



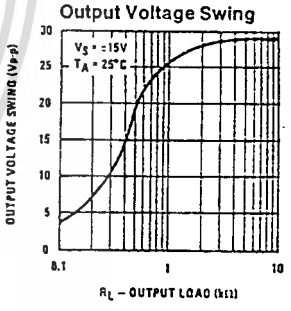
Negative Current Limit



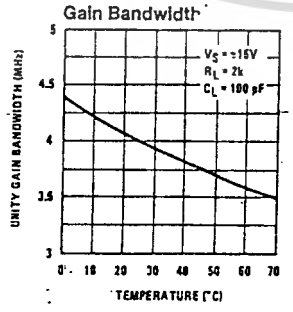
Voltage Swing



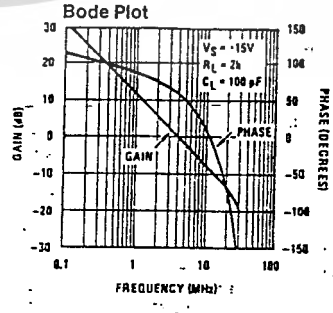
Output Voltage Swing



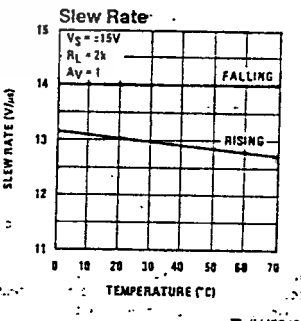
Gain Bandwidth



Bode Plot



Slew Rate

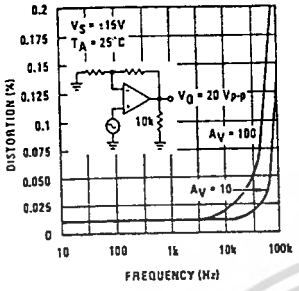


TL/H/5849–2

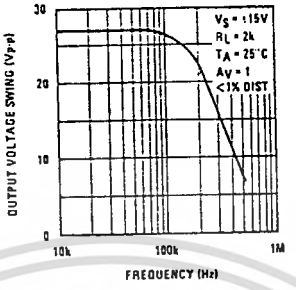
เอกสารนี้จัดทำขึ้นเพื่อใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

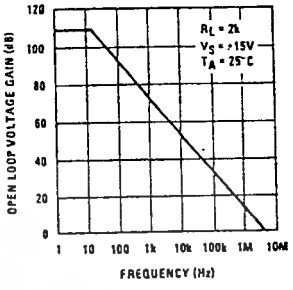
Distortion vs Frequency



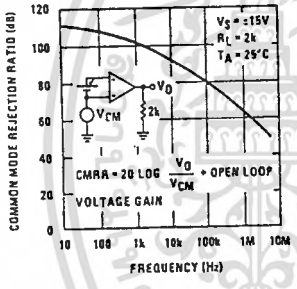
Undistorted Output Voltage Swing



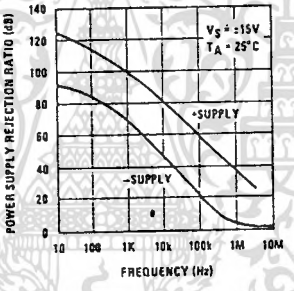
Open Loop Frequency Response



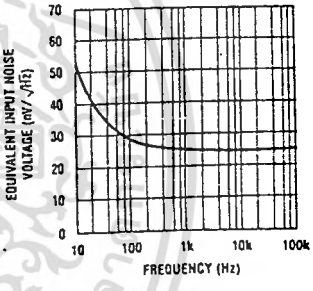
Common-Mode Rejection Ratio



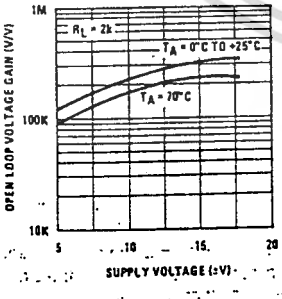
Power Supply Rejection Ratio



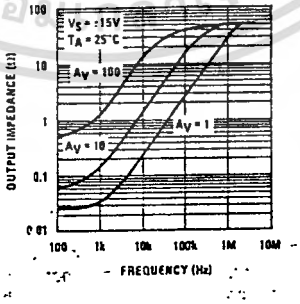
Equivalent Input Noise Voltage



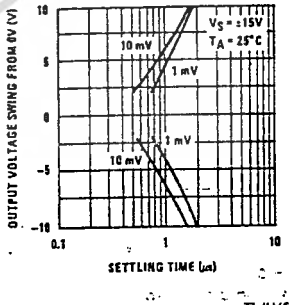
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

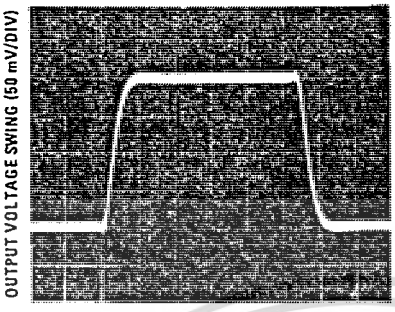


TL/H/5649–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

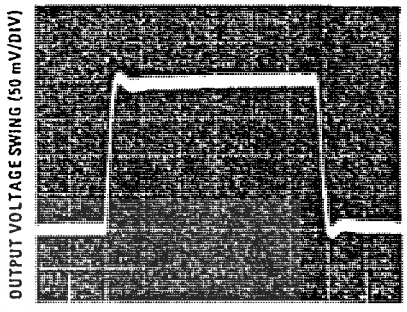
Pulse Response

Small Signaling Inverting



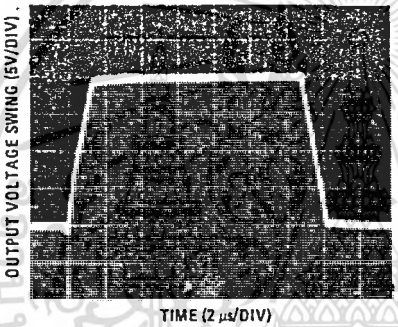
TL/H/5649–4

Small Signal Non-Inverting



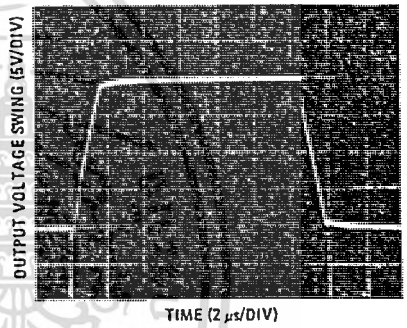
TL/H/5649–5

Large Signal Inverting



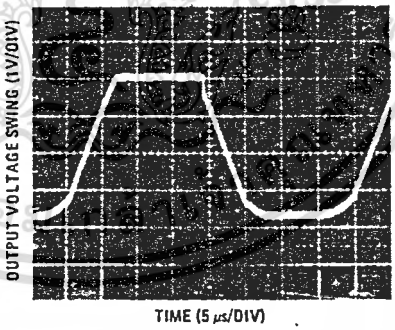
TL/H/5649–6

Large Signal Non-Inverting



TL/H/5649–7

Current Limit (R_L = 100Ω)



TL/H/5649–8

Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±6V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

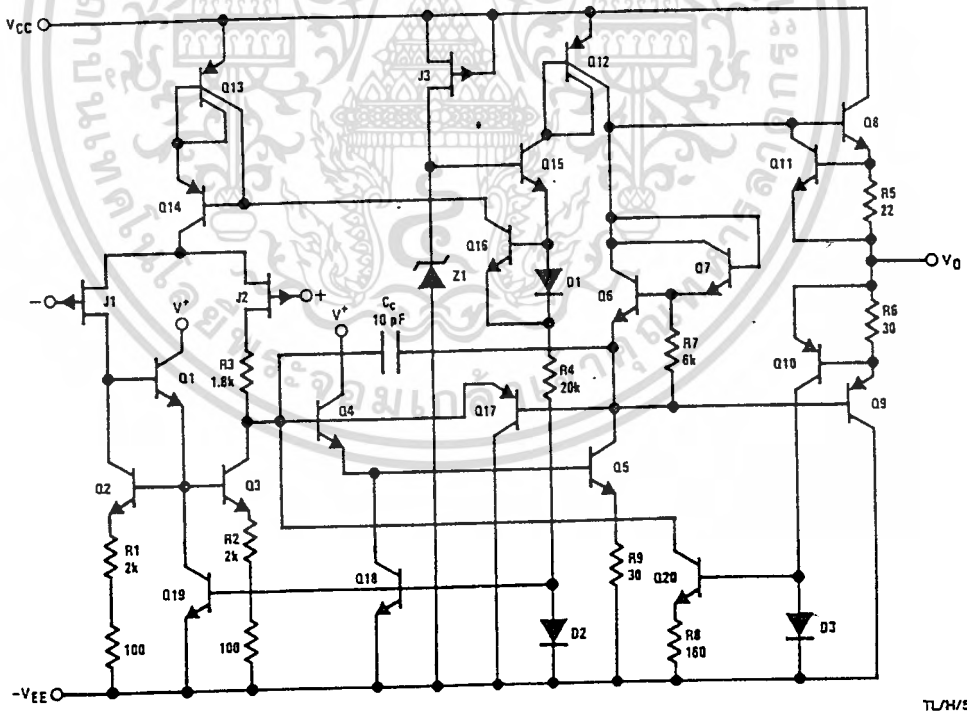
The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

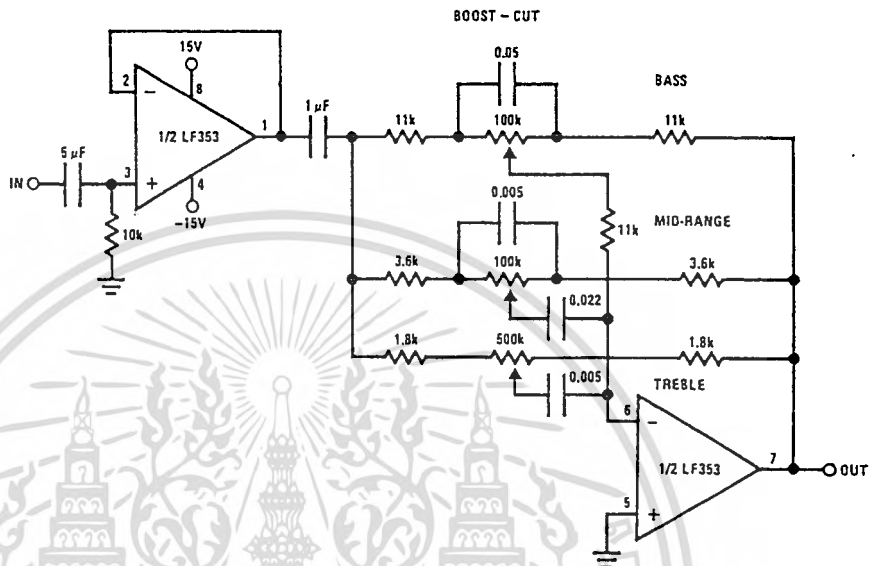


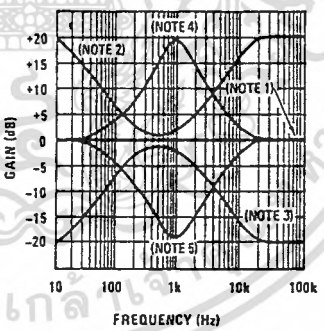
TL/H/5649–9

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Three-Band Active Tone Control





TL/H/5643–10

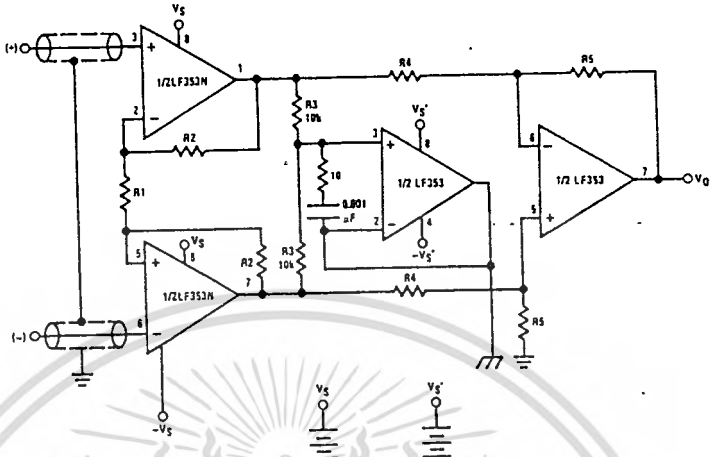
Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

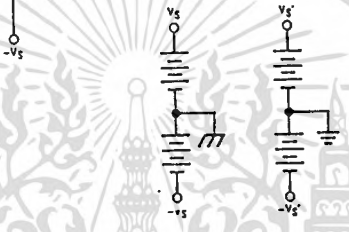
- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Improved CMRR Instrumentation Amplifier





$$A_V = \left(\frac{2R2}{R1} + 1\right)\frac{R5}{R4}$$

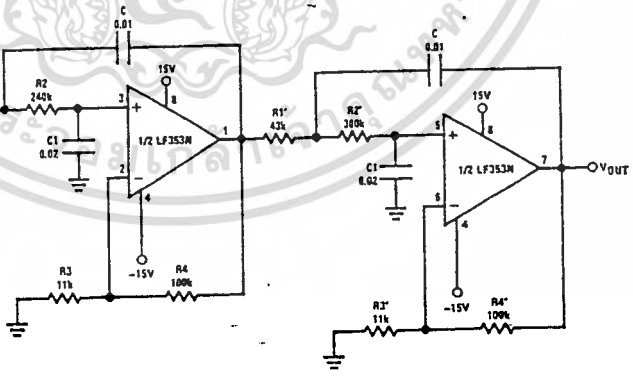
⫽ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

Fourth Order Low Pass Butterworth Filter



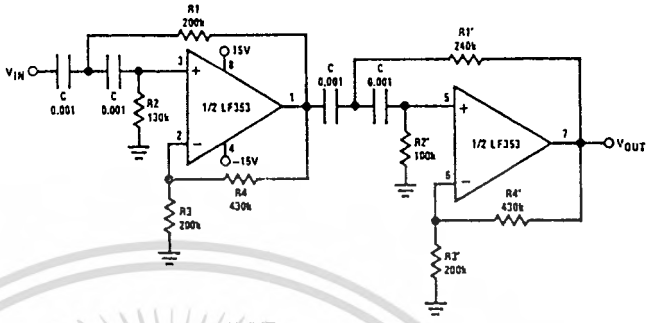
- Corner frequency $(f_c) = \sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

TL/H/5649–11

เอกส
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

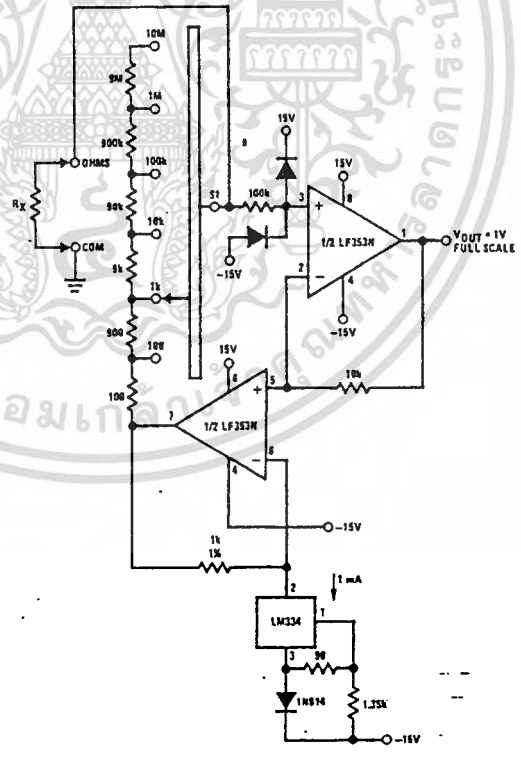
Typical Applications (Continued)

Fourth Order High Pass Butterworth Filter



- Corner frequency $(f_c) = \sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain $(H_O) = (1 + R4/R3)\ (1 + R4'/R3')$
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10.

Ohms to Volts Converter



TL/H/5649–13

$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

เอกสาร ... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC112

Dual J-K Flip-Flop with Set and Reset

High-Performance Silicon-Gate CMOS

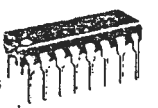
The MC54/74HC112 is identical in pinout to the LS112. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

Each flip-flop is negative-edge clocked and has active-low asynchronous Set and Reset inputs.

The HC112 is identical in function to the HC76, but has a different pinout.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Similar in Function to the LS112 Except When Set and Reset are Low Simultaneously
- Chip Complexity: 100 FETs or 25 Equivalent Gates

J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-06

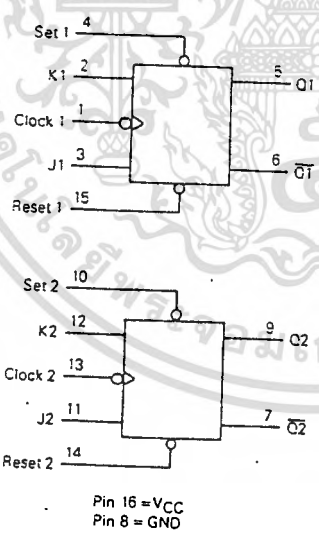
D SUFFIX
SOIC
CASE 751B-04

ORDERING INFORMATION

MC74HCXXXD	SOIC
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

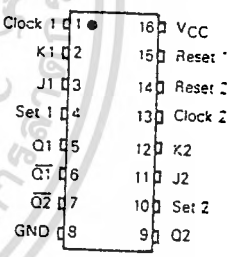
T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



Pin 16 = V_{CC}
Pin 8 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs					Outputs	
Set	Reset	Clock	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	L*	L*
H	H	↘	L	L	No Change	
H	H	↘	L	H	L	H
H	H	↘	H	L	H	L
H	H	↘	H	H	Toggle	
H	H	L	X	X	No Change	
H	H	H	X	X	No Change	
H	H	↗	X	X	No Change	

* Both outputs will remain low as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in}$ or $V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20$ μA		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20$ μA		2.0	0.3	0.3	0.3	V
				4.5	0.9	0.9	0.9	
				6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20$ μA		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
			$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20$ μA		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
			$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA		6.0	4	40	80	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q or $\overline{Q}$ (Figures 1 and 4)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	155 31 26	195 39 33	235 47 40	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Set to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Flip-Flop) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V 35	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, J or K to Clock (Figure 3)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_h	Minimum Hold Time, Clock to J or K (Figure 3)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_{rec}	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

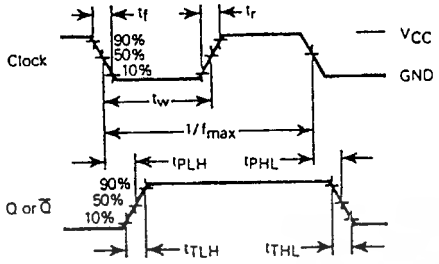


Figure 1.

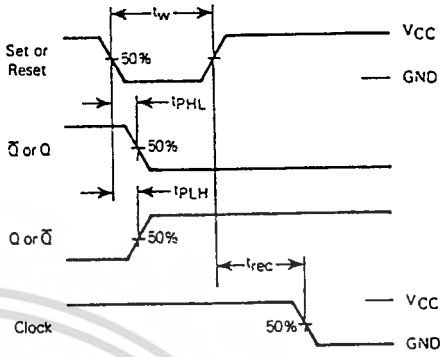


Figure 2.

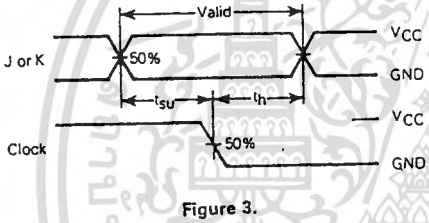


Figure 3.

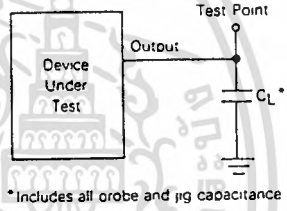
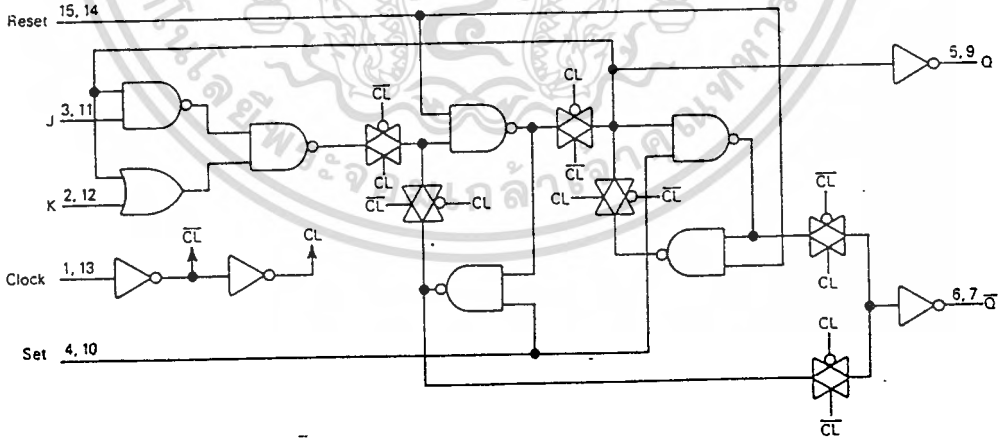


Figure 4. Test Circuit

EXPANDED LOGIC DIAGRAM



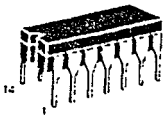
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC11

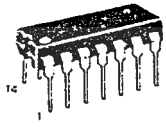
Triple 3-Input AND Gate
High-Performance Silicon-Gate CMOS

The MC54/74HC11 is identical in pinout to the LS11. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 60 FETs or 15 Equivalent Gates



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

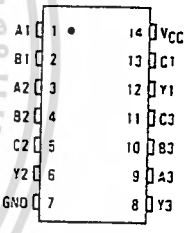
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

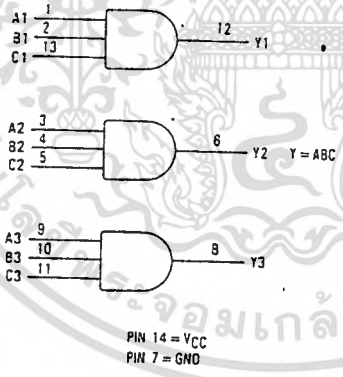
MC74HCXXN	Plastic
MC54HCXXJ	Ceramic
MC74HCXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



FUNCTION TABLE

Inputs			Output
A	B	C	Y
L	X	X	L
X	L	X	L
X	X	L	L
H	H	H	H

5

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$		2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$		2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$		2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$		2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA		6.0	2	20	40	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

5

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A, B, or C to Output Y (Figures 1 and 2)	2.0	125	155	190	ns
		4.5	25	31	38	
		6.0	21	26	32	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Gate) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	
		27	pF

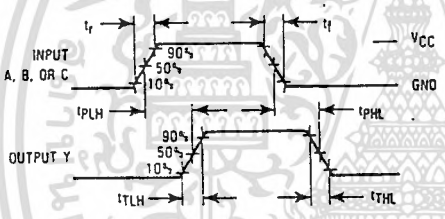


Figure 1. Switching Waveforms

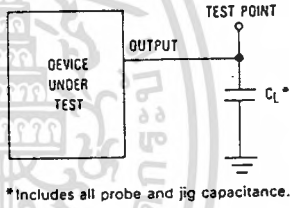
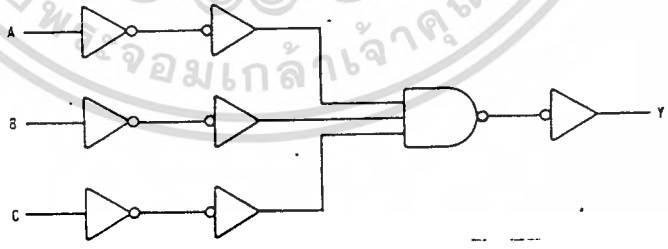


Figure 2. Test Circuit

5

EXPANDED LOGIC DIAGRAM
(⅓ of the Device)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) —
  Up to 3MHz (typ) @ 10Vdc (SCL4046B)
  Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

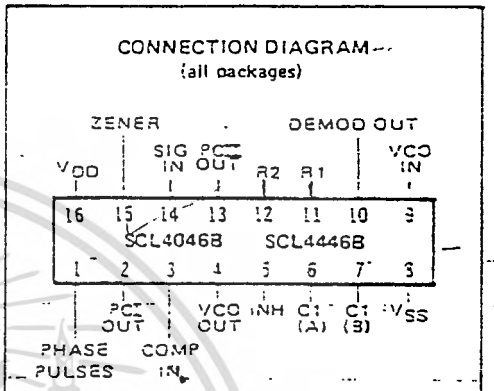
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

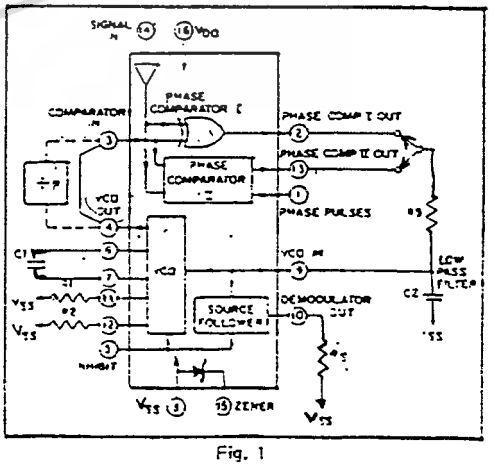


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% ($V_{DD}-V_{SS}$), logic "1" $\geq$ 70% ($V_{DD}-V_{SS}$)]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase-comparator I in locked condition is shown in Figure 3.

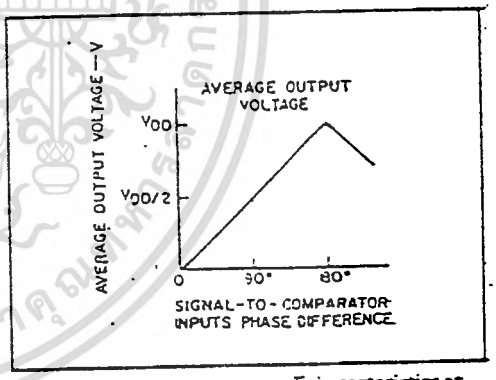


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

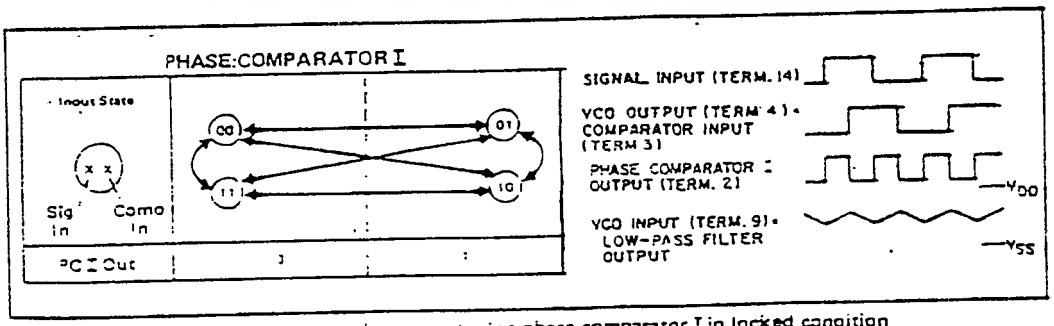


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

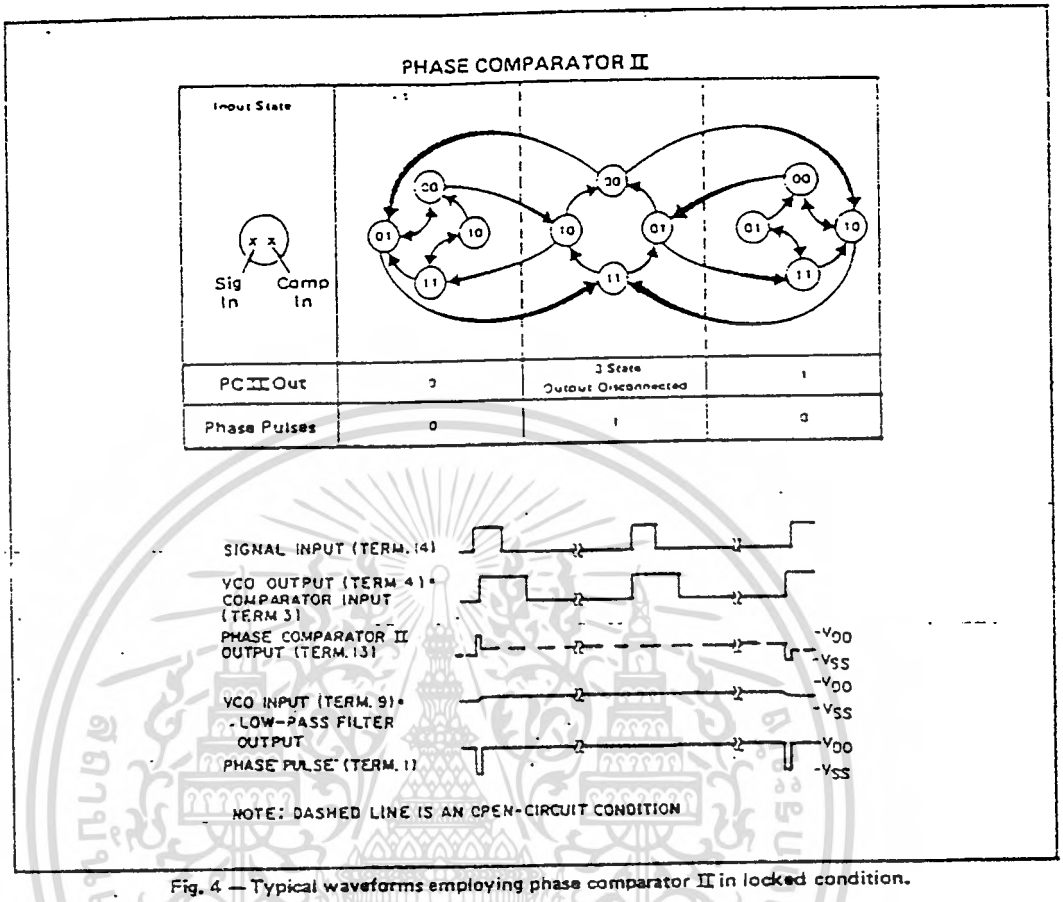


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

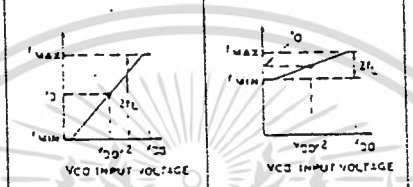
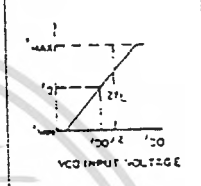
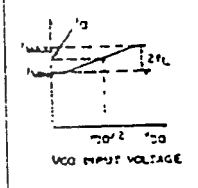
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geqslant 2k\Omega, R_S \geqslant 10k\Omega$

$C1 \geqslant 150pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{R1 \cdot R3 \cdot C2}}$		$f_C = f_L$	
Loop Filter Component Selection	For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range $\pm 2f_L$		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF: B. B. Moscovitz, "Miniaturized RC Filters Using Phase-Locked Loops" BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	−25°C Min.	−25°C Typ.	−25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_D	5	Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞	–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER	CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION							
MAXIMUM OPERATING FREQUENCY f_{max}							
SCL4046B		R1 C1					
	R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
			10	1.0	1.5	–	
			15	1.3	1.9	–	
		5k 50pF	5	0.6	1.0	–	MHz
			10	1.4	2.1	–	
			15	1.8	2.7	–	
		2k 50pF	5	–	1.3	–	MHz
			10	–	2.9	–	
			15	–	3.8	–	
SCL4446B	R2 = ∞	R1 C1					
	VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
			10	1.3	2.0	–	
			15	1.9	2.8	–	
		5k 50pF	5	0.9	1.3	–	MHz
			10	1.9	2.9	–	
			15	2.6	3.9	–	
		2k 50pF	5	–	1.8	–	MHz
			10	–	3.9	–	
			15	–	5.4	–	
LINEARITY	R2 = ∞						
	VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–		–	%
	VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–		–	
	VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–		–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C Min.	+25°C Typ.	+25°C Max.	UNIT
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Inout	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Inout	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Inout	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S ≥ 50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S ≥ 50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

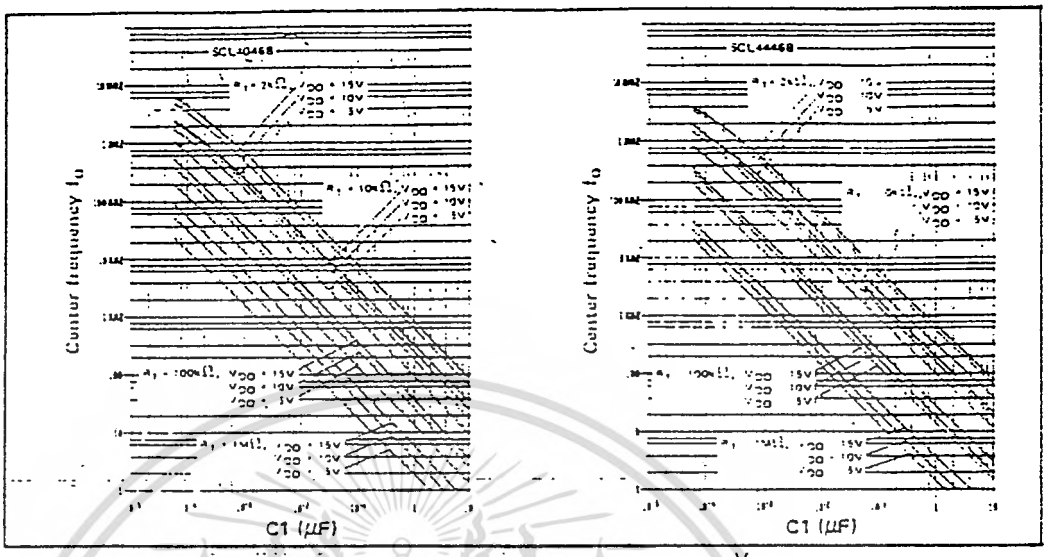


Fig. 5 (a) Typical center frequency (f_o) vs C1 (R2 = ∞, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

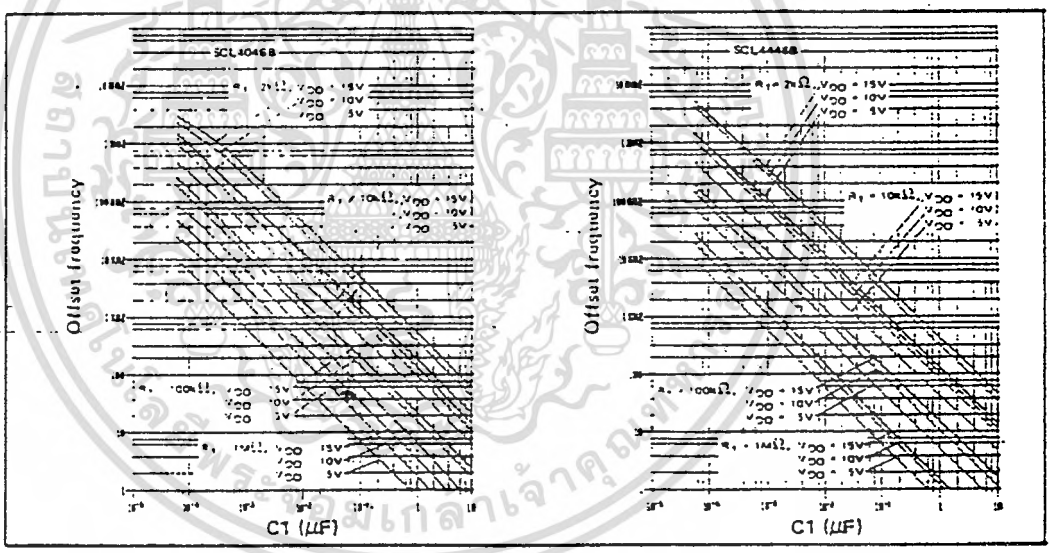


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, T_A = 25°C)

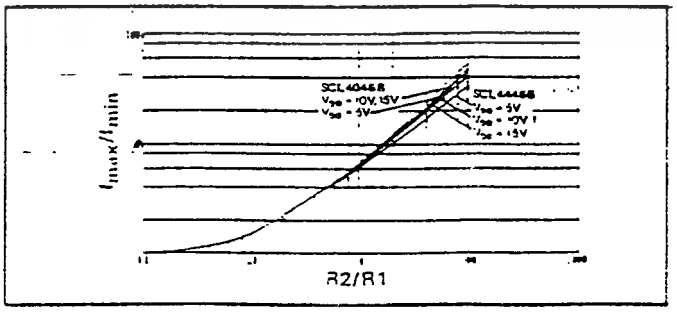


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

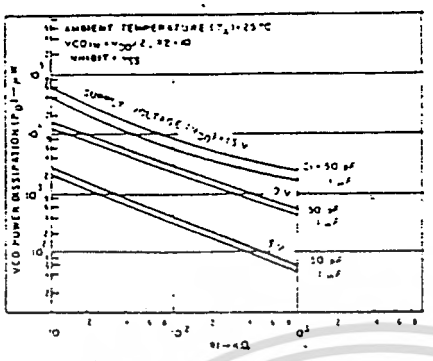


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

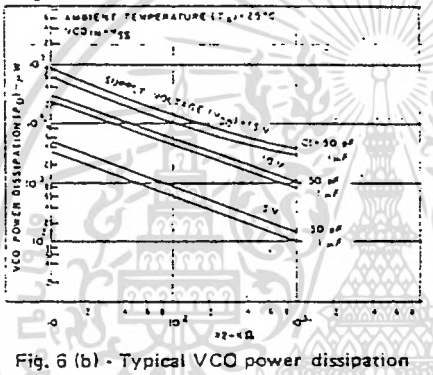


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

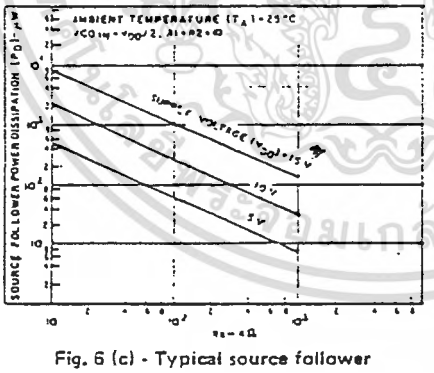


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

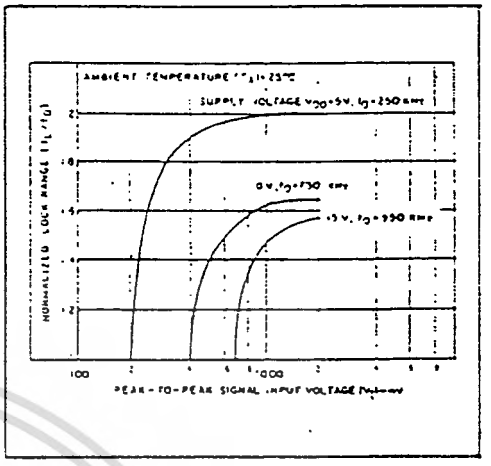


Fig. 7 — Typical lock range vs signal input amplitude

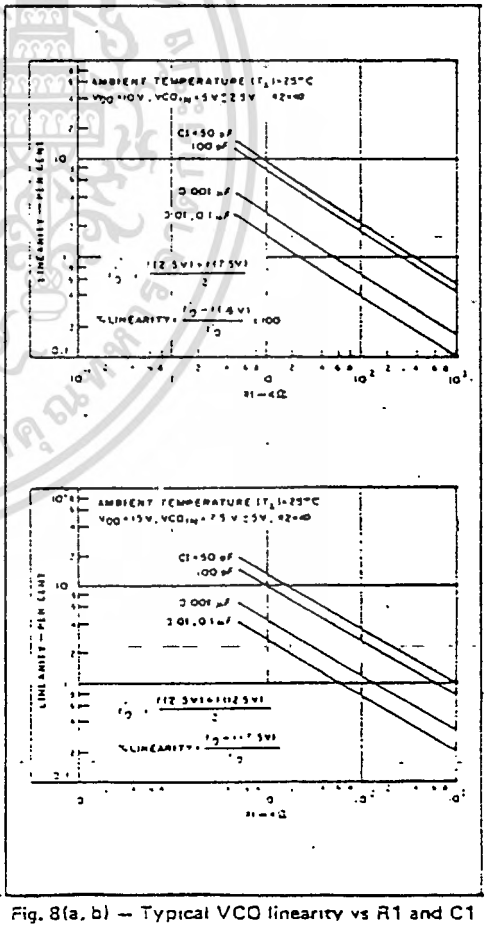


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC

Dual J-K Flip-Flop with Reset

High-Performance Silicon-Gate CMOS

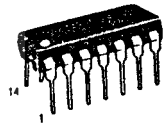
The MC54/74HC73 is identical in pinout to the LS73. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

Each flip-flop is negative-edge clocked and has an active-low asynchronous reset.

The MC54/74HC73 is identical in function to the HC107, but has a different pinout.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 92 FETs or 23 Equivalent Gates

J S
CE
CAS



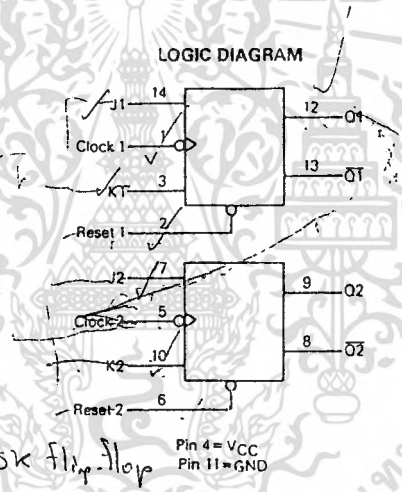
N S
PL
CAS

ORDERING INFORMAT

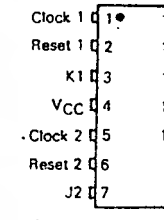
MC74HCXXN	Plastic
MC54HCXXJ	Ceram

T_A = −55° to 125°C for all pa
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Ou
Reset	Clock	J	K	Q
L	X	X	X	L
H	↓	L	L	No
H	↓	L	H	L
H	↓	H	L	H
H	↓	H	H	To
H	L	X	X	No
H	H	X	X	No
H	↑	X	X	No

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DM54LS90/DM74LS90, DM54LS93/DM74LS93 Decade and Binary Counters

General Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the LS90 and divide-by-eight for the LS93.

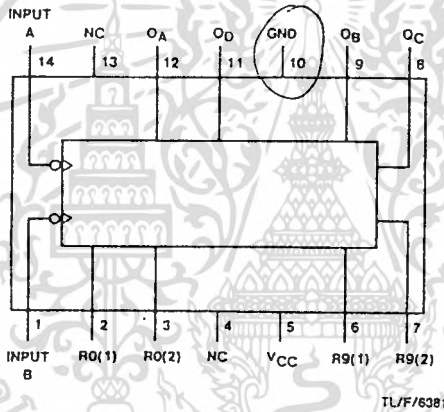
All of these counters have a gated zero reset and the LS90 also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade or four bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate truth table. A symmetrical divide-by-ten count can be obtained from the LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

Features

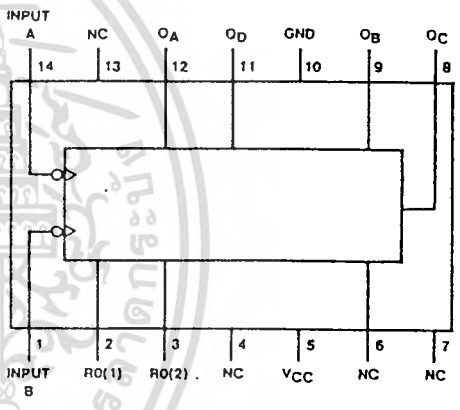
- Typical power dissipation 45 mW
- Count frequency 42 MHz

Connection Diagrams (Dual-In-Line Packages)



TL/F/6381–1

Order Number DM54LS90J, DM74LS90M or DM74LS90N
See NS Package Number J14A, M14A or N14A



TL/F/6381–2

Order Number DM54LS93J, DM74LS93M or DM74LS93N
See NS Package Number J14A, M14A or N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage (Reset)	7V
Input Voltage (A or B)	5.5V
Operating Free Air Temperature Range	
DM54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		DM54LS90			DM74LS90			Units
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−0.4			−0.4	mA
I_{OL}	Low Level Output Current				4			8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	0		32	MHz
		B to Q_B	0		16	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	0		20	MHz
		B to Q_B	0		10	0		10	
t_W	Pulse Width (Note 1)	A	15			15			ns
		B	30			30			
		Reset	15			15			
t_W	Pulse Width (Note 2)	A	25			25			ns
		B	50			50			
		Reset	25			25			
t_{REL}	Reset Release Time (Note 1)		25			25			ns
t_{REL}	Reset Release Time (Note 2)		35			35			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min (Note 4)	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max, V_I = 5.5V	A			0.2	
			B			0.4	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS90 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Reset			20	µA
			A			40	
			B			80	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	mA
			A			−2.4	
			B			−3.2	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both RO inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = Max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

'LS90 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MHz
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		48		52	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		50		60	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		32		36	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	SET-9 to Q_A, Q_D		30		35	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-9 to Q_B, Q_C		40		48	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

Symbol	Parameter		DM54LS93			DM74LS93			Units
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−0.4			−0.4	mA
I_{OL}	Low Level Output Current				4			8	mA
f_{CLK}	Clock Frequency (Note 1)	A to Q_A	0		32	0		32	MHz
		B to Q_B	0		16	0		16	
f_{CLK}	Clock Frequency (Note 2)	A to Q_A	0		20	0		20	
		B to Q_B	0		10	0		10	
t_W	Pulse Width (Note 1)	A	15			15			ns
		B	30			30			
		Reset	15			15			
t_W	Pulse Width (Note 2)	A	25			25			ns
		B	50			50			
		Reset	25			25			
t_{REL}	Reset Release Time (Note 1)		25			25			ns
t_{REL}	Reset Release Time (Note 2)		35			35			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.
Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min (Note 4)	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @Max Input Voltage	V_{CC} = Max, V_I = 7V	Reset			0.1	mA
		V_{CC} = Max, V_I = 5.5V	A			0.2	
			B			0.4	
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Reset			20	μA
			A			40	
			B			80	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS93 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Un
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Reset			−0.4	m
			A			−2.4	
			B			−1.6	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	m
			DM74	−20		−100	
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	15	m

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open, both R0 inputs grounded following momentary connection to 4.5V and all other inputs grounded.

Note 4: Q_A outputs are tested at I_{OL} = max plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability

'LS93 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Uni
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	32		20		MH
		B to Q_B	16		10		
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_A		16		20	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_A		18		24	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q_D		70		85	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to Q_D		70		90	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_B		16		23	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_B		21		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_C		32		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_C		35		44	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q_D		51		60	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to Q_D		51		70	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	SET-0 to Any Q		40		52	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Tables

LS90
BCD Count Sequence
(See Note A)

Count	Output			
	Q_D (11)	Q_C (8)	Q_B (9)	Q_A (12)
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

LS90
Bi-Quinary (5-2)
(See Note B)

Count	Output			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

LS93
Count Sequence
(See Note C)

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

LS90
Reset/Count Truth Table

Reset Inputs				Output			
R0(1) (2)	R0(2) (3)	R9(1) (6)	R9(2) (7)	Q_D (11)	Q_C (8)	Q_B (9)	Q_A (12)
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

LS93
Reset/Count Truth Table

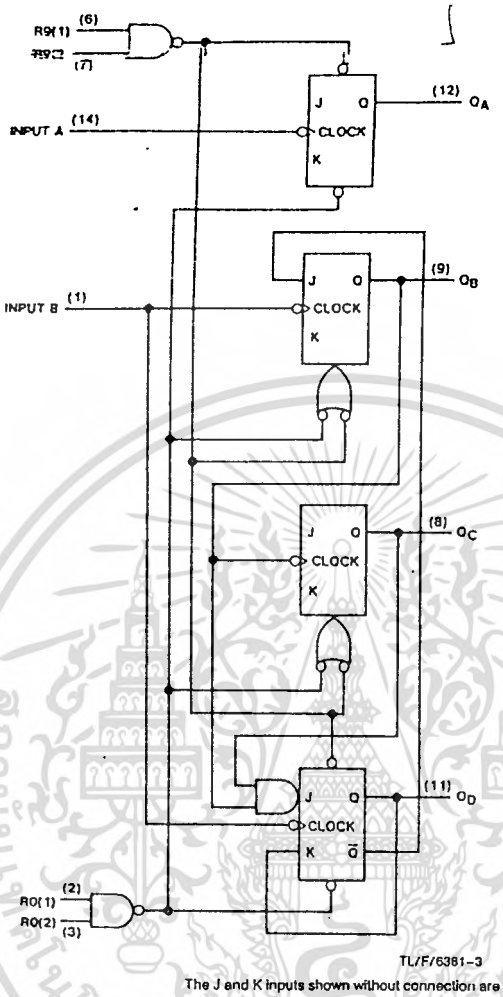
Reset Inputs		Output			
R0(1)	R0(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Note A: Output Q_A is connected to input B for BCD count.
Note B: Output Q_D is connected to input A for bi-quinary count.
Note C: Output Q_A is connected to input B.
Note D: H = High Level, L = Low Level, X = Don't Care.

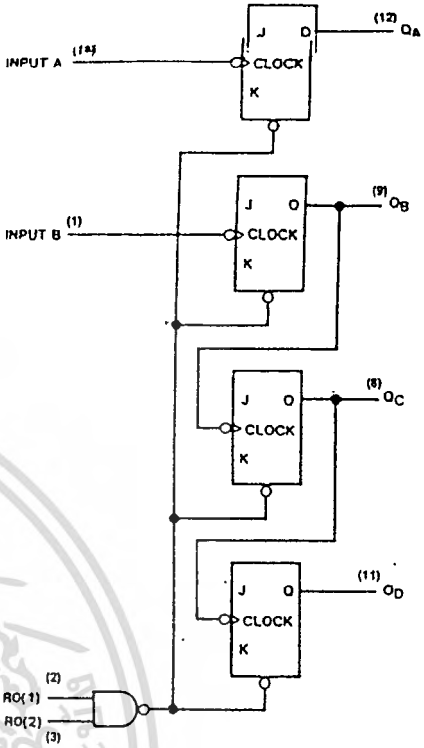
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagrams

LS90



LS93



TL/F/6361–3

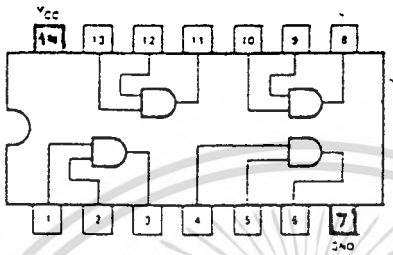
The J and K inputs shown without connection are for reference only and are functionally at a high level.

ไม่วาทรัณเดต์ ทั้งสิ้น อักทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F08

QUAD 2-INPUT AND GATE



$\Rightarrow V_{cc} = 5V.$

J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

QUAD 2-INPUT AND GATE
FAST™ SCHOTTKY TTL

4

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.5	5.0	5.5	V
T_A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage
V_{IK}	Input Clamp Diode Voltage				-1.2	V	V_{CC} = MIN, I_{IN} = -18 mA
V_{OH}	Output HIGH Voltage	54, 74	2.5			V	I_{OH} = -1.0 mA; V_{CC} = 4.50 V
		74	2.7			V	I_{OH} = -1.0 mA; V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage				0.5	V	I_{OL} = 20 mA; V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V
I_{IL}	Input LOW Current				-0.6	mA	V_{CC} = MAX, V_{IN} = 0.5 V
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{CC} = MAX, V_{OUT} = 0 V
I_{CC}	Power Supply Current Total, Output HIGH				8.3	mA	V_{CC} = MAX, V_{IN} = Open
	Total, Output LOW				12.9	mA	V_{CC} = MAX, V_{IN} = GND

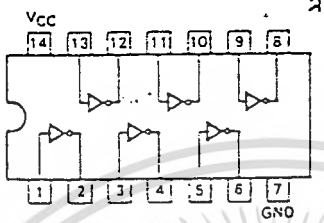
NOTES:
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F04

HEX INVERTER



J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

HEX INVERTER
FAST™ SCHOTTKY TTL

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.5	5.0	5.5	V
T_A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

4

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	V_{CC} = MIN, I_{IN} = -18 mA	
V_{OH}	Output HIGH Voltage	54, 74	2.5			V	I_{OH} = -1.0 mA	V_{CC} = 4.50 V
		74	2.7			V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage				0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				-0.6	mA	V_{CC} = MAX, V_{IN} = 0.5 V	
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{CC} = MAX, V_{OUT} = 0 V	
I_{CC}	Power Supply Current Total, Output HIGH				4.2	mA	V_{CC} = MAX, V_{IN} = GND	
	Total, Output LOW				15.3	mA	V_{CC} = MAX, V_{IN} = Open	

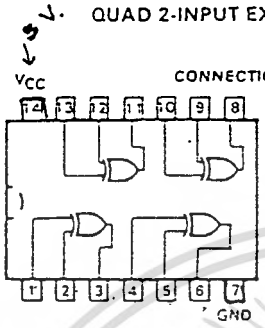
NOTES:
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F86

QUAD 2-INPUT EXCLUSIVE-OR GATE



CONNECTION DIAGRAM

J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

QUAD 2-INPUT
EXCLUSIVE-OR GATE

FAST™ SCHOTTKY TTL

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.50	5.0	5.50	V
T_A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	I_{IN} = -18 mA	V_{CC} = MIN
V_{OH}	Output HIGH Voltage	54, 74	2.5	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.5 V
		74	2.7	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage			0.35	0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{IN} = 2.7 V	V_{CC} = MAX
					100	μA	V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				-0.6	mA	V_{IN} = 0.5 V	V_{CC} = MAX
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{OUT} = 0 V	V_{CC} = MAX
I_{CC}	Power Supply Current			15	23	mA	1-Input HIGH, 1-Input LOW	V_{CC} = MAX
				18	28		Inputs LOW	

NOTES:
1. For conditions such as MIN or MAX, use the appropriate value specified under guaranteed operating ranges.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F175

QUAD D FLIP-FLOP

QUAD D FLIP-FLOP
FAST™ SCHOTTKY TTL

DESCRIPTION — The MC54F/74F175 is a high-speed quad D flip-flop. The device is useful for general flip-flop requirements where clock and clear inputs are common. The information on the D inputs is stored during the LOW-to-HIGH clock transition. Both true and complemented outputs of each flip-flop are provided. A Master Reset input resets all flip-flops, independent of the Clock or D inputs when LOW.

- EDGE-TRIGGERED D-TYPE INPUTS
- BUFFERED POSITIVE EDGE-TRIGGERED CLOCK
- ASYNCHRONOUS COMMON RESET
- TRUE AND COMPLEMENT OUTPUT

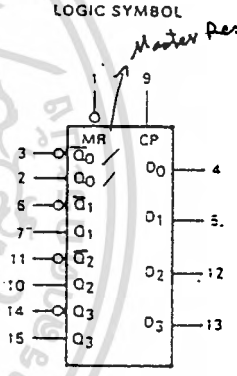
FUNCTIONAL DESCRIPTION — The F175 consists of four edge-triggered D flip-flops with individual D inputs and Q and $\overline{Q}$ outputs. The Clock and Master Reset are common. The four flip-flops will store the state of their individual D inputs on the LOW-to-HIGH clock (CP) transition, causing individual Q and $\overline{Q}$ outputs to follow. A LOW input on the Master Reset ($\overline{MR}$) will force all Q outputs LOW and $\overline{Q}$ outputs HIGH independent of Clock or Data inputs. The F175 is useful for general logic applications where a common Master Reset and Clock are acceptable.

TRUTH TABLE

INPUTS		OUTPUTS	
@ t_n, $\overline{MR}$ = H		@ t_{n+1}	
D_n		Q_n	$\overline{Q}_n$
L		L	H
H		H	L

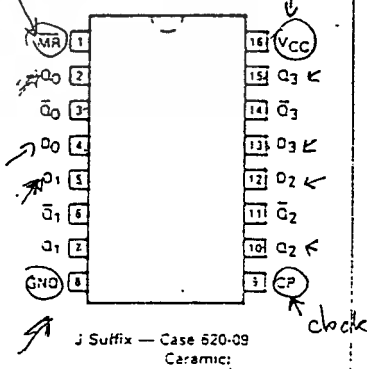
t_n = Bit time before clock positive-going transition
t_{n+1} = Bit time after clock positive-going transition
H = HIGH Voltage Level
L = LOW Voltage Level

LOGIC SYMBOL



V_{CC} = Pin 16
GND = Pin 8

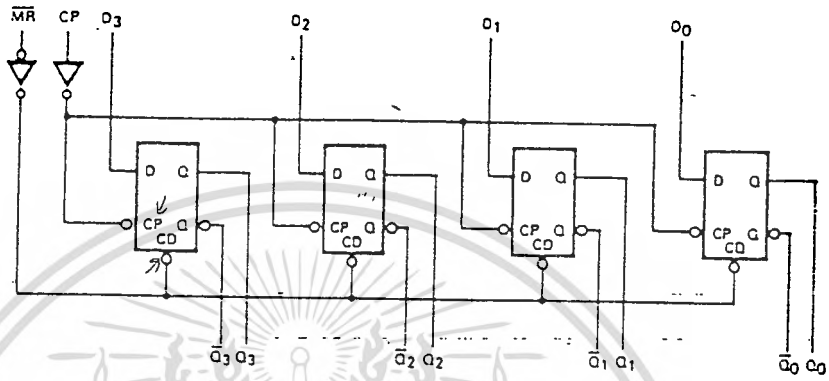
CONNECTION DIAGRAM



J Suffix — Case 620-09
Ceramic
N Suffix — Case 646-06
Plastic
D Suffix — Case 751B-03
SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.50	5.0	5.50	V
T_A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	I_{IN} = -18 mA	V_{CC} = MIN
V_{OH}	Output HIGH Voltage	54, 74	2.5	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.50 V
		74	2.7	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage			0.35	0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{IN} = 2.7 V	V_{CC} = MAX
					100	μA	V_{IN} = 7.0 V	V_{CC} = MAX
I_{IL}	Input LOW Current				-0.6	mA	V_{IN} = 0.5 V	V_{CC} = MAX
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{OUT} = 0 V	V_{CC} = MAX
I_{CC}	Power Supply Current			22.5	34	mA	D_n = $\overline{MR}$ = 4.5 V, CP = ⌐	V_{CC} = Max

NOTES.
1. For conditions such as MIN or MAX use the appropriate value specified under guaranteed operating ranges
2. Not more than one output should be shorted at a time nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54/90 · 7490 Decade Counter

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C·P·M·CF	Device Type	Package C·P·M·CF	Device Type	Package C·P·M·CF	Device Type	Package C·P·M·CF	Device Type	Package C·P·M·
TI					SN54LS90	J W	SN5490A	J W	SN54L90A	J W
					SN74LS90	N	SN7490A	N	SN74L90A	N
FAIRCHILD					9LS90	J	9N5490 9N7490	J N		
					9LS90	M SJ	9DC7490 9DC5490	J		
MOTORCLA							MC5490	J		
					SN74LS90	N	MC7490	N		
N. S. C.					DM54LS90	J W	DM5490	J W	DM54L90	J W
					DM74LS90	N	DM7490	N	DM74L90	N
PHILIPS										
					74LS90		F...90 7490			
SIGNETICS							S5490	F N A		
					74LS90	F N	N7490	F N A		
SIEMENS							FLJ54			
FUJITSU										
HITACHI					HD74LS90	P	HD7490A HD2519	P		
MITSUBISH					M74LS90	P	M5490	P		
NEC							μPB74	D C		
TOSHIBA							TD7490A	P		

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS...	−55°C	to 125°C
Input voltage	7V		SN74LS...	0°C	to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C	to 150°C

recommended operating conditions

		SN54LS90A			SN74LS90A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	20			20			
	Reset inputs	15			15			
Reset inactive-state setup time, t_{su}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

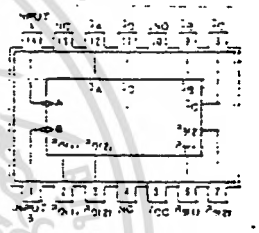
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 4mA		0.35	0.5	V
I_I	Input current at maximum input voltage	Any reset	V_{CC} = MAX, V_I = 7V			0.1	mA
		A input	V_{CC} = MAX, V_I = 5.5V			0.2	
		B input				0.4	
I_{IH}	High-level input current	Any reset	V_{CC} = MAX, V_I = 2.7V			20	μA
		A input				40	
		B input				80	
I_{IL}	Low-level input current	Any reset	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		A input				−0.8	
		B input				−1.2	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS...	−20		−100	mA
			SN74LS...	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX,	See Note 2		9	15	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 15pF, R_L = 2kΩ, See Note 3	32	42		MHz
				16			
t_{PLH}	A	Q_A			10	15	ns
t_{PHL}					12	18	
t_{PLH}	A	Q_D			34	44	ns
t_{PHL}					34	50	
t_{PLH}	B	Q_B			20	30	ns
t_{PHL}					18	27	
t_{PLH}	B	Q_C			32	48	ns
t_{PHL}					32	48	
t_{PLH}	B	Q_D			32	48	ns
t_{PHL}					32	48	
t_{PLH}	Any reset	Any output			36	54	ns
t_{PHL}					36	54	
t_{PLH}	Any set (9)	Any output			36	54	ns
t_{PHL}					36	54	

Pin Assignment (Top View)



Function Table

BCD COUNT SEQUENCE (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

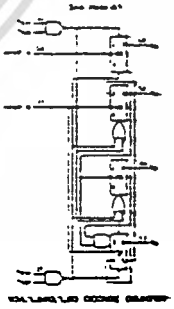
BI-QUINARY (5-2) (See Note 3)

COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT (See Note 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			
X	L	X	L	COUNT			

Functional Block Diagram



NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and to that between the two R_9 inputs.

2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

3. Output Q_A is connected to input B for BCD count.
Output Q_D is connected to input A for bi-quinary count.
H = high level, L = low level, X = irrelevant.

4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Decade Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

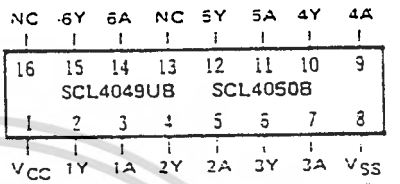
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL40098, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL40108 devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL40108, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

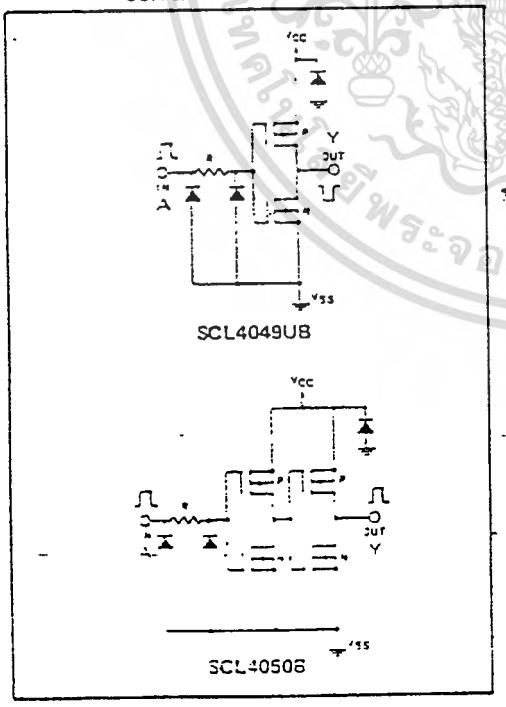
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

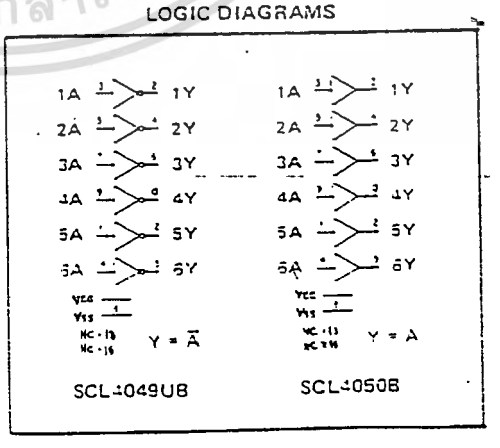
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,2]

PARAMETER		V_{CC} (Vdc)	CONDITIONS	T_{LOW} [3] Min.	T_{LOW} [3] Max.	-25°C Min.	-25°C Typ.	-25°C Max.	T_{HIGH} [3] Min.	T_{HIGH} [3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{CC}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE	V_{IH}										
SCL4049UB		5	V_{OL} =0.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_{OL} =1.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_{OL} =1.5V	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE	V_{IL}										
SCL4049UB		5	V_{OH} = 3.6V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_{OH} = 7.2V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_{OH} =10.8V	3.0	–	3.0	6.75	–	3.0		
OUTPUT LOW (SINK) CURRENT	I_{OL}										
C, D, F, H devices		5	V_{OL} =0.4V	1.0	–	2.2	6.4	–	2.4	–	mAdc
		10	V_{OL} =0.5V	10	–	3.0	16	–	5.6	–	
		15	V_{OL} =1.5V	30	–	24.0	40	–	16.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL} =0.4V	3.2	–	3.2	6.4	–	2.6	–	mAdc
		10	V_{OL} =0.5V	9.6	–	8.0	16	–	6.4	–	
		15	V_{OL} =1.5V	28	–	24.0	40	–	19	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.

[3] These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{IN} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}						
SCL4049UB		5	5	–	60	120	ns
		10	10	–	22	55	
		15	15	–	35	80	
		10	5	–	45	90	ns
		15	5	–	45	90	
SCL4050B		5	5	–	70	140	ns
		10	10	–	40	80	
		15	15	–	30	60	
		10	5	–	45	90	ns
		15	5	–	40	80	
SCL4049UB	t_{PHL}	5	5	–	32	65	ns
		10	10	–	20	40	
		15	15	–	15	30	
		10	5	–	15	30	ns
		15	5	–	10	20	
SCL4050B		5	5	–	55	110	ns
		10	10	–	27	55	
		15	15	–	15	30	
		10	5	–	50	100	ns
		15	5	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}	5	5	–	30	160	ns
		10	10	–	40	80	
		15	15	–	30	60	
	t_{THL}	5	5	–	30	60	ns
		10	10	–	20	40	
		15	15	–	15	30	
INPUT CAPACITANCE SCL4049UB	C_{IN}	–	–	–	15	22.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'92, '7492 Divide-by-Twelve Counter (Divide-by-Two and Divide-by-Six)

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C J P W F	Device Type	Package C J P W F	Device Type	Package C J P W F	Device Type	Package C J P W F	Device Type	Package C J P W F
					SN54LS92	J ○ ○ W ○	SN54S92A	J ○ ○ W ○		
					SN74LS92	J ○ N ○	SN7492A	J ○ N ○		
HLD					SN54LS92/SN74LS92	○ ○ ○	SN54S92/SN74S92	○ ○ ○		
					SN54LS93/SN74LS93	○ ○ ○	SN54S93/SN74S93	○ ○ ○		
OLA							SN54S92	J ○ ○ F ○		
					SN74LS92	○ ○ ○	SN7492	J ○ N ○		
					SN54LS92	○ ○ ○	SN54S92	J ○ N ○ W ○		
					SN74LS92	○ ○ ○	SN7492	J ○ N ○		
S					SN74LS92	○ ○	SN7492	○ ○		
TICS					SN74LS92	○ ○	SN54S92	J ○ ○ W ○		
							SN7492	J ○ ○		
ENS							SN54S93	○ ○		
SU										
H					SN74LS92	○ ○	SN7492A, SN74S21	○ ○ ○		
BSH					SN74LS92	○ ○	SN54S92	○ ○		
							SN7492	○ ○ ○		
BA							SN74S92A	○ ○		

Electrical Characteristics SN54LS, SN74LS92

Absolute maximum ratings over operating free-air temperature range

Voltage, V_{CC}	7V	Operating free-air temperature range: SN54LS	−55°C to 125°C
Voltage	7V	SN74LS	0°C to 70°C
Input voltage (See Note 1)	5.5V	Storage temperature range	−65°C to 150°C

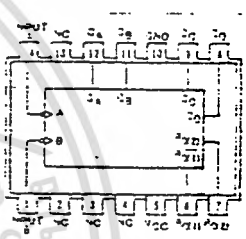
Recommended operating conditions

		SN54LS92A MIN	SN54LS92A NOM	SN54LS92A MAX	SN74LS92A MIN	SN74LS92A NOM	SN74LS92A MAX	UNIT
Voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		64	0		64	
Pulse t_w	A input	15			15			ns
	B input	20			20			
	Reset inputs	15			15			
Recovery time, t_{rec}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

Electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
High-level input voltage				2			V
Low-level input voltage						0.8	V
Input clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
Input current at maximum input voltage	Any reset	V_{CC} = MAX, V_I = 5.5V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.4	
High-level input current	Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					40	
	B input					80	
Low-level input current	Any reset	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
	A input					−0.8	
	B input					−1.2	
Short-circuit output current*		V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
Supply current		V_{CC} = MAX, See Note 2			3	15	mA
t_{PLH} A to output Q_A				32	42		MHz
t_{PHL} B to output Q_B				6			
t_{PLH} A to output Q_A		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			3	5	ns
t_{PHL} A to output Q_A					2	8	
t_{PLH} A to output Q_D					22	34	ns
t_{PHL} A to output Q_D					24	36	
t_{PLH} B to output Q_B					3	5	ns
t_{PHL} B to output Q_B					4	10	
t_{PLH} B to output Q_C					2	5	ns
t_{PHL} B to output Q_C					4	10	
t_{PLH} B to output Q_D					22	34	ns
t_{PHL} B to output Q_D					23	36	
t_{PHL} Any reset to any output					35	53	ns

Pin Assignment (Top View)



positive logic: see function tables
NC—NO internal connection

Function Table

COUNT SEQUENCE

'92A, 'LS92 (See Notes 3 and 4)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H

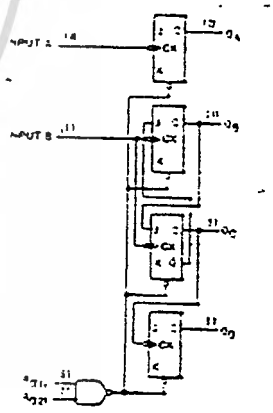
RESET/COUNT

'92A, 'LS92 (See Notes 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Functional Block Diagram

(See Note 5)



'92, 'LS92 DIVIDE-BY-TWO AND DIVIDE-BY-SIX

NOTES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้