



ระบบดิจิทัลล็อกเฟสล็อคูปทั้งหมดและการประยุกต์ใช้งาน

ALL DIGITAL PHASE LOCK LOOP AND APPLICATION

โดย

นายอุทัย

แสงทองพราว

นางสาวเอมอร

ติยะแสงทอง

วัน เดือน ปี..... 17. ค.ค. 2541

เลขทะเบียน..... 039026

เลขเรียกหนังสือ..... 140267 0819 1.

ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

หกพัน

หกพัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำมาเผยแพร่

039026

ระบบดิจิทัลเฟสล็อกคูล์ปทั้งหมดและการประยุกต์ใช้งาน
ALL DIGITAL PHASE LOCK LOOP AND APPLICATION

โดย

นายอุทัย แสงทองพราว 37014597

นางสาวเอมอร คิยะแสงทอง 37014608

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโท ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบดิจิทัลเฟสล็อกคูลูปทั้งหมดและการประยุกต์ใช้งาน

ALL DIGITAL PHASE LOCK LOOP AND APPLICATION

ผู้จัดทำ

1. นายอุทัย แสงทองพราว 37014597

2. นางสาวเอมอร ดิยะแสงทอง 37014608

Flax

..... อาจารย์ที่ปรึกษา
(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบดิจิทัลเฟสล็อกคูลและ การประยุกต์ใช้งาน

ALL DIGITAL PHASE LOCKED LOOP AND APPLICATION

โดย นายอุทัย แสงทองพราว 37014597

นางสาวเอมอร ดิยะแสงทอง 37014608

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงการนี้เป็นการศึกษาเกี่ยวกับวงจรเฟสล็อกคูลแบบดิจิทัลทั้งระบบ และการนำไปประยุกต์ใช้งานโดยใช้ไมโครคอนโทรลเลอร์ 89C1051 ในการควบคุมความถี่กลางของวงจรเพื่อให้สามารถเลื่อนความถี่กลางของวงจรให้เหมาะสมกับความถี่อินพุทโดยอัตโนมัติ รวมทั้งได้ทำการประยุกต์เพื่อนำไปใช้งานเป็นวงจรฟรีควเอนซีชิฟคีย์อิงดีโค้ดเดอร์ 4 ระดับ (4-level FSK Decoder) โดยการแทนค่าความถี่กลางค่าหนึ่งด้วยรหัสสัญญาณ FSK 2 บิต

ABSTRACT

This project concerns about "All digital phase-locked loop" system and its application by using microcontroller 89C1051 for automatically controlling the center frequency of circuit. It is also applied to be 4-level frequency shift keying decoder circuit by substituting any center frequency with 2-bit FSK signaling.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 ทฤษฎีของวงจรดิจิทัลเฟสล็อกคูลูป	2
2.1.1 หลักการทำงานของเฟสล็อกคูลูป	2
2.1.2 สัญญาณภายในวงจรเฟสล็อกคูลูป	3
2.2 วงจรดิจิทัลเฟสล็อกคูลูปทั้งหมด	4
2.2.1 ส่วนประกอบของวงจร ADPLL	4
2.3 ออลดิจิทัลเฟสดีเทคเตอร์	5
2.3.1 EXOR เฟสดีเทคเตอร์	6
2.3.2 JK-FF เฟสดีเทคเตอร์	7
2.4 ออลดิจิทัลลูปฟิลเตอร์	9
2.5 ดิจิตอลคอนโทรลลออสซิลเลเตอร์	12
2.6 ตัวอย่างอุปกรณ์ ADPLL	14
2.7 ทฤษฎีในการเลือกชนิดของ ADPLL	16
2.7.1 ผลในช่วงเวลาการทำงาน	16
2.7.2 โสแลนจ์ของ ADPLL	20
2.7.3 การวิเคราะห์ขอบเขตของความถี่ของ ADPLL	22
2.7.4 เทคนิคการกำจัดรีปเปิ้ล	24
2.8 ชนิดการประยุกต์ใช้ ADPLL	25
2.9 วงจรล็อกดีเทคชัน	26
บทที่ 3 การคำนวณและการสร้าง	27
3.1 การออกแบบวงจร ADPLL จากไอซี 74HC/HCT297	
โดยใช้ไมโครคอนโทรลเลอร์ควบคุมความถี่กลาง	27
3.2 การประยุกต์ใช้งานเป็นวงจร FSK decoder 4 ระดับ	33
บทที่ 4 การทดลองและผลการทดลอง	35
4.1 การทดลองและผลการทดลองวงจร ADPLL	
โดยใช้ไมโครคอนโทรลเลอร์ควบคุมความถี่กลาง	35
4.2 การทดลองและผลการทดลองวงจร FSK decoder 4 ระดับ	38
บทที่ 5 บทวิจารณ์และสรุปผลการทดลอง	45
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เนื่องจากการส่งสัญญาณจากเครื่องส่งนั้นด้านรับจำเป็นต้องมีส่วนของวงจรเฟสล็อกคูลูปที่ใช้ในการปรับเฟสและความถี่ของสัญญาณให้เกิดการซิงโครไนซ์กัน เพื่อให้การตีเทคข้อมูลมีความถูกต้อง ซึ่งการตีเทคสัญญาณข้อมูลแบบดิจิทัลนั้นจำเป็นต้องใช้วงจรเฟสล็อกคูลูปที่ใช้กับข้อมูลดิจิทัลคือ วงจร Digital Phase Lock Loop (DPLL)

เนื่องจากวงจร DPLL ทั่วไปนั้นเป็นวงจรถูกอนาล็อก เพราะต้องการอุปกรณ์อนาล็อกในบางส่วนทำให้คีย์พารามิเตอร์ (key parameter) ของวงจรจะเกิดการเปลี่ยนแปลงไปตามส่วนประกอบเหล่านั้นและความถี่กลางของ DPLL จะได้รับอิทธิพลจากคาปาซิเตอร์ที่ปนเข้ามาบน DPLL ซิป ซึ่งการเปลี่ยนแปลงของคีย์พารามิเตอร์ต่าง ๆ เหล่านี้อาจเปลี่ยนแปลงไปอย่างมาก ซึ่งทำให้เป็นการยากในการประยุกต์ใช้งาน แต่สำหรับวงจร All Digital Phase Lock Loop (ADPLL)

นั้นสามารถหลีกเลี่ยงปัญหาเหล่านี้ได้ เพราะวงจร ADPLL นี้เป็นวงจรที่เป็นระบบดิจิทัลทั้งหมดซึ่งไม่ได้รับผลกระทบจากไฟเลี้ยงที่ป้อนให้กับวงจร (VCC) และอุณหภูมิภายนอก ประสิทธิภาพของวงจรจะได้รับผลกระทบจากความแม่นยำของคล็อกสัญญาณและลูปีลีย์เท่านั้น นอกจากนี้ข้อดีอีกข้อหนึ่งของ ADPLL ก็คือราคาของซิป ADPLL มีราคาถูก เนื่องจากเทคโนโลยีในการผลิตไอซีในปัจจุบันมีความก้าวหน้าอย่างมาก จึงคาดว่า ADPLL จะมีบทบาทกับวงจรต่าง ๆ ที่ต้องการใช้งานเฟสล็อกคูลูป (PLL) ในอนาคต

รายงานฉบับนี้จึงได้กล่าวถึงทฤษฎีของ ADPLL ซึ่งอธิบายถึงส่วนประกอบต่าง ๆ ของวงจร ADPLL และการคำนวณค่าพารามิเตอร์ต่าง ๆ และผู้เขียนได้ทำการทดลองสร้างวงจร ADPLL โดยใช้ไมโครคอนโทรลเลอร์ในการควบคุมค่าความถี่กลางของวงจร แล้วทำการวัดรูปคลื่นของสัญญาณเอาท์พุทในกรณีต่าง ๆ เทียบกับสัญญาณอินพุทอ้างอิง

นอกจากนี้แล้วยังได้สร้างวงจรประยุกต์ใช้งานฟรีควีนซีฟคีย์อิง ดีโค้ดเดอร์ (Frequency Shift Keying Decoder) และทำการทดลองว่า FSK decoder สามารถทำงานได้จริงตามทฤษฎีหรือไม่ โดยผู้เขียนได้ทำการรวบรวมผลการทดลองต่าง ๆ ไว้ในรายงานฉบับนี้ด้วยแล้ว

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีของวงจรเฟสล็อกคูล (Phase Lock Loop)

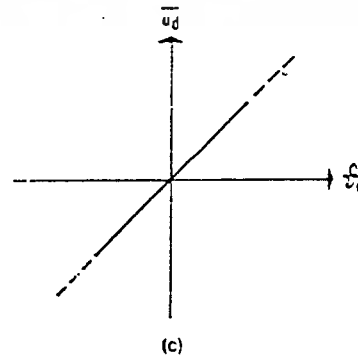
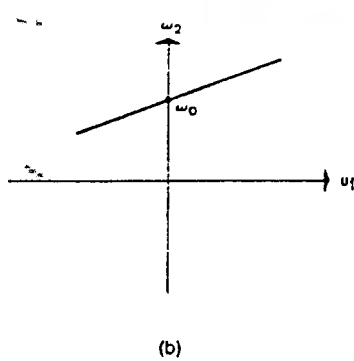
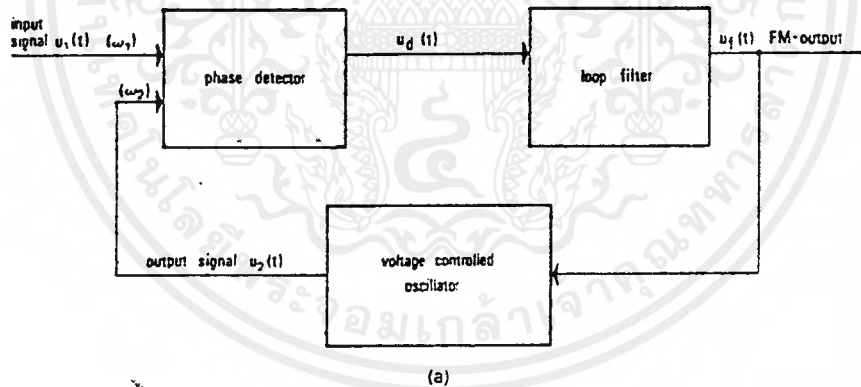
2.1.1 หลักการทำงานของเฟสล็อกคูล (PLL)

วงจร PLL ทำให้เกิดการติดตามกันกับอีกระบบหนึ่งหรือกล่าวได้ว่า PLL เป็นวงจรที่ใช้ในการ synchronize สัญญาณเอาต์พุตกับสัญญาณอ้างอิง (reference signal) หรือ สัญญาณอินพุต (input signal) ในด้านของความถี่หรือเฟสในสถานะที่เอาต์พุตกับอินพุตมีการซิงโครไนซ์กัน (synchronize) เราเรียกว่าสถานะล็อก(lock) ซึ่งเป็นสถานะที่สัญญาณเอาต์พุตของออสซิลเลเตอร์(oscillator output) มีความผิดพลาดทางเฟส (phase error) เท่ากับศูนย์ หรือมีค่าเล็กน้อย

เมื่อเกิด phase error ขึ้น ส่วนควบคุมทางเครื่องกล (mechanic) จะทำตัวเป็นออสซิลเลเตอร์(oscillator) และจะลดทอนเฟสเอเรอร์ให้มีค่าน้อยที่สุด และจะควบคุมระบบให้ล็อกเฟสให้ตรงกับสัญญาณอ้างอิงอินพุต เราจึงเรียกว่าเป็นวงจร 'Phase-Lock-Loop'

Block diagram ของวงจร phase lock loop จะประกอบด้วยส่วนประกอบพื้นฐาน 3 ส่วนคือ

1. Voltage-Control-Oscillator (VCO)
2. Phase-Detector (PD)
3. Loop-Filter (LF)



รูปที่ 2.1 (a) บล็อกไดอะแกรมของวงจรเฟสล็อกคูล. (b) ทรานสเฟอร์ฟังก์ชันของ VCO.

(c) ทรานสเฟอร์ฟังก์ชันของเฟสดีเทคเตอร์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น มิใช่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 สัญญาณภายในวงจร PLL ประกอบด้วย

- สัญญาณอ้างอิง (reference signal หรือ input signal : $u_1(t)$)
- ความถี่เชิงมุมของสัญญาณอ้างอิง (ω_1)
- สัญญาณเอาต์พุต $u_2(t)$ ของ VCO
- ความถี่เชิงมุมของสัญญาณเอาต์พุต (ω_2)
- output signal ของ phase detector : $u_d(t)$
- output signal ของ loop filter : $u_f(t)$
- phase error : θ_e คือความต่างเฟสระหว่าง $u_1(t)$ และ $u_2(t)$

ในการทำงานของ function block ทั้ง 3 ในรูปที่ 2.1 นั้น VCO จะออกสัญญาณความถี่เชิงมุม ω_2 ซึ่งถูกพิจารณาจากสัญญาณเอาต์พุต $u_f(t)$ ของ loop filter ความถี่เชิงมุม ω_2 หาได้จากสมการ

$$\omega_2(t) = \omega_0 + k_o u_f(t) \quad \dots\dots\dots (1)$$

เมื่อ ω_0 คือความถี่เชิงมุมของ center frequency ของ VCO และ k_o เป็น VCO gain มีหน่วยเป็น 1/SV เมื่อนำสมการที่ (1) มา plot กราฟจะได้ดังรูปที่ 2.1(b)

PD อาจจะหมายถึง phase comparator จะทำหน้าที่ในการเปรียบเทียบเฟสของสัญญาณเอาต์พุตและสัญญาณอ้างอิง และจะเปลี่ยนแปลงค่าเอาต์พุตของมัน ($u_d(t)$) เป็นไปตามสัดส่วนกับ phase error θ_e อย่างน้อยภายในช่วงจำกัดช่วงหนึ่ง

$$u_d(t) = k_d \theta_e \quad \dots\dots\dots (2)$$

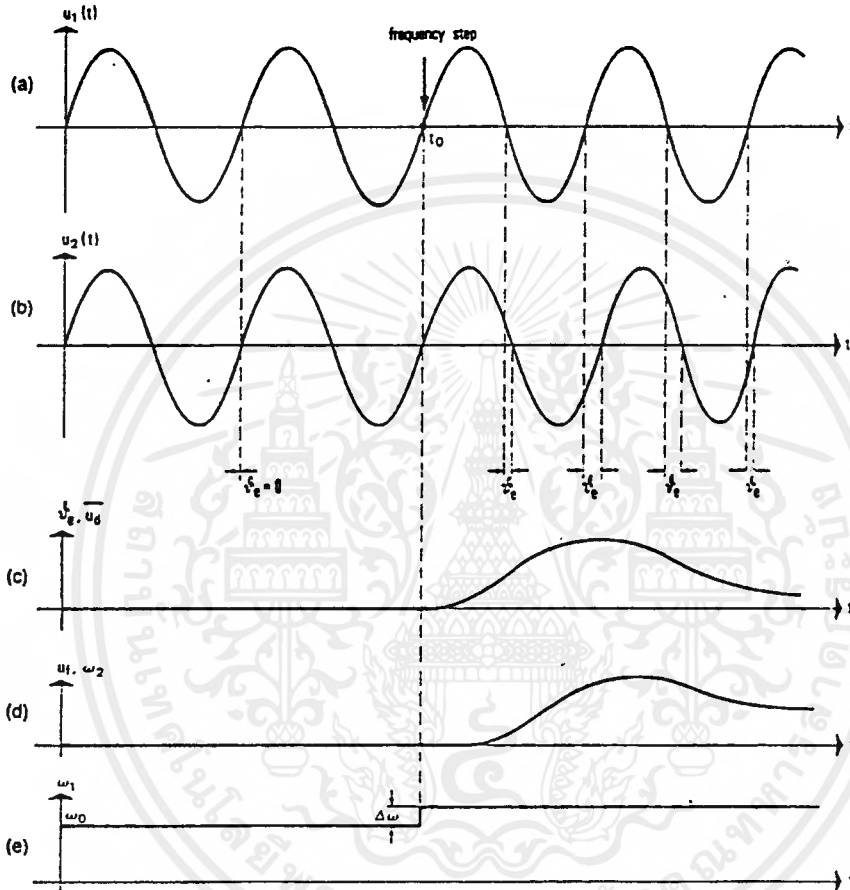
k_d แทน gain ของ PD มีหน่วยเป็น โวลต์ กราฟดังรูปที่ 2.1(c) แทนกราฟของสมการที่ (2) output $u_d(t)$ ของ PD ประกอบด้วยส่วนประกอบที่เป็น DC และถูกชี้ด้วยส่วนประกอบที่เป็น AC ส่วนที่เป็น AC นั้นเป็นส่วนที่ไม่ต้องการ จะถูกกำจัดออกโดย loop filter

พิจารณาเมื่อทั้งสาม block ทำงานด้วยกัน สมมติให้ความถี่เชิงมุมของสัญญาณ input $u_1(t)$ เท่ากับ center frequency (ω_0) VCO จะทำงานที่ center frequency ของมัน ซึ่งจะเห็นได้ว่า phase error เป็นศูนย์ สัญญาณ output u_d ของ PD ก็ต้องเป็นศูนย์ไปด้วย เป็นผลทำให้สัญญาณเอาต์พุตของ loop filter u_f มีค่าเป็นศูนย์ด้วยเช่นกัน สถานะนี้คือสถานะที่ VCO ทำงานที่ center frequency ของมัน

ถ้า phase error มีค่าไม่เป็นศูนย์ output u_d ของ PD จะไม่เท่ากับศูนย์ loop filter จะสร้างสัญญาณ u_f ออกมาเป็นค่าคงที่แน่นอนค่าหนึ่ง ส่งผลให้ VCO เปลี่ยนความถี่ที่ทำงานไปตาม phase error ที่เปลี่ยนแปลงไป

เมื่อสมมติให้ความถี่ของสัญญาณอินพุตเปลี่ยนแปลงไปอย่างฉับพลันที่เวลา t_0 ด้วยปริมาณ $\Delta\omega$ ดังรูปที่ 2.2 เฟสของสัญญาณอินพุตเริ่มที่จะนำหน้าเฟสของสัญญาณเอาต์พุต phase error จะเพิ่มขึ้นไปตามเวลา PD จะปรับปรุงสัญญาณเอาต์พุตของมันมากขึ้นไปตามเวลาด้วย เมื่อผ่าน loop filter สัญญาณ u_f ก็จะแรงขึ้น ส่งผลให้ VCO เพิ่มความถี่ของมันขึ้น phase error ก็จะลดลง และเมื่อถึงเวลาหนึ่ง (settling time) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO ก็จะออกสัญญาณที่มีความถี่ที่เป็นจริงของสัญญาณอ้างอิงอินพุท ซึ่งขณะนี้ VCO จะทำงานที่ความถี่ค่าหนึ่งซึ่งมากกว่า center frequency (ω_0) ของมันด้วยปริมาณ $\Delta\omega$ ซึ่งทำให้สัญญาณ $u_f(t)$ มีค่าสุดท้ายเป็น $u_f = \Delta\omega / k_o$ ถ้า center frequency ของสัญญาณอินพุทถูกมอดูเลตแบบ frequency-modulation ด้วยความถี่ค่า สัญญาณเอาต์พุทของ loop filter จะเป็นสัญญาณ demodulate signal PLL จึงสามารถใช้งานเป็น FM detector ซึ่งจะกล่าวถึงต่อไป และยังสามารถลด noise ที่ขึ้นมากับสัญญาณอินพุทได้



รูปที่ 2.2 ผลตอบสนองของ PLL เมื่อความถี่อ้างอิงเกิดการเบี่ยงเบนไปจากความถี่กลาง(a) สัญญาณอ้างอิง $u_f(t)$. (b) สัญญาณเอาต์พุท $u_2(t)$ ของ VCO. (c) สัญญาณ $u_e(t)$ และ $\theta_e(t)$ ในฟังก์ชันของเวลา. (d) ความถี่เชิงมุม ω_2 ของ VCO ในแกนเวลา. (e) ความถี่เชิงมุม ω_1 ของสัญญาณอ้างอิง $u_f(t)$.

2.2 All-Digital-Phase-Lock-Loop (ADPLL)

2.2.1 ส่วนประกอบของวงจร ADPLL

เนื่องจากวงจร digital phase lock loop ทั่วไปนั้นเป็นวงจรกึ่งอนาล็อก เพราะว่าการ DPLL นั้นต้องการส่วนประกอบภายนอกควบคุมไปด้วยเสมอ ค่าตัวแปรที่เป็นเงื่อนไขในการทำงานของวงจร (key parameters) จะมีการเปลี่ยนแปลงไป เนื่องจากส่วนประกอบอนาล็อกภายนอก ซึ่งไม่เป็นผลดี center frequency ของ DPLL จะได้รับอิทธิพลมาจากค่า capacitors ที่ปะปนเข้ามาบน DPLL Chip

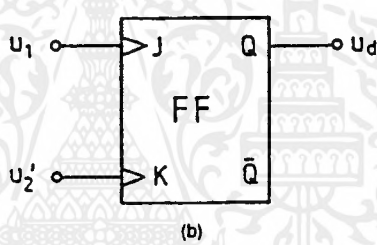
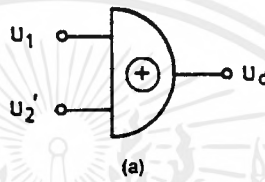
วงจร ADPLL นั้นจะหลีกเลี่ยงปัญหาเกี่ยวกับวงจรอนาล็อกเหล่านี้ เมื่อเทียบเคียงกับวงจร DPLL แล้ว ADPLL จะเป็นระบบซึ่งเป็นดิจิทัลทั้งระบบ ประกอบด้วยอุปกรณ์ลอจิก และสัญญาณภายในระบบก็ต้องเป็น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิทัลคล้ายเช่นกัน ในที่นี้เราอาจหมายถึงสัญญาณที่ใช้เป็นสัญญาณไบนารีแบบ bit หรือ word ก็ได้ เช่น ใช้ digital code word ซึ่งได้จาก data register หรือจาก parallel output ของวงจรมับ (counter) function block ทั้งหมดของระบบต้องมีอุปกรณ์สนับสนุนที่เป็นวงจรดิจิทัลทั้งหมด ซึ่งประกอบด้วย Digital Phase Detector, Digital Loop Filter, VCO ซึ่งเป็นแบบ digital controlled oscillator (DCO)

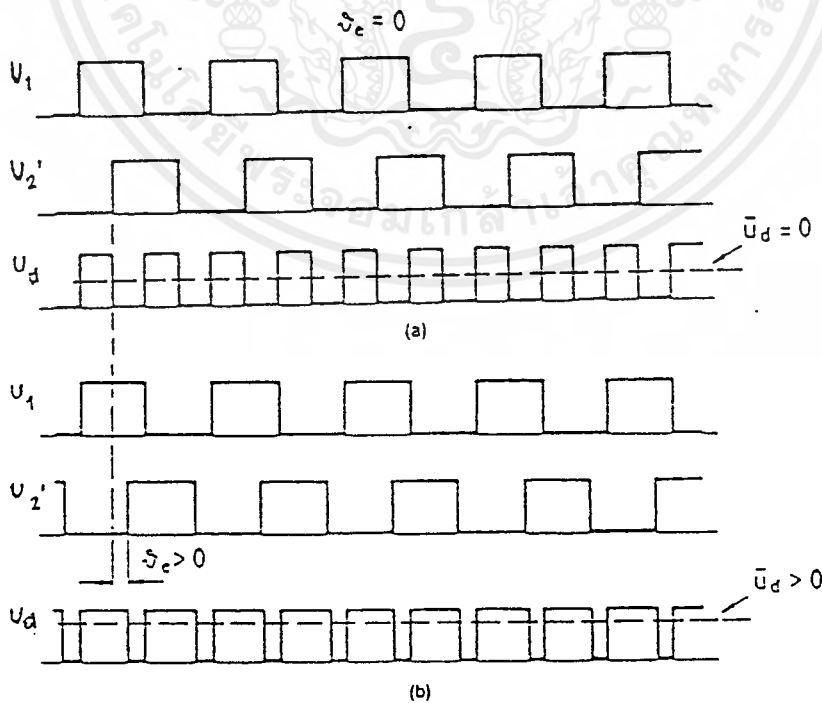
2.3 All-Digital Phase Detector

Digital Phase Detector ที่ใช้มี 2 ชนิดได้แก่

1. EXOR GATE
2. JK-FLIPFLOP



รูปที่ 2.3 เฟลตีเทคเตอร์ที่ใช้งานในวงจร DPLL (a) EXOR gate. (b) JK-flipflop.



รูปที่ 2.4 รูปคลื่นของสัญญาณ EXOR PD. (a) รูปคลื่นที่ค่า phase error เป็นศูนย์

($\theta_e=0$). (b) รูปคลื่นที่ phase error เป็นบวก ($\theta_e>0$)

2.3.1 EXOR gate phase detector นั้นเหมือนกับ linear multiplier ของ linear PLL สัญญาณภายใน DPLL นั้นเป็นสัญญาณ ไบนารีเสมอ เช่น square wave จากรูปที่ 2.3(a) ถ้าสัญญาณ u_1 และ u'_2 เป็นสัญญาณ square wave ที่เหมือนกัน รูปที่ 2.4 แสดงรูปคลื่นของ EXOR Phase Detector ซึ่งมี Phase error เป็น θ_e ที่ phase error เป็น 0 สัญญาณ u_1 และ u'_2 จะมีความต่างเฟสกัน 90 องศา ดังแสดงในรูปที่ 2.4(a) จะเห็นว่า สัญญาณเอาต์พุต u_d จะเป็นสัญญาณ square wave ที่มีความถี่เป็น 2 เท่าของความถี่อ้างอิง (ความถี่ของ u_1) duty cycle ของสัญญาณ u_d จะมีค่าเป็น 50 % เนื่องจากองค์ประกอบความถี่สูงของสัญญาณนี้จะถูกกรองออก โดย loop filter ดังนั้นเราจึงพิจารณาเฉพาะค่าเฉลี่ยของ u_d ซึ่งแสดงด้วยเส้นประในรูปที่ 2.4(a) ค่าเฉลี่ย u_d นี้ ในทางเลขาคณิตนั้นหมายถึงสัญญาณลอจิก 2 ระดับ ถ้า EXOR รับพลังงานจาก asymmetrical 5 v Power Supply ค่าเฉลี่ยของ u_d ก็จะมีค่าประมาณ 2.5 โวลต์ ระดับโวลต์เดจนี้ จะถูกพิจารณาในจุดที่สัญญาณเรียบ ของ EXOR และจะแทนด้วย $\bar{u}_d = 0$ ถ้าเอาต์พุต u'_2 มีเฟสตามหลังสัญญาณอ้างอิง u_1 . Phase error จะมีค่า เป็นบวก กรณีนี้แสดงดังรูปที่ 2.4(b) ซึ่งขณะนี้ duty cycle ของ u_d จะมีค่ามากกว่า 50 % ดังตัวอย่าง ค่าเฉลี่ย ของ u_d จะมีค่าเป็นบวกแสดงดังเส้นประใน u_d waveform จะเห็นได้ว่า u_d จะถึงค่าสูงสุดเมื่อ phase error เป็น 90 องศา และจะมีค่าต่ำสุดเมื่อ $\theta_e = -90$ องศา ถ้าเรา plot กราฟของ u_d กับ phase error θ_e จะแสดงได้ดัง รูปที่ 2.5(a) ค่าเฉลี่ยของเอาต์พุต \bar{u}_d ของ EXOR จะเป็น triangular function ของ phase error ภายในช่วง phase error ที่มีค่า $-\pi/2 < \theta_e < \pi/2$ u_d จะแปรผันไปตาม θ_e ซึ่งเขียนได้เป็น

$$\bar{u}_d = k_d \theta_e$$

ในกรณีของ EXOR phase detector ค่า phase detector gain k_d จะมีค่าคงที่ เมื่อเราจ่าย supply voltage ของ EXOR เป็น u_B และ 0 ตามลำดับ และเมื่อเราสมมติว่าระดับลอจิกเป็น u_B และ 0 จะได้ค่า k_d ดัง สมการ

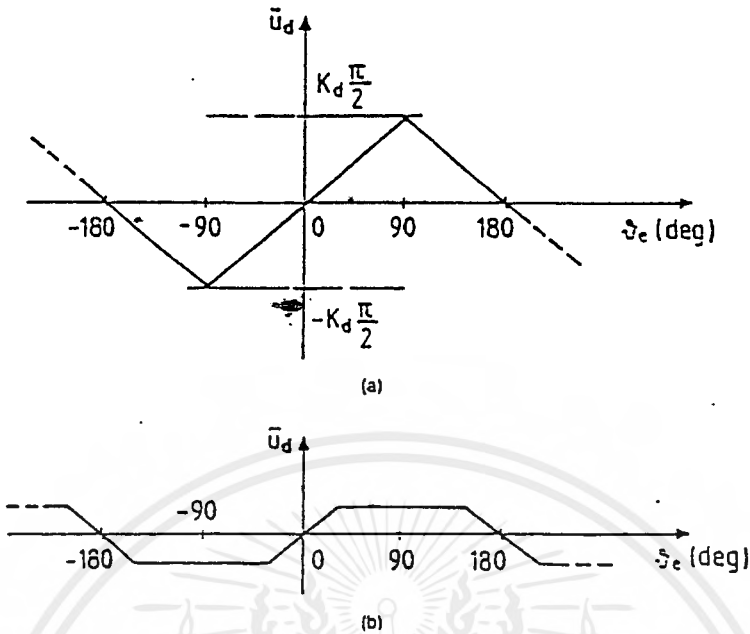
$$k_d = u_B / \pi$$

เมื่อสัญญาณเอาต์พุตของ EXOR ไม่ถึงขอบเขตของ supply แต่ค่อนข้างจะ saturate ที่ระดับสัญญาณ สูงบางค่า U_{sat}^+ (ในสถานะ high) และสัญญาณต่ำบางค่า U_{sat}^- (ในสถานะ low) k_d ต้องคำนวณจากสมการ

$$k_d = (U_{sat}^+ - U_{sat}^-) / \pi$$

EXOR phase detector สามารถรักษาสภาพการติดตามเฟสเมื่อ phase error มีค่าอยู่ในขอบเขตค่าหนึ่ง

คุณสมบัติของ EXOR phase detector จะถูกทำให้เสียไป เมื่อสัญญาณ u_1 และ u'_2 เป็นสัญญาณที่ไม่ สมมาตร ถ้าสถานการณ์นี้เกิดขึ้น สัญญาณเอาต์พุต \bar{u}_d จะถูกตัด ที่ระดับสัญญาณบางค่าดังแสดง ในรูปที่ 2.5 (b) ซึ่งจะลดทอน loop gain ของ DPLL และเป็นผลให้ lock range , pull-out range และค่าอื่น ๆ ลดลง



รูปที่ 2.5 กราฟของสัญญาณเอาท์พุทเฉลี่ยของ PD และ phase error. (a) กรณีปกติ
 (b) รูปคลื่นของ u_1 and u'_2 ไม่สมมาตรกัน.คุณสมบัติของ PD ซึ่งถูกตัดออก.

2.3.2 JK- flipflop phase detector

ความสมมาตรของรูปคลื่นนั้นไม่สำคัญสำหรับ JK-flipflop phase detector JK-flipflop นี้คือกับ JK-flipflop ทั่วไป เพราะเป็น edge-triggered flipflop เมื่อมีสัญญาณกระตุ้นที่เป็นบวกที่ขา J input จะทำให้ฟลิปฟลอป มีสถานะเป็น high ($Q=1$) และถ้ากระตุ้นแบบ positive ที่ขา K จะทำให้ฟลิปฟลอปมีสถานะ low ($Q=0$) รูปที่ 2.6 แสดง waveform ของ JK-flipflop phase detector ในกรณีที่ $\theta_e=0$ เมื่อไม่มี phase error u_1 และ u'_2 จะมีเฟสตรงข้ามกัน สัญญาณเอาท์พุท u_d จะถูกแทนด้วย symmetrical square wave ซึ่งมีความถี่เท่ากับความถี่ของความถี่อ้างอิง ที่สถานะภาพนี้ถูกกำหนดให้แทนด้วย $\bar{u}_d = 0$ ถ้า phase error มีค่าเป็นบวก ดังรูปที่ 2.6(b) duty cycle ของ u_d จะมีค่ามากกว่า 50 % และ \bar{u}_d จะมีค่าสูงสุดเมื่อ phase error ถึง 180 องศา และมีค่าต่ำสุดที่ phase error เป็น -180 องศา ถ้าเรา plot กราฟ ค่า u_d กับ phase error จะได้รูปกราฟเป็น sawtooth ดังแสดงในรูปที่ 2.7 u_d จะแปรผันตรงกับ phase error เมื่อ phase error อยู่ในช่วง $-\pi < \theta_e < \pi$

$$\bar{u}_d = k_d \theta_e$$

JK-flipflop phase detector นั้นสามารถรักษาการทำงานภายในช่วง phase error

$$-\pi < \theta_e < \pi$$

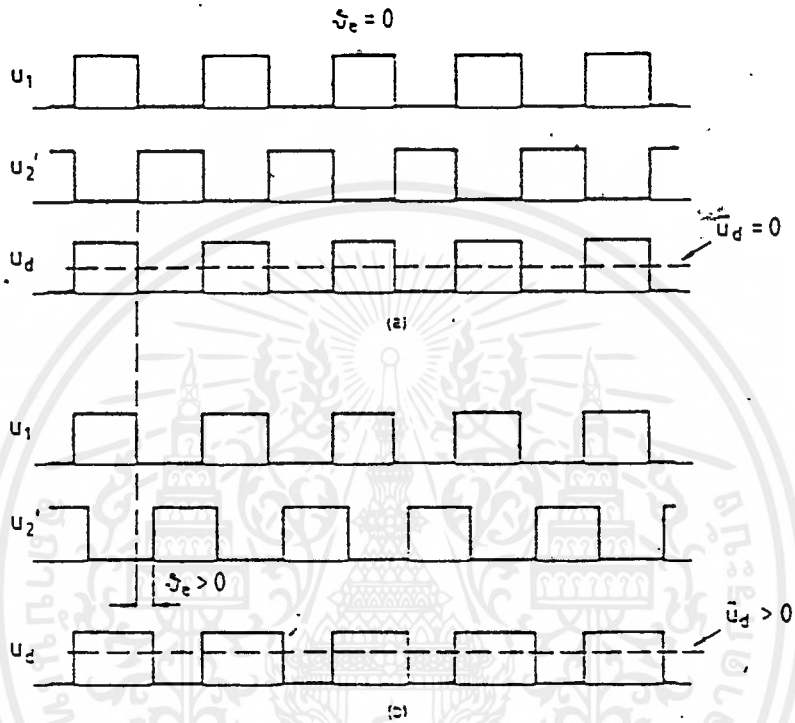
phase detector gain ของ JK-flipflop phase detector หาได้จาก

$$k_d = u_B / 2\pi$$

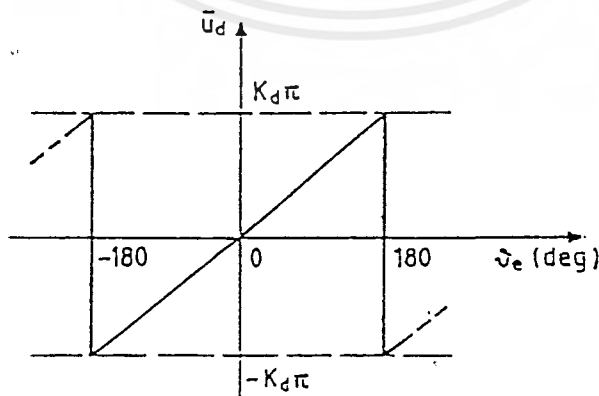
เมื่อระดับสัญญาณลอจิกเป็น u_B หรือ ศูนย์ตามลำดับ k_d จะถูกจำกัดโดยการ saturate. k_d จะคำนวณได้จาก

$$k_d = (U_{sat}^+ - U_{sat}^-) / 2\pi$$

เมื่อเปรียบเทียบกับ EXOR gate แล้ว JK flipflop จะไม่คำนึงถึงความสมมาตรของ u_1 และ u_2' เพราะสถานะของ JK flipflop จะเปลี่ยนแปลงเฉพาะเมื่อมีการกระตุ้นแบบ positive ของสัญญาณเท่านั้น ในแง่อื่น ๆ แล้ว EXOR และ JK flipflop จะมีพฤติกรรมการทำงานเหมือนกัน



รูปที่ 2.6 รูปคลื่นของสัญญาณสำหรับ JK-FF PD. (a) รูปคลื่นที่ค่า phase error เป็นศูนย์ (b) รูปคลื่นที่ phase error. มีค่าเป็นบวก



รูปที่ 2.7 กราฟของสัญญาณเอาท์พุทเฉลี่ยของ PD กับ phase error. เมื่อเปรียบเทียบกับ

EXOR, u_d ซึ่งไม่ขึ้นอยู่กับ duty cycle ของสัญญาณ.

2.4 All-digital loop filters

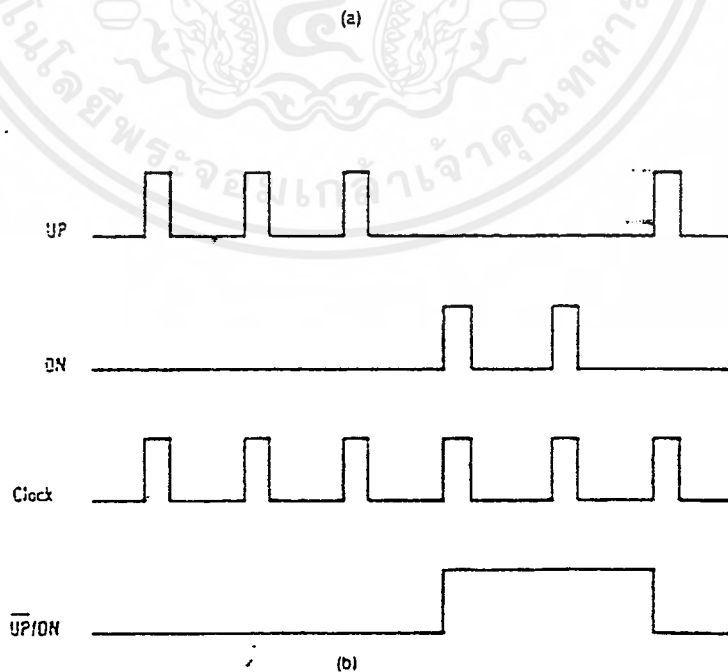
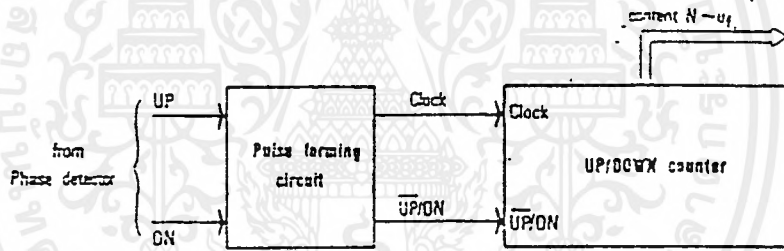
จากที่กล่าวมาทั้งหมดเราจะพบว่า All digital phase detector ที่ต่างกันก็จะทำให้สัญญาณเอาต์พุตที่แตกต่างกัน การเลือกใช้ loop filter จึงต้องพิจารณาควบคู่ไปกับ digital phase detector ด้วยพร้อม ๆ กัน เพื่อให้ได้การใช้งานที่เหมาะสมกัน

loop filter แบบที่ง่ายที่สุดนั้นสร้างได้จาก UP/DOWN counter ทั่วๆไป ซึ่ง UP/DOWN counter loop filter น่าจะเลือกใช้ควบคู่กับ phase detector ที่ส่งเอาต์พุตออกมาในรูปของ up หรือ down pulse เช่น PFD และมันก็สามารถดัดแปลงให้ทำงานร่วมกับ XOR หรือ JK-flipflop PD. ได้ รูปที่ 2.8 (a) แสดงวงจรของ up/down counter loop filter ซึ่งใช้ pulse-forming network ในการแปลงสัญญาณ up และ down pulse ไปเป็น counting clock และสัญญาณ UP/DN ดังแสดง wave form โดยรูปที่ 2.8(b)

ทุก ๆ up pulse ที่สร้างขึ้นจาก PD ค่า N ของ UP/DN counter จะเพิ่มขึ้น 1 และ DN pulse ก็จะลดค่า N ของ counter ลง 1. ค่า N ที่ได้จากเอาต์พุตจะขนานกับ U_f ของ loop filter. filter ชนิดนี้สามารถพิจารณาเป็น integrator ซึ่งมี transfer function ดังนี้

$$H(s) = 1/(sT_i)$$

เมื่อ T_i คือ integrator time constant



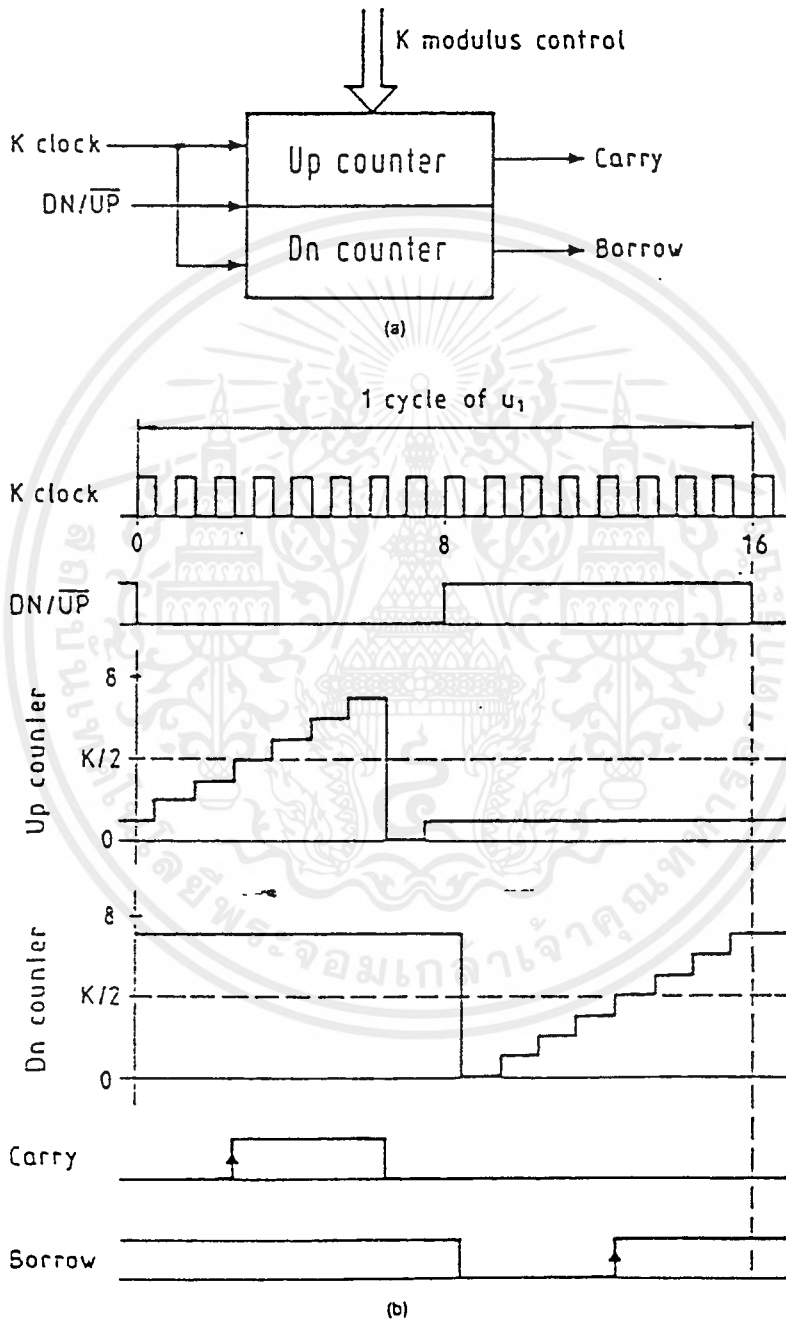
รูปที่ 2.8 UP/DOWN เคนเตอร์ลูปฟิลเตอร์ (a) บล็อกไดอะแกรม (b) Corresponding waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

digital loop filter ที่สำคัญที่สุดอีกตัวหนึ่งคือ K counter ดังแสดงในรูปที่ 2.9 loop filter ชนิดนี้มักใช้ร่วมกับ EXOR หรือ JK-flipflop phase detector ดังแสดงในรูปที่ 2.9(a) แสดง counter ซึ่งประกอบด้วย counter ซึ่งเป็นอิสระต่อกัน 2 ตัว คือ “UP counter” และ “DOWN counter” ในความเป็นจริงแล้ว counter ทั้งสองนี้จะนับขึ้นเสมอ. K เป็นค่าโมดูลัสของเคาน์เตอร์ทั้งสอง ค่าของเคาน์เตอร์ทั้งสองนี้จะอยู่ในช่วง 0 จนถึง K-1 ซึ่งค่า K สามารถกำหนดได้โดย K modulus control input และมีค่าเป็นจำนวนเต็มยกกำลังของ 2 ซึ่งความถี่ของสัญญาณ clock (K clock) นั้นมีค่าเป็น M เท่าของ center frequency f_0 ของ ADPLL ซึ่ง M จะมีค่าเป็น 8,16,32,... การทำงานของ K counter จะถูกควบคุมโดยสัญญาณ DN/UP ถ้าสัญญาณนี้เป็น high DN counter จะทำงานในขณะที่ค่าภายใน UP counter จะยังคงเท่าเดิม และในกรณีตรงข้าม UP counter จะนับขึ้น แต่ DN counter จะยังคงค่าเดิมไว้

ค่าภายในเคาน์เตอร์ทั้งสองจะกลับมาเป็น 0 เมื่อค่าของมันถึง K-1 บิตที่มีนัยสำคัญสูงสุดของ UP counter ใช้เป็น carry output และบิตที่มีนัยสำคัญสูงสุดของ DN counter ใช้เป็น borrow output ซึ่งเป็นผลให้ carry เป็น high เมื่อค่าของ UP counter เท่ากับหรือมากกว่า $K/2$ ในทำนองเดียวกัน borrow output จะเป็น high เมื่อ DN counter มีค่าเท่ากับหรือมากกว่า $K/2$ ดังแสดงในตอนการเลือกชนิดของ ADPLL ขอบขาขึ้นของสัญญาณ carry และ borrow ถูกใช้ในการควบคุมความถี่ของ DCO

รูปที่ 2.9(b) แสดงสัญญาณของ K counter DN/UP output ถูกควบคุมโดย PD. ในตัวอย่างนี้เราสมมติว่าใช้ JK-flipflop PD และ ADPLL ทำงานที่ center freq. ดังที่ได้กล่าวมาแล้ว อินพุต u_1 และ เอาท์พุต u_2 ของเฟสล็อกจะมีเฟสตรงข้ามกันเมื่อใช้ JK-flipflop PD. และสัญญาณเอาท์พุต u_d ของเฟสดีเทคเตอร์จะเป็น square wave ซึ่งมี duty cycle 50 % ในตัวอย่างนี้ DN/UP signal เป็น high ในครึ่งไซเคิลหนึ่งของสัญญาณ u_1 และเป็น low ในครึ่งไซเคิลที่เหลือ สมมติให้ความถี่ของ K clock เป็น 16 เท่าของ center freq. ($M=16$) ค่า K modulus ถูกกำหนดให้มีค่าเท่ากับ 8 . waveform แสดงดังรูปที่ 2.9(b) จะเห็นว่า UP counter จะทำการนับบน 8 clock pulse แรกและ DN counter จะนับบน 8 clock pulse ถัดมา ซึ่งในสภาวะนี้ UP counter จะสร้าง 1 carry pulse ทุกๆ ไซเคิลของสัญญาณ u_1 และ DN counter จะสร้าง borrow pulse 1 ลูก ทุกๆ ไซเคิลเช่นกัน เราจะพบว่า carry และ borrow pulse จะหักล้างกันไป ถ้าเราสมมติให้มี phase error เกิดขึ้นในลูป ดังนั้น duty cycle ของ DN/UP signal จะเกิดการ symmetry เมื่อสัญญาณเป็น low เป็นระยะเวลายาวกว่า high ภายใน 1 ไซเคิลของ u_1 UP counter จะทำการนับมากกว่า DN counter จำนวนเฉลี่ยของ carry จะมีจำนวนมากกว่า borrow ต่อหนึ่งหน่วยเวลา เมื่อ DN/UP signal เป็น low ตลอดเวลา UP counter จะนับขึ้นตลอดเวลา เมื่อสัญญาณ DN/UP เป็น high ตลอดเวลา DN counter ก็จะนับขึ้นอย่างต่อเนื่อง K counter นั้นเป็นส่วนหนึ่งของ ADPLL ชนิด 74xx297



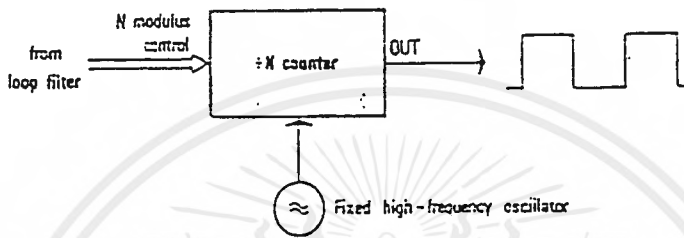
รูปที่ 2.9 K เคา์นเตอร์รูปฟิลเตอร์ (a) บล็อกไดอะแกรม (b) Corresponding waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่วารณิตใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Digital Control Oscillators

เราสามารถออกแบบ DCO ได้หลายแบบซึ่งมันสามารถทำงานกับอุปกรณ์ที่เป็น Hardware หรือมี software ช่วยในการทำงานก็ได้แล้วแต่การออกแบบ

DCO ชนิดที่ง่ายที่สุดได้แก่ $\div N$ counter DCO (รูปที่ 2.10) วงจร $\div N$ counter นั้นถูกนำมาใช้ในการลดความถี่ของสัญญาณความถี่สูงที่สร้างขึ้นมาจากออสซิลเลเตอร์ให้ทำงานที่ความถี่ค่าหนึ่ง สัญญาณ N-bit parallel output ของ digital loop filter จะใช้ในการควบคุม scaling factor N ของ $\div N$ counter



รูปที่ 2.10 บล็อกไดอะแกรมของ $\div N$ counter DCO.

DCO อีกชนิดหนึ่งก็คือ Increment-Decrement (ID) counter ดังแสดงในรูปที่ 2.11(a) DCO ชนิดนี้ทำงานร่วมกับ loop filter ที่ผลิตสัญญาณเอาต์พุตแบบ carry และ borrow pulse. ดังเช่น K counter หรือ N-before-M filter ซึ่งกล่าวมาแล้วข้างต้น การทำงานของ ID counter จะแสดงโดย waveform ในรูปที่ 2.11(b) ซึ่งในรูปที่ 2.11(a) นั้นแสดงให้เห็นว่า ID counter มีอินพุต 3 ตัว คือ clock input (ID clock) Increment (INC) และ decrement (DEC) input. carry pulse จะต่อเข้ากับขา INC และ borrow pulse จะต่อเข้ากับขา DEC input. ID counter จะทำงานที่ขอบขาขึ้นของสัญญาณ carry และ borrow input เมื่อสัญญาณ carry และ borrow pulse ขาดหายไป ID counter จะหารความถี่ของ ID clock ด้วย 2 และผลิต output pulses (ID out) ในทุก ๆ 2 ID clock ดัง waveform ในรูปที่ 2.11(b) เพื่อให้เข้าใจการทำงานของ ID counter สิ่งที่เราควรรู้อีกอย่างหนึ่งก็คือ ภายในวงจรนี้ จะมี toggle-flipflop อยู่ภายใน ซึ่งมีได้แสดงใน รูปที่ 2.11(a) waveform ของ toggle-flipflop จะเปลี่ยนสถานะทุก ๆ ขอบขาขึ้นของ ID clock เมื่อไม่มีสัญญาณ carry และ borrow ของ ID counter (ID out) จะหาได้จากฟังก์ชัน

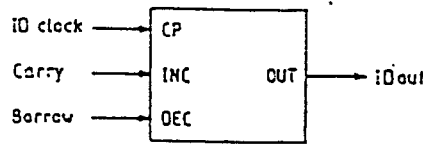
$$ID\ out = \overline{ID\ clock} \cdot \overline{Tog\ ple\ -\ flip\ flop}$$

สมมติให้มี carry pulse เกิดขึ้นที่ INC input ของ ID counter สัญญาณ carry จะถูก process เฉพาะเมื่อ toggle-flipflop เป็น high เท่านั้น ถ้า carry เป็น high เมื่อ toggle-flipflop อยู่ในสถานะ low (ดังรูปที่ 2.11(c) toggle จะเป็น high เมื่อมีขอบขาขึ้นของ ID clock ถูกถัดไป และจะมีสถานะเป็น low ในช่วงระหว่าง 2 ID clock ถัดมา ซึ่งทำให้ ID out pulse ถัดมาจะมีค่าเร็วขึ้น 1 ID clock period ถ้า carry เป็น high เมื่อ toggle-flipflop เป็น high . flipflop ตัวนี้จะมีค่าเป็น low บน 2 ID clock ถัดมา ดังแสดงในรูปที่ 2.11(d) เพราะสัญญาณ carry จะถูก process เมื่อ toggle-flipflop มีสถานะเป็น high ดังนั้นความถี่สูงสุดของ ID out signal จะเกิดขึ้นเมื่อ toggle-flipflop มีรูปแบบ "high low low high low low...." ซึ่งเป็นผลให้ความถี่เอาต์พุตของ ID counter ไม่สามารถสูงได้เท่ากับความถี่ของ ID clock แต่จะมีค่าอย่างมากเป็น $2/3$ ของความถี่ ID

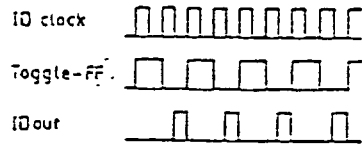
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

clock ซึ่งเป็นเงื่อนไขที่จำกัดค่า hold range ของ ADPLL ซึ่งจะกล่าวต่อไปภายหลัง รูปที่ 2.16(e) แสดงว่าเกิดอะไรขึ้นบ้างเมื่อสัญญาณ borrow pulse เข้ามา ในทำนองเดียวกัน borrow จะถูก process เฉพาะเมื่อ toggle-flipflop มีสถานะ low เมื่อมีสัญญาณ borrow เข้ามา toggle-flipflop จะถูก set เป็น high บนขอบขาขึ้นของ ID clock 2 ตัวถัดมา ID out pulse ตัวถัดมาจึงถูก delay ออกไป 1 ID clock period. ID out จะมีความถี่ต่ำสุดเมื่อ toggle-flipflop มีรูปแบบเป็น “low high high low high high....” ดังนั้นความถี่ต่ำสุดของ ID out จะมีค่าเป็น $1/3$ ของความถี่ของ ID clock ข้อจำกัดของความถี่เอาต์พุตของ ID counter นั้น จะเป็นเงื่อนไขในการจำกัด hold range ซึ่งเราจะกล่าวต่อไปภายหลัง (วงจรถริง ๆ ภายใน ID counter นั้นมิได้มีเพียง toggle-flipflop ที่กล่าวถึงนั้นเพียงอย่างเดียว แต่จะประกอบด้วย flipflop อื่น ๆ และ gate อีกจำนวนหนึ่ง โดยการทำงานของ ID counter นั้น เราสามารถเข้าใจได้โดยเปิด data sheet ของ IC 74HC/HCT 297 เนื่องจากว่า ID counter ต้องการเวลา 3 ID clock period เพื่อ process 1 carry หรือ 1 borrow ดังนั้น ความถี่สูงสุดของ carry pulse หรือ borrow pulse จึงมีค่าได้ไม่เกิน $1/3$ ของความถี่ของ ID clock ถ้ามี carry หรือ borrow ที่ถูกส่งมามากกว่านี้ จะเกิดการ overlapt ขึ้น เมื่อความถี่โดยเฉลี่ยของสัญญาณ carry จนกระทั่งถูก process หมด ความถี่ขณะใดขณะหนึ่งของสัญญาณ ID out จะเพิ่มขึ้น $n/2$ Hz เมื่อ n คือจำนวน carry ที่ถูก detect ภายใน 1 วินาที

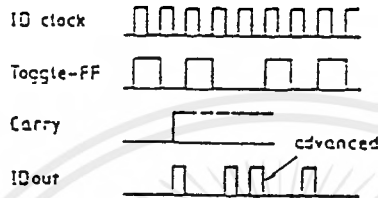
เพื่อให้เข้าใจง่ายขึ้น เราสมมติให้ความถี่ของ ID clock มีค่า เท่ากับ 32 Hz เมื่อไม่มีสัญญาณ carry ความถี่เอาต์พุตจะเป็น 16 Hz ถ้า 8 carry ถูก detect ภายใน 1 วินาที ID pulse ตัวถัดมาจะเร็วขึ้น 8 ID pulse ใน 1 วินาทีด้วยเวลา $1/32$ วินาที จำนวนของเอาต์พุตพัลส์ จะถูกเพิ่มขึ้นจาก 16 เป็น 20 Hz ในช่วงเวลา 1 period โดยทั่วไปแล้ว carry pulse 1 ลูกจะมีผลให้ $1/2$ ไซเคิลถูกบวกเข้าไปใน ID out signal และ 1 borrow pulse จะมีผลทำให้ $1/2$ ไซเคิลถูกลบออกไป นอกจากนี้ยังมี DCO อีกชนิดหนึ่งคือ waveform-synthesizer DCO ซึ่งต้องใช้ซอฟต์แวร์ช่วยในการทำงานเป็นส่วนหนึ่งของ software PLL (SPLL) จึงไม่ขอกล่าวไว้ ณ.ที่นี้



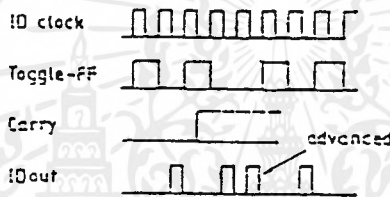
(a)



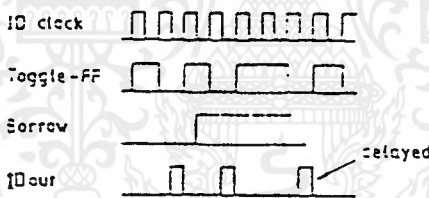
(b)



(c)



(d)



(e)

รูปที่ 2.11 รูป ID counter DCO. (a) บล็อกไดอะแกรม (b) รูปคลื่นในกรณีที่ไม่มีแครี่และบอโรว์ ที่ต่อเข้ากับอินพุต INC และ DEC. (c) รูปคลื่นสำหรับกรณีที่ไม่มีแครี่อินพุตเมื่อ toggle FF อยู่ในสถานะศูนย์ (e) รูปคลื่นในกรณีที่ไม่มีบอโรว์อินพุตที่ขา DEC อินพุต

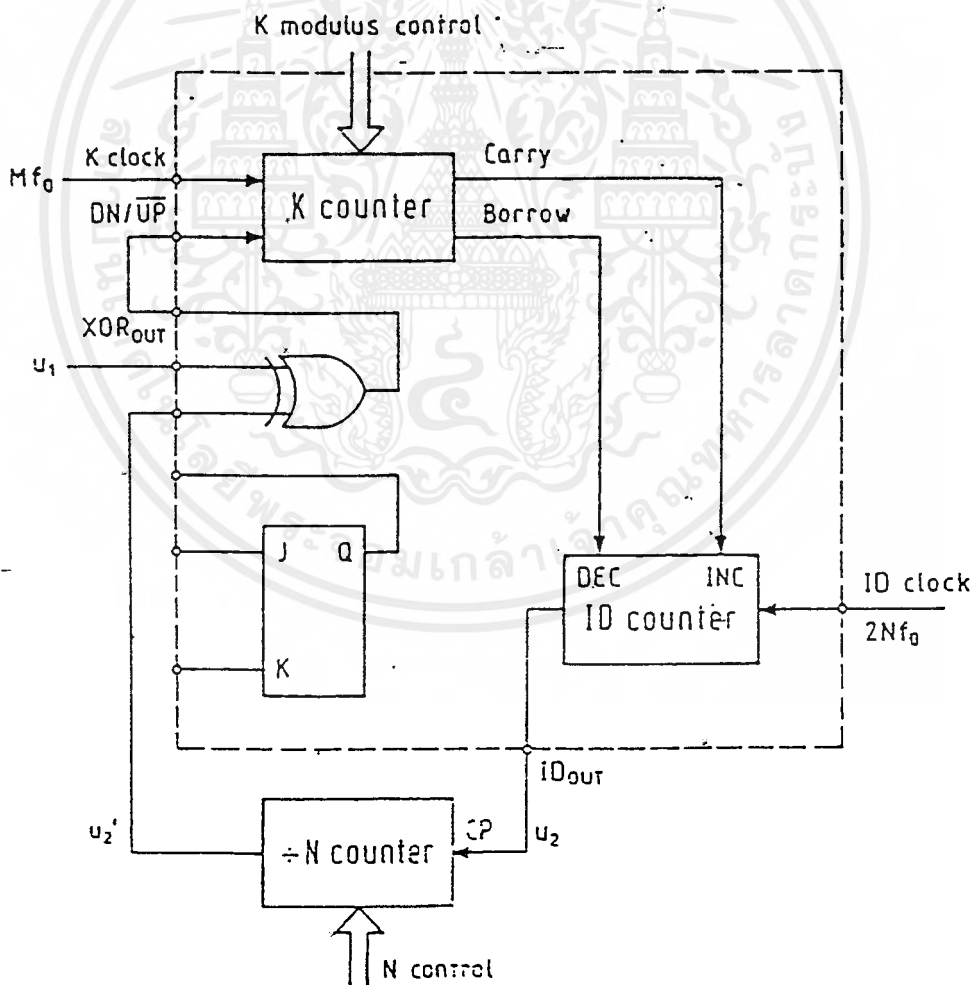
2.6 ตัวอย่างอุปกรณ์ ADPLL

อุปกรณ์ all digital PD, loop filter และ DCO ชนิดต่าง ๆ กัน สามารถสร้าง function block ที่เหมาะสมของวงจร ADPLL ได้มากมาย แต่ที่จะกล่าวถึงต่อไปนี้จะกล่าวถึงเฉพาะระบบ ADPLL ที่ใช้อุปกรณ์สนับสนุนที่เป็น hard ware เท่านั้น

ระบบ ADPLL ที่จะกล่าวถึงแสดงดังรูปที่ 2.12 ซึ่งเป็นรูปแบบที่นิยมใช้มากที่สุด สามารถหาได้จาก IC ตระกูล 74 xx297 ซึ่ง xx คือกลุ่มของ (HC,HCT,LS,S, ฯลฯ) ภายใน IC ประกอบด้วย PD 2 ตัว คือ EXOR gate และ JK-flipflop ในโครงสร้างดังรูปที่ 2.18 เราได้ใช้ EXOR gate , ลูปฟิลเตอร์ ใช้แบบ K เคนเตอร์ที่ได้กล่าวมาแล้วข้างต้น (รูปที่ 2.9) และ ID เคนเตอร์ (รูปที่ 2.11) ถูกเลือกใช้เป็น DCO ซึ่งระบบ ADPLL นี้ ต้องการ divide-by-N เคนเตอร์ ภายนอกด้วย

สมมติให้ระบบทำงานที่ความถี่กลาง f_0 อ้างอิงจาก อินพุต u_1 . K เคาท์เตอร์ และ ID เคาท์เตอร์ จะถูกขับโดยสัญญาณคล็อก ซึ่งมีความถี่เป็น M เท่า และ $2N$ เท่าของความถี่กลาง f_0 ตามลำดับ โดยทั่วไปแล้วค่า M และ $2N$ จะมีค่าเป็นจำนวนเต็มยกกำลังของ 2 และมักใช้จากออสซิลเลเตอร์ ตัวเดียวกัน ในหลายๆ กรณี $M=2N$ ดังนั้นคล็อกอินพุตทั้งสองสามารถใช้ร่วมกันได้

ในตอนนี้กำหนดให้ใช้ EXOR PD และ ADPLL ทำงานที่ความถี่ความถี่กลาง ID เคาท์เตอร์ถูกต้องการเพื่อ scale down ความถี่ ID คล็อกลง 2 จำนวนเฉลี่ยของ carry และ borrow พัลส์ที่ถูกส่งมาจาก K เคาท์เตอร์เช่นเดียวกัน สถานะนี้จะเกิดขึ้นได้เฉพาะเมื่อความต่างเฟสระหว่างสัญญาณ u_1 และ u_2' เป็น 90 องศาเท่านั้น ในกรณีนี้สัญญาณเอาต์พุตของ EXOR gate จะเป็น symmetrical square wave ซึ่งมีความถี่เป็น 2 เท่าของความถี่กลาง เป็นผลให้ อัปเดตเคาท์เตอร์ จะนับระหว่างเวลา 2 ควอเตอร์ของไซเคิลอ้างอิง และ คาเวน เคาท์เตอร์จะนับในช่วงคาบ 2 ควอเตอร์ที่เหลือ เพราะจำนวนเฉลี่ยของ carry และ borrow เท่ากัน จึงทำให้ไม่มีไซเคิลที่ถูกบวกหรือลบเข้าไปจาก ID เคาท์เตอร์ ถ้าความถี่อ้างอิงเพิ่มขึ้น สัญญาณเอาต์พุตของ EXOR PD จะกลายเป็นไม่สมมาตร ทำให้ K เคาท์เตอร์ ผลิต carry มากกว่า borrow โดยเฉลี่ย



รูปที่ 2.12 ตัวอย่างของวงจร ADPLL ซึ่งใช้ไอซีตระกูล 74HC/HCT297. (ในที่นี้เลือกใช้ EXOR PD, และใช้ ÷N counter ค่ายนอกเป็นไอซีเบอร์ 74 HC/HCT4040)

2.7 ทฤษฎีในการเลือกชนิดของ ADPLL

เนื่องจากมีจำนวน PD, ลูปฟิลเตอร์, DCO ในแบบต่าง ๆ กันมากมาย ระบบ ADPLL ที่สร้างได้จึงมีจำนวนมากมายที่แตกต่างกัน บางระบบก็คล้ายกับ LPLL หรืออาจจะทำงานคล้าย DPLL แต่ ฟังก์ชันของระบบ ADPLL เกือบจะไม่มีอะไรใช้ร่วมกันได้ จึงเป็นไปได้ที่จะกำหนดทฤษฎีของ ADPLL เพื่อตรวจสอบพฤติกรรมของชนิด ADPLL ที่เจาะจง เราจึงต้องดูที่รูปแบบที่เหมาะสมของฟังก์ชันบล็อก และพยายามหาเหตุผลในรูปของทรานส์เฟอร์ฟังก์ชัน (phase transfer function) ,Bode diagram ในหลาย ๆ กรณี การประยุกต์ของอุปกรณ์พื้นฐาน (เช่น linear control theory) จะตกไป เราะระบบที่เราวิเคราะห์นั้นเกือบจะเป็นนอนลิเนียร์ทั้งหมด

เพื่อแสดงการวิเคราะห์ ADPLL เราจะทำการวิเคราะห์คุณสมบัติทางไดนามิกของ ADPLL ชนิดที่เรานิยมใช้กันมากที่สุด คือตระกูล 74xx297 ดังแสดงให้ดูแล้วในรูปที่ 2.12

2.7.1 ผลในช่วงเวลาการทำงาน

จุดมุ่งหมายของเราในการวิเคราะห์วงจรคือ ตัวแปร พารามิเตอร์ต่าง ๆ (key parameter) เช่น โฮลเรนจ์ (hold range) ล็อกเรนจ์ (lock range) และ ล็อก-อิน-ไทม์ (lock-in-time) สมมติว่าเราใช้ EXOR PD. ดังแสดงในรูปที่ 2.12 คุณสมบัติของ ADPLL สามารถวิเคราะห์ได้ง่ายได้โดยการดูรูปคลื่นของวงจร ดังแสดงในรูปที่ 2.13 สัญญาณถูกพรีอิดในกรณีที่ความถี่อ้างอิง f_1 เท่ากับความถี่กลาง f_0 ความถี่ K คล็อกถูกเลือกให้เป็น 16 เท่าของคล็อกความถี่ ($M=16$) ค่าโมดูลัสของ K เคาน์เตอร์ในวงจรนี้ให้มีค่าเท่ากับ 4 ($K=4$) (ในความเป็นจริงแล้วค่าต่ำสุดของ K สำหรับ 74HC/HCT297 เป็น 8) อัตราส่วน ดีไวเดอร์ของวงจรหาร N เคาน์เตอร์เป็น 8 ($N=8$) ดังนั้นคล็อก K และ ID คล็อกสามารถได้จากเจนเนอเรเตอร์ตัวเดียวกัน 1 ไชเคลของสัญญาณ n_1 ประกอบด้วย 16 ไชเคลของคล็อก K และค่าของอัฟและคาว์นเคาน์เตอร์แทนด้วย K_{up} และ K_{dn} ตามลำดับ จากคาตาชีทของ 74HC/HCT297. เคาน์เตอร์ทั้งสองนี้จะถูกรีเซ็ตเมื่อจ่ายกำลังไฟฟ้าให้วงจร เมื่อมันทำงานในคาบเวลาที่ไม่ชัดเจน ค่าภายในของมันจะมีค่าค่าหนึ่ง ซึ่งไม่มีเกณฑ์แน่นอนว่าเป็นค่าใดภายในเวลาหนึ่ง ๆ ในช่วงที่ K คล็อกที่ ศูนย์เกิดขึ้น (รูปที่ 2.13) K_{up} และ K_{dn} จะมีค่าเป็นจำนวนที่ไม่แน่นอน สำหรับขั้วของคล็อกพัลส์ การเปลี่ยนสภาวะต่าง ๆ จะเกิดขึ้นดังนี้

- เคาน์เตอร์ทั้งสองของ K เคาน์เตอร์จะนับที่ขอบขาลงของ K คล็อก
- toggle ฟลิปฟลอปภายใน ID เคาน์เตอร์จะเปลี่ยนสถานะที่ขอบขาขึ้นของ ID คล็อก
- ฟลิปฟลอปทั้งหมดของวงจรหาร N เคาน์เตอร์ นับที่ขอบขาลงของ สัญญาณคล็อก เช่น ลำดับแรกหาร N เคาน์เตอร์ (แทนด้วย ID out หาร 2 ในรูปที่ 2.13) นับบนขอบขาลงของสัญญาณเอาต์พุทของ ID out ขั้นตอนที่สอง (แทนด้วย ID out หาร 4) นับบนขอบขาลงของสัญญาณเอาต์พุทของ ID out หาร 2

ดังที่เราเห็นจากรูปคลื่นของ K_{up} และ K_{dn} อัฟเคาน์เตอร์จะทำงานในช่วงควอเตอร์ที่ 1 และ 3 ของ ไชเคลอ้างอิงส่วนคาว์นเคาน์เตอร์จะทำงานในช่วงควอเตอร์ที่ 2 และ 4 ในที่นี้แคร์รี่จะเกิดขึ้นบน ID คล็อกที่ 2 และ 10 ในขณะที่บอร์โรว์จะเกิดขึ้นบน ID คล็อกที่ 6 และ 14 (ข้อควรจำคือ สัญญาณแคร์รี่และบอร์โรว์ที่แสดงในรูปที่ 2.19 คือเอาต์พุทของบิทที่มีนัยสำคัญมากที่สุดของเคาน์เตอร์ ในที่นี้ แคร์รี่มีค่าเป็น high เมื่อค่าของอัฟเคาน์เตอร์มีค่าถึง $K/2$) ดังรูปคลื่นของ ID out ที่แสดงพัลส์ของมันจะเร็วขึ้นและช้าลง 1 ไชเคลของ

2.14 แสดงเหตุการณ์ที่เกิดขึ้นเมื่อ ADPLL ทำงานที่ความถี่กลาง อพเคาน์เตอร์นับขึ้น 4 ครั้ง ในช่วงเวลาหนึ่งควอเตอร์ของสัญญาณอ้างอิง u_1 โดยเฉลี่ย และควาน์เคาน์เตอร์นับขึ้น 4 ครั้งในช่วงเวลาหนึ่งควอเตอร์ของสัญญาณอ้างอิงโดยเฉลี่ย แครี่และบอโรว์จะถูกสร้างขึ้นมาเฉพาะช่วงที่มีการนับทุก ๆ 2 ช่วงของการนับของอพเคาน์เตอร์และควาน์เคาน์เตอร์ รูปที่ 2.14 แสดง 2 คาบของสัญญาณอ้างอิง ซึ่งหมายถึง 32 K คล็อกที่ไซเคิลของแครี่จะถูกสร้างขึ้นที่ K คล็อก ที่ 1 และ 18 และบอโรว์จะถูกสร้างขึ้นที่ K คล็อกที่ 11 และ 23 เพราะการเร็วขึ้นและช้าลงของ ID out พัลส์ ไม่ถูกหักล้างกันหมดไปภายในครึ่ง ไซเคิลที่เจาะจงของ u_2 สัญญาณนี้จึงเกิดริปเปิลขึ้น

สรุปได้ว่าสัญญาณเอาต์พุตจะไม่เกิดริปเปิล ถ้า K โมดูลัส ถูกเลือกให้ผลิตหนึ่งแครี่หรือหนึ่งบอโรว์ในหนึ่งควอเตอร์ที่เรียกของสัญญาณอ้างอิง การเลือก $K=M/4$ ทำให้ไม่เกิดริปเปิลเมื่อใช้ EXOR PD. ADPLL ที่มีค่า $K=M/4$ เราเรียกว่ารูปแบบที่เกิดริปเปิลต่ำสุด (minimum ripple) ซึ่งจะกล่าวถึงภายหลัง ทุก ๆ วงจร ADPLL จะเกิดริปเปิลขึ้นถ้ามันทำงานที่ความถี่อื่น ๆ

ถ้า $K=M/4$ จะเกิดริปเปิลขึ้น เป็นการง่ายที่จะคำนวณปริมาณของริปเปิลภายใต้สภาวะนี้ในอุดมคติ duty factor δ ของสัญญาณเอาต์พุต คือ $\delta = \delta_0 = 0.5$ ถ้าแครี่และบอโรว์ที่เกิดจากช่วงเวลากการนับ อพและควาน์เคาน์เตอร์ไม่หักล้างกันหมดไป การกระตุ้นของสัญญาณ u_2 จะเร็วขึ้นหรือช้าลงอย่างมาก หนึ่ง ID คล็อกไซเคิลด้วยช่วงเวลา $1/2Nf_0$ เป็นผลให้คิวดีเฟคเตอร์จริง ๆ จะเปลี่ยนแปลงค่าอยู่ในช่วง

$$0.5(1-1/N) < \delta < 0.5(1+1/N)$$

การเปลี่ยนไปของคิวดีเฟคเตอร์สัมพัทธ์จะเป็น $1/N$ ในกรณีที่ย่ำที่สุด เราจะแสดงภายหลังว่าลดริปเปิลลงได้โดยการเพิ่มส่วนประกอบเพียง 2-3 ส่วน

กรณีที่มี K น้อยกว่า $M/4$ ถ้าพิจารณารูปที่ 2.13 อีกครั้งและสมมติให้ $K=2$ อพเคาน์เตอร์จะผลิตแครี่ในหนึ่งช่วงการนับของอพเคาน์เตอร์ และควาน์เคาน์เตอร์จะผลิตสองบอโรว์ในหนึ่งช่วงของการนับของมัน เพราะว่า 2 แครี่และ 2 บอโรว์จะหักล้างกันไปในช่วงของการนับของอพและควาน์เคาน์เตอร์ต่อมา ในทางทฤษฎีจึงไม่ควรเกิดริปเปิลภายในรูปคลื่นของ u_2 กรณีนี้เป็นจริงเมื่อความถี่ของ ID คล็อกถูกเลือกให้มีค่ามากพอที่ ID เคาน์เตอร์จะสามารถ โพรเซส(process) แครี่และบอโรว์ทั้งหมด เมื่ออพเคาน์เตอร์มีการนับขึ้นมันจะผลิต 1 แครี่ทุก ๆ K/Mf_0 วินาที ถ้ามีจำนวนหนึ่งของแครี่ที่ต้องโพรเซสให้สำเร็จโดย ID เคาน์เตอร์ ระยะเวลาระหว่าง 2 แครี่ควรจะใหญ่กว่า 3 ID คล็อกที่เรียก ดังแสดงในรูปที่ 2.16 เพราะว่า ID คล็อกไซเคิลกินเวลา $1/2Nf_0$ วินาที แครี่จะไม่เกิดการโอเวอร์สเลป (overslept) ของแครี่หรือบอโรว์เมื่อ

$$N > N_{min} = 3M / 2K$$

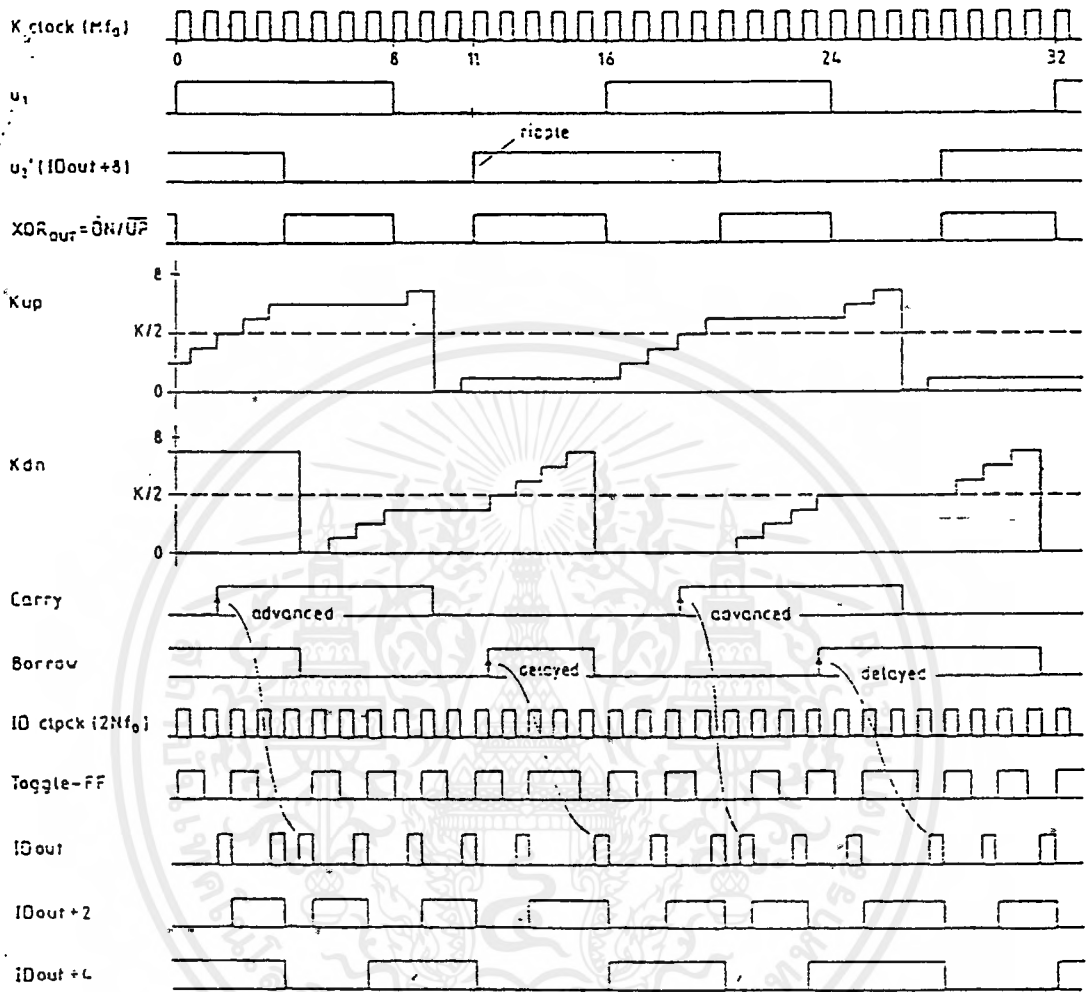
เราจะพบว่า M, N, K จะเป็นค่าตัวเลขจำนวนเต็มยกกำลังของ 2 ดังนั้นสมการที่ใช้จริงนั้นค่าต่ำสุดของ N จึงเลือก

$$N > N_{pract} = 2M/K$$

เมื่อ N_{pract} มีค่าเป็น 2 ยกกำลังจำนวนเต็ม ในตัวอย่างนี้เราใช้ $N_{pract} = 2 * 16 / 2 = 16$ แต่เพราะเราเลือก $N=8$ ความถี่ของแครี่และบอโรว์จะสูงเกินไป ดังนั้น ADPLL จึงไม่สามารถทำงานได้อย่างน้อย หนึ่งแครี่ในหนึ่งควอเตอร์ไซเคิลของ u_1 ($M \geq 4K$) และเมื่อ N ถูกเลือกให้แครี่และบอโรว์ทั้งหมดสามารถถูกโพรเซสได้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เซต $(N > 2M/K)$ ถ้า M ถูกเลือกให้มีค่าเล็กกว่า $N/2$ นั่นหมายความว่า หนึ่งในแคร์หรือบอว์จะถูกผลิตขึ้นมาภายในหนึ่งควอเตอร์พีเรียดของ u_1



รูปที่ 2.14 เหมือนรูปที่ 2.13 ADPLL .M=16,K=8,N=8

ต่อไปเราจะมาดูพฤติกรรมของวงจร ADPLL เมื่อเลือกใช้ JK-FF PD. สมมติให้สัญญาณ u_1 และ u_2' ต่อเข้ากับขา J และ K อินพุทของฟลิปฟล็อปในรูปที่ 2.12 ตามลำดับ และ Q เอาท์พุทของเจเคฟลิปฟล็อปถูกใช้เป็น DN/UP อินพุทของ เค แคร์เนเตอร์ จากทฤษฎีของ DPLL สัญญาณ u_1 และ u_2' ควรมีเฟสตรงกันข้ามกันเมื่อ PLL ทำงานที่ความถี่กลาง สำหรับตัวอย่างนี้แสดงรูปคลื่นได้ดังรูปที่ 2.15 เมื่อเราใช้ค่า $M=16, K=8, N=8$ สัญญาณทั้งสองสมมาตรกัน คาร์เนเตอร์จะทำงานในครั้งแรกของไซเคิลอ้างอิงและ อัทแคร์เนเตอร์จะทำงานในครั้งที่สอง โดยเฉลี่ยแล้วทั้งอัทและคาร์เนเตอร์จะถูกจ่ายออกมาหนึ่งครั้งในหนึ่งคาบเวลาของการนับ ดังรูปคลื่นที่แสดงคาร์เนเตอร์ จะทำงานในครั้งแรกของไซเคิล เนื่องจากบอว์ทำให้เกิดการติลล์ของ ID out พัลส์ หนึ่ง ID คล็อก รูปคลื่นของ u_2' จะกลายเป็นไม่สมมาตร ในหนึ่งช่วงการนับขึ้น อัทแคร์เนเตอร์จะจ่ายแคร์ออกมา $M/2K$ ครั้ง เป็นจำนวนเดียวกับการผลิตบอว์ของคาร์เนเตอร์ $M/2K$ แคร์นี้ เป็นสาเหตุให้ขอบขาขึ้นถัดไปของ u_2' เร็วขึ้น 1 ID คล็อกจึงเกิดหนึ่งคล็อกไซเคิลชดเชยออกไป $1/2Nf_0$ วินาที ผลที่ตามมาคือควิต์ไซเคิลของ u_2' เปลี่ยนแปลงอยู่ในช่วง

$$0.5(1-M/2KN) < \delta < 0.5(1+M/2K)$$

เมื่อ K ถูกเลือกให้เล็กกว่า $M/2$ อพเคาน์เตอร์จะผลิตแควร์มากกว่าหนึ่งแควร์ในหนึ่งช่วงการนับ ทำให้เป็นการเพิ่มริบเปิดของสัญญาณเอาท์พุทเพื่อให้ได้สภาวะที่มีริบเปิดต่ำสุด เราจึงควรเลือก

$$K = M/2$$

สำหรับ JK-FF PD. เมื่อเปรียบเทียบกับ EXOR PD. รูปคลื่นของเอาท์พุทจะไม่สมมาตรถึงแม้เลือก K ให้มีค่าริบเปิดน้อยที่สุด คิวดีไซเคิลจะอยู่ในช่วง

$$0.5(1-1/2K) < \delta < 0.5(1+1/2K)$$

2.7.2 Hold range ของ ADPLL

ต่อไปนี้จะพิจารณาถ้าความถี่ f_1 ของสัญญาณอ้างอิงมีการเลื่อนไปจากความถี่กลาง อันดับแรก สมมติว่าเราเลือกใช้ EXOR PD และกำหนดให้ความถี่อ้างอิง $f_1 = 1.25f_0$ รูปที่ 2.16 แสดงรูปคลื่นสำหรับกรณี ที่ $M=16, K=4, N=8$ เพื่อให้ ADPLL ผลิตความถี่สูงขึ้น อพเคาน์เตอร์ต้องทำงานเป็นระยะเวลายาวนานกว่า คาบเคาน์เตอร์ เฟส error ใกล้เคียงกับ 90 องศา อพเคาน์เตอร์ทำงานเกือบตลอดเวลา และจำนวนแควร์ที่ถูกผลิตขึ้นมามีมากกว่า บอโรว์มาก ทำให้ ID เคาน์เตอร์เพิ่มความถี่เอาท์พุทของมัน

การพิจารณาแบบง่าย ๆ ของค่าช่วงความถี่ที่ ADPLL สามารถทำงานได้ จากที่เราทราบมาแล้วว่า ADPLL ผลิตความถี่เอาท์พุทสูงสุดเมื่อ K เคาน์เตอร์ทำการนับอย่างต่อเนื่อง ความถี่ของแควร์พัลส์สามารถหาได้จาก

$$f_{\max} = f_0 M / K$$

เพราะว่าแควร์ต่อเข้ากับ อินครีเมนต์อินพุท (increment input) ของ ID เคาน์เตอร์ เป็นเหตุให้ 1/2 ไซเคิลถูกบวกเข้าไปในสัญญาณ ID out ความถี่ที่เอาท์พุทของ ID เคาน์เตอร์จะเพิ่มขึ้นด้วยค่า

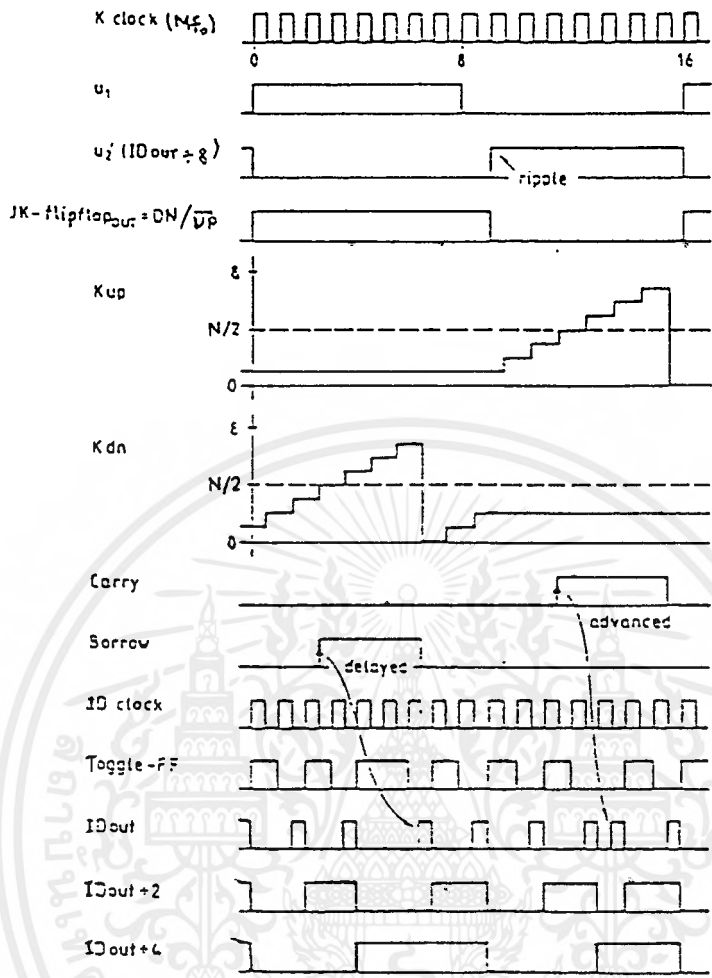
$$\Delta f_{\text{IDout}} = f_0 M / 2K$$

เพราะว่าหาร N เคาน์เตอร์จะหารความถี่ด้วย N ความถี่ที่เลื่อนออกไปสูงสุดจากความถี่กลางที่ ADPLL ยังสามารถทำงานได้คือ

$$\Delta f_H = f_0 M / 2KN$$

ซึ่งค่านี้คือ โฮลเรนจ์ของ ADPLL อย่างไรก็ตามถ้า N ที่เลือกใช้มีค่าน้อยกว่า N_{\min} จะมีแควร์หรือบอโรว์บางตัวเกิดการโอเวอร์สเล็ปและค่าโฮลเรนจ์จะถูกจำกัดโดย

$$\Delta f_H = f_0 / 3$$



รูปที่ 2.15 คล้ายรูปที่ 2.13 แต่ใช้ JK FF PD. $M=16, N=8, K=8$.

จากการพิจารณาแบบง่าย ๆ แสดงให้เห็นว่าค่าโฮลเรนจ์ในทางทฤษฎีจะถูกจำกัดดังสมการข้างบน ซึ่งในทางปฏิบัติ สำหรับการเลือกใช้ค่า $M=16, K=4, N=8$ และใช้ EXOR PD. เราจะได้ค่าโฮลเรนจ์เท่ากับ $1.25 f_0$ ซึ่งเป็นสภาวะที่แสดงโดยรูปที่ 2.16 ซึ่งควรจำว่าระยะเวลาหนึ่งไซเคิลของสัญญาณอ้างอิงในขณะนี้เป็น $4/5$ ของระยะเวลาคาบเวลาของสัญญาณอ้างอิง ($1/f_0$) หรือคือระยะเวลาของหนึ่งไซเคิลของสัญญาณอ้างอิง มีค่าเป็น 12.6 ไซเคิลของ K คล็อก ถ้าสมมติให้สัญญาณอ้างอิงเกิดบนขอบขาขึ้นของ K คล็อก การเปลี่ยนสถานะของ u_1 โดยปกติแล้วจะไม่พร้อมกับการเปลี่ยนสถานะของสัญญาณเอาต์พุตของ u'_2 ซึ่งส่งผลให้ K เคนำเตอร์ไม่นับขึ้นอย่างต่อเนื่อง แต่จะมีช่วงเวลานับ ๆ ที่ดาวนเคาน์เตอร์มีการนับ ดังแสดงโดยรูปที่ 2.22 จะเห็นได้ชัดว่ารูปคลื่น u'_2 มีเฟสเอเรอร์เพิ่มขึ้นไซเคิลต่อไซเคิล ในตัวอย่างนี้ ADPLL ไม่สามารถทำงานที่โฮลเรนจ์ที่จำกัดนี้ได้ โดยไม่รู้วิธีการคำนวณหาช่วงความถี่ที่ ADPLL สามารถใช้ได้ แต่การซิมูเลท (simulate) โดยคอมพิวเตอร์สามารถแสดงให้เห็นว่าความถี่ที่เลื่อนไปสูงสุดซึ่ง ADPLL ยังสามารถใช้ได้มีค่าเข้าใกล้ค่าโฮลเรนจ์คือประมาณ 90 % ของโฮลเรนจ์

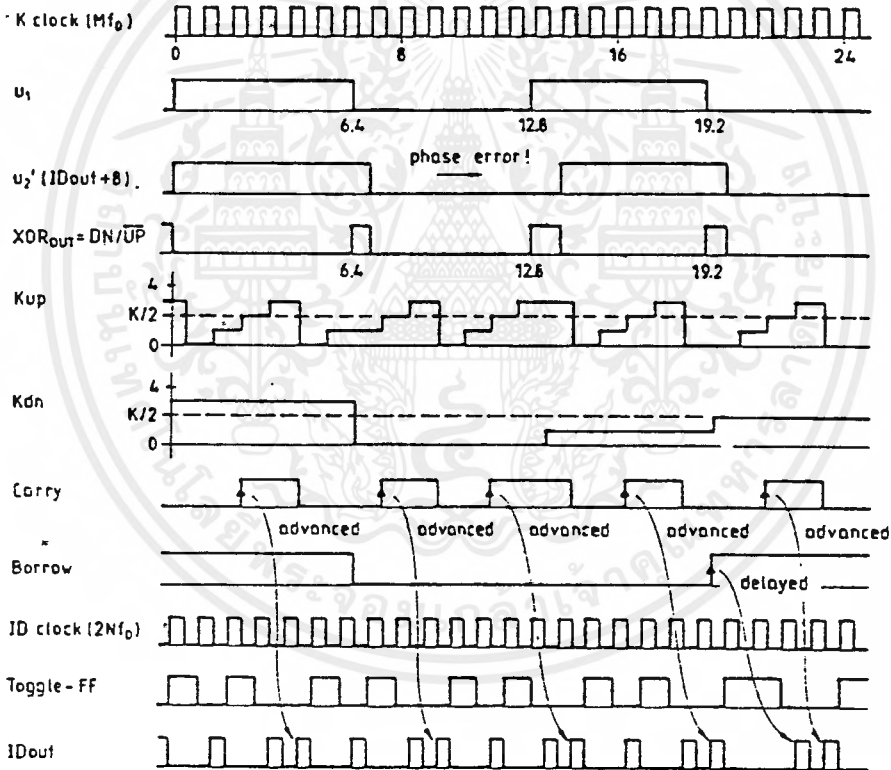
จาก LPLL และ DPLL เป็นที่รู้กันดีว่า ช่วงความถี่ที่ใช้ได้มีได้มาจากโฮลเรนจ์ แต่ได้จาก ล็อก-อิน-เรนจ์ หรือ พูล-อิน เรนจ์ (pull-in range) จึงเกิดคำถามว่าในกรณี ADPLL ใช้ตัวแปรใดกำหนด ซึ่งหากคำตอบไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ดีไม่ได้ จากการวิเคราะห์เฟสทรานเฟอร์ฟังก์ชัน จะเห็นได้ว่าวงจรเป็นแบบเฟริสออเดอร์ลูป (first order loop) ซึ่งมีค่าคงที่เวลาในรูปของคาบของสัญญาณอ้างอิง ในระบบที่มีความเร็วสูงมาก การซิมมูลจะแสดงให้เห็นว่า ถึงแม้ความถี่ที่ต่อเข้ามายัง อินพุทอ้างอิง จะมีสเตรปใหญ่มาก ADPLL ก็ยังไม่ล๊อคเอาท์ (lock out) ดังนั้นในทางปฏิบัติจึงดูเหมือนว่า pull-out range ,pull-in range และ hold range มีค่าประมาณเท่ากัน ในวงจรนี้ ซึ่งจะกล่าวถึง ADPLL ซิมมูลชั้น ต่อไปภายหลัง

เราสามารถสังเกตได้ว่า เอาท์พุท u'_2 จะแสดงริบเปิลหรือเฟสจิคเตอร์เมื่อความถี่อ้างอิง f_1 เลื่อนไปจากความถี่กลาง f_0 ถ้าผลลัพธ์ที่ได้จากการหาร f_1/f_0 มีค่าเป็นอัตราส่วน

$$f_1/f_0 = m/n$$

เมื่อ m,n เป็นเลขจำนวนเต็ม เราจะได้ว่า $mT_0=nT_1$ เมื่อ $T_0=1/f_1$ แสดงว่า n ไซเคิลของสัญญาณอ้างอิงมีระยะเวลาเท่ากับ m ไซเคิลของสัญญาณซึ่งมีความถี่เท่ากับความถี่กลาง ในกรณีนี้รูปแบบของริบเปิลของสัญญาณ u'_2 จะเป็นคาบเวลา ถ้า f_1/f_0 ไม่เป็นอัตราส่วน ริบเปิลจะไม่เกิดซ้ำ ๆ กันเป็นคาบเวลา



รูปที่ 2.16 เหมือนรูป 2.13 ใช้ EXOR PD. ความถี่อ้างอิงเป็น 1.25 เท่าของความถี่กลาง

2.7.3 การวิเคราะห์ขอบเขตของความถี่ของ ADPLL

จาก LPLL และ DPLL เป็นไปได้ที่จะหาเฟสทรานสเฟอร์ฟังก์ชัน และเออเรียร์ทรานสเฟอร์ฟังก์ชันของ ADPLL เพื่อให้ได้ค่าเฟสทรานสเฟอร์ฟังก์ชันจึงต้องใช้โมเดลทางคณิตศาสตร์ของ ADPLL โมเดลทางคณิตศาสตร์ของ ADPLL แสดงในรูปที่ 2.12 และรูปที่ 2.17 เฟสดีเทคเตอร์แทนด้วยซีโรออเดอร์บล็อก (zero-order block) ซึ่งมีเกนเป็น k_d สัญญาณเอาท์พุทของมันใช้คอนโทรลดิวิดีแฟคเตอร์ δ_k ของ K เคนันเตอร์ซึ่งนิยามว่าเป็นอัตราส่วนเฉลี่ยของเวลาที่อัทเคนเตอร์แอกทีฟ ดังนั้นสำหรับ $\delta_k=1$ ควาร์นเคนันเตอร์จะแอกทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตลอดเวลา ถ้าใช้ EXOR PD. จะมีค่าควิตีเฟกเตอร์เป็น 1 เมื่อเฟสเอเรอร์เป็น 90 องศา และมีค่าเป็น -1 เมื่อเฟสเอเรอร์มีค่าเป็น -90 องศา สำหรับ EXOR จึงได้ว่า

$$K_d = 2/\Pi$$

สำหรับ JK FF PD. gain มีค่า $K_d = 1/\Pi$

ในที่นี้เฟสดีเทคเตอร์เกนมีค่าเป็น 4 สำหรับ EXOR และมีค่าเป็น 2 สำหรับ JK FF เมื่อสัญญาณเฟสทุกตัวอยู่ในรูปเรเดียน ต่อไปจะมจดูโมเดลทางคณิตศาสตร์ของ K เคนเตอร์ ดังที่กล่าวมาแล้ว จำนวนแครี่พัลส์ที่ถูกผลิตขึ้นต่อวินาทีหาได้จาก

$$f_{\text{carry}} = \delta_k Mf_o/K$$

ผลที่ได้คือความถี่เชิงมุม ω_{carry} หาได้จาก $\omega_{\text{carry}} = \delta_k 2 \Pi Mf_o/K$

เนื่องจากเฟสทรานสเฟอร์ฟังก์ชันจะหาได้ต้องรู้เฟส θ_{carry} ของสัญญาณเอาต์พุตของ K เคนเตอร์ เพราะว่าเฟสได้จากการอินทิเกรตความถี่เชิงมุม ดังนั้น เฟสทรานสเฟอร์ฟังก์ชันของ K เคนเตอร์มีค่าเป็น

$$K_k(s) = H_{\text{carry}}(s)/\Delta k(s) = 2 \Pi Mf_o/Ks$$

เมื่อ $\Delta k(s)$ และ $H_{\text{carry}}(s)$ เป็นลาปลาซทรานสฟอร์ม ของสัญญาณเนื่องจากทุกๆ แครี่พัลส์ต่อเข้ากับ อินคริเมนต์อินพุตของ ID เคนเตอร์ เป็นสาเหตุให้ 1/2 ไซเคิลถูกบวกเข้าไปที่สัญญาณ IDout ของ ID เคนเตอร์จึงสามารถเขียนโมเดลอย่างง่ายได้เป็น ซีโรออเดอร์บล็อคซึ่งมีเกนเป็น 1/2 ส่วนหาร N เคนเตอร์ นั้นเป็นที่แน่นอนว่าเป็นบล็อคที่มีเกนเท่ากับ 1/N ดังนั้นจึงสามารถหาเฟสทรานสเฟอร์ฟังก์ชันได้ดังสมการ

$$H(s) = \omega_o/(S+\omega_o)$$

เมื่อ ω หาได้จาก: $\omega_o = K_d \Pi Mf_o/KN$ และเอเรอร์ทรานสเฟอร์ฟังก์ชัน $H_e(s)$ หาได้จาก

$$H_e(s) = S/(S+\omega_o)$$

ระบบ ADPLL เป็นแบบเฟรียสอเดอ ค่าไทม์คอนสแตนท์สามารถหาได้จาก

$$\tau = 1/\omega_o = KN/(K_d \Pi Mf_o)$$

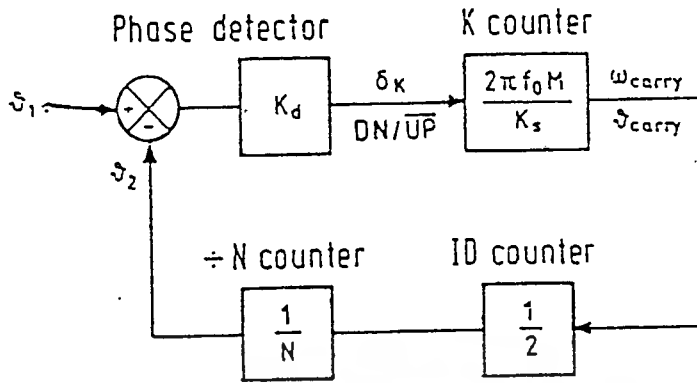
ดังนั้นสำหรับ EXOR PD. จะมีค่าไทม์คอนสแตนท์เป็น

$$\tau (\text{EXOR}) = KN/2Mf_o$$

และสำหรับ JK -FF PD.

$$\tau (\text{JK}) = KN/Mf_o$$

ถ้า K ที่ใช้ในการคำนวณถูกเลือกให้มีริบเปิดค่าสุด ($K = M/4$ สำหรับ EXOR และ $K = M/2$ สำหรับ JK-FF PD.) จะได้ว่า $\tau = (N/8) T_o$ สำหรับ EXOR และ $\tau = (N/2) T_o$ สำหรับ JK-FF PD. เมื่อ $T_o = 1/f_o$ ซึ่งแสดงให้เห็นว่า สำหรับค่า N น้อย ๆ ADPLL จะปรับเฟสให้เข้าที่ได้อย่างรวดเร็ว เฉพาะ N มีค่าใหญ่ ๆ เท่านั้น ที่การตอบสนองต่อเฟส หรือความถี่ที่เปลี่ยนไปช้าลง



รูปที่ 2.17 โมเดลทางคณิตศาสตร์ของ ADPLL

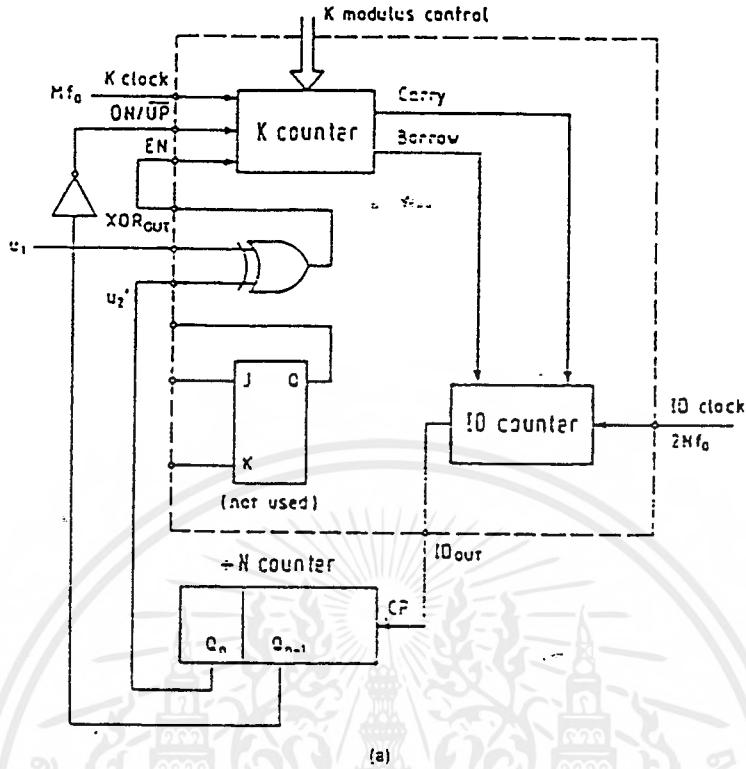
2.7.4 เทคนิคการกำจัดรีปเปิด

จากที่ได้ทราบแล้วว่า รีปเปิดใน ADPLL สามารถทำให้มีค่าน้อยที่สุดโดยการเลือกค่า K ที่ใช้ในการคำนวณให้เหมาะสม คือ $K = M/4$ เมื่อใช้ EXOR PD. และ $K = M/2$ เมื่อใช้ JK FF PD. แต่ยังมีอีกวิธีสามารถกำจัดรีปเปิดได้ ดังรูปที่ 2.18(a) แสดงการกำจัดรีปเปิดโดยใช้ค่า K ไม่ตรงตามที่กล่าวมาแล้ว ที่ขาอินพุตของ K เคา์เตอร์นั้นเพิ่มอินเวอร์เตอร์เข้าในวงจรจะทำงานเฉพาะเมื่ออินพุต EN เป็น high ในการลดรีปเปิด บิตที่มีนัยสำคัญเป็นอันดับ 2 ของ หาร, N คอนเวอร์เตอร์ (Q_{n-1}) จะถูกใช้เพิ่มขึ้นความถี่ที่ Q_{n-1} เอาท์พุทมีค่าเป็น 2 เท่า ของความถี่สัญญาณเอาท์พุท u_2 ในวงจรนี้เราใช้ EXOR PD. เอาท์พุทไม่ได้ต่อเข้ากับ DN/UP อินพุตของ K เคา์เตอร์แต่ต่อเข้ากับขาอินพุต อินพุต EN ทำให้สัญญาณ u_1 และ u_2 มีเฟสใกล้เคียงกันดังรูปที่ 2.18(b) ถ้าอินพุต เป็น 0 ตลอดเวลา ทั้งอ็อปและควาน์เคา์เตอร์จะไม่ทำงาน เฉพาะเมื่อความถี่อ้างอิงเปลี่ยนแปลงไปจากความถี่กลางจะเกิดความต่างเฟสขึ้นระหว่าง u_1 และ u_2 ดังแสดงในรูปที่ 2.18(c) แสดงกรณีเฟส error มีค่าสูงสุด ขณะนี้สัญญาณ EN จะ high เป็นช่วง 50 % ของเวลาหนึ่งไซเคิลของสัญญาณอ้างอิง ในเวลาเดียวกัน อ็อปเคา์เตอร์จะแอกทิฟ ดังนั้น K เคา์เตอร์จะผลิตจำนวนแคร์รี่ขึ้นมาโดยเฉลี่ยมีค่าเป็นครึ่งหนึ่งของแคร์รี่ที่เกิดจากวงจร ADPLL ปกติ (รูปที่ 2.12) ส่งผลให้โฮลเรนจ์ ถูกลด ทอนลงอย่างหยาบ ๆ โดยแฟคเตอร์ของ 2 ซึ่งแสดงค่าโฮลเรนจ์ของวงจรนี้ได้โดยสมการ

$$\Delta f_H = Mf_0 / (2N(2K+1))$$

ถ้า $M=2N$ และ K มีค่ามาก จะสามารถเขียนสมการใหม่ได้เป็น

$$\Delta f_H = f_0 / 2K$$

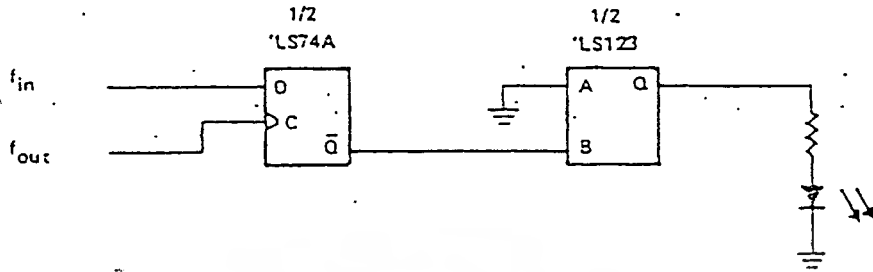


รูปที่ 2.18 แสดงวงจรกำจัดรีเบิ้ลของวงจร ADPLL.

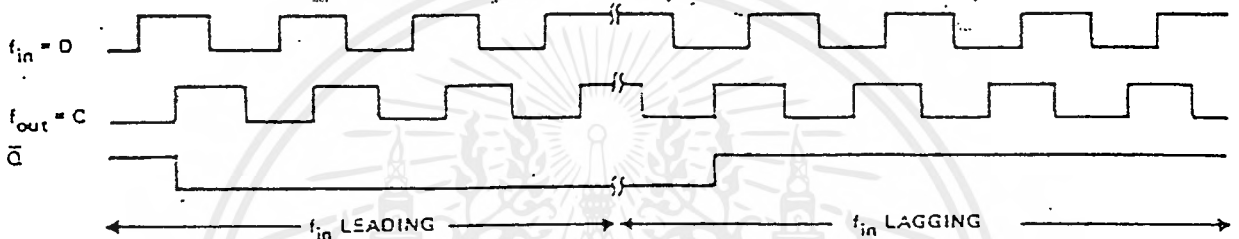
2.8 ชนิดของการประยุกต์ใช้ ADPLL

เนื่องจาก ADPLL ไอซีมีราคาถูก วงจรเฟสล็อกชนิดนี้สามารถใช้งานแทนดิจิตอลเฟสล็อกได้ ในรูปแบบต่าง ๆ ในทุกวันนี้ ADPLL จะใช้ระบบดิจิตอล คอมมิวนิเคชั่น ตัวอย่างที่คือหนึ่งก็คือ ฟรีควนซีซิปฟิเคียอิง ดีโคเดอ์(FSK decoder) ในข้อมูลการส่งแบบ FSK นั้น ขบวนการข้อมูลไบนารีจะถูกส่งโดยใช้ 2 ความถี่ที่แตกต่างกัน ความถี่หนึ่งใช้แทนลอจิก 1 และอีกความถี่หนึ่งใช้แทนลอจิก 0

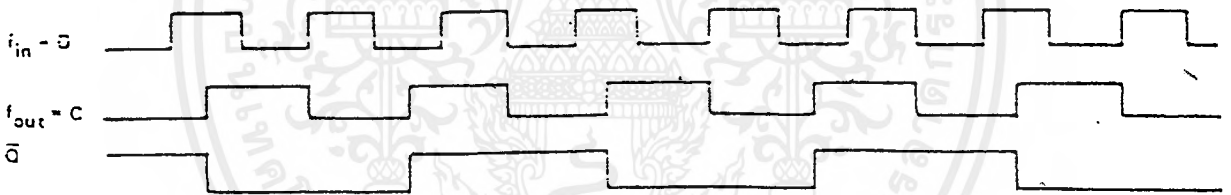
2.9 วงจรล็อก ดีเทคชั่น (lock detection)



(a) LOCK DETECTION CIRCUIT



(b) LOCK CONDITION WAVEFORMS



รูปที่ 2.19(a) แสดงวงจรล็อกดีเทคชั่นอย่างง่าย ซึ่งสามารถสร้างจาก D-flipflop และโมโนสเตเบิล มัลติไวเบเรเตอร์ (monostable multivibrator) รูปคลื่นแสดงในรูปที่ 2.19(b) แสดงว่าถ้าวงจรดิจิทัลเฟสล็อกลูปอยู่ในสภาวะล็อก Q จาก D-flipflop จะมีค่า high หรือ low ขึ้นอยู่กับความต่างเฟสระหว่าง ความถี่อินพุตและความถี่เอาต์พุต ผลที่ได้นี้ทำให้ LED ไม่ติดไฟ เมื่อไขของการไม่ล็อกแสดงในรูปที่ 2.19 (c) ในเงื่อนไขนี้ D-flipflop จะให้เอาต์พุตเป็นพัลส์อนุกรมออกมาซึ่งทำให้ LED มีไฟติด

ในวงจร ECPD ดิจิตอลเฟสล็อกลูป วงจรล็อกนี้ทำงานได้ดีสำหรับทุกความถี่ภายในช่วงล็อกเรนจ์ที่ความถี่อินพุตเท่ากับความถี่กลางถ้าความถี่อินพุตเปลี่ยนแปลงใกล้เคียงความถี่กลาง ผลการไม่ล็อกจะแสดงออกมาผิด วงจรนี้ทำงานที่ความถี่ภายใต้ค่าล็อกเรนจ์ลูปของเฟสดีเทคเตอร์

บทที่ 8

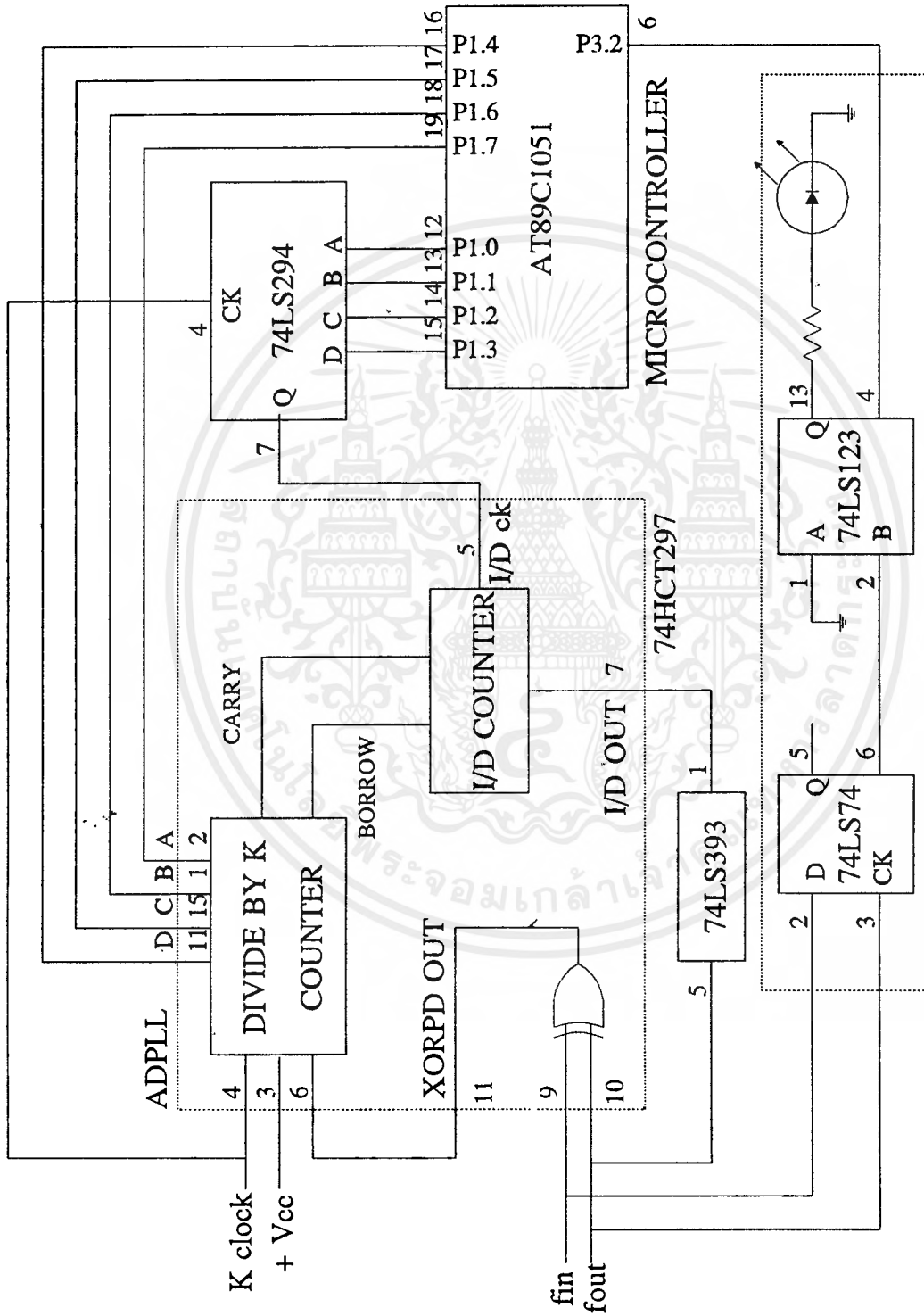
การคำนวณและการสร้าง

8.1 การออกแบบวงจร ADPLL โดยใช้ไมโครคอนโทรลเลอร์ควบคุม

การออกแบบ ADPLL พารามิเตอร์ K ต้องมีค่าเป็นจำนวนเต็มยกกำลังของ 2 สามารถเลือกค่าได้สองยกกำลัง 3 ถึง สองยกกำลัง 17 (ในช่วง $2^3 - 2^{17}$) สำหรับหาร N เคาต์เตอร์ใช้นับสัญญาณไบนารีในทุก ๆ กรณี ดังนั้น N จึงมักเป็นจำนวนเต็มยกกำลังของ 2 ด้วย จากที่กล่าวมาแล้วในหัวข้อก่อน ๆ ว่าค่า M, K, N ในการออกแบบ ควรมีค่าเหมาะสมที่ทำให้เกิดริบเบิลต่ำที่สุด คือ $M=4K$ เมื่อใช้ EXOR PD. หรือ $M=2K$ เมื่อใช้ JK-FF PD.

สำหรับวงจร ADPLL ที่สร้างขึ้นนี้เป็นวงจร ADPLL ที่ใช้ไมโครคอนโทรลเลอร์ในการควบคุมความถี่กลาง (Center frequency) โดยมีโครงสร้างของวงจรแสดงดังรูปที่ 3.1





LOCK DETECTION

รูปที่ 3.1 วงจร ADPLL ที่ใช้ไมโครคอนโทรลเลอร์ควบคุมความถี่ตก

ส่วนประกอบของวงจรนั้นแบ่งออกเป็น 3 ส่วน ได้แก่

1. ส่วนวงจร ADPLL ซึ่งเราใช้ IC เบอร์ 74HCT297.
2. วงจร Lock Detection ใช้ในการตรวจสอบสถานะล็อกของความถี่ และส่งสัญญาณไปยังไมโครคอนโทรลเลอร์
3. ส่วนของไมโครคอนโทรลเลอร์นั้น เราได้เลือกใช้ไมโครคอนโทรลเลอร์เบอร์ 89C1051 ซึ่งมีหน่วยความจำโปรแกรม 1 Kbyte หน่วยความจำข้อมูล 64 byte และ I/O port 2 พอร์ต คือ พอร์ตที่ 1 และ พอร์ตที่ 3 ในการใช้งาน.

จากวงจร ADPLL มีขั้นตอนในการกำหนดค่าพารามิเตอร์ต่าง ๆ ดังนี้

1. กำหนดค่าความถี่กลาง (center frequency:fc) ที่ต้องการ
2. กำหนดค่า K โดยให้ค่า K อยู่ในช่วง $2^3 - 2^{17}$ ดังตารางกำหนดค่า K ดังนี้

D	C	B	A	MODULO(K)
L	L	L	L	Inhibited
L	L	L	H	2^3
L	L	H	L	2^4
L	L	H	H	2^5
L	H	L	L	2^6
L	H	L	H	2^7
L	H	H	L	2^8
L	H	H	H	2^9
H	L	L	L	2^{10}
H	L	L	H	2^{11}
H	L	H	L	2^{12}
H	L	H	H	2^{13}
H	H	L	L	2^{14}
H	H	L	H	2^{15}
H	H	H	L	2^{16}
H	H	H	H	2^{17}

3. กำหนดค่า K clock ที่ใช้ป้อนให้กับ K counter โดยคำนวณจาก

$$K \text{ clock} = Mfc$$

เมื่อ $M = 4K$ สำหรับ EXOR phase detector.

และ $M = 2K$ สำหรับ JK-flipflop phase detector.

4. กำหนดค่าโฮลเรนจ์ที่ต้องการ

เอกสารนี้เป็นเอกสารประกอบการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. หาค่า N สำหรับวงจรหาร N counter โดยคำนวณได้จาก

$$\begin{aligned}\Delta f_H &= Mfc / 2KN \\ &= 2fc/N \quad \text{สำหรับ EXOR phase detector .} \\ &= fc/N \quad \text{สำหรับ JK-flipflop phase detector.}\end{aligned}$$

โดย N มีค่าเป็นจำนวนเต็มยกกำลังของ 2.

6. หาค่า ID clock ที่ป้อนให้กับ ID counter จาก ID clock = $2Nfc$

จากสมการข้างต้นจะเห็นว่า ถ้าเรากำหนดค่า N ของ วงจรหาร N เคาน์เตอร์และ K clock ไว้คงที่ เราจะสามารถเลื่อนความถี่กลางของวงจรได้โดยง่าย โดยการเปลี่ยนค่า K ของ K counter และ ID clock. ซึ่งในวงจรที่ออกแบบขึ้นมาใช้งานในการทดลองนี้ เราใช้ค่าโฮลเรนจ์เท่ากับ $fc/4$ ($N=8$) และใช้ค่า K clock คงที่ที่ค่า 3.2 MHz ในช่วงเริ่มต้นของการทำงานนั้น วงจรจะเริ่มทำงานที่ค่าความถี่กลาง 50 KHz ซึ่งเราได้เซตค่า K ไว้เท่ากับ 16 และค่า $M = 64$ ดังนั้น ID clock ของเราที่ใช้ในความถี่กลางนี้มีค่าเท่ากับ $2Nfc = 2 \cdot 8 \cdot 50 \text{ KHz} = 8 \text{ MHz}$ ซึ่งได้จากการนำค่า K clock ไปผ่าน 74LS294 ซึ่งเป็นเคาน์เตอร์ที่สามารถโปรแกรมค่าช่องการนับได้ตั้งแต่ $2^2 - 2^{15}$

เช่น ถ้าเราต้องการ ID clock = 800 KHz เราก็ทำการเซตค่าการนับภายใน IC 74LS294 ให้มีค่า $2^2 = 4$ ก็จะได้ ID clock = 800 KHz ตามต้องการ

ตารางแสดงการโปรแกรมค่าการนับของ IC 74LS294

Frequency Division							
Programming Input				Q		TP	
D	C	B	A	Binary Decimal		Binary Decimal	
L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit
L	L	H	L	2^2	4	2^9	512
L	L	H	H	2^3	8	2^9	512
L	H	L	L	2^4	16	2^9	512
L	H	L	H	2^5	32	2^9	512
L	H	H	L	2^6	64	2^9	512
L	H	H	H	2^7	128	Disable low	
H	L	L	L	2^8	256	2^2	4
H	L	L	H	2^9	512	2^3	8
H	L	H	L	2^{10}	1,024	2^4	16
H	L	H	H	2^{11}	2,048	2^5	32
H	H	L	L	2^{12}	4,096	2^6	64
H	H	L	H	2^{13}	8,192	2^7	128
H	H	H	L	2^{14}	16,384	2^8	256
H	H	H	H	2^{15}	32,768	2^9	512

ในวงจรทดลองนั้นเราใช้ไมโครคอนโทรลเลอร์ในการควบคุมการลีดโดยการควบคุมค่าการนับของ K counter และค่าการนับของ IC 74LS294 ซึ่งใช้ในการสร้าง ID clock ให้เหมาะสม โดยใช้พอร์ท 1 เพียง 4 บิตล่างในการควบคุมค่าการนับของ 74LS294 และพอร์ท 1 จำนวน 4 บิตบนควบคุมการนับค่าของ K counter โดยตรวจสอบภาวะลีดด้วยวงจร lock detection เอาท์พุทของวงจร lock detection จะต่อเข้ากับพอร์ทที่ 3 บิตที่ 2 (interrupt 0) เพื่อแจ้งให้ไมโครคอนโทรลเลอร์ทราบว่าเกิดสภาวะไม่ลีดขึ้นแล้วทำการเลื่อนความถี่กลางให้เหมาะสมใหม่ โดยการเปลี่ยนค่าการนับของ K counter และค่าการนับของ 74LS294

โปรแกรมการควบคุมไมโครคอนโทรลเลอร์ของวงจร ADPLL

```

ORG 0000H
AJMP MAIN
ORG 0003H
SJMP INTIO
;
ORG 0030H
MAIN: MOV A,#22H           ;parameter preset
      MOV P1,A
      ACALL DELAY
      MOV IE,#81H
WAIT:  NOP
      SJMP WAIT
;
INTIO: CJNE A,#0FFH,SHIF
      MOV A,#22H           ;parameter preset
      MOV P1,A
      ACALL DELAY
      RETI
;
SHIF:  ADD A,#11H         ;shift center frequency
      MOV P1,A
      ACALL DELAY
      RETI
;
DELAY: MOV R1,#20H
      D1:  MOV R0,#0FFH
      D2:  DJNZ R0,D2
          DJNZ R1,D1
      RET
      END

```

3.2 การประยุกต์ใช้งานวงจร ADPLL เป็นวงจร FSK decoder 4 ระดับ

เราสามารถประยุกต์ใช้งานวงจร ADPLL เป็นวงจร FSK decoder ได้โดยง่ายโดยการเปลี่ยนแปลงในส่วนของ software เราสามารถกำหนดรหัสสัญญาณดิจิทัลหลายบิตแทนความถี่ในช่วงใดๆที่เราสามารถล๊อคได้ สำหรับการทดลองของเรานั้นได้กำหนด ช่วงความถี่หนึ่งที่สามารถล๊อคได้แทนด้วยข้อมูลสองบิต ใช้ช่วงความถี่กลาง 4 ช่วง โดยโปรแกรมที่ใช้ควบคุมไมโครคอนโทรลเลอร์สำหรับวงจร FSK decoder 4 ระดับนั้นสามารถเขียนได้ดังนี้

```

ORG 0000H
AJMP MAIN
ORG 0003H
SJMP INTIO
;
ORG 0030H
MAIN: MOV A,#32H      ;parameter preset
      MOV P1,A
      ACALL DELAY
      MOV IE,#81H
WAIT:  NOP
      ACALL DECODE
      SJMP WAIT
;
INTIO: CJNE A,#65H,JUNE
      MOV A,#32H      ;parameter preset
      MOV P1,A
      ACALL DELAY
      RETI
;
JUNE:  ADD A,#11H     ;june center frequency
      MOV P1,A
      ACALL DELAY
      RETI
;

```

```

DELAY:  MOV R1,#20H
        D1:  MOV R0,#0FFH
        D2:  DJNZ R0,D2
           DJNZ R1,D1
           RET
        ;
DECODE: CJNE A,#32H,CODE2
        SETB P3.0
        SETB P3.1
        RET
CODE2:  CJNE A,#43H,CODE3
        CLR P3.0
        SETB P3.1
        RET
CODE3:  CJNE A,#54H,CODE4
        SETB P3.0
        CLR P3.1
        RET
CODE4:  CLR P3.0
        CLR P3.1
        RET
        ;
        END
        END

```

บทที่ 4

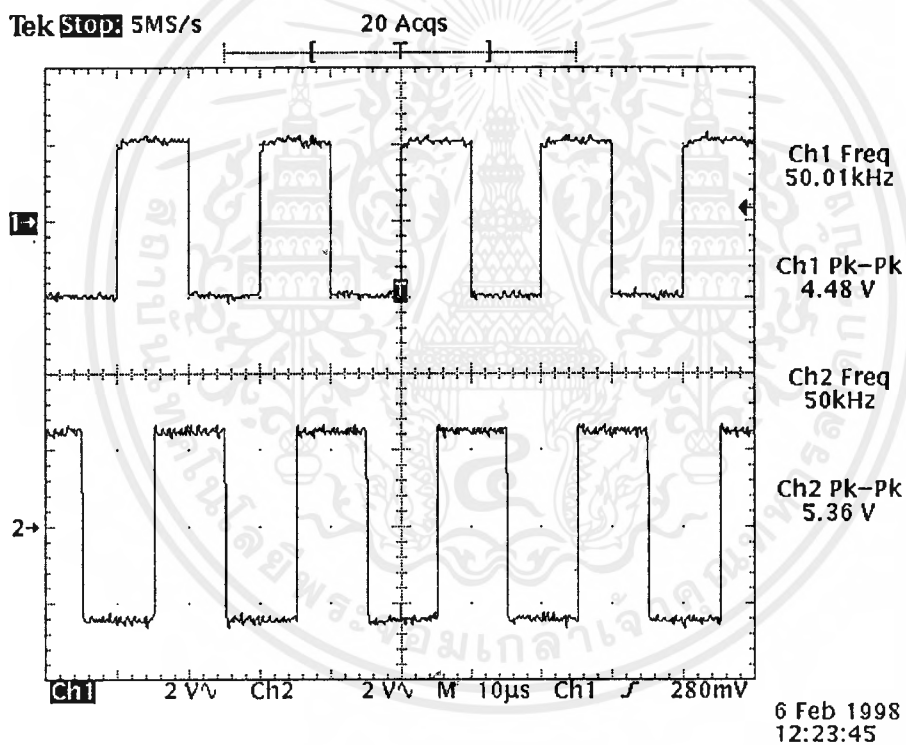
การทดลองและผลการทดลอง

4.1 การทดลองและผลการทดลองวงจร ADPLL โดยใช้ไอซี 74HC/HCT297 และไมโครคอนโทรลเลอร์

1. $f_c = 50 \text{ KHz}$, $M = 64$, $N = 8$, $K = 16$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 800 \text{ KHz}$

Hold range = 12.5 KHz.

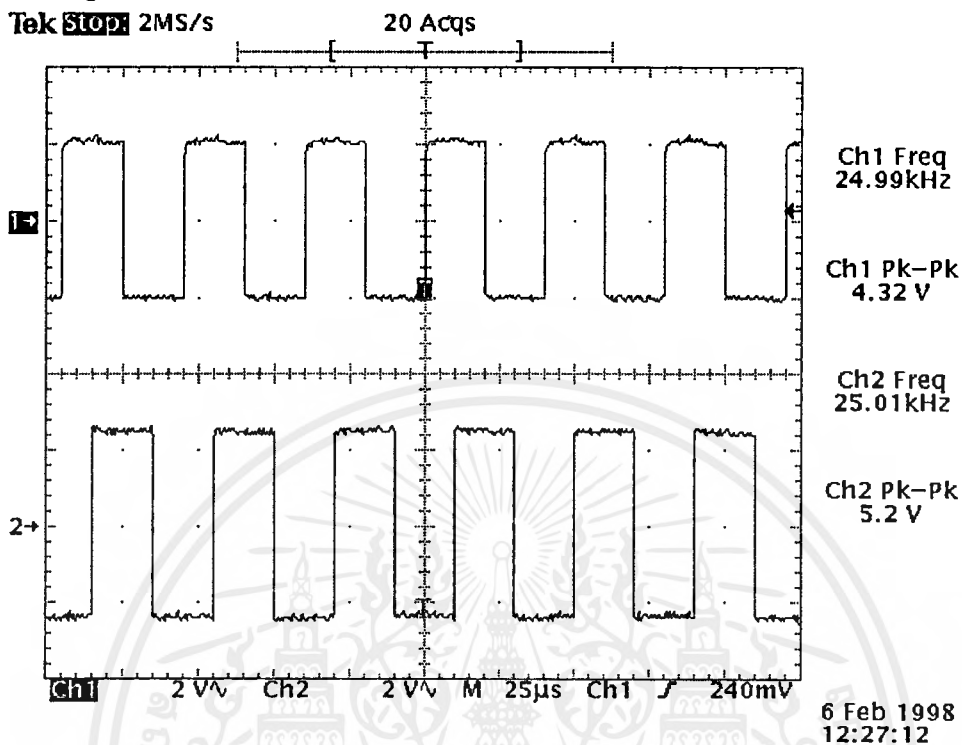
หมายเหตุ Ch1 แทนสัญญาณเอาต์พุตของวงจร , Ch2 แทนสัญญาณอ้างอิงอินพุต



รูปที่ 4.1 แสดงการทำงานของวงจรที่มีความถี่กลางเท่ากับ 50 kHz

2. $f_c = 25 \text{ KHz}$, $M = 128$, $N = 8$, $K = 32$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 400 \text{ KHz}$

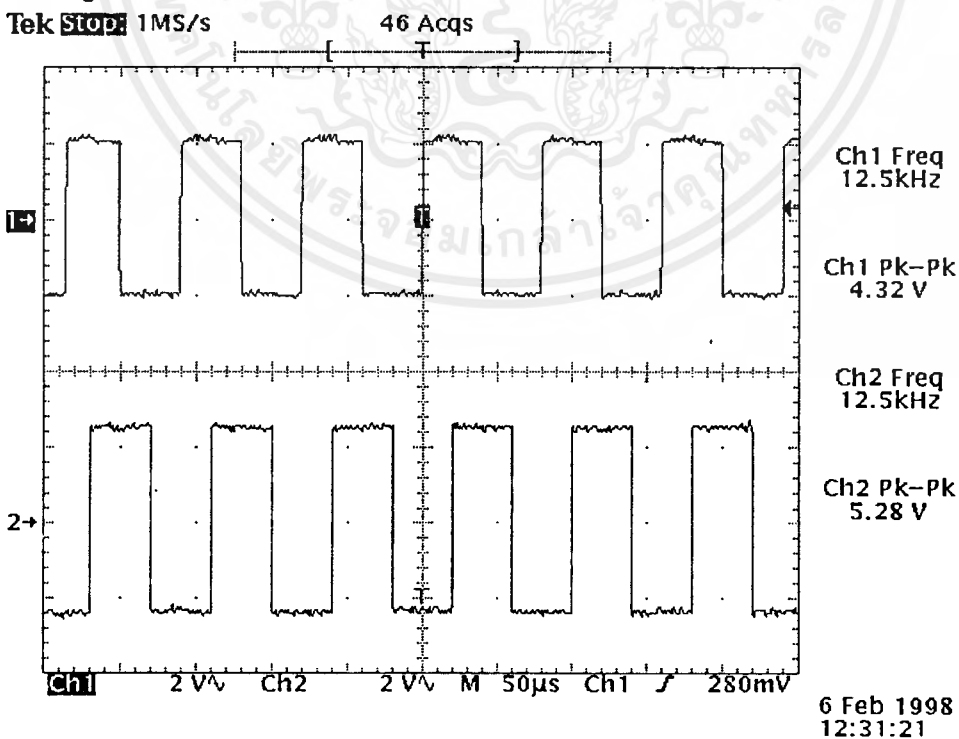
Hold range = 6.25 KHz.



รูปที่ 4.2 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 25 kHz

3. $f_c = 12.5 \text{ KHz}$, $M = 256$, $N = 8$, $K = 64$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 200 \text{ KHz}$

Hold range = 3.125 KHz.

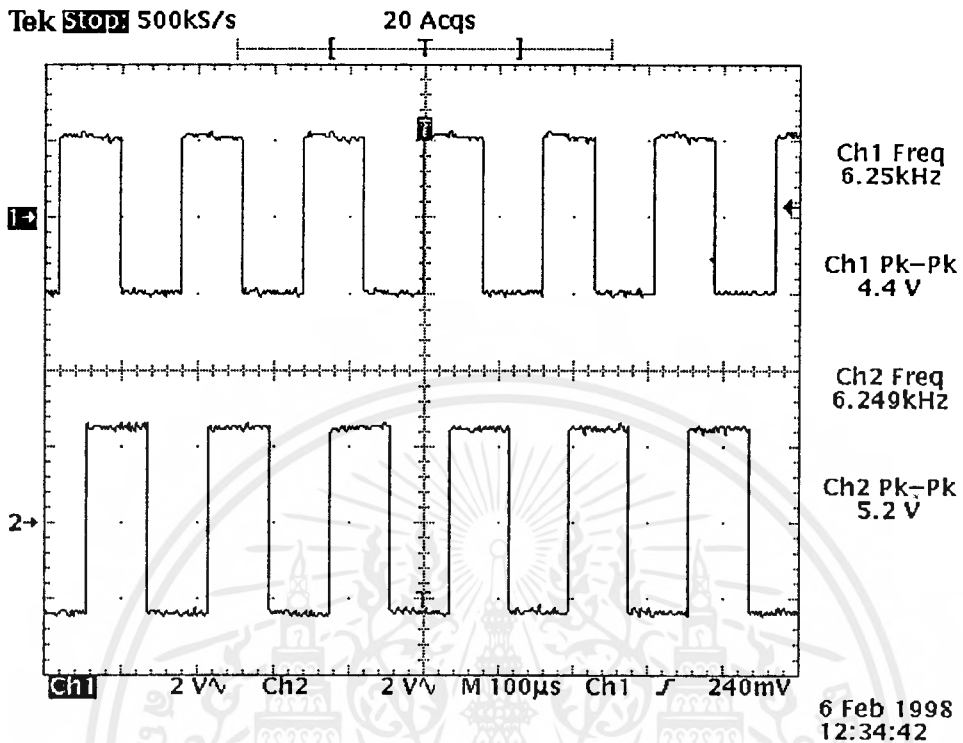


รูปที่ 4.3 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 12.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. $f_c = 6.25 \text{ KHz}$, $M = 512$, $N = 8$, $K = 128$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 100 \text{ KHz}$

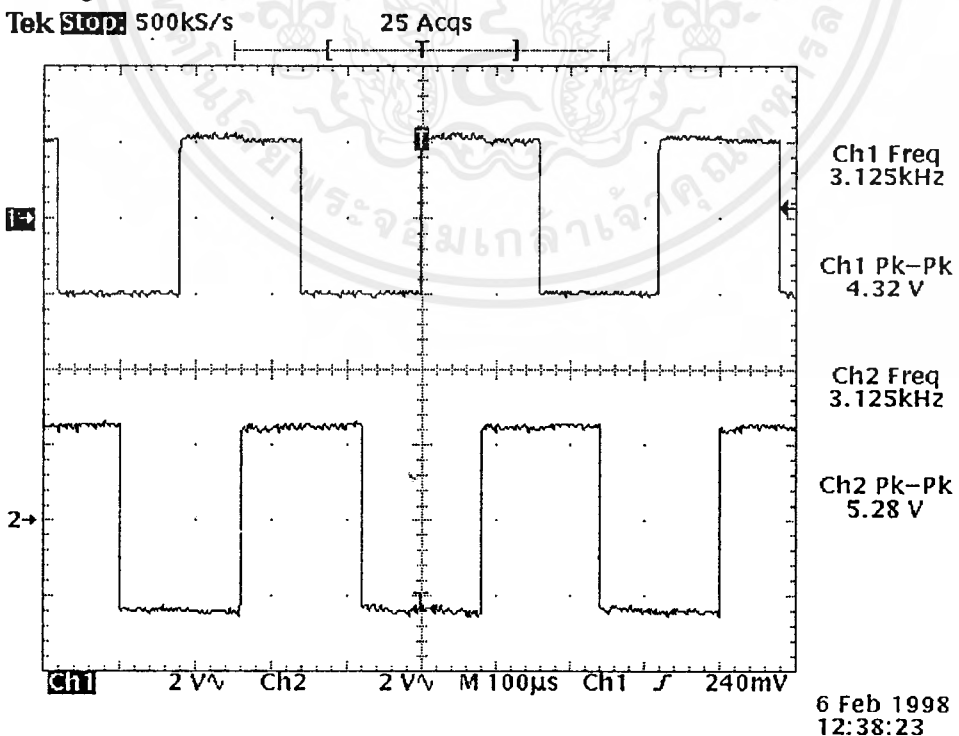
Hold range = 1.5625 KHz.



รูปที่ 4.4 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 6.25 kHz

5. $f_c = 3.125 \text{ KHz}$, $M = 1024$, $N = 8$, $K = 256$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 50 \text{ KHz}$

Hold range = 0.78125 KHz.

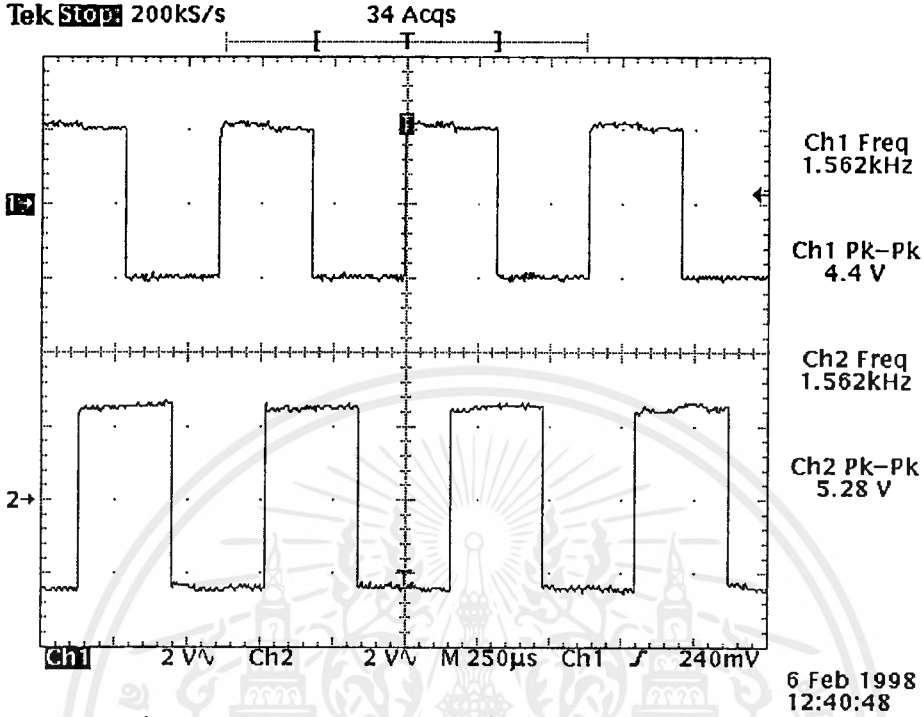


รูปที่ 4.5 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 3.125 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. $f_c = 1.5625 \text{ KHz}$, $M = 2048$, $N = 8$, $K = 512$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 25 \text{ KHz}$

Hold range = 0.390625 KHz.

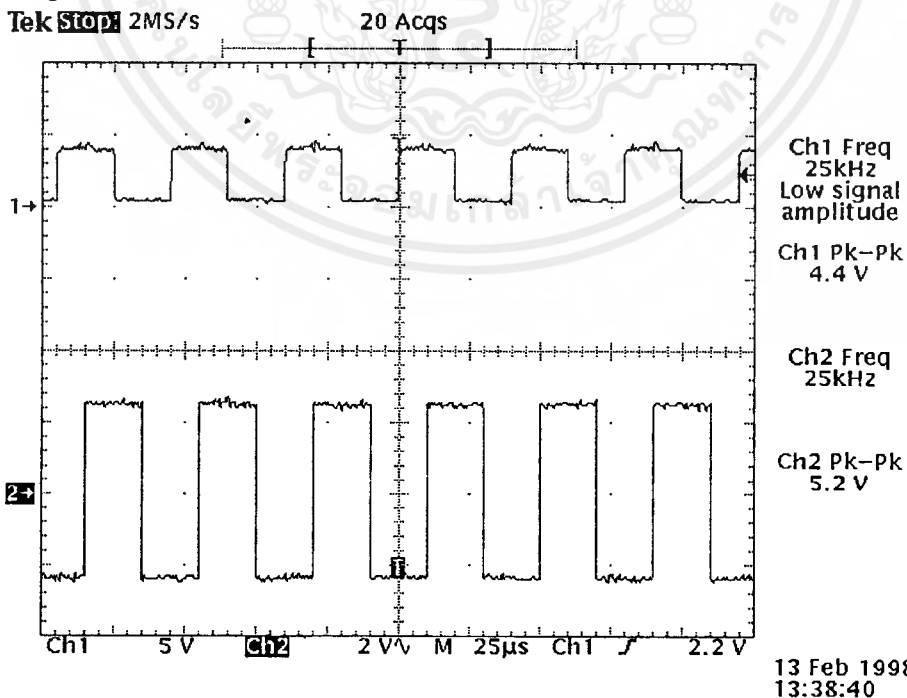


รูปที่ 4.6 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 1.5625 kHz.

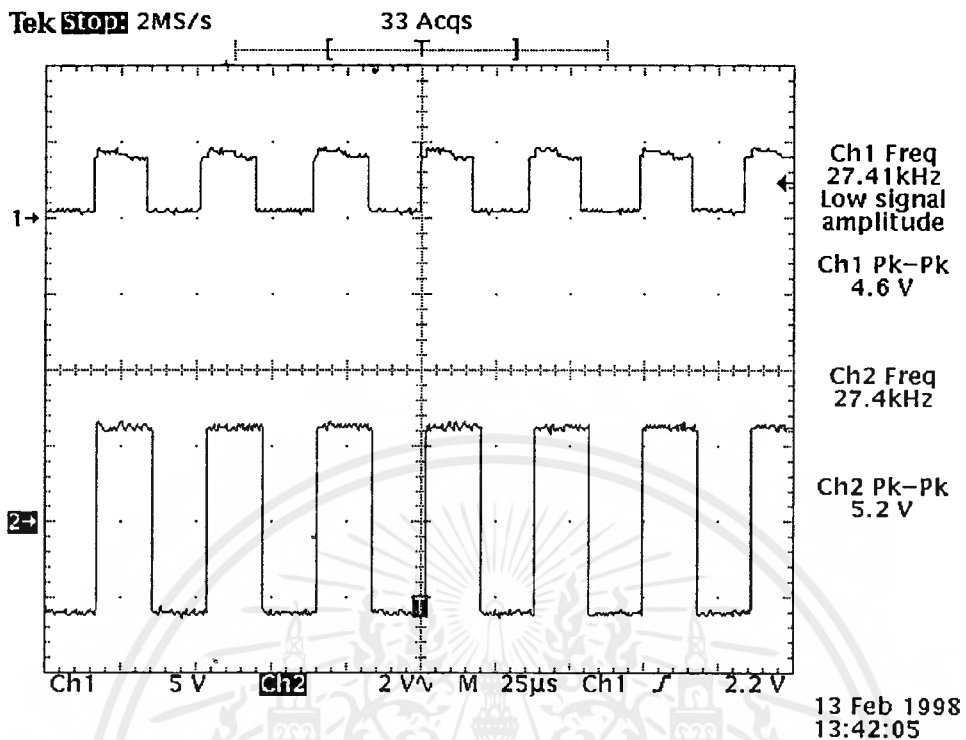
4.2 การทดลองและผลการทดลองของวงจร FSK decoder 4 ระดับ

1. $f_c = 25 \text{ kHz}$, $M = 128$, $N = 16$, $K = 32$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 800 \text{ kHz}$.

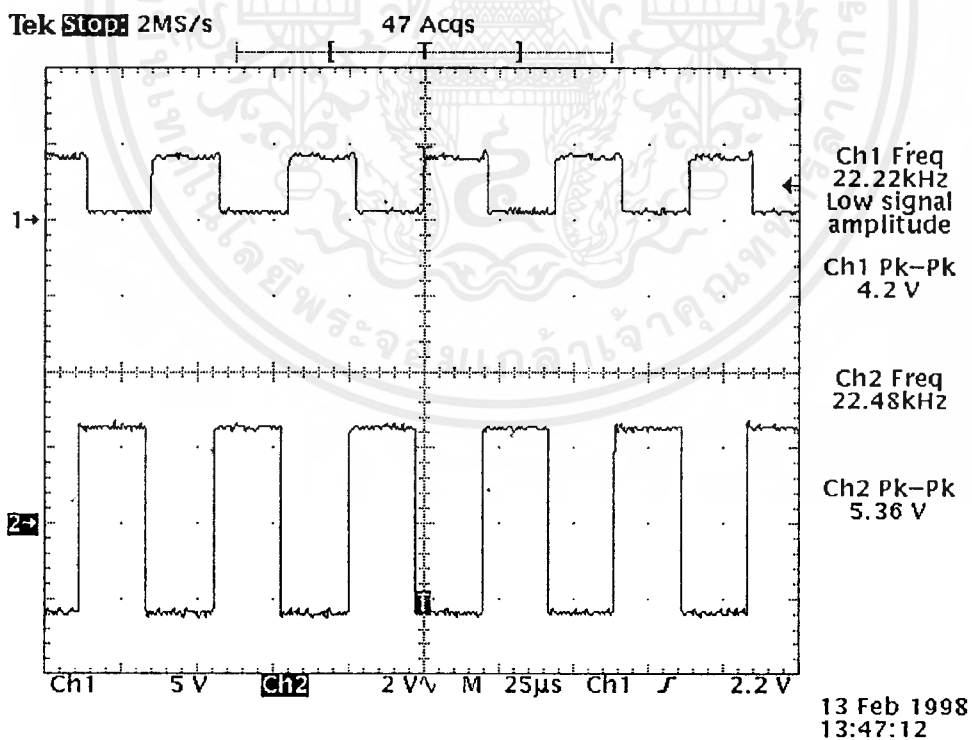
Holdrange = 3.125 kHz.



รูปที่ 4.7 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 25 kHz แสดงด้วยรหัส 11



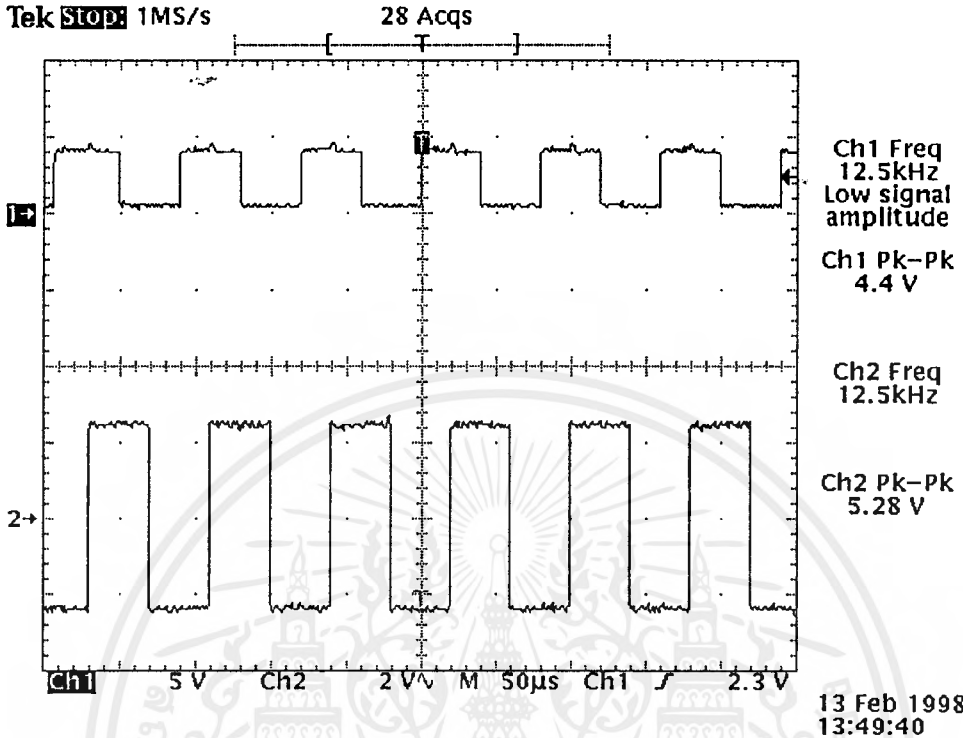
รูปที่ 4.8 แสดงการลือคที่ค่าความถี่เท่ากับ $f_c + \Delta f_H$



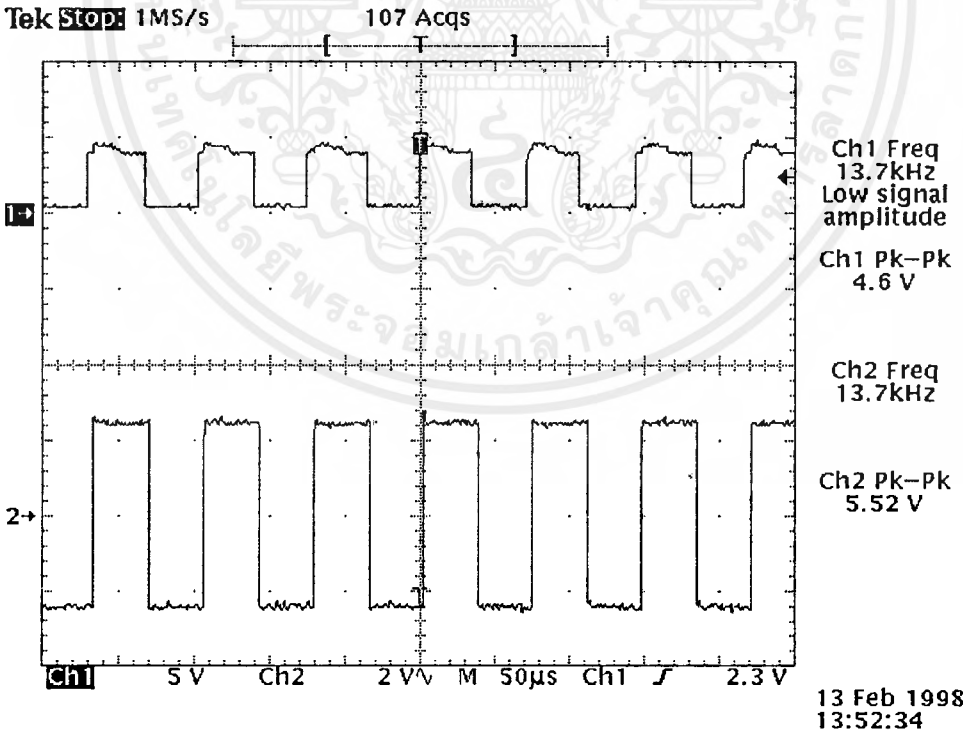
รูปที่ 4.9 แสดงการลือคที่ค่าความถี่เท่ากับ $f_c - \Delta f_H$

2. $f_c = 12.5 \text{ KHz}$, $M = 256$, $N = 16$, $K = 64$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 400 \text{ KHz}$

Hold range = 1.5625 KHz.

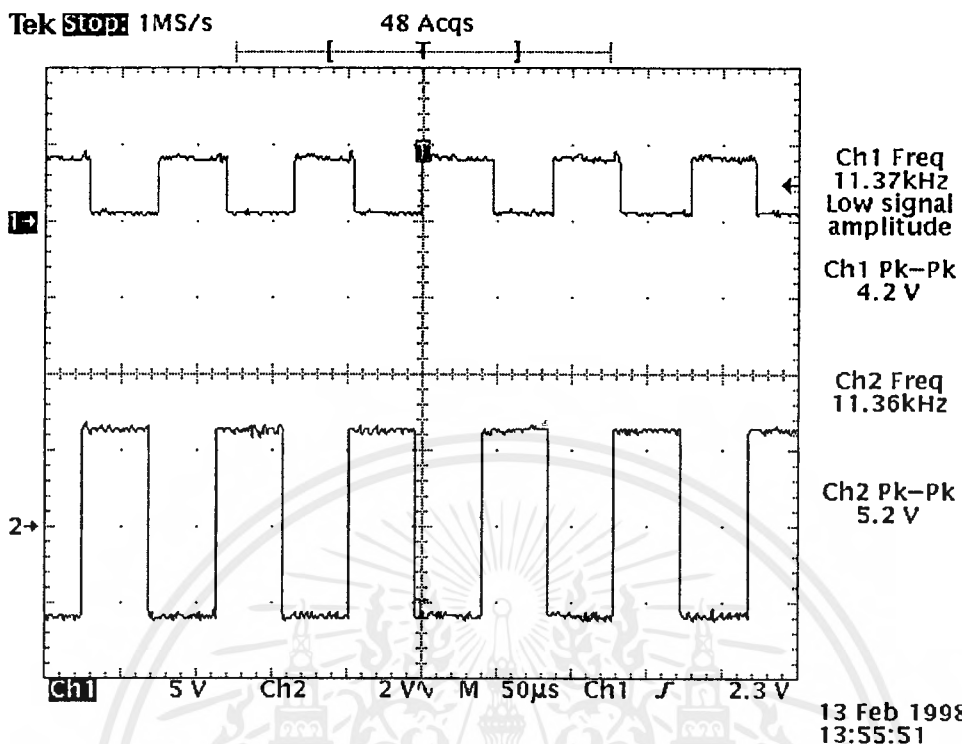


รูปที่ 4.10 แสดงการทำงานที่ความถี่เท่ากับ 12.5 kHz แสดงด้วยรหัส 10



รูปที่ 4.11 แสดงการลือกที่ค่าความถี่เท่ากับ $f_c + f_H$

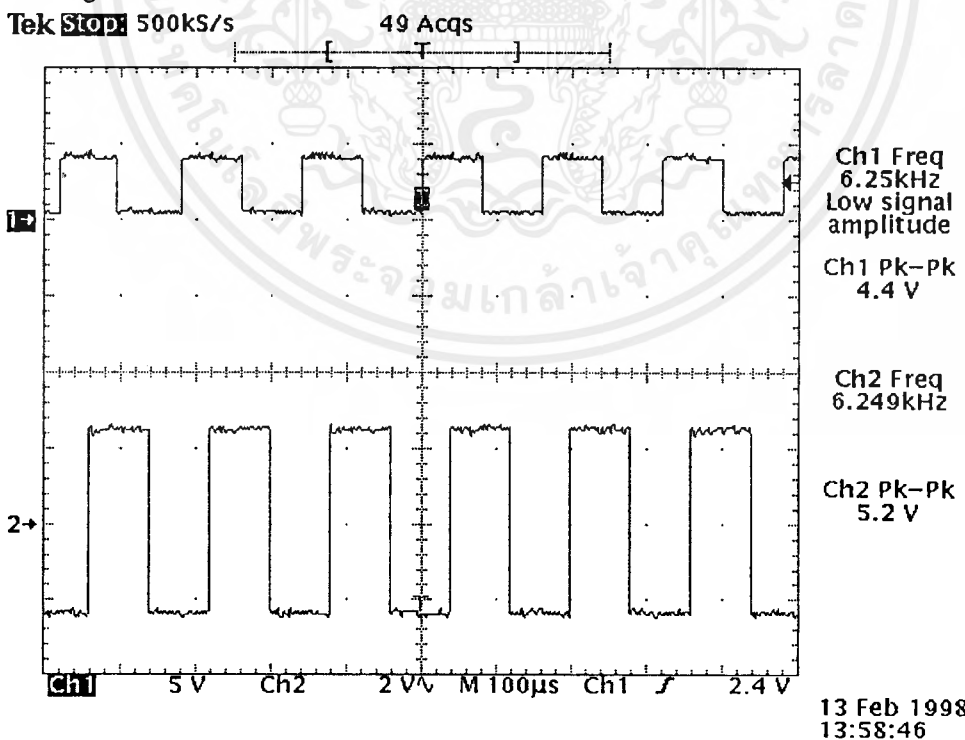
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงการลื่นที่ค่าความถี่เท่ากับ $f_c - \Delta f_H$

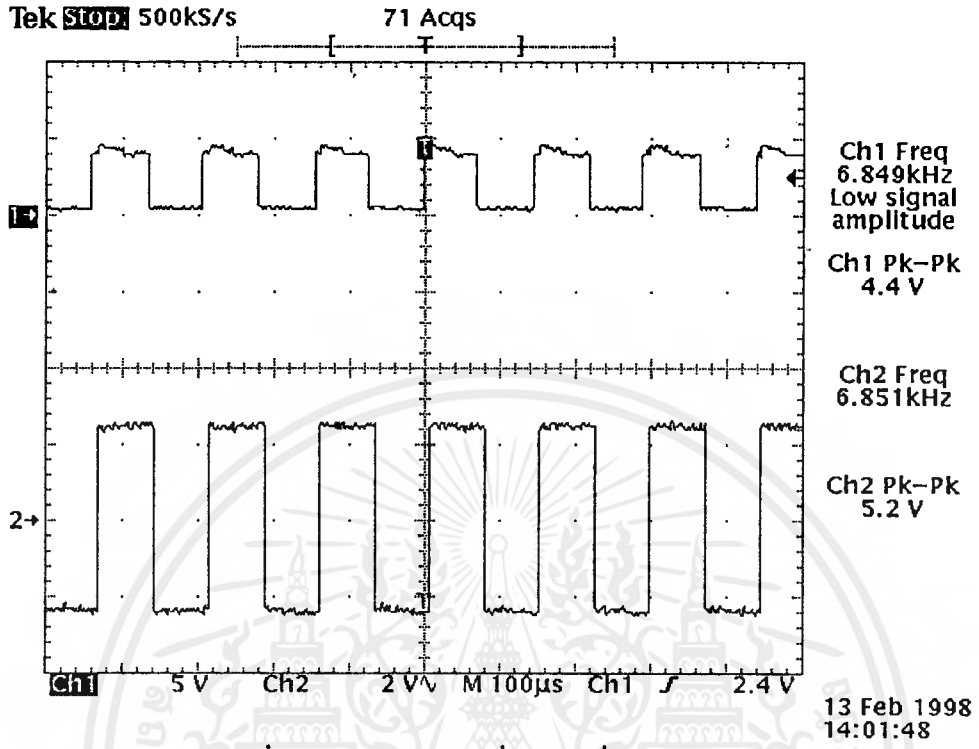
3. $f_c = 6.25\text{kHz}$, $M = 512$, $N = 16$, $K = 128$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 200 \text{ KHz}$

Hold range = 0.78125 KHz.

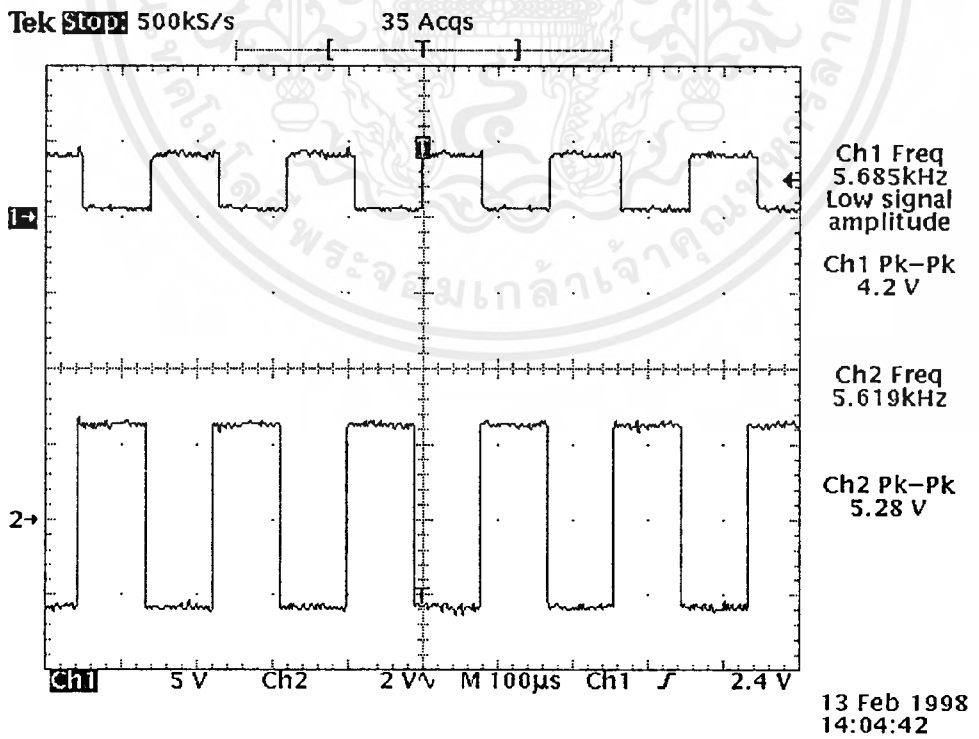


รูปที่ 4.13 แสดงการทำงานที่ความถี่กลางเท่ากับ 6.25 kHz แสดงด้วยรหัส 01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงการลีดที่ค่าความถี่เท่ากับ $f_c + \Delta f_H$

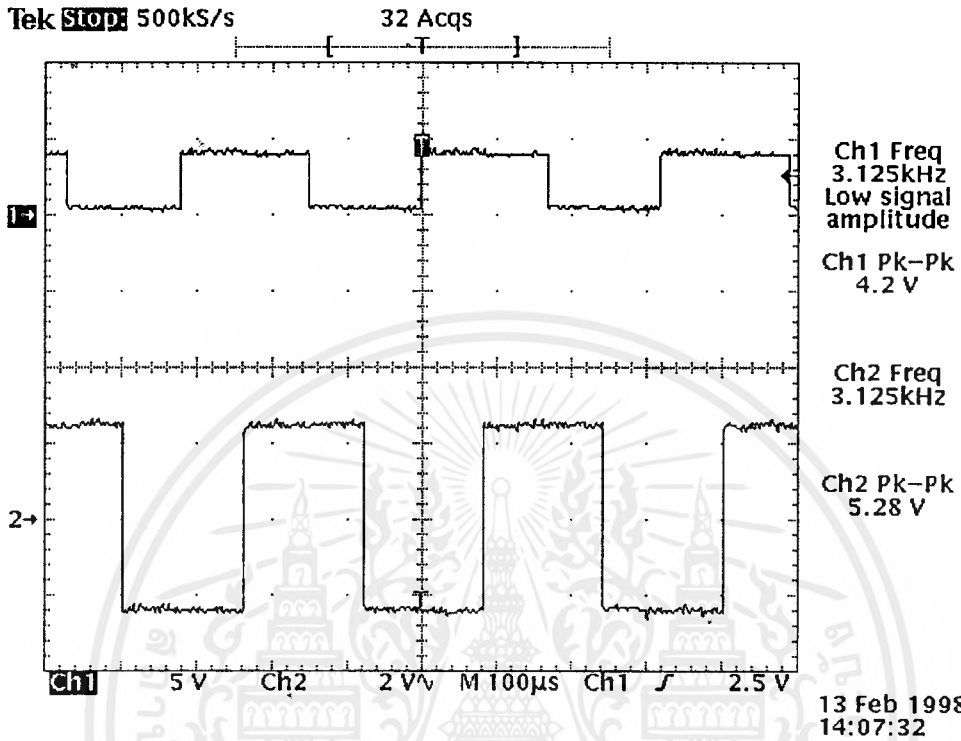


รูปที่ 4.15 แสดงการลีดที่ค่าความถี่เท่ากับ $f_c - \Delta f_H$

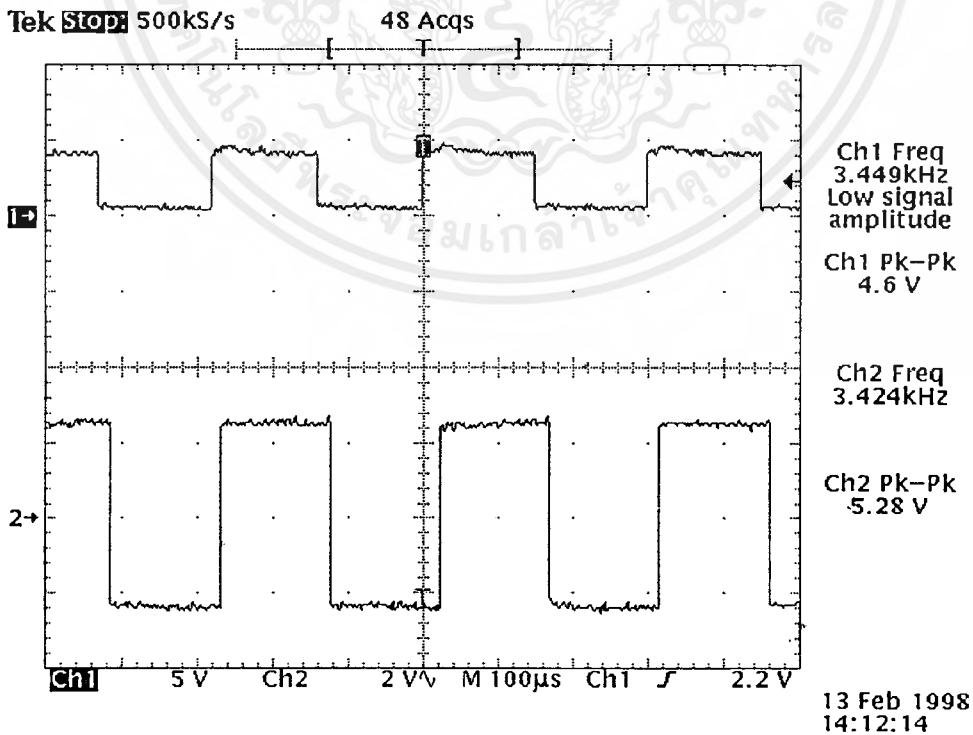
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. $f_c = 3.125 \text{ kHz}$, $M = 1024$, $N = 16$, $K = 256$, $K \text{ clock} = 3.2 \text{ MHz}$, $ID \text{ clock} = 100 \text{ KHz}$

Hold range = 0.390625 KHz.

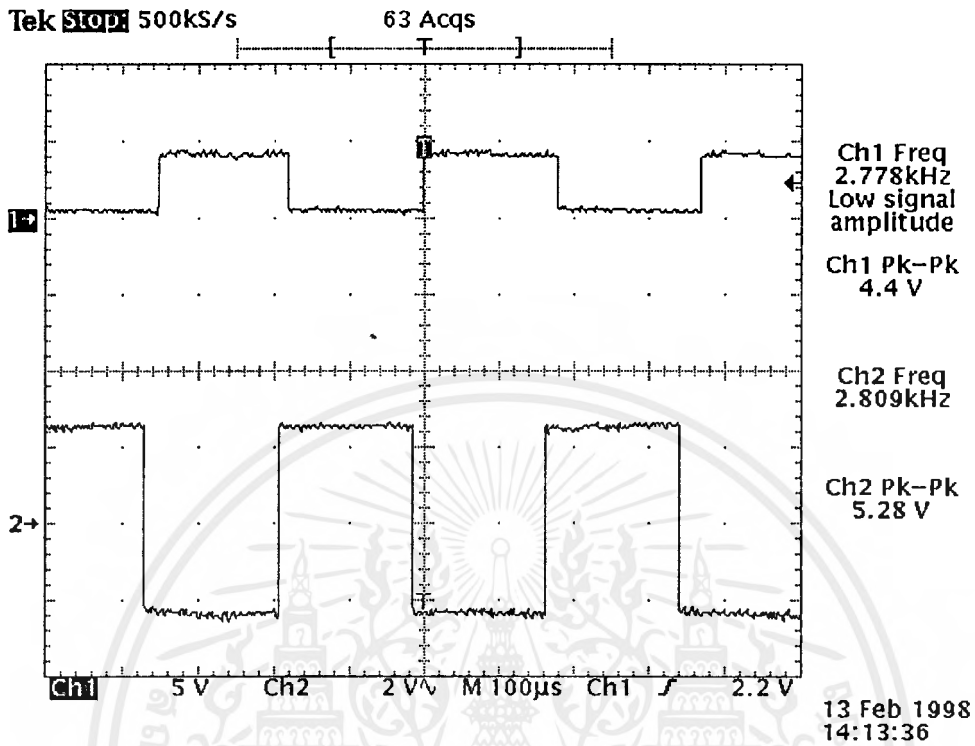


รูปที่ 4.16 แสดงการทำงานที่ความถี่กลางเท่ากับ 3.125 kHz แสดงด้วยรหัส 00



รูปที่ 4.17 แสดงการลื่นที่ค่าความถี่เท่ากับ $f_c + \Delta f_H$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงการล็อกที่ค่าความถี่เท่ากับ $f_c - \Delta f_H$

บทที่ 5

สรุปผลการทดลองและบทวิจารณ์

จากผลการทดลองพบว่าวงจร ADPLL ที่ได้ออกแบบขึ้นมาสามารถล็อกความถี่ตามความถี่ของสัญญาณอ้างอิงได้ และผลการทดลองมีผลใกล้เคียงทฤษฎีคือ เมื่อป้อนสัญญาณอ้างอิงที่มีความถี่เท่ากับความถี่กลางที่ใช้ในวงจรลักษณะสัญญาณเอาท์พุทจะมีเฟสต่างจากสัญญาณอ้างอิง 90 องศา เมื่อป้อนสัญญาณอ้างอิงที่มีความถี่เข้าใกล้ $f_c + \Delta f_H$ สัญญาณเอาท์พุทจะมีเฟสเข้าใกล้เฟสของสัญญาณอ้างอิง และเมื่อป้อนสัญญาณอ้างอิงให้มีความถี่เข้าใกล้ $f_c - \Delta f_H$ สัญญาณเอาท์พุทจะมีเฟสต่างกับสัญญาณอ้างอิงเข้าใกล้ 180 องศา ในการทดลองที่ให้ N มีค่าเท่ากับ 8 นั้นเนื่องจาก N มีค่าน้อย ใกล้เคียงกับค่า N_{pract} ทำให้เกิดริบเบิลในวงจรขึ้นมากส่งผลให้ค่าโฮลเรนจ์จริงของวงจรมีค่าน้อยลงกว่าค่าโฮลเรนจ์ที่ได้จากการคำนวณมาก เมื่อเราลดความถี่กลางลงให้มีความถี่โฮลเรนจ์จะลดลงเรื่อยๆวงจรจึงสามารถล็อกได้เพียงในช่วงแถบความถี่ที่แคบมาก การแก้ปัญหานี้ทำได้โดยการเพิ่มค่า N ให้มีค่ามากขึ้น โดยเราได้ทดลองเพิ่มค่า N ให้มีค่าเท่ากับ 16 จะพบว่าเกิดริบเบิลน้อยลงทำให้โฮลเรนจ์ของวงจรในทางปฏิบัติมีค่าใกล้เคียงกับโฮลเรนจ์ที่ได้จากการคำนวณมากขึ้น เราสามารถเปรียบเทียบค่าโฮลเรนจ์จริงในทางปฏิบัติกับค่าโฮลเรนจ์ที่ได้จากการคำนวณที่ $N = 8$ และ $N = 16$ ได้ดังนี้

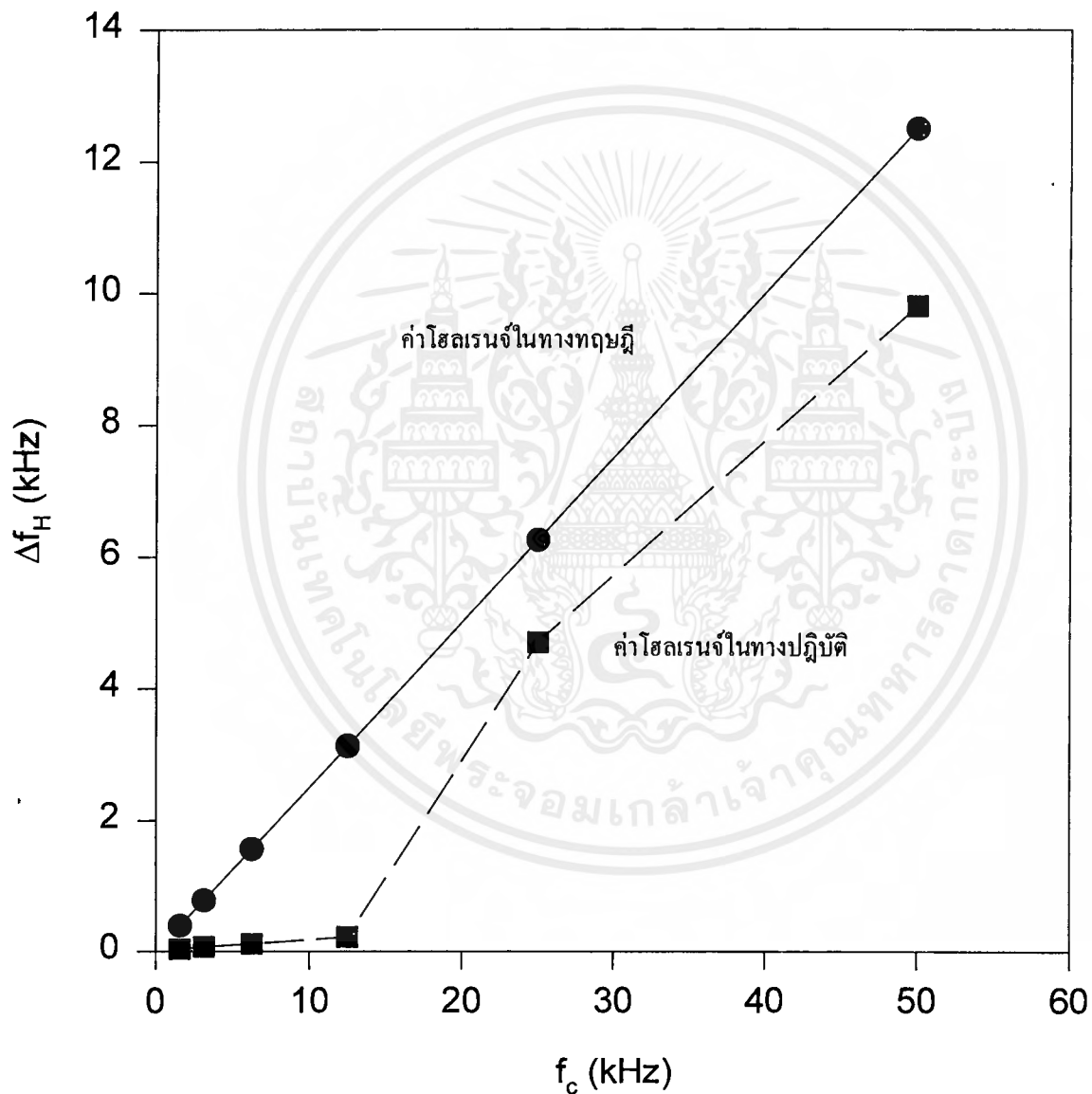
ที่ N มีค่าเท่ากับ 8

Center frequency (kHz)	โฮลเรนจ์ที่ได้จากการคำนวณ (kHz)			โฮลเรนจ์ในทางปฏิบัติ (kHz)		
	$f_c + \Delta f_H$	$f_c - \Delta f_H$	Δf_H	$f_c + \Delta f_H$	$f_c - \Delta f_H$	Δf_H
50	62.5	47.5	12.5	55.8	46	9.8
25	31.25	18.75	6.25	27.8	23.1	4.7
12.5	15.625	9.375	3.125	12.58	12.36	0.22
6.25	7.8125	4.6875	1.5625	6.3	6.19	0.11
3.125	3.90625	2.34375	0.78125	3.155	3.087	0.068
1.5625	1.953125	1.171875	0.390625	1.5775	1.5455	0.032

ที่ N มีค่าเท่ากับ 16

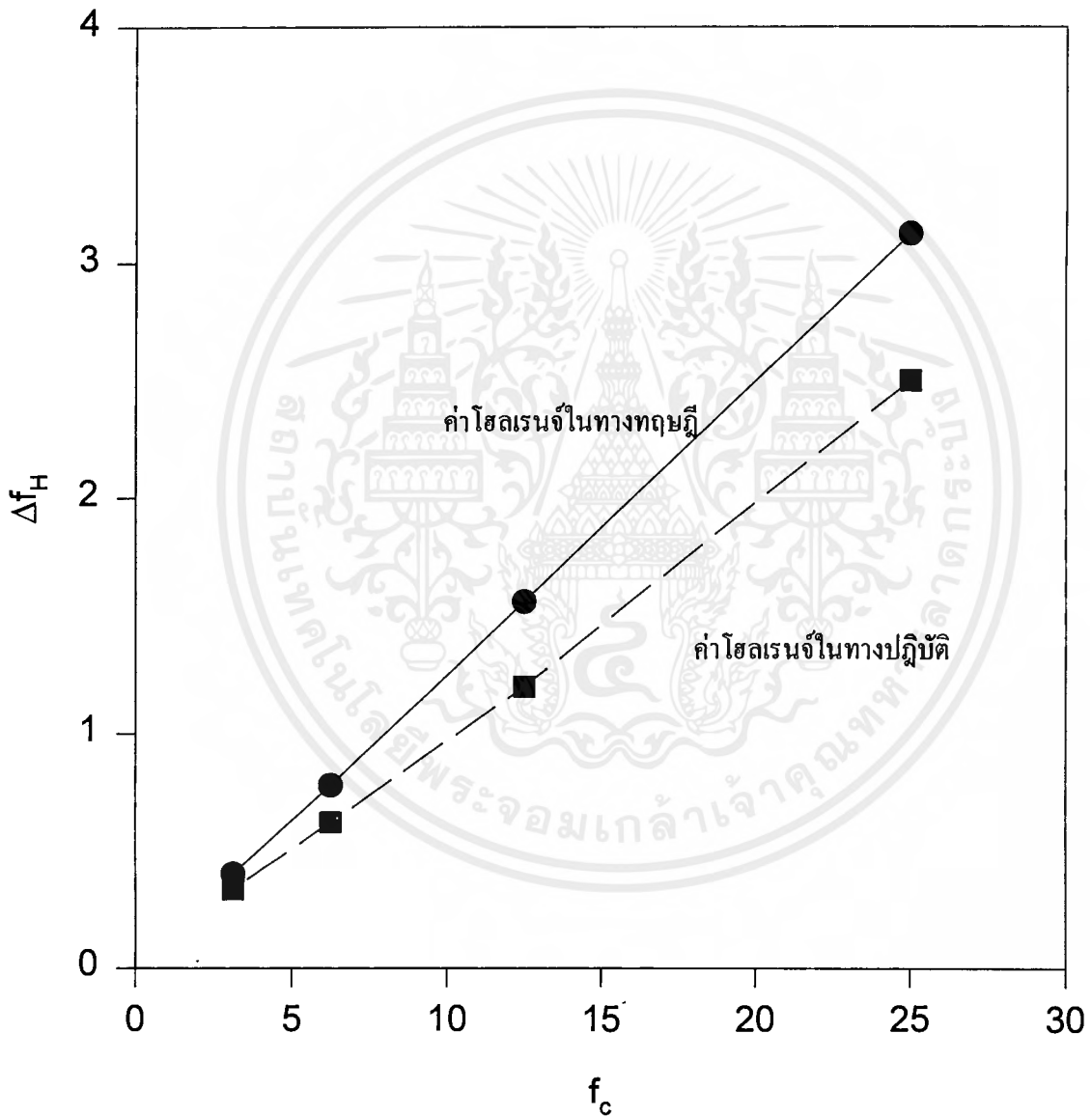
Center frequency (kHz)	โฮลเรนจ์ที่ได้จากการคำนวณ (kHz)			โฮลเรนจ์ในทางปฏิบัติ (kHz)		
	$f_c + \Delta f_H$	$f_c - \Delta f_H$	Δf_H	$f_c + \Delta f_H$	$f_c - \Delta f_H$	Δf_H
25	28.125	21.875	3.125	27.4	22.4	2.5
12.5	14.0625	10.9375	1.5625	13.7	11.36	1.2
6.25	7.03125	5.46875	0.78125	6.85	5.62	0.62
3.125	3.515625	2.734375	0.390625	3.45	2.78	0.335

กราฟแสดงการเปรียบเทียบค่าไฮลเรนจ์ทางทฤษฎีและทางปฏิบัติ (N = 8)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงการเปรียบเทียบค่าโฮลเรนจ์ในทางทฤษฎีและทางปฏิบัติ (N = 16)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจร ADPLL ที่ใช้ไมโครคอนโทรลเลอร์ควบคุมความถี่กลางนั้นเนื่องจากเราสามารถเซตค่า K , N , M ได้เพียงในข้อจำกัดเป็น 2^n เท่านั้น จึงสามารถเลื่อนความถี่กลางได้เพียงเป็นจำนวนเท่าของความถี่กลางที่ใช้เริ่มต้นหารด้วยสองยกกำลัง n เท่านั้น แต่ถ้าเราต้องการล๊อคที่ความถี่อื่นก็สามารถทำได้โดยการเปลี่ยนค่าความถี่ K คล็อกให้มีค่า เป็น Mf_c เมื่อ f_c เป็นความถี่กลางใหม่ที่เราต้องการ (สำหรับวงจรทดลองนั้นเราใช้ $M = 128$, $N = 16$)

สำหรับวงจร FSK decoder นั้น สามารถดีเทคสัญญาณได้ตามที่ต้องการแต่ข้อเสียของวงจรมีคือความเร็วในการดีเทคสัญญาณนั้น จะขึ้นอยู่กับเวลาที่ใช้ในการเข้าล๊อคความถี่ของวงจร ADPLL และ ความเร็วในการทำงานของไมโครคอนโทรลเลอร์ ซึ่งถูกจำกัดโดยคล็อกของไมโครคอนโทรลเลอร์ จึงยังไม่สามารถนำไปใช้ในการส่งสัญญาณความถี่สูงได้



บรรณานุกรม

1. Roland E. Best, "Phase Lock Loops," McGraw-Hill, 1997.
2. Rosink, W.B., "All Digital Phase Locked Loop Using the 74HC/HCT297," Phillips Components, 1989.
3. Donald G. Troha, "Digital Phase Lock Loop Design Using SN54/74LS297," Texas Instruments, 1997.



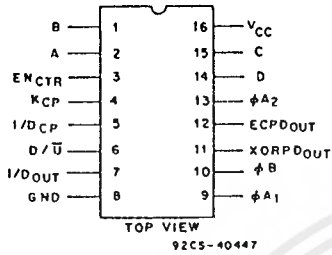
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC297
CD54/74HCT297

High-Speed CMOS Logic



TERMINAL ASSIGNMENT

Digital Phase-Locked-Loop Filter

Type Features:

- Digital design avoids analog compensation errors
- Easily cascadable for higher order loops
- Useful frequency range:
DC to 55 MHz typical (k-clock)
DC to 35 MHz typical (I/D-clock)
- Dynamically variable bandwidth
- Very narrow bandwidth attainable
- Power-on reset
- Output capability:
Standard - XORPD_{OUT}, ECPD_{OUT}
Bus driver - I/D_{OUT}

The RCA-CD54/74HC/HCT297 are high-speed silicon-gate CMOS devices that are pin-compatible with low power Schottky TTL (LSTTL).

These devices are designed to provide a simple, cost-effective solution to high-accuracy, digital, phase-locked-loop applications. They contain all the necessary circuits, with the exception of the divide-by-N counter, to build first-order phase-locked-loops.

Both EXCLUSIVE-OR (XORPD) and edge-controlled phase detectors (ECPD) are provided for maximum flexibility. The input signals for the EXCLUSIVE-OR phase detector must have a 50% duty factor to obtain the maximum lock-range.

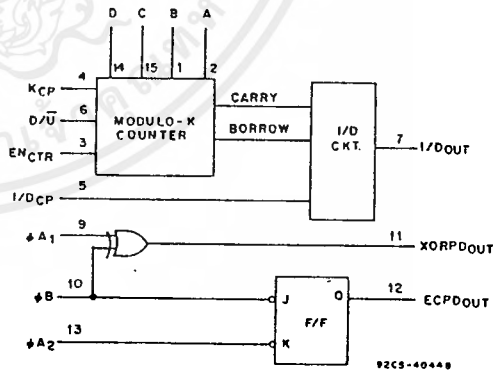
Proper partitioning of the loop function, with many of the building blocks external to the package, makes it easy for the designer to incorporate ripple cancellation (see Fig. 2) or to cascade to higher order phase-locked-loops.

The length of the up/down K-counter is digitally programmable according to the K-counter function table. With A, B, C and D all LOW, the K-counter is disabled. With A HIGH and B, C and D LOW, the K-counter is only three stages long, which widens the bandwidth or capture range and shortens the lock time of the loop. When A, B, C and D are all programmed HIGH, the K-counter becomes seventeen stages long, which narrows the bandwidth or capture range and lengths the lock time. Real-time control of loop bandwidth by manipulating the A to D inputs can maximum the overall performance of the digital phase-locked-loop.

The CD54/74HC/HCT297 can perform the classic first-order phase-locked-loop function without using analog components. The accuracy of the digital phase-locked-loop (DPLL) is not affected by VCC and temperature variations but depends solely on accuracies of the K-clock and loop propagation delays.

Family Features:

- Fanout (Over Temperature Range):
Standard Outputs - 10 LSTTL Loads
Bus Driver Outputs - 15 LSTTL Loads
- Wide Operating Temperature Range:
CD74HC/HCT: -40 to +85°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- Alternate Source is Philips/Signetics
- CD54HC/CD74HC Types:
2 to 6 V Operation
High Noise Immunity:
 $N_{IL} = 30\%$, $N_{IH} = 30\%$ of V_{CC} @ $V_{CC} = 5 V$
- CD54HCT/CD74HCT Types:
4.5 to 5.5 V Operation
Direct LSTTL Input Logic Compatibility
 $V_{IL} = 0.8 V$ Max., $V_{IH} = 2 V$ Min.
CMOS Input Compatibility
 $I_L \leq 1 \mu A$ @ V_{OL} , V_{OH}



FUNCTIONAL DIAGRAM

CD54/74HC297 CD54/74HCT297

The phase detector generates an error signal waveform that, at zero phase error, is a 50% duty factor square wave. At the limits of linear operation, the phase detector output will be either HIGH or LOW all of the time depending on the direction of the phase error ($\phi_{IN} - \phi_{OUT}$). Within these limits the phase detector output varies linearly with the input phase error according to the gain K_d , which is expressed in terms of phase detector output per cycle or phase error. The phase detector output can be defined to vary between ± 1 according to the relation:

$$\text{phase detector output} = \frac{\% \text{HIGH} - \% \text{LOW}}{100}$$

The output of the phase detector will be $K_d \phi_e$, where the phase error

$$\phi_e = \phi_{IN} - \phi_{OUT}$$

EXCLUSIVE-OR phase detectors (XORPD) and edge-controlled phase detectors (ECPD) are commonly used digital types. The ECPD is more complex than the XORPD logic function but can be described generally as a circuit that changes states on one of the transitions of its inputs. The gain (K_d) for an XORPD is 4 because its output remains HIGH (XORPD_{OUT} = 1) for a phase error of 1/4 cycle.

Similarly, K_d for the ECPD is 2 since its output remains HIGH for a phase error of 1/2 cycle. The type of phase detector will determine the zero-phase-error point, i.e., the phase separation of the phase detector inputs for a ϕ_e defined to be zero. For the basic DPLL system of Fig. 3, $\phi_e = 0$ when the phase detector output is a square wave.

The XORPD inputs are 1/4 cycle out-of-phase for zero phase error. For the ECPD, $\phi_e = 0$ when the inputs are 1/2 cycle out of phase.

The phase detector output controls the up/down input to the K-counter. The counter is clocked by input frequency Mf_c which is a multiple M of the loop center frequency f_c . When the K-counter recycles up, it generates a carry pulse. Recycling while counting down generates a borrow pulse. If the carry and the borrow outputs are conceptually combined into one output that is positive for a carry and negative for a borrow, and if the K-counter is considered as a frequency divider with the ratio Mf_c/K , the output of the K-counter will equal the input frequency multiplied by the division ratio. Thus the output from the K-counter is $(K_d \phi_e Mf_c)/K$.

The carry and borrow pulses go to the increment/decrement (I/D) circuit which, in the absence of any carry or borrow pulses has an output that is 1/2 of the input clock (I/D_{CP}). The input clock is just a multiple, 2N, of the loop center frequency. In response to a carry or borrow pulse, the I/D circuit will either add or delete a pulse at I/D_{OUT}. Thus the output of the I/D circuit will be $Nf_c + (K_d \phi_e Mf_c)/2K$.

The output of the N-counter (or the output of the phase-locked-loop) is thus:

$$f_o = f_c + (K_d \phi_e Mf_c)/2KN$$

If this result is compared to the equation for a first-order analog phase-locked-loop, the digital equivalent of the gain of the VCO is just $Mf_c/2KN$ or f_c/K for $M = 2N$.

Thus, the simple first-order phase-locked-loop with an adjustable K-counter is the equivalent of an analog phase-locked-loop with a programmable VCO gain.

The CD54HC297 and CD54HCT297 are supplied in 16-lead hermetic dual-in-line frit-seal ceramic packages (F suffix). The CD74HC297 and CD74HCT297 are supplied in 16-lead dual-in-line plastic packages (E suffix) and in 16-lead dual-in-line surface-mount plastic packages (M suffix). Both types are also available in chip form (H suffix).





K COUNTER FUNCTION TABLE
(DIGITAL CONTROL)



D	C	B	A	MODULO (K)
L	L	L	L	Inhibited
L	L	L	H	2 ³
L	L	H	L	2 ⁴
L	L	H	H	2 ⁵
L	H	L	L	2 ⁶
L	H	L	H	2 ⁷
L	H	H	L	2 ⁸
L	H	H	H	2 ⁹
H	L	L	L	2 ¹⁰
H	L	L	H	2 ¹¹
H	L	H	L	2 ¹²
H	L	H	H	2 ¹³
H	H	L	L	2 ¹⁴
H	H	L	H	2 ¹⁵
H	H	H	L	2 ¹⁶
H	H	H	H	2 ¹⁷

FUNCTION TABLE
EXCLUSIVE-OR PHASE DETECTOR

ϕA_1	ϕB	XORPD OUT
L	L	L
L	H	H
H	L	H
H	H	L

FUNCTION TABLE
EDGE-CONTROLLED PHASE DETECTOR

ϕA_2	ϕB	ECPD OUT
H or L		H
	H or L	L
H or L		No Change
	H or L	No Change

H = steady-state high level
L = steady-state low level
 = transition from high to low
 = transition from low to high

Technical Data

CD54/74HC297
CD54/74HCT297

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CD74HC297/CD54HC297										CD74HCT297/CD54HCT297								UNITS		
	TEST CONDITIONS			74HC/54HC TYPES			74HC TYPES		54HC TYPES		TEST CONDITIONS		74HCT/54HCT TYPES			74HCT TYPES		54HCT TYPES			
	V _i V	I _o mA	V _{cc} V	+25°C			-40/ +85°C		-55/ +125°C		V _i V	V _{cc} V	+25°C			-40/ +85°C		-55/ +125°C			
				Min	Typ	Max	Min	Max	Min	Max			Min	Typ	Max	Min	Max	Min		Max	
High-Level Input Voltage V _{ih}			2	1.5	—	—	1.5	—	1.5	—	—	4.5	to	2	—	—	2	—	2	—	V
			4.5	3.15	—	—	3.15	—	3.15	—	—	5.5									
			6	4.2	—	—	4.2	—	4.2	—											
Low-Level Input Voltage V _{il}			2	—	—	0.5	—	0.5	—	0.5	—	4.5	to	—	—	0.8	—	0.8	—	0.8	V
			4.5	—	—	1.35	—	1.35	—	1.35	—	5.5									
			6	—	—	1.8	—	1.8	—	1.8	—										
High-Level Output Voltage V _{oh}	V _k or -0.02		2	1.9	—	—	1.9	—	1.9	—	V _{ih} or 4.5	4.5	4.4	—	—	4.4	—	4.4	—	4.4	V
CMOS Loads	V _{ih}		6	5.9	—	—	5.9	—	5.9	—	V _{ih}										
TTL Loads	V _{ih}	#	I/D								V _{ih}										
Bus Driver and Standard Output	V _{ih}	-4	-6	4.5	3.98	—	—	3.84	—	3.7	—	or	4.5	3.98	—	—	3.84	—	3.7	—	V
	V _{ih}	-5.2	-7.8	6	5.48	—	—	5.34	—	5.2	—	V _{ih}									
Low-Level Output Voltage V _{ol}	V _{ih} or 0.02		2	—	—	0.1	—	0.1	—	0.1	V _{ih} or 4.5	4.5	—	—	0.1	—	0.1	—	0.1	—	V
CMOS Loads	V _{ih}		6	—	—	0.1	—	0.1	—	0.1	V _{ih}										
TTL Loads	V _{ih}	#	I/D								V _{ih}										
Bus Driver and Standard Output	V _{ih}	4	6	4.5	—	—	0.26	—	0.33	—	0.4	or	4.5	—	—	0.26	—	0.33	—	0.4	V
	V _{ih}	5.2	7.8	6	—	—	0.26	—	0.33	—	0.4	V _{ih}									
Input Leakage Current I _i	V _{cc} or Gnd		6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V _{cc} & Gnd	5.5	—	—	±0.1	—	±1	—	±1	—	μA
Quiescent Device Current I _{cc}	V _{cc} or Gnd	0	6	—	—	8	—	80	—	160	V _{cc} or Gnd	5.5	—	—	8	—	80	—	160	—	μA
Additional Quiescent Device Current per Input pin: 1 unit load ΔI _{cc} *											V _{cc} -2.1	4.5 to 5.5	—	100	380	—	450	—	490	—	μA

*For dual-supply systems theoretical worst case (V_i = 2.4 V, V_{cc} = -5.5 V) specification is 1.8 mA.

XORPD, ECPD

HCT INPUT LOADING TABLE

INPUT	UNIT LOADS *
EN _{CTR} , D/ \bar{U}	0.3
A, B, C, D, K _{CP} , φA ₂	0.6
I/D _{CP} , φA ₁ , φB	1.5

* Unit Load is ΔI_{cc} limit specified in Static Characteristics Chart, e.g., 360 μA max. @ 25°C.

CD54/74HC297
CD54/74HCT297

PRE-REQUISITE FOR SWITCHING FUNCTION

CHARACTERISTIC	V _{CC}	LIMITS												UNITS	
		25° C				-40° C to +85° C				-55° C to +125° C					
		HC		HCT		74HC		74HCT		54HC		54HCT			
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
Maximum Clock Frequency	f _{MAX}	2	6	—	—	—	5	—	—	—	4	—	—	—	MHz
		4.5	30	—	30	—	24	—	24	—	20	—	20	—	
	K _{CP}	6	35	—	—	—	28	—	—	—	24	—	—	—	
	1/D _{CP}	2	4	—	—	—	3	—	—	—	2	—	—	—	MHz
		4.5	20	—	20	—	16	—	16	—	13	—	13	—	
		6	24	—	—	—	19	—	—	—	15	—	—	—	
Clock Pulse Width	t _w	2	80	—	—	—	100	—	—	—	120	—	—	—	ns
		4.5	16	—	16	—	20	—	20	—	24	—	24	—	
	K _{CP}	6	14	—	—	—	17	—	—	—	20	—	—	—	
	1/D _{CP}	2	125	—	—	—	155	—	—	—	190	—	—	—	ns
		4.5	25	—	25	—	31	—	31	—	38	—	38	—	
		6	21	—	—	—	26	—	—	—	32	—	—	—	
Setup Time	t _{SU}	2	100	—	—	—	125	—	—	—	150	—	—	—	ns
	D/Ū, EN _{CTR} to K _{CP}	4.5	20	—	20	—	25	—	25	—	30	—	30	—	
		6	17	—	—	—	21	—	—	—	26	—	—	—	
Hold Time	t _{HI}	2	0	—	—	—	0	—	—	—	0	—	—	—	ns
	D/Ū, EN _{CTR} to K _{CP}	4.5	0	—	0	—	0	—	0	—	0	—	0	—	
		6	0	—	—	—	0	—	—	—	0	—	—	—	

SWITCHING CHARACTERISTICS (C_L = 50 pF, Input t_i, t_i = 6 ns)

CHARACTERISTIC	V _{CC}	LIMITS												UNITS	
		25° C				-40° C to +85° C				-55° C to +125° C					
		HC		HCT		74HC		74HCT		54HC		54HCT			
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
Propagation Delay, I/D _{CP} to I/D _{OUT}	t _{PLH} t _{PHL}	2	—	175	—	—	—	220	—	—	—	265	—	—	ns
		4.5	—	35	—	35	—	44	—	44	—	53	—	53	
		6	—	30	—	—	—	34	—	—	—	43	—	—	
φA ₁ , φB to XORPD _{OUT}		2	—	150	—	—	—	190	—	—	—	225	—	—	ns
		4.5	—	30	—	30	—	38	—	38	—	45	—	45	
		6	—	26	—	—	—	33	—	—	—	38	—	—	
φB, φA ₂ to ECPD _{OUT1}		2	—	200	—	—	—	250	—	—	—	300	—	—	ns
		4.5	—	40	—	40	—	50	—	50	—	60	—	60	
		6	—	34	—	—	—	43	—	—	—	51	—	—	
Output Transition Time	t _{TLH}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
	XORPD _{OUT}	4.5	—	15	—	15	—	19	—	19	—	22	—	22	
	ECPD _{OUT}	6	—	13	—	—	—	16	—	—	—	19	—	—	
	I/D _{OUT}	2	—	60	—	—	—	75	—	—	—	90	—	—	ns
		4.5	—	12	—	12	—	15	—	15	—	18	—	18	
		6	—	10	—	—	—	13	—	—	—	15	—	—	
Input Capacitance	C _I	—	—	10	—	10	—	10	—	10	—	10	—	10	pF

CD54/74HC297 CD54/74HCT297

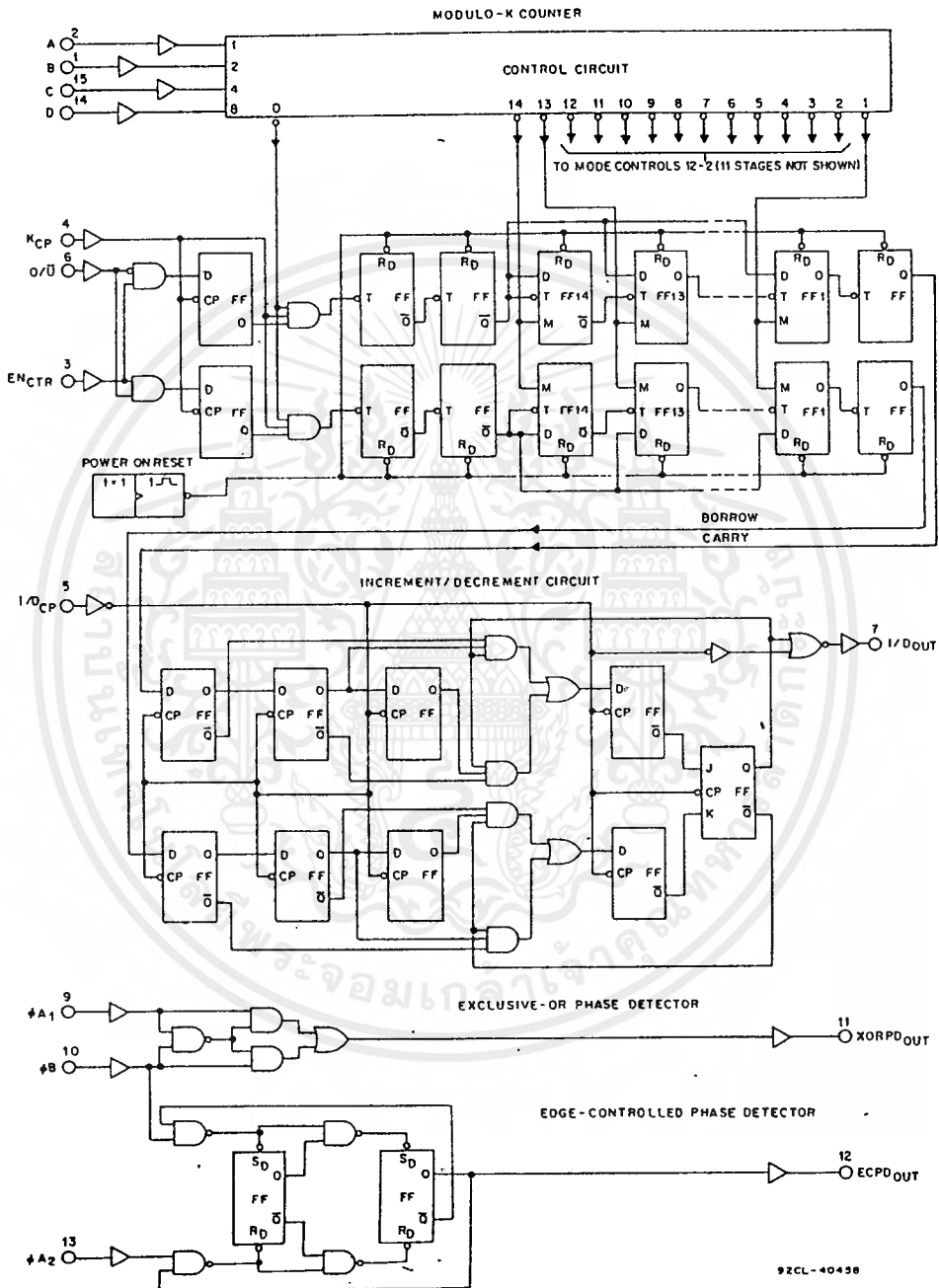


Fig. 1 - Logic diagram.

CD54/74HC297
CD54/74HCT297

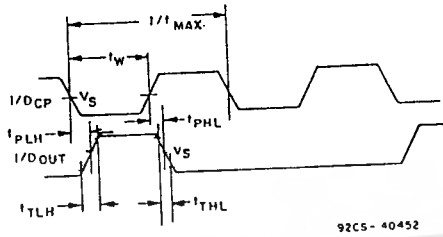


Fig. 7 - Waveforms showing the clock (I/DCP) to output (I/DOOUT) propagation delays, clock pulse width, output transition times and maximum clock pulse frequency.

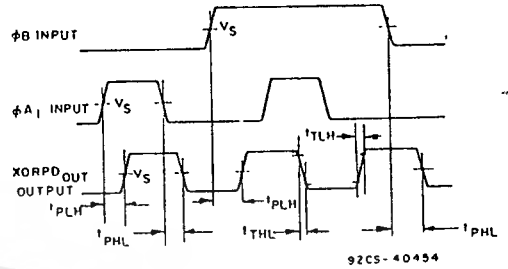


Fig. 8 - Waveforms showing the phase input (φB, φA1) to output (XORPDOUT) propagation delays and output transition times.

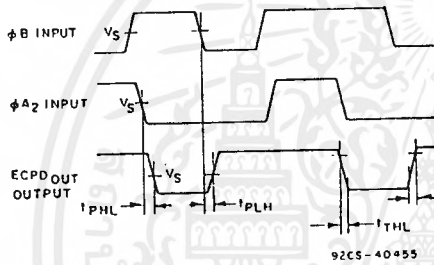
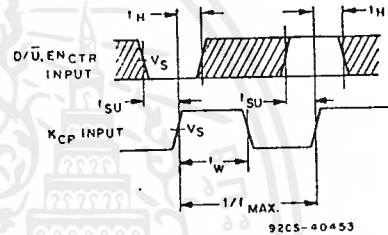


Fig. 9 - Waveforms showing the phase input (φB, φA2) to output (ECPDOUT) propagation delays and output transition times.



NOTE THE SHADED AREAS INDICATE WHEN THE INPUT IS PERMITTED TO CHANGE FOR PREDICTABLE OUTPUT PERFORMANCE

Fig. 10 - Waveforms showing the clock (KCP) pulse width and maximum clock pulse frequency, and the input (D/U, ENCTR) to clock (KCP) set-up and hold times.

	54/74HC	54/74HCT
Input Level	V _{CC}	3 V
Switching Voltage, V _S	50% V _{CC}	1.3 V

SN54LS292, SN54LS294, SN74LS292, SN74LS294 PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

SDLS153

D2628, JANUARY 1981 — REVISED MARCH 1988

- Count Divider Chain
- Digitally Programmable from 2^2 to 2^n
($n = 31$ for 'LS292, $n = 15$ for 'LS294)
- Useable Frequency Range from DC to 30 MHz
- Easily Expandable
- Applications
 - Frequency Division
 - Digital Timing

Description

These programmable frequency dividers/digital timers contain 31 flip-flops plus 30 gates ('LS292) or 15 flip-flops plus 29 gates ('LS294) on a single chip. The count modulo is under digital control of the inputs provided.

Both types feature an active-low clear input to initialize the state of all flip-flops. To facilitate incoming inspection, test points are provided (TP1, TP2, and TP3 on the 'LS292 and TP on the 'LS294). These test points are not intended to drive system loads. Both types feature two clock inputs; either one may be used for clock gating. (See the function table below.)

A brief look at the digital timing capabilities of the 'LS292 will show that with a 1-MHz input frequency, programming for 2^{10} will give a period of 1.024 ms, and 2^{20} will give a period of 1.05 sec, 2^{26} will give a period of 1.12 min, and 2^{31} will give a period of 35.79 min.

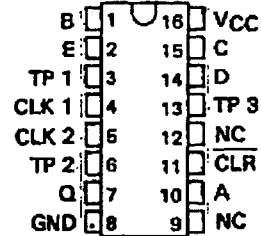
These devices are easily cascadable giving limitless possibilities to timing delays that can be achieved.

FUNCTION TABLE

CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

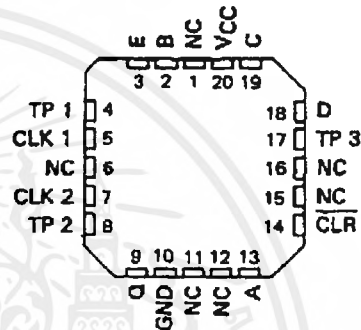
SN54LS292 . . . J OR W PACKAGE
SN74LS292 . . . N PACKAGE

(TOP VIEW)



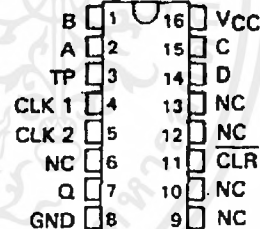
SN54LS292 . . . FK PACKAGE

(TOP VIEW)



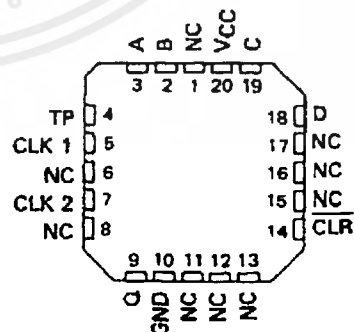
SN54LS294 . . . J OR W PACKAGE
SN74LS294 . . . N PACKAGE

(TOP VIEW)



SN54LS294 . . . FK PACKAGE

(TOP VIEW)



NC — No internal connection.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

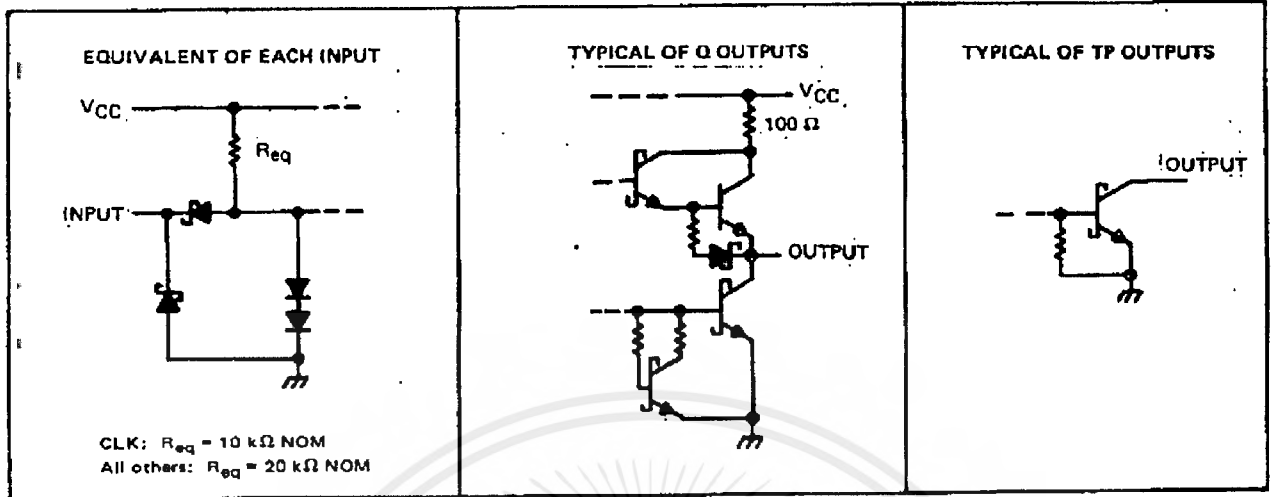
TEXAS
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294 PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

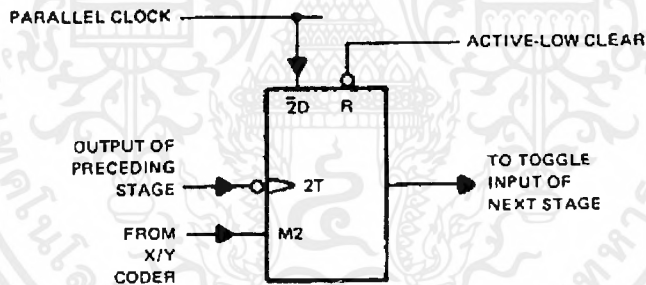
schematics of inputs and outputs



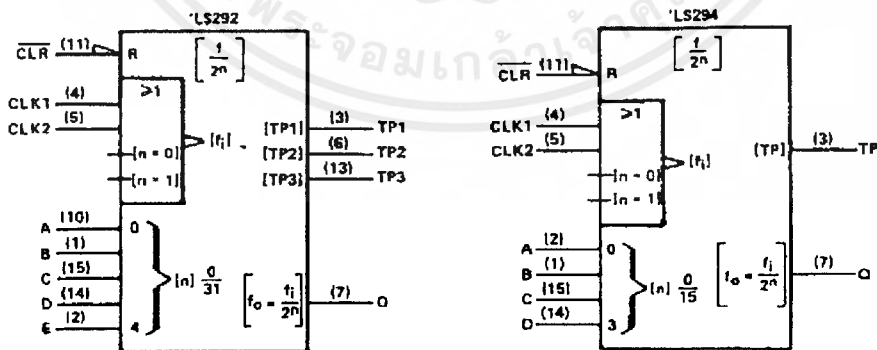
operation

The functional block diagram shows that the count modulo is controlled by an X/Y decoder connected to the mode control inputs of several flip-flops. These flip-flops with mode controls each have a "D" input connected to the parallel clock line and a "T" input driven by the preceding stage. The parallel clock frequency is always the input frequency divided by four.

The X/Y decoder output selected by the programming inputs goes low. While a mode control is low, the "D" input of that flip-flop is enabled, and the signal from the parallel clock line ($f_{in} \div 4$) is passed to the "T" input of the following stage. All the other mode controls are high enabling the "T" inputs and causing each flip-flop in turn to divide by two.



logic symbols †



† These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for J, N, and W packages.

TEXAS
INSTRUMENTS

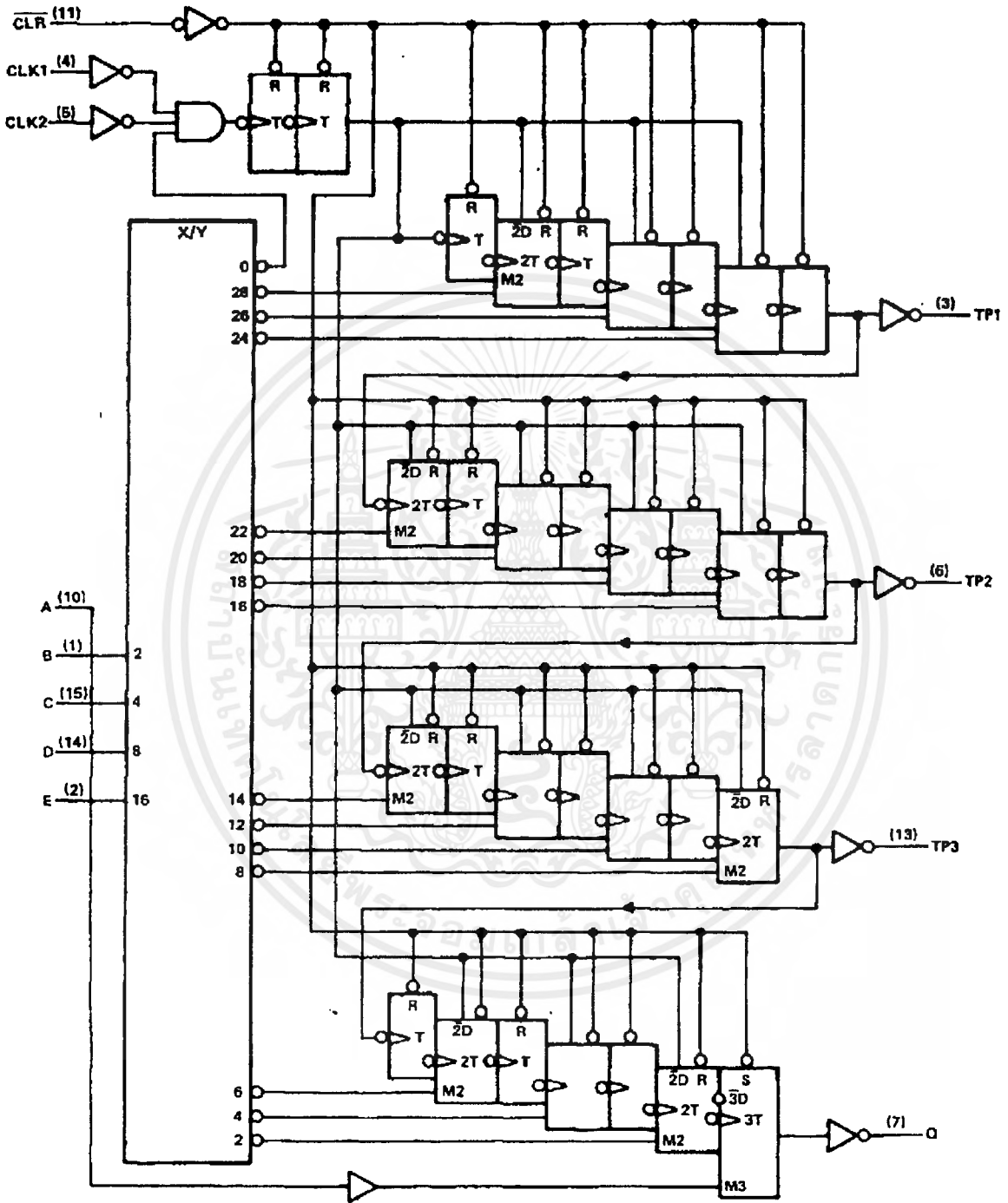
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294
PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

logic diagram (positive logic)

'LS292



Pin numbers shown are for J, N, and W packages.

TEXAS
INSTRUMENTS

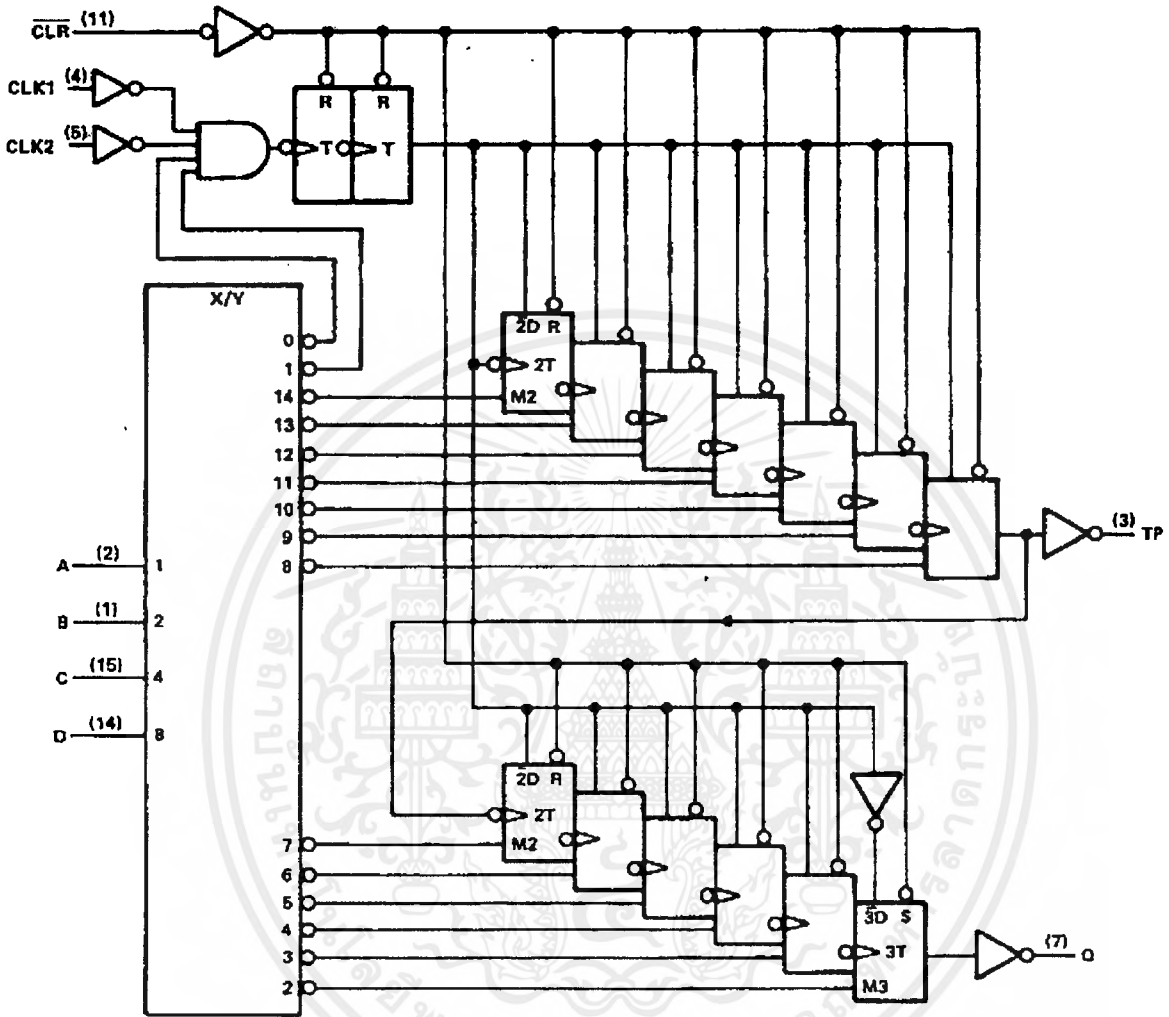
PCN: DIFILE B-X 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294 PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

logic diagram (positive logic)

'LS294



Pin numbers shown are for J, N, and W packages.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS292, SN54LS294	-55°C to 125°C
SN74LS292, SN74LS294	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

TEXAS
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294 PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

recommended operating conditions

		SN54LS ¹			SN74LS ¹			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage				0.8			V
I _{OH}	High-level output current (Q only)				-1.2			mA
I _{OL}	Low-level output current (Q only)				12			mA
f _{clock}	Clock frequency	0			30			MHz
t _w	Duration of clock input pulse	16			16			ns
t _w	Duration of clear pulse	'LS292			55			ns
		'LS294			35			
t _{cu}	Clear inactive-state setup time	15			15			ns
T _A	Operating free-air temperature	-55			125			°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS [†]	SN54LS ¹		SN74LS ¹		UNIT
			MIN	TYP [‡]	MAX	MIN	
V _{IK}		V _{CC} = MIN, I _I = -18 mA			-1.5		V
V _{OH}	Q	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX, I _{OH} = -1.2 mA	2.4	3.4	2.4	3.4	V
V _{OL}	Q	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX	I _{OL} = 12 mA		0.25	0.4	V
			I _{OL} = 24 mA		0.35	0.5	
	TP ^{††}		I _{OL} = 0.5 mA		0.25	0.4	
I _I		V _{CC} = MAX, V _I = 7 V			0.1		mA
I _{IH}		V _{CC} = MAX, V _I = 2.7 V			20		μA
I _{IL}	CLK1, CLK2	V _{CC} = MAX, V _I = 0.4 V			-0.8		mA
	All others				-0.4		
I _{OS} [§]	Q	V _{CC} = MAX	-30	-130	-30	-130	mA
I _{CC}	'LS292	V _{CC} = MAX, All inputs grounded, All outputs open	40		40		mA
	'LS294		30		30		

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡] All typical values are at V_{CC} = 5 V, T_A = 25°C.

[§] The duration of the short-circuit should not exceed one second.

^{††} The TP output or outputs are not intended to drive external loads but are solely provided for test points.


**TEXAS
INSTRUMENTS**

PCS™ OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294 PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

'LS294 FUNCTION TABLE

PROGRAMMING INPUTS				FREQUENCY DIVISION			
				Q		TP	
D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit
L	L	H	L	2 ²	4	2 ⁹	512
L	L	H	H	2 ³	8	2 ⁹	512
L	H	L	L	2 ⁴	16	2 ⁹	512
L	H	L	H	2 ⁵	32	2 ⁹	512
L	H	H	L	2 ⁶	64	2 ⁹	512
L	H	H	H	2 ⁷	128	Disabled Low	
H	L	L	L	2 ⁸	256	2 ²	4
H	L	L	H	2 ⁹	512	2 ³	8
H	L	H	L	2 ¹⁰	1,024	2 ⁴	16
H	L	H	H	2 ¹¹	2,048	2 ⁵	32
H	H	L	L	2 ¹²	4,096	2 ⁶	64
H	H	L	H	2 ¹³	8,192	2 ⁷	128
H	H	H	L	2 ¹⁴	16,384	2 ⁸	256
H	H	H	H	2 ¹⁵	32,768	2 ⁹	512

switching loads

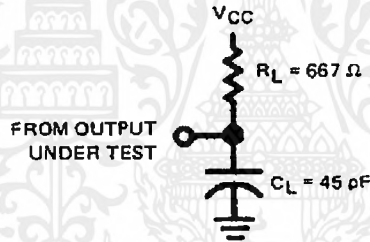
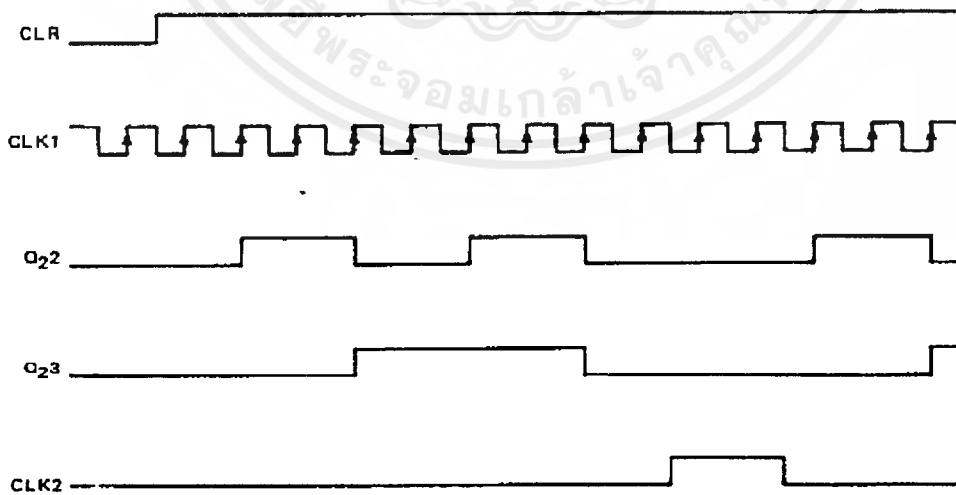


FIGURE 1

'LS292 and 'LS294 timing diagram



TEXAS
INSTRUMENTS

POST OFFICE BOX 855012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS292, SN54LS294, SN74LS292, SN74LS294
PROGRAMMABLE FREQUENCY DIVIDERS/DIGITAL TIMERS

switching characteristics, V_{CC} = 5 V, T_A = 25°C, R_L = 667 Ω, C_L = 45 pF (see Figure 1)

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	‘LS292			‘LS294			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
f _{max}				30	50		30	50		MHz
t _{PLH}	CLK1 or 2	Q	Modulo set at 22, A thru E = LLLHL (‘LS292) A thru D = LLHL (‘LS294)	55	90		55	90		ns
t _{PHL}		Q		80	120		80	120		ns
t _{PHL}	CLR	Q		85	130		35	65		ns

†f_{MAX} = maximum clock frequency

t_{PLH} = Propagation delay time, low-to-high-level output

t_{PHL} = Propagation delay time, high-to-low-level output

NOTE 2: Load circuits and voltage waveforms are shown in Section 1. To be used on TP outputs only.

‘LS292 FUNCTION TABLE

PROGRAMMING INPUTS					FREQUENCY DIVISION							
					Q		TP1		TP2		TP3	
E	D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	L	2 ²	4	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	L	H	H	2 ³	8	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	L	L	2 ⁴	16	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	L	H	2 ⁵	32	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	H	L	2 ⁶	64	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	H	H	2 ⁷	128	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	H	L	L	L	2 ⁸	256	2 ⁹	512	2 ¹⁷	131,072	2 ²²	4
L	H	L	L	H	2 ⁹	512	2 ⁹	512	2 ¹⁷	131,072	2 ²²	4
L	H	L	H	L	2 ¹⁰	1,024	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16
L	H	L	H	H	2 ¹¹	2,048	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16
L	H	H	L	L	2 ¹²	4,096	2 ⁹	512	2 ¹⁷	131,072	2 ²⁶	64
L	H	H	L	H	2 ¹³	8,192	2 ⁹	512	2 ¹⁷	131,072	2 ²⁶	64
L	H	H	H	L	2 ¹⁴	16,384	2 ⁹	512	Disabled Low		2 ²⁸	256
L	H	H	H	H	2 ¹⁵	32,768	2 ⁹	512	Disabled Low		2 ²⁸	256
H	L	L	L	L	2 ¹⁶	65,536	2 ⁹	512	2 ³	8	2 ¹⁰	1,024
H	L	L	L	H	2 ¹⁷	131,072	2 ⁹	512	2 ³	8	2 ¹⁰	1,024
H	L	L	H	L	2 ¹⁸	262,144	2 ⁹	512	2 ⁵	32	2 ¹²	4,096
H	L	L	H	H	2 ¹⁹	524,288	2 ⁹	512	2 ⁵	32	2 ¹²	4,096
H	L	H	L	L	2 ²⁰	1,048,576	2 ⁹	512	2 ⁷	128	2 ¹⁴	16,384
H	L	H	L	H	2 ²¹	2,097,152	2 ⁹	512	2 ⁷	128	2 ¹⁴	16,384
H	L	H	H	L	2 ²²	4,194,304	Disabled Low		2 ⁹	512	2 ¹⁶	65,536
H	L	H	H	H	2 ²³	8,388,608	Disabled Low		2 ⁹	512	2 ¹⁶	65,536
H	H	L	L	L	2 ²⁴	16,777,216	2 ³	8	2 ¹¹	2,048	2 ¹⁸	262,144
H	H	L	L	H	2 ²⁵	33,554,432	2 ³	8	2 ¹¹	2,048	2 ¹⁸	262,144
H	H	L	H	L	2 ²⁶	67,108,864	2 ⁵	32	2 ¹³	8,192	2 ²⁰	1,048,576
H	H	L	H	H	2 ²⁷	134,217,728	2 ⁵	32	2 ¹³	8,192	2 ²⁰	1,048,576
H	H	H	L	L	2 ²⁸	268,435,456	2 ⁷	128	2 ¹⁵	32,768	2 ²²	4,194,304
H	H	H	L	H	2 ²⁹	536,870,912	2 ⁷	128	2 ¹⁵	32,768	2 ²²	4,194,304
H	H	H	H	L	2 ³⁰	1,073,741,824	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
H	H	H	H	H	2 ³¹	2,147,483,648	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216

TEXAS
INSTRUMENTS

POST OFFICE BOX 6 012 DALLAS TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MM54HC04/MM74HC04 Hex Inverter

General Description

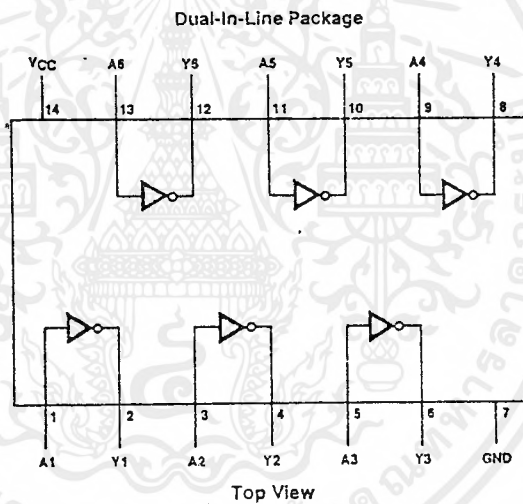
These inverters utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM54HC04/MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 54HC/74HC logic family is functionally as well as pin-out compatible with the standard 54LS/74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Fan out of 10 LS-TTL loads
- Quiescent power consumption: 10 μ W maximum at room temperature
- Low input current: 1 μ A maximum

Connection and Logic Diagrams

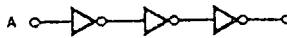


TL/F/5069-1

Order Number MM54HC04* or MM74HC04*

*Please look into Section 8, Appendix D for availability of various package types.

1 of 6 Inverters



TL/F/5069-2

Absolute Maximum Ratings (Notes 1 & 2)

For Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	-0.5 to +7.0V
DC Input Voltage (V_{IN})	-1.5 to $V_{CC} + 1.5V$
DC Output Voltage (V_{OUT})	-0.5 to $V_{CC} + 0.5V$
Diode Current (I_{IK}, I_{OK})	± 20 mA
DC Output Current, per pin (I_{OUT})	± 25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{STG})	-65°C to +150°C
Power Dissipation (P_D) (Note 3)	600 mW
S.O. Package only	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (t_r, t_f)			
$V_{CC} = 2.0V$		1000	ns
$V_{CC} = 4.5V$		500	ns
$V_{CC} = 6.0V$		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ C$			74HC	54HC	Units
				Guaranteed Limits			$T_A = -40$ to $85^\circ C$	$T_A = -55$ to $125^\circ C$	
V _{OH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V	
			4.5V		3.15	3.15	3.15	V	
			6.0V		4.2	4.2	4.2	V	
V _{OL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V	
			4.5V		1.35	1.35	1.35	V	
			6.0V		1.8	1.8	1.8	V	
V _{OH}	Minimum High Level Output Voltage	$V_{IN} = V_{IL}$ $ I_{OUT} \leq 20 \mu A$	2.0V	2.0	1.9	1.9	1.9	V	
			4.5V	4.5	4.4	4.4	4.4	V	
			6.0V	6.0	5.9	5.9	5.9	V	
		$V_{IN} = V_{IL}$ $ I_{OUT} \leq 4.0$ mA $ I_{OUT} \leq 5.2$ mA	4.5V	4.2	3.98	3.84	3.7	V	
			6.0V	5.7	5.48	5.34	5.2	V	
V _{OL}	Maximum Low Level Output Voltage	$V_{IN} = V_{IH}$ $ I_{OUT} \leq 20 \mu A$	2.0V	0	0.1	0.1	0.1	V	
			4.5V	0	0.1	0.1	0.1	V	
			6.0V	0	0.1	0.1	0.1	V	
		$V_{IN} = V_{IH}$ $ I_{OUT} \leq 4.0$ mA $ I_{OUT} \leq 5.2$ mA	4.5V	0.2	0.26	0.33	0.4	V	
			6.0V	0.2	0.26	0.33	0.4	V	
I _{IN}	Maximum Input Current	$V_{IN} = V_{CC}$ or GND	6.0V		± 0.1	± 1.0	± 1.0	μA	
I _{CCQ}	Maximum Quiescent Supply Current	$V_{IN} = V_{CC}$ or GND $I_{OUT} = 0 \mu A$	6.0V		2.0	20	40	μA	

1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.
 2: Unless otherwise specified all voltages are referenced to ground.
 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.
 4: For a power supply of 5V $\pm 10\%$ the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing the supply. Worst case V_{IH} and V_{IL} occur at $V_{CC} = 5.5V$ and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN} , I_{CC} , and I_{OUT}) occur for CMOS at the higher voltage and so the 6.0V values should be used.
 5: Devices are currently tested at 20% of V_{CC} . The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY'89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V, T_A=25^\circ C, C_L=15\text{ pF}, t_r=t_f=6\text{ ns}$

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay		8	15	ns

AC Electrical Characteristics $V_{CC}=2.0V\text{ to }6.0V, C_L=50\text{ pF}, t_r=t_f=6\text{ ns}$ (unless otherwise specified)

Symbol	Parameter	Conditions	V _{CC}	T _A = 25°C		74HC	54HC
						T _A = -40 to 85°C	T _A = -55 to 125°C
				Guaranteed Limits			
t_{PHL}, t_{PLH}	Maximum Propagation Delay		2.0V	55	95	120	145
			4.5V	11	19	24	29
			6.0V	9	16	20	24
t_{TLH}, t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110
			4.5V	8	15	19	22
			6.0V	7	13	16	19
C _{PD}	Power Dissipation Capacitance (Note 5)	(per gate)		20			
C _{IN}	Maximum Input Capacitance			5	10	10	10

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MM54HC74A/MM74HC74A Dual D Flip-Flop with Preset and Clear

General Description

The MM54HC74A/MM74HC74A utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to the equivalent LS-TTL part. It possesses the high noise immunity and low power consumption of standard CMOS integrated circuits, along with the ability to drive 10 LS-TTL loads.

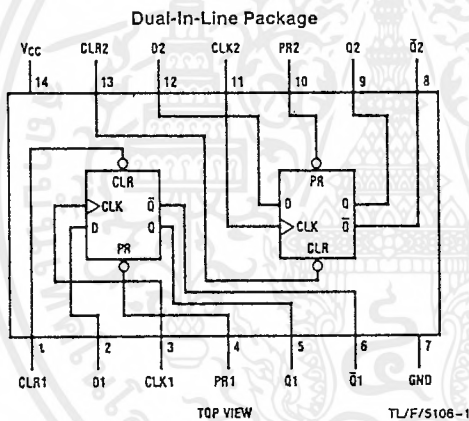
This flip-flop has independent data, preset, clear, and clock inputs and Q and \bar{Q} outputs. The logic level present at the data input is transferred to the output during the positive-going transition of the clock pulse. Preset and clear are independent of the clock and accomplished by a low level at the appropriate input.

The 54HC/74HC logic family is functionally and pinout compatible with the standard 54LS/74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 20 ns
- Wide power supply range: 2–6V
- Low quiescent current: 40 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

Connection and Logic Diagrams



Order Number MM54HC74A* or MM74HC74A*

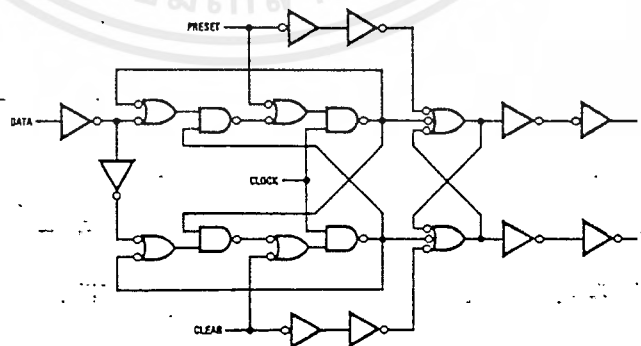
*Please look into Section 8, Appendix D for availability of various package types.

Truth Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	\uparrow	H	H	L
H	H	\uparrow	L	L	H
H	H	L	X	Q ₀	\bar{Q} ₀

Note: Q₀ = the level of Q before the indicated input conditions were established.

* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.



Absolute Maximum Ratings (Notes 1 & 2)

1. Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V _{CC})	-0.5 to +7.0V
Input Voltage (V _{IN})	-1.5 to V _{CC} + 1.5V
Output Voltage (V _{OUT})	-0.5 to V _{CC} + 0.5V
Diode Current (I _{IK} , I _{OK})	±20 mA
Output Current, per pin (I _{OUT})	±25 mA
V _{CC} or GND Current, per pin (I _{CC})	±50 mA
Storage Temperature Range (T _{STG})	-65°C to +150°C
Power Dissipation (P _D)	
Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T _L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V _{CC})	2	6	V
DC Input or Output Voltage (V _{IN} , V _{OUT})	0	V _{CC}	V
Operating Temp. Range (T _A)			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (t _r , t _f)			
V _{CC} = 2.0V		1000	ns
V _{CC} = 4.5V		500	ns
V _{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Parameter	Conditions	V _{CC}	T _A = 25°C				Units
			74HC		54HC		
			Typ				
			Guaranteed Limits				
Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
		4.5V		3.15	3.15	3.15	V
		6.0V		4.2	4.2	4.2	V
Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
		4.5V		1.35	1.35	1.35	V
		6.0V		1.8	1.8	1.8	V
Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	2.0	1.9	1.9	1.9	V
		4.5V	4.5	4.4	4.4	4.4	V
		6.0V	6.0	5.9	5.9	5.9	V
	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	4.3	3.98	3.84	3.7	V
		6.0V	5.2	5.48	5.34	5.2	V
Maximum Low-Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	0	0.1	0.1	0.1	V
		4.5V	0	0.1	0.1	0.1	V
		6.0V	0	0.1	0.1	0.1	V
	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	0.2	0.26	0.33	0.4	V
		6.0V	0.2	0.26	0.33	0.4	V
Maximum Input Current	V _{IN} = V _{CC} or GND	6.0V		±0.1	±1.0	±1.0	μA
Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA	6.0V		4.0	40	80	μA

1. Absolute Maximum Ratings are those values beyond which damage to the device may occur.
 2. Unless otherwise specified all voltages are referenced to ground.
 3. Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 125°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.
 4. For a power supply of 5V ± 10% the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing the supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC} and I_{OUT}) occur for CMOS at the higher voltage and so the 6.0V values should be used.
 5. Limits are currently tested at 20% of V_{CC}. The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY'89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V, T_A=25^\circ C, C_L=15 pF, t_r=t_f=6 ns$

Symbol	-Parameter	Conditions	Typ	Guaranteed Limit	Units
f_{MAX}	Maximum Operating Frequency		72	30	MHz
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock to Q or \bar{Q}		10	30	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay Preset or Clear to Q or \bar{Q}		17	40	ns
t_{REM}	Minimum Removal Time, Preset or Clear to Clock		6	5	ns
t_s	Minimum Setup Time Data to Clock		10	20	ns
t_H	Minimum Hold Time Clock to Data		0	0	ns
t_W	Minimum Pulse Width Clock, Preset or Clear		8	16	ns

AC Electrical Characteristics $C_L=50 pF, t_r=t_f=6 ns$ (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A=25^\circ C$			74HC	54HC
				Typ			$T_A=-40$ to $85^\circ C$	$T_A=-55$ to $125^\circ C$
f_{MAX}	Maximum Operating Frequency		2.0V	22	6	5	4	
			4.5V	72	30	24	20	
			6.0V	94	35	28	24	
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock to Q or \bar{Q}		2.0V	34	110	140	165	
			4.5V	12	22	28	33	
			6.0V	10	19	24	28	
t_{PHL}, t_{PLH}	Maximum Propagation Delay Preset or Clear To Q or \bar{Q}		2.0V	66	150	190	225	
			4.5V	20	30	38	45	
			6.0V	16	26	33	38	
t_{REM}	Minimum Removal Time Preset or Clear To Clock		2.0V	20	50	65	75	
			4.5V	6	10	13	15	
			6.0V	5	9	11	13	
t_s	Minimum Setup Time Data to Clock		2.0V	35	80	100	120	
			4.5V	10	16	20	24	
			6.0V	8	14	17	20	
t_H	Minimum Hold Time Clock to Data		2.0V	0	0	0	0	
			4.5V	0	0	0	0	
			6.0V	0	0	0	0	
t_W	Minimum, Pulse Width Clock, Preset or Clear		2.0V	30	80	101	119	
			4.5V	9	16	20	24	
			6.0V	6	14	17	20	
t_{TLH}, t_{THL}	Maximum Output Rise and Fall Time		2.0V	25	75	95	110	
			4.5V	7	15	19	22	
			6.0V	6	13	16	19	
t_r, t_f	Maximum Input Rise and Fall Time		2.0V	1000	1000	1000	1000	
			4.5V	500	500	500	500	
			6.0V	400	400	400	400	
C_{PD}	Power Dissipation Capacitance (Note 5)	(per flip-flop)		80				
C_{IN}	Maximum Input Capacitance			5	10	10	10	

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC}$



MM54HC123A/MM74HC123A Dual Retriggerable Monostable Multivibrator

General Description

The MM54/74HC123A high speed monostable multivibrators (one shots) utilize advanced silicon-gate CMOS technology. They feature speeds comparable to low power Schottky TTL circuitry while retaining the low power and high noise immunity characteristic of CMOS circuits.

Each multivibrator features both a negative, A, and a positive, B, transition triggered input, either of which can be used as an inhibit input. Also included is a clear input that when taken low resets the one shot. The 'HC123 can be triggered on the positive transition of the clear while A is held low and B is held high.

The 'HC123A is retriggerable. That is it may be triggered repeatedly while their outputs are generating a pulse and the pulse will be extended.

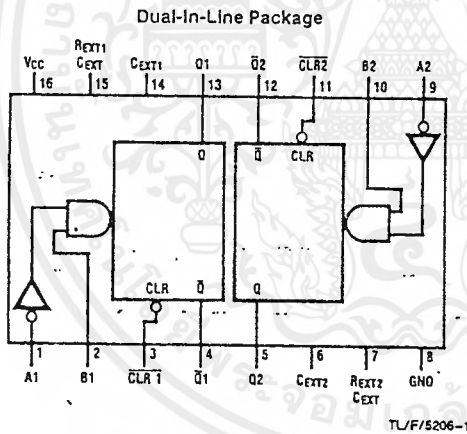
Pulse width stability over a wide range of temperature and supply is achieved using linear CMOS techniques. The out-

put pulse equation is simply: $PW = (R_{EXT}) (C_{EXT})$; where PW is in seconds, R is in ohms, and C is in farads. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

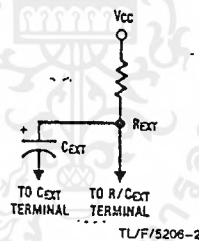
Features

- Typical propagation delay: 25 ns
- Wide power supply range: 2V–6V
- Low quiescent current: 80 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads
- Simple pulse width formula $T = RC$
- Wide pulse range: 400 ns to ∞ (typ)
- Part to part variation: $\pm 5\%$ (typ)
- Schmitt Trigger A & B inputs enable infinite signal input rise and fall times.

Connection Diagram



Timing Component



Note: Pin 6 and Pin 14 must be hard-wired to GND.

Top View

Order Number MM54HC123A* or MM74HC123A*

*Please look into Section 8, Appendix D for availability of various package types.

Truth Table

Inputs			Outputs	
Clear	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	\uparrow	\square	\square
H	\downarrow	H	\square	\square
\uparrow	L	H	\square	\square

H = High Level

L = Low Level

\uparrow = Transition from Low to High

\downarrow = Transition from High to Low

\square = One High Level Pulse

\square = One Low Level Pulse

X = Irrelevant

Absolute Maximum Ratings (Notes 1 & 2)

Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V _{CC})	-0.5V to +7.0V
DC Input Voltage (V _{IN})	-1.5V to V _{CC} + 1.5V
DC Output Voltage (V _{OUT})	-0.5V to V _{CC} + 0.5V
Diode Current (I _{IK} , I _{OK})	±20 mA
DC Output Current, per pin (I _{OUT})	±25 mA
DC V _{CC} or GND Current, per pin (I _{CC})	±50 mA
Storage Temperature Range (T _{STG})	-65°C to +150°C
Power Dissipation (P _D)	600 mW
(Note 3)	
S.O. Package only	500 mW
Lead Temperature (T _L)	260°C
Soldering 10 seconds	

Operating Conditions

	Min	Max	Units
Supply Voltage (V _{CC})	-2	6	V
DC Input or Output Voltage (V _{IN} , V _{OUT})	0	V _{CC}	V
Operating Temp. Range (T _A)			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (Clear Input) (t _r , t _f)			
V _{CC} = 2.0V		1000	ns
V _{CC} = 4.5V		500	ns
V _{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V _{CC}	T _A = 25°C			74HC		54HC		Units
							T _A = -40 to 85°C		T _A = -55 to 125°C		
							Typ				
V _{IH}	Minimum High Level Input Voltage		2.0V	1.5			1.5		1.5		V
			4.5V	3.15			3.15		3.15		V
			6.0V	4.2			4.2		4.2		V
V _{IL}	Maximum Low Level Input Voltage		2.0V	0.3			0.3		0.3		V
			4.5V	0.9			0.9		0.9		V
			6.0V	1.2			1.2		1.2		V
V _{OH}	Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	2.0	1.9	1.9	1.9	1.9	1.9	V	
			4.5V	4.5	4.4	4.4	4.4	4.4	4.4	V	
			6.0V	6.0	5.9	5.9	5.9	5.9	5.9	V	
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	4.2	3.98	3.84	3.7	3.7	V		
			6.0V	5.7	5.48	5.34	5.2	5.2	V		
			6.0V	5.7	5.48	5.34	5.2	5.2	V		
V _{OL}	Maximum Low Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	0	0.1	0.1	0.1	0.1	0.1	V	
			4.5V	0	0.1	0.1	0.1	0.1	0.1	V	
			6.0V	0	0.1	0.1	0.1	0.1	0.1	V	
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4 mA I _{OUT} ≤ 5.2 mA	4.5V	0.2	0.26	0.33	0.4	0.4	V		
			6.0V	0.2	0.26	0.33	0.4	0.4	V		
			6.0V	0.2	0.26	0.33	0.4	0.4	V		
I _{IN}	Maximum Input Current (Pins 7, 15)	V _{IN} = V _{CC} or GND	6.0V	±0.5			±5.0		±5.0		μA
			6.0V	±0.1			±1.0		±1.0		μA
I _{CC}	Maximum Quiescent Supply Current (standby)	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA	6.0V	8.0			80		160		μA
			6.0V	8.0			80		160		μA
I _{CC}	Maximum Active Supply Current (per monostable)	V _{IN} = V _{CC} or GND R/C _{EXT} = 0.5V _{CC}	2.0V	36	80	110	130	130	130	μA	
			4.5V	0.33	1.0	1.3	1.6	1.6	1.6	mA	
			6.0V	0.7	2.0	2.6	3.2	3.2	3.2	mA	

1. Maximum Ratings are those values beyond which damage to the device may occur.
 2. Unless otherwise specified all voltages are referenced to ground.
 3. Power Dissipation Temperature Operating:
 Plastic "N" Package: -12mW/°C from 65°C to 85°C
 Ceramic "J" Package: -12mW/°C from 100°C to 125°C
 4. For a power supply of 5V ±10% the worst-case output voltages (V_{OH}, V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing this supply. Worst-case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst-case leakage current (I_{IN}, I_{CC}, and I_{OUT}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V$, $T_A=25^\circ C$, $C_L=15\text{ pF}$, $t_r=t_f=6\text{ ns}$

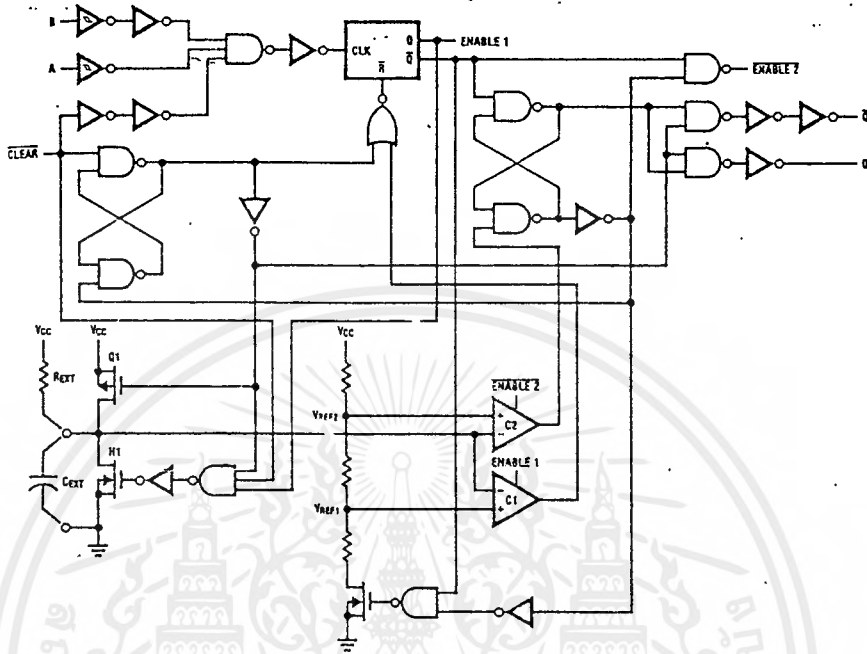
Symbol	Parameter	Conditions	Typ	Limit	Units
t_{PLH}	Maximum Trigger Propagation Delay A, B or Clear to Q		22	33	ns
t_{PHL}	Maximum Trigger Propagation Delay A, B or Clear to \bar{Q}		25	42	ns
t_{PHL}	Maximum Propagation Delay, Clear to Q		20	27	ns
t_{PLH}	Maximum Propagation Delay, Clear to \bar{Q}		22	33	ns
t_w	Minimum Pulse Width, A, B or Clear		14	26	ns
t_{REM}	Minimum Clear Removal Time			0	ns
$t_{WQ(MIN)}$	Minimum Output Pulse Width	$C_{EXT}=28\text{ pF}$ $R_{EXT}=2\text{ k}\Omega$	400		ns
t_{WQ}	Output Pulse Width	$C_{EXT}=1000\text{ pF}$ $R_{EXT}=10\text{ k}\Omega$	10		μs

AC Electrical Characteristics $C_L=50\text{ pF}$, $t_r=t_f=6\text{ ns}$ (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A=25^\circ C$		74HC $T_A=-40\text{ to }85^\circ C$		54HC $T_A=-55\text{ to}$	
				Typ	Guaranteed Limits				
t_{PLH}	Maximum Trigger Propagation Delay, A, B or Clear to Q		2.0V	77	169	194	210		
			4.5V	26	42	51	57		
			6.0V	21	32	39	44		
t_{PHL}	Maximum Trigger Propagation Delay, A, B or Clear to \bar{Q}		2.0V	88	197	229	250		
			4.5V	29	48	60	67		
			6.0V	24	38	46	51		
t_{PHL}	Maximum Propagation Delay Clear to Q		2.0V	54	114	132	143		
			4.5V	23	34	41	45		
			6.0V	19	28	33	36		
t_{PLH}	Maximum Propagation Delay Clear to \bar{Q}		2.0V	56	116	135	147		
			4.5V	25	36	42	46		
			6.0V	20	29	34	37		
t_w	Minimum Pulse Width A, B, Clear		2.0V	57	123	144	157		
			4.5V	17	30	37	42		
			6.0V	12	21	27	30		
t_{REM}	Minimum Clear Removal Time		2.0V	0	0	0	0		
			4.5V	0	0	0	0		
			6.0V	0	0	0	0		
t_{TLH}, t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110		
			4.5V	8	15	19	22		
			6.0V	7	13	16	19		
$t_{WQ(MIN)}$	Minimum Output Pulse Width	$C_{EXT}=28\text{ pF}$ $R_{EXT}=2\text{ k}\Omega$ $R_{EXT}=6\text{ k}\Omega$ ($V_{CC}=2V$)	2.0V	1.5					
			4.5V	450					
			6.0V	380					
t_{WQ}	Output Pulse Width	$C_{EXT}=0.1\text{ }\mu F$ $R_{EXT}=10\text{ k}\Omega$	Min	5.0V	1	0.9	0.86	0.85	
			Max	5.0V	1	1.1	1.14	1.15	
C_{IN}	Maximum Input Capacitance (Pins 7 & 15)			12	20	20	20		
				6	10	10	10		
C_{IN}	Maximum Input Capacitance (other inputs)			6	10	10	10		
C_{PD}	Power Dissipation Capacitance	(Note 5)		70					

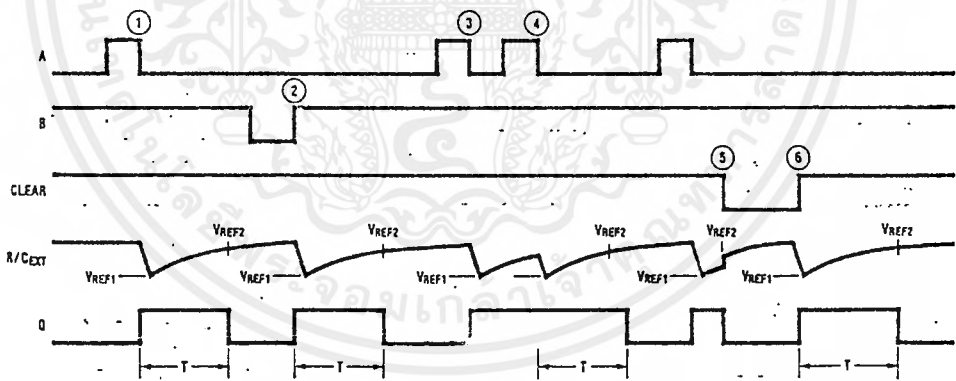
Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $V_{CC} f + I_{CC}$.

Logic Diagram



TL/F/5206-5

Theory of Operation



TL/F/5206-6

- ① POSITIVE EDGE TRIGGER
- ② NEGATIVE EDGE TRIGGER
- ③ POSITIVE EDGE TRIGGER
- ④ POSITIVE EDGE RE-TRIGGER (PULSE LENGTHENING)
- ⑤ RESET PULSE SHORTENING
- ⑥ CLEAR TRIGGER

FIGURE 1

TRIGGER OPERATION

As shown in Figure 1 and the logic diagram before an input trigger occurs, the one shot is in the quiescent state with the Q output low, and the timing capacitor C_{EXT} completely charged to V_{CC}. When the trigger input A goes from V_{CC} to GND (while inputs B and clear are held to V_{CC}) a valid trigger is recognized, which turns on comparator C1 and N-

channel transistor N1. At the same time the output latch is set. With transistor N1 on, the capacitor C_{EXT} rapidly discharges toward GND until V_{REF1} is reached. At this point the output of comparator C1 changes state and transistor N1 turns off. Comparator C1 then turns off while at the same time comparator C2 turns on. With transistor N1 off, the capacitor C_{EXT} begins to charge through the timing re-

sistor, R_{EXT} , toward V_{CC} . When the voltage across C_{EXT} equals V_{REF2} , comparator C2 changes state causing the output latch to reset (Q goes low) while at the same time disabling comparator C2. This ends the timing cycle with the monostable in the quiescent state, waiting for the next trigger.

A valid trigger is also recognized when trigger input B goes from GND to V_{CC} (while input A is at GND and input clear is at V_{CC}). The 'HC123A can also be triggered when clear goes from GND to V_{CC} (while A is at GND and B is at V_{CC}).

It should be noted that in the quiescent state C_{EXT} is fully charged to V_{CC} causing the current through resistor R_{EXT} to be zero. Both comparators are "off" with the total device current due only to reverse junction leakages. An added feature of the 'HC123A is that the output latch is set via the input trigger without regard to the capacitor voltage. Thus, propagation delay from trigger to Q is independent of the value of C_{EXT} , R_{EXT} , or the duty cycle of the input waveform.

RETRIGGER OPERATION

The 'HC123A is retriggered if a valid trigger occurs followed by another trigger before the Q output has returned to the quiescent (zero) state. Any retrigger, after the timing node voltage at the R/ C_{EXT} pin has begun to rise from V_{REF1} , but has not yet reached V_{REF2} , will cause an increase in output pulse width T. When a valid retrigger is initiated, the voltage at the R/ C_{EXT} pin will again drop to V_{REF1} before progressing along the RC charging curve

toward V_{CC} . The Q output will remain high until time T, the last valid retrigger.

Because the trigger-control circuit flip-flop resets shortly after C_x has discharged to the reference voltage of the lower reference circuit, the minimum retrigger time, t_{rr} is a function of internal propagation delays and the discharge time of C_x .

$$t_{rr} \approx 20 + \frac{187}{V_{CC} - 0.7} + \frac{565 + (0.256 V_{CC}) C_x}{[V_{CC} - 0.7]^2}$$

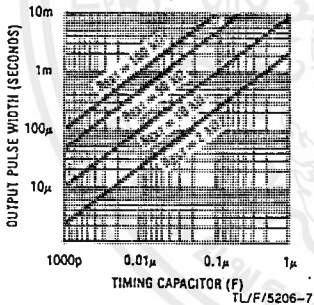
Another removal/retrigger time occurs when a short clear pulse is used. Upon receipt of a clear, the one shot must charge the capacitor up to the upper trip point before the one shot is ready to receive the next trigger. This time is dependent on the capacitor used and is approximately:

$$t_{rr} = 196 + \frac{640}{V_{CC} - 0.7} + \frac{522 + (0.3 V_{CC}) C_x}{(V_{CC} - 0.7)^2} ns$$

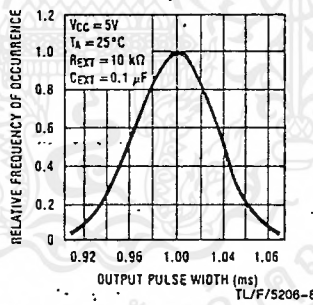
RESET OPERATION

These one shots may be reset during the generation of the output pulse. In the reset mode of operation, an input pulse on clear sets the reset latch and causes the capacitor to be fast charged to V_{CC} by turning on transistor Q1. When the voltage on the capacitor reaches V_{REF2} , the reset latch will clear and then be ready to accept another pulse. If the clear input is held low, any trigger inputs that occur will be inhibited and the Q and \bar{Q} outputs of the output latch will not change. Since the Q output is reset when an input low level is detected on the Clear input, the output pulse T can be made significantly shorter than the minimum pulse width specification.

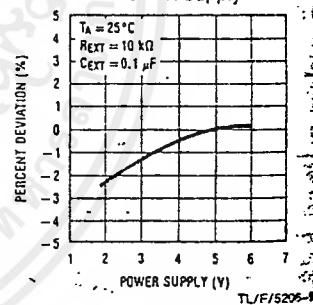
Typical Output Pulse Width vs. Timing Components



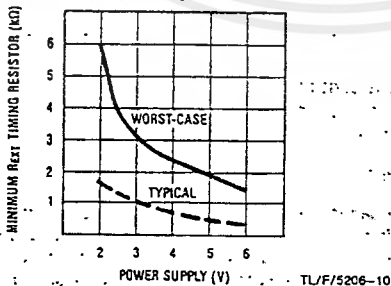
Typical Distribution of Output Pulse Width, Part to Part



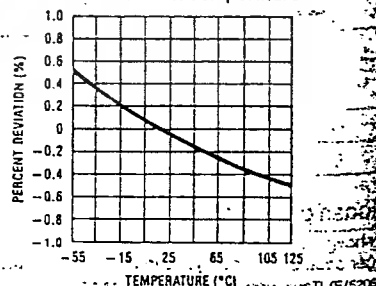
Typical 1ms Pulse Width Variation vs. Supply



Minimum R_{EXT} vs. Supply Voltage



Typical 1ms Pulse Width Variation vs. Temperature



Note: R and C are not subjected to temperature. The C is polypropylene.



MM54HC390/MM74HC390 Dual 4-Bit Decade Counter MM54HC393/MM74HC393 Dual 4-Bit Binary Counter

General Description

These counter circuits contain independent ripple carry counters and utilize advanced silicon-gate CMOS technology. The MM54HC390/MM74HC390 incorporate dual decade counters, each composed of a divide-by-two and a divide-by-five counter. The divide-by-two and divide-by-five counters can be cascaded to form dual decade, dual bi-quinary, or various combinations up to a single divide-by-100 counter. The MM54HC393/MM74HC393 contain two 4-bit ripple carry binary counters, which can be cascaded to create a single divide-by-256 counter.

Each of the two 4-bit counters is incremented on the high to low transition (negative edge) of the clock input, and each has an independent clear input. When clear is set high all four bits of each counter are set to a low level. This enables count truncation and allows the implementation of divide-by-N counter configurations.

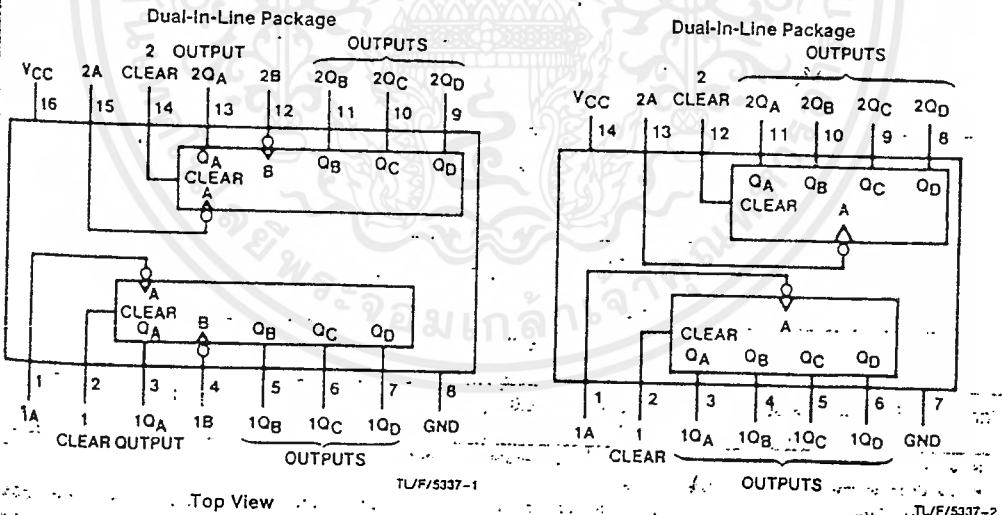
Each of the counters outputs can drive 10 low power Schottky TTL equivalent loads. These counters are func-

tionally as well as pin equivalent to the 54LS390/74LS390 and the 54LS393/74LS393, respectively. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

- Typical operating frequency: 50 MHz
- Typical propagation delay: 13 ns (Ck to Q_A)
- Wide operating supply voltage range: 2-6V
- Low input current: $<1 \mu A$
- Low quiescent supply current: 80 μA maximum (74HC Series)
- Fanout of 10 LS-TTL loads

Connection Diagrams



Order Number MM54HC390* or MM74HC390*

*Please look into Section 8, Appendix D for availability of various package types.

Order Number MM54HC393* or MM74HC393*

*Please look into Section 8, Appendix D for availability of various package types.

MM54HC390/MM74HC390/MM54HC393/MM74HC393

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	-0.5 to +7.0V
DC Input Voltage (V_{IN})	-1.5 to V_{CC} + 1.5V
DC Output Voltage (V_{OUT})	-0.5 to V_{CC} + 0.5V
Clamp Diode Current (I_{IK}, I_{OK})	± 20 mA
DC Output Current, per pin (I_{OUT})	± 25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{STG})	-65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

Supply Voltage (V_{CC})	Min 2	Max 6
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}
Operating Temp. Range (T_A)		
MM74HC	-40	+85
MM54HC	-55	+125
Input Rise or Fall Times (t_r, t_f)		
$V_{CC} = 2.0V$		1000
$V_{CC} = 4.5V$		500
$V_{CC} = 6.0V$		400

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ C$		74HC $T_A = -40$ to $85^\circ C$		54HC $T_A = -55$ to $125^\circ C$	
				Typ	Guaranteed Limits				
V_{IH}	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5	1.5	1.5	
			4.5V	3.15	3.15	3.15	3.15		
			6.0V	4.2	4.2	4.2	4.2		
V_{IL}	Maximum Low Level Input Voltage**		2.0V	0.5	0.5	0.5	0.5		
			4.5V	1.35	1.35	1.35	1.35		
			6.0V	1.8	1.8	1.8	1.8		
V_{OH}	Minimum High Level Output Voltage	$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 20 \mu A$	2.0V	2.0	1.9	1.9	1.9		
			4.5V	4.5	4.4	4.4	4.4		
			6.0V	6.0	5.9	5.9	5.9		
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 4.0$ mA $ I_{OUT} \leq 5.2$ mA	4.5V	4.2	3.98	3.84	3.7		
			6.0V	5.7	5.48	5.34	5.2		
			6.0V	5.7	5.48	5.34	5.2		
V_{OL}	Maximum Low Level Output Voltage	$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 20 \mu A$	2.0V	0	0.1	0.1	0.1		
			4.5V	0	0.1	0.1	0.1		
			6.0V	0	0.1	0.1	0.1		
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 4.0$ mA $ I_{OUT} \leq 5.2$ mA	4.5V	0.2	0.26	0.33	0.4		
			6.0V	0.2	0.26	0.33	0.4		
			6.0V	0.2	0.26	0.33	0.4		
I_{IN}	Maximum Input Current	$V_{IN} = V_{CC}$ or GND	6.0V	± 0.1	± 1.0	± 1.0			
I_{CC}	Maximum Quiescent Supply Current	$V_{IN} = V_{CC}$ or GND $I_{OUT} = 0 \mu A$	6.0V	8.0	80	160			

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C

Note 4: For a power supply of $5V \pm 10\%$ the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used with this supply. Worst case V_{IH} and V_{IL} occur at $V_{CC} = 5.5V$ and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{O2}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

** V_{IL} limits are currently tested at 20% of V_{CC} . The above V_{IL} specification (30% of V_{CC}) will be implemented no later than 01, CY89.

AC Electrical Characteristics MM54HC390/MM74HC390
 V_V, T_A = 25°C, C_L = 15 pF, t_r = t_f = 6 ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
	Maximum Operating Frequency, Clock A or B		50	30	MHz
t _{PH}	Maximum Propagation Delay, Clock A to Q _A Output		12	20	ns
t _{PH}	Maximum Propagation Delay, Clock A to Q _C (Q _A Connected to Clock B)		32	50	ns
t _{PH}	Maximum Propagation Delay, Clock B to Q _B or Q _D		15	21	ns
t _{PH}	Maximum Propagation Delay, Clock B to Q _C		20	32	ns
	Maximum Propagation Delay, Clear to any Output		15	28	ns
	Minimum Removal Time, Clear to Clock		-2	5	ns
	Minimum Pulse Width, Clear or Clock		10	16	ns

AC Electrical Characteristics C_L = 50 pF, t_r = t_f = 6 ns (unless otherwise specified)

Symbol	Parameter	Conditions	V _{CC}	T _A = 25°C			Units
				Typ	74HC T _A = -40 to 85°C	54HC T _A = -55 to 125°C	
	Maximum Operating Frequency		2.0V	5	4	3	MHz
			4.5V	27	21	18	MHz
			6.0V	31	24	20	MHz
t _{PH}	Maximum Propagation Delay, Clock A to Q _A		2.0V	45	120	150	ns
			4.5V	15	24	30	ns
			6.0V	13	21	26	ns
t _{PH}	Maximum Propagation Delay, Clock A to Q _C (Q _A Connected to Clock B)		2.0V	100	290	360	ns
			4.5V	35	58	72	ns
			6.0V	30	50	62	ns
t _{PH}	Maximum Propagation Delay, Clock B to Q _B or Q _D		2.0V	50	130	160	ns
			4.5V	16	26	33	ns
			6.0V	13	22	28	ns
t _{PH}	Maximum Propagation Delay, Clock B to Q _C		2.0V	60	185	230	ns
			4.5V	20	37	46	ns
			6.0V	17	32	40	ns
	Maximum Propagation Delay, Clear to any Q		2.0V	55	165	210	ns
			4.5V	17	33	41	ns
			6.0V	15	28	35	ns
	Minimum Removal Time Clear to Clock		2.0V	25	25	25	ns
			4.5V	5	5	5	ns
			6.0V	5	5	5	ns
	Minimum Pulse Width Clear or Clock		2.0V	30	80	100	ns
			4.5V	10	16	20	ns
			6.0V	9	14	18	ns
t _{PH}	Maximum Output Rise and Fall Time		2.0V	30	75	95	ns
			4.5V	8	15	19	ns
			6.0V	7	13	16	ns
	Maximum Input Rise and Fall Time		2.0V	1000	1000	1000	ns
			4.5V	500	500	500	ns
			6.0V	400	400	400	ns
	Power Dissipation Capacitance (Note 5)	(per counter)	55			pF	
	Maximum Input Capacitance		5	10	10	pF	

t_{PH} and *t_{PL}* determined by the no load dynamic power consumption, P_D = C_{PD} V_{CC}² f + I_{CC} V_{CC}, and the no load dynamic current consumption, I_S = C_{PD} V_{CC} f + I_{CC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MM54HC390/MM74HC393/MM54HC393/MM74HC393

AC Electrical Characteristics MM54HC393/MM74HC393

$V_{CC} = 5V, T_A = 25^\circ C, C_L = 15 pF, t_r = t_f = 6 ns$

Symbol	Parameter	Conditions	Typ	Guaranteed Limit
f_{MAX}	Maximum Operating Frequency		50	30
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Clock A to Q_A		13	20
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Clock A to Q_B		19	35
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Clock A to Q_C		23	42
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Clock A to Q_D		27	50
t_{PHL}	Maximum Propagation Delay, Clear to any Q		15	28
t_{REM}	Minimum Removal Time		-2	5
t_w	Minimum Pulse Width Clear or Clock		10	16

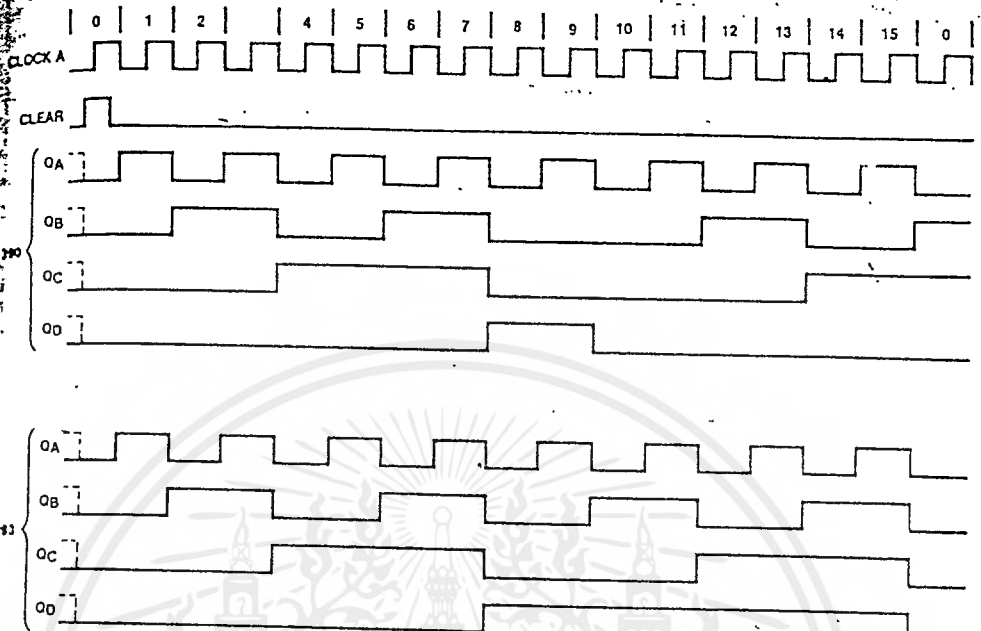
AC Electrical Characteristics $C_L = 50 pF, t_r = t_f = 6 ns$ (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ C$		$T_A = -40 \text{ to } 85^\circ C$		$T_A = -55 \text{ to } 125^\circ C$	
				Typ	Guaranteed Limits	74HC	54HC	74HC	54HC
f_{MAX}	Maximum Operating Frequency		2.0V	5	4	3			
			4.5V	27	21	18			
			6.0V	31	24	20			
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock A to Q_A		2.0V	45	120	150	180		
			4.5V	15	24	30	35		
			6.0V	13	21	26	31		
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock A to Q_B		2.0V	68	190	240	285		
			4.5V	23	38	47	57		
			6.0V	20	32	40	48		
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock A to Q_C		2.0V	90	240	300	360		
			4.5V	30	48	60	72		
			6.0V	26	41	51	61		
t_{PHL}, t_{PLH}	Maximum Propagation Delay Clock to Q_D		2.0V	100	290	360	430		
			4.5V	35	58	72	87		
			6.0V	30	50	62	75		
t_{PHL}	Maximum Propagation Delay Clear to any Q		2.0V	54	165	210	250		
			4.5V	18	33	41	49		
			6.0V	15	28	35	42		
t_{REM}	Minimum Clear Removal Time		2.0V	25	25	25	25		
			4.5V	5	5	5	5		
			6.0V	5	5	5	5		
t_w	Minimum Pulse Width Clear or Clock		2.0V	30	80	100	120		
			4.5V	10	16	20	24		
			6.0V	9	14	18	20		
t_{THL}, t_{TLH}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110		
			4.5V	8	15	19	22		
			6.0V	7	13	16	19		
t_r, t_f	Maximum Input Rise and Fall Time			1000	1000	1000	1000		
				500	500	500	500		
				400	400	400	400		
C_{PD}	Power Dissipation Capacitance (Note 5)	(per counter)	.42						
C_{IN}	Maximum Input Capacitance		.5	10	10	10	10		

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_D = C_{PD} V_{CC} f + I_{CC}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Timing Waveforms



TL/F/5337-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้