



การออกแบบชุดทดลองการส่งข้อมูลดิจิทัลเบสแบนด์  
DIGITAL BASEBAND TRANSMISSION LAB DESIGN



นาย มนต์ชัย                      ลีลาวัฒน์พานิชย์  
นาย สุจินต์                            ชูหนองอาจ  
นาย โอภาส                              ทาสาสันศรี

วัน เดือน ปี..... 14 ธ.ค. 2541 .....  
เลขทะเบียน..... 038946 .....  
เลขเรียกหนังสือ..... T 10187 ม 115 ก .....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคอมพิวเตอร์ปริญญาวิทยาศาสตรบัณฑิต  
สาขาวิชาเทคโนโลยีโทรคมนาคม  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038946

หัวข้อปริญญานิพนธ์ การออกแบบชุดทดลองการส่งข้อมูลดิจิทัลเบสแบนด์  
DIGITAL BASEBAND TRANSMISSION LAB DESIGN

ชื่อนักศึกษา นาย มนต์ชัย ลีลาวัฒนพานิชย์ เลขประจำตัว 38013374  
นาย สุจินต์ ชูหนองอาจ เลขประจำตัว 38013387  
นาย โอภาส หาสาสน์ศรี เลขประจำตัว 38013392

อาจารย์ที่ปรึกษา อาจารย์ คลรัช สุขเจริญผล  
อาจารย์ กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2540

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้แนบปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร-  
บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การออกแบบชุดทดลองการส่งข้อมูลดิจิทัลแบบแบนด์

โดย	นาย มนต์ชัย ลีลาวัฒนพานิชย์	เลขประจำตัว 38013374
	นาย สุจินต์ ชูหนองอาจ	เลขประจำตัว 38013387
	นาย โอภาส หาสาสน์ศรี	เลขประจำตัว 38013392

อาจารย์ที่ปรึกษา อาจารย์ คลชัย สุขเจริญผล

อาจารย์ กฤดากร กล่อมมาร

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2540

บทคัดย่อ

ชุดทดลองการส่งสัญญาณดิจิทัลแบบแบนด์นี้ได้จำลองรูปแบบของระบบสื่อสาร โดยทั่วไปของการส่งข้อมูลแบบดิจิทัล ใช้ความเร็วในการส่ง 64 kbps โดยทำการเข้ารหัสในรูปแบบต่าง ๆ ก่อนส่งไปในสาย เรียกสัญญาณที่เข้ารหัสนี้ว่า "สัญญาณแบบแบนด์" เป็นการส่งข้อมูลที่ไม่ได้นำสัญญาณข้อมูลไป มอดูเลทกับคลื่นพาห้ใด ๆ ช่วยลดความยุ่งยากของการสร้างวงจรความถี่สูง

โครงการนี้จะแสดงให้เห็นถึงรูปแบบของการเข้ารหัสจากสัญญาณอนาล็อกแปลงเป็นสัญญาณดิจิทัล ทำการเข้ารหัสสัญญาณให้เป็นสัญญาณแบบแบนด์ในรูปแบบต่าง ๆ ส่งไปในช่องสัญญาณที่สามารถปรับแบนด์วิดท์ของช่องสัญญาณได้ก่อนเข้าภาครับถอดรหัสสัญญาณแล้วแปลงออกมาเป็นสัญญาณอนาล็อก การส่งสัญญาณดิจิทัลแทนการส่งสัญญาณอนาล็อกจะช่วยลดความผิดพลาดของสัญญาณข้อมูลและทำให้ได้เรียนรู้เกี่ยวกับขบวนการของการเข้ารหัสแบบไหนทำให้มีแบนด์วิดท์แคบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DIGITAL BASEBAND TRANSMISSION LAB DESIGN

By	Mr. Monchai Leelawattanapanit	No. 38013374
	Mr. Sujin yoonongard	No. 38013387
	Mr. Ophat Hasatsri	No. 38013392
Advisor	Mr. Dolchai Sukchareonphol	
	Mr. Kitdakhon Komkan	
Year	1997	

ABSTRACT

This digital baseband signal Lab is simulated the general communication system of the digital signal transmitting. It's used speed to 64 kbps .Before transmitted in the line must be the encode signal called "Digital Baseband" . This method of the signal data is not modulate with other carriers. It's decreased the difficult of the high-frequency circuit .

This project show how to encode analog waveforms convert to the digital signal. The signal passed the encode to general baseband signal. It's transmitted in the channel can be adjust the bandwidth of channel. It's passed in the decode signal part. After converted to the analog signal. The digital approximation to the analog signal can be made very precise if we wish, we will learn how to process the digital baseband signals so that their bandwidth is minimized

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ สำเร็จลุลวงได้เป็นอย่างดีก็ด้วยความร่วมมือร่วมใจและตั้งใจทำงานของผู้ร่วมงานในกลุ่มโครงการ อีกทั้งยังได้รับความช่วยเหลือจากหลาย ๆ ท่าน รวมทั้งอาจารย์ที่ปรึกษาที่ให้คำแนะนำทางด้านเทคนิค ตลอดจนวิธีการใช้เครื่องมือและที่สำคัญความไว้วางใจที่ให้โอกาสพวกกระผมได้ทำปริญญานิพนธ์นี้ ขอขอบคุณบุคคลทั้งหมดที่ให้คำแนะนำ จัดพิมพ์รูปเล่มปริญญานิพนธ์ ตลอดจนบุคคลอื่น ๆ ที่มีได้กล่าวถึงแต่มีส่วนที่ทำให้ปริญญานิพนธ์สำเร็จไปได้ด้วยดี ขอขอบคุณครับ

คณะผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

	หน้า
บทคัดย่อ	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการของระบบสื่อสารดิจิทัล	4
2.1 ระบบสื่อสารดิจิทัล	4
2.2 การส่งผ่านสัญญาณดิจิทัลเบสแบนด์	6
2.3 รูปแบบของการเข้ารหัสสัญญาณดิจิทัลเบสแบนด์	8
2.4 สเปกตรัมของสัญญาณเบสแบนด์	11
2.5 หลักการของการเข้ารหัส-ถอดรหัสแบบต่าง ๆ	17
2.6 Spectral Efficiency	30
2.7 BER ของสัญญาณเบสแบนด์	32
บทที่ 3 หลักการและการออกแบบวงจรดิจิทัลเบสแบนด์ทางด้านภาคส่ง	37
3.1 Data Generator	37
3.2 CHANNEL	45
3.3 ENCODER	48
บทที่ 4 หลักการและการออกแบบวงจรดิจิทัลเบสแบนด์ทางด้านภาครับ	51
4.1 DECODER	51
4.2 อินทิเกรทและคัมพ์	54
4.3 CLOCK RECOVERY	58
4.4 วงจรแปลงดิจิทัลเป็นอนาล็อก(DAC)	89
บทที่ 5 ผลการดำเนินงาน	97
บทที่ 6 สรุปผลการดำเนินงาน	107
เอกสารอ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 1

### บทนำ

#### 1.1 วัตถุประสงค์

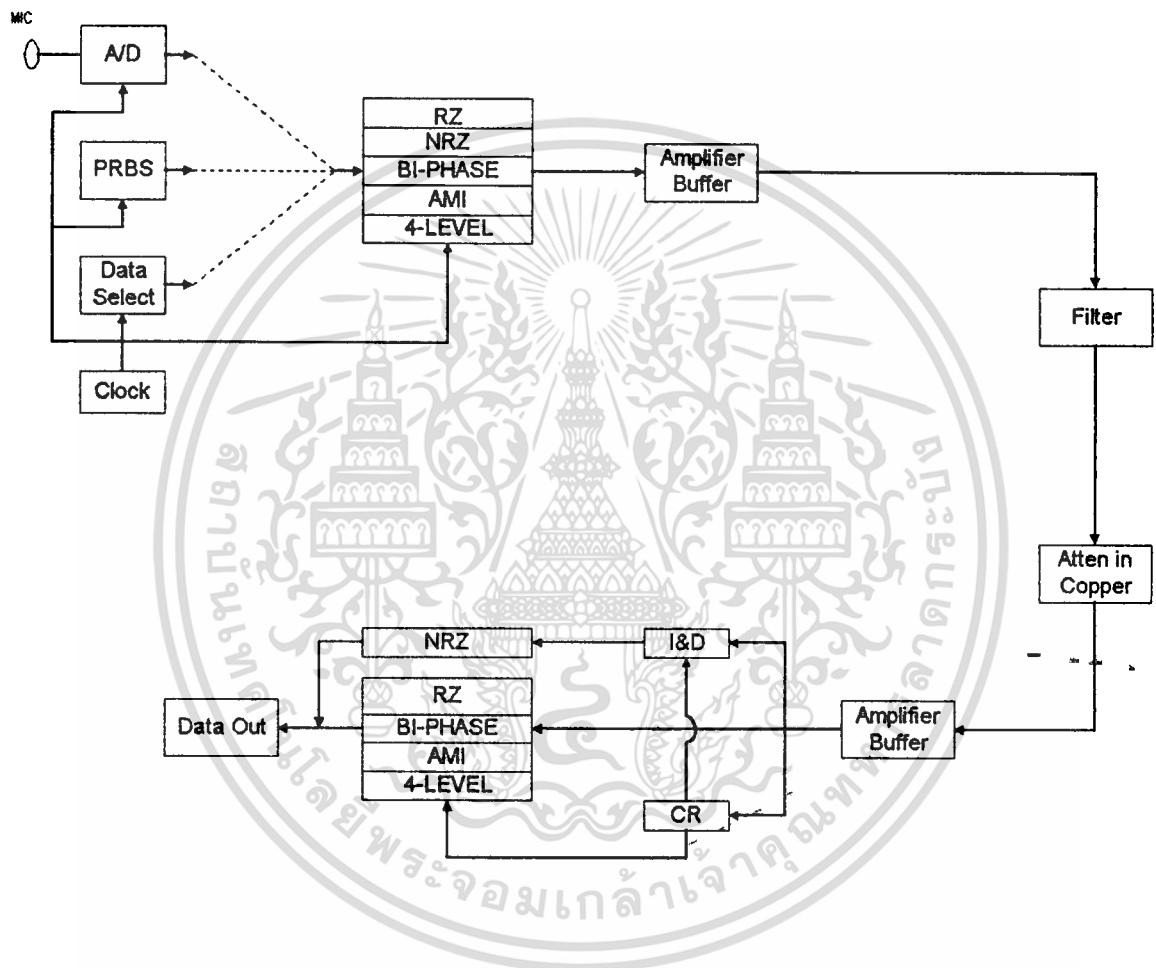
- ศึกษาสัญญาณแบบสแอมป์ และการเข้ารหัสสัญญาณแบบสแอมป์
- ศึกษาสัญญาณดิจิทัล ทั้งใน Time domain และ Frequency domain ของสัญญาณเข้ารหัสแบบสแอมป์แต่ละแบบ
- ศึกษาสัญญาณแบบสแอมป์ในรูปแบบที่เหมาะสมสำหรับการส่งสัญญาณในสายโทรศัพท์ และสายโคแอกเชียล
- ศึกษาวิธีการวัดคุณภาพของสัญญาณที่ภาคส่งและภาครับ รวมทั้งการปรับแต่งวงจร

#### 1.2 แนวความคิดที่ได้มา

เนื่องจากสัญญาณ PCM เป็นสัญญาณดิจิทัลที่อยู่ในรูปแบบอนุกรมที่มีการเปลี่ยนสถานะลอจิก “1” และ “0” เรียงบิตต่อ ๆ กัน ในบางครั้งพบว่าแม้จะส่งข้อมูล PCM ระหว่างเครื่องรับและเครื่องส่ง ซึ่งอาจจะส่งผ่านสายโทรศัพท์หรือโคแอกเชียลในระยะทางไกล ๆ เพียง 1 หรือ 2 เมตร แต่ข้อมูลที่ได้รับ ณ เครื่องรับปลายทาง มีการผิดเพี้ยนจากข้อมูลจริงที่ส่งออกมาจากเครื่องส่งก็ได้ เนื่องจากสัญญาณลอจิก “1” และ “0” ถูกตรวจจับและแปรค่าผิดพลาดจากค่าจริง ทั้งนี้อาจเกิดจากข้อมูล PCM นั้น ๆ ได้รับการส่งในรูปแบบที่ไม่เหมาะสม

จากเหตุผลดังกล่าวข้างบนทำให้มีแนวความคิดที่จะสร้างชุดทดลองการส่งข้อมูลดิจิทัลแบบสแอมป์ขึ้น เพื่อจะได้ศึกษาถึงการส่งสัญญาณ และการเข้ารหัสข้อมูลแบบต่าง ๆ ให้เหมาะสม อีกทั้งยังได้ศึกษาถึงข้อดีข้อเสียของการเข้ารหัสแบบต่าง ๆ ที่ใช้ในการส่งข้อมูลไปในสายโทรศัพท์หรือสายโคแอกเชียล

### 1.3 รูปแบบโครงงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.4 ขอบเขตโครงการ

ในการทำโครงการนี้มีการออกแบบและทดลองรวม 4 ส่วน คือ

### Data Generator

1. ADC
2. PRBS
3. Clock Generator
4. Data Select

### Encoder

1. Unipolar NRZ
2. Unipolar RZ
3. Biphasse
4. Bipolar
5. Multilevel

### Channel

1. Amplifier Circuit
2. Filter
3. Attenuator

### Decoder

1. Unipolar NRZ
2. Unipolar RZ
3. Biphasse
4. Bipolar
5. Multilevel
6. I&D
7. Clock Recovery
8. DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

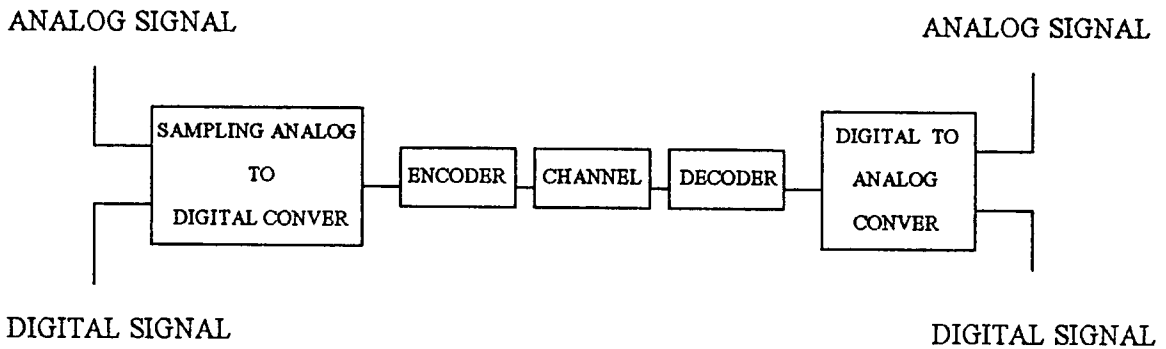
### ทฤษฎีและหลักการของระบบสื่อสารดิจิทัล

#### 2.1 ระบบสื่อสารดิจิทัล (DIGITAL COMMUNICATION SYSTEM)

จุดมุ่งหมายของระบบสื่อสารคือ การส่งข่าวสารจากจุดหนึ่งไปยังจุดอื่น ๆ โดยข่าวสารนี้อยู่ในรูปของสัญญาณไฟฟ้า ในแบบอนาล็อกหรือดิจิทัลสัญญาณอนาล็อก (ANALOG SIGNAL) คือสัญญาณที่มีค่าต่อเนื่องตลอดเวลาในขณะที่สัญญาณดิจิทัล (DIGITAL SIGNAL) คือสัญญาณที่มีค่าแน่นอนและมีจำนวนจำกัด ตัวอย่างของสัญญาณอนาล็อกคือ เสียงที่รับได้ โดยไมโครโฟน และตัวอย่างของสัญญาณดิจิทัลคือ สัญญาณข้อมูลที่ส่งออกจากคอมพิวเตอร์ส่วนประกอบเบื้องต้นของระบบสื่อสารดิจิทัลแสดงให้เห็นใน รูปที่ 2.1 โดยสัญญาณขาเข้า (INPUT SIGNAL) อาจจะมีลักษณะรูปแบบเดียวกับข้อมูลคอมพิวเตอร์หรือสัญญาณอนาล็อก จะทำการแปลงให้เป็นสัญญาณดิจิทัลโดยการสุ่มตัวอย่าง (SAMPLING) และจัดการระดับ (QUANTIZATION) สัญญาณแต่ละแบบที่เข้ามาจะถูกตัวส่ง (TRANSMITTER) รวมสถานะแน่นอนของสัญญาณดิจิทัลทั้งหมดเข้าเป็นรูปแบบซึ่งเหมาะสม สำหรับช่องสัญญาณ (CHANNEL) ระหว่างตัวส่งกับตัวรับ โดยที่ช่องสัญญาณจะมีรูปแบบที่แตกต่างกันออกไปขึ้นอยู่กับโครงสร้างทางฟิสิกส์ เช่น สายคู่ขนาน (WIRE PAIRE) สายโคแอกเชียล (COAXIAL) เส้นใยแสง (OPTICAL FIBERS) และชั้นบรรยากาศสำหรับการส่งด้วยคลื่นวิทยุซึ่งแตกต่างกันไปตามความต้องการของตัวส่ง โดยทั่วไปช่องสัญญาณจะทำให้เกิดการบิดเบี้ยว (DISTORTION) ไปจากสัญญาณที่ส่ง เนื่องจากการบวกสัญญาณรบกวน (NOISE) ที่หลีกเลี่ยงไม่ได้ ทำให้เครื่องรับต้องทำงานหนักในการกู้ (RECOVER) เอาสัญญาณที่ต้องการกลับมาถ้าช่องสัญญาณมีระยะทางไกล การลดทอน (ATTENUATION) สัญญาณที่ส่งก็จะสูง ทำให้ต้องมีตัวทวนสัญญาณ (REPEATER) ระหว่างตัวส่งกับตัวรับ เพื่อให้รับคุณลักษณะของสัญญาณถูกต้องรูปแบบง่าย ๆ ของตัวทวนสัญญาณ คือ แอมพลิฟาย ซึ่งใช้ในระบบอนาล็อก ซึ่งจะทำหน้าที่ขยายสัญญาณที่รับเข้ามาแล้วส่งออกไป แต่วิธีนี้สัญญาณรบกวนก็จะถูกขยายด้วยซึ่งไม่ได้เป็นการกำจัดการบิดเบี้ยวของสัญญาณ ส่วนตัวทวนสัญญาณระบบดิจิทัลจะทำการสร้างสัญญาณขึ้นมาใหม่จากสัญญาณเดิมแล้วทำการส่งต่อไป

ความสามารถในการสร้างสัญญาณใหม่เป็นข้อได้เปรียบของระบบดิจิทัลในการสื่อสารระบบอนาล็อกตัวทวนสัญญาณ จะทำหน้าที่ขยายอย่างเดียวโดยที่เครื่องรับ จะทำการกะประมาณรูปร่างของสัญญาณให้ตรงกับสัญญาณที่ส่งการวัดคุณสมบัติในการใช้งานของระบบจะวัดในทอมของการเหมือนกันระหว่างสัญญาณที่ส่งกับสัญญาณที่รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิทัล

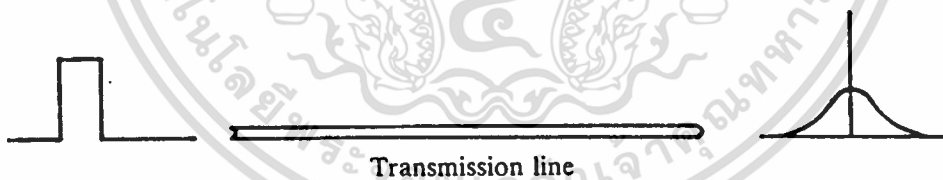
ในการสื่อสารดิจิทัลเครื่องรับจะพิจารณาความคล้ายคลึงของจำนวนที่เป็นไปได้ของสัญญาณที่ส่งมา ยกเว้นสถานะของสัญญาณผิดรูปไปหลายครั้ง การพิจารณาความถูกต้องทำให้สามารถสร้างสัญญาณที่ส่งมาได้สมบูรณ์ จากการกู้สัญญาณส่วนหนึ่งของหน่วยข่าวสารที่กู้ไม่ถูกต้อง ( อัตราความผิดพลาด ) จะนำมาใช้ในการวัดจำนวนปริมาณของคุณสมบัติในการใช้งานระบบ จะเห็นว่าคุณสมบัติในการใช้งานของระบบสื่อสารดิจิทัลจะไม่เกี่ยวข้องกับระยะทางของช่องสัญญาณ จากความแตกต่างของการวัดคุณสมบัติในการใช้งานของระบบทั้งสองนี้ เป็นจุดที่นำไปใช้ในการออกแบบอย่างกว้าง ๆ ระบบดิจิทัลที่เริ่มเข้ามาในระบบแรก คือ ระบบพาหะดิจิทัลที่ 1 ( T1 DIGITAL CARRIER SYSTEM ) โดยระบบนี้จะใช้เบสแบนด์พัลส์ ( BASE BAND PULSE ) สำหรับส่งสัญญาณดิจิทัลสองระดับด้วยสายคู่ขนานและมีตัวทวนสัญญาณทุก ๆ กิโลเมตร ตั้งแต่บัดนั้นมาจำนวนของระบบดิจิทัลก็มีเพิ่มขึ้น โดยมีอัตราการส่งข้อมูลสูงสุดและใช้ตัวกลางในการส่งที่แตกต่างไป เช่น คลื่นวิทยุ และเส้นใยแสงในช่วงต่อมา ได้นำเอาทฤษฎีของระบบอนาล็อกมาใช้ในการกำหนดคุณสมบัติการใช้งานระบบสื่อสารดิจิทัลด้วย โดยส่วนใหญ่การพัฒนาของระบบดิจิทัลนี้มีรูปแบบมาจากรูปแบบการส่งข้อมูลอนาล็อกในปัจจุบัน เพื่อความสะดวกในการใช้งานจึงได้มีการออกแบบการสื่อสารอนาล็อกเพื่อการส่งสัญญาณดิจิทัลผ่านเข้าไปในระบบโครงข่ายของอนาล็อกแต่ละระบบ สัญญาณดิจิทัลจะถูกทำการผสมสัญญาณ ( MODULATE ) ในลักษณะเช่นเดียวกับผสมสัญญาณอนาล็อกและที่ด้านรับสัญญาณดิจิทัลจะถูกแยกออกจากพาหะ อุปกรณ์ที่ทำหน้าที่นี้เรียกว่า โมเด็ม ( MODEM ) ซึ่งมาจากคำว่า MODULATOR DEMODULATOR ย่านความถี่ส่วนใหญ่ของสัญญาณที่ใช้ในการส่งของข่ายสายสัญญาณโทรศัพท์จะมีย่านความถี่ 300 - 3400 Hz เรียกย่านนี้ว่า ย่านข้อมูลเสียง ( VOICE - BAND DATA OR VBD ) ซึ่งความกว้างของย่านช่องสัญญาณนี้จะขึ้นอยู่กับชนิดของตัวกลางในการส่งและวิธีการของการสื่อสารดิจิทัลจะอ้างถึงสัญญาณดิจิทัลที่ส่งในรูปแบบอนาล็อก การรวมระบบสื่อสารดิจิทัลและอนาล็อกเข้าด้วยกันเป็นระบบผสมซึ่งมีใช้อยู่ในปัจจุบัน ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 การส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์

การส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบ PCM โดยทั่วไป นอกจากนั้นยังใช้ในระบบข่ายวงจรท้องถิ่น (Local area network) และในงานสื่อสารข้อมูลระยะใกล้แบบอื่น ๆ เนื่องจากสัญญาณดิจิทัลสามารถสร้างให้มีรูปร่างเป็นแบบต่าง ๆ ได้ ดังนั้นในการใช้งานจึงมักจะต้องเลือกรูปแบบของสัญญาณที่เหมาะสมกับระบบเพื่อให้การส่งและการรับสัญญาณเป็นไปได้ด้วยดี มีอัตราการผิดพลาดต่ำ

### 2.2.1 โครงสร้างและความต้องการของระบบส่งผ่านดิจิทัลแบบเบสแบนด์

ในระบบ PCM ที่ส่งผ่านสัญญาณดิจิทัลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น สัญญาณดิจิทัลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิทัลแบบเบสแบนด์โดยไม่ทำการมอดูเลตกับคลื่นพาห้ ซึ่งอาจกล่าวได้ว่าเป็นระบบที่ง่ายเพราะไม่ต้องใช้อุปกรณ์ด้านความถี่สูงอย่างไรก็ตามสายนำสัญญาณนั้นจะมีการตอบสนองต่อความถี่ไม่สม่ำเสมอทำให้สัญญาณดิจิทัลที่ส่งผ่านไปค่อย ๆ ผิดเพี้ยนไปทั้งเชิงขนาดและเชิงเวลาหน่วง ผลที่เกิดขึ้นก็คือเมื่อทำการส่งสัญญาณพัลส์สี่เหลี่ยมออกไปสัญญาณนั้นก็จะค่อย ๆ ผิดเพี้ยนโดยถูกกว้างออก ตามที่แสดงไว้ในรูปที่ 2.2



รูปที่ 2.2 การถูกกว้างออกของสัญญาณพัลส์สี่เหลี่ยมเมื่อส่งไปตามสายนำสัญญาณ

กล่าวคือ ช่วงกว้างของพัลส์จะเพิ่มมากขึ้นและระดับสูงสุดของพัลส์จะลดต่ำลง การผิดเพี้ยนที่เกิดขึ้นนี้จะทำให้เกิดปัญหาหลัก 2 ประการ คือ หางของพัลส์ตัวที่ส่งเกิดอยู่นี้จะข้ามไปรบกวนพัลส์ตัวที่อยู่ถัดไปได้ซึ่งเราเรียกการรบกวนนี้ว่าการรบกวนระหว่างสัญลักษณ์ (inter symbol interference ย่อว่า ISI) และขนาดของพัลส์เมื่อถูกละเอียดก็จะถูกรบกวนจากสัญญาณรบกวนแบบเกาส์เซียนได้ง่าย ดังนั้นในระบบส่งสัญญาณ PCM โดยทั่วไปจึงต้องติดตั้งเครื่องทวนสัญญาณไว้ระหว่างทางเพื่อทำเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตีเทคและสร้างสัญญาณดิจิทัลชุดเดิมขึ้นมาใหม่ก่อนที่สัญญาณนั้นจะมีการผิดเพี้ยนมากจนทำให้การตีเทค สัญญาณมีอัตราการผลิตสูง

ในการตีเทคสัญญาณนั้นส่วนใหญ่จะใช้วิธีเปรียบเทียบระดับสัญญาณที่เข้ามากับระดับสัญญาณเทรซโฮลด์ โดยที่ถ้าระดับสัญญาณที่เข้ามาสูงกว่าก็ให้เป็น " 1 " ถ้าระดับสัญญาณที่เข้ามาต่ำกว่าก็ให้เป็น " 0 " ดังนั้น สิ่งที่สำคัญอย่างขึงขวดก็คือ จังหวะหรือไทมิง ( timing ) ของการเปรียบเทียบ และไทมิงที่เหมาะสมที่สุดก็คือ ตำแหน่งที่ขนาดของพัลส์สูงที่สุด นั่นคือเมื่อพิจารณาจากเครื่องตีเทคสัญญาณแล้วก็จะต้องการสัญญาณ ไทมิงหรือสัญญาณนาฬิกาจากสัญญาณที่เข้าเพื่อให้สัญญาณนาฬิกาท้องถิ่นสามารถซิงโครไนซ์กับสัญญาณนาฬิกาของสัญญาณที่เข้ามาอยู่เสมอ เพราะฉะนั้นสัญญาณ PCM ที่ส่งออกมาจึงต้องมีข่าวสารของสัญญาณนาฬิกาอย่างเพียงพอ ลักษณะที่กล่าวมานี้เราเรียกว่า การส่งและรับข้อมูลแบบซิงโครนัส ( synchronous transmission )

### 2.2.2 คุณสมบัติของการนำสัญญาณดิจิทัลแบบแอนด

อุปกรณ์สื่อสารสัญญาณโดยทั่วไป เครื่องรับเครื่องส่งจะต้องมีความสามารถในการแปลงรูปแบบการเข้ารหัสจากรหัสหนึ่งไปเป็นอีกรหัสหนึ่ง เรียกว่าวงจรที่ทำหน้าที่ดังกล่าวว่าวงจรแปลงรหัส (code converter) โดยคุณลักษณะพื้นฐานของรหัสที่สามารถใช้ในการสื่อสารได้เป็นดังนี้

- ต้องไม่ทำให้มีองค์ประกอบของแรงดันไฟฟ้าตรง (dc) เกิดขึ้นตลอดช่วงระยะเวลาของการส่ง ทั้งนี้เนื่องจากอุปกรณ์สื่อสารโดยทั่วไปจะใช้หม้อแปลงไฟฟ้ากระแสสลับหรือตัวเก็บประจุในการคัปปลิงระหว่างกันเพื่อลดการเกิดกราวด์ลูปภายในวงจร การเกิดองค์ประกอบแรงดันไฟฟ้าตรงจะทำให้ข้อมูลในส่วนดังกล่าวไม่สามารถส่งผ่านวงจรคัปปลิงเหล่านี้ได้ ส่งผลให้ข้อมูลที่รับเกิดการผิดเพี้ยนไป

- ต้องทำให้พลังงานในย่านความถี่มีค่าน้อยที่สุด มิฉะนั้นจะทำให้ต้องใช้อุปกรณ์ที่มีขนาดใหญ่
- ควรมีการเปลี่ยนระดับแรงดันโดยผ่านค่าระดับแรงดันศูนย์อยู่บ่อย ๆ ทั้งนี้เพื่อใช้ประโยชน์ในการกู้และสร้างฐานเวลาที่เครื่องรับให้ตรงกับฐานเวลาที่เครื่องส่ง

- รหัสที่สร้างขึ้นจะต้องมีคุณลักษณะที่เป็นเอกลักษณ์เฉพาะตัว กล่าวคือวงจรถอดรหัสที่ภาครับจะต้องทำการถอดรหัสได้โดยไม่เกิดการสับสน

- รหัสที่ดีที่สุดจะต้องสามารถลดแบนด์วิดธ์ของช่องสัญญาณลงให้ต่ำที่สุด

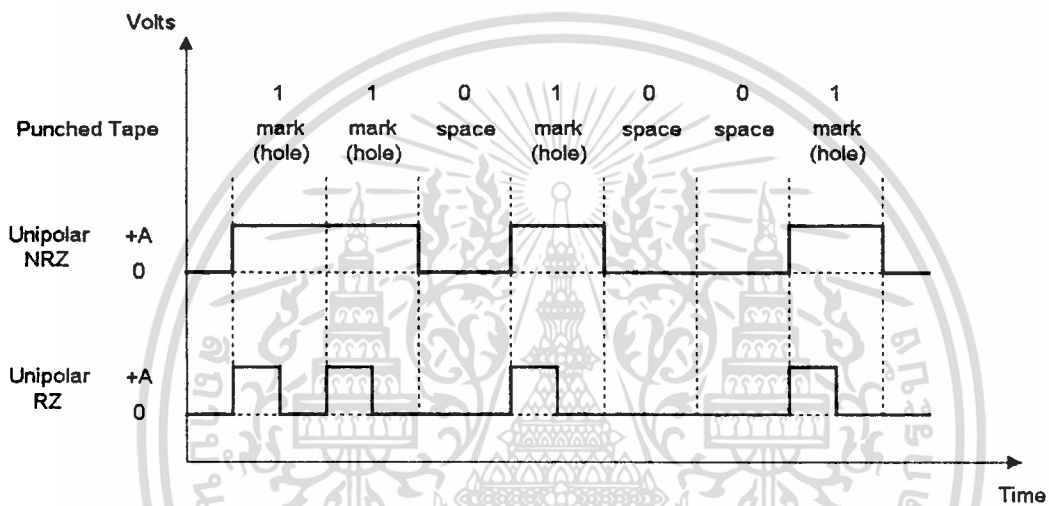
- สำหรับการรับประกันคุณภาพการสื่อสารที่มีประสิทธิภาพสูงสุด รหัสที่ใช้จะต้องสนับสนุนการตรวจจับความผิดพลาด (error-detection) และการแก้ไขความผิดพลาด (error-correction)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3 รูปแบบของการเข้ารหัสสัญญาณดิจิทัลออลเบตแบนด์

ไบนารี 0 และ 1 ในระบบ PCM อาจแสดงได้ในรูปแบบของสัญญาณที่เป็นบิตแบบอนุกรมชนิดต่าง ๆ เรียกว่า Line Code แต่การจัดรูปแบบสัญญาณ Line Code อาจใช้ระดับโวลต์เป็นหลักเกณฑ์ในการแบ่งแยกรูปแบบของสัญญาณแบ่งได้ดังนี้

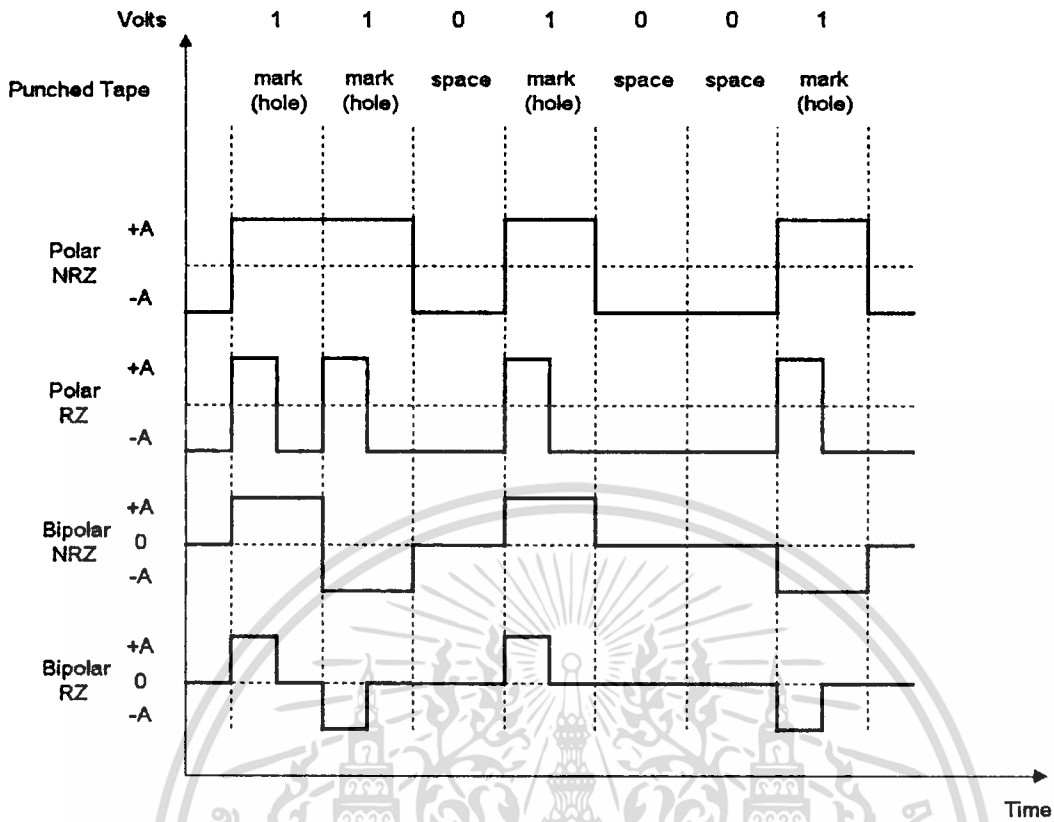
-Unipolar Signaling สัญญาณจะถูกจัดระดับของแรงดันเป็น 2 ระดับโดยที่สัญญาณที่ไบนารี 1 จะแสดงด้วยระดับที่เป็น High (+A) สัญญาณที่เป็นไบนารี 0 จะแสดงด้วยระดับ Low (0V) เราเรียกสัญญาณแบบนี้ว่า on-off Keying



รูปที่ 2.3 แสดงรูปแบบของสัญญาณ Unipolar

Punched Tape จะแสดงให้เห็นว่าไบนารี 1 ใช้แทนด้วย Mark และไบนารี 0 ใช้แทนด้วย space จากรูปสัญญาณ Unipolar แบ่งได้เป็น Unipolar NRZ และ Unipolar RZ สังเกตได้ว่า Unipolar NRZ สัญญาณไบนารี 1 ที่ถูกแทนด้วยระดับ High จะกลับสู่ศูนย์ เมื่อเต็มคาบเวลาของบิต เรียกว่า Non Return to Zero แต่ Unipolar RZ สัญญาณไบนารี 1 ที่ถูกแทนด้วยระดับ High จะกลับสู่ศูนย์เมื่อครึ่งคาบเวลาของบิตเรียกว่า Return to Zero

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ; ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

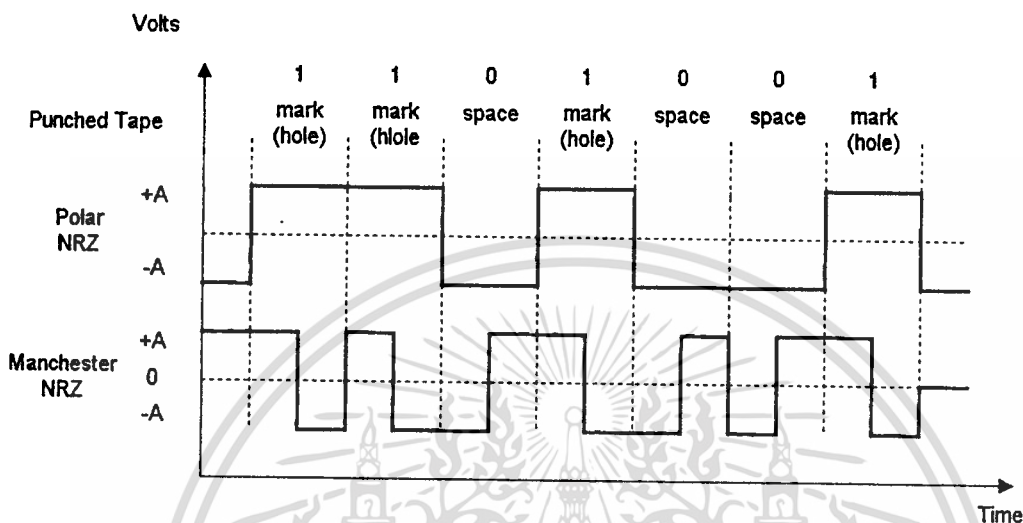


รูปที่ 2.4 แสดงรูปแบบของสัญญาณ Polar และ Bipolar

-Polar Signaling สัญญาณจะถูกจัดระดับแรงดันเป็น 2 ระดับ โดยที่สัญญาณที่เป็นไบนารี 1 จะแสดงด้วยระดับที่เป็น High (+A) สัญญาณที่เป็นไบนารี 0 จะแสดงด้วยระดับลบ (-A) สัญญาณ Polar Signaling แบ่งได้เป็น NRZ และ RZ ดังรูป

-Bipolar Signaling สัญญาณจะถูกจัดระดับแรงดันเป็น 3 ระดับ สัญญาณที่เป็นไบนารี 1 จะแสดงด้วยระดับที่เป็นบวกและลบสลับกันไป สัญญาณที่เป็นไบนารี 0 จะถูกแทนด้วยระดับ 0 การที่เราใช้การเข้ารหัส 3 ระดับแทนสัญญาณข้อมูล 2 ระดับ เราเรียกว่า Alternate Mark Inversion (AMI) ซึ่งก็แบ่งได้เป็น NRZ และ RZ แต่จะเป็นแบบ RZ มากกว่า ได้แก่ AMI-RZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



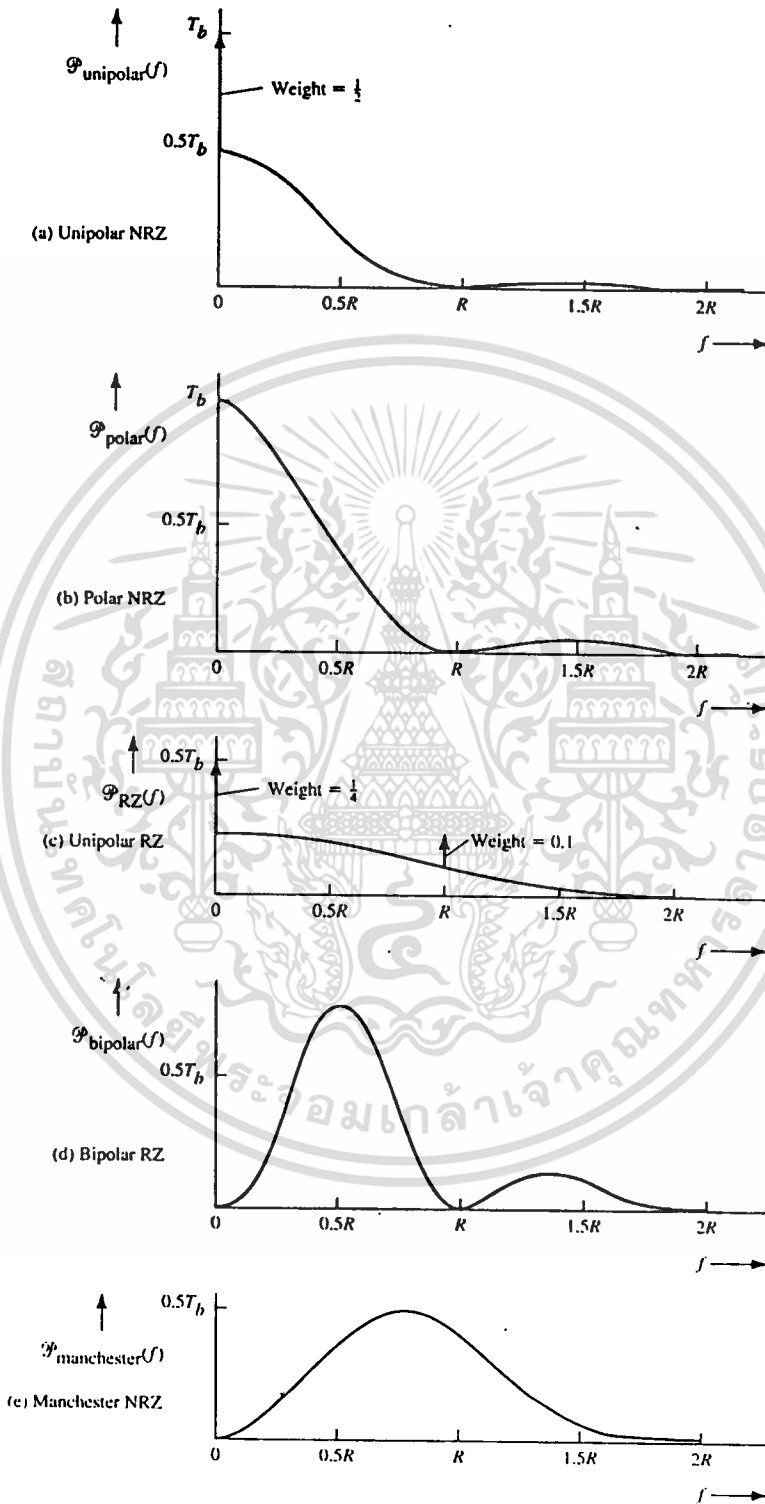
รูปที่ 2.5 แสดงรูปแบบของสัญญาณ Biphase

-Manchester Signaling สัญญาณจะถูกจัดระดับแรงดันออกเป็น 2 ระดับ แต่สัญญาณที่เป็นไบนารี 1 จะแสดงด้วยบิตที่เป็นบวกครึ่งคาบเวลาแล้วจะตามด้วยบิตที่เป็นลบอีกครึ่งคาบเวลาที่เหลือ สัญญาณที่เป็นไบนารี 0 จะแสดงด้วยบิตที่เป็นลบครึ่งคาบเวลาแล้วตามด้วยบิตที่เป็นบวกอีกครึ่งคาบเวลาที่เหลือ ดังรูป การเข้ารหัสแบบนี้ เรียกว่า Split Phase Encoding หรือ Biphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.4 สเปกตรัมของสัญญาณแบบแชนด์

Power spectral density (PSD) ของการเข้ารหัสชนิดต่าง ๆ ที่แสดงในรูป 2.6 หาค่าได้ดังต่อไปนี้



รูปที่ 2.6 สเปกตรัมของสัญญาณเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Unipolar and Polar Signaling PSD ของสัญญาณนี้จะสามารถหาได้จากฟูเรียร์สเปกตรัม ซึ่งฟูเรียร์สเปกตรัมของสัญญาณ Polar คือ

$$P(f) = \frac{1}{Tb} |F(f)|^2 \quad (2.1)$$

เมื่อ  $F(f)$  เป็นฟูเรียร์ทรานฟอร์มของรูปพัลส์แบบพื้นฐาน,  $f(t)$  เป็น pulse shape ในแบบ rectangular ฟูเรียร์ทรานฟอร์มของทั้งคู่จะเป็น

$$f(t) = \Pi\left(\frac{t}{Tb}\right) \leftrightarrow F(f) = Tb \frac{\text{Sin}(\pi f Tb)}{\pi f Tb} \quad (2.2)$$

รวม (2.1) กับ (2.2) PSD ของสัญญาณโพลาร์ที่มีขนาด 1 หน่วย และ pulse shaper ของ rectangular จะกลายเป็น

$$P_{\text{polar}}(f) = Tb \left[ \frac{\text{Sin}(\pi f Tb)}{\pi f Tb} \right]^2 \quad (2.3)$$

เมื่อ  $Rb = 1/Tb$  เป็น bitrate และกำลังงานรวมของสัญญาณเท่ากับ 1 PSD นี้จะพล็อตได้ดังรูป 2.6 b สัญญาณโพลาร์มีข้อเสียตรงที่มี PSD มากใกล้เทียบกับ dc แต่สัญญาณโพลาร์สร้างขึ้นได้ง่ายเมื่อเปรียบเทียบกับสัญญาณแบบอื่น ๆ แม้ว่าต้องการแหล่งจ่ายกำลังงานที่มีทั้งบวกและลบความน่าจะเป็นของการเกิด biterror จะดีกว่าวิธีการส่งสัญญาณแบบอื่น ๆ

สัญญาณแบบยูนิโพลาร์ประกอบด้วยสัญญาณแบบโพลาร์บวกกับระดับ dc ด้วยเหตุนี้ PSD ของสัญญาณแบบยูนิโพลาร์ จึงคล้ายกับ PSD ของสัญญาณแบบโพลาร์ยกเว้นจะมีการเพิ่มฟังก์ชันเดลต้าที่  $f=0$  ขนาดสูงสุดของสัญญาณยูนิโพลาร์ ต้องทำให้มีค่าเป็น  $\sqrt{2}$  เพื่อให้กำลังงานรวมเท่ากับ 1 จึงจะสามารถนำไปเปรียบเทียบกับรูปแบบสัญญาณอื่น ๆ ที่มีกำลังงาน (เป็น 1) เท่ากัน PSD ของสัญญาณแบบยูนิโพลาร์ คือ

$$P_{\text{unipolar}}(f) = \frac{1}{2} Tb \left[ \frac{\text{Sin}(\pi f Tb)}{\pi f Tb} \right]^2 + \frac{1}{2} \delta(f) \quad (2.4)$$

แสดงดังรูป 2.6 a ข้อเสียที่เห็นได้ชัด คือ การสูญเสียกำลังงานอันเนื่องมาจากระดับของ dc ทำให้สเปกตรัมของสัญญาณลดต่ำลงตรง dc ซึ่งสัญญาณชนิดนี้เหมาะกับวงจรที่ไม่มีการบล็อกสัญญาณ dc ข้อดีของสัญญาณแบบยูนิโพลาร์ก็คือสร้างได้ง่าย (เช่น TTL และวงจรที่เป็น CMOS) และมันใช้แหล่งจ่ายกำลังเพียงชุดเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Unipolar RZ PSD ของสัญญาณแบบนี้ จะหายากกว่าและต้องการสูตรทั่วไปที่จะใช้สำหรับ PSD ของวงจรทางดิจิทัล ผลที่ได้คือ

$$P(f) = \frac{|F(f)|^2}{Tb} \left[ R_0 + 2 \sum_{k=1}^{\infty} R(k) \cos(2\pi k f T_b) \right] \quad (2.5a)$$

เมื่อ  $F(f)$  เป็นสเปกตรัม ของ pulse shape ,  $T_b$  เป็นความกว้างของพัลส์และ  $R(k)$  เป็นการเรียงลำดับของข้อมูลโดยอัตโนมัติ ซึ่งแสดงได้โดย

$$R(k) = \sum_{i=1}^I (a_n a_{n+k})_i P_i \quad (2.5b)$$

เมื่อ  $a_n$  และ  $a_{n+k}$  เป็นระดับของแรงดันของพัลส์ข้อมูล ณ ตำแหน่งบิตที่  $n$  และ  $n+k$  ตามลำดับ และ  $P_i$  คือความน่าจะเป็นของผลคูณของ  $a_n$  กับ  $a_{n+k}$  ในลำดับที่  $i$  ระดับของ  $a$  สำหรับยูนิโพลาร์ RZ คือ  $+A$  และ  $0$  โวลต์ สำหรับ  $K=0$  ผลคูณของ  $a_n a_n$  คือ  $A \times A = A^2$  และ  $0 \times 0 = 0$  ดังนั้น  $I=2$  สำหรับข้อมูลที่สุ่มมาความน่าจะเป็นของการได้  $A^2$  คือ  $\frac{1}{2}$  และความน่าจะเป็นของการได้  $0$  คือ  $\frac{1}{2}$  ดังนั้น

$$R(k) = \sum_{i=1}^2 (a_n a_n)_i P_i = A^2 \cdot \frac{1}{2} + 0 \cdot \frac{1}{2} = \frac{A^2}{2} \quad (2.6)$$

เมื่อ  $k \neq 0$   $I$  จะเท่ากับ  $4$  สำหรับค่าของผลคูณที่เป็นไปได้ คือ  $A \times A$  ,  $A \times 0$  ,  $0 \times A$  ,  $0 \times 0$  ทั้งหมดจะเกิดขึ้นด้วยความน่าจะเป็นเท่ากับ  $\frac{1}{4}$  ด้วยเหตุนี้ เมื่อ  $k \neq 0$

$$R(k) = \sum_{i=1}^4 (a_n a_{n+k}) P_i = A^2 \cdot \frac{1}{4} + 0 \cdot \frac{1}{4} + 0 \cdot \frac{1}{4} + 0 \cdot \frac{1}{4} = \frac{A^2}{4} \quad (2.7)$$

สำหรับการส่งสัญญาณแบบ RZ ช่วงเวลาของพัลส์ คือ  $T_b/2$  ใช้ pulse shape แบบ rectangular  $f(t) = \pi(2t/T_b)$  สเปกตรัมของพัลส์ที่ตรงกันคือ

$$F(f) = \frac{T_b}{2} \left[ \frac{\sin(\pi f \frac{T_b}{2})}{\pi f \frac{T_b}{2}} \right] \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า  $F(f)$  ใน (2.5a) และให้  $A$  เท่ากับ 2 สำหรับสัญญาณที่มีกำลังงานเป็น 1 PSD จะกลายเป็น

$$\begin{aligned}
 P_{RZ}(f) &= \frac{Tb}{4} \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 \left[ 2 + 2 \sum_{k=1}^{\infty} \cos(2\pi k f T b) \right] \\
 &= \frac{Tb}{4} \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 \left[ 1 + \sum_{k=-\infty}^{\infty} e^{jk\omega T b} \right] \quad (2.9)
 \end{aligned}$$

แต่

$$\sum_{k=-\infty}^{\infty} e^{jk\omega T b} = \frac{1}{Tb} \sum_{n=-\infty}^{\infty} \delta(f - \frac{n}{Tb}) \quad (2.10)$$

จึงลดรูปสมการที่ 2.9 ได้เป็น

$$P_{RZ}(f) = \frac{Tb}{4} \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 \left[ 1 + \frac{1}{Tb} \sum_{n=-\infty}^{\infty} \delta(f - \frac{n}{Tb}) \right] \quad (2.11)$$

ผลอันนี้แสดงในรูป 2.6c ในขณะที่การคาดหวังในขั้นแรกไม่มีแบนด์วิดท์ที่เป็น 2 เท่าของสัญญาณ ยูนิโพลาร์ หรือ โพลาร์ เพราะว่าความกว้างของพัลส์เท่ากับครึ่งหนึ่งของความกว้างเท่านั้นสังเกตว่ามีทอมที่ไม่ต่อเนื่อง (อิมพัลส์) ที่  $f$  เท่ากับ  $R$  ด้วยเหตุนี้ส่วนประกอบที่เกิดขึ้นเป็นระยะ ๆ สามารถจะถูกใช้เพื่อการกู้สัญญาณนาฬิกากลับมาได้ข้อเสียอันหนึ่งของสัญญาณพัลส์ก็คือมันต้องการกำลังของสัญญาณถึง 3dB ซึ่งมากกว่าสัญญาณแบบโพลาร์ ที่ความน่าจะเป็นในการเกิด bit error ที่เท่ากัน นอกจากนี้สเปกตรัมสัญญาณยังถูกลดทอนที่ความถี่ใกล้ dc อีกด้วย

- Bipolar Signaling PSD ของสัญญาณแบบนี้ ได้จากสมการ 2.5a ค่าที่ขอมรับได้ของ  $a_n$  คือ  $+A$ ,  $-A$  และ 0 เมื่อไบนารี 1 แสดงด้วยค่า  $+A$  และ  $-A$  สลับกันไปและไบนารี 0 แสดงด้วยค่า  $a_n = 0$  สำหรับ  $k=0$  ผลคูณของ  $a_0 a_n = A^2$  และ 0 เมื่อค่าที่ได้คือผลคูณที่เกิดขึ้นด้วยความน่าจะเป็นเท่ากับ  $\frac{1}{2}$  ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{(0)} = \frac{A^2}{2} \quad (2.12)$$

เมื่อ  $k = 1$  (กรณีของบิตที่อยู่ติดกัน) และลำดับของข้อมูลเป็น  $(1,1), (1,0), (0,1)$  และ  $(0,0)$  ผลคูณของ  $a_n a_{n+1}$  ที่เป็นไปได้คือ  $-A^2, 0, 0, 0$  ซึ่งจะเกิดขึ้นด้วยความน่าจะเป็นเท่ากับ  $\frac{1}{4}$  ด้วยเหตุนี้

$$R_{(1)} = \sum_{i=1}^4 (a_n a_{n+1})_i P_i = -\frac{A^2}{4} \quad (2.13)$$

สำหรับ  $k > 1$  บิตที่พิจารณาอยู่ไม่อยู่ติดกันและผลคูณ  $a_n a_{n+k}$  คือ  $\pm A^2, 0, 0, 0$  จะเกิดขึ้นด้วยความน่าจะเป็น  $\frac{1}{4}$  ดังนั้น

$$R_{(k)1} = \sum_{i=1}^5 (a_n a_{n+k})_i P_i = A^2 \cdot \frac{1}{8} - A^2 \cdot \frac{1}{8} = 0 \quad (2.14)$$

ด้วยการใช้ค่าที่เรียงกันแบบอัตโนมัติเหล่านี้ และแทนค่าสมการ 2.8 ลงในสมการ 2.5a ด้วย  $A = 2$  สำหรับสัญญาณที่มีกำลังงานเท่ากับ 1 PSD จะเป็น

$$P_{bipolar}(f) = \frac{Tb}{4} \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 [2 - 2 \cos(2\pi f Tb)]$$

ลดรูปได้เป็น

$$P_{bipolar}(f) = Tb \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 \text{Sin}^2(\pi f Tb) \quad (2.15)$$

PSD นี้ได้พล็อตดังแสดงในรูป 2.6 d สัญญาณแบบไบโพลาร์ไม่มีสเปกตรัมที่มีส่วนประกอบของสัญญาณ dc ทำให้ส่งสัญญาณเข้าไปในช่องสัญญาณที่เป็น ac coupled ได้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาสามารถจะถูกแยกออกได้ง่ายจากรูปคลื่นแบบไบโพลาร์ โดยการเปลี่ยนรูปแบบไบโพลาร์ ไปเป็นยูนิโพลาร์ RZ ด้วย full wave rectifier สัญญาณยูนิโพลาร์ RZ จะมีส่วนประกอบ dc ที่เกิดเป็นระยะ ๆ ณ. ความถี่ clock (ดูรูป 2.6 c) สัญญาณไบโพลาร์ก็ยังไม่ดีเท่าที่ควรเนื่องจากบิตที่เป็น 0 ติดกันยาว ๆ จะทำให้สัญญาณ clock หายไปความยุ่งยากนี้อาจป้องกันได้โดยการใช้สัญญาณ high - density bipolar n (HDBn) ซึ่งจะทำให้การเพิ่มพัลส์เข้าไปหลังจากอักษรที่เป็นศูนย์ติด ๆ กันการคำนวณ PSD สำหรับรหัส HDBn นั้นยากเพราะ  $R(k)$  จะต้องถูกหาค่าออกมาทีละตัวสำหรับค่า  $k$  ที่มีค่ามาก

สัญญาณไบโพลาร์ยังมีความสามารถในการตรวจจับ Single error ที่สร้างไว้ภายใน เพราะว่า Single error จะทำให้เกิดการผิดแบบไปของรหัสไบโพลาร์การกระทำผิดใด ๆ สามารถจะตรวจสอบได้ง่ายโดยลอจิกของเครื่องรับ

ข้อเสียบางอย่างของสัญญาณไบโพลาร์ คือ เครื่องรับจะต้องแยกให้ได้ระหว่างระดับสัญญาณ 3 ระดับ คือ  $+A$ ,  $-A$ ,  $0$  แทนที่จะเป็น 2 ระดับ เหมือนกับสัญญาณในรูปแบบก่อน ๆ นอกจากนี้สัญญาณไบโพลาร์ยังต้องการกำลังงานของสัญญาณประมาณ 3dB ซึ่งมากกว่าสัญญาณแบบโพลาร์ สำหรับความน่าจะเป็นของ bit error ที่เท่ากัน

- Manchester NRZ Signaling สมการแสดงรูปร่างของพัลส์ คือ

$$f(t) = \Pi \left[ \frac{t + \frac{T_b}{4}}{\frac{T_b}{2}} \right] - \Pi \left[ \frac{t - \frac{T_b}{4}}{\frac{T_b}{2}} \right] \quad (2.16)$$

และสเปกตรัมของพัลส์ คือ

$$F(f) = \frac{T_b}{2} \left[ \frac{\text{Sin}(\pi f \frac{T_b}{2})}{\pi f \frac{T_b}{2}} \right] e^{j\omega \frac{T_b}{4}} - \frac{T_b}{2} \left[ \frac{\text{Sin}(\pi f \frac{T_b}{2})}{\pi f \frac{T_b}{2}} \right] e^{-j\omega \frac{T_b}{4}}$$

หรือ

$$F(f) = jT_b \left[ \frac{\text{Sin}(\pi f \frac{T_b}{2})}{\pi f \frac{T_b}{2}} \right] \text{Sin} \left[ \frac{\omega T_b}{4} \right] \quad (2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (2.17) ลงในสมการ (2.1) จะได้ PSD ของสัญญาณแบบ Manchester

คือ

$$P_{Manchester}(f) = Tb \left[ \frac{\text{Sin}(\pi f \frac{Tb}{2})}{\pi f \frac{Tb}{2}} \right]^2 \text{Sin}^2 \left[ \frac{\pi f Tb}{2} \right] \quad (2.18)$$

สเปกตรัมนี้ได้พล็อตไว้ในรูป 2.6e สังเกตว่าแบนด์วิดท์ของรูปแบบ Manchester ที่มีค่าเป็น 2 เท่า ของแบบไบโพลาร์ อย่างไรก็ตามรหัส Manchester ก็มีระดับ dc ศูนย์ที่บิตต่อบิต และตัวอักษรที่เป็นศูนย์จะไม่ทำให้สัญญาณ clock หายไปอีกด้วย เมื่อพิจารณาถึงการศึกษเกี่ยวกับ PSD ของสัญญาณดิจิทัล สังเกตว่าสเปกตรัมเป็นฟังก์ชันของบิตแพทเทิร์น เช่นเดียวกับรูปร่างของพัลส์

## 2.5 หลักการของการเข้ารหัส - ออครหัสแบบต่าง ๆ

การเข้ารหัสข้อมูลไบนารีสอครหัสโดยตรงกับสัญญาณไบนารีที่ใช้ในการส่ง เงื่อนไขสัญญาณดังกล่าวที่สร้างขึ้นเพื่อให้คุณสมบัติของรูปคลื่นสี่เหลี่ยมเหมาะสมโดยตรงกับการส่งผ่านบนสายเคเบิล สำหรับในที่นี้จะกล่าวถึงประโยชน์โดยทั่วไปของการส่งผ่านแบบไบนารี รวมทั้งแสดงรูปคลื่น, คุณสมบัติของโครงร่างแผนภาพของตัวเข้ารหัสและออครหัส

### 2.5.1 Unipolar NRZ

สำหรับ NRZ ระดับของสัญญาณจะถูกรักษาให้คงที่อยู่ที่ 1 ใน 2 ระดับของโวลต์เตจระหว่างช่วงเวลาบิต T ถ้าโวลต์เตจทั้งสองกำหนดให้เป็น 0 และ V โวลต์ แล้วรูปคลื่น NRZ จะเรียกว่าเป็นขั้วเดียว (Unipolar) เพราะว่ามันมีขั้วศักดีไฟฟ้าเพียงขั้วเดียว สัญญาณนี้จะมีองค์ประกอบ DC ที่มีค่าไม่เป็นศูนย์หรือเป็นครึ่งหนึ่งของศักดีไฟฟ้าบวก สัญญาณ NRZ แบบมีขั้วใช้ขั้วสองขั้วคือ ศักดี + - ซึ่งทำให้องค์ประกอบของ DC มีค่าเป็นศูนย์

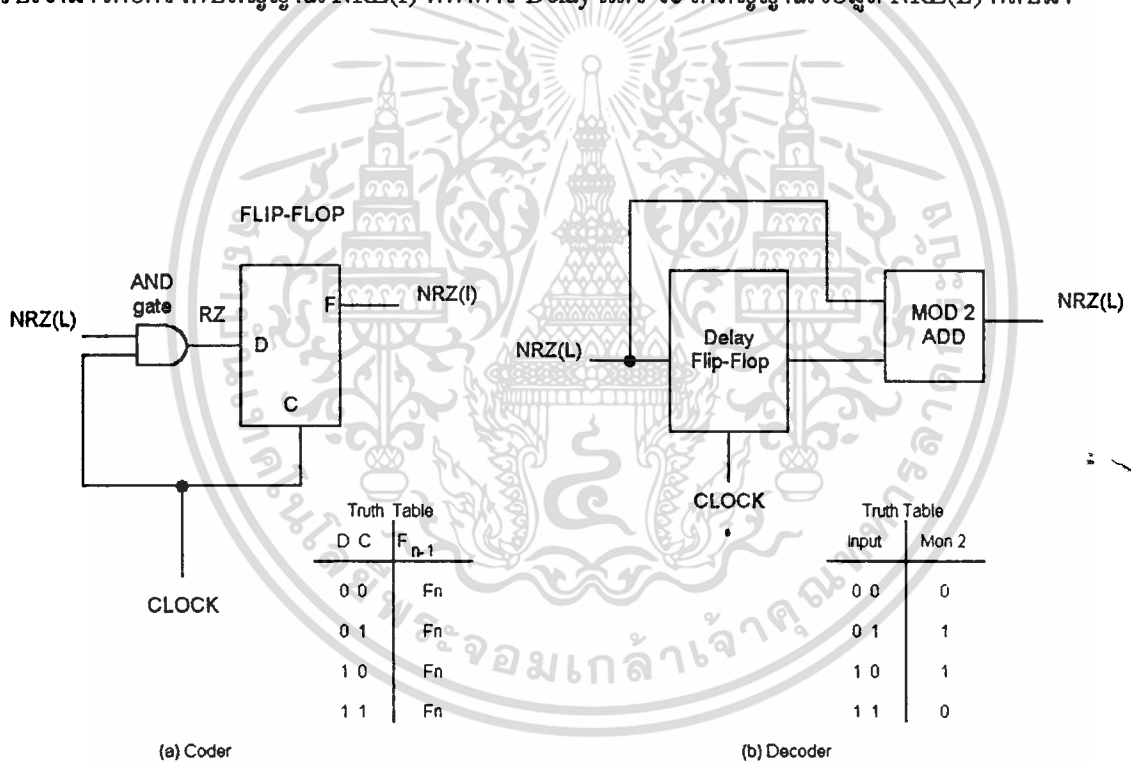
รูปแบบต่าง ๆ ของ NRZ อธิบายดังรูป 2.7 ตัวอย่างเช่น NRZ(L) ระดับศักดีไฟฟ้าของสัญญาณจะเป็นตัวแสดงค่าของบิต การกำหนดของบิต 0 กับ 1 ขึ้นอยู่กับระดับศักดีไฟฟ้าสามารถกำหนดได้อย่างอิสระสำหรับ NRZ(L)

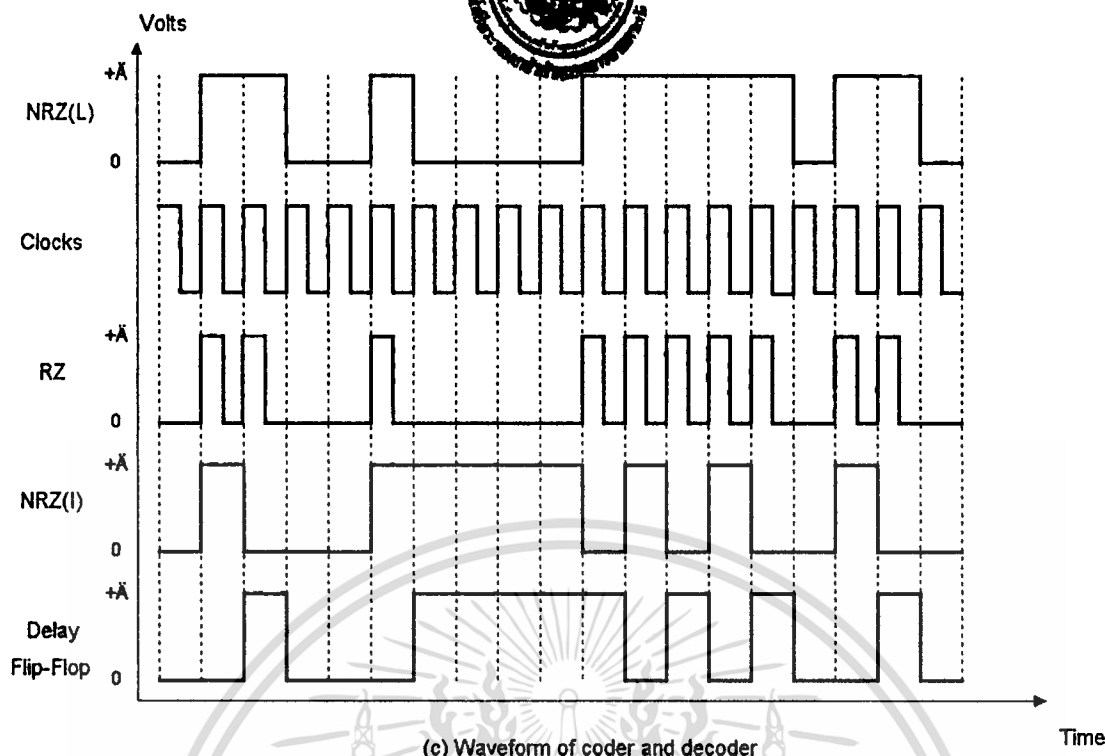
แต่แบบแผนโดยทั่วไปแล้วจะกำหนดให้ค่า 1 มีค่าระดับศักดีไฟฟ้าสูง ๆ และค่า 0 มีค่าระดับศักดีไฟฟ้าต่ำ ๆ รหัส NRZ(L) เป็นรูปแบบของ NRZ ในการส่งผ่านที่รู้จักกันมากที่สุดเพราะระบบรับและส่งทำได้ง่าย ตัวเข้ารหัส/ออครหัส ประกอบด้วยตัวขับและตัวรับอย่างง่าย ๆ ซึ่งคุณสมบัติมาตรฐานการเชื่อมต่อระดับหนึ่งที่สูงขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ NRZ(M) จะใช้การเปลี่ยนระดับสัญญาณแทนค่ามาร์ค(Mark) ซึ่งมีค่าเท่ากับลอจิก 1 ส่วนค่าลอจิก 0 จะแทนด้วยการไม่เปลี่ยนระดับของสัญญาณ สำหรับ NRZ(S) ก็จะมีลักษณะทำนองเดียวกันกับ NRZ(M) เพียงแต่จะกลับกันคือ ลอจิก 0 จะแทนด้วยการเปลี่ยนระดับสัญญาณรูปแบบของ NRZ(M,S) ที่กล่าวมาแล้วคือ สับเซตของ NRZ(I) ซึ่งเรียกว่า Conditioned NRZ ซึ่งอาศัยการเปลี่ยนแปลงระดับมาเป็นตัวกำหนดชนิดของลอจิก ข้อได้เปรียบของ NRZ(I) ที่เหนือกว่า NRZ(L) ก็คือ มันจะมีภูมิคุ้มกันเนื่องจากการสลับขั้ว เพราะว่าข้อมูลถูกเข้ารหัสด้วยการมีหรือไม่มี การเปลี่ยนแปลงแทนที่จะเป็นการมีหรือไม่มี พัลส์ ดังในรูปที่ 2.7

จากรูป (a) สัญญาณ RZ จะได้จากการ AND กันระหว่างสัญญาณข้อมูล NRZ(L) กับสัญญาณ Clock แล้วนำสัญญาณ RZ ที่ได้ผ่าน D Flip Flop วัตที่ขา Q จะได้สัญญาณ NRZ(I)

จากรูป (b) ที่ MOD2 จะเป็นวงจร Exclusive OR ซึ่งจะทำการเปรียบเทียบสัญญาณ NRZ(I) ที่ได้รับเข้ามาโดยตรงกับสัญญาณ NRZ(I) ที่ทำการ Delay แล้ว จะได้สัญญาณข้อมูล NRZ(L) กลับมา





รูปที่ 2.7

การเข้ารหัสแบบ NRZ เป็นการเข้ารหัสแบบยูนิโพลาร์แบบ 100% ในด้านการออกแบบวงจร การเข้ารหัสแบบ NRZ เป็นการใชรูปแบบพื้นฐานทางสัญญาณดิจิทัลทั่วไปทั้งนี้เนื่องจากวงจรดิจิทัลทุกชนิดต่างทำงานภายใต้สภาวะปิด-เปิด (on-off) ซึ่งเป็นเช่นเดียวกับรูปแบบการเข้ารหัส NRZ ที่มีการใช้งานภายในอุปกรณ์สื่อสารสัญญาณ เช่น ในวงจรมัลติเพล็กซ์เซอร์, วงจรสื่อสารสัญญาณไมโครเวฟแบบดิจิทัล, อุปกรณ์เชื่อมต่อสายไฟเบอร์ออปติก เป็นต้น

พิจารณาแล้วพบว่าทุก ๆ บิตที่แทนด้วยลอจิก 1 มีค่าแรงดันเป็นค่าบวก ดังนั้นเมื่อตรวจสอบสเปกตรัมโดยรวมจะพบว่ามอดูมประกอบที่มีแรงดันไฟตรงอยู่ด้วย ซึ่งค่าแรงดันไฟตรงจะสัมพันธ์กับอัตราส่วนระหว่างจำนวนบิต 1 และ 0 ของอนุกรมข้อมูลทั้งหมด สมมติว่าข้อมูลมีค่าเป็น 10101010 แรงดันไฟตรงจะมีค่าเป็น  $V/2$  และคงได้กล่าวไว้แล้วว่าค่าแรงดันไฟตรงจะมีค่าใด ๆ ก็ได้ระหว่าง 0 (กรณี que ทุกบิตแทนค่าลอจิก 0) จนถึง  $V$  โวลต์ (กรณี que ทุกบิตแทนค่าลอจิก 1)

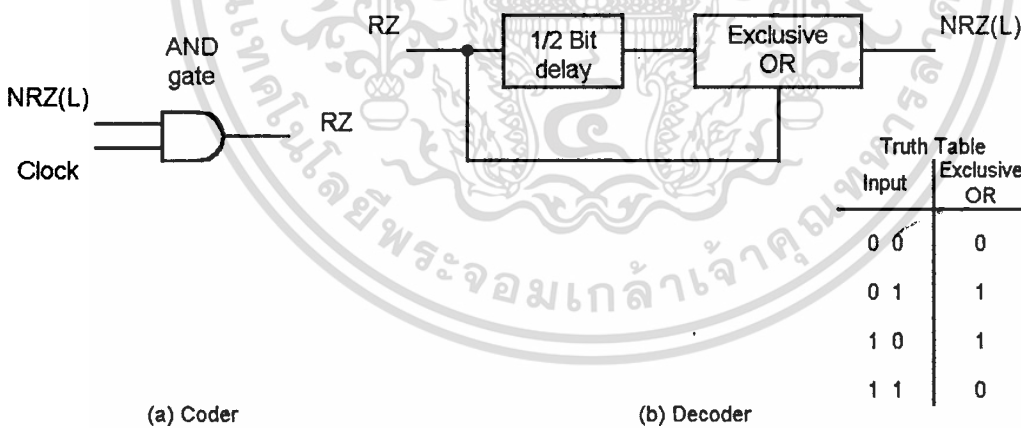
สำหรับสเปกตรัมของข้อมูลที่ถูกเข้ารหัสแบบ NRZ พบว่าความถี่พื้นฐานจะเกิดขึ้นที่ความถี่ครึ่งหนึ่งของความถี่ฐานเวลา ( $f$ ) และพบเฉพาะความถี่ที่เป็นฮาร์โมนิกี่ของความถี่  $f/2$  จะเห็นว่าที่ความถี่ฐานเวลากลับไม่มีค่าสัญญาณใด ๆ ปรากฏอยู่เลย ซึ่งหมายความว่า เป็นไปไม่ได้ที่เครื่องรับปลายทางจะสามารถกู้สัญญาณฐานเวลากลับมาจากข้อมูลที่ถูกเข้ารหัสแบบ NRZ ได้ และหากในระหว่างการส่ง เกิดสัญญาณรบกวนขึ้นบนตัวกลางสื่อสารสัญญาณ มีผลทำให้ข้อมูลที่แทนด้วยลอจิก 0 ถูกรบกวนจนเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

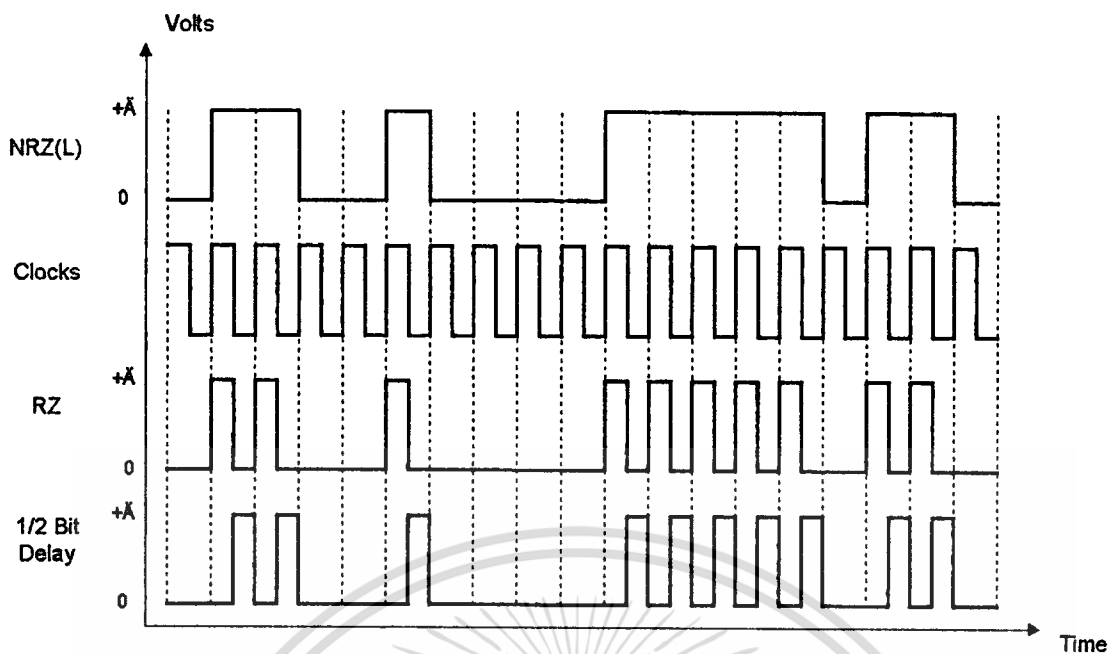
เป็นข้อมูล ซึ่งแทนด้วยลอจิก 1 ในกรณีดังกล่าวเครื่องรับปลายทางจะไม่สามารถตรวจจับปัญหานี้ได้ จากข้อด้อยต่าง ๆ เหล่านี้จึงทำให้การเข้ารหัสแบบ NRZ ไม่เหมาะสมสำหรับการส่งข้อมูลผ่านสายเคเบิล

## 2.5.2 Unipolar RZ

โดยการเข้ารหัส Return-to-zero(RZ) การแสดงระดับสัญญาณค่าบิต จะกระทำเพียงครึ่งช่วงแรกของช่วงเวลาบิตหลังจากครึ่งหนึ่งของบิตผ่านไป สัญญาณจะเปลี่ยนกลับไปยังระดับสัญญาณอ้างอิง (zero) เป็นเวลาครึ่งหนึ่งของช่วงความยาวบิตตามรูปที่ 2.7 ค่าศูนย์จะถูกแสดงด้วยการไม่มีการเปลี่ยนแปลง โดยที่สัญญาณจะยังคงอยู่ที่ระดับอ้างอิง ซึ่งมันจะมีประโยชน์ในการเปลี่ยนแปลง(Transition) และทำให้สัญญาณเวลาในการกู้สัญญาณดีขึ้นรูปคลื่นของ RZ สำหรับค่าบิต 1 และ 0 แสดงไว้ในรูปที่ 3.2 เปรียบเทียบกับรูปแบบของรหัสตัวอื่นจะสังเกตเห็นว่า ค่าบิต 0 ก็คือค่าของสัญญาณที่ไม่มีการเปลี่ยนแปลงซึ่งทำให้เกิดปัญหาในเรื่องสัทธิภาพของวงจรเวลาในการกู้สัญญาณซึ่ง อาจจะทำแก้ปัญหา ดังกล่าวได้โดยการทำ Precoding ตัวเข้ารหัส, รูปคลื่นและตัวถอดรหัสแสดงไว้ในรูปที่ 2-8 รหัส RZ จะถูกสร้างโดยการแอนด์ NRZ(L) กับสัญญาณเวลาที่ทำหน้าที่เป็นอัตราบิตของระบบ ตัวถอดรหัสจะถอดรหัสได้โดยการหาช่วงเวลา RZ ไป 1/2 บิต และนำเอาสัญญาณ RZ ที่หาช่วงเวลามา Exclusive OR กับสัญญาณ RZ เดิม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(c) Waveform of coder and decoder

รูปที่ 2.8

การเข้ารหัสแบบนี้มีลักษณะคล้ายกับแบบ NRZ แต่มีการลดความเร็วของพัลส์แต่ละพัลส์ลงเหลือครึ่งหนึ่งเมื่อเทียบกับที่ใช้ในการเข้ารหัสแบบ NRZ การเข้ารหัสแบบ RZ ยังคงมีความเหมาะสมกับการทำงานในวงจรลอจิกต่าง ๆ เช่นเดียวกับ NRZ เนื่องจากอุปกรณ์ต่าง ๆ ทำงานในภาวะเปิด-ปิด และรหัสแบบ RZ เป็นการเข้ารหัสอีกแบบหนึ่งซึ่งมีรูปแบบในลักษณะเดียวกัน ซึ่งจะพบว่ารหัสแบบ RZ ยังคงส่งผลให้เกิดแรงดันไฟกระแสตรงขึ้นในช่วงสเปคตรัมของข้อมูลเช่นเดียวกับรหัสแบบ NRZ อย่างไรก็ตามจะพบว่าความถี่พื้นฐานในการเข้ารหัสแบบนี้มีค่าเป็น  $f$  ซึ่งเป็นความถี่เดียวกับความถี่ฐานเวลาหลักของกลุ่มข้อมูล รวมถึงความถี่อื่น ๆ ซึ่งเป็นฮาร์โมนิกของความถี่ฐานเวลาดังกล่าว จึงส่งผลให้อุปกรณ์เครื่องรับปลายทางสามารถกู้สัญญาณฐานเวลากลับคืนมาจากกลุ่มข้อมูลที่เข้ารหัสแบบ RZ ได้ แต่รหัสแบบดังกล่าวนี้ยังคงไม่สนับสนุนการตรวจจับความผิดพลาดเช่นเดียวกับกรณีของรหัสแบบ NRZ ทำให้การเข้ารหัสแบบนี้ไม่ได้รับความนิยมในการใช้งานในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.5.3 Biphase หรือ Manchester

ในบางครั้งอาจเรียกว่า ไคเฟส (Diphase) สปลิตเฟส(Split phase) และ แมนเชสเตอร์ (Manchester) นั้นเป็นวิธีการเข้ารหัสสองระบบดังนี้

$$f_1(t) = \begin{cases} +V & 0 < t < T/2 \\ -V & -T/2 < t < 0 \end{cases}$$

$$f_2(t) = -f_1(t)$$

รหัสไคเฟสนี้สามารถสร้างได้จากการนำเอา NRZ(L) เอกคลูซีฟออร์ หรือ Mod 2 ADD กับ สัญญาณนาฬิกา ส่วนวงจรถอดรหัสก็จะนำสัญญาณ Diphase มาเอกคลูซีฟออร์ กับ สัญญาณนาฬิกา ก็จะได้สัญญาณ NRZ(L) ออกมาดังเดิม ดังแสดงในรูปที่ 2.9

จากรูป (a) ที่จุด A จะเกิดจากการ AND กันระหว่างสัญญาณข้อมูลกับ Output Q ของ D Flip Flop และที่จุด B จะเกิดจากการ AND กันระหว่างสัญญาณข้อมูลกับ Output Q ของ D Flip Flop หลังจากนั้นจะนำมารวมกันที่วงจร Summing จะได้สัญญาณ AMI

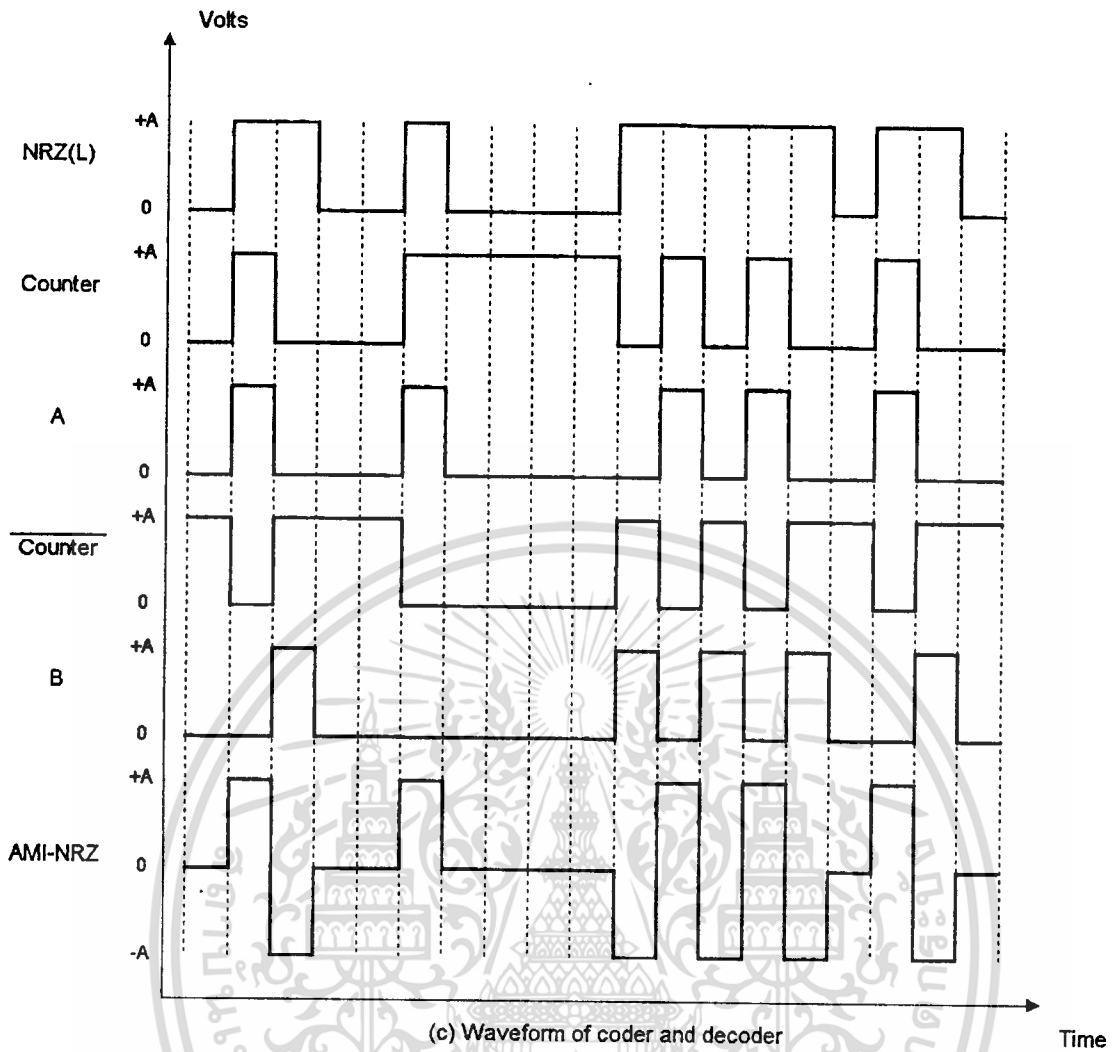
จากรูป (b) จะผ่านวงจร Fullwave Rectifier ซึ่งจะทำให้สัญญาณในครึ่งลบกลับมาเป็นบวกและจะได้สัญญาณ NRZ กลับมา



Truth Table		
	Input	MOD2
(a) Coder	0 0	0
	0 1	1
	1 0	1
	1 1	0
		(b) Decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.10

จากรูปสัญญาณจะเห็นว่าค่าลอจิก 1 จะถูกพลัดกันแทนที่ด้วยพัลส์ค่าบวก (+V) และค่าพัลส์ลบ (-V) ดังนั้นจึงไม่มีส่วนประกอบแรงดันไฟกระแสตรงปรากฏขึ้นในสเปกตรัมข้อมูลอีกและจะเห็นว่าถึงแม้จะไม่ปรากฏความถี่ฐานเวลา  $f$  เป็นความถี่ฐานบนสเปกตรัมก็ตามแต่เครื่องรับปลายทางจะสามารถกู้สัญญาณฐานเวลากลับคืนมาได้ โดยทำการเรคตีไฟร์สัญญาณที่ผ่านเข้ามายังเครื่องรับเพื่อกลับสัญญาณส่วนที่เป็นลบให้เป็นแรงดันไฟบวก ทำให้รูปแบบของสัญญาณเป็นลักษณะเดียวกับแบบ RZ ซึ่งในกรณีดังกล่าวสัญญาณที่ถูกแปลงจะอยู่ในส่วนหลังจากวงจรภาครับที่เครื่องรับปลายทางแล้ว ดังนั้นการเกิดองค์ประกอบของแรงดันไฟตรง (เนื่องจากถูกแปลงเป็นรหัส RZ แล้ว) จึงไม่ส่งผลใดๆ ต่อระบบโดยรวม เมื่อสัญญาณที่ถูกเข้ารหัสแบบ AMI ถูกแปลงรหัสเป็นแบบ RZ โดยเครื่องรับปลายทาง จะส่งผลให้เครื่องรับสามารถกู้สัญญาณฐานเวลากลับคืนมาได้โดยง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีอีกประการหนึ่งก็คือสามารถทำการแก้ไขความผิดพลาด (error correction) ได้ ตัวอย่างเช่น หากในระหว่างการส่งเกิดสัญญาณรบกวนขึ้นบนตัวกลางสื่อสัญญาณ มีผลทำให้ข้อมูลซึ่งแทนด้วยลอจิก 0 ถูกรบกวนจนเปลี่ยนเป็นข้อมูลที่แทนค่าลอจิก 1 เครื่องรับจะพิจารณาถึงความต่อเนื่องของข้อมูลที่ เป็นลอจิก 1 พบว่าในระหว่างการรับส่งข้อมูล ซึ่งแทนลอจิก 1 ที่อยู่ติดกันจะถูกแทนค่าด้วยพัลส์ซึ่งมี ระดับแรงดันตรงข้ามกันตลอดเวลา การถูกรบกวนด้วยสัญญาณรบกวนระหว่างการรับส่งอาจส่งผลให้ เกิดเหตุการณ์ซึ่งปรากฏพัลส์บวกต่อเนื่องกัน เครื่องรับจะทำการกลับขั้วแรงดันของพัลส์ที่ถูกถูกรบกวนได้

อย่างไรก็ตามการกู้สัญญาณฐานเวลาในกรณีข้อรหัส AMI ซึ่งมีกลุ่มข้อมูลค่า 0 ต่อเนื่องกันยาวๆ ก็ไม่เป็นสิ่งที่ง่ายนัก เนื่องจากจะเกิดปัญหาในเรื่องของการซิงโครไนซ์ระหว่างกลุ่มข้อมูลและเครื่องรับปลายทาง สำหรับการเข้ารหัสแบบ AMI ถูกออกแบบมาให้ใช้งานได้ร่วมกับการสื่อสารทั้งความเร็ว 1.544 เมกกะบิตต่อวินาทีและ ความเร็ว 2.048 เมกกะบิตต่อวินาที

### 2.5.5 Differential Coding (Duobinary Precoding)

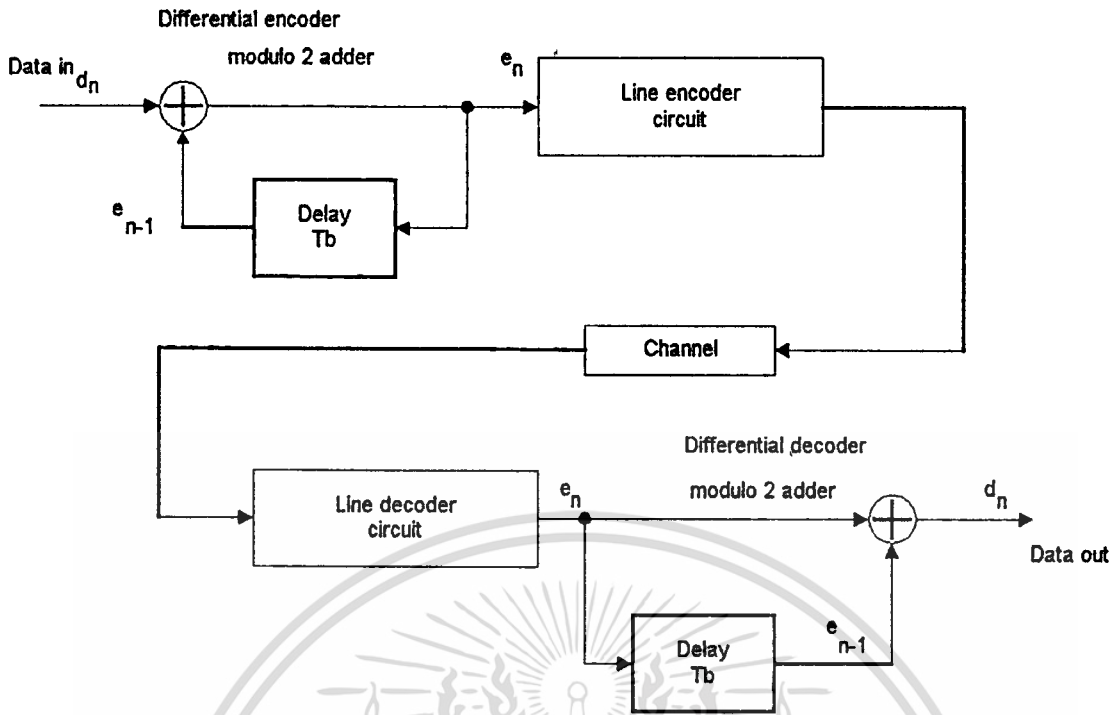
เมื่อสัญญาณข้อมูลส่งผ่านช่องสัญญาณและผ่านวงจรต่าง ๆ หลายวงจร จะทำให้ waveform ของสัญญาณเปลี่ยนไปจากรูปเดิม ปัญหานี้จะเกิดในช่องสัญญาณที่มีตัวนำเป็นสายตีเกลียวต่อเนื่องเป็นจุดต่อ เมื่อทำการเข้ารหัสแบบสัญญาณโพลาร์ (ปัญหานี้จะไม่เกิดในสัญญาณแบบไบโพลาร์) ปัญหาสามารถปรับปรุงให้ดีขึ้นได้โดยใช้ Differential Coding ดังรูปที่ 2.11 เป็นที่นิยมใช้กันมากในการแก้ปัญหา ซึ่งข้อมูลที่ผ่านวงจรมีจะได้จากสมการ

$$e_n = d_n \oplus e_{n-1} \quad (2.19)$$

บิตใน Encoded Sequence ได้จากการเปรียบเทียบบิตระหว่าง input บิตเริ่มต้นกับบิตที่ผ่านเข้ามา โดย Encoded บิตจะกลายเป็น "1" เมื่อบิตที่เปรียบเทียบต่างกันและเป็น "0" เมื่อบิตเหมือนกันดูได้จาก ตารางความจริงของวงจร Exclusive OR หรือมอดดูโล 2 ดังแสดงในตารางที่ 2.1 เมื่อบิต input เริ่มต้นเป็นบิตอ้างอิงให้เป็น "1" ที่เครื่องรับสัญญาณที่เข้ารหัสจะถูกถอดรหัสโดยการเปรียบเทียบสถานะของ บิตที่ติดกัน ถ้าบิตเข้ารหัสที่ได้รับในปัจจุบันมีสถานะเดียวกับบิตเข้ารหัสในอดีต output ของตัวถอดรหัสจะเป็น "0" ในทำนองเดียวกันบิตนารี 1 จะถูกถอดรหัสออกมาจากสถานะตรงข้ามกันดังแสดงใน ตาราง ขั้วของรูปคลื่นที่เข้ารหัสแบบแตกต่างกันอาจจะกลับขั้วได้โดยไม่มีผลต่อข้อมูลที่ถอดรหัส ซึ่งเป็นข้อได้เปรียบ เมื่อรูปคลื่นต้องถูกส่งผ่านไปในวงจรหลาย ๆ วงจร ในระบบสื่อสารและการตรวจจับ สัญญาณเบวกที่ output จะหายไป หรือบางครั้งจะเปลี่ยนไปในขณะที่เครื่องจ่ายเปลี่ยนแปลง เช่นการ สลับระหว่างทางเดินของข้อมูลหลาย ๆ ทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



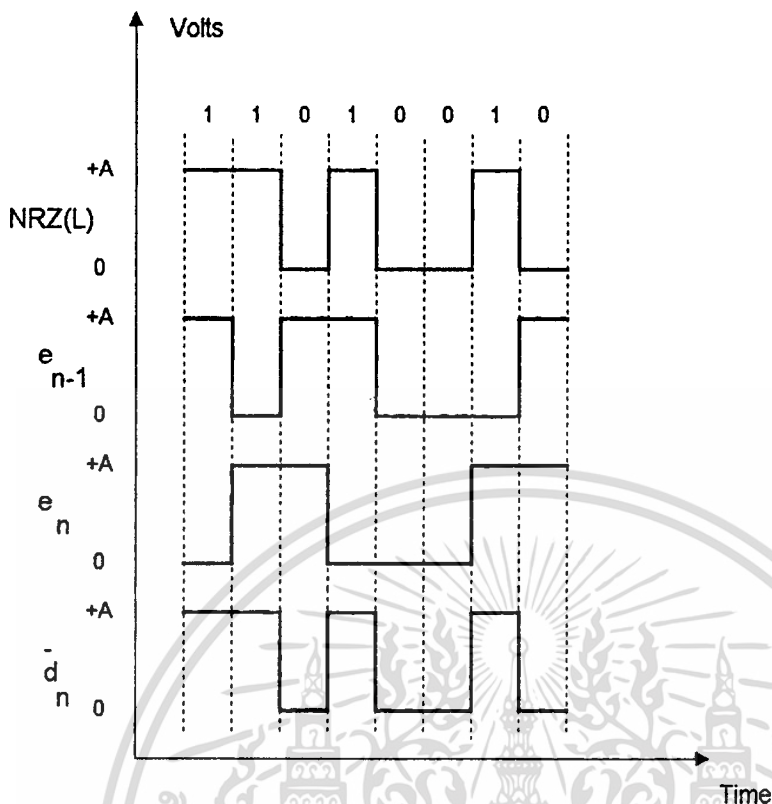
รูปที่ 2.11

โดยที่  $\oplus$  คือ มอดดูโล 2 หรือ Exclusive OR ข้อมูลทางด้านรับที่ผ่านการถอดรหัสแล้วเป็นไปตามสมการ

$$\bar{d}_n = \bar{e}_n \oplus \bar{e}_{n-1} \quad (2.20)$$

Encoding									
Input sequence	$d_n$	1	1	0	1	0	0	1	
Encoded sequence	$e_n$	1	0	1	1	0	0	0	1
Reference digit									
Decoding									
Received sequence (correct polarity)	$\bar{e}_n$	1	0	1	1	0	0	0	1
Decoded sequence	$\bar{d}_n$		1	1	0	1	0	0	1
Decoding (with inverted channel polarity)									
Received sequence (inverted polarity)	$\bar{e}_n$	0	1	0	0	1	1	1	0
Decoded sequence	$\bar{d}_n$		1	1	0	1	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ตารางที่ 2.11 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12

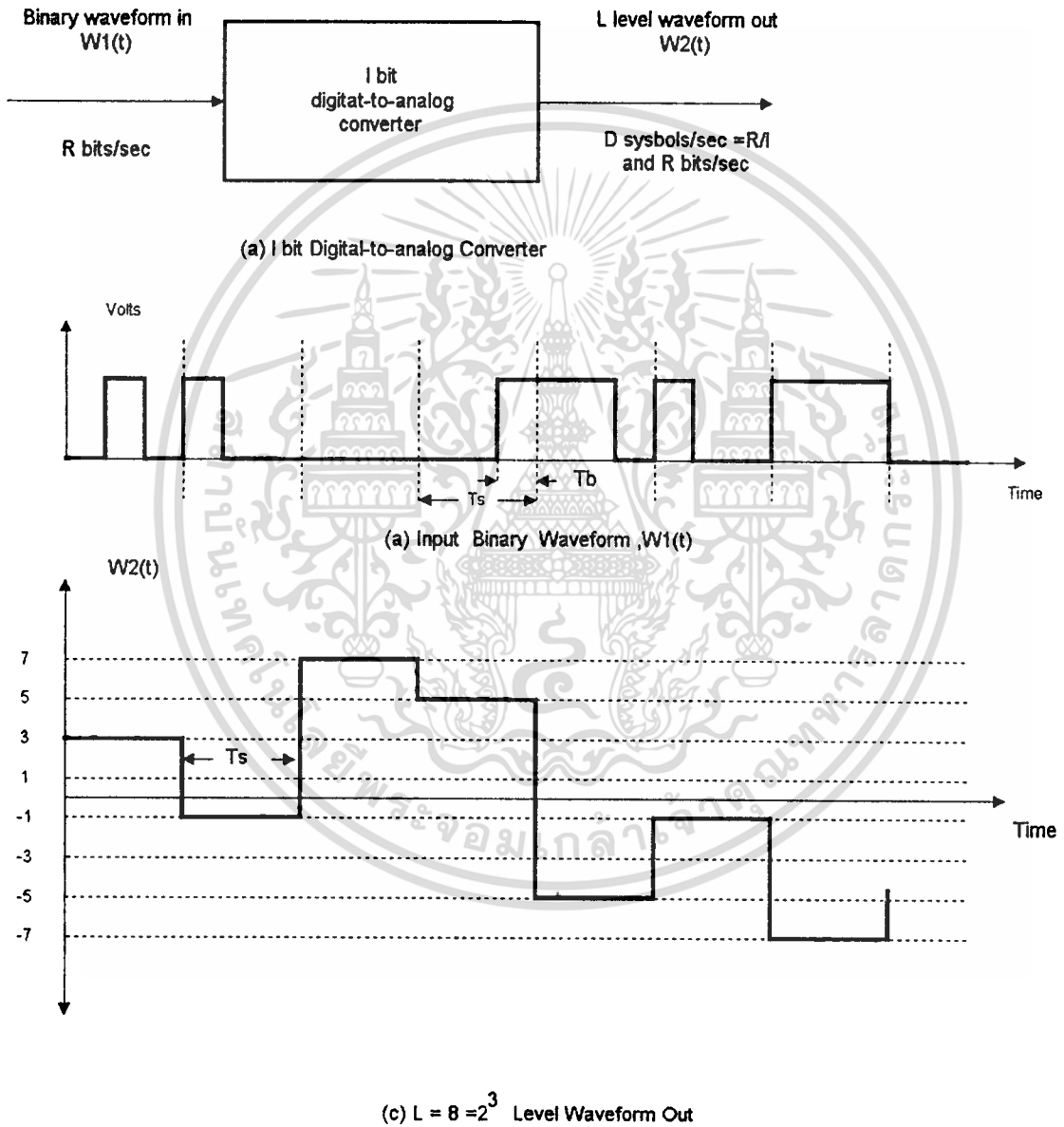
เมื่อนำข้อมูลจากตารางมาเขียน waveform ซึ่งแสดงให้เห็นข้อมูลที่เข้ารหัส โดยใช้บิตเปรียบเทียบ "1" ข้อมูลที่ได้จากการเข้ารหัสแบบ Duobinary ก็คือสัญญาณ NRZ-M (Mark) หมายถึงข้อมูลจะเปลี่ยนสถานะทุกครั้งเมื่อสัญญาณข้อมูลเป็น "1" (Mark) ทำให้สัญญาณข้อมูลที่ส่งไม่เป็น "1" ติดกันยาว ๆ ทำให้การกู้สัญญาณเนฟิกาที่ด้านรับเป็นไปได้ยาก แต่ถ้าจะไม่ให้ข้อมูลเป็น "0" (Space) ติดกันยาว ๆ ต้องใช้การเข้ารหัส Duobinary ที่เป็นแบบ NRZ-S (Space) นั่นคือสัญญาณข้อมูลจะเปลี่ยนสถานะทุกครั้งเมื่อข้อมูลเป็น "0" (Space) ทำได้โดยใช้วงจร Mod 2 เป็นแบบ Exclusive NOR Gate ข้อดีของการเข้ารหัส Duobinary อีกอย่างหนึ่งคือ สามารถป้องกันการกลับขั้วของสัญญาณได้

### 2.5.6 Multilevel Signaling

แบนด์วิดท์ของรูปคลื่นดิจิทัลที่เป็นไบนารีอาจมีความกว้างมากเกินกว่าแบนด์วิดท์ที่ยอมรับได้ในกรณีนี้จะมีคำถามว่า เราสามารถลดแบนด์วิดท์ได้อย่างไร คำถามอันหนึ่งก็คือ การเปลี่ยนสัญญาณไปสู่ Multilevel Signal ดังในรูป 2-13 a เมื่อ  $l$  bit DAC ถูกใช้เพื่อเปลี่ยนสัญญาณไบนารีด้วยอัตราข้อมูล  $R$  bit/sec ไปเป็น  $L=2^l$  ระดับของสัญญาณดิจิทัลแบบหลายระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างสมมติว่า ใช้ DAC 3บิต ดังนั้น  $L=2^3 = 8$  ระดับ รูป 2.13 แสดงรูปคลื่น input แบบ เดียวกันและรูป c แสดงรูปคลื่น output แบบ 8 ระดับที่สัมพันธ์กับ input เมื่อ  $T_s$  คือเวลาที่ใช้ใน สัญญาณ 1 multilevel เพื่อให้ได้รูปคลื่นนี้ให้ใช้รหัสแสดงในตารางที่ 2.2



รูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Word	Output Level (an) <sub>i</sub>
000	+7
001	+5
010	+3
011	+1
100	-1
101	-3
110	-5
111	-7

ตารางที่ 2.2

จากรูปพบว่า  $D=1/T_s = 1/3T_b = R/3$  หรือรูปแบบทั่วไปคือ

$$D = R/3 \quad (2.21)$$

PSD ของรูปคลื่น Multilevel แสดงในรูป 2.13 c การหาค่า  $R(k)$  ในกรณีี่ระดับ  $a_n$  มีค่าเท่ากัน แสดงในตารางที่ 2.2 เราจะได้กรณีของ  $k = 0$

$$R(0) = \sum_{i=1}^8 (a_n)^2 P_i = 21 \quad (2.22)$$

เมื่อ  $P_i = 1/8$  ของค่าทั้งหมด 8 ค่าที่เป็นไปได้ สำหรับ  $k \neq 0$ ,  $R(k) = 0$  ดังนั้นจาก PSD ของ  $W_2(t)$  คือ

$$P_{W_2}(f) = \frac{|F(f)|^2}{T_s} (21 + 0) \quad (2.23)$$

เมื่อความกว้างพัลส์  $T_s = 3T_b$  รูปร่างของพัลส์แบบ เรคแทงกิวลาร์ของความกว้าง  $3T_b$  จะกลายเป็น

$$P_{W_2}(f) = 63T_b \left( \frac{\sin 3\pi f T_b}{3\pi f T_b} \right)^2 \quad (2.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยเหตุดังกล่าวสัญญาณ Multilevel แบบวิคท์ Bnull = 1/3Tb = R/3 แบบวิคท์จะกลายเป็น 1/3 ของสัญญาณไบนารี input

ตัวอย่างถ้าสัญญาณไบนารีแบบไบโพลาร์มีอัตราข้อมูล R = 9600 bit/sec บน RS-232C จากคอมพิวเตอร์ first null BW ของสัญญาณไบนารีจะเป็น 9.6 kHz แต่สัญญาณ Multilevel ที่ถูกต้อง ควรจะมีแบนด์วิคท์เพียง 3.2 kHz สังเกตว่า Multilevel มี Baud rate D=3200 สัญลักณ์/sec และมี bit rate R=9600 bit/sec ในขณะที่ Baud rate และ Bit rate ของสัญญาณไบนารีเป็น 9600 เท่ากัน

โดยทั่วไปสำหรับการส่งสัญญาณแบบ Multilevel first null BW คือ

$$B_{\text{null}} = R/l \quad (2.25)$$

โดยสรุป การส่งสัญญาณแบบ Multilevel เมื่อ L>2 จะถูกใช้เพื่อลดแบนด์วิคท์ของสัญญาณดิจิทัล เมื่อเปรียบเทียบกับแบนด์วิคท์ที่ต้องการสำหรับสัญญาณไบนารี ในทางปฏิบัติ สัญญาณ Multilevel ที่ถูกกรองจะถูกใช้เพื่อผสมพาหะ สำหรับการส่งข้อมูลดิจิทัลไปบนช่องการสื่อสาร ซึ่งมันจะให้สัญญาณดิจิทัลที่มีแบนด์วิคท์แคบ

## 2.6 Spectral Efficiency

นิยาม Spectral efficiency ของสัญญาณดิจิทัลแสดงโดยจำนวนบิตต่อวินาทีของข้อมูลที่สาราถยอมรับได้โดยแต่ละ hertz ของแบนด์วิคท์

$$\eta = R/B \quad (\text{bit/sec})/\text{Hz} \quad (2.26)$$

R คือ Data rate

B คือ แบนด์วิคท์

ในงานจริงการใช้แบนด์วิคท์ควรไม่จำกัดให้เป็นไปตามเงื่อนไขในวิศวกรรมการสื่อสารต้องใช้เทคนิคที่ทำให้สัญญาณผิดพลาดน้อยที่สุดและให้ได้ Spectral efficiency มากที่สุด ต้องรู้เงื่อนไขและค้นหารายละเอียดที่ทำให้ bit error มีค่าน้อยในระดับ Spectral efficiency ที่ถูกจำกัดใน Channel noise จะมีค่ามาก ถ้าความผิดพลาดที่มีน้อย Maximum Spectral efficiency หาได้จาก Shannon's channel capacity formula

$$\eta(\text{max}) = c/B$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้  $\log_2(1+S/N)$  เท่านั้น ไม่อนุญาตให้นำไป (2.27) โยชนด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีของ แรลนอนไม่ได้บอกไว้ว่า ทำอย่างไรจะทำให้ Spectral efficiency สูงสุด แต่ในทางปฏิบัติที่ทำให้เกิด Spectral efficiency ก็คือการเข้ารหัสแก้ไขบิตผิดพลาดและการเข้ารหัสสัญญาณแบบหลายระดับ

Spectral efficiency ของสัญญาณหลายระดับแบบ NRZ ได้จาก 2.25 เข้าใน 2.26

$$\eta = 1 \quad (\text{bit/sec)/Hz} \quad (2.28)$$

เมื่อ 1 เป็นจำนวนบิตที่ใช้ใน DAC ใดๆก็ดี ไม่สามารถเพิ่มประสิทธิภาพแบบไม่จำกัดได้เพราะถูกจำกัดด้วย Signal-to-noise ratio จากสมการที่ 4.10

Code Type	First-Null Bandwidth (Hz)	Spectral Efficiency $\eta=R/B[(\text{bits/sec)/Hz}]$
Unipolar NRZ	R	1
Polar NRZ	R	1
Unipolar RZ	2R	1/2
Bipolar RZ	R	1
Manchester NRZ	2R	1/2
Multilevel NRZ	R/l	l

ตารางที่ 2.3

Spectral efficiency ของการเข้ารหัสทั้งหมดสามารถที่จะหาได้จาก PSD ของแต่ละแบบ ดังแสดงในตาราง 2-3 ยูนิโพลาร์ NRZ, โพลาร์ NRZ และไบโพลาร์ RZ จะมีประสิทธิภาพเป็น 2 เท่าของแบบยูนิโพลาร์ หรือ Manchester NRZ

การเข้ารหัสไบนารีทั้งหมดจะมี  $m < 1$  การเข้ารหัสสัญญาณแบบหลายระดับสามารถเพิ่ม Spectral efficiency ให้ดีขึ้น แต่วงจรค่อนข้างแพง ดังนั้น Multilevel Signaling จึงมักใช้ใน T1G ซึ่งเป็นสายโทรศัพท์ดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.7 BER ของสัญญาณแบบแบนด์

### 2.7.1 Unipolar Signaling

ในรูป 2.14 b รูปแบบของสัญญาณแบบแบนด์ทั้งสอง คือ

$$S_1(t) = +A \quad 0 < t \leq T \quad (\text{ลอจิก 1})$$

$$S_2(t) = 0 \quad 0 < t \leq T \quad (\text{ลอจิก 0})$$

เมื่อ  $A > 0$  สัญญาณยูนิโพลาร์รวมกับสัญญาณรบกวน (white Gaussian noise) แสดงที่อินพุทของภาครับ

วิธีหนึ่งที่ใช้วิเคราะห์สัญญาณทางภาครับจะใช้ LPF  $H(f)$  เกนเท่ากับ 1 โดยให้แบนด์วิดท์ของ LPF  $B > 2/T$  ฟิเตอร์จะจำกัดรูปร่างของสัญญาณยูนิโพลาร์และทำให้ noise ลดลง ดังนั้น  $S_{01}(t_0) \approx A$  และ  $S_{02}(t_0) \approx 0$  กำลังของ noise ที่เอาท์พุทของฟิเตอร์  $(\sigma_o^2) = (N_o/2)(2B)$ , เมื่อ  $B$  เป็นแบนด์วิดท์ของฟิเตอร์ optimum threshold ถูกเซตไว้ที่

$$V_T = \frac{1}{2} A \quad \text{เมื่อเราใช้สมการ } P_e = Q \sqrt{\frac{(S_{01} - S_{02})^2}{4\sigma_o^2}}, \text{ BER ได้แก่}$$

$$P_e = Q \left( \sqrt{\frac{A^2}{4N_o B}} \right) \quad (\text{Low-pass filter}) \quad (2.29 a)$$

เมื่อภาครับใช้ LPF แบนด์วิดท์ เท่ากับ  $B$

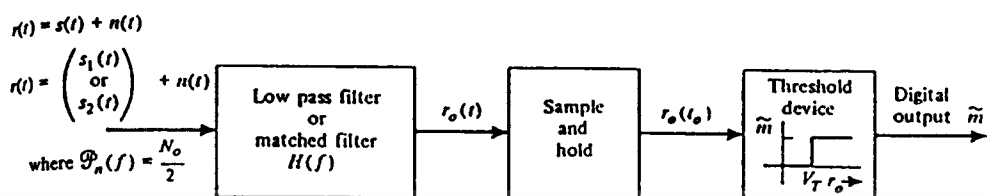
การวิเคราะห์แมทซ์ฟิเตอร์ภาครับให้ได้ผลโดยใช้สมการ  $P_e = Q \left( \sqrt{\frac{E_d}{2N_o}} \right)$  เมื่อเวลาการแซมปลิง  $t_0 = T$  พลังงานของสัญญาณที่แตกต่าง  $(E_d) = A^2 T$  ดังนั้น BER ได้แก่

$$P_e = Q \left( \sqrt{\frac{A^2 T}{2N_o}} \right) = Q \left( \sqrt{\frac{E_b}{N_o}} \right) \quad (\text{Matched filter}) \quad (2.29 b)$$

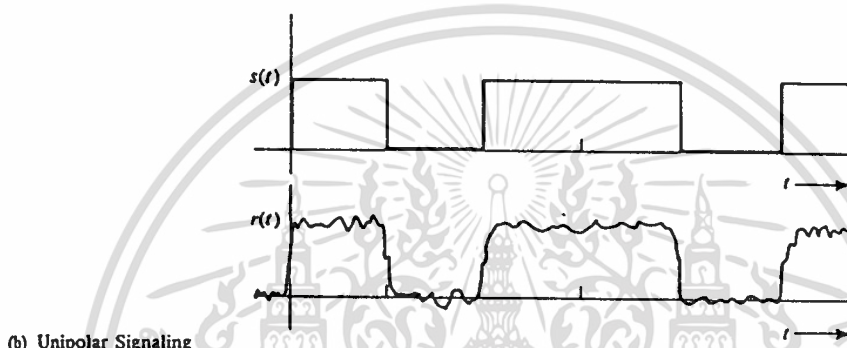
เมื่อพลังงานเฉลี่ยต่อบิต  $E_b = \frac{A^2 T}{2}$  สำหรับสัญญาณพัลส์สี่เหลี่ยมและแมทซ์ฟิเตอร์เป็นวงจรรออินทิเกรท เพราะฉะนั้น Optimum threshold คือ

$$V_T = \frac{S_{01} + S_{02}}{2} = \frac{1}{2} \left( \int_0^T A dt + 0 \right) = \frac{AT}{2}$$

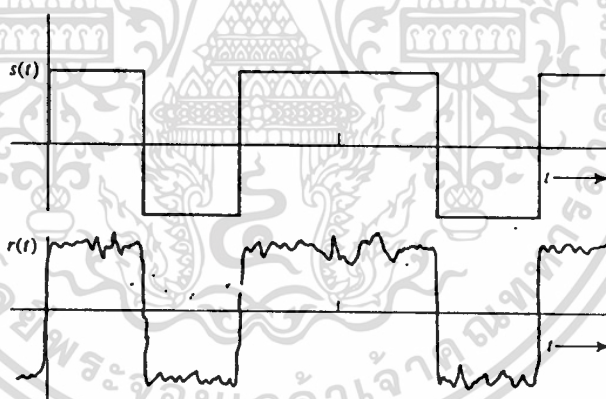
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Receiver



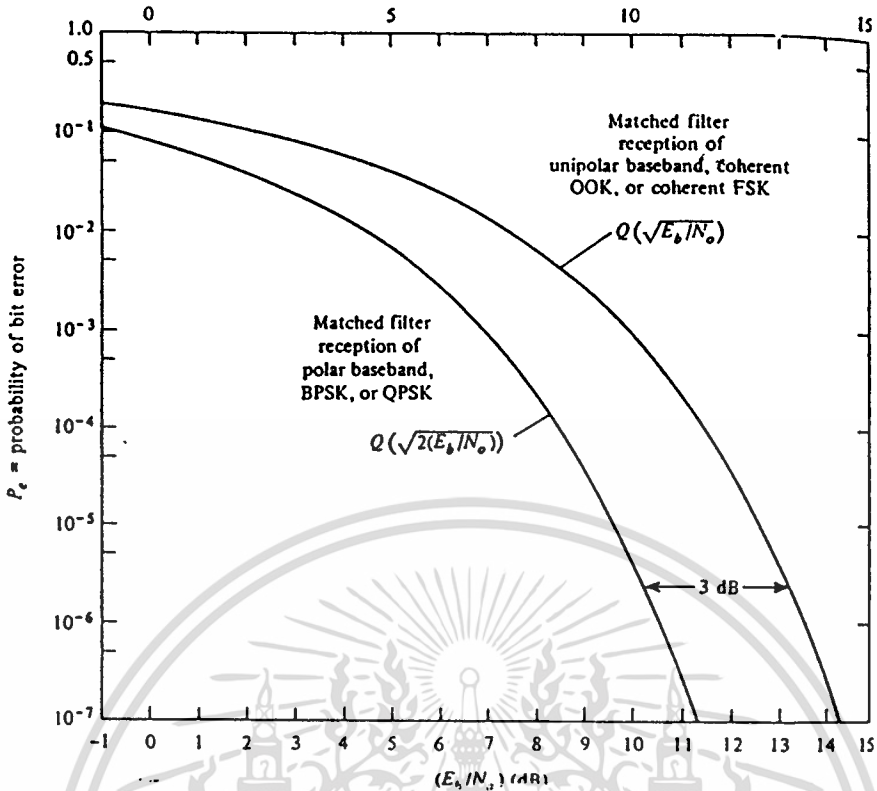
(b) Unipolar Signaling



(c) Polar Signaling

รูปที่ 2.14 สัญญาณแบบสแวนด์ทางด้านภาครับ

บ่อยครั้งที่ต้องการแสดง BER ให้อยู่ในรูปแบบของ  $E_b/N_o$  ซึ่งชี้บอกพลังงานเฉลี่ยต่อบิตที่ต้องการส่งของข้อมูลต่อพลังงานของ noise BER ในรูปแบบ  $E_b/N_o$  เป็นเทคนิคการวิเคราะห์สัญญาณที่แตกต่างทำให้ง่ายโดยการเปรียบเทียบให้อู่ในสมการ (2.29b) และแสดงให้อู่ในรูป 2.15 เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 เปรียบเทียบค่า  $P_e$  ของสัญญาณแบบแบนด์แบบ Polar และ Unipolar

2.7.2 Polar Signaling

แสดงในรูป 2.14c รูปแบบของสัญญาณโพลาร์ ได้แก่

$$S_1(t) = +A \quad 0 < t \leq T \quad (\text{ลอจิก 1})$$

$$S_2(t) = -A \quad 0 < t \leq T \quad (\text{ลอจิก 0})$$

สัญญาณโพลาร์เป็นสัญญาณที่ตรงข้ามกัน  $S_1(t) = -S_2(t)$  วิเคราะห์ LPF ทางภาค

รับของระบบ โดยใช้สมการ  $P_e = Q\left(\sqrt{\frac{(S_{01} - S_{02})^2}{4\sigma_o^2}}\right)$  และให้แบนด์วิดท์ของ LPF  $B \geq 2/T$

แต่เรารู้แล้วว่าสัญญาณเอาท์พุท  $S_{01}(t_0) \approx A$  และ  $S_{02}(t_0) \approx -A$  เวลาแซมปลิงถึง  $t = t_0$  , กำลัง noise ( $\sigma_o^2$ ) =  $N_o B$  , Optimum threshold ( $V_T$ ) = 0 ดังนั้น BER ของสัญญาณโพลาร์คือ

$$P_e = Q\left(\sqrt{\frac{A^2}{N_o B}}\right) \quad (\text{low-pass filter}) \quad (2.30a)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ B เป็นแบนด์วิดท์ของ LPF

วิเคราะห์โดยใช้เมทริกซ์ฟิลเตอร์ทางภาครับ ใช้สมการ  $P_e = Q\left(\sqrt{\frac{E_d}{2N_o}}\right)$  เมื่อ  $t_0 = T$

(เมทริกซ์ฟิลเตอร์ ใช้วงจรอินทิเกรตและคัมพ์ สำหรับสัญญาณโพลาร์ในรูป 2.14 c) ดังนั้น

พลังงานของสัญญาณที่แตกต่าง  $(E_d) = (2A)^2 T$  BER ได้แก่

$$P_e = Q\left(\sqrt{\frac{2A^2 T}{N_o}}\right) = Q\left(\sqrt{2\left(\frac{E_b}{N_o}\right)}\right) \quad (\text{matched filter}) \quad (2.30b)$$

เมื่อพลังงานเฉลี่ยต่อบิต  $(E_b) = A^2 T$ , ระดับสัญญาณสูงสุด  $(V_T) = 0$

กราฟแสดง BER ของสัญญาณยูนิโพลาร์และโพลาร์แสดงในรูป 2.15 ปรากฏว่าสัญญาณโพลาร์ดีกว่าสัญญาณยูนิโพลาร์อยู่ 3 dB หมายถึงสัญญาณยูนิโพลาร์ต้องการ  $E_b/N_o$  มากกว่าสัญญาณโพลาร์อยู่ 3 dB ใน  $P_e$  ที่เท่ากัน หมายถึงใน BER ที่เท่ากันสัญญาณโพลาร์จะมี  $E_b/N_o$  ดีกว่าของยูนิโพลาร์อยู่ 3 dB

### 2.7.3 Bipolar Signaling

สัญญาณไบโพลาร์ NRZ ลอจิก 1 จะแสดงสัญญาณเป็นบวกเป็นลบสลับไปมา และสัญญาณลอจิก 0 จะแสดงสัญญาณที่เป็นระดับศูนย์ จะได้

$$S_1(t) = \pm A \quad 0 < t \leq T \quad (\text{ลอจิก 1})$$

$$S_2(t) = 0 \quad 0 < t \leq T \quad (\text{ลอจิก 0})$$

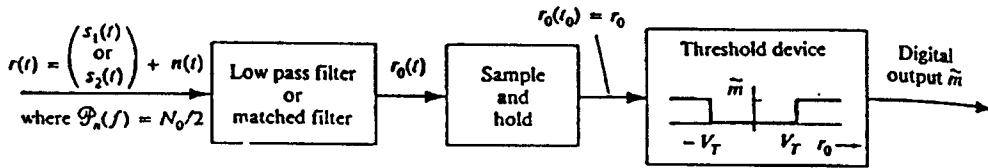
เมื่อ  $A > 0$  ไบโพลาร์จะคล้ายกับสัญญาณยูนิโพลาร์ ยกเว้นระดับสัญญาณที่แตกต่างของลอจิก จะเป็น  $+V_T$  และ  $-V_T$  แสดงในรูป 2.16 และรูป 2.16b แสดงความน่าจะเป็นของการเกิดการผิดพลาดสำหรับสัญญาณที่มี Gaussian noise, BER ได้แก่

$$P_e = P(\text{error}|+A \text{ sent})P(+A \text{ sent}) + P(\text{error}|-A \text{ sent})P(-A \text{ sent}) \\ + P(\text{error}|S_2 \text{ sent})P(S_2 \text{ sent})$$

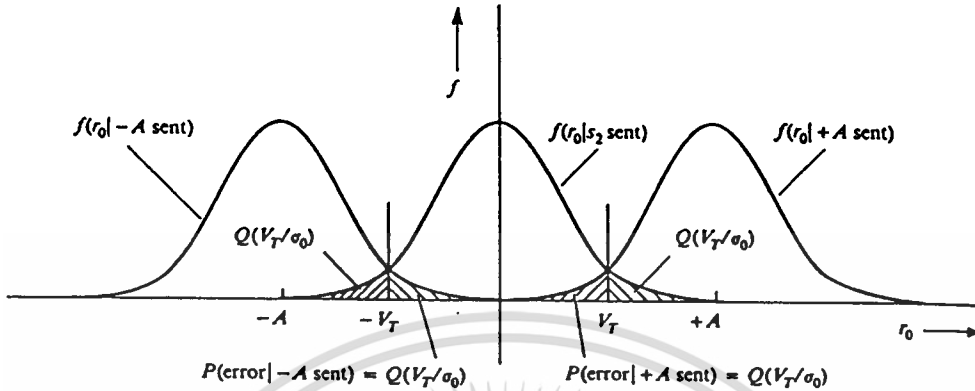
ใช้รูป 2.16b

$$P_e \approx \left[Q\left(\frac{V_T}{\sigma_o}\right)\right] \frac{1}{4} + \left[Q\left(\frac{V_T}{\sigma_o}\right)\right] \frac{1}{4} + \left[2Q\left(\frac{V_T}{\sigma_o}\right)\right] \frac{1}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Receiver



(b) Conditional PDFs

รูปที่ 2.16 สัญญาณ Bipolar ทางค้ำรับ

ลดสมการจะได้

$$P_e = \frac{3}{2} Q\left(\frac{V_T}{\sigma_0}\right)$$

ให้ Optimum threshold ( $V_T$ ) =  $\frac{1}{2} A$

สำหรับเครื่องรับที่ใช้ LPF และมีสัญญาณไบโพลาร์พัลส์ กับ ไวท์นอยส์ ผ่าน ,  $\sigma_0^2 = N_0 B$  ,

BER คือ

$$P_e = \frac{3}{2} Q\left(\sqrt{\frac{A^2}{4N_0 B}}\right) \quad (\text{low-pass filter}) \quad (2.31a)$$

เมื่อ PSD ของนอยส์ เป็นแบนด์วิดท์ของฟิลเตอร์ คือ B Hz และใช้แมทซ์ฟิลเตอร์ จะได้เอาท์พุทของสัญญาณ  $\left(\frac{S}{N}\right)$  ดังนี้

$$\left(\frac{S}{N}\right)_{out} = \frac{A^2}{\sigma_0^2} = \frac{2E_d}{N_0}$$

สำหรับสัญญาณไบโพลาร์ NRZ พลังงานของสัญญาณที่แตกต่างกัน ( $E_d$ ) =  $A^2 T = 2E_b$  เมื่อ  $E_b$  เป็นพลังงานเฉลี่ยต่อบิต ทางภาครับใช้แมทซ์ฟิลเตอร์ , BER คือ

$$P_e = \frac{3}{2} Q\left(\sqrt{\frac{E_d}{N_0}}\right) \quad (\text{matched filter}) \quad (2.31b)$$

สำหรับสัญญาณไบโพลาร์ RZ ,  $E_d = A^2 T / 4 = 2E_b$  เป็นผลทำให้สูตร BER เหมือนกับสมการ (2.31b) และทำให้ BER ของสัญญาณไบโพลาร์ เป็น  $\frac{3}{2}$  เท่าของสัญญาณยูนิโพลาร์

เมื่อเทียบกับสมการ (2.29b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3

### หลักการและการออกแบบวงจรดิจิทัลแบบขนานทางด้านภาคส่ง

#### 3.1 Data Generator

##### 3.1.1 PSEUDO RANDOM BINARY SEQUENCE (PRBS)

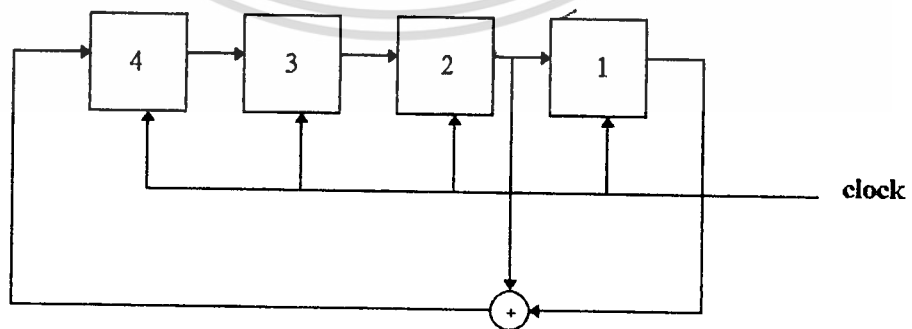
การกำเนิดสัญญาณ PSEUDO RANDOM BINARY SEQUENCE จะทำงานโดยการใช้ SHIFT REGISTER ที่มีการต่อป้อนกลับแบบวงจรวกแบบ MODULO 2 โดยที่ SHIFT REGISTER ก็คือ FLIP-FLOP จำนวนหนึ่งทำการต่อเป็นแบบ SERIES กันและ SHIFT REGISTER แต่ละตัวจะมีการต่อเข้ากับสัญญาณนาฬิกา เมื่อ SHIFT REGISTER ได้รับสัญญาณนาฬิกาข้อมูลไบนารีที่อยู่ใน FLIP-FLOP ก็จะถูกย้ายไปยัง FLIP-FLOP ตัวถัดไปและจะมีการกำหนดจุดต่อป้อนกลับ เพื่อกำหนดความยาวของ PSEUDO RANDOM BINARY SEQUENCE โดยใช้สมการ PRIMITIVE POLYNOMIAL ยกกำลัง  $m$  เป็นตัวกำหนดจำนวน SHIFT REGISTER ทั้งหมดที่ใช้ และสามารถกำหนดจุดต่อป้อนกลับได้ด้วยสมการ PRIMITIVE POLYNOMIAL ที่มีกำลังตั้งแต่ 1 ถึง 40 ซึ่งจะแสดงได้ดังตารางที่ 3.1

สมการ PRIMITIVE POLYNOMIAL นี้จะให้สัญญาณ PSEUDO RANDOM BINARY SEQUENCE ที่มีความยาว  $n=2^m-1$  เนื่องจากจะไม่ให้เกิดสถานะที่เป็น 0 ก่อนที่จะกลับไปให้มีสถานะซ้ำกับข้อมูลเดิมจากตารางในรูปที่ 3.1 จึงให้สัญญาณ PSEUDO RANDOM BINARY SEQUENCE ที่มีความยาวสูงสุดถึง  $2^{40}-1=10^{12}$  จากตารางนี้ถ้าเรานำสมการ PRIMITIVE POLYNOMIAL  $h(x) = x^4 + x + 1$  มาพิจารณาจะเห็นว่ากำลังสูงสุดของสมการ  $(m) = 4$  จึงแสดงว่า SEQUENCE นี้จะต้องใช้ SHIFT REGISTER จำนวนทั้งหมด 4 ตัวและแสดงถึงการต่อจุดป้อนกลับได้ดังรูปที่ 3.1 คือ นำเอาสัญญาณเอาต์พุตของ SHIFT REGISTER ตัวที่ 4 และตัวที่ 1 มาใช้ในการบวกแบบ MODULO 2 (โดยในสมการ PRIMITIVE POLYNOMIAL จะแทนด้วยเครื่องหมายบวก) นั่นก็คือการใช้ EXCLUSIVE OR GATE จากรูปที่ 3.1 ถ้าเราสมมติให้สถานะการเริ่มต้นการทำงานของ SHIFT REGISTER เป็นลอจิก 1111 เมื่อมีการให้สัญญาณนาฬิกาเข้าไป ข้อมูลเดิมใน SHIFT REGISTER ก็จะถูกเลื่อนไปทางซ้ายมือ 1 ตำแหน่งคือข้อมูลเดิมใน FLIP-FLOP จะถูกย้ายไปเก็บไว้ใน FLIP-FLOP ตัวถัดไป โดยที่ข้อมูลที่อยู่ใน FLIP-FLOP ตัวที่ 1 2 3 จะถูกเลื่อนไปเก็บไว้ใน FLIP-FLOP ตัวที่ 2 3 4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

degm	h(x)	degm	h(x)
1	$x+1$	21	$x^{21} + x^2 + 1$
2	$x^2 + x + 1$	22	$x^{22} + x + 1$
3	$x^3 + x + 1$	23	$x^{23} + x^5 + 1$
4	$x^4 + x + 1$	24	$x^{24} + x^4 + x^3 + x + 1$
5	$x^5 + x^2 + 1$	25	$x^{25} + x^3 + 1$
6	$x^6 + x + 1$	26	$x^{26} + x^8 + x^7 + x + 1$
7	$x^7 + x + 1$	27	$x^{27} + x^8 + x^7 + x + 1$
8	$x^8 + x^6 + x^5 + x + 1$	28	$x^{28} + x^3 + 1$
9	$x^9 + x^4 + 1$	29	$x^{29} + x^2 + 1$
10	$x^{10} + x^3 + 1$	30	$x^{30} + x^{16} + x^{15} + x + 1$
11	$x^{11} + x^2 + 1$	31	$x^{31} + x^3 + 1$
12	$x^{12} + x^7 + x^4 + x^3 + 1$	32	$x^{32} + x^{28} + x^{27} + x + 1$
13	$x^{13} + x^4 + x^3 + 1$	33	$x^{33} + x^{13} + 1$
14	$x^{14} + x^{12} + x^{11} + x + 1$	34	$x^{34} + x^{15} + x^{14} + x + 1$
15	$x^{15} + x + 1$	35	$x^{35} + x^2 + 1$
16	$x^{16} + x^5 + x^3 + x^2 + 1$	36	$x^{36} + x^{11} + 1$
17	$x^{17} + x^3 + 1$	37	$x^{37} + x^{12} + x^{10} + x^2 + 1$
18	$x^{18} + x^7 + 1$	38	$x^{38} + x^6 + x^5 + x + 1$
19	$x^{19} + x^6 + x^5 + x + 1$	39	$x^{39} + x^4 + 1$
20	$x^{20} + x^3 + 1$	40	$x^{40} + x^{21} + x^{19} + x^2 + 1$

ตารางที่ 3.1 แสดงความสัมพันธ์ระหว่างสมการ PRIMITIVE POLYNOMIAL กับ DEGREE



รูปที่ 3.1 แสดงการต่อ SHIFT REGISTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วนำเอาเอาท์พุทเดิมของ FLIP - FLOP ในตัวที่ 1 และตัวที่ 4 ก่อนที่จะมีสัญญาณนาฬิกาเข้ามาทำการบวกกับแบบ MODULO 2 แล้วป้อนกลับไปเป็นอินพุทใหม่ให้กับ FLIP - FLOP ตัวแรกจะเห็นว่าข้อมูลที่อยู่ใน SHIFT REGISTER จะเปลี่ยนแปลงไปเรื่อย ๆ จนครบ 15 สถานะ คือ 1111 0111 1011 0101 1010 1101 0110 0011 1001 0100 0010 0001 1000 1100 1110 1111 ส่วนเอาท์พุทของวงจร SEQUENCE นี้จะถูกนำมาจากเอาท์พุทของ SHIFT REGISTER ตัวสุดท้ายซึ่งจะได้ข้อมูลเป็น 111101011001000 โดยข้อมูลจะต่อเนื่องกัน 15 บิต (แสดงดังตารางที่ 3.2) และทำให้เกิดการ RANDOM จึงเรียกววงจรว่า PSEUDO RANDOM BINARY SEQUENCE

Length of Shift Register	Feedback Taps	Penod of Sequence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127
8	1,6,7,8	255
9	4,9	511
10	3,10	1023
11	2,11	2047
12	2,10,11,12	4095
13	1,11,12,13	8191
14	2,12,13,14	16383
15	14,15	32767
16	11,13,14,16	65536
17	14,17	131071
18	11,18	262143
19	14,17,18,19	524287
20	17,20	1048575

ตารางที่ 3.2 แสดงความสัมพันธ์ระหว่างการเทียบกับ PERIOD ของ SEQUENCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความยาวของ PSEUDO RANDOM BINARY SEQUENCE กำหนดได้จากความยาวของ SHIFT REGISTER ที่ใช้และจุดต่อป้อนกลับที่ได้จากสมการ PRIMITIVE POLYNOMIAL และสถานะเริ่มต้นการทำงานของ SHIFT REGISTER สังเกตได้จากรูปที่ 3.2 ถ้ามีการกำหนดให้สถานะเริ่มต้นของ FLIP - FLOP เป็น 0 ทั้งหมด ข้อมูลก็จะไม่มีการเปลี่ยนแปลงและจะไม่สามารถทำให้วงจร SEQUENCE ทำงานได้ ดังนั้นวงจร SEQUENCE จะไม่ยอมให้เกิดสถานะเอาต์พุตที่ข้อมูลเป็น 0 ส่วนความยาวสูงสุดของข้อมูลของ SEQUENCE ที่สร้างขึ้นกำหนดได้เมื่อใช้ SHIFT REGISTER จำนวน  $m$  STAGE จะเท่ากับ  $2^m - 1$  ตัวอย่างค่าความยาวสูงสุดที่ได้จากการป้อนกลับที่ความยาวของ SHIFT REGISTER ขนาดต่างๆ แสดงได้ดังรูปที่ 3.2



รูปที่ 3.2 แสดงค่าความยาวสูงสุดจากการป้อนกลับของรีจิสเตอร์ขนาดต่างๆ

จุดต่อป้อนกลับแต่ละจุดในความเป็นจริงแล้วอาจจะมีจุดต่อป้อนกลับได้ 2 จุด เพราะการเรียงสลับข้อมูลที่แตกต่างกันก็สามารถทำให้มีความยาวของ sequence เท่ากันได้แต่จะมีข้อมูลสลับกัน ดังนั้นการป้อนกลับจาก flip - flop ตัวที่ 2 และตัวที่ 3 ก็จะทำานเหมือนกับการป้อนกลับจากตัวที่ 1 และตัวที่ 3 ในการสร้าง sequence ที่มีความยาวเท่ากับ 7 ในทำนองเดียวกันการป้อนกลับจาก flip - flop ตัวที่ 3 และตัวที่ 4 ก็ทำงานเช่นเดียวกับการป้อนกลับจาก 1 และ 4 สำหรับ sequence ที่มีความยาว 15 คุณสมบัติอื่นๆ ของความยาว sequence สูงสุดมีดังนี้

- จะมีจำนวนของลอจิก 1 ในแต่ละ 1 รอบของเอาต์พุต sequence มากกว่าจำนวนลอจิก 0

- ค่าที่ได้จะเป็นการเรียงลอจิก 0 หรือ ลอจิก 1 ตามความยาว  $n$  จะเป็นสองเท่าของการทำงาน ของความยาว  $n+1$  ซึ่งถ้าเป็น  $1/2$  การทำงานจะมีความยาวเป็น 1 ที่  $1/4$  จะมีความยาวเป็น 2 และที่  $1/8$  จะมีความยาวเป็น 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- autocorrelation ของ sequence มีค่าสูงสุด เท่ากับความยาวของ sequence  $(2^n - 1)$  ที่ zero shift และที่ multiples ของความยาว sequence ที่ shift register ตัวอื่น ๆ มีค่า correlation เป็น -1 ค่า autocorrelation ของ pseudo random binary sequence ขนาด 7 บิต แสดงได้ดังรูปที่ 3.3

Sequence +1 +1 +1 -1 -1 +1 -1

For  $r=0$

+1 +1 +1 -1 -1 +1 -1

X +1 +1 +1 -1 -1 +1 -1

$$\frac{+1 +1 +1 +1 +1 +1 +1}{+1 +1 +1 +1 +1 +1 +1} = 7 = R(r=0)$$

For  $r=1$

+1 +1 +1 -1 -1 +1 -1

X +1 +1 +1 -1 -1 -1 -1

$$\frac{+1 +1 -1 -1 -1 -1 -1}{+1 +1 -1 -1 -1 -1 -1} = -1 = R(r=1)$$

For  $r=2$

+1 +1 +1 -1 -1 +1 -1

X +1 -1 -1 +1 -1 +1 -1

$$\frac{+1 -1 -1 -1 +1 +1 -1}{+1 -1 -1 -1 +1 +1 -1} = -1 = R(r=2)$$

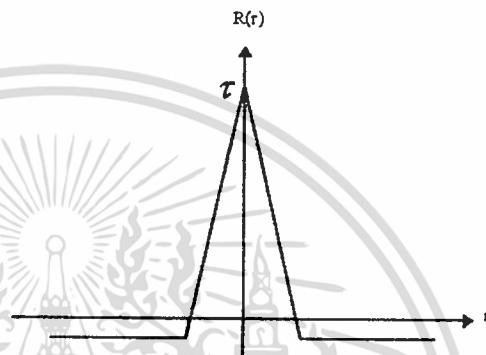
For  $r=-1$

+1 +1 +1 -1 -1 +1 -1

X -1 +1 +1 +1 -1 -1 +1

$$\frac{-1 +1 +1 -1 +1 -1 -1}{-1 +1 +1 -1 +1 -1 -1} = -1 = R(r=-1)$$

(a) Calculation of autocorrelation  $R(r)$



(b) Plot of autocorrelation  $R(r)$

รูปที่ 3.3 แสดงการคำนวณและรูป AUTOCORRELATION FUNCTION ของสัญญาณ PRBS n บิต

### 3.1.2 วงจรแปลงอนาล็อกเป็นดิจิทัล (ADC)

วงจรเปลี่ยนแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจรแอนะล็อกแบบนี้มีข้อได้เปรียบทางด้านความละเอียด เพราะความละเอียด n บิต สามารถกำหนดได้จากสัญญาณนาฬิกา n ลูก ตัวอย่างเช่น วงจรแปลงขนาด 8 บิต ต้องการพัลส์ของสัญญาณนาฬิกาเพียง 8 ลูก ในขณะที่แบบใช้วงจรนับต้องใช้พัลส์ถึง 256 ลูก วงจร SA (Successive - Approximation) นี้แสดงไว้ดังรูปที่ 3.4 หัวใจของวงจรคือ (Successive - Approximation Register : SAR) เช่น เบอร์ MC14549 ที่มีการทำงานดังต่อไปนี้

เมื่อเริ่มทำการเปลี่ยนสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยังดิจิทัลเอนเซอร์ MC1408 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM319 ซึ่งทำการตรวจสอบว่า

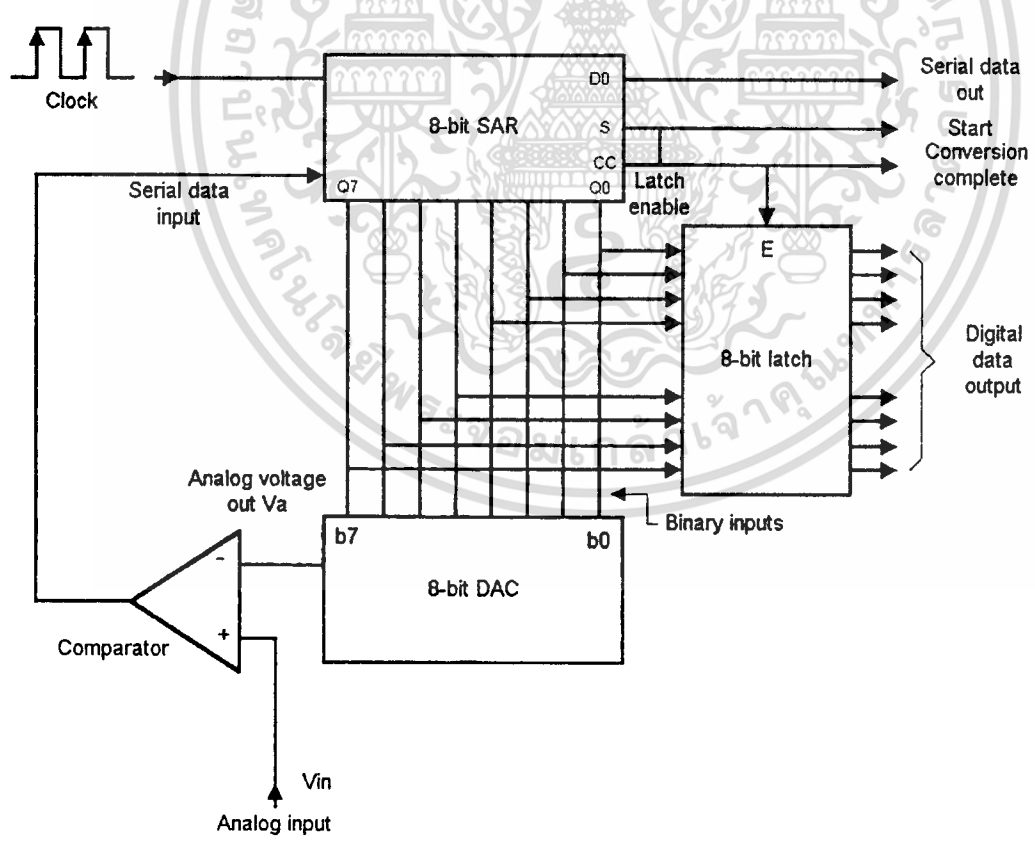
เอาต์พุตของวงจรดิจิทัลนั้นมากกว่าหรือน้อยกว่าแรงดันอินพุต  $V_m$  ถ้าเอาต์พุตของวงจรเปรียบเทียบมี

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

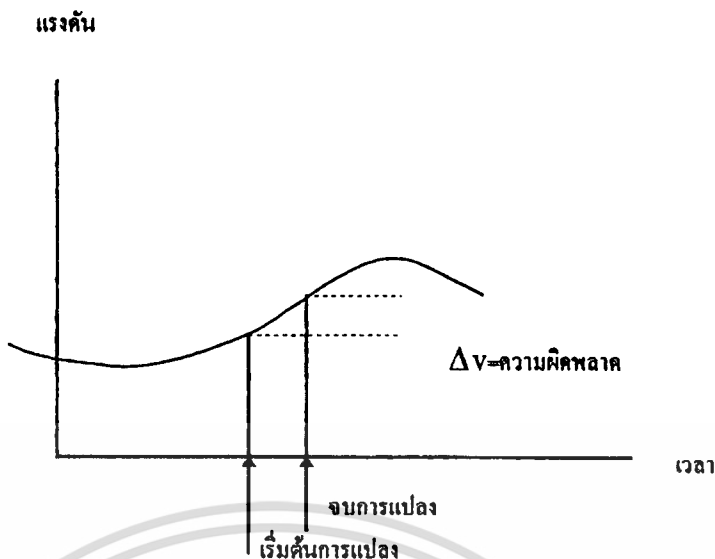
ระบบ “high“ เอาท์พุทของคิพูเอจิงต่ำกว่า  $V_{in\_SAR}$  จะทำการเก็บบิทที่มีนัยสำคัญสูงสุดไว้ ถ้า เอาท์พุทของวงจรเปรียบเทียบกับเป็นระดับ “low“ เอาท์พุทของคิพูเอจิงมากกว่า  $V_{in\_SAR}$  จะทำการรีเซ็ตบิทที่มีนัยสำคัญสูงสุดนั้น พัลส์ลูกต่อมาก็จะทำงานเช่นเดียวกัน โดยบิทที่ได้คือ บิท ที่มีนัยสำคัญรองลงมา SAR ทำงานแบบนี้ไปจนถึงบิทที่มีนัยสำคัญต่ำสุด แต่ละบิทใช้สัญญาณนาฬิกาเพียงลูกเดียวครบทุกบิทแล้ว SAR ก็ทำการส่งสัญญาณ EOC (end of conversion) ออกไป

สัญญาณ EOC เป็นตัวบอกว่าสายสัญญาณเอาท์พุท ที่ขนานกันมาทุกเส้นมีข้อมูลดิจิทัลของสัญญาณอินพุทครบถ้วนแล้ว ถ้าสัญญาณ EOC ถูกต่อไปยังอินพุทที่เป็นจุดเริ่มการเปลี่ยนสัญญาณการเปลี่ยนสัญญาณก็จะเกิดขึ้นอย่างต่อเนื่อง MC14549 ยังสามารถส่งเอาท์พุทดิจิทัลแบบอนุกรมได้อีกด้วย ขึ้นอยู่กับการควบคุมของ SAR

วงจรในรูปที่ 3.4 ใช้แรงดันอินพุทสูงสุด  $\pm 5$  โวลต์ อินพุทแบบไม่กลับของออปแอมป์ที่ทำหน้าที่เปลี่ยนกระแสเป็นแรงดัน (current to voltage converter) ต่อเข้ากับ -5 โวลต์ แทนที่จะต่อลงกราวด์เป็นการขยับระดับแรงดันอนาล็อกจาก -5 โวลต์ ถึง +5 โวลต์ แทน 0 ถึง 10 โวลต์ สัญญาณไฟสลักรูปขาคี่จึงสามารถต่อโดยตรงเข้ากับอินพุทของออปูติวงจรนี้ได้ วงจรแปลงออปูติชนิดนี้มีความเร็วสูง และความละเอียดสูง จึงเป็นวงจรที่นำมาใช้กันอย่างแพร่หลาย



เอกสารนี้เป็นเอกสารรูปที่ 3.4 วงจรเปลี่ยนสัญญาณออปูติแบบ successive approximation ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ความผิดพลาดที่เกิดจากการที่สัญญาณอนาล็อกทางอินพุตเปลี่ยนแปลง ในระหว่างที่ conversion time

การสุ่มและการคงค่า ( Sample and Holds )

วงจรเอพูคีต้องการเวลาในการแปลงสัญญาณหรือที่เรียกว่า conversion time เพื่อเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลที่เหมาะสม สัญญาณอนาล็อกมีการเปลี่ยนแปลงในช่วงเวลาการแปลง เอาท์พุทของวงจรเปลี่ยนสัญญาณอาจเกิดความผิดพลาดจึงต้องมีการป้องกันด้วยวงจรสุ่มและคงค่าสัญญาณ ( sample and hold ) เพื่อใช้จับสัญญาณอนาล็อกที่จุดเริ่มของการเปลี่ยนสัญญาณแล้วเก็บไว้ในตัวเก็บประจุระหว่างช่วงเวลาการแปลง หลังจากที่มีการเปลี่ยนสัญญาณเสร็จสิ้นจึงจับสัญญาณอนาล็อกค่าใหม่มาเก็บไว้อีกครั้งเป็นเช่นนี้ต่อไป เราจึงมักได้พบเห็นวงจรสุ่มและคงค่าสัญญาณปรากฏคู่กับวงจรเอพูคีอยู่เสมอ

ค่าความละเอียดและความเที่ยงตรง

ค่าความละเอียดของตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัลถูกอธิบายเป็นระยะห่างที่น้อยที่สุดของค่าแรงดันทางอินพุตที่เพิ่มขึ้น ซึ่งถูกกำหนดโดยตัวแปลงสัญญาณนั้น ระยะห่างขี้น้อยเท่าไรห้ร ค่าความละเอียดยิ่งสูงขึ้น โดยค่าความละเอียดแปรผันตรงกับจำนวนของบิตเอาท์พุท ยกตัวอย่างเช่นตัวแปลงสัญญาณมีความแตกต่างทางรหัสเอาท์พุท 256 ระดับสัญญาณถูกแทนเป็นไบนารีจาก 00000000 ถึง 11111111 ถ้าข่านอินพุตเริ่มต้นจาก 0-5 V ดังนั้นค่าความละเอียดเท่ากับ

$$\frac{5V}{256} = 0.0195V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

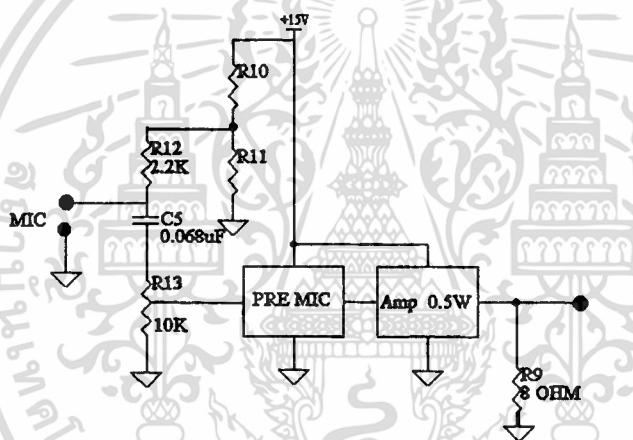
ถ้าเอาท์พุทไบนารีเป็น 00000001 จะแทนด้วย 0.0195 V ในทำนองเดียวกันถ้าเอาท์พุทไบนารีเป็น 00000010 จะแทนด้วย 0.039 V และค่าอื่น ๆ ตามลำดับ ถ้าต้องการทราบค่าของไบนารีของ 3.042 V จะมีค่าเท่ากับ

$$\frac{3.042V}{0.0195} = 156$$

เมื่อทำการแปลงเป็นไบนารีจะมีค่าเท่ากับ 10011100

### การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

วงจรนี้จะทำการแปลงสัญญาณอนาล็อก คือเสียงพูดของคนที่อยู่ในย่านความถี่ 300 - 3000 HZ โดยเสียงจะผ่านวงจรไมค์ ในที่นี้ใช้คอนเดนเซอร์ไมค์ ผ่านวงจรปริไมค์ ขยายสัญญาณเสียงขนาดเล็กให้โตขึ้น ก่อนเข้าวงจรขยายสัญญาณขนาด 0.5 วัตต์ วงจรปริไมค์เป็นวงจรขยายแบบใช้ทรานซิสเตอร์ 2 ตัว

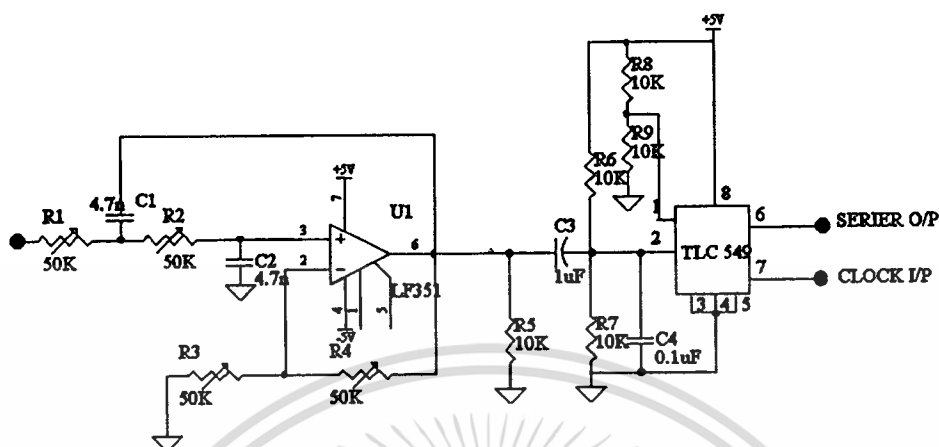


รูปที่ 3.6 วงจรไมค์ ปริไมค์ และภาคขยายไมค์

ภาคขยายใช้ไอซี LM386N ให้อัตราขยายถึง 46 dB เอาท์พุทอิมพีแดนซ์ 8 โอห์ม ให้กำลังขาออก 0.5 วัตต์ ขยายสัญญาณเสียงพูดที่เข้ามาให้อยู่ระหว่าง 0-5 โวลต์ เพื่อนำไปเข้าวงจรฟิลเตอร์ และ ไอซี แปลงสัญญาณอนาล็อกเป็นดิจิทัลต่อไปสัญญาณเสียงเมื่อออกจากวงจรขยายสัญญาณ 0.5 วัตต์ แล้วจะมาเข้าวงจรกรองสัญญาณรบกวนก่อนเข้าไอซี TLC549 โดยวงจรกรองสัญญาณรบกวนเป็นวงจร Low-pass Butterworth Filter Second order โดยปรับความถี่ Cutoff ไว้ที่ความถี่ 2 kHz โดยการปรับค่าความต้านทาน  $R_1, R_2$  ทั้งสองตัวให้ได้ค่าประมาณ 8  $k\Omega$  และใช้ค่า  $C_1, C_2$  ประมาณ 4.7 nF ทั้งสองตัว สัญญาณเสียงเมื่อผ่านวงจรกรองสัญญาณรบกวนจะไปเข้าไอซี TLC549 ที่ขา 2 เพื่อแปลงสัญญาณเสียง เป็น

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรกรองสัญญาณรบกวน และวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

สัญญาณดิจิทัลแบบอนุกรม เพื่อเข้าวงจรเข้ารหัสต่อไปก่อนส่งเข้าไปในสายโทรศัพท์ สัญญาณเสียงที่ขา 2 ของไอซี TLC549 จะต้องทำการยกระดับสัญญาณเสียงให้ขึ้นไปในระดับแรงดัน 2.5 โวลต์ เพราะถ้าสัญญาณเสียงอยู่ที่ระดับ 0 โวลต์ จะทำให้สัญญาณเสียงทางด้านลบหายไป เพราะไอซีจะรับรู้และซมบไปถึงสัญญาณแค่ด้านบวกเท่านั้น ทางด้านรับเมื่อแปลงสัญญาณกลับมาจะไม่ทำให้สัญญาณเสียงขาดหายไป ดังนั้นเมื่อเราพูดสัญญาณเสียงผ่าน คอนเดนเซอร์ไมโครโฟน ที่ขา 6 ของไอซี TLC549 จะได้สัญญาณดิจิทัลในแบบอนุกรมออกมาก่อนจะนำไปเข้าวงจรเข้ารหัสต่อไป นับเป็นการเสร็จสิ้นขบวนการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

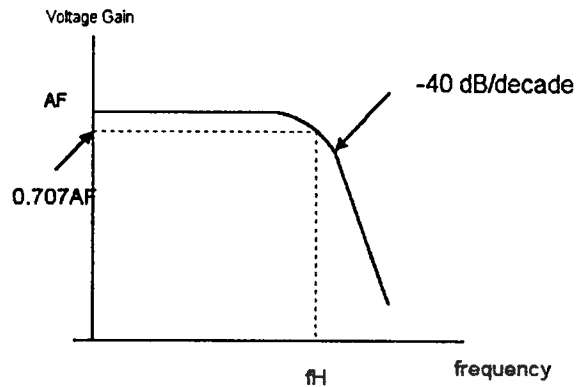
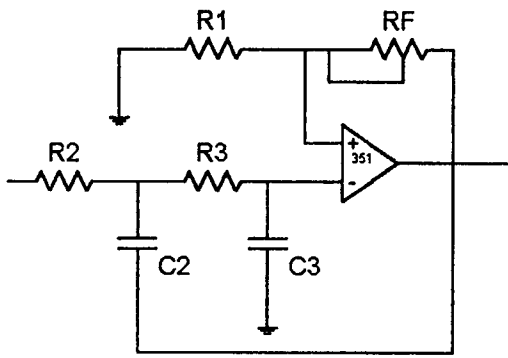
## 3.2 CHANNEL

### 3.2.1 Filter

จุดทดลองการส่งสัญญาณดิจิทัลเบสแบนด์นี้เราได้จำลองช่องสัญญาณของการส่ง ให้มีลักษณะเป็นวงจรกรองความถี่ต่ำผ่าน เนื่องจากในความเป็นจริงผลตอบสนองของช่องสัญญาณกับสัญญาณที่ส่งเข้ามาในสาย ก็มีลักษณะเดียวกับ Low-pass Filter เหมือนกัน เราจะพิสูจน์ทฤษฎีของ Nyquist ที่ว่าช่องสัญญาณต้องมีแบนด์วิดท์ของช่องสัญญาณแคบที่สุดเท่ากับ จึงจะไม่ทำให้เกิดการรบกวนระหว่างสัญลักษณ์เกิดขึ้น หรือแบนด์วิดท์กว้างกว่ามาก ๆ แล้วจะทำให้สัญญาณรบกวนปะปนเข้ามามากด้วยทำให้ SNR ของระบบดีหรือไม่ดีอย่างไรในที่นี้เราใช้วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Low - pass Butterworth Filter Second Order มาใช้ในการทดลอง



รูปที่ วงจร Second Order Low - pass Butterworth Filter

จากรูปเป็นวงจร Low - pass Butterworth Filter ซึ่งกราฟของผลตอบสนองมีความชัน - 40 dB / decade ซึ่งสามารถแสดงวงจรและผลตอบสนองของวงจรได้ดังรูป

Second - order low pass filter มีความสำคัญเพราะว่าใน order ที่สูงกว่านั้นเราสามารถ ออกแบบนำมาใช้งานจริง ๆ โดยแกนของวงจร second - order low pass filter กำหนดได้จากค่า  $R_1$  และ  $R_F$  ขณะที่ high cutoff frequency ( $f_c$ ) สามารถคำนวณได้จาก  $R_2, R_3, C_2, C_3$  ตามสมการ

$$f_H = \frac{1}{2\pi(R_2 R_3 C_2 C_3)^2}$$

สำหรับ response ของ second - order low - pass butterworth filter ขนาดของ โวลต์เดจเกิน จะมีสมการดังนี้

$$\left| \frac{V_o}{V_{in}} \right| = \frac{A_F}{\sqrt{1 + (f/f_H)^2}}$$

$$A_F = 1 + \frac{R_F}{R_1} = \text{แกนของวงจร filter}$$

$f$  = ความถี่ของสัญญาณ input

$$f_H = \frac{1}{2\pi \sqrt{R_2 R_3 C_2 C_3}} = \text{high frequency cut off}$$

ขั้นตอนในการออกแบบ

- 1) เลือกค่าความถี่ high frequency cutoff ในที่นี้เราต้องการให้มีค่าความถี่ Cutoff หลายค่า เพื่อให้ใช้ในการทดลองเลือกค่าความถี่ 8, 16, 32, 64, 128 kHz ไม่ตามลำดับนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) สมมติค่าในการออกแบบ โดยกำหนดให้  $R_2 = R_3 = R$  และ  $C_2 = C_3 = C$  เลือกใช้  
ค่า  $C = 4.7 \text{ nF}$

3) คำนวณค่า  $R$  ที่ใช้ในสมการ

$$f_H = \frac{1}{2\pi\sqrt{R^2C^2}}$$

$$= \frac{1}{2\pi RC}$$

$$R = \frac{1}{2\pi f_H C}$$

$$f_H = 8\text{kHz}, R = \frac{1}{2\pi \times 8 \times 10^3 \times 47 \times 10^{-9}} = 4.233 \text{ k}\Omega$$

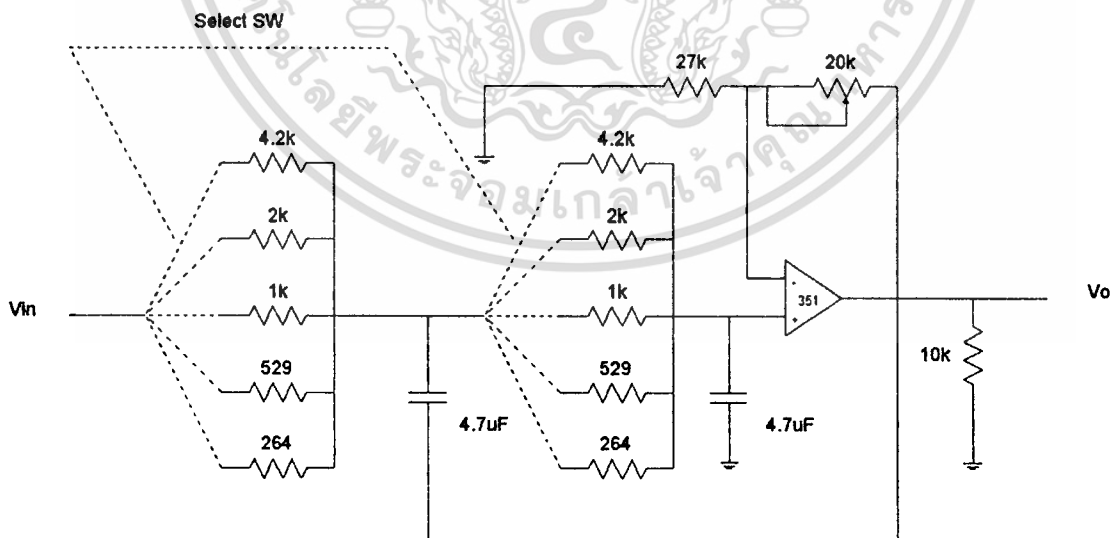
$$f_H = 16\text{kHz}, R = \frac{1}{2\pi \times 16 \times 10^3 \times 47 \times 10^{-9}} = 2.116 \text{ k}\Omega$$

$$f_H = 32\text{kHz}, R = \frac{1}{2\pi \times 32 \times 10^3 \times 47 \times 10^{-9}} = 1.058 \text{ k}\Omega$$

$$f_H = 64\text{kHz}, R = \frac{1}{2\pi \times 64 \times 10^3 \times 47 \times 10^{-9}} = 529 \text{ k}\Omega$$

$$f_H = 128\text{kHz}, R = \frac{1}{2\pi \times 128 \times 10^3 \times 47 \times 10^{-9}} = 264 \text{ k}\Omega$$

4) เนื่องจากเรากำหนด  $R_2 = R_3$  และ  $C_2 = C_3$  ดังนั้นค่าโวลต์เดจเนน  $A_F = 1 + \frac{R_F}{R_1}$  มีค่า  
เท่ากับ 1.586 นั่นคือ  $R_F = 0.586 R_1$  ซึ่งค่าเกณฑ์นี้มีความจำเป็นสำหรับการตอบสนองของ  
Butterworth filter ดังนั้นเราเลือกค่า  $R_1 \leq 100 \text{ k}\Omega$  เพื่อนำไปหาค่า  $R_F$

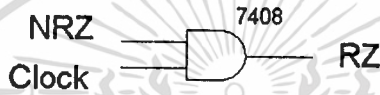
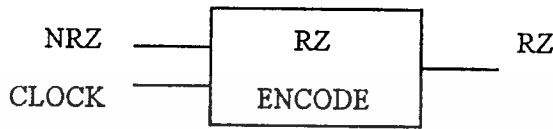


เอกสารนี้เป็นรูปที่ 3.9 แสดงวงจร Low-pass butterworth filter เลือกความถี่ Cutoff ได้  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 ENCODER

#### 3.3.1 RZ

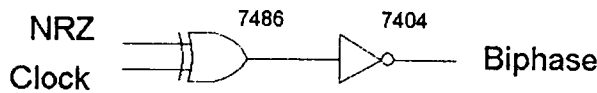
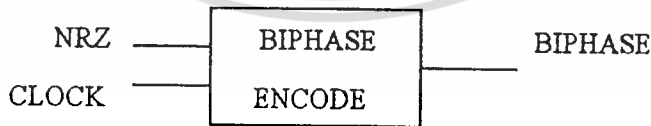
มีลักษณะเป็นครึ่งหนึ่งของสัญญาณ NRZ คือเมื่อ NRZ มีสถานะเป็น "1" RZ จะเป็น "1" เพียงครึ่งบิตแล้วจะกลับมาเป็น "0" ส่วนในกรณีที่ เป็น "0" ก็จะทำให้ output เป็น "0" ดังเดิม ในทางปฏิบัติใช้ IC 7408 ต่อใช้งานดังรูป



รูปที่ 3.10 วงจรเข้ารหัสสัญญาณ NRZ เป็น RZ

#### 3.3.2 BIPHASE

มีลักษณะ คือ เมื่อ NRZ เป็น "0" หรือ "1" ก็ตามจะมีการกลับขั้วอยู่ตลอดเวลา แต่ขั้วนั้นจะตรงข้ามกัน ระหว่างข้อมูล "0" กับ "1" ในทางปฏิบัติใช้ IC 7486 และ IC 7404 ต่อใช้งานดังรูป



เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 3.11 วงจรการเข้ารหัส NRZ เป็น BIPHASE ให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



### 3.3.4 4-LEVEL

ในที่นี้จะมี 4 ระดับ คือ +5V ,+2.5V ,-2.5V และ -5V ซึ่งแต่ละระดับจะเกิดจาก NRZ 2 บิต  
( $2^n=1$  ; n=จำนวนบิต , l=ระดับของสัญญาณ)

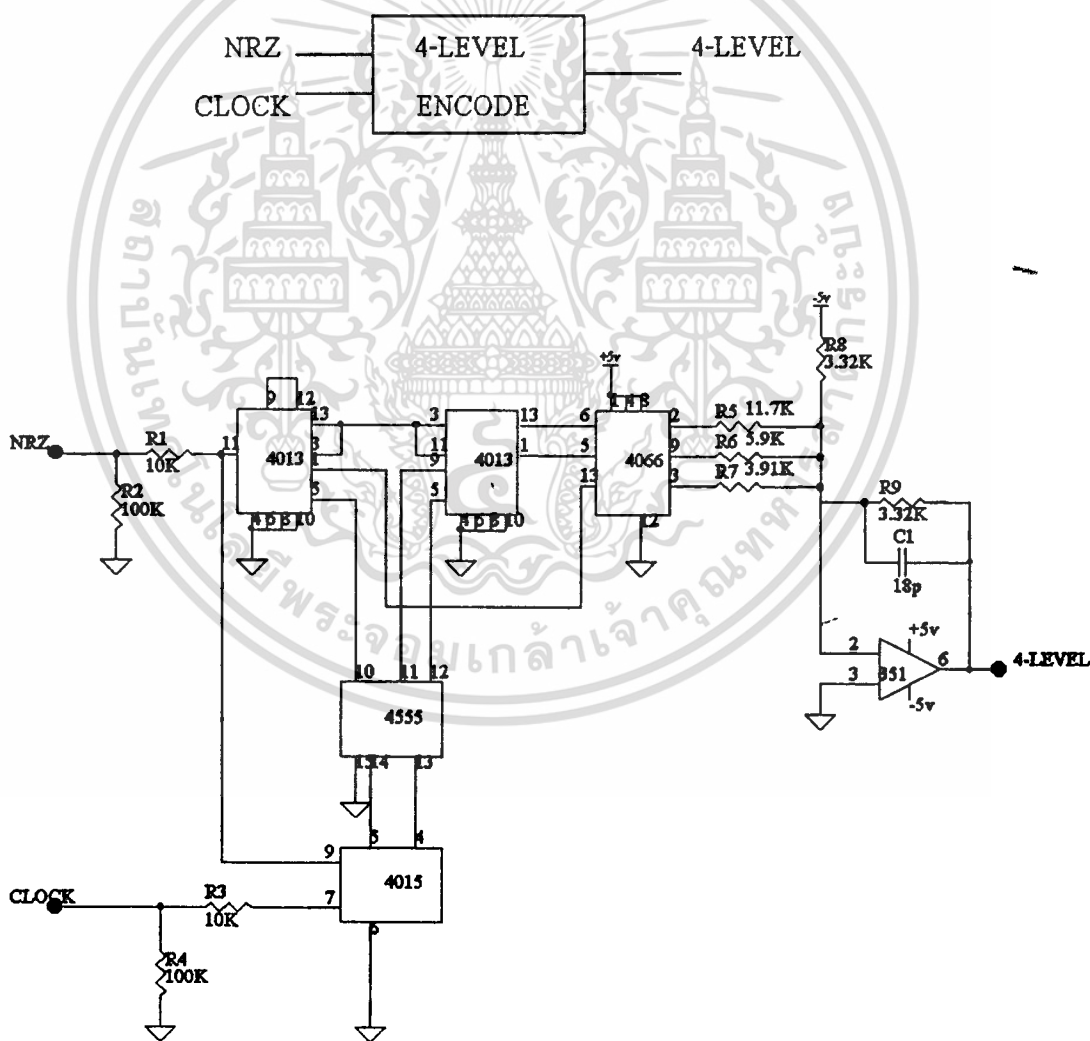
ที่ input เป็น 11 = +5V

10 = +2.5V

01 = -2.5V

00 = -5V

ในทางปฏิบัติต่อวงจรตามรูป 3.13 จะได้สัญญาณการเข้ารหัส 4-LEVEL ออกมา



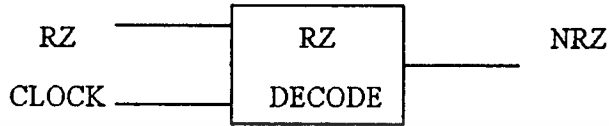
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในวงการศึกษาเท่านั้น ไม่ควรเผยแพร่ไปใช้ประโยชน์ด้านการค้า  
รูปที่ 3.13 วงจรการเข้ารหัส NRZ เป็น 4-LEVEL  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

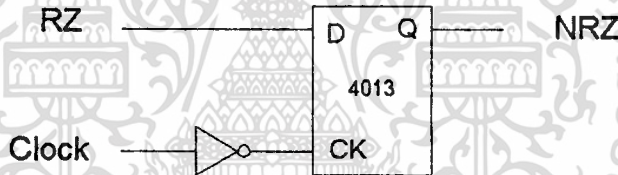
### หลักการและการออกแบบวงจรดิจิทัลแบบขนานทางด้านภาครับ

#### 4.1 DECODER

##### 4.1.1 Unipolar RZ



การ DECODE สัญญาณ RZ ทำได้โดยการ Delay สัญญาณ Clock 1 บิตเพื่อให้ขอบขาลงของสัญญาณ RZ ตรงกับขอบขาขึ้นของ Clock แล้วนำไปเข้า D Flip Flop จะได้ NRZ ออกมา ในทางปฏิบัติใช้ IC 4013 ดังวงจรตามรูป 4.1

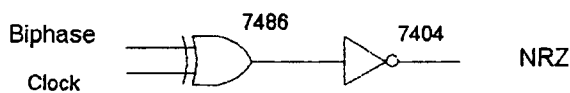


รูปที่ 4.1 วงจรถอดรหัสสัญญาณ RZ เป็น NRZ

##### 4.1.2 BIPHASE



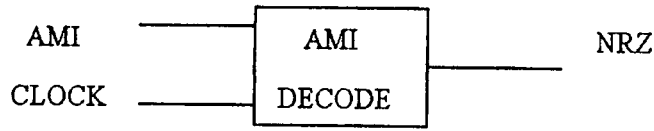
การ DECODE สัญญาณ BIPHASE สามารถใช้วงจรเดียวกันกับ ENCODE ได้เลยในทางปฏิบัติใช้ IC 7486 และ IC 7404 ดังใช้งานดังรูป 4.2



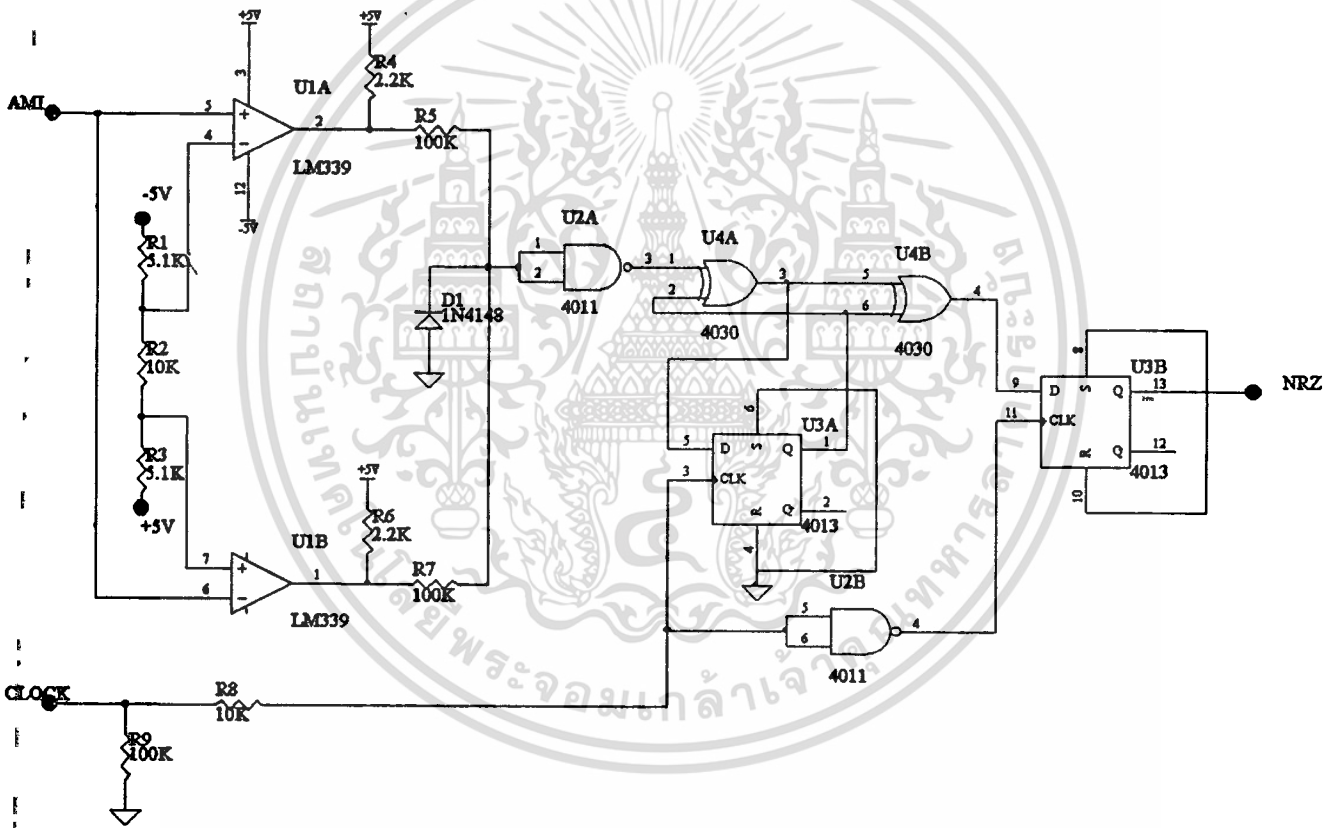
รูปที่ 4.2 วงจรถอดรหัสสัญญาณ Biphase เป็น NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 AMI



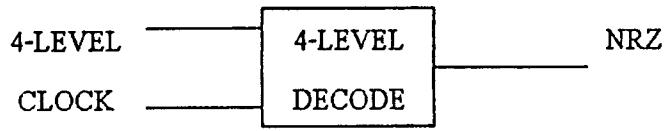
การ DECODE สัญญาณ AMI จะใช้ OP AMP 339 เป็นตัวจัดระดับของสัญญาณ คือ OP AMP ตัวแรกจะมีแรงดันอ้างอิงที่ +2.5V ซึ่งจะให้ output เป็น "1" ถ้าระดับสัญญาณ input มีค่ามากกว่า +2.5V และ OP AMP อีกตัวหนึ่ง จะมีแรงดันอ้างอิงที่ -2.5V ซึ่งจะให้ output เป็น "1" ถ้าระดับสัญญาณ input มีค่าน้อยกว่า -2.5V แล้วนำสัญญาณผ่าน Flip Flop จะได่ NRZ ออกมา ในทางปฏิบัติต่อวงจรตามรูป 4.3



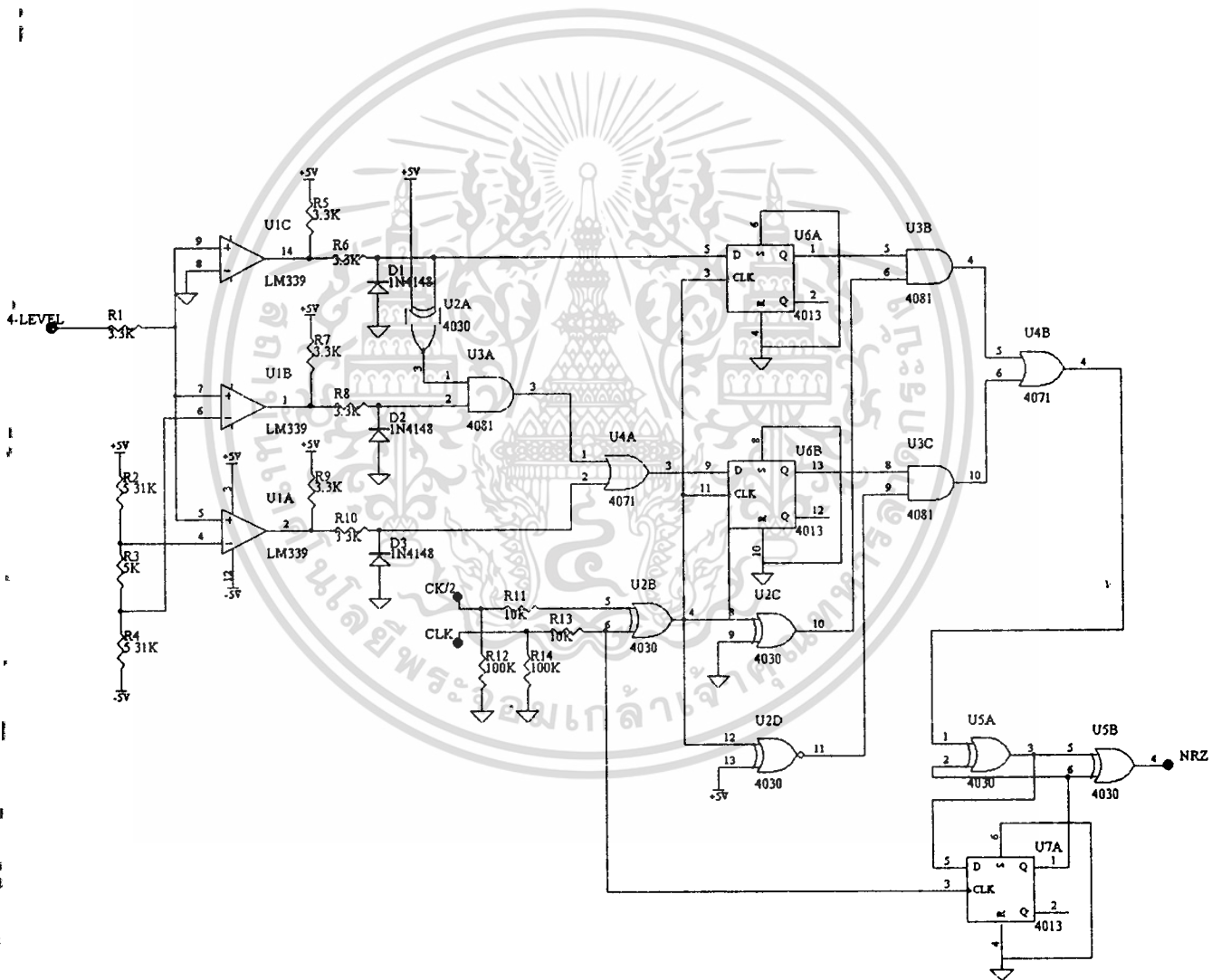
รูปที่ 4.3 วงจรถอดรหัสสัญญาณ AMI เป็น NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 4-LEVEL



การ DECODE สัญญาณ 4-LEVEL จะใช้ OP AMP 339 จำนวน 3 ตัว ซึ่งแต่ละตัวจะมีแรงดันอ้างอิง 0V, +3.4V, -3.4V ซึ่งถ้า input มีค่ามากกว่าค่าที่อ้างอิงไว้จะให้ output เป็น "1" แล้วจึงนำไปเข้า Flip Flop ได้ NRZ ออกมา ในทางปฏิบัติต่อวงจรตามรูป 4.4

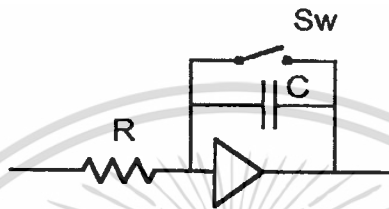


รูปที่ 4.4 วงจรถอดรหัสสัญญาณ 4-LEVEL เป็น NRZ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 อินทิเกรตและดัมพ์ ( Integrate & Dump )

เครื่องรับที่ใช้วิธีการแยกสัญญาณนาฬิกาจากข้อมูลที่ส่งมา โดยที่ไม่ได้ใช้สัญญาณนาฬิกา ต่อมาจากภาคส่ง เราเรียกภาครับแบบนี้ว่า “ โคฮีเรนซ์ ดีเทคเตอร์ “ ที่ภาครับเราจะสร้าง เมทสเฟิลเตอร์ เพื่อรับสัญญาณ NRZ ที่เข้ามา และทำหน้าที่ตัดสินระดับสัญญาณเนื่องจากสัญญาณ NRZ ที่ส่งผ่านช่องสัญญาณมาถึงภาครับจะเกิดการรบกวนระหว่างสัญลักษณ์ ( ISI ) ขึ้นทำให้ ข้อมูลที่รับเกิดความผิดพลาด ในทางปฏิบัติใช้หลักการ Correlation of signal

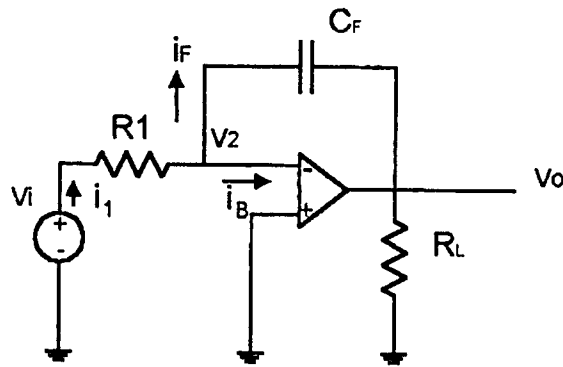


รูปที่ 4.5 แสดงวงจรอินทิเกรตและดัมพ์

หลักการเบื้องต้นของวงจรอินทิเกรตและดัมพ์เป็นวงจรขยายในอุดมคติ ( Ideal Amplifier ) ทำหน้าที่เสมือนวงจรสุ่มตัวอย่างขนาด 1 บิต ประกอบไปด้วย วงจรอินทิเกรเตอร์ วงจรสร้างซิงค์พัลส์ ควบคุมสวิตช์ ให้ปิดทุก ๆ  $T_b$  วินาที และวงจรตัดสินระดับสัญญาณ โดยที่สัญญาณแบสแบนด์ ที่เกิดการสั่นทางเฟสเนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณแบสแบนด์ที่แน่นอนทางภาครับเราจึงต้องทำการอินทิเกรตสัญญาณไปในช่วง 1 บิต ให้ได้มากที่สุดจากการเลือกค่าเวลาคงที่ ( time constant ) ให้มีค่าที่เหมาะสม เพื่อพิจารณาส่งสัญญาณแบสแบนด์ จะมีระดับที่แน่นอนไปในทิศทางใดแล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิต ก่อนที่จะทำการอินทิเกรตสัญญาณลูกต่อไป ต้องทำการรีเซตหรือดัมพ์ ให้วงจรอินทิเกรตมีค่าเอาต์พุตเป็นศูนย์ทุกครั้ง

สมการเอาต์พุตของวงจรอินทิเกรเตอร์ หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรอินทิเกรเตอร์

$$i_1 = I_B + i_F$$

$I_B$  มีขนาดเล็กมาก ไม่นำมาคิด

$$i_1 \cong i_F$$

ความสัมพันธ์ระหว่างกระแสไหลกับแรงเคลื่อนที่ตกคร่อมตัวเก็บประจุ คือ

$$i_c = c \frac{dv_c}{dt}$$

จะได้

$$\frac{v_{in} - v_2}{R_1} = C_F \left( \frac{d}{dt} \right) (v_2 - v_o)$$

ให้  $v_1 = v_2 \cong 0$

$$\frac{v_{in}}{R_1} = C_F \frac{d}{dt} (-v_o)$$

แรงดันเอาต์พุตสามารถหาค่าได้ โดยการอินทิเกรตตลอดสมการจำกัดตั้งแต่ 0 ถึง t

$$\begin{aligned} \int_0^t \frac{v_{in}}{R_1} dt &= \int_0^t C_F \frac{d}{dt} (-v_o) dt \\ &= C_F (-v_o) + v_o|_{t=0} \end{aligned}$$

จะได้

$$v_o = -\frac{1}{R_1 C_F} \int_0^t v_{in} dt + C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

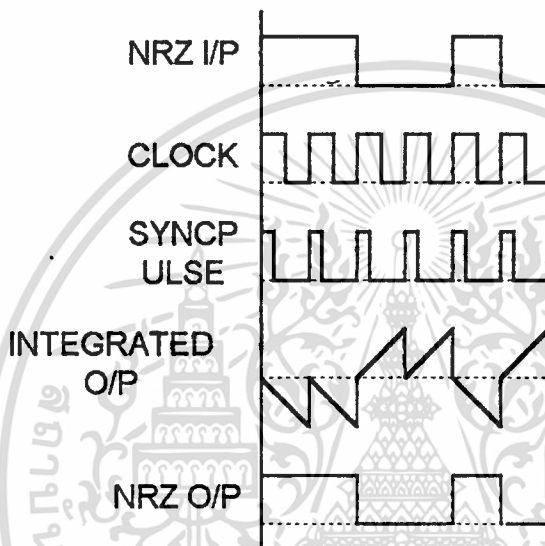
เมื่อ  $C$  เป็นค่าคงที่ของการอินทิเกรตและเป็นสัดส่วนกับขนาดของแรงดันเอาต์พุต  $V_o$  ที่  $t = 0$  วินาที สมการแสดงเอาต์พุตของวงจรอินทิเกรเตอร์ จะได้ว่า

$$v_o = -\frac{1}{R_1 C_F} \int_0^t v_{in} dt + C$$

$R_1 C_F$  = ค่าคงตัวของวงจรอินทิเกรเตอร์

$v_{in}$  = ระดับแรงดันของสัญญาณที่เข้า

$v_o$  = ระดับแรงดันที่ต้องการของสัญญาณเอาต์พุต



รูปที่ 4.7 แสดงสัญญาณที่จุดต่าง ๆ ของวงจรอินทิเกรตและคัมพัท

การเลือกค่าคงตัว หรือค่า  $RC$  ในวงจรอินทิเกรเตอร์นั้นมีความสำคัญ เนื่องจากวงจรอินทิเกรเตอร์ ก็คือวงจรกรองความถี่ต่ำผ่านแบบหนึ่งแบนด์วิดท์ของวงจรต้องนำมาพิจารณาด้วยถ้าแบนด์วิดท์ของวงจรแคบกว่าความถี่บิตเรท จะทำให้การอินทิเกรตได้ค่าสูงสุดของสัญญาณไม่ตรงที่ทุก ๆ บิตเรททำให้การตัดสินใจสัญญาณเกิดการผิดพลาด แต่ถ้าแบนด์วิดท์กว้างมากกว่าบิตเรท จะทำให้ White noise ที่อยู่ในระบบปะปนเข้ามา กับสัญญาณมากขึ้นด้วย จึงต้องเลือกค่า  $RC$  ให้เหมาะสมกับวงจรด้วย ในทางปฏิบัติเพื่อหลีกเลี่ยงการรบกวนระหว่างบิต ค่า  $RC \gg T$  จึงจะทำงานแทนอินทิเกรเตอร์อุดมการณ์ได้

#### การออกแบบวงจรอินทิเกรต

ในทางปฏิบัติใช้วงจรอินเวอร์ตอินทิเกรต โดยเราจะตั้งระดับสัญญาณไว้ที่ 2.5 โวลต์ ไว้ที่ขา 3 ของออปแอมป์ โดยปรับ  $R$  100 k เพื่อตัดสินใจว่าเป็นลอจิก 1 หรือ 0 ถ้ามมากกว่า 2.5 โวลต์ วงจรอินทิเกรตทางด้านบวก ตัดสินให้เป็นลอจิก 1 แต่จะให้เอาต์พุตเป็นลบ เมื่อไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อยกว่า 2.5 โวลต์ จะอินทิเกรตทางด้านลบตัดสินให้เป็นลอจิก 0 แต่จะให้เอาที่พหุเป็นบวก เราจะอินทิเกรตสัญญาณให้ได้ค่าสูงสุดตรงบิตเรท กำหนดได้โดยใช้ค่าคงตัวของวงจรรีโอดิวเตอร์ คือค่า RC นั้นเอง เรากำนวณหาค่า RC ได้โดยใช้สมการ

$$v_o = -\frac{1}{RC} \int_0^T v_i dt$$

ต้องการ  $v_o = 2.5 \text{ V}$

$v_i = 5 \text{ V}$

กำหนด  $R = 100 \text{ k}\Omega$

$$T = T_b = \frac{1}{Rb} = \frac{1}{64 \times 10^3} = 15.6 \mu\text{s}$$

$$\begin{aligned} C &= -\frac{1}{v_o R} \int_0^T v_i dt \\ &= -\frac{1}{2.5 \times 100 \times 10^3} \int_0^{15.6 \times 10^{-6}} 5 dt \\ &= -\frac{5 \times 15.6 \times 10^{-6}}{2.5 \times 100 \times 10^3} \\ &= 312 \times 10^{-12} \text{ F} \end{aligned}$$

ในทางปฏิบัติเราใช้ R 100 k ปรับค่าได้ และใช้ C ค่า = 300 pF

### การออกแบบวงจรซิงค์พัลส์

ใช้ไอซี เบอร์ 74LS221 สร้างสัญญาณซิงค์พัลส์ ที่ใช้สำหรับสุ่มตัดสินค่าระดับลอจิกของสัญญาณและทำการรีเซตวงจรรีโอดิวเตอร์สำหรับสัญญาณซิงค์พัลส์สร้างจากสัญญาณนาฬิกาที่ได้จากวงจรสัญญาณนาฬิกา ทางด้านภาครับ โดยซิงค์พัลส์จะเกิดขึ้นตรงบิตเรทของสัญญาณ NRZ เป็นพัลส์แคบๆ ที่สร้างขึ้นโดยใช้ โมโนสเตเบิลมัลติไวเบรเตอร์ โดยช่วงคาบเวลาของพัลส์กำหนดได้โดยใช้สมการการหาคาบเวลาของ ไอซี เบอร์ 74LS221

$$T\omega = RC$$

ต้องการพัลส์แคบๆ = 1  $\mu\text{s}$

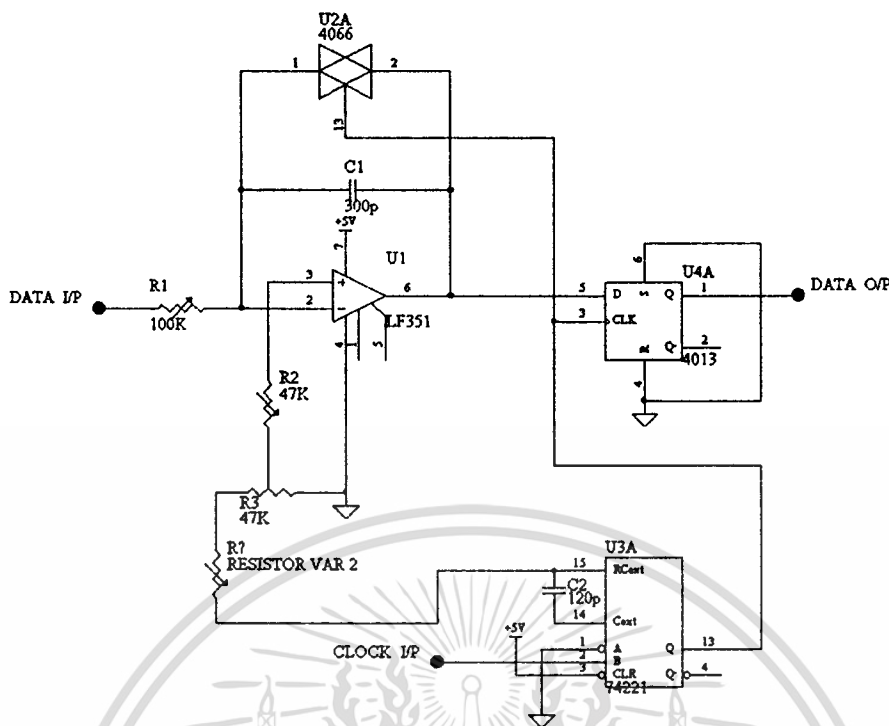
$$C = 120 \text{ pF}$$

$$R = T\omega/C$$

$$\begin{aligned} &= \frac{1 \times 10^{-6}}{120 \times 10^{-12}} \\ &= 8.3 \text{ k}\Omega \end{aligned}$$

ทำการปรับค่า R ให้ได้ค่า  $\approx 8.3 \text{ k}\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 วงจรอินทิเกรตและคัมพ์

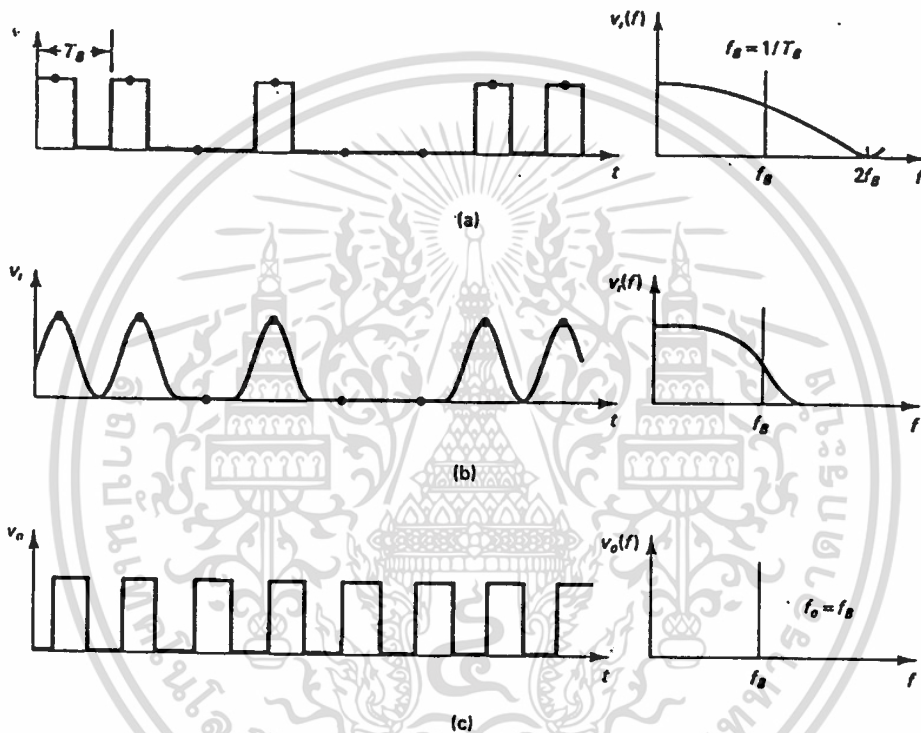
4.3 CLOCK RECOVERY

ในระบบการสื่อสารข้อมูลแบบดิจิทัล ข้อมูลข่าวสารจะถูกส่งออกไปเป็นลำดับแบบอนุกรม โดยจะมี 2 บิต คือ บิต “1” กับ บิต “0” ซึ่งชนิดของข้อมูลไบนารีก็คือ  $V_i$  โดยจะแสดงให้เห็นในรูปที่ 4.9 แต่ละบิตจะถูกส่งออกไปเป็นลำดับดังนี้ คือ 1, 1, 0, 1, 0, 0, 1, 1 โดยที่สัญญาณพัลส์จะแสดงสถานะเป็น “1” และสัญญาณการขาดหายของพัลส์จะแสดงสถานะเป็น “0” บิตเรท (bit rate) ถูกเรียกว่า baud ( $f_B$ ) รูปแบบของการส่งข้อมูลจะต้องเป็นไปอย่างถูกต้องเหมาะสม โดยปกติที่ภาครับจะมีสัญญาณ clock ในการรับข้อมูลที่ซิงค์ไครโนซ์กัน ดังเช่น ความถี่ของสัญญาณ clock  $f_c$  เท่ากับ  $f_B$  รูปแบบของความถี่และเฟสของสัญญาณ clock ที่ซิงค์ไครโนซ์กัน เรียกว่า clock recovery (การกู้สัญญาณ clock) โดยปกติแล้วการกู้สัญญาณ clock จะสำเร็จได้โดยการทำวงจรแบบ PLL (Phase Lock Loop) ตัวอย่างการใช้งานที่ต้องใช้วงจรการกู้สัญญาณ clock ได้แก่ เครื่องเล่นแผ่นดิสก์, ตัวอย่างฟลอปปีดิสก์ และการส่งสัญญาณข้อมูลระหว่างดาวเทียม

การใช้งานของวงจร PLL ในวงจรการกู้สัญญาณ clock จะต้องมีการพิจารณาแบบอย่างเป็นพิเศษ เพราะตามธรรมชาติของสัญญาณข้อมูลจะเป็นแบบ random คือเป็นไปอย่างไม่เป็นระเบียบ ทางเลือกของ phase detector ก็คือจะต้องมีการกำหนดขอบเขตที่แน่นอนในทางปฏิบัติ สถานะทั้งสามของ PD (phase detector) จะไม่ต้องทำงาน โดยกล่าวอีกนัยหนึ่งก็คือจะเป็นตัวช่วย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการกู้สัญญาณนั่นเอง วิธีการที่คืออีกวิธีหนึ่งก็คือการใช้ frequency detector เป็นตัวหมุนหาสัญญาณ สัญญาณข้อมูลที่ไม่เป็นระเบียบ จะเป็นเหตุให้วงจร PLL ถูกนำกลับมาใช้เป็นตัวตรวจเช็คการเปลี่ยนแปลงของ phase ในการกู้สัญญาณ clock สิ่งนี้เราจึงเรียกว่า timing jitter และ timing jitter นี้เป็นหลักการที่สำคัญที่จะกล่าวถึงในบทนี้ โดยที่การออกแบบวงจร PLL จะต้องเป็นไปอย่างถูกต้องซึ่ง jitter นี้ สามารถที่จะทำให้เล็กน้อย Trischitta และ Vanna ได้มีการเตรียมการต่างๆ โดยละเอียดและรอบคอบ โดยอ้างถึงแหล่งที่มาของ jitter ผลกระทบและมาตรฐาน



รูปที่ 4.9 สัญญาณ RZ และ สัญญาณนาฬิกา

#### DATA FORMATS AND SPECTRA

เมื่อพิจารณาถึงสัญญาณข้อมูล ในรูปที่ 4.9a ที่บิตที่เป็น "1" 2 บิตอยู่ติดกัน เพราะว่าสัญญาณจะกลับไปเป็น "0" ระหว่างพัลส์ที่อยู่ติดกันซึ่งรูปแบบดังกล่าวนี้ เรียกว่า "สัญญาณข้อมูล return - to - zero (RZ)" ผลของสัญญาณดังกล่าว คือรูปคลื่นสี่เหลี่ยมที่มีคาบของสัญญาณเป็น  $T_B$  แต่บางสัญญาณพัลส์จะไม่มีสิ่งทีกล่าวข้างต้น ดังนั้นสเปกตรัม  $V_i(\omega)$  จะมีแต่เฉพาะเส้นที่มีค่าเป็น  $f_B = 1/T_B$  โดยที่สเปกตรัมจะมีองค์ประกอบที่ต่อเนื่องกันไปตลอด จนกระทั่งถึงค่าที่

$f = 2f_B$  ซึ่งสิ่งนี้จะสอดคล้องกับรูปแบบ random ของสัญญาณพัลส์ที่ไม่มี

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของภาควิชาวิศวกรรมโทรคมนาคม ภาควิชาวิศวกรรมโทรคมนาคม ภาควิชาวิศวกรรมโทรคมนาคม ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การใช้งานในด้านการสื่อสาร ข้อมูลข่าวสารจะถูกฟิลเตอร์ โดยวงจร Low-pass filter ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะขจัดสัญญาณรบกวนออกไป ซึ่งแสดงได้ดังรูป 4.9b ผลลัพธ์ที่ได้ คือรูปคลื่น  $V_i$  ใน time domain และ narrower spectrum  $V_i(\omega)$  ใน frequency domain มีข้อสังเกตว่าข้อมูลข่าวสารนั้นจะถูกฟิลเตอร์ก็ต่อเมื่อ สัญญาณมีความกว้างเพียงพอและกลับไปสู่ค่าศูนย์ระหว่างพัลส์และต้องมี line component ที่  $f_B$  ในสเปกตรัมจำนวนของการกู้สัญญาณ clock จะต้องมีจำนวนหนึ่งเพื่อใช้ในการถอน line component ที่  $f_B$  เนื่องจากสัญญาณ sine wave หรือ square wave ( $V_0$ ) ดังรูปที่ 4.9c คือตำแหน่งที่ขอบขาขึ้นของสัญญาณ  $V_0$  ที่กึ่งกลางของสัญญาณพัลส์  $V_i$  ดังนั้นสัญญาณ clock สามารถที่จะใช้เป็นสัญญาณข้อมูล ตัวอย่างที่ optimum time (ดังชุดบนรูปคลื่น  $V_i$ ) เพื่อใช้ในการตัดสินใจว่า บิตใด คือ บิต "1" หรือ "0"

### รูปแบบของข้อมูลที่เป็นข้อมูลแบบ Non - return - to - zero (NRZ)

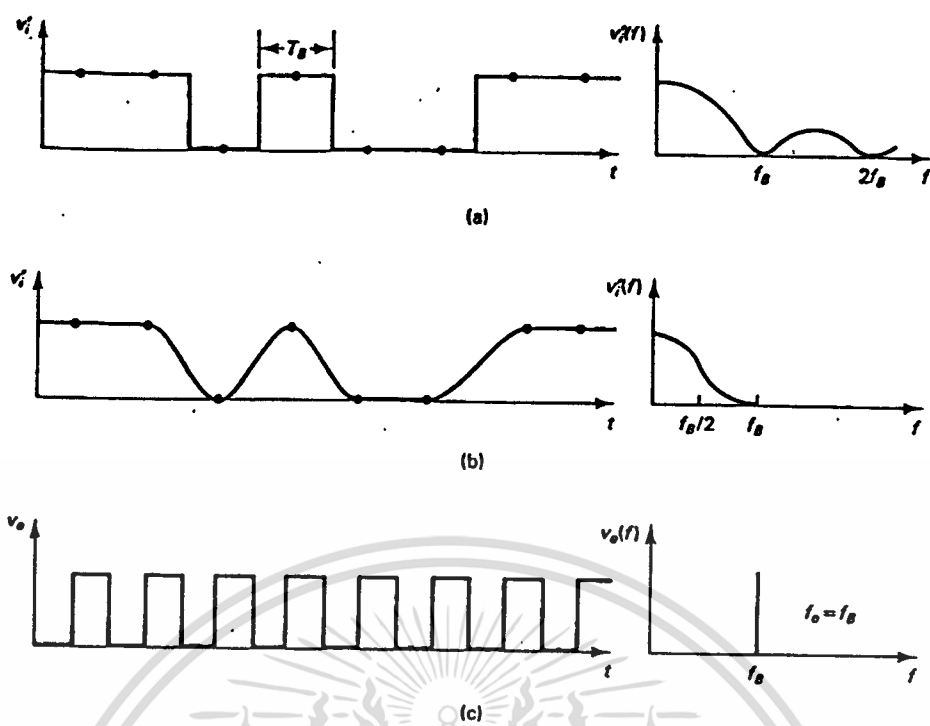
รูปแบบของข้อมูลที่จัดเป็นสัญญาณ Non - return - to - zero (NRZ) คือสัญญาณ  $V_i$  ที่แสดงในรูป 4.10a โดยจะมีบิตที่เรียงลำดับกันไปดังนี้ คือ 1, 1, 0, 1, 0, 0, 1, 1 แต่สัญญาณจะไม่กลับไปสู่ค่า "0" ระหว่างพัลส์ที่มีค่าเป็น "1" ที่อยู่ติดกัน โดยที่ความกว้างของพัลส์จะมีค่าเท่ากับระยะห่างระหว่างพัลส์ ( $T_B$ ) ซึ่งค่า  $T_B$  สามารถแสดงให้อยู่ในรูปสเปกตรัม  $V_i(\omega)$  โดยจะไม่มีองค์ประกอบของเส้นที่  $f_B$  (รูป 4.10b) ในความเป็นจริงส่วนที่ต่อเนื่องของสเปกตรัมจะต้องกลับไปตกที่ค่า "0" ที่จุด  $f_B$  band - limited ของสัญญาณ NRZ จะแสดงในรูป 4.10c สเปกตรัมส่วนมากของสัญญาณ NRZ นี้จะมีค่า  $f_B/2$  และผลลัพธ์ของการฟิลเตอร์ จะทำให้สัญญาณรบกวนถูกตัดออกไป

เนื่องจากสัญญาณ NRZ ไม่มีองค์ประกอบที่  $f_B$  จึงทำให้ไม่จำเป็นที่จะต้องมียวงจร PLL ในการเข้ามาล็อกสัญญาณข้อมูล เพื่อใช้ในการผลิตสัญญาณ clock ขณะที่เราทราบว่าหัวข้อที่ผ่านมาเป็นกรรมวิธีไม่เป็นเชิงเส้น สามารถทำขึ้นให้เป็นองค์ประกอบของเส้นที่จุด  $f_B$  ได้ และวงจร PLL สามารถที่จะกู้สัญญาณ clock  $V_0$  ได้ ซึ่งแสดงดังรูป 4.10c เมื่อเกิดการ Lock ขึ้นวงจร PLL จะถูกใช้เป็นตัวล็อกเฟสของสัญญาณ clock โดยที่สัญญาณ clock จะมีค่าเพิ่มขึ้นจนถึงค่าขอบและทำให้เป็นจุดศูนย์กลางบนสัญญาณพัลส์ ( จะแสดงให้เห็นจากจุดบนรูปคลื่น  $V_i$ ) ถ้าวาง PLL เริ่มตกลงสู่ค่าขอบของสัญญาณ  $V_0$  ในบริเวณจุดศูนย์กลางของสัญญาณพัลส์  $V_i$  สิ่งที่เพิ่มเข้าไปให้สมบรูณ์ของสัญญาณ clock สามารถที่จะใช้ในสมการ sampling ข้อมูลได้

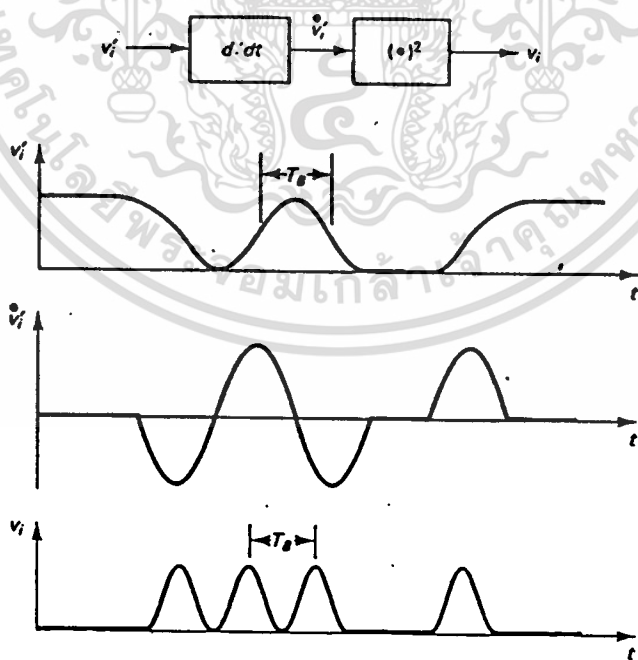
### CONVERSION FROM NRZ TO RZ DATA

หนทางหนึ่งในการกู้สัญญาณนาฬิกา จากสัญญาณข้อมูล NRZ คือการเปลี่ยนสัญญาณ NRZ ให้เป็นสัญญาณ RZ โดยสัญญาณข้อมูลดังกล่าวจะต้องมีองค์ประกอบของเส้นที่  $f_B$  และมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า การกู้สัญญาณ clock จากสัญญาณข้อมูล RZ ด้วยวงจร PLL การเปลี่ยนรูปแบบสำหรับ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

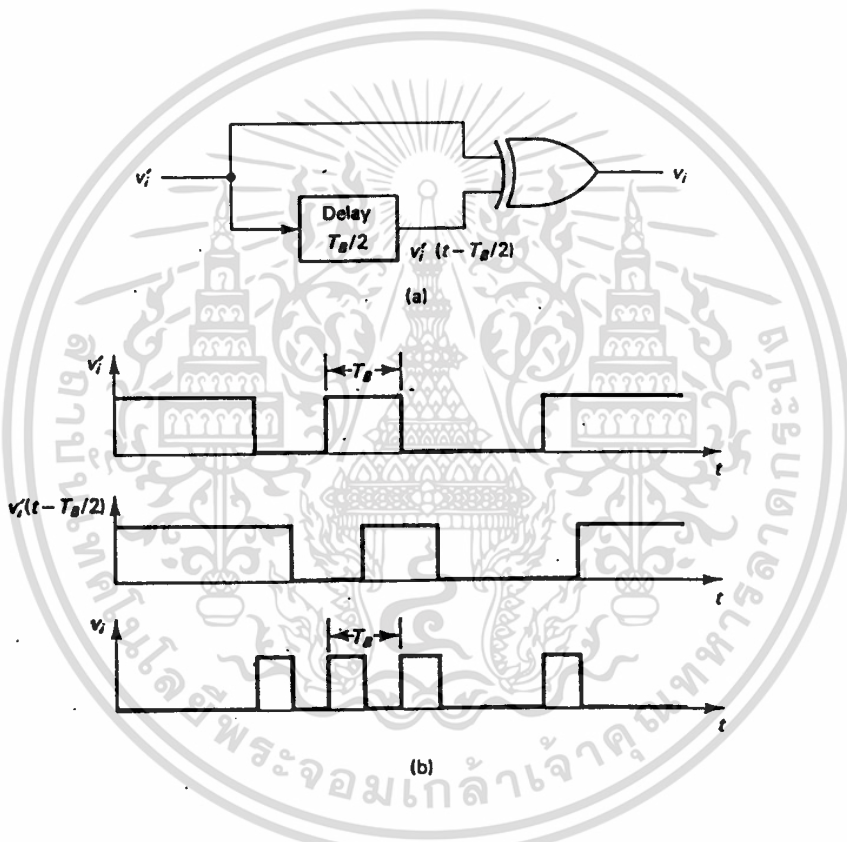


รูปที่ 4.10 สัญญาณ NRZ และสัญญาณเนาฬิกา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
 รูปที่ 4.11 การเปลี่ยน band-limited ของสัญญาณ NRZ เป็น RZ  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

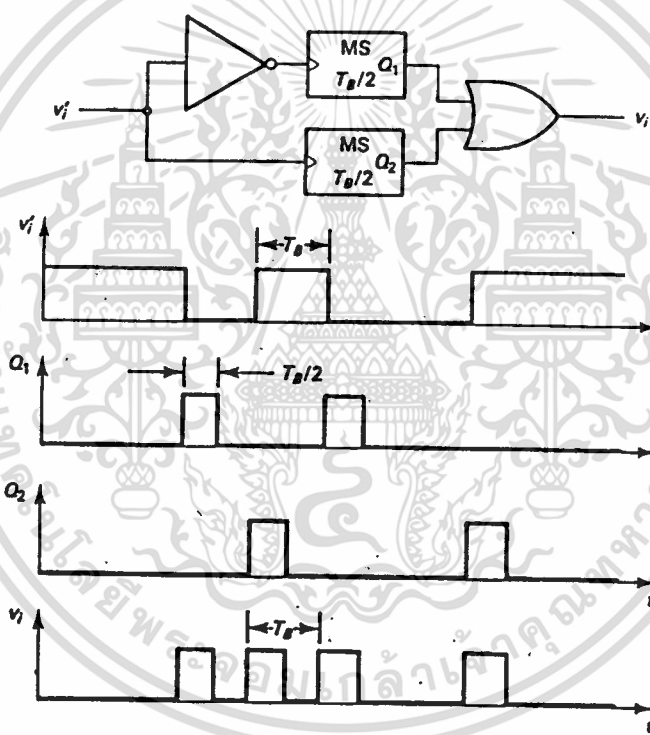
band - limited ของสัญญาณข้อมูล NRZ แสดงดังรูป 4.11 เนื่องจากเฟสของข้อมูลข่าวสารจัดอยู่ในตำแหน่งของข้อมูล  $V_i$  โดยที่ข้อมูลดังกล่าวจะถูกแยกออกเป็นอันดับแรก เพื่อใช้ในการผลิตพัลส์ (ที่เป็นบวกหรือลบ) ที่สอดคล้องกับตำแหน่ง (จาก 0 ถึง 1 หรือจาก 1 ถึง 0) สัญญาณพัลส์นี้จะต้องเป็นบวกทั้งหมด โดยการยกกำลังสองของผลต่าง  $V_i$  ผลลัพธ์ของสัญญาณที่ได้คือ สัญญาณ  $V_i$  ที่มีลักษณะคล้ายสัญญาณ RZ สัญญาณพัลส์ คือช่องว่างที่ระยะห่างของ  $f_B$  และ



รูปที่ 4.12 การเปลี่ยนสัญญาณ NRZ เป็น RZ ของข้อมูลบิตเรทสูง

สัญญาณพัลส์บางสัญญาณก็ขาดหายไป แต่สัญญาณพัลส์ ณ. จุดนี้จะอยู่ในสถานะที่พร้อมใช้งาน เพื่อเป็นจุดที่บอกตำแหน่งมากกว่าที่จะมีค่าเป็น " 1 " ในการใช้งานของวงจร low - noise นั้นรูปแบบหลายรูปแบบที่ถูกใช้เป็นประโยชน์สำหรับการเปลี่ยนสัญญาณ NRZ ให้เป็นสัญญาณ RZ ได้ วิธีการหนึ่งที่ใช้ที่อัตราข้อมูลสูง ( $f_B > 2\text{Mb/s}$ ) คือสิ่งที่แสดงในรูป 4.12 ข้อมูล  $V_i$  จะถูกทำให้เกิดการเสียเวลา (delay) โดย  $T_B/2$  และเปรียบเทียบกับตัวเองโดย exclusive - ORgate แต่ละเวลาที่  $V_i(t)$  และ  $V_i(t - T_B/2)$  นั้น จะถูกทำให้แตกต่างกัน ( ถ้าหลังกัน 1 ตำแหน่ง ), exclusive - ORgate ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORgate จะเป็นตัวผลิตพัลส์ ขกตัวอย่างเช่นที่ data rate ของ  $f_b = 50 \text{ Mbit / sec}$  ช่องว่างระหว่างบิต  $T_B = 20 \text{ ns}$  และมีค่า delay ของ  $T_B/2$  ที่ต้องการ =  $10 \text{ ns}$  เนื่องจากสัญญาณจะต้องมีการแพร่กระจาย ดังนั้นจะมีค่า delay ของ line แต่ละ line ที่ประมาณ  $0.2 \text{ m/ns}$  โดยสาย cable ต้องการที่ delay line  $2 \text{ m}$  เนื่องจากสัญญาณ logic ของอุปกรณ์จะมีค่าลดลงและทำให้ส่งผลกระทบต่อสัญญาณ signal - to - noise ratio สิ่งนี้เป็นวิธีการที่ไม่ใช้ในการกู้สัญญาณ clock ในการใช้งานของที่ signal - to - noise radio ที่ระดับต่ำ แต่สำหรับการกู้สัญญาณ clock จากสัญญาณ logic วงจรนี้คือตัวอย่างที่ถูกนำมาใช้และแสดงให้เห็นดังรูปที่ 4.11



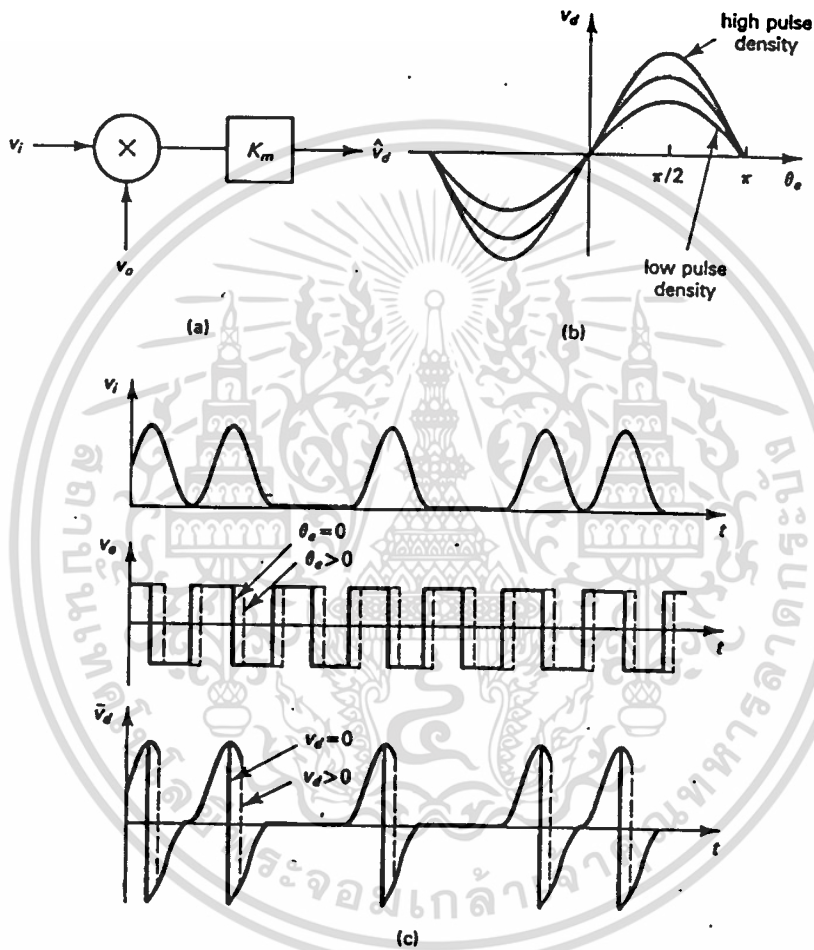
รูปที่ 4.13 การเปลี่ยนสัญญาณ NRZ เป็น RZ ของข้อมูลบิตเรทต่ำ

สำหรับ data rate ที่ต่ำ ความยาวของสายเคเบิ้ลจะถูกกำหนดโดยค่า  $T_B$  และจะเกิดการ delay ซึ่งบาง delay นั้นอาจมีมากเกินไปในกรณีนี้วิธีการใช้ในการเปลี่ยนสัญญาณ NRZ ให้เป็นสัญญาณ RZ นั้น จะแสดงดังรูปที่ 4.13 โดยที่แต่ละขอบขาขึ้น และขอบขาลงของสัญญาณ NRZ ที่มีการทรักเป็น monostable multivibrator กับสัญญาณพัลส์ขนาดกว้าง  $T_B/2$  และ OR gate จะเป็นตัวรวมสัญญาณพัลส์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE DETECTORS FOR RZ DATA

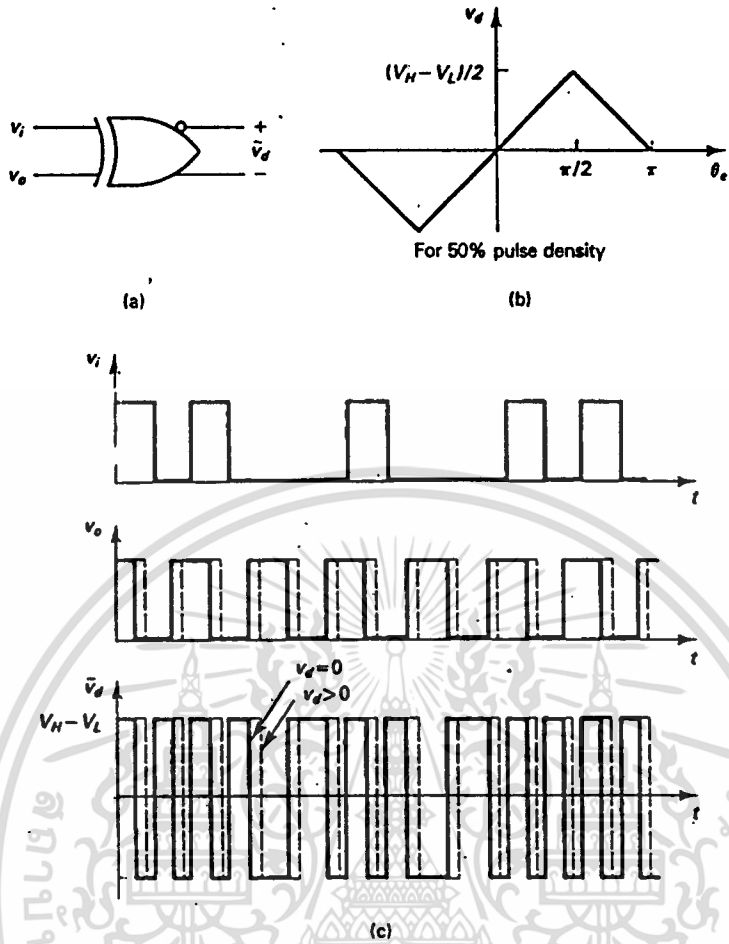
ในการใช้งานที่ noise ระดับสูง ๆ ตัวคูณเป็นสิ่งที่ถูกใช้บ่อย ๆ ในวงจร phase detector ที่แสดงดังรูป 4.14a สำหรับกรณีนี้อธิบายได้ คือสัญญาณพัลส์ของข้อมูล  $V_i$  ที่เป็นบวกและสัญญาณนาฬิกา  $V_o$  ที่ไปทั้งทางบวกและทางลบ ในสภาวะที่คงตัว  $\theta_e = 0$  แต่ค่าขอบที่ตกลงของสัญญาณ  $V_o$  จะแตกออกเป็นข้อมูลสัญญาณพัลส์ ประกอบด้วยนั้นที่ช่วงบวกและช่วงลบ และสัญญาณ  $V_d$  ค่าเฉลี่ยมีค่าเป็น "ศูนย์" สำหรับค่า phase error  $\theta_e$  ช่วงบวก สัญญาณ clock จะ



รูปที่ 4.14 Phase detector ของข้อมูล RZ ที่มีสัญญาณรบกวนสูง

เกิดการ delay เล็กน้อย เมื่อเปรียบเทียบกับสัญญาณข้อมูล ( พุ่งออกจากรูปคลื่น  $V_o$  ) สัญญาณพัลส์  $V_d$  จะมีพื้นที่ช่วงที่เป็นบวกมากกว่าเป็นลบ และ  $V_o$  จะมีค่าเป็นบวก ผลที่ได้คือกราฟคุณลักษณะ ของ PD ระหว่างสัญญาณ  $V_d$  กับ  $\theta_e$  ที่แสดงดังรูป 4.14b คุณลักษณะที่เป็นรูปคลื่นซายน์กับค่าสูงสุดนั้นจะขึ้นอยู่กับความหนาแน่นของสัญญาณพัลส์ข้อมูล ถ้าครึ่งหนึ่งของสัญญาณพัลส์ คือสิ่งที่ขาดหายไปบนค่าเฉลี่ย คุณลักษณะของความสูงก็จะเป็นครึ่งหนึ่ง และมันก็จะไม่มีสัญญาณพัลส์ที่ขาดหายไป

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 Phase detector ของข้อมูล RZ ที่มีสัญญาณรบกวนต่ำ

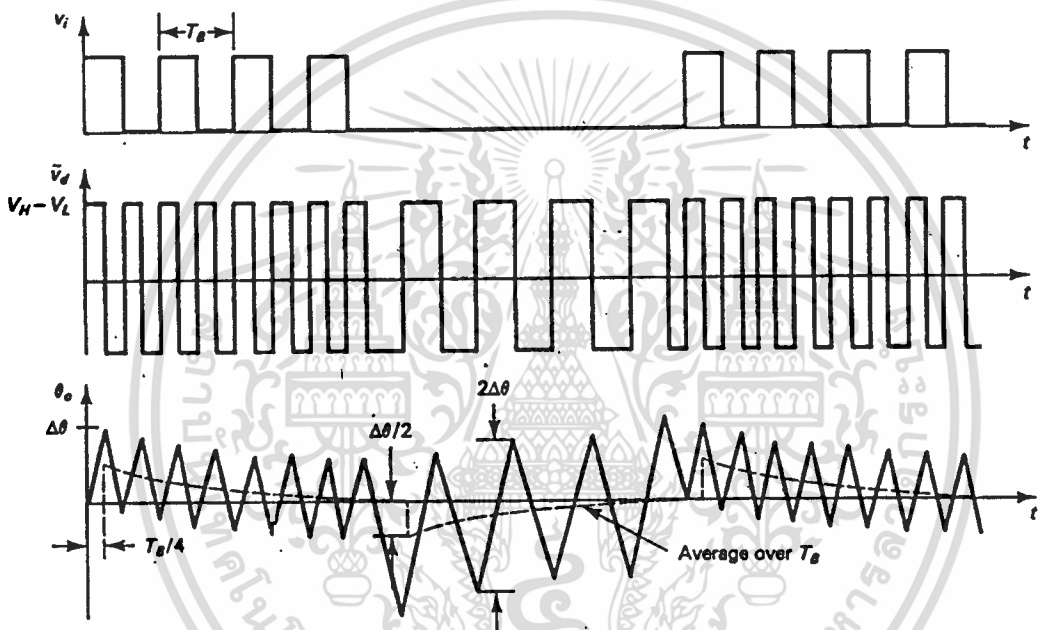
ในการใช้งานที่ low noise exclusive - ORgate จะเป็นอุปกรณ์ที่สามารถใช้งานได้ง่าย และสามารถใช้เป็นวงจรถูกได้ซึ่งแสดงดังรูป 4.15a อธิบายดังนี้คือ ที่ขอบขาลงของสัญญาณ สัญญาณ clock  $V_o$  จะแยกออกจากพัลส์ของสัญญาณข้อมูลในสภาวะคงตัว และ  $V_d$  ค่าเฉลี่ยของ  $\bar{V}_d$  มีค่าเป็น "ศูนย์" (ดังรูปที่ 4.15c) กรณีที่  $\theta_e$  มีค่าบวก สัญญาณนาฬิกาของ  $V_o$  จะถูก delayed (พุ่งออกจากรูปคลื่น) และสัมพันธ์กับสัญญาณข้อมูล  $V_i$  และค่าเฉลี่ยของ  $\bar{V}_d$  จะมีค่าเป็นบวก มีข้อสังเกต คือระหว่างช่วงเวลานั้นจะไม่มีสัญญาณพัลส์  $V_i$  ค่าเฉลี่ยของ  $\bar{V}_d$  จะมีค่าเป็น "ศูนย์" สำหรับค่า  $\theta_e$  ที่ไม่เป็นศูนย์ ดังนั้น  $\theta_e = \pi/2 \bar{V}_d$  จะมีค่าเป็นครึ่งหนึ่งของช่วงเวลาที่  $V_H - V_L$  และเป็นครึ่งหนึ่งของช่วงเวลาเฉลี่ยเป็นศูนย์ ถ้าความหนาแน่นของสัญญาณพัลส์เป็น 50% ดังนั้น  $V_d = (V_H - V_L)/2$  ซึ่งสอดคล้องกัน  $\theta_e = \pi/2$  ที่ความหนาแน่นของสัญญาณพัลส์ = 50% (ดังกราฟคุณลักษณะของ PD ในรูปที่ 4.15b)

ความสัมพันธ์ของ PD กล่าวได้ว่า  
 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  

$$K_d = (V_H - V_L) \pi$$
 ; ที่ความหนาแน่นของสัญญาณพัลส์ 50% (4.1)  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### PATTERN - DEPENDENT JITTER

เรามีการตั้งสมมติฐานว่าวงจร PLL จะตอบสนองกันคั้งสัญญาณ  $V_d$  ค่าเฉลี่ยของสัญญาณ  $\bar{V}_d$  เพราะว่า low-pass nature ของวงจร PLL ที่อยู่ในรูปทรานซ์เฟอร์ฟังก์ชัน  $H(s)$  เมื่อแบนด์วิดท์ ( $K$ ) มีค่าน้อยกว่าค่า baud  $f_B$  มันจะเป็นเหตุผลที่จะต้องพิจารณาถึง long-term



รูปที่ 4.16 Pattern dependent jitter และ XOR PD

ค่าเฉลี่ยของสัญญาณ  $V_d$  ในรูปที่ 4.15c ซึ่งมีค่าเป็นศูนย์ สำหรับ  $\theta_e = 0$  อย่างไรก็ตามสำหรับ wide-baud PLL รูปแบบของสัญญาณ  $V_d$  ซึ่งขึ้นอยู่กับสัญญาณข้อมูลที่มีผลต่อค่า  $\theta_0$

เมื่อวิเคราะห์ถึงสำหรับ exclusive-OR PD เราจะต้องพิจารณาถึงรูปแบบสัญญาณข้อมูล  $V_d$  ที่แสดงในรูป 4.16 ซึ่งจะสอดคล้องกับสัญญาณ  $V_d$  ที่อยู่  $\theta_e = 0$  เราสามารถที่จะวิเคราะห์ถึงผลกระทบของสัญญาณ  $V_d$  โดยการพิจารณาว่ามันมีการมอดูเลชันทางเฟสที่ด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ  $\frac{\theta_e(s)}{v_d(s)} \approx \frac{K/K_d}{s+K}$  ษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (4.2) ในการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปดแก้ไขเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของ low-pass transfer function นี้จะแสดงโดยรูปคลื่น  $\theta_0(t)$  ในรูปที่ 4.16 ระหว่างพัลส์แต่ละพัลส์บนสัญญาณ  $V_i$ ,  $\theta_0$  จะเป็นรูปคลื่นสามเหลี่ยมที่มีค่า Amplitude peak-to-peak เป็น  $2 \Delta\theta$  โดยจะมีการ exponential transient เสียบรูปไป เมื่อรูปแบบของสัญญาณข้อมูล เปลี่ยนแปลง transient นี้ จะเป็นค่าเฉลี่ย short-term ของ  $\theta_0$  โดยที่ Amplitude มีค่าเป็น  $\Delta\theta/2$  ค่าของ  $\Delta\theta$  สามารถพิจารณาได้ง่ายเป็นเทอมของ  $K$  และจะตามด้วยค่า  $T_B$  สำหรับ ความถี่ของ  $f_B$  (ดังนั้นจะมีค่ามากกว่าค่า  $K$ ) สมการที่ 4.2 สามารถที่จะประมาณค่าได้ดังนี้

$$\frac{\theta_0(s)}{\bar{v}_d(s)} \approx \frac{K/K_d}{s}$$

จากสมการเมื่อใช้ inverse laplace transform จะได้ว่า

$$s\theta_0(s) \approx \bar{v}_d(s) K/K_d$$

$$\dot{\theta}_0(t) \approx \bar{v}_d(t) K/K_d$$

เมื่อพัลส์ของสัญญาณข้อมูลถูกแสดงให้อยู่ในรูปของสัญญาณ  $V_i$  ดังนั้น  $\bar{V}_d = V_H - V_L$  สำหรับช่วงระยะห่างของคาบเวลาที่  $T_B/4$  (ดังรูป 4.16) ดังนั้นการเปลี่ยนแปลงใน  $\theta_0$  ระหว่างช่วงระยะห่างของคาบเวลาดังกล่าวนี้ คือ

$$\Delta\theta = \dot{\theta}_0 T_B/4 = [(V_H - V_L) K/K_d] T_B/4$$

แต่จากสมการที่ 4.1, PD gain จะมีค่าเป็น  $K_d = (V_H - V_L)/\pi$  ที่ 50% ของความหนาแน่นของสัญญาณที่เป็น 1 ในรูปแบบของสัญญาณข้อมูล ดังนั้นจะได้ว่า

$$\Delta\theta = (\pi/4) K T_B \quad (4.3)$$

เมื่อพัลส์ไม่ได้ถูกแสดงในรูปแบบของสัญญาณข้อมูล  $V_i$  ระยะห่างระหว่างสัญญาณ ซึ่ง  $\theta_0$  จะลดลงจนมีค่าเป็น  $T_B/2$  และถูกเปลี่ยนให้กลายเป็น  $2 \Delta\theta$  (ดังรูปที่ ) ด้วยเหตุที่ exponential transients มีค่า Pimplitude ของสัญญาณเป็น  $+\Delta\theta/2$  และ  $-\Delta\theta/2$  ค่า peak-to-peak ของ phase jitter ของ  $\theta_0$  จะมีค่าเป็น  $\Delta\theta$  ซึ่งแสดงให้เห็นดังสมการที่ 4.3

ลักษณะเฉพาะของสัญญาณ transient จะเป็นสิ่งที่ขึ้นอยู่กับรูปแบบของสัญญาณข้อมูลอย่างแน่นอน ถ้ารูปแบบของสัญญาณมีค่าสลับกันระหว่างค่าสัญญาณที่เป็น "1" กับค่าสัญญาณที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น " 0 " ดังนั้นจะส่งผลให้ jitter ไม่เกิดค่าใด ๆ แต่ถ้ามีค่าสัญญาณที่เป็น " 1 " และ " 0 " ที่ต่อเนื่องกันยาวนานจะส่งผลให้ jitter จะมีค่า Amplitude ดังแสดงในสมการที่ 4.3

ตัวอย่าง

วงจร PLL ด้วย exclusive OR phase detector ที่ถูกใช้เป็นตัวสัญญาณนาฬิกาจากข้อมูล RZ แปรนควัตถ์ของ PLL มีค่าเป็น 1-10 baud มีค่า  $K = 0.1 \times 2 \pi f_B$  จงหา jitter ที่ขึ้นอยู่กับของสัญญาณ

$$\text{ด้วยเหตุนี้ } f_B = \frac{1}{T_B}$$

$$\text{และเรามีค่า } K = 0.2 \pi / T_B$$

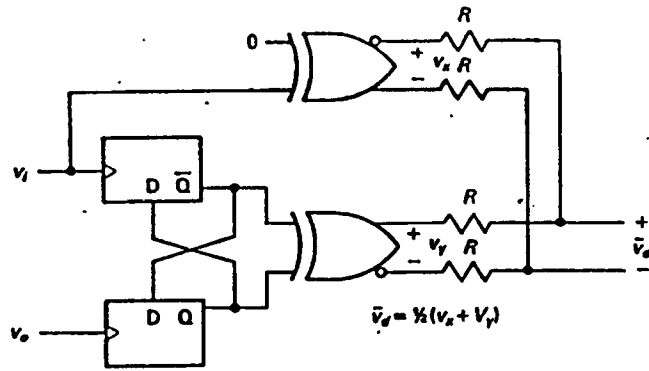
$$\text{และจากสมการที่ 4.3 จะได้ว่า } \Delta\theta = \frac{0.2\pi^2}{4} = 0.5 \text{ radian} \text{ ดังนั้นจะมีค่าเป็น } 8 \%$$

ของระยะห่างระหว่างบิตของสัญญาณ jitter ที่ขึ้นอยู่กับรูปแบบของสัญญาณนั้นจะดำเนินควบคู่กันไปกับ exclusive - OR PD ซึ่งสามารถหลีกเลี่ยงได้ โดยการใช้ two - state PD สำหรับช่วงคาบเวลาของสัญญาณ  $V_i$  และ  $V_o$  นั้น  $V_i$  เป็นข้อมูล RZ ที่ประยุกต์ใช้กับ two - state PD ซึ่งแสดงดังรูปที่ 4.17a ผลลัพธ์ที่ได้จะเป็นรูปคลื่น  $V_y$  ของพัลส์ช่วงบวกกับช่วงกว้างของสัญญาณที่เป็นสัดส่วนกับความแตกต่างของเฟสระหว่างข้อมูล  $V_i$  และสัญญาณ clock ที่ถูกใช้ ( $V_o$ ) (ดังรูปที่ 4.17b) สำหรับ  $\theta_e = 0$  ความกว้างของพัลส์จะเท่ากับค่าของข้อมูล RZ , และ  $V_y = -V_x$  ดังนั้น  $\overline{V_d} = 1/2 (V_x + V_y) = 0$  , และจะไม่มีรูปแบบของสัญญาณที่ output ของ PD สำหรับ  $\theta_e = 0$  ดังนั้นจะไม่มี jitter ที่ขึ้นอยู่กับรูปแบบของสัญญาณ ข้อได้เปรียบของ two - state PD ก็คือ ช่วงห่างของ phase จะมีค่าเป็น  $\pm \pi$  หรือมีค่าเป็น 2 เท่าของ exclusive - OR PD (ดังรูปที่ 4.17a)

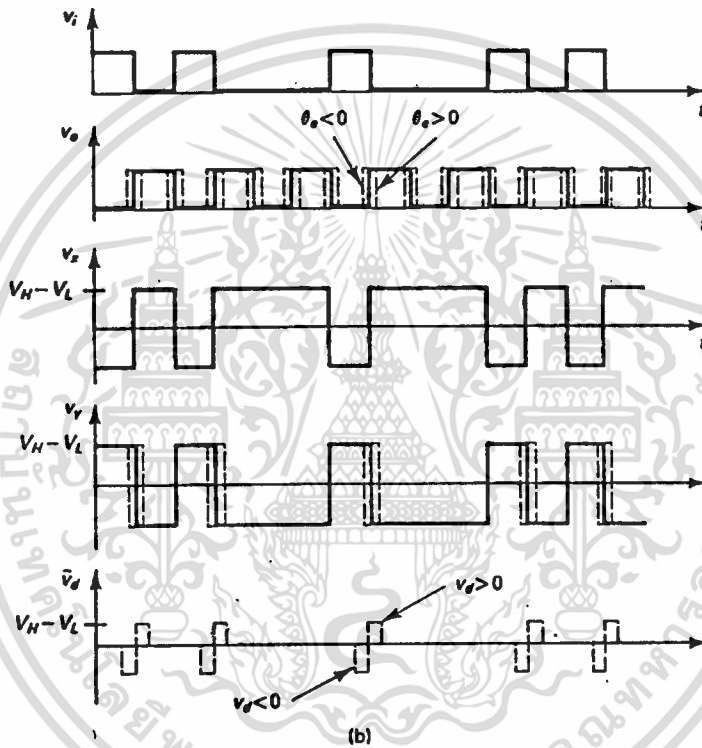
#### PHASE DETECTORS FOR NRZ DATA

เมื่อมีการกู้สัญญาณนาฬิกาจากสัญญาณข้อมูล NRZ ข้อมูล NRZ จะถูกเปลี่ยนเป็นข้อมูล RZ อยู่บ่อย ๆ ดังรูปที่ 4.12 และการใช้งานของ phase detector ของสัญญาณ RZ นั้นจะแสดงดังรูป 4.15 หรือรูปที่ 4.17 ความเป็นไปได้ที่จะเปรียบเทียบกับเฟสข้อมูล NRZ โดยตรงกับสัญญาณนาฬิกา ดังรูปที่ 4.18 วงจรนี้มีคุณลักษณะพื้นฐานคล้ายกับวงจร two - state PD และมีช่วงของ phase จาก  $-\pi$  ถึง  $\pi$  ซึ่งแสดงดังรูป สัญญาณข้อมูล  $V_i$  เป็นสิ่งที่ถูกนำมาเปรียบเทียบโดยช่วงเวลาขอบขาขึ้นของสัญญาณ  $V_o$  และสัญญาณข้อมูลตัวอย่าง Q1 ถูกใช้เปรียบเทียบกับสัญญาณข้อมูล โดย exclusive - OR gate ผลที่ได้ก็คือ  $\overline{V_d}$  กับสัญญาณพัลส์ซึ่งมี

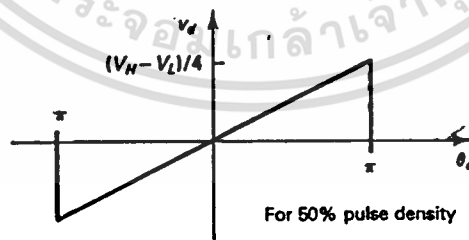
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



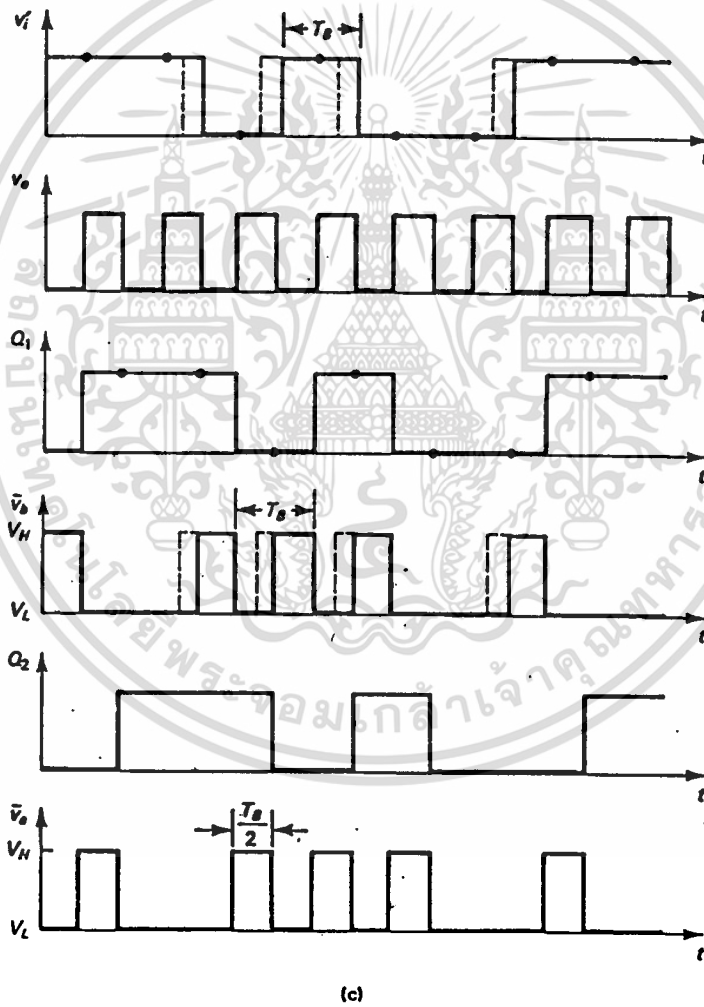
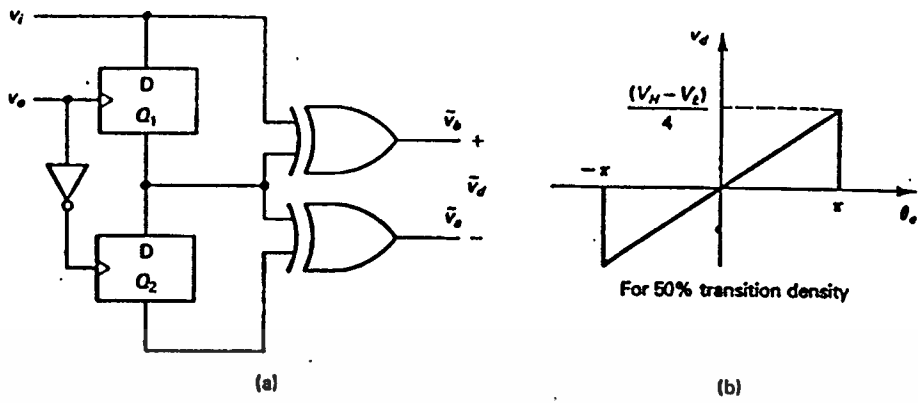
(b)



(c)

รูปที่ 4.17 Two-state PD ของ Data input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 Phase detector ของสัญญาณพัลส์สี่เหลี่ยม NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของสัญญาณจากจุดศูนย์ไปยัง  $T_B$  ขณะที่  $\theta_e$  มีความกว้างของสัญญาณจาก  $-\pi$  ถึง  $\pi$  (ดังรูปที่ 4.18b) ที่  $\theta_e = 0$  สัญญาณพัลส์จะกว้างเป็น  $T_B/2$  แต่ค่าเฉลี่ยของสัญญาณ  $\bar{V}_b$  จะขึ้นอยู่กับความเปลี่ยนแปลงของความหนาแน่นของสัญญาณข้อมูล (จำนวนของสัญญาณพัลส์  $\bar{V}_b$ ) ดังนั้นรูปคลื่น  $\bar{V}_d$  จึงเป็นสิ่งที่มีความจำเป็นจะต้องอ้างอิงถึง (ขึ้นอยู่กับค่า  $\theta_e$ ) ซึ่งรูปคลื่นของสัญญาณ  $V_b$  ที่มีค่า  $\theta_e = 0$  ดังนั้นจะได้ว่า  $\bar{V}_d = \bar{V}_b - \bar{V}_d$  ที่มีค่าเฉลี่ยเป็นศูนย์ ที่  $\theta_e = 0$  เสมอสิ่งนี้จะสอดคล้องกับ  $V_d = 0$  ที่  $\theta_e = 0$  ในกราฟคุณลักษณะของ PD (รูป 4.18b) ค่าสูงสุดของคุณลักษณะดังกล่าวจะขึ้นอยู่กับ การเปลี่ยนแปลงความหนาแน่นสำหรับที่ความหนาแน่น 50 % ค่าสูงสุดที่ได้มีค่าเป็น  $(V_H - V_L)/4$  ที่  $V_H$  มีค่าเป็น logic ระดับ high และ  $V_L$  มีค่าเป็นระดับ logic low

### OFFSET JITTER

เมื่อ PD มีค่าแรงดัน dc offset  $V_{dc}$  จะทำให้ชนิดของรูปแบบขึ้นอยู่กับ phase jitter ที่เกิดขึ้น เหตุผลคือ แรงดัน offset เกิดจากเฟสของสัญญาณ clock ที่เป็นไปตามขบวนการ เมื่อไม่มีพัลส์ของสัญญาณข้อมูล (ไม่มีรายละเอียดของ phase) การเป็นไปตามขบวนการดังกล่าวจะมีช่วงสั้นหรือยาวตามการเปลี่ยนแปลงของรูปแบบของสัญญาณข้อมูล ในการวิเคราะห์ถึงผลกระทบดังกล่าวนี้ เราจำเป็นต้องพิจารณาถึงรูปแบบของ PD ในการแสดงถึงรูปแบบของสัญญาณข้อมูล ขอให้พิจารณาถึงสัญญาณข้อมูล RZ และ  $V_i$  ของรูปคลื่นทั้ง 2 นี้ จะได้ว่า

$$V_i(t) = \delta(t) V_{in}(t)$$

โดยที่  $\delta$  คือ ความสอดคล้องของรูปคลื่น NRZ

$V_{in}$  คือ รูปคลื่นสี่เหลี่ยมที่ลดทอนจากครั้งสุดท้ายของแต่ละสัญญาณพัลส์ RZ ที่เป็นศูนย์ (ดังรูป 4.19b)

คาบเวลาของสัญญาณ  $V_{in}$  เป็นสิ่งที่เราต้องพิจารณาก่อนและต้องนำมาประยุกต์ใช้ให้เป็นประโยชน์ในการวิเคราะห์

การพัฒนาในสิ่งนี้จะต้องดำเนินการสำหรับ phase detectors ทุกวัน แต่การพัฒนาดังกล่าวจะต้องทำให้เกิดความเข้าใจด้วย จะต้องพิจารณาถึง PD ที่มี exclusive - OR gate เป็นตัวเปรียบเทียบเฟสของสัญญาณ  $V_i$  กับสัญญาณ clock  $V_o$  ที่ก่อให้เกิดสัญญาณ  $\bar{V}_d$  ดังรูปที่ 4.19d เราจะให้คำนิยามสัญญาณ  $V_d'$  ที่เป็นค่าเฉลี่ยของสัญญาณ  $\bar{V}_d$  ขณะที่  $\delta$  มีค่าคงที่ (มีค่าเป็น 1 หรือ 0) เมื่อ  $\delta = 1$  (ไม่มีสัญญาณพัลส์) และ  $V_d' = K_{dm} \theta_e$  โดยที่

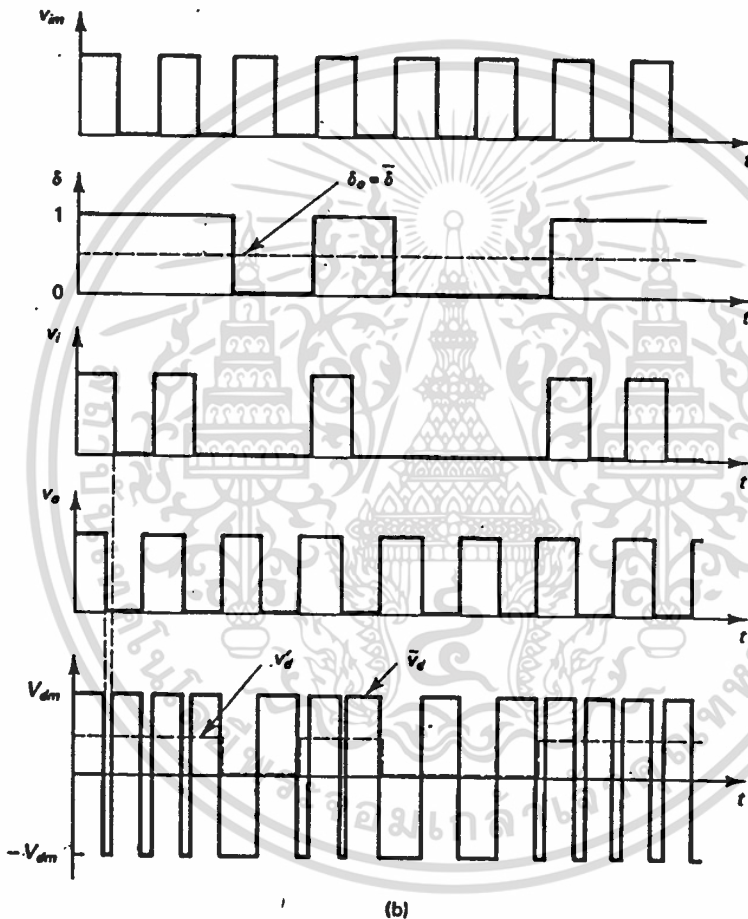
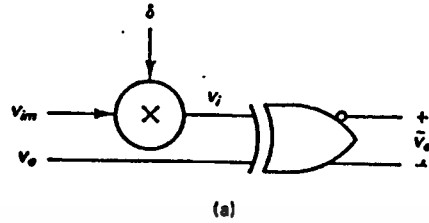
$$K_{dm} = V_{dm} / (\pi / 2) \quad (4.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $\delta = 0$ ,  $V_d' = 0$  (ดูรูปคลื่นในรูป 4.19b) สิ่งนี้สามารถแสดงได้ดังนี้ คือ

$$V_d' = \begin{cases} K_{dm}\theta_e & ; \sigma = 1 \\ 0 & ; \sigma = 0 \end{cases}$$

หรือ  $V_d' = \delta K_{dm} \theta_e$  (4.5)



รูปที่ 4.19 Decomposition of RZ waveform  $V_i$

สิ่งนี้มีความสัมพันธ์ ก็จะรวมกันเมื่อเป็น signal flow graph สำหรับวงจร PLL ในรูปที่

4.20a เฟสทางค่าน input  $\theta_e$  คือสิ่งที่เราสมมติให้มีค่าเป็นศูนย์ดังนั้นเราจะสามารถนำมารวมกันภายใต้ผลกระทบของรูปแบบของสัญญาณข้อมูลสัญญาณ input จะแปรผันกับ loop ดังกล่าวนี้อและสามารถพิจารณา  $\delta$  ซึ่งค่า  $\delta$  นี้เป็นค่าของรูปแบบสัญญาณข้อมูล

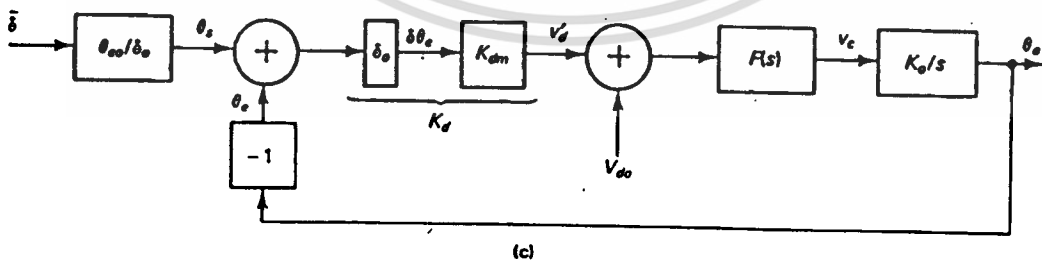
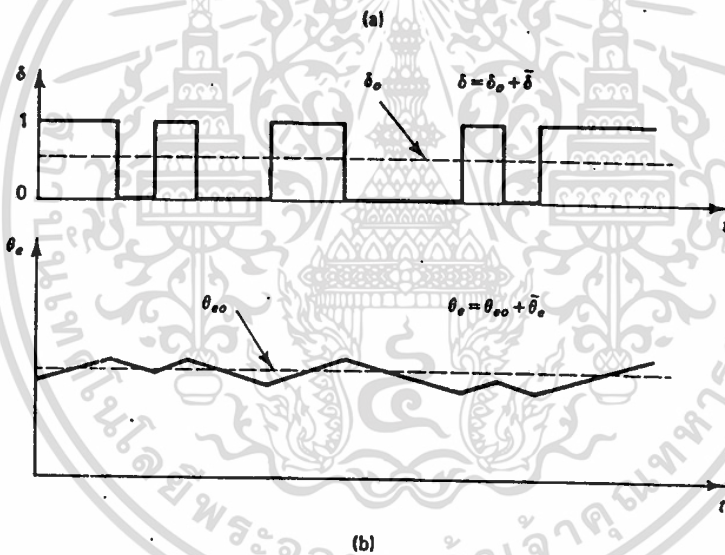
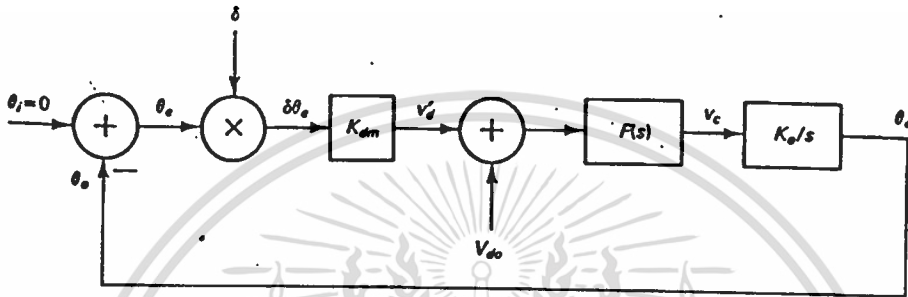
โซคร้ายที่ loop ในรูปที่ 4.20a เป็นวงจรคูณที่ขู่ขากสลับซับซ้อนซึ่งทำให้มันไม่เป็นระบบเชิงเส้นและทำให้ยากต่อการวิเคราะห์ ดังนั้นอย่างแรกที่เราต้องประมาณถึงพฤติกรรมของวงจรคูณด้วยการนำโดยรวมสัญญาณเดิมสัญญาณทางค่าน input  $\delta$  และ  $\theta_e$  จะนำมาคูณกันเพื่อกลายเป็นองค์ประกอบนำไปใช้ของสัญญาณ dc และสัญญาณ ac

$$\delta(t) = \delta_o + \bar{\delta}(t)$$

$$\theta_e(t) = \theta_{eo} + \bar{\theta}_e(t)$$

โดยที่ตัวห้อย 0 จะเป็นตัวบอกถึงองค์ประกอบของสัญญาณ dc (หรือค่าเฉลี่ย) และ "-" จะเป็นตัวบอกถึงองค์ประกอบของสัญญาณ ac กับค่าเฉลี่ยศูนย์ ชนิดของรูปคลื่นสำหรับสิ่งนี้ จะมีค่าที่แปรผัน ดังแสดงในรูปที่ 4.20b ค่าแปรผันของ  $\delta_o$  และ  $\bar{\delta}(t)$  เป็นค่าที่มีขนาดเหมือนกันแต่เราสามารถที่จะทำการประมาณค่าดังกล่าวนี้ได้ ดังนี้

$$\bar{\theta}_e(t) \ll \theta_{eo}$$



รูปที่ 4.20 Offset jitter  $\theta_o$  due to  $\theta_{eo}$

ผลที่ได้มัน ดังรูปที่ 4.20a และสามารถที่จะประมาณได้ เป็น

$$\delta(t)\theta_e(t) = [\delta_o + \bar{\delta}(t)]\theta_e(t) = \delta_o\theta_e + \bar{\delta}(t)[\theta_{eo} + \theta_e(t)]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าคงที่  $\delta_o$  และ  $\theta_{eo}$  สามารถพิจารณาในองค์ประกอบของ gain ดังนั้นผลที่ได้จะ

เป็นค่าอยู่ที่บริเวณทางด้านซ้ายตอนบน ซึ่งเป็นค่าประมาณโดยผลบวกทางด้านขวา สมการที่ 4.6

สามารถที่ใส่รูปแบบของ  $\theta_{e0}$   $\theta_e \approx \delta_o (\theta_e + \delta \theta_{e0} / \delta_o)$  flow graph ในรูปที่ 4.20c ตัวห้อยนี้จะ เป็นผลบวก จากรูปที่ 4.20a สัญญาณ input จะแปรค่ากับค่า  $\delta$  และ ค่าเฉลี่ยของสัญญาณที่เป็นศูนย์ จะกำหนดได้โดยรูปแบบของสัญญาณข้อมูล (ดังรูป 4.21a) รูปแบบของ flow graph ในรูปที่ 4.20c จะมีลักษณะเหมือนกับ PD gain ของ PLL

$$K_d = \delta_o K_{dm} \quad (4.7)$$

และ input phase ของ  $\delta \theta_{e0} / \delta_o$  ถึงแม้จะไม่มีเฟส แต่ก็สามารถวัดได้ โดยความหมายในนี้คือ สิ่งที่จะส่งผลต่อ input phase โดยมีค่าเป็น

$$\theta_s = (\theta_{e0} / \delta) \delta \quad (4.8)$$

สิ่งที่เป็นต้นกำเนิดของผลกระทบจากเฟสดังกล่าวนี้ คือรูปแบบของช่องว่างในสัญญาณข้อมูล ซึ่งเกิดผลกระทบโดย  $\delta$  ต้นกำเนิดตัวอื่นที่มี phase error ที่คงที่  $\theta_{e0}$  จะเป็นสาเหตุที่เกิดขึ้นโดย dc offset voltage

$$\theta_{e0} = -V_{do} / K_d \quad (4.9)$$

เมื่อพิจารณาค่าสมการ  $\theta_{e0} = -V_{do} / K_d$  เราจะเห็นได้ว่า  $\theta_{e0}$  จะเป็นองค์ประกอบของสัญญาณ ac ของ output phase  $\theta_o$  โดยการใช้ PLL phase transfer function  $H(s)$  ทำให้เราสามารถหาค่า  $\bar{\theta}_o$  ในเทอมของ  $\theta_s$  ได้ดังนี้

$$\bar{\theta}_o(s) = \theta_s(s) H(s) \quad (4.10)$$

สิ่งนี้จะ เป็นเฟสที่ไม่ต้องการ ซึ่งเรียกว่า offset jitter ถ้าเราสามารถหา spectral density คือแบนด์วิดท์

$$\phi_{\bar{\theta}_o}(f) = \frac{T_B \sin^2(\pi T_B f)}{2 (\pi T_B f)^2} \quad (4.11)$$

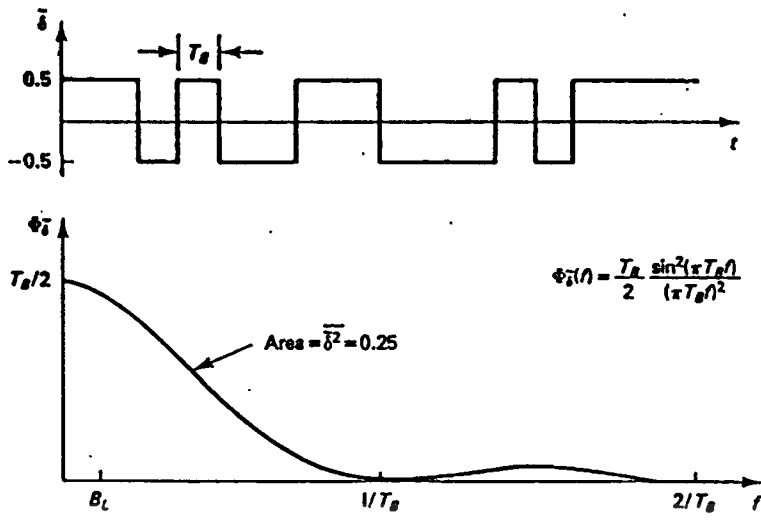
ดังจะอธิบายในรูปที่ 4.21 ซึ่งแบนด์วิดท์  $B_L$  ของ PLL จะมีค่าน้อยกว่า  $1/T_B$  เสมอ โดยที่เราสามารถประมาณได้ว่า

$$\phi_{\bar{\theta}_o}(f) \approx \phi_{\bar{\theta}_o}(0) = \frac{T_B}{2} \quad (4.12)$$

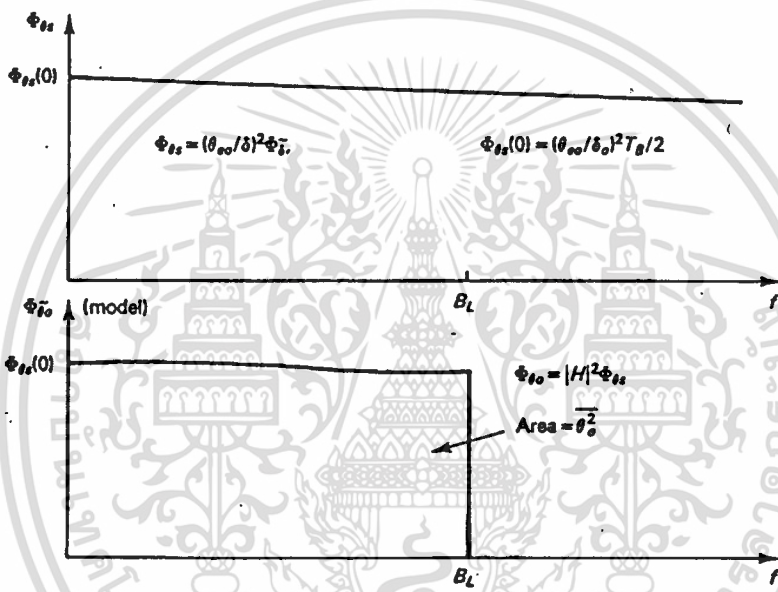
แต่จากสมการที่ 4.8 ค่า spectral density ของ  $\theta_s$  คือ

$$\phi_{\theta_s}(0) = (\theta_{e0} / \delta_o)^2 \phi_{\bar{\theta}_o}(0) = (\theta_{e0} / \delta_o)^2 \frac{T_B}{2} \quad (4.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

รูปที่ 4.21 สเปกตรัมของ Offset jitter

ขณะที่ความหมายของ noise band width ของ PLL คือ

$$B_L = K/4 \tag{4.14}$$

spectral density  $\phi_{\theta_0}$  ของ  $\theta_0$  สามารถที่จะทำเป็นแบบอย่างได้ โดยตัดค่า  $\phi_{\delta}$  โดย หัน ที่ที่  $B_L$  ซึ่งแสดงดังรูปที่ 4.21b พื้นที่ใต้ curve จะให้ค่าเฉลี่ยยกกำลังสองของ jitter : ดังนี้

$$\overline{\theta_0^2} = \phi_{\delta}(0)B_L = (\theta_{oo}/\delta_{oo})^2 T_B K / 8 \tag{4.15}$$

สำหรับ random data ทั้งความหนาแน่นของสัญญาณที่เป็น 1 และตำแหน่งความหนาแน่น จะมีค่าเป็น  $\delta_0 = 0.5$  และจะทำให้สมการที่ 4.15 มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{\theta_e^2} = \phi_{\alpha}(0)B_L = 0.5\theta_{eo}^2KT_B \quad (4.16)$$

เมื่อ  $\theta_i = 0$  และ  $\theta_e = \theta_i - \theta_o$  ดังนั้นจะได้  $\overline{\theta_e} = -\theta_o$  และจะเห็นได้ว่า

$$\overline{\theta_e^2} = \phi_{\alpha}(0)B_L = 0.5\theta_{eo}^2KT_B \quad (4.16')$$

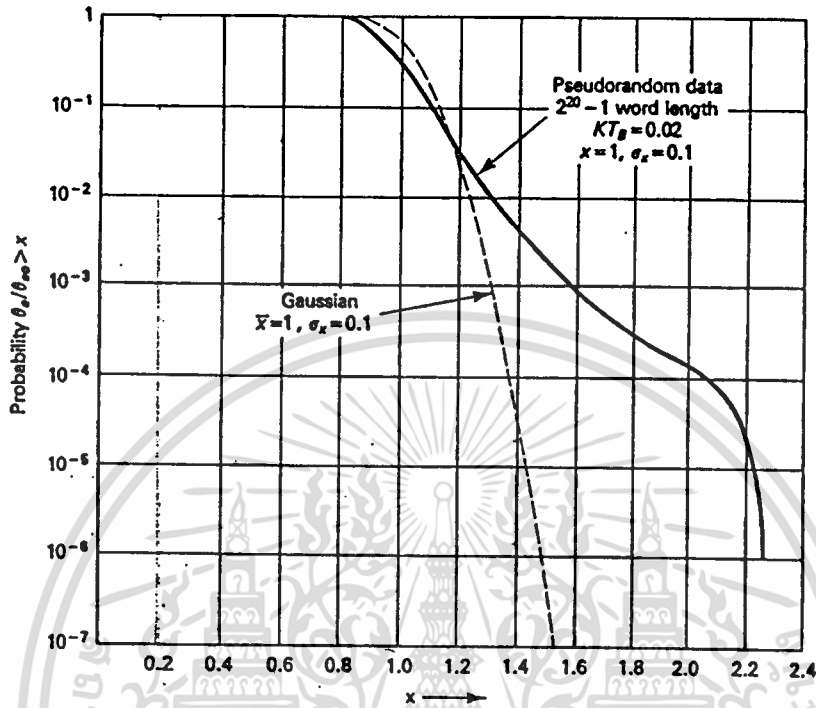
ชนิดของ PLL เมื่อแบนด์วิดท์มีค่า  $K = 0.02/T_B$  ดังนั้น  $\overline{\theta_e^2} = 0.01 \theta_{eo}^2$  หรือ  $\overline{\theta_{rms}} = 0.1 \theta_{eo}$  สิ่งนี้ให้เหตุผลที่ดีพอสำหรับสมมติฐานของเราเกี่ยวกับ  $\overline{\theta_e}$  ที่เป็นค่าที่เราไม่ต้องมาคำนึงถึง ในสมการที่ (4.6)

ขณะที่สมการที่ (4.16) และ (4.16') จะให้ค่าที่วัดได้ของ offset jitter ซึ่งสมการดังกล่าวจะบอกถึงค่าต่าง ๆ มากมายเกี่ยวกับความเป็นไปได้ที่จะจำแนกชนิดของ offset jitter ถ้าการจำแนกแบบ Gaussian ดังนั้นความหมาย ( $\theta_{eo}$ ) และการเบี่ยงเบนมาตรฐาน ( $\overline{\theta_{rms}}$ ) จะมีคุณลักษณะที่สมบูรณ์ต่อการจำแนกของ  $\theta_e$  แต่การจำแนกดังกล่าวจะไม่ใช่แบบ Gaussian รูปที่ 4.22 จะแสดงถึงความเป็นไปได้ในการจำแนกสำหรับ  $\theta_e$  สำหรับ pseudorandom data สิ่งนี้จะได้มาจากการประมวลผลโดยคอมพิวเตอร์ของ simulation first-order PLL ( $\omega_2 = 0$ ) กับรูปแบบของข้อมูลที่เป็น pseudorandom มีความยาวเป็น  $2^{20}-1$  ในกรณีของการ simulated นี้จะมีค่า  $KT_B = 0.02$  จากสมการที่ (4.16') ผลลัพธ์ที่ได้เบี่ยงเบนไปจากมาตรฐานปกติ คือ  $\overline{\theta_{rms}}/\theta_{eo} = 0.1$  รูปที่ 4.22 จะแสดงถึงการจำแนกได้เกินกว่าแบบมาตรฐาน 5 แบบ ( $x = 1.5$ ) กับความเป็นไปได้ที่  $7.2 \times 10^7$  ค่าจริง  $\theta_e/\theta_{eo}$  ที่เกินกว่า 1.5 กับความเป็นไปได้ที่จะมีค่าเป็น 0.002 ขณะที่การจำแนกแบบ Gaussian ที่มีค่าของ  $x = 2.27$  จะมีค่าความเป็นไปได้เพียง  $3 \times 10^{-37}$  (สิ่งนี้จะไม่สามารถพล็อตได้) ค่าจริง  $\theta_e/\theta_{eo}$  ที่เกินกว่า 2.27 กับมีค่าความเป็นไปได้ที่  $10^{-6}$

ตัวอย่าง สัญญาณนาฬิกาที่ถูกกู้ขึ้นมาจากสัญญาณข้อมูล RZ โดยวงจร PLL มีค่าเป็น 1.544 Mb/s แบนด์วิดท์ค่า  $K = 2\pi \times 5 \text{ kHz} = 31.4 \text{ Krad/s}$  phase detector ในวงจรเป็นแบบ CMOS exclusive OR gate กับค่าระดับของสัญญาณลอจิก  $V_H = 5 \text{ V}$  และ  $V_L = 0 \text{ V}$  PD offset voltage สามารถให้ค่า  $V_{do} = -0.15 \text{ V}$  อัตราการผิดพลาดหลังจากที่ได้มีการ sampling สัญญาณข้อมูลกับการกู้สัญญาณนาฬิกา จะมีค่าเป็น  $10^{-6}$  หรือน้อยกว่า จงหาว่า  $V_{do}$  มีค่าเท่าไร เมื่อเกิดการลดทอน timing margin สำหรับการปรับแนวของสัญญาณนาฬิกา

การปรับแนวของสัญญาณนาฬิกาที่เหมาะสมสุดขอขบขขึ้นของสัญญาณนาฬิกา ที่เป็นจุดศูนย์กลางบนสัญญาณพัลส์ของข้อมูล RZ ดังรูปที่ 4.9 ดังนั้น time margin จะมีค่าเป็น  $\pi/2$  radians ก่อนที่ของของสัญญาณ clock จะถึงขอบของพัลส์ของสัญญาณข้อมูล และเป็นสาเหตุของการ errors PD offset voltage  $V_{do} = -0.15 \text{ V}$  ซึ่งเป็นสาเหตุของ static phase offset gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 Offset jitter Distribution

$$K_d = (V_H - V_L) / \pi = \frac{5v}{3.14rad} = 1.59 \text{ V/rad} \text{ (ดังแสดงในสมการที่ 4.1) ดังนั้น}$$

$\theta_e = 0.0942 \text{ rad}$  ซึ่งการใช้วิธีการดังกล่าวนี้จะช่วยลด timing margin ลงได้ นอกจากนี้แล้ว offset jitter จะช่วยลด timing margin ได้เช่นกัน ระยะห่างระหว่างข้อมูลมีค่าเป็น  $T_B = 1/1.544 \text{ Mb/s} = 648 \text{ ns}$  ดังสมการที่ (4.16') จะให้ค่าเฉลี่ยยกกำลังสองของ jitter  $\bar{\theta}_e^2 = 0.5 \theta_{e0}^2 K T_B = 0.01 \theta_{e0}^2$  และกล่าวได้ว่าเมื่อ square root แล้วจะให้  $\bar{\theta}_{rms} = 0.1 \theta_{e0} = 0.00942 \text{ rad}$  สิ่งนี้เป็นอีกกรณีหนึ่งที่อธิบายได้ดังรูปที่ 4.22 ซึ่งแสดงให้เห็นว่า  $\theta_e$  มีค่าประมาณ 12.7  $\bar{\theta}_{rms}$  จากค่าเฉลี่ย  $\theta_{e0}$  กับค่า probability ที่  $10^{-6}$  ดังนั้นค่าโดยรวมของ timing margin มีค่าเป็น  $\theta_{e0} + 12.7 \bar{\theta}_{rms} = 0.214 \text{ radians}$  และค่า margin จะมีค่าเป็น  $\pi/2 = 1.57 \text{ radians}$  ดังนั้นค่าของการลดทอนจะมีค่าเป็น  $0.214 / 1.57 = 13.6 \%$

ข้อสังเกต สองถึงสามประการที่ต้องการ ที่เกิดขึ้นจากตัวอย่าง ก็คือว่ามันจะสมมติให้ค่า error rate จะมีค่าเป็น  $10^{-6}$  สำหรับรูปแบบของข้อมูลที่เป็นแบบ pseudorandom จะมีค่าความยาวเป็น  $2^{20} - 1$  สำหรับการประยุกต์ใช้งานในรูปที่ 4.22 ค่า band width  $K = 0.02 / T_B$  เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเป็นตัวเลือกในตัวอย่าง ดังการประยุกต์ใช้งานในรูป 4.22 สำหรับแบนด์วิดท์อื่น ๆ ที่จุด  $10^6$  จะมีค่าใกล้เคียง  $13 \bar{\theta}_{rms}$  พิจารณาจากอีกตัวอย่างหนึ่ง คือถ้า  $K$  เพิ่มขึ้นเป็น  $2\pi \times 40$  kHz, ดังนั้นค่า  $KT_B = 0.16$  และจากสมการที่ (4.16')  $\bar{\theta}_{rms} = 0.0267$  radians ดังนั้นค่า timing margin จะมีค่าเป็น  $\theta_{e0} + 13 \bar{\theta}_{rms} = 0.441$  radians หรือ 28.1% ซึ่งค่าดังกล่าวเป็นค่าประมาณ สิ่งนี้เองที่จะนำไปสู่การเขียนโปรแกรม สำหรับ pseudorandom รูปแบบอื่นและค่าอื่น ๆ ของ  $KT_B = \text{discrete-time}$  จะมีค่าแตกต่างจากสมการเป็น

$$X_{n+1} = X_n(1 - 2K T_B D_n) + K T_B$$

โดยที่  $X = \theta_e / \theta_{e0}$

$D_n$  เป็น pseudorandom sequence ของ "1" และ "0"

ข้อสังเกต อีกประการหนึ่งนั่นคือ การกู้สัญญาณนาฬิกาจากข้อมูล NRZ ตัวอย่างจะมากกว่า สัญญาณข้อมูล RZ ค่า timing margin สำหรับการปรับแนวที่เหมาะสมสุดจะมีค่าเป็น  $\pi$  มากกว่าที่จะมีค่าเป็น  $\pi/2$

#### JITTER ACCUMULATION

ขณะที่ offset jitter จะเป็นสิ่งที่ไม่ค่อยจะเป็นปัญหาใน PLL มันสามารถที่จะเพิ่มพูนจน ถึงระดับที่ความหมายในลำดับอนุกรมของ tandem PLLs สิ่งนี้เป็นอีกกรณีหนึ่งในระบบลูกโซ่ของการทวนสัญญาณข้อมูล ดังแสดงในรูปที่ 4.23a ข้อมูล  $V_i$  จะส่งไปที่ head end ที่มีการกู้สัญญาณ clock โดยวงจร PLL และสัญญาณข้อมูลจะเกิดขึ้นที่  $V_i$  หลังจากกระยะห่างของการส่งข้อมูลบางอัน จะเกิดการ distortion และ noise จึงจำเป็นต้องมีการทวนสัญญาณอีกครั้ง การทวนสัญญาณนาฬิกาที่ถูกกู้ บางครั้งจะเกิดเป็น 1000 เวลาในระยะเวลาที่มีการส่งที่ยาวนาน วงจรการกู้สัญญาณ clock แต่ละวงจรในการส่งสัญญาณหลาย ๆ เส้นทาง มันจะเป็นแบบ own offset jitter และ total jitter

การเพิ่มขึ้นของ jitter จะเป็นดังรูปที่ 4.23b แต่ละ PLL จะมีผลต่อ phase  $\theta_s$  ที่เหมาะสมด้วย offset หลายรูปแบบของสัญญาณข้อมูล สิ่งนี้จะเพิ่มขึ้นจนเป็น phase jitter ของข้อมูลจากการทวนสัญญาณ ดังนั้นวงจร PLL จะกรอง combined phase โดย transfer function ของมัน รูปแบบของสัญญาณข้อมูลจะเหมือนกันสำหรับ PLL แต่ละอัน และ ถ้าเราสมมติให้ static phase error  $\theta_{e0}$  มีลักษณะเหมือนกับ PLL แต่ละอัน ดังนั้น PLL แต่ละอันจะมี  $\theta_s$  ที่เหมือนกัน ซึ่งสามารถดูได้จาก รูปที่ 4.23 transfer function จาก  $\theta_s$  กับ last output phase  $\theta_n$  จะมีค่าเป็น

$$\frac{\theta_n(s)}{\theta_s(s)} = H(s) + H^2(s) + \dots + H^N(s)$$

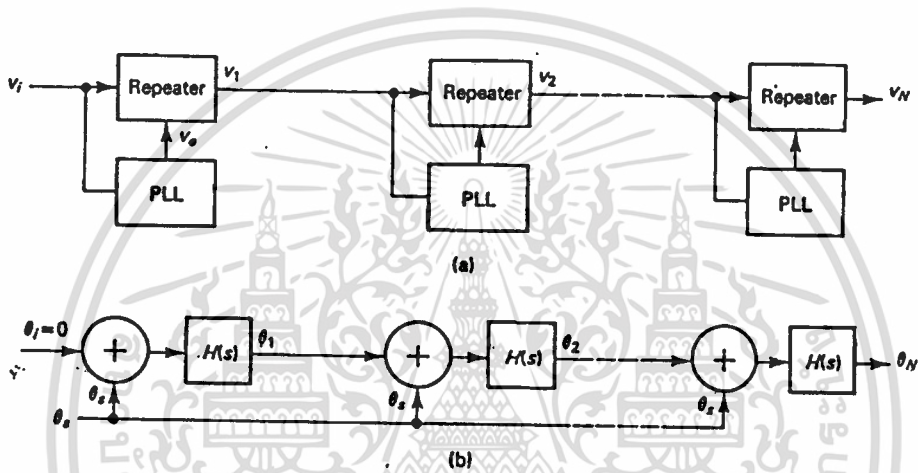
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับภา =  $\frac{H(s)}{1-H(s)} [1-H^N(s)]$  นั้น ไม่นิยามให้นำไปใช้ (4.17) นั้นด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ  $\omega_2 = 0$ ,  $H(s) = 1/(s/K + 1)$ , และจะทำให้สมการที่ 4.17 มีค่าเป็น

$$\theta_n / \theta_s = (K/s) [1 - 1/(s/K + 1)^N] \tag{4.18}$$

จะเห็นได้ว่า spectral densities ของ  $\theta_n$  และ  $\theta_s$  จะมีค่าเป็น

$$\phi_{\theta_n} / \phi_{\theta_s} = |\theta_n / \theta_s|^2 \tag{4.19}$$



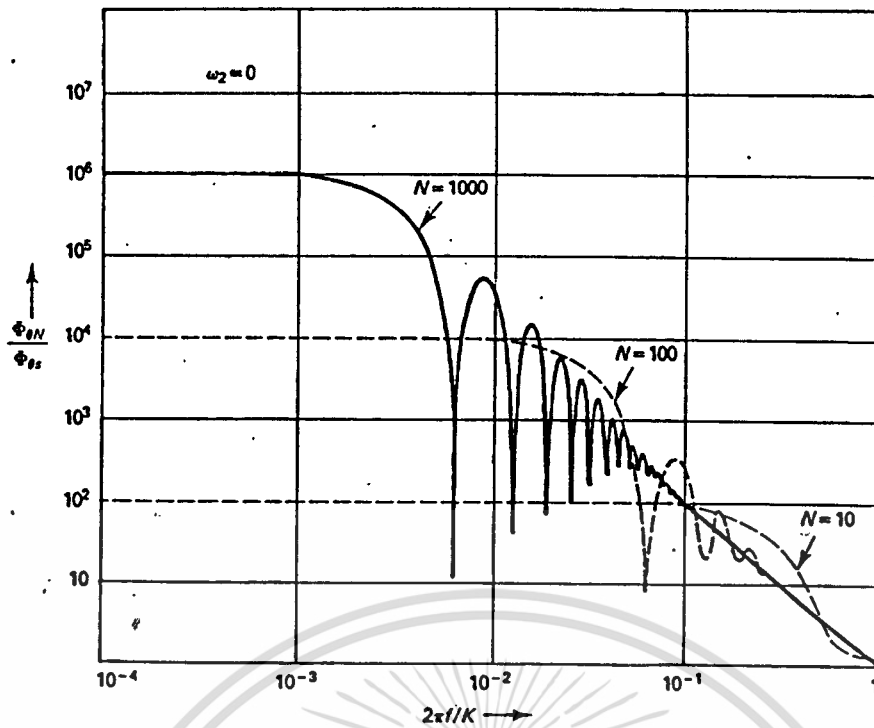
รูปที่ 4.23 Jitter accumulation ของ regenerator N ตัว

สำหรับในกรณีนี้  $\omega_2 = 0$  จะทำให้สมการที่ (4.18) และ (4.19) มีค่าเป็น

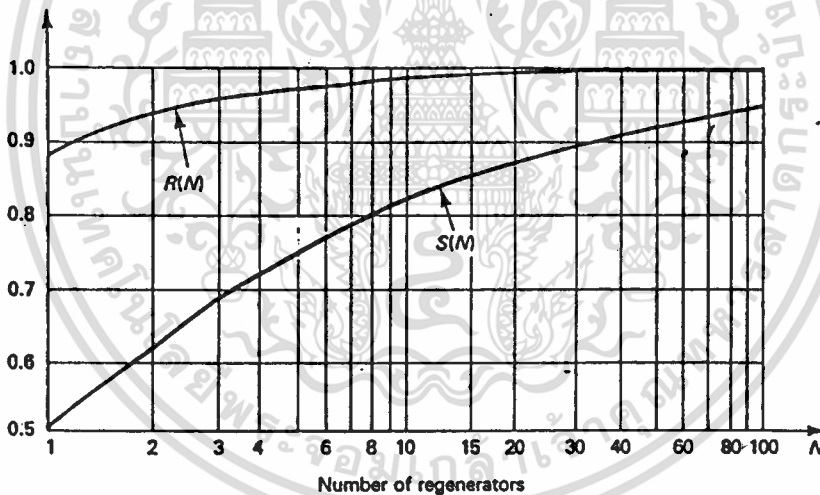
$$\phi_{\theta_n} / \phi_{\theta_s} = (K/2\pi f)^2 |1 - 1/(j2\pi f / K + 1)^n|^2 \tag{4.20}$$

สมการดังกล่าวนี้จะนำไปใช้ในการ plot ค่า power spectral density ในรูปที่ n ค่าต่าง ๆ กัน โดยที่ n จะเป็นตัวที่บอกถึงจำนวนของ repeaters ,  $2\pi f / K > 1/N, (2\pi f / K + 1)^N \gg 1$  และ  $\phi_{\theta_n} / \phi_{\theta_s}$  จะเข้าใกล้  $(2\pi f)^2$  ซึ่งสามารถดูได้จากรูปที่ 4.22 ,  $2\pi f / K < 1/N, \phi_{\theta_n} / \phi_{\theta_s} \approx N^2$  ผลลัพธ์ที่ได้จะมี jitter เพิ่มขึ้นในย่านความถี่ต่ำ ค่าเฉลี่ยยกกำลังสองที่มี jitter ที่เพิ่มขึ้น จะเป็นปฏิภาคกับพื้นที่ใต้ curves ในรูปที่ 4.24 และมีการหาค่าในสมการที่ 4.20 โดยการอินทิเกรตได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 Accumulated jitter power density ( $\omega_2=0$ )



รูปที่ 4.25 Factors ของการคำนวณ accumulated jitter  $\bar{\theta}_N^2$

$$\int_0^{\infty} \phi_{\theta n} / \phi_{\theta s} df = 0.5N S(N) K \tag{4.21}$$

โดยที่  $S(N)$  คือหน้าที่ของในย่านจาก 0.5 ถึง 1 ที่  $n$  มีค่าเพิ่มขึ้น (ดังรูปที่ 4.25) ส่วนของ  $f$  สำหรับ  $\phi_{\theta n}(f)$  จะเป็นสิ่งที่สำคัญ,  $\phi_{\theta n}(f)$  จะเป็นค่าคงที่ที่เพียงพอ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสมอ และเราสามารถที่จะประมาณค่าของ  $\phi_{\theta_s}(f) \approx \phi_{\theta_s}(0)$  ดังนั้นค่าเฉลี่ยยกกำลังสองที่มี jitter เพิ่มขึ้นที่  $\omega_2 = 0$  เป็น

$$\overline{\theta_N^2} = \int_0^{\infty} \phi_{\theta_s} df = 0.5N S(N) K\phi_{\theta_s} \quad (4.22)$$

สำหรับกรณีนี้  $\delta_0 = 0.5$  จะทำให้สมการที่ (4.13) มีค่าเป็น

$$\phi_{\theta_s}(0) = 2\theta_{\theta_s}^2 T_B \quad (4.23)$$

และ

$$\overline{\theta_N^2} = N S(N) K T_B \theta_{\theta_s}^2 \quad (4.24)$$

เมื่อ  $n$  เป็นจำนวนรีพิตเตอร์ ดังนั้นรากที่สองของสมการ (4.24) แสดงค่า rms ของ จิตเตอร์สะสมที่เกิดขึ้นในส่วนของ  $\sqrt{N}$  เป็นคุณสมบัติของ Systematic jitter ซึ่งเหมือนกับค่า  $\theta_s$  ในวงจร PLL (ดูรูป 4.23)

แหล่งกำเนิดอื่นของ Systematic jitter คือ intersymbol interference (ISI) และ ISI ทำให้เกิดเฟสจิตเตอร์ที่วงจร PLL เพราะพัลส์ข้อมูลเลื่อนไปเป็นผลทำให้เฟสเลื่อนตามพัลส์ข้อมูล Duttweiler แสดงให้เห็นว่าการคำนวณสเปกตรัมกำลังเฟสของข้อมูลเมื่อเกิด ISI และ Rosa แสดงให้เห็นว่ารูปร่างและผลตอบสนองของช่องสัญญาณที่ทำให้เกิด ISI น้อยที่สุด

ออฟเซต อินดิวิตส์ [ $\phi_{\theta_s}(0)$ ] ในสมการ (4.13) เป็นตัวอย่างหนึ่งของสเปกตรัมกำลังเฟส อันเนื่องมาจากเฟสจิตเตอร์ สเปกตรัมเหล่านี้เกิดจาก noise ที่อินพุตสเปกตรัมเหล่านี้จะเกิดขึ้นไม่เป็นระเบียบเรียกว่า random jitter โดย noise จะเกิดขึ้นจากอินพุตที่แตกต่างกันของวงจร PLL Delange แสดงให้เห็นถึง random jitter สะสมเท่ากับ  $0.282 \sqrt{NR(N)K}\theta_{\theta_s}$ , เมื่อ  $R(N)$  เป็นฟังก์ชันของ  $N$  เราทำการเพิ่มค่า  $N$  จาก 0.886 ไปจนถึง 1.0 (ดูรูป 4.25) จากสมการ (4.22) จิตเตอร์สะสมทั้งหมด คือ

$$\overline{\theta_N^2} = 0.5N S(N) K \phi_{\theta_s}(0) + 0.282 \sqrt{NR(N)K} \theta_{\theta_s} \quad (4.25)$$

เมื่อ  $\phi_{\theta_s}$  ประกอบด้วย systematic jitter ทั้งหมด offset jitter ในสมการ (4.13) และ ISI jitter และ จิตเตอร์ที่ขึ้นอยู่กับรูปแบบอื่น ๆ ดังนั้น random jitter (เทอมที่ 2 ในสมการ 4.25) ควรจะเพิ่มค่า  $N$  อย่างช้า ๆ ปกติจะให้ค่า  $N > 30$

จิตเตอร์สะสมจะเปลี่ยนไปเมื่อวงจรสัญญาณนาฬิกา ใช้ PLL ด้วย VCXO และใช้แบนด์วิดท์แคบมาก ๆ  $K (< 1 \text{ rad/s})$  จะทำให้สัญญาณนาฬิกาที่ถูไถ้ไม่เกิดจิตเตอร์ไปรบกวนข้อมูล และ จิตเตอร์สะสม  $\theta_n$  ข้อมูลที่ถูไถ้จะไม่มีจิตเตอร์ (ในทางปฏิบัติ) ถ้าเฟส  $\theta_n$  ระหว่างสัญญาณนาฬิกา กับข้อมูลมากกว่า  $\pi/2$  นวัสสำหรับสัญญาณ RZ ก็ก็จะเกิดขึ้น error ขึ้นให้  $N = 30$  ทฤษฎี ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดกึ่งกลาง  $\theta_n$  มีผลกับ Gaussian มีมากกว่า  $x \theta_{nms}$  ค่าประมาณของความน่าจะเป็นของการเกิดการผิดพลาด คือ

$$P(x) \approx 0.4(1/x - 1/x^3)e^{(-x^2/2)} \quad (4.26)$$

$$\theta_{nms} = 0.0747 \text{ radians}$$

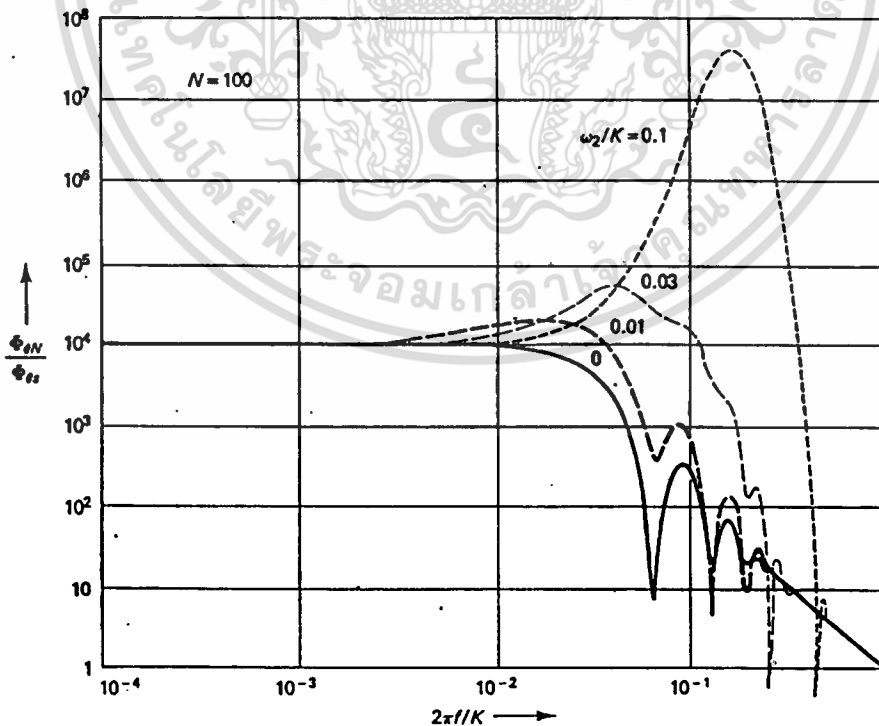
ดังนั้น  $\theta_n$  กว้างกว่า  $\pi/2$  ความน่าจะเป็นของการเกิดการผิดพลาด  $P(x) = 3 \times 10^{-98}$  สิ่งเหล่านี้เป็นจุดสำคัญที่จะไม่ทำให้เกิด error ของข้อมูลที่ถูกลบมาถ้า  $\theta_n$  เป็นสาเหตุของการ error elastic store จะเป็นสิ่งจำเป็นของการเลื่อนของจิสเตอร์

สมการ (4.24) แสดงจุดปรับจิสเตอร์ระสมกรณี  $\omega_2 = 0$  และกรณี  $\omega_2 \neq 0$  จุดสูงสุดของสัญญาณ  $H(s)$  มากกว่า 1 และ  $H^n$  ในสมการ (4.17) ใหญ่มากสำหรับ  $N$  ขนาดใหญ่ จุดสูงสุดของสัญญาณ  $H$  คือ  $H_p \approx 1 + \omega_2/K$  เมื่อ  $\omega_2 \ll K$

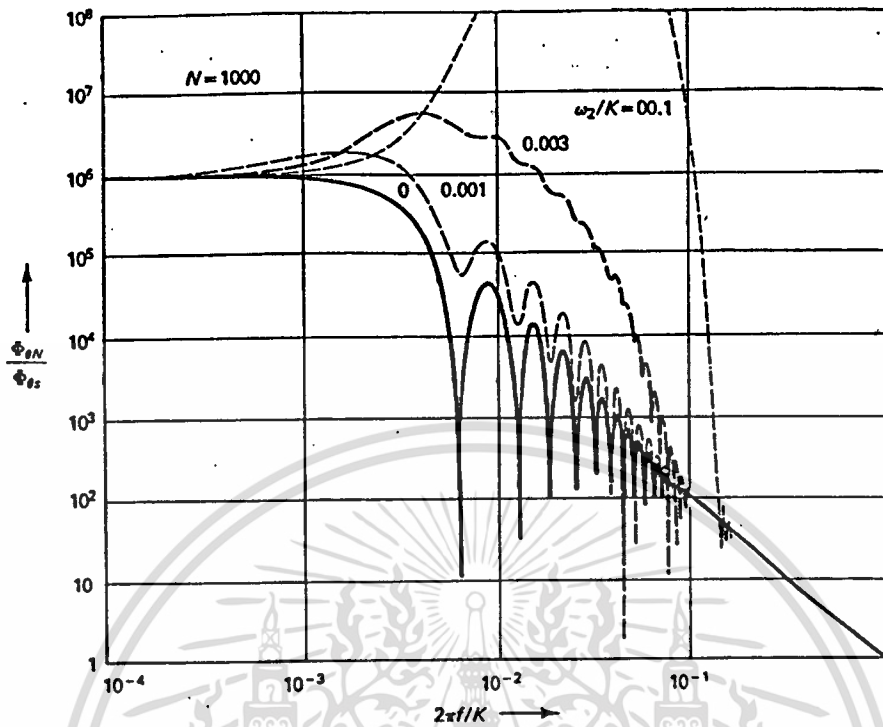
$$H_p^n \approx (1 + \omega_2/K)^n \approx \exp(N\omega_2/K) \quad (4.27)$$

ทรานซ์เฟอร์ฟังก์ชันของเฟส  $\theta_n / \theta_s$  อธิบายได้ด้วย  $N$  มันจะทำให้จิสเตอร์ระสมมาก อธิบาย โดยสมการ (4.24) ถ้าเราไม่ทำให้  $\omega_2$  มีขนาดเล็กพอสำหรับ  $\omega_2 \neq 0$  PLL ทรานซ์เฟอร์ฟังก์ชัน คือ

$$H(s) = \frac{Ks + K\omega_2}{s^2 + Ks + K\omega_2}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ที่ 4.26 Accumulated jitter power density ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 (Cont'd)

เมื่อ ทรานซ์เฟอร์ฟังก์ชัน  $H(s)$  ในสมการ (4.17) และ (4.49) อธิบายสเปกตรัมในรูป 4.26  $\omega_2/K$  เพิ่มขึ้น ทำให้จุดยอดของพื้นที่ใต้เส้นกราฟเพิ่มขึ้นด้วย  $\theta_N^2$  พื้นที่ใต้เส้นกราฟในรูป 4.26 คือ normalized mean - square jitter เขียนสมการได้ดังนี้

$$\frac{\overline{\theta_N^2}}{K\phi_\alpha(0)} = \int_0^\infty \phi_{\alpha v} / K\phi_\alpha(0) df$$

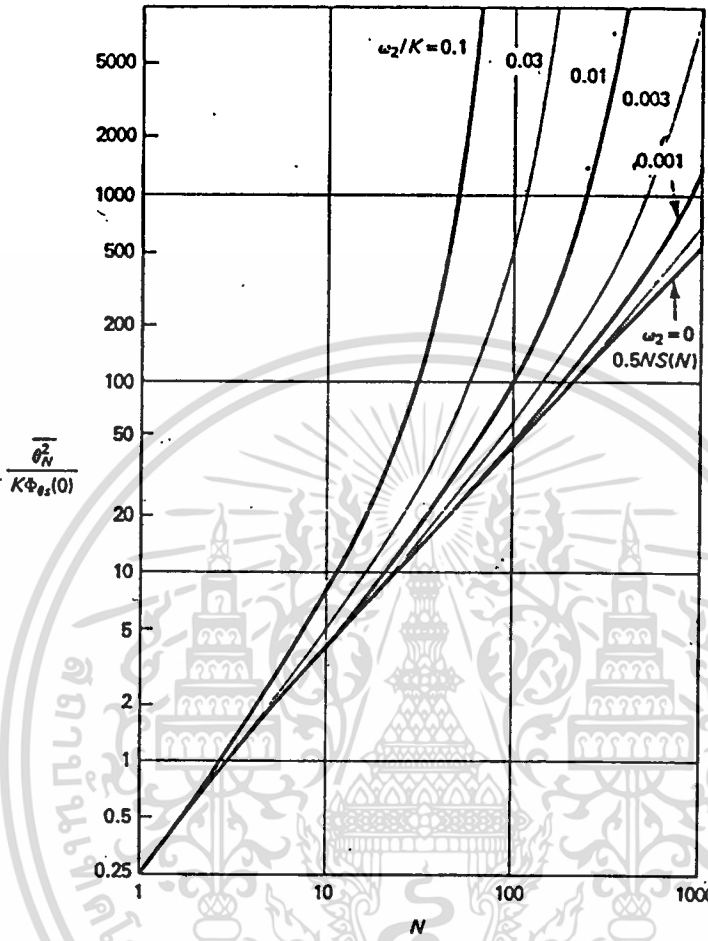
คอมพิวเตอร์หาค่าพื้นที่ด้วยวิธี numerical methods ผลพล็อต กราฟได้ดังรูป 4.27 เป็นฟังก์ชันของ  $N$  เป็นขนาดทั่วไปของ  $\omega_2/K$  จุดที่ดีที่สุดคือ

$$\omega_2/K = 1/N \tag{4.28}$$

ให้  $H_p^n \approx 2.7$  [ดูสมการ (4.27)] เห็นได้จากรูป 4.27 เมื่อ  $\omega_2/K = 1/N$ ,  $\overline{\theta_n^2}$  จะเพิ่มขึ้นมากกว่าในสมการ (4.24) ถึง 2.3 เท่า โดยที่ไม่เกี่ยวข้องกับ  $N$  สำหรับ  $\omega_2/K = 1/N$  offset jitter สะสม คือ

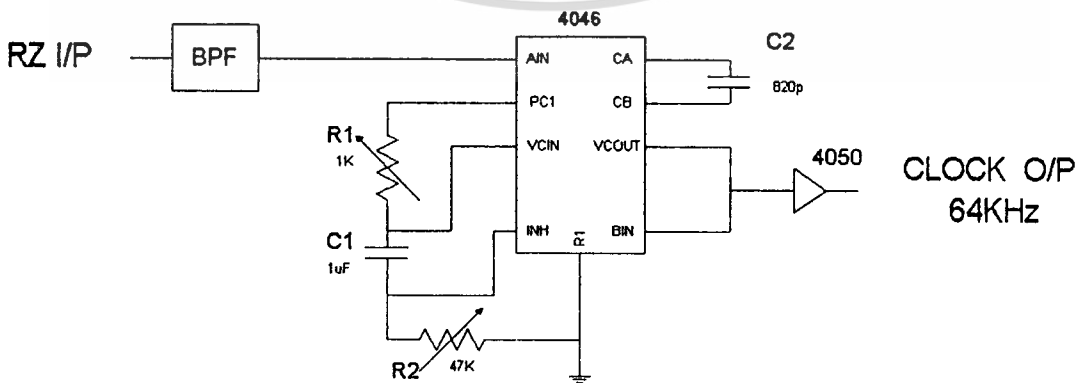
$$\overline{\theta_N^2} \approx 2.3KN S(N)\theta_{eo}^2 T_B \tag{4.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 Normalized mean-square Cumulative jitter

การออกแบบวงจร PHASE LOCK LOOP



รูปที่ 4.28 วงจร PHASE LOCK LOOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป C2 จะเป็นตัวกำหนด Center Frequency โดยอ่านได้จากคู่มือของไอซี 4046 โดยใช้ค่า 820 pF จะใช้ได้ในช่วงความถี่ 10kHz - 100kHz ในบางครั้งความถี่ที่ได้อาจไม่ตรงตามต้องการ สามารถแก้ไขได้โดยการปรับค่า R2 ซึ่งสามารถปรับช่วงความถี่ที่ต้องการได้ ส่วน R1 กับ C1 จะเป็นส่วนของ LPF จะทำการกรองความถี่ต่ำผ่าน แล้วนำความถี่นั้นกลับเข้า VCO ที่ขา 9 ซึ่งจะได้ความถี่ที่ต้องการออกมาที่ขา 4 ส่วนขา 3 จะเป็นส่วนที่ป้อนกลับไป Phase Comparator เพื่อเปรียบเทียบว่ามีความถี่ตรงกันกับ input หรือไม่

ในส่วนของ BPF จะทำหน้าที่กรองความถี่ เฉพาะ 64 kHz ผ่านแต่จากการทดลองเมื่อนำสัญญาณ RZ ผ่านเข้า BPF จะทำให้สัญญาณเปลี่ยนเป็น SINE เมื่อมี RZ เข้ามา 1 ครั้งจะได้สัญญาณสวิงเป็น (+) กับ (-) 1 ครั้งแล้วกลับเป็นศูนย์ ซึ่งกรณีนี้จะทำให้ Clock ที่ได้เกิดการสั่น ดังนั้นเราจึงนำ RZ ผ่านเข้า PLL โดยตรงได้เลย แต่วงจร BIPHASE ในส่วนของข้อมูลที่เป็น "0" กับ "1" การกลับขั้วของ พัลส์จะไม่เหมือนกันดังนั้นจำเป็นต้องนำสัญญาณ BIPHASE ผ่าน BPF ก่อนแล้วจึงนำไปเข้า PLL

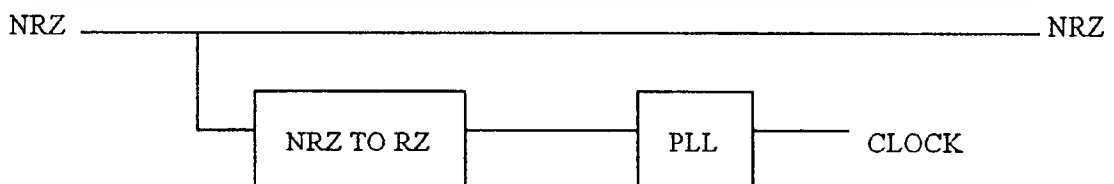
#### การออกแบบวงจร CLOCK RECOVERY

จะต้องแปลงสัญญาณ NRZ ให้เป็น RZ ก่อน เนื่องจาก RZ มี DC ที่ Rb หลังจากนั้นนำสัญญาณ RZ ไปเข้า PLL ได้ Clock ออกมา

การทำงานของวงจรแปลง NRZ เป็น RZ จะใช้ IC 555 ซึ่งต่อแบบ Monostable Multivibrator ทางด้าน input จะนำสัญญาณข้อมูลที่ได้รับมาได้ผ่านวงจร Delay แล้วนำมาเทียบกับข้อมูลเดิม

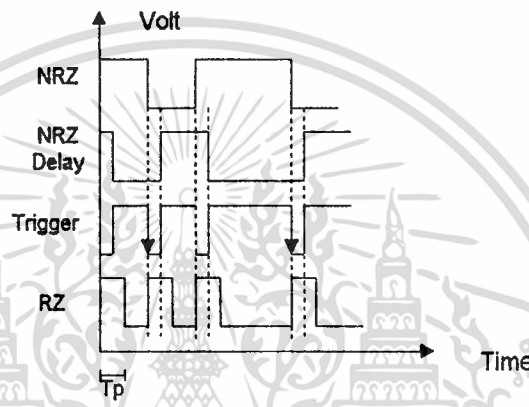
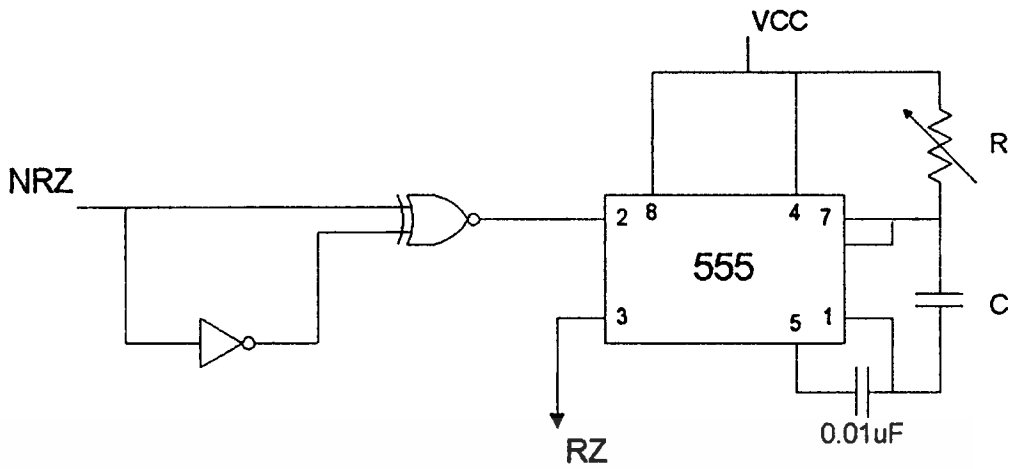
การทำงานนี้เป็นการสร้างสัญญาณ Trigger ให้แก่ วงจร Monostable สัญญาณ Trigger ที่ขอบขาตลงนี้จะเป็นการเปลี่ยนแปลงข้อมูล ซึ่งการเปลี่ยนแปลงของข้อมูลนี้จะมีความสัมพันธ์กันสัญญาณ Clock ของภาคส่ง

#### NRZ



รูปที่ 4.29 Block Diagram การกู้ Clock จากสัญญาณ NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30 วงจรแปลงสัญญาณ NRZ เป็น RZ

ค่า  $T_p$  ที่ใช้จะมีค่าเท่ากับครึ่งหนึ่งของ สัญญาณ NRZ ซึ่งจะมีค่า เท่ากับ  $15.6 \mu\text{S}/2 = 7.8 \mu\text{S}$   
 ค่า  $C$  ที่ใช้มีค่าเท่ากับ  $1 \text{ nF}$

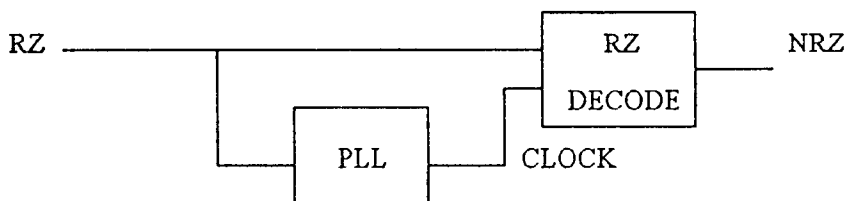
$$T_p = 1.1 RC$$

$$7.8 \mu\text{S} = (1.1)(1 \text{ nF}) R$$

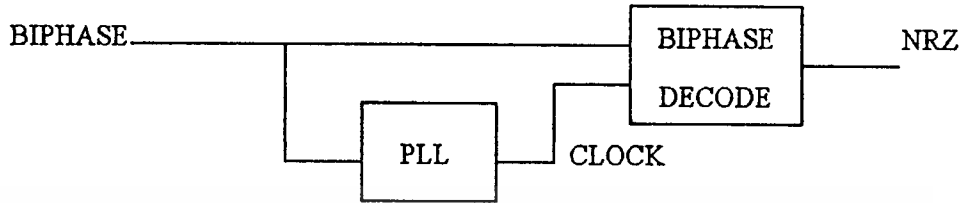
$$R = 7.09 \text{ k}$$

RZ

สัญญาณ RZ สามารถต่อเข้า PLL ได้เลย

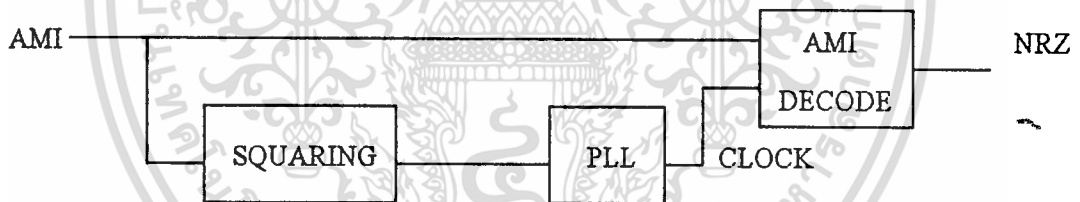


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 รูปที่ 4.31 Block Diagram ของวงจรถูก Clock จากสัญญาณ RZ  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและต้องขออนุญาตเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIPHASE

รูปที่ 4.32 Block Diagram ของวงจรถูก Clock จากสัญญาณ BIPHASE

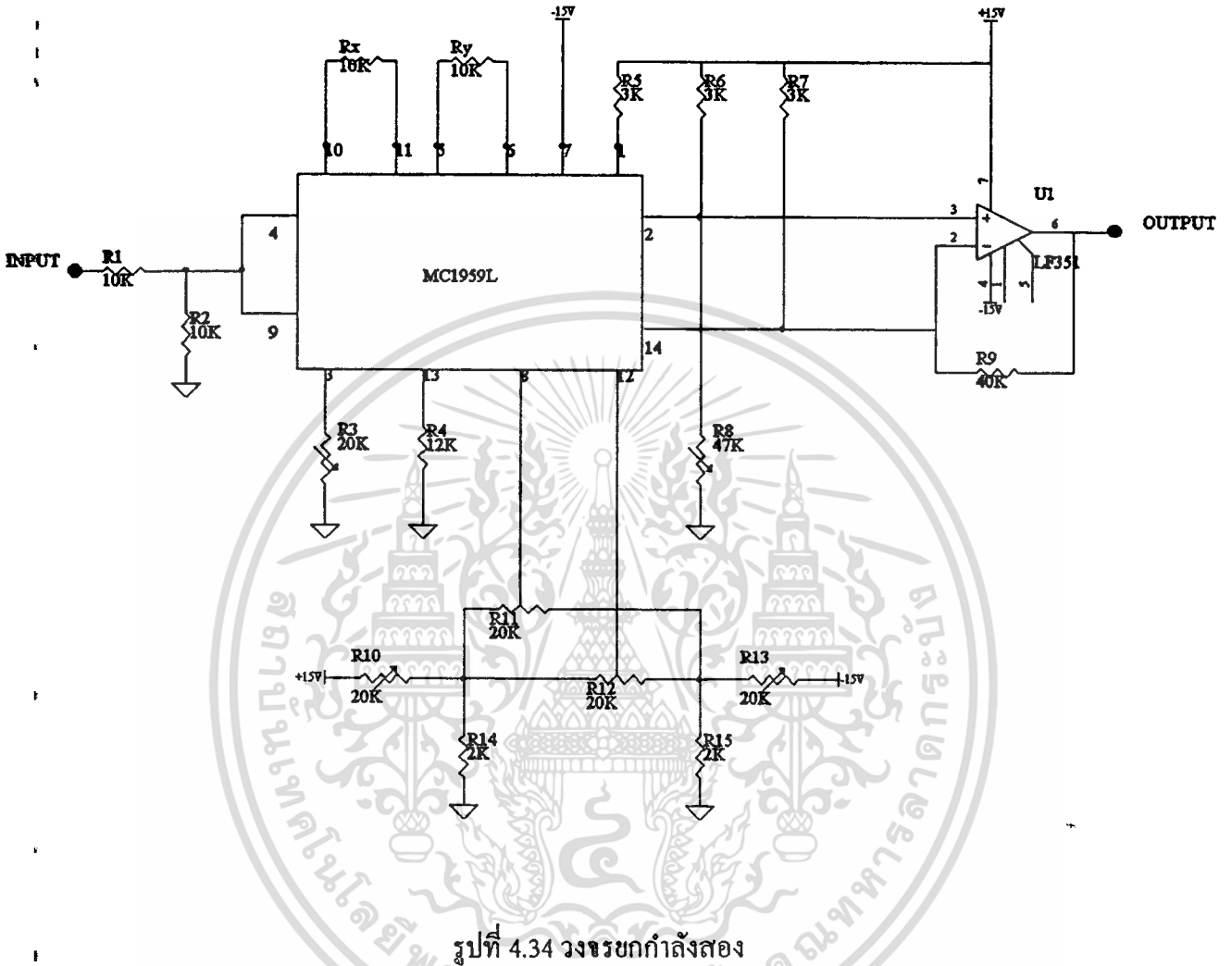
จะมีลักษณะคล้ายกับ Clock จึงสามารถผ่าน BPF แล้วต่อเข้า PLL ได้เลย

AMI

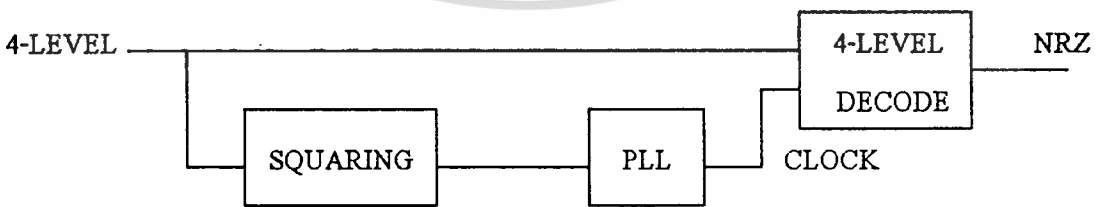
รูปที่ 4.33 Block Diagram ของวงจรถูก Clock จากสัญญาณ AMI

จะมีสัญญาณทางครึ่งลบด้วยต้องผ่านวงจรถกกำลังสองก่อน เพื่อให้เป็นขั้วทั้งหมดเมื่อผ่านวงจรถกกำลังสองแล้วจะมีลักษณะเป็นสัญญาณ RZ ดังนั้นจึงนำเข้า PLL ได้เลย  
วงจรถกกำลังสองที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



4-LEVEL



รูปที่ 4.35 Block Diagram ของวงจร Clock จากสัญญาณ 4-LEVEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีสัญญาณเครื่องลบเช่นกัน ดังนั้นจึงต้องผ่านวงจรยกกำลังสองก่อน เมื่อผ่านวงจรยกกำลังสองแล้วจะได้สัญญาณที่มีลักษณะคล้าย NRZ ดังนั้นจึงต้องนำสัญญาณไปผ่านวงจรแปลง NRZ เป็น RZ ก่อน แล้วนำไปผ่าน PLL ได้ Clock ออกมา

#### 4.4 วงจรแปลงดิจิทัลเป็นอนาล็อก (DAC)

ทุกวันนี้สัญญาณอนาล็อก กับสัญญาณดิจิทัลมักจะเป็นเพื่อนสนิทสามัคคีร่วมมือกันทำงาน อยู่ในเครื่องมือเครื่องใช้ต่าง ๆ เสมอ ไม่ต้องหันไปมองไกล นึกถึงเครื่องรับโทรศัพท์ที่บ้านของเรา ๆ ท่าน ๆ นั้นแหละ สัญญาณภาพสัญญาณเสียงที่ส่งมาหรือก็เป็นอนาล็อกแต่ระบบการเปลี่ยนช่องเป็นดิจิทัลทันสมัย

เครื่องมือบางชนิดนำดิจิทัลมาใช้เพียง เพื่อความสะดวกในการอ่านของมนุษย์ เช่น เทอร์โมมิเตอร์อิเล็กทรอนิกส์ทำให้ไม่ต้องเสียเวลาเพ่งพิศที่สเกลคราวละนาน ๆ แต่อุปกรณ์บางชนิดก็มีความจำเป็นที่ต้องใช้สัญญาณดิจิทัลมาแทนสัญญาณอนาล็อกในการทำงานบางอย่าง เช่น การส่งสัญญาณภาพหรือเสียงระยะไกล ทั้งโทรศัพท์ โทรสาร หรือการสื่อสารดาวเทียม ได้พยายามเอาระบบดิจิทัลเข้ามาช่วยทั้งสิ้น เพราะสัญญาณอนาล็อกมีจุดอ่อนตรงที่สัญญาณรบกวนเข้าไปแทรกซ้อนได้ง่าย ดังนั้นวงจรที่จะมีบทบาทมากขึ้นทุกที ๆ ก็เห็นจะได้แก่ วงจรแอนะล็อก (analog to digital converter : A/D) และวงจรดีทิวเอ (digital to analog converter : D/A) แบบใช้ตัวต้านทานหลายค่า (Binary Weighted Resistor D/A converter)

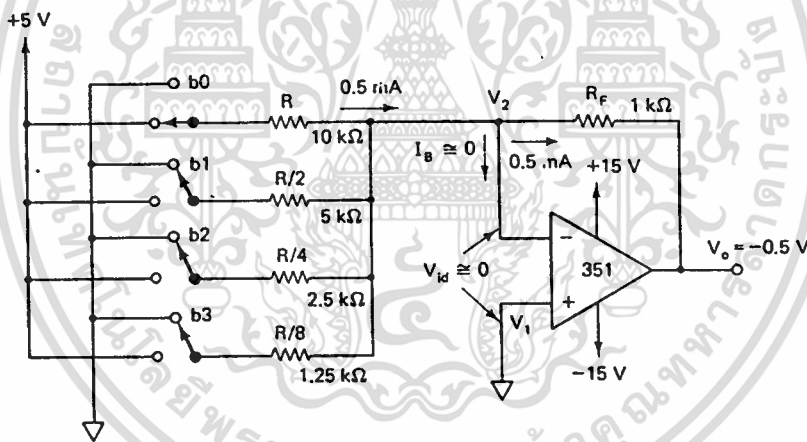
วงจรเปลี่ยนสัญญาณดีทิวเอชนิดนี้ใช้ตัวต้านทานต่าง ๆ และออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับเป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 4.36 แสดงวงจรเปลี่ยนสัญญาณดิจิทัลขนาด 4 บิต ออปแอมป์ที่ใช้มีอัตราขยายสูงมาก (โดยทั่วไปจะสูงกว่า 100,000 เท่า) มีความต้านทานเอาต์พุตค่าความต้านทานด้านอินพุตมีค่าสูงมาก สิ่งสำคัญที่สุดที่จะต้องตระหนักไว้ก็คือ สัญญาณที่เอาต์พุตถูกป้อนกลับมายังอินพุตแบบกลับเฟส (การป้อนกลับแบบลบ) เพื่อเปรียบเทียบกับสัญญาณที่ขาอินพุตแบบไม่กลับเฟส เอาต์พุตของออปแอมป์จะเป็นตัวจ่ายหรือรับกระแส (Source or sink) เพื่อให้แรงดันที่เปรียบเทียบกันนั้นมีค่าเดียวกัน วงจรในรูปที่ 4.36 ต่อขาไม่กลับเฟสลงกราวด์ ดังนั้นที่ขากลับเฟสก็จะมีแรงดัน 0 โวลต์ ด้วย โดยไม่ได้ต่อลงกราวด์โดยตรง จึงถูกเรียกว่า กราวด์เทียม (virtual ground)

มาดูกันตอนที่สวิตช์  $D_0$  ปิด ตัวต้านทาน  $R_1$  ค่า 100 กิโลโอห์ม จะมีแรงดัน 5 โวลต์ ที่ปลายข้างหนึ่ง อีกข้างหนึ่งเป็น 0 โวลต์ (กราวด์เทียม) จากกฎของโอห์มจะมีแรงดันตกคร่อม 5 โวลต์ ซึ่งให้กระแสไหลผ่าน 0.05 มิลลิแอมป์ กระแสนี้ไม่อาจเข้าไปยังอินพุตของออปแอมป์ได้ เนื่องจากออปแอมป์มีความต้านทานอินพุตสูงมาก และไม่สามารถส่งหรือรับกระแสมาก ๆ ได้ ดังนั้นกระแส 0.05 มิลลิแอมป์ จึงต้องไหลผ่านไปยังเอาต์พุตโดยผ่านตัวต้านทานป้อนกลับ  $R_f$  10 ไม่วารกนใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิโลโอห์ม จะได้แรงดันเอาต์พุตเท่ากับ  $(10 \text{ กิโลโอห์ม}) \times (-0.05 \text{ มิลลิแอมป์}) = -0.5 \text{ โวลต์}$  เพื่อรับกระแสผ่านสวิทช์  $D_0$  และรักษาสภาวะกราวด์เทียมไว้ แต่ถ้าหากยังสงสัยในภาวะกราวด์เทียมก็ลองวาดเป็นวงจรดิไวเดอร์ที่มีแรงดันข้างหนึ่ง  $+5 \text{ โวลต์}$  ตรงกลางเป็น  $0 \text{ โวลต์}$  และอีกปลายหนึ่งมีค่า  $-0.5 \text{ โวลต์}$

เมื่อเปิดวงจรที่สวิทช์  $D_0$  และปิดวงจรที่สวิทช์  $D_1$  (ขณะที่  $R_2$  มีค่าเป็นครึ่งหนึ่งของ  $R_1$ ) กระแสเพิ่มเป็น 2 เท่า หรือ  $0.1 \text{ มิลลิแอมป์}$  ไหลผ่าน  $R_F$  กราวด์เทียมและ  $R_2$  ทำให้มีแรงดันเอาต์พุต  $-1 \text{ โวลต์}$  ต่อไปอีกก็ปิดวงจรทั้งที่  $D_0$  และ  $D_1$  จะได้กระแส  $0.05 \text{ มิลลิแอมป์}$  ได้แรงดันเอาต์พุต  $-1.5 \text{ โวลต์}$  เมื่อเปลี่ยนการปิดเปิดสวิทช์ไปเรื่อย ๆ จะได้แรงดันเอาต์พุตค่าต่าง ๆ กัน กระแสที่ผ่านสวิทช์แต่ละตัวจะถูกรวมกันที่จุดกราวด์เทียมแล้วเปลี่ยนเป็นแรงดันที่เอาต์พุต โดยตัวต้านทานป้อนกลับ  $R_F$

แรงดันเอาต์พุตจะเพิ่มขึ้นเป็นระดับ ๆ เหมือนขั้นบันได ดังนั้น 4 บิต จึงได้ 15 ระดับ แต่ละระดับต่างกัน  $-0.5 \text{ โวลต์}$  อาจกำหนดระยะห่างของแต่ละระดับได้โดยเปลี่ยนขนาดของ  $R_F$  แต่ถ้า  $R_F$  มีค่ามากเกินไประดับบนสุดจะขยับอป-แอมป์ ถึงจุดอิ่มตัว (ที่แรงดัน  $-14 \text{ โวลต์}$ )



รูปที่ 4.36 วงจรดิฟิวเอแบบใช้ตัวต้านทานหลายค่า

แบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อวงจรดิฟิวเอมีขนาดมากกว่า 4 บิต วงจรตามรูปที่ 4.36 จะเกิดปัญหาเนื่องจากการค่าความต้านทานที่มีช่วงกว้างมาก วิธีที่ใช้หลักการไบนารีเวดเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า แสดงในรูปที่ 2 ก. ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยขยับแอมป์และตัวต้านทานป้อนกลับ  $R_F$  เหมือนวงจรในรูปที่ 1 วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า สังเกตให้ดี หลักการความต้านทาน 2 ค่า ดูไปก็คล้ายกับกฎของ เคียร์โฮฟ เพียงแต่ค่าความต้านทานที่ใช้เป็นอัตราส่วนที่ทำให้คำนวณได้ง่าย แรกเลขสมมติว่าสวิทช์  $D_3$  ซึ่งเป็นสวิทช์ในบิตที่มีนัยสำคัญสูงสูดนั้นคือไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับแรงดันอ้างอิง 5 โวลต์ ในขณะที่สวิตช์ตัวอื่นปิดลงกราวด์ ดังนั้น  $R_1$  และ  $R_2$  จึงต่อขนานกันลงกับ  $2R$  อีกตัวหนึ่งจึงมีค่าเท่ากับ  $R$  ค่า  $R$  นี้จะถูกบวกกับ  $R_4$  กลายเป็นค่า  $2R$  แล้วขนานกันกับ  $R_3$  ลงกราวด์ การรวมของ  $R_3$  และตัวต้านทานก่อนหน้าจึงทำให้เหลือเพียงค่า  $R$  ต่ออนุกรมกับ  $R_6$  พิจารณาเช่นเดียวกันกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรง่ายขึ้น ดังรูปที่ 4.37

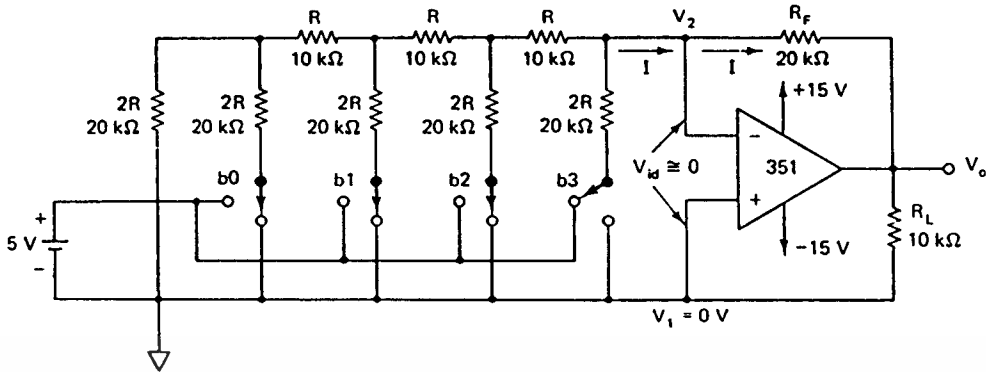
โดยเหตุที่กราวด์เทียบของออปแอมป์มีแรงดัน 0 โวลต์ ทำให้ไม่มีกระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลต์ ที่ปลายข้างหนึ่งของ  $R_7$  ค่า 20 กิโลโอห์ม ทำให้มีกระแส 0.25 มิลลิแอมป์ ผ่านที่จุดต่อและผ่าน  $R_F$  20 กิโลโอห์ม แรงดันเอาต์พุตที่ได้จากบิตที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลต์ แรงดันที่ได้จากบิตที่มีนัยสำคัญรองลงมาทำได้โดยปิดสวิตช์  $D_2$  ไปยัง +5 โวลต์ และ  $D_3$  ลงกราวด์ ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ  $R_5$  ในรูปที่ 4.37 ลดรูปลงเหลือเพียง  $2R$  ต่อลงกราวด์ การวิเคราะห์วงจรสามารถนำทฤษฎีของเทวินินมาใช้ได้ โดยมีการแบ่งแรงดันระหว่าง  $R_5$  และ  $2R$  ที่ต่อลงกราวด์ ดังรูป 4.21 แรงดันของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลต์ ตัวต้านทานเทวินิน มีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน (หรือ  $R$ ) อุปกรณ์ที่อยู่ทางด้านซ้ายของ  $R_6$  สามารถลดรูปได้เหลือค่า  $R$  ต่อกับ 2.5 โวลต์ เราสามารถละทิ้ง  $R_7$  ได้เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม (จุดกราวด์เทียบ) และแรงดันเทวินินคือ  $2R$  หรือ 20 กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลต์ หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน  $R_F$  20 กิโลโอห์ม ทำให้เกิดแรงดันเอาต์พุต -2.5 โวลต์ (สำหรับบิตที่มีนัยสำคัญถัดมา)

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้สามารถหาแรงดันเอาต์พุตที่บิตต่ำลงมาอีกได้ 1.25 โวลต์ และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลต์ ในขณะที่ค่าดิจิตอลสูงสุด (สวิตช์ทุกตัวต่อไปที่ +5 โวลต์) ได้เอาต์พุตเต็มสเกลคือ 9.375 โวลต์ แม้ว่าคิหูเอ คอนเวอร์เตอร์ แบบ  $R/2R$  แลคเคอร์จะวิเคราะห์ยากกว่าแบบใช้ตัวต้านทานหลายค่า (Weighted resistor) แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น จำนวนบิตก็เพิ่มได้โดยเพิ่มส่วนของ  $R/2R$  ลงไป วงจรนับ 4 บิต ที่เป็น TTL หรือ CMOS อาจนำมาต่อแทนตำแหน่งของสวิตช์ในวงจรรูป 4.37 เพื่อให้แรงดันเอาต์พุตเป็นขั้นบันไดได้

#### แบบใช้ไอซี (Monolithic and hybrid D/A converters)

โมโนลิทิก (Monolithic) หมายถึง “หินก้อนเดียว” เมื่อนำมาใช้ในวงจรรวมจะเป็นการซับซ้อนกว่าวงจร ๆ หนึ่งถูกบรรจุอยู่บนสารกึ่งตัวนำเพียงชิ้นเดียว ส่วนไฮบริด (hybrid) บรรจุสารกึ่งตัวนำที่เรียกว่า ชิพ (chip) เพียงชิ้นเดียวหรือมากกว่า มีตัวต้านทานหรือตัวประกอบวงจรอื่น ๆ อยู่ในกรอบของไอซีตัวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.37 วงจรเปลี่ยนสัญญาณแบบ R/2R แลคเตอร์

ตัวอย่างวงจรเปลี่ยนสัญญาณดิจิทัลอนาล็อกขนาด 8 บิต คือ MC1408 ซึ่งมีผังการทำงาน ดังแสดงในรูปที่ 4.38 1408L เป็น DIP (Dual Inline Package) 16 ขา ใช้  $V_{CC} + 5$  โวลต์ และ  $V_{EE}$  จาก -5 โวลต์ (ต่ำสุด) ถึง -15 โวลต์ (สูงสุด) ใน 1408L R/2R แลคเตอร์ แบ่งกระแสที่ได้จากภาคขยายเป็น 8 ระดับขึ้นอยู่กับค่าทางเลขฐานสอง (binary) ทราานซิสเตอร์แบบไบโพลาร์จะสวิทช์ให้กระแสที่ได้สอดคล้องกับอินพุท  $A_1$  ถึง  $A_8$  การเรียงจากบิตที่มีนัยสำคัญสูงสุดถึงบิตที่มีนัยสำคัญต่ำสุดจะกลับกันกับของวงจรนับทั่ว ๆ ไป แต่วงจรเปลี่ยนสัญญาณดิจิทัลเป็นอนาล็อกบางตัวก็จะไม่ได้เรียงอย่างนี้ ดังนั้นควรอ่านคู่มืออย่างละเอียดถี่ถ้วนเสียก่อน 1408L มีกระแสเอาท์พุทที่สามารถเปลี่ยนเป็นแรงดันได้ด้วยออป-แอมป์ และตัวต้านทานดังแสดงในรูป 4.38 แรงดันนี้สามารถคำนวณโดยใช้สูตร

$$V_{out} = \frac{V_{REF}}{R_{14}} \times R_0 \left( \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right) \quad (4.21)$$

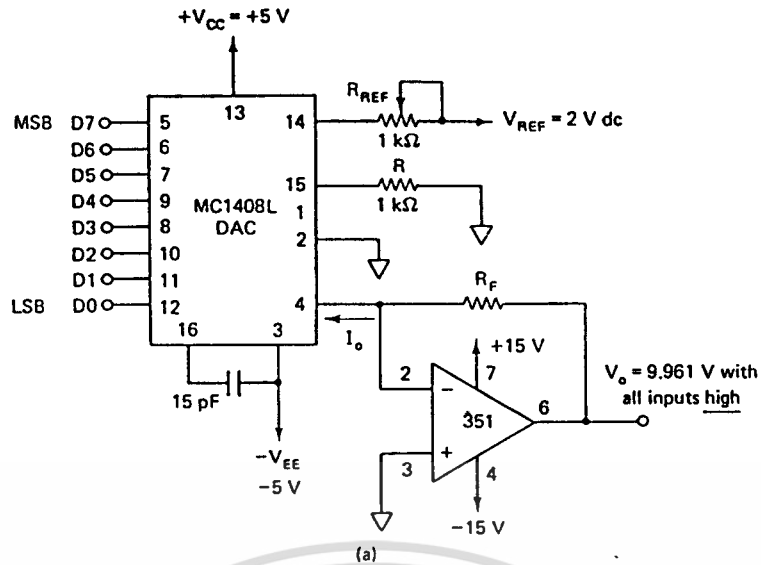
จากค่าที่เลือกไว้ ได้แรงดันเอาท์พุทเต็มสเกล (อินพุท  $A_1$  ถึง  $A_8$  เป็น "1") คือ

$$2 \text{ โวลต์} \times \frac{5K\Omega}{1K\Omega} \times \frac{256}{256}$$

ซึ่งเราถือว่าเป็นวงจรสัญญาณแบบ 10 โวลต์ เต็มสเกล

ตัวอย่างการนำไปใช้งานของ 1408L เช่น วงจรกำเนิดเสียง โดยรูปคลื่นเอาท์พุทของวงจรนับ 8 บิต สามารถนำมาต่อกับอินพุทของดิจิทัล เมื่อวงจรนับดิจิทัลคอนเวอร์เตอร์ก็จะให้รูปคลื่นรูปสามเหลี่ยมทางเอาท์พุท ซึ่งประกอบขึ้นด้วยขั้นบันไดเล็ก ๆ ถึง 255 ขั้น ความถี่เอาท์พุทเท่ากับ ความถี่ของสัญญาณนาฬิกาทางอินพุท หากด้วย 256 คลื่นรูปอื่น ๆ ก็อาจทำได้โดยต่อดิจิทัลกับเอาท์พุทของหน่วยความจำ ROM หรือ RAM แบบ 8 บิต หน่วยความจำได้ถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.38 วงจรดีทิวเอ MC1408 ของโมโตโรลา

โปรแกรมด้วยค่าเลขฐานสองค่าต่าง ๆ ดังนั้นเสียงที่ได้จะมีความหลากหลาย ฟังดูแปลกหู หรืออาจโปรแกรมเสียงตามที่ต้องการก็ได้ข้อจำกัดของเสียงที่ออกมาที่ขึ้นอยู่กับจินตนาการของผู้ที่โปรแกรม, จำนวนหน่วยความจำ และความสามารถในการโปรแกรมเอง

ลักษณะสมบัติของดีทิวเอ

ลักษณะสมบัติอันแรกของการแปลงสัญญาณดิจิตอลเป็นอนาล็อกที่จะพูดถึงก็คือ ความละเอียด (resolution) ซึ่งขึ้นกับจำนวนของบิตทางด้านอินพุตตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิต มีระดับเอาต์พุต  $2^8$  หรือ 256 ระดับ ดังนั้นความละเอียดคือ 1 ใน 256 วงจร เปลี่ยนสัญญาณ 12 บิต มีความละเอียด  $2^{12}$  หรือ 4096 ความละเอียดบางครั้งจะคิดเป็นเปอร์เซ็นต์คือ  $1/4096 = 0.024\%$

ลักษณะสมบัติข้อต่อมาคือ ความถูกต้อง (accuracy) ของดีทิวเอ ความถูกต้องจากการเปรียบเทียบระหว่างเอาต์พุตจริงและเอาต์พุตที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาต์พุตเต็มสเกล 10 โวลต์ มีความถูกต้อง  $\pm 0.2\%$  ดังนั้นความผิดพลาดสูงสุดคือ 0.002 10 โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อกไม่ควรต่ำกว่า  $\pm 1/2$  ของค่าที่ LSB (บิตที่มีนัยสำคัญต่ำสุด) วงจรเปลี่ยนสัญญาณ 10 บิต มีความละเอียด 1/1024 หรือประมาณ 0.1% ความถูกต้องควรมีค่า  $\pm 0.05\%$  ความผิดพลาดอาจเกิดขึ้นได้หลายประการ ในรูปที่ 4.39 แสดงไว้ 3 แบบ ดังนี้คือ

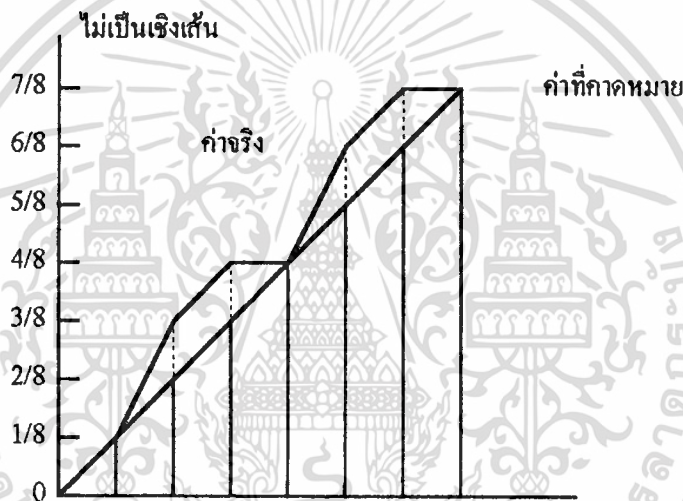
ความผิดพลาดเชิงเส้น (Linearity errors) ค่าจริงที่ได้จากเอาต์พุตจริงต่างจากเอาต์พุตตามทฤษฎีที่ควรจะเป็นเส้นตรง ความผิดพลาดนี้มักจะมาจากความผิดพลาดจากแหล่งจ่ายกระแสหรือค่าความต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

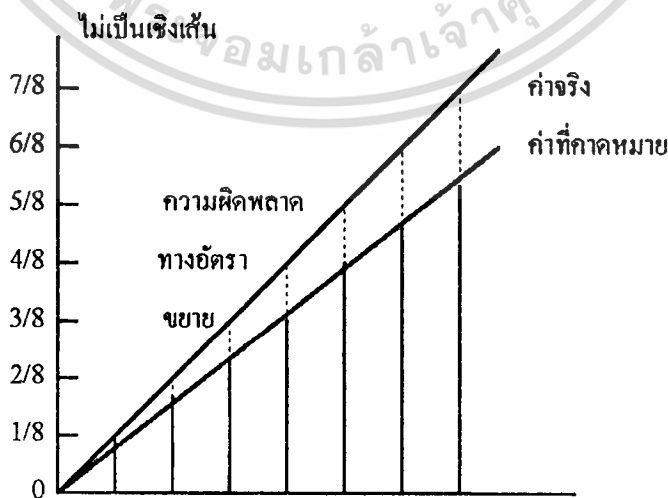
ความผิดพลาดทางอัตราขยาย (gain error) ความผิดพลาดนี้มักเกิดจากความผิดพลาดของตัวต้านทานป้อนกลับของออปแอมป์ที่ทำหน้าที่เปลี่ยนจากกระแสเป็นแรงดัน

ความผิดพลาดออฟเซตหรือ (offset error) คือ เมื่ออินพุตทุกตัวเป็นศูนย์แล้วเอาต์พุตไม่เป็นศูนย์ทำให้เอาต์พุตมีค่าแรงดันผิดพลาดค่าหนึ่งบวกกับค่าจริงอยู่ตลอดเวลา ดังในรูปที่ 4.39 ความผิดพลาดนี้เกิดจากความผิดพลาดของการขยายของออปแอมป์ และกระแสรั่วไหลที่การสวิตช์

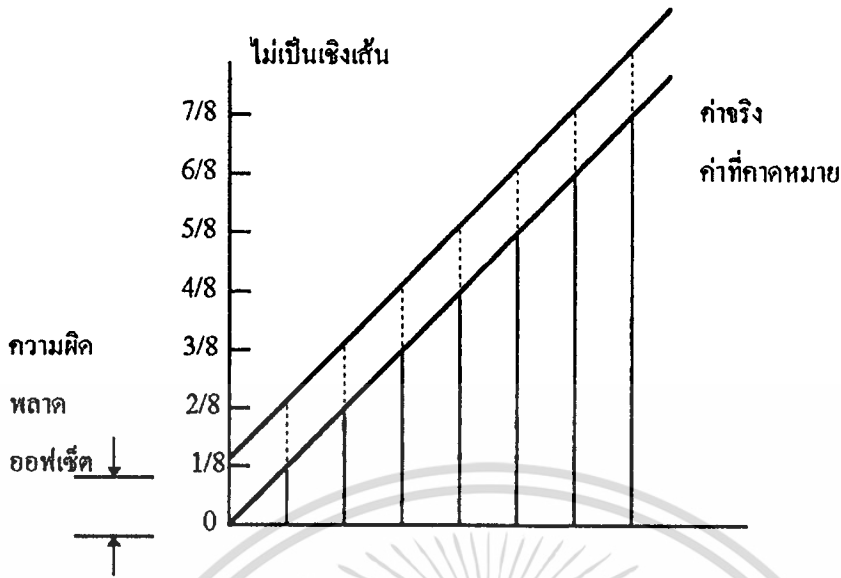
ลักษณะสมบัติต่อมาคือ โมโนโทนิค (monotonicity) จะเรียกว่าเป็นโมโนโทนิคก็ต่อเมื่อไม่มีการกระโดดข้ามขั้นตลอดช่วงการใช้งานส่วนเวลาเซตเอาต์พุต (output setting time) เป็นเวลาที่เอาต์พุตของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มขึ้นถึง  $\pm 1/2$  ของ LSB หลังจากมีการเปลี่ยนแปลงทางอินพุต ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่านความถี่สูงอาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง



(ก)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ (จ) ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

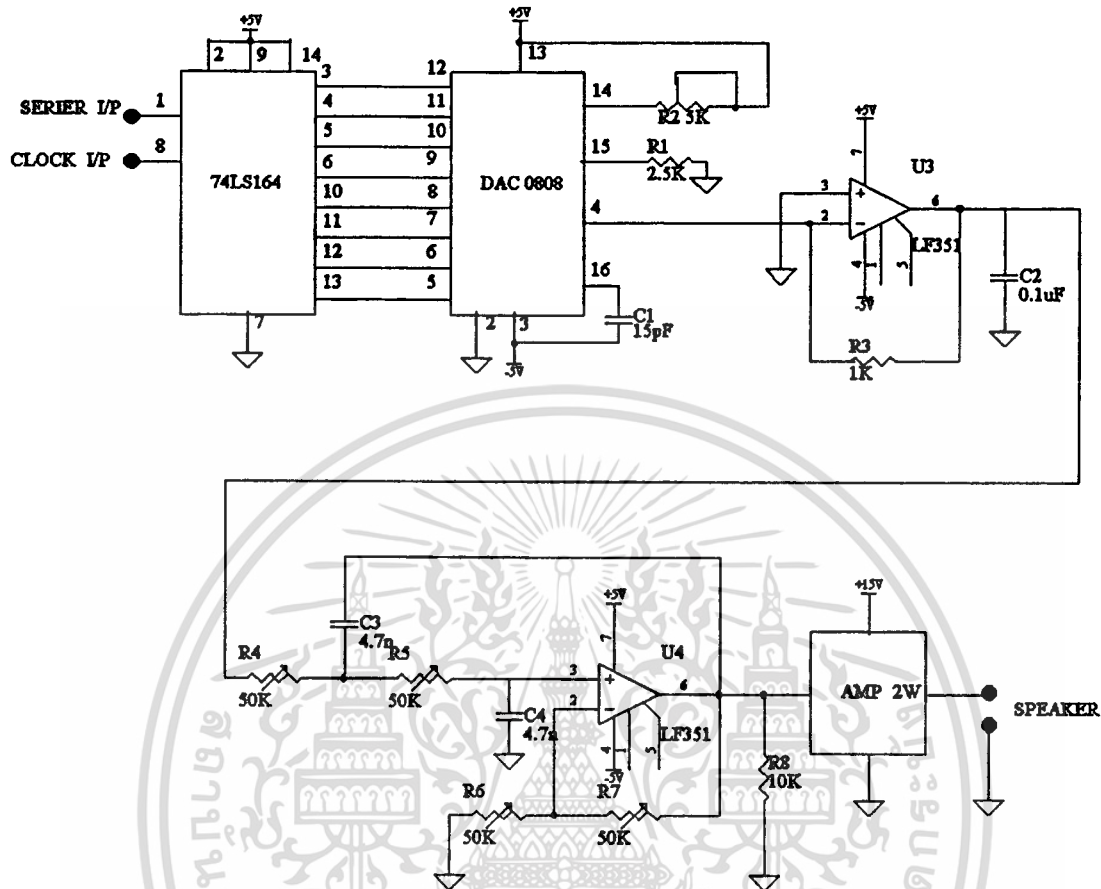
รูปที่ 4.39 ความผิดพลาดที่เกิดขึ้นในการเปลี่ยนสัญญาณ

- ก. เชิงเส้น
- ข. อัตราขยาย
- ค. ออฟเซต

การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

สัญญาณดิจิทัลเมื่อเข้ารหัส และถูกส่งมาในสายโทรศัพท์ในแบบอนุกรมทางภาครับเมื่อรับสัญญาณ และทำการถอดรหัสสัญญาณที่ถูกถอดรหัสดังนั้นจะต้องมาเข้าวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกก่อนเข้าวงจรขยายสัญญาณเสียงผ่านลำโพง ให้เราได้ยินเสียงที่พูดส่งมาทางด้านภาคส่งสัญญาณดิจิทัลที่ผ่านวงจรถอดรหัสดังแล้ว ผ่านมาเข้าไอซี 74LS164 ที่ขา 1 ไอซี 74LS164 เป็นไอซีทำหน้าที่แปลงสัญญาณดิจิทัลแบบอนุกรมให้เป็นสัญญาณดิจิทัลแบบขนาน ผ่านมาเข้าไอซี DAC0808 ทำหน้าที่แปลงสัญญาณดิจิทัลในแบบขนาน ให้เป็นสัญญาณอนาล็อก ที่ขา 4 ของไอซีสัญญาณอนาล็อกที่ได้จากการแปลงแล้ว นำมาเข้าวงจรกรองสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



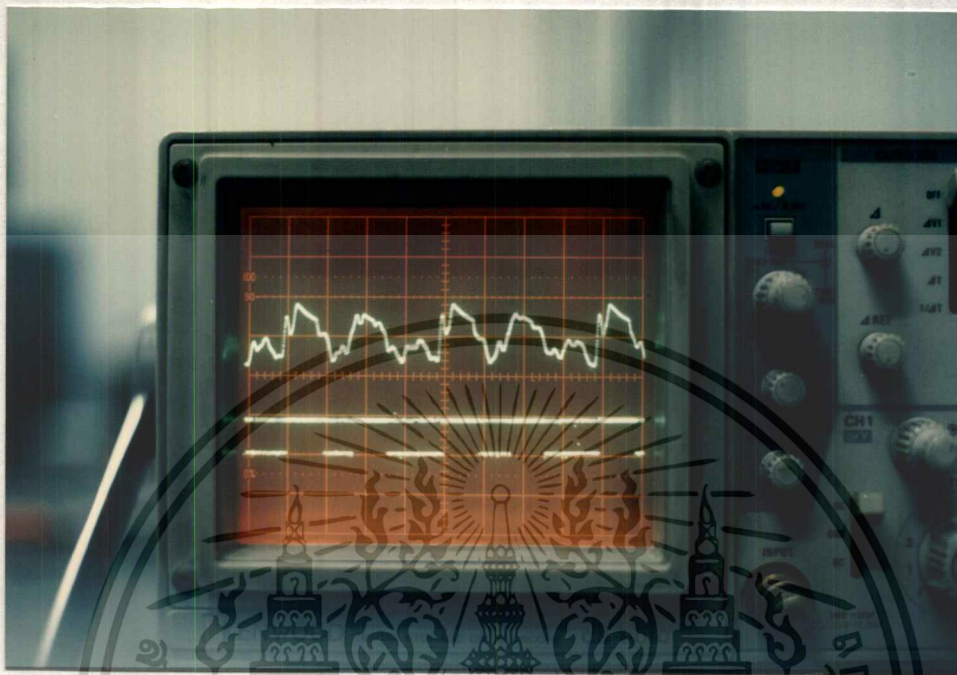
รูปที่ 4.40 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกวงจรกรองสัญญาณรบกวน และวงจรขยายเสียง

ซึ่งก็เป็นวงจร Low - pass Butterworth Filter second - order ตั้งความถี่ Cutoff ของวงจรไว้ที่ 2 kHz โดยการปรับความต้านทาน  $R_1, R_2$  ให้ได้ค่าประมาณ 8 k $\Omega$  และ  $C_1, C_2$  ให้ค่าประมาณ 4.7 nF สัญญาณอนาล็อกเมื่อผ่านวงจรกรองสัญญาณรบกวนจะไปผ่านวงจรขยายเสียงใช้ไอซี LM 380 N ให้เอาท์พุทสัญญาณประมาณ 2 วัตต์ ก่อนส่งผ่านเข้าลำโพงออกมาเป็นเสียงออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

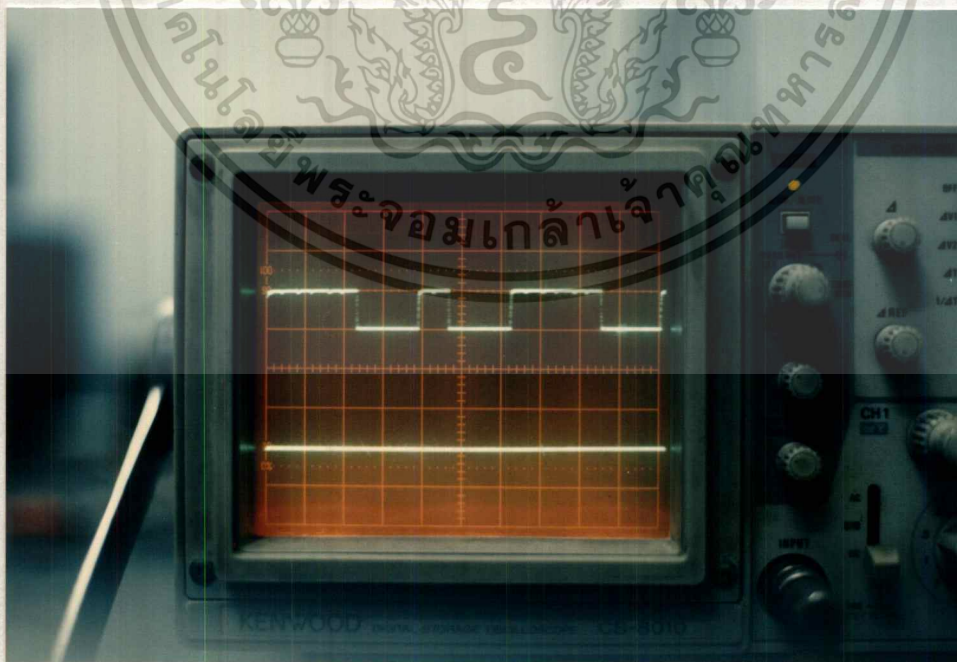
บทที่ 5  
ผลการดำเนินงาน

สเกล 5 V/div, 20uS

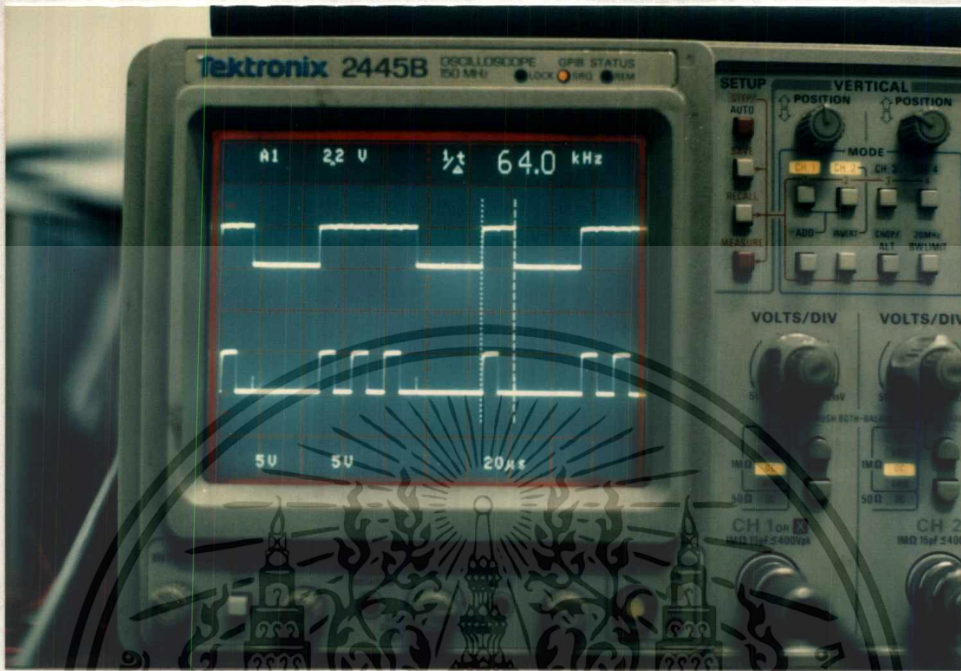


รูปที่ 5.1 สัญญาณเสียงแปลงเป็นสัญญาณดิจิทัล

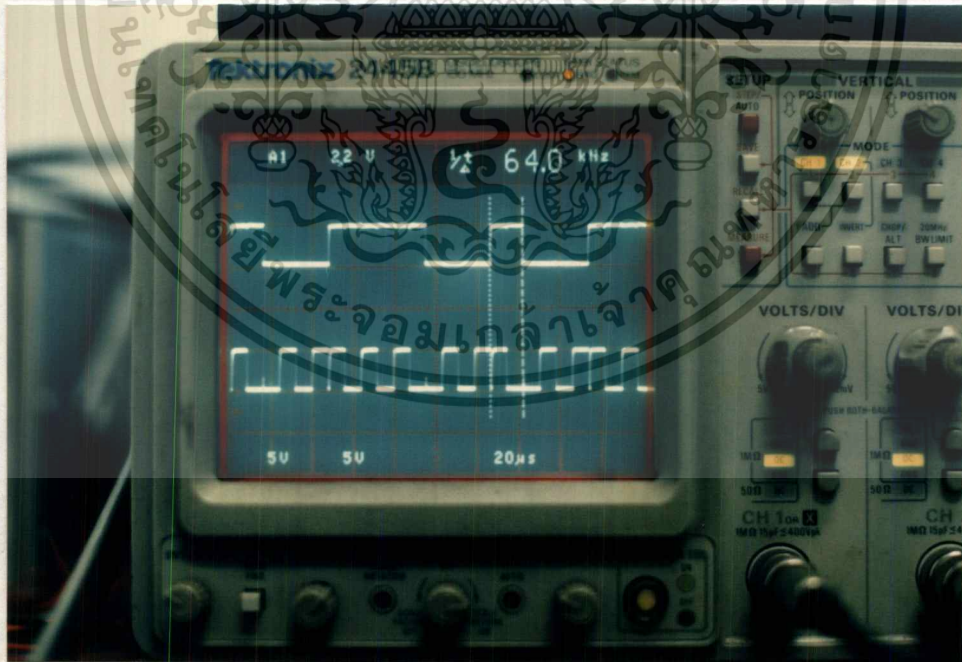
สเกล 5 V/div, 20uS



เอกสารนี้เป็นเอกสารที่รูปที่ 5.2 สัญญาณข้อมูล PRBS เป็นสัญญาณ Unipolar NRZ ไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

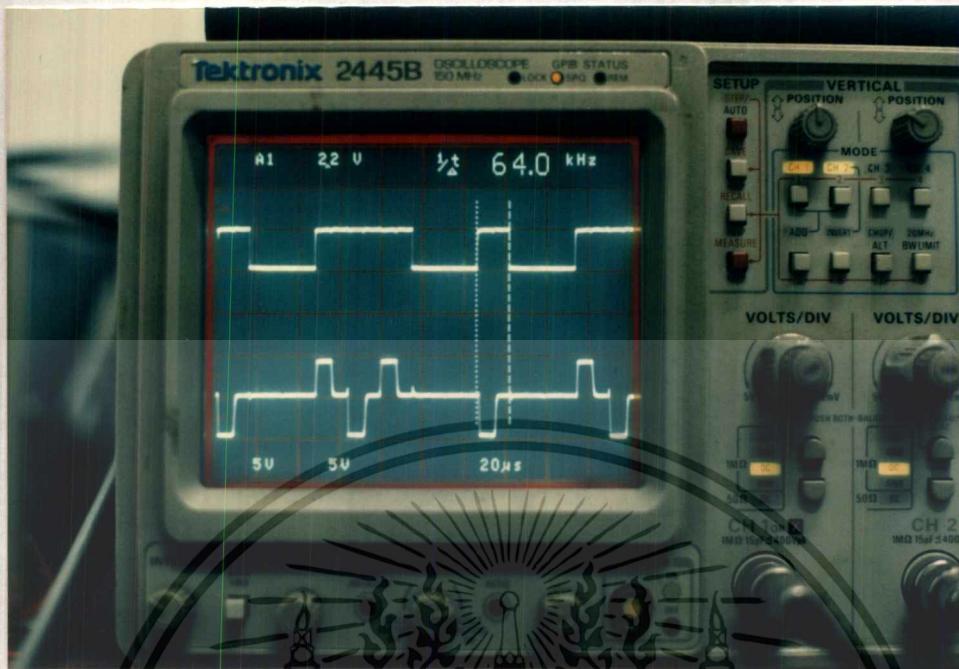


รูปที่ 5.3 สัญญาณ Unipolar NRZ เข้รหัสเป็นสัญญาณ Unipolar RZ



รูปที่ 5.4 สัญญาณ Unipolar NRZ เข้รหัสเป็นสัญญาณ Biphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

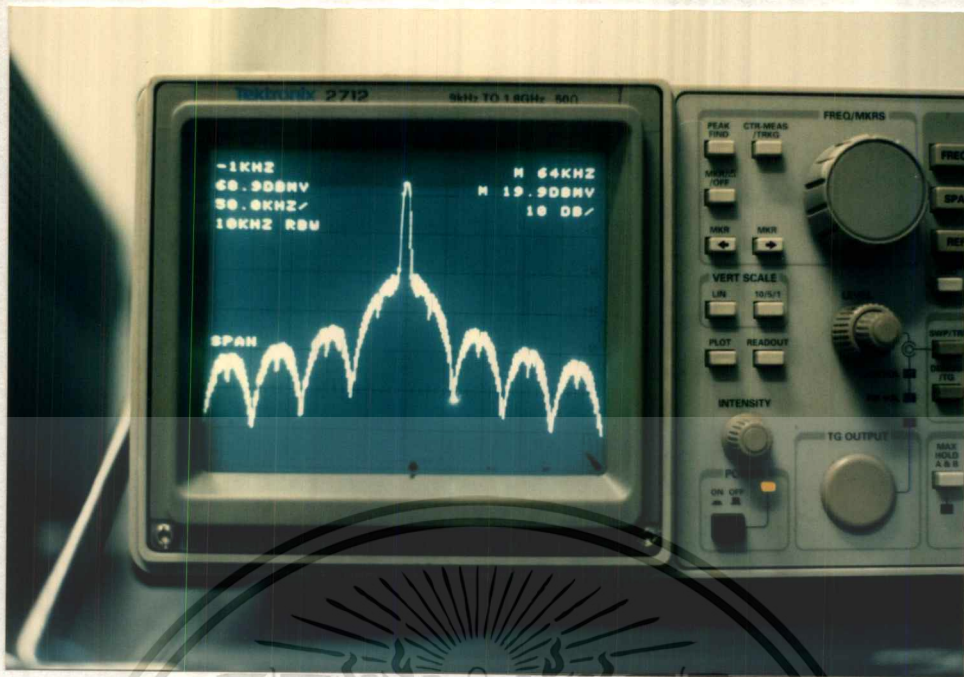


รูปที่ 5.5 สัญญาณ Unipolar NRZ เข้รห้สเป็นสัญญาณ Bipolar RZ (AMI)

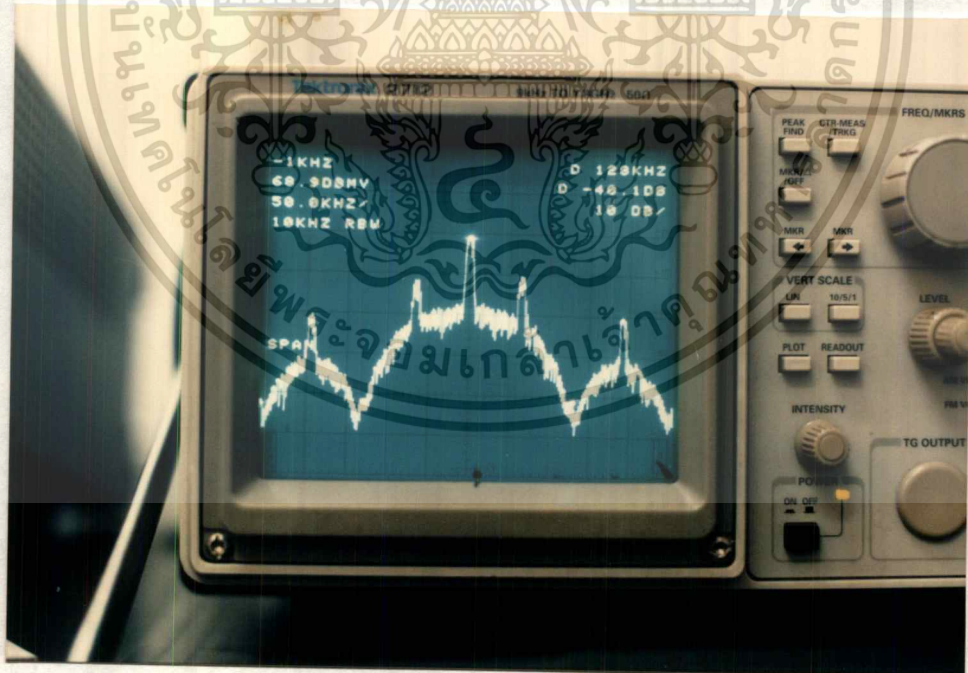


รูปที่ 5.6 สัญญาณ Unipolar NRZ เข้รห้สเป็นสัญญาณ 4-LEVEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

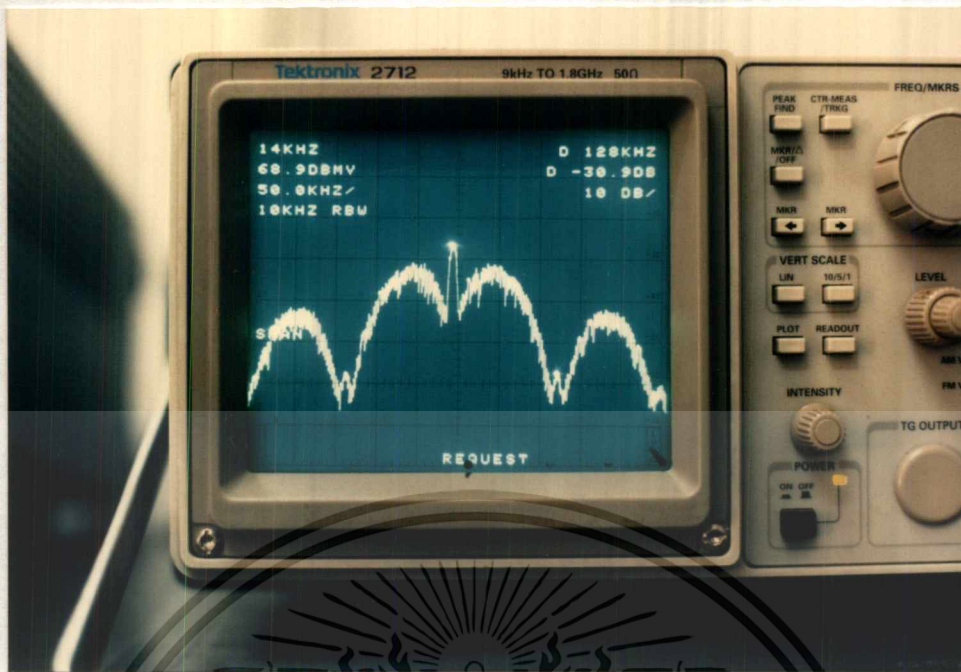


รูปที่ 5.7 สเปกตรัมของสัญญาณ Unipolar NRZ

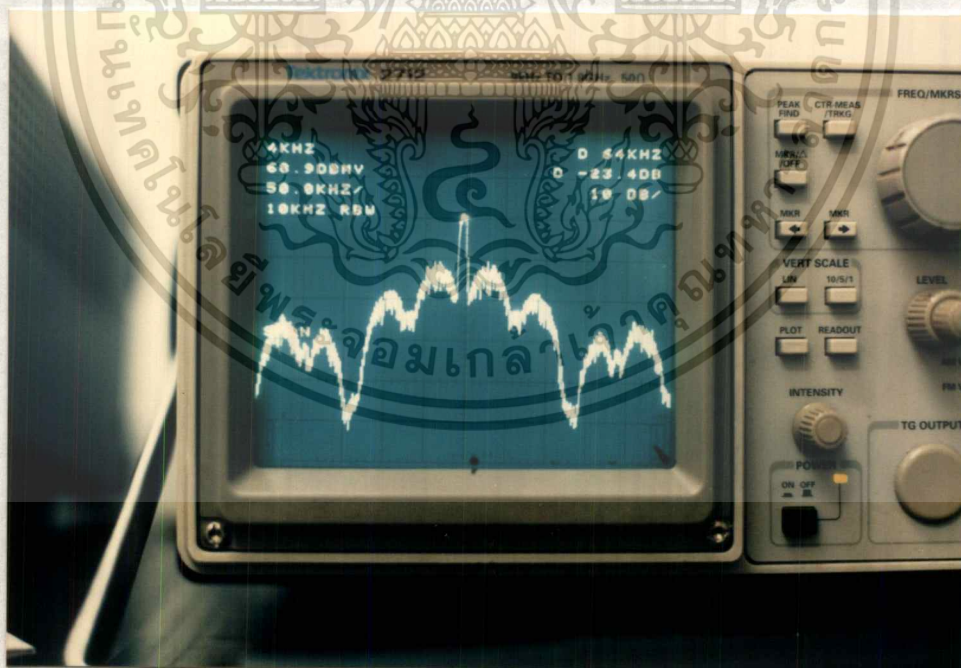


รูปที่ 5.8 สเปกตรัมของสัญญาณ Unipolar RZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

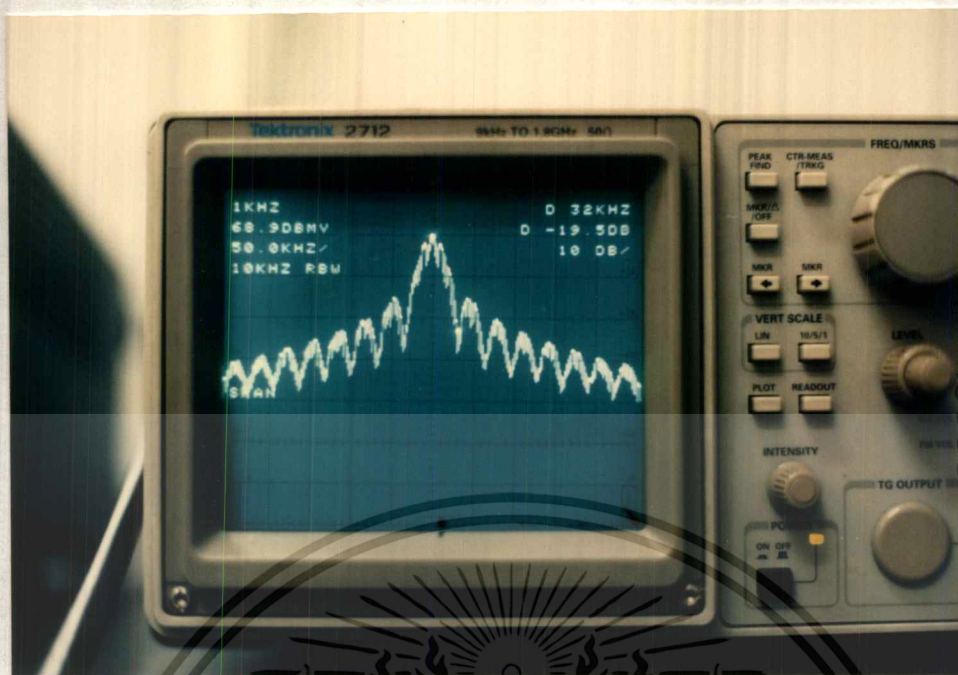


รูปที่ 5.9 สเปกตรัมของสัญญาณ Biphase

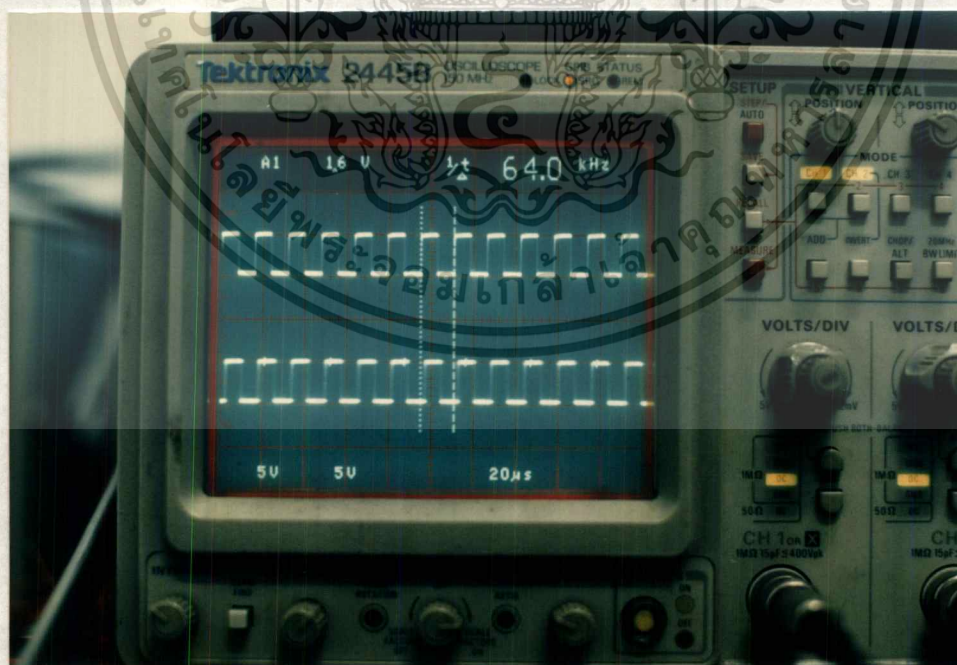


รูปที่ 5.10 สเปกตรัมของสัญญาณ Bipolar RZ (AMI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

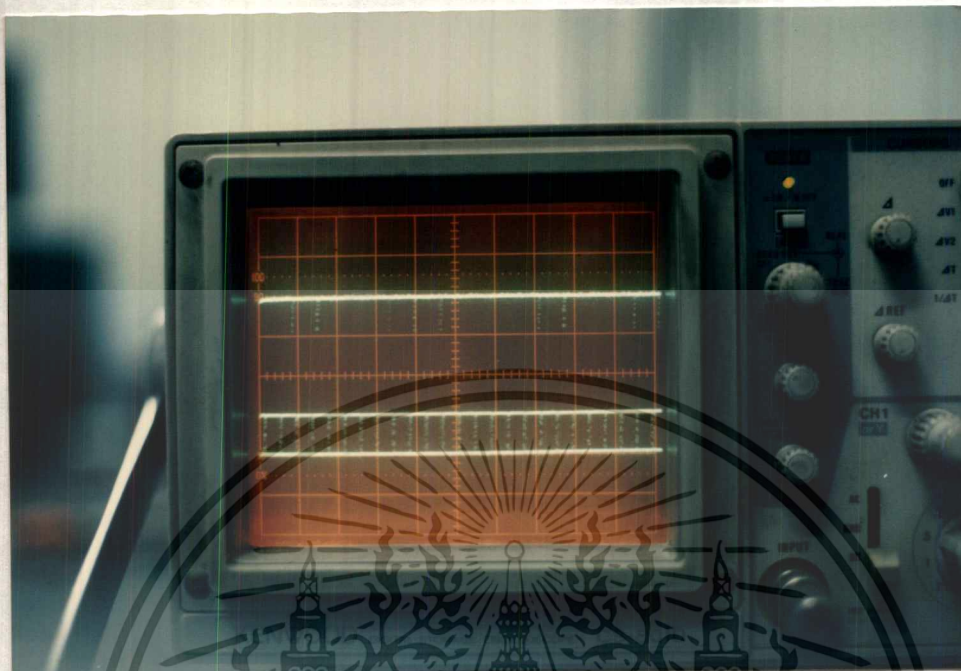


รูปที่ 5.11 สเปกตรัมของสัญญาณ 4-LEVEL

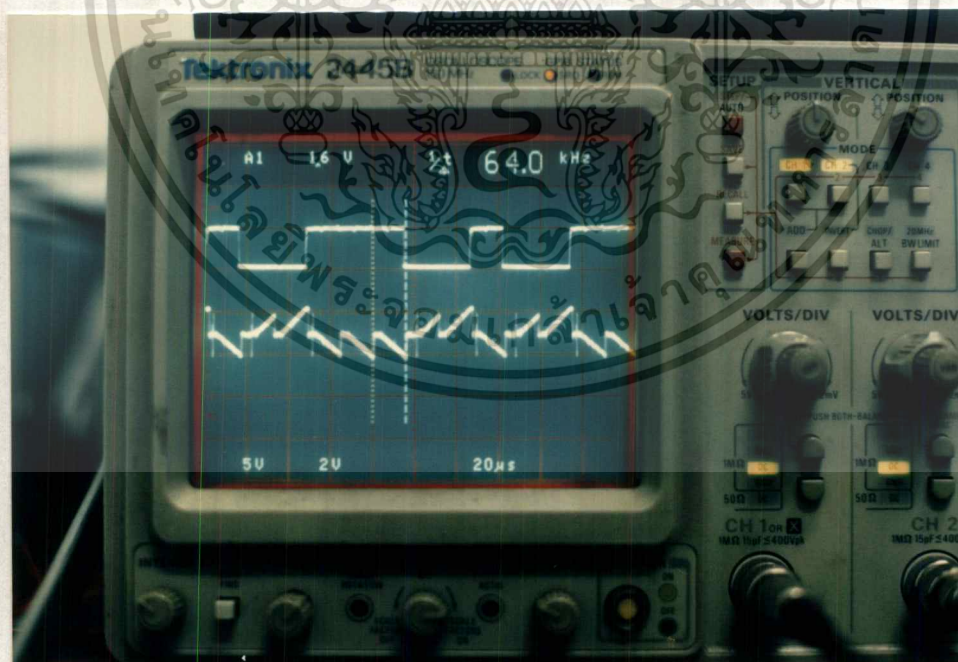


รูปที่ 5.12 สัญญาณนาฬิกาที่กู้ได้ทางด้านภาครับเทียบกับภาคส่งของสัญญาณ 4-LEVEL เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๓๓๓ 5 V/div, 20 $\mu$ S



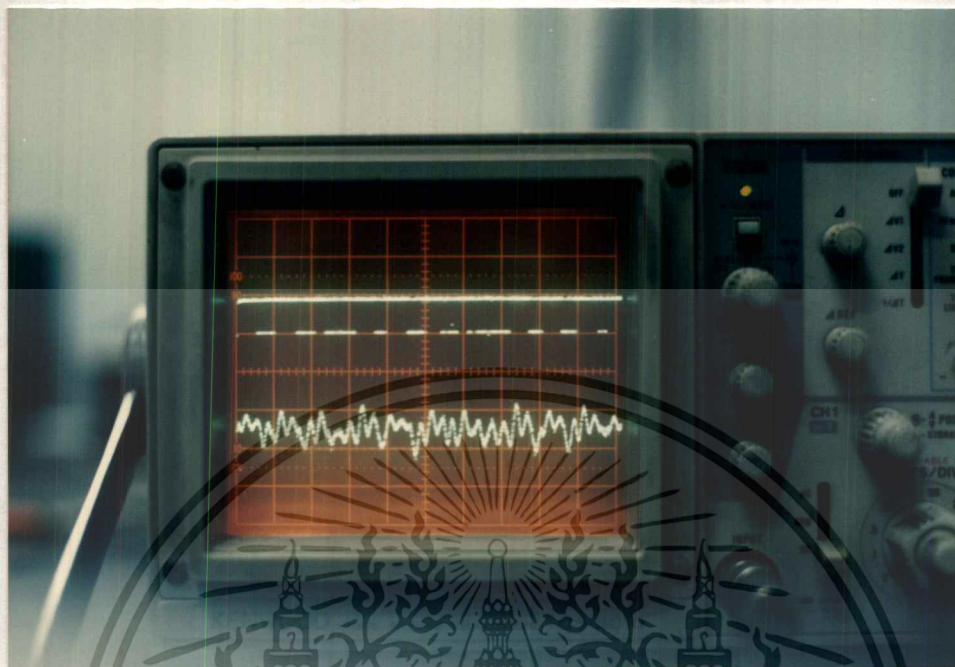
รูปที่ 5.13 ข้อมูลเป็น "1" ติดกันยาว ๆ ทำให้สัญญาณนาฬิกาเกิดการล้นตู้ไม่ได้



รูปที่ 5.14 สัญญาณอินทิเกรตและคัมพัททางด้านภากรับ

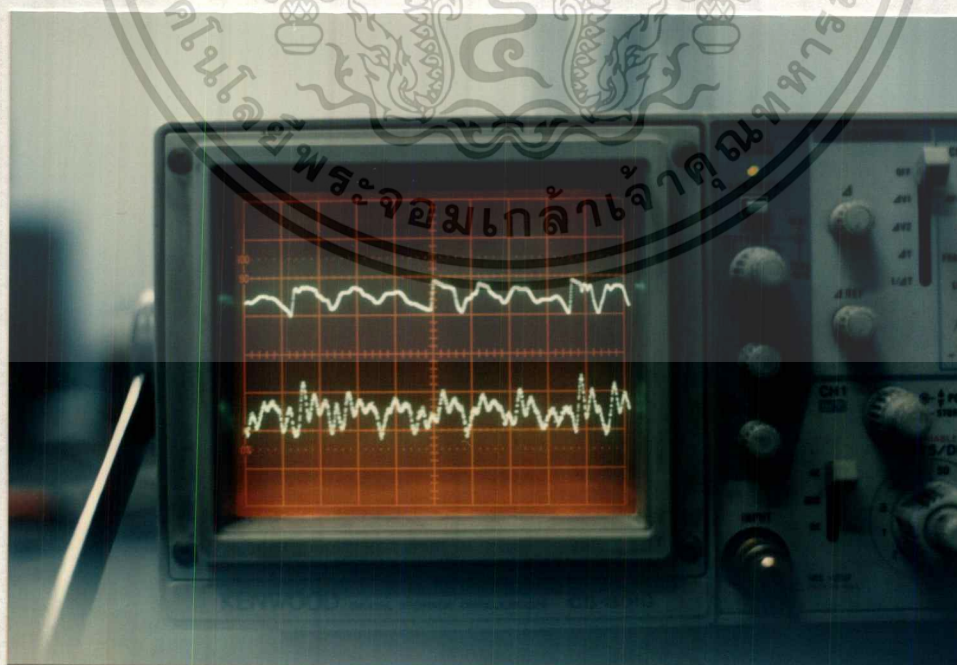
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเกล 5 V/div, 20uS



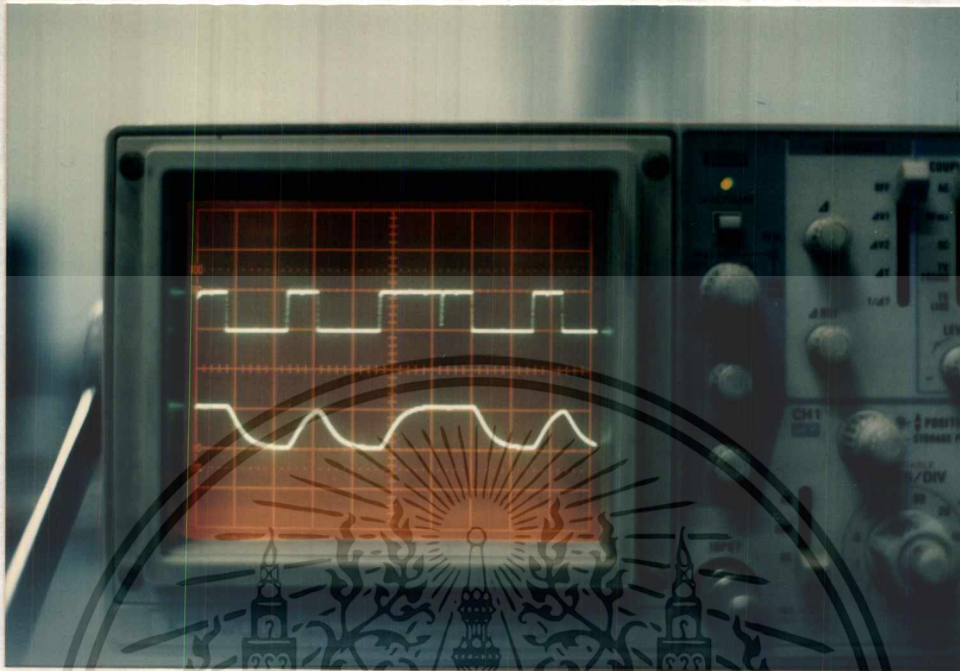
รูปที่ 5.15 สัญญาณดิจิทัลแปลงกลับเป็นสัญญาณเสียงทางด้านภาครับ

สเกล 5 V/div, 20uS



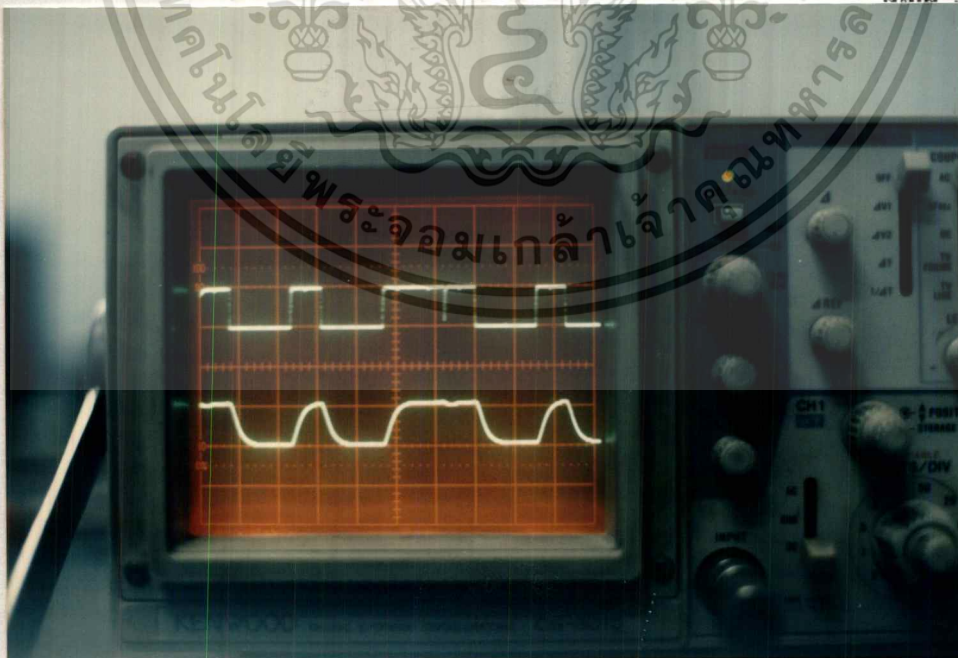
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 5.16 สัญญาณเสียงทางด้านภาครับเทียบกับภาครับ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตรา 5 V/div, 20uS



รูปที่ 5.17 สัญญาณ Unipolar NRZ ส่งผ่าน Channel Low-pass Filter  
Cut-off Frequency 32 kHz

อัตรา 5 V/div, 20uS

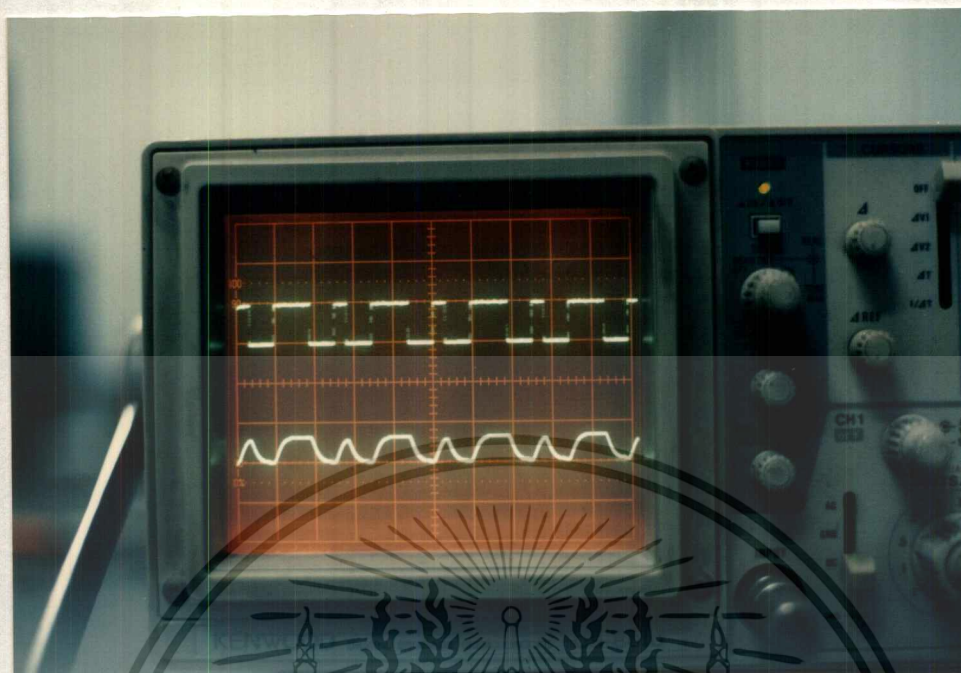


รูปที่ 5.18 สัญญาณ Unipolar NRZ ส่งผ่าน Channel Low-pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
Cut-off Frequency 64 kHz

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๓๓๓ 5 V/div, 20uS



รูปที่ 5.17 สัญญาณ Unipolar RZ ส่งผ่าน Channel Low-pass Filter  
Cut-off Frequency 32 kHz และ Attenuator 4 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### สรุปผลการดำเนินงาน

ผลงานที่ออกมาแม้ว่าจะสมบูรณ์ แต่ก็ยังมีข้อผิดพลาดบางอย่างบางวงจร ซึ่งสรุปได้เป็นข้อ ๆ เพื่อนำไปเป็นแนวทางของผู้ที่จะทำเรื่องสัญญาณแบบอื่นได้นำจุดบกพร่องไปแก้ไขให้สมบูรณ์ขึ้น การส่งสัญญาณข้อมูลโดยการเข้ารหัสส่งไปในสายมีข้อดีข้อเสีย จุดเด่นจุดด้อยอย่างไร สรุปได้ดังนี้

#### Unipolar NRZ

- แบนด์วิดท์ของสัญญาณเท่ากับ  $R_b$  แต่ PSD จะมี dc ที่ 0 Hz ทำให้เกิดการลดทอนของสัญญาณ เนื่องจากความต้านทานในสายทองแดง ทำให้สัญญาณผ่านไปได้ จึงไม่นิยมส่งสัญญาณ Unipolar NRZ ไปในสาย

- การกู้สัญญาณนาฬิกา (Clock Recovery) ทำได้ง่ายถ้าสัญญาณข้อมูลมีการเปลี่ยนแปลงเป็น "0" หรือ "1" ตลอดเวลา แต่ถ้าเป็น "0" หรือ "1" ติดกันยาว ๆ ทำให้การกู้สัญญาณนาฬิกาทำได้ยาก เพราะว่าวงจร Clock Recovery ต้องการเอาการเปลี่ยนแปลงของข้อมูล (Transition) ไปเข้าวงจรจูนพัลส์ RZ เหตุที่ให้เป็น RZ เพราะว่า PSD ของสัญญาณ RZ มี Discrete impulse ที่ทุก ๆ บิตเรท ( $R_b$ ) นำไปเข้าวงจร PLL จูนเอาสัญญาณนาฬิกาออกมาจะได้สัญญาณนาฬิกาที่มีความถี่เท่ากับบิตเรท 64 kbps

#### Unipolar RZ

- แบนด์วิดท์ของสัญญาณเท่ากับ  $2R_b$  และมี dc ที่ทุก ๆ บิตเรท  $R_b$  จึงไม่นิยมส่ง Unipolar RZ เข้าไปในสายและยังใช้แบนด์วิดท์เปลืองเป็น 2 เท่าของสัญญาณ Unipolar NRZ อีกด้วย

- การกู้สัญญาณนาฬิกา (Clock Recovery) จะต่างกับของ Unipolar NRZ คือถ้าข้อมูลเป็น "0" ติดกันยาว ๆ จะทำให้กู้สัญญาณนาฬิกายาก เพราะไม่มีการเปลี่ยนแปลงของสัญญาณข้อมูล แต่ถ้าเป็น "1" ติดกันยาว ๆ จะกู้ง่าย เพราะข้อมูลจะเข้ารหัสตลอดเวลาที่ข้อมูลเป็น "1" ทำให้มีการเปลี่ยนแปลงของข้อมูลตลอด การกู้จึงทำได้ง่าย

#### Biphase

- แบนด์วิดท์ของสัญญาณเท่ากับ  $2R_b$  แต่ PSD ของสัญญาณมี Response ของสัญญาณที่ส่งเข้าไปใน Channel แล้วทำให้เกิด Loss จึงไม่นิยมส่งสัญญาณ Biphase ไปในสาย และยังใช้แบนด์วิดท์เปลืองอีกด้วย

- การกู้สัญญาณนาฬิกา (Clock Recovery) ของสัญญาณ Biphase นั้น ข้อมูลที่เป็น "0" หรือ "1" ติดกันยาว ๆ จะกู้สัญญาณนาฬิกาได้ง่าย เพราะจะมีการเข้ารหัสอยู่ตลอดเวลาที่ข้อมูลเป็น "0" ติดกันยาว ๆ หรือเป็น "1" ติดกันยาว ๆ แต่ถ้าข้อมูลมีการเปลี่ยนแปลงเป็น "0" หรือ "1" สลับกันจะทำให้กู้ยาก เพราะเมื่อข้อมูลเป็น "0" จะได้พัลส์ RZ ออกมาชุดหนึ่งและเมื่อข้อมูลเป็น "1" จะได้พัลส์ RZ ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีกจุดหนึ่ง แต่ข้อจะตรงข้ามกัน เมื่อไปเข้าวงจร PLL ทำให้สัญญาณนาฬิกาที่ได้เกิดการสั่นการกู้สัญญาณนาฬิกาของสัญญาณ Biphase ที่มีการเปลี่ยนแปลงของข้อมูลทำได้ยาก

### AMI

- แบนด์วิคท์ของสัญญาณเท่ากับ  $R_b$
- การกู้สัญญาณนาฬิกา(Clock Recovery) เมื่อข้อมูลเป็น "0" ติดกันยาว ๆ ทำได้ยาก แต่ถ้าข้อมูลเป็น "1" ติดกันยาว ๆ ทำได้ง่าย เพราะมีการเข้ารหัสเมื่อข้อมูลเป็น "1"

### 4-LEVEL

- แบนด์วิคท์ของสัญญาณจะน้อยกว่าการเข้ารหัสแบบอื่น ๆ เป็นไปตามสูตร

$$BW = \frac{R_b}{l}$$

$$l = \text{จำนวนบิตของการเข้ารหัส(2bit/symbol)}$$

$$BW = \frac{64kb/s}{2bits/symbol} = \frac{R_b}{2}$$

- การกู้สัญญาณนาฬิกา(Clock Recovery) ทำได้ยากที่สุด เนื่องจากสัญญาณเข้ารหัสทำให้มีสัญญาณด้านบวก-ลบ จึงต้องเข้าวงจรยกกำลังสอง เพื่อให้สัญญาณด้านลบเป็นบวก แต่จะยกกำลังสองเฉพาะสัญญาณ +5, -5 เท่านั้น สัญญาณ +2.5, -2.5 จะกลายเป็นศูนย์ และเมื่อยกกำลังสองแล้วสัญญาณเข้ารหัสใช้ข้อมูล 2 bit/symbol ทำให้ข้อมูลเปรียบเสมือนเป็น "0" หรือ "1" ติดกันยาว ๆ เมื่อเข้าวงจรคูณพัลส์ RZ ทำให้การเปลี่ยนแปลงของข้อมูลไม่ต่อเนื่อง สัญญาณนาฬิกาที่กู้ได้จึงสั้นมากกว่าแบบอื่น

ตารางเปรียบเทียบข้อดี-ข้อเสียของสัญญาณเบสแบนด์

Data Encode	BW	การกู้ Clock	Spectral Efficiency	Code Efficiency (%)	BER
NRZ	$R_b$	-ข้อมูลเป็น "0"หรือ"1"ติดกันยาวๆ จะกู้ Clock ยาก -ข้อมูลมีการเปลี่ยนแปลงจะกู้ Clock ง่าย	1	1	$Pe = Q\left[\frac{V_d}{2\delta}\right]$
RZ	$2R_b$	-ข้อมูลเป็น "0"ติดกันยาว ๆ จะกู้ Clock ยาก -ข้อมูลเป็น "1"ติดกันยาว ๆ จะกู้ Clock ง่าย	1/2	0.5	$Pe = Q\left[\frac{V_d}{2\delta}\right]$
PHASE	$2R_b$	-ข้อมูลเป็น "0"หรือ"1"ติดกันยาวๆ จะกู้ Clock ง่าย -ข้อมูลมีการเปลี่ยนแปลงจะกู้ Clock ยาก	1/2	0.5	$Pe = Q\left[\frac{V_d}{2\delta}\right]$
AMI	$R_b$	-ข้อมูลเป็น "0"ติดกันยาว ๆ จะกู้ Clock ยาก -ข้อมูลเป็น "1"ติดกันยาว ๆ จะกู้ Clock ง่าย	1	0.32	$Pe = Q\left[\frac{V_d}{\delta}\right]$
4-LEVEL	$R_b/2$	-จะกู้ Clock ยากที่สุด	2	1	$Pe = \frac{3}{2} Q\left[\frac{V_d}{2\delta}\right]$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข้อเสนอแนะในการสร้างวงจรและใช้งาน

### วงจรสัญญาณนาฬิกา

ค่า C2 ที่ใช้สำหรับ Loop Filter ในบางครั้งอาจหาค่ามันไม่ได้ ซึ่งจะแก้ไขโดยจะปรับค่า R2 แทน ซึ่งวงจรที่ใช้จะเป็นวงจรที่มีอยู่ในคู่มือของ IC 4046

เนื่องจากวงจรที่ใช้จะใช้ Phase Comparator I ดังนั้นจึงต้องใช้เวลาลักครู่เพื่อให้ PLL วิ่งหาความถี่ที่ต้องการ

### วงจร SWITCH

สัญญาณ AMI และ 4-LEVEL จะใช้ Relay เป็น Switch แทน เพราะ 2 สัญญาณนี้มีสัญญาณใช้ครึ่งลบ IC 4066 จะไม่สามารถทำงานได้

### วงจร SELECT

จะเป็นตัวควบคุมการทำงานของวงจร Switch อีกที ซึ่งจะใช้วงจร Counter 4017 ซึ่ง O/P ของ counter นี้ จะต้องผ่าน Buffer ก่อน เพื่อใช้ระดับของแรงดันและกระแสมากพอที่จะทำให้ IC 4066 (Switch) ทำงานได้

ในส่วนของ AMI กับ 4-LEVEL จะใช้ Relay เป็น Switch ซึ่ง IC 4066 ที่ใช้ควบคุม Relay จะเกิดความร้อนขึ้นขณะที่ทำงาน ดังนั้นจึงไม่ควรใช้งานติดต่อกันเป็นเวลานานมาก เพราะจะทำให้ IC 4066 เสียหายได้

### วงจร DECODE

O/P ของวงจร Decode บางวงจร เช่น RZ ,AMI และ 4-LEVEL จะต้องมียวงจร Precode ต่ออีกที ซึ่งจะช่วยให้ o/p ที่ออกมาถูกต้อง

### วงจรกำเนิด CLOCK ที่ภาคส่ง

หากมีการกระชากของแรงดัน i/p อาจทำให้ Clock ที่เข้าออกมามีค่าผิดพลาด ควรจะปิดแหล่งจ่ายลักรู่แล้วจึงเปิดใช้งานได้ตามปกติ

## หนังสืออ้างอิง

C.C.BISSELL AND D.A.CHAPMAN,Digital Signal Transmission , CAMBRIDGE UNIVERSITY PRESS,1992.

DAN H.WOLAVER,Phase-Locked Loop Circuit Design , PRENTICE HALL,Engle Wood Cliffs,New Jersey ,1991.

DAVID R. SMITH , Digital Transmission Systems , vannastrand reinhold company, New York.

L.W.COUCH,Digital and Analog Communication System , 4th ed.,Macmillan,New York,1993.

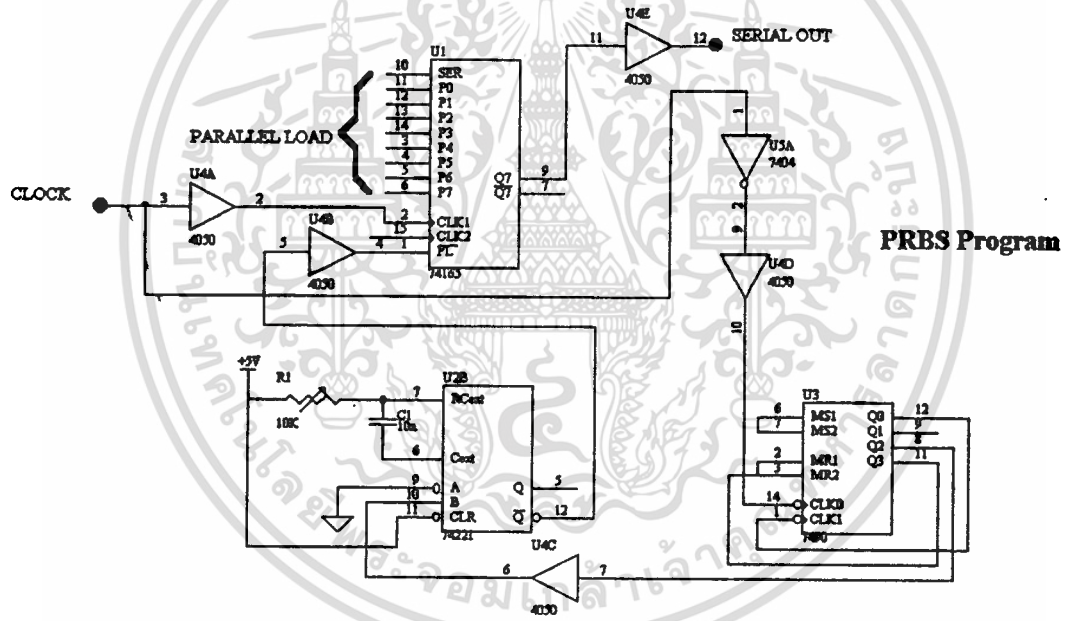
LEON W. COUCH II, Modern Communication Systems Principles and Applications, PRENTICE HALL, Engle Wood Cliffs, New Jersey , 1995.

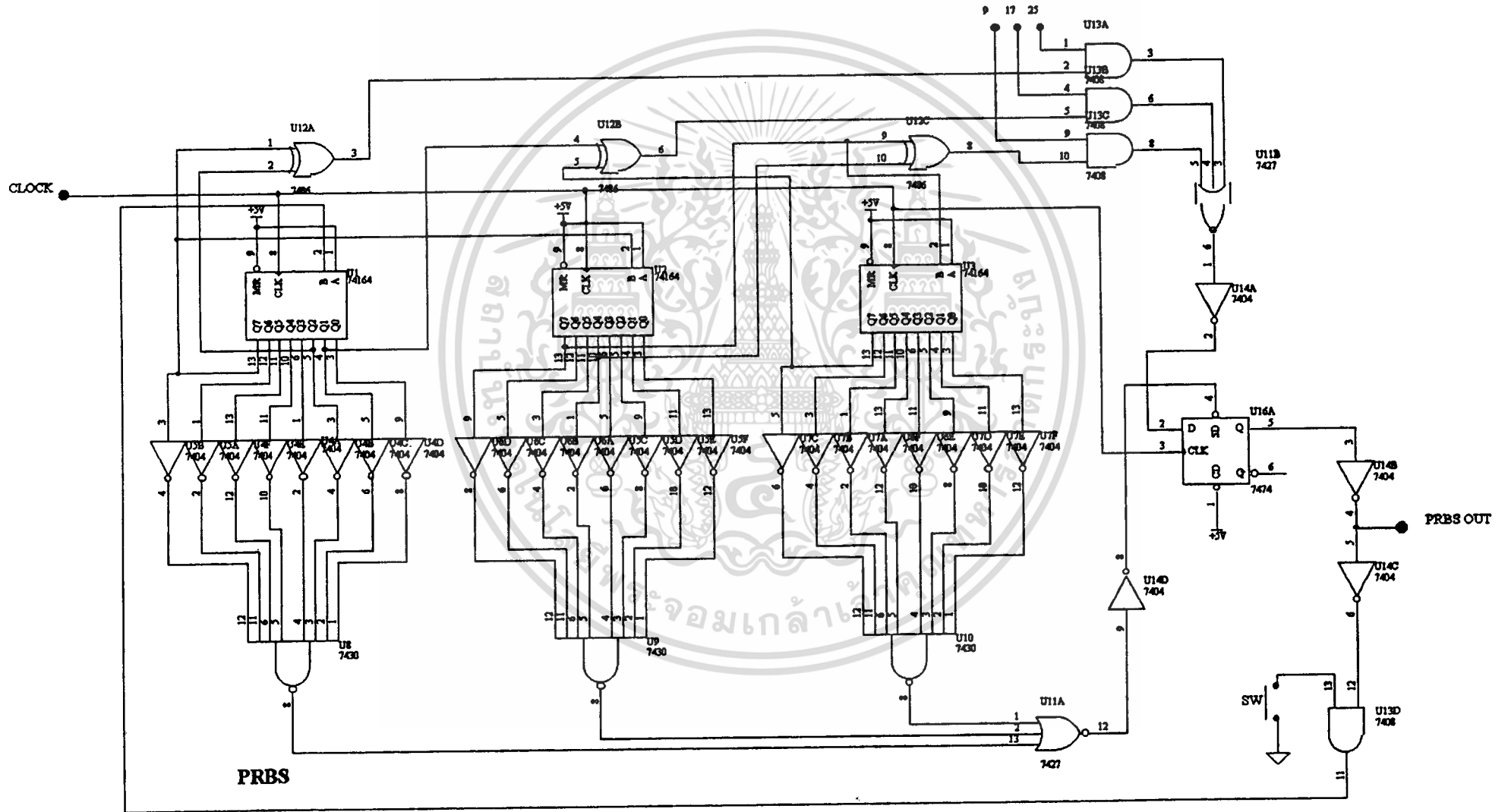
RAMAKANTA.GAYAKWAD,Op-amps and Linear Integrated Circuits , 2nd ed.,Prentice-hall,Engle Wood Cliffs,New jersey,1988.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





PRBS

NRZ  
O/P

PRBS  
Prog

A/D

SWITCH  
ENCODE

CONTROL  
ENCODE

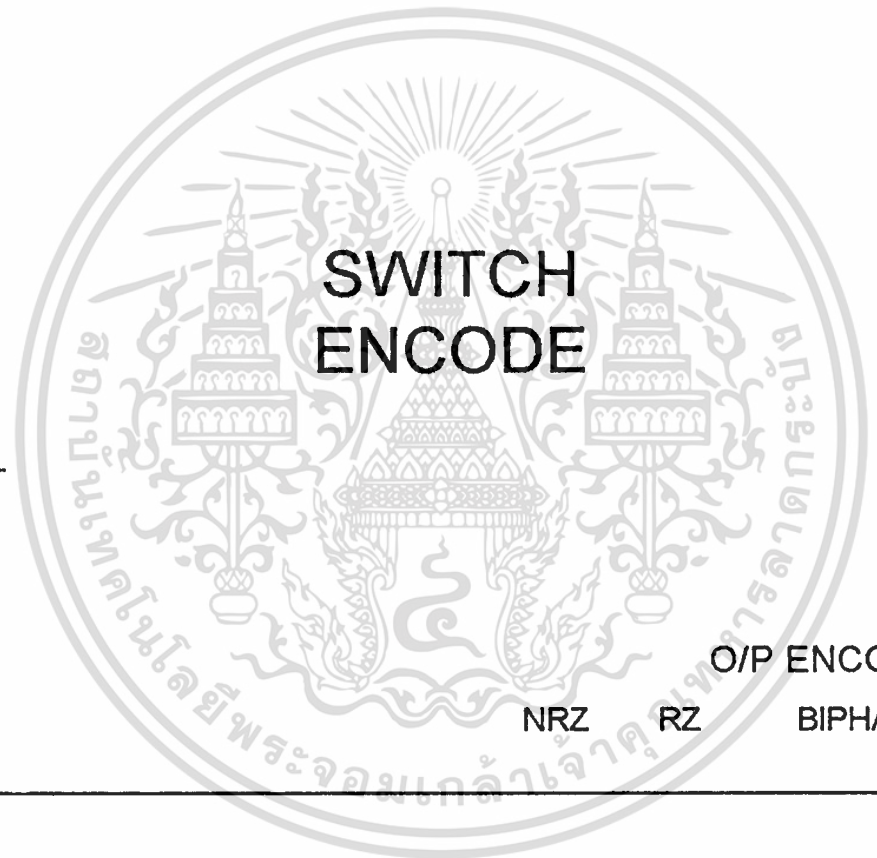
- ①
- ②
- ③

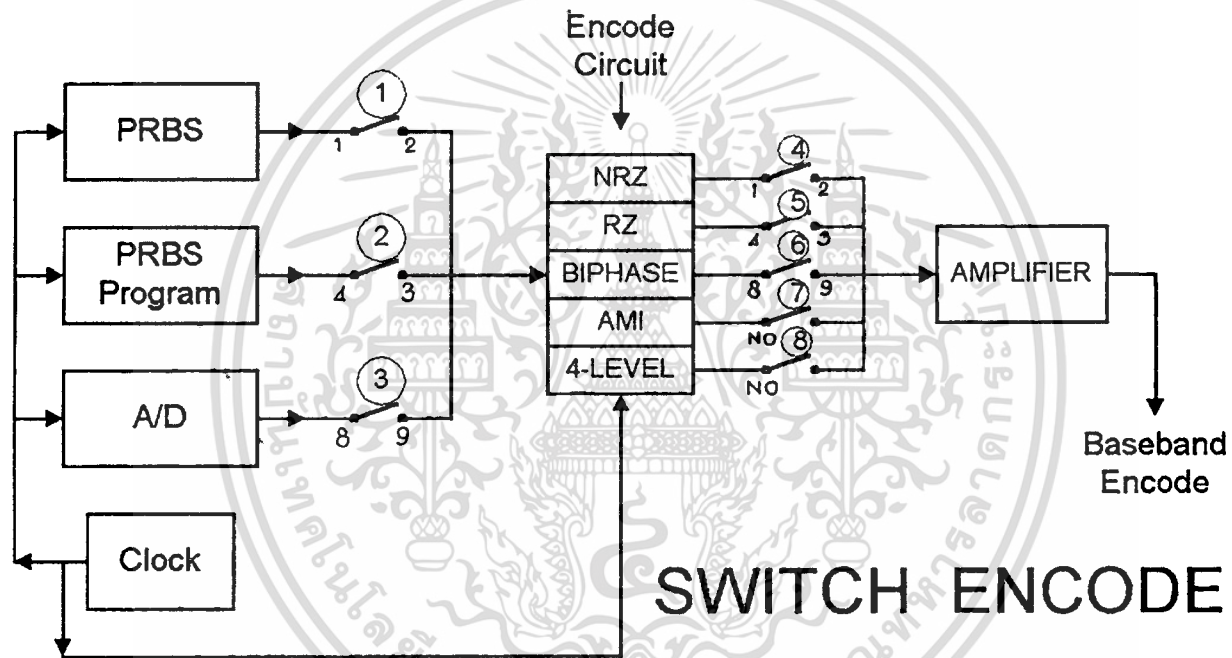
CONTROL  
I/P

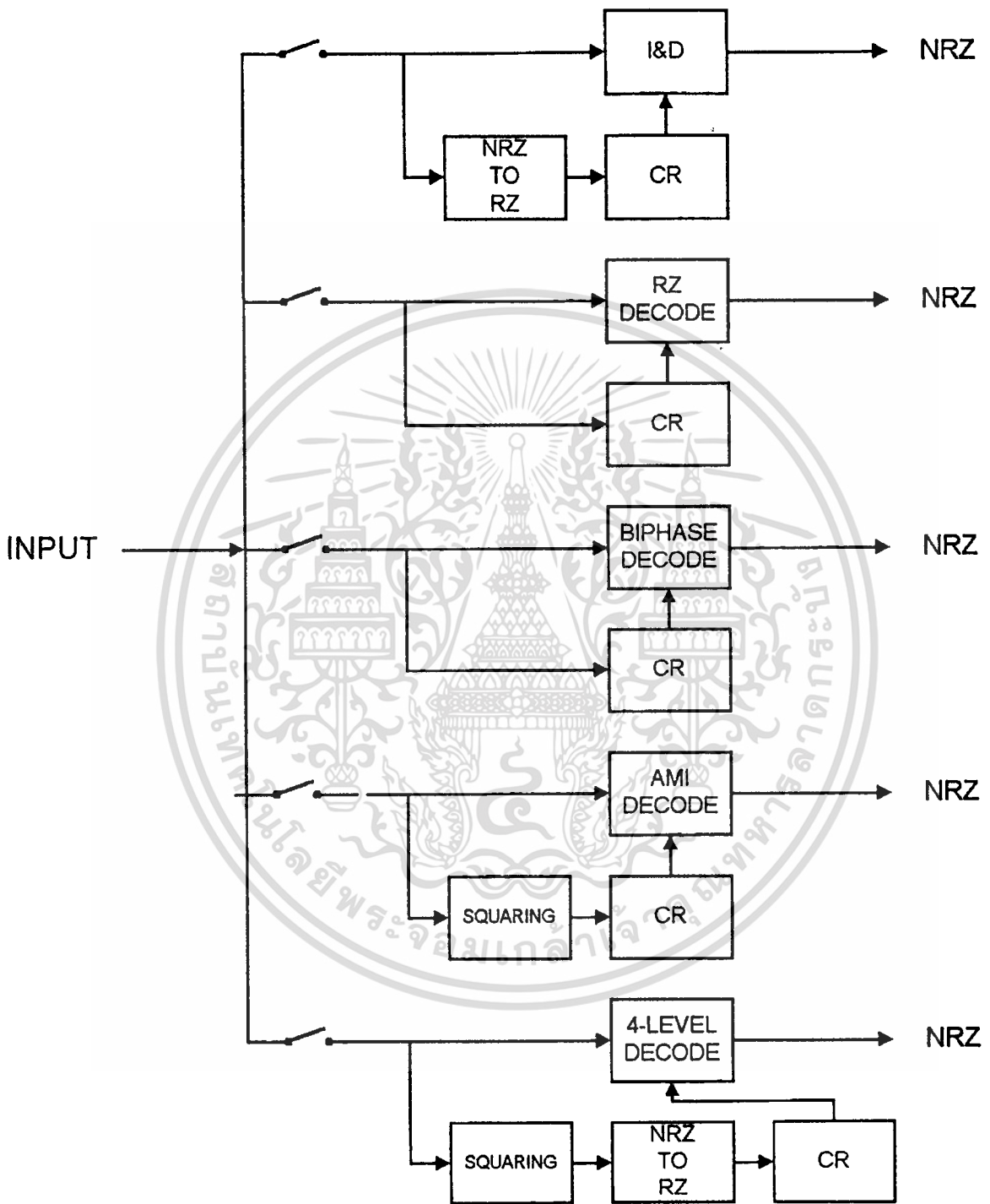
- ④
- ⑤
- ⑥
- ⑦
- ⑧

O/P ENCODE

NRZ RZ BIPHASE AMI 4L

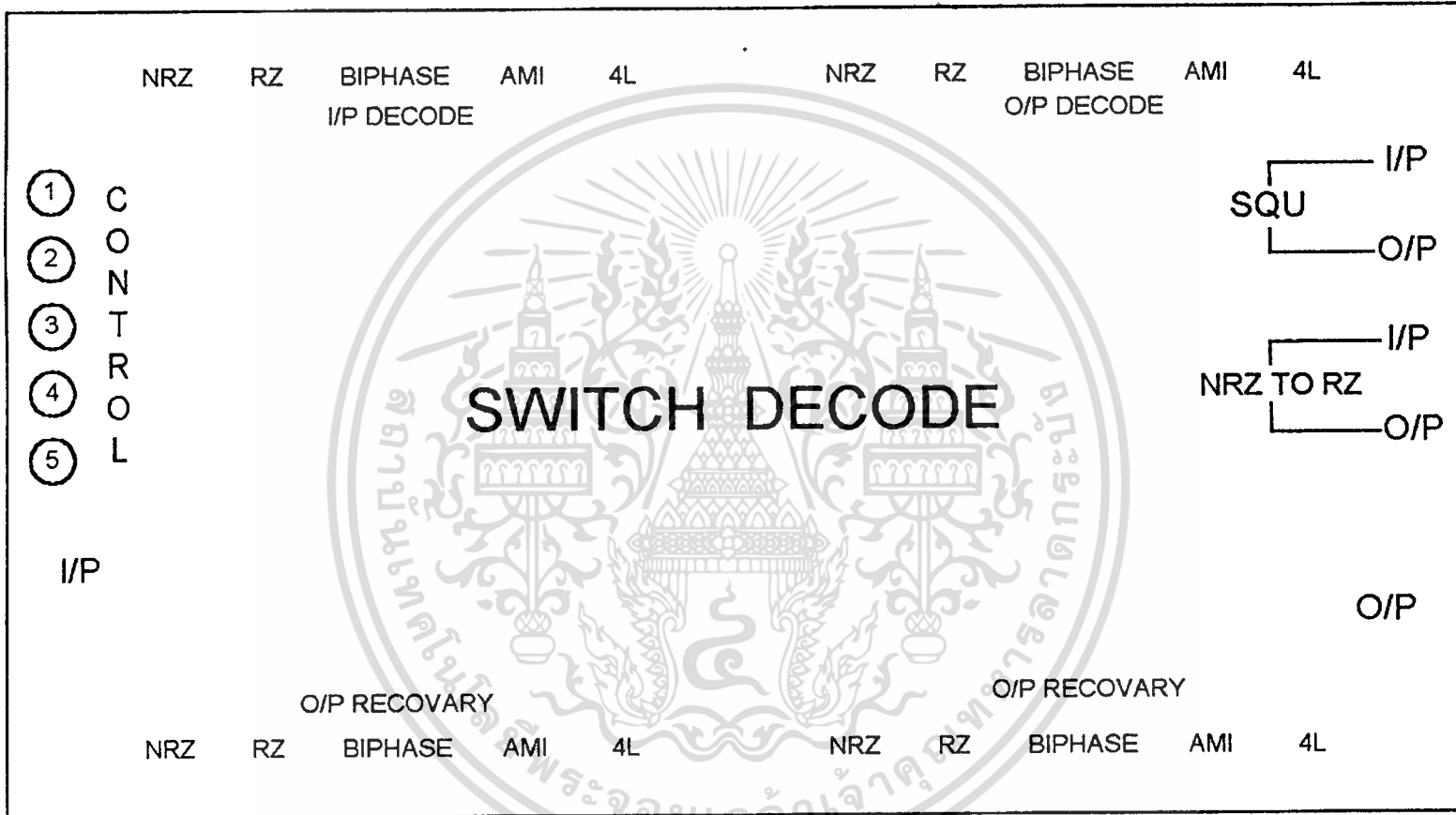


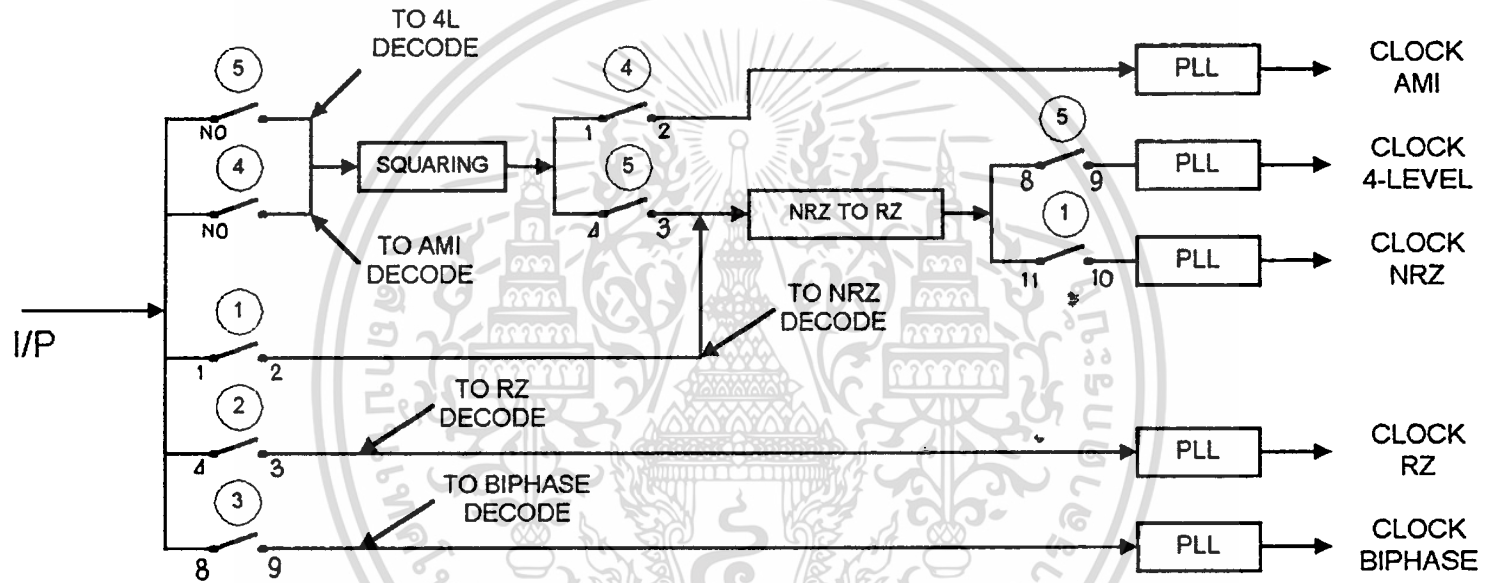




BLOCKDIAGRAM DECODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





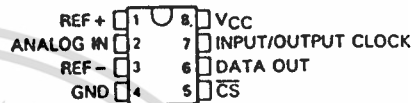
# SWITCH DECODE

**DATA  
ACQUISITION  
CIRCUITS**

**TYPE TLC549  
LinCMOST™ 8-BIT ANALOG-TO-DIGITAL  
PERIPHERAL WITH SERIAL CONTROL**  
D2816, NOVEMBER 1983

- LinCMOST™ Technology
- 8-Bit Resolution A/D Converter
- Differential Reference Input Voltages
- Conversion Time . . . 19  $\mu$ s Max
- Total Access and Conversion Cycles . . . 29,144 cps
- On-Chip Software-Controllable Sample-and-Hold
- Total Unadjusted Error . . .  $\pm 0.5$  LSB Max
- 4-MHz Internal System Clock
- Single 5-V Supply Operation
- Low Power Consumption . . . 6 mW Typ
- Dual-In-Line 8-pin Package

P DUAL-IN-LINE PACKAGE  
(TOP VIEW)



**description**

The TLC549 is a LinCMOST™ A/D Peripheral integrated circuit built around an 8-bit switched-capacitor successive-approximation A/D converter. It is designed for serial interface with a microprocessor or peripheral through a 3-state data output and an analog input. The TLC549 uses only the Input/Output Clock (I/O Clock) input along with the Chip Select (CS) input for data control. The I/O Clock input frequency of the TLC549 is guaranteed up to 525 kilohertz.

Operation of the TLC549 is very similar to that of the more complex TLC540 and TLC541 devices; however, unlike the TLC540 and TLC541, the TLC549 provides an on-chip system clock that operates typically at 4 megahertz and requires no external components. The on-chip system clock allows internal device operation to proceed independently of serial input/output data timing, permitting manipulation of the TLC549 as desired for a wide range of software and hardware requirements. The I/O Clock together with the internal system clock allow high-speed data transfer and sample rates of up to 29,144 cycles per second.

Additional TLC549 features include versatile control logic, an on-chip sample-and-hold circuit that can operate automatically or under processor control, and a high-speed converter with differential high-impedance reference voltage inputs that ease ratiometric conversion, scaling, and analog circuit isolation from logic and supply noises. Design of the totally switched-capacitor successive-approximation converter circuit allows guaranteed low-error conversion of  $\pm 0.5$  least-significant bit (LSB) in less than 19 microseconds.

The TLC549M is characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The TLC549I is characterized for operation from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, $V_{CC}$	3	5	6	V
Positive reference voltage, $V_{REF+}$ (see Note 3)	1.25	$V_{CC}$	$V_{CC} + 0.1$	V
Negative reference voltage, $V_{REF-}$ (see Note 3)	-0.1	0	$V_{CC} - 1.25$	V
Differential reference voltage, $V_{REF+} - V_{REF-}$ (see Note 3)	1	$V_{CC}$	$V_{CC} + 0.2$	V
Analog input voltage (see Note 3)	0		$V_{CC}$	V
High-level control input voltage, $V_{IH}$	2			V
Low-level control input voltage, $V_{IL}$			0.8	V
Peak input current, $I_I$			10	mA
Input/Output clock frequency, $f_{CLK(I/O)}$	0		525	kHz
Input/Output clock high, $t_{WH(I/O)}$	808			ns
Input/Output clock low, $t_{WL(I/O)}$	808			ns
Input/Output clock transition time, $t_t(I/O)$ (see Note 4)			100	ns
Duration of $\overline{CS}$ input high state during conversion, $t_{WH(CS)}$	19			$\mu$ s
Operating free-air temperature, $T_A$	TLC549M	-55	125	$^{\circ}$ C
	TLC549I	-40	85	

- NOTES: 3. Analog input voltages greater than that applied to  $REF+$  convert as all ones (11111111), while input voltages less than that applied to  $REF-$  convert to all zeros (00000000). For proper operation, the positive reference voltage  $V_{REF+}$  must be at least 1-volt greater than the negative reference voltage  $V_{REF-}$ . In addition, unadjusted errors may increase as the differential reference voltage  $V_{REF+} - V_{REF-}$  falls below 4.75 volts.
4. This is the time required for the input/output clock input signal to fall from  $V_{IH\ min}$  to  $V_{IL\ max}$  or to rise from  $V_{IL\ max}$  to  $V_{IH\ min}$ .

electrical characteristics over recommended operating free-air temperature range,  $V_{CC} = V_{REF+} = 4.75\text{ V to }5.5\text{ V}$ ;  $f_{CLK(I/O)} = 525\text{ kHz}$  (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP <sup>†</sup>	MAX	UNIT
$V_{OH}$	High-level output voltage	$V_{CC} = 4.75\text{ V}$ ,	$I_{OH} = -360\ \mu\text{A}$	2.4			V
$V_{OL}$	Low-level output voltage	$V_{CC} = 4.75\text{ V}$ ,	$I_{OL} = 3.2\text{ mA}$			0.4	V
$I_{OZ}$	Off-state (high-impedance state) output current	$V_O = V_{CC}$ ,	$\overline{CS}$ at $V_{CC}$			10	V
		$V_O = 0$ ,	$\overline{CS}$ at $V_{CC}$			-10	
$I_{IH}$	High-level input current	Control inputs	$V_I = V_{CC} + 0.3\text{ V}$		0.005	2.5	$\mu\text{A}$
$I_{IL}$	Low-level input current	Control inputs	$V_I = 0$		-0.005	-2.5	$\mu\text{A}$
$I_{I(on)}$	Analog channel on-state input current, during sample cycle	Analog input at $V_{CC}$			0.4	1	$\mu\text{A}$
		Analog input at 0 V			-0.4	-1	
$I_{CC}$	Operating supply current	$\overline{CS}$ at 0 V			1.2	2	mA
$I_{CC} + I_{REF}$	Supply and reference current	$V_{REF+} = V_{CC}$			1.3	3	mA
$C_i$	Input capacitance	Analog inputs			7	55	pF
		Control inputs			5	15	

<sup>†</sup>All typicals are at  $T_A = 25^{\circ}\text{C}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics over recommended operating free-air temperature range,  
 $V_{CC} = V_{REF+} = 4.75 \text{ V to } 5.5 \text{ V}$ ,  $f_{CLK(I/O)} = 525 \text{ kHz}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Linearity error	See Note 5			$\pm 0.5$	LSB
Zero error	See Note 6			$\pm 0.5$	LSB
Full-scale error	See Note 6			$\pm 0.5$	LSB
Total unadjusted error	See Note 7			$\pm 0.5$	LSB
$t_{conv}$ Conversion time				19	$\mu\text{s}$
$t_{acq}$ Channel acquisition time				4	I/O Cycles
$t_v$ Time output data remains valid after I/O clock $\downarrow$		10			ns
$t_d$ Delay time, internal system clock to data output valid				400	ns
$t_{acc}$ Output access time (Delay to valid output after $\overline{CS}\downarrow$ )				975	ns
$t_{en}$ Output enable time				150	ns
$t_{dis}$ Output disable time				150	ns
$t_r(\text{bus})$ Data bus rise time				300	ns
$t_f(\text{bus})$ Data bus fall time				300	ns

- NOTES: 5. Linearity error is the deviation from the best straight line through the A/D transfer characteristics.  
 6. Zero error is the difference between the output of an ideal and an actual A/D converter for zero input voltage; full-scale error is that same difference for full-scale input voltage.  
 7. Total unadjusted error is the sum of linearity, zero, and full-scale errors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

### General Description

The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with  $\pm 5V$  supplies. No reference current ( $I_{REF}$ ) trimming is required for most applications since the full scale output current is typically  $\pm 1$  LSB of  $255 I_{REF} / 256$ . Relative accuracies of better than  $\pm 0.19\%$  assure 8-bit monotonicity and linearity while zero level output current of less than  $4 \mu A$  provides 8-bit zero accuracy for  $I_{REF} \geq 2$  mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

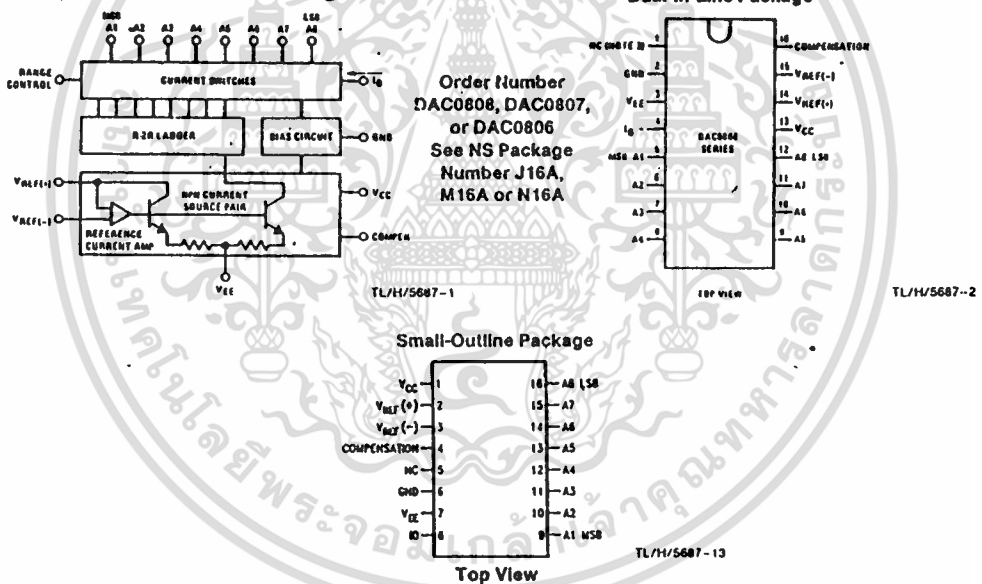
The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the

MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

### Features

- Relative accuracy:  $\pm 0.19\%$  error maximum (DAC0808)
- Full scale current match:  $\pm 1$  LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ $\mu s$
- Power supply voltage range:  $\pm 4.5V$  to  $\pm 18V$
- Low power consumption: 33 mW @  $\pm 5V$

### Block and Connection Diagrams



### Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$	DAC0808LJ	MC1508L8	DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0808LCJ	MC1408L8	DAC0807LCN	MC1408P7	DAC0807LCM
7-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0807LCJ	MC1408L7	DAC0806LCN	MC1408P6	DAC0806LCM
6-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0806LCJ	MC1408L6			

\*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
$V_{CC}$	+18 V <sub>DC</sub>
$V_{EE}$	-18 V <sub>DC</sub>
Digital Input Voltage, V <sub>5-V12</sub>	-10 V <sub>DC</sub> to +18 V <sub>DC</sub>
Applied Output Voltage, V <sub>O</sub>	-11 V <sub>DC</sub> to +18 V <sub>DC</sub>
Reference Current, I <sub>14</sub>	5 mA
Reference Amplifier Inputs, V <sub>14</sub> , V <sub>15</sub>	$V_{CC}$ , $V_{EE}$
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

## Operating Ratings

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC0808L	-55°C ≤ T <sub>A</sub> ≤ +125°C
DAC0808LC Series	0 ≤ T <sub>A</sub> ≤ +75°C

## Electrical Characteristics

(V<sub>CC</sub> = 5V, V<sub>EE</sub> = -15 V<sub>DC</sub>, V<sub>REF</sub>/R<sub>14</sub> = 2 mA, DAC0808: T<sub>A</sub> = -55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T<sub>A</sub> = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E <sub>r</sub>	Relative Accuracy (Error Relative to Full Scale I <sub>O</sub> )	(Figure 4)				%
	DAC0808L (LM1508-8), DAC0808LC (LM1408-8)				±0.18	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within ½ LSB (Includes t <sub>PLH</sub> )	T <sub>A</sub> = 25°C (Note 6), (Figure 5)		150		ns
t <sub>PLH</sub> , t <sub>PHL</sub>	Propagation Delay Time	T <sub>A</sub> = 25°C, (Figure 5)		30	100	ns
TC <sub>IO</sub>	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	(Figure 3)				
V <sub>H</sub>	High Level, Logic "1"		2			V <sub>DC</sub>
V <sub>IL</sub>	Low Level, Logic "0"				0.8	V <sub>DC</sub>
MSB	Digital Input Current	(Figure 3)				
	High Level Low Level	V <sub>H</sub> = 5V V <sub>IL</sub> = 0.8V		0 -0.003	0.040 -0.8	mA mA
I <sub>15</sub>	Reference Input Bias Current	(Figure 3)				μA
	Output Current Range	(Figure 3) V <sub>EE</sub> = -5V V <sub>EE</sub> = -15V, T <sub>A</sub> = 25°C	0 0	2.0 2.0	2.1 4.2	mA mA
I <sub>O</sub>	Output Current	V <sub>REF</sub> = 2.000V, R <sub>14</sub> = 1000Ω, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 2) V <sub>EE</sub> = -5V, I <sub>REF</sub> = 1 mA V <sub>EE</sub> Below -10V	E <sub>r</sub> ≤ 0.19%, T <sub>A</sub> = 25°C			-0.55, +0.4 -5.0, +0.4	V <sub>DC</sub> V <sub>DC</sub>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Electrical Characteristics (Continued)

( $V_{CC} = 5V$ ,  $V_{EE} = -15V_{DC}$ ,  $V_{REF}/R14 = 2mA$ , DAC0808:  $T_A = -55^{\circ}C$  to  $+125^{\circ}C$ , DAC0808C, DAC0807C, DAC0806C,  $T_A = 0^{\circ}C$  to  $+75^{\circ}C$ , and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$SR_{REF}$	Reference Current Slew Rate	(Figure 6)	4	8		mA/ $\mu$ s
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	$\mu$ A/V
$I_{CC}$ $I_{EE}$	Power Supply Current (All Bits Low)	(Figure 3)		2.3 -4.3	22 -13	mA mA
$V_{CC}$ $V_{EE}$	Power Supply Voltage Range	$T_A = 25^{\circ}C$ , (Figure 3)	4.5 -4.5	5.0 -15	5.5 -16.5	$V_{DC}$ $V_{DC}$
	Power Dissipation All Bits Low	$V_{CC} = 5V$ , $V_{EE} = -5V$		33	170	mW
		$V_{CC} = 5V$ , $V_{EE} = -15V$		106	305	mW
		$V_{CC} = 15V$ , $V_{EE} = -5V$		90		mW
		$V_{CC} = 15V$ , $V_{EE} = -15V$		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by  $T_{JMAX}$ ,  $\theta_{JA}$ , and the ambient temperature,  $T_A$ . The maximum allowable power dissipation at any temperature is  $P_D = (T_{JMAX} - T_A)/\theta_{JA}$  or the number given in the Absolute Maximum Ratings, whichever is lower. For this device,  $T_{JMAX} = 125^{\circ}C$ , and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is  $100^{\circ}C/W$ . For the dual-in-line N package, this number increases to  $175^{\circ}C/W$  and for the small outline M package this number is  $100^{\circ}C/W$ .

Note 4: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

### Typical Application

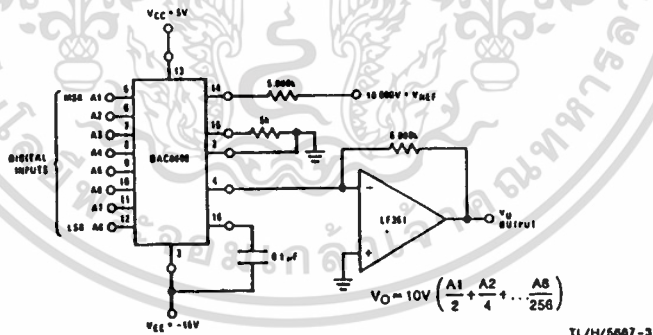
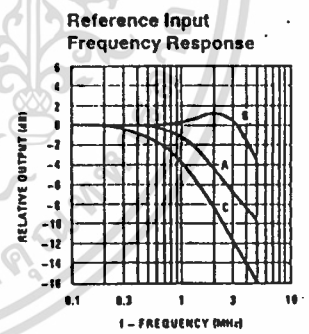
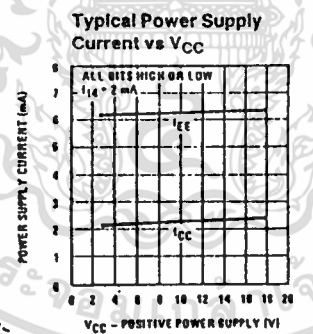
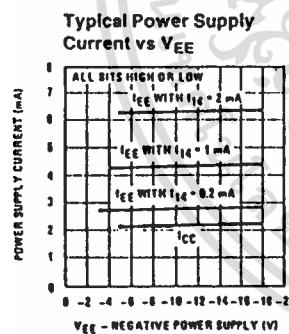
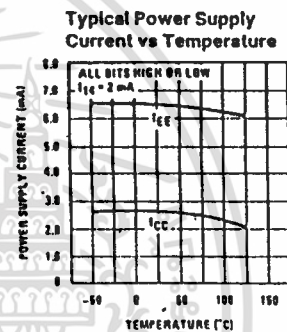
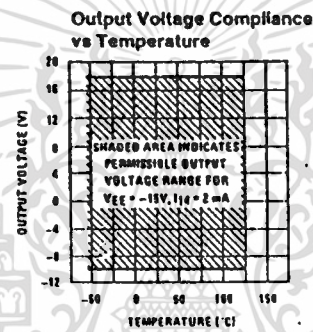
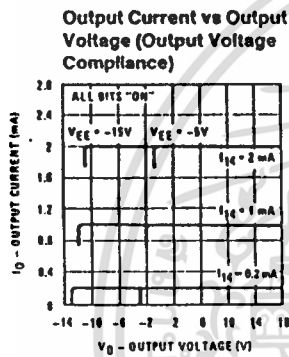
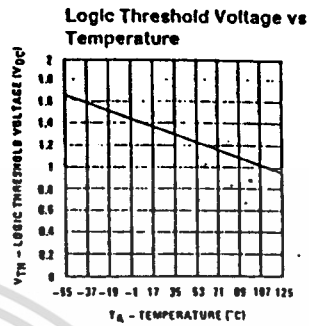
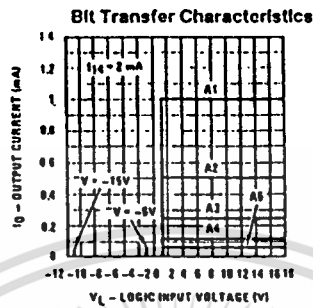
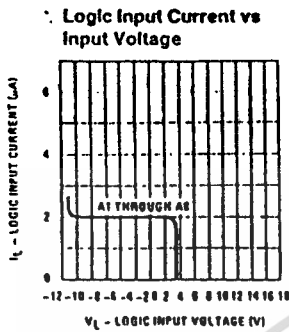


FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

$V_{CC} = 5V$ ,  $V_{EE} = -15V$ ,  $T_A = 25^\circ C$ , unless otherwise noted



TLH/5687-5

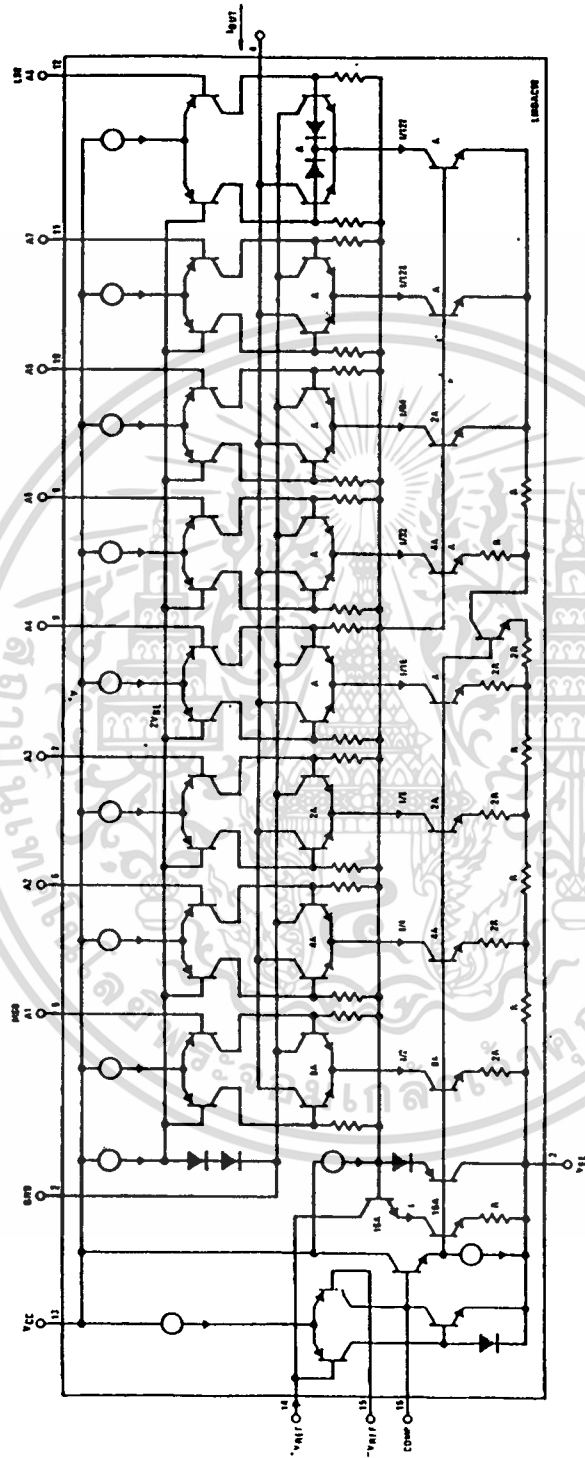
Unless otherwise specified:  $R_{14} = R_{15} = 1 k\Omega$ ,  $C = 15 pF$ , pin 16 to  $V_{EE}$ ;  $R_L = 50\Omega$ , pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7,  $V_{REF} = 2 V_{p-p}$  offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7,  $R_L = 250\Omega$ ,  $V_{REF} = 50 mV_{p-p}$  offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp,  $R_L = 50\Omega$ ,  $R_S = 50\Omega$ ,  $V_{REF} = 2V$ ,  $V_S = 100 mV_{p-p}$  centered at 0V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

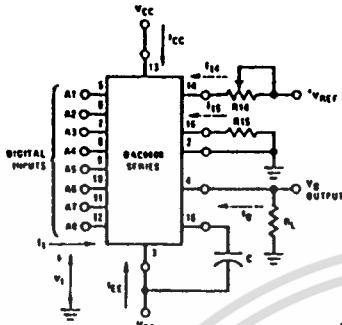


TU/M/5687-4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Test Circuits



$V_1$  and  $I_1$  apply to inputs A1-A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_0 = K \left( \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

where  $K = \frac{V_{REF}}{R_{14}}$

and  $A_N = "1"$  if  $A_N$  is at high level

$A_N = "0"$  if  $A_N$  is at low level

TL/H/5687-6  
FIGURE 3. Notation Definitions Test Circuit (Note 7)

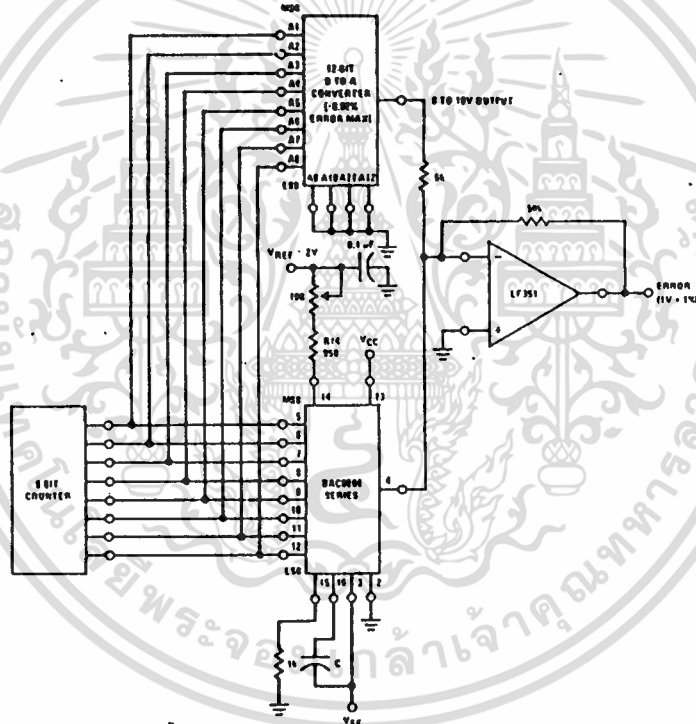


FIGURE 4. Relative Accuracy Test Circuit (Note 7)

TL/H/5687-7

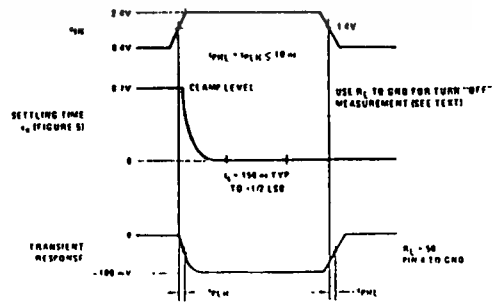
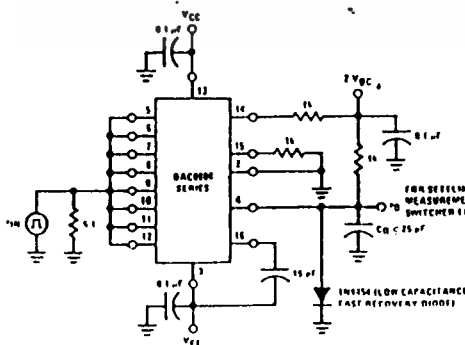


FIGURE 5. Transient Response and Settling Time (Note 7)

TL/H/5687-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Test Circuits (Continued)

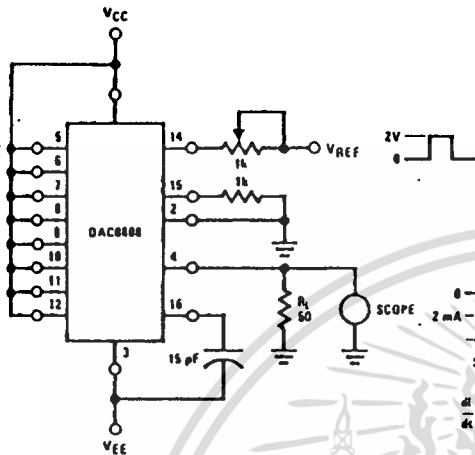


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

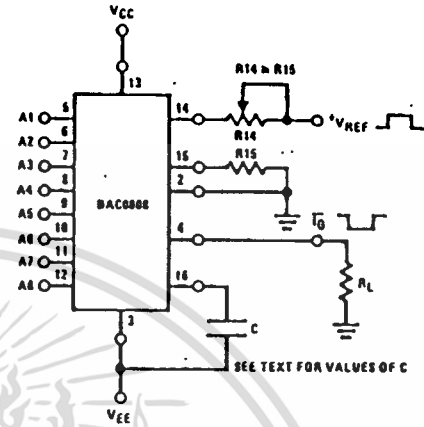


FIGURE 7. Positive  $V_{REF}$  (Note 7)

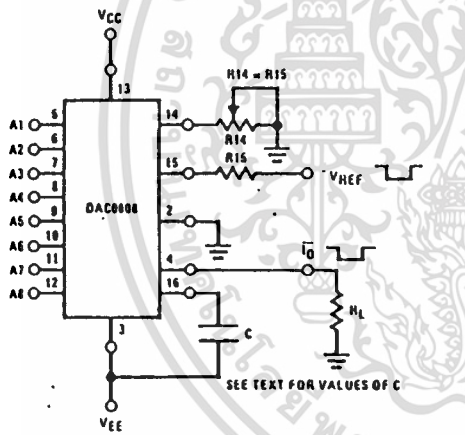


FIGURE 8. Negative  $V_{REF}$  (Note 7)

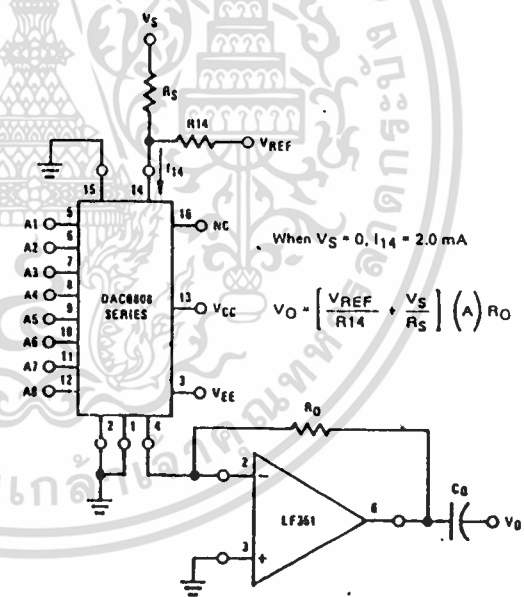


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

## Application Hints

### REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current,  $I_{14}$ , must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current  $I_{14}$ . For bipolar reference signals, as in the multiplying mode,

$R_{15}$  can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate  $R_{15}$  with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in  $R_{14}$  to maintain proper phase margin; for  $R_{14}$  values of 1, 2.5 and 5 k $\Omega$ , minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either  $V_{EE}$  or ground, but using  $V_{EE}$  increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to  $V_{EE}$  on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the  $V_{EE}$  supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1  $\mu$ F to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

### OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to 0.4V when  $V_{EE} = -5V$  due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to -5V where the negative supply voltage is more negative than -10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 k $\Omega$  between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of  $R_L$  up to 500 $\Omega$  do not significantly affect performance, but a 2.5 k $\Omega$  load increases worst-case settling time to 1.2  $\mu$ s (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

### OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than -8V, due to the increased voltage drop across the resistors in the reference current amplifier.

### ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to

the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within  $\pm 1/2$  LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8  $\mu$ A) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of  $\pm 1/2$  of one part in 65,536 or  $\pm 0.00076\%$ , which is much more accurate than the  $\pm 0.019\%$  specification provided by the DAC0808.

### MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16  $\mu$ A to 4 mA, the additional error contributions are less than 1.6  $\mu$ A. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

### SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within  $\pm 1/2$  LSB, for 8-bit accuracy, and 100 ns to  $1/2$  LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when  $R_L \leq 500\Omega$  and  $C_O \leq 25$  pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100  $\mu$ F supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MOTOROLA  
SEMICONDUCTOR  
TECHNICAL DATA**

**MC1495L  
MC1595L**

**WIDEBAND MONOLITHIC  
FOUR-QUADRANT MULTIPLIER**

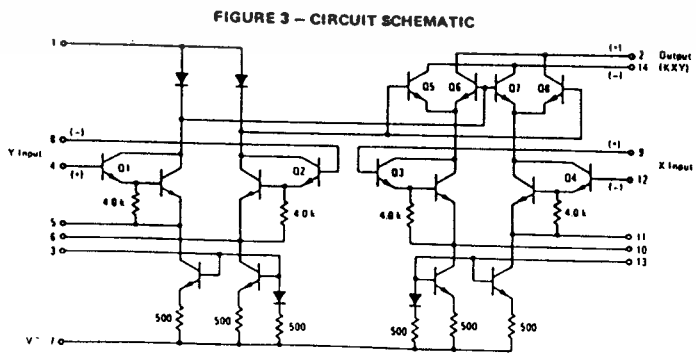
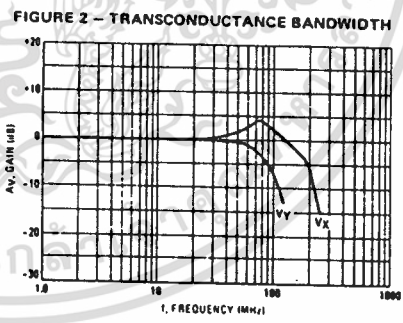
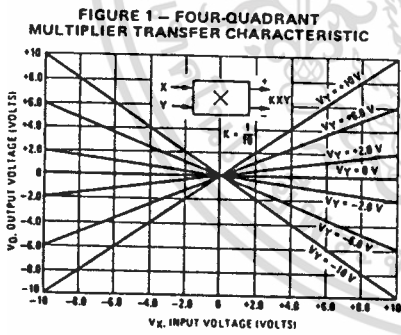
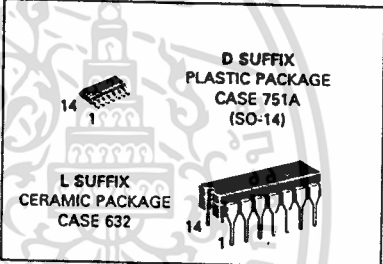
... designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide\*, square root\*, mean square\*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

\*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range –  $\pm 10$  Volts
- $\pm 15$  Volt Operation

**LINEAR FOUR-QUADRANT  
MULTIPLIER**

**SILICON MONOLITHIC  
INTEGRATED CIRCUIT**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495L, MC1595L

ELECTRICAL CHARACTERISTICS ( $V^+ = +32\text{ V}$ ,  $V^- = -15\text{ V}$ ,  $T_A = +25^\circ\text{C}$ ,  $I_3 = I_{13} = 1.0\text{ mA}$ ,  $R_X = R_Y = 15\text{ k}\Omega$ ,  
 $R_L = 11\text{ k}\Omega$  unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
<b>Linearity:</b> Output Error in Percent of Full Scale: $T_A = +25^\circ\text{C}$ $-10 < V_X < +10$ ( $V_Y = \pm 10\text{ V}$ ) $-10 < V_Y < +10$ ( $V_X = \pm 10\text{ V}$ ) $T_A = 0$ to $+70^\circ\text{C}$ $-10 < V_X < +10$ ( $V_Y = \pm 10\text{ V}$ ) $-10 < V_Y < +10$ ( $V_X = \pm 10\text{ V}$ ) $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$ $-10 < V_X < +10$ ( $V_Y = \pm 10\text{ V}$ ) $-10 < V_Y < +10$ ( $V_X = \pm 10\text{ V}$ )	MC1495 MC1595 MC1495 MC1595 MC1495 MC1595	5	ERX ERY ERX ERY ERX ERY	— — — — — —	$\pm 1.0$ $\pm 0.5$ $\pm 2.0$ $\pm 1.0$ $\pm 1.5$ $\pm 3.0$	$\pm 2.0$ $\pm 1.0$ $\pm 4.0$ $\pm 2.0$ — —	%
<b>Squaring Mode Error:</b> Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment $T_A = +25^\circ\text{C}$ $T_A = 0$ to $+70^\circ\text{C}$ $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$	MC1495 MC1595 MC1495 MC1595	5	ESQ	— — —	$\pm 0.75$ $\pm 0.5$ $\pm 1.0$	— — —	%
<b>Scale Factor (Adjustable)</b> $(K = \frac{2R_L}{I_3 R_X R_Y})$		—	K	—	0.1	—	
<b>Input Resistance</b> ( $f = 20\text{ Hz}$ )	MC1495 MC1595 MC1495 MC1595	7	R <sub>INX</sub> R <sub>INY</sub>	— — — —	30 35 20 35	— — — —	M $\Omega$
<b>Differential Output Resistance</b> ( $f = 20\text{ Hz}$ )		8	R <sub>o</sub>	—	300	—	k $\Omega$
<b>Input Bias Current</b> $I_{bx} = \frac{(I_9 + I_{12})}{2}$ , $I_{by} = \frac{(I_4 + I_8)}{2}$	MC1495 MC1595 MC1495 MC1595	6	I <sub>bx</sub> I <sub>by</sub>	— — — —	2.0 2.0 2.0 2.0	12 8.0 12 8.0	$\mu\text{A}$
<b>Input Offset Current</b> $ I_9 - I_{12} $ $ I_4 - I_8 $	MC1495 MC1595 MC1495 MC1595	6	I <sub>iox</sub>    I <sub>ioy</sub>	— — — —	0.4 0.2 0.4 0.2	2.0 1.0 2.0 1.0	$\mu\text{A}$
<b>Average Temperature Coefficient of Input Offset Current</b> ( $T_A = 0$ to $+70^\circ\text{C}$ ) ( $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$ )	MC1495 MC1595	6	TC <sub>io</sub>	— —	2.5 2.5	— —	nA/ $^\circ\text{C}$
<b>Output Offset Current</b> $ I_{14} - I_2 $	MC1495 MC1595	6	I <sub>ool</sub>	—	20 10	100 50	$\mu\text{A}$
<b>Average Temperature Coefficient of Output Offset Current</b> ( $T_A = 0$ to $+70^\circ\text{C}$ ) ( $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$ )	MC1495 MC1595	6	TC <sub>ool</sub>	— —	20 20	— —	nA/ $^\circ\text{C}$
<b>Frequency Response</b> 3.0 dB Bandwidth, $R_L = 11\text{ k}\Omega$ 3.0 dB Bandwidth, $R_L = 50\text{ }\Omega$ (Transconductance Bandwidth) 3° Relative Phase Shift Between $V_X$ and $V_Y$ 1% Absolute Error Due to Input-Output Phase Shift		9,10	BW <sub>3dB</sub> TBW <sub>3 dB</sub> $f_\phi$ $f_\theta$	— — — —	3.0 80 750 30	— — — —	MHz MHz kHz kHz
<b>Common Mode Input Swing</b> (Either Input)	MC1495 MC1595	11	CMV	$\pm 10.5$ $\pm 11.5$	$\pm 12$ $\pm 13$	— —	Vdc
<b>Common Mode Gain</b> (Either Input)	MC1495 MC1595	11	ACM	-40 -50	-50 -60	— —	dB
<b>Common Mode Quiescent Output Voltage</b>		12	V <sub>o1</sub> V <sub>o2</sub>	— —	21 21	— —	Vdc
<b>Differential Output Voltage Swing Capability</b>		9	V <sub>o</sub>	—	$\pm 14$	—	V <sub>peak</sub>
<b>Power Supply Sensitivity</b>		12	S <sup>+</sup> S <sup>-</sup>	— —	5.0 10	— —	mVV
<b>Power Supply Current</b>		12	I <sub>7</sub>	—	6.0	7.0	mA
<b>DC Power Dissipation</b>		12	P <sub>D</sub>	—	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495L, MC1595L

MAXIMUM RATINGS ( $T_A = +25^\circ\text{C}$  unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ( $V_2-V_1, V_{14}-V_1, V_1-V_9, V_1-V_{12}, V_1-V_4,$ $V_1-V_8, V_{12}-V_7, V_9-V_7, V_8-V_7, V_4-V_7$ )	$\Delta V$	30	Vdc
Differential Input Signal	$V_{12}-V_9$ $V_4-V_8$	$\pm(6+1/3 R_X)$ $\pm(6+1/3 R_Y)$	Vdc
Maximum Bias Current	$I_3$ $I_{13}$	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above $T_A = +25^\circ\text{C}$	$P_D$	750 5.0	mW mW/ $^\circ\text{C}$
Operating Temperature Range	$T_A$	0 to +70 -55 to +125	$^\circ\text{C}$ $^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +150	$^\circ\text{C}$

### TEST CIRCUITS

FIGURE 4 - LINEARITY (USING NULL TECHNIQUE)

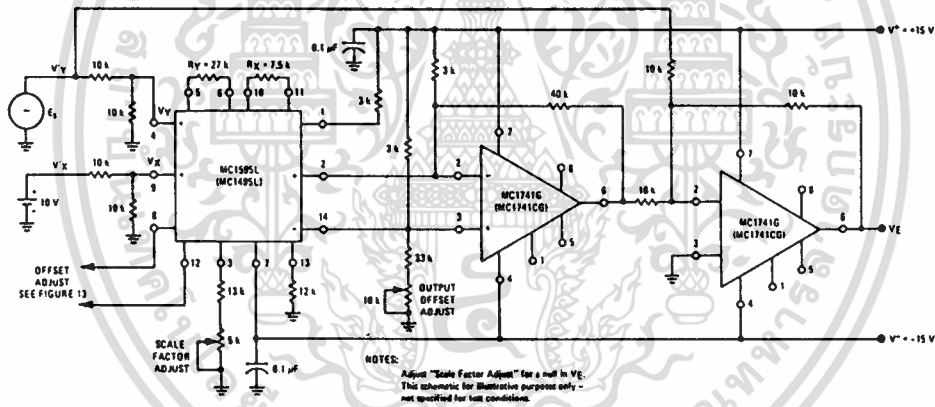
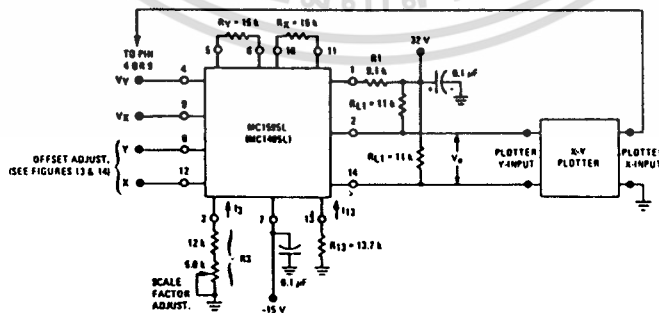


FIGURE 5 - LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## TEST CIRCUITS (continued)

FIGURE 6 - INPUT AND OUTPUT CURRENT

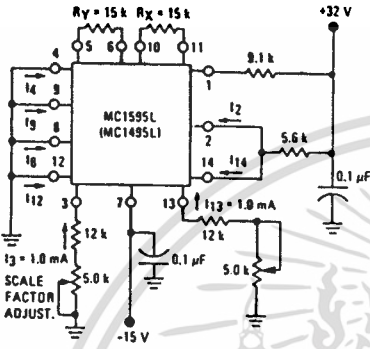


FIGURE 7 - INPUT RESISTANCE

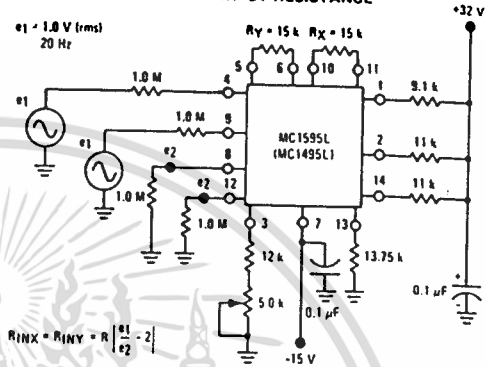


FIGURE 8 - OUTPUT RESISTANCE

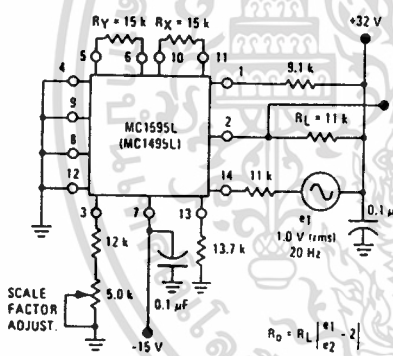


FIGURE 9 - BANDWIDTH (RL = 11 kΩ)

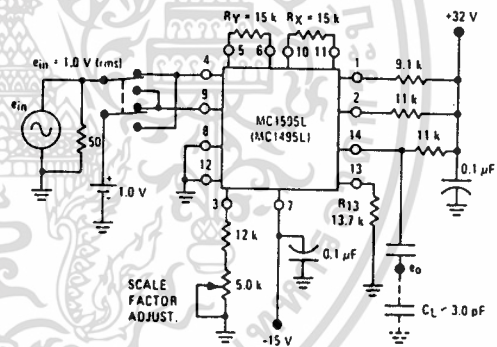


FIGURE 10 - BANDWIDTH (RL = 50 Ω)

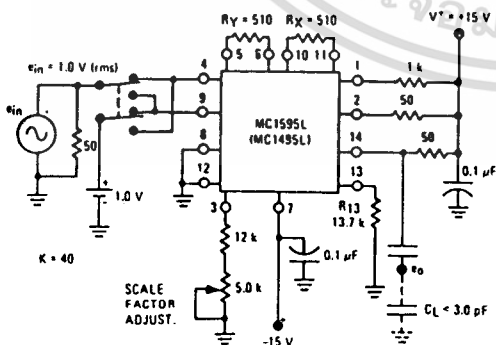
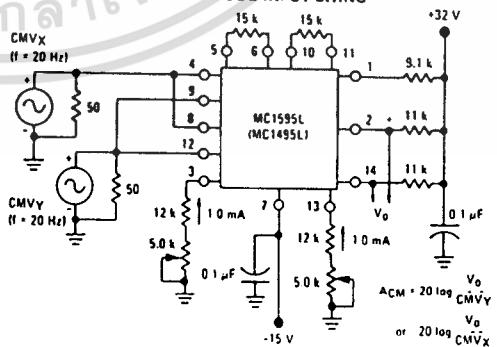


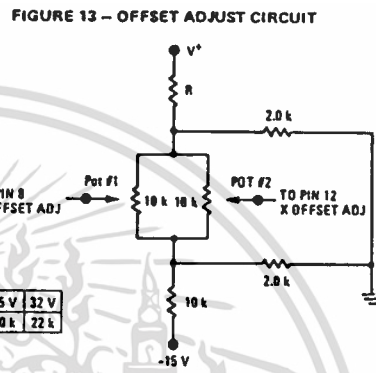
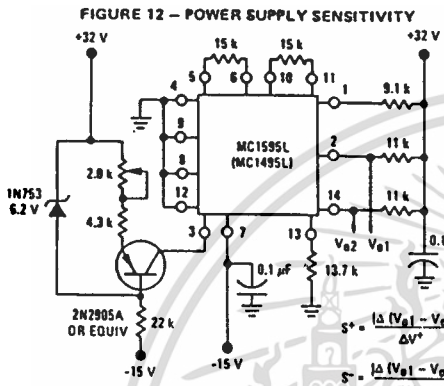
FIGURE 11 - COMMON-MODE GAIN and COMMON-MODE INPUT SWING



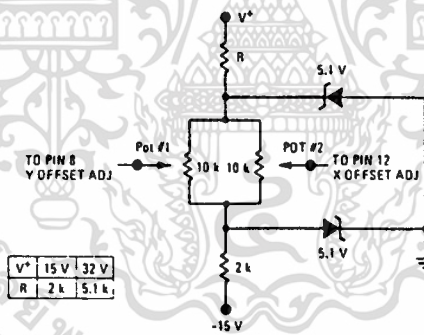
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## TEST CIRCUITS (continued)



**FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## TYPICAL CHARACTERISTICS

FIGURE 15 - LINEARITY versus TEMPERATURE

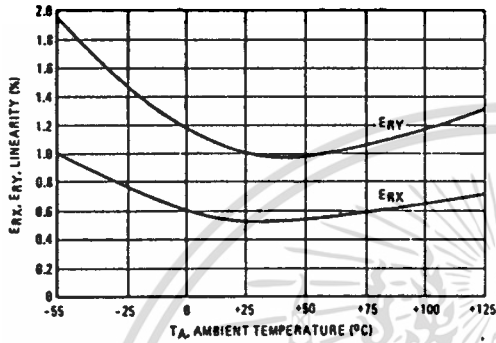


FIGURE 16 - SCALE FACTOR versus TEMPERATURE

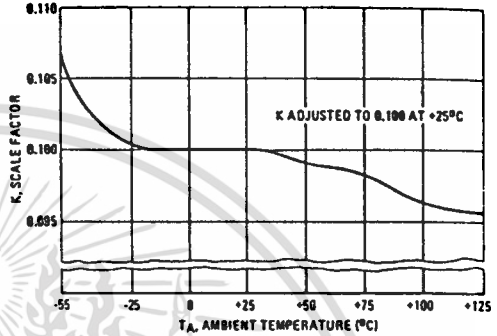


FIGURE 17 - ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

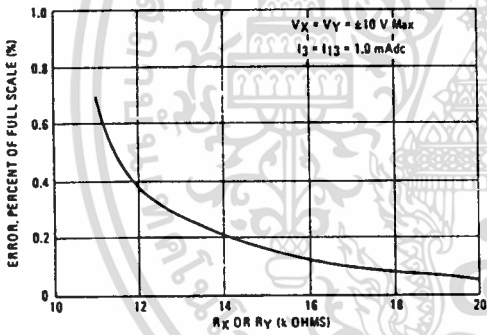


FIGURE 18 - ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

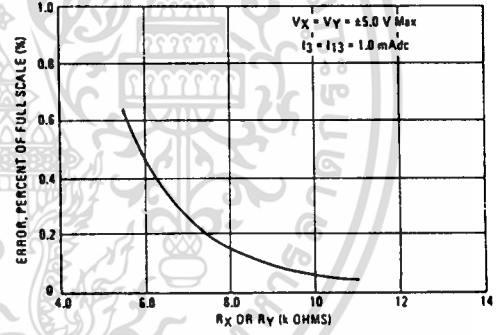
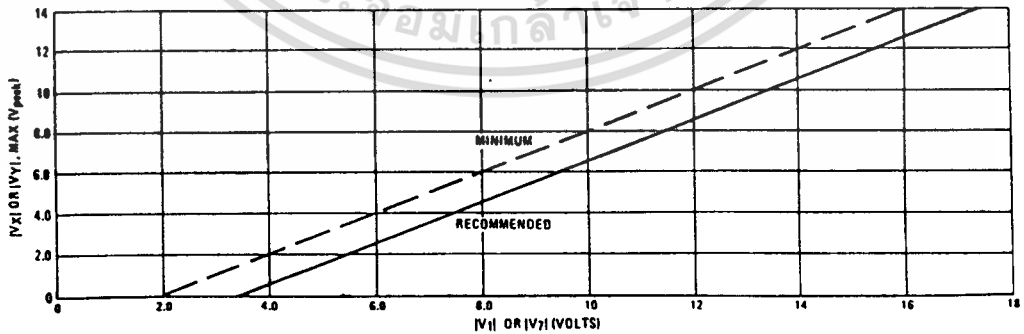


FIGURE 19 - MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## OPERATION AND APPLICATIONS INFORMATION

### THEORY OF OPERATION

The MC1595 (MC1495) is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. The detailed theory of operation is covered in Application Note AN-489, Analysis and Basic Operation of the MC1595. The result of this analysis is that the differential output current of the multiplier is given by

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_{13}}$$

where  $I_A$  and  $I_B$  are the currents into pins 14 and 2, respectively, and  $V_X$  and  $V_Y$  are the X and Y input voltages at the multiplier input terminals.

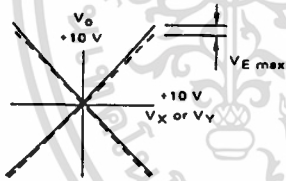
### DESIGN CONSIDERATIONS

#### General

The MC1595 (MC1495) permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

#### Linearity, Output Error, $E_{RX}$ or $E_{RY}$

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation,  $V_{E(max)}$ , is  $\pm 100$  mV and the full scale output is 10 volts, then the percentage error is

$$E_R = \frac{V_{E(max)}}{V_{o(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%$$

Linearity error may be measured by either of the following methods:

- Using an X - Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
- Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage,  $V_{E(max)}$ .

One source of linearity error can arise from large signal non-linearity in the X and Y-input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors  $R_X$  and  $R_Y$  must be chosen large enough so that non-linear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of  $R_X$  and  $R_Y$  with an operating current of 1.0 mA in each side of the differential amplifiers (i.e.,  $I_{13} = I_{13} = 1.0$  mA).

### 3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transmittance in the X and Y channels). If the input to output phase shift is only  $0.6^\circ$ , the output product of two sine waves will exhibit a vector error of 1%. A  $3^\circ$  relative phase shift between  $V_X$  and  $V_Y$  results in a vector error of 5%.

#### Maximum Input Voltage

$V_{X(max)}$ ,  $V_{Y(max)}$  maximum input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$

$$V_{Y(max)} < I_{13} R_X$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause non-linear operation.

Currents  $I_{13}$  and  $I_{13}$  are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then  $R_X$  and  $R_Y$  can be determined by considering the input signal handling requirements.

$$\text{For } V_{X(max)} = V_{Y(max)} = 10 \text{ volts:}$$

$$R_X = R_Y > \frac{10 \text{ V}}{1.0 \text{ mA}} = 10 \text{ k}\Omega$$

$$\text{The equation } I_A - I_B = \frac{2V_X V_Y}{R_X R_Y I_{13}}$$

$$\text{is derived from } I_A - I_B = \frac{2V_X V_Y}{(R_X + \frac{2kT}{qI_{13}})(R_Y + \frac{2kT}{qI_{13}}) I_{13}}$$

$$\text{with the assumption } R_X > \frac{2kT}{qI_{13}} \text{ and } R_Y > \frac{2kT}{qI_{13}}$$

$$\text{At } T_A = +25^\circ\text{C and } I_{13} = I_{13} = 1 \text{ mA,}$$

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_{13}} = 52 \Omega$$

Therefore, with  $R_X = R_Y = 10 \text{ k}\Omega$  the above assumption is valid. Reference to Figure 19 will indicate limitations of  $V_{X(max)}$  or  $V_{Y(max)}$  due to  $V_1$  and  $V_7$ . Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of Section 3 (General Design Procedure) for further details.

#### Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon  $V^+$  for positive swing and upon the voltage at pin 1 for negative swing. The potential at pin 1 determines the quiescent level for transistors  $Q_5$ ,  $Q_6$ ,  $Q_7$ , and  $Q_8$ . This potential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## OPERATION AND APPLICATIONS INFORMATION (continued)

should be related so that negative swing at pins 2 or 14 does not saturate those transistors. See Section 3 for further information regarding selection of these potentials.

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

### GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example: assume resistive dividers are used at the X and Y inputs to limit the maximum multiplier input to  $\pm 5.0$  volts ( $V_X = V_Y = V_{Y[\max]}$ ) for a  $\pm 10$ -volt input ( $V_X' = V_Y' = V_{Y[\max]}$ ). (See Figure 21). If an overall scale factor of 1/10 is desired, then

$$V_o = \frac{V_X' V_Y'}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10 V_X V_Y.$$

Therefore,  $K = 4/10$  for the multiplier (excluding the divider network).

Step 1. The first step is to select current  $I_3$  and current  $I_{13}$ . There are no restrictions on the selection of either of these currents except the power dissipation of the device.  $I_3$  and  $I_{13}$  will normally be one or two milliamperes. Further,  $I_3$  does not have to be equal to  $I_{13}$ , and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1 \text{ mA.}$$

To set currents  $I_3$  and  $I_{13}$  to the desired value, it is only necessary to connect a resistor between pin 13 and ground, and between pin 3 and ground. From the schematic shown in Figure 3,

FIGURE 20 — BASIC MULTIPLIER

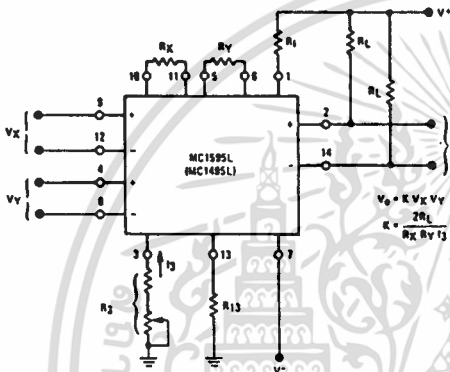
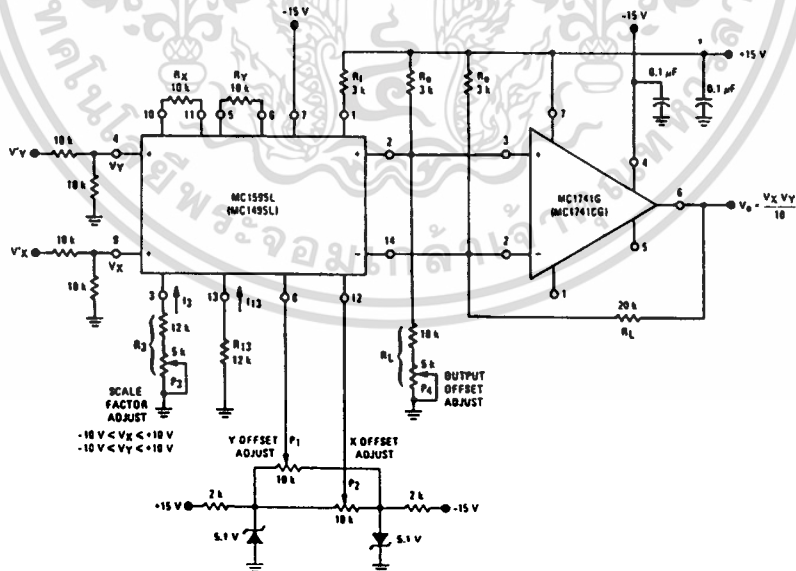


FIGURE 21 — MULTIPLIER WITH OP-AMPL. LEVEL SHIFT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1495L, MC1595L

## OPERATION AND APPLICATIONS INFORMATION (continued)

it can be seen that the resistor values necessary are given by:

$$R_{13} + 500 \Omega = \frac{|V^-| - 0.7 \text{ V}}{I_{13}}$$

$$R_3 + 500 \Omega = \frac{|V^-| - 0.7 \text{ V}}{I_3}$$

$$\text{Let } V^- = -15 \text{ V}$$

$$\text{Then } R_{13} + 500 = \frac{14.3 \text{ V}}{1 \text{ mA}} \text{ or } R_{13} = 13.8 \text{ k}\Omega$$

$$\text{Let } R_{13} = 12 \text{ k}\Omega$$

$$\text{Similarly, } R_3 = 13.8 \text{ k}\Omega$$

$$\text{Let } R_3 = 15 \text{ k}\Omega$$

However, for applications which require an accurate scale factor, the adjustment of  $R_3$  and consequently,  $I_3$ , offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor  $R_3$  is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.), pins 3 and 13 can be connected together and a single resistor from pin 3 to ground can be used. In this case, the single resistor would have a value of one-half the above calculated value for  $R_{13}$ .

Step 2. The next step is to select  $R_X$  and  $R_Y$ . To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13} \quad \frac{V_Y}{R_Y} < I_3$$

A good rule of thumb is to make  $I_3 R_Y \geq 1.5 V_Y(\text{max})$  and  $I_{13} R_X \geq 1.5 V_X(\text{max})$ .

The larger the  $I_3 R_Y$  and  $I_{13} R_X$  product in relation to  $V_Y$  and  $V_X$  respectively, the more accurate the multiplier will be (see Figures 17 and 18).

$$\text{Let } R_X = R_Y = 10 \text{ k}\Omega$$

$$\text{Then } I_3 R_Y = 10 \text{ V}$$

$$I_{13} R_X = 10 \text{ V}$$

since  $V_X(\text{max}) = V_Y(\text{max}) = 5.0 \text{ volts}$  the value of  $R_X = R_Y = 10 \text{ k}\Omega$  is sufficient.

Step 3. Now that  $R_X$ ,  $R_Y$  and  $I_3$  have been chosen,  $R_L$  can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}$$

$$\text{or } \frac{(2)(R_L)}{(10 \text{ k})(10 \text{ k})(1 \text{ mA})} = \frac{4}{10}$$

$$\text{Thus } R_L = 20 \text{ k}\Omega.$$

Step 4. To determine what power-supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors  $Q_1$ ,  $Q_2$ ,  $Q_3$  and  $Q_4$  in an active

region when the maximum input voltages are applied ( $V_X' = V_Y' = 10 \text{ V}$  or  $V_X = 5.0 \text{ V}$ ,  $V_Y = 5.0 \text{ V}$ ), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors  $Q_3$  and  $Q_4$  are at a potential which is two diode-drops below the voltage at pin 1. Thus, the voltage at pin 1 should be about two volts higher than the maximum input voltage. Therefore, to handle  $+5.0 \text{ volts}$  at the inputs, the voltage at pin 1 must be at least  $+7.0 \text{ volts}$ . Let  $V_1 = 9.0 \text{ Vdc}$ .

Since the current following into pin 1 is always equal to  $2I_3$ , the voltage at pin 1 can be set by placing a resistor,  $R_1$  from pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

$$\text{Let } V^+ = +15 \text{ V}$$

$$\text{Then } R_1 = \frac{15 \text{ V} - 9 \text{ V}}{(2)(1 \text{ mA})}$$

$$R_1 = 3 \text{ k}\Omega.$$

Note that the voltage at the base of transistors  $Q_5$ ,  $Q_6$ ,  $Q_7$  and  $Q_8$  is one diode-drop below the voltage at pin 1. Thus, in order that these transistors stay active, the voltage at pins 2 and 14 should be approximately halfway between the voltage at pin 1 and the positive-supply voltage. For this example, the voltage at pins 2 and 14 should be approximately 11 volts.

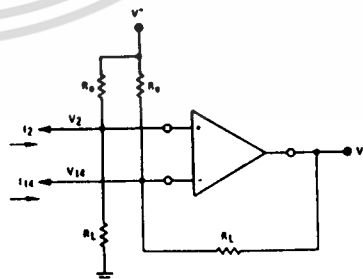
Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_o = (I_2 - I_{14}) R_L$$

$$\text{And since } I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2 V_X V_Y}{I_3 R_X R_Y}$$

Then  $V_o = \frac{2R_L V_X V_Y}{4R_X R_Y I_3}$  where  $V_X$ ,  $V_Y$  is the voltage at the input to the voltage dividers.

FIGURE 22 - LEVEL SHIFT CIRCUIT



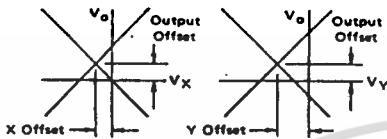
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# MC1495L, MC1595L

## OPERATION AND APPLICATIONS INFORMATION (continued)

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers ( $P_1$ ,  $P_2$ ,  $P_4$ ) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (See Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

### Scale Factor

The scale factor,  $K$ , is set by  $P_3$  (Figure 21).  $P_3$  varies  $I_3$  which inversely controls the scale factor  $K$ . It should be noted that current  $I_3$  is one-half the current through  $R_1$ .  $R_1$  sets the bias level for  $Q_5$ ,  $Q_6$ ,  $Q_7$ , and  $Q_8$  (See Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting  $P_3$  over wide voltage ranges (see Section 3, General Design Procedure).

### Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (See Figure 21)

- X Input Offset**
  - Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 4)
  - Connect "X" input (pin 9) to ground
  - Adjust X offset potentiometer,  $P_2$ , for an ac null at the output
- Y Input Offset**
  - Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 9)
  - Connect "Y" input (pin 4) to ground
  - Adjust "Y" offset potentiometer,  $P_1$ , for an ac null at the output
- Output Offset**
  - Connect both "X" and "Y" inputs to ground
  - Adjust output offset potentiometer,  $P_4$ , until the output voltage  $V_o$  is zero volts dc
- Scale Factor**
  - Apply +10 Vdc to both the "X" and "Y" inputs
  - Adjust  $P_3$  to achieve +10.00 V at the output.
- Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1595 (MC1495) depends upon the characteristics of potentiometers  $P_1$  through  $P_4$ . Multi-turn, infinite resolution potentiometers with low-temperature coefficients are recommended.

## DC APPLICATIONS

### Multiply

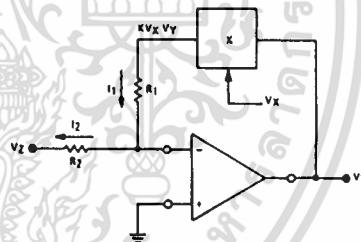
The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large — however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

### Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is  $V_o = KV^2$  where  $K$  is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

- AC Procedure:**
  - Connect oscillator (1 kHz, 15 Vpp) to input
  - Monitor output at 2 kHz with tuned voltmeter and adjust  $P_3$  for desired gain (be sure to peak response of the voltmeter)
  - Tune voltmeter to 1 kHz and adjust  $P_1$  for a minimum output voltage
  - Ground input and adjust  $P_4$  (output offset) for zero volts dc output
  - Repeat steps a through d as necessary.
- DC Procedure:**
  - Set  $V_X = V_Y = 0$  V and adjust  $P_4$  (output offset potentiometer) such that  $V_o = 0.0$  Vdc
  - Set  $V_X = V_Y = 1.0$  V and adjust  $P_1$  (Y-input offset potentiometer) such that the output voltage is +0.100 volts
  - Set  $V_X = V_Y = 10$  Vdc and adjust  $P_3$  such that the output voltage is +10.00 volts
  - Set  $V_X = V_Y = -10$  Vdc. Repeat steps a through d as necessary.

FIGURE 24 — BASIC DIVIDE CIRCUIT



### Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (-) input. Assuming that the bias current of the operational amplifier is negligible, then  $I_1 = I_2$  and

$$\frac{KV_X V_Y}{R_1} = \frac{-V_Z}{R_2} \quad (1)$$

$$\text{Solving for } V_Y, \quad V_Y = \frac{-R_1}{R_2 K} \frac{V_Z}{V_X} \quad (2)$$

$$\text{If } R_1 = R_2 \quad V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

$$\text{If } R_1 = KR_2 \quad V_Y = \frac{-V_Z}{V_X} \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

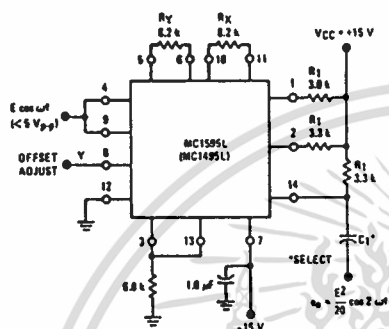




# MC1495L, MC1595L

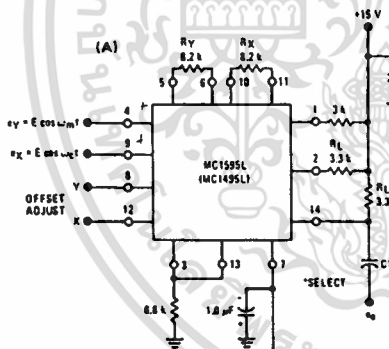
## OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 28 - FREQUENCY DOUBLER

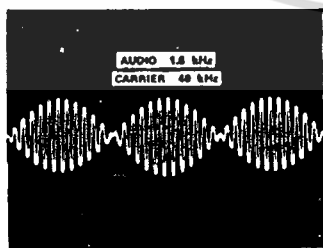


When two equal cosine waves are applied to X and Y, the result is a sine wave of twice the input frequency. For this example the input was a 10 kHz signal, output was 20 kHz.

FIGURE 29 - BALANCED MODULATOR



(B)



The defining equation for balanced modulation is

$$X \cdot Y = K(E_m \cos \omega_m t)(E_c \cos \omega_c t) =$$

$$\frac{KE_m E_c}{2} [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where  $\omega_c$  is the carrier frequency,  $\omega_m$  is the modulator frequency and  $K$  is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform,  $\cos \omega_c t$ ,

$$e_{ssb} e_{carrier} = \frac{AK}{2} [\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t]$$

If the frequency of the band-limited carrier signal,  $\omega_c$ , is ascertained in advance the designer can insert a low-pass filter and obtain the  $(AK/2) \cos \omega_c t$  term with ease. He also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low-pass filter.

### Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y offset adjust potentiometer. (See Figure 30.)

Here, the identity is

$$E_m(1 + m \cos \omega_m t) E_c \cos \omega_c t = KE_m E_c \cos \omega_c t + \frac{KE_m E_c m}{2} [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where  $m$  indicates the degree of modulation. Since  $m$  is adjustable, via potentiometer  $P_1$ , 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where  $\omega_c$  and  $\omega_m$  are the same as in the balanced-modulator example.

### Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1595 (MC1495) inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sine wave, 1.0 volt peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage  $V_C$  is 0 to +1.0 volt. These must be ascertained and the proper values of  $R_X$  and  $R_Y$  can be selected for optimum performance. For the 200-kHz operating frequency, load resistors of 100 ohms were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency. (See Figure 31.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## CD4046BM/CD4046BC Micropower Phase-Locked Loop

### General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled, for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO<sub>IN</sub> input, and the capacitor and resistors connected to pin C1<sub>A</sub>, C1<sub>B</sub>, R1 and R2.

The source follower output of the VCO<sub>IN</sub> (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

### Features

- Wide supply voltage range 3.0V to 18V
- Low dynamic power consumption 70 μW (typ.) at f<sub>o</sub> = 10 kHz, V<sub>CC</sub> = 5V
- VCO frequency 1.3 MHz (typ.) at V<sub>CC</sub> = 10V
- Low frequency drift with temperature 0.06%/°C at V<sub>CC</sub> = 10V
- High VCO linearity 1% (typ.)

### Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

### Block & Connection Diagrams

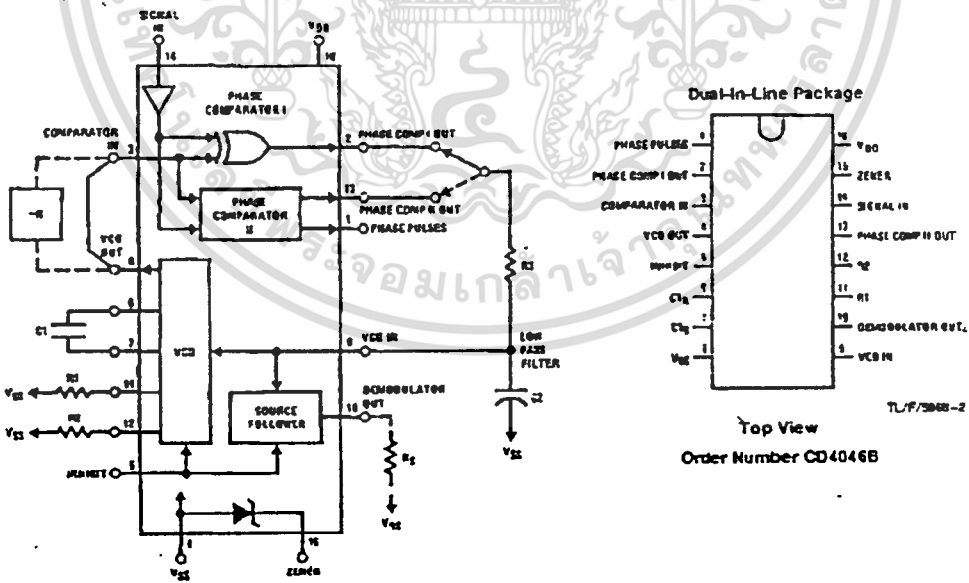


FIGURE 1

TL/F/2806-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage ( $V_{DD}$ )	-0.5 to $\pm 18 V_{DC}$
Input Voltage ( $V_{IN}$ )	-0.5 to $V_{DD} \pm 0.5 V_{DC}$
Storage Temperature Range ( $T_S$ )	-65°C to +150°C
Power Dissipation ( $P_D$ )	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature ( $T_L$ )	
(Soldering, 10 seconds)	260°C

### Recommended Operating Conditions (Note 2)

DC Supply Voltage ( $V_{DD}$ )	3 to 15 $V_{DC}$
Input Voltage ( $V_{IN}$ )	0 to $V_{DD} V_{DC}$
Operating Temperature Range ( $T_A$ )	
CD4046BM	-55°C to $\pm 125^\circ C$
CD4046BC	-40°C to $\pm 85^\circ C$

### DC Electrical Characteristics CD4046BM (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
$I_{DD}$	Quiescent Device Current	Pin 5 - $V_{DD}$ , Pin 14 - $V_{DD}$ , Pin 3, 9 - $V_{SS}$ $V_{DD}$ - 5V $V_{DD}$ - 10V $V_{DD}$ - 15V		5 10 20	0.005 0.01 0.015	5 10 20		150 300 500	$\mu A$ $\mu A$ $\mu A$	
		Pin 5 - $V_{DD}$ , Pin 14 - Open, Pin 3, 2 - $V_{SS}$ $V_{DD}$ - 5V $V_{DD}$ - 10V $V_{DD}$ - 15V		45 450 1200	5 20 50	35 350 900		185 550 1500	$\mu A$ $\mu A$ $\mu A$	
$V_{OL}$	Low Level Output Voltage	$V_{DD}$ - 5V		0.05	0	0.05		0.05	V	
		$V_{DD}$ - 10V		0.05	0	0.05		0.05	V	
		$V_{DD}$ - 15V		0.05	0	0.05		0.05	V	
$V_{OH}$	High Level Output Voltage	$V_{DD}$ - 5V	4.95		4.95	5		4.95	V	
		$V_{DD}$ - 10V	9.95		9.95	10		9.95	V	
		$V_{DD}$ - 15V	14.95		14.95	15		14.95	V	
$V_{IL}$	Low Level Input Voltage Comparator and Signal In	$V_{DD}$ - 5V, $V_O$ - 0.5V or 4.5V		1.5	2.25	1.5		1.5	V	
		$V_{DD}$ - 10V, $V_O$ - 1V or 9V		3.0	4.5	3.0		3.0	V	
		$V_{DD}$ - 15V, $V_O$ - 1.5V or 13.5V		4.0	6.25	4.0		4.0	V	
$V_{IH}$	High Level Input Voltage Comparator and Signal In	$V_{DD}$ - 5V, $V_O$ - 0.5V or 4.5V	3.5		3.5	2.75		3.5	V	
		$V_{DD}$ - 10V, $V_O$ - 1V or 9V	7.0		7.0	5.5		7.0	V	
		$V_{DD}$ - 15V, $V_O$ - 1.5V or 13.5V	11.0		11.0	8.25		11.0	V	
$I_{OL}$	Low Level Output Current (Note 4)	$V_{DD}$ - 5V, $V_O$ - 0.4V	0.64		0.51	0.88		0.36	mA	
		$V_{DD}$ - 10V, $V_O$ - 0.5V	1.6		1.3	2.25		0.9	mA	
		$V_{DD}$ - 15V, $V_O$ - 1.5V	4.2		3.4	8.8		2.4	mA	
$I_{OH}$	High Level Output Current (Note 4)	$V_{DD}$ - 5V, $V_O$ - 4.6V	-0.64		-0.51	-0.88		-0.36	mA	
		$V_{DD}$ - 10V, $V_O$ - 9.5V	-1.6		-1.3	-2.25		-0.9	mA	
		$V_{DD}$ - 15V, $V_O$ - 13.5V	-4.2		-3.4	-8.8		-2.4	mA	
$I_{IN}$	Input Current	All Inputs Except Signal Input $V_{DD}$ - 14V, $V_{IN}$ - 0V $V_{DD}$ - 15V, $V_{IN}$ - 15V		-0.1 0.1		-10 <sup>-5</sup> 10 <sup>-5</sup>		-0.1 0.1	$\mu A$ $\mu A$	
		Input Capacitance	Any Input (Note 3)						7.5	pF
$P_T$	Total Power Dissipation	$f_o$ - 10 kHz, $R_1$ - 1 M $\Omega$ $R_2$ - $\infty$ , $V_{COIN}$ - $V_{DD}/2$								
		$V_{DD}$ - 5V			0.07				mW	
		$V_{DD}$ - 10V			0.6				mW	
		$V_{DD}$ - 15V			2.4				mW	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics CD4046BC (Note 2)

Symbol	Parameter	Conditions	-40°C		±25°C			+85°C		Units	
			Min	Max	Min	Typ	Max	Min	Max		
$I_{DD}$	Quiescent Device Current	Pin 5 - $V_{DD}$ , Pin 14 - $V_{DD}$ , Pin 3, 9 - $V_{SS}$ $V_{DD}$ - 5V $V_{DD}$ - 10V $V_{DD}$ - 15V		20		0.005	20		150	$\mu A$	
				40		0.01	40		300	$\mu A$	
				80		0.015	80		600	$\mu A$	
		Pin 5 - $V_{DD}$ , Pin 14 - Open, Pin 3, 9 - $V_{SS}$ $V_{DD}$ - 5V $V_{DD}$ - 10V $V_{DD}$ - 15V		70		5	55		205	$\mu A$	
				530		20	410		710	$\mu A$	
				1500		50	1200		1800	$\mu A$	
$V_{OL}$	Low Level Output Voltage	$V_{DD}$ - 5V		0.05		0	0.05		0.05	V	
		$V_{DD}$ - 10V		0.05		0	0.05		0.05	V	
		$V_{DD}$ - 15V		0.05		0	0.05		0.05	V	
$V_{OH}$	High Level Output Voltage	$V_{DD}$ - 5V	4.95		4.95	5		4.95		V	
		$V_{DD}$ - 10V	9.95		9.95	10		9.95		V	
		$V_{DD}$ - 15V	14.95		14.95	15		14.95		V	
$V_{IL}$	Low Level Input Voltage Comparator and Signal In	$V_{DD}$ - 5V, $V_O$ - 0.5V or 4.5V		1.5		2.25	1.5		1.5	V	
		$V_{DD}$ - 10V, $V_O$ - 1V or 9V		3.0		4.5	3.0		3.0	V	
		$V_{DD}$ - 15V, $V_O$ - 1.5V or 13.5V		4.0		6.25	4.0		4.0	V	
$V_{IH}$	High Level Input Voltage Comparator and Signal In	$V_{DD}$ - 5V, $V_O$ - 0.5V or 4.5V	3.5		3.5	2.75		3.5		V	
		$V_{DD}$ - 10V, $V_O$ - 1V or 9V	7.0		7.0	5.5		7.0		V	
		$V_{DD}$ - 15V, $V_O$ - 1.5V or 13.5V	11.0		11.0	8.25		11.0		V	
$I_{OL}$	Low Level Output Current (Note 4)	$V_{DD}$ - 5V, $V_O$ - 0.4V	0.52		0.44	0.88		0.36		mA	
		$V_{DD}$ - 10V, $V_O$ - 0.5V	1.3		1.1	2.25		0.9		mA	
		$V_{DD}$ - 15V, $V_O$ - 1.5V	3.6		3.0	8.8		2.4		mA	
$I_{OH}$	High Level Output Current (Note 4)	$V_{DD}$ - 5V, $V_O$ - 4.6V	-0.52		-0.44	-0.88		-0.36		mA	
		$V_{DD}$ - 10V, $V_O$ - 9.5V	-1.3		-1.1	-2.25		-0.9		mA	
		$V_{DD}$ - 15V, $V_O$ - 13.5V	-3.6		-3.0	-8.8		-2.4		mA	
$I_{IN}$	Input Current	All Inputs Except Signal Input $V_{DD}$ - 15V, $V_{IN}$ - 0V		-0.3		$-10^{-5}$	-0.3		-1.0	$\mu A$	
		$V_{DD}$ - 15V, $V_{IN}$ - 15V		0.3		$10^{-5}$	0.3		1.0	$\mu A$	
$C_{IN}$	Input Capacitance	Any Input (Note 3)					7.5			pF	
$P_T$	Total Power Dissipation	$f_o$ - 10 kHz, $R_1$ - 1 M $\Omega$ , $R_2$ - $\infty$ , $V_{COIN}$ - $V_{DD}/2$ $V_{DD}$ - 5V $V_{DD}$ - 10V $V_{DD}$ - 15V				0.07				mW	
						0.6				mW	
						2.4					mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2:  $V_{SS}$  - 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

Note 4:  $I_{OH}$  and  $I_{OL}$  are tested on 1 output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics\* CD40458M/CD40468C T<sub>A</sub> = 25°C, C<sub>L</sub> = 50 pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>VCO SECTION</b>						
I <sub>DD</sub>	Operating Current	f <sub>o</sub> = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO <sub>IN</sub> = V <sub>DD</sub> /2 V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		20 90 200		μA μA μA
f <sub>MAX</sub>	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO <sub>IN</sub> = V <sub>DD</sub> V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V	0.4 0.6 1.0	0.8 1.2 1.6		MHz MHz MHz
		Linearity	VCO <sub>IN</sub> = 2.5V ± 0.3V, R1 > 10 kΩ, V <sub>DD</sub> = 5V VCO <sub>IN</sub> = 5V ± 2.5V, R1 > 400 kΩ, V <sub>DD</sub> = 10V VCO <sub>IN</sub> = 7.5V ± 1.5V, R1 > 1 MΩ, V <sub>DD</sub> = 15V		1 1 1	% % %
		Temperature-Frequency Stability No Frequency Offset, f <sub>MIN</sub> = 0	%/°C ± 1/f, V <sub>DD</sub> R2 = ∞ V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		0.12-0.24 0.04-0.08 0.015-0.03	%/°C %/°C %/°C
	Frequency Offset, f <sub>MIN</sub> ≠ 0	V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		0.06-0.12 0.05-0.1 0.03-0.06	%/°C %/°C %/°C	
	VCO <sub>IN</sub>	Input Resistance	V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		10 <sup>6</sup> 10 <sup>6</sup> 10 <sup>6</sup>	
VCO	Output Duty Cycle	V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		50 50 50		% % %
t <sub>THL</sub>	VCO Output Transition Time	V <sub>DD</sub> = 5V		90	200	ns
		V <sub>DD</sub> = 10V		50	100	ns
		V <sub>DD</sub> = 15V		45	80	ns

\*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics\* CD4046BM/CD4046BC T<sub>A</sub> = 25°C, C<sub>L</sub> = 50 pF (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>PHASE COMPARATORS SECTION</b>						
R <sub>IN</sub>	Input Resistance Signal Input	V <sub>DD</sub> = 5V	1	3		MΩ
		V <sub>DD</sub> = 10V	0.2	0.7		MΩ
		V <sub>DD</sub> = 15V	0.1	0.3		MΩ
	Comparator Input	V <sub>DD</sub> = 5V		10 <sup>6</sup>		MΩ
		V <sub>DD</sub> = 10V		10 <sup>6</sup>		MΩ
		V <sub>DD</sub> = 15V		10 <sup>6</sup>		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C <sub>SERIES</sub> = 1000 pF f = 50 kHz V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		200 400 700	400 800 1400	mV mV mV
<b>DEMODULATOR OUTPUT</b>						
V <sub>COIN</sub> - V <sub>DEM</sub>	Offset Voltage	R <sub>S</sub> > 10 kΩ, V <sub>DD</sub> = 5V		1.50	2.2	V
		R <sub>S</sub> = 10 kΩ, V <sub>DD</sub> = 10V		1.50	2.2	V
R <sub>S</sub> = 50 kΩ, V <sub>DD</sub> = 15V			1.50	2.2	V	
	Linearity	R <sub>S</sub> = 50 kΩ		0.1		%
V <sub>COIN</sub> = 2.5V ± 0.3V, V <sub>DD</sub> = 5V			0.6		%	
V <sub>COIN</sub> = 5V ± 2.5V, V <sub>CD</sub> = 10V			0.8		%	
		V <sub>COIN</sub> = 7.5V ± 5V, V <sub>CD</sub> = 15V				%
<b>ZENER DIODE</b>						
V <sub>Z</sub>	Zener Diode Voltage	I <sub>Z</sub> = 50 μA	6.3	7.0	7.7	V
R <sub>Z</sub>	Zener Dynamic Resistance	I <sub>Z</sub> = 1 mA		100		Ω

\*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Phase Comparator State Diagrams

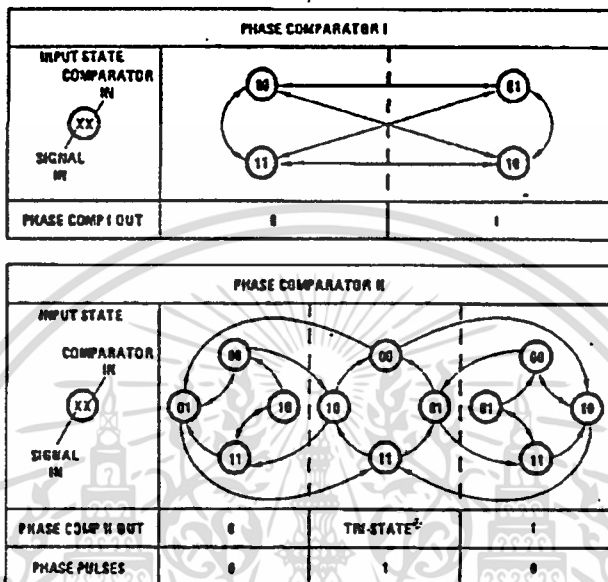


FIGURE 2

TL/F/5908-3

### Typical Waveforms

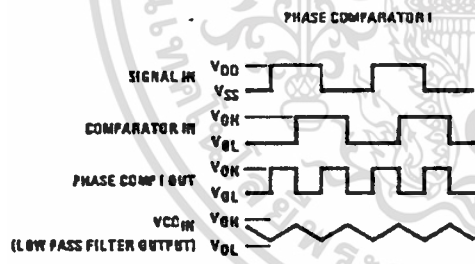


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

TL/F/5908-4

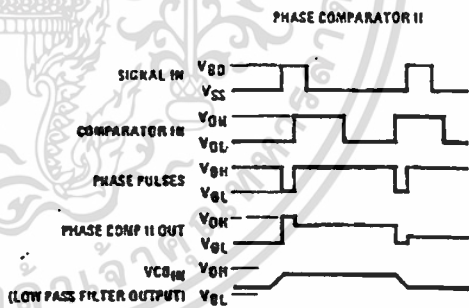


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

TL/F/5908-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

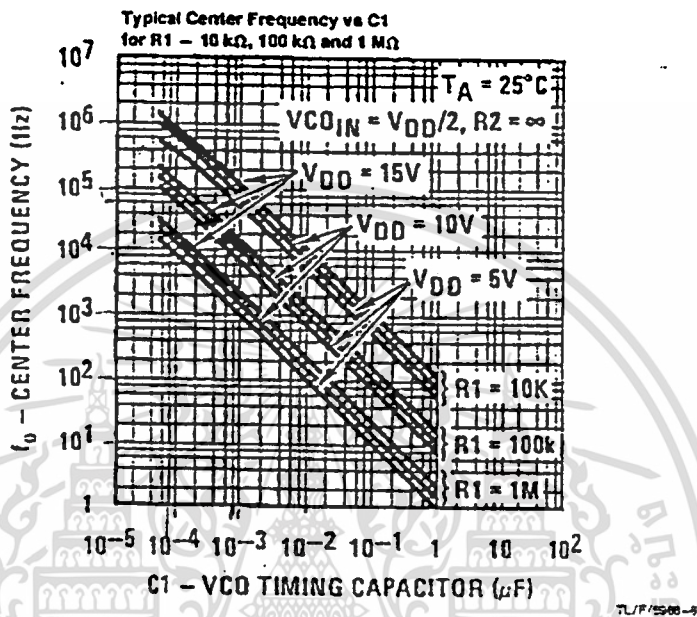


FIGURE 5a

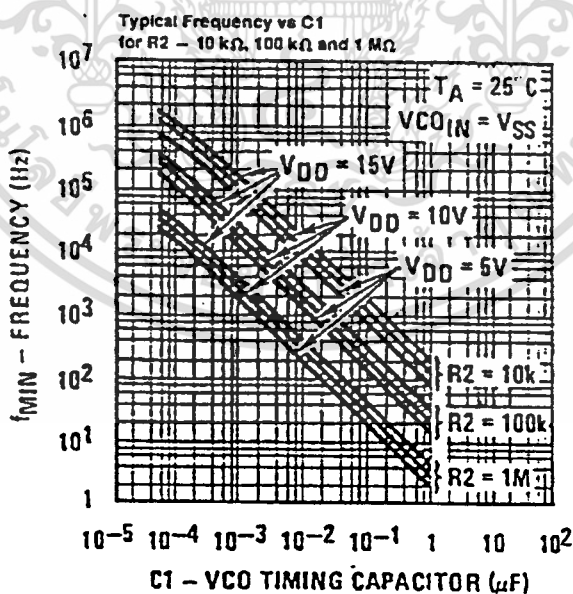


FIGURE 5b

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator:  $P_D$  (Total) =  $P_D$  (f $\phi$ ) +  $P_D$  (f $\omega$ ) +  $P_D$  (F $\phi$ ); Phase Comparator II:  $P_D$  (Total) =  $P_D$  (f $\omega$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

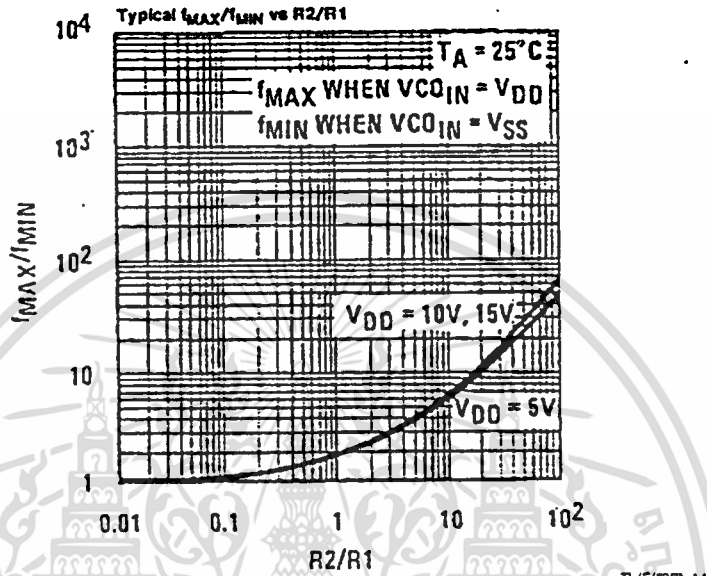


FIGURE 5C

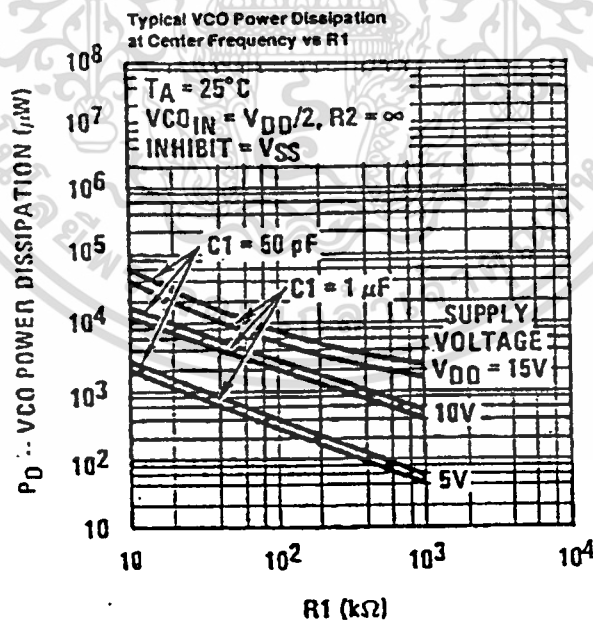


FIGURE 6a

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I,  $P_D$  (Total) =  $P_D$  (V<sub>CO</sub>) +  $P_D$  (V<sub>MIN</sub>) +  $P_D$  (V<sub>S</sub>); Phase Comparator II,  $P_D$  (Total) =  $P_D$  (V<sub>CO</sub>).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

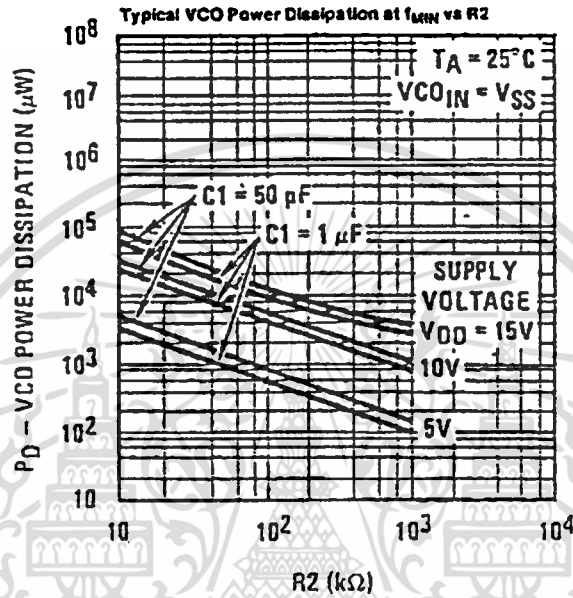


FIGURE 6b

TLF/552-1\*

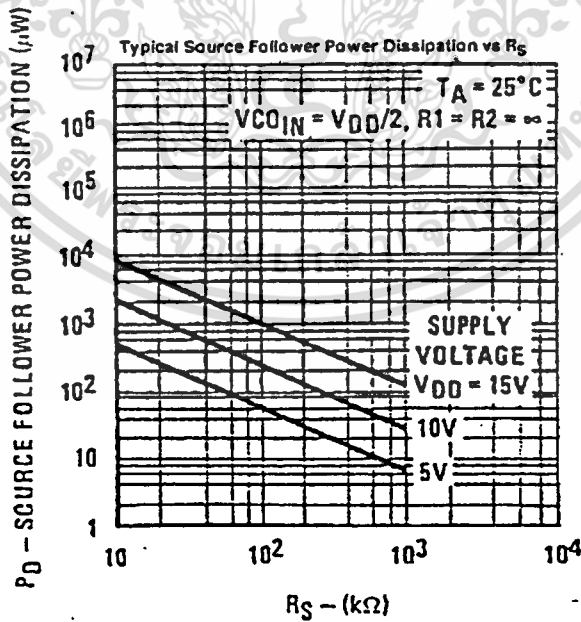


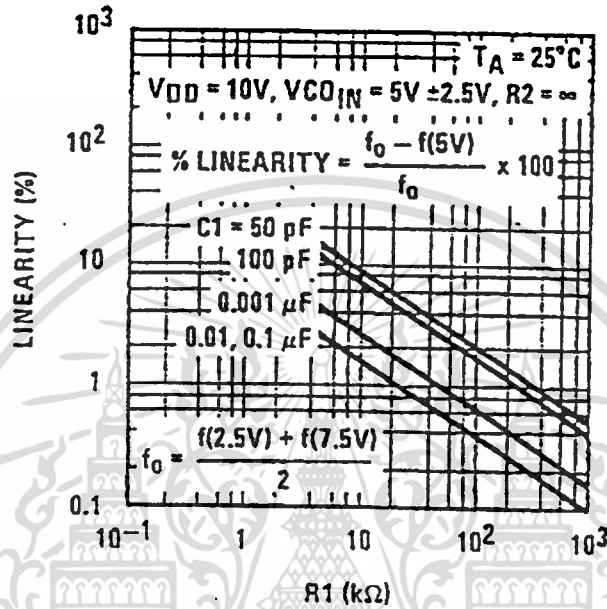
FIGURE 6c

TLF/508-1\*

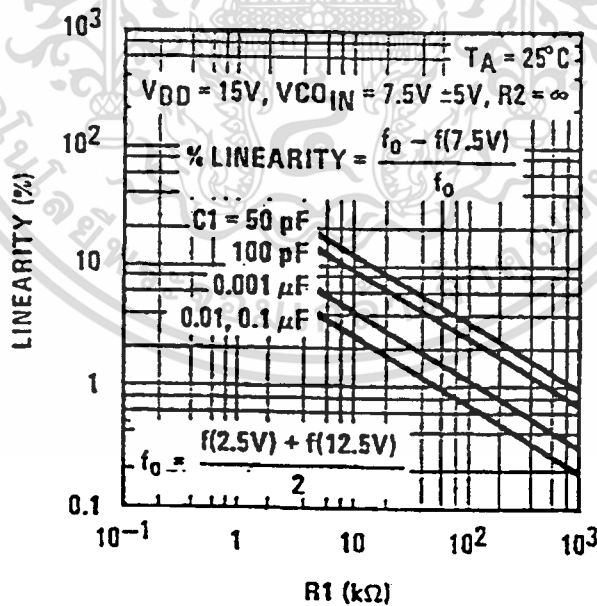
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator ( $P_D$  (Total) =  $P_D$  (VCO) +  $P_D$  (VCO) +  $P_D$  (RS); Phase Comparator II,  $P_D$  (Total) =  $P_D$  (VCO).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



TL/F/2968-1B



TL/F/2968-1B

FIGURE 7. Typical VCO Linearity vs R1 and C1

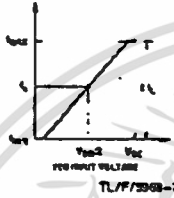
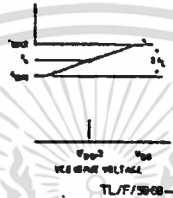
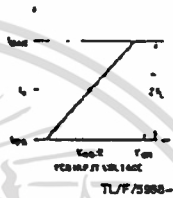
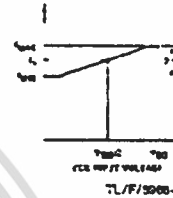


Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I,  $P_D(\text{Total}) = P_D(V_D) + P_D(V_{\text{ctrl}}) + P_D(V_{\text{S}})$  Phase Comparator II,  $P_D(\text{Total}) = P_D(V_{\text{ctrl}})$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges:  $R_1, R_2 > 10 \text{ k}\Omega$ ,  $R_3 > 10 \text{ k}\Omega$ ,  $C_1 > 50 \text{ pF}$ .

In addition to the given design information, refer to *Figure 5* for  $R_1, R_2$  and  $C_1$  component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R_2 = \infty$	VCO With Offset	VCO Without Offset $R_2 = \infty$	VCO With Offset
VCO Frequency	 TL/F/5988-7	 TL/F/5988-8	 TL/F/5988-9	 TL/F/5988-10
For No Signal Input	VCO in PLL system will adjust to center frequency, $f_0$		VCO in PLL system will adjust to lowest operating frequency, $f_{\min}$	
Frequency Lock Range, $2f_L$	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{\max} - f_{\min}$			
Frequency Capture Range, $2f_C$	 TL/F/5988-11		$2f_C = \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{R C}}$	
Loop Filter Component Selection	 TL/F/5988-12		For $2f_C$ , see Ref. $f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency ( $f_0$ ), approximating 0° and 180° at ends of lock range ( $2f_L$ )		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given: $f_0$ . Use $f_0$ with <i>Figure 5a</i> to determine $R_1$ and $C_1$ .	Given: $f_0$ and $f_L$ . Calculate $f_{\min}$ from the equation $f_{\min} = f_0 - f_L$ . Use $f_{\min}$ with <i>Figure 5b</i> to determine $R_2$ and $C_1$ . Calculate $\frac{f_{\max}}{f_{\min}}$ from the equation $\frac{f_{\max}}{f_{\min}} = \frac{f_0 + f_L}{f_0 - f_L}$ . Use $\frac{f_{\max}}{f_{\min}}$ with <i>Figure 5c</i> to determine ratio $R_2/R_1$ to obtain $R_1$ .	Given: $f_{\max}$ . Calculate $f_0$ from the equation $f_0 = \frac{f_{\max}}{2}$ . Use $f_0$ with <i>Figure 5a</i> to determine $R_1$ and $C_1$ .	Given: $f_{\min}$ and $f_{\max}$ . Use $f_{\min}$ with <i>Figure 5b</i> to determine $R_2$ and $C_1$ . Calculate $\frac{f_{\max}}{f_{\min}}$ . Use $\frac{f_{\max}}{f_{\min}}$ with <i>Figure 5c</i> to determine ratio $R_2/R_1$ to obtain $R_1$ .

## References

- G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", *BSTJ*, May, 1965.  
Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SCL4017AB



# CMOS DECADE COUNTER/DIVIDER

## FEATURES

- ◆ 10 Decoded Decimal Outputs
- ◆ Direct Reset
- ◆ Trigger from either Edge of Clock Input
- ◆ Carry Output for Cascading Stages
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc

## DESCRIPTION

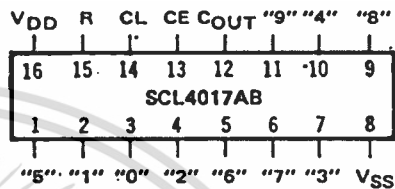
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (COUT) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

## CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V <sub>DD</sub> - V <sub>SS</sub>	3 to 15	Vdc
Operating Temperature	T <sub>A</sub>	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

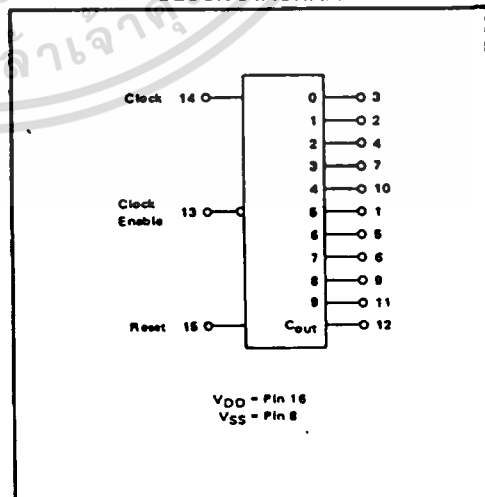
## FUNCTIONAL TRUTH TABLE (Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
X	0	0	n + 1
X	X	0	n
X	X	0	n
1	X	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

## BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS

### STATIC CHARACTERISTICS<sup>1</sup>

PARAMETER	V <sub>DD</sub> (V <sub>Dc</sub> )	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>3</sup>		Units			
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.				
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	5	V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>	-	5	-	0.05	5	-	150	μA <sub>Dc</sub>		
		10	All valid input combinations	-	10	-	0.1	10	-	300			
		15		-	20	-	0.2	20	-	600			
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs	I <sub>OH</sub>	5	V <sub>OH</sub> = 4.6V	-0.05	-	-0.04	-0.3	-	-0.028	-	mA <sub>Dc</sub>		
		10	V <sub>OH</sub> = 9.5V	-0.125	-	-0.1	-0.75	-	-0.07	-			
		15	V <sub>OH</sub> = 13.5V	-0.375	-	-0.3	-2.5	-	-0.21	-			
			V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>										
			Carry Output	5	V <sub>OH</sub> = 4.6V	-0.25	-	-0.2	-0.75	-	-0.14	-	mA <sub>Dc</sub>
				10	V <sub>OH</sub> = 9.5V	-0.62	-	-0.5	-1.1	-	-0.35	-	
			15	V <sub>OH</sub> = 13.5V	-1.9	-	-1.5	-3.5	-	-1.1	-		
				V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>									
		I <sub>OH</sub>	5	V <sub>OH</sub> = 4.6V	-0.048	-	-0.04	-0.3	-	-0.032	-	mA <sub>Dc</sub>	
			10	V <sub>OH</sub> = 9.5V	-0.12	-	-0.1	-0.75	-	-0.08	-		
			15	V <sub>OH</sub> = 13.5V	-0.36	-	-0.3	-2.5	-	-0.24	-		
				V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>									
			Carry Output	5	V <sub>OH</sub> = 4.6V	-0.24	-	-0.2	-0.75	-	-0.16	-	mA <sub>Dc</sub>
				10	V <sub>OH</sub> = 9.5V	-0.6	-	-0.5	-1.1	-	-0.4	-	
			15	V <sub>OH</sub> = 13.5V	-1.8	-	-1.5	-3.5	-	-1.2	-		
			V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>										
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs	I <sub>OL</sub>	5	V <sub>OL</sub> = 0.4V	0.05	-	0.04	0.4	-	0.028	-	mA <sub>Dc</sub>		
		10	V <sub>OL</sub> = 0.5V	0.125	-	0.1	1.0	-	0.07	-			
		15	V <sub>OL</sub> = 1.5V	0.375	-	0.3	3.0	-	0.21	-			
			V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>										
			Carry Output	5	V <sub>OL</sub> = 0.4V	0.25	-	0.2	0.75	-	0.14	-	mA <sub>Dc</sub>
				10	V <sub>OL</sub> = 0.5V	0.62	-	0.5	1.3	-	0.35	-	
			15	V <sub>OL</sub> = 1.5V	1.9	-	1.5	4.0	-	1.1	-		
				V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>									
		I <sub>OL</sub>	5	V <sub>OL</sub> = 0.4V	0.048	-	0.04	0.4	-	0.032	-	mA <sub>Dc</sub>	
			10	V <sub>OL</sub> = 0.5V	0.12	-	0.1	1.0	-	0.08	-		
			15	V <sub>OL</sub> = 1.5V	0.36	-	0.3	3.0	-	0.24	-		
				V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>									
			Carry Output	5	V <sub>OL</sub> = 0.4V	0.24	-	0.2	0.75	-	0.16	-	mA <sub>Dc</sub>
				10	V <sub>OL</sub> = 0.5V	0.6	-	0.5	1.3	-	0.4	-	
			15	V <sub>OL</sub> = 1.5V	1.8	-	1.5	4.0	-	1.2	-		
			V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub>										

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.

= -40°C for E device.

T<sub>HIGH</sub> = +125°C for C, D, F, H device.

= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

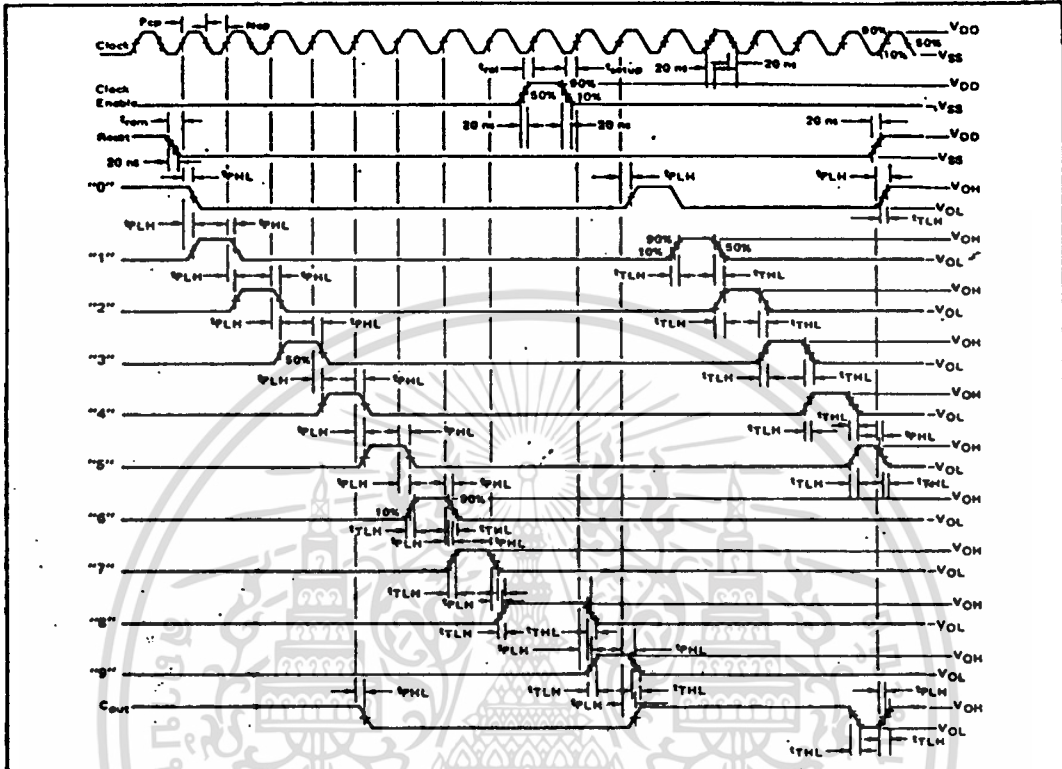
**ELECTRICAL CHARACTERISTICS (Continued)**

**DYNAMIC CHARACTERISTICS ( $C_L = 50\text{pF}$ ,  $T_A = 25^\circ\text{C}$ )**

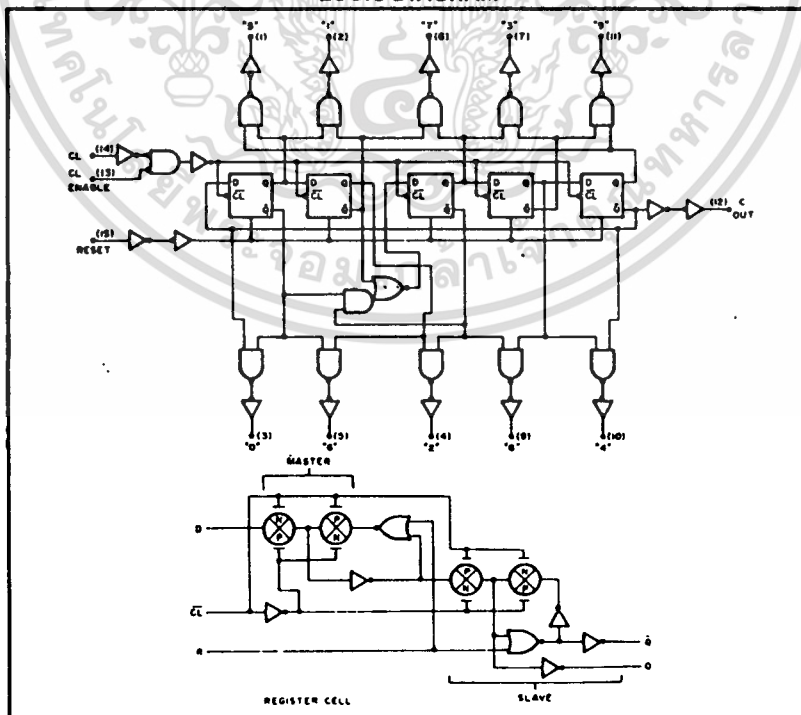
PARAMETER		$V_{DD}$ (Vdc)	Min.	Typ.	Max.	Units	
<b>CLOCKED OPERATION</b>							
PROPAGATION DELAY TIME To Decoded Outputs	$t_{PLH}, t_{PHL}$	5	—	600	1200	ns	
		10	—	240	480		
		15	—	180	360		
	To Carry Output	$t_{PLH}, t_{PHL}$	5	—	500	1000	ns
			10	—	200	400	
			15	—	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	$t_{TLH}, t_{THL}$	5	—	250	500	ns	
		10	—	125	250		
		15	—	90	180		
	Carry Output	$t_{TLH}, t_{THL}$	5	—	180	360	ns
			10	—	90	180	
			15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	$PW_{CL}$	5	—	200	400	ns	
		10	—	100	200		
		15	—	80	160		
MAXIMUM CLOCK FREQUENCY	$f_{CL}$	5	1.25	2.5	—	MHz	
		10	2.5	5.0	—		
		15	3.0	6.0	—		
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	$t_{CL}, t_{CEL}$	5	15	—	—	$\mu\text{s}$	
		10	15	—	—		
		15	5	—	—		
MINIMUM ENABLE SETUP TIME	$t_{setup}$	5	—	175	350	ns	
		10	—	75	150		
		15	—	55	110		
MINIMUM ENABLE REMOVAL TIME	$t_{rem}$	5	—	250	500	ns	
		10	—	100	200		
		15	—	75	150		
<b>RESET OPERATION</b>							
PROPAGATION DELAY TIME To Decoded Outputs	$t_{PLH}, t_{PHL}$	5	—	500	1000	ns	
		10	—	200	400		
		15	—	140	280		
	To Carry Output	$t_{PLH}$	5	—	400	800	ns
			10	—	150	300	
			15	—	110	220	
MINIMUM RESET PULSE WIDTH	$PW_R$	5	—	150	300	ns	
		10	—	75	150		
		15	—	60	120		
RESET REMOVAL TIME	$t_{rem}$	5	—	250	500	ns	
		10	—	100	200		
		15	—	80	160		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



### LOGIC DIAGRAM

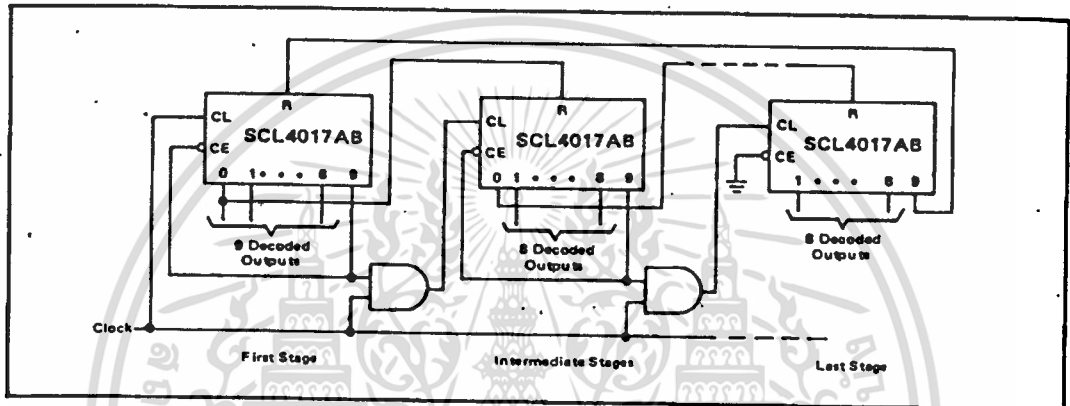


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATIONS INFORMATION

### COUNTER EXPANSION

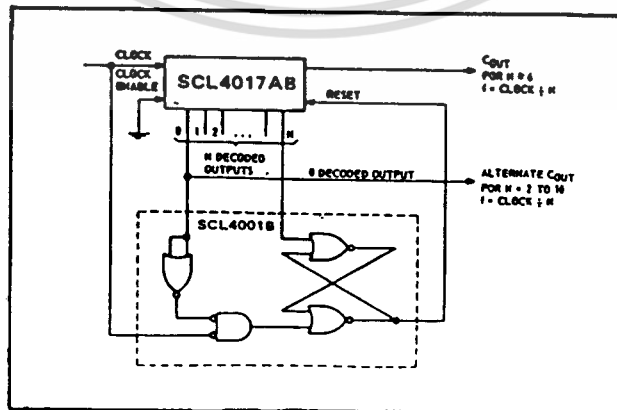
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



### DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the COUT line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the COUT line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL						
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package				
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF			
T.I.									SN54LS164	J	D			SN54164	J	D			SN54164	J	D		
FAIRCHILD									SN74LS164	J	D	NC		SN74164	J	D	ND		SN74164	J	D	ND	
MOTOROLA									MC74LS164	P	D			MC74164	P	D			MC74164	P	D		
N.S.C.									DM74LS164	D				DM74164	D				DM74164	D			
PHILIPS									N74LS164	D				N74164	D				N74164	D			
SIGNETICS									N74LS164	A	D			S54164	F	D	A	D	N74164	F	D	A	D
SIEMENS														FL3441									
FUJITSU									74LS164	M	D												
HITACHI									HD74LS164	P	D			HD74164	D	P	D						
MITSUBISHI									M74LS164	P	D			M53364	P	D							
NEC									AM74LS	C	D			μPB2164	D	D							
TOSHIBA														TD3503A	P	D							
AMD									Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54* -55°C to 125°C
Input voltage	7V		SN74* 0°C to 70°C
		Storage temperature range	-65°C to 150°C

recommended operating conditions

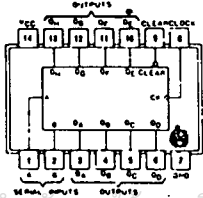
	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Clock frequency, f <sub>clock</sub>	0		25	0		25	MHz
Width of clock or clear input pulse, t <sub>w</sub>	20		20				ns
Data setup time, t <sub>setup</sub>	15		15				ns
Data hold time, t <sub>hold</sub>	5		5				ns
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage	2			V
V <sub>IL</sub>	Low-level input voltage			0.8	V
V <sub>I</sub>	Input clamp voltage, V <sub>CC</sub> =MIN, I <sub>I</sub> =-18mA			-1.5	V
V <sub>OH</sub>	High-level output voltage, V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OH</sub> =-400μA	2.7	3.5		V
V <sub>OL</sub>	Low-level output voltage, V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OL</sub> =8mA	0.35	0.5		V
I <sub>I</sub>	Input current maximum input voltage, V <sub>CC</sub> =MAX, V <sub>I</sub> =7V			0.1	mA
I <sub>IH</sub>	High-level input current, V <sub>CC</sub> =MAX, V <sub>I</sub> =2.7V			20	μA
I <sub>IL</sub>	Low-level input current, V <sub>CC</sub> =MAX, V <sub>I</sub> =0.8V			0.4	mA
I <sub>OS</sub>	Short-circuit output current †, V <sub>CC</sub> =MAX			100	mA
ICC	Supply current †, V <sub>CC</sub> =MAX, See Note 1		16	21	mA
f <sub>max</sub>	Maximum clock frequency, V <sub>CC</sub> =5V, T <sub>A</sub> =25°C, R <sub>L</sub> =2kΩ		25	36	MHz
t <sub>PHL</sub>	Propagation delay time, high-to-low level 0 outputs from clear input, C <sub>L</sub> =15pF		24	36	ns
t <sub>PLH</sub>	Propagation delay time, low-to-high level 0 outputs from clock input, C <sub>L</sub> =15pF		17	27	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low level 0 outputs from clock input, C <sub>L</sub> =15pF		21	32	ns

Pin Assignment (Top View)

①



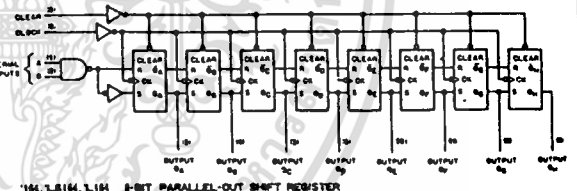
positive logic: sdc function table

Function Table

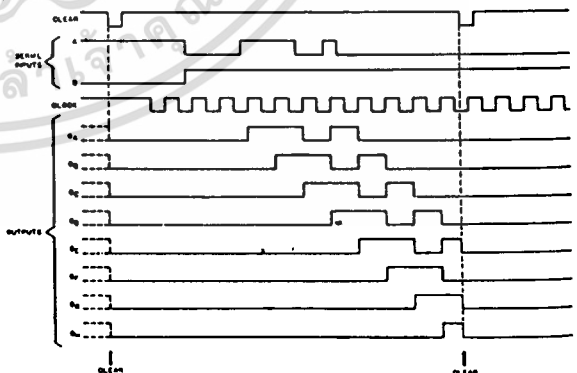
\*164, LS164, L164 (see Note 2)

CLEAR	CLOCK	INPUTS		OUTPUTS									
		A	B	QA	QB	QC	QD	QE	QF	QG	QH		
L	X	X	X	L	L	L	L	L	L	L	L	L	L
H	L	X	X	QA	QB	QC	QD	QE	QF	QG	QH		
H	↑	H	H	H	QA	QB	QC	QD	QE	QF	QG	QH	
H	↑	L	X	L	QA	QB	QC	QD	QE	QF	QG	QH	
H	↑	X	L	L	QA	QB	QC	QD	QE	QF	QG	QH	

Functional Block Diagram



typical clear, shift, and clear sequences



- NOTES: 1. ICC is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.  
 2. H = high level (steady state), L = Low-level (steady state)  
 X = irrelevant (any input, including transitions)  
 ↑ = transition from low to high level.  
 QA, QB, QH = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.  
 QA, QGn = the level of QA or QG before the most-recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.  
 ‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 \* Not more than two outputs should be shorted at a time.

ไม่ว่าใครเห็นก็ให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 9-Bit Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL					
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package			
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF		
T.I.									SN54LS165	J	D			SN54165	J	D						
FAIRCHILD									SN74LS165	J	D	N	D	FMS4165/FM93165	J	D	N	D				
MOTOROLA													MC74165									
N.S.C.													DM74165					DM54L165A	J	D	N	D
PHILIPS													NT4165									
SIGNETICS													S54165	F	D	B	D	WD				
SIEMENS													FL451									
FUJITSU																						
HITACHI																						
MITSUBISHI													M53365									
NEC																						
TOSHIBA																						

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			400			400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Clock frequency, f <sub>clock</sub>	0		20	0		20	MHz
Width of clock input pulse, t <sub>w</sub> (clock)	25		25				ns
Width of load input pulse, t <sub>w</sub> (load)	15		15				ns
Clock enable setup time, t <sub>setup</sub>	30		30				ns
Parallel input setup time, t <sub>setup</sub>	10		10				ns
Serial input setup time, t <sub>setup</sub>	20		20				ns
Shift setup time, t <sub>setup</sub>	45		45				ns
Hold time at any input, t <sub>hold</sub>	0		0				ns
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage			0.8	V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> - MIN, I <sub>I</sub> = -18 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8V, I <sub>OH</sub> = -400 μA	2.7	3.5	V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8V, I <sub>OL</sub> = 8 mA	0.35	0.5	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V		0.3	mA
	Shift, load input			0.1	
	Other inputs			60	μA
I <sub>IH</sub>	High-level shift, load input	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.7V		20	μA
	Other inputs			-1.2	mA
I <sub>IL</sub>	Low-level shift, load input	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4V		-0.4	mA
	Other inputs			-100	mA
I <sub>OS</sub>	Short-circuit current‡	V <sub>CC</sub> = MAX	SN54LS	-20	-100
			SN74LS	-20	-100
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = MAX, See Note 2		21	36
				21	36
f <sub>max</sub>	Maximum clock frequency		25	35	MHz
IP <sub>LH</sub>	from L to Any output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15 pF, R <sub>L</sub> = 2kΩ	22	35	ns
IP <sub>HL</sub>	from H to output Q <sub>H</sub>		27	40	ns
IP <sub>LH</sub>	from Clock to Any output		28	40	ns
IP <sub>HL</sub>	from H to output Q <sub>H</sub>		18	25	ns
IP <sub>LH</sub>	from H to output Q <sub>H</sub>		21	30	ns
IP <sub>HL</sub>	from H to output Q <sub>H</sub>		21	30	ns
IP <sub>HL</sub>	from H to output Q <sub>H</sub>		16	25	ns

† For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.

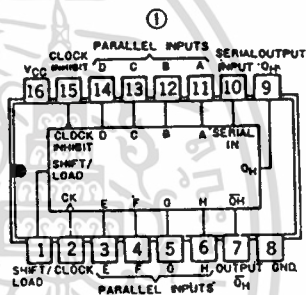
‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

§ Not more than one output should be shorted at a time.

¶ IP<sub>LH</sub> = propagation delay time, low-to-high-level output

‡ IP<sub>HL</sub> = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:

Function Table

165 (see Note 3)

SHIFT/LOAD	CLOCK INHIBIT	INPUTS			INTERNAL OUTPUTS	OUTPUT
		CLOCK	SERIAL	PARALLEL A...H		
L	X	X	X	a...h	a b	h
H	L	L	X		Q <sub>A0</sub> Q <sub>B0</sub>	Q <sub>H0</sub>
H	L	I	H	X	H Q <sub>An</sub>	Q <sub>Gn</sub>
H	L	I	L	X	L Q <sub>An</sub>	Q <sub>Gn</sub>
H	H	I	X	X	Q <sub>A0</sub> Q <sub>B0</sub>	Q <sub>H0</sub>

- NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, t<sub>CC</sub> is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state), X = irrelevant (any input, including transitions), I = transition from low to high level, a...h = the level of steady-state input at inputs A thru H, respectively, Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>H0</sub> = the level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established, Q<sub>An</sub>, Q<sub>Gn</sub> = the level of Q<sub>A</sub> or Q<sub>G</sub>, respectively, before the most recent transition of the clock.

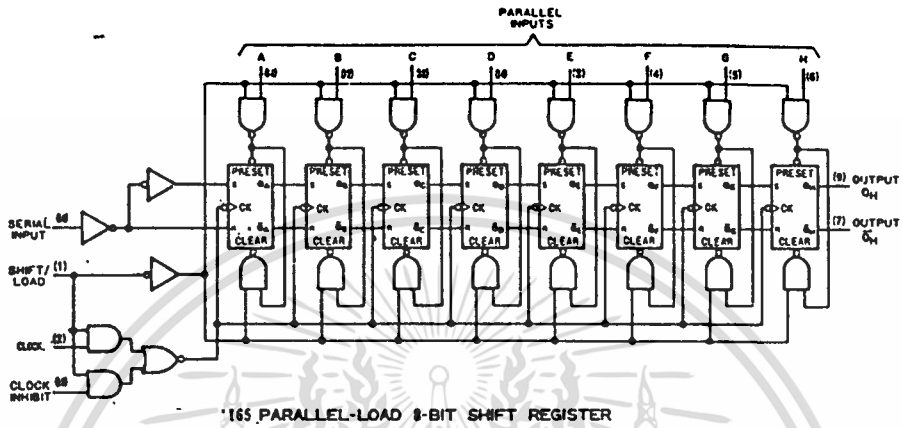
CONTINUED ON NEXT PAGE

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



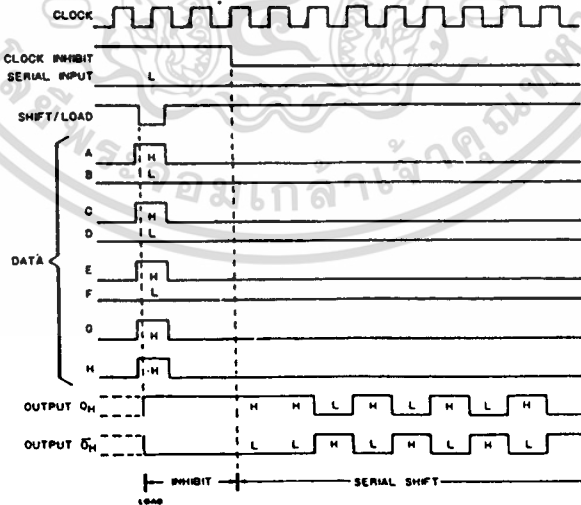
54165/74165 (CONTINUED)

### Functional Block diagram



74165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

### typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้