



เครื่องรับส่งสัญญาณดิจิทัล 16 QAM

16 QAM DIGITAL TRANSMITTER AND RECEIVER

นายฉกาช
นายพิชชา
นายมนตรี

เปรมใจสุข
รัตนสัมฤทธิ์กุล
ปานอินทร์

วัน เดือน ปี..... 14.ค.ค. 2541
เลขทะเบียน..... 038937
เลขเรียกหนังสือ..... 120.177 จ. 112 ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038937

หัวข้อปริญญานิพนธ์ เครื่องรับส่งสัญญาณดิจิทัล 16 QAM
16 QAM DIGITAL TRANSMITTER AND RECEIVER
ชื่อนักศึกษา นายฉกาจ เปรมใจสุข
นายพิชชา รัตนสัมฤทธิ์กุล
นายมนตรี ปานอินทร์
อาจารย์ที่ปรึกษา ศศ.ชวลิต เบญจางคประเสริฐ
อาจารย์อรรถาก แสงอรุณ
ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2540

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับ
ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
()

.....กรรมการ
()

.....กรรมการ
()

.....กรรมการ
()

.....กรรมการ
()

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณดิจิตอล 16 QAM

โดย นายฉกาจ เปรมใจสุข
 นายพิชชา รัตนสัมฤทธิ์กุล
 นายมนตรี ปานอินทร์
 อาจารย์ที่ปรึกษา ผศ.ชวลิต เบญจางคประเสริฐ
 อาจารย์อรรถาภรณ์ แสงอรุณ
 ปีการศึกษา 2540

บทคัดย่อ

ปัจจุบันระบบการสื่อสารแบบดิจิตอลได้เข้ามามีบทบาทในระบบสื่อสารข้อมูล เนื่องจากมีข้อดีกว่าระบบอนาล็อก(Analog)มาก ในโครงการนี้ทำการศึกษาและทดลองเกี่ยวกับการใช้เทคนิคการส่งสัญญาณดิจิตอลให้มีความเร็วโดยเลือกใช้เทคนิคการส่งสัญญาณดิจิตอลให้เป็นสัญญาณ Multilevel หรือสัญญาณหลายระดับ ก่อนจะทำการมอดูเลท(Modulate) แบบบาลานซ์มอดูเลทชั้น (Balance Modulation)โดยมีการส่ง Pilot Tone ซึ่งใช้ในการอ้างอิงเพื่อให้เกิดการซิงโครไนซ์ระหว่างภาครับและภาคส่ง

ในโครงงานนี้จะส่งข้อมูลได้ครั้งละ 4 บิต แล้วส่งออกไป 1 ครั้ง เมื่อเทียบกับ QPSK (Quadrature Phase Shift Keying) ถ้าส่งใน Bit Rate ที่เท่ากันแล้วจะพบว่า 16QAM จะมีความเร็วมากกว่า

16 QAM DIGITAL TRANSMITTER AND RECEIVER

By Mr. Chakad Premjaisuk
 Mr. Pichaya Rattanasumritkul
 Mr. Montree Pan-in
Advisor Mr. Chawalit Benjangkaprasert
 Ms. Ornlarp Saingaroon
Year 1997

ABSTRACT

At the present time digital communications is playing an increasing role in data communications, due to having significant advantages over the previous analog methods. This project has investigated techniques for transmitting high-speed digital signals using multilevel to create several stage signals prior to modulation using a balanced modulation, whereby a Pilot Tone is used to maintain synchronization between receiver and transmitter.

This project can be sent data in packages of 4 bits a single time. Compared with QPSK (Quadrature Phase Shift Keying), if sent at a comparable bit rate, it is found that 16 QAM has a faster transmission rate.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดี ก็เนื่องจากได้รับคำแนะนำ และการช่วยเหลือ ด้านข้อมูลต่างๆ เป็นอย่างดียิ่งจากอาจารย์ ชวลิต เบญจางคประเสริฐ และ อาจารย์อรลภก แสงอรุณ อาจารย์ที่ปรึกษาโครงการที่ให้คำแนะนำปรึกษา ตลอดจนการให้ความเอื้อเฟื้อเครื่องมือ อุปกรณ์และห้องปฏิบัติการในการทำโครงการครั้งนี้ จึงขอขอบพระคุณไว ณ ที่นี้ด้วย

ขอขอบพระคุณบิดา มารดา ที่ช่วยเป็นกำลังใจ และให้การสนับสนุนด้านทุนทรัพย์ ขอบคุณเพื่อนๆ ที่ให้กำลังใจ และคำแนะนำช่วยเหลือ ในการทำโครงการนี้จนสำเร็จไปด้วยดี

นายฉกาจ เปรมใจสุข
นายพิชชา รัตนสัมฤทธิ์กุล
นายมนตรี ปานอินทร์

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	A
บทคัดย่อ(ภาษาอังกฤษ)	B
กิตติกรรมประกาศ	C
บทที่ 1 บทนำ	1
- คุณสมบัติสายส่งข้อมูล	1
- มาตรฐานของโมเด็มตาม CCITT(ITU-T)	10
- วัตถุประสงค์	15
บทที่ 2 ทฤษฎีและหลักการของ 16 QAM	17
- Quadrature Amplitude Modulation	17
- ประสิทธิภาพของแถบความถี่	19
- การพิจารณาความถี่ของ 16 QAM	21
- วงจร Balance Modulation	22
- วงจรกรองความถี่ด้วย Active	24
- ระบบ Phase Lock Loop	29
บทที่ 3 การออกแบบและการทดลองวงจรด้านภาคส่ง	51
- วงจรแยกบิตคู่ และบิตคี่	51
- วงจรแปลงสัญญาณจาก 2 บิต เป็นสัญญาณ 4 ระดับ	52
- วงจรกรองความถี่ต่ำผ่าน	53
- วงจรกำเนิดสัญญาณพาหะ	54
- วงจรกำเนิดสัญญาณไฟลิตอดโทน	56
- วงจรกรองความถี่ผ่านเฉพาะย่าน	57
- วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	58
- วงจรบาลานซ์มอดูเลเตอร์	59
- วงจรรวมสัญญาณ	60
บทที่ 4 การออกแบบและการทดลองวงจรด้านภาครับ	61
- วงจรกรองความถี่ผ่านเฉพาะด้าน	61
- วงจรกู้สัญญาณคลื่นพาหะ	62

	หน้า
- วงจรเลื่อนเฟสสัญญาณ 90 องศา	63
- วงจรคีมอคูเลเตอร์	64
- วงจรกรองความถี่ต่ำผ่าน	64
- วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต	65
- วงจรรวมสัญญาณดิจิทัล	66
บทที่ 5 ผลการทดลอง	67
บทที่ 6 สรุปผลการทดลอง	82

บรรณานุกรม	K
ภาคผนวก	L



สารบัญรูปภาพ

	หน้า
บทที่ 1	
รูปที่ 1.1 กรณีที่ไม่มีการผิดเพี้ยนรูปทรงของสัญญาณ	1
รูปที่ 1.2 กรณีที่เกิดการผิดเพี้ยนรูปทรงของสัญญาณอย่างมาก	1
รูปที่ 1.3 การผิดเพี้ยนรูปทรงของสัญญาณ เนื่องจากการสะท้อนกลับ	4
รูปที่ 1.4 โครงสร้างของสายโคแอกเชียลเคเบิล	5
รูปที่ 1.5 ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลในเมือง	7
รูปที่ 1.6 ปริมาณการลดทอนขนาดของสัญญาณของสายโคแอกเชียลเคเบิล	8
รูปที่ 1.7 การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองความถี่	8
รูปที่ 1.8 การมอดูเลชัน	9
รูปที่ 1.9 ตัวอย่างของพัลส์โค้ด	9
รูปที่ 1.10 บล็อกไดอะแกรมของภาคส่ง	15
รูปที่ 1.11 บล็อกไดอะแกรมของภาครับ	16
บทที่ 2	
รูปที่ 2.1 บล็อกไดอะแกรมของ 16 QAM Modulator	17
รูปที่ 2.2 Phase Diagram และ Constellation Diagram	19
รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modulator	22
รูปที่ 2.4 วงจร Balance Modulator	23
รูปที่ 2.5 Frequency Response ของ Filter	26
รูปที่ 2.6 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกคูล	27
รูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกคูล	29
รูปที่ 2.8 ก. ผลต่างเฟสเมื่อเฟสเท่ากัน	29
รูปที่ 2.8 ข. เมื่อเฟสของอินพุตไม่เท่ากัน	30
รูปที่ 2.9 แสดงบล็อกไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นถินียร์	36
รูปที่ 2.10 แสดงเออร์เรอร์โวลต์เดจซึ่งขณะในระหว่างเวลากระบวนการแคปเจอร์	40
รูปที่ 2.11 แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลต์เดจ	43
รูปที่ 2.12 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลต์เดจของระบบ PLL	44
รูปที่ 2.13 ระบบเฟสล็อกคูล	45

	หน้า
รูปที่ 2.14 พิสัยการถือครองของระบบเฟสล็อกคูล	46
รูปที่ 2.15 แสดงคุณสมบัติเอาต์พุตที่เคเตอร์กับเฟสเออร์เรอร์	47
รูปที่ 2.16 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อกคูล	49
บทที่ 3	
รูปที่ 3.1 วงจรแยกบิทคู่และบิทคี่	51
รูปที่ 3.2 วงจรแปลงสัญญาณ จาก 2 บิท เป็นสัญญาณ 4 ระดับ	52
รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่าน	54
รูปที่ 3.4 วงจรกำหนดสัญญาณพาหะ	55
รูปที่ 3.5 วงจรกำเนิดสัญญาณไฟลัดโทน	56
รูปที่ 3.6 วงจรกรองความถี่ผ่านเฉพาะย่าน	57
รูปที่ 3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	58
รูปที่ 3.9 วงจรรวมสัญญาณ	59
รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์	60
บทที่ 4	
รูปที่ 4.1 วงจรกรองความถี่ผ่านเฉพาะย่าน	61
รูปที่ 4.2 วงจรคู่สัญญาณคลื่นพาหะ	62
รูปที่ 4.3 วงจรเลื่อนเฟสสัญญาณ 90 องศา	63
รูปที่ 4.4 วงจรดีมอดูเลเตอร์	64
รูปที่ 4.5 วงจรกรองความถี่ต่ำ	65
รูปที่ 4.6 วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิท	66
รูปที่ 4.7 วงจรรวมสัญญาณดิจิทัล	67
บทที่ 5	
รูปที่ 5.1 (รูปบน)แสดงรูปสัญญาณนาฬิกาความถี่ 256 kHz (รูปล่าง)แสดงรูปสัญญาณ NRZ แบบกึ่งRandom	67
รูปที่ 5.2 แสดงสัญญาณแยกบิททางด้าน I,I',Q,Q'	67
รูปที่ 5.3 (รูปบน) แสดงสัญญาณ 4 ระดับทางด้าน I	68

(รูปถ่าย) แสดงสัญญาณ 4 ระดับทางด้าน I หลังผ่านวงจร Low Pass filter	
รูปที่ 5.4 (รูปบน) แสดงสัญญาณ 4 ระดับทางด้าน Q	68
(รูปถ่าย) แสดงสัญญาณ 4 ระดับทางด้าน Q หลังผ่านวงจร Low Pass filter	
รูปที่ 5.5 (รูปบน) แสดงสัญญาณ Input ของวงจรคูณความถี่ 5 เท่า	69
(รูปถ่าย) แสดงสัญญาณ Output ของวงจรคูณความถี่ 5 เท่า	
รูปที่ 5.6 (รูปบน) แสดงสัญญาณ Carrier Sine ความถี่ 640 kHz	69
(รูปถ่าย) แสดงสัญญาณ Carrier Cosine ความถี่ 640 kHz	
รูปที่ 5.7 (รูปบน) แสดงสัญญาณ Input ของวงจรคูณความถี่ 4 เท่า	70
(รูปถ่าย) แสดงสัญญาณ Output ของวงจรคูณความถี่ 4 เท่า	
รูปที่ 5.8 แสดงสัญญาณ Pilot Tone ความถี่ 512 kHz	70
รูปที่ 5.9 (รูปบน) แสดงสัญญาณ I ที่ผ่านการ Modulation (Output ของวงจร Differential Amp)	71
(รูปถ่าย) แสดงสัญญาณ Q ที่ผ่านการ Modulation (Output ของวงจร Differential Amp)	
รูปที่ 5.10 แสดงสัญญาณ Output ของเครื่องส่ง 16 QAM	71
รูปที่ 5.11 เครื่องกำเนิดสัญญาณ NRZ แบบกึ่งแรนดอม	72
รูปที่ 5.12 แสดงสัญญาณ Pilot Tone ที่กรองได้จากภาครับ ขา 7 IC # TL084	72
รูปที่ 5.13 (รูปบน) แสดงสัญญาณ VCO เอาท์พุทที่ได้จากการล๊อคกับความถี่ของสัญญาณ ไฟลิตอน	73
(รูปถ่าย) แสดงสัญญาณ Clock ที่กู้มาได้	
รูปที่ 5.14 แสดงสัญญาณ VCO output เพื่อสร้างญาณพาหะทางภาครับ ที่ขา 4 IC # 4046	73
รูปที่ 5.15 (รูปบน) แสดงสัญญาณที่ติ่มอดูเลชั่น เป็นสัญญาณ 4 ระดับ ทางด้าน I ที่ ขา 6 IC # LF351N	74
(รูปถ่าย) แสดงสัญญาณที่ติ่มอดูเลชั่น เป็นสัญญาณ 4 ระดับทางด้าน Q ที่ ขา 6 IC # LF351N	
รูปที่ 5.16 (รูปบน) แสดงการวัดเฟสโดยปรับ Scope ที่ตำแหน่ง X-Y	74
(รูปถ่าย) แสดงสัญญาณ Carrier ที่กู้ได้ที่ภาครับ ที่ขา 7, 14 IC # TL084	
รูปที่ 5.17 แสดงรูป Constellation Diagram 16 QAM	75
รูปที่ 5.18 (รูปบน) แสดงสัญญาณ Clock ความถี่ 256 KHz ที่กู้ขึ้นจากภาครับ	75
(รูปถ่าย) แสดงสัญญาณหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO ที่ขา 3 IC # 7400	

	หน้า
รูปที่ 5.19 (รูปบน)แสดงสัญญาณ Clock ความถี่ 256 KHz ที่กู้ขึ้นจากภาครับ (รูปล่าง)แสดงสัญญาณ Invert ของการหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO	76
รูปที่ 5.20 แสดงการเปรียบเทียบสัญญาณหน่วงเวลาและสัญญาณ Invert หน่วงเวลา 4 บิต	76
รูปที่ 5.21 แสดงสัญญาณ Output Comparator ของสัญญาณด้าน I ที่ขา 7,8,14 IC # TL084	77
รูปที่ 5.22 แสดงสัญญาณ Output Comparator ของสัญญาณด้าน Q ที่ขา 7,8,14 IC # TL084	77
รูปที่ 5.23 แสดงสัญญาณ Input I, I', Q, Q' ที่ขา 4,5,12,13 IC # 74175	78
รูปที่ 5.24 แสดงสัญญาณ I,I',Q,Q' ก่อนทำการรวมบิต ที่ขา 11,12,13,14 IC#74165 (Shift Register PISO)	78
รูปที่ 5.25 แสดงสัญญาณ Output NRZ ที่ขา 9 IC#74165	79
รูปที่ 5.26 แสดงภาพถ่าย Constellation Diagram 16 QAM ของสัญญาณ NRZ กึ่งแรนคอม	79
รูปที่ 5.27 แสดงภาพถ่าย Constellation Diagram 16 QAM ของสัญญาณ NRZ กึ่งแรนคอม หลังผ่าน Low Pass Filter	80
รูปที่ 5.28 แสดงภาพถ่าย Eye Diagram	80
รูปที่ 5.29 เครื่องกำเนิดสัญญาณ NRZ แบบกึ่งแรนคอม	81
รูปที่ 5.30 เครื่องรับส่งสัญญาณดิจิทัลแบบ 16 QAM	82

สารบัญตาราง

	หน้า
ตารางที่ 1.1 ตั้งอย่างของสายเคเบิลในเมือง	4
ตารางที่ 1.2 ชนิดของสายเคเบิลในเมืองที่มีฉนวนเป็นโพลีเอทิลีน	5
ตารางที่ 1.3 ชนิดของสายเคเบิล CCP	5
ตารางที่ 1.4 มาตรฐานโมเด็ม V- Series ของ CCITT (ITU-T)	13
ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ	18
ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่างๆ	19
ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK, PSK และ QAM	21



บทที่ 1

บทนำ

คุณสมบัติของสายส่งข้อมูล

การติดต่อสื่อสารในปัจจุบันมีความจำเป็นมาก การส่งข้อมูลไม่ว่าจะเป็นข้อมูลชนิดใดหรือจะส่งด้วยวิธีการใด ถึงสำคัญคือความถูกต้อง และรวดเร็ว การส่งข้อมูลดิจิทัลไปทางสายนำสัญญาณต้องการความรวดเร็วและถูกต้องของข้อมูลเช่นกัน แต่การส่งข้อมูลที่เป็นสัญญาณทางไฟฟ้าทางสายนำสัญญาณเป็นระยะไกลๆ ต้องมีการพิจารณาและคำนึงถึงอยู่หลายประการ โดยเฉพาะสัญญาณที่เป็นข้อมูลดิจิทัล ซึ่งต้องการความถูกต้องและแม่นยำของข้อมูลมากเป็นพิเศษ

สัญญาณด้านส่ง



สัญญาณด้านรับ



เนื่องจากเกิดการหน่วงเวลาขึ้นในสายข้อมูล ทำให้สัญญาณทางด้านรับถูกหน่วงเวลาไปจากสัญญาณทางด้านส่ง แต่ไม่เกิดการผิดเพี้ยนรูปทรงของสัญญาณ

รูปที่ 1.1 กรณีที่ไม่มีการผิดเพี้ยนรูปทรงของสัญญาณ

สัญญาณด้านส่ง



สัญญาณด้านรับ



ความผิดเพี้ยนของรูปทรงสัญญาณทางด้านรับมีค่าสูงทำให้สัญญาณที่รับได้แตกต่างไปจากสัญญาณทางด้านส่งอย่างมากเป็นสาเหตุทำให้เกิดความผิดพลาดขึ้นในการส่งข้อมูล

รูปที่ 1.2 กรณีที่เกิดการผิดเพี้ยนรูปทรงของสัญญาณอย่างมาก

ในการส่งข้อมูลจากเครื่องส่งไปยังเครื่องรับ เราไม่ต้องการให้มีการผิดพลาด (error) ของข้อมูลเกิดขึ้น แต่ก็มักจะเกิดขึ้นเสมอเนื่องจากหลายสาเหตุ ดังนั้นการหาสาเหตุเหล่านั้นให้พบไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งหาวิธีแก้ไขและป้องกันไม่ให้เกิดข้อผิดพลาดขึ้นอีกจะเป็นประโยชน์อย่างมาก

และหาวิธีกำจัดหรือควบคุมความผิดพลาดในการส่งข้อมูลที่เกิดขึ้นนี้ให้ได้ จึงเป็นสิ่งที่ต้องการอย่างยิ่งสำหรับการส่งข้อมูล

สาเหตุของการเกิดความผิดพลาด

สาเหตุของการเกิดความผิดพลาดของข้อมูลในการส่งนี้ อาจกล่าวรวม ๆ ได้ว่าเกิดขึ้นจากการที่รูปทรงของสัญญาณเกิดการผิดเพี้ยน (distortion) ไปอันเนื่องมาจากการส่ง ตามรูปที่ 1.1 ซึ่งแสดงสัญญาณที่ส่งออกจากเอาต์พุตของเครื่องส่ง ถ้าสามารถเดินทางไปถึงเครื่องรับได้โดยไม่มีการผิดเพี้ยนใด ๆ ก็จะได้ว่าไม่เกิดความผิดเพี้ยนใด ๆ ก็จะได้ว่าไม่เกิดความผิดพลาดในการส่งข้อมูลเลย แต่ถ้าเกิดการเพี้ยนรูปทรงของสัญญาณขึ้นดังรูปที่ 1.2 ก็จะมีการผิดพลาดของข้อมูลขึ้น และการที่เราจะทำให้ได้ข้อมูลที่ถูกต้องกลับมาได้นั้น จะเป็นไปได้ยากขึ้น

ดังนั้นเทคนิคพื้นฐานในการส่งข้อมูลจึงมีหลักสำคัญอยู่ 2 ข้อ คือ

1. ต้องพยายามทำให้ความผิดเพี้ยนรูปทรงของสัญญาณที่เกิดจากการส่งข้อมูลไปยังเครื่องรับมีน้อยที่สุด
2. ในกรณีที่รูปทรงของสัญญาณมีการผิดเพี้ยนเกิดขึ้นอยู่แล้ว ต้องสามารถที่จะคัดเลือก (pick up) เอาเฉพาะสัญญาณที่ถูกต้องออกมาให้ได้ จะโดยวิธีใดก็ตาม ทั้งนี้จะต้องคิดถึงในแง่ความสมดุลกับสภาพเศรษฐกิจด้วย

สาเหตุของการผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูล

การผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูล เกิดจากสายส่งข้อมูล เนื่องจากข้อมูลในรูปของสัญญาณจะต้องเดินทางผ่านสายส่งที่เชื่อมต่อระหว่างเครื่องส่งและเครื่องรับ ดังนั้นสายส่งจึงมีผลโดยตรงกับการผิดเพี้ยนไปของข้อมูล นอกจากนี้การที่รูปทรงของสัญญาณผิดเพี้ยนไปยังอาจจะเกิดจากที่อื่น ๆ นอกจากในสายส่งอีกด้วย

สาเหตุของการเกิดความผิดเพี้ยนรูปทรงของสัญญาณในสายส่งข้อมูลสามารถแยกเป็นข้อใหญ่ ๆ ได้ดังนี้คือ

สัญญาณรบกวนที่มาจากภายนอก

ข้อนี้เป็นปัญหาใหญ่โดยเฉพาะกับการส่งข้อมูลมากที่สุด เป็นปัญหาที่ไม่สามารถหลีกเลี่ยงได้เนื่องจากข้อมูลในรูปสัญญาณจะต้องเดินทางไปตามสายส่ง ซึ่งมีระยะทางยาว และอยู่ในสภาพแวดล้อมต่างๆ

แต่การผิดเพี้ยนรูปทรงของสัญญาณ ไม่ได้เกิดขึ้นจากสัญญาณรบกวนที่มาจากภายนอกแต่เพียงอย่างเดียวเท่านั้น แต่อาจเกิดขึ้นเนื่องจากคุณสมบัติของตัวสายส่งข้อมูลเองด้วย

ผลตอบสนองความถี่ของสายส่งข้อมูล

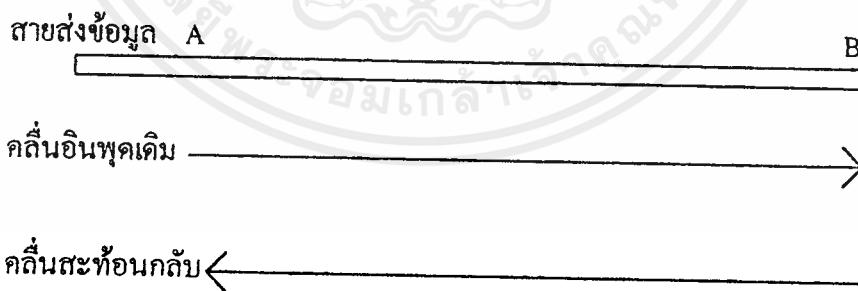
สาเหตุของการผิดเพี้ยนรูปทรงของสัญญาณที่เกิดจากตัวสายส่งข้อมูลเองมีอยู่ 2 ประการ ประการแรกก็เกิดจากการตอบสนองต่อความถี่ของสายส่งกล่าวคือ ถ้าสายส่งมีความยาวมาก ก็จะทำให้เกิดการลดทอนขนาดของสัญญาณอันเนื่องมาจากตัวสาย การลดทอนขนาดของสัญญาณนี้มีค่าไม่คงที่ ขึ้นอยู่กับความถี่ของสัญญาณ และอันนี้เองที่เป็นสาเหตุที่ทำให้เกิดความผิดเพี้ยนรูปทรงของสัญญาณขึ้น

สายเคเบิลที่ใช้ส่งข้อมูล

สายส่งที่ใช้ในการส่งข้อมูลมีทั้งแบบใช้ส่งข้อมูลในรูปของคลื่นไฟฟ้าและในรูปของคลื่นแสง จากความก้าวหน้าในการพัฒนาเคเบิลใยแก้วนำแสง ทำให้มีการนำเอาคลื่นแสงมาใช้กันมาก ในปัจจุบัน สายส่งที่ใช้ในการส่งข้อมูลมีด้วยกันมากมายหลายชนิด แต่ที่นิยมใช้กันมากก็คือ สายเคเบิลสื่อสาร และสายโคแอกเชียลเคเบิล

การสะท้อนกลับของสัญญาณ

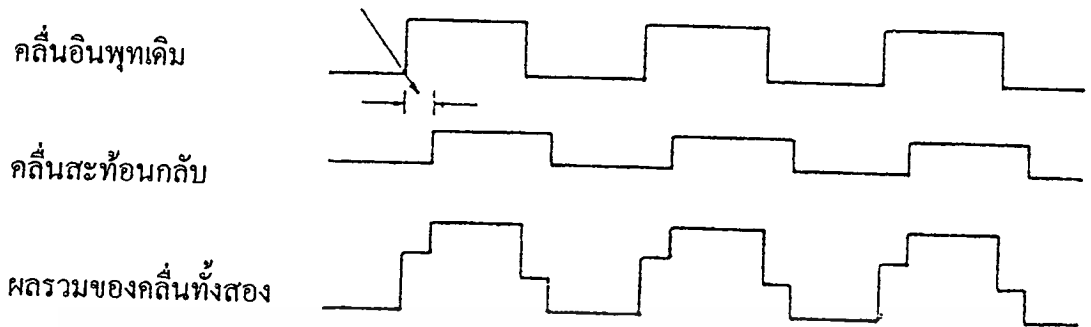
อีกสาเหตุหนึ่งของการเกิดความผิดเพี้ยนรูปทรงของสัญญาณอันเนื่องมาจากตัวสายส่งข้อมูลก็คือ ปัญหาการเกิดการสะท้อนกลับของสัญญาณภายในสายส่ง ทั้งนี้เพราะสัญญาณต่าง ๆ เดินทางไปในสายส่งข้อมูลในรูปของคลื่น ดังนั้นเมื่อคลื่นเดินทางไปถึงปลายสายหรือบริเวณที่มีรอยต่อของสาย ส่วนหนึ่งของคลื่นนั้นจะถูกสะท้อนกลับมา คลื่นของสัญญาณที่สะท้อนกลับมารวมกับคลื่นที่ส่งไปตอนแรก เป็นสาเหตุทำให้เกิดการผิดเพี้ยนรูปทรงของสัญญาณ



ส่งคลื่นอินพุตเข้าไปในสายส่งข้อมูล คลื่นจะสะท้อนกลับที่ปลายสาย B และจะเคลื่อนที่สวนทางกับทิศของคลื่นอินพุตเดิม

(ก) การสะท้อนกลับของสัญญาณ

เวลาหน่วยที่เกิดจากสัญญาณเดินทางไปกลับระหว่าง A และ B



ผลรวมของคลื่นอินพุตเดิมกับคลื่นที่สะท้อนกลับมาทำให้รูปทรงของสัญญาณที่จุด A แตกต่างไปจากรูปทรงเดิม

(ข) รูปทรงของสัญญาณที่จุด A

รูปที่ 1.3 การผิดเพี้ยนรูปทรงของสัญญาณ เนื่องจากการสะท้อนกลับ

สายเคเบิลสื่อสาร

สายเคเบิลชนิดนี้เดิมเป็นสายที่สร้างขึ้นมาเพื่อใช้เป็นสายโทรศัพท์สามารถใช้ได้กับสัญญาณในย่านความถี่เสียงและสัญญาณที่มีความถี่สูงกว่าได้ ดังนั้นจึงมีการนำสายชนิดนี้มาใช้กันมากในการส่งข้อมูล

สายเคเบิลสื่อสารมีด้วยกันหลายชนิด ชนิดที่ใช้กับการส่งข้อมูลของไมโครคอมพิวเตอร์มีลักษณะคล้ายกับสายที่เรียกว่าสายเคเบิลในเมือง (จำพวกสายโทรศัพท์) ตัวอย่างของสายเคเบิลสื่อสารที่นิยมใช้ในการส่งข้อมูลของไมโครคอมพิวเตอร์ แสดงไว้ในตารางที่ 1 ถึงตารางที่ 3 แต่เนื่องจากไม่ได้ใช้งานเช่นเดียวกับสายโทรศัพท์ จึงไม่จำเป็นต้องมีจำนวนเส้นของสายต่อเคเบิลมาก ๆ

ในบางกรณีก็มีการใช้สายเคเบิลที่ใช้กับงานโทรศัพท์ในการส่งข้อมูลบ้างเหมือนกัน ถ้าหากไม่มีการเกิดผลเสียอันตรายเนื่องมาจากสัญญาณรบกวน

ตารางที่ 1.1 ตัวอย่างของสายเคเบิลในเมือง

ชื่อย่อ	ลักษณะของสาย
CPEV	เป็นสายคู่บิดเกลียว ฉนวนทำจากสารโพลีเอทิลีน หุ้มภายนอกด้วยพลาสติก
CPEE	เป็นสายคู่บิดเกลียว ฉนวนทำจากสารโพลีเอทิลีน หุ้มภายนอกด้วยสารโพลีเอทิลีน
CCP	เหมือนกับสาย CPEE แต่แยกสีของสายทั้งหมดไว้ด้วย จึงง่ายต่อการจำแนกสาย

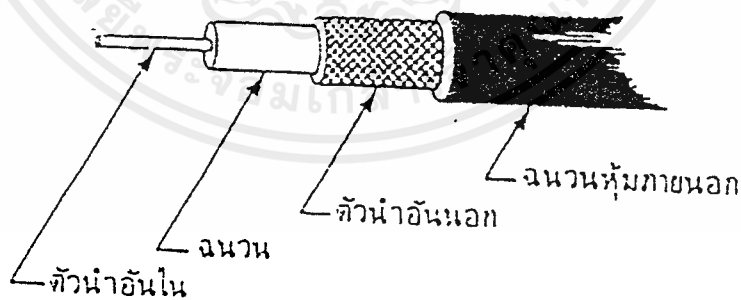
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.2 ชนิดของสายเคเบิลในเมืองที่มีจำนวนเป็นโพลีเอทิลีน

ขนาดเส้นผ่าศูนย์กลาง ของตัวนำ (ม.ม.)	จำนวนคู่สาย				
0.5	3	5	7	10	15
0.6	20	25	30	50	75
0.9	100	150	200		
1.2	100	200	300		

ตารางที่ 1.3 ชนิดของสายเคเบิล CCP

ขนาดเส้นผ่าศูนย์กลาง ของตัวนำ (ม.ม.)	จำนวนคู่สาย					
0.4	10	30	50	100	200	400
0.5	10	30	50	100	200	400
0.65	10	30	50	100	200	400
0.9	10	30	50	100		



ตัวนำอันในและตัวนำอันนอกมีลักษณะ โค้งเป็นวงกลมที่มีจุดศูนย์กลางร่วมกัน เป็นสายโคแอกเชียลเคเบิลหรือสายตัวนำแกนร่วม

รูปที่ 1.4 โครงสร้างของสายโคแอกเชียลเคเบิล

สายโคแอกเชียลเคเบิล

ถึงแม้สายเคเบิลสื่อสารจะมีคุณสมบัติที่เหมาะสมสำหรับใช้เป็นสายส่งข้อมูลก็ตาม แต่ก็มีความจำเป็นที่จะต้องมีการลดทอนขนาดของสัญญาณก่อนเข้าสู่ความถี่สูง ดังนั้นในกรณีที่ต้องให้

การลดทอนขนาดของสัญญาณมีค่าต่ำที่ความถี่สูง ก็จำเป็นต้องใช้สายโคแอกเชียลเคเบิล ถึงแม้ว่าสายโคแอกเชียลเคเบิลจะมีราคาสูงกว่าก็ตาม

การลดทอนขนาดของสัญญาณในสายเคเบิล

การลดทอนขนาดของสัญญาณในสายเคเบิล ขึ้นอยู่กับชนิดและความยาวของสาย และความถี่ของสัญญาณ การลดทอนขนาดของสัญญาณเนื่องจากความยาวของสายในหน่วยของเดซิเบล (dB) มีค่าเป็นสัดส่วนโดยตรงกับความยาว โดยทั่วไปสายส่งข้อมูลมักจะมีขนาดยาว มีหน่วยความยาวเป็นกิโลเมตร ดังนั้น การลดทอนขนาดของสัญญาณจึงมักแสดงเป็นหน่วยของเดซิเบลต่อกิโลเมตร

ตัวอย่างของการลดทอนขนาดของสัญญาณของสายเคเบิลในเมือง (CPE V, CCPEE, CCP) แสดงไว้ในรูปที่ 1.5 จากรูปจะเห็นได้ว่ายิ่งสายมีขนาดใหญ่ขึ้นเท่าไร การลดทอนขนาดของสัญญาณก็จะยิ่งน้อยลงเท่านั้น

ในช่วงความถี่สูง ๆ ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลจะสัมพันธ์กับความถี่เป็นไปตามสมการต่อไปนี้ คือ

$$A \propto \sqrt{f}$$

หรือ A แปรโดยตรงกับ $\sqrt{f}$

เมื่อ f คือความถี่ของสัญญาณ และ A คือปริมาณการลดทอนขนาดของสัญญาณ ที่หน่วยเป็น dB

ดังนั้น ในช่วงความถี่สูง ๆ เส้นกราฟมีลักษณะเป็นเส้นตรงที่มีความลาดเอียงประมาณ $1/2$ สำหรับในช่วงความถี่ต่ำเส้นกราฟมีลักษณะ โค้งเล็กน้อย

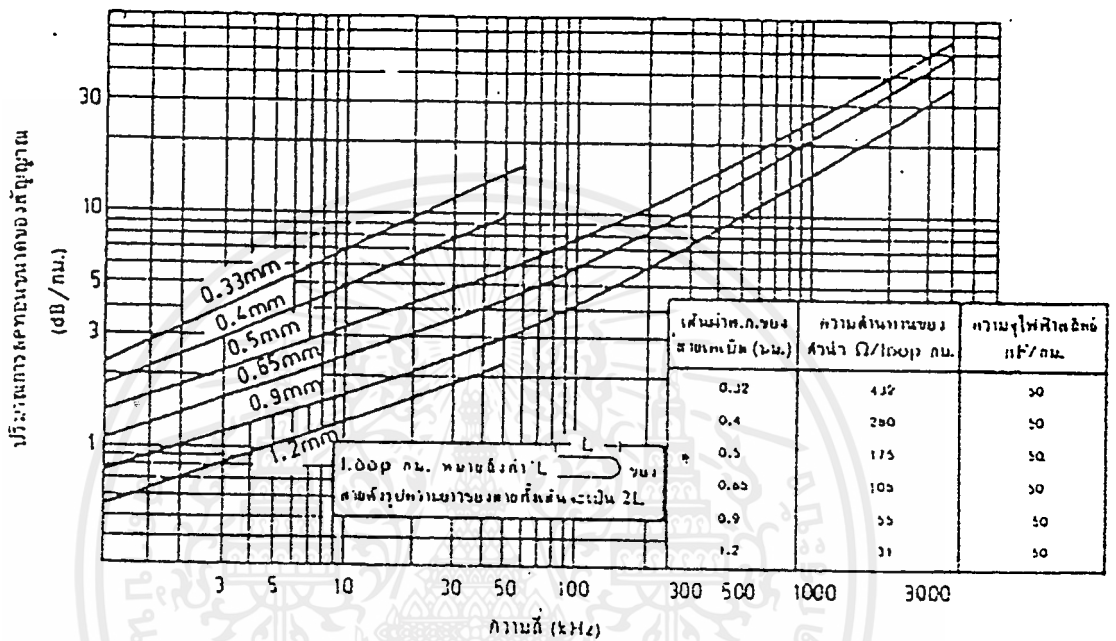
ผลตอบสนองต่อความถี่

ถ้าสายเคเบิลมีความยาวมากขึ้น นอกจากจะทำให้ปริมาณการลดทอนขนาดของสัญญาณมีค่าเพิ่มขึ้นแล้ว ยังทำให้ผลตอบสนองต่อความถี่มีการเปลี่ยนแปลงรวดเร็วขึ้นด้วย

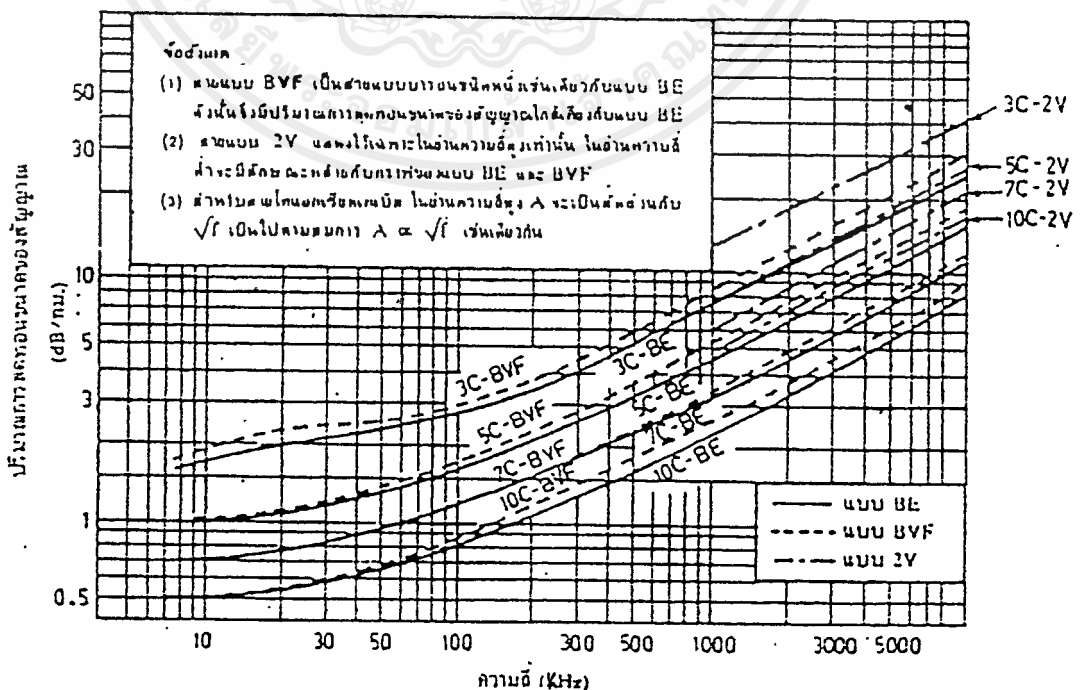
การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองต่อความถี่

เนื่องจากสายส่งข้อมูลมีคุณสมบัติตอบสนองต่อความถี่ต่าง ๆ ไม่เท่ากันจึงเป็นสาเหตุทำให้เกิดความผิดเพี้ยนรูปทรงของสัญญาณขึ้น กล่าวคือถ้าสัญญาณที่เดินทางในทางสายส่งข้อมูลมีช่วงกว้างความถี่ (bandwidth) กว้าง การลดทอนขนาดสัญญาณที่ความถี่ต่าง ๆ ก็จะไม่เท่ากัน เป็นสาเหตุทำให้เกิดความผิดเพี้ยนรูปทรงของสัญญาณขึ้น และยังถ้าขนาดของการลดทอนสัญญาณในสายส่งมีค่ามาก ความผิดเพี้ยนรูปทรงของสัญญาณก็จะยิ่งมาก

ตัวอย่างของการผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองต่อความถี่ของสายส่งนี้ แสดงไว้ในรูปที่ 1.7 จากรูปจะเห็นได้ว่าความผิดเพี้ยนรูปทรงของสัญญาณเป็นสาเหตุทำให้เกิดการผิดพลาดของข้อมูลในการส่ง ถ้าไม่ต้องการให้เกิดการผิดเพี้ยนรูปทรงของสัญญาณ จำเป็นจะต้องให้ช่วงกว้างความถี่ของสัญญาณมีขนาดแคบที่สุด



รูปที่ 1.5 ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลในเมือง

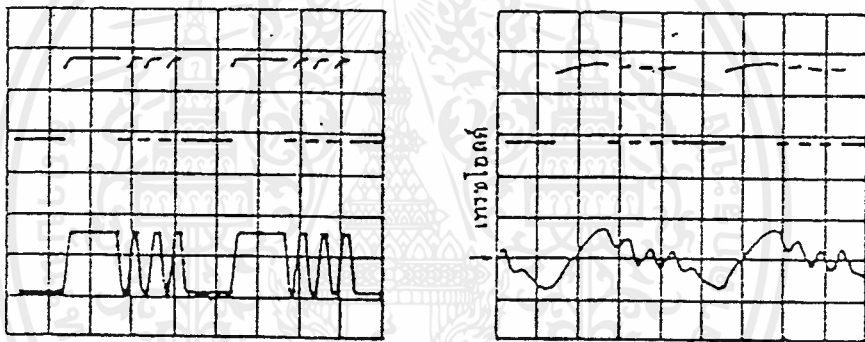


รูปที่ 1.6 ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลแบบบีบี

ข้อดีของการมอดูเลชัน

การมอดูเลชัน (modulation) ทำให้เกิดผลดีคือ ช่วยให้สามารถหลีกเลี่ยงปัญหาการเกิดความผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูลได้ ซึ่งการมอดูเลชันมีอยู่หลายแบบ ดังแสดงในรูปที่ 1.8

ในการมอดูเลชัน จำเป็นต้องใช้ความถี่พาหะสูงขึ้น ไปกว่าความถี่ของสัญญาณที่ต้องการส่ง ดังนั้นเมื่อคิดถึงผลตอบสนองต่อความถี่ของสายส่งข้อมูล ซึ่งการลดทอนขนาดของสัญญาณจะมีค่าสูงขึ้นตามไปด้วย การมอดูเลชันเป็นการมัลติเพล็กซ์ความถี่ ทำให้สามารถส่งสัญญาณหลาย ๆ สัญญาณพร้อมกันไปในเวลาเดียวกันได้ สำหรับการส่งข้อมูลที่มีช่วงกว้างความถี่กว้างด้วยการใช้การมัลติเพล็กซ์ความถี่จะทำให้ก็ต้องอาศัยเทคนิคการมอดูเลชันเข้าช่วย



(ก) 200 กิโลบิต/วินาที

(20 us/div, 2V/div)

(ข) 2 เมกะบิต/วินาที

(2us/div, 2V/div)

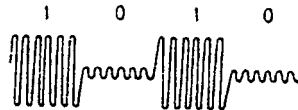
ในรูปเป็นการเปรียบเทียบกรณีที่ส่งสัญญาณที่มีความถี่ต่าง ๆ เข้าไปในสายส่งเดียวกัน

(ก) เมื่อความถี่ของสัญญาณมีค่าต่ำ การลดทอนขนาดของสัญญาณจะต่ำด้วย การผิดเพี้ยนรูปทรงของสัญญาณจึงมีน้อย

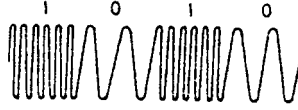
(ข) เมื่อความถี่ของสัญญาณมีค่าสูงขึ้น การลดทอนขนาดของสัญญาณจะสูงด้วย การผิดเพี้ยนรูปทรงของสัญญาณจึงมีมาก สำหรับระดับเทรซโซลด์ในรูปตำแหน่งที่มีเครื่องหมายแสดงการเบี่ยงเบนไปจากระดับเทรซโซลด์ ดังนั้นที่ตำแหน่งนั้นจะเกิดการผิดพลาดของข้อมูลขึ้น

รูปที่ 1.7 การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองความถี่

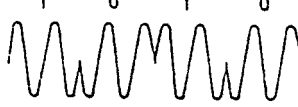
(a) มอดูเลชันทางขนาด



(b) มอดูเลชันทางความถี่



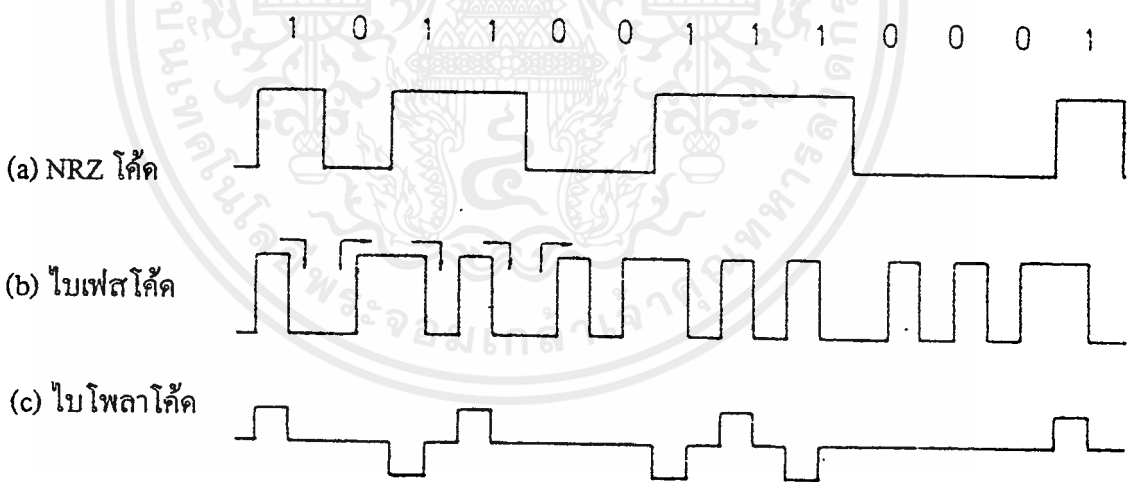
(d) มอดูเลชันทางเฟส



(1) การมอดูเลชันทางขนาดและเฟส ถ้าพิจารณาจากหลักการของการมอดูเลชันแล้วจะเห็นว่าความถี่ของสัญญาณจะคงที่ (แต่ในความเป็นจริงแล้ว การมอดูเลชันจะทำให้เกิดองค์ประกอบของสัญญาณที่มีความถี่อื่น ๆ ขึ้นมาด้วย เพียงแต่องค์ประกอบเหล่านั้นจะมีช่วงกว้างความถี่แคบเท่านั้น)

(2) การมอดูเลชันทางความถี่ ถ้าพิจารณาตามหลักการแล้ว จะเห็นว่าเป็นการเปลี่ยนแปลงความถี่ของสัญญาณ การเปลี่ยนแปลงของความถี่จะทำได้ในช่วงแคบ ๆ นั่นคือจะมีช่วงกว้างความถี่แคบ

รูปที่ 1.8 การมอดูเลชัน



ไบเฟสโค้ด(biphase code): เป็นโค้ดที่จะต้องมีการเปลี่ยนแปลงช่วงขึ้น หรือการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลาง ของสัญญาณอยู่ด้วยแน่นอน จากตัวอย่างในรูป จะเห็นว่าที่บิต "0" ของสัญญาณจะมีการเปลี่ยนแปลงช่วงขึ้นที่ตรงกึ่งกลางบิต และที่บิต "1" ของสัญญาณจะมีการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลางบิต

ไบโพลาร์โค้ด(bipolar code): สำหรับโค้ดนี้ บิต "0" ของสัญญาณ หมายถึงไม่มีพัลส์ และ บิต "1" หมายถึงมีพัลส์ นอกจากนี้ในกรณีที่ไม่มีพัลส์ ทิศทางการหันของพัลส์จะสลับไปมาระหว่าง + และ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่ข้อมูลของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.9 ตัวอย่างของพัลส์โค้ด

ในการส่งสัญญาณเป็นพัลส์ จะใช้วิธีการเปลี่ยนจาก NRZ โค้ด (non-return-to-zero code) เป็นพัลส์โค้ดที่มีลักษณะเฉพาะ จากนั้นจะส่งโค้ดนั้นเข้าไปในสายส่งข้อมูลโดยตรง โดยไม่ต้องการมอดูเลชันเลข (รูปที่ 9 แสดงตัวอย่างของพัลส์โค้ด)

สำหรับ NRZ โค้ดนั้นถ้ามีค่าเป็น ลอจิก “0” หรือ “1” ต่อเนื่องกัน ก็จะมีองค์ประกอบของความถี่ที่ต่ำมาก ดังนั้นถ้าเราเปลี่ยนเป็นพัลส์โค้ดที่เหมาะสมแล้วจะทำให้ช่วงกว้างความถี่ของสัญญาณแคบลงอย่างมาก การบิดเบี้ยวรูปทรงของสัญญาณก็จะมีน้อย ถึงแม้ว่าสายส่งข้อมูลจะมีการตอบสนองต่อความถี่อยู่เหมือนเดิมก็ตาม

มาตรฐานของโมเด็มตาม CCITT(ITU-T) V- Series

มาตรฐานของโมเด็มที่เราใช้อยู่ทุกวันนี้ เป็นไปตามที่องค์การมาตรฐานสื่อสารสากล หรือ CCITT(ITU-T)เป็นผู้กำหนดขึ้น โดยมีชื่อเรียกแต่ละมาตรฐานของโมเด็มด้วยอักษร “V” และตามด้วยตัวเลข เราจึงเรียกมาตรฐานอันนี้อีกชื่อหนึ่งว่า V-Series นอกจากมาตรฐานของโมเด็มแล้ว CCITT หรือ ITU-T ยังเป็นผู้กำหนดมาตรฐานทางการสื่อสารอื่นๆอีก เช่น มาตรฐานของการสื่อสารผ่านดาวเทียม, มาตรฐานของโทรเลข (Facsimile), มาตรฐานการสื่อสารข้อมูลต่างๆทั้งในแบบดิจิทัลและอนาล็อก รวมถึงมาตรฐานเกี่ยวกับระบบโทรศัพท์อีกด้วย มาตรฐานที่ CCITT หรือ ITU-T เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศจึงเป็นไปได้โดยไม่มีปัญหา เนื่องจากทุกคนต่างก็ทำตามมาตรฐานเดียวกัน

ก่อนอื่นขอทำความเข้าใจก่อนว่ามาตรฐานที่ขึ้นต้นด้วยอักษร“V” นี้ ไม่ใช่มาตรฐานของโมเด็มไปเสียทั้งหมด บางมาตรฐานอาจหมายถึงการเชื่อมต่อแบบอื่นๆก็ได้ เช่น V.24 เป็นมาตรฐานการรับส่งข้อมูลแบบอนุกรมเทียบได้กับ RS-232C นั่นเอง และ V.35 หมายถึงการรับส่งข้อมูลแบบอนุกรมความเร็วสูงเป็นต้น ในที่นี้กล่าวถึงมาตรฐานของโมเด็มแบบต่างๆที่ใช้กันมาตาม CCITT(ITU-T) V-Series โดยทบทวนตั้งแต่ความเร็วต่ำไปจนความเร็วสูงและรายละเอียดของแต่ละมาตรฐานดังนี้ V.21 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีใช้กันน้อย เนื่องจากความเร็วในการรับส่งข้อมูลต่ำ

V.22 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีใช้กันน้อย เนื่องจากความเร็วในการรับส่งข้อมูลต่ำ

V.21 รับส่งข้อมูลด้วยความเร็ว 1,200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคของ PSK (Phase Shift Keying) รับส่งข้อมูลในแบบ Full

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Duplex ใช้กับสายโทรศัพท์หรือสายตรงก็ได้ ขึ้นอยู่กับโมเด็มว่าถูกออกแบบ มาให้ต่อใช้งานกับสายตรงหรือไม่

V.22 bis รับส่งข้อมูลด้วยความเร็ว 2,400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1,200 บิตต่อวินาที ได้ การผสมสัญญาณ ใช้เทคนิค QAM รับส่งข้อมูลแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงก็ได้ V.22 bis เป็นมาตรฐาน ของโมเด็ม ที่เข้ามาแทนที่ V.22 ในสมัยก่อน เนื่องจากความเร็วสูง 2,400 บิตต่อวินาที

V.23 เป็นมาตรฐานที่คล้ายกับมาตรฐาน V.22 แต่รับส่งข้อมูลในแบบ Half Duplex คือมีความเร็ว 1,200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK ต่อใช้กับสายโทรศัพท์ก็ได้ มาตรฐาน V.23 นี้เราไม่ค่อยได้ใช้งานเท่าไรนัก เพราะประสิทธิภาพของการรับส่งข้อมูลต่ำ และเป็นการติดต่อแบบ Half Duplex จึงสู้มาตรฐานแบบ V.22 หรือ V.22 bis ไม่ได้

V.26 เป็นมาตรฐานของโมเด็มสายตรงแบบใช้สาย 4 เส้น (4 Wire คือ 2 คู่) รับส่งข้อมูลแบบ Full Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มีความเร็วในการรับส่งข้อมูล 2,400 บิตต่อวินาที จะนำมาใช้ต่อกับสายโทรศัพท์ไม่ได้ ดังนั้นเราจึงไม่ค่อยได้พบเห็นมาตรฐานนี้กันมากนัก ปัจจุบันก็มีใช้น้อยเนื่องจากความเร็วต่ำเกินไปสำหรับสายตรง ส่วนมากจะเลือกใช้มาตรฐานอื่นที่ความเร็วสูงกว่านี้

V.26 bis เป็นมาตรฐานเหมือนกับ V.26 แต่สำหรับใช้กับสายโทรศัพท์แทน มีความเร็วในการรับส่งข้อมูลที่ 2,400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1,200 บิตต่อวินาทีได้ การรับส่งข้อมูลเป็นแบบ Half Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มาตรฐานนี้จึงสู้ V.22 bis ไม่ได้ โดยทั่วไปเราจะใช้ V.22 bis ที่ความเร็ว 2,400 บิตต่อวินาที Full Duplex มากกว่า

V.27 เป็นมาตรฐานสำหรับโมเด็มความเร็ว 4,800 บิตต่อวินาที ใช้กับสายตรงเท่านั้น เทคนิคของการผสมสัญญาณเป็นแบบ PSK รับส่งข้อมูลในแบบ Full Duplex ได้ ซึ่งความเร็ว 4,800 บิตต่อวินาทีนี้ถือว่าเป็นความเร็วการรับส่งข้อมูลสูงที่สุดของเทคนิคการผสมสัญญาณ แบบ PSK

V.27 bis คล้ายกับมาตรฐานแบบ V.27 แต่ว่ารับส่งข้อมูลที่ 4,800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2,400 บิตต่อวินาทีได้ ใช้สำหรับสายตรงแบบ 4 Wire เท่านั้น การผสมสัญญาณก็เป็นแบบ PSK สามารถรับส่งข้อมูลได้ทั้งในแบบ Full Duplex และ Half Duplex

V.27 ter เป็นมาตรฐานโมเด็มความเร็ว 4,800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2,400 บิตต่อวินาทีได้ สำหรับใช้กับสายโทรศัพท์ การรับส่งข้อมูลเป็นแบบ Half Duplex เท่านั้น เทคนิคการผสมสัญญาณ ชนิด PSK มาตรฐาน V.27 ter คล้ายกับ V.27 bis เพียงแต่ใช้กับสายโทรศัพท์แทนที่จะเป็นสายตรง มีใช้กันในเครื่องโทรสาร Group 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V.29 เป็นมาตรฐานของโมเด็มที่ใช้กับสายตรงแบบ 4 Wire เท่านั้น การรับส่งข้อมูลได้ทั้งแบบ Full Duplex และ Half Duplex สามารถรับส่งข้อมูลได้ตั้งแต่ 9,600 บิตต่อวินาที หรือลดความเร็วลงมาที่ 7,200 บิตต่อวินาที และ 4,800 บิตต่อวินาที ที่ความเร็ว 9,600 บิตต่อวินาที จะใช้เทคนิคการผสมสัญญาณแบบ QAM ส่วนที่ความเร็ว 7,200 บิตต่อวินาที และ 4,800 บิตต่อวินาที ใช้การผสมสัญญาณแบบ PSK มาตรฐาน V.29 นี้มีใช้กันมากสำหรับการรับส่งข้อมูลผ่านสายตรงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ และใช้ในเครื่องโทรสาร Group 3

V.32 เป็นมาตรฐานโมเด็มสำหรับใช้กับสายโทรศัพท์สามารถรับส่งข้อมูลได้ที่ความเร็ว 9,600 บิตต่อวินาที ในแบบ Full Duplex หรือลดความเร็วลงมาที่ 4,800 บิตต่อวินาทีได้ มาตรฐาน V.32 นี้ยังใช้งานกับสายตรงแบบ 2Wire ได้อีกด้วย เทคนิคการผสมสัญญาณเป็นแบบ QAM ทั้งที่ความเร็ว 9,600 และ 4,800 บิตต่อวินาที การรับส่งข้อมูลความเร็วสูงผ่านสาย 2 Wire ของ V.32 ใช้เทคนิค Echo Cancellation แทนที่จะใช้การแบ่งความถี่อย่างในโมเด็มความเร็วต่ำ

V.32 bis เป็นมาตรฐานโมเด็มสำหรับใช้กับสายโทรศัพท์ที่ปรับปรุงมาตรฐานมาจาก V.32 สามารถรับส่งข้อมูลได้ที่ความเร็ว 14,400 บิตต่อวินาที ใช้ได้กับทั้งสายโทรศัพท์และสายตรง เทคนิคการผสมสัญญาณเป็นแบบ Trellis Coding Modulation (TCM) และลดความเร็วลงมาเชื่อมต่อกับ V.32 ,V.22 bis และ V.22 ได้ มีการใช้ Echo Cancellation ในการส่งข้อมูลผ่านสาย 2 เส้น เช่นเดียวกัน V.32 bis นับเป็นมาตรฐานโมเด็มของ CCITT หรือ ITU-T ที่มีผู้ใช้กันมากชนิดหนึ่ง

V.32 terbo เป็นมาตรฐานโมเด็มความเร็วสูงที่ไม่ได้รับการรับรองจาก CCITT หรือ ITU-T แต่เกิดจากผู้ผลิตโมเด็มรายใหญ่ตกลงมาตรฐานนี้กันเอง โดยทำการปรับปรุงมาจากมาตรฐาน V.32 bis เล็กน้อย V.32 terbo มีความเร็วในการรับส่งข้อมูล 19,200 บิตต่อวินาที และมีคุณสมบัติอื่น ๆ เหมือนกับ V.32 bis ทุกอย่าง ต่างกันที่ความเร็วในการรับส่งข้อมูลเพิ่มขึ้นเท่านั้น โดยทั่วไปโมเด็มแบบ V.32 bis จะรับส่งข้อมูลแบบ V.32 terbo ได้ด้วย เราจึงเห็นแต่ V.32 bis ในท้องตลาดเท่านั้น

V.34 หรือ V.fast

V.fast เป็นมาตรฐานโมเด็มความเร็วสูง 28,800 บิตต่อวินาที ที่เรียกกันอย่างไม่เป็นทางการก่อนจะมีมาตรฐานจริงออกมา ส่วน V.34 เป็นมาตรฐานโมเด็มความเร็วสูงรุ่นล่าสุดที่ CCITT หรือ ITU-T ประกาศออกใช้งาน โดยมีความเร็วมาตรฐาน 28,800 บิตต่อวินาที และมีความเร็วสูงสุดที่ 33,600 บิตต่อวินาที สามารถลดความเร็วลงมาเชื่อมต่อกับโมเด็มความเร็วที่ต่ำกว่าได้ มีการผสมสัญญาณแบบ Trellis Coding Modulation (TCM) ใช้ได้กับทั้งสายโทรศัพท์และสายตรง ถึงแม้ว่า V.34 จะใช้เทคนิคหลายอย่างคล้ายกับมาตรฐาน V.32 bis แต่โครงสร้างฮาร์ดแวร์การรับส่งข้อมูลของโมเด็มทั้งสองชนิดแตกต่างกันมาก V.34 ได้เพิ่มคุณสมบัติพิเศษทางเทคนิคเข้ามาหลายอย่างที่จะช่วยให้สามารถรับส่งข้อมูลที่มีความเร็วสูง 28,800 หรือ 33,600 บิตต่อวินาทีได้อย่างไม่ผิดพลาด ทำให้มีราคาแพงกว่าโมเด็ม V.32 bis พอสมควรทีเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.4 มาตรฐานโมเด็ม V-Series ของ CCITT (ITU-T)

Series	ความเร็ว	Channel Seperation	FDX หรือ H a l f Duplex	เทคนิคการ เข้ารหัส	ใช้กับสาย โทรศัพท์	ใช้กับคู่สาย ตรง (สาย เช่า)
V.21	300	FD	FDX	FSK	Yes	No
V.22	1200	FD	FDX	PSK	Yes	PP 2W
V.22	600	FD	FDX	PSK	Yes	PP 2W
V.22 bis	2400	FD	FDX	QAM	Yes	PP 2W
V.22 bis	1200	FD	FDX	QAM	Yes	PP 2W
V.23	600	NA	HDX	FMK	Yes	No
V.23	1200	NA	HDX	FMK	Yes	NA
V.26	2400	4 - Wire	FDX	PSK	No	PP MP4 W
V.26 bis	2400	NA	HDX	PSK	Yes	No
V.26 bis	1200	NA	HDX	PSK	Yes	No
V.26 ter	2400	EC	Either	PSK	Yes	PP 2W
V.26 ter	1200	EC	Either	PSK	Yes	PP 2W
V.27	4800	ND	Either	PSK	No	Yes
V.27 bis	4800	4 - Wire	Either	PSK	No	2W 4W
V.27 bis	2400	4 - Wire	Either	PSK	No	2W 4W
V.27 ter	4800	NA	HDX	PSK	Yes	No
V.27 ter	2400	NA	HDX	PSK	Yes	No
V.29	9600	4 - Wire	Either	QAM	No	PP 4W
V.29	7200	4 - Wire	Either	PSK	No	PP 4W
V.29	4800	4 - Wire	Either	PSK	No	PP 4W
V.32	9600	EC	FDX	QAM	Yes	PP 2W
V.32	9600	EC	FDX	TCM	Yes	PP 2W
V.32	4800	EC	FDX	QAM	Yes	PP 2W
V.32 bis	14400	EC	FDX	TCM	Yes	PP 2W
V.32terbo*	19200	EC	FDX	TCM	Yes	PP 2W
V.34	28800	EC	FDX	TCM	Yes	PP 2W
V.34	33600	EC	FDX	TCM	Yes	PP 2W

*V.32 terbo ถือเป็น UNOFFICIAL STANDARD

ND = Not Defined (ไม่ได้กำหนด) NA = Not Applicable (ไม่มีใช้) EC = Echo Canceler
FD = Frequency Division FDX = Full Duplex HDX = Half Duplex
PP = Point to Point MP = Multipoint

หมายเหตุ bis เป็นภาษาละติน หมายถึง “ สอง ” ส่วน ter ก็คือ “ สาม ” นำมาขยายมาตรฐานต่าง ๆ เพื่อแสดงว่าเป็นการปรับปรุงครั้งที่ 2 และ 3 ของมาตรฐานเดิม เช่น V.32 bis คือมาตรฐาน V.32 ที่ปรับปรุงใหม่ครั้งที่ 2 ส่วน V.27 ter คือ V.27 ที่ปรับปรุงใหม่เป็นรุ่นที่ 3

terbo เป็นศัพท์ที่ตัวเอง ของบรรดาผู้ผลิต โดยเพี้ยนจากคำว่า terbo เหมือนกับเครื่องยนต์ที่ติดตั้งเทอร์โบ ชาร์จ เพื่อให้ทำงานเร็วขึ้นนั่นเอง

นอกจากนี้ยังมีการพัฒนาโมเด็มความเร็วสูงขนาด 56,000 บิตต่อวินาทีออกมาอีก ซึ่งทาง CCITT หรือ ITU-T กำลังกำหนดเป็นมาตรฐานใหม่อยู่ โดยโมเด็มความเร็ว 56,000 บิตต่อวินาทีนี้ จะใช้เทคนิคการผสมสัญญาณแบบใหม่ที่แตกต่างไปจากเดิมอย่างสิ้นเชิง คือใช้หลักการของการเปลี่ยนสัญญาณจากดิจิทัลเป็นสัญญาณอนาล็อก (Digital to Analog Converter) มาใช้แทนการผสมสัญญาณในแบบ Trellis Encoding การรับส่งข้อมูลจะเปลี่ยนแปลงข้อมูลดิจิทัลครั้งละ 7 บิตส่งออกไป 8,000 ครั้งต่อวินาที ($7 \times 8,000 = 56,000$ บิตต่อวินาที) แล้วส่งออกไปเป็นสัญญาณอนาล็อกตามสายโทรศัพท์ อย่างไรก็ตามโมเด็มความเร็ว 56,000 บิตต่อวินาที นี้ยังมีข้อจำกัดอีกมากคือ จะใช้รับส่งข้อมูลระยะไกล เช่นผ่านระบบโทรศัพท์ข้ามทวีป ไม่ได้เนื่องจากสัญญาณอนาล็อกที่ส่งออกไปจะถูกเปลี่ยนแปลงรูปแบบหลายครั้งจนสัญญาณเพี้ยนไปจากเดิมมากและโมเด็มชนิดนี้จะมีความเร็วในการรับส่งข้อมูลไม่เท่ากันทั้งสองด้านคือด้านรับข้อมูลเข้าจะมีความเร็วสูง 56,000 บิตต่อวินาที แต่ด้านส่งข้อมูลออกไปจะมีความเร็วเพียง 28,800 บิตต่อวินาที หรือ 33,600 บิตต่อวินาที ตามมาตรฐาน V.34 คาดว่าโมเด็ม 56,000 บิตต่อวินาทีคงจะเข้ามาเป็นผู้นำในตลาดร่วมกับโมเด็ม V.34 ความเร็ว 33,600 บิตต่อวินาที ในที่สุด

มาตรฐานของโมเด็ม V - Series ที่กล่าวถึงทั้งหมดนี้เป็นมาตรฐานที่เราเห็นได้ทั่วไปซึ่งยังมีบางมาตรฐานไม่ได้นำมาพูดถึงเนื่องจากมีที่ใช้งานพิเศษเฉพาะงานเท่านั้น ส่วนมาตรฐานของโมเด็มตามแบบสหรัฐอเมริกา หรือที่เราเรียกว่า Bell Standard ปัจจุบันค่อย ๆ ลดความนิยมลง เนื่องจากประเทศต่าง ๆ พากันใช้ตามมาตรฐานของ CCITT หรือ ITU-T เป็นหลัก และในประเทศไทยเราก็ใช้ตามมาตรฐานของ CCITT หรือ ITU-T เช่นกัน

วัตถุประสงค์

เพื่อที่จะนำเสนอการทดลองการส่งสัญญาณความเร็วสูง โดยวิธีการส่งแบบ 16 QAM เพื่อลดขนาดของแบนด์วิดท์ลง ซึ่งจะทำให้การใช้ช่องสัญญาณมีประสิทธิภาพขึ้นหรือสามารถเพิ่มบิตเรทของสัญญาณ โดยทำการทดลองส่งสัญญาณผ่านทางสายเคเบิล

แนวความคิดและที่มา

ในปัจจุบันการรับส่งข้อมูลแบบดิจิทัลได้เข้ามามีบทบาทมากขึ้นแทนการรับส่งข้อมูลแบบอนาล็อก เนื่องจากการรับส่งข้อมูลแบบอนาล็อกจะมีความผิดพลาดของการรับส่งข้อมูลสูง 16 QAM เป็นแนวความคิดที่จะพัฒนาการรับส่งข้อมูลแบบดิจิทัลให้มีแบนด์วิดท์ที่แคบลง ซึ่งจะทำให้สามารถขยายช่องสัญญาณได้มากขึ้น นั่นคือจะทำให้การรับส่งข้อมูลมีประสิทธิภาพมากขึ้นนั่นเอง

ส่วนประกอบของโครงการ

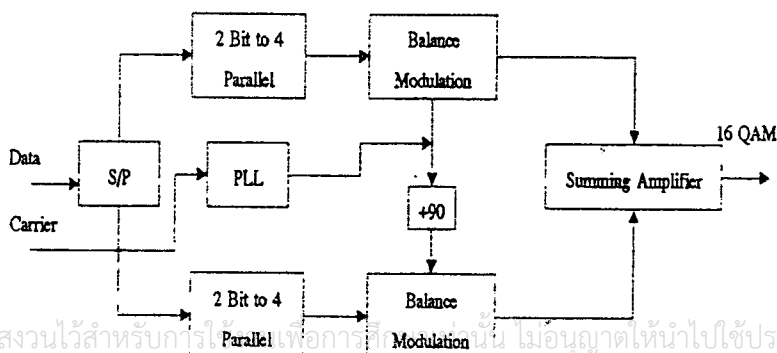
ประกอบด้วยส่วนใหญ่ๆ 2 ส่วนคือ

1. Transmitter

- Serial to Parallel
- 2 Bit to 4 Level
- Low Pass Filter
- Phase Lock Loop
- Band Pass Filter
- Phase Shift 90 Degree
- Balance Modulator
- Summing Amplifier

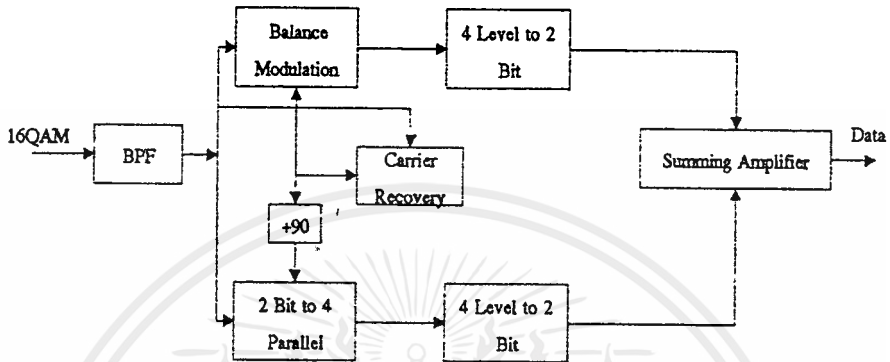
2. Receiver

- Band Pass Filter
- Phase Lock Loop
- Carrier Recovery
- Clock Recovery
- Phase Shift 90 Degree
- Balance Modulator
- Low Pass Filter
- 4 Level to 2 Bit
- Parallel to Serial



ภาคส่ง (Transmitter)

ภาคส่งสัญญาณข้อมูลที่เข้ามาจะถูกเปลี่ยนจาก Series เป็น Parallel แยกเป็น 2 บิตบนและ 2 บิตล่าง และจะทำการเปลี่ยนข้อมูล 2 บิต เป็น 4 ระดับแล้วนำข้อมูลไป mod กับ carrier ที่ Balance Mod แล้วนำข้อมูลทั้ง 2 ส่วนมารวมกันได้เป็น 16 QAM



รูปที่ 1.11 บล็อกไดอะแกรมของภาครับ (Receiver)

ภาครับ (Receiver)

สัญญาณ 16 QAM ผ่านเข้ามา Band Pass Filter เพื่อลด Noise นำสัญญาณส่วนหนึ่งไปเข้าวงจร Carrier Recovery เพื่อที่สัญญาณ Carrier คีนมา ส่งไปยัง Balance Mod ทำการ Mod กับสัญญาณข้อมูลและจะนำสัญญาณที่ผ่านการ Mod แล้วมาเปลี่ยนเป็น 4 ระดับ เป็น 2 บิต นำสัญญาณข้อมูลทั้งสองบิตบน และ 2 บิตล่าง มารวมกันแล้วเปลี่ยนสัญญาณข้อมูลจาก Parallel เป็น Series

ประโยชน์ที่จะได้รับ

สามารถเข้าใจรายละเอียดของระบบการส่งสัญญาณแบบดิจิทัลได้ดียิ่งขึ้น อีกทั้งรายละเอียดของวงจรส่วนประกอบต่างๆในโครงงาน เช่น วงจรแยกบิต-รวมบิต วงจร LPF-BPF วงจร Balance Mod วงจรทำสัญญาณหลายระดับ (Multi Level) และเข้าใจถึงขั้นตอนการทำงานและปัญหาของการประกอบวงจรทางเทคโนโลยีโทรคมนาคม

สามารถทดสอบความเป็นไปได้ของการส่งสัญญาณแบบ 16 QAM ว่ามีข้อดี ข้อเสีย ในเรื่องใดบ้าง อาทิเช่น สามารถแบนด์วิดท์สูงได้ แต่สัญญาณที่ได้มีความผิดพลาดสูง เป็นวงจรที่มีความซับซ้อนและวงจรต้องอาศัยระบบการชิงโครโมไนซ์ที่มีประสิทธิภาพ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

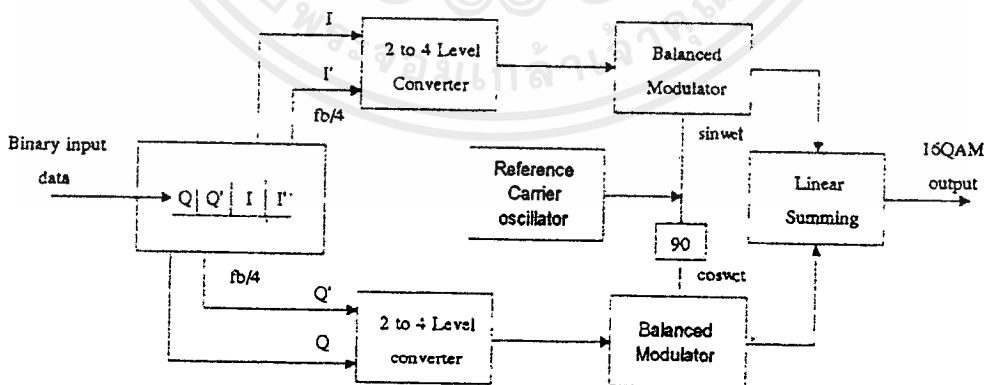
บทที่ 2

ทฤษฎีและหลักการของ 16 QAM

QUADRATURE AMPLITUDE MODULATION

Quadrature Amplitude Modulation เป็นการมอดูเลตสัญญาณดิจิทัลอีกรูปแบบหนึ่งซึ่งข้อมูลดิจิทัลจะถูกบรรจุในทั้งแอมพลิจูดและเฟสของสัญญาณพาหะ และในโครงงานนี้จะเลือกใช้แบบ 16 QAM ซึ่งเป็นเทคนิคการเข้ารหัสข้อมูลแบบ M-ary เมื่อ $M=16$ ข้อมูลอินพุตถูกแบ่งเป็นกลุ่มๆ ละ 4 บิต ($2^4 = 16$)

บล็อกไดอะแกรมของเครื่องส่ง 16 QAM แสดงในรูปที่ 2.1 ข้อมูลอินพุตแบบเลขฐานสองถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่องคือ I, I', Q และ -Q' บิตเรทในแต่ละช่องมีค่า $1/4$ ของบิตเรทอินพุต ($F_b/4$) อินพุต 4 บิตถูกส่งแบบอนุกรมเข้าวงจรแยกบิต แล้วถูกส่งออกพร้อมๆ กันเป็นแบบขนาน ด้วยช่อง I, I', Q และ Q' ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิกเป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณคือมี 2 ขั้ว และ 2 ขนาดที่เป็นไปได้ที่เอาท์พุทของวงจรแปลง 2 ลอจิก เป็น 4 ระดับแต่ละวงจร ซึ่งมีค่าเป็น $+0.22V$ และ $+0.821V$ สัญญาณ PAM จะเข้าไปมอดูเลตกับสัญญาณพาหะ Inphase และสัญญาณพาหะ Quadrature Phase ด้วยวงจรคูณ ดังนั้นผลที่ได้จะมี 4 เอาท์พุทสำหรับวงจรคูณแต่ละวงจร วงจรคูณ I มีค่าเป็น $+0.821\sin\omega_c t$, $+0.22\sin\omega_c t$, $-0.22\sin\omega_c t$ และ $-0.821\sin\omega_c t$ ส่วนวงจรคูณ Q มีค่าเป็น $+0.821\cos\omega_c t$, $+0.22\cos\omega_c t$, $-0.22\cos\omega_c t$ และ $-0.821\cos\omega_c t$ และเมื่อนำผลที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอาท์พุทถึง 16 รูปแบบ สำหรับ 16 QAM



รูปที่ 2.1 บล็อกไดอะแกรม 16 QAM Modulator

ส่วนในการพิจารณาขนาดของแบนด์วิดท์นั้น สำหรับบิตเรทที่เหมือนกัน แลบทความถี่ที่น้อยที่สุดต้องการส่งผ่านวงจรมอดูเลต 16 QAM มีค่า $1/4$ ของวงจรมอดูเลต BPSK มีค่า $1/2$ ของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และน้อยกว่า 25 % เมื่อใช้ 8PSK สำหรับเทคนิคการมอดูเลตแต่ละวิธี อัตราบอดเรทจะถูกลดลงด้วยอัตราส่วนที่เหมือนกัน

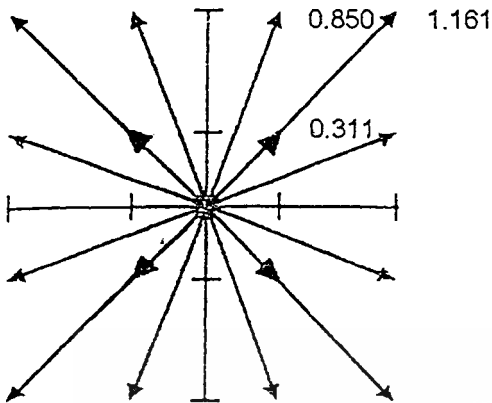
I	I^	Output	Q	Q^	Output
0	0	-0.220V	0	0	-0.220V
0	1	-0.821V	0	1	-0.821V
1	0	+0.220V	1	0	+0.220V
1	1	+0.821V	1	1	+0.821V

ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

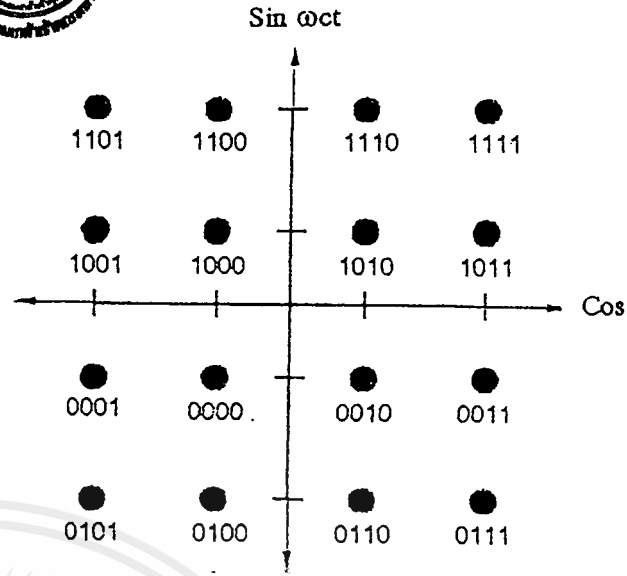
Binary Input				16QAM
I	I'	Q	Q'	Output
0	0	0	0	0.311V -135°
0	0	0	1	0.850V -165°
0	0	1	0	0.311V -45°
0	0	1	1	0.850V -15°
0	1	0	0	0.850V -105°
0	1	0	1	1.161V -135°
0	1	1	0	0.850V -75°
0	1	1	1	1.161V -45°
1	0	0	0	0.311V 135°
1	0	0	1	0.850V 165°
1	0	1	0	0.311V 45°
1	0	1	1	0.850V 15°
1	1	0	0	0.850V 105°
1	1	0	1	1.161V 135°
1	1	1	0	0.850V 75°
1	1	1	1	1.161V 45°

(a)

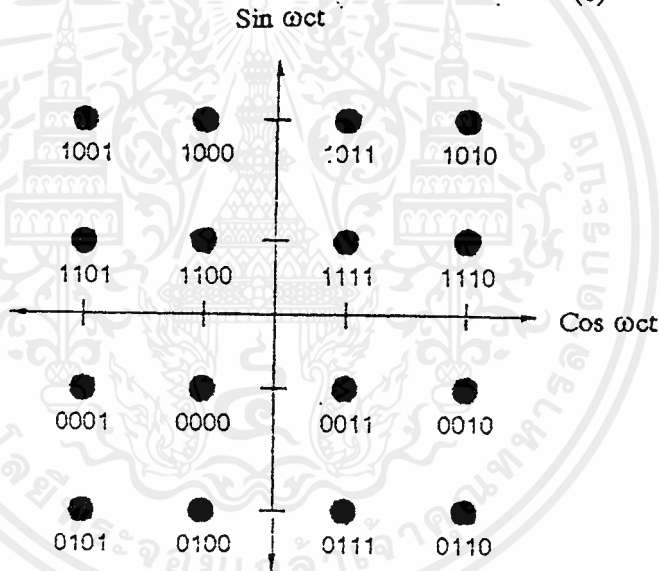
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)



(c)



(d)

รูปที่ 2.2 Phase Diagram และ Constellation Diagram

หมายเหตุ รูปที่ 2.2 (c) คือ Constellation Diagram ของ Binary Code

รูปที่ 2.2 (d) คือ Constellation Diagram ของ Gray Code

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)(β)

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)(β) (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลตหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วน

ของบิตเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการนั้น สำหรับการมอดูเลตที่ต้องการความ

ไม่กว้างเกินไป ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ

ละเอียด ประสิทธิภาพของแถบความถี่ที่ผิดปกติเป็นแถบความถี่ 1Hz ทำให้แยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิร์ตซ์ เขียนสมการได้เป็น

$$\begin{aligned}
 \text{BW efficiency} &= \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}} \\
 &= \frac{\text{bits / second}}{\text{hertz}} \\
 &= \frac{\text{bits / second}}{\text{cycle / second}} \\
 &= \frac{\text{bits}}{\text{cycle}}
 \end{aligned}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK,QPSK,8PSK และ 16 QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราส่ง 10 Mbps ด้วยการมอดูเลตในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่างๆ
แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK ; BW efficiency} = \frac{10\text{Mbps}}{10\text{MHz}} = \frac{1\text{bps}}{\text{Hz}} = \frac{1\text{bit}}{\text{cycle}}$$

$$\text{QPSK ; BW efficiency} = \frac{10\text{Mbps}}{5\text{MHz}} = \frac{2\text{ bps}}{\text{Hz}} = \frac{2\text{ bit}}{\text{cycle}}$$

$$\text{8PSK ; BW efficiency} = \frac{10\text{ Mbps}}{3.33\text{MHz}} = \frac{3\text{ bps}}{\text{Hz}} = \frac{3\text{ bit}}{\text{cycle}}$$

$$\text{16QAM ; BW efficiency} = \frac{10\text{ Mbps}}{2.5\text{MHz}} = \frac{4\text{ bps}}{\text{Hz}} = \frac{4\text{ bit}}{\text{cycle}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงที่สุด และ 16QAM ต้องการเพียง 1/4 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างของ FSK,PSK,QAM ได้ในตารางที่ 2.3

Modulation n	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (β) (bps/Hz)
FSK	Single bit	$>F_b$	F_b	<1
BPSK	Single bit	F_b	F_b	1
QPSK	Dibit	$F_b/2$	$F_b/2$	2
8PSK	Tribit	$F_b/3$	$F_b/3$	3
8QAM	Tribit	$F_b/3$	$F_b/3$	3
16PSK	Quadbit	$F_b/4$	$F_b/4$	4
16QAM	Quadbit	$F_b/4$	$F_b/4$	4

ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK,PSK และ QAM

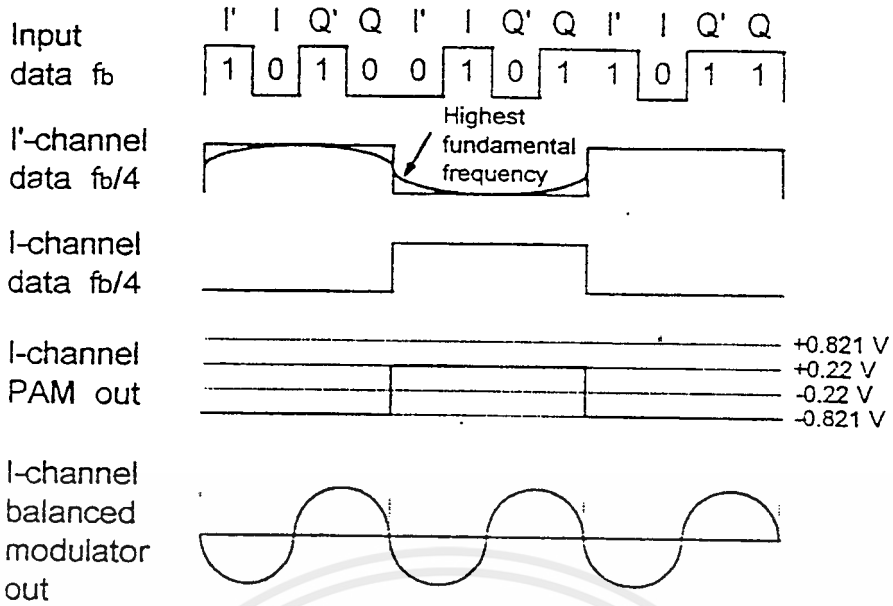
การพิจารณาแถบความถี่ของ 16QAM (Analysis of 16 QAM)

การส่งข้อมูลดิจิทัลแบบ 16QAM มีเมื่อข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเพื่อป้อนเข้า ฟลิปฟลอป 4 ตัว บิตเรทในช่อง I, I', Q และ Q' มีค่าเท่ากับ 1/4 ของอัตราขาเข้าของข้อมูลอินพุตแบบเลขฐานสอง ($F_b/4$) วงจรแยกบิต I, I', Q และ Q' เป็นสิ่งที่ทำของคาบเวลาบิตอินพุต ทั้งนี้เพราะว่าบิต I, I', Q และ Q' จะเป็นเข้าที่พหุมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุตและเข้าที่พหุเป็น 1/4 ของอัตราเข้าของข้อมูลอินพุต

จากรูปที่ 2.3 แสดงความสัมพันธ์ของเวลาของบิตระหว่างสัญญาณดิจิทัล อินพุตที่ I, I', Q และ Q' และสัญญาณ PAM จากช่อง I จะเห็นว่าความถี่พื้นฐานที่สูงที่สุด ในช่อง I, I', Q และ Q' มีค่า 1/4 ของข้อมูลดิจิทัลอินพุต (หนึ่งรอบในช่วง I, I', Q และ Q' ใช้เวลาเท่ากันเป็นเวลาที่อินพุตเข้ามา 8 บิต) ดังนั้นความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณมีค่า 1/8 ของบิตเรทดิจิทัลอินพุต

วงจรบาลานซ์มอดูเลเตอร์ 16QAM มีการเปลี่ยนแปลงที่เข้าที่พหุหนึ่งครั้ง (เฟสหรือแอมพลิจูดหรือทั้งสองอย่าง) สำหรับเมื่อมีสัญญาณอินพุตเข้ามาทุกๆ 4 บิต ดังนั้นจะมีอัตราบอดเรท $F_b/4$ เหมือนกันกับแถบความถี่ที่น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modulator

ความน่าจะเป็นของการเลือกผิดพลาดและอัตราความผิดพลาดของบิต

ความน่าจะเป็นของการเลือกผิดพลาด (probability of error; $P(e)$) และอัตราความผิดพลาดของบิต (Bit Error Rate; BER) จะมีความหมายที่แตกต่างกันอยู่เล็กน้อย $P(e)$ คือการคาดเดาอย่างมีเหตุผลของอัตราการผิดของบิต ส่วน BER คือ การบันทึกโดยการสังเกตการกระทำของระบบที่ผิดพลาดจริง

ความน่าจะเป็นของความผิดพลาดเป็นฟังก์ชันของอัตราส่วนระหว่างสัญญาณพาหะและสัญญาณรบกวนของเครื่องรับ ขึ้นอยู่กับ M -ray ที่ใช้และ $P(e)$ ที่ต้องการ โดยทั่วไปอัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการสำหรับระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

วงจร Balance Modulation

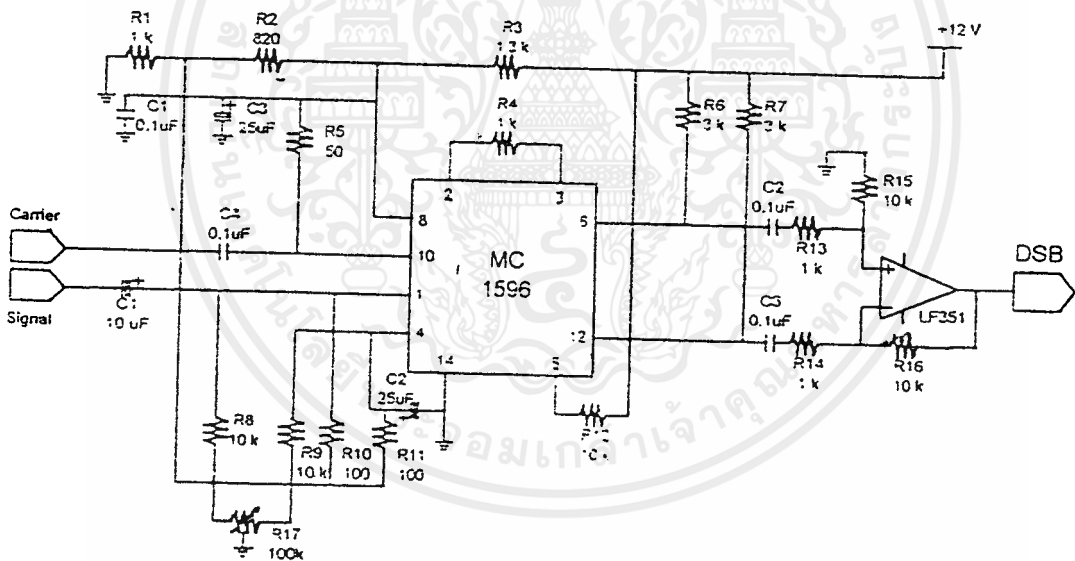
วงจร Balance Modulation หรือเราเรียกย่อๆว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ baseband กับสัญญาณ carrier โดยผลลัพธ์ ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยที่สัญญาณคลื่นพาหะจะถูกกำจัดออกไป

วงจรที่ใช้กันกันทั่วไปมีหลายแบบ เช่น ใช้เฟลทู่ ใช้ไดโอดค่อเป็นวงจรหรือใช้ไอซีสำเร็จรูปทั่วไปก็ได้เช่นกัน วงจร balance modulation ที่ใช้ในโครงงานนี้ก็คือ IC สำเร็จรูปของ Motorola เบอร์ MC1496, MC1596 ซึ่งเป็น IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้งภาคเอ็กสอรันเป็นเอ็กสอรันที่ส่งคลื่นวิทยุสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับว่าดีเท่าไรในการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulator ทั้งแบบธรรมดา และ suppress carrier ก็ได้หรือจะใช้เป็นส่วนหนึ่งในภาค Detector ก็ได้ อีกเช่นกัน

IC MC1496 , MC1596 ตัวนี้จะทำหน้าที่เป็น Balance Modulator / Demodulator ซึ่งถูกออกแบบสำหรับใช้กับ Output ที่เกิดจากการคูณของ input signal กับ Carrier ซึ่งนอกจากทำเป็นวงจร Balance Mod / Demod แล้วยังสามารถนำไปประยุกต์ได้อีกหลายอย่างเช่น Amplitude Modulation , Synchronous Detection, FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่ เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อ

กำหนดของ carrier signal = 60 mV และ Modulating signal = 300 mV วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียวคือ +12V นอกจากนี้ IC MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12 V และ -8V) และหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จาก Data Sheet ในภาคผนวก



รูปที่ 2.4 วงจร Balance Modulator

วงจรกรองความถี่ด้วย Active (Active Filter)

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ Output โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือย่านวิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วย ถ้าคำนึงถึงชิ้นส่วนของอุปกรณ์อิเล็กทรอนิกส์ (Element of Device) ที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active Filter ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ Resistor , Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป OP-AMP และ Resistor และ Capacitor ทำงานร่วมกับ Resistor , Capacitor และ Inductor ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ LC Filter จะใช้ย่านความถี่วิทยุหรือย่านความถี่สูง

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

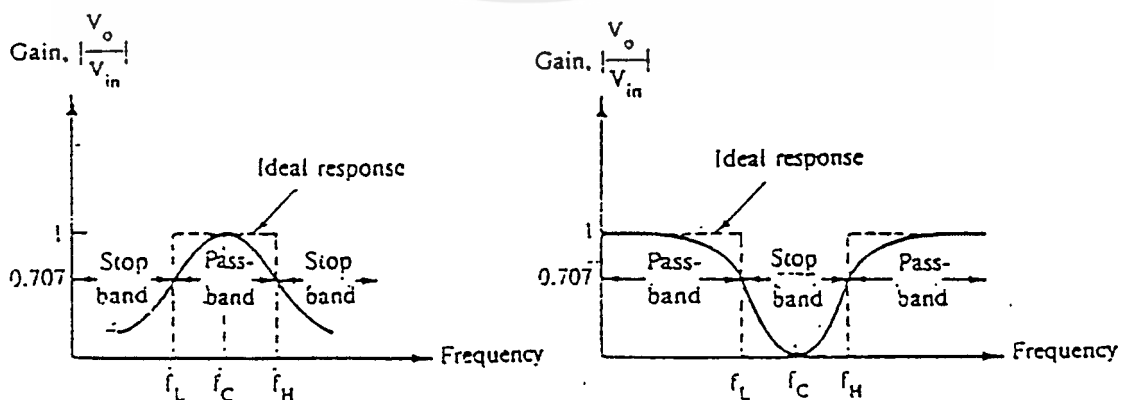
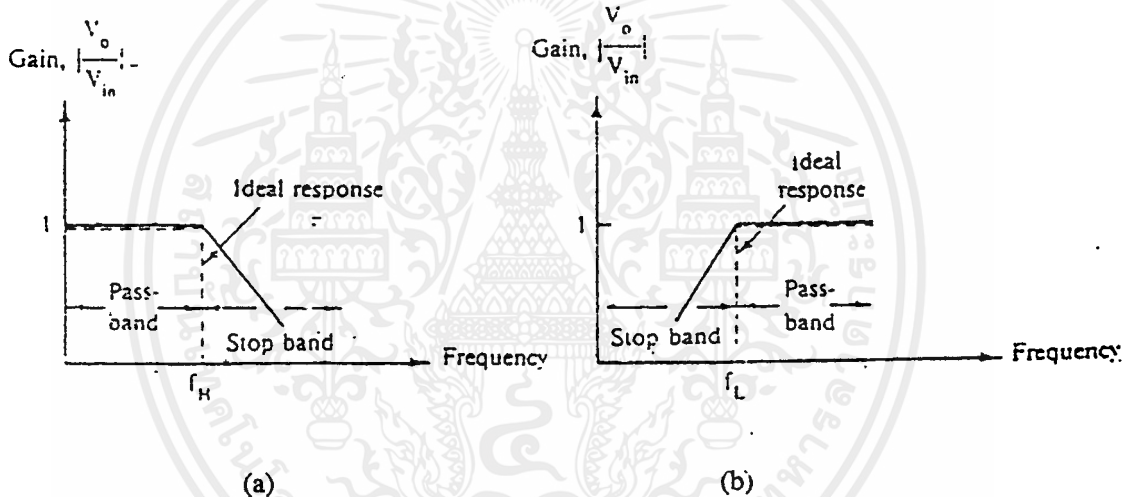
- ก. Low Pass Filter (LPF)
- ข. High Pass Filter (HPF)
- ค. Band Pass Filter (BPF)
- ง. Band Reject หรือ Band Stop Filter (BSF)
- จ. All Pass Filter

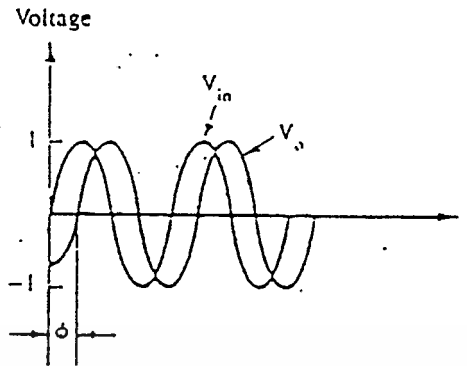
Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆเช่น LM318 หรือ ICL8017 จะช่วยให้อำนาจวงจรมีคุณสมบัติทางด้านความถี่และอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึง Response ที่เป็นอุดมคติในทางทฤษฎี ส่วน Response Curve ในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่ จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือตำแหน่ง ความถี่ High Cutoff นั้นอัตราการขยายจะลดลงจากจุดสูงสุดในช่วง Pass Band 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่ สัญญาณ Input ที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0 - f_H Hz เราเรียกว่า Pass Band ส่วนช่วงที่ความถี่ สูงกว่า f_H ขึ้นไป ซึ่งเกิดจากการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า Stop Band จาก Response ที่เป็นอุดมคติ ในเส้นปะแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมี Loss เป็น 0 ตลอด ช่วง Pass Band จะมี Loss เป็นอนันต์ในช่วง Stop band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น





(e)

รูปที่ 2.5 Frequency Response ของวงจร Filter

เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็นอุดมคติตามเส้นปะได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น Resistor และ Capacitor ที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุด และใช้ Op-Amp ชนิด High Speed (ในโครงงานนี้ใช้ Op-Amp เบอร์ LF351)

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth Chebyshev และ Caur แต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ในลักษณะ ค่อนข้างราบเรียบ บางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band เป็น Flat ส่วน Caur Filter ให้ทั้ง Pass Band และ Stop Band Ripple ทั้งคู่ ซึ่งเป็นการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง Stop Band จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงของ Pass Band อยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Pass Band อยู่ระหว่าง 2 ความถี่คutoff ได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่ Gain ลดลง 3 dB และช่วง Stop Band มีสองช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H >$

f_L ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่มีความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วง Pass Band Gain พอดี

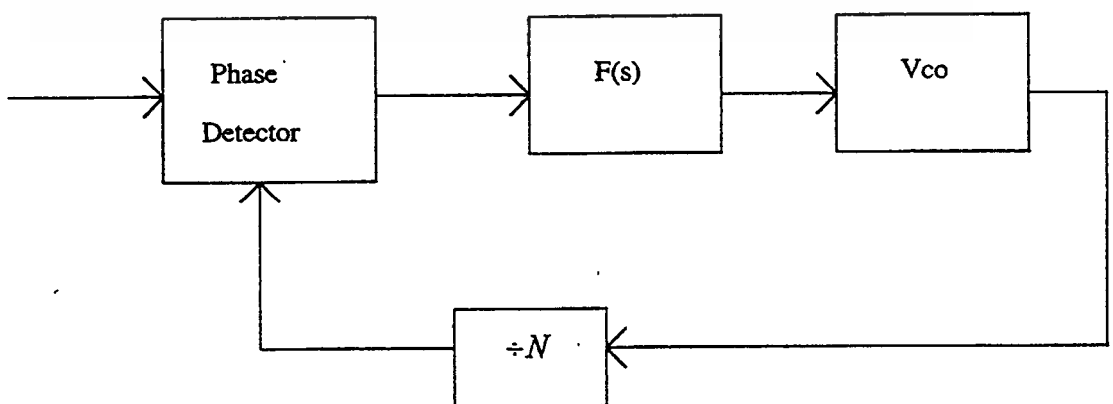
รูปที่ 2.5 (d) แสดง Response ของ Band Reject Filter มี Curve คุณสมบัติตรงข้ามกับ Band Pass Filter กล่าวคือช่วง Stop Band สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางช่วง Stop Band เป็นความถี่ Center Frequency หรือ f_c

รูปที่ 2.5 (e) แสดง Phase Shift ระหว่าง Input Voltage (V_{in}) กับ Output Voltage (V_o) ของ All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกันกล่าวคือให้ V_o เท่ากับ V_{in} ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่แต่ค่าความถี่สูงสุด ซึ่ง V_o กับ V_{in} ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อกคูล

เฟสล็อกคูลซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้ความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อกคูล ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุตที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของเฟสล็อกคูลซินธิไซเซอร์ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector : PD)
2. ลูปฟิลเตอร์ (Loop Filter : LF)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage control Oscillation VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.6 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกคูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_c(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency). ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุต f_i กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_c(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_c(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่ลดความถี่ที่แตกต่างระหว่างความถี่ f_i กับความถี่ f_0 ถ้าความถี่ f_i ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อกคัลซึ่งสัญญาณที่ป้อนกลับไปยังฟิลเตอร์จะเป็นความถี่เอาต์พุตของ VCO ที่ถูกหารโดย N จะทำให้ VCO จะชิงโครโนสหรือล็อก (lock) กับสัญญาณอินพุตที่ป้อนเข้ามา ขณะที่ทำการล็อกนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี

ในสภาวะล็อกความถี่จะได้ว่า

$$f_i = f_d \quad (2.1)$$

และความถี่ที่ได้จากวงจรหาร

$$f_d = f_0 / N \quad (2.2)$$

ดังนั้นความถี่ที่เอาต์พุตจะได้เป็น

$$f_o = N f_i \quad (2.3)$$

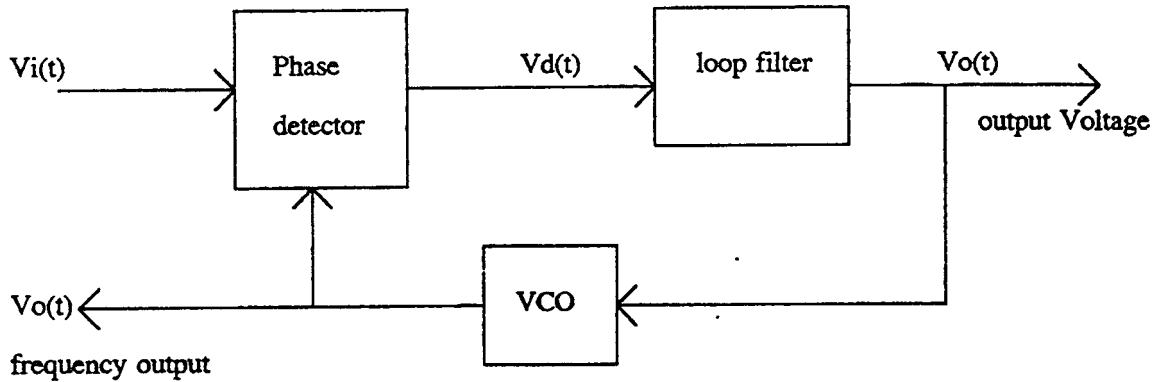
แต่ในสภาวะล็อกความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_c(t)$ ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อกคัลจะยังคงรักษาสภาพการล็อกอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อกคัลสามารถติดตามการล็อกกับระบบซึ่งจะขึ้นอยู่กับการตั้งความถี่ของแรงดันคลาดเคลื่อน

ช่วงของความถี่ซึ่งเฟสล็อกคัลสามารถทำการล็อกอย่างแท้จริงกับสัญญาณอินพุตเรียกว่า ช่วงแคปเจอร์ (capture ranger) จะขึ้นอยู่กับการออกแบบของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

เฟสล็อกคัลที่มีการหารความถี่ชนิดโปรแกรมได้ภายในรูปเป็นวิธีที่เหมาะสมสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ที่ละขั้น ซึ่งเรียกว่า รีโซลูชัน (resolution)

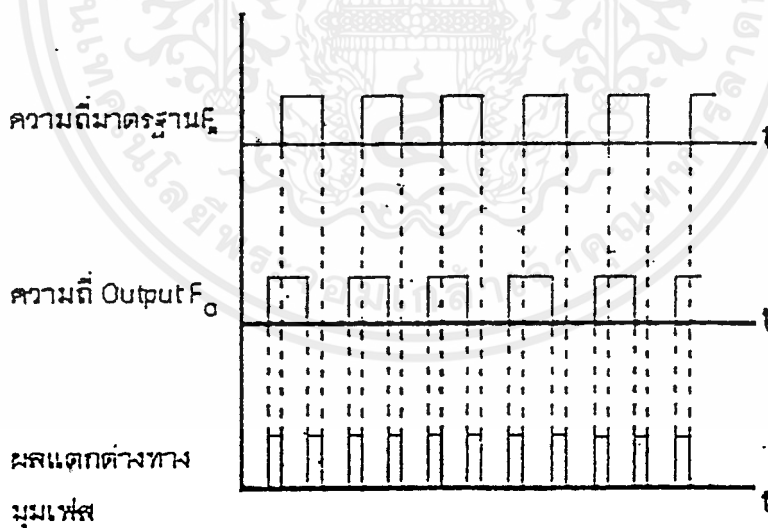
ระบบเฟสล็อกคัล



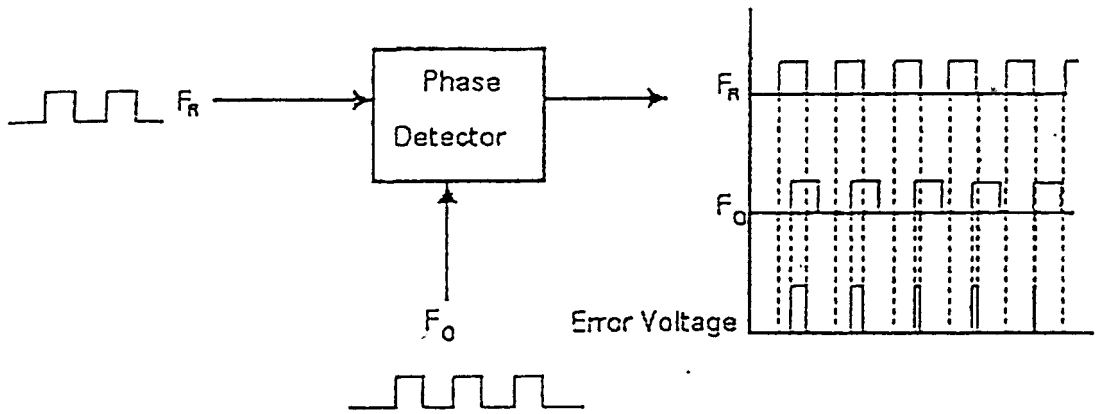
รูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกคัล

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1. **เฟสดีเทกเตอร์** เฟสดีเทกเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุตซึ่งจะมีผลของเฟสที่ต่างกันเรียกว่า เฟสเออร์เรอร์ เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็นเฟสดีเทกเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลต์เคตด้วยค่าคอนเวอร์ชันแกน K (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุตทั้งสองของเฟสดีเทกเตอร์จะได้แสดงดังรูปที่ 2.8ก



รูปที่ 2.8 ก. ผลต่างเฟสเมื่อเฟสเท่ากัน



รูปที่ 2.8 ข. เมื่อเฟสของอินพุตไม่เท่ากัน

2. ลูปเฟสล็อก ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทกเตอร์ เนื่องจากเฟสดีเทกเตอร์ให้เอาต์พุตเป็นสัญญาณดิจิทัลที่มีเอชี่โวลต์เตหร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปเฟสล็อกจึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์ (capture) สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาสถานะการล็อกไว้ได้อีกด้วย

3. ฟีดีแบ็ก จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลต์เตหอินพุตด้วยคอนเวอร์ชันเกนเท่ากับ K (radian / volt) ระดับโวลต์เตหนี้จะได้อาต์พุตของลูปเฟสล็อก ความถี่ที่ล่อออกมาจากลูปเฟสล็อก จะมีผลทำให้เอาต์พุตของฟีดีแบ็กเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อกสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทกเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุต $V(t)$ กับความถี่เอาต์พุตของ VCO และทำให้ได้เออร์เรอร์โวลต์เตห $V(t)$ สัญญาณเออร์เรอร์โวลต์เตหนี้จะถูกกรองด้วยลูปเฟสล็อกและถูกป้อนไปยังคอนโทรลอินพุตของ VCO ในรูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุตป้อนให้กับระบบเฟสล็อกลูปเออร์เรอร์โวลต์เตหที่ผ่านลูปเฟสล็อก $V(t)$ ในฟีดีแบ็กจะมีความถี่เป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_1 = 2\pi f_0$ ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุตเป็นเอชี่ป้อนให้กับระบบเฟสล็อกและสัญญาณดังกล่าวมีความถี่อินพุตใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดีแบ็กของเฟสล็อกจะทำได้เออร์เรอร์โวลต์เตหไปจับ VCO ให้มีความถี่ซึ่งโครโนสกับความถี่อินพุตเมื่อความถี่ของ VCO ซึ่งโครโนสกับความถี่อินพุตแสดงว่าระบบเฟสล็อกมีความถี่เอาต์พุตล่อกับความถี่ของสัญญาณอินพุต

การทำงานของระบบเฟสล็อกสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. เมื่อระบบไม่อยู่ในสถานะล่อ ($\omega_1 \neq \omega_2$)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากระบบเฟสล็อกถูปรูปที่ 2.11 เราสมมติสัญญาณ V และ V เป็นสัญญาณรูปคลื่นไซน์
มีค่าเป็น

$$V_i(t) = E_i \sin(\omega_1 t + \theta_1) \quad (2.4)$$

$$V_o(t) = E_o \sin(\omega_o t + \phi_o) \quad (2.5)$$

เมื่อ

ω_1 เป็นความถี่เชิงมุมของสัญญาณอินพุต

ω_o เป็นความถี่เชิงมุมศูนย์กลางของ VCO

ω_o และ ϕ_o เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

ถ้าเฟสดีเทกเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาต์พุตของ
เฟสดีเทกเตอร์ (V_d) เป็น

$$V_d(t) = K_d \cos\{(\omega_1 - \omega_o)t + \theta_1 - \phi_o\} \quad (2.6)$$

เนื่องจาก V_i และ V_o ไม่ซิงโครไนส์กัน

ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทกเตอร์ V_d จะเป็นสัญญาณรูปคลื่นไซน์ที่มีแอมพลิจูดสูง
สุดเท่ากับ k และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_i และ V_o คือ ω_i และ ω_o
มีค่าแตกต่างกันมาก ดังนั้น โวลต์เดจ V_d จะไม่สามารถผ่านฟิลเตอร์ได้ ทำให้ได้ค่า $V_c = 0$
และการฟีดแบ็คของลูปรวมจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูปรวมเอาต์พุตโวลต์เดจ
ของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_o และ ϕ_o จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i
และ θ_i พูดได้ว่าลูปรวมไม่อยู่ในสถานะล็อก แต่ถ้า $\omega_i - \omega_o = \pm \Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปรวม
ซึ่งกำหนดได้โดยพารามิเตอร์ของลูปรวมและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สถานะล็อกได้

ข. เมื่อระบบเข้าสู่สถานะล็อก ($\omega_i = \omega_o$)

ในกรณีที่สัญญาณเอาต์พุต VCO มีความถี่ซิงโครไนส์กับสัญญาณอินพุต V_i สัญญาณเอาต์
พุต V_o จะมีค่าเป็น

$$V_o(t) = E_o \sin(\omega_i t + \psi_o) \quad (2.7)$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาต์พุต จะเป็นลิเนียร์ฟังก์ชันกับเวลาซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \quad (2.8)$$

และสัญญาณเอาต์พุตของเฟสดีเทกเตอร์หรือสัญญาณเออร์เรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_1 - \psi_o) \quad (2.9)$$

ลูปรวมจะยอมให้สัญญาณดีซี V_d ผ่านได้และมีค่าเท่ากับ

$$V_c = V_d = K_d \cos(\theta_1 - \psi_o) \quad (2.10)$$

VCO จะเป็นฟรีเควนซีโมดูลเทคออกสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียร์ฟังก์ชันกับสัญญาณคอนโทรลอินพุต V_c โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = d/dt (\omega_o t + \phi_o) = \omega_o + K_o V_c \quad (2.11)$$

$$d/dt (\phi_o) = K_o V_o \quad (2.12)$$

เมื่อ K_o เป็นคอนเวอร์ชันคอนสแตนท์ซึ่งแสดงถึงความไวในการโมดูลชันของ VCO แทนค่าสมการ (2.8) และ (2.9) ลงในสมการ (2.12) จะได้

$$\omega_1 - \omega_2 = K_d K_o \cos(\theta_1 - \psi_o) \quad (2.13)$$

$$\psi_o = \theta_1 - \cos^{-1}(\omega_1 - \omega_o / K_d K_o) \quad (2.14)$$

ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทกเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = \omega_1 - \omega_o / K_o \quad (2.15)$$

ส่วนประกอบดีซีของเฟสดีเทกเตอร์เอาต์พุต V_d จะผ่านโลว์พาสฟิลเตอร์ไปเป็นคอนโทรลโวลท์เดจให้กับคิณฑูตของ VCO

$$V_c = V_d = \omega_1 - \omega_o / K_o \quad (2.16)$$

จากสมการ (2.16) จะเป็นได้ชัดเจนว่า สัญญาณดีซี V_c จะไปทำให้ความถี่เชิงมุมของ VCO มีค่าเปลี่ยนไปจากศูนย์กลางของ VCO ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุต ω_i นั่นคือ

$$\omega_{inst} = \omega_o + K_o V_c = \omega_o + \omega_i - \omega_o = \omega_i \quad (2.17)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $(\omega_i - \omega_o)$ มีค่าน้อยกว่าผลคูณของ $K_d K_o$ อย่างมาก สมการจะมีค่าเป็น

$$\theta_1 - \psi_o \equiv \cos^{-1} 0 = \pi/2 \quad (2.18)$$

จากสมการ (2.18) หมายความว่าถ้าความถี่ออฟเซตระหว่างสัญญาณอินพุตและสัญญาณ VCO จะมีค่าน้อยเมื่อลูบไม่อยู่สภาวะล็อกและสัญญาณ VCO จะมีเฟสด่างกับสัญญาณอินพุต 90 เมื่อลูบอยู่ในสภาวะล็อกหรือเฟสควอดคราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_o ด้วยค่าเฟสเอท θ_o ดังนั้น

$$\theta_o = \psi_o - \pi/2 \quad (2.19)$$

เอาต์พุตโวลท์เดทของเฟสดีเทกเตอร์เขียนได้ใหม่เป็น

$$\begin{aligned} V_d &= K_d \cos(\theta_i - \psi_o) \\ &= K_d \cos\{(\theta_i - \theta_o) - \pi/2\} \\ V_d &= K_d \sin(\theta_i - \theta_o) \end{aligned} \quad (2.20)$$

และจากสมการ (2.18) และ (2.19) จะได้เฟสเออร์เรอร์เป็น

$$\theta_i - \theta_o = \sin^{-1} (\omega_i - \omega_o) / K_d K_o \quad (2.21)$$

เมื่อผลต่างของเฟส ($\theta_i - \theta_o$) มีค่าน้อยพอเพียงจะได้ว่า

$$v_d \equiv K_d (\theta_i - \theta_o) \equiv K_d \theta_o \quad (2.22)$$

เมื่อ $\theta_o = \theta_i - \theta_o$ แต่เนื่องจากคุณสมบัติของเฟสดีเทกเตอร์แบบนี้เมื่อรูปเข้าสู่การล็อก สัญญาณของ วิธีโอ จะมีเฟสต่างไปจากสัญญาณอินพุต 90 คือ $\{\theta_i - (\theta_o + \pi/2)\}$ เป็นลักษณะของเฟสควอดราเจอร์ ดังนั้นเฟสดีเทกเตอร์จะให้เอาท์พุตโวลต์ตรงที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุต v_i กับสัญญาณเอาท์พุตของ วิธีโอ v_o . ในลักษณะของควอดราเจอร์คือ

$$\begin{aligned} v_d &= K_d \{\theta_i - (\theta_o + \pi/2)\} \\ &= K_d \{(\theta_i - \theta_o) - \pi/2\} \\ &= K_d (\theta_o - \pi/2) \end{aligned} \quad (2.23)$$

สัญญาณเฟสรีเซ็ต v_d นี้จะผ่านรูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุตของ วิธีโอ เพื่อแก้ไขให้ความถี่ของ วิธีโอ เปลี่ยนจาก ω_o ไปเป็น ω_i และดำรงการล็อกให้คงอยู่จะได้

$$v_d = v_c = (\omega_i - \omega_o) / K_o \quad (2.24)$$

$$\omega_i = \omega_o + K_o v_c \quad (2.25)$$

จากสมการ (2.20) และ (2.21) จะหาค่าของเฟสเออร์เรอร์ ได้เป็น

$$\theta_o = \pi/2 + (\omega_i - \omega_o) / K_d K_o \quad (2.26)$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลต์ตรงเอาท์พุตของ วิธีโอ จะมีเฟสควอดราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุตโวลต์ตรง 90 เมื่อ ω_i เคลื่อนที่ไปทางค่านสูงกว่า มุมของเฟสจะลดลงจาก 90 ไปสู่ค่า 180 ที่อยู่เหนือสุดของพิคค และถ้า ω_i เคลื่อนไปทางค่านต่ำกว่า ω_o มุมของเฟสจะลดลงจาก 90 ไปสู่ค่า 0 ที่ล่างสุดของพิคคการล็อก

ก. การทำงานของระบบในลักษณะไดนามิก ($\theta_i(t) = \Delta\omega t$)

ถ้าความถี่ของสัญญาณอินพุตเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟลต็อกคลูปยังสามารถอยู่ในสภาวะล็อกได้และเปลี่ยนแปลงตามสัญญาณอินพุตโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_o ระหว่างวิธีโอ และสัญญาณอินพุตให้มากขึ้นตามเวลา จากนั้น θ_o เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออร์เรอร์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลต์เตจ V_d ด้วยเฟสดีเทกเตอร์ เออร์เรอร์โวลต์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับ ความถี่ของสัญญาณอินพุต ขณะที่ระบบเฟสล็อกคูลูเปลี่ยนแปลงตามสัญญาณอินพุต ลูปเออร์เรอร์ โวลต์เตจ V จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุต ω_i กับความถี่ฟรี รันนิ่ง ω_o ของ VCO

การพิจารณาเรื่องการแทรกคั้งของระบบเฟสล็อกคูลูก็คือการพิจารณาถึงเฟสเออร์เรอร์ θ_o ของระบบ ระบบที่มีการแทรกคั้งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมติว่าระบบเฟสล็อกคูลูมีเฟสอินพุตเปลี่ยนแปลงไปในลักษณะสเตป หมายความว่า เท่ากับผลต่างระหว่างความถี่อินพุตกับความถี่ฟรีรันนิ่งของ VCO ($\Delta\omega = \omega_i - \omega_o$)

ลูปจะต้องการคอลโทรลโวลต์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_c จะต้องมีค่าเป็น

$$R_c = \Delta\omega / K_o \quad (2.28)$$

เมื่อลูปเข้าสู่สภาวะคงที่ $V_c = V_d F(o)$ เมื่อ $F(o)$ คืออัตราขยายต่อสัญญาณคั้งของลูปฟิลเตอร์ สัญญาณ V_c จะทำให้ลูปเข้าสู่สภาวะล๊อคคั้งเดิม เฟสดีเทกเตอร์เอาท์พุทจะให้เฟสเออร์เรอร์จะต้อง เป็น

$$\theta_o = V_d / K_d \quad (2.29)$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลต์เตจ V ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta_o = \Delta\omega / K_o K_d F(o) \quad (2.30)$$

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับตัวเองให้ความถี่เอาท์พุทของ ระบบการแทรกตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุตหรือเฟสอินพุตที่เปลี่ยนไปตาม เวลาและล๊อคได้กับสัญญาณอินพุตเหมือนคั้งเดิม

พิศัยความถี่ล๊อคคั้งช่วงที่ระบบเฟสล็อกคูลูสามารถดำรงการล๊อคไว้ได้กับสัญญาณอินพุตเรา เรียกว่า “พิศัยการล๊อคของระบบ”

สมมติว่าเราให้ ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o ของ VCO เพื่อ $|\omega_i - \omega_o|$ มากกว่าค่าอัตราขยายลูป $K(\theta_\phi - \theta_o)$ จะมีค่าไม่สอดคล้องหรือไม่เป็นจริงตามสมการ (2.21) สภาวะสมดุลของการชิงโครโนสจะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล๊อคกับ ความถี่ของสัญญาณอินพุต ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ω_o และ V_d ก็จะ กลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทกเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลต์เตจเป็นลักษณะรูป คลื่นซายน์ ขีดจำกัดการแทรกตามความถี่สัญญาณอินพุตของลูปจะอยู่ในพิศัยจาก $\omega_o - K$ ถึง $\omega_o + K$ เมื่อ ω_o เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราขยายลูป ($K = K_d K_o$)

เอาท์พุทโวลต์เตจของเฟสล็อกคูลูจะน

(frequency discriminator) ส่วนความถี่เอาท์จะนำไปประยุกต์ใช้งานเกี่ยวกับการประมวลผลภาวะของสัญญาณเฟรีควเอนซีซินเทซีสหรือการก่ีรปูของสัญญาณนาฬิก้า

ในการนำเอาเอาท์พุทโวลเตจของเฟสล็อกคูลูปมาใช้งานเมื่อลู่ปอยู่ใในสภาวะลู่อกกับความถี่อินพุท เออร์เรอร์โวลทเตท์เตจ $V_d(t)$ ที่ได้จากเฟสดีเทคเตอรจะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุท ω_0 และความถี่ฟรีรันนึ่งของ VCO และเออร์เรอร์โวลทเตจนี้จะผ่านโลว์พาสฟิลเตอร์และถูกป้อนไปเป็นคอลลโทรลโวลทเตจให้กับอินพุทของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ω_0 ไปเป็น ω_i ให้การลู่อกคงอยู่ ถ้าความถี่ของอินพุทเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลทเตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุทที่เปลี่ยนแปลง เพื่อดำรงการลู่อกให้คงอยู่ ดังนั้นเอาท์พุทโวลทเตจจะเปรียบเสมือนเฟรีควเอนซีดิสคริมิเนเตอรคือ สามารถแปลงการเปลี่ยนแปลงของความถี่อินพุทให้เป็นการเปลี่ยนแปลงของโวลทเตจ

การนำเอาความถี่เอาท์พุทของเฟสล็อกคูลูปมาใช้งานเมื่อลู่ปอยู่ใในสภาวะลู่อกกับสัญญาณอินพุทเอาท์พุทของ VCO จะให้ลู่อกคี่ลู่อนที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุท ยกเว้นเฟสจะมีความต่างกัน 0 และด้วยความต่างเฟสนี้จ้ทำใหเกิดเออร์เรอร์โวลทเตจเพื่อรักษาให้เฟสล็อกคูลู่ปอยู่ในสภาวะลู่อก ถ้าสัญญาณอินพุทประกอบด้วยคอมโพเนนทความถี่ต่าง ๆ มากมาย ซึ่งได้แก่ นอยส์ (noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถทำให้ระบบเฟสล็อกคูลู่ปคอมโพเนนทความถี่จำเพาะที่กำหนดคของสัญญาณอินพุทดังนั้นเอาท์พุทของ VCO จะให้กำเนิดความถี่จำเพาะนั้นใหม่ ขณะเดียวกันก็จะลู่ทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่น ๆ นอกจากนั้นเอาท์พุทของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อกคูลู่ปทำให้ระบบเฟสล็อกคูลู่ปเป็นระบบที่น่าสนใจในสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำ ๆ ที่ปนอยู่ในนอยส์ออกมาใหม่ได้

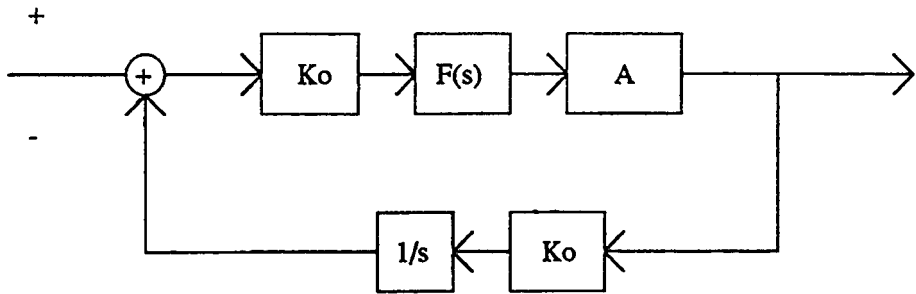
เมื่อระบบเฟสล็อกคูลู่ปอยู่ในสภาวะลู่อก , ลักษณะนอณลิเนียร์ของการแคปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาท์พุทของเฟสดีเทคเตอรและผลต่างของเฟสระหว่างสัญญาณอินพุทและเอาท์พุทของ VCO ภายใต้สภาวะที่เราสามารถจะวิเคราะห์ระบบเฟสล็อกคูลู่ปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาทรานส์ฟอร์มและสมการคิฟเฟอร์เรนเซียล

$$\Theta_c(s) / \Theta_r(s) = B(s) = \text{forward gain} / 1 + \text{open loop gain}$$

Θ_c คือ เฟสของ VCO

Θ_r คือ เฟสของสัญญาณอ้างอิง

(2.31)



รูปที่ 2.9 แสดงบล็อกไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์

รูปที่ 2.9 แสดงถึงบล็อกไดอะแกรมของระบบเฟสล็อกคูลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์ฟรีควเอนซีเมื่อ $s = 6 + j\omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาต์พุตโวลต์เดจเป็นสัดส่วนกับผลต่างของเฟส θ_o ระหว่างสัญญาณอินพุตและเอาต์พุต VCO ที่มีคอนเวอร์ชันเกน K_d และมีหน่วยเป็น (โวลต์/เรเดียน) ทรานเฟอร์ฟังก์ชันของลูปฟิลเตอร์เท่ากับ $F(s)$ และของแอมพลิฟายเออร์เท่ากับ A สมมติ $F(s)$ จะเป็นอัตราขยายเป็นหนึ่งที่มีความถี่คิซี อัตราขยายโวลต์เดจไปเป็นความถี่ของ VCO มีค่าเท่ากับ K_o และมีหน่วยเป็น (เรเดียน/วินาที/โวลต์)

เอาต์พุตของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุต

$$v\theta = K_d (\theta_r - \theta_i) \quad (2.32)$$

เมื่อ θ_i คือเฟสของ VCO ที่ถูกหาร

สมมติให้ VCO เป็นอุปกรณ์ที่มีลักษณะเป็นลิเนียร์ มีความถี่เอาต์พุตแตกต่างจากความถี่รีفرنซ์โดยการเพิ่มขึ้นของความถี่

$$2\pi\Delta f = K_o V_o \quad (2.33)$$

เมื่อ V_o คือโวลต์เดจเอาต์พุตของโลว์พาสฟิลเตอร์

ดังนั้นความถี่ก็เป็นเวลาที่เบี่ยงเบนของเฟสจากขั้นตอนของ VCO สามารถอธิบายได้ว่า

$$2\pi\Delta f = d / dt(\theta_c) = K_o V_o \quad (2.34)$$

ซึ่งจากสมการนี้สมมติระบบเฟสล็อกคูลูปสามารถแทนได้ในลักษณะของเส้นตรง ฟังก์ชันที่

สัมพันธ์กับ $\theta_o(s)$ และ $\theta_r(s)$ คือ

$$B(s) = \theta_o(s) / \theta_r(s) = (dK_o F(s) / s) / 1 + K_d K_o F(s) / Ns \quad (2.35)$$

$$\text{จะได้ฟอร์เวิร์ดเกนเท่ากับ } G(s) = K_d K_o F(s) / S \quad (2.36)$$

$$\text{และโอเพนลูปเกนเท่ากับ } G(s) H(s) = K_d K_o F(s) / Ns \quad (2.37)$$

ผลของรูปฟิลเตอร์และอัตราขยายรูปที่มีต่อคุณสมบัติการทำงานของระบบเฟสล็อกคูลูป

ฟังก์ชันของรูปฟิลเตอร์ $F(s)$ มีผลต่อคุณสมบัติการทำงานของระบบเฟสล็อกคูลูปอย่างมาก เมื่อระบบเฟสล็อกคูลูปอยู่ในสภาวะล็อก หน้าทีของรูปฟิลเตอร์ร่วมกับอัตราขยายรูป $K_d K_o A$ จะเป็นตัวกำหนดที่ผลตอบสนองชั่วขณะ และ คุณสมบัติของผลตอบสนองทางความถี่ของระบบ เมื่อระบบเฟสล็อกคูลูปไม่อยู่ในสภาวะล็อก รูปฟิลเตอร์จะมีผลเด่นชัดในการควบคุมคุณสมบัติของการแคปเจอร์ของรูป

ก. รูปลำดับที่หนึ่ง

การทำงานของเฟสล็อกคูลูปในกรณีง่ายที่สุดก็คือรูปฟิลเตอร์ไม่ได้ต่ออยู่ในรูปกระทำโดยการตั้งให้ $F(s)=1.0$ ระบบเฟสล็อกคูลูปแบบนี้เรียกว่า “รูปลำดับที่หนึ่ง” เนื่องจากทรานส์เฟอร์ฟังก์ชันจะลดลงเหลือโพลเดียวของโวลทาสฟิลเตอร์

$$V_c / \Delta \omega_i = 1/K_o * 1/(1 + s/K_d K_o A) \quad (2.38)$$

$$\Delta \omega_i = d/dt (\theta_i) \quad (2.39)$$

คือการเบี่ยงเบนไปของความถี่ของสัญญาณอินพุต

ระบบจะมีลักษณะเหมือนกับโวลทาสฟิลเตอร์แบบโพลเดียวที่มีคอนเวอร์ชันเกนที่ความถี่ต่ำเท่ากับ $1/K_o$ และมีแบนวิดท์ - 3 dB เท่ากับ $K_d K_o A$ นอกจากนั้นที่ถี่สูง หรือความถี่ต่ำ ๆ เมื่อ $s \rightarrow 0$ และ $F(s) \equiv 1.0$ จะได้ว่า

$$V_c / \Delta \omega_i \Big|_{s=0} = 1/K_o \quad (2.40)$$

สมการ (2.14) แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลต์ตรงที่เป็นลิเนียร์

ผลตอบสนองของระบบเฟสล็อกคูลูปในสภาวะล็อกต่อการเปลี่ยนแปลงของความถี่อินพุตจะได้รับอิทธิพลจากพารามิเตอร์สองตัวคือ ทรานส์เฟอร์ฟังก์ชันของรูปฟิลเตอร์ $F(s)$ และแฟกเตอร์ของอัตราขยายรูป $K_d K_o A$

รูปลำดับที่หนึ่งจะมีข้อจำกัดในการใช้งานเนื่องจากรูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนได้ไม่ดี สาเหตุจากในระบบไม่มีรูปฟิลเตอร์ เมื่อไม่มีรูปฟิลเตอร์คอมโพเนนต์ความถี่สูงที่ออกมาจากเฟสดีเทกเตอร์จะปรากฏโดยตรงที่เอาต์พุต เอาต์พุต V_o นี้จะประกอบด้วยความถี่สูงเนื่องจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาต์พุตที่มีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อกคูลูปจะเลวลง

การทำงานของเฟสล็อกคูลูปที่ไม่มีฟิลเตอร์จะมีข้อเสียคือ ถ้าหากสัญญาณอินพุตมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาต์พุตเปลี่ยนแปลงตามไปด้วย ดังนั้นรูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุตเพื่อกำจัดเอาต์พุตสัญญาณรบกวนออกไป

สรุป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. รูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่วไป ระบบเฟลลือคูลจะใช้โลว์ พาสฟิลเตอร์แบบมีโพลเดียว และระบบเฟลลือคูลจะอธิบายได้ทรานส์เฟอร์ฟังก์ชันที่มีสองโพล ซึ่งเรียกกันทั่วไปว่า “รูปลำดับที่สอง” โครงสร้างของโลว์พาสฟิลเตอร์ที่ใช้กับทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังก์ชันเป็น

$$F(s) = 1 / (1 + s/\omega_1) \quad (2.41)$$

เมื่อ $\omega_1 = 1 / R_1 C_1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสลาถ่วงไป 90 ที่ความถี่สูง ซึ่งหมายถึง “แฉีกฟิลเตอร์” จะได้ทรานส์เฟอร์ฟังก์ชันเป็น

$$V_o(s) / \Delta \omega_1(s) = 1 / K_o \left\{ 1 / (1 + s/KI + s^2 / \omega_1 KI) \right\} \quad (2.42)$$

ค่ารากหรือโพลของระบบเฟลลือคูลจะได้ว่า

$$s_1, s_2 = \omega_1 / 2 (1 \pm \sqrt{1 - (4KI / \omega_1)}) \quad (2.43)$$

$$KI = K_d K_o A$$

เมื่อเพิ่มค่าของ KI โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมป์ (underdamped) จากสมการ (2.42) จะเขียนในเทอมใหม่ได้เป็น

$$V_o / \Delta \omega_1 = 1 / K_o \left(1 / (s^2 / \omega_n^2) + (2\zeta / \omega_n) s + 1 \right) \quad (2.44)$$

$$\text{เมื่อ} \quad \omega_n = \sqrt{KI} \omega_1 \quad (2.45)$$

$$\text{และ} \quad \zeta = (1/2) \sqrt{\omega_1 / KI} \quad (2.46)$$

จะสังเกตได้ว่าหากแบนด์วิธของรูปฟิลเตอร์ ω_1 ลดลงหรือ KI เพิ่มขึ้น ค่าแกมมิงของรูปจะลดลงหมายความว่าค่า ζ จะลดลง ผลตอบสนองทางความถี่ของรูปจะเป็นพีค (peaking) และผลตอบสนองต่อสเตปของรูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท

ค่าพีค(peaking)ในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุทที่ถูกคิมอดูเลทมาจากเอฟเอ็ม และเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลวเมื่อรูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟลลือคูลให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลต (flat) มากที่สุด แคมป์แฟคเตอร์ควรมีค่าเท่ากับ $1/\sqrt{2}$ จะได้ ω_1 ที่เหมาะสมเป็น

$$\omega_1 = 2 K_1 \quad (2.47)$$

และความถี่ที่ - 3 dB แบนด์วิดท์ของลูปจะได้เป็น

$$\omega_{-3 \text{ dB}} = \omega_n = \sqrt{K_1} \omega_1 = \sqrt{2} K_1 \quad (2.48)$$

วงจรเฟสล็อกคูลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องการให้มีพัสการล็อกกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิดท์ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

กระบวนการแคปเจอร์สัญญาณอินพุต

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อกคูลูปคือ กระบวนการแคปเจอร์ (capture Process) เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อกกับสัญญาณอินพุตโดยที่ลูปจะเริ่มต้นจากสถานะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

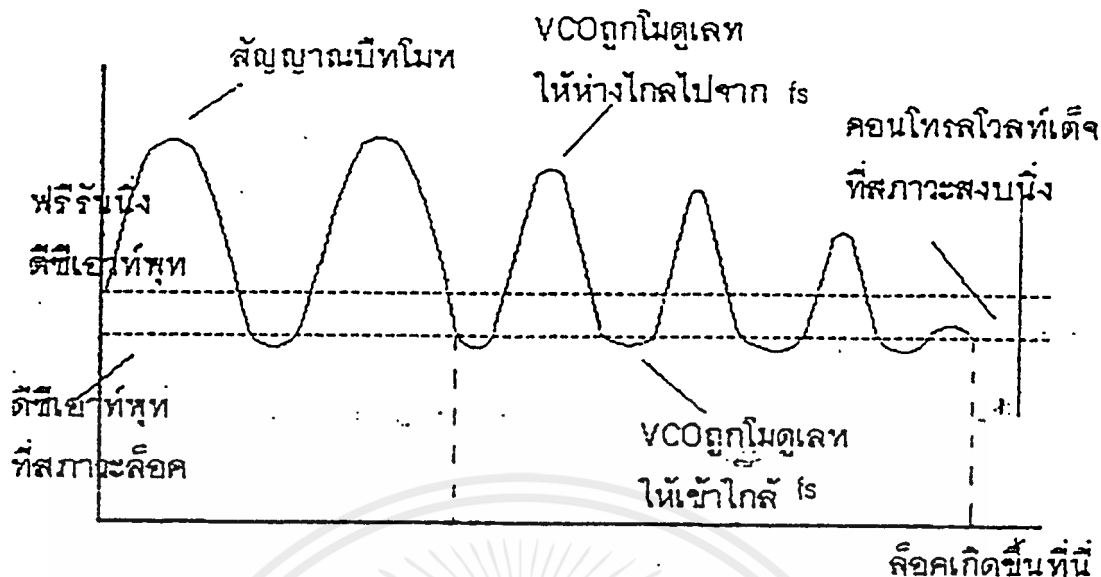
ขั้นแรกสมมติว่าเฟสเบ็คคูลูปของระบบเฟสล็อกคูลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาท์พุตและคอนโทรลอินพุตของ VCO ซึ่งจะทำให้ V_d มีค่าเป็นศูนย์ และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุตถูกป้อนให้ลูปด้วยความถี่ ω_1 ซึ่งเป็นความถี่ที่ใกล้เคียงกับ ω_0 แต่ไม่เท่ากับ ω_0 ในกรณีนี้เฟสดีเท็คเตอร์มีฟังก์ชันเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาท์พุตโวลต์แดงที่ได้จากเฟสดีเท็คเตอร์จะเป็นคอปไปเน้นท์ของสองความถี่ที่มีผลบวกของความถี่

$$\omega_1 = \omega_0 + \omega_1 \quad (2.49)$$

และผลต่างของความถี่

$$\Delta\omega = |\omega_0 - \omega_1| \quad (2.50)$$

ตามปกติแบนด์วิดท์ของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโปเน้นท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_1 มีค่าใกล้เคียงกับค่า ω_0 ดังนั้นผลต่างของความถี่ $(\omega_1 - \omega_0)$ จะมีค่าน้อยมาก และมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นชาชน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.10 ซึ่งแสดงว่า $\omega_0 > \omega_1$



รูปที่ 2.10 แสดงเฮอร์เรอร์โวลต์ที่คงชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์

ต่อไปสมมติว่าถูปลูกต่อให้ครบรูปอย่างทันทีทันใดโดยการต่อโลว์พาสฟิลเตอร์เอาท์พุทเข้ากับ
ขั้วคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลตด้วย บีทโนทหรือผลต่าง
ของสัญญาณเมื่อเกิดการ โมดูเลตขึ้นดังกล่าวความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชันที่แปรไป
ตามเวลาคือ $\Delta\omega$ จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถี่
อินพุท และโวลต์เดจนี้也将มีความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเกิลลบและ
ความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตรและดู
เหมือนกับอนุกรมของซอดแหลมดังแสดงในส่วนกลางของรูปที่ 2.10 เราจะสังเกตได้ว่าส่วนของบีท
โนทที่โมดูเลตให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นซอดแหลมมากกว่า
เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบด้วโวลต์เดจซึ่งจะไปขับให้ความถี่ของ
VCO มีค่าเข้าสู่สัญญาณอินพุทเมื่อ VCO มีแวนโวม์เข้าสู่ ω_1 ความถี่ของบีทโนทจะลดลงอย่างรวดเร็ว
เร็วความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะเข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็วในช่วงเวลาขณะ
หนึ่งรูปก็จะเข้าสู่สภาวะล็อกเมื่อความถี่ของ VCO เท่ากับ ω_1 อย่างแน่นอน ระบบก็จะเข้าสู่การ
ล็อกผลต่างของความถี่ $\Delta\omega$ จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลต์เดจที่เอาท์พุทของลูปฟิลเตอร์ ดี
ซีโวลต์เดจนี้เกิดขึ้นจากผลต่างของเฟส θ_o ระหว่างเอาท์พุทของ VCO และสัญญาณอินพุท สมมติว่า
ลูปฟิลเตอร์มีอัตราขยายดีซีเป็นหนึ่ง และเฟสดีเท็กเตอร์มีคอนเวอร์ชันเกน K_d (โวลต์/เรเดียน)
เออร์เรอร์โวลต์เดจที่สถานะคงที่นี้จะมีค่าเป็น

$$V_c = V_c(t) \mid \text{สถานะคงที่} = -K_d \theta_0$$

เครื่องหมายลบในสมการเนื่องมาจากเราได้สมมติไว้ว่าในตัวอย่างของรูปที่ 2.10 ว่า $\omega_0 > \omega_1$ ซึ่งจะทำได้โวลต์เดจลปที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเลื่อน ω_0 ให้ไปเท่ากับ ω_1

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อกเกิดการล็อกเราเรียกว่า “พูลอินไทม์” จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูป และคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักลูปฟิลเตอร์คือ การกรองเอาคอมโปเน้นท์ต่าง ๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการ และมีความถี่ห่างไกลจากความถี่พรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติการกำจัดสัญญาณรบกวนของระบบเฟสล็อกลูป หรือพูดอีกอย่างหนึ่งระบบเฟสล็อกลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่พรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชันที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาดังนั้นๆ ของระบบเฟสล็อกลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อกในช่วงเวลาสั้น ๆ เนื่องจากการรบกวนในช่วงหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลต์เดจ $V_c(t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้าๆ และในกรณีนี้ถ้าระบบเฟสล็อกลูปหลุดไปจากการล็อกลูปไปจากการล็อกเพียงชั่วขณะเนื่องจากนอยส์หรือสัญญาณรบกวนความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้นๆ ดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุทได้ใหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาได้ผ่านไปแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลต์เดจในระบบเฟสล็อกลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดท์ของฟิลเตอร์ จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

- (1) กระบวนการแคปเจอร์จะช้าลง และพูลอินไทม์จะเพิ่มขึ้น
- (2) พิสัยการแคปเจอร์จะลดลง
- (3) ทันทีที่ลูปเกิดการล็อก คุณสมบัติของเฟสล็อกลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผลคือเออร์เรอร์โวลต์เดจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลงโดยโลว์พาสฟิลเตอร์
- (4) ผลตอบสนองชั่วขณะของระบบเฟสล็อกลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใด ภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะ อันเดอร์แดมป์ (Underdamped)

คุณสมบัติการแทรกตามสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อกถูปล็อกกับสัญญาณอินพุทระบบสามารถจะแทรกตามการเปลี่ยนแปลงอย่างช้า ๆ ของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_0 ระหว่าง VCO และสัญญาณอินพุท จากนั้นเฟสเออร์เรอร์ ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลต์เดจ V_d ด้วยเฟสดีเท็คเตอร์ เออร์เรอร์โวลต์นี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อกถูประ็คตามสัญญาณอินพุท ลูปเออร์เรอร์โวลต์เดจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_1 กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO หรือพูดอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อกถูประ็คตามสัญญาณอินพุท เอาท์พุทโวลต์เดจของลูปจะมีฟังก์ชันเหมือนกับการแปลงความถี่เป็นโวลต์เดจ

พิสัยการแทรกตามสัญญาณอินพุทของระบบเฟสล็อกจะกำหนดได้ด้วยการพิจารณาว่า โวลต์เดจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมติว่าในลูปไม่มีแอมพลิไฟเออร์ ปริมาณของเออร์เรอร์โวลต์เดจจะมีค่าสูงสุด $(V_d)_{\max}$ เมื่อผลต่างของเฟส θ_0 มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm\pi/2$ ดังนั้นพิสัยการแทรกตามสัญญาณอินพุทของระบบเฟสล็อกลูปจะมีค่าเป็น

$$\pm\Delta\omega = \pm (V_d)_{\max} K_o \quad (2.51)$$

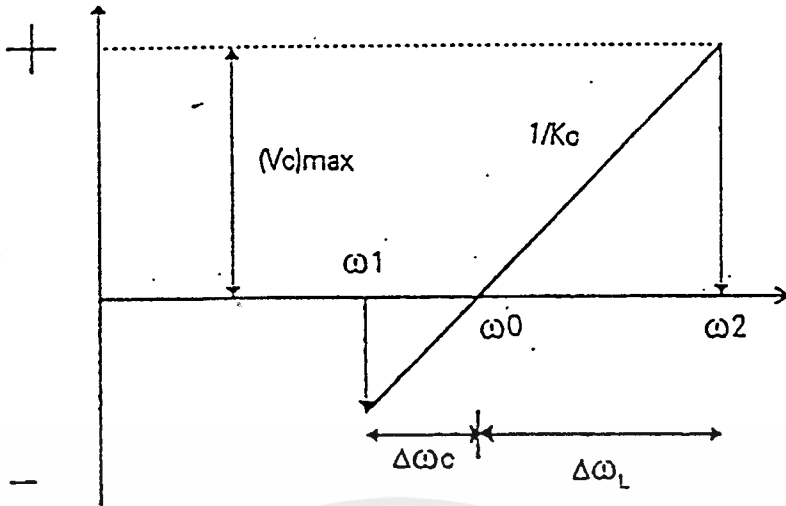
เมื่อ K คือคอนเวอร์ชันเกนของ VCO (หน่วยเป็นเฮิรตซ์/โวลต์)

รูปที่ 2.11 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลต์เดจของระบบเฟสล็อกลูป สมมติว่าอินพุทเป็นสัญญาณลูกคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้า ๆ ได้ในช่วงพิสัยความถี่ที่กว้าง ขึ้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อกของเออร์เรอร์โวลต์เดจที่ผ่านลูปฟีดแบ็คแล้ว V_c และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลต์เดจ

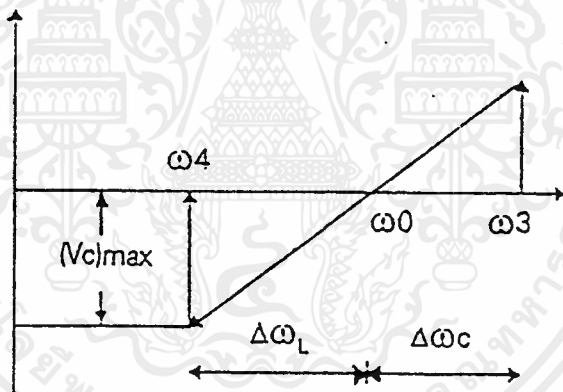
คุณสมบัติการแปลงความถี่ไปเป็นโวลต์เดจของระบบเฟสล็อกลูปแสดงได้ในรูปที่ 2.11 (ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้า ๆ (ข) เมื่อความถี่อินพุทลดลงอย่างช้า ๆ ความกว้างของความถี่ระหว่าง ω_1 - ω_2 เท่ากับพิสัยแคปเจอร์และความกว้างของความถี่ระหว่าง ω_2 - ω_4 เท่ากับพิสัยการแทรกตามสัญญาณอินพุทของระบบนั้นคือ

$$\omega_3 - \omega_1 = 2\Delta\omega_c \quad (2.52)$$

และ
$$\omega_2 - \omega_4 = 2\Delta\omega_1 \quad (2.53)$$



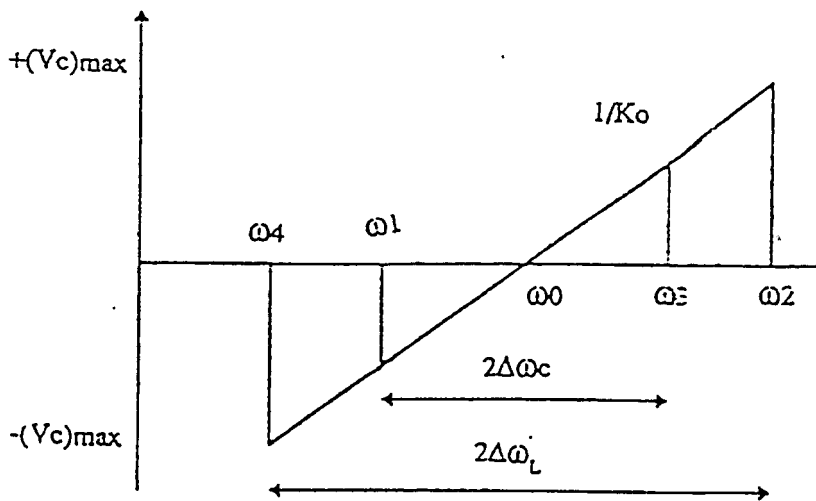
(ก) เมื่อความถี่อินพุตเพิ่มขึ้นอย่างช้า ๆ



(ข) เมื่อความถี่อินพุตลดลง

รูปที่ 2.11 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลต์ตรง

ในรูปที่ 2.12 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลต์ตรงของระบบเฟสล็อกคูลูปที่ผลสัมพันธ์กันระหว่างคุณสมบัติของฟิลต์แคปเจอร์และฟิลต์การล็อกที่แสดงในรูปที่ 2.11 จากรูป 2.12 คุณสมบัติการตอบสนองของระบบเฟสล็อกคูลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้



รูปที่ 2.12 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลต์ตรงของระบบเฟสล็อกคูลูป

- (1) ระบบเฟสล็อกคูลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลต์ตรงซึ่งมีความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_0 ของ VCO
- (2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อก) กับสัญญาณที่มีความถี่อยู่ในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_c$ และมีศูนย์กลางอยู่ที่ ω_0
- (3) ทันทีที่ระบบเกิดการล็อกมันจะสามารถแทร็คตามสัญญาณอินพุตได้ตลอดช่วงพิสัยการล็อก $2\Delta\omega_L$ และมีศูนย์กลางอยู่ที่ ω_0
- (4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลต์ตรงจะทำกับส่วนกลับของอัตราขยายการแปลงโวลต์ตรงไปเป็นความถี่ของ VCO

รูปที่ 2.11 และ 2.12 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอันในการออกแบบระบบเฟสล็อกคูลูปพิสัยการล็อก $= (V_d)_{\max} K_o$ ตามสมการ (2.51) ดังนั้นเราสามารถจะเพิ่ม $(V_d)_{\max}$ ได้ด้วยการเพิ่มแอมพลีไฟเออร์เข้าในรูปของเฟสล็อกคูลูปเบื้องต้น เพื่อเพิ่มอัตราขยายโวลต์ตรงในรูปป้อนกลับพิสัย การล็อกจะเพิ่มขึ้นเป็น $= A (V_d)_{\max} K_o$ เมื่อ A อัตราขยายโวลต์ตรงของแอมพลีไฟเออร์เมื่อระบบเฟสล็อกคูลูปอยู่ในสภาวะล็อก V_d จะมีค่าเป็นคิซีโวลต์ตรง ดังนั้นรูปฟิลเตอร์จึงไม่มีผลกระทบต่อพิสัยการล็อก

ความถี่ฟรีรันนิ่ง ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อก ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_0 ของ VCO มีความสำคัญอย่างยิ่ง เนื่องจากเรามักจะออกแบบให้พิสัยแคปเจอร์ และพิสัยการล็อกมีช่วงแคบมาก ๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหามา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.12 ต่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้จัดทำเห็นว่าไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) คุณสมบัติการแปลง F - V ของระบบ PLL

(ข) สโลปของโวลต์เดจเอาท์พุทของระบบ PLL ($1/K_o$)

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F - V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า : ดีไซน์เกน

คุณสมบัติของลูปฟิลเตอร์

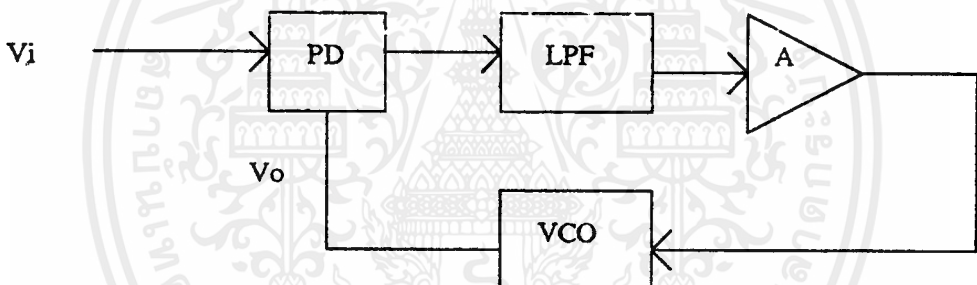
เสถียรภาพของ VCO

คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิกเฟสล็อกคูล PLL

พิสัยการล็อก

วงจรเฟสล็อกคูลในการใช้งานจริงมักจะมีแอมพลิไฟเออร์เข้าในลูปของวงจรเฟสล็อกเบื้องต้นเพื่อเพิ่มอัตราขยายโวลต์เดจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อกให้กับระบบด้วย วงจรเฟสล็อกคูลดังกล่าวแสดงได้ดังในรูปที่ 2.13



รูปที่ 2.13 ระบบเฟสล็อกคูล

เมื่อระบบเฟสล็อกเข้าสู่สภาวะล็อกกับความถี่อินพุท ω_i เราจะได้ว่า

$$\omega = \omega_i = \omega_o + \omega_o V_c \quad (2.54)$$

และ
$$V_c = (\omega_i - \omega_o) / K_o = K_d A (\theta_o - \pi/2) \quad (2.55)$$

เมื่อ A คืออัตราขยายโวลต์เดจของแอมพลิฟายเออร์จากสมการ (2.55) เราจะได้ว่า

$$\phi - \pi/2 = (\omega_i - \omega_o) / K_o K_d A \quad (2.56)$$

ดังนั้นเมื่อระบบล็อกอยู่กับสัญญาณอินพุท ความต่างเฟสระหว่างสัญญาณอินพุทโวลต์เดจกับเอาท์พุทโวลต์เดจของ VCO จะมีค่าเท่ากับ θ_o และเราจะหาความต่างเฟสนี้ได้เป็น

$$\theta_o = \pi/2 + (\omega_i - \omega_o) / K_o K_d A \quad (2.57)$$

และความถี่ของสัญญาณทั้งสองจะซิงโครไนส์กันอย่างเที่ยงตรง

เอาท์พุทโวลต์เดจที่ได้จากเฟสดีเทคเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ เรเดียน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{c(max)} = \pm K_d (\pi / 2) \quad (2.58)$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เดจที่มีค่าสูงสุดสอดคล้องกับค่า $V_{c(max)}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$V_{c(max)} = \pm (\pi / 2) K_d A \quad (2.59)$$

ความถี่ของ VCO จะสวิงได้สูงสุดเท่ากับ

$$\begin{aligned} (\omega - \omega_0)_{max} &= K_o V_{c(max)} \\ &= \pm K_o K_d (\pi / 2) A \end{aligned} \quad (2.60)$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุตที่ระบบเฟสล็อกสามารถดำรงรักษาการล็อกได้ตลอดพิสัยสูงสุดนี้จะมีค่าเท่ากับ

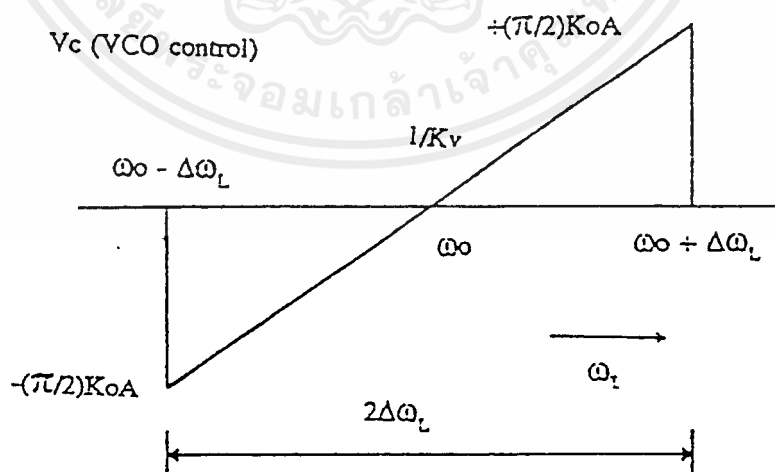
$$\begin{aligned} \omega_1 &= \omega_0 \pm K_o K_d (\pi / 2) A \\ &= \omega_0 \pm \Delta\omega_1 \end{aligned} \quad (2.61)$$

เมื่อ $2 \Delta\omega_1$ จะเท่ากับพิสัยการล็อกและได้เป็น

$$\text{พิสัยการล็อก} = 2\Delta\omega_1 = K_d K_o A \pi \quad (2.62)$$

เราจะสังเกตได้ว่าพิสัยการล็อกจะมีค่าหนึ่งที่สมมาตรกันเมื่อถือเอาเฟรีย้นนิ่งแควนซี(ω_0) ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.14 แสดงถึงกราฟของคอนโทรลโวลท์เดจ V_c ของ VCO ต่อความถี่ของสัญญาณอินพุต ω_i ความถี่ที่อยู่นอกพิสัยการล็อกของระบบความถี่ของ VCO ไม่สามารถจะซิงโครไนส์กับความถี่อินพุตได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.14 พิสัยการล็อกของระบบเฟสล็อก

$$\theta_o = (\omega_i t + \theta_i) - (\omega_o t + \theta_o) \quad (2.63)$$

$$= (\omega_i - \omega_o) + (\theta_i - \theta_o) \quad (2.64)$$

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลงของ θ_c ต่อเวลาเท่ากับ

$$d\theta_o / dt = \omega_i - \omega_o \quad (2.65)$$

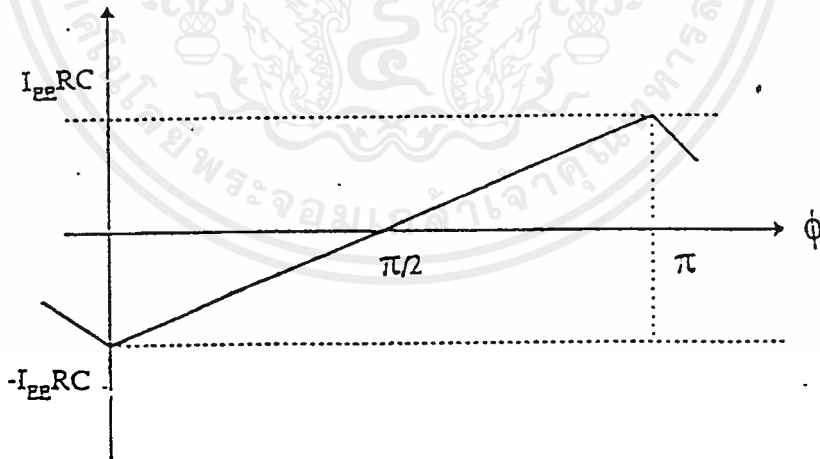
ดังนั้นเอาท์พุทโวลท์เดจของเฟสดีเท็คเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาและจะถูกลดทอนแมกนิจูดลงอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เดจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งเฟรเควนซี ω_o เดิม ดังนั้นเราเห็นได้ว่า ช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อกของระบบคอนโทรลโวลท์เดจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อกกับสัญญาณอินพุท เราจะได้ว่า

$$\theta_o = (\pi / 2) - ((\omega_i - \omega_o) / K_d K_o A) \quad (2.66)$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เดจของ VCO จะมีเฟสควอดครานเจอร์ (phase quadrature)

คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เดจ 90 เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_o มุมของเฟสจะเพิ่มขึ้นจาก 90 ไปสู่ค่าของ 0 องศา ที่ล่างสุดของพิสัยการล็อก ดังแสดงในรูปที่ 2.15



รูปที่ 2.15 แสดงคุณสมบัติเอาท์พุทของเฟสดีเท็คเตอร์กับเฟสเออร์เรอร์

พิสัยแคปเจอร์

การวิเคราะห์ถึงพิสัยการล็อกจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อกคูล (PLL) จะมีสถานะเดิมล็อกอยู่กับสัญญาณอินพุตแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูบที่มีสถานะเดิมไม่ล็อกกับสัญญาณอินพุตเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อกคูลสามารถล็อกกับสัญญาณอินพุตในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า “พิสัยแคปเจอร์” หรือ “พิสัยแอกควิซชัน”

เมื่อระบบเฟสล็อกคูล (PLL) มีสถานะเดิมระบบไม่ล็อกกับสัญญาณอินพุต ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งเฟรเควนซี ω_0 มุมของความต่างเฟสระหว่างสัญญาณอินพุตและโวลท์เดจของ VCO จะเท่ากับ

$$\begin{aligned}\theta_0 &= (\omega_i t - \theta_i) - (\omega_0 t - \theta_0) \\ &= (\omega_i - \omega_0)t + \Delta\theta\end{aligned}\quad (2.67)$$

และค่าของ θ_0 จะไม่คงที่แต่เปลี่ยนแปลงตลอดเวลาด้วยอัตราความเร็ว $d\theta_0/dt = \omega_i - \omega_0$ ดังนั้นเอาท์พุทโวลท์เดจของเฟสดีเทคเตอร์จะไม่มีส่วนของดีซีคอมโปเน้นท์ แต่จะให้เอซีโวลท์เดจกับลูกคลื่นที่มีพิคแอมพลิจูด $K_d(\pi/2)$ และความถี่พื้นฐาน $(\omega_i - \omega_0)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่าย ๆ และมีทรานเฟอร์ฟังก์ชันเป็น

$$F(j\omega) = 1/(1+j\omega\tau) = 1/(1+j(\omega/\omega_1)) \quad (2.68)$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1/RC$ ดังนั้นจุดจำกัคความถี่ $f_1 = 1/2\pi RC$ ที่สถานะ $(\omega/\omega_1)^2 \gg 1$

ทรานเฟอร์ฟังก์ชันของของลูบฟิลเตอร์จะมีค่าประมาณ

$$F(j\omega) = \omega_i / j\omega$$

$$\text{และ} \quad |F(j\omega)| = \omega_i / \omega \quad (2.70)$$

เทอมความถี่พื้นฐานที่เป็นอินพุตให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเทคเตอร์จะเป็นค่าผล

ต่างของความถี่ $\Delta\omega = (\omega_i - \omega_0)$ ถ้า $\Delta\omega > 3\omega_i$

ทรานเฟอร์ฟังก์ชันของ LPF จะมีค่าโดยประมาณเป็น

$$|F(\Delta\omega)| \cong \omega_i / \Delta\omega = \omega_1 / (\omega_i - \omega_0) \quad (2.71)$$

เราจะได้คอนโทรลโวลท์เดจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_c = V_d |F(\Delta\omega)| \quad (2.72)$$

$$\text{และ} \quad V_{c(\max)} = \pm K_d(\pi/2)(\omega_i/\Delta\omega)A \quad (2.73)$$

$$\text{ด้วยเหตุผล} \quad V_{c(\max)} = K_o V_{c(\max)} \cong \pm K_o K_d(\pi/2)A(\omega_i/\Delta\omega) \quad (2.74)$$

เพื่อที่จะจับ (Acquisition) ความถี่สัญญาณอินพุตให้ได้เราจะต้องให้ $\omega = \omega_i$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุตที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_i - \omega_o)_{\max} = \pm K_o K_d (\pi/2) A (\omega_i / \Delta\omega) \quad (2.75)$$

เมื่อ $\Delta\omega_c = (\omega_i - \omega_o)_{\max}$ ดังนั้นจากสมการ (2.75) เราจะได้ว่า

$$(\Delta\omega_c)^2 \cong \pm K_o K_d (\pi/2) A \omega_i \quad (2.76)$$

$$\text{เนื่องจาก } \Delta\omega_1 = K_o K_d (\pi/2) A \quad (2.77)$$

$$\text{ดังนั้น } (\Delta\omega_c)^2 \cong \omega_1 \Delta\omega_1 \quad (2.78)$$

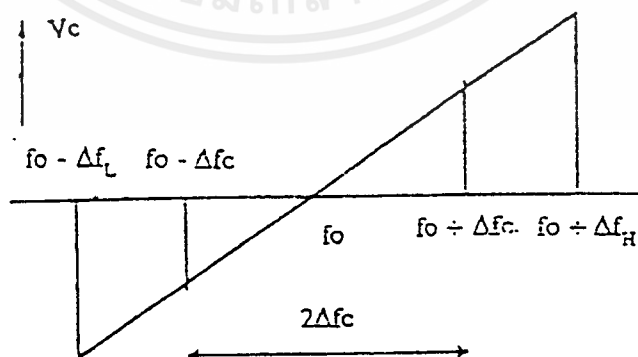
$$\text{และ } \Delta\omega_c \cong \pm \sqrt{(\omega_i \Delta\omega_1)} \quad (2.79)$$

ดังนั้นระบบ PLL สามารถจะแคปเจอร์ (Capture) สัญญาณอินพุตได้ตลอดพิสัยความถี่นี้ พิสัยแคปเจอร์มีค่าเป็น

$$\text{พิสัยแคปเจอร์} = 2\Delta\omega_c = 2 \sqrt{(\omega_i \Delta\omega_1)} \quad (2.80)$$

ในกรณีทั่วไป $\Delta\omega_1 \gg \omega_i$ เราจะสังเกตได้ว่าพิสัยแคปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดเฟรียรันนิ่งเฟรียควเอนซ์ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.16 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO, V_c ต่อความถี่ของสัญญาณอินพุต พร้อมทั้งแสดงถึงพิสัยแคปเจอร์และพิสัยการล็อก



รูปที่ 2.16 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อกคูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบเฟสล็อกต้องการพิสัยแคปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อกกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมากจะทำให้ระบบ PLL อ่อนแอต่อสัญญาณรบกวนด้านสัญญาณที่ไม่ต้องการและนอยส์ สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวน และนอยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบ ในกรณีทั่วไประบบ PLL จะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้คุณสมบัติที่ดีทั้งสองอย่างคือ กำจัดสัญญาณรบกวนได้ดีและสามารถล็อกกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีความกว้างไว้มากไว้ก่อนในตอนแรกเพื่อให้ระบบสามารถเริ่มต้นแคปเจอร์สัญญาณอินพุทได้เมื่อระบบสามารถแคปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อกกับสัญญาณรบกวนและนอยส์ลักษณะเด่นของระบบ PLL คือระบบสามารถรักษาการล็อกกับสัญญาณอินพุทได้แม้ว่าสัญญาณอินพุทจะอยู่ในสถานะที่มีนอยส์รบกวนมาก คือมีอัตราส่วนของซีกันแนลต่อนอยส์น้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่นระบบสื่อสารของดาวเทียม เป็นต้น

บทที่ 3

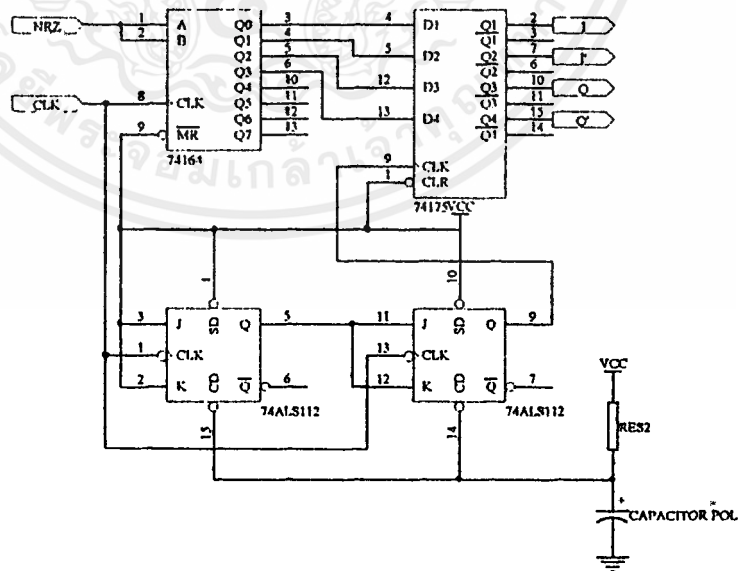
การออกแบบวงจรภาคส่ง

วงจรแยกบิตคู่และบิตคี่

ในส่วนที่เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลเชิงเลขด้านขาเข้า แบ่งออกเป็น 2 ชุด โดยแยกเป็นชุดละ 2 บิต จะได้เป็น 2 บิตบน หรือสัญญาณ I และ 2 บิตล่าง หรือ สัญญาณ Q โดยถูกควบคุมโดยวงจรหน่วงเวลา 4 บิต เพื่อให้ข้อมูลเข้ามาครบ 4 บิต ก่อน จะทำการแยกสัญญาณ

ในโครงงานนี้ใช้วงจรหาร 4 โดยใช้ JK ฟลิปฟลอป เบอร์ 74112 ซึ่งจะช่วยให้การส่งข้อมูลมีจังหวะการส่งที่เหมาะสมกัน ข้อมูลที่ได้จากการแยกบิต จะมี 2 ชุด คือ ส่วน Inphase หรือ I และส่วน Quadrature phase หรือ Q

ในโครงงานนี้ใช้ IC เบอร์ 74164 ทำการแปลงข้อมูล NRZ ที่เข้ามาแบบอนุกรมให้เป็นข้อมูลแบบขนาน ข้อมูลแบบขนานที่ได้จะถูกป้อนเข้า IC เบอร์ 74175 ซึ่งเป็น D ฟลิปฟลอป ซึ่งจะถูกควบคุมโดยวงจรหน่วงเวลา 4 บิต หรือวงจร หาร 4 โดยนำ Clock จาก Input 256 kHz มาทำการหาร 2 จะได้สัญญาณนาฬิกา 128 kHz ป้อนให้ IC เบอร์ 74175 เพื่อควบคุมให้ทำการ Shift ข้อมูลครั้งละ 4 บิต หรือกล่าวว่าจะต้องรอให้ข้อมูลเข้ามาครบทั้ง 4 บิตก่อน แล้วจึงทำการ Shift ข้อมูลออกไป 1 ครั้ง

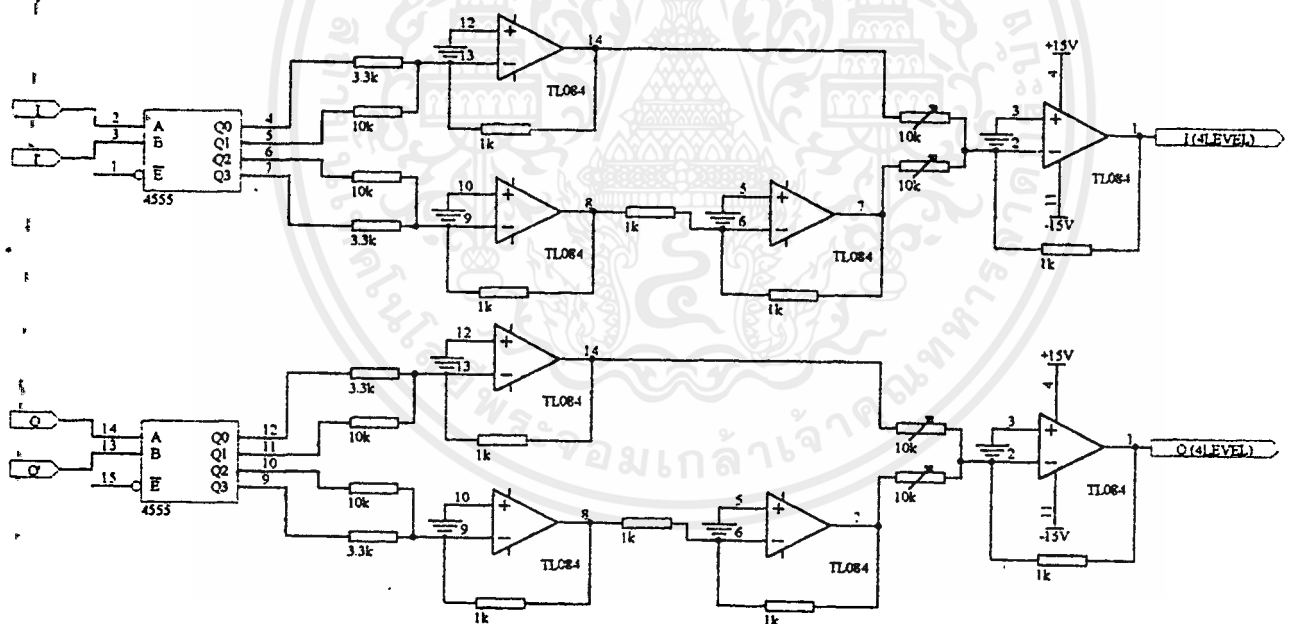


รูปที่ 3.1 วงจรแยกบิตคู่และบิตคี่

วงจรแปลงสัญญาณ จาก 2 บิต เป็นสัญญาณ 4 ระดับ

ก่อนที่จะนำสัญญาณดิจิทัลที่แยกออกมาได้ทั้งบิตบนและบิตล่างไปทำการมอดูเลท (Modulate) จะต้องทำการจัดรูปสัญญาณเสียก่อน คือ ทำการแปลงสัญญาณจาก 2 บิต ให้เป็นสัญญาณ ที่มีเอ๊าท์พุทเดี่ยวแต่มี 4 ระดับ สัญญาณ กล่าวคือทำการแปลงสัญญาณ จาก 2 เส้นให้เป็นเส้นเดี่ยว แต่มีถึง 4 ระดับ ความเปลี่ยนแปลงของระดับสัญญาณที่เป็นไปได้คือ 2 เมื่อ $n =$ จำนวนบิต

ในโครงงานนี้ใช้ CMOS เบอร์ 4555 ซึ่งเป็น IC Decoder จาก Data Sheet ของ CMOS เบอร์ 4555 นะเป็นว่ามีขา Enable ซึ่ง Active Low ฉะนั้นจะมีเอ๊าท์พุทเป็น high ที่เอ๊าท์พุทหนึ่งก็ต่อเมื่อมี Logic "0" ป้อนเข้าที่ขา Enable เอ๊าท์พุทที่ออกจาก CMOS 4555 จะป้อนเข้าความต้านทานเพื่อกำหนดเอ๊าท์พุทก่อนทำการป้อนเข้า Op-Amp เพื่อทำการจัดระดับสัญญาณ เอ๊าท์พุทที่ได้จากวงจรจะเป็นสัญญาณ 4 ระดับ



รูปที่ 3.2 วงจรแปลงสัญญาณ จาก 2 บิต เป็นสัญญาณ 4 ระดับ

วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

ก่อนที่จะนำสัญญาณ 4 ระดับไปทำการ มอดูเลท (Modulate) จะต้องทำการกรองสัญญาณ เพื่อลดแบนด์วิด และสัญญาณรบกวน เพราะว่าสัญญาณ 4 ระดับ ยังเป็นสัญญาณรูปสี่เหลี่ยมซึ่ง ประกอบด้วยความถี่จำนวนมากนั่นเอง

ในโครงการนี้ได้ตั้งจุด Cutoff ไว้ที่ 64 kHz (เพราะใช้ Clock 256 kHz) เพราะ ฉะนั้นความถี่ที่สามารถผ่านไปได้โดยไม่ถูกรบกวนที่จุด -3dB จะอยู่ที่ 64 kHz ในการออกแบบจะใช้วงจรกรองความถี่ต่ำ (Low pass Filter) แบบ Butterworth Second Order สามารถคำนวณค่า high cutoff frequency : f_c จากค่า R_1, R_2, C_2, C_3

จากสูตร

$$f_c = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}}$$

สำหรับ response ของ second order low pass butterworth ขนาดของโวลต์เดจเอนจะมีสมการดังนี้

$$\left| \frac{V_o}{V_{in}} \right| = \frac{AF}{\sqrt{1 + \frac{f^2}{f_c^2}}}$$

โดย $AF = 1 + \frac{R_f}{R_1}$ คือเกนของวงจร Low Pass Filter

f คือ ความถี่ของสัญญาณ input (Hz)

$$f_c = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}} \quad \text{คือ High frequency cutoff}$$

ขั้นตอนในการออกแบบ

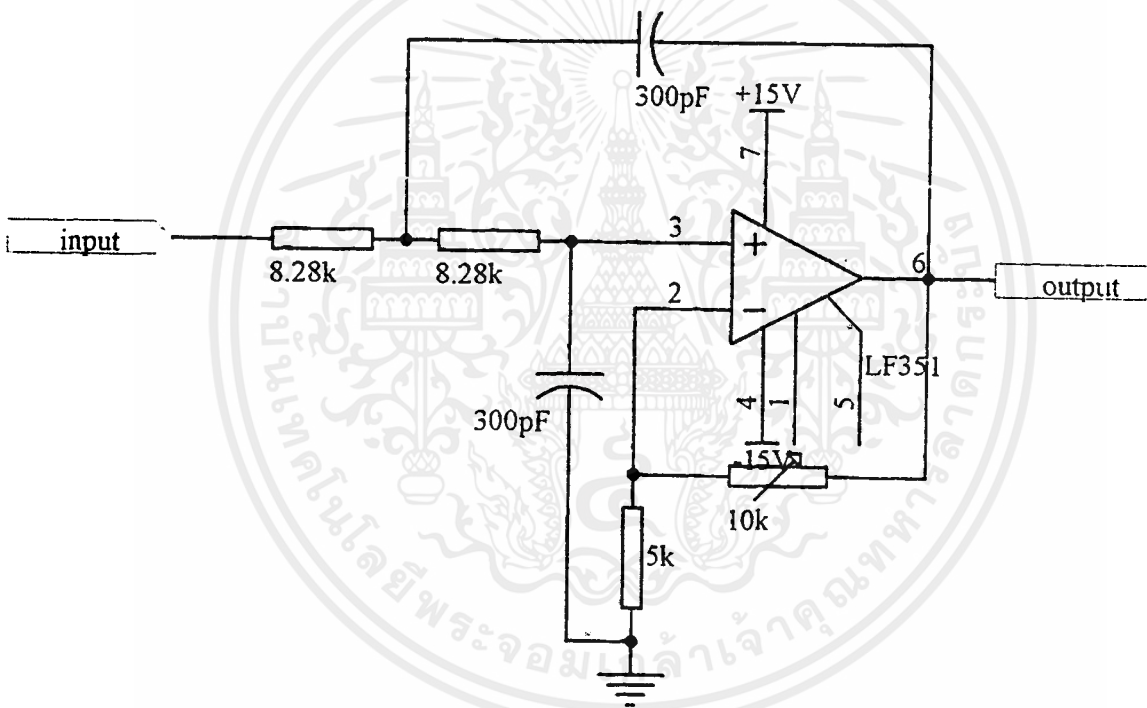
1. เลือกค่าความถี่ High frequency Cutoff : $f_c = 64 \text{ kHz}$
2. ค่าในการออกแบบโดยกำหนดให้ $R_2 = R_3 = R$ และค่า $C_2 = C_3 = C$ โดยเลือกค่า $C = 100 \text{ PF}$
3. คำนวณค่า R ที่ใช้ในสมการ

$$R = \frac{1}{2\pi f_c C}$$

$$R = \frac{1}{2\pi(64 \cdot 10^3)(100 \cdot 10^{-12})} = 24.86 \text{ K}\Omega$$

ในทางปฏิบัติใช้ความต้านทางปรับค่าได้ 100 K Ω

4. เนื่องจากกำหนดให้ค่าของ $R_2 = R_3 = R$ และค่า $C_2 = C_3 = C$ ดังนั้นค่าของโวลต์เดจเจน $AF = 1 + \frac{R_f}{R_1}$ มีค่า 1.586 นั่นคือ $R_f = 0.586 R_1$ ซึ่งค่านี้มีค่าจำเป็นสำหรับการตอบสนองของวงจรกรองแบบบัตเตอร์เวิร์ธ ดังนั้นเราเลือกใช้ค่า $R_1 < 100 \text{ K}\Omega$ เพื่อนำไปหาค่าของ R_f เลือกใช้ $R_1 = 10 \text{ K}\Omega$ และ $R_f = 0.586 R_1 = 5860 \Omega$



รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่าน

วงจรกำหนดสัญญาณพาหะ (Carrier Generator)

ในโครงการนี้ได้ใช้ความถี่ของสัญญาณพาหะ (Carrier frequency) เท่ากับ 640 kHz ในการเลือกความถี่นี้ก็เพื่อความสะดวกในการออกแบบวงจรและเนื่องจากระบบการส่งและรับต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ผ่านเฉพาะย่าน(Band Pass Filter)

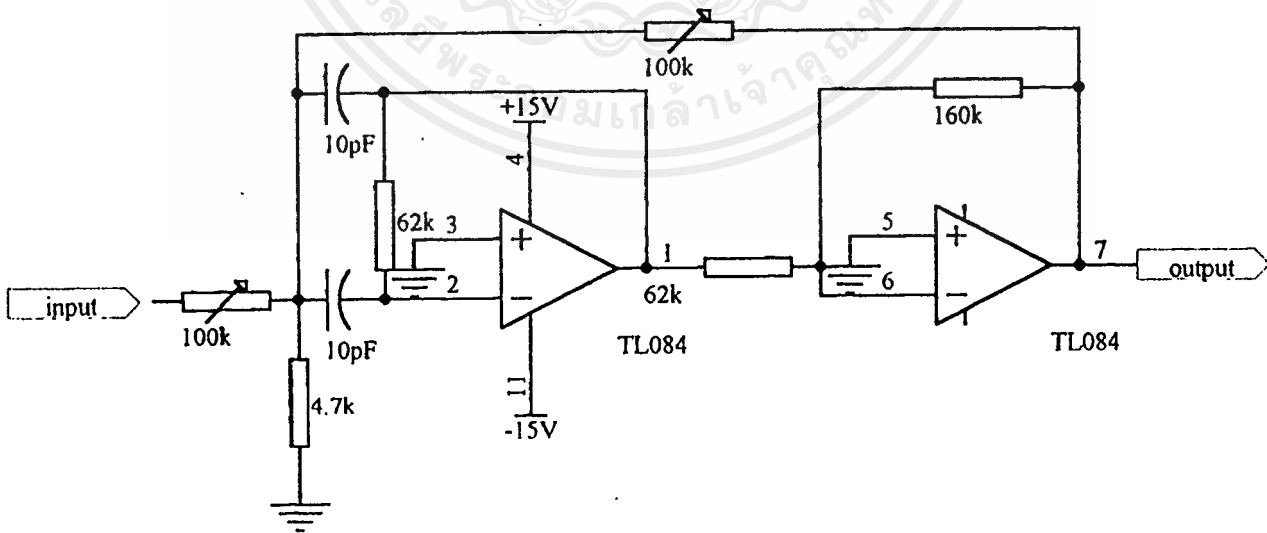
วงจรกรองความถี่ผ่าน จะเป็นวงจรที่ยอมให้ความถี่ช่วงหนึ่งผ่านไปได้ ซึ่งเป็นความถี่ในช่วง Low Frequency cut-off กับ High frequency cut-off ความถี่นอกเหนือจากนี้ไม่สามารถผ่านไปได้อ่าง เพื่อให้ได้ความถี่ตามต้องการ จำเป็นต้องกำหนดค่า Q ให้สูงเพื่อให้ Band width แคบ ทำให้กำจัดสัญญาณรบกวนได้ในระดับหนึ่ง ในวงจรภาคส่งจะใช้วงจรกรองความถี่แบบ Positive feedback ซึ่งจะให้ค่า Q ที่สูงมาก ทำให้วงจรมีความเชื่อถือได้พอสมควร มีขั้นตอนการออกแบบดังนี้

1. เลือกความถี่ด้านต่ำเท่ากับ 500 kHz และค่าความถี่ด้านสูงเท่ากับ 800 kHz
2. เลือกค่าตัวเก็บประจุใช้ค่า 10 pF เกณฑ์ที่ต้องการเท่ากับ 10 $Q = 20$
3. แทนค่าลงในสูตร

$$R1 = \frac{Q}{2\pi f_c * C * Af} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12} * 10)} = 48.97K\Omega$$

$$R2 = \frac{20}{2\pi f_c * C(sQ^2 - Af)} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12})(2 * (20^2) - 10)} = 619.88\Omega$$

$$R3 = \frac{Q}{2\pi f_c * C} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12})} = 979.415 k\Omega$$



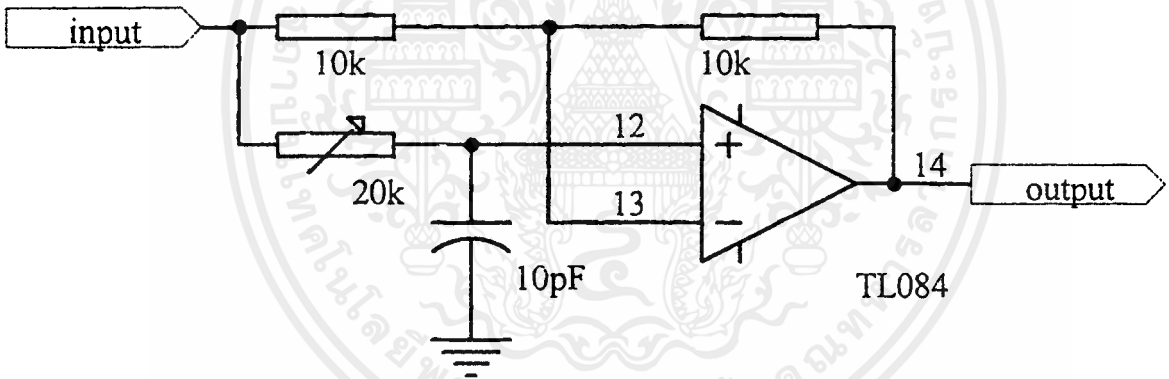
รูปที่3.6 วงจรกรองความถี่ผ่านเฉพาะย่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา (Quadrature Phase Shift Circuit)

จากวงจรที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วนคือ Inphase และ Quadrature phase เราจึงมีวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุดเพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกันแต่มีความถี่ต่างเฟสกัน 90 องศา (Sine wave กับ Cosine wave) โดยใช้สัญญาณพาหะ sine wave ที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดูเลตกับสัญญาณ 4 ระดับ ที่ทางด้าน Inphase และใช้สัญญาณพาหะ cosine wave ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลตกับสัญญาณ 4 ระดับที่อยู่ทางด้าน Quadrature phase

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟสโดยอาศัยหลักการของวงจร All-Pass Filter ชนิด V_p เท่ากับ V_{in} ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากรูปจะได้ว่า

$$|V_o / V_{in}| = 1 + 2\pi f R_2 C_2 / 1 + 2\pi f R_2 C_2 = 1$$

$$\theta = -2 \tan^{-1} (2\pi f R_2 C_2)$$

เมื่อ $V_o/V_{in} = \text{Gain}$ ของวงจร

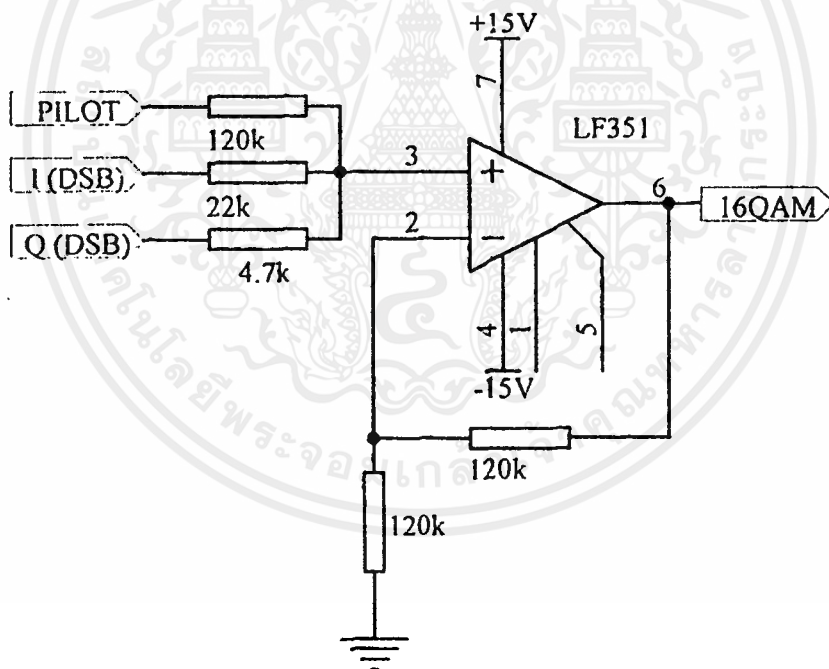
θ = Phase Shift ระหว่าง V_o และ V_{in}

วงจรรวมสัญญาณ (Summing Circuit)

เนื่องจากจะต้องส่งสัญญาณหลาย ๆ สัญญาณ เพื่อส่งไปยังสายเส้นเดียวกัน จึงจำเป็นต้องนำสัญญาณเหล่านั้นมารวมกันก่อนทำการส่งออกไป ในโครงงานนี้จะทำการรวมสัญญาณที่มอดูเลทแล้วด้าน I และ ด้าน Q กับสัญญาณไฟลิตोटอน เพื่อให้เป็นสัญญาณชุดเดียว ป้อนเข้าวงจรขยายก่อนส่งออกไป สามารถหาแรงดันเอาต์พุตได้ จากสมการต่อไปนี้

$$V_o = - \left(\frac{R_f V_1}{R_1} + \frac{R_f V_2}{R_2} \right)$$

ในการออกแบบเราจะเลือกใช้ $R_f = 10 \text{ K}\Omega$ และ R_1, R_2 , ใช้ $R = 1 \text{ K}\Omega$



รูปที่ 3.9 วงจรรวมสัญญาณ

บทที่ 4

การออกแบบวงจรภาครับ

วงจรกรองความถี่ผ่านเฉพาะย่าน (Band Pass Filter)

วงจรกรองความถี่ผ่าน เป็นวงจรกรองความถี่ ที่ยอมให้ความถี่ในช่วงหนึ่งสามารถผ่านไป ได้ ซึ่งเป็นความถี่ในช่วง Low frequency cutoff กับ high frequency cutoff เนื่องจากความถี่ที่เข้ามาทางภาครับจะมีการรบกวนของสัญญาณรบกวนที่ปนเข้ามาด้วยวงจรกรองความถี่ผ่าน จะช่วยลดสัญญาณรบกวนได้ในระดับหนึ่ง

ขั้นตอนการออกแบบวงจรกรองความถี่ผ่าน

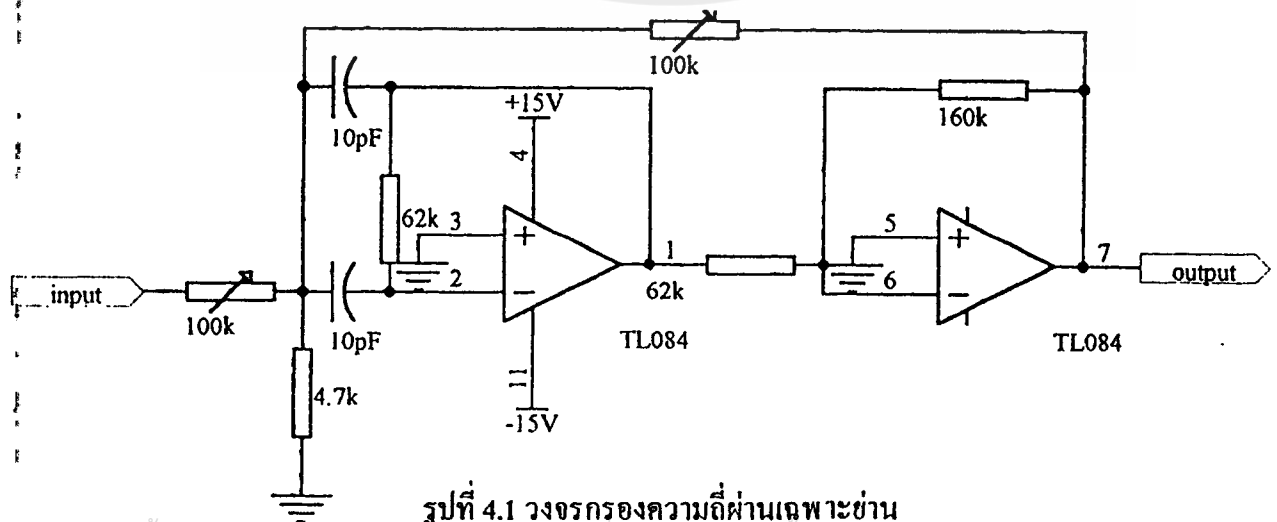
1. เลือกความถี่ด้านต่ำเท่ากับ 500 kHz และค่าความถี่ด้านสูงเท่ากับ 800 kHz
2. เลือกค่าตัวเก็บประจุ ใช้ค่า 10 pF เกณฑ์ที่ต้องการเท่ากับ 10 $Q=20$
3. แทนค่าลงในสูตรคำนวณค่าที่ต้องการ

$$R1 = \frac{Q}{2\pi f_c * C * A_f} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12} * 10)} = 48.97 K\Omega$$

$$R2 = \frac{20}{2\pi f_c * C(sQ^2 - A_f)} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12})(2 * (20^2) - 10)} = 619.88 \Omega$$

$$R3 = \frac{Q}{2\pi f_c * C} = \frac{20}{2\pi(650 * 10^3 * 10 * 10^{-12})} = 979.415 k\Omega$$

สำหรับโครงงานนี้จะใช้วงจรกรองความถี่ผ่านแบบ VCVS (Voltage Control Voltage Source) ในการทดลองกรองความถี่ ได้ผลจากการการทดลองเป็นแบบ Wide Band และ จุด Cutoff สามารถปรับเปลี่ยนได้



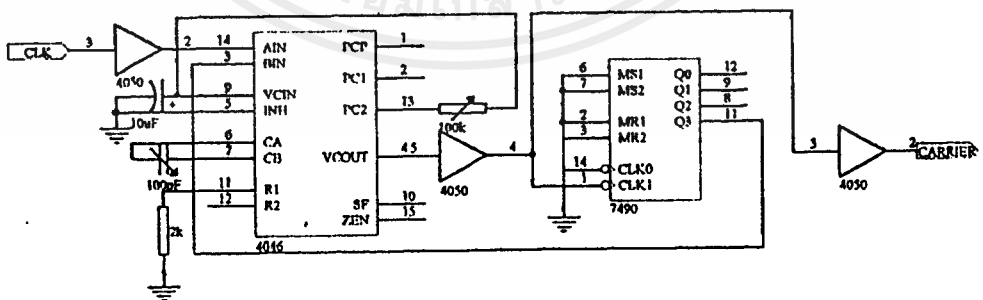
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้สัญญาณคลื่นพาห์ (Carrier Recovery).

ในระบบที่ต้องการชิงโครไนส์ จำเป็นจะต้องมีสัญญาณทางภาครับและภาคส่ง ที่เหมาะสมกัน เนื่องจากเป็นการมอดูเลต แบบ Balance Modulate ผลลัพธ์ที่ได้จะไม่มีสัญญาณพาหะ จะมีเพียง Side Band ที่เกิดขึ้น ฉะนั้นจึงจำเป็นต้องทำการสร้างสัญญาณพาหะขึ้นมาใหม่ที่ภาครับ โดยอาศัยสัญญาณอ้างอิงจากทางภาคส่งคือสัญญาณไฟล๊อตโทน (Pilot Tone)

หลังจากทำการกรองความถี่สัญญาณไฟล๊อตโทน และจะนำสัญญาณป้อนเข้า PLL เพื่อทำการควบคุมการผลิตความถี่ของ VCO out ของ ไอซีเฟสล็อกคูล (PLL) สัญญาณที่กรองออกมาได้ จะมีความถี่ 512 kHz ซึ่งเท่ากับสัญญาณ Clock พอดี นำไปหารความถี่ 4 เท่า จะได้ความถี่ 128 kHz เพื่อป้อนให้ PLL เพื่อผลิตความถี่ 640 kHz ในส่วนของวงจรหาร 5 จะทำการหารความถี่จาก VCO out มาหาร 5 เพื่อนำไปเทียบกับสัญญาณนาฬิกาที่อินพุต จะใช้ Buffer ต่อร่วมเพื่อความสะดวกของรูปสัญญาณ จากนั้นจะป้อนเข้าส่วนของวงจรกรองความถี่ผ่าน (Band Pass Filter) ก็จะได้สัญญาณพาหะที่มีความถี่ 640 kHz เมื่อผ่านวงจรเลื่อนเฟส 90 องศา ก็จะทำการเลื่อนเฟสไปอีก 90 องศาโดยที่มีความถี่เท่าเดิม

สัญญาณไฟล๊อตโทนความถี่ 512 kHz จะถูกนำไปหาร 2 จะได้สัญญาณนาฬิกาความถี่ 256 kHz เพื่อนำไปป้อนส่วนของวงจรรวมบิตเพื่อการชิงโครไนส์ของภาคส่งและภาครับ



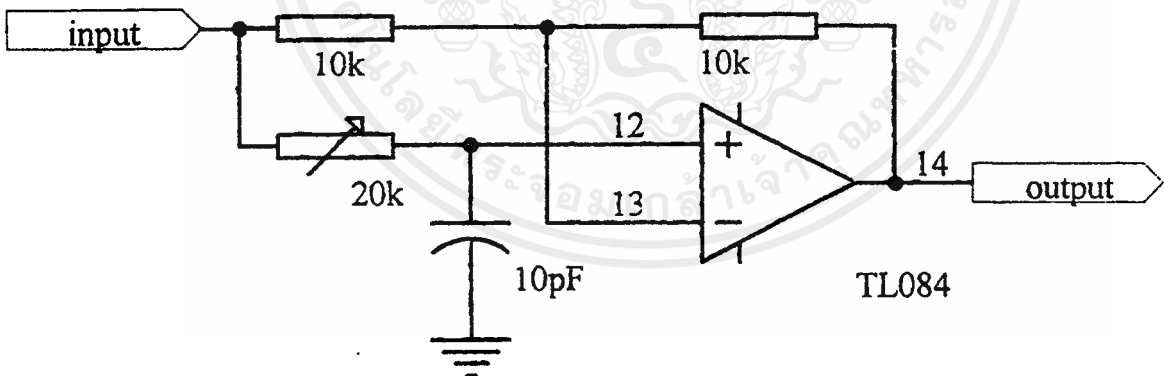
รูปที่ 4.2 วงจรกู้สัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา (Quadrature Phase Shift Circuit)

เนื่องจากสัญญาณมอดูเลตที่รับมาได้นั้น จะประกอบไปด้วยสัญญาณดิจิทัล ที่ถูกแยกออกเป็นสองส่วน และสัญญาณข้อมูล 2 บิต ที่ถูกแยกออกมานั้น จะกลายเป็นสัญญาณ 4 ระดับ แล้วมอดูเลตมาทับสัญญาณพาหะ โดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลตทางด้าน Inphase ที่ใช้สัญญาณ Sine Wave เป็นสัญญาณพาหะ และสัญญาณมอดูเลตทางด้าน Quadrature Phase ที่ใช้สัญญาณ Cosine Wave ที่ได้มาจากวงจรคู่สัญญาณพาหะเพื่อ นำไปใช้ในวงจรบาลานซ์มอดูเลเตอร์ทางด้าน Inphase และจะใช้สัญญาณ Cosine Wave ที่ได้มาจากวงจรคู่สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศาเพื่อนำไปใช้ในวงจรบาลานซ์มอดูเลเตอร์ ทางด้าน Quadrature Phase

สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศา นั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All Pass Filter) ชนิด V_o ถ้าวัดถึง V_{in} เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็นการทำให้สอดคล้องกับทางด้านภาคส่งนั่นเอง ดังวงจรที่แสดงไว้ในรูป

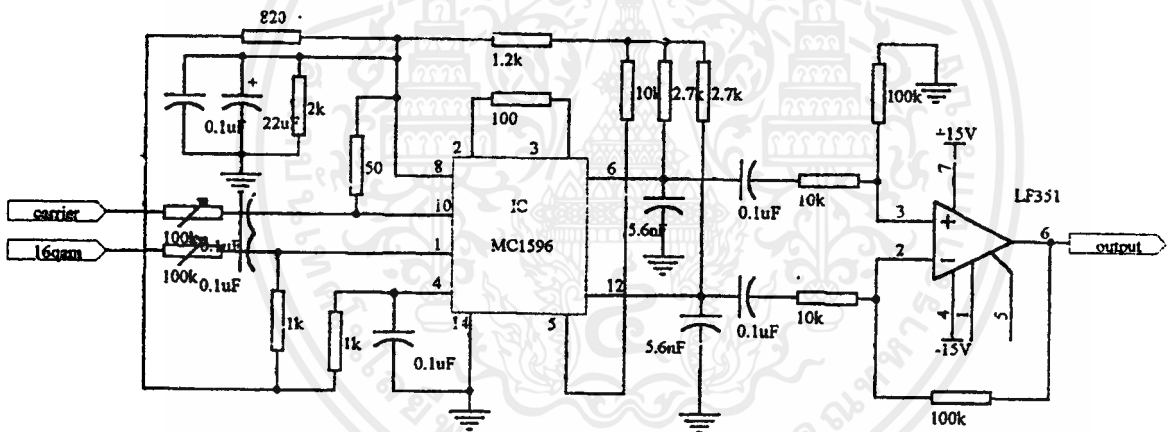


รูปที่ 4.3 วงจรเลื่อนเฟสสัญญาณ 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดีมอดูเลเตอร์ (Demodulator Circuit)

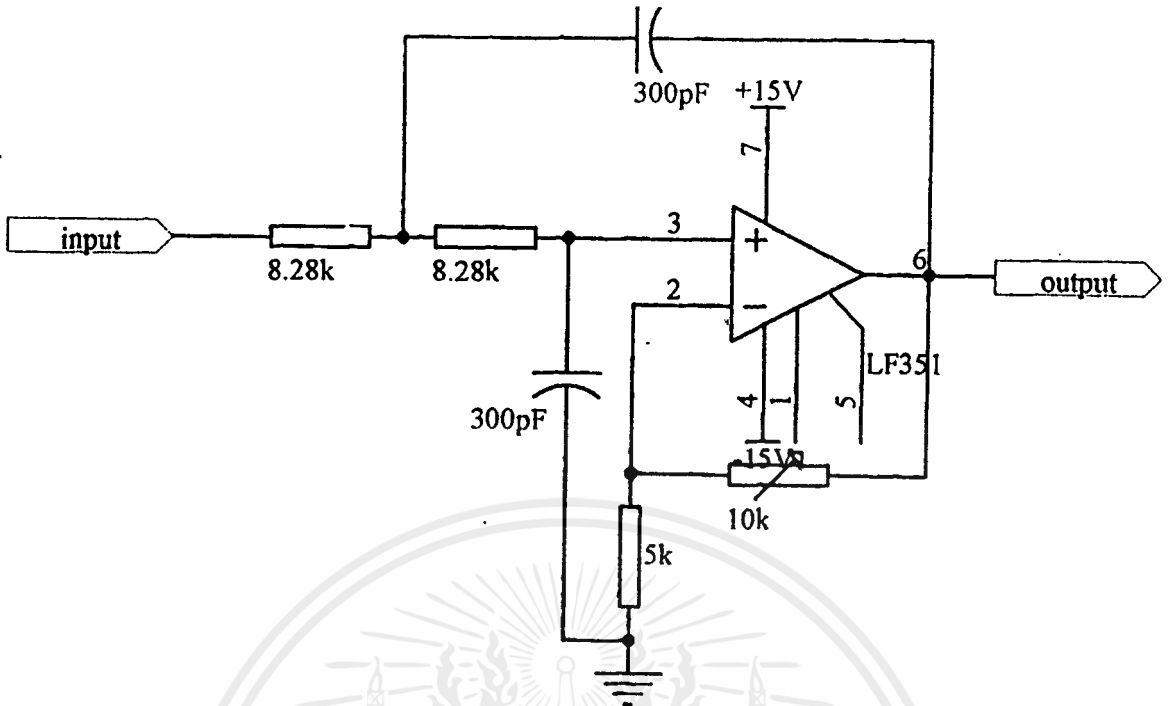
ในส่วนของวงจรดีมอดูเลเตอร์ ก็คล้ายกับวงจรมอดูเลเตอร์ จะมีอุปกรณ์บางตัวแตกต่างกัน อุปกรณ์ตัวหลักที่ใช้คือ ไอซีเบอร์ MC 1596 และ MC 1496 ซึ่งมี 14 ขา และ 12 ขา ตามลำดับ ในโครงการที่ใช้เบอร์ MC 1596 โดยมีเอาต์พุตที่ขา 6 และ 12 ซึ่งจะให้อาต์พุตที่กลับเฟสกันอยู่ เอาต์พุตที่ได้เกิดจากการคูณของสัญญาณ ที่ถูกมอดูเลทมา กับสัญญาณพาหะ เอาต์พุตที่ได้จะถูก คับปลั๊งที่ความถี่สูงและเข้าวงจรขยาย



รูปที่ 4.4 วงจรดีมอดูเลเตอร์

วงจรกรองความถี่ต่ำ (Low Pass Filter)

สัญญาณที่ออกจากการดีมอดูเลเตอร์จะประกอบด้วยความถี่มากมายแต่ต้องการใช้ในส่วน ของความถี่ cutoff ไม่เกิน 32 kHz ซึ่งเป็นของสัญญาณเบสแบนด์ ในการออกแบบวงจรกรองความถี่ต่ำ ความถี่ Cutoff 32 kHz ทางภาครับนี้ จะใช้หลักการเหมือนกับภาคส่ง โดยใช้วงจรกรองความถี่ต่ำ แบบ Second order Butterworth ไอซีที่ใช้ในโครงการนี้ เบอร์ LF 351 N เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

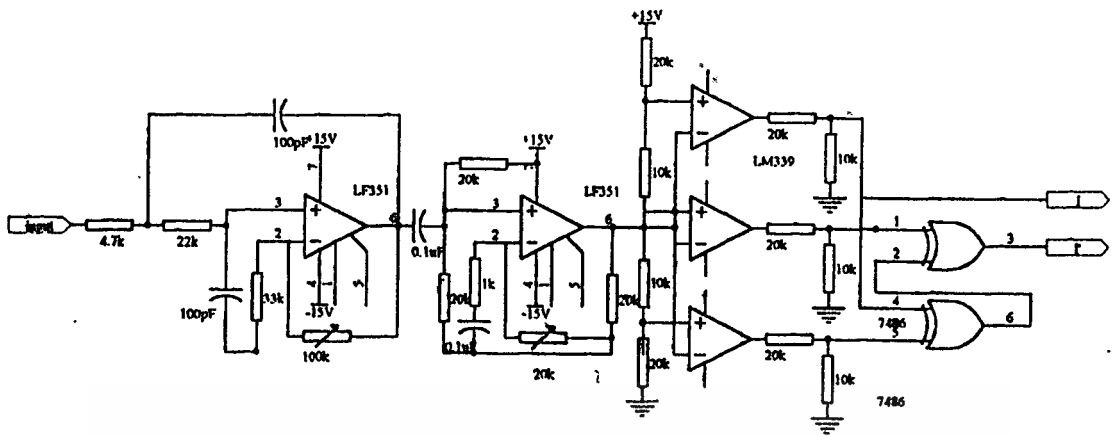


รูปที่ 4.5 วงจรกรองความถี่ต่ำ

วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต (4 Levels to 2 bit Converter)

หลังจากที่สัญญาณผ่านการกรองความถี่ต่ำแล้ว จะได้เป็นรูปของสัญญาณแบนด์ จะนำสัญญาณไปทำการจัดระดับสัญญาณ โดยสามารถปรับเกณฑ์การขยายได้ หลังจากนั้นจะป้อนเข้าในส่วนของวงจร Comparator เพื่อจัดรูป pulse ในส่วนนี้ใช้ op-amp โดยป้อนไฟบวกและกราวด์ให้กับ Op-amp ทำให้มีเอาต์พุตที่เป็น + V กับกราวด์ ใช้ความต้านทานแบ่งแรงดันก่อนป้อนเข้า Ex-OR Gate สัญญาณที่ได้จะเป็นสัญญาณดิจิทัล

ในโครงการนี้สัญญาณที่ทำการคิมอดูเลขได้จะมีขนาดเล็ก จึงต้องทำการขยายให้มีขนาดใหญ่เสียก่อน โดยใช้ตัวความต้านทานแบ่งแรงดันจาก 12 V ให้ได้ 6 V ป้อนเข้าที่ขา Non-Inverting ของ Op-Amp จากวงจรที่ใช้จะทำให้ที่เอาต์พุตถูกยกกระดืบให้สูงขึ้น ในวงจรใช้ VR เพื่อช่วยปรับเกณฑ์การขยายของวงจรด้วย ไอซีที่ใช้เบอร์ TL 084 N ของ Op-Amp ที่ตั้งจุดทำงานไว้ต่าง ๆ กัน คือ 4 V, 6V และ 8V ตามลำดับ เอาต์พุตที่ได้จาก Op-Amp จะป้อนเข้าตัวความต้านทานแบ่งแรงดันที่ออกแบบให้มีเอาต์พุตตกคร่อมไม่เกิน 5 V เพื่อป้องกันไม่ให้ Ex-OR gate เสียหาย

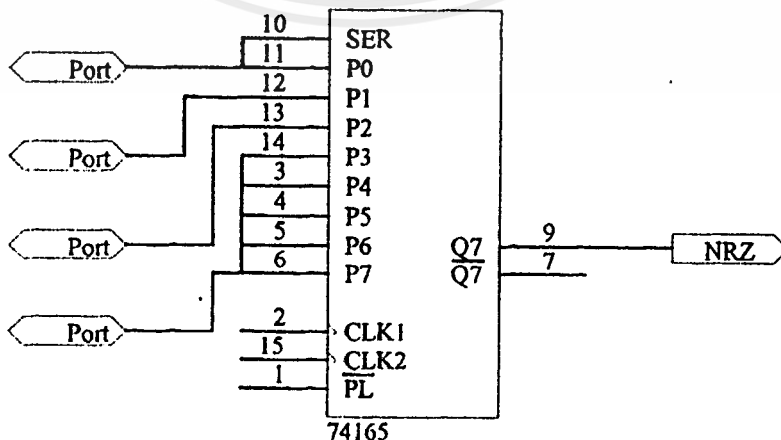


รูปที่ 4.6 วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต

วงจรรวมสัญญาณดิจิทัล (Parallel to Serial circuit)

วงจรในส่วนนี้มีหน้าที่ในการรวมสัญญาณดิจิทัลทั้งบิตบนและบิตล่างที่ผ่านกระบวนการจัดรูป Pulse มาแล้ว ที่เข้ามาขนานเพื่อแปลงไปเป็นสัญญาณดิจิทัลแบบอนุกรม กระบวนการทั้งหมดนี้ก็จะถูกควบคุมจังหวะการทำงานจาก Clock ที่ถูกขึ้นมาได้เพื่อให้เกิดการชิงโครไนซ์

ในส่วนของวงจรหาร 4 จะควบคุมจังหวะการทำงานของ D ฟลิปฟล็อป เอาท์พุทที่ได้จะถูกป้อนเข้าส่วนที่นำหน้าที่เลื่อนข้อมูลที่เข้ามาแบบขนานให้เป็นข้อมูลแบบอนุกรม ในส่วนนี้ก็จะถูกควบคุมโดยวงจรหาร 4 และ Clock เช่นกัน

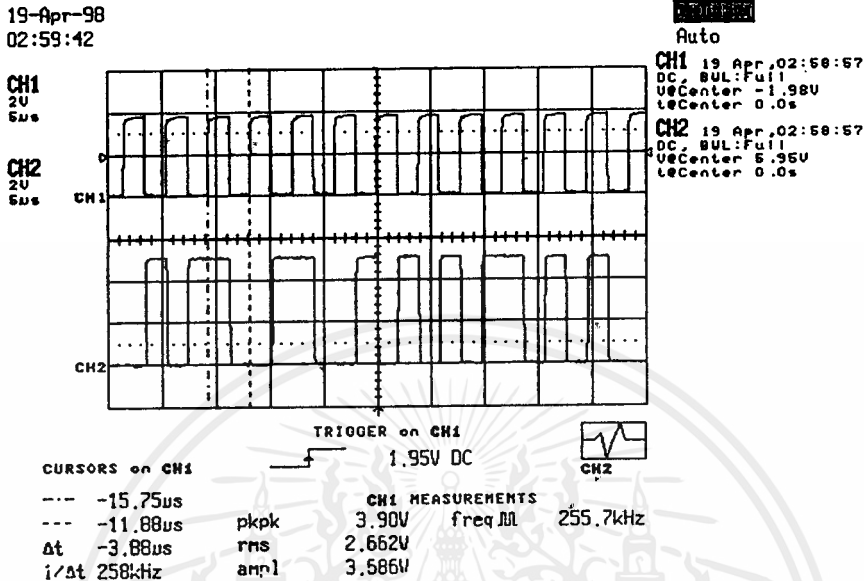


รูปที่ 4.7 วงจรรวมสัญญาณดิจิทัล (Parallel to Serial circuit)

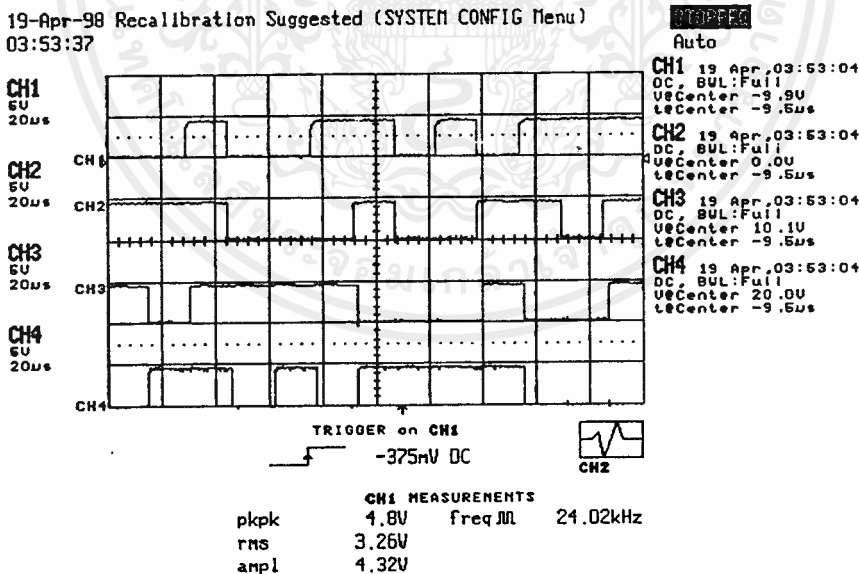
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง



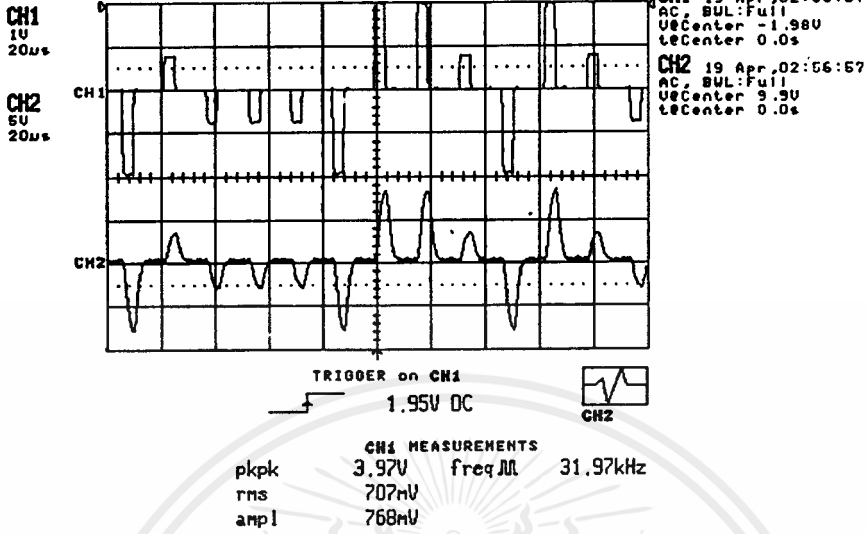
รูปที่ 5.1 (รูปบน)แสดงรูปสัญญาณนาฬิกาความถี่ 256 kHz
(รูปล่าง)แสดงรูปสัญญาณ NRZ แบบกึ่งRandom



รูปที่ 5.2 CH1 แสดงสัญญาณแยกบิตทางด้าน I
CH2 แสดงสัญญาณแยกบิตทางด้าน I'
CH3 แสดงสัญญาณแยกบิตทางด้าน Q
CH4 แสดงสัญญาณแยกบิตทางด้าน Q'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

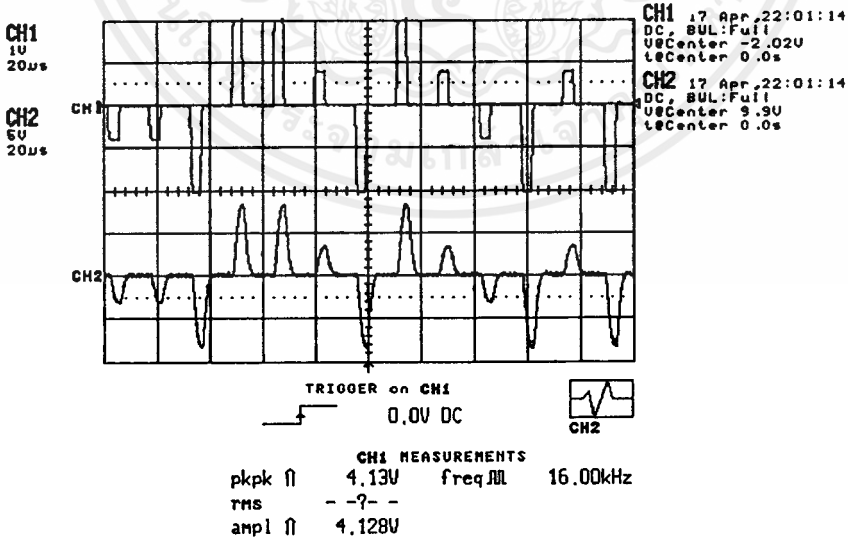
19-Apr-98
02:57:25



รูปที่ 5.3 (รูปบน) แสดงสัญญาณ 4 ระดับทางด้าน I ที่ขา 1 IC # TL084

(รูปล่าง) แสดงสัญญาณ 4 ระดับทางด้าน I หลังผ่านวงจร Low Pass filter

17-Apr-98
22:01:39

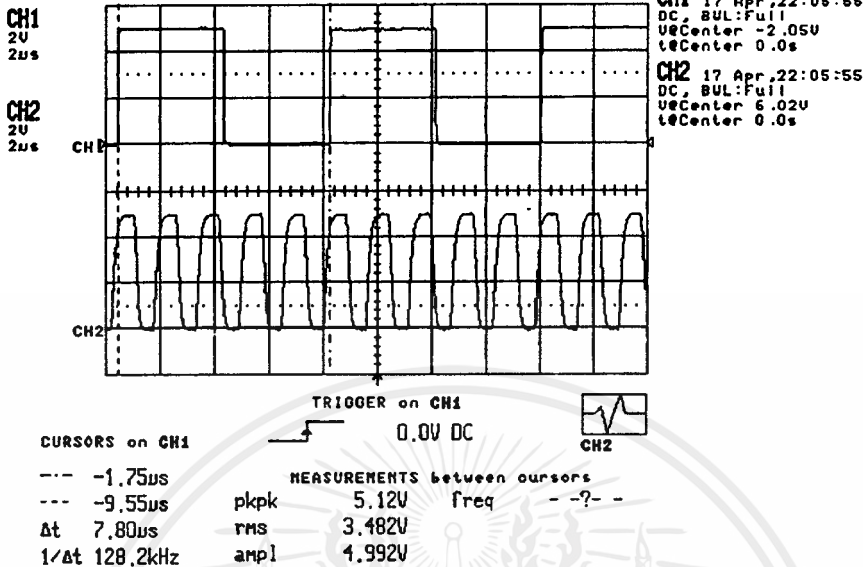


รูปที่ 5.4 (รูปบน) แสดงสัญญาณ 4 ระดับทางด้าน Q ที่ขา 1 IC # TL084

(รูปล่าง) แสดงสัญญาณ 4 ระดับทางด้าน Q หลังผ่านวงจร Low Pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

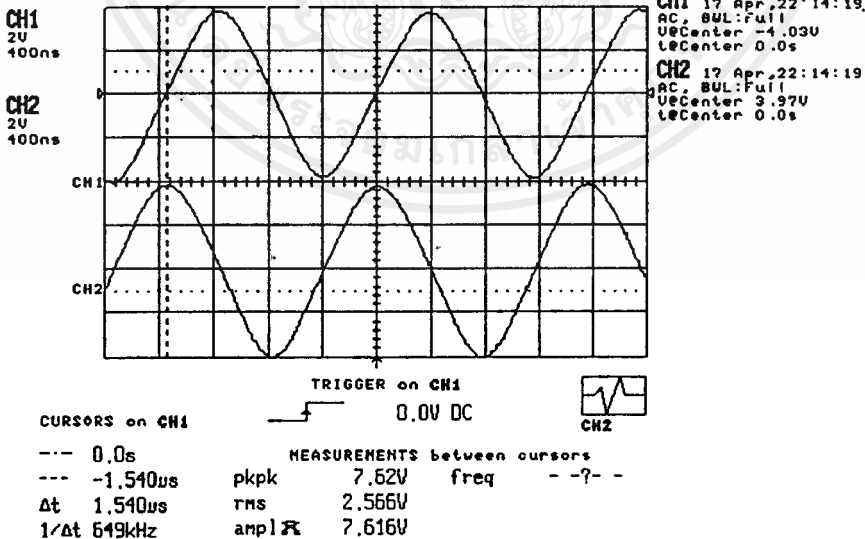
17-Apr-98
22:07:48



รูปที่ 5.5 (รูปบน) แสดงสัญญาณ Input ของวงจรคูณความถี่ 5 เท่า ที่ขา 14 IC # 4046

(รูปล่าง) แสดงสัญญาณ Output ของวงจรคูณความถี่ 5 เท่า ที่ขา 4 IC # 4046

17-Apr-98
22:15:15



รูปที่ 5.6 (รูปบน) แสดงสัญญาณ Carrier Sine ความถี่ 640 KHz ที่ขา 7 IC # TL084

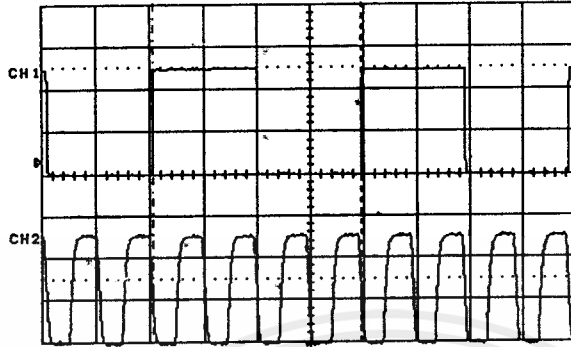
(รูปล่าง) แสดงสัญญาณ Carrier Cosine ความถี่ 640 KHz ที่ขา 8 IC # TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-Apr-98
03:31:24

CH1
2V
2μs

CH2
2V
2μs



TRIGGER on CH1

650mV DC



CURSORS on CH1

--- -5.90μs

--- 1.90μs

Δt -7.80μs

1/Δt 128.2kHz

pkpk

CH1 MEASUREMENTS

5.16V

freq

128.0kHz

rms

3.168V

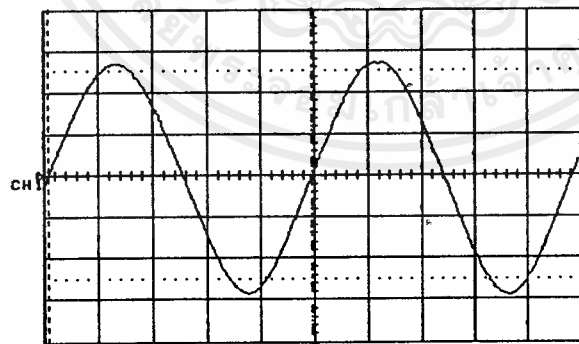
ampl

4.928V

รูปที่ 5.7 (รูปบน) แสดงสัญญาณ Input ของวงจรความถี่ 4 เท่า ที่ขา 14 IC # 4046
(รูปล่าง) แสดงสัญญาณ Output ของวงจรความถี่ 4 เท่า ที่ขา 4 IC # 4046

17-Apr-98 Recalibration Suggested (SYSTEM CONFIG Menu)
22:22:27

CH1
2V
400ns



TRIGGER on CH1

0.0V DC

CURSORS on CH1

--- -20ns

--- -1.970μs

Δt 1.950μs

1/Δt 513kHz

pkpk

MEASUREMENTS between cursors

11.07V

freq

- ? -

rms

3.834V

ampl

11.072V

รูปที่ 5.8 แสดงสัญญาณ Pilot Tone ความถี่ 512 KHz ที่ขา 7 IC # TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

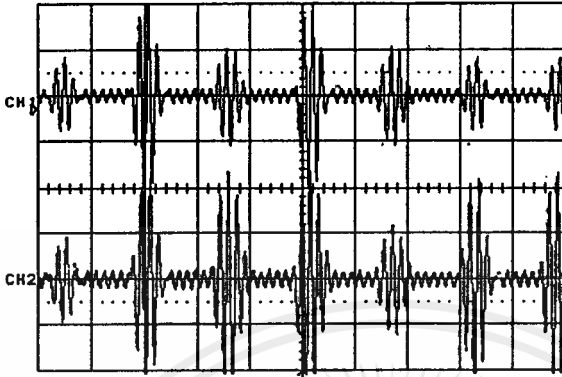
17-Apr-98
22:41:17

STOP

Auto

CH1
2V
10μs

CH2
2V
10μs



CH1 17 Apr, 22:40:52
DC, BUL: Full
V_{Center} -4.03V
t_{Center} 0.0s

CH2 17 Apr, 22:40:52
DC, BUL: Full
V_{Center} 4.03V
t_{Center} 0.0s

TRIGGER on CH1

-550mV DC



CH1 MEASUREMENTS

pkpk	8.00V	freq	173.8kHz
rms	877mV		
amplitude	2.335V		

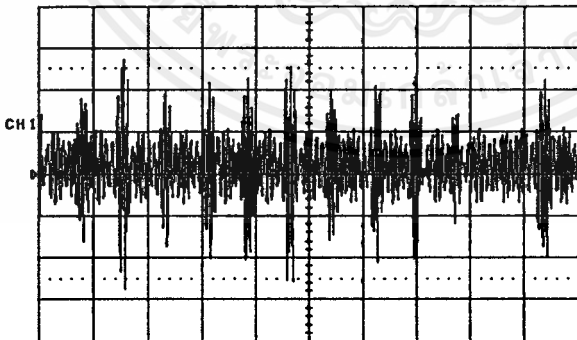
รูปที่ 5.9 (รูปบน) แสดงสัญญาณ I ที่ผ่านการ Modulation (Output ของวงจร Differential Amp)
(รูปล่าง) แสดงสัญญาณ Q ที่ผ่านการ Modulation (Output ของวงจร Differential Amp)

19-Apr-98
03:39:16

RUN

Auto

CH1
2V
20μs



CH1 19 Apr, 03:39:01
DC, BUL: Full
V_{Center} -320mV
t_{Center} -9.6μs

TRIGGER on CH1

-300mV DC

CH1 MEASUREMENTS

pkpk	11.01V	freq	534.8kHz
rms	1.498V		
amplitude	1.914V		

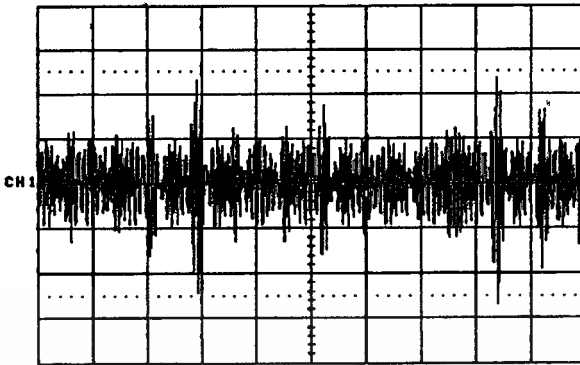
รูปที่ 5.10 แสดงสัญญาณ Output ของเครื่องส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20-Apr-98
08:38:30

RUN ■ LeCroy
Auto LS140

CH1
2V
20us



CH1 20 Apr, 08:38:16
AC, BUL:Full
V@Center 0.0V
t@Center 31.0us

TRIGGER on CH1
-100mV AC
Holdoff 3.62us

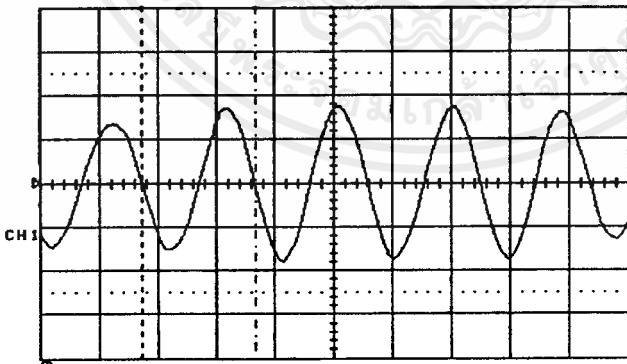
CH1 MEASUREMENTS
pkpk 10.24V freq 49.91kHz
rms 1.357V
amplitude 6.637V

รูปที่ 5.11 แสดงสัญญาณ 16 QAM ที่เครื่องรับ

02-May-98
08:48:05

LeCroy
Auto LS140

CH1
2V
1us



CH1 02 May, 08:46:30
AC, BUL:Full
V@Center -64mV
t@Center 4.90us

Smart Probe on CH1
2: RUN/STOP

Cursors on CH1

-- 3.57us
-- 1.62us
Δt 1.95us
1/Δt 513kHz

TRIGGER on CH1
0.0V DC
Holdoff 20.00s

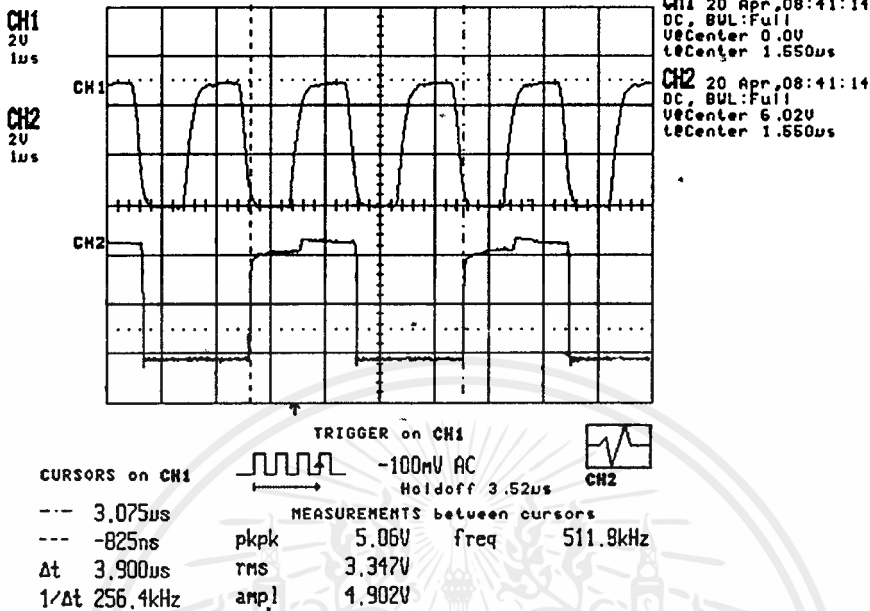
CH1 MEASUREMENTS
pkpk 7.10V freq 520.3kHz
rms 2.310V
amplitude 7.104V

รูปที่ 5.12 แสดงสัญญาณ Pilot Tone ที่กรองได้จากภาครับ ขา 7 IC # TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20-Apr-98
08:41:49

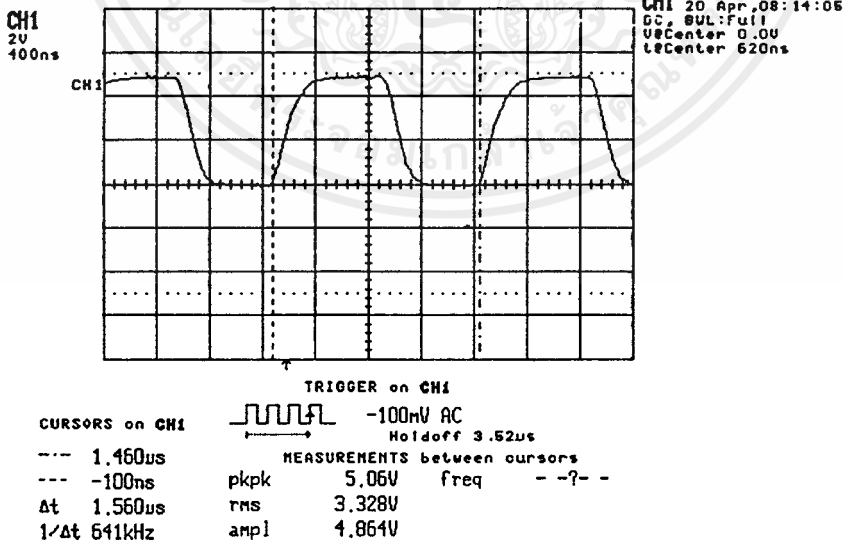
STOPPED LeCroy
Auto LS140



รูปที่ 5.13 รูปบน) แสดงสัญญาณ VCO เอาท์พุทที่ได้จากการล๊อคกับความถี่ของสัญญาณไฟเลี้ยงดโตน
(รูปล่าง) แสดงสัญญาณ Clock ที่กู้มาได้

20-Apr-98
08:16:27

STOPPED LeCroy
Auto LS140



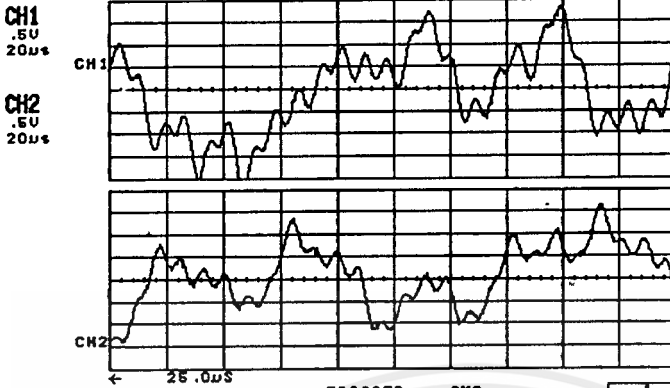
รูปที่ 5.14 แสดงสัญญาณ VCO output เพื่อสร้างญาณพาหะทางภาครับ ที่ขา 4 IC # 4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

01-May-98
16:03:32

STOPPED LeCroy
Auto LS140

CH1
.5V
20μs



CH1 01 May, 16:03:09
DC, BUL:Full
VCenter 0.0V
tCenter 125.0μs

CH2 01 May, 16:03:09
DC, BUL:Full
VCenter 0.0V
tCenter 125.0μs

← 25.0μs

TRIGGER on CH3

25mV AC
Holdoff 3.52μs

CH1 MEASUREMENTS

pkpk V 3.89V freq MHz 13.18kHz

rms - - -

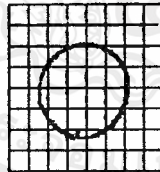
ampl V 3.888V

รูปที่ 5.15 (รูปบน) แสดงสัญญาณที่คีมออกเลขขึ้น เป็นสัญญาณ 4 ระดับ ทางด้าน I ที่ขา 6 IC #LF351N
(รูปล่าง) แสดงสัญญาณที่คีมออกเลขขึ้น เป็นสัญญาณ 4 ระดับ ทางด้าน Q ที่ขา 6 IC #LF351N

01-May-98 Recalibration Suggested (SYSTEM CONFIG Menu)
16:10:40

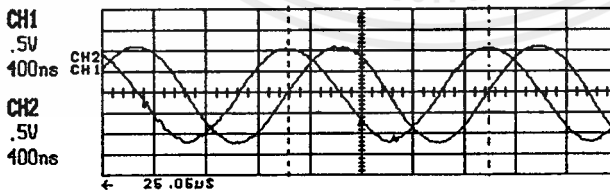
STOPPED LeCroy
Auto LS140

X = CH1
Y = CH2



CH1 01 May, 16:09:46
DC, BUL:Full
VCenter 0.0V
tCenter 27.050μs

CH2 01 May, 16:09:46
DC, BUL:Full
VCenter 0.0V
tCenter 27.050μs



CH1
.5V
400ns

CH2
.5V
400ns

← 25.05μs

TRIGGER on CH3

25mV AC
Holdoff 3.52μs

Cursors on CH1

MEASUREMENTS between cursors

--- 28.040μs pkpk 2.22V freq - - -

--- 26.480μs rms 779μV

Δt 1.560μs ampl 2.224V

1/Δt 641kHz

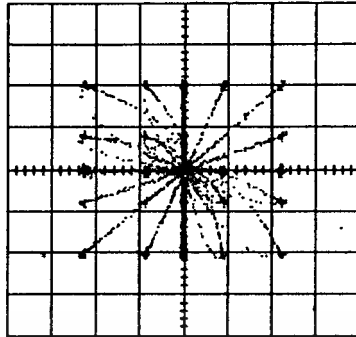
รูปที่ 5.16 (รูปบน) แสดงการวัดเฟสโดยปรับ Scope ที่ตำแหน่ง X-Y

(รูปล่าง) แสดงสัญญาณ Carrier ที่วัดได้ที่ภาครับ ที่ขา 7, 14 IC # TL084

01-May-98 Recalibration Suggested (SYSTEM CONFIG Menu)
15:55:59

X = CH1
Y = CH2

CH1
1V
200 μ s
CH2
1V
200 μ s



STOPPED LeCroy
Auto LS140

CH1 01 May, 15:53:07
AC, BUL:Full
V_{Center} 0.0V
t_{Center} 1.025ms
CH2 01 May, 15:53:07
AC, BUL:Full
V_{Center} 0.0V
t_{Center} 1.025ms

Cursors on CH1

--- 1.045ms
--- 265 μ s
 Δt 780 μ s
1/ Δt 1.282kHz



TRIGGER on CH3

25mV AC
Holdoff 3.52 μ s



MEASUREMENTS between cursors

pkpk 4.58V freq 19.06kHz
rms 864mV
ampl 2.272V

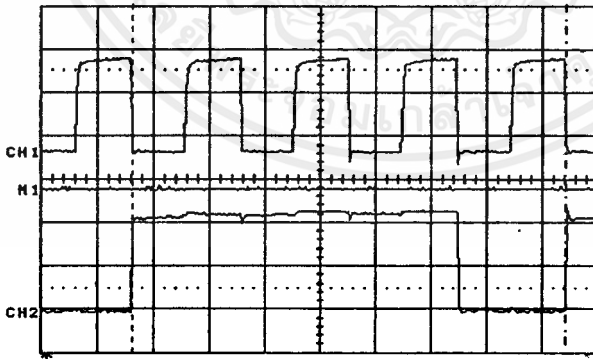
รูปที่ 5.17 แสดงรูป Constellation Diagram 16 QAM

01-May-98
18:00:51

CH1
2V
2 μ s

M1
0.2V
200ns

CH2
2V
2 μ s



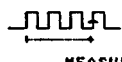
STOPPED LeCroy
Auto LS140

CH1 01 May, 17:59:42
AC, BUL:Full
V_{Center} -3.39V
t_{Center} 9.80 μ s

CH2 01 May, 17:59:42
AC, BUL:Full
V_{Center} 6.08V
t_{Center} 9.80 μ s

M1 01 May, 17:15:39
V_{Center} 51mV
t_{Center} 990ns

Cursors on CH1



50mV AC
Holdoff 20.00s

MEASUREMENTS between cursors

--- 18.65 μ s
--- 3.05 μ s
 Δt 15.60 μ s
1/ Δt 64.1kHz
pkpk 4.86V freq 255.2kHz
rms 2.074V
ampl 4.224V

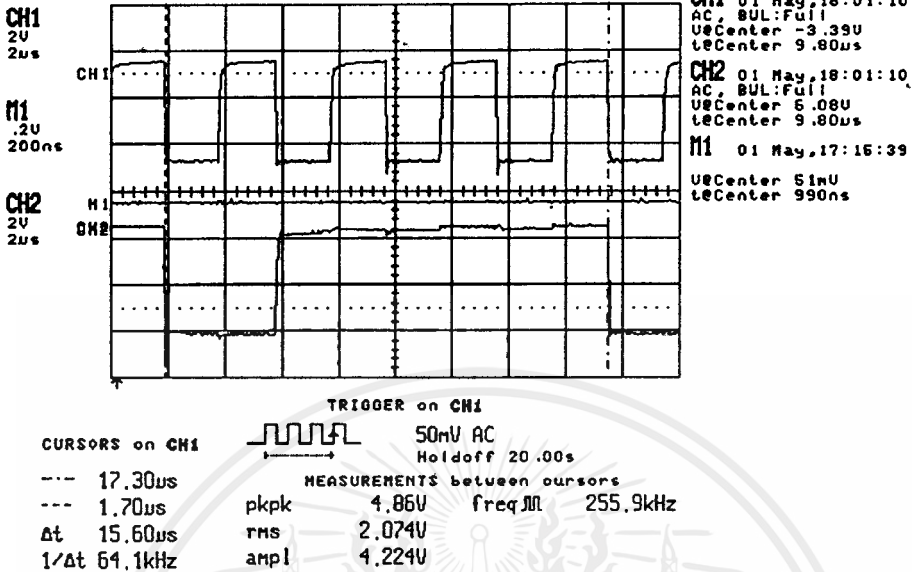
รูปที่ 5.18 (รูปบน)แสดงสัญญาณ Clock ความถี่ 256 KHz ที่กู้ขึ้นจากภาครับ

(รูปล่าง)แสดงสัญญาณหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO ที่ขา 3 IC # 7400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

01-May-98
18:02:14

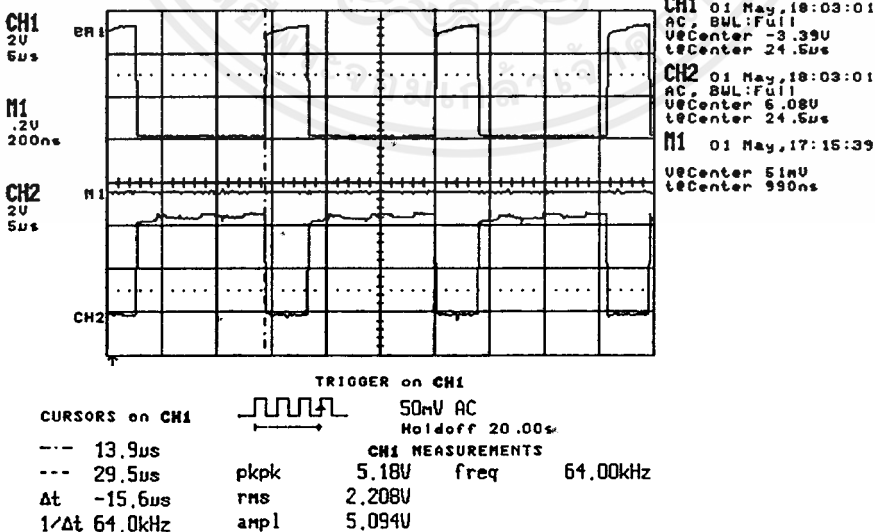
STUFFER LeCroy
Auto LS140



รูปที่ 5.19 (รูปบน)แสดงสัญญาณ Clock ความถี่ 256 KHz ที่กู้ขึ้นจากภาครับ
(รูปล่าง)แสดงสัญญาณ Invert ของการหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO

01-May-98
18:03:49

STUFFER LeCroy
Auto LS140

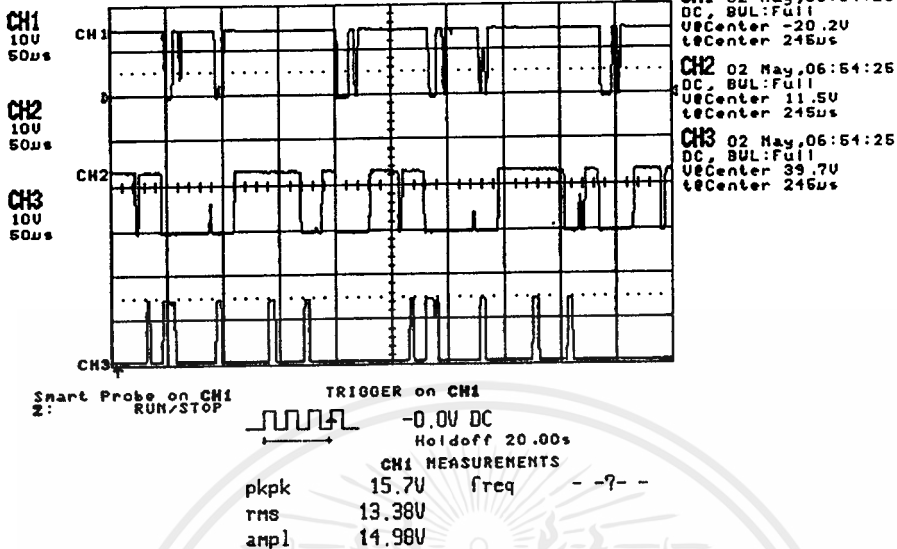


รูปที่ 5.20 แสดงการเปรียบเทียบระหว่างสัญญาณหน่วงเวลาและ สัญญาณ Invert หน่วงเวลา 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

02-May-98
06:54:43

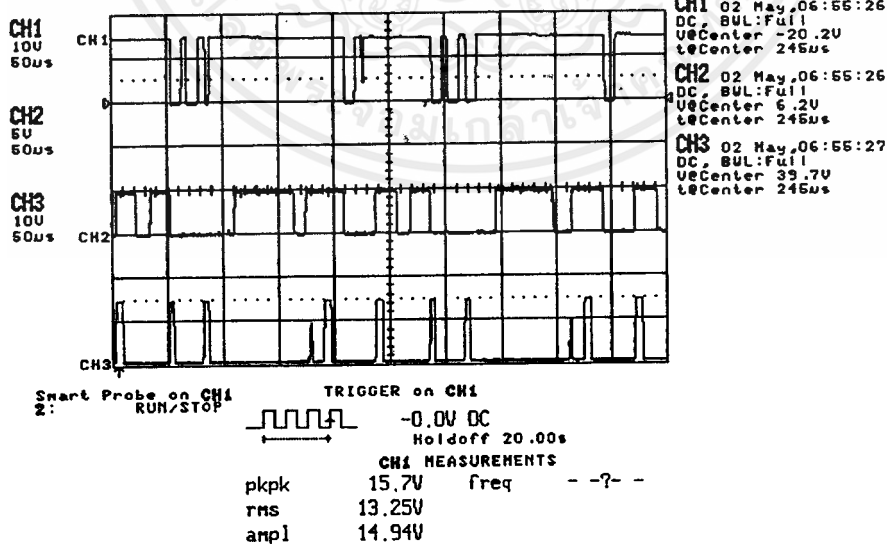
LeCroy
LS140
Auto



รูปที่ 5.21 แสดงสัญญาณ Output Comparator ของสัญญาณด้าน I ที่ขา 7,8,14 IC # TL084

02-May-98 Recalibration Suggested (SYSTEM CONFIG Menu)
06:55:43

LeCroy
LS140
Auto

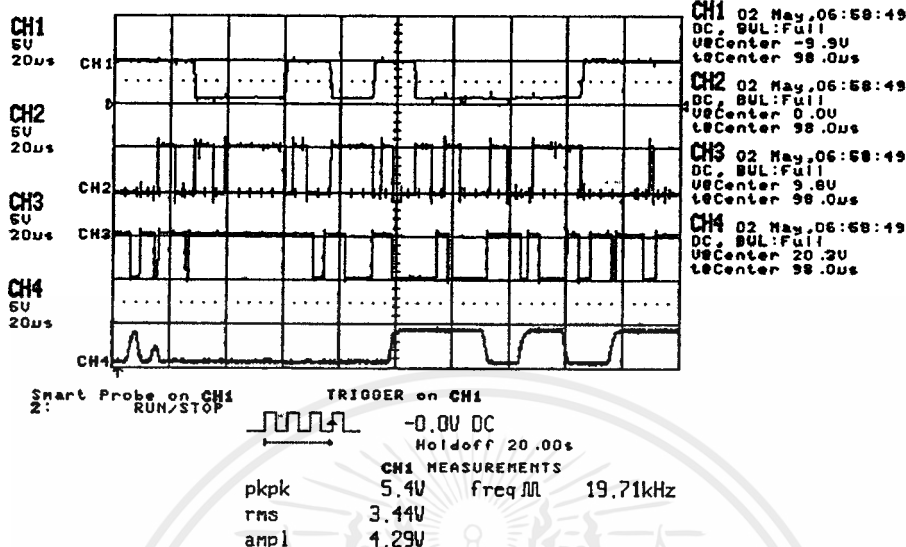


รูปที่ 5.22 แสดงสัญญาณ Output Comparator ของสัญญาณด้าน Q ที่ขา 7,8,14 IC # TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

02-May-98
06:59:07

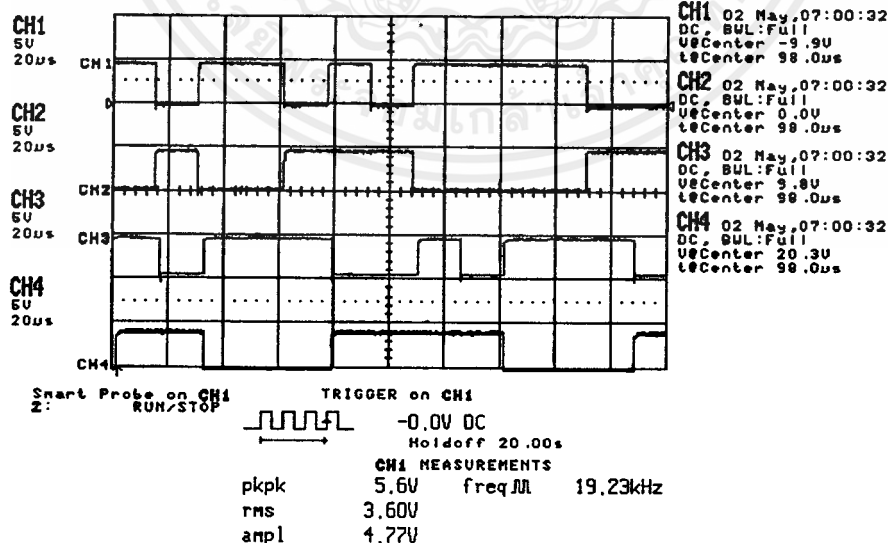
STOPPED LeCroy
Auto LS140



รูปที่ 5.23 แสดงสัญญาณ Input I, I', Q, Q' ที่ขา 4,5,12,13 IC # 74175

02-May-98 Recalibration Suggested (SYSTEM CONFIG Menu)
07:00:56

STOPPED LeCroy
Auto LS140



รูปที่ 5.24 แสดงสัญญาณ I,I',Q,Q' ก่อนทำการรวมบิต ที่ขา 11,12,13,14 IC#74165

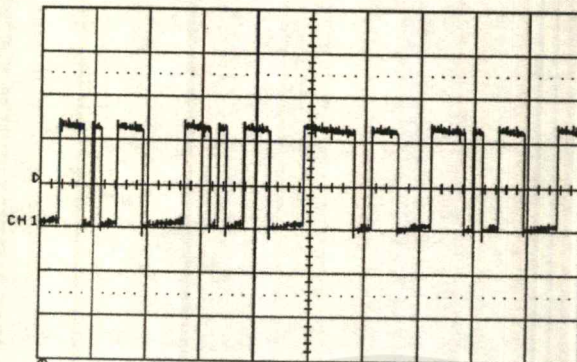
(Shift Register PISO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

02-May-98
07:03:10

STOPPED LeCroy
Auto LS140

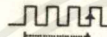
CH1
2V
100us



CH1 02 May, 07:02:51
AC, BUL: Full
V@Center -256mV
t@Center 190us

Smart Probe on CH1
Z: RUN/STOP

TRIGGER on CH1

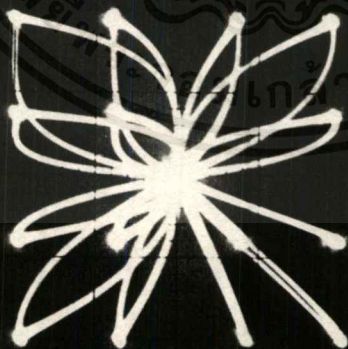


0.0V DC
Holdoff 20.00s

CH1 MEASUREMENTS

pkpk	5.44V	freq	11.96kHz
rms	2.240V		
ampl	4.595V		

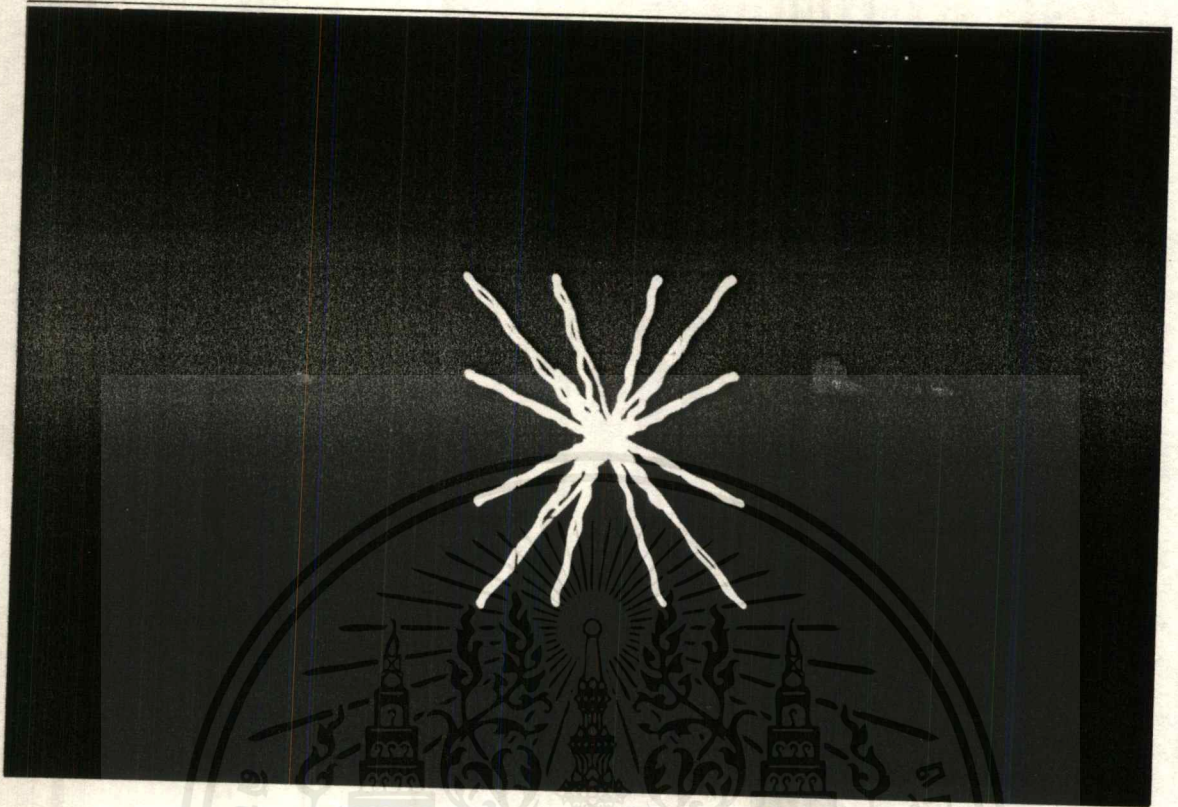
รูปที่ 5.25 แสดงสัญญาณ Output NRZ ที่ขา 9 IC#74165



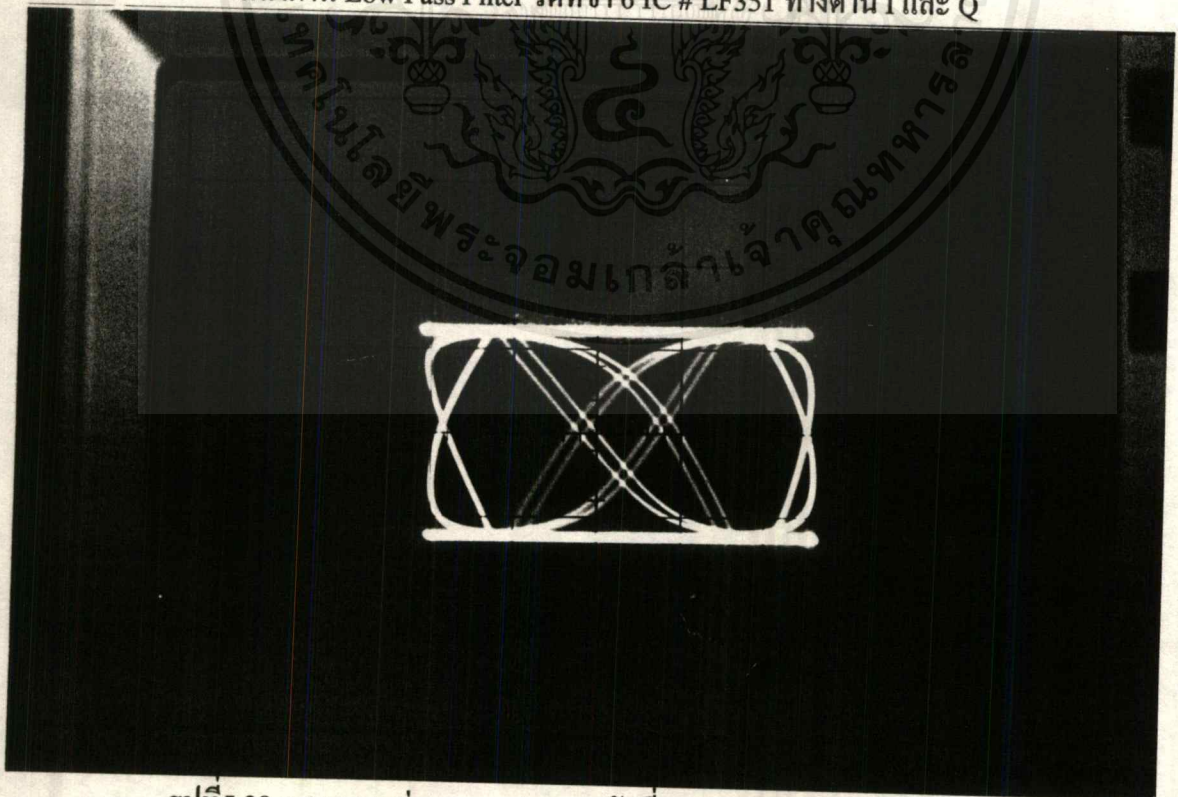
รูปที่ 5.26 แสดงภาพถ่าย Constellation Diagram 16 QAM ของสัญญาณ NRZ ที่แอดแอดคอม

วัดที่ขา 1 IC # TL084 ทางด้าน L และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.27 แสดงภาพถ่าย Constellation Diagram 16 QAM ของสัญญาณ NRZ ที่แอมพลิจูด
หลังจากผ่าน Low Pass Filter วัดที่ขา 6 IC # LF351 ทางด้าน I และ Q



รูปที่ 5.28 แสดงภาพถ่าย Eye Diagram วัดที่ขา 8 IC # TL084 กับสัญญาณ NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปโครงการ

ในโครงการนี้ได้ศึกษาถึงวิธีการในการส่งสัญญาณดิจิทัลให้มีความเร็วในการรับส่งสูงโดยใช้หลักการของ 16QAM (16 Quadrature Amplitude Modulation) ซึ่งมีความเร็วในการส่งสูงกว่าแบบ BPSK(Binary Phase Shift Keying)

บทสรุปในการการทำงานและข้อเสนอแนะที่เป็นประโยชน์จะแบ่งเป็นข้อตามขั้นตอนการทำงานได้ดังต่อไปนี้

1. วงจรกำเนิดสัญญาณ NRZ (Non Return to Zero)

ใช้ D FlipFlop ต่อร่วมกับ Ex-OR เพื่อผลิตสัญญาณกึ่งแรนดอม หรือ PRBS (Pseudo Random Binary Sequence)โดยใช้ Clock 256 kHz ป้อนให้ FlipFlop แต่ละตัว เอาท์พุทที่ได้จะเป็นสัญญาณ NRZ

2. วงจรแยกบิต

วงจรในส่วนนี้ไม่ค่อยประสบปัญหามากนัก ได้ใช้ IC สำเร็จรูปทำหน้าที่แปลงข้อมูลอนุกรมให้เป็นข้อมูลแบบขนาน โดยมีเอาท์พุทพร้อมกัน 4 บิตซึ่งถูกควบคุมโดยวงจรหน่วงเวลา 4 บิตหรือวงจรหาร 4 โดยใช้ JK FlipFlop เบอร์ 74112

3. วงจร 2 บิต เป็น 4 ระดับ

โดยใช้หลักการของวงจรดีโค้ดเดอร์(Decoder)เพื่อแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณเส้นเดียว ที่มี 4 ระดับ ถ้าไม่มีไอซีสำเร็จรูปเราสามารถออกแบบโดยใช้ Gate ต่างๆแทนได้ หลักการนี้ได้นำไปออกแบบวงจรแยกบิตในระบบ QAM แบบต่างๆได้ เช่น 64 QAM ,256 QAM

4. วงจรกำเนิดสัญญาณพาหะและไฟลอคโทน

ในการทดลองขั้นตอนประสบปัญหาในเรื่องของ Phase lock loop ไม่สามารถล็อกความถี่ได้เนื่องจากสัญญาณรบกวนของระบบกราวด์ เพราะทำการทดลองในแผงทดลองและได้ทำการแก้ไขวงจรโดยใช้ C ค่า 0.1 ไมโครฟารัด ต่อคร่อมระหว่างไฟบวกและกราวด์ สัญญาณที่ได้ไม่นิ่งเท่าที่ควร ได้ใช้ C ปรับค่าได้ 120 pF ต่อคร่อมระหว่างขา 6 กับขา 7 ของไอซี 4046 เพื่อให้ VCO ผลิต

ความถี่ได้ตามต้องการ ในส่วนวงจรความถี่ไม่ประสบปัญหามากนัก ในการกรองสัญญาณ Carrier Sine จาก VCO ได้สัญญาณไม่นิ่งเท่าที่ควร ส่วนของสัญญาณไฟลัดโทนก็เกิดปัญหาค้างๆกัน เนื่องจากจุด Cutoff ของวงจร BPF ไม่ตรง ต้องใช้การปรับค่า R เพื่อช่วยในการตอบสนองความถี่ให้ดีขึ้น

5. วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator)

ใช้ไอซี MC 1596 ซึ่งมีความสะดวกในการใช้งานเพราะเป็น ไอซีทำหน้าที่ มอดูเลตแบบบาลานซ์มอดูเลเตอร์ แต่ไอซีเบอร์นี้ต้องการอินพุตค่า ประมาณ 300 mV ได้ใช้ VR 100 k Ω เพื่อช่วยปรับระดับสัญญาณอินพุต สัญญาณเอาต์พุตที่ได้อยู่ในระดับที่น่าพอใจ

6. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

เนื่องจากเป็นโครงการที่ใช้ความถี่ไม่สูงมากนัก ในการทดลองกรองความถี่ต่ำผ่านจึงไม่มีปัญหา ได้ทดลองป้อนความถี่เพื่อหาจุด Cut-off ได้ผลค่อนข้างแน่นอน ในโครงการนี้ใช้จุด Cutoff ที่ 32 kHz

7. วงจรกรองความถี่ผ่านเฉพาะย่าน (Band Pass Filter)

ในโครงการนี้ใช้วงจร Band Pass Filter หลายส่วน ในการนำมาใช้จริงได้ใช้การออกแบบจากหนังสือ Manual of Active Filter Design เมื่อนำวงจรมาใช้งานจริงค่อนข้างมีปัญหาอย่างมาก ในการปรับจุด Cutoff ส่วนมากจะใช้ความต้านทานปรับค่าได้ช่วยปรับแต่งเพื่อเลื่อนหาจุด Cutoff วงจรที่ต้องการความแน่นอนมากคือวงจรกรองสัญญาณไฟลัดโทนจากสัญญาณ 16 QAM ซึ่งจะต้องมีช่วงที่แคบมาก (Narrow band) ใช้เวลาในการปรับแต่งอยู่นานพอสมควร

8. วงจรกู้สัญญาณนาฬิกา

ในตอนแรกมีปัญหาอินพุตของสัญญาณไฟลัดโทนต่ำเกินไปที่จะป้อนให้กับ Buffer เป็นเพราะว่ามีสัญญาณรบกวนมาก จึงไม่มีเอาต์พุตจาก Buffer และเมื่อเริ่มกรองไฟลัดโทนได้ดีขึ้น ทำให้มีเอาต์พุตจาก Buffer นำไปเป็นสัญญาณอ้างอิงของเฟสลอคคัล เพื่อสามารถลอคความถี่ได้ ทำให้ VCO สามารถผลิตความถี่ได้ตามต้องการ ซึ่งได้ใช้ C ปรับค่าได้ช่วยในการจูนความถี่ โดยต่อคร่อมระหว่างขา 6 กับขา 7 ของไอซี 4046

9. วงจรบาลานซ์คิมอดูเลเตอร์ (Balance Demodulator)

ในขั้นต้นทดลองโดยคิมอดูเลทสัญญาณ ที่ไม่ใช่สัญญาณ 16QAM โดยใช้การคิมอดูเลทแบบ บาลานซ์คิมอดูเลเตอร์ ผลที่ได้สามารถคิมอดูเลทสัญญาณกลับคืนมาได้ แต่เมื่อทำการคิมอดูเลท สัญญาณแบบ 16QAM ได้สัญญาณคืนกลับมาไม่ดีเท่าที่ควร

10. วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต

วงจรในส่วนนี้ได้ใช้ Op-Amp ทำการขยายสัญญาณที่คิมอดูเลทได้ แล้วทำการยกระดับ สัญญาณให้สูงขึ้นก่อนเข้าวงจร Comparator เอาท์พุทจาก Comparator ไม่ค่อยสวยงามเท่าที่ควร ถ้านำไปต่อร่วมกับ Ex-OR เพื่อจัดสัญญาณ

11. วงจรรวมสัญญาณดิจิทัล

หน้าที่ทำงานในส่วนนี้คือแปลงสัญญาณแบบขนานครั้งละ 4 บิต ให้เป็นข้อมูลแบบ อนุกรมในโครงการนี้ใช้ IC # 74175 (D Flip Flop) ต่อร่วมกับ Shift Register PISO เพื่อจัดรูป สัญญาณให้ดีขึ้นก่อนทำการรวมบิต ในส่วนของการรวมบิตจะถูกควบคุมโดยวงจรหารความถี่ โดยใช้ฟลิปฟล็อปเช่นเดียวกับภาคส่ง สัญญาณที่เอาท์พุทไม่สมบูรณ์เท่าที่ควร

12. การปรับปรุงเพื่อลดสัญญาณรบกวน

- ปรับปรุงเรื่องแผ่นวงจรพิมพ์โดยการออกแบบให้อุปกรณ์วางอยู่บนแผ่นเดียวกัน
- ใช้ C ค่า 0.1 ไมโครฟารัด ต่อคร่อมไอซีที่ขาไฟบวกและกราวด์
- ในส่วนวงจรจ่ายไฟใช้หม้อแปลงที่มีการป้องกันหรือลดการแพร่สนามแม่เหล็ก

บรรณานุกรม

นิกร สุขุมตันติ การออกแบบวงจรอิเล็กทรอนิกส์ พิมพ์ครั้งที่ 1 ตำราชุด วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไพโรจน์ ถนอมแจ่ม , อิศรา อุตววรรณ , น้ำฝน เจริญผล 16 QAM รับส่งด้วยสายเคเบิล ประิณยานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ภัทรนฤณ กันทัต , ชอด นาคเจือทอง QPSK โมเด็มเชิงโครโมสด้วยไฟล็ดอโทน ประิณยานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สุพจน์ ปุณณชัชชะ ครอบรู้ Modem พิมพ์ครั้งที่ 1 โปรวิชัน 2540

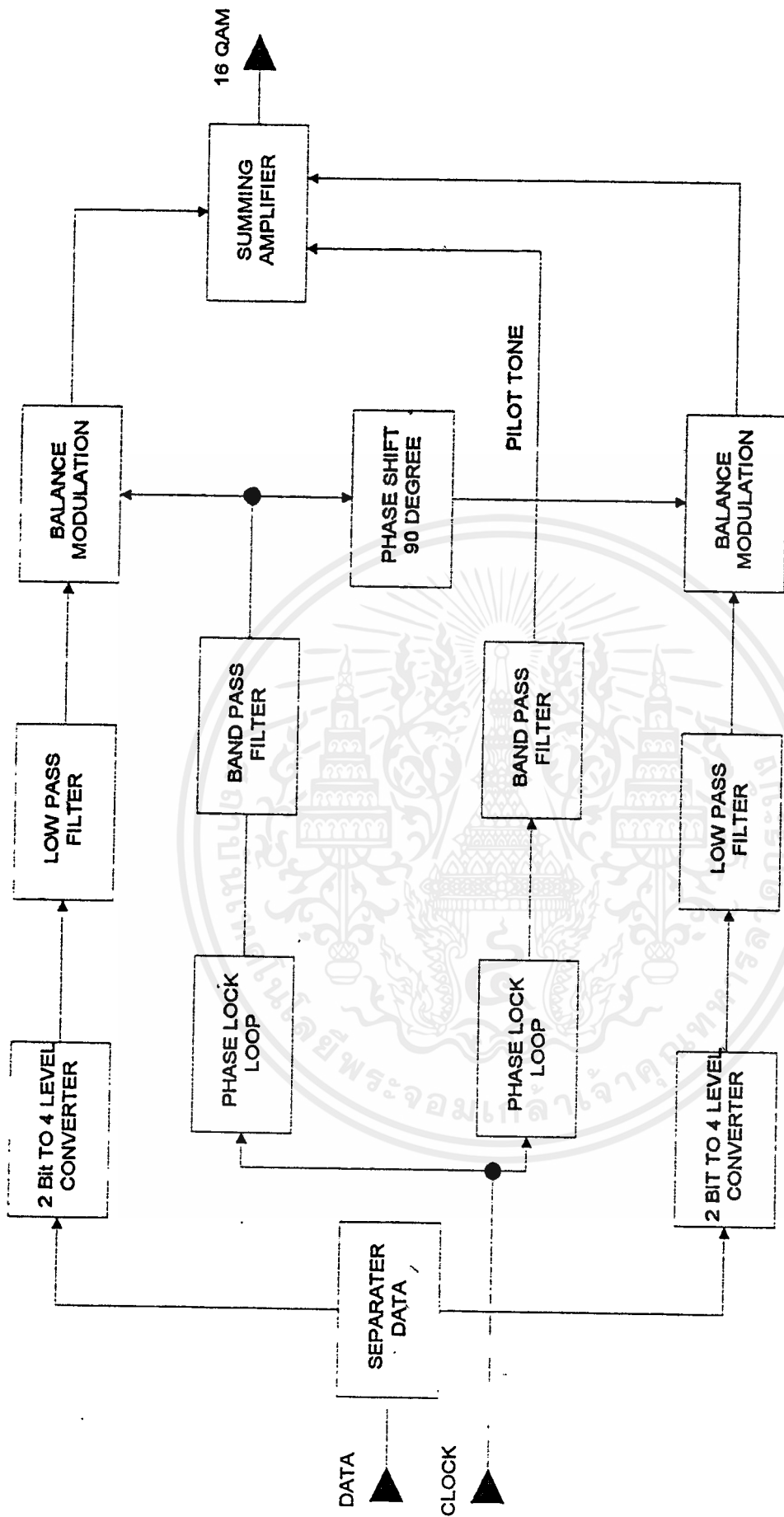
เทคนิคการส่งข้อมูล เชมิคอนดักเคอร์ เล่มที่ 79 , มิถุนายน-กรกฎาคม 2530

John L.Hilburn, David E.Johnson , Manual of Active Filter Design , Department of Electrical Engineering Louisiana State University , Mcgraw Hill Book Company

C.C. Bissell , D.A. Chapman , Digital Signal Transmission , Cambridge University Press.

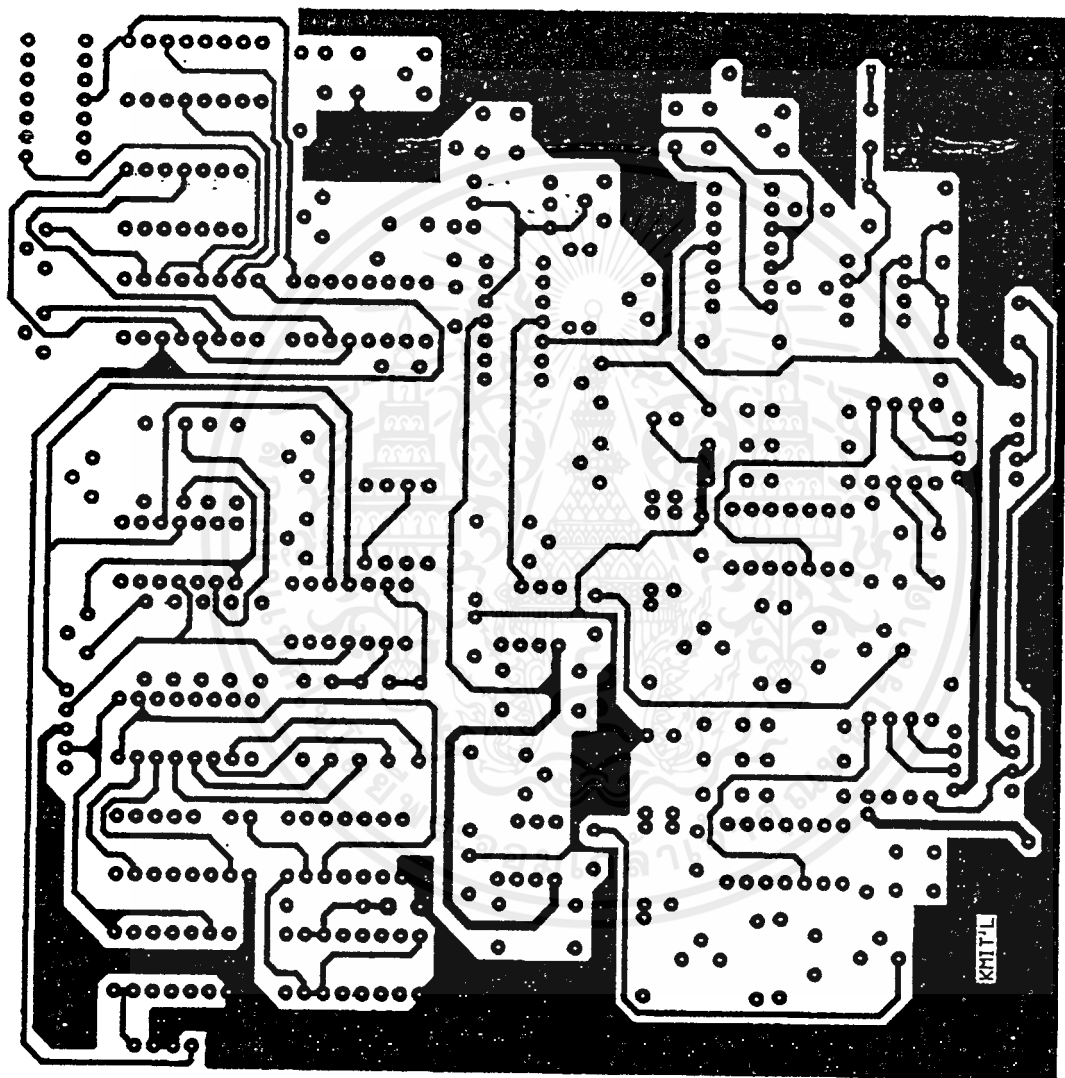


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



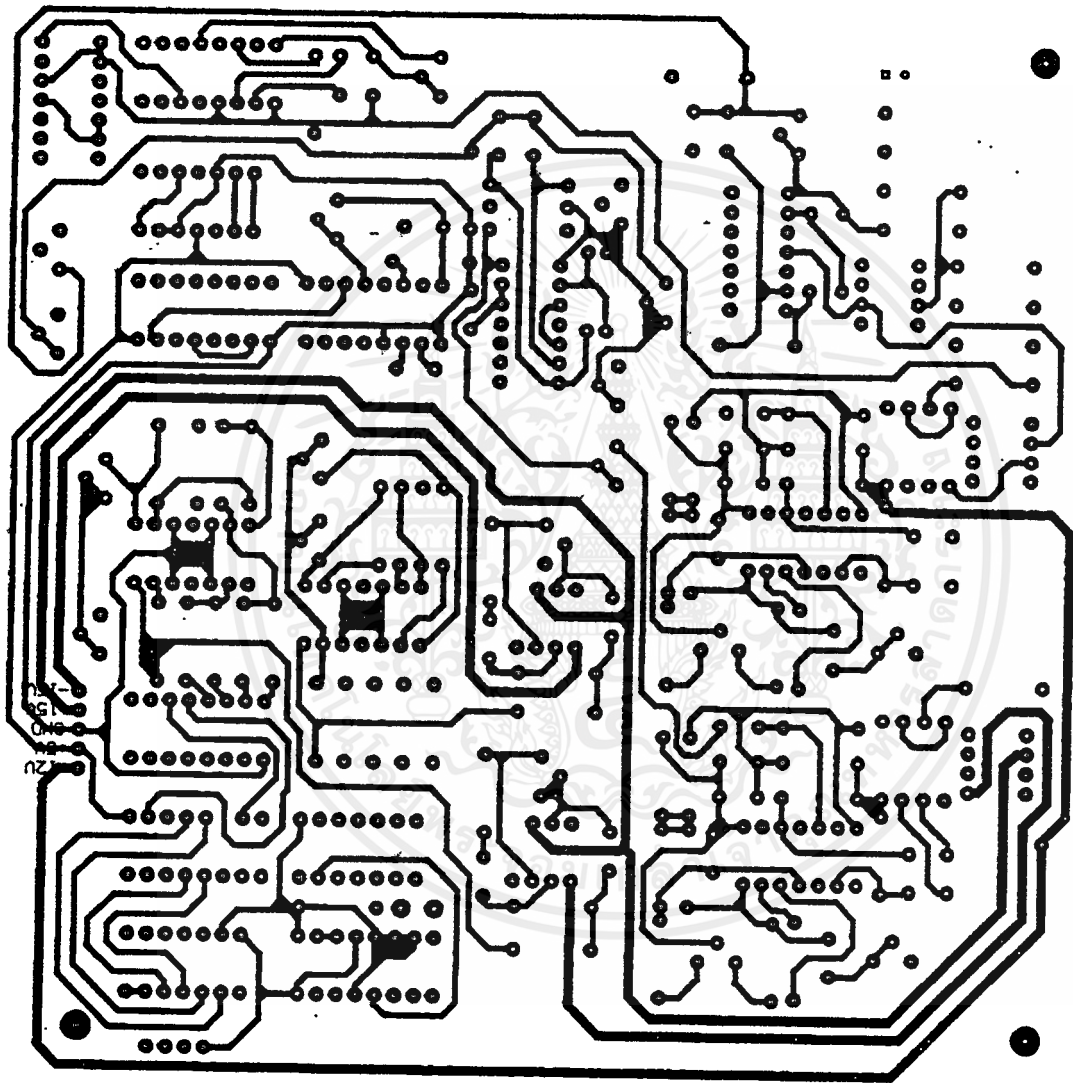
รูป BLOCK DIAGRAM 16 QAM TRANSMITTER





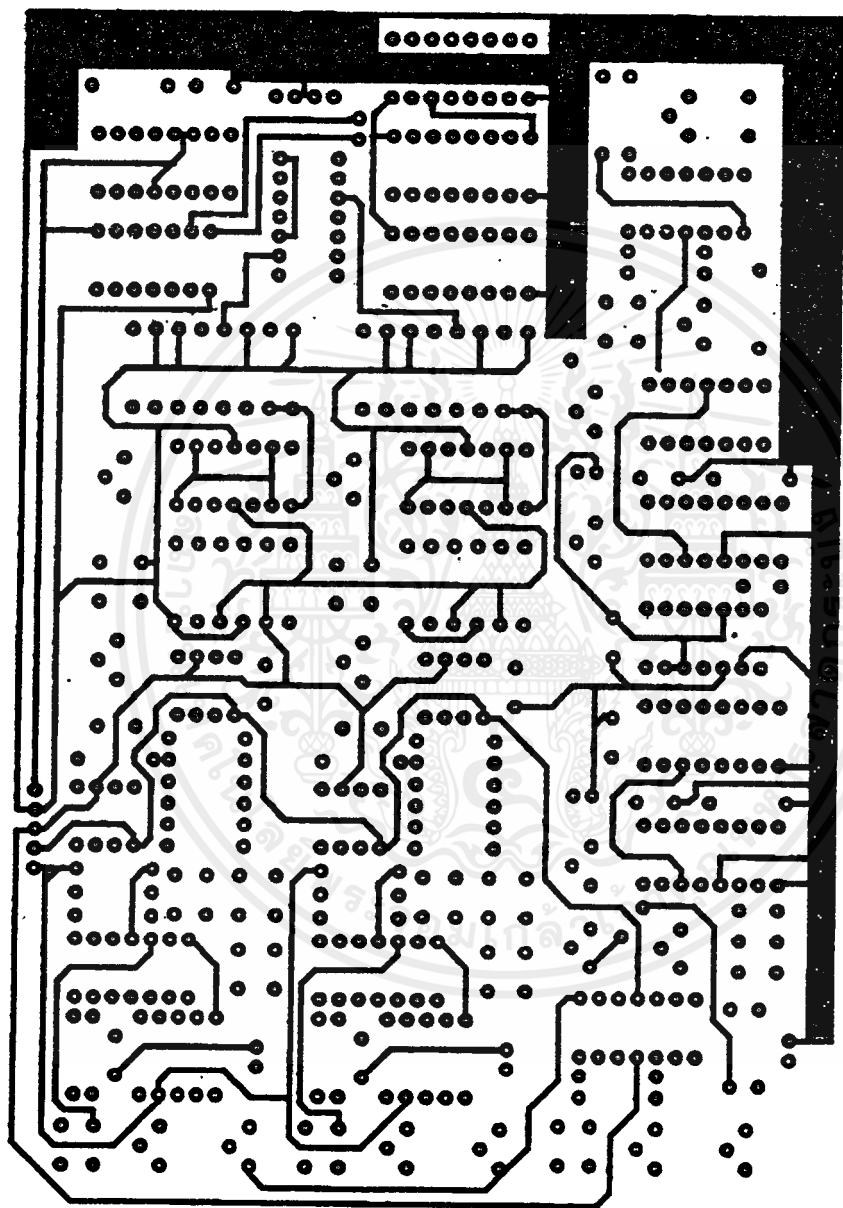
ลายวงจรพิมพ์ด้านบน เครื่องส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



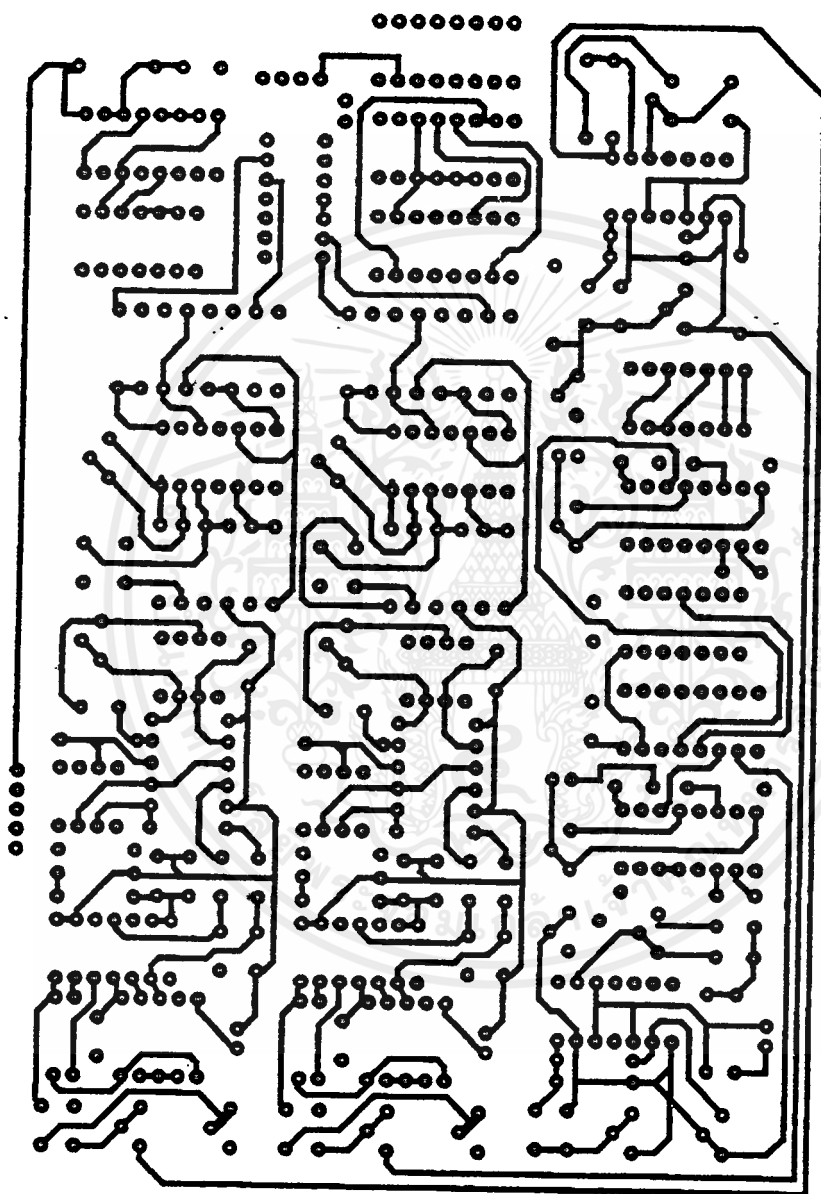
ลายวงจรพิมพ์ด้านล่าง เครื่องส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรพิมพ์ด้านบน เครื่องรับ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรพิมพ์ด้านล่าง เครื่องรับ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งการจัดวางอุปกรณ์ภาครับ





MC1496
MC1596

Specifications and Applications
Information

BALANCED
MODULATOR – DEMODULATOR

SILICON MONOLITHIC
INTEGRATED CIRCUIT

BALANCED MODULATOR – DEMODULATOR

... designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
– 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common-Mode Rejection – 85 dB typ

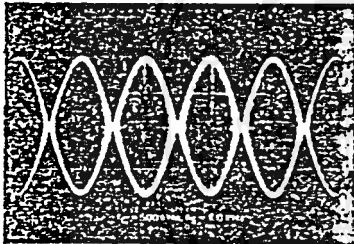
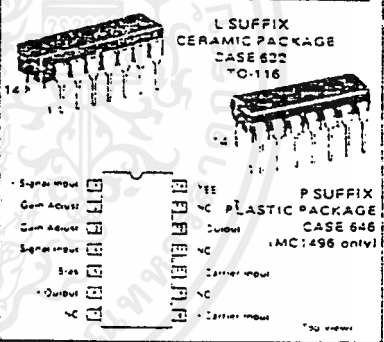
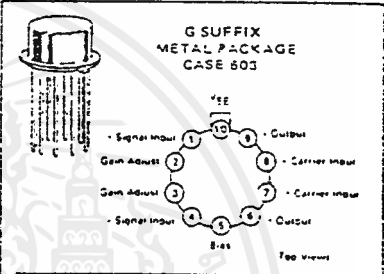


FIGURE 1 –
SUPPRESSED-CARRIER
OUTPUT WAVEFORM

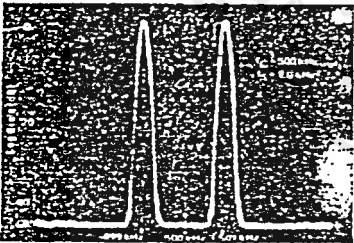


FIGURE 2 –
SUPPRESSED-CARRIER
SPECTRUM

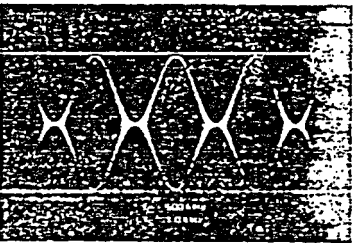
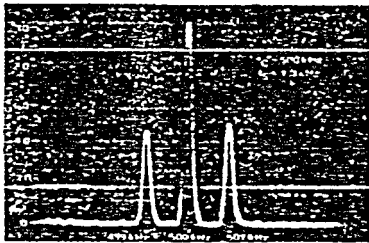


FIGURE 3 –
AMPLITUDE-MODULATION
OUTPUT WAVEFORM

ORDERING INFORMATION		
Device	Temperature Range	Package
MC1496G	0 to +70°C	Metal Can
MC1496L	0 to +70°C	Ceramic DIP
MC1496P	0 to +70°C	Plastic DIP
MC1596G	-55 to +125°C	Metal Can
MC1596L	-55 to +125°C	Ceramic DIP

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496 • MC1596

MAXIMUM RATINGS* (T_A = -25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V _S = V _I , V _S = V _I , V _S = V _I , V _S = V _I , V _S = V _I , V _S = V _I , V _S = V _I , V _S = V _I)	V _S	30	V _{CC}
Differential Input Signal	V _I - V _I V _I = V _I	±5.0 ±15 (15R _I)	V _{CC}
Maximum Bias Current	I _S	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	R _{JA}	180 100 200	°C/W
Operating Temperature Range	T _A	0 to +70 -55 to +125	°C
Storage Temperature Range	T _{STG}	-55 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 V_{CC}, V_{EE} = -5.0 V_{CC}, I_S = 1.0 mA, R_I = 39 kΩ, R_O = 1.0 kΩ, T_A = -25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted)

Characteristic	Fig.	Notes	Symbol	Min.	Typ.	Max.	Unit
Carrier Feedthrough V _I = 50 mVrms sine wave and offset adjusted to zero f _C = 1.0 kHz V _I = 300 mVrms square wave offset adjusted to zero f _C = 1.0 kHz offset not adjusted	5	1	I _{CFT}	-	40 140 0.04 20	-	μVrms mVrms
Carrier Suppression f _C = 1.0 kHz, 300 mVrms f _C = 500 kHz, 50 mVrms sine wave f _C = 10 MHz, 50 mVrms sine wave	5	2	V _{CS}	-	50 50 50	-	dB
Transmittance Bandwidth (Magnitude) (R _I = 50 kΩ) Carrier Input Port, V _I = 50 mVrms sine wave f _C = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V _I = 300 mVrms sine wave f _C = 0.5 V _{CC}	8	5	3V _{CSB}	-	200 30	-	Hz
Signal Gain f _C = 100 mVrms, f = 1.0 kHz, V _I = 2.5 V _{CC}	9	1	A _V	2.5	2.5	-	
Single-Ended Input Impedance, Signal Port, f = 5.0 kHz	6	-	Z _i	-	200	-	Ω
Parallel Input Resistance	6	-	R _i	-	2.0	-	kΩ
Parallel Input Capacitance	6	-	C _i	-	2.0	-	pF
Single-Ended Output Impedance, f = 10 kHz	6	-	Z _o	-	40	-	Ω
Parallel Output Resistance	6	-	R _o	-	5.0	-	kΩ
Parallel Output Capacitance	6	-	C _o	-	5.0	-	pF
Input Bias Current I _{DS} = I ₁ + I ₂ , I _{DS} = I ₁ + I ₂	7	1	I _{DS}	-	12 12	25	μA
Input Offset Current I _{OS} = I ₁ - I ₂ , I _{OS} = I ₁ - I ₂	7	1	I _{OS}	-	0.7 0.7	5.0	μA
Average Temperature Coefficient of Input Offset Current (T _A = -55°C to +125°C)	7	1	TC _{I_{OS}}	-	2.0	-	μA/°C
Output Offset Current I _{ES} = I ₁	7	1	I _{ES}	-	14	50	μA
Average Temperature Coefficient of Output Offset Current (T _A = -55°C to +125°C)	7	1	TC _{I_{ES}}	-	90	-	μA/°C
Common-Mode Input Swing, Signal Port, f _C = 1.0 kHz	9	1	ΔV _I	-	5.0	-	V _{CC}
Common-Mode Gain, Signal Port, f _C = 1.0 kHz, V _{CC} = 0.5 V _{CC}	9	1	A _{CM}	-	-45	-	dB
Common-Mode Output Voltage (Pin 6 or Pin 9)	10	1	V _O	-	8.0	-	V _{CC}
Differential Output Voltage Swing Capability	10	1	V _{OUT}	-	8.0	-	V _{CC}
Power Supply Current f _C = 1.0 kHz	7	6	I _{CC} I _{EE}	-	2.0 2.0	4.0 5.0	mA
DC Power Dissipation	7	5	P _D	-	33	-	mW

* Pin number references pertain to the device when packaged in a metal can. To determine the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The 100% oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

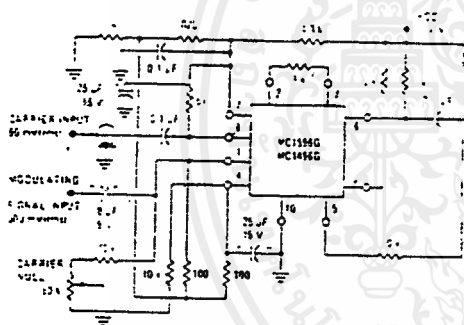
FIGURE 26 - BALANCED MODULATOR
(-12 Vdc SINGLE SUPPLY)

FIGURE 27 - BALANCED MODULATOR-DEMODULATOR

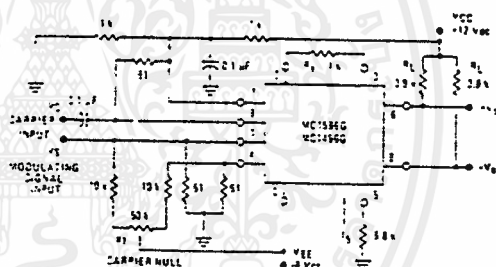
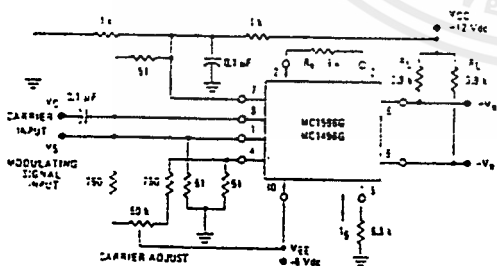
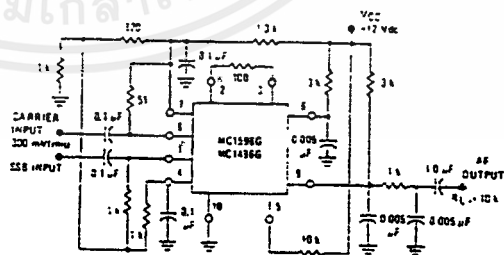
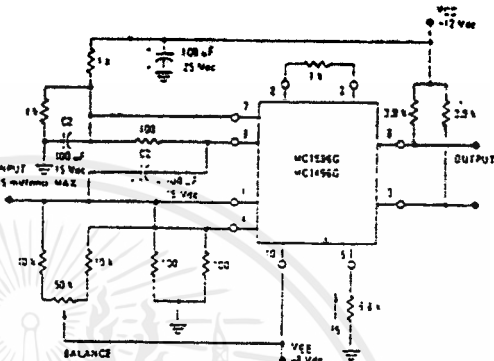


FIGURE 28 - AM MODULATOR CIRCUIT

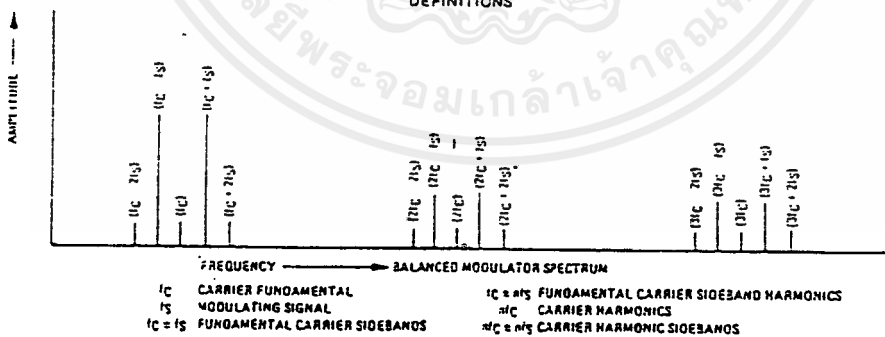
FIGURE 29 - PRODUCT DETECTOR
(-12 Vdc SINGLE SUPPLY)

1998

FIGURE 31 - LOW-FREQUENCY DOUBLER



DEFINITIONS



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.



MOTOROLA Semiconductor Products Inc.

SCL4046B
SCL4446B



CMOS PHASE-LOCKED LOOPS

FEATURES

- ♦ Very low power consumption – 70 μ W (typ)
@ $f_0 = 10$ kHz, 5Vdc
- ♦ Operating frequency range (no offset) –
Up to 3MHz (typ) @ 10Vdc (SCL4046B)
Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- ♦ Low frequency drift – 0.04%/°C (typ) @ 10Vdc
- ♦ Choice of two phase comparators:
 1. Exclusive-OR network
 2. Edge-controlled memory network with phase-pulse output for lock indication
- ♦ VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- ♦ High VCO linearity 1% (typ)
- ♦ Source-follower output of VCO control input (Demodulator Output)
- ♦ Zener Diode to assist Supply Regulation
- ♦ Balanced Output Drive Current Specifications

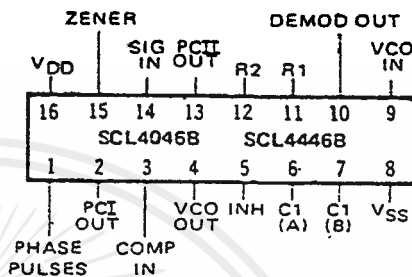
APPLICATIONS

- ♦ FM demodulator and modulator
- ♦ Frequency synthesis and multiplication
- ♦ Frequency discriminator
- ♦ Data synchronization
- ♦ Voltage-to-frequency conversion
- ♦ Tone decoding
- ♦ FSK-Modems
- ♦ Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{OUT} , and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals PCI_{OUT} and Phase Pulses, and maintains a 0° phase shift between Signal and Comparator inputs (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input Inh , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

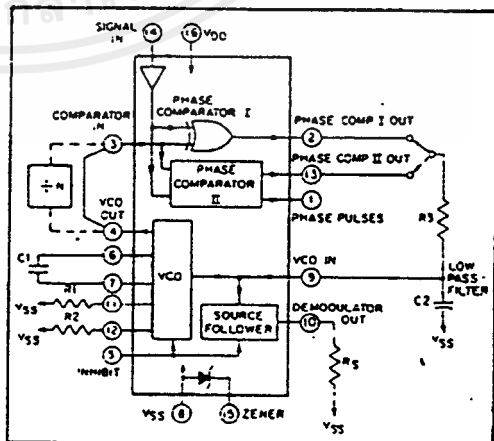


Fig. 1

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULA-

TOR OUTPUT). If this terminal is used, a load resistor (R_L) of $50k\Omega$ or more should be connected from this terminal to V_{SS} . If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE-COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq 30\% (V_{DD} - V_{SS})$, logic "1" $\geq 70\% (V_{DD} - V_{SS})$]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_0).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180° , and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

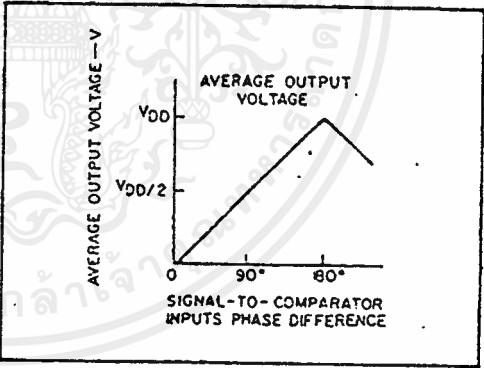


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

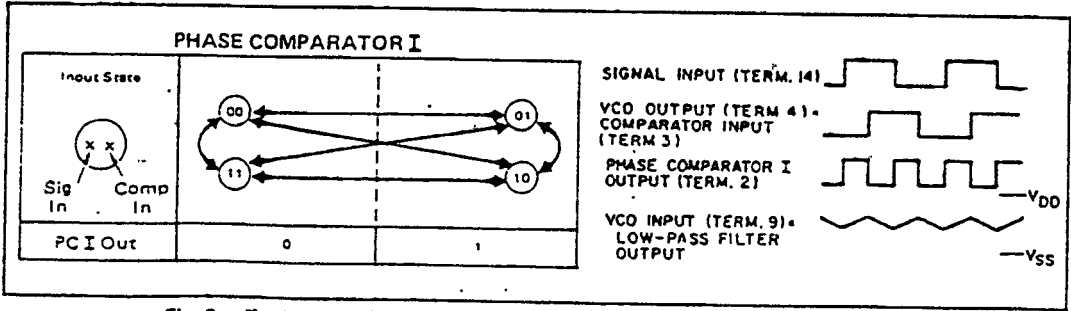


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

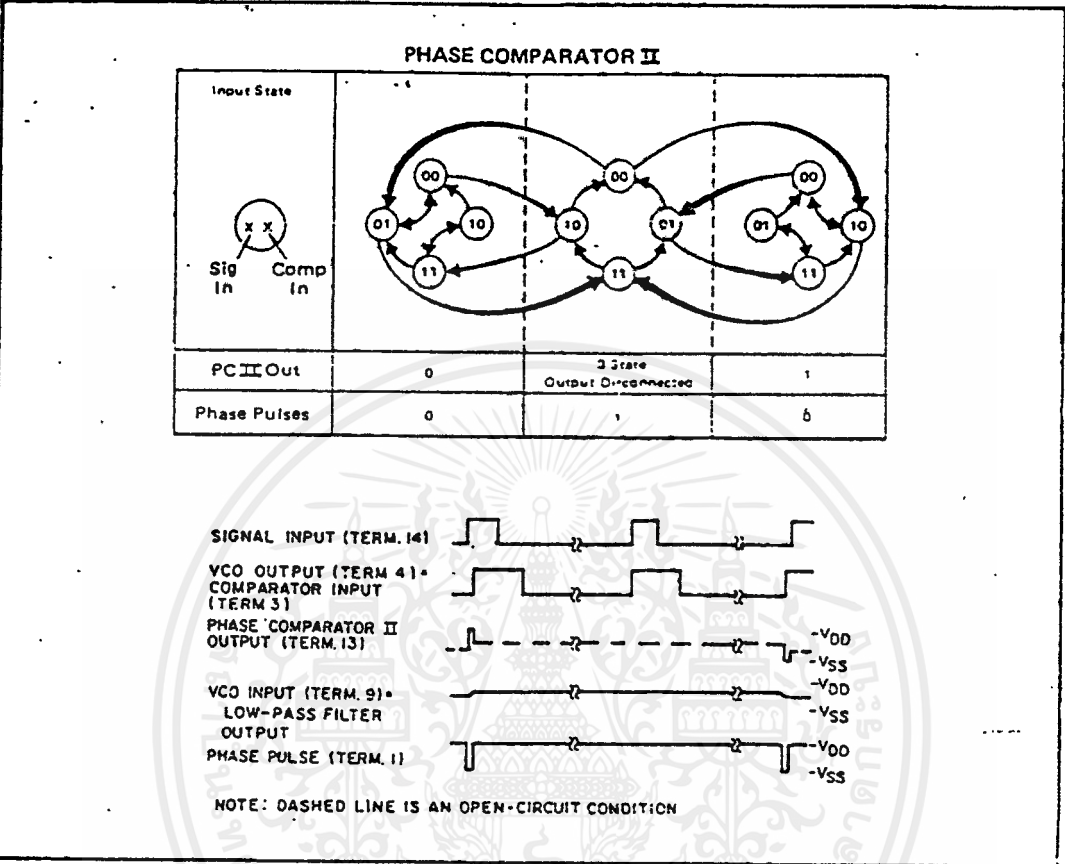


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS} , respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output

drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

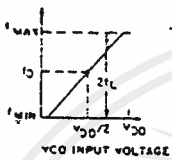
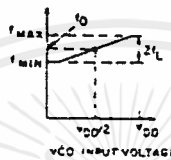
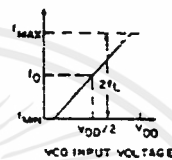
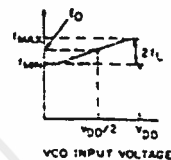
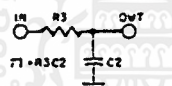
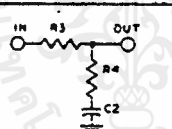
It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega, R5 \geq 10k\Omega$
 $C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi \sqrt{R_3 C_2}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating C° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	- Given: f_0 - Use f_0 with Fig.5a to determine R1 and C1 - Given: f_0 and f_L - Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ - Use f_{min} with Fig. 5b to determine R2 and C1 - Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ - Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1 - Given: f_{max} - Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ - Use f_0 with Fig.5a to determine R1 and C1 - Given: f_{min} & f_{max} - Use f_{min} with Fig.5b to determine R2 and C1 - Calculate $\frac{f_{max}}{f_{min}}$ - Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1			

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

ELECTRICAL CHARACTERISTICS ^{1, 3}

PARAMETER		V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5	Inhibit = V _{DD}	—	5	—	0.05	5	—	150	μA _{dc}
		10	Signal Input =	—	10	—	0.01	10	—	300	
		15	- V _{DD}	—	20	—	0.2	20	—	600	
TOTAL POWER DISSIPATION	P _T		Inh = V _{SS} , VCO _{IN} = $\frac{V_{DD}}{2}$								
			$f_o = 10\text{kHz}$, C _L = 15pF								
		5	R1 = 1MΩ, R2 = R _S = ∞	—	—	—	0.07	—	—	—	mW
		10		—	—	—	0.6	—	—		
		15		—	—	—	2.4	—	—		

- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"...
- ² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
- ³ VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER	CONDITIONS	V _{DO}	25°C			UNIT				
			Min.	Typ.	Max.					
VCO SECTION										
MAXIMUM OPERATING FREQUENCY SCL4046B	f _{max}	R2 = ∞ VCO _{IN} = V _{DO}	R1 C1							
			10k 50pF	5	0.5	0.8	—	MHz		
				10	1.0	1.5	—			
				15	1.3	1.9	—			
			5k 50pF	5	0.6	1.0	—	MHz		
				10	1.4	2.1	—			
				15	1.8	2.7	—			
			2k 50pF	5	—	1.3	—	MHz		
				10	—	2.9	—			
				15	—	3.8	—			
			SCL4446B	R2 = ∞ VCO _{IN} = V _{DO}	R1 C1					
					10k 50pF	5	0.7	1.0	—	MHz
						10	1.3	2.0	—	
15	1.9	2.8				—				
5k 50pF	5	0.9			1.3	—	MHz			
	10	1.9			2.9	—				
	15	2.6			3.9	—				
2k 50pF	5	—			1.8	—	MHz			
	10	—			3.9	—				
	15	—			5.4	—				
LINEARITY		R2 = ∞ VCO _{IN} = 2.5±0.3V, R1 ≥ 10kΩ VCO _{IN} = 5.0±2.5V, R1 ≥ 400kΩ VCO _{IN} = 7.5±5.0V, R1 ≥ 1MΩ			5	—	1	—	%	
					10	—	1	—		
			15	—	1	—				

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER	CONDITIONS	V _{DD}	+25°C			UNIT	
			Min.	Typ.	Max.		
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY No Offset	R ₂ = ∞	5	—	0.12-0.24	—	% / °C	
		10	—	0.04-0.08	—		
		15	—	0.015-0.03	—		
	With Offset	R ₂ ≤ 10X R ₁	5	—	0.06-0.12	—	% / °C
			10	—	0.05-0.1	—	
			15	—	0.03-0.06	—	
INPUT RESISTANCE (VCO _{IN})	R _{IN}	5, 10, 15	—	10 ⁶	—	MΩ	
OUTPUT DUTY CYCLE		All valid input combinations and voltages	—	50	—	%	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	C _L = 50pF	5	—	100	200	ns
			10	—	50	100	
			15	—	40	80	
			PHASE COMPARATORS				
INPUT RESISTANCE Signal Input	R _{IN}	5	1	3	—	MΩ	
		10	0.2	0.7	—		
		15	0.1	0.3	—		
Comparator Input	R _{IN}	5, 10, 15	—	10 ⁶	—	MΩ	
AC-COUPLED INPUT SENSITIVITY Signal Input	V _{IN}	5	—	200	400	mV	
		10	—	400	800		
		15	—	700	1400		
		OUTPUT TRANSITION TIME					
PCI, PCII Outputs	t _{TLH} , t _{THL}	C _L = 50pF	5	—	100	200	ns
			10	—	50	100	
			15	—	40	80	
Phase Pulses Output	t _{TLH} , t _{THL}		5	—	130	260	ns
			10	—	65	130	
			15	—	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO _{IN} , V _{DEM}	R _S ≥ 50kΩ	5	—	1.4	2.2	V _{dc}
			10	—	1.6	2.2	
			15	—	1.8	2.2	
LINEARITY		R _S ≥ 50kΩ VCO _{IN} = 2.5 ± 0.3V VCO _{IN} = 5.0 ± 2.5V VCO _{IN} = 7.5 ± 5.0V	5	—	0.1	—	%
			10	—	0.6	—	
			15	—	0.8	—	
			ZENER DIODE				
ZENER VOLTAGE	V _Z	I _Z = 50μA	—	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R _Z	I _Z = 1mA	—	—	100	—	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

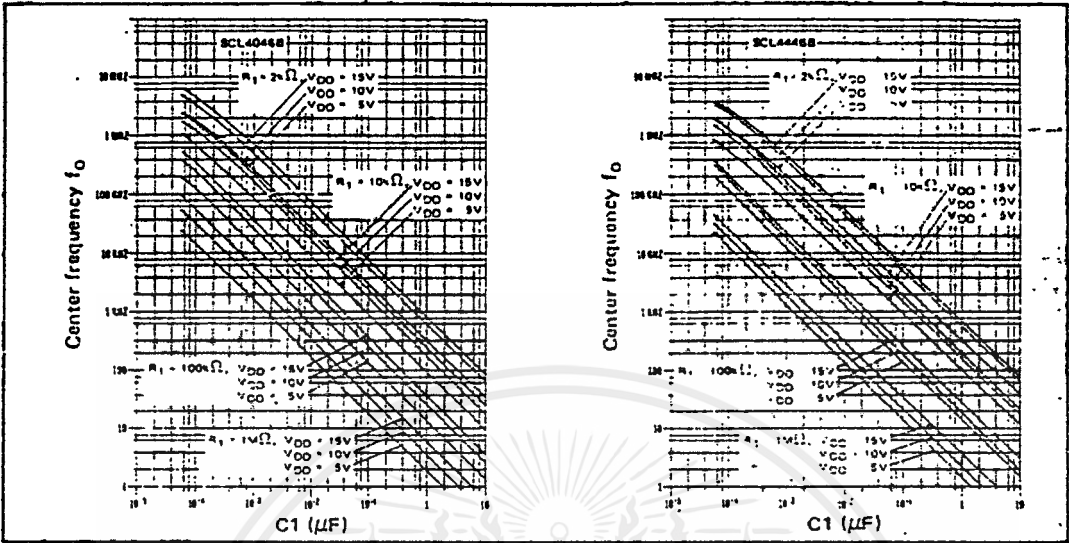


Fig. 5 (a) Typical center frequency (f_0) vs C_1 ($R_2 = \infty$, $V_{COIN} = \frac{V_{DD}}{2}$, $T_A = 25^\circ C$)

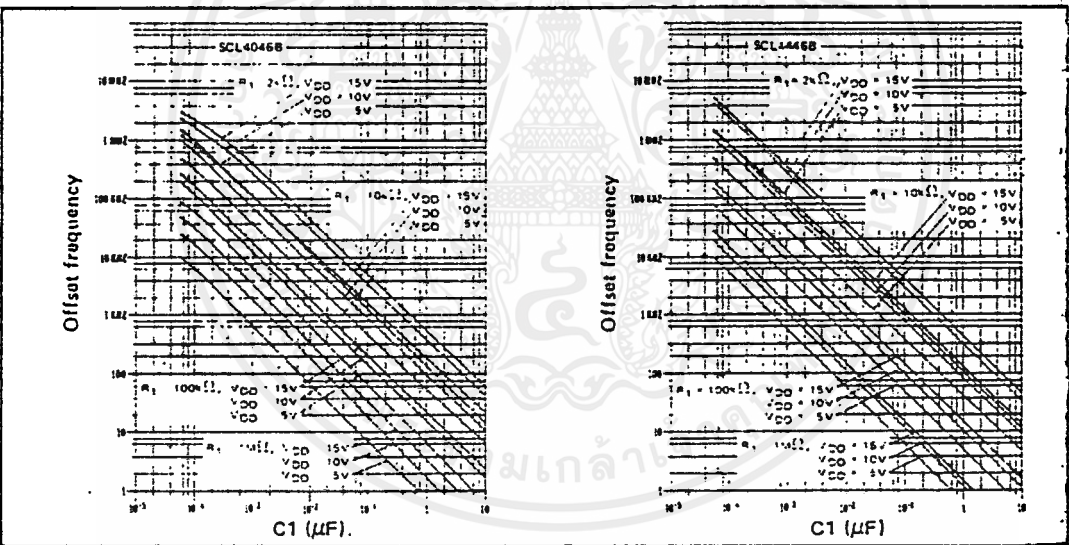


Fig. 5 (b) Typical frequency offset vs C_1 ($V_{COIN} = V_{SS}$, $T_A = 25^\circ C$)

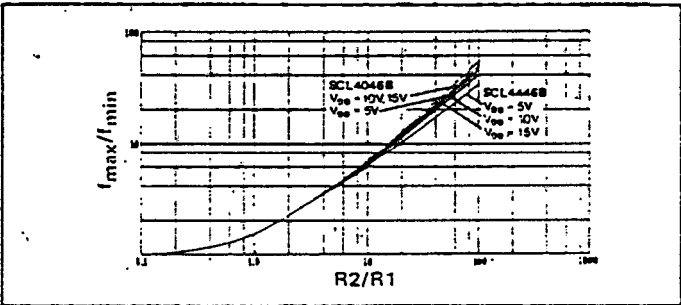


Fig. 5 (c) Typical f_{max}/f_{min} vs R_2/R_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

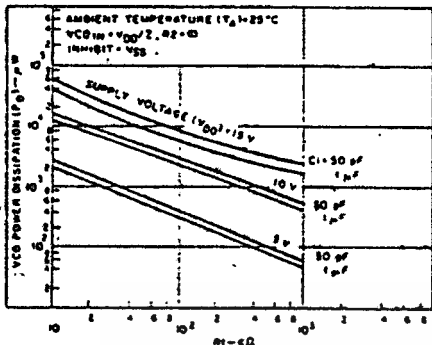


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

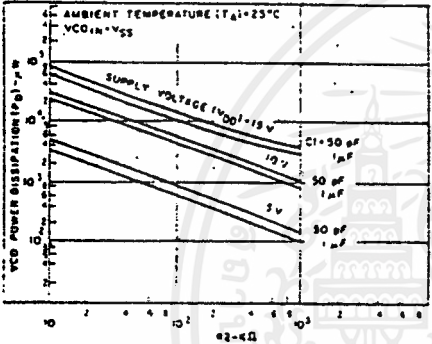


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

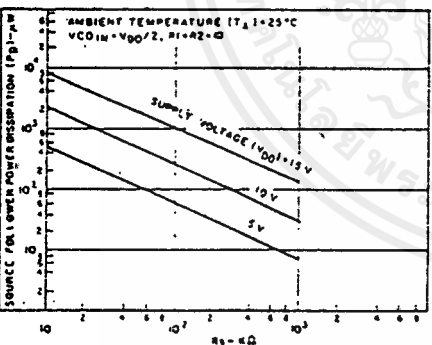


Fig. 6 (c) - Typical source follower power dissipation vs R_S .

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

$$P_D (\text{Total}) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)$$

— Phase Comparator I

$$P_D (\text{Total}) = P_D (f_{MIN})$$

— Phase Comparator II

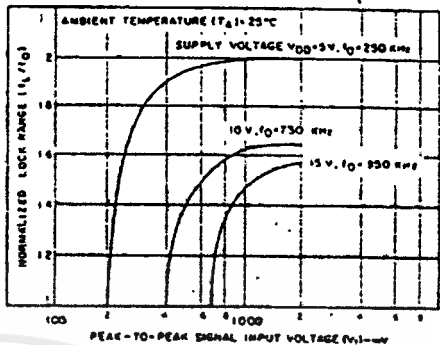


Fig. 7 - Typical lock range vs signal input amplitude

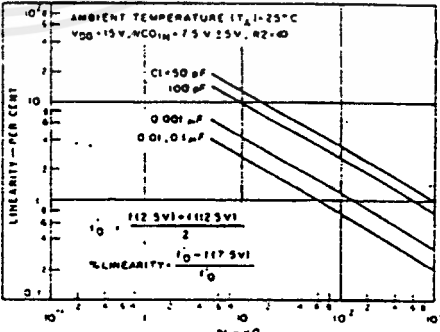
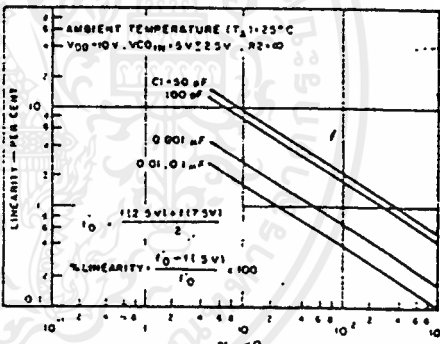


Fig. 8(a, b) - Typical VCO linearity vs R1 and C1

SCL4049UB Inverting SCL4050B Non-Inverting



CMOS HEX BUFFERS/CONVERTERS

FEATURES

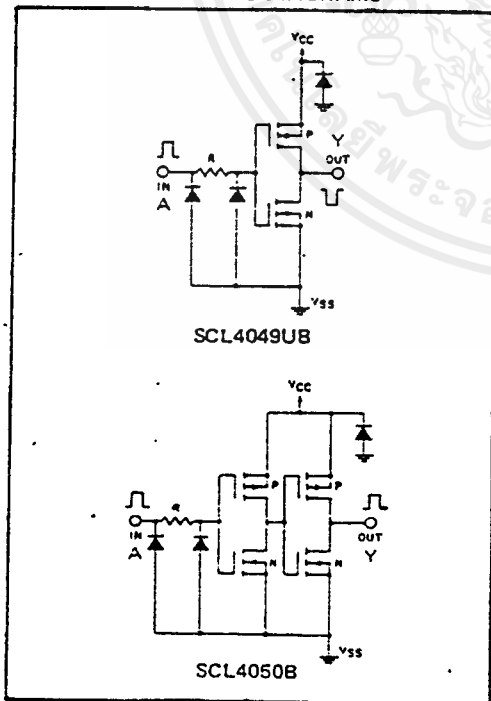
- ◆ Direct Drive of 2 TTL/DTL Loads
- ◆ Operation from Single Supply
- ◆ Pin-for-Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

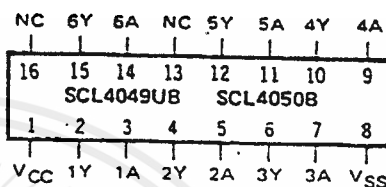
The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

SCHEMATIC DIAGRAMS



CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

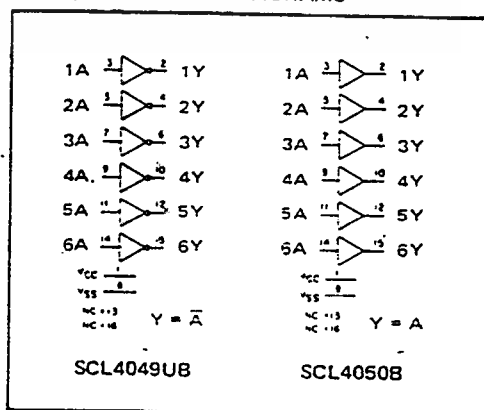
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

LOGIC DIAGRAMS



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,2}

PARAMETER	V _{CC} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{CC}	5 V _{IN} =V _{SS} or V _{DD}	—	1.0	—	0.005	1.0	—	30	μAdc
		10 All valid input combinations	—	2.0	—	0.01	2.0	—	60	
		15	—	4.0	—	0.02	4.0	—	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V _{IH}	5 V _{OL} =0.5V	—	4.0	—	2.75	4.0	—	4.0	Vdc
		10 V _{OL} =1.0V	—	8.0	—	5.5	8.0	—	8.0	
		15 V _{OL} =1.5V	—	12.0	—	8.25	12.0	—	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V _{IL}	5 V _{OH} =3.6V	1.0	—	1.0	2.25	—	1.0	—	Vdc
		10 V _{OH} =7.2V	2.0	—	2.0	4.5	—	2.0	—	
		15 V _{OH} =10.8V	3.0	—	3.0	5.75	—	3.0	—	
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I _{OL}	5 V _{OL} =0.4V	4.0	—	3.2	6.4	—	2.4	—	mAdc
		10 V _{OL} =0.5V	10	—	8.0	16	—	5.6	—	
		15 V _{OL} =1.5V	30	—	24.0	40	—	16.8	—	
		V _{IN} =V _{SS} or V _{DD}								mAdc
		5 V _{OL} =0.4V	3.8	—	3.2	6.4	—	2.6	—	
		10 V _{OL} =0.5V	9.6	—	8.0	16	—	6.4	—	
E device		15 V _{OL} =1.5V	28	—	24.0	40	—	19	—	mAdc
		V _{IN} =V _{SS} or V _{DD}								

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".² T_{LOW} = -55°C for C, D, F, H device.

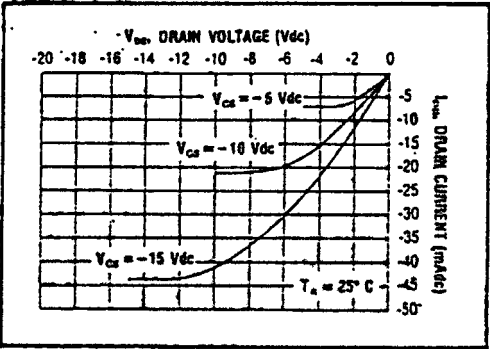
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

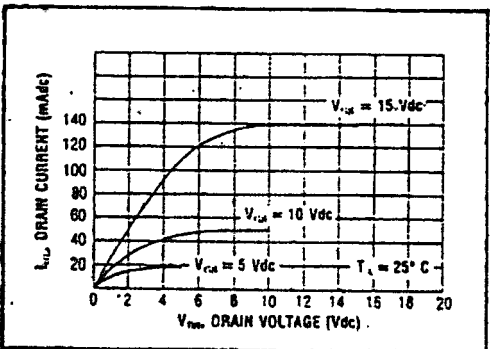
= + 85°C for E device.

³ These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

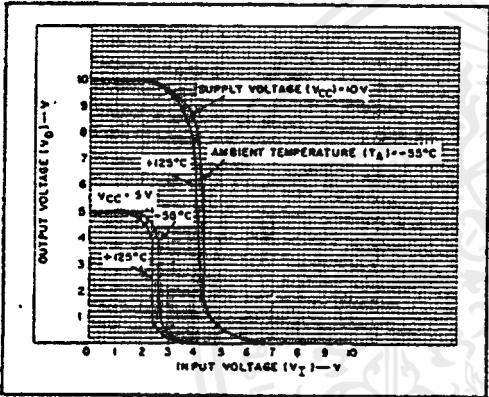
PARAMETER	V _{IN} (Vdc)	V _{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t _{PLH}	5	5	—	60	ns
		10	10	—	32	
		15	15	—	25	
		10	5	—	45	ns
		15	5	—	45	
		15	5	—	45	
SCL4050B	t _{PLH}	5	5	—	70	ns
		10	10	—	40	
		15	15	—	30	
		10	5	—	45	ns
		15	5	—	40	
		15	5	—	40	
SCL4049UB	t _{PML}	5	5	—	32	ns
		10	10	—	20	
		15	15	—	15	
		10	5	—	15	ns
		15	5	—	10	
		15	5	—	10	
SCL4050B	t _{PML}	5	5	—	55	ns
		10	10	—	27	
		15	15	—	15	
		10	5	—	50	ns
		15	5	—	50	
		15	5	—	50	
OUTPUT TRANSITION TIME	t _{CLH}	5	5	—	80	ns
		10	10	—	40	
		15	15	—	30	
	t _{CHL}	5	5	—	30	ns
		10	10	—	20	
		15	15	—	15	
INPUT CAPACITANCE SCL4049UB	C _{IN}	—	—	—	15	22.5 pF



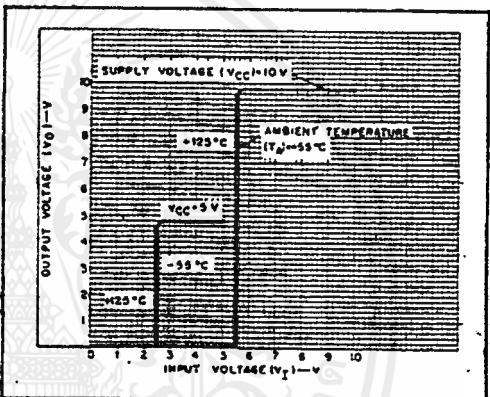
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function
of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function
of temperature for SCL4050B.

SCL4070B



CMOS QUAD EXCLUSIVE-OR GATE

FEATURES

- ◆ Buffered Outputs.
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications
- ◆ Pin Compatible with 4030 types, MC14507, 74C86

DESCRIPTION

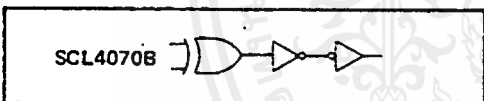
The SCL4070B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-channel and five P-channel enhancement-mode transistors, plus output buffering devices.

TRUTH TABLE
(one of four gates)

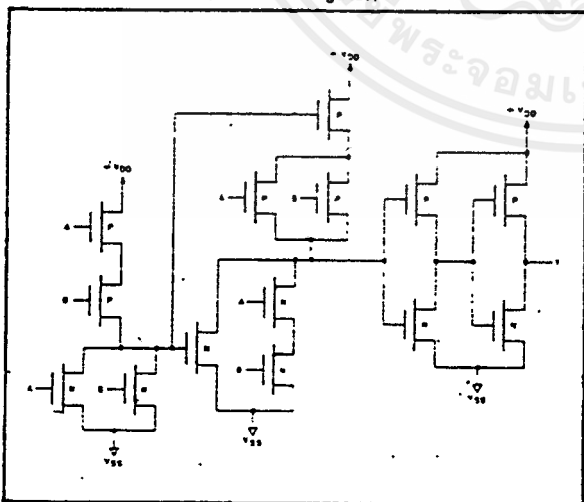
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level
0 = Low Level

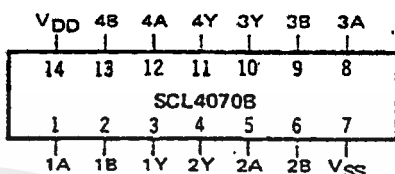
LOGIC DIAGRAM



SCHEMATIC DIAGRAM
(one of four gates)



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

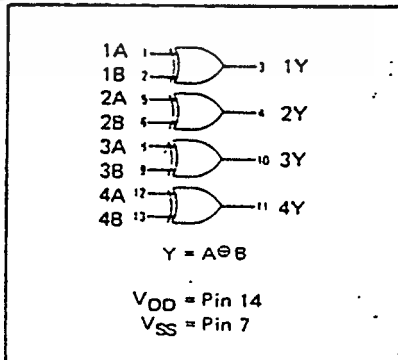
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: The SCL4070B is identical to the SCL4030B; the devices are fully interchangeable in all applications.

FUNCTION DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,2}

PARAMETER	V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ³		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5		0.05	—	0.0005	0.05	—	1.5	μA _{dc}
		10		0.10	—	0.001	0.10	—	3.0	
		All valid input combinations	—	0.20	—	0.002	0.20	—	6.0	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

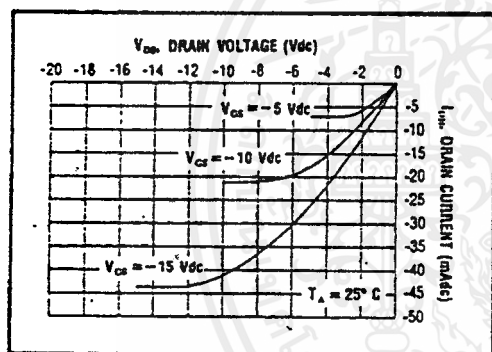
T_{HIGH} = +125°C for C, D, F, H device.

* + 85°C for E device.

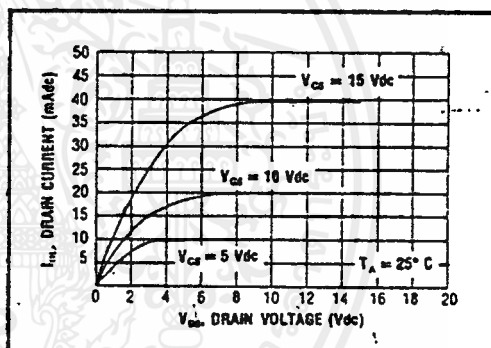
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER		V _{DD} (V _{DC})	Min.	Typ. -	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	175	350	ns
		10	—	70	140	
		15	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	



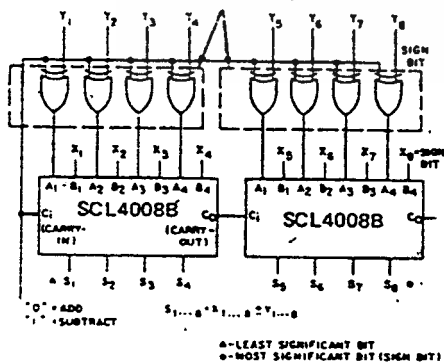
Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

APPLICATIONS INFORMATION
8-BIT TWO'S COMPLEMENT ADDER/SUBTRACTOR

SCL4070B



x_6	x_7	x_8	x_9	x_{10}	x_{11}	x_{12}	x_{13}	x_{14}	x_{15}	x_{16}	x_{17}	x_{18}	x_{19}	x_{20}	x_{21}	x_{22}	x_{23}	x_{24}	x_{25}	x_{26}	x_{27}	x_{28}	x_{29}	x_{30}	x_{31}	x_{32}	x_{33}	x_{34}	x_{35}	x_{36}	x_{37}	x_{38}	x_{39}	x_{40}	x_{41}	x_{42}	x_{43}	x_{44}	x_{45}	x_{46}	x_{47}	x_{48}	x_{49}	x_{50}	x_{51}	x_{52}	x_{53}	x_{54}	x_{55}	x_{56}	x_{57}	x_{58}	x_{59}	x_{60}	x_{61}	x_{62}	x_{63}	x_{64}	x_{65}	x_{66}	x_{67}	x_{68}	x_{69}	x_{70}	x_{71}	x_{72}	x_{73}	x_{74}	x_{75}	x_{76}	x_{77}	x_{78}	x_{79}	x_{80}	x_{81}	x_{82}	x_{83}	x_{84}	x_{85}	x_{86}	x_{87}	x_{88}	x_{89}	x_{90}	x_{91}	x_{92}	x_{93}	x_{94}	x_{95}	x_{96}	x_{97}	x_{98}	x_{99}	x_{100}	x_{101}	x_{102}	x_{103}	x_{104}	x_{105}	x_{106}	x_{107}	x_{108}	x_{109}	x_{110}	x_{111}	x_{112}	x_{113}	x_{114}	x_{115}	x_{116}	x_{117}	x_{118}	x_{119}	x_{120}	x_{121}	x_{122}	x_{123}	x_{124}	x_{125}	x_{126}	x_{127}	x_{128}	x_{129}	x_{130}	x_{131}	x_{132}	x_{133}	x_{134}	x_{135}	x_{136}	x_{137}	x_{138}	x_{139}	x_{140}	x_{141}	x_{142}	x_{143}	x_{144}	x_{145}	x_{146}	x_{147}	x_{148}	x_{149}	x_{150}	x_{151}	x_{152}	x_{153}	x_{154}	x_{155}	x_{156}	x_{157}	x_{158}	x_{159}	x_{160}	x_{161}	x_{162}	x_{163}	x_{164}	x_{165}	x_{166}	x_{167}	x_{168}	x_{169}	x_{170}	x_{171}	x_{172}	x_{173}	x_{174}	x_{175}	x_{176}	x_{177}	x_{178}	x_{179}	x_{180}	x_{181}	x_{182}	x_{183}	x_{184}	x_{185}	x_{186}	x_{187}	x_{188}	x_{189}	x_{190}	x_{191}	x_{192}	x_{193}	x_{194}	x_{195}	x_{196}	x_{197}	x_{198}	x_{199}	x_{200}	x_{201}	x_{202}	x_{203}	x_{204}	x_{205}	x_{206}	x_{207}	x_{208}	x_{209}	x_{210}	x_{211}	x_{212}	x_{213}	x_{214}	x_{215}	x_{216}	x_{217}	x_{218}	x_{219}	x_{220}	x_{221}	x_{222}	x_{223}	x_{224}	x_{225}	x_{226}	x_{227}	x_{228}	x_{229}	x_{230}	x_{231}	x_{232}	x_{233}	x_{234}	x_{235}	x_{236}	x_{237}	x_{238}	x_{239}	x_{240}	x_{241}	x_{242}	x_{243}	x_{244}	x_{245}	x_{246}	x_{247}	x_{248}	x_{249}	x_{250}	x_{251}	x_{252}	x_{253}	x_{254}	x_{255}	x_{256}	x_{257}	x_{258}	x_{259}	x_{260}	x_{261}	x_{262}	x_{263}	x_{264}	x_{265}	x_{266}	x_{267}	x_{268}	x_{269}	x_{270}	x_{271}	x_{272}	x_{273}	x_{274}	x_{275}	x_{276}	x_{277}	x_{278}	x_{279}	x_{280}	x_{281}	x_{282}	x_{283}	x_{284}	x_{285}	x_{286}	x_{287}	x_{288}	x_{289}	x_{290}	x_{291}	x_{292}	x_{293}	x_{294}	x_{295}	x_{296}	x_{297}	x_{298}	x_{299}	x_{300}	x_{301}	x_{302}	x_{303}	x_{304}	x_{305}	x_{306}	x_{307}	x_{308}	x_{309}	x_{310}	x_{311}	x_{312}	x_{313}	x_{314}	x_{315}	x_{316}	x_{317}	x_{318}	x_{319}	x_{320}	x_{321}	x_{322}	x_{323}	x_{324}	x_{325}	x_{326}	x_{327}	x_{328}	x_{329}	x_{330}	x_{331}	x_{332}	x_{333}	x_{334}	x_{335}	x_{336}	x_{337}	x_{338}	x_{339}	x_{340}	x_{341}	x_{342}	x_{343}	x_{344}	x_{345}	x_{346}	x_{347}	x_{348}	x_{349}	x_{350}	x_{351}	x_{352}	x_{353}	x_{354}	x_{355}	x_{356}	x_{357}	x_{358}	x_{359}	x_{360}	x_{361}	x_{362}	x_{363}	x_{364}	x_{365}	x_{366}	x_{367}	x_{368}	x_{369}	x_{370}	x_{371}	x_{372}	x_{373}	x_{374}	x_{375}	x_{376}	x_{377}	x_{378}	x_{379}	x_{380}	x_{381}	x_{382}	x_{383}	x_{384}	x_{385}	x_{386}	x_{387}	x_{388}	x_{389}	x_{390}	x_{391}	x_{392}	x_{393}	x_{394}	x_{395}	x_{396}	x_{397}	x_{398}	x_{399}	x_{400}	x_{401}	x_{402}	x_{403}	x_{404}	x_{405}	x_{406}	x_{407}	x_{408}	x_{409}	x_{410}	x_{411}	x_{412}	x_{413}	x_{414}	x_{415}	x_{416}	x_{417}	x_{418}	x_{419}	x_{420}	x_{421}	x_{422}	x_{423}	x_{424}	x_{425}	x_{426}	x_{427}	x_{428}	x_{429}	x_{430}	x_{431}	x_{432}	x_{433}	x_{434}	x_{435}	x_{436}	x_{437}	x_{438}	x_{439}	x_{440}	x_{441}	x_{442}	x_{443}	x_{444}	x_{445}	x_{446}	x_{447}	x_{448}	x_{449}	x_{450}	x_{451}	x_{452}	x_{453}	x_{454}	x_{455}	x_{456}	x_{457}	x_{458}	x_{459}	x_{460}	x_{461}	x_{462}	x_{463}	x_{464}	x_{465}	x_{466}	x_{467}	x_{468}	x_{469}	x_{470}	x_{471}	x_{472}	x_{473}	x_{474}	x_{475}	x_{476}	x_{477}	x_{478}	x_{479}	x_{480}	x_{481}	x_{482}	x_{483}	x_{484}	x_{485}	x_{486}	x_{487}	x_{488}	x_{489}	x_{490}	x_{491}	x_{492}	x_{493}	x_{494}	x_{495}	x_{496}	x_{497}	x_{498}	x_{499}	x_{500}	x_{501}	x_{502}	x_{503}	x_{504}	x_{505}	x_{506}	x_{507}	x_{508}	x_{509}	x_{510}	x_{511}	x_{512}	x_{513}	x_{514}	x_{515}	x_{516}	x_{517}	x_{518}	x_{519}	x_{520}	x_{521}	x_{522}	x_{523}	x_{524}	x_{525}	x_{526}	x_{527}	x_{528}	x_{529}	x_{530}	x_{531}	x_{532}	x_{533}	x_{534}	x_{535}	x_{536}	x_{537}	x_{538}	x_{539}	x_{540}	x_{541}	x_{542}	x_{543}	x_{544}	x_{545}	x_{546}	x_{547}	x_{548}	x_{549}	x_{550}	x_{551}	x_{552}	x_{553}	x_{554}	x_{555}	x_{556}	x_{557}	x_{558}	x_{559}	x_{560}	x_{561}	x_{562}	x_{563}	x_{564}	x_{565}	x_{566}	x_{567}	x_{568}	x_{569}	x_{570}	x_{571}	x_{572}	x_{573}	x_{574}	x_{575}	x_{576}	x_{577}	x_{578}	x_{579}	x_{580}	x_{581}	x_{582}	x_{583}	x_{584}	x_{585}	x_{586}	x_{587}	x_{588}	x_{589}	x_{590}	x_{591}	x_{592}	x_{593}	x_{594}	x_{595}	x_{596}	x_{597}	x_{598}	x_{599}	x_{600}	x_{601}	x_{602}	x_{603}	x_{604}	x_{605}	x_{606}	x_{607}	x_{608}	x_{609}	x_{610}	x_{611}	x_{612}	x_{613}	x_{614}	x_{615}	x_{616}	x_{617}	x_{618}	x_{619}	x_{620}	x_{621}	x_{622}	x_{623}	x_{624}	x_{625}	x_{626}	x_{627}	x_{628}	x_{629}	x_{630}	x_{631}	x_{632}	x_{633}	x_{634}	x_{635}	x_{636}	x_{637}	x_{638}	x_{639}	x_{640}	x_{641}	x_{642}	x_{643}	x_{644}	x_{645}	x_{646}	x_{647}	x_{648}	x_{649}	x_{650}	x_{651}	x_{652}	x_{653}	x_{654}	x_{655}	x_{656}	x_{657}	x_{658}	x_{659}	x_{660}	x_{661}	x_{662}	x_{663}	x_{664}	x_{665}	x_{666}	x_{667}	x_{668}	x_{669}	x_{670}	x_{671}	x_{672}	x_{673}	x_{674}	x_{675}	x_{676}	x_{677}	x_{678}	x_{679}	x_{680}	x_{681}	x_{682}	x_{683}	x_{684}	x_{685}	x_{686}	x_{687}	x_{688}	x_{689}	x_{690}	x_{691}	x_{692}	x_{693}	x_{694}	x_{695}	x_{696}	x_{697}	x_{698}	x_{699}	x_{700}	x_{701}	x_{702}	x_{703}	x_{704}	x_{705}	x_{706}	x_{707}	x_{708}	x_{709}	x_{710}	x_{711}	x_{712}	x_{713}	x_{714}	x_{715}	x_{716}	x_{717}	x_{718}	x_{719}	x_{720}	x_{721}	x_{722}	x_{723}	x_{724}	x_{725}	x_{726}	x_{727}	x_{728}	x_{729}	x_{730}	x_{731}	x_{732}	x_{733}	x_{734}	x_{735}	x_{736}	x_{737}	x_{738}	x_{739}	x_{740}	x_{741}	x_{742}	x_{743}	x_{744}	x_{745}	x_{746}	x_{747}	x_{748}	x_{749}	x_{750}	x_{751}	x_{752}	x_{753}	x_{754}	x_{755}	x_{756}	x_{757}	x_{758}	x_{759}	x_{760}	x_{761}	x_{762}	x_{763}	x_{764}	x_{765}	x_{766}	x_{767}	x_{768}	x_{769}	x_{770}	x_{771}	x_{772}	x_{773}	x_{774}	x_{775}	x_{776}	x_{777}	x_{778}	x_{779}	x_{780}	x_{781}	x_{782}	x_{783}	x_{784}	x_{785}	x_{786}	x_{787}	x_{788}	x_{789}	x_{790}	x_{791}	x_{792}	x_{793}	x_{794}	x_{795}	x_{796}	x_{797}	x_{798}	x_{799}	x_{800}	x_{801}	x_{802}	x_{803}	x_{804}	x_{805}	x_{806}	x_{807}	x_{808}	x_{809}	x_{810}	x_{811}	x_{812}	x_{813}	x_{814}	x_{815}	x_{816}	x_{817}	x_{818}	x_{819}	x_{820}	x_{821}	x_{822}	x_{823}	x_{824}	x_{825}	x_{826}	x_{827}	x_{828}	x_{829}	x_{830}	x_{831}	x_{832}	x_{833}	x_{834}	x_{835}	x_{836}	x_{837}	x_{838}	x_{839}	x_{840}	x_{841}	x_{842}	x_{843}	x_{844}	x_{845}	x_{846}	x_{847}	x_{848}	x_{849}	x_{850}	x_{851}	x_{852}	x_{853}	x_{854}	x_{855}	x_{856}	x_{857}	x_{858}	x_{859}	x_{860}	x_{861}	x_{862}	x_{863}	x_{864}	x_{865}	x_{866}	x_{867}	x_{868}	x_{869}	x_{870}	x_{871}	x_{872}	x_{873}	x_{874}	x_{875}	x_{876}	x_{877}	x_{878}	x_{879}	x_{880}	x_{881}	x_{882}	x_{883}	x_{884}	x_{885}	x_{886}	x_{887}	x_{888}	x_{889}	x_{890}	x_{891}	x_{892}	x_{893}	x_{894}	x_{895}	x_{896}	x_{897}	x_{898}	x_{899}	x_{900}	x_{901}	x_{902}	x_{903}	x_{904}	x_{905}	x_{906}	x_{907}	x_{908}	x_{909}	x_{910}	x_{911}	x_{912}	x_{913}	x_{914}	x_{915}	x_{916}	x_{917}	x_{918}	x_{919}	x_{920}	x_{921}	x_{922}	x_{923}	x_{924}	x_{925}	x_{926}	x_{927}	x_{928}	x_{929}	x_{930}	x_{931}	x_{932}	x_{933}	x_{934}	x_{935}	x_{936}	x_{937}	x_{938}	x_{939}	x_{940}	x_{941}	x_{942}	x_{943}	x_{944}	x_{945}	x_{946}	x_{947}	x_{948}	x_{949}	x_{950}	x_{951}	x_{952}	x_{953}	x_{954}	x_{955}	x_{956}	x_{957}	x_{958}	x_{959}	x_{960}	x_{961}	x_{962}	x_{963}	x_{964}	x_{965} </
-------	-------	-------	-------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	--------------

Two's complement numbers and their equivalent decimal values

SCL4518B SCL4520B



CMOS DUAL UP COUNTERS

FEATURES

- ◆ Two Independent 4-Bit Counters
- ◆ Internally Synchronous for High Speed
- ◆ Dual BCD (SCL4518B) and Dual Binary (SCL4520B) Configurations
- ◆ Direct Reset
- ◆ Logic Edge-Clocked Design
- ◆ Trigger from either Edge of Clock Signal
- ◆ Static Operation— DC to 5MHz @ 10Vdc

DESCRIPTION

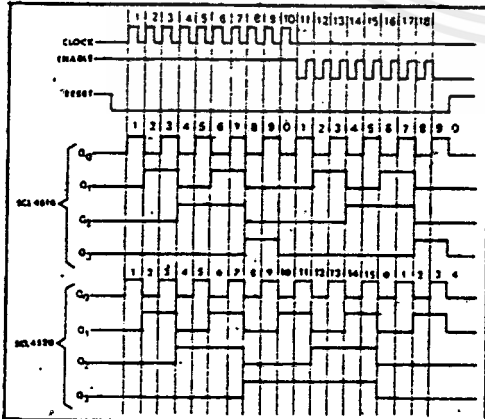
The SCL4518B Dual BCD Counter and the SCL4520B Dual Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type-D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the SCL4518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity.

TRUTH TABLE.

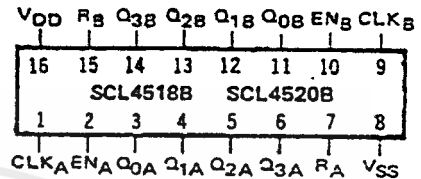
CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
	X	0	No Change
X		0	No Change
	0	0	No Change
1		0	No Change
X	X	0	No Change
X	X	1	Q0 thru Q3 = 0

X = Don't Care

TIMING DIAGRAM



CONNECTION DIAGRAM (all packages)



Add suffix for package:

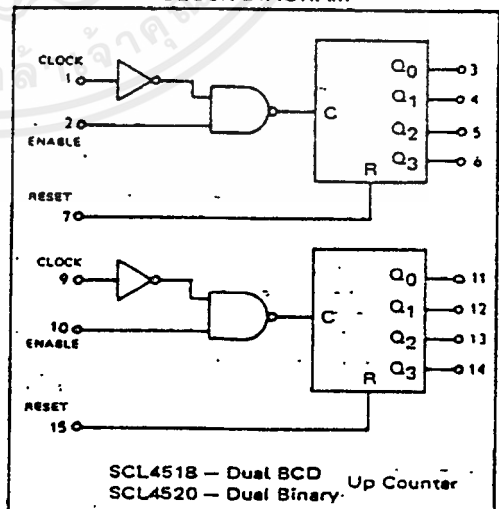
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

BLOCK DIAGRAM



SCL4518 — Dual BCD
SCL4520 — Dual Binary Up Counter

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

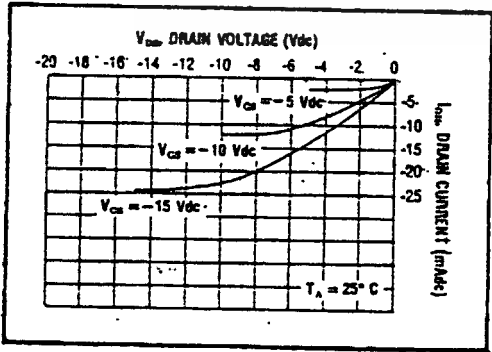
PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ¹		+25°C			T _{HIGH} ¹		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} = V _{DD} or V _{DD} All valid input combinations	—	5	—	0.05	5	—	150	μAdc
			—	10	—	0.1	10	—	300	
			—	20	—	0.2	20	—	600	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
T_{LOW} = -55°C for C, D, F, H Device.
 = -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
 = +85°C for E device.

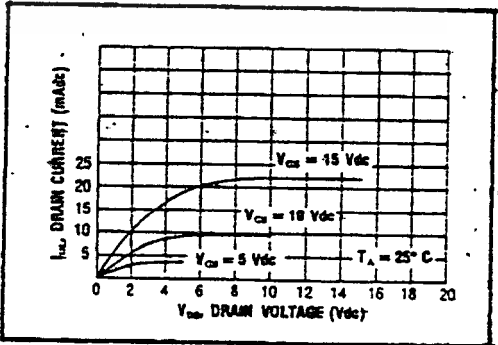
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION					
PROPAGATION DELAY TIME From Clock or Clock Enable	t _{PLH, t_{MHL}}	5 10 15	— — —	225 100 80	450 200 180 ns
OUTPUT TRANSITION TIME	t _{PLH, t_{MHL}}	5 10 15	— — —	130 65 50	260 130 100 ns
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5 10 15	— — —	120 50 40	240 100 80 ns
MINIMUM CLOCK ENABLE PULSE WIDTH	PW _{CE}	5 10 15	— — —	200 90 75	400 180 150 ns
MAXIMUM CLOCK FREQUENCY	f _{CL}	5 10 15	1.0 2.5 3.0	2.0 5.0 6.0	— — — MHz
MAXIMUM CLOCK OR CLOCK ENABLE RISE & FALL TIME ¹	t _{CL, t_{CLE}}	5 10 15	15 5 3	— — —	— — — μs
RESET OPERATION					
PROPAGATION DELAY TIME	t _{PRL}	5 10 15	— — —	225 100 80	450 200 180 ns
MINIMUM RESET PULSE WIDTH	PW _R	5 10 15	— — —	120 50 40	240 100 80 ns
RESET REMOVAL TIME	t _{rem}	5 10 15	— — —	100 50 40	200 100 80 ns

¹ When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



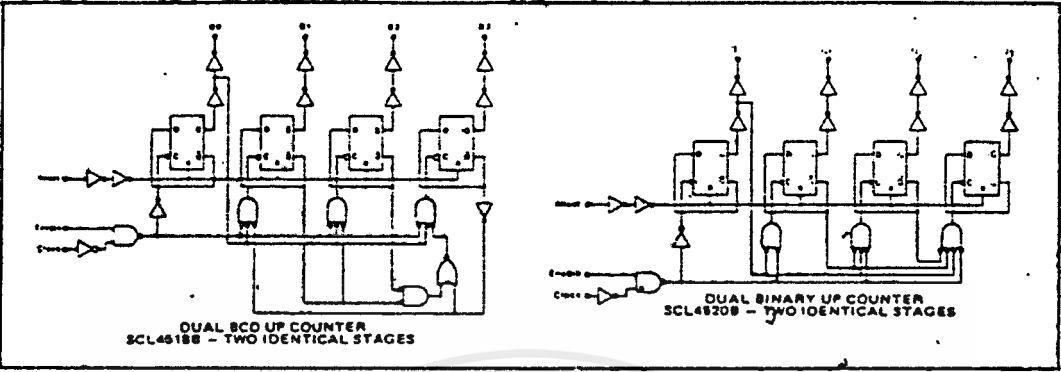
Typical P-Channel
Source Current Characteristics



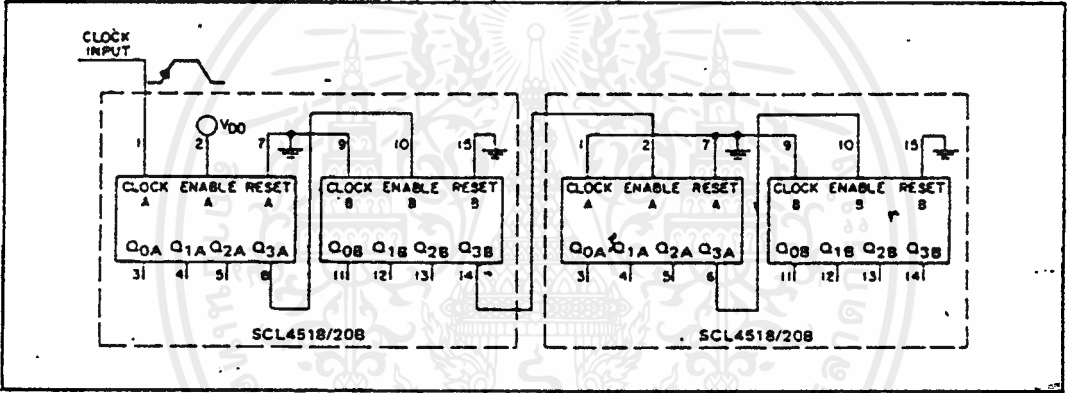
Typical N-Channel
Sink Current Characteristics

SCL4518B, SCL4520B

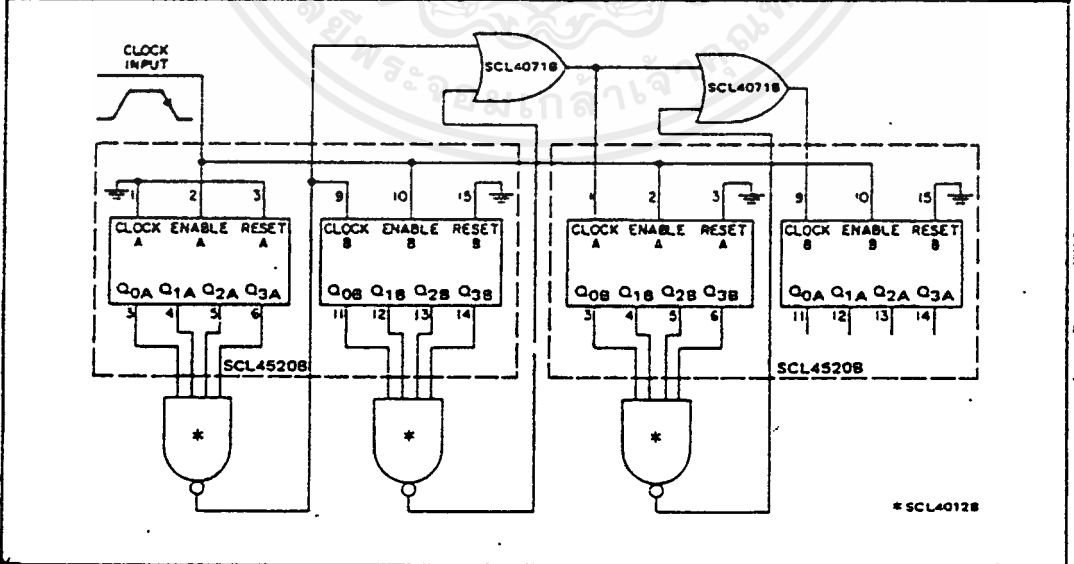
LOGIC DIAGRAMS



APPLICATIONS INFORMATION



Ripple cascading of four counters with positive-edge triggering.



Synchronous cascading of four binary counters with negative-edge triggering.

SCL4522B, SCL4526B Preliminary



CMOS PROGRAMMABLE DOWN COUNTERS

FEATURES

- ◆ Internally Synchronous for High Speed
- ◆ BCD Decade (SCL4522B) or 4-Bit Binary (SCL4526B) Down Counters
- ◆ Asynchronous Preset Enable
- ◆ Asynchronous Reset
- ◆ Cascadable
- ◆ Logic Edge-Clocked Design
- ◆ Static Operation — DC to 5MHz @ 10Vdc
- ◆ Trigger from Either Edge of Clock Input
- ◆ Balanced Output Drive Current Specifications

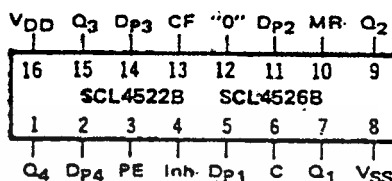
DESCRIPTION

The SCL4522B BCD Counter and the SCL4526B Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure.

These devices are programmable, cascadable down counters with a decoded "0" state output for divide-by-N applications. In single stage applications the "0" output is applied to the Preset Enable input. The Cascade Feedback input allows cascade divide-by-N operation with no additional gates required. The Master Reset function provides synchronous initiation of divide-by-N cycles. The Clock Inhibit input allows disabling of the pulse counting function.

These complementary MOS counters can be used in frequency synthesizers, phase-locked loops, and other frequency division applications requiring low power dissipation and/or high noise immunity.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

TRUTH TABLES

Both Types

Clock	Inhibit	Preset Enable	Master Reset	Action
0	0	0	0	No Count
1	0	0	0	Count 1
1	1	0	0	No Count
1	1	1	0	Count 1
1	1	1	1	Preset
1	1	1	1	Reset

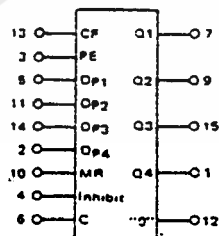
SCL4522B

Count	Output			
	Q4	Q3	Q2	Q1
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1
0	0	0	0	0

SCL4526B

Count	Output			
	Q4	Q3	Q2	Q1
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1
0	0	0	0	0

BLOCK DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,3}

PARAMETER	V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	—	5	—	0.05	5	—	150	μA _{dc}
	.5		—	10	—	0.1	10	—	300	
	10		—	20	—	0.2	20	—	500	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (V _{dc})	Min.	Typ.	Max.	Units
CLOCKED OPERATION					
PROPAGATION DELAY TIME Clock or Inhibit to Q	t _{PLH, tPHL}	5	—	415	ns
		10	—	160	
		15	—	120	
		5	—	175	ns
		10	—	125	
		15	—	100	
OUTPUT TRANSITION TIME	t _{PLH, tPHL}	5	—	100	ns
		10	—	50	
		15	—	40	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	125	ns
		10	—	50	
		15	—	40	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	1.5	2.0	MHz
		10	3.0	5.0	
		15	4.0	6.6	
MAXIMUM CLOCK OR INHIBIT RISE AND FALL TIME ¹	t _{CL, tFCL}	.5	15	—	μs
		10	15	—	
		15	15	—	
PRESET OPERATION					
PROPAGATION DELAY TIME PE to Q	t _{PLH, tPHL}	5	—	415	ns
		10	—	160	
		15	—	120	
		5	—	175	ns
		10	—	125	
		15	—	100	
MINIMUM PRESET ENABLE PULSE WIDTH	PW _{pe}	5	—	125	ns
		10	—	50	
		15	—	40	
MINIMUM DATA INPUT HOLD TIME	t _{hold}	5	—	75	ns
		10	—	25	
		15	—	20	
RESET OPERATION					
PROPAGATION DELAY TIME MR to Q	t _{PHL}	5	—	415	ns
		10	—	160	
		15	—	120	
	t _{PLH}	5	—	175	ns
		10	—	125	
		15	—	100	
MINIMUM MASTER RESET PULSE WIDTH	PW _{MR}	5	—	150	ns
		10	—	125	
		15	—	100	

¹ When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
T.I.	SN6432	J0	WC				SN54LS32	J0	WD	SN5432	J0	WD			
	SN7432	J0	WD				SN74LS32	J0	WD	SN7432	J0	WD			
FAIRCHILD	F0432/F0532	D9	PD				F04LS2/F05LS2	D9	PD	F0432/F0532	OD	PD			
	FC432/FC532	D9	PD				FC4LS2/FC5LS2	D9	PD	FC432/FC532	OD	PD			
MOTOROLA															
N.S.C.							SN74LS32	P0		DM5432	J0	WD	DM54LS32		
							DM74LS32	P0		DM7432	J0	WD	DM74LS32		
PHILIPS															
	N7432	J0					N74LS32	J0		N7432	J0				
SIGNETICS										SN7432	J0				
										SN74LS32	J0				
SIEMENS										6N432	F0	WD			
										6N4LS2	F0	WD			
FLUITSU										FLN631	J0				
HITACHI							74LS32	WD							
MITSUBISHI							HD74LS32	P0		HD7432	J0	PD			
							HD74LS32	P0							
NEC							74LS32	CO							
TOSHIBA															

Electrical Characteristics SN54LS32/SN74LS32

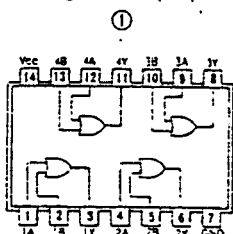
absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS -55°C to 125°C
Load voltage	7V	Storage temperature range	SN74LS -65°C to 150°C
recommended operating conditions 100% RH			
	MIN	NOM	MAX
Supply voltage, V_{CC}	4.5	5	5.5
Input current, I_{IH}	-1	0	1
Low-level input current, I_{IL}	-1	0	1
Output current, I_{OL}	-10	0	10
Operating free-air temperature, T_A	-55	125	150

electrical characteristics over recommended operating free-air temperature range

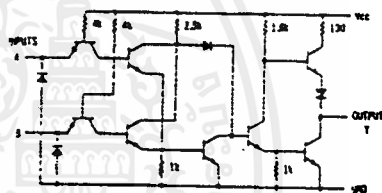
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage			2		V
V_{IL} Low-level input voltage				0.8	V
V_i Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_i = -1 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IL} = 2 \text{ V}$, $I_{OH} = \text{MAX.}$	2.7	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = V_{IL} \text{ max.}$, $I_{OL} = 4 \text{ mA}$	0.25	0.4		V
I_i Input current at maximum input voltage	$V_{CC} = \text{MAX.}$, $V_i = 7 \text{ V}$			0.1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}$, $V_{IH} = 2.7 \text{ V}$			20	μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}$, $V_{IL} = 0.4 \text{ V}$			-0.4	mA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX.}$, 54LS Family -20, 74LS Family -25			-100	mA
I_{CCH} Supply current	$V_{CC} = \text{MAX.}$, Total, outputs high		3.1	5.2	mA
I_{CCL} Supply current	$V_{CC} = \text{MAX.}$, Total, outputs low		4.9	9.8	mA
I_{CC} Supply current	$V_{CC} = 5 \text{ V}$, Average per gate (50% duty cycle)		1.3		mA
t_{PLH} Propagation delay time, low-to-high-level output	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$, $C_L = 150 \text{ pF}$, $R_L = 2 \text{ k}\Omega$		14	22	ns
t_{PHL} Propagation delay time, high-to-low-level output			14	22	ns

Pin Assignment (Top View)

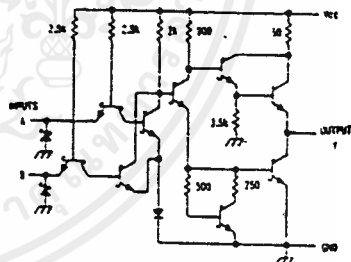


positive logic:
 $Y = A + B$

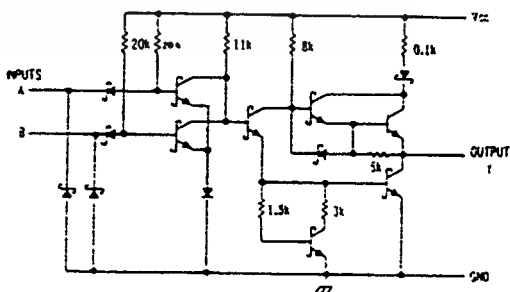
Schematics (each gate)



5432 CIRCUIT



7432 CIRCUIT



Resistor values shown are nominal and in ohms.

For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
T.I.	SN54S74	J	D	WD	SN54H74	J	D	WD	SN54LS74	J	D	WD	SN5474	J	D	WD	SN54L74	J	D	WD
FAIRCHILD	FM54S74/FM54S74D	J	D	WD	FM54H74/FM54H74D	J	D	WD	FM54LS74/FM54LS74D	J	D	WD	FM5474/FM5474D	J	D	WD	FM54L74/FM54L74D	J	D	WD
	FC74S74/FC74S74D	J	D	WD	FC74H74/FC74H74D	J	D	WD	FC74LS74/FC74LS74D	J	D	WD	FC7474/FC7474D	J	D	WD	FC74L74/FC74L74D	J	D	WD
MOTOROLA																				
N.S.C.	DM74S74	J	D	WD	DM74H74	J	D	WD	DM74LS74	J	D	WD	DM7474	J	D	WD	DM74L74	J	D	WD
PHILIPS	N74S74	J	D	WD	011131/74H74	J	D	WD	N74LS74	J	D	WD	F1131/7474	J	D	WD				
SIGNETICS	SS4S74	J	D	WD	SS4H74	J	D	WD					SS474	J	D	WD				
	N74S74	J	D	WD	N74H74	J	D	WD	N74LS74	J	D	WD	N7474	J	D	WD				
SIEMENS																				
FUJITSU																				
HITACHI	HO74S74	J	D	WD					HO74LS74	J	D	WD	HO7474/HO74S18	J	D	WD				
MITSUBISHI	MJ1674	J	D	WD					M74LS74	J	D	WD	M5327/M5374	J	D	WD				
NEC	74S74	J	D	WD					74LS74	J	D	WD	μPB214	J	D	WD				
TOSHIBA													TD3474A	J	D	WD				

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	TV	Operating power	SN54LS	-40°C to +125°C
Input voltage	1.5V	Storage power	SN74LS	-55°C to +150°C

recommended operating conditions

PARAMETER	TEST CONDITIONS	SN54LS74		SN74LS74		UNIT
		MIN	MAX	MIN	MAX	
Supply voltage, V_{CC}		4.5	5.5	4.75	5.25	V
High-level output current, I_{OH}			-40		-40	mA
Low-level output current, I_{OL}			40		40	mA
Input current, I_i	Clear high	25	25	25	25	μA
	Preset or clock low	25	25	25	25	μA
	High-level output	25	25	25	25	μA
	Low-level output	25	25	25	25	μA
Input rise time, t_{ri}		5	5	5	5	ns
Storage power, P_D		-15	15	0	0	mW

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_i = -1.6 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{OL} = 0.4 \text{ V}$, $I_{OH} = \text{MAX}$	2.7	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{OL} = 0.4 \text{ V}$, $I_{OL} = 4 \text{ mA}$	0.25	0.4		V
I_i Input current at maximum input voltage	Clear, J, K, Preset, Clock			2.2	μA
I_{IH} High-level input current	Clear, Preset, Clock			2.2	μA
I_{IL} Low-level input current	Clear, Preset, Clock			2.2	μA
I_{OS} Short-circuit output current	Series 54LS, Series 74LS, $V_{CC} = \text{MAX}$	-70		70	mA
I_{CC} Supply current (Average per flip-flop)	$V_{CC} = \text{MAX}$, See Note 1	4	5		mA
f clock frequency	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_L = 150 \text{ pF}$, $R_L = 2 \text{ k}\Omega$	25	33		MHz
t_{PLH} Propagation delay time, low-to-high			13	25	ns
t_{PHL} Propagation delay time, high-to-low			25	40	ns

1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

2 All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.

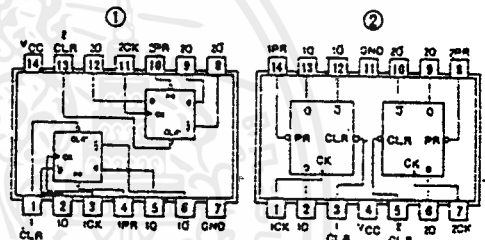
3 Not more than one output should be shorted at a time.

4 t_{PLH} = propagation delay time, low-to-high-level output.

5 t_{PHL} = propagation delay time, high-to-low-level output.

6 The arrow indicate the edge of the clock pulse used for reference; * for the rising edge.

Pin Assignments (Top View)

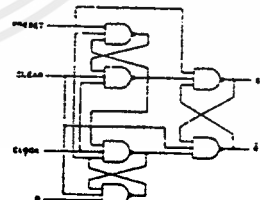


Functional Table

74, 7474, LS74, 7474 (See Note 2)

INPUTS			OUTPUTS	
PRESET	CLEAR	CLOCK	Q	Q-bar
L	H	X	X	H
H	L	X	X	L
L	L	X	X	H*
H	H	↑	H	L
H	H	↑	L	H
H	H	L	X	Q ₀

Functional Block Diagram



74, 7474, LS74, 7474 DUAL D-TYPE FLIP-FLOP WITH CLEAR AND PRESET

- NOTES: 1 With all outputs open, I_{CC} is measured with the Q and Q-bar outputs high in turn. At the time of measurement, the clock input is grounded.
2 H=high level (steady state), L=low level (steady state), X=irrelevant
↑ = transition from low to high level
Q₀ = the level of Q before the indicated input conditions were established.
* This configuration is nonstatic; that is, it may not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486/ 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
T.J.	SN54S86	UQ	MC				SN54LS86	UQ	MC	SN5486	UQ	MC	SN54LS86	UQ	MC
	SN74S86	UQ	MC				SN74LS86	UQ	MC	SN7486	UQ	MC	SN74LS86	UQ	MC
FAIRCHILD	FMS486/FMS86	951	95				FMS4LS86/FMSLS86	951	95	FMS486/FMS86	951	95	FMS4LS86/FMSLS86	951	95
MOTOROLA							MC74LS86	951	95	MC7486	951	95			
N.S.C.	DM74S86	951	95				DM74LS86	951	95	DM7486	951	95	DM74LS86	951	95
PHILIPS	N74S86						N74LS86			N7486			N74LS86		
SIGNETICS	SM5486						SM74LS86			SM7486					
SIEMENS															
FUJITSU															
HITACHI	HD74S86						HD74LS86			HD7486/HD74S86					
MITSUBISHI							M74LS86			M53286					
NEC							74LS86			7PB2086					
TOSHIBA										TQ7486					

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	5V	Operating free-air temperature range	SN54LS: -55°C to 125°C SN74LS: 0°C to 70°C
Input voltage	5V	Storage temperature range	-55°C to 150°C

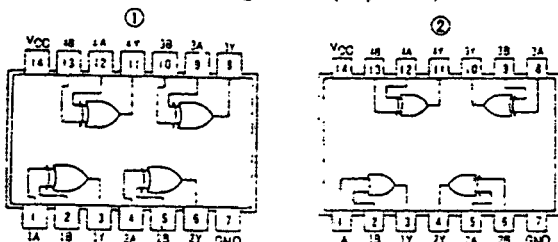
recommended operating conditions

	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	mA
Low-level output current, I_{OL}			1			81	mA
Operating free-air temperature, T_A	-55	125	0	70			°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	SN74LS86	UNIT
V_{IH} High-level input voltage		2	V
V_{IL} Low-level input voltage		0.8	V
V_I Input clamp voltage	$V_{CC} = V_{IH}$, $I_I = -16$ mA	-1.5	V
V_{OH} High-level output voltage	$V_{CC} = V_{IH}$, $V_{IH} = 2V$, $V_{IL} = V_{IL}$ max, $I_{OH} = -400$ μ A	2.7 3.4	V
V_{OL} Low-level output voltage	$V_{CC} = V_{IH}$, $I_{OL} = 4$ mA	0.25 0.4	V
I_I Input current at maximum input voltage	$V_{IL} = V_{IL}$ max, $I_{OL} = 4$ mA	3.33 3.5	mA
I_{IH} High-level input current	$V_{CC} = V_{MAX}$, $V_I = 7V$	3.2	mA
I_{IL} Low-level input current	$V_{CC} = V_{MAX}$, $V_I = 0.7V$	40	μ A
I_{OS} Short-circuit output current	$V_{CC} = V_{MAX}$, $V_I = 3.4V$	-0.81	mA
I_{CC} Supply current	$V_{CC} = V_{MAX}$, See Note 2	5.1 10	mA
t_{PLH} from A or B	$V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 150$ pF, $R_L = 2k\Omega$	12 231	ns
t_{PHL} input		12 171	ns
t_{PLH} from A or B		20 301	ns
t_{PHL} input		13 221	ns

Pin Assignments (Top View)



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

NOTE: I_{CC} is measured with the inputs grounded and the outputs open.

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the appropriate type.

† All typical values are at $V_{CC} = 5V$, $T_A = 25^\circ C$.

‡ Not more than one output should be shorted at a time.

§ t_{PLH} = propagation delay time, low-to-high-level output.

|| t_{PHL} = propagation delay time, high-to-low-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5490/7490 Decade Counter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M/CF		C	P	M/CF		C	P	M/CF		C	P	M/CF		C	P	M/CF
T.I.								SN54LS90	14	16		SN5490A	14	16		SN54LS90A	14	16	17	
FAIRCHILD								SN74LS90	14	16		SN7490A	14	16		SN74LS90A	14	16	17	
MOTOROLA								MC14590	14	16		MC1490	14	16						
N. S. C.								CM54LS90	14	16		CM5490	14	16		CM54LS90	14	16	17	
PHILIPS								CU74LS90	14	16		CU7490	14	16						
SIGNETICS								SN74LS90	14	16		SN7490	14	16						
SIEMENS								6N74LS90	14	16		6N7490	14	16						
FUJITSU												FL2161	14	16						
HITACHI																				
MITSUBISHI								74LS90	14	16		7490A, 74251	14	16						
NEC								74LS90	14	16		MS3290	14	16						
TOSHIBA												74B21	14	16						
												TD3490A	14	16						

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS: -55°C to 125°C
Input voltage	7V	temperature range	SN74LS: 0°C to 70°C
Interconnect voltage (see Note 1)	5.5V	Storage temperature range	-65°C to 150°C

recommended operating conditions

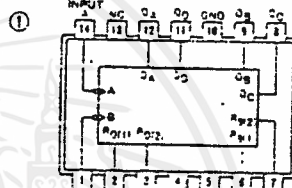
	SN54LS90A			SN74LS90A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			4			4	μ A
Count frequency, f_{count}	A input	0	32	0	32		MHz
	B input	0	16	0	16		
Pulse width, t_w	A input	15	15	15			ns
	B input	30	30	30			
Reset pulse width, t_{reset}	Reset inputs	15	15	15			ns
Reset inactive-state setup, t_{setup}		25	25	25			ns
Operating free-air temperature, T_A		-55	125	0	70		°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER *		TEST CONDITIONS †		MIN	TYP	MAX	UNIT
V_{IH}	High-level input voltage				2		V
V_{IL}	Low-level input voltage				0.8		V
V_I	Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -16\text{mA}$			-1.5		V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2\text{V}$, $I_{OH} = -400\mu\text{A}$		2.7	3.4		V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IL} = 0.8\text{V}$, $I_{OL} = 4\text{mA}$		0.35	0.5		V
I_I	Input current	Any reset, $V_{CC} = \text{MAX.}$, $V_I = 5.5\text{V}$			2.2		μ A
	Maximum input, A input				3.4		μ A
	B input				3.4		μ A
I_{IH}	High-level input current	Any reset, $V_{CC} = \text{MAX.}$, $V_I = 2.7\text{V}$			20		μ A
	A input				40		μ A
	B input				10		μ A
I_{IL}	Low-level input current	Any reset, $V_{CC} = \text{MAX.}$, $V_I = 0.8\text{V}$			-0.4		μ A
	A input				-2.4		μ A
	B input				-3.2		μ A
I_{OS}	Short-circuit output current *	$V_{CC} = \text{MAX.}$	SN54LS: -20		-100		μ A
			SN74LS: -20		-100		μ A
I_{CC}	Supply current	$V_{CC} = \text{MAX.}$, see Note 2		9	15		μ A
t_{max}	from A to output Q_A			32	42		nsec
	from B to output Q_B			16			
t_{PLH}	from A to output Q_A			10	16		ns
t_{PLH}	from A to output Q_B			12	18		ns
t_{PLH}	from A to output Q_C			32	48		ns
t_{PLH}	from A to output Q_D			34	50		ns
t_{PLH}	from B to output Q_B			10	16		ns
t_{PLH}	from B to output Q_C			14	21		ns
t_{PLH}	from B to output Q_D			21	32		ns
t_{PLH}	from B to output Q_C			23	35		ns
t_{PLH}	from B to output Q_D			21	32		ns
t_{PLH}	from B to output Q_C			23	35		ns
t_{PLH}	from Set-to-0 to Any output			25	40		ns
t_{PLH}	from Set-to-0 to output Q_A , Q_B			20	30		ns
t_{PLH}	from Set-to-0 to output Q_C , Q_D			26	40		ns

$V_{CC} = 5\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 15\text{pF}$
 $R_L = 2\text{k}\Omega$

Pin Assignment (Top View)

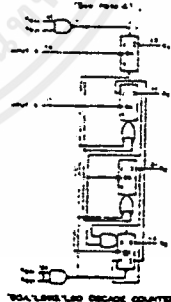


NC = No internal connection

Function Table

BCD COUNT SEQUENCE				BINARY COUNT				RESET COUNT			
SN54LS90A (See Note 2)				SN54LS90A (See Note 2)				SN54LS90A (See Note 2)			
COUNT	OUTPUT	OUTPUT	OUTPUT	COUNT	OUTPUT	OUTPUT	OUTPUT	RESET INPUTS	OUTPUT	OUTPUT	OUTPUT
	Q_A	Q_B	Q_C		Q_A	Q_B	Q_C	R_{11}	R_{12}	R_{13}	R_{14}
1	L	L	L	1	L	L	L	L	L	L	L
2	L	L	L	2	L	L	L	L	L	L	L
3	L	L	L	3	L	L	L	L	L	L	L
4	L	L	L	4	L	L	L	L	L	L	L
5	L	L	L	5	L	L	L	L	L	L	L
6	L	L	L	6	L	L	L	L	L	L	L
7	L	L	L	7	L	L	L	L	L	L	L
8	L	L	L	8	L	L	L	L	L	L	L

Functional Block Diagram



- NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_{10} inputs, and it also applies between the two R_{11} inputs.
2. I_{CC} is measured with all outputs open, both R_{10} inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count. Output Q_B is connected to input A for binary count. H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the appropriate type.

‡ All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

¶ Q_A outputs are tested at $I_{OL} = 16\text{mA}$ plus the unit value for I_{OL} for the B input. This limits driving the B input while maintaining full "on-out" capability.

* t_{max} = maximum count frequency.

† t_{PLH} = propagation delay time, low to high-level output.

‡ t_{PLH} = propagation delay time, high-level output to high-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54112/74112 Dual J-K Negative-Triggered Flip-Flop with Preset and Clear

	Schottky TTL						High-Speed TTL						Low-Power Schottky TTL						Standard TTL						Low-Power TTL																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																						
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																									
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																						
T.I.	SN54S112											SN54LS112																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			

Electrical Characteristics SN54LS112/SN74LS112

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating power	SN54LS	-55°C to 125°C			
Max voltage	7V	Temperature range	SN74LS	25°C to 70°C			
		Storage temperature range		-65°C to 150°C			
recommended operating conditions							
"	SN54LS112			SN74LS112	UNIT		
	MIN	NOM	MAX	MIN		NOM	MAX
Supply voltage, V_{CC}	+5	5	5.5	4.75	5	5.25	V
Maximum output current, I_{OL}			-400			400	mA
Maximum output, I_{OH}							mA
data rate, f_D							ns
clock rate, f_{CLK}							ns
Clear or preset rate							ns
Setup time, t_{SU}			20			20	ns
Hold time, t_{HD}			20			20	ns
Propagation delay			20			20	ns
Latency delay			20			20	ns
Max temp. T_A			55			75	°C
Operating power temperature, T_P			-55			125	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = -15 \text{ mA}$			1.5	V
V_{OH} High-level output voltage	Series 54LS $V_{CC} = \text{MIN.}, V_{OL} = 2 \text{ V.}, I_{OH} = -400 \mu\text{A}$	2.5	3.4		V
V_{OL} Low-level output voltage	Series 74LS $V_{CC} = \text{MIN.}, V_{OH} = 2 \text{ V.}, I_{OL} = 4 \text{ mA}$	2.7	3.4		V
I_I Input current at 0, 1, K	$V_{CC} = \text{MAX.}, V_I = 7 \text{ V}$			0.1	mA
I_{IH} High-level input current	Clear, Preset, Clock			0.3	mA
I_{IL} Low-level input current	J, K, or 0			0.3	mA
I_{OH} High-level output current	Clear, Preset, Clock			20	mA
I_{OL} Low-level output current	J, K, or 0			50	mA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX.}$	-20		100	mA
I_{CC} Supply current (average per flip-flop)	$V_{CC} = \text{MAX.}, \text{See Note 1}$		4	6	mA
f_{MAX} Maximum clock frequency	$V_{CC} = 5 \text{ V.}, T_A = 25^\circ\text{C.}, C_L = 15 \text{ pF.}, R_L = 2 \text{ k}\Omega$	30	45		MHz
t_{PLH} Propagation delay time, low-to-high-level output			15	20	ns
t_{PHL} Propagation delay time, high-to-low-level output			15	20	ns

NOTE: 1

With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

All typical values are at $V_{CC} = 5 \text{ V.}, T_A = 25^\circ\text{C.}$

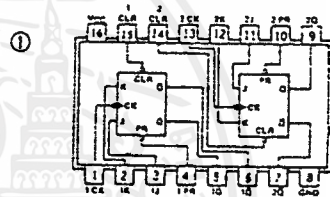
Not more than one output should be shorted at a time, and duration of short-circuit should not exceed one second.

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

The arrow indicates that the falling edge of the clock pulse is used for reference.

Pin Assignment (Top View)

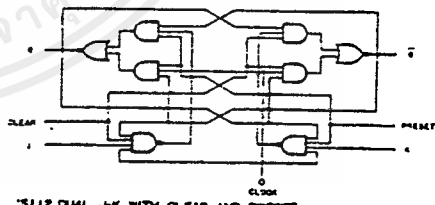


'S112 'LS112 Function Table (See Note 2)

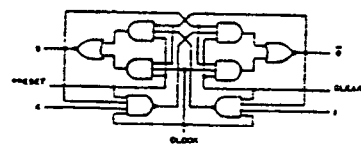
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	1	L	L	Q ₀	$\bar{Q}_0$
H	H	1	H	L	L	L
H	H	1	L	H	L	H
H	H	1	H	H	TOGGLE	TOGGLE
H	H	H	X	X	Q ₀	$\bar{Q}_0$

H = high level (steady state),
L = low level (steady state),
X = irrelevant,
1 = transition from high to low level.

Functional Block Diagrams



'S112 DUAL J-K WITH CLEAR AND PRESET



'LS112 DUAL J-K WITH CLEAR AND PRESET

NOTE: 2.

Q₀ = the level of Q before the indicated input conditions were established.

TOGGLE: Each output changes to the complement of its previous level on each active transition 'pulse' of the clock.

* This configuration is nonstable, that is, it will not persist when preset and clear inputs return to their inactive (high) state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package CIPMICF	Device Type	Package CIPMICF	Device Type	Package CIPMICF	Device Type	Package CIPMICF	Device Type	Package CIPMICF
T.I.					SN54LS164	JD	SN54164	JD	SN54LS164	JD
FAIRCHILD					SN74LS164	JD	SN74164	JD	SN74LS164	JD
MOTOROLA					MC54LS164	JD	MC54164	JD	MC54LS164	JD
N.S.C.					DM74LS164	JD	DM74164	JD	DM74LS164	JD
PHILIPS					74ALS164	JD	74164	JD	74ALS164	JD
SIGNETICS										
SIEMENS										
FUJITSU										
HITACHI										
MITSUBISHI										
NEC										
TOSHIBA										
AMD										

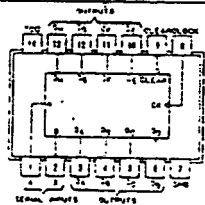
Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range			
Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS164: -55°C to 125°C SN74LS164: 0°C to 70°C
Input voltage	7V	Storage temperature range	-65°C to 150°C
recommended operating conditions			
	SN54LS164		
	MIN	NOM	MAX
Supply voltage, V_{CC}	2.5	5	5.5
High-level output current, I_{OH}	-400		
Low-level output current, I_{OL}			400
Clock frequency, f_{CLK}	0	25	0
Width of clock or clear input pulse, t_W	25		25
Data setup time, t_{SU}	15		15
Data hold time, t_{HD}	5		5
Operating free-air temperature, T_A	-55	125	0

electrical characteristics over recommended operating free-air temperature range			
PARAMETER	TEST CONDITIONS†	MIN	TYP & MAX‡
V_{IH} High-level input voltage		2	V
V_{IL} Low-level input voltage			0.8 V
V_I Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -1 \text{ mA}$		-1.5 V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $I_{OH} = -400 \mu\text{A}$	2.7	3.5 V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 400 \mu\text{A}$	0.35	0.5 V
I_I Input current maximum input voltage	$V_{CC} = \text{MAX.}$, $V_I = 7 \text{ V}$		0.1 mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}$, $V_I = 2.7 \text{ V}$		20 μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}$, $V_I = 0.8 \text{ V}$		0.1 mA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX.}$	SN54LS164: -20 SN74LS164: -20	20 mA
I_{CC} Supply current	$V_{CC} = \text{MAX.}$, See Note 1		15 mA
f_{MAX} Maximum clock frequency	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$, $R_L = 2 \text{ k}\Omega$	$C_L = 150 \text{ pF}$	25 MHz
t_{PHL} Propagation delay time, high-to-low level Q outputs from clear input		$C_L = 150 \text{ pF}$	24 ns
t_{PLH} Propagation delay time, low-to-high level Q outputs from clock input		$C_L = 150 \text{ pF}$	17 ns
t_{PHL} Propagation delay time, high-to-low level Q outputs from clock input		$C_L = 150 \text{ pF}$	21 ns

Pin Assignment (Top View)

①

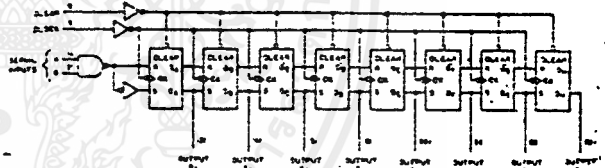


Function Table

164, 74LS164, 74164 (see Note 2)

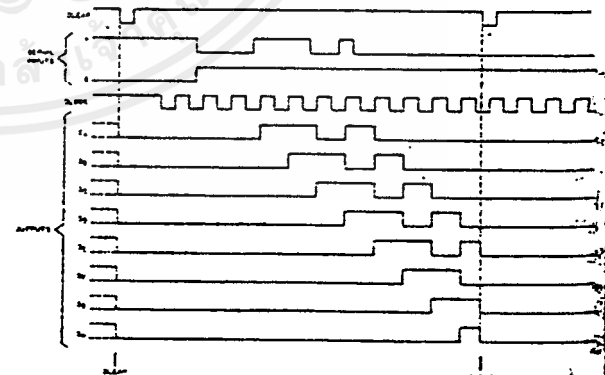
INPUTS		OUTPUTS			
CLEAR	CLOCK	A	B	QA	QB ... QH
L	X	X	X	L	L
H	L	X	X	QA0	QB0 ... QH0
H		H	H	QA1	QB1 ... QH1
H		L	X	QA2	QB2 ... QH2
H		X	L	QA3	QB3 ... QH3

Functional Block Diagram



164, 74LS164, 74164 8-BIT PARALLEL-OUT SHIFT REGISTER

Typical clear, shift, and clear sequences



- NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.
2. L = high level (steady state), H = low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
QA0, QB0, QC0 = the level of QA, QB, or QC, respectively, before the indicated steady-state input conditions were established.
QA1, QB1, QC1 = the level of QA, QB, or QC before the most-recent ↑ transition of the clock; indicates a one-bit shift.

†For conditions shown at MIN or MAX, use the appropriate value associated under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.
*Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

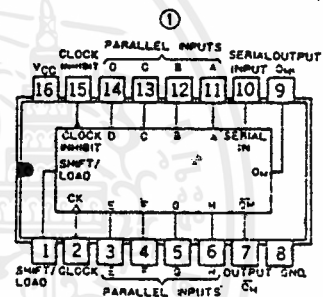
54165/74165 Parallel-Load 9-Bit Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
T.I.																				
FAIRCHILD																				
MOTOROLA																				
N.S.C.																				
PHILIPS																				
SIGNETICS																				
SIEMENS																				
FUJITSU																				
HITACHI																				
MITSUBISHI																				
NEC																				
TOSHIBA																				

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range						
Supply voltage, V_{CC}	7V	Operating free-air temperature range	NS54LS: -55°C to 125°C			
Input voltage	7V	Temperature range	SN74LS: 0°C to 70°C			
		Storage temperature range	-55°C to 150°C			
recommended operating conditions						
	SN54LS165 SN74LS165				UNIT	
	MIN	NOM	MAX	MIN	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5.25	V
High-level output current, I_{OH}			400		400	μ A
Low-level output current, I_{OL}			4		8	mA
Clock frequency, f_{clock}	2		25	0	20	MHz
Width of clock input pulse, $t_{w(clock)}$	25			25		ns
Width of load input pulse, $t_{w(load)}$	5			15		ns
Clock-to-output setup time, t_{setup}	30			30		ns
Parameter input setup time, t_{setup}	10			10		ns
Serial input setup time, t_{setup}	20			20		ns
Shift setup time, t_{setup}	45			45		ns
Hold time at any input, t_{hold}	0			0		ns
Operating free-air temperature, T_A	-55		125	0	70	°C
electrical characteristics over recommended operating free-air temperature range						
PARAMETER*	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{OH} High-level output voltage	$V_{CC} = 5V$, $I_{OH} = -1mA$		2			V
V_{OL} Low-level output voltage	$V_{CC} = 5V$, $I_{OL} = 1mA$			0.3	0.5	V
V_{OH} High-level output voltage	$V_{CC} = MIN$, $I_{OH} = -1mA$, $V_{IL} = 0.8V$, $I_{OL} = -400\mu A$			2.7	3.5	V
V_{OL} Low-level output voltage	$V_{CC} = MIN$, $I_{OL} = 1mA$, $V_{IH} = 0.8V$, $I_{IH} = 1mA$			0.35	0.5	V
I_{OH} High-level output current	$V_{CC} = MAX$, $V_{OL} = 0.4V$				50	mA
I_{OL} Low-level output current	$V_{CC} = MAX$, $V_{OH} = 3.5V$				20	mA
I_{OS} Shift/output current	$V_{CC} = MAX$		NS54LS	-20	-100	mA
I_{CC} Supply current	$V_{CC} = MAX$, See Note 2		SN74LS	-20	-100	mA
f_{max} Maximum clock frequency				25	35	MHz
t_{PLH} Propagation delay time, low-to-high	$V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 15pF$, $R_L = 2k\Omega$			22	35	ns
t_{PLH} Propagation delay time, low-to-high				27	40	ns
t_{PLH} Propagation delay time, low-to-high				28	40	ns
t_{PLH} Propagation delay time, low-to-high				19	25	ns
t_{PLH} Propagation delay time, low-to-high				21	30	ns
t_{PLH} Propagation delay time, low-to-high				21	30	ns
t_{PLH} Propagation delay time, low-to-high				16	25	ns

Pin Assignment (Top View)



positive logic:

Function Table

*165 (see Note 3)

SHIFT/LOAD	CLOCK INHIBIT	INPUTS			INTERNAL		OUTPUT
		CLOCK	SERIAL	PARALLEL A...H	QA	QB	
L	X	X	X	A...H	QA	QB	QH
H	L	L	X	X	QA	QB	QH
H	L	L	H	X	QA	QB	QH
H	L	L	L	X	QA	QB	QH
H	L	L	X	X	QA	QB	QH

- NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For the output, this rating applies to the shift/load input in conjunction with the clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
- X = irrelevant (any input, including transitions)
- * = transition from low to high level
- A...H = the level of steady-state input at inputs A thru H, respectively.
- QA, QB, QH = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.
- QA, QB, QH = the level of QA or QB, respectively, before the most recent transition of the clock.

* For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the appropriate device type.

† A.H. = typical values are at $V_{CC} = 5V$, $T_A = 25^\circ C$.

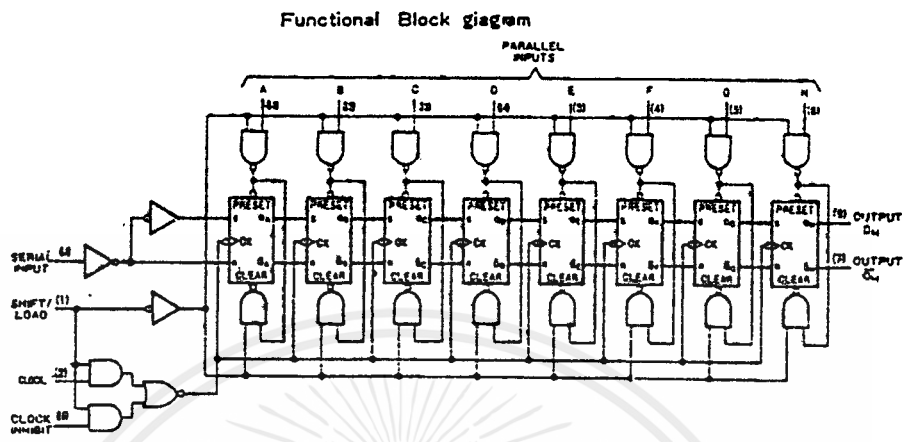
‡ Not more than one output should be shorted at a time.

* t_{PLH} = propagation delay time, low-to-high-level output

* t_{PLH} = propagation delay time, high-to-low-level output

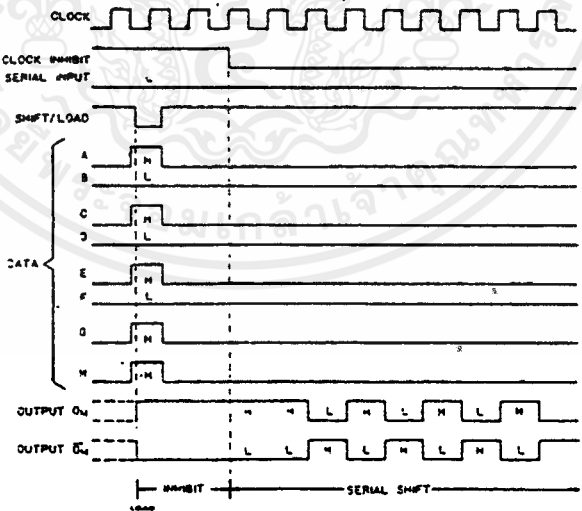
CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences





54175/74175 Quaduple D-Type Flip-Flop with Clear

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
		C/P/M/CF			C/P/M/CF			C/P/M/CF			C/P/M/CF			C/P/M/CF	
T.L.	SN54S175	UJ	1W				SN54LS175	UJ	1W	SN54175	UJ	1W			
	SN74S175	UJ	1W				SN74LS175	UJ	1W	SN74175	UJ	1W			
FAIRCHILD	F008175	PD	PD				F008175L/F008175	PD	PD						
	F008175L/F008175	PD	PD				F008175L/F008175	PD	PD						
MOTOROLA															
							SN74LS175	PD	PD	MC74175	PD	PD			
N.S.C.							DM54LS175	PD	PD	DM54175	UJ	1W			
	DM74S175	PD	PD				DM74LS175	PD	PD	DM74175	UJ	1W			
PHILIPS															
	N74S175	PD	PD				N74LS175	PD	PD	N74175	PD	PD			
SIGNETICS	SS4S175	PD	PD							SS4175	PD	PD			
	MT4S175	PD	PD				N74LS175	PD	PD	N74175	PD	PD			
SIEMENS															
										FLJ541	PD	PD			
FUJITSU							74LS175	PD	PD						
HITACHI															
	HO74S175	PD	PD				HO74LS175	PD	PD	HO74175	PD	PD			
MITSUBISHI															
	M58175	PD	PD				MT4LS175	PD	PD	M53175	PD	PD			
NEC							74LS175	PD	PD	μPB2175	PD	PD			
AMD	Am54S175	PD	PD				Am54LS175	PD	PD						
	Am74S175	PD	PD				Am74LS175	PD	PD						

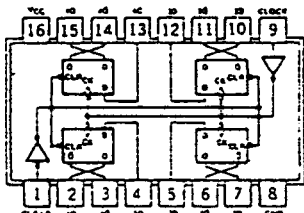
Electrical Characteristics SN54174/SN74175

absolute maximum ratings over operating free-air temperature range								
Supply voltage, V_{CC}	TV	Operating temperature	SN54 ^a : -55°C to 125°C					
Input voltage	TV	temperature range	SN74 ^a : 0°C to 70°C					
		Storage temperature range	-65°C to 150°C					
recommended operating conditions								
		SN54175	SN74175	UNIT				
		MIN	NOM	MAX	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				-400				mA
Low-level output current, I_{OL}				0				mA
Clear frequency, f_{clear}				0			10	MHz
Width of clock or clear pulse, t_w				20			20	ns
Setup time, t_{setup}	Data input			20				ns
	Clear inactive-state			25				ns
Hold time, t_{hold}				5				ns
Operating free-air temperature, T_A				-55			125	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH}	high-level input voltage		2		V
V_{IL}	low-level input voltage			0.8	V
V_I	input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -1.6 \text{ mA}$		-1.5	V
V_{OH}	high-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $I_{OH} = -400 \mu\text{A}$	2.7	3.5	V
V_{OL}	low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $I_{OL} = 8 \text{ mA}$	0.25	0.5	V
I_I	input current at maximum input voltage	$V_{CC} = \text{MAX.}$, $V_I = 1 \text{ V}$	2.1		mA
I_{IH}	high-level input current	$V_{CC} = \text{MAX.}$, $V_I = 2.7 \text{ V}$	20		μA
I_{IL}	low-level input current	$V_{CC} = \text{MAX.}$, $V_I = 0.4 \text{ V}$	-0.4		mA
I_{OS}	short-circuit output current	$V_{CC} = \text{MAX.}$		-100	mA
	SN54LS			-100	mA
	SN74LS			-100	mA
I_{CC}	supply current	$V_{CC} = \text{MAX.}$, See Note	11		mA
f_{max}	Maximum clock frequency	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$	20	40	MHz
t_{PLH}	propagation delay from low to high	$C_L = 150 \text{ pF}$, $R_L = 2 \text{ k}\Omega$	16	25	ns
t_{PLH}	propagation delay from low to high		23	35	ns
t_{PLH}	propagation delay from low to high		20	30	ns
t_{PLH}	propagation delay from low to high		21	30	ns

Pin Assignment (Top View)



Positive logic: see function table

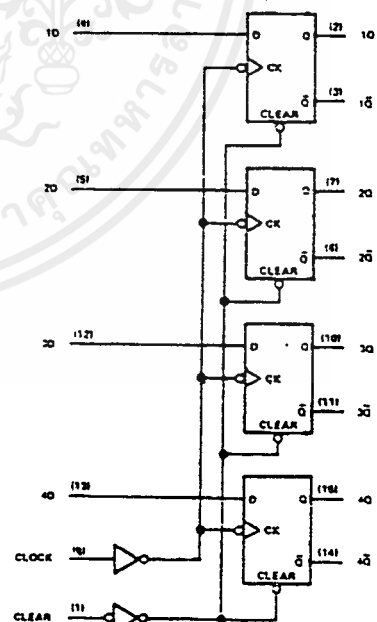
Function Table

175, 175, 175, 175 (EACH FLIP-FLOP)

INPUTS		OUTPUTS	
CLEAR	CLOCK	D	Q
L	X	X	L
H	X	X	H
H	L	L	L
H	L	X	Q ₀

H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
Q₀ = the level of Q before the indicated steady-state input conditions were established.

Functional Block Diagram



175, 175, 175, 175 QUADUPLE D-TYPE FLIP-FLOP

NOTE: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

^a For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the appropriate device type.
^b All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.
^c Not more than one output should be shorted at a time.
^d t_{OLH} = propagation delay time, low-to-high level output
^e t_{OHL} = propagation delay time, high-to-low level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้