เคเบิ้ลทีวีโมเด็มแบบเอฟเอสเค

CATV MODEM FSK

โดย

นายรัฐพล วงศ์ไตรรัตน์

นายอดิศักดิ์ ลามพัด

วัน เดือน ปี 14 ธค. 2541

เลขทะเบียน 038931

เลขเรียกหนังสือ T 40171 ว056ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

038931

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เคเบิ้ลทีวีโมเด็มแบบเอฟเอสเค
	CATV MODEM FSK
ชื่อนักศึกษา	นายรัฐพล วงศ์ไตรรัตน์
	นายอดิศักดิ์ ลามพัด
อาจารย์ที่ปรึกษา	อาจารย์กฤดากร กล่อมการ
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2540
	คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อนุมัติให้รับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคเบิ้ลทีวีโมเด็มแบบเอฟเอสเค

โดย นายรัฐพล วงศ์ไตรรัตน์ รหัส 39012061
นายอดิศักดิ์ ลามพัด รหัส 39012077

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ
ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้เรียบเรียงขึ้นจากการทดลองสร้าง การทำงานของเครื่องส่งข้อมูลทางสายเคเบิ้ล ซึ่งทำงานในลักษณะฮาร์ฟดูเพล็ก (Half Duplex) โดยใช้เทคนิคการส่งแบบฟรีเควนซี่ชิพคีย์อิ้ง (Frequency Shift Keying,FSK) เพื่อเปรียบเทียบการส่งสัญญาณในสายเคเบิ้ล ซึ่งการส่งข้อมูลใช้สายเคเบิ้ลจึงจำเป็นต้องออกแบบส่วนรับส่งสัญญาณที่มีคุณสมบัติป้องกันต่างๆ ให้เหมาะสม ซึ่งในแต่ละเครื่องจะประกอบด้วย ชุดส่งและชุดรับของ FSK โดยที่ชุดส่งจะทำการมอดูเลท (Modulate) สร้างความถี่ หรือ เฟสตามลักษณะการเปลี่ยนแปลงของข้อมูล แล้วส่งไปตามสายเคเบิ้ล ส่วนชุดรับจะทำการรับสัญญาณสายเคเบิ้ลเดียวกัน โดยที่จะต้องมีความถี่ตรงกับที่กำหนดไว้แล้วมาทำการดีมอดูเลท (Demodulate) เปลี่ยนกลับเป็นข้อมูลเดิมเหมือนภาคส่ง ด้วยความถี่แคเรียร์ของ FSK เป็น 25MHz และโมเด็มส่งด้วยอัตรา 1200 บิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CATV MODEM FSK

BY	MR.RATTAPON VONGTRIRAT	NO.39012061
	MR.ADISAK LAMPHAD	NO.39012077
ADVISER	MR.KITDAKORN KLOMKARN	
YEAR	1997	

ABSTRACT

This project concern a design and construction of CATV MODEM FSK. This MODEM operates in half duplex system. The modulation technique have been used in the design. Transmitter & receiver section must be designed to have protection properties. In the MODEM consists of FSK transmitter and FSK receiver with carrier for FSK about 25MHz and bit rate of MODEM about 1200 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลือของ อาจารย์ กฤดากร กล่อมการ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญานิพนธ์ ที่ท่านได้ให้คำแนะนำและข้อคิดเห็นต่างๆ ตลอดจนให้ให้ความช่วยเหลือในการจัดหาอุปกรณ์ที่จำเป็นในการทำงานชิ้นนี้ นอกจากนี้เพื่อนๆ ห้อง 2M ที่คอยให้ความช่วยเหลือต่างๆ ไม่ว่าจะเป็นเครื่องมือ และอุปกรณ์ และคำแนะนำและคอยให้กำลังใจ และรุ่นพี่ที่กรุณาให้ยืมเครื่องคอมพิวเตอร์ และที่สำคัญที่จะลืมเสียไม่ได้คือ สถาบันเทคโนโลยีพระจอมเกล้า ศูนย์นนทบุรีเป็นสถานที่วิจัยและที่อาศัยหลับนอนของกลุ่มผู้วิจัย

อนึ่งคุณความดีใดๆ ที่เกิดจากปริญญานิพนธ์ฉบับนี้ขอมอบให้แด่บิดามารดา และครูบาอาจารย์ที่ประสิทธ์ประสาทวิชาความรู้ให้

กลุ่มผู้วิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่	
1. บทนำ	1
2. โมเด็ม	2
2.1 หลักการทำงานของโมเด็ม	2
2.2 ชนิดของโมเด็ม	3
3. Frequency Shift Keying (FSK)	5
3.1 FSK Transmitter	5
3.2 FSK Bandwidth	7
3.3 FSK Receiver	9
4. สัญญาณดิจิตอลเบสแบนด์	11
5. วงจรออสซิลเลเตอร์	13
5.1 หลักการเบื้องต้นของการออสซิลเลเตอร์	14
5.2 วงจรออสซิลเลเตอร์แบบเชื่อมต่อกัน 3 จุด	29
5.3 วงจรเถือกความถี่	38
6. การออกแบบวงจร FREQUENCY SHIFT KEYING (FSK)	53
6.1 การออกแบบวงจร FSK MODULATOR	53
6.2 การออกแบบวงจร FSK DEMODULATOR	57
6.3 การออกแบบวงจรแบนด์พาสฟิลเตอร์ (Band Pass Filter)	58
7. หลักการทำงานของ CATV MODEM แบบ FSK	60
8. สรุปผลการทดลองและข้อเสนอแนะ	61
เอกสารอ้างอิง	
ภาคผนวก ก วงจรที่ใช้ในปริญญานิพนธ์	
ภาคผนวก ข วงจรรวม (Data Sheet) ที่ใช้ในปริญญานิพนธ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารข้อมูลในปัจจุบัน โดยเฉพาะระบบของคอมพิวเตอร์การส่งผ่านข้อมูลจากจุดหนึ่งไปยังจุดหนึ่ง จำเป็นจะต้องมีสายนำสัญญาณที่ลากจากจุดหนึ่งไปยังอีกจุดหนึ่ง ซึ่งจะทำให้ยุ่งยากและเสียค่าใช้จ่ายมาก อีกทั้งยังเสียเวลาอีกด้วย

ด้วยเหตุนี้ทีมผู้วิจัยจึงได้คิดออกแบบการส่งสัญญาณข้อมูลดิจิตอล โดยส่งผ่านไปตามสายเคเบิ้ลของระบบ CATV ที่มีใช้กันอยู่ในชุมชน ไม่จำเป็นที่จะต้องเดินสายให้ยุ่งยากอีก และที่ภาครับสัญญาณสามารถรับข้อมูลได้อย่างถูกต้อง

การทำงานของ CATV MODEM นี้จะใช้หลักการมอดูเลท(Modulate) แบบ FSK (Frequency Shift Keying) โดยสัญญาณที่นำมามอดูเลทนั้น เป็นแบบ NRZ (Non return to zero) อัตราบิทเรท(Bit rate)เท่ากับ 1200 bit/sec คลื่นพาห์ที่ใช้มีความถี่ 25 MHz เมื่อได้สัญญาณที่มอดูเลท แล้วจะถูกขยายให้แรงขึ้นเพื่อส่งไปตามสายเคเบิ้ลของระบบ CATV ซึ่งการส่งข้อมูลเป็นการส่งแบบฮาร์ฟดูเพล็ก (Half Duplex) ส่วนที่ภาครับสัญญาณนั้นจะรับสัญญาณผ่านวงจรแบนด์พาสฟิลเตอร์ เพื่อกำจัดสัญญาณรบกวนออก นำสัญญาณที่ได้ไปขยายให้แรงขึ้นแล้วทำการดีมอดูเลทเพื่อเอาสัญญาณข้อมูลเดิมกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
โมเด็ม

ในการสื่อสารข้อมูลซึ่งเป็นสัญญาณดิจิตอล วิธีที่ใช้ในการติดต่อซึ่งกันและกันทำได้ 2 วิธีคือ

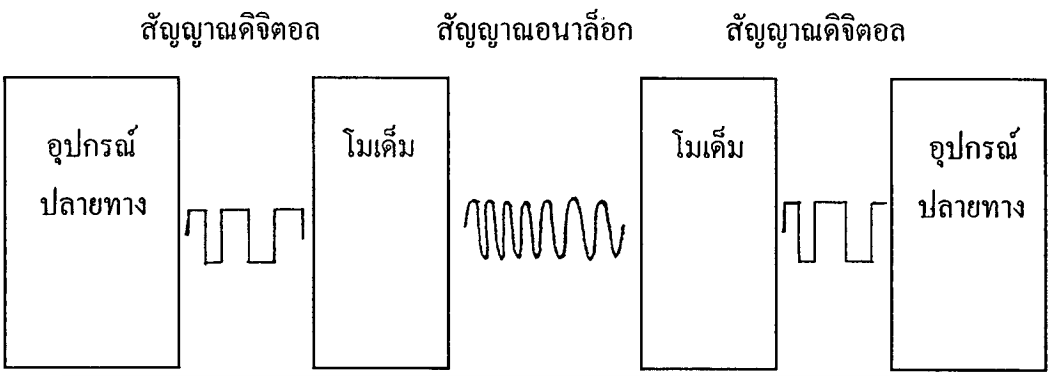
1.ทำการส่งสัญญาณในรูปสัญญาณดิจิตอลเลย กรณีนี้สายส่งสัญญาณที่ใช้จำเป็นต้องมีแบนด์วิทกว้าง เพราะสัญญาณดิจิตอลมีแบนด์วิทกว้าง และถ้าทำการส่งไปในระยะที่ไกลสัญญาณดิจิตอลเกิดการเพี้ยนของรูปสัญญาณได้ง่าย วิธีนี้จึงไม่นิยมใช้

2.ทำการส่งสัญญาณ โดยทำการแปลงสัญญาณให้เป็นสัญญาณอนาล็อกก่อนแล้วจึงทำการส่งออก ซึ่งจะสามารถส่งในสายส่งสัญญาณทั่วไปได้ เพราะสัญญาณอนาล็อกไม่ต้องการแบนด์วิทที่กว้างมากเหมือนสัญญาณดิจิตอล และการส่งแบบนี้จึงต้องมีขั้นตอนการแปลงสัญญาณอนาล็อกกลับเป็นสัญญาณดิจิตอลในการรับ

2.1 หลักการทำงานของโมเด็ม (MODEM)

จากวิธีการส่งสัญญาณดิจิตอลโดยแปลงให้อยู่ในรูปของสัญญาณอนาล็อก และแปลงกลับในการรับ ขั้นตอนการทำงานทั้งสองต้องอาศัยอุปกรณ์ที่เรียกว่า "โมเด็ม" การทำงานของอุปกรณ์มี 2 หน้าที่คือ เป็นตัวแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกโดยการมอดูเลท (**MO**dulation) เพื่อทำการส่งออก และแปลงสัญญาณกลับมาเป็นสัญญาณดิจิตอล โดยการ ดีมอดูเลท (**DEM**odulation) ในการรับจากลักษณะการทำงาน 2 หน้าที่ ดังกล่าวจึงเป็นที่มาของชื่อ โมเด็ม (MODEM) ดังนั้นในการติดต่อสื่อสารข้อมูล ระหว่างอุปกรณ์ปลายทางจึงต้องมีโมเด็มเป็นตัวตรวจเชื่อมแสดงดังรูปที่ 2.1 จะเห็นว่าการใช้โมเด็ม ทำให้การส่งสัญญาณช้าไปบ้าง แต่ก็จะทำให้สามารถส่งสัญญาณดิจิตอลไปทางไกลได้สำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ลักษณะการส่งสัญญาณผ่านโมเด็ม

2.2 <u>ชนิดของโมเด็ม</u>

โมเด็มมีอยู่หลายชนิด ซึ่งเราสามารถแบ่งชนิดของโมเด็มเป็นแบบต่างๆ แล้วแต่หลักที่จะนำมาใช้พิจารณา เช่น

แบ่งตามอัตราการส่งข้อมูล แบ่งได้เป็น

1. อัตราการส่งข้อมูลต่ำ (Low speed) มีอัตราการส่งข้อมูลไม่เกิน 600 บิทต่อวินาที (b/s)
2. อัตราการส่งข้อมูลปานกลาง (Medium speed) มีอัตราการส่งข้อมูลระหว่าง 600-9600 บิทต่อวินาที
3. อัตราการส่งข้อมูลสูง (High speed) มีอัตราการส่งข้อมูลมากกว่า 9600 บิทต่อวินาที

แบ่งตามเทคนิคการมอดูเลท แบ่งได้เป็น

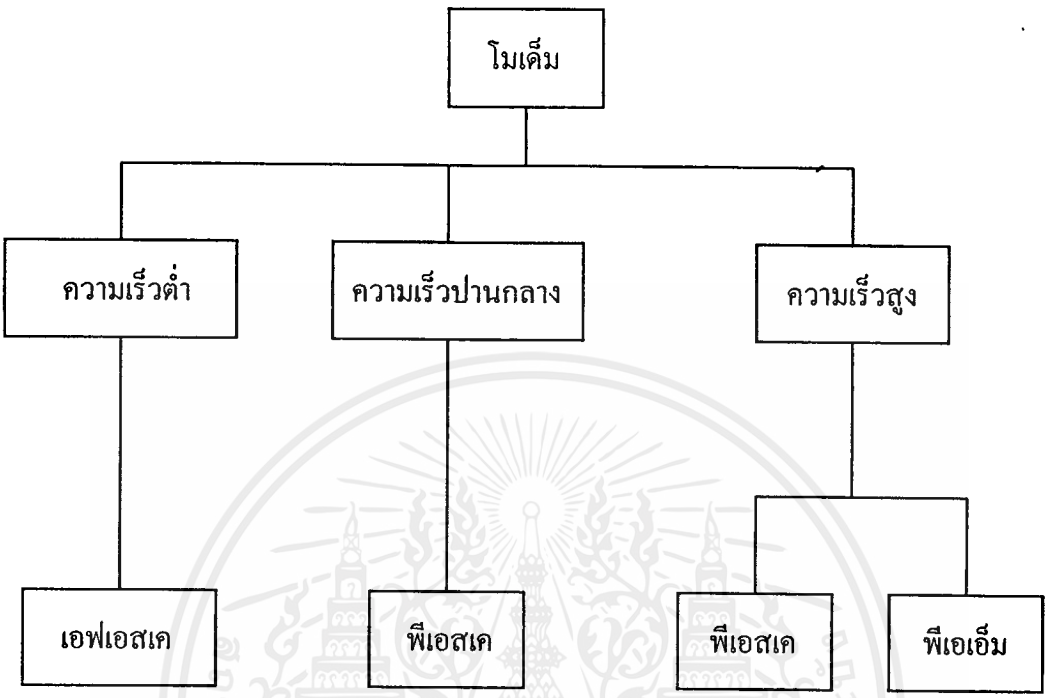
1.ฟรีเควนซี่ชิฟคีย์อิ้ง (Frequency Shift Keying , FSK)

2.เฟสชิฟคีย์อิ้ง (Phase Shift Keying , PSK)

3.เฟสแอมปลิจูดมอดูเลชั่น (Phase Amplitude Modulation , PAM)

สำหรับเทคนิคการมอดูเลทสัญญาณนั้น มีอีกหลายรูปแบบ แต่ค่อนข้างจะใช้กันน้อยจากหลักที่นำมาพิจารณาทั้งสองแบบดังกล่าว สามารถแสดงเป็นไดอะแกรมได้ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การแบ่งชนิดของโมเด็ม

นอกจากหลักดังที่กล่าวมาแล้ว โมเด็มก็ยังสามารถแบ่งตามระยะการติดต่อของโครงข่ายได้ 2 แบบ คือ

1. โมเด็มใช้สำหรับระยะไกล (Long-haul modem) โครงข่ายการติดต่อจะใช้การติดต่อในระยะทางไกลโดยต่อผ่านสายโทรศัพท์

2. โมเด็มสำหรับระยะใกล้ (Short-haul modem) การติดต่อจะใช้สำหรับระยะใกล้ๆ โครงข่ายการใช้งานมักจะเป็นการติดต่อ แบบจุดต่อจุด (point to point) สายส่งสัญญาณที่ใช้งานมักจะเป็นสายเคเบิ้ล ที่ต่อโดยตรง มีขีดจำกัดของระยะการติดต่อ จะกระทำได้ไม่เกิน 10ไมล์ หรือ 16 กิโลเมตร โดยมีอัตราการส่งข้อมูล แปรเป็นสัดส่วนผกผันกับระยะระหว่างจุดส่งและจุดรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

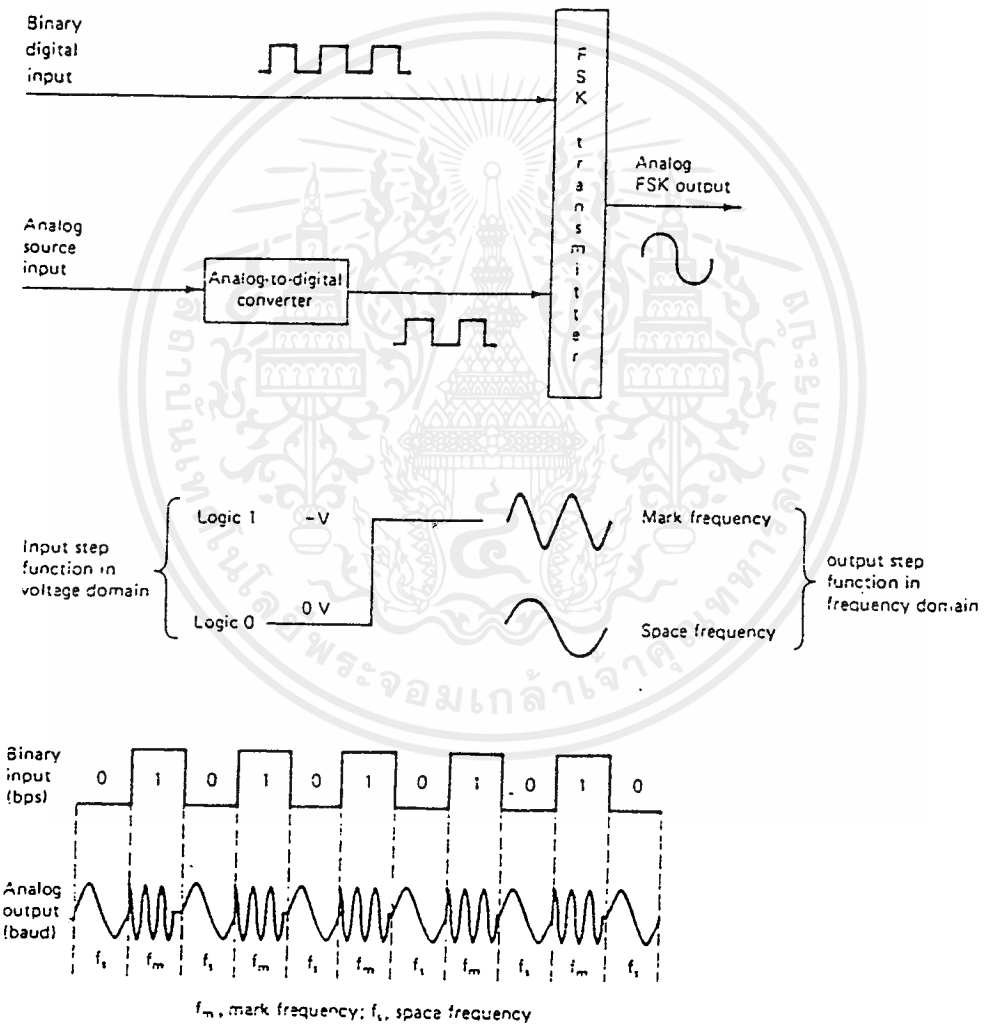
Frequency Shift Keying (FSK)

3.1 FSK Transmitter

ตัวส่งสัญญาณ FSK (FSK Transmitter) มีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะข้อมูลเป็นไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continouus) เมื่อข้อมูลไบนารีด้านอินพุทเปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันคือ ลอจิก "0" เป็นลอจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ ด้วยกัน คือ ความถี่ที่ ลอจิก "1" หรือ Mark Frequency (F_m) และความถี่ที่ลอจิก "0" หรือ Space Frequency (F_s)

การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะของลอจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงของสัญญาณเข้า ซึ่งในดิจิตอลมอดูเลชั่น อัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า "อัตราบิท" หรือ Bit Rate มีหน่วยเป็น บิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลง ของสัญญาณด้านเอาท์พุท ของ FSK Generator เรียกว่า "อัตราบอร์ด" หรือ Baud Rate ดังนั้น ในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ ซึ่ง FSK Transmitter ดูจากรูปที่ 3.1 แสดงหลักการ และสัญญาณอินพุท เอาท์พุทของ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 หลักการและสัญญาณอินพุท เอาท์พุทของ FSK

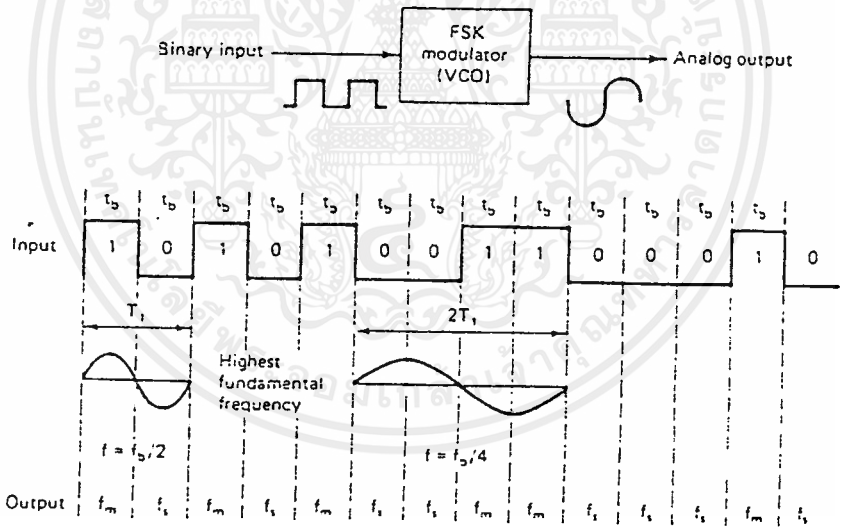
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อก หรือ สัญญาณความถี่นั้น แบนด์วิท เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธีการของ FM ดังนั้นการอธิบายถึงสูตรต่างๆก็ใช้หลักการของ FM ทุกอย่าง

จากรูปที่ 3.2.1 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกับ FM มอดูเลเตอร์ คือ ใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงที่เร็วที่สุดของสัญญาณอินพุท จะเกิดขึ้นเมื่อข้อมูลในไบนารีมีลักษณะเป็น "1" และ "0" สลับกันซึ่งก็คือสัญญาณ สี่เหลี่ยมนั้นเอง (Square Wave) ตามตัวอย่างในรูปที่ 3.2.1 เป็นสัญญาณในช่วง T_1

ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่ที่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ



FSK modulator. t_b, Time of one bit = 1/bps; f_m, mark frequency; f_s, space frequency; T1, period of shortest cycle; 1/T1, fundamental frequency of binary square wave; f_b, input bit rate (bps)

รูปที่ 3.2.1 FSK Modulator

$$F_{amax} = \frac{\text{Bit Rate}}{2}$$

เมื่อ F_{amax} : ความถี่สูงสุดของสัญญาณดิจิตอลที่นำมามอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่กลาง (Center Frequency = F_o) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (F_m) กับ Space Frequency (F_s) ดังรูปที่ 3.2.2

ลอจิก "1" ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก F_o ไปเป็น F_m จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนกลับไป-มา ระหว่าง F_m กับ F_s เนื่องจากได้กล่าวมาแล้วว่า FSK นั้นก็คือ การมอดูเลทแบบ FM ดังนั้นดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

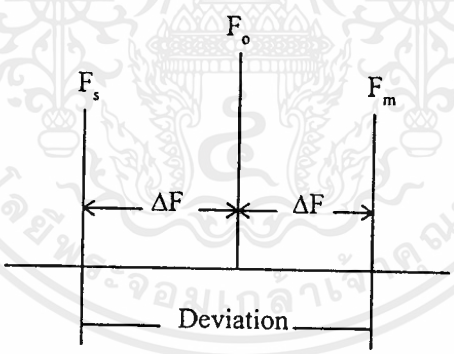
$$MI = \frac{\Delta F}{F_a}$$

เมื่อ

MI : ดัชนีการมอดูเลท

ΔF : การเบี่ยงเบนของความถี่ใดๆ จากความถี่กลาง (Hz)

F_a : ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)



รูปที่ 3.2.2 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิทกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลทแล้วและความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลท ค่า ΔF เป็นการเบี่ยงเบนความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง F_o กับ F_m หรือ F_o กับ F_s ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง F_m กับ F_s นั้นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta F = \frac{F_m - F_s}{2}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมปลิจูดของสัญญาณ ที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5V) หรือ ถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาค่าคงที่ ในระดับลอจิก "0" เช่นกัน (เช่น 0V) ดังนั้นความถี่เบี่ยงเบนของ FSK มอดูเลท จะเบี่ยงเบนคงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

F_a เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุท ซึ่งจะทำให้แบนด์วิทกว้างที่สุด เมื่อ F_a = Bit Rate/2 เท่านั้น เพราะฉะนั้นเราหาค่า MI ได้จาก

$$MI = \left| \frac{\left| \frac{(F_m - F_s)}{2} \right|}{\left| \frac{F_b}{2} \right|} \right|$$

$$= \frac{F_m - F_s}{F_b}$$

เมื่อ $F_m - F_s$: ความถี่เบี่ยงเบนสูงสุด

F_b : อัตราบิทของไบนารีอินพุท

3.3 FSK Receiver

ตัวรับ สัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phase Lock loops) ดังรูปที่ 3.3

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่าง คือจะมีความถี่ฟรีรันนิ่ง เท่ากับ Center Frequency (F_o) และในขณะที่ความถี่อินพุทของ PLL เลื่อนไป-มา ระหว่าง F_m กับ F_s จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส (Phase Comparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้ามายัง PLL มีเพียง 2 ความถี่คือ F_m และ F_s ดังนั้นค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับแรงดันเท่านั้นซึ่งสามารถแทนด้วยลอจิก "1" และ ลอจิก "0" เมื่อความถี่อินพุทเป็น F_m และ F_s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมา ทุกประการ

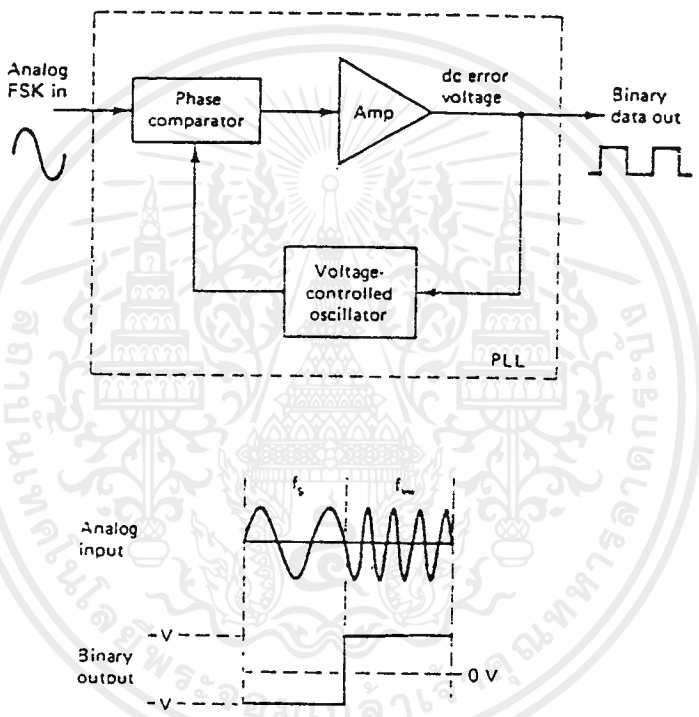


Figure 1-6 PLL-FSK demodulator.

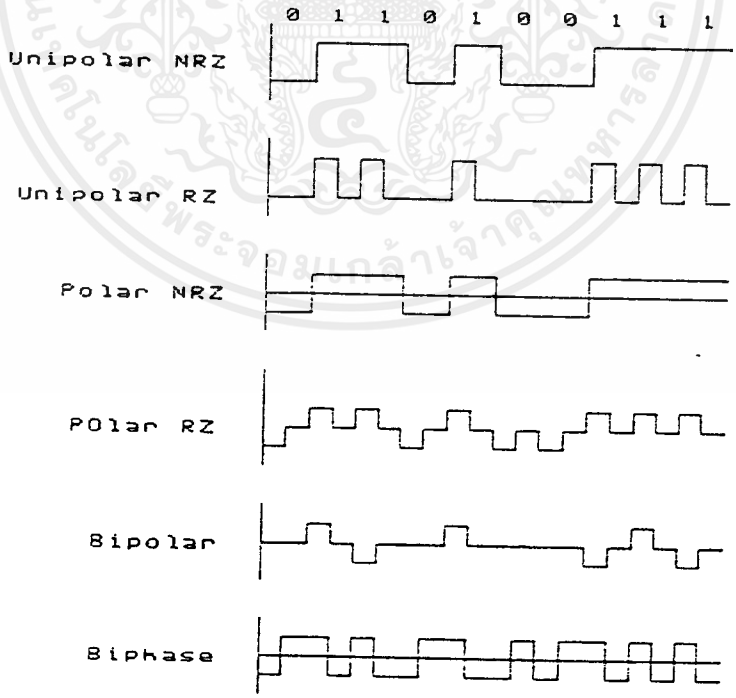
รูปที่ 3.3 PLL - FSK Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
สัญญาณดิจิตอลเบสแบนด์

การสร้างสัญญาณดิจิตอล เพื่อที่จะทำการส่งออกทางสายนำสัญญาณ ในระบบเบสแบนด์ โดยทั่วไปเรียกว่า ไลน์โคดดิง (Line Coding) การทำไลน์โคดดิงแบ่งออกเป็น 2 แบบ คือ แบบที่ใช้ 1 สัญลักษณ์ ต่อ 1 บิท และแบบที่ใช้ 1 สัญลักษณ์ ต่อหลายบิท คำว่าสัญลักษณ์ (Symbol) ที่ใช้ในระบบสื่อสารแบบดิจิตอลนั้น หมายถึง สัญญาณที่มีค่าคงที่ ในช่วงเวลาช่วงหนึ่ง และอัตราการเปลี่ยนแปลงของสัญญาณนี้จะถูกเรียกว่า "บอดเรท" (Baud Rate) ในกรณีที่ใช้ 1 สัญลักษณ์ต่อ 1 บิทนั้น บอดเรทนี้อาจจะเท่ากับอัตราข้อมูลหรือ "บิทเรท" (Bit Rate) ได้ แต่ถ้าไลน์โคดดิงนั้นใช้ 1 สัญลักษณ์ต่อหลายบิท บอดเรทจะต่ำกว่าบิทเรทเสมอ

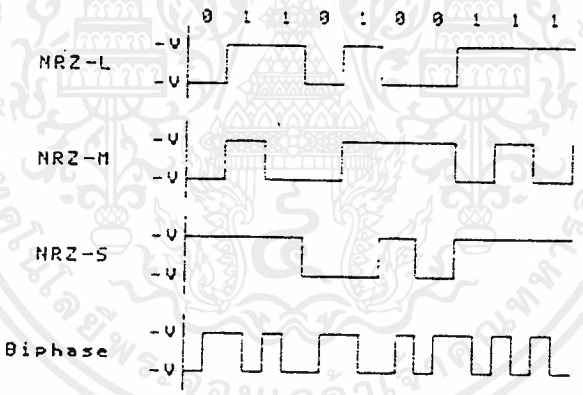
ในโครงงานใช้สัญญาณดิจิตอลแบบใช้ 1สัญลักษณ์ต่อ 1 บิท ซึ่งแบบนี้ก็ยังแบ่งออกได้เป็น แบบที่ใช้ระดับสัญญาณ 2 ระดับ กับแบบที่ใช้สัญญาณ 3 ระดับ ดังรูปที่ 4.1.1 ตัวอย่าง ไลน์โคดดิงที่มีใช้ทั่วไปในระบบส่งสัญญาณดิจิตอลแบบเบสแบนด์



รูปที่ 4.1.1 ตัวอย่างไลน์โคดดิงที่ใช้ในระบบส่งสัญญาณดิจิตอลเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเบสแบนด์สำหรับที่ใช้ในโครงงานนี้ เป็นการส่งข้อมูลที่เป็นดิจตอลแบบ NRZ สำหรับ FSK ซึ่งเป็นสัญญาณที่ไม่กลับศูนย์แบบระดับ (Non Return to Zero - Level , NRZ- L) และการเข้ารหัสสัญญาณ NRZ- L ให้เป็นสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (Non Return to Zero Invert , NRZ- I) เรียกอีกชื่อหนึ่งว่าการเข้ารหัสดิฟเฟอเรนเชียล (Differential Encoder) สัญญาณ NRZ - I นั้นเป็นการใช้การเปลี่ยนระดับ (Transition) ของสัญญาณเป็นข้อมูลแทนการใช้ระดับแทนข้อมูลในสัญญาณ NRZ- L โดยอาจจะให้ สัญญาณเอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทมีค่าระดับลอจิกเป็น "1" หรือ ให้เอาท์พุทเปลี่ยนแปลงระดับแรงดันทุกครั้งที่สัญญาณอินพุทมีค่าเป็นศูนย์ หรือเรียกสัญญาณ NRZ- I สองประเภทนี้คือ สัญญาณไม่กลับศูนย์แบบมาร์ค (Non Return to Zero-Mark , NRZ- M) และสัญญาณไม่กลับเป็นศูนย์แบบสเปช (Non Return to Zero-Space , NRZ- S) ตามลำดับ จะเห็นได้ดังรูปที่ 4.1.2



รูปที่ 4.1.2 สัญญาณ NRZ- L, NRZ- M, NRZ- S และ Biphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์แบ่งออกได้เป็น วงจรออสซิลเลเตอร์คลื่นรูปซายน์ และวงจรออสซิลเลเตอร์ที่ไม่ใช่คลื่นรูปซายน์ เช่น รูปสี่เหลี่ยม พัลส์ เป็นต้น แต่ในโครงงานนี้ใช้วงจรออสซิลเลเตอร์คลื่นรูปซายน์ ซึ่งจะให้กำเนิดคลื่นรูปซายน์ออกมาที่จุดสัญญาณออก

วงจรออสซิลเลเตอร์คลื่นรูปซายน์(sine-wave oscillator) จะให้กำเนิดสัญญาณคลื่นรูปซายน์ออกมาตลอดเวลา โดยมีขนาดและความถี่คงที่ ชนิดของการออสซิลเลทแบ่งได้จากอุปกรณ์ที่ใช้ ฉะนั้นวงจรออสซิลเลเตอร์คลื่นรูปซายน์จะแบ่งได้เป็น

1) วงจรออสซิลเลเตอร์ที่ใช้ LC

2) วงจรออสซิลเลเตอร์ที่ใช้ CR

3) วงจรออสซิลเลเตอร์ที่ใช้ก้อนผลึก(Crytal)

จากการแบ่งตามข้างบนนี้ ยังสามารถแยกออกไปเพื่อให้ชัดเจนยิ่งขึ้นได้อีก ตามตารางที่ 5.1

ตารางที่ 5.1 วงจรออสซิลเลเตอร์แบบคลื่นรูปซายน์

องค์ประกอบของออสซิลเลเตอร์	ชื่อของออสซิลเลเตอร์	ลักษณะการใช้งาน	ที่ใช้งาน
วงจรออสซิลเลเตอร์แบบ LC	1. เลือกความถี่ที่คอลเลคเตอร์(เดรน) 2. เลือกความถี่ที่เบส(เกท) 3. เลือกความถี่ที่อิมิตเตอร์ 4. ฮาร์ทเลย์ 5. คอลพิทท์	1. ความถี่เปลี่ยนแปลงได้ง่าย 2. โดยทั่วไปเสถียรภาพของความถี่ไม่ดี 3. มักจะใช้กันโดยทั่วไป 4. ใช้ในย่านความถี่สูง	1. ใช้ในเครื่องรับวิทยุ ทีวี เอฟเอ็ม ฯลฯ 2. ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่สูง
วงจรออสซิลเลเตอร์แบบ CR	1. แบบเลื่อนเฟส 2. แบบเวนบริดจ์	1. ใช้ช่วงความถี่ต่ำ 2. ความถี่สามารถเปลี่ยนแปลงได้ 3. เสถียรภาพของความถี่ไม่ดี	ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่ต่ำ

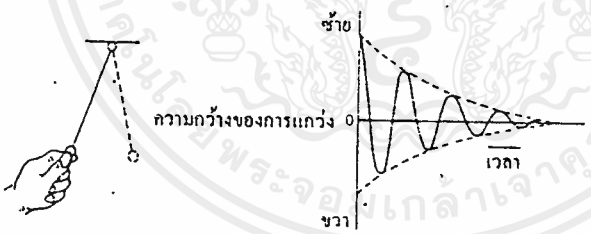
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก	1. ชิ้นผลึกต่อระหว่าง B กับ E 2. ชิ้นผลึกต่อระหว่าง C กับ B	1. เสถียรภาพของความถี่ดีเป็นพิเศษ: 10^{-5}-10^{-7} /องศา 2. ใช้ในย่านความถี่สูง 3. การทำให้ความถี่เปลี่ยนแปลง ทำได้ยาก	1. ใช้ในเครื่องส่งวิทยุ นาฬิกา เครื่องมือวัดต่างๆ ฯลฯ 2. เมื่อนำมาใช้ร่วมกับวงจรเฟสล็อกลูป (PLL) จะนำมาใช้งานได้อย่างกว้างขวาง

*<u>หมายเหตุ</u> ในโครงงานนี้จะศึกษาเฉพาะวงจรออสซิลเลเตอร์แบบ LC

5.1 <u>หลักการเบื้องต้นของการออสซิลเลท</u>

1. กระแสที่ช่วยให้เกิดการออสซิลเลทอย่างต่อเนื่อง



(ก) ลูกตุ้มนาฬิกา (ข) การออสซิลเลทแบบแดมป์ (damped oscillation)

รูปที่ 5.1 แสดงการออสซิลเลททางกล

ตามรูปที่ 5.1 (ก) เมื่อลูกตุ้มนาฬิกาถูกปล่อยออกจากมือ ก็จะเกิดการแกว่งหรือออสซิลเลทด้วยคาบคงที่ดังรูปที่ 5.1(ข) แต่ต่อมาขนาดหรือระยะทางของการแกว่งจะลดลงเรื่อยๆ จนกระทั่งหยุดลง เนื่องมาจากผลของการต้านของอากาศ และความฝืดของจุดที่ยึดลูกตุ้มนาฬิกาไว้ ด้วยลักษณะแนวความคิดนี้สามารถนำมาใช้กับวงจรไฟฟ้าดังรูปที่ 5.2 ได้เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) (ข)

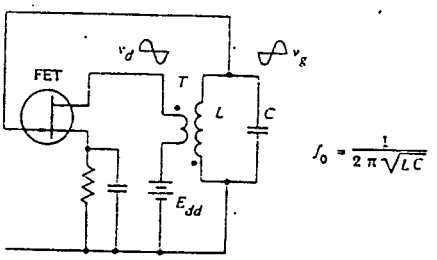
รูปที่ 5.2 แสดงการเกิดออสซิลเลททางด้านวงจรไฟฟ้า

จากรูปที่ 5.2(ก) ถ้าสวิตซ์ถูกเลื่อนออกมาด้านขวาหลังที่ทำการประจุตัวเก็บประจุ C เต็มแล้ว กระแส i จะเริ่มไหลออกจากตัวเก็บประจุ ผ่านไปยังขดลวด L แต่เนื่องจากขดลวดมีคุณสมบัติของการเฉื่อยหรือไม่สามารถที่จะเปลี่ยนแปลงอย่างทันทีทันใดได้ ดังนั้นเมื่อกระแสที่ไหลจากตัวเก็บประจุ C ไปยังขดลวด L หมดแล้ว (ดายประจุจนเป็นศูนย์) ก็จะเกิดกระแสไหลย้อนกลับทางกับทิศทางแรกเข้าที่การประจุตัวเก็บประจุอีก กลับไปกลับมาเช่นนี้ สภาวะการไหลของกระแสออสซิลเลทจะเป็นดังที่กล่าวมาแล้วข้างต้น เนื่องจากผลของความต้านทาน R ภายในวงจรทำให้เกิดการศูนย์เสียกำลังงานไปเป็น i^2R นั่นหมายความว่าการออสซิลเลทจะถูกลดทอนลงค่าศักดาที่ตกคร่อมตัวเก็บประจุ C จะสามารถเขียนมาเป็นกราฟได้ดังรูปที่ 5.2 (ข) ซึ่งเหมือนกับการออสซิลเลททางกล (โดยที่เฟสของศักดาจะตามกระแสอยู่ 90 องศา)

การออสซิลเลทในลักษณะที่ได้กล่าวมานี้เรียกว่า การออสซิลเลทแบบแดมป์ (damped oscillation) เพื่อที่จะช่วยให้การออสซิลเลทเป็นไปอย่างต่อเนื่อง จะต้องใส่กำลังเข้าไปในระบบมีค่าเท่ากับกำลังที่สูญเสียไป หรือกล่าวได้ว่า ลูกตุ้มนาฬิกาจะต้องถูกผลักเล็กน้อย เมื่อเคลื่อนที่ไปจนถึงด้านซ้ายสุดของการแกว่ง ในกรณีของการออสซิลเลททางไฟฟ้า สวิตซ์จะต้องถูกผลักกลับมาทางด้านซ้ายมือทันทีที่ค่าศักดา Vc มีค่าสูงสุด เพื่อที่จะรับค่ากำลังทางด้านไฟฟ้าจากแหล่งจ่ายไฟแล้วทำการผลักกลับตำแหน่งเดิม

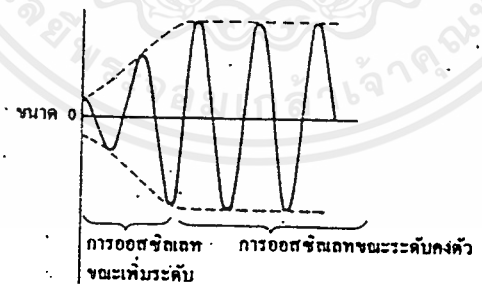
โดยอาศัยหลักการการออสซิลเลททางกลมาทำความเข้าใจกับการออสซิลเลททางไฟฟ้า ลองมาพิจารณาจากวงจรจริงๆดูบ้างตามรูปที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงวงจรออสซิลเลเตอร์แบบเลือกความถี่จากเกท

เมื่อเริ่มจ่ายไฟให้กับวงจร จะทำให้เกิดการกระชากของศักดาขึ้น ยังผลให้เกิดกระแสออสซิลเลทอ่อนๆขึ้นในวงจร LC และเกิดศักดา v_g ขึ้นด้วย ค่าศักดา v_g จะถูกขยายโดยเฟท ผลที่ได้ถูกป้อนไปยังขดปฐมภูมิของทรานฟอเมอร์มีค่าเป็น v_d (แหล่งจ่ายไฟตรงขนาดเมื่อคิดในแง่ของไฟสลับแล้วให้มีค่าเป็น v_d) โดยผลอันนี้จะทำให้กำลังงานป้อนไปให้วงจรเกิดออสซิลเลทได้ขนาดของการออสซิลเลทจะเพิ่มขึ้นดังรูปที่ 5.4 และการออสซิลเลทในลักษณะแรกนี้เรียกว่าการออสซิลเลทช่วงเริ่มแรก หลังจากผ่านช่วงนี้ไปขนาดของสัญญาณจะเริ่มคงที่สภาวะนี้เรียกว่าการออสซิลเลทแบบต่อเนื่อง



รูปที่ 5.4 การออสซิลเลทในช่วงเริ่มแรกและการออสซิลเลทแบบต่อเนื่อง

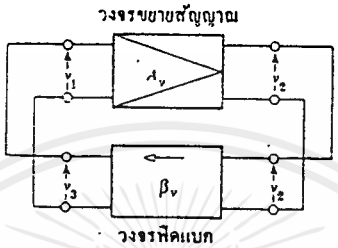
การออสซิลเลทตามที่ได้อธิบายมานี้ กระแสที่ช่วยทำให้เกิดการออสซิลเลทอย่างต่อเนื่องได้รับมาจากกำลังที่จ่ายออกมา โดยแหล่งจ่ายไฟเลี้ยงวงจร

2. ข้อกำหนดของการเกิดออสซิลเลท

ก. กรณีของอุปกรณ์ที่ทำงานในลักษณะของศักดา (หลอดสุญญากาศและเฟท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรออสซิลเลเตอร์ในรูปที่ 5.3 ศักดาสัญญาณออก v_d จะถูกคัปปลิ้งมาโดยทรานฟอเมอร์ T กลายเป็นศักดา v_g ป้อนไปยังด้านสัญญาณเข้าแบบบวก วงจรออสซิลเลเตอร์ในลักษณะนี้เรียกว่า วงจรออสซิลเลเตอร์แบบอาศัยการป้อนกลับ รูปแบบของวงจรโดยทั่วๆไปจะเป็นดังรูปที่ 5.5



รูปที่ 5.5 แสดงวงจรออสซิลเลเตอร์แบบอาศัยการป้อนกลับ (ของหลอดสุญญากาศและของเฟท)

ตามรูปที่ 5.5 เมื่ออัตราการขยายศักดาสัญญาณของวงจรขยายสัญญาณมีค่าเป็น A_v และศักดาของการป้อนกลับของวงจรป้อนกลับมีค่าเป็น β_v แล้วจะได้ว่า

$$A_v = \frac{v_2}{v_1} \tag{5.1}$$

$$\beta = \frac{v_3}{v_2} \tag{5.2}$$

ถ้า $v_1 < v_3$ การออสซิลเลทจะเริ่มเกิดขึ้น และผลคูณของ A_v กับ β_v จะเป็น

$$A_v\beta_v = \frac{v_3}{v_1} > 1 \tag{5.3}$$

สมการที่ (5.3) เรียกว่าข้อกำหนดของการเกิดการออสซิลเลท เมื่อขนาดของการออสซิลเลทมีค่าเพิ่มขึ้นจนกระทั่งจุดสัญญาณออกของวงจรขยายสัญญาณเข้าสู่สภาวะการอิ่มตัว ทำให้ค่า A_v ลดลง ยังผลให้ข้อกำหนดต่อไปนี้เกิดขึ้น

$$A_v\beta_v = 1 \tag{5.4}$$

เมื่อเกิดการออสซิลเลทอย่างต่อเนื่องแล้ว ขนาดของศักดาสัญญาณที่ได้จะมีค่าคงที่ ดังนั้นสมการที่ (5.4) จึงเรียกว่าข้อกำหนดของการออสซิลเลทแบบต่อเนื่อง เนื่องจากค่าของ A_v และ β_v

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

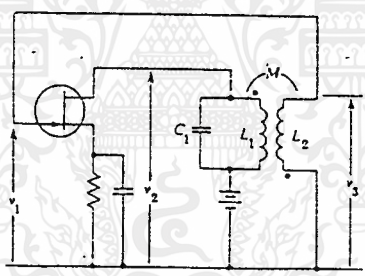
จะเป็นเลขจำนวนประกอบ (complex) คำตอบที่ได้จึงมีสองคำตอบคือ ส่วนหนึ่งเป็นจำนวนจริง : R_e $(A_v\beta_v)$ และอีกส่วนหนึ่งเป็นจำนวนจินตภาพ: I_m $(A_v\beta_v)$ แสดงได้ดังนี้

$$R_e(A_v\beta_v) = 1 \text{ (ข้อกำหนดของขนาดศักดา)} \quad (5.5)$$

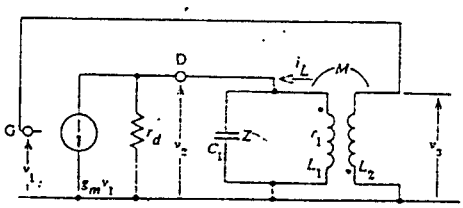
$$I_m(A_v\beta_v) = 0 \text{ (ข้อกำหนดของความถี่)} \quad (5.6)$$

สมการที่ (5.5) เรียกว่า ข้อกำหนดของขนาดศักดาสัญญาณ ซึ่งใช้หาค่าของ A_v และ β_v ที่จะทำให้เกิดการออสซิลเลทแบบต่อเนื่อง ส่วนสมการที่ (5.6) เรียกว่า ข้อกำหนดของความถี่สัญญาณ ซึ่งจะใช้หาค่าความถี่ที่ได้จากวงจร

ต่อไปลองมาหาค่าข้อกำหนดของการเกิดการออสซิลเลทของวงจรออสซิลเลเตอร์แบบเลือกความถี่ที่เดรนตามรูปที่ 5.6 ซึ่งสามารถเขียนวงจรทัดเทียมได้ดังรูปที่ 5.7



รูปที่ 5.6 แสดงวงจรของออสซิลเลเตอร์แบบเลือกความถี่ที่เดรน



รูปที่ 5.7 แสดงวงจรทัดเทียมของรูปที่ 5.6

ตามรูปที่ 5.7 ค่าอิมพีแดนซ์ของโหลดให้มีค่าเป็น Z ซึ่งจะหาได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_2 = -g_m v_1 \frac{r_d Z}{r_d + Z}$$

$$\therefore \quad A_v = \frac{v_2}{v_1} = -g_m \frac{r_d Z}{r_d + Z} = -\frac{\mu Z}{r_d + Z} \tag{5.7}$$

เพราะว่า เมื่อเกิดการออสซิลเลทแบบต่อเนื่อง $v_1 = v_3$ ดังนั้นสมการที่ (5.4) ค่า β_v จะเป็น

$$\beta_v = \frac{1}{A_v} = \frac{-r_d + Z}{g_m r_d Z} = -\left(\frac{1}{g_m Z} + \frac{1}{\mu}\right) \tag{5.8}$$

สมการที่ (5.8) เรียกว่า " การอธิบายข้อกำหนดของการออสซิลเลทของบาร์เฮาเซน (Barhuasen's oscillation condition expression)"

จากรูปที่ 5.7 ถ้า i_L เป็นกระแสที่ไหลผ่าน L_1 แล้ว

$$v_2 = -(r_1 + j\omega L_1) i_L$$

เมื่อค่า r1 เป็นความต้านทานไฟตรงของ L_1

เนื่องจาก $v_3 = j\omega M i_L$

ผลจะได้ว่า

$$\beta_v = \frac{v_3}{v_2} = \frac{-j\omega M}{r_1 + j\omega L_1} \tag{5.9}$$

แทนค่าสมการที่ (5.4) ด้วยสมการที่ (5.7) และ (5.9) ค่า $A_v\beta_v$ จะเป็น

$$A_v\beta_v = \frac{j\omega M g_m r_d Z}{(r_d + Z)(r_1 + j\omega L_1)} = \frac{j\omega M g_m r_d}{\left(\frac{r_d}{Z} + 1\right)(r_1 + j\omega L_1)} = 1 \tag{5.10}$$

เพราะว่าค่า 1/Z มีค่าเป็น

$$\frac{1}{Z} = j\omega C_1 + \frac{1}{r_1 + j\omega L_1} \tag{5.11}$$

038931
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสมการที่ (5.10) จะเป็น

$$A_v\beta_v = \frac{j\omega Mg_m r_d}{\left\{ r_d\left(j\omega C_1 + \frac{1}{r_1 + j\omega L_1}\right) + 1 \right\}\left(r_1 + j\omega L_1\right)} = 1$$

เพื่อความสะดวก กลับเศษส่วนของสมการบนและทำการจัดเทอมใหม่จะได้ว่า

$$\frac{C_1 r_d r_1 + L_1}{Mg_m r_d} - j\frac{\left(r_d + r_1 - \omega^2 r_d L_1 C_1 \right)}{\omega Mg_m r_d} = 1 \qquad (5.12)$$

ตามสมการที่ (5.12) จะเห็นว่าส่วนจำนวนจริงต้องมีค่าเป็น 1 และส่วนจินตภาพต้องมีค่าเป็น 0 ดังนั้นจะได้ว่า

$$\frac{C_1 r_d r_1 + L_1}{Mg_m r_d} = 1 \qquad \text{(ข้อกำหนดของศักดาสัญญาณ)} \qquad (5.13)$$

$$r_d + r_1 - \omega^2 r_d L_1 C_1 = 0 \qquad \text{(ข้อกำหนดของความถี่สัญญาณ)} \qquad (5.14)$$

จากสมการที่ (5.14) จะได้ว่า

$$\omega^2 = \frac{1 + r_1/r_d}{L_1 C_1} = \frac{1}{L_1 C_1}\left(1 + \frac{r_1}{r_d}\right) \qquad (5.15)$$

นั่นคือ ความถี่ของสัญญาณที่ได้จากการออสซิลเลท f จะเป็น

$$f = \frac{1}{2\pi\sqrt{L_1 C_1}} \sqrt{1 + (r_1/r_d)}$$

โดยทั่วๆไป $r_1 << r_d$ เสมอ ดังนั้นค่า r_1/r_d สามารถตัดทิ้งได้

$$f = \frac{1}{2\pi\sqrt{L_1 C_1}} \qquad (5.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (5.13) จะได้ว่า

$$g_m = \frac{C_1 r_1 + L_1/r_d}{M} = \frac{L_1}{M}\left(\frac{C_1 r_1}{L_1} + \frac{1}{r_d}\right) = \frac{L_1}{M}\left(\frac{1}{R_o} + \frac{1}{r_d}\right) \qquad (5.17)$$

ตัวอย่างที่ 5.1

ค่าของ L_1 และ g_m จะต้องมีค่าเท่าใดจึงจะทำให้วงจรออสซิลเลเตอร์ แบบเลือกสัญญาณที่เดรน เกิดการออสซิลเลทที่ความถี่ f = 1,000 kHz โดยกำหนดให้ $M = L_1/5$, $C = 200pF$, $r_1 = 20\ \Omega$ และ $r_d = 100\ k\Omega$

วิธีทำ

จากสมการ (5.16) ค่า L_1 เป็น

$$L_1 = \frac{1}{\omega^2 C_1} = \frac{1}{(2\pi\times10^6)^2\times200\times10^{-12}} = \frac{1}{800\pi^2} = 127\ uH$$ ตอบ

จากข้อกำหนดของโจทย์ ค่า M และ R_o จะเป็น

$$M = \frac{L_1}{5} = 25\ uH$$

$$Ro = \frac{L_1}{C_1 r_1} = \frac{1}{800\pi^2\times200\times10^{-2}\times20} = 31.7\ k\Omega$$

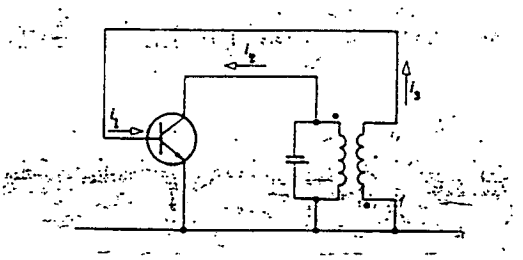
และจากสมการที่ (5.17) ค่า g_m จะเป็น

$$gm = \frac{L1}{M}\left(\frac{1}{R} + \frac{1}{r_d}\right) = 5\left(0.0316 + 0.01\right)\times10^{-3} = 0.2\ mS$$ ตอบ

ข. กรณีของอุปกรณ์ที่ทำงานในลักษณะของกระแส (ทรานซิสเตอร์)

เพราะว่าทรานซิสเตอร์ทำงานในลักษณะของกระแส ดังนั้นการป้อนกลับมาทางด้านสัญญาณเข้าจะต้องอยู่ในรูปของกระแสเช่นกัน ฉะนั้นการศึกษาถึงการทำงานของวงจรจะเป็นวงจรขยายสัญญาณในลักษณะของกระแส ดังรูปที่ 5.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



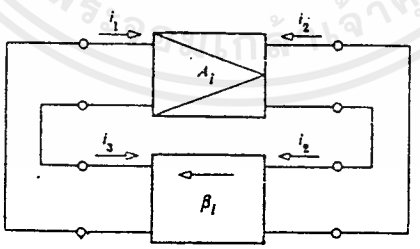
รูปที่ 5.8 แสดงวงจรออสซิลเลเตอร์แบบเลือกสัญญาณที่คอลเลคเตอร์

รูปที่ 5.8 เป็นวงจรออสซิลเลเตอร์แบบเลือกสัญญาณที่คอลเลคเตอร์ ซึ่งสามารถเขียนโครงสร้างของวงจรได้ดังรูปที่ 5.9

จากรูปที่ 5.9 ค่า A_i และ β_i จะเป็น

$$A_i = \frac{i_2}{i_1} \qquad (5.18)$$

$$\beta_i = \frac{i_3}{i_2} \qquad (5.19)$$



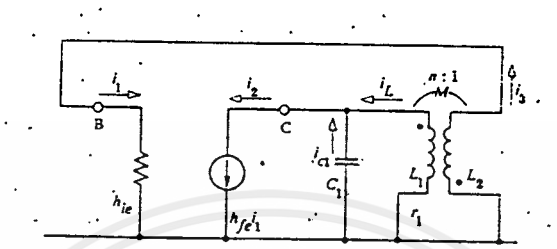
รูปที่ 5.9 วงจรออสซิลเลเตอร์ที่มีการป้อนกลับ (กรณีของทรานซิสเตอร์)

การออสซิลเลทจะเริ่มเกิดขึ้นเมื่อ $i_1 < i_3$ และที่ $i_1 = i_3$ การออสซิลเลทจะเริ่มมีค่าคงที่ดังนั้น

$$A_i\beta_i = \frac{i_3}{i_1} > 1 \quad \text{(ข้อกำหนดของการเริ่มออสซิลเลท)} \qquad (5.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_i\beta_i = \frac{i_3}{i_1} = 1 \quad \text{(ข้อกำหนดของการออสซิลเลทแบบต่อเนื่อง)} \qquad (5.21)$$



รูปที่5.10 แสดงวงจรทัดเทียมของวงจรในรูปที่ 5.8

เมื่อพิจารณารูปที่ 5.10 จะคล้ายกับว่าวงจรมีลักษณะง่ายๆคล้ายกับของเฟท แต่ความจริงแล้วไม่ง่ายเลย การคำนวณวงจรจะต้องระมัดระวังเกี่ยวกับค่าของ M ในวงจรนี้ด้านขดทุติยภูมิจะไม่เปิดวงจร ดังนั้นค่ากระแส i_3 จึงไหลผ่านขดทุติยภูมิ จึงทำให้เกิดผลกระทบต่อทางด้านขดทุติยภูมิ โดยอาศัยกฎของเคอร์ชอฟ จะได้สมการดังนี้

$$\left.\begin{aligned} i_2 &= i_{c1} + i_L \\ \frac{i_{c1}}{j\omega C_1} &= (j\omega L_1 + r_1)i_L - j\omega M i_3 \end{aligned}\right\} \qquad (5.22)$$

$$i_3 = \frac{j\omega M i_L}{j\omega L_2 + h_{ic}}$$

จากสมการบนทำให้ได้สมการต่อไปนี้

$$\frac{i_2}{j\omega C_1} = \left\{\left(j\omega L_1 + \frac{1}{j\omega C_1} + r_1\right)\frac{j\omega L_2 + h_{ie}}{j\omega M} - j\omega M\right\} i_3$$

$$\beta_i = \frac{i_3}{i_2} = \frac{\omega M}{\left(j\omega^2 L_1 C_1 - j + \omega C_1 r_1\right)\left(j\omega L_2 + h_{ie}\right) + \omega^3 M^2 C_1} \qquad (5.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $A_i = i_2 / i_1 = h_{fe}$ ดังนั้นข้อกำหนดของการออสซิลเลทอย่างต่อเนื่องจะเป็น

$$A_i \beta_i = \frac{h_{fe}\omega M}{\omega\{L_2(1 - \omega^2 L_1 C_1) + C_1 r_1 h_{ie} + \omega^2 M^2 C_1\} + j\{\omega^2 C_1 L_1 r_1 + (\omega^2 L_1 C_1 - 1)h_{ie}\}}$$

$$= 1 \qquad (5.24)$$

จากสมการที่ (5.24) จะได้ว่า

$$\omega^2 C_1 L_2 r_1 + (\omega^2 L_1 C_1 - 1)\, h_{ie} = 0 \qquad (5.25)$$

$$h_{fe} M = L_2(1 - \omega^2 L_1 C_1) + C_1 r_1 h_{ie} + \omega^2 M^2 C_1 \qquad (5.26)$$

จากสมการที่ (5.25) แสดงข้อกำหนดของความถี่สัญญาณ ส่วนสมการที่ (5.26) แสดงข้อกำหนดของขนาดศักดาสัญญาณ

จากสมการที่ (2.25) จะได้ว่า

$$\omega^2 = \frac{1}{L_1 C_1 \left(1 + \frac{L_2 r_1}{L_1 h_{ie}}\right)} \qquad (5.27)$$

เพราะว่าค่า r_1 เป็นความต้านทานของขดลวด ซึ่งจะต้องมีค่า $r_1 << h_{ie}$ และวงจรกำธรจะมีค่า Q ทางด้านปฏิบัติที่ทำให้ $L_2 << L_1$ เป็นจริง ผลก็คือ $L_2 r_1 << L_1 h_{ie}$ จะเป็นจริง ฉะนั้นสมการที่ (5.27) จะกลายเป็น

$$\omega^2 = \frac{1}{L_1 C_1} \qquad (5.28)$$

หรือ

$$f = \frac{1}{2\pi\sqrt{L_1 C_1}} \qquad (5.29)$$

แทนค่าสมการที่ (5.26 ด้วยสมการที่ (5.28) ค่า h_{fe} จะเป็น

$$h_{fe} = \frac{C_1 r_1 h_{ie}}{M} + \frac{M}{L_1} \qquad (5.30)$$

ค่าอิมพีแดนซ์ที่จุดกำธร R_o ของกำธรขณะที่ไม่มีโหลด ($i_3 = 0$) มีค่าเป็น $L_1/C_1 r_1$ ดังนั้น h_{fe} จะเป็น

$$h_{fe} = \frac{L_1 h_{ie}}{M R_o} + \frac{M}{L_1} \qquad (5.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัมประสิทธิ์ของทรานฟอเมอร์ k ถือได้ว่าค่าประมาณ 1 อัตราส่วนของจำนวนขดลวดจะมีค่าเป็น $n = L_1 / M$ นั่นคือ

$$h_{fe} = \frac{n\, h_{ie}}{R_o} + \frac{1}{n} \qquad (5.32)$$

สมการที่ (5.32) แสดง " สภาวะวิกฤติของการออสซิลเลท" หรือกล่าวได้ว่าเป็นสภาวะที่วงจรถึงจุดที่อยู่ระหว่างจะออสซิลเลทต่อไป หรือจะหยุดนั่นเอง ดังนั้นที่จุดนี้จะยังไม่ใช่จุที่เป็นสภาวะของการออสซิลเลทอย่างแท้จริง ดังนั้นค่า h_{fe} ของวงจรจะต้องมีค่ามากกว่าสมการที่ (5.32)

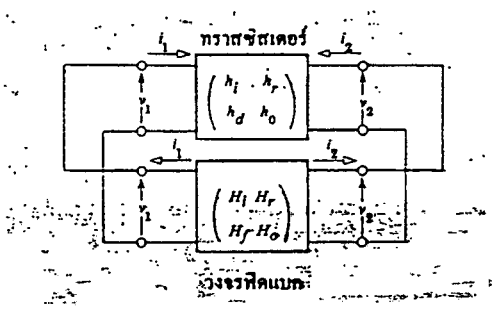
ยิ่งไปกว่านั้น เพื่อที่จะรักษาให้ความถี่และขนาดของสัญญาณที่ได้จากวงจรออสซิลเลเตอร์มีเสถียรภาพดี ค่า Q (loaded Q) วงจรกำธร จะต้องทำให้มีค่าสูง นั่นคืออัตราส่วนระหว่างรอบของขดลวด n จะต้องมีค่ามาก ขณะเดียวกันขดลวด L_1 มักจะเป็นแบบแท็ปกลาง เพื่อต่อเข้ากับขาของคอลเลคเตอร์

3. ข้อกำหนดการเกิดออสซิลเลท

นอกจากวิธีที่ได้กล่าวมาแล้ว 2 วิธีข้างต้น ยังมีอีกหลายวิธีที่จะนำมาพิจารณาหาข้อกำหนดของการออสซิลเลท อย่างไรก็ตามในการใช้งานออกแบบจริงๆแล้ว ยังไม่สามารถตัดสินใจไปได้อย่างแน่นอนว่า วิธีใดเป็นวิธีที่ดีที่สุด ข้อกำหนดของการออสซิลเลทอีกสองวิธีจะได้อธิบายดังหัวข้อ (ก) และ (ข) คือ

ก. การประกอบกันขององค์ประกอบแบบเอช

ในกรณีของทรานซิสเตอร์ องค์ประกอบแบบเอชมักจะถูกนำมาใช้บ่อยๆในย่านความถี่ต่ำ วิธีนี้จะเป็นการอธิบายวงจรป้อนกลับโดยใช้องค์ประกอบแบบเอช โครงสร้างของวิธีนี้อธิบายได้ดังรูปที่ 5.11



รูปที่ 5.11 วงจรออสซิลเลเตอร์ที่อธิบายโดยใช้องค์ประกอบแบบเอช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปที่ 5.11 องค์ประกอบที่ใช้เกี่ยวกับทรานซิสเตอร์ ใช้แทนด้วยอักษรตัวเล็ก (h) ส่วนองค์ประกอบที่ใช้เกี่ยวกับการป้อนกลับใช้แทนด้วยอักษรตัวใหญ่ (H) จากนิยามขององค์ประกอบเอช จะได้สมการของทรานซิสเตอร์ดังต่อไปนี้

$$v_1 = h_i i_1 + h_r v_2 \tag{5.33}$$

$$i_2 = h_f + h_o v_2 \tag{5.34}$$

และสำหรับการป้อนกลับจะได้สมการดังนี้

$$v_1 = H_i (-i_1) + H_r v_2 \tag{5.35}$$

$$-i_2 = H_f (-i_1) + H_o v_2 \tag{5.36}$$

ต่อไปใช้สมการที่ (5.35) ลบกับสมการที่ (5.33) และสมการที่ (5.36) บวกกับสมการที่ (5.34) ผลที่ได้จะเป็น

$$0 = (h_i + H_i)\, i_1 + (h_r - H_r)\, v_2 \tag{5.37}$$

$$0 = (h_f - H_f)\, i_1 + (h_o - H_o)\, v_2 \tag{5.38}$$

คำตอบของสมการบนจะได้เป็น

$$i_1 = \frac{\begin{vmatrix} 0 & (h_r - H_r) \\ 0 & (h_o + H_o) \end{vmatrix}}{\Delta} = \frac{0}{\Delta} \neq 0 \tag{5.39}$$

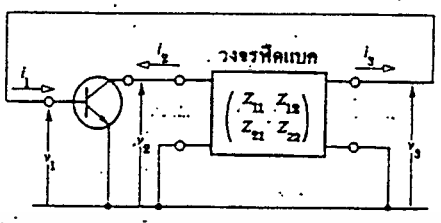
เมื่อ Δ เป็นค่าดีเทอร์มิแนนท์ของสัมประสิทธ์ของสมการที่ (5.37) และ (5.38) ในสมการที่ (5.39) ค่า i_1 จะต้องไม่เป็นศูนย์ และมีค่าแน่นอนเมื่อเกิดออสซิลเลทแบบต่อเนื่อง ฉะนั้นค่า Δ จะเป็นศูนย์เท่านั้น

$$(h_i + H_i)(h_o + H_o) - (h_r - H_r)(h_f - H_f) = 0 \tag{5.40}$$

สมการที่ (5.40) แสดงสภาวะการออสซิลเลทอย่างต่อเนื่องที่อธิบายด้วยองค์ประกอบแบบเอช เนื่องจากสมการนี้ประกอบด้วยจำนวนจริง และจำนวนจินตภาพ คำตอบที่ได้จะเป็นข้อกำหนดของขนาดศักดาสัญญาณหนึ่ง และข้อกำหนดของความถี่สัญญาณอีกอันหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การประกอบกันขององค์ประกอบแบบเอชและองค์ประกอบแบบแซด(อิมพิแดนซ์, Z)



รูปที่ 5.12 แสดงการอธิบายโดยองค์ประกอบแบบเอชและองค์ประกอบแบบแซด

เมื่อวงจรป้อนกลับอธิบายโดยใช้องค์ประกอบแบบอิมพิแดนซ์ จะได้ดังรูปที่ 5.12 วงจรป้อนกลับในรูปที่ 5.12 ทำให้ได้ว่า

$$v_2 = Z_{11}(-i_2) + Z_{12}(-i_3) \tag{5.41}$$

$$v_3 = Z_{21}(-i_2) + Z_{22}(-i_3) \tag{5.42}$$

โดยอาศัยสมการโดยประมาณของทรานซิสเตอร์ จะได้สมการต่างๆดังนี้

$$v_1 = h_{ie}\, i_1 + h_{re} v_2 = h_{ie} i_1 \tag{5.43}$$

$$i_2 = h_{fe} i_1 + h_{oe} v_2 = h_{fe} i_1 \tag{5.44}$$

เมื่อการออสซิลเลทเป็นแบบต่อเนื่อง $v_3 = v_1$ และ $i_3 = i_1$ สมการที่ (5.42) จะกลายเป็น

$$v_1 = -Z_{21} i_2 - Z_{22} i_1 \tag{5.45}$$

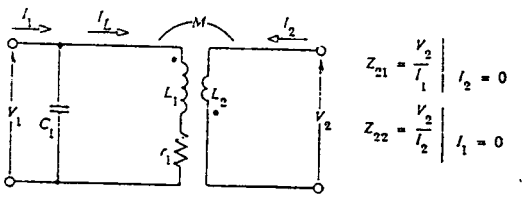
แทนสมการที่ (5.43) และ (5.44) ลงในสมการที่ (5.45)

$$h_{ie} i_1 = -Z_{21} h_{fe} i_1 - Z_{22} i_1$$

$$h_{fe} = -\frac{h_{ie} + Z_{22}}{Z_{21}} \tag{5.46}$$

ตามสมการที่ (5.46) เป็นตัวเลขที่ประกอบด้วยจำนวนจริงและจำนวนจินตภาพ ซึ่งจะได้ข้อกำหนดของขนาดสัญญาณจากเลขจำนวนจริง ข้อกำหนดของความถี่สัญญาณจากเลขจำนวนจินตภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 แสดงองค์ประกอบแบบแซดของวงจรป้อนกลับ

เมื่อใช้สมการที่ (5.46) กับวงจรออสซิลเลเตอร์แบบเลือกความถี่ที่คอลเลคเตอร์ในรูปที่ 5.10 จะหาค่า Z_{21} และ Z_{22} ของรูปที่ 5.13 ได้ดังนี้

จากนิยามขององค์ประกอบแบบแซด Z_{21} และ Z_{22} จะเป็น

$$Z_{21} = \frac{v_2}{I_1}\Bigg|_{I_2=0} = \frac{-j\omega M}{1 - \omega^2 L_1 C_1 + j\omega C_1 r_1} \tag{5.47}$$

$$Z_{22} = \frac{v_2}{I_2}\Bigg|_{I_1=0} = j\omega L_2 + j\omega C_1 \frac{\omega^2 M^2}{1 - \omega^2 L_1 C_1 + j\omega C_1 r_1} \tag{5.48}$$

แทนสมการที่ (5.47) และ (5.48) ลงในสมการที่ (5.46) จะได้ผลลัพธ์ดังนี้

$$h_{fe} \frac{j\omega M}{1 - \omega^2 L_1 C_1 + j\omega C_1 r_1} = h_{ie} + j\omega L_2 - j\omega C_1 \frac{\omega^2 M^2}{1 - \omega^2 L_1 C_1 + j\omega C_1 r_1} \tag{5.49}$$

นั่นคือ

$$\omega^2 C_1 L_2 r_1 + (\omega^2 L_1 C_1 - 1) h_{ie} = 0 \tag{5.50}$$

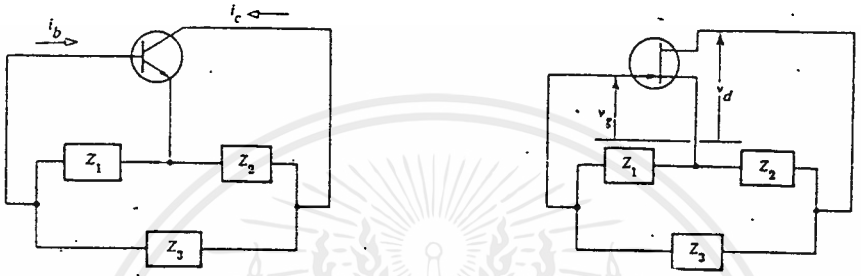
$$h_{fe} M = L_2 (1 - \omega^2 L_1 C_1) + C_1 r_1 h_{ie} + \omega^2 M^2 C_1 \tag{5.51}$$

ผลที่ได้จากสมการที่ (5.50) และ (5.51) จะเหมือนกับสมการ (5.25) และ (5.26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 วงจรออสซิลเลเตอร์แบบเชื่อมต่อกัน 3 จุด

วงจรออสซิลเลเตอร์ที่มีวงจรป้อนกลับประกอบด้วยอุปกรณ์สามตัว โดยทั่วไปจะเรียกว่าวงจรออสซิลเลเตอร์แบบเชื่อมต่อกันสามจุด ยกตัวอย่างเช่นวงจรแบบฮาร์ทเลย์ (Hartley) คอลพิทท์ (Colpitts) และแบบใช้ก้อนผลึกเป็นต้น

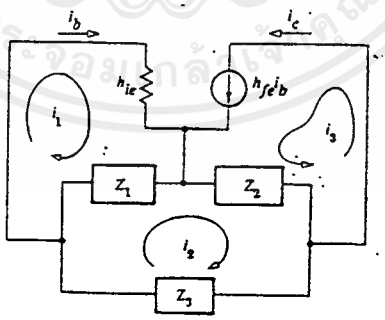


(ก) วงจรของทรานซิสเตอร์ (ข) วงจรของเฟท

รูปที่ 5.14 วงจรออสซิลเลเตอร์แบบเชื่อมต่อกันสามจุด

1. วงจรออสซิลเลเตอร์แบบเชื่อมต่อกันสามจุดของทรานซิสเตอร์

วงจรทัดเทียมของวงจรในรูปที่ 5.14 (ก) สามารถเขียนได้ดังรูปที่ 5.15



รูปที่ 5.15 แสดงวงจรทัดเทียมของรูปที่ 5.14 (ก)

จากรูปที่ 5.15 จะได้ว่า

$$\left.\begin{aligned}(h_{ie} + Z_1)\, i_1 - Z_1 i_2 &= 0\\ -Z_1 i_1 + (Z_1 + Z_2 + Z_3)\, i_2 + Z_2 i_3 &= 0\end{aligned}\right\} \qquad (5.52)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะว่า $i_1 = i_b$, $i_3 = i_c = h_{fe} i_b$ ดังนั้นสมการที่ (5.52) จะได้เป็น

$$\left.\begin{aligned}(h_{ie} + Z_1)\, i_b - Z_1 i_2 = 0 \\ (h_{fe} Z_2 - Z_1)\, i_b + (Z_1 + Z_2 + Z_3)\, i_2 = 0\end{aligned}\right\} \qquad (5.53)$$

ตามสมการบนจะได้คำตอบก็ต่อเมื่อ $i_b \neq 0$ และ $i_2 \neq 0$ ดังนั้นค่าสัมประสิทธิ์ดีเทอมิแนนท์ Δ จะต้องเป็น $\Delta = 0$ นั่นคือ

$$\begin{aligned}\Delta &= (h_{ie} + Z_1)(Z_1 + Z_2 + Z_3) + Z_1 (h_{fe} Z_2 - Z_1) \\ &= h_{ie} (Z_1 + Z_2 + Z_3) + Z_1 \left\{ Z_2 (1 + h_{fe}) + Z_3 \right\} = 0 \qquad (5.54)\end{aligned}$$

ถ้าค่า Z_1 , Z_2 และ Z_3 เป็นค่ารีแอคแตนซ์จริงๆแล้ว jX_1 , jX_2 และ jX_3 จากสมการที่ (5.54) จะมีค่าเป็น

$$j h_{ie} (X_1 + X_2 + X_3) - X_1 X_2 (1 + h_{fe}) - X_1 X_3 = 0$$

และจากจำนวนจินตภาพและจำนวนจริงจากสมการบนทำได้ว่า

$$X_1 + X_2 + X_3 = 0 \qquad (5.55)$$

$$X_2 (1 + h_{fe}) + X_3 = 0 \qquad (5.56)$$

สมการที่ (5.55) จะแสดงข้อกำหนดของความถี่สัญญาณ ส่วนสมการที่ (5.56) จะแสดงข้อกำหนดของศักดาสัญญาณ จากสมการที่ (5.56) จะได้ว่า

$$X_2 = \frac{- X_3}{1 + h_{fe}} \qquad (5.57)$$

จากสมการนี้จะเห็นว่า X_2 และ X_3 จะเป็นค่ารีแอคแตนซ์ต่างชนิดกัน

แทนสมการที่ (5.57) ลงในสมการที่ (5.55) ทำให้

$$X_1 = - \frac{h_{fe} X_3}{1 + h_{fe}} \qquad (5.58)$$

จากสมการนี้จะเห็นว่า X_1 และ X_3 จะเป็นค่ารีแอคแตนซ์ต่างชนิดกัน และจากสมการที่ (5.57) และ (5.58) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$h_{fe} = \frac{X_1}{X_2} \qquad (5.59)$$

ผลจากสมการเหล่านี้สรุปได้ว่า :

1) ค่ารีแอคแตนซ์ของ X_1 และ X_2 จะต้องเป็นคนละชนิดกับ X_3

2) ค่ารีแอคแตนซ์ต่างๆควรจะเป็นไปตามข้อกำหนดดังนี้

$$|X_2| < |X_3|, |X_1| < |X_3|$$

3) h_{fe} ควรจะมีค่าเป็น $h_{fe} = X_1 / X_2$

ค่า h_{fe} ของ 3) นี้จะเป็นค่าที่การออสซิลเลทอิ่มตัวแล้ว ถ้าในกรณีของเพิ่มจะเริ่มเกิดการออสซิลเลท ค่า h_{fe} ควรจะเป็น $h_{fe} > X_1 / X_2$

จากข้อกำหนดข้อ 1) และ 2) จะได้วงจรพื้นฐานดังรูปที่ 5.16 (ก) และ (ข) วงจรรูป (ก) เรียกว่า วงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ ส่วนรูป (ข) เรียกว่า วงจรออสซิลเลเตอร์แบบคอลพิทท์

(ก) วงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ (ข) วงจรออสซิลเลเตอร์แบบคอลพิทท์

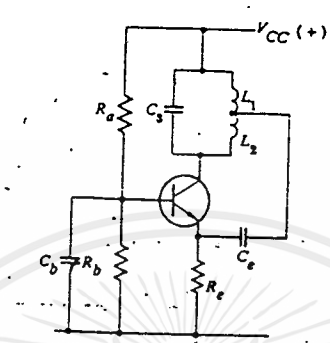
รูปที่ 5.16 แสดงวงจรเบื้องต้นของฮาร์ทเลย์และคอลพิทท์ของทรานซิสเตอร์

ในวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ ขดลวด L_1 และ L_2 มักจะประกอบรวมกันเป็นขดลวดเดียวกัน แต่ทำให้เกิด L_1 และ L_2 โดยการใช้แทปออกมา การกระทำในลักษณะนี้ทำให้เกิดค่าความเหนี่ยวนำแบบมิวชวล (mutual) เพิ่มขึ้นในวงจรและความเหนี่ยวนำที่ได้จากข้อกำหนดของความถี่สัญญาณจะต้องมากกว่าหรือเท่ากับ $L_1 + L_2 + 2M$ วงจรนี้เหมาะสมกับการออสซิลเลทที่ความถี่ต่ำ

เพราะว่าอัตราส่วนของค่าอิมพิแดนซ์ด้านสัญญาณเข้าของทรานซิสเตอร์ h_{ie} ของด้านเบสกับค่าอิมพิแดนซ์ด้านสัญญาณออกของ $1 / h_{oe}$ ของด้านคอลเลคเตอร์ จะมีค่าประมาณ 10 ถึง 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่า ดังนั้นค่า X_2 มักจะเลือกให้มีค่ามากกว่า X_1 10 ถึง 30 เสมอ ($L_2 / L_1 = C_1 / C_2$ 10 ถึง 30 เท่า) เพื่อที่จะได้ข้อกำหนดของการออสซิลเลทดีที่สุด



รูปที่ 5.17 เป็นตัวอย่างวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ชนิดเบสร่วม

จะหาความถี่ของการออสซิลเลทได้จากสมการที่ (5.55)

$$j\omega L_1 + j\omega L_2 + \frac{1}{j\omega C_3} = 0 \qquad (5.60)$$

ฉะนั้นความถี่ f จะมีค่าเป็น

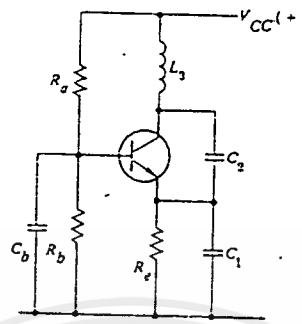
$$\therefore f = \frac{1}{2\pi\sqrt{(L_1 + L_2)\,C_3}} \qquad (5.61)$$

เมื่อ M มีค่าคงที่ f จะเป็น

$$f = \frac{1}{2\pi\sqrt{(L_1 + L_2 + 2M)\,C_3}} \qquad (5.62)$$

รูปที่ 5.18 จะเป็นตัวอย่างของวงจรออสซิลเลเตอร์แบบคอลพิทท์ชนิดเบสร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



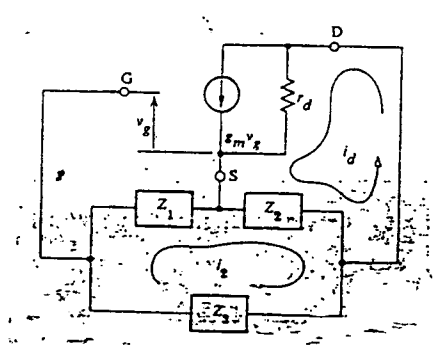
รูปที่ 5.18 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทท์แบบเบสร่วม

ความถี่ที่ออสซิลเลท f จะหาได้คล้ายกับวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ โดยอาศัยจากสมการที่ (5.55) จะได้ว่า

$$\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} + j\omega L_3 = 0$$

$$\therefore \quad f = \frac{1}{2\pi\sqrt{L_3 \dfrac{C_1 C_2}{C_1 + C_2}}} \qquad (5.63)$$

2. วงจรออสซิลเลเตอร์แบบเชื่อมต่อกันสามจุดของเฟท (รวมทั้งหลอดสุญญากาศด้วย) วงจรทัดเทียมของวงจรในรูปที่ 5.14 (ข) จะเป็นดังรูปที่ 5.19



รูปที่ 5.19 แสดงวงจรทัดเทียมของวงจรในรูปที่ 5.14 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.19 ถ้าให้กระแสไหลวนอยู่ในลูปเป็น i_d และ i_2 จะได้สมการดังนี้

$$r_d(i_d - g_m v_g) + Z_2(i_d + i_2) = 0 \tag{5.64}$$

$$(Z_1 + Z_2 + Z_3)\, i_2 + Z_2 i_d = 0 \tag{5.65}$$

เพราะว่าค่า $v_g = Z_1 i_2$ ดังนั้นสมการ (5.64) จะจัดเทอมใหม่ได้เป็น

$$\left.\begin{aligned}(r_d + Z_2)\, i_d + (Z_2 - g_m r_d Z_1)\, i_2 = 0 \\ Z_2 i_d + (Z_1 + Z_2 + Z_3)\, i_2 = 0\end{aligned}\right\} \tag{5.66}$$

จากสมการที่ (5.66) ข้อกำหนดของการออสซิลเลทแบบต่อเนื่องจะเป็นจริงเมื่อ $\Delta = 0$ จะได้สมการดังต่อไปนี้

$$\Delta = r_d(Z_1 + Z_2 + Z_3) + Z_2\left\{Z_1(1 + g_m r_d) + Z_3\right\} \tag{5.67}$$

เมื่อ Z_1 , Z_2 และ Z_3 เป็นค่ารีแอคแตนซ์อย่างแท้จริง (pure reactance) แล้ว jX_1 , jX_2 และ jX_3 ของเทอมแรกของสมการที่ (5.67) จะเป็นส่วนของจำนวนจินตภาพ และเทอมที่สองจะเป็นส่วนของจำนวนจริง นั่นคือ

$$X_1 + X_2 + X_3 = 0 \tag{5.68}$$

$$X_1(1 + g_m r_d) + X_3 = 0 \tag{5.69}$$

โดยความสัมพันธ์ของเฟท ซึ่ง $g_m r_d = \mu$ จากสมการบนจะได้ว่า

$$X_1 = \frac{X_3}{1 + \mu} \tag{5.70}$$

$$X_2 = -\frac{\mu X_3}{1 + \mu} \tag{5.71}$$

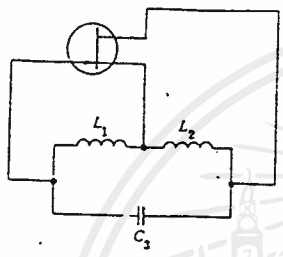
และจากสมการที่ (5.70) (5.71) จะได้ว่า

$$\frac{X_2}{X_1} = \mu \tag{5.72}$$

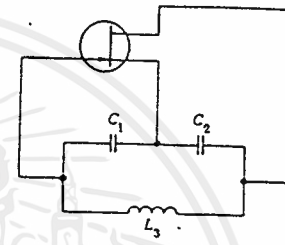
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการบนจะเห็นว่า ทั้ง X_1 และ X_2 จะมีค่ารีแอคแตนซ์ต่างจากของ X_3 และข้อกำหนดที่ว่า $|X_1| < |X_3|, |X_2| < |X_3|$ จะเป็นจริง ความถี่ของการออสซิลเลทจะหาได้จากสมการ (5.68)

วิธีการกราวด์สามจุดมักจะพบบ่อยๆ ในวงจรเฟทที่เป็นวงจรออสซิลเลเตอร์ วงจรที่พบกันบ่อยๆคือ วงจรออสซิลเลเตอร์แบบคอลพิทท์ ชนิดเดรนลงกราวด์ ดังรูปที่ 5.21

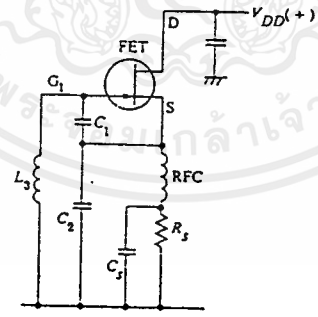


(ก) วงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ที่ใช้เฟท



(ข) วงจรออสซิลเลเตอร์แบบคอลพิทท์ที่ใช้เฟท

รูปที่ 5.20 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์และแบบคอลพิทท์เบื้องต้น



รูปที่ 5.21 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทท์

ตามรูปที่ 5.21 ตัว RFC คือ คอยล์ความถี่สูง (high frequency choke) ที่ทำหน้าที่ป้องกันกระแสของสัญญาณความถี่สูงไหลผ่าน และค่าความต้านทาน R_s เป็นความต้านทานไบอัสวงจร ความถี่ของการออสซิลเลทหาได้จากสมการที่ (5.68) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} + j\omega L_3 = 0$$

$$\therefore \quad f = \frac{1}{2\pi\sqrt{L_3 \dfrac{C_1 C_2}{C_1 + C_2}}}$$

3. การเบี่ยงเบนความถี่ของวงจรออสซิลเลเตอร์แบบ LC และวิธีแก้ไขให้ความถี่กลับมาคงเดิม

สาเหตุของการเบี่ยงเบนความถี่ของวงจรออสซิลเลเตอร์แบบ LC สามารถแบ่งออกเป็นพวกๆได้ดังนี้

1) การเปลี่ยนแปลงของตัวคงที่ของทรานซิสเตอร์หรือเฟท

2) การเปลี่ยนแปลงค่าคงที่ของ L และ C ในวงจร

3) การเปลี่ยนแปลงของโหลด

การป้องกันสาเหตุในข้อ 1) , 2) และ 3) เพื่อทำให้ค่าความถี่ของวงจรออสซิลเลเตอร์คงที่จะได้ทำการศึกษารายละเอียดดังต่อไปนี้

ก. การเปลี่ยนแปลงของตัวคงที่ของทรานซิสเตอร์หรือเฟท

ค่าคงที่ h_{ie} , h_{oe} , C_c , r_d และ C_{dg} ของทรานซิสเตอร์หรือเฟทจะมีความเกี่ยวพันกันอย่างใกล้ชิดกับความถี่ที่ออสซิลเลทขึ้นมา ยกตัวอย่างเช่น จากข้อกำหนดของความถี่สัญญาณ สมการที่ (5.15) และ (5.27) เป็นดังนี้

$$\omega^2 = \frac{1}{L_1 C_1}\left(1 + \frac{r_1}{r_d}\right) \tag{5.15}$$

$$\omega^2 = \frac{1}{L_1 C_1} \cdot \frac{1}{\left(1 + \dfrac{L_2 r_1}{L_1 h_{ie}}\right)} \tag{5.27}$$

ทั้งสองสมการนี้จะมีค่า r_d , h_{ie} , C_1 , C_c , และ C_{dg} ประกอบกับค่าอื่นซึ่งจะเห็นได้ว่าความถี่ของวงจรออสซิลเลเตอร์ จะแปรเปลี่ยนไปเมื่อค่าคงที่เหล่านี้ของทรานซิสเตอร์ หรือของเฟทเปลี่ยนแปลงไป เพื่อแก้ปัญหาเหล่านี้ต้อง

1) ต้องกันค่าคงที่ของทรานซิสเตอร์หรือเฟทเหล่านี้ ไม่ให้เกิดการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

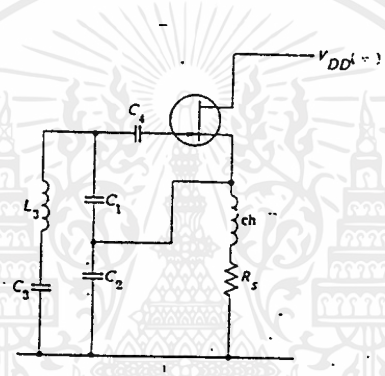
2) การคัปปลิ้งสัญญาณระหว่างวงจร LC และทรานซิสเตอร์หรือเฟท จะต้องทำให้มีค่าน้อยที่สุดเท่าที่จะทำได้

โดยวิธีที่จะประกอบด้วย

1) แหล่งจ่ายศักดาไฟเลี้ยงวงจรจะต้องทำให้มีเสถียรภาพดี

2) การใช้งานวงจรควรจะทำให้มีการเปลี่ยนแปลงของอุณหภูมิน้อยที่สุด หรือสร้างการชดเชยผลของอุณหภูมิให้วงจร

3) ใส่ตัวเก็บประจุ $C_3 (C_3 << C_1, C_2)$ อนุกรมกับ L_3 ในวงจรตามรูปที่ 5.21 ซึ่งเป็นการพัฒนาวงจรคอลพิทท์ให้มีประสิทธิภาพดีขึ้น



รูปที่ 5.22 วงจรออสซิลเลเตอร์แบบคอลพิทท์ที่ถูกพัฒนาขึ้น

วงจรรูป 5.22 เรียกกันทั่วไปว่า วงจรออสซิลเลเตอร์แบบแคลปป์ (Clapp oscillator circuit) และวงจรนี้นิยมใช้กันมากในทางด้านปฏิบัติ ค่าความจุของตัวเก็บประจุ C_1 และ C_2 จะต้องมีค่ามากกว่าค่าความจุของตัวเก็บประจุ C_3 เป็นพิเศษ จนทำให้ค่าความจุแบบสเตรย์ถูกรวมเข้ากับค่าความจุของ C_1 และ C_2 ซึ่งค่านี้มีค่าถือได้ว่าไม่มีผลต่อวงจรอย่างแน่นอน ด้วยสาเหตุนี้ความถี่ของวงจรออสซิลเลเตอร์ ซึ่งมีค่าประมาณได้จากค่าของ L_3 และ C_3 แต่เนื่องจากการคัปปลิ้งของวงจรนี้เป็นแบบอ่อนหรือสัญญาณต่ำๆ ดังนั้นการออสซิลเลท จึงเป็นแบบอ่อนๆด้วยเป็นผลทำให้ต้องใส่วงจรขยายสัญญาณในภาคหลังของวงจรออสซิลเลเตอร์นี้ด้วย

4) ทำให้อัตราส่วนของ C/L มีค่ามาก เพื่อจะได้ทำให้ผลของความจุของอิเล็กโทรดมีผลกระทบต่อวงจรน้อยที่สุด แต่เมื่อใช้ตัวเก็บประจุ C มีค่าความจุมากแล้ว อัตราการขยายศักดาสัญญาณจะลดลงด้วย ($R_o = L/C_r$ มีค่าลดลง) พร้อมทั้งการออสซิลเลทจะเป็นแบบอ่อนๆ

5) ควรเลือกใช้ทรานซิสเตอร์ที่มีค่าความถี่ f_T สูง

6) ค่า Q ของวงจรกำธรควรทำให้มีค่ามาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การเปลี่ยนค่าคงที่ L และ C ในวงจร

ผลของค่าความเหนี่ยวนำของขดลวด และค่าความจุด้านอิเล็กโตรสแตติกของตัวเก็บประจุจะมีผลต่อความถี่ของการออสซิลเลทของวงจรโดยตรง ดังนั้นตัวเก็บประจุและขดลวดควรได้รับการป้องกันจากอุณหภูมิและความชื้น พร้อมทั้งโครงสร้างของอุปกรณ์ L และ C ที่นำมาใช้งานควรหลีกเลี่ยงจากแบบที่เป็นการเคลื่อนไหวทางกล

ค. การเปลี่ยนแปลงของโหลด

เมื่อมีการเปลี่ยนแปลงของโหลดที่ต่ออยู่โดยตรงกับวงจรออสซิลเลเตอร์ ความถี่ของวงจรจะได้รับผลกระทบโดยการเปลี่ยนแปลงค่าความจุที่เกิดจากผลของมิลเลอร์หรือในบางกรณี L หรือ C ของโหลดจะมีผลกระทบต่อวงจรออสซิลเลเตอร์โดยตรง เพื่อหลีกเลี่ยงผลต่างๆเหล่านี้ควรใช้วงจรขยายสัญญาณบัฟเฟอร์ (buffer amplifier) ใส่ไว้ระหว่างวงจรออสซิลเลเตอร์กับโหลด

นอกจากวิธีที่ได้อธิบายมาแล้วนี้ วิธีการทำให้ค่ารีแอคแตนซ์มีเสถียรภาพ การทำให้มีเสถียรภาพแบบบริดจ์ หรือวิธีการอื่นๆก็ใช้ได้ แต่ไม่ค่อยเหมาะสมกับการใช้งานด้านปฏิบัติ

5.3 <u>วงจรเลือกความถี่</u>

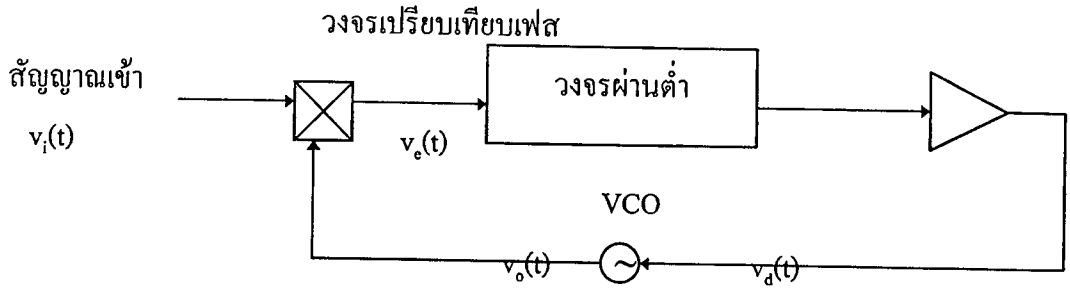
วงจรเลือกความถี่ก็คือ วงจรกรองผ่านแถบ (band pass filter) ในกรณีจำเพาะที่แถบความถี่มีค่าเล็กกว่าความถี่กลางมาก วงจรกรองผ่านแถบที่ไม่ใช้ RLC นั้นยังมีอีกหลายชนิด แต่ในโครงงานนี้ที่ภาคส่งจะใช้วงจรเฟสล็อคลูป (phase locked loop : PLL) ซึ่งมีคุณสมบัติที่น่าสนใจในด้านอำนาจเลือกสรรความถี่ (selectivity)

<u>วงจรเฟสล็อคลูป</u>

<u>การทำงานของวงจรเฟสล็อคลูป</u>

วงจรเฟสล็อคลูปประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยายและวงจรแกว่งควบคุมโดยแรงดัน (voltage controlled oscillator หรือ เรียกย่อๆว่า VCO) ต่อเป็นวงรอบ (loop) อย่างเช่นวงจรป้อนกลับทั่วๆไป ดังรูปที่ 5.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 วงจรเฟสล็อคลูปพื้นฐาน

วงจรเปรียบเทียบเฟสคือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้า 2 สัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $v_i(t)$ มีความถี่ ω_i และเฟส θ_i

$$v_i(t) = v_i \sin(\omega_i t + \theta_i)$$

และสัญญาณออกจาก VCO มีความถี่ ω_i และเฟส θ_o

$$v_o(t) = v_o \cos(\omega_i t + \theta_o)$$

(สังเกตุเห็นว่าในการเขียนสมการเช่นนี้ v_i และ v_o มีมุมอ้างอิงต่างกันอยู่ 90 องศา เพราะ vi เขียนเป็นซายน์ , v_o เป็นโคซายน์)

ถ้าป้อน v_i และ v_o เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณออก

$$v_e(t) = k_m v_i v_o$$

ถ้าละเลยเทอมความถี่ $2\omega_i$ ซึ่งจะถูกกำจัดโดยวงจรผ่านต่ำ จะได้

$$v_e = \frac{k_m v_i v_o}{2} \sin(\theta_i - \theta_o)$$

ถ้าสมมติว่าผลต่าง $\theta_i - \theta_o$ มีค่าน้อย จะได้

$$v_e = k_d(\theta_i - \theta_o)$$

โดยที่ k_d คือความไวของวงจรเปรียบเทียบเฟส $= k_m v_i v_o/2$ (v/rad)

แรงดัน v_e นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ v_o จาก VCO มีความถี่ตรงกับสัญญาณเข้า v_i และถ้าอัตราขยายวงรอบมีค่าสูง v_e จะมีค่าต่ำและเฟส θ_o กับ θ_i จะมีค่าใกล้เคียงกันดังที่สมมติไว้

เอกสารนี้ได้รับการสนับสนุนให้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรเฟสล็อคลูป อาจอธิบายคร่าวๆได้ดังนี้ เมื่อไม่มีสัญญาณเข้า ($v_i = 0$) แรงดัน v_e และ v_d (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่าความถี่อิสระ (free running frequency) f_{oo} เมื่อใส่สัญญาณเข้า v_i ที่ความถี่ f_i ถ้า f_i ต่างจาก f_{oo} มาก สัญญาณ v_e ซึ่งมีค่าความถี่เท่ากับ $f_{oo} - f_i$ จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน v_d ที่ใช้ควบคุม VCO ยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{oo}

ถ้า f_i ไม่ต่างจาก f_{oo} มากนัก นั่นคือ $|f_i - f_{oo}| < \Delta f_p$ ($2\Delta f_p$ มีชื่อว่าช่วงดึงเข้าหรือ pull - in rang) สัญญาณ v_e จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ v_d จะค่อยๆเพิ่มค่าขึ้น และหลังจากช่วงเวลาหนึ่ง เวลาดึงเข้า (pull - in time) ความถี่ f_o ซึ่งค่อยๆแปรไปยังค่า f_i เพียง $|f_i - f_o| = \Delta f_c$ ($2\Delta f_c$ มีชื่อว่า ช่วงจับหรือ capture range) ถึงตอนนี้ f_o จะแปรเข้าสู่ค่า f_i อย่างรวดเร็วฉับพลันเรียกว่า เกิดการล็อค (lock) v_d ก็จะเปลี่ยนแปลงฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_o เป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$\omega_o - \omega_{oo} = k_o v_d$$

โดยที่ k_o เรียกว่าความไวของ VCO มีหน่วยเป็น (rad / sec) / v

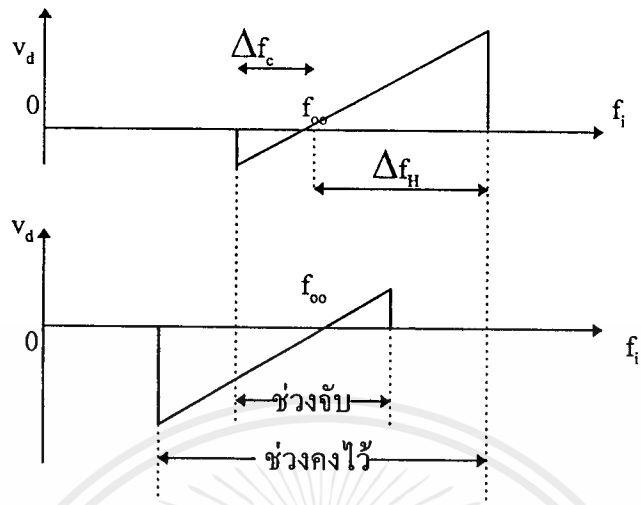
การได้มา(acquisition)ซึ่งการล็อคอาจใช้วิธีดังนี้

(ก) ณ ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อคโดยฉับ พลัน เรียกว่า เกิดการจับ (capture)

(ข) ณ ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO จะค่อยเลื่อนเข้าหาความถี่ f_i เรียกว่าเกิดการดึงเข้า (pull-in)

(ค) นอกช่วงดึงเข้าหรือในกรณีที่การดึงเข้าใช้เวลานานเกินไป อาจเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาด (sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าเสียงรบกวน (nois) มีน้อย ก็อาจเพิ่มแถบความถี่ (bandwidth) ของวงรอบ (loop) ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรือเพิ่มเติมจำแนกความถี่ (frequency discriminator) ซึ่งจะปรับ VCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.24 ลักษณะโอนย้ายจากความถี่เป็นแรงดัน

เมื่อเกิดการล็อคแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของVCO จะแปรตามไปด้วย เรียกว่า เกิดการตามรอย (tracking) ความถี่ของVCOจะสามารถตามรอยความถี่ f_i ได้ตราบใดที่ $|f_i - f_{oo}| < \Delta f_H$ ($2\Delta f_H$ มีชื่อว่าช่วงคงไว้ หรือ hold- in rang บางทีก็เรียกว่า ช่วงตามรอยหรือช่วงล็อค)

สรุปแล้วถ้าเพิ่มหรือลดความถี่ f_i จะได้การเปลี่ยนแปลงของ v_d (ซึ่งควบคุม VCO และเป็นปฏิภาคกับ f_o-f_{oo}) ดังแสดงในรูปที่ 5.24

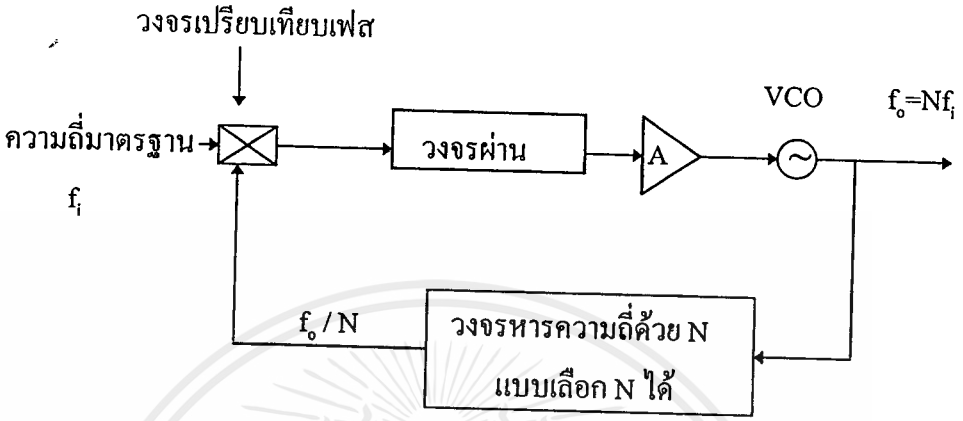
<u>ตัวอย่างการใช้งานวงจรเฟสล็อคลูป</u>

(ก) การดีมอดูเลทความถี่ จากลักษณะในรูปที่ 5.24 จะเห็นได้ว่าแรงดัน v_d เป็นปฏิภาคกับความถี่ f_i วงจรสามารถทำงานเป็นวงจรดีมอดูเลทความถี่ (frequency demodulator) กล่าวคือถ้าสัญญาณเข้า v_i เป็นสัญญาณ FM v_d ก็คือสัญญาณมอดูเลทนั่นเอง ถ้าสัญญาณเข้าเป็นสัญญาณ FSK (frequency shift keyed) จะได้ v_d เป็นสัญญาณเชิงเลข

(ข) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจรเฟสล็อคลูปอีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ความถี่ (frequency synthesizer) วงจรนี้จะให้สัญญาณออกมีความถี่ซึ่งเลือกได้เป็นค่าๆ ไป(discrete) เช่นเลือกระหว่าง 2.0 ถึง 3.0 เมกะเฮิรตซ์ เป็นขั้นๆ (steps) ขั้นละ 0.1 เมกะเฮิรตซ์ เป็นต้น หลักการของวงจรก็คือการคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ เช่น คูณความถี่มาตรฐาน 0.1 เมกะเฮิรตซ์ ด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูปแสดงอยู่ในรูปที่ 5.25 จะเห็นได้ว่าการแทรกวงจรหารความถี่เข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงรอบ จะเป็นการล็อคความถี่ f_o / N เข้ากับความถี่มาตรฐาน f_i ความถี่ของ VCO จะเท่ากับ $f_o = Nf_i$ ตามที่ต้องการ

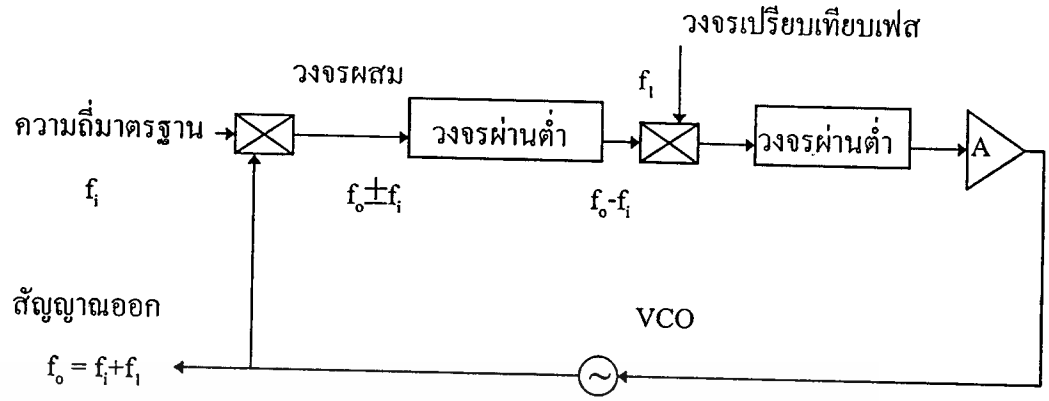


รูปที่ 5.25 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

ในทำนองคล้ายคลึงกันถ้าสัญญาณออกของ VCOมีฮาร์มอนิกอยู่ด้วยมากเราอาจปรับความถี่มาตรฐานขาเข้า f_i ให้ตรงกับฮาร์มอนิกที่ m ของสัญญาณจาก VCO นั่นคือ $f_i = mf_o$ สภาพการล็อคที่ฮาร์มอนิกเช่นนี้จะทำให้ได้ความถี่หลักมูลของ VCO เท่ากับ $f_o = f_i / m$ วงจรเฟสล็อคลูปทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนความถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า f_i เป็น $f_i + f_1$ การใช้เทคนิคการผสม(mixing) จะไม่ได้ผลนัก เพราะถ้า f_1 มีค่าเล็ก การกรองเอาแต่ความถี่ $f_i + f_1$ ไว้โดยตัดความถี่ $f_i - f_1$ ออกไปจะทำได้ยาก จึงควรใช้วงจรเฟสล็อคลูปดังในรูปที่ 5.26 ซึ่งจะทำให้ไม่มีปัญหาในด้านการกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.26 วงจรเลื่อนความถี่

วงจรเฟสล็อคลูปนี้นำสัญญาณออกจาก VCO มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง f_o-f_i ซึ่งจะนำไปเปรียบเทียบกับความถี่ของ f_1

เมื่อเกิดการล็อคจะได้ f_o-f_i = f_1 นั่นคือ $f_o = f_i + f_1$ ความถี่ของ VCO จะเท่ากับความถี่มาตรฐานเลื่อนไป f_1

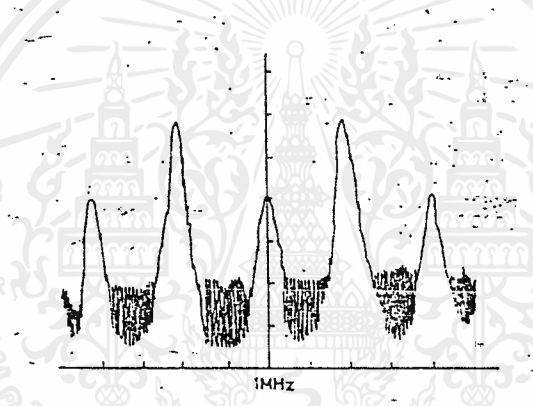
(ค) การเข้าจังหวะ (synchronization) ระบบเฟสล็อคลูปอาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูง แต่เสถียรภาพของความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำๆแต่เสถียรภาพดี ก็ให้ใช้วงจรแรกเป็น VCO และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของเฟสล็อคลูป เมื่อเกิดการล็อคแรงดันออกจาก VCO ก็จะมีระดับสูงและมีเสถียรภาพความถี่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพความถี่ไม่ดี อาจทำงานที่ความถี่สูงมากๆ เช่นในย่านไมโครเวฟ ส่วนวงจรแกว่งที่มีเสถียรภาพดีอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ใช้ผลึก การเข้าจังหวะ (synchronization) อาจทำได้โดยการล็อคความถี่ของ VCO เข้ากับฮาร์มอนิกสูงๆของสัญญาณเข้า การล็อคอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเล็กนิดเดียว จึงไม่มีปัญหาในการล็อคที่ฮาร์มอนิกสูง

(ง) การตรวจจับสัญญาณ (detection) หรือวงจรเลือกความถี่ ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่ และต้องการเลือกเฟ้นเพียงความถี่เดียวก็อาจทำได้โดยใช้วงจรเฟสล็อคลูป โดยปรับความถี่อิสระ(free running) ให้ตรงกับความถี่ที่ต้องการและปรับแถบความถี่ของวงรอบให้แคบ เพื่อว่าวงจรเฟสล็อคลูปจะได้ล็อคกับความถี่นั้น ในกรณีนี้สัญญาณออกของ VCO จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่นๆที่มี ณ ขั้วเข้าจะปะปนอยู่น้อยมาก สัญญาณที่ได้จาก VCO จะมีอัตราส่วนสัญญาณต่อเสียงรบกวนสูงกว่าสัญญาณเข้ามาก กล่าวได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

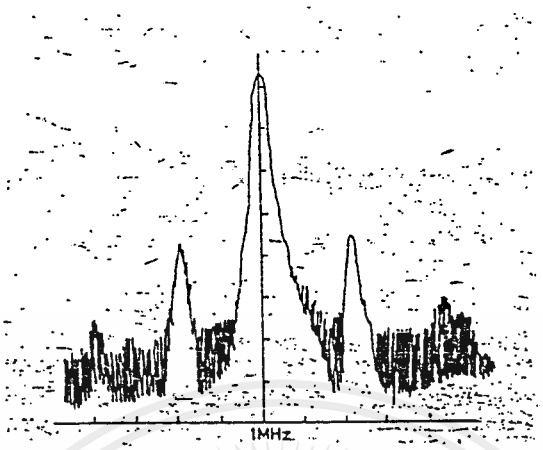
วงจรเฟสล็อคลูปทำหน้าที่เป็นตัวกรองเสียงรบกวน โดยกำเนิดเป็นสัญญาณขึ้นใหม่จากสัญญาณเล็กๆที่จมอยู่ในเสียงรบกวน ดังรูปที่ 5.27

สังเกตได้ว่าในตัวอย่างนี้วงจรเฟสล็อคลูป ทำหน้าที่คล้ายวงจรเลือกความถี่ ต่างกันที่ว่าสัญญาณออกจาก VCO แม้จะตรงตามสัญญาณเข้าในแง่ความถี่ แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูงเลย พิจารณาในแง่นี้จะเห็นว่าเมื่อใช้วงจรเฟสล็อคลูป สำหรับดีมอดูเลทสัญญาณ FM วงจรก็จะมีอำนาจเลือกสรรความถี่อยู่ในตัว



(ก) สเปคตรัมของสัญญาณเข้า สัญญาณที่ต้องการ (อยู่ตรงกลาง)
มีความถี่ 1.0 MHz สัญญาณที่ไม่ต้องการ (อยู่ข้างๆ)
มีความถี่ 0.96 และ 1.04 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

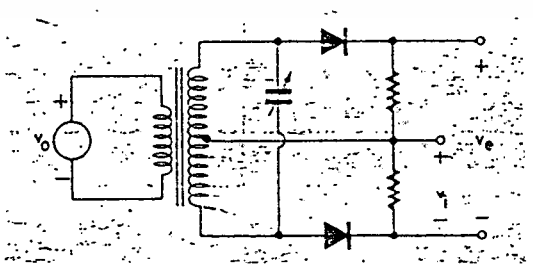


(ข) สเปคตรัมของสัญญาณออกของ VCO สัญญาณที่ต้องการมี
ระดับสูงกว่าที่ไม่ต้องการ 40 dB
สเกล : แกนนอน 20 kHz / ช่อง
แกนตั้ง 10 dB / ช่อง

รูปที่ 5.27 สมรรถนะของวงจรเฟสล็อคลูปในการเลือกสรรสัญญาณ

<u>วงจรเปรียบเทียบเฟส</u>

วงจรเปรียบเทียบเฟสที่ทำงานได้ดีที่ความถี่สูงและมักนิยมใช้ในเครื่องรับวิทยุ ได้แก่ วงจรตรวจจับยอดแบบสมดุล (balanced diode peak detector) ดังรูปที่



รูปที่ 5.28 วงจรเปรียบเทียบเฟสที่ใช้ไดโอดตรวจจับยอดแบบสมดุล

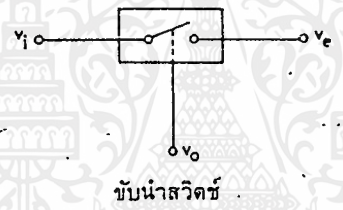
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรในรูปที่ 5.28 คือ

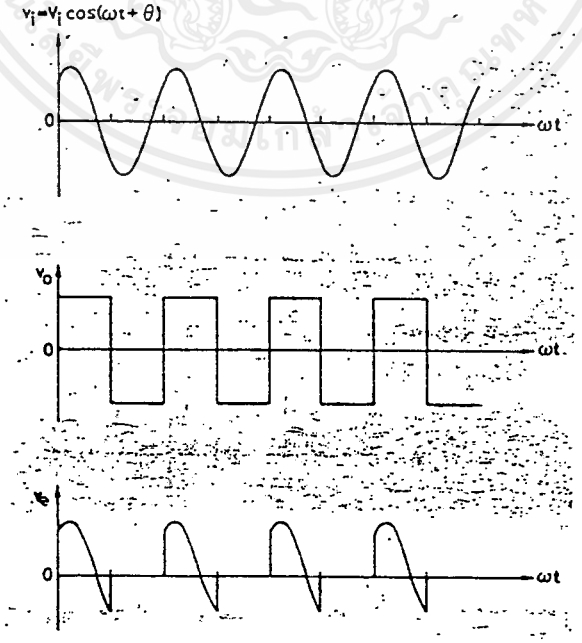
$$v_e = 2v_i \sin \theta \qquad (5.73)$$

วงจรเปรียบเทียบเฟสที่ทำงานโดยใช้หลักการคูณ มักจะทำงานได้ที่ความถี่ต่ำกว่าวงจรข้างต้น อันที่จริงการคูณถ้ามองว่าเป็นการทำงานของสวิตซ์ไฟฟ้าก็อาจช่วยให้เข้าใจง่ายขึ้น กล่าวคือเมื่อ v_o เป็นสี่เหลี่ยมอยู่ในระดับบนก็เหมือนกับคูณด้วย 1 หรือสวิตซ์ไฟฟ้าต่อวงจร : $v_e = v_i$ เมื่อ v_o อยู่ในระดับล่างก็เหมือนคูณด้วย 0 หรือสวิตซ์ไฟฟ้าตัดวงจร : $v_e = 0$ รูปที่ 5.29 แสดงหลักการและรูปคลื่นของวงจรเปรียบเทียบเฟสแบบนี้ สามารถพิสูจน์ได้ว่าค่าเฉลี่ยของแรงดันออก

$$v_e = \frac{v_i}{\pi} \sin \theta \qquad (5.74)$$



(ก) หลักการ

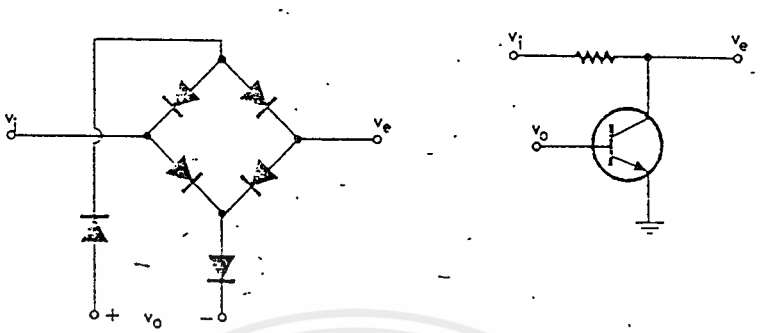


(ข) รูปคลื่นของวงจรเปรียบเทียบเฟส

รูปที่ 5.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตซ์ที่ใช้ในที่นี้อาจเป็นไดโอด หรือทรานซิสเตอร์ดังตัวอย่างในรูปที่ 5.30

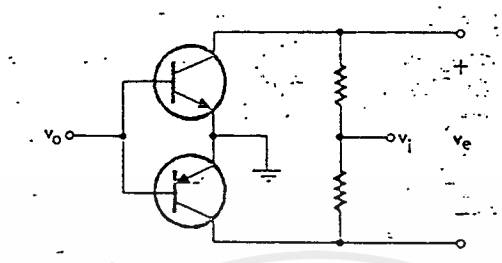


รูปที่ 5.30 วงจรเปรียบเทียบมุมไฟฟ้าที่ใช้หลักการของสวิตซ์

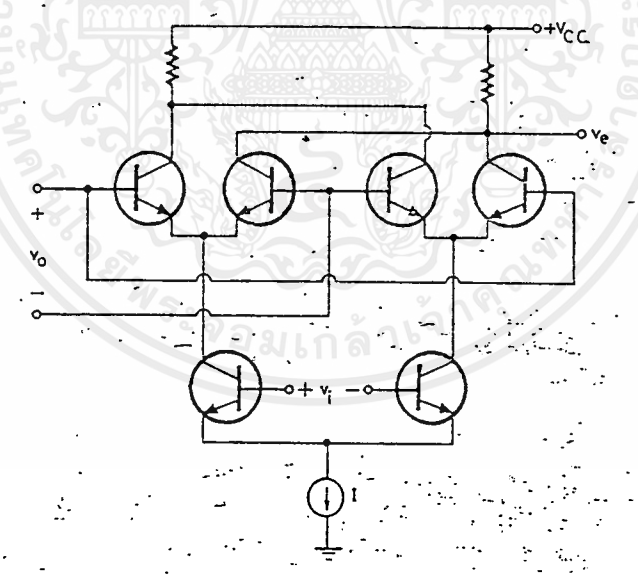
ในกรณีที่มีเสียงรบกวนมาก การกรองอาจจะช่วยได้โดยให้วงจรผ่านต่ำมีแถบความถี่แคบๆ แต่ถ้าแคบเกินไปก็จะมีปัญหาว่าเวลาดึงเข้าจะนานเกินไป และช่วงจับแคบเกินไป รวมทั้งวงจรอาจขาดเสถียรภาพอีกด้วยแต่ถ้าให้แถบความถี่กว้างหน่อย นอกจากจะทำให้เกิดปัญหาเสียงรบกวนแล้ว การที่ v_e มีความถี่เท่ากับ v_i อาจทำให้เกิดการสั่นไหว (jitter) ของเฟสได้ วิธีหนึ่งที่จะช่วยแก้ปัญหาคือ ให้ v_e มีความถี่สูงขึ้นเป็น 2 เท่าของ v_i โดยหลักการของการทำงานเต็มรูปคลื่น (full wave operation) ซึ่งจะเพิ่มความไวของวงจรเปรียบเทียบเฟสเป็นสองเท่าด้วย ในการทำงานเต็มรูปคลื่นนั้นแทนที่จะใช้สวิตซ์เปิดปิดธรรมดา ก็ให้ใช้แบบสับไปมาได้สองทาง(single pole double throw :SPDT) คือ v_o ระดับบน ให้ $v_e = v_i$, v_o ระดับล่าง ให้ $v_e = - v_i$ พิจารณาในแง่ของการคูณเท่ากับเป็นการคูณด้วย +1 และ -1 เราอาจใช้ทรานซิสเตอร์คู่ประกอบทำเป็นสวิตซ์ หรือใช้มอดูเลเตอร์แบบสมดุล (balanced modulators) เพื่อเป็นวงจรคูณ วงจรแบบแรกนิยมต่อแบบองค์ประกอบเป็นตัวๆวงจรแบบหลังนิยมต่อเป็นวงจรประมวล (ดูรูปที่ 5.31)

วงจรเปรียบเทียบอีกแบบหนึ่งคือวงจรฟลิปฟลอปธรรมดา(flipflop) เราใช้เป็น v_i ซึ่งเป็นสัญญาณสี่เหลี่ยมมาตั้งค่าฟลิปฟลอป (set) และใช้ v_o ซึ่งก็เป็นสี่เหลี่ยมเช่นกันมาตั้งต้นฟลิปฟลอป (reset) ถ้า v_i และ v_o มีเฟสใกล้กัน v_e ซึ่งได้จากขั้ว Q ของฟลิปฟลอป จะมีวัฏจักรงาน (duty cycle) ต่ำ ถ้า v_i และ v_o มีเฟส 90 องศา v_e จะมีวัฏจักรงานเท่ากับ 0.5 และถ้าเฟสเข้าใกล้ 180 องศา วัฏจักรงานของ v_e จะเข้าใกล้ 1 จะเห็นได้ว่าค่าเฉลี่ยของ v_e จะเป็นปฏิภาคกับเฟส วงจรประมวลที่ใช้หลักการนี้ก็มีอยู่บ้าง แม้ว่าวงจรเปรียบเทียบเฟสที่เป็นฟลิปฟลอป จะมีลักษณะที่ดีในแง่การตามรอย การคงไว้และการดึงเข้า แต่น่าเสียดายที่การลั่นไก(trigger) จะต้องไม่ผิดพลาด คือวงจรนี้ใช้ได้ในกรณีที่อัตราส่วนสัญญาณต่อเสียงรบกวนมีค่าสูงเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ใช้ทรานซิสเตอร์เป็นสวิตซ์

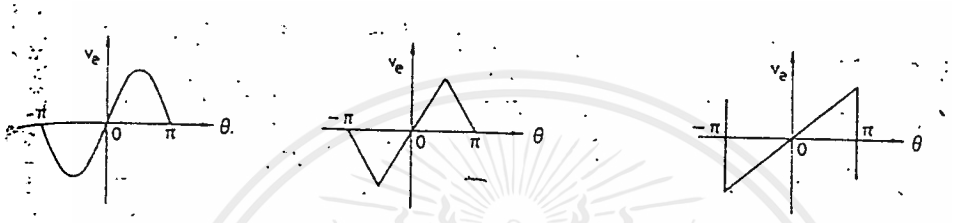


(ข) มอดูเลทแบบสมดุล

รูปที่ 5.31 วงจรเปรียบเทียบมุมไฟฟ้าทำงานเต็มรูปคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรเปรียบเทียบเฟสจะเป็นฟังก์ชันซายน์ดังในสมการ (5.73) หรือสมการ(5.74) แต่ที่เป็นเช่นนี้มิใช่เหตุด้วยวงจร หากเนื่องมาแต่รูปคลื่นของสัญญาณขาเข้า ถ้าให้ v_i เป็นสัญญาณสี่เหลี่ยม ลักษณะหรือกราฟ $v_e = f(\theta)$ จะเป็นรูปสามเหลี่ยม ยิ่งวงจรเปรียบเทียบเฟสแบบฟลิปฟลอปด้วยแล้ว กราฟลักษณะจะเป็นรูปฟันเลื่อยเลย (ดูรูปที่ 5.32)



(ก) vi เป็นซายน์ (ข) vi เป็นสัญญาณสี่เหลี่ยม (ค) วงจรเปรียบเทียบเป็นวงจรฟลิปฟลอป

รูปที่ 5.32 ลักษณะ $v_e = f(\theta)$ ของวงจรเปรียบเทียบเฟส

การที่ลักษณะเป็นเชิงเส้นจะช่วยลดการเพี้ยนในกรณีที่ใช้วงจรเฟสล็อคลูปเป็นวงจรดีมอดูเลเตอร์ รวมทั้งจะช่วยเพิ่มช่วงคงไว้และช่วยดึงเข้าอีกด้วย ด้วยเหตุนี้จึงนิยมต่อวงจรจำกัดช่วงสูง (amplitude limiter) ไว้ก่อนวงจรเฟสล็อคลูปเพื่อให้ v_i เป็นรูปสี่เหลี่ยม

<u>วงจรแกว่งควบคุมโดยแรงดัน (VCO)</u>

วงจร VCO นับว่ามีความสำคัญมากที่สุดในระบบวงจรเฟสล็อคลูปก็ว่าได้ เพราะจะเป็นตัวกำหนดเสถียรภาพเชิงความถี่ และถ้าใช้วงจรเฟสล็อคลูปเป็นวงจรดีมอดูเลทสัญญาณ FM ลักษณะของวงจรก็จะขึ้นอยู่กับความเป็นเชิงเส้นของ VCO (ดูรูปที่ 5.33) คุณสมบัติที่พึงปรารถนาของ VCO ได้แก่

ก. การแปลงแรงดันเป็นความถี่มีลักษณะเป็นเชิงเส้น

ข. มีเสถียรภาพเชิงความถี่ (การเลื่อนไปหรือ drift เนื่องจากอุณหภูมิมีน้อยทั้งระยะสั้นและยาว)

ค. ทำงานได้ที่ความถี่สูง

ง. ช่วงตามรอยกว้าง

จ. ปรับคลื่นได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติเหล่านี้ขัดแย้งกันในตัวอยู่บ้าง เช่น ข้อ ข. ขัดแย้งกับข้ออื่นๆในกรณีนี้ก็ต้องออมชอม และเลือกชนิดของ VCO แล้วแต่ว่าต้องการเน้นคุณสมบัติใด วงจร VCO แบ่งเป็นสามชนิดซึ่งจะเรียงตามลำดับเสถียรภาพเชิงความถี่ได้ดังนี้

ก. วงจรที่ใช้ผลึก

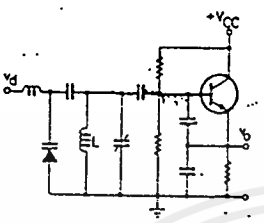
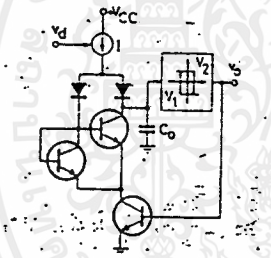
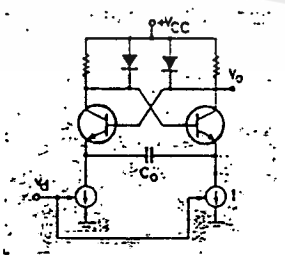
ข. วงจรแกว่ง

ค. วงจรอเนกระรัว (multivibrators)

สำหรับสองชนิดแรก การปรับคลื่นหรือควบคุมความถี่ทำโดยปรับค่าแรงดันคร่อมไดโอดวาแรกเตอร์ (varactor diode) สำหรับวงจรอเนกระรัว การควบคุมโดยความถี่ทำโดยการเปลี่ยนแรงดันให้เป็นกระแสเพื่อไปสะสมประจุใน C ตัวหนึ่ง VCO ชนิดที่ใช้ในวงจรประมวลจะเป็นแบบสองชนิดหลัง ซึ่งแม้ว่าเสถียรภาพจะสู้วงจรผลึกไม่ได้ แต่ก็มีช่วงตามรอยที่กว้างกว่าโดยเฉพาะชนิดสุดท้าย อย่างไรก็ดีวงจรแกว่ง LC ทำงานได้ที่ความถี่สูงกว่า แต่มีช่วงตามรอยที่แคบกว่า วงจรอเนกระรัวที่เป็น VCO มีสำคัญๆอยู่สองแบบ แบบหนึ่งใช้วงจรลั่นไกของชมิตต์(Schmitt trigger) ที่มีฮิสเตอเรซิส(hysteresis) กว้างหรือ $v_2 - v_1$ ค่าสูง (ดูจากตารางที่ 5.2) ตัวเก็บประจุที่ใช้ปรับคลื่นจะสะสม และคายประจุระหว่างค่า v_1 และ v_2 ด้วยกระแสคงตัว I ซึ่งมีค่าขึ้นอยู่กับแรงดันควบคุม v_d อีกแบบหนึ่งใช้วงจรอเสถียร (astable) เชื่อมโยงย่านอิมิตเตอร์ ทรานซิสเตอร์ทำงานแบบไม่อิ่มตัว ทำให้ทำงานได้ที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 เปรียบเทียบ VCO ที่ใช้ในวงจรประมวล

	รูปวงจร	ความถี่	คุณสมบัติ	เบอร์ IC
วงจรแกว่ง LC ควบคุมโดยไดโอดวาแรกเตอร์		$f_o = 1/2\pi\sqrt{LC}$ C แปรค่าด้วยไดโอดวาแรกเตอร์	ความถี่สูง200MHz เหมาะกับการใช้องค์ประกอบเป็นตัวๆ ช่วงตามรอยแคบ ใช้ L	MC 1648
วงจรอเนกระรัวใช้การอินทิเกรตร่วมกับวงจรลั่นไกของชมิตต์		$f_o = \frac{v_d\, g_m}{2C_o(v_2-v_1)}$ $g_m = v_d / I$	ไม่ใช้ L ช่วงแกว่งค่าสูง ความถี่ < 1MHz ช่วงตามรอยปานกลาง $\frac{f_{max}}{f_{min}} < 5$	NE 565 NE 566
วงจรอเสถียรเชื่อมโยงผ่านอิมิตเตอร์		$f_o = \frac{v_d\, g_m}{4C_o\, V_{BE}}$ โดยที่ $g_m = v_d / I$	ไม่ใช้ L ความถี่สูง ≅ 150MHz ช่วงตามรอยกว้าง $\frac{f_{max}}{f_{min}} > 5$	NE 560B NE 561B MC 4324 MC 1658

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร VCO มีประโยชน์มาก และการผลิตเป็นวงจรประมวลช่วยทำให้ประยุกต์ได้กว้างขวางขึ้น ความสามารถของวงจรอาจปรับปรุงได้อีก

ข้อดีข้อเสียของวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปมีข้อดีหลายประการ สำหรับการใช้งานบางอย่างซึ่งไม่มีวงจรอื่นที่จะเทียบเท่า อย่างไรก็ดีในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบ LC หรือ RC แทนได้ ข้อดีของวงจรเฟสล็อคลูป เมื่อเทียบกับวงจรไวงานแบบ RC ได้แก่

ก. ทำงานได้ดีที่ความถี่สูง วงจรประมวลเฟสล็อคลูปสามารถทำงานได้ที่ความถี่สูงกว่า 100 เมกะเฮิรตซ์ ส่วนวงจรประมวลที่ต่อเป็นวงจรกรองไวงานนั้นจะทำงานได้ถึงความถี่ประมาณ 100 กิโลเฮิรตซ์

ข. อำนาจการเลือกสรร (selectivity) และความถี่กลางไม่ขึ้นต่อกัน กล่าวคือความถี่กลางกำหนดโดยความถี่อิสระ (free running) ของ VCO ส่วนอำนาจการเลือกสรรขึ้นอยู่กับลักษณะของวงจรผ่านต่ำ จึงไม่มีปัญหาการเรียงคลื่น (alignment) อย่างเช่น วงจรเลือกความถี่หลายๆหน่วย

ค. องค์ประกอบภายนอก วงจรประมวลมีน้อยและปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของ VCO กำหนดโดย C ตัวเดียว หรือ C กับ R ซึ่งจะปรับคลื่นได้ตั้งแต่ค่าต่ำกว่ากิโลเฮิรตซ์ถึง 100 เมกะเฮิรตซ์

อย่างไรก็ดีเมื่อเทียบกับวงจร LC หรือวงจรกรองไวงานแล้ว วงจรเฟสล็อคลูปมีข้อเสียดังนี้

ก. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูง วงจรเฟสล็อคลูปสนองตอบต่อความถี่เท่านั้น ตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อค วงจรจะไม่ตอบสนองต่อช่วงสูงของสัญญาณเข้า

ข. สนองตอบต่อฮาร์มอนิก วงจรเฟสล็อคลูปสนองตอบต่อฮาร์มอนิก หรือฮาร์มอนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณไม่สู้ได้ผลนัก

ค. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับ (capture) ของวงจรเฟสล็อคลูปเป็นแบบไม่เชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นเรื่องที่ยากมาก

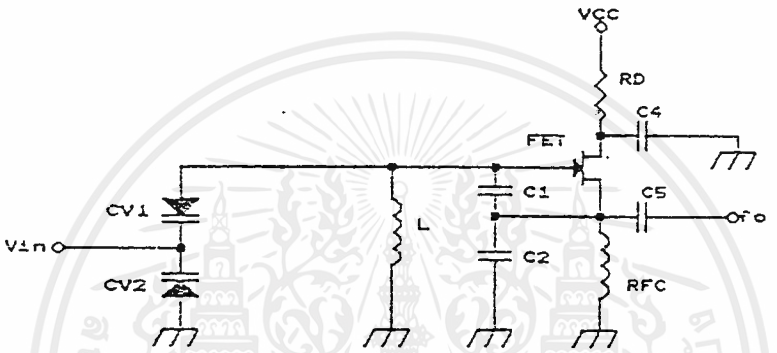
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การออกแบบวงจร FREQUENCY SHIFT KEYING (FSK)

6.1 การออกแบบวงจร FSK MODULATOR

การออกแบบวงจร VCO ใช้วงจรคอลพิตต์ออสซิลเลเตอร์ต่อร่วมกับวาริแคป ดังแสดงวงจรได้ดังรูป



รูปที่ 6.1.1 แสดงวงจรคอลพิตต์ออสซิลเลเตอร์

จากวงจรให้ค่ารีแอคแตนซ์ของ RFC มีขนาดสูงมากที่ความถี่ออสซิลเลท ค่าคาปาซิแตนซ์ทางด้านอินพุทของเฟท มีขนาดน้อยมากเมื่อเทียบกับ C_1 และ C_2 ดังนั้นค่าความถี่ที่ออสซิลเลทจะเท่ากับ

$$f_o = \frac{1}{2\pi\sqrt{LC_0}}$$

$$C_0 = \frac{C_1C_2}{C_1+C_2} + \frac{C_{v1}C_{v2}}{C_{v1}+C_{v2}}$$

โดยค่าของ C_{v1} และ C_{v2} เป็นค่าคาปาซิแตนซ์ของวาริแคปที่ถูกควบคุมด้วยแรงดัน Vin ซึ่งขนาดของคาปาซิแตนซ์ต่อแรงแรงดันใดๆ ของวาริแคปแสดงได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_v(V) = C_s \left[\frac{(\phi - V_s)}{(\phi - V)} \right]^{\gamma}$$

γ = ค่าชี้กำลังที่ขึ้นกับชนิดของรอยต่อซึ่งเท่ากับ 1/2 สำหรับ hyper arupt junction

ϕ = แรงดันระหว่างรอยต่อของไดโอด (0.7 V)

V_s = แรงดันที่จุดไบอัส

C_s = ค่าคาปาซิแตนซ์ที่จุดไบอัส

สำหรับค่าอัตราการเปลี่ยนแปลงความถี่จาก f_o ต่อการเปลี่ยนแปลงแรงดันอินพุทแสดงได้คือ

$$\Delta f_o = \frac{[C_s \sqrt{\phi - V_s}]}{8\pi\sqrt{L[C(\phi - V)]^{3/2}}}$$

การออกแบบในทาง ปฏิบัติเลือกใช้เฟท เบอร์ 2N5486 กำหนดให้แรงดันของวงจรมีขนาด 12V แรงดันควบคุมของอินพุท Vin มีขนาด 1- 12 V ถ้ากำหนดให้ค่าอินดัคแตนซ์ (L) ในวงจรมีขนาด 10 uH แล้วให้วงจร VCO ทำงานตั้งแต่ความถี่ 15 MHz ถึง 35 MHz เราสามารถหาค่า C ที่ความถี่ 15 MHz - 35 MHz ได้จากสูตรคือ

$$C = 1 / 4\pi^2 f^2 L$$

$$\therefore C_{15MHz} = \frac{1}{4\pi^2(15 \times 10^6) \times 10 \times 10^{-6}}$$

$$= 11 \text{ pF}$$

$$C_{35MHz} = \frac{1}{4\pi^2(35 \times 10^6) \times 10 \times 10^{-6}}$$

$$= 2 \text{ pF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งหมายถึงว่าค่าการเปลี่ยนแปลงของค่าปาซิแตนซ์ในวงจร VCO ที่จะทำให้ความถี่เปลี่ยนแปลงตั้งแต่ 15-35MHz มีขนาดเท่ากับ 9 pF การออกแบบเลือกใช้วาริแคปเบอร์ MV2101ซึ่งมีขนาดเท่ากับ 4 pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 12 V และมีขนาด 10 pF เมื่อถูกรีเวิร์ดไบอัสที่ 1 V ซึ่งค่าเปลี่ยนแปลงใกล้เคียงกับความต้องการ

สำหรับในโครงงานนี้ การคำนวณหาค่าพารามิเตอร์ในวงจรออสซิลเลเตอร์ จะหาได้ดังนี้ คือ ก่อนอื่นต้องกำหนดค่าของความถี่ที่จะใช้ก่อน โดยในโครงงานนี้ใช้ที่ความถี่ 25 MHz
ดังนั้น

$$f_o = \frac{1}{2\pi\sqrt{L_{co}}}$$

กำหนดค่ารีแอคแตนซ์ที่ใช้เท่ากับ 10 uH

หาค่า C_o

$$25\times10^{6} = \frac{1}{2\pi\sqrt{10\times10^{-6}\times C_o}}$$

$$\therefore C_o = \frac{1}{(2\pi\times25\times10^{6})^2\times10\times10^{-6}}$$

$$= 4 \text{ pF}$$

$$C_{v1} = C_{v2} = 6.8 \text{ pF}$$

หาค่า C_1 และ C_2 ได้ดังนี้คือ

$$C_o = \frac{C_{v1}C_{v2}}{C_{v1}+C_{v2}} + \frac{C_1C_2}{C_1+C_2}$$

$$4\times10^{-12} = \frac{6.8\times10^{-12}\times6.8\times10^{-12}}{\left[(6.8\times10^{-12})+(6.8\times10^{-12})\right]} + \frac{C_1C_2}{C_1+C_2}$$

$$\therefore \frac{C_1C_2}{C_1+C_2} = 0.6 \text{ pF}$$

ให้ $C_1 = C_2$ ต่ออนุกรมกันอยู่จะได้

$$C_1 = C_2 = 2\times0.6 \text{ pF}$$

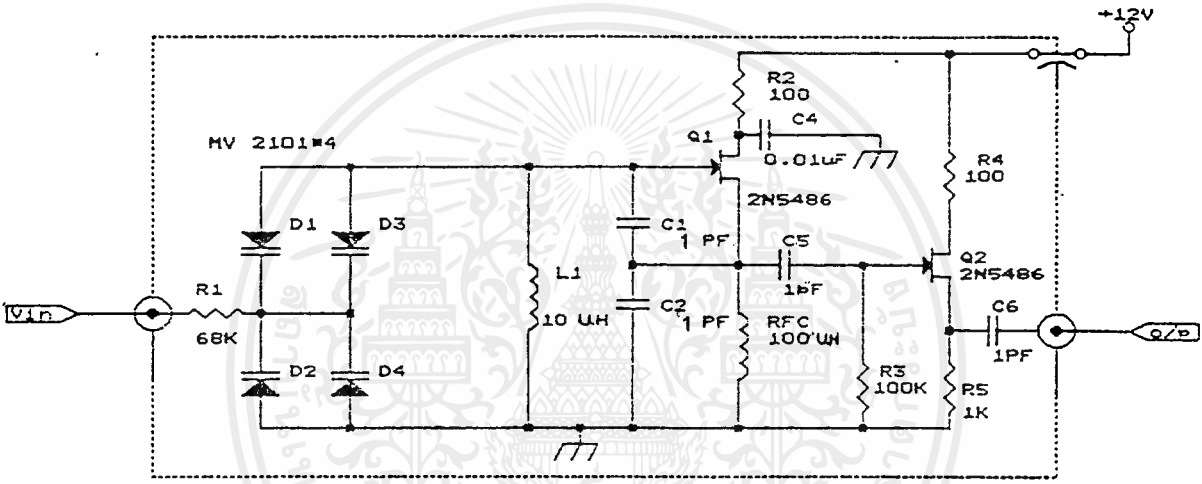
$$= 1.2 \text{ pF}$$

เลือกค่า 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในทางปฏิบัติถ้าต่อวาริแคปอนุกรมกันค่าความจุจะลดลงครึ่งหนึ่ง ดังนั้นจึงต้องต่อวาริแคปขนานเข้าไปอีก 1 ชุด ดังรูปที่ 6.1.2

สำหรับวงจรที่สมบูรณ์แสดงได้ดังรูป



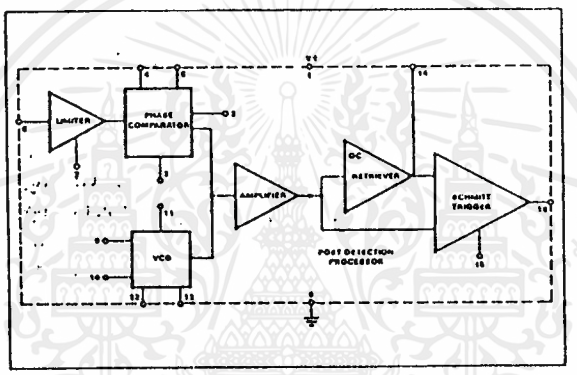
รูปที่ 6.1.2 แสดงวงจร VCO ที่ใช้ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

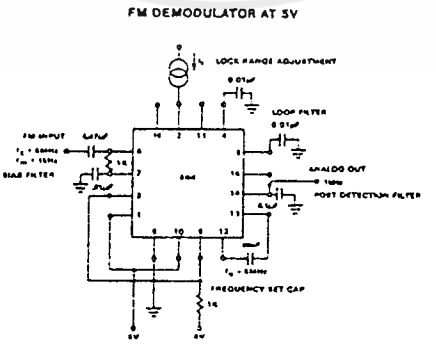
6.2 การออกแบบวงจร FSK DEMODULATOR

การออกแบบวงจร FSK DEMODULATOR นั้น เราจะใช้ไอซีเบอร์ SE/NE 564 ซึ่งเป็นโมโนลิธิค เฟสล็อกลูป โดยมีย่านความถี่ในการทำงานสูงถึง 50 MHz

จากโครงสร้างภายในของ ไอซีเบอร์ SE/NE 564 นั้น จะประกอบด้วย VCO , ลิมิตเตอร์ (limiter), เฟสคอมพาเรเตอร์ (phese comparator) และโพสดีเทคชั่น โปรเซสเซอร์ (post detection processor) ดังแสดงดังรูปที่ 6.2.1



รูปที่ 6.2.1 แสดงโครงสร้างภายในของ FSK DEMODULATOR



รูปที่ 6.2.2 แสดงวงจร FSK DEMODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบนั้นเราจะต้องกำหนดความถี่ฟรีรันนิ่งของ VCO ขึ้นมาก่อน โดยเรากำหนดเป็น 25 MHz ซึ่งมีสูตรในการคำนวณดังนี้

$$f_o = \frac{1}{16R_cC_1} \quad \text{(Hz)}$$

$R_c = 100\,\Omega$

C_1 = Timing capacitance

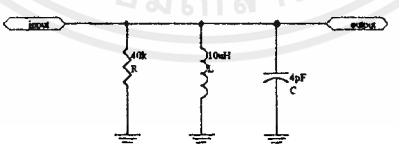
ดังนั้นเมื่อความถี่ฟรีรันนิ่งมีค่าเท่ากับ 25 MHz เพราะฉะนั้น จะได้ค่าของคาปาซิเตนซ์ C_1 ดังนี้คือ

$$C_1 = \frac{1}{(16*100*25*10^6)}$$

$$= 25\,\text{pF}$$

6.3 <u>การออกแบบวงจรแบนด์พาสฟิลเตอร์ (Band Pass Filter)</u>

ในการออกแบบวงจรฟิลเตอร์นั้น เราจะใช้วงจรดังรูปที่ 6.3 โดยใช้วงจรนี้ก่อนใช้วงจรดีมอดูเลเตอร์



รูปที่ 6.3.1 วงจรแบนด์พาสฟิลเตอร์

วงจรแบนด์พาสฟิลเตอร์เป็นแบบ Passive Filter ต้องการแบนด์วิทที่ 1 MHz โดยมีความถี่กลาง 25 MHz ออกแบบโดยใช้ LC Filter แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสูตร

$$Q = fc/BW$$

$$= 25\ MHz / 1\ MHz$$

$$= 25$$

$$Q = R / X_L = R / X_C$$

กำหนดให้ $L = 10\ uH$

$$X_L = 2\pi fL$$

$$= 2\pi \times 25 \times 10^{6} \times 10 \times 10^{-6}$$

$$= 1.57\ k\Omega$$

$$\therefore R = Q \times X_L$$

$$= 25 \times 1.57\ k\Omega$$

$$= 40\ k\Omega$$

หาค่า C

$$X_C = R/Q$$

$$= 40\ k\Omega / 25$$

$$= 1.57\ k\Omega$$

$$\therefore C = 1 / 2\pi fX_C$$

$$= 1 / 2\pi \times 25 \times 10^{6} \times 1.57 \times 10^{3}$$

$$= 4\ pF$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

หลักการทำงานของ CATV MODEM แบบ FSK

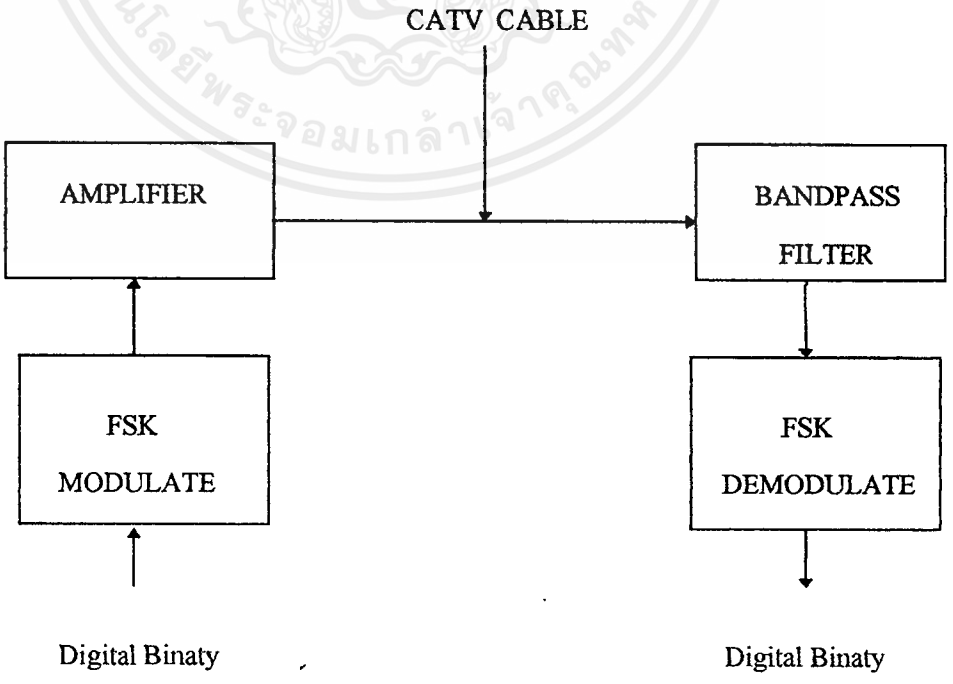
การทำงานของ CATV MODEM แบบ FSK นี้มีลักษณะการสื่อสารแบบทิศทางเดียว ซึ่งเป็นลักษณะของฮาร์ฟดูเพลกซ์ (Half Duplex) การส่งสัญญาณแบบ FSK มีภาคส่ง 1 ชุด และภาครับ 1 ชุด

1. ภาคส่ง

ที่ภาคส่งสัญญาณนี้จะรับสัญญาณดิจิตอลไบนารีเข้ามา มอดูเลทแบบ FSK โดยสัญญาณที่มอดูเลทแล้วจะถูกส่งไปตามสายเคเบิ้ลทีวี โดยความถี่ที่ใช้เป็นสัญญาณแคเรียร์ จะมีความถี่เป็น 25 MHz

2. ภาครับ

ที่ภาครับจะรับสัญญาณจากสายเคเบิ้ลทีวี ทำการรับสัญญาณในย่านความถี่ที่กำหนดโดยวงจรแบนด์พาสฟิลเตอร์ ซึ่งจะตัดสัญญาณอื่นซึ่งเป็นสัญญาณรบกวนออก สัญญาณที่ได้มานี้จะถูกขยายโดยวงจรขยาย เพื่อขยายสัญญาณให้แรงขึ้นพอที่จะทำการมอดูเลทเป็นสัญญาณดิจิตอลไบนารีเหมือนกับอินพุททางภาคส่ง ซึ่งแสดงได้ดังบล็อกไดอะแกรมข้างล่าง

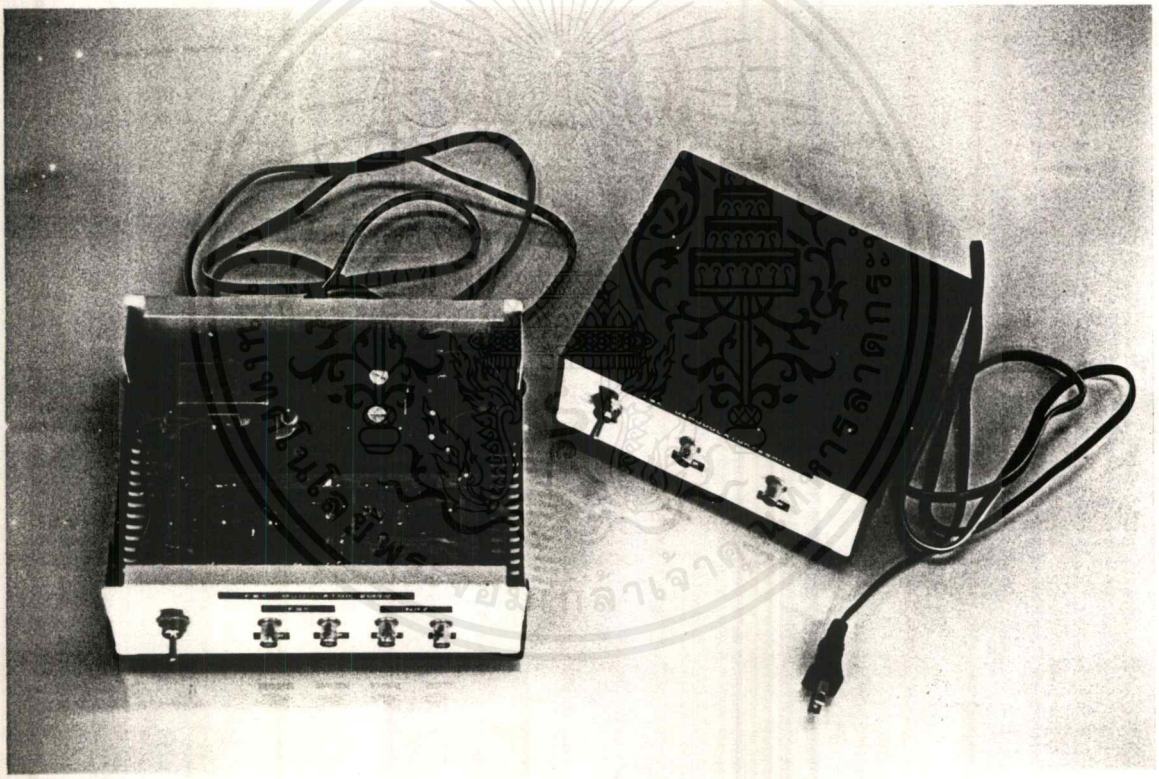


รูปที่ 7.1 บล็อกไดอะแกรม CATV MODEM แบบ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

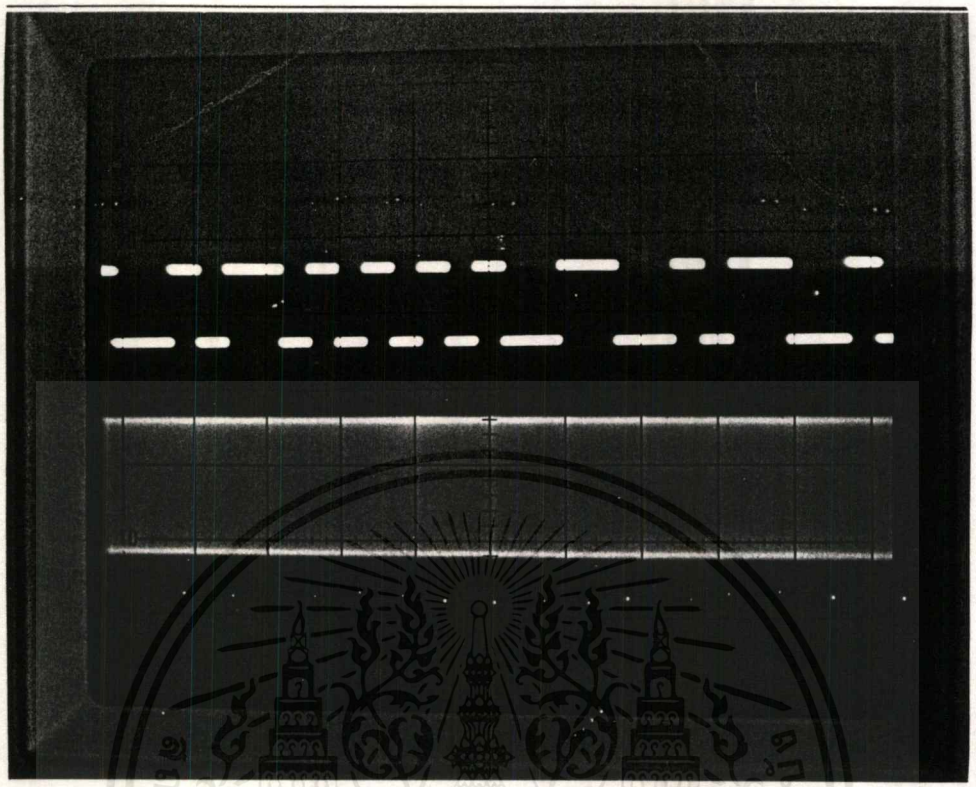
บทที่ 8
สรุปผลการทดลองและข้อเสนอแนะ

การส่งข้อมูลผ่านสายเคเบิ้ลของระบบ CATV โดยอาศัยการมอดูเลทแบบ FSK นั้น ผู้ทดลองได้ทดลองสร้างเครื่องส่งและเครื่องรับขึ้น ดังรูปที่ 8.1 โดยใช้ความถี่คลื่นพาห์ 25 MHz ข้อมูลที่ส่งเป็นสัญญาณเบสแบนด์ NRZ ด้วยอัตราบิทเรท 1200 bit/sec ดังรูปที่ 8.2 มาป้อนที่อินพุทของภาคส่ง เกิดความถี่ขึ้นสองความถี่คือเมื่อป้อนอินพุทเป็น "1" ความถี่จะเกิดเป็น 25.5 MHz และเมื่ออินพุทเป็น "0" ความถี่จะเกิดขึ้นเป็น 24.5 MHz ดังรูปที่ 8.3

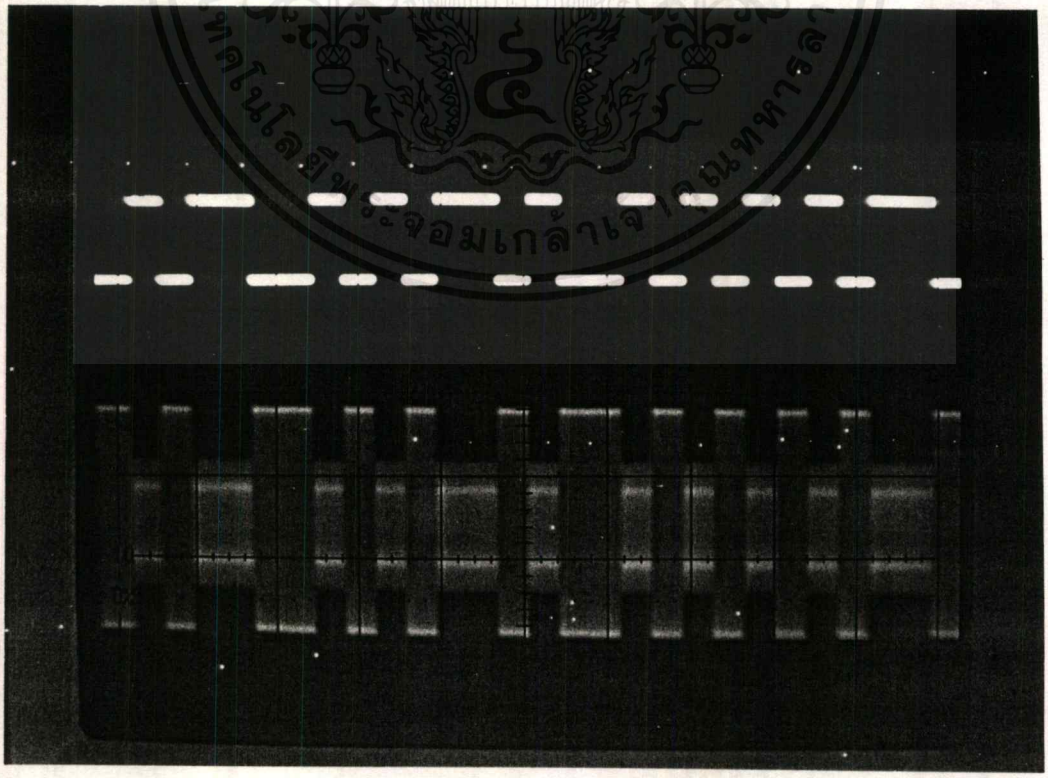


รูปที่ 8.1 แสดงเครื่องส่งและเครื่องรับของ CATV MODEM แบบ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



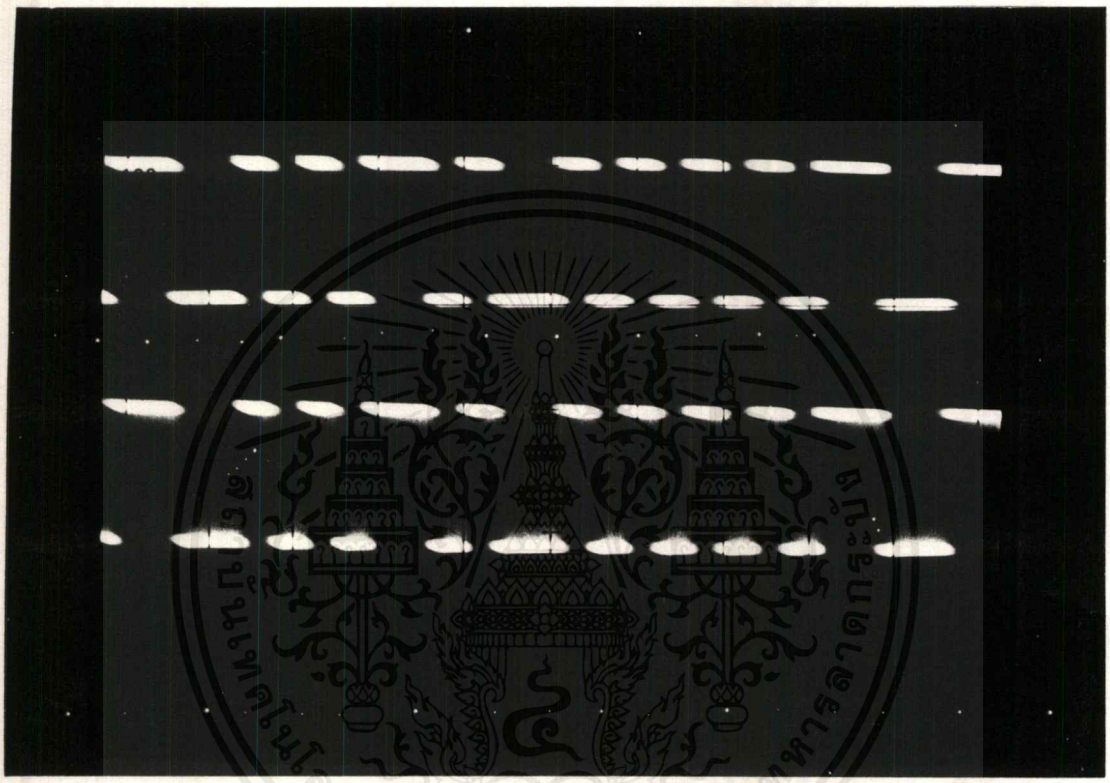
รูปที่ 8.2 แสดงสัญญาณอินพุท NRZ และสัญญาณคลื่นพาห์ 25 MHz



รูปที่ 8.3 แสดงสัญญาณอินพุทและสัญญาณ FSK MODULATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณสองความถี่ที่เข้ามาที่ภาครับ เมื่อรับความถี่ที่ 25.5 MHz มาดีมอดูเลท เอาท์พุทที่ได้จะมีค่าเป็น "1" ส่วนเมื่อความถี่ 24.5 MHz เข้ามา เอาท์ที่ได้จะมีค่าเป็น "0" โดยสัญญาณเอาท์พุทที่ได้จะเหมือนกับสัญญาณอินพุท NRZ ที่ภาคส่ง ดังรูปที่ 8.4



รูปที่ 8.4 แสดงสัญญาณอินพุทและสัญญาณเอาท์พุท

บทสรุปและข้อเสนอแนะ

CATV MODEM FSK เป็นการสร้างชุดการทดลองการส่งข้อมูลผ่านสายเคเบิ้ลของระบบ CATV โดยใช้เทคนิคการมอดูเลทแบบ FSK ซึ่งสามารถส่งข้อมูลด้วยอัตราบิทเรทที่ต่ำคือ 1200 bit/sec ความถี่ของคลื่นพาห์มีค่าสูงถึง 25 MHz ทำให้ที่ภาครับทำการดีมอดูเลททำได้ยาก ข้อมูลที่รับได้มีสัญญาณรบกวนเกิดขึ้นและยังมีขนาดแอมปลิจูดที่ต่ำด้วย จึงต้องใช้วงจรขยายๆสัญญาณให้แรงขึ้น และเมื่อส่งเป็นระยะทางไกลขึ้นก็จะมีสัญญาณรบกวนมากขึ้นตามระยะทาง ดังนั้นที่ภาครับจะต้องมีวงจรที่ใช้ในการกำจัดสัญญาณรบกวนให้หมดไปและสามารถรับสัญญาณให้ได้เหมือนกับที่ภาคส่งมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโครงงานนี้ ผู้ทดลองได้สร้างชุดการทดลองส่งข้อมูลขึ้นเพื่อที่จะเป็นการพัฒนาการส่งข้อมูลผ่านสายเคเบิ้ลร่วมกับสายเคเบิ้ลของระบบ CATV เพื่อเป็นการใช้สายเคเบิ้ลที่มีอยู่แล้วให้เป็นประโยชน์มากที่สุด

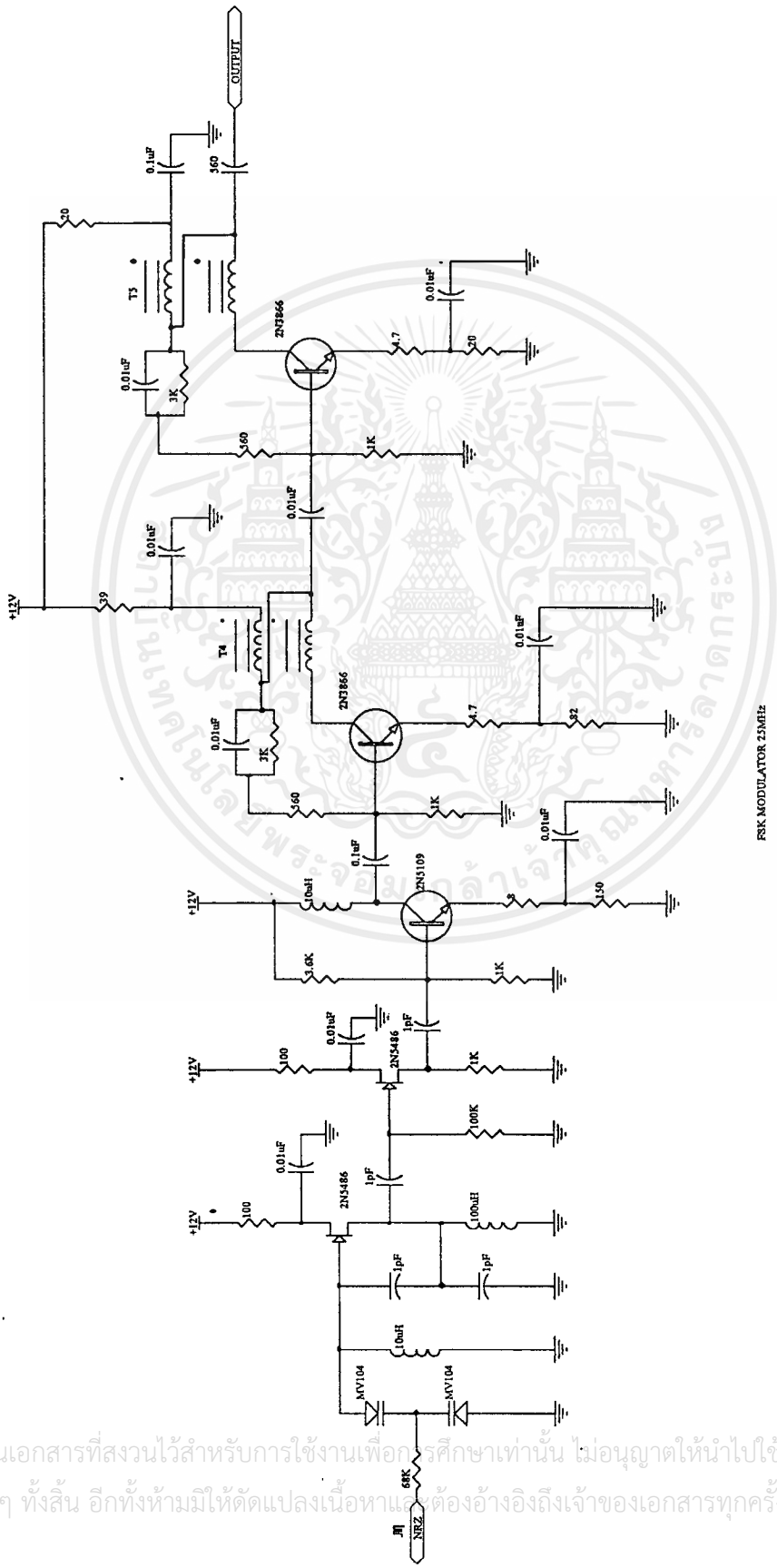
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Steven A Ciaricia, "Build A Power- Line Carrier- Current Modem" , Byte, August 1983.
2. Wanye Tomasi, "Advance Eletronic Communication System" , Prentice Hall International Edition, 1984.
3. โคทม อรียา, "วงจรอิเล็คทรอนิกส์" , เล่ม 2 , พิมพ์ที่ หจก. เอช-เอน การพิมพ์, 2536.
4. บัณฑิต โรจน์อารยานนท์, "หลักการไฟฟ้าสื่อสาร" , สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, 2536.
5. พิเชษฐ์ สุนทร, "เทคนิคการรับส่งข้อมูลดิจิตอล FSK และแนวทางการออกแบบใช้งาน" , คอมพิวเตอร์และอิเล็คทรอนิกส์เวิลด์ ฉบับที่ 125, บริษัทอิเล็คทรอนิกส์เวิลด์ จำกัด, 2532.
6. สิทธิชัย โภไคยอุดม, "ทฤษฎีและการคำนวณวงจรอิเล็คทรอนิกส์" , พิมพ์ที่ หจก. เอช-เอน การพิมพ์, 2532.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

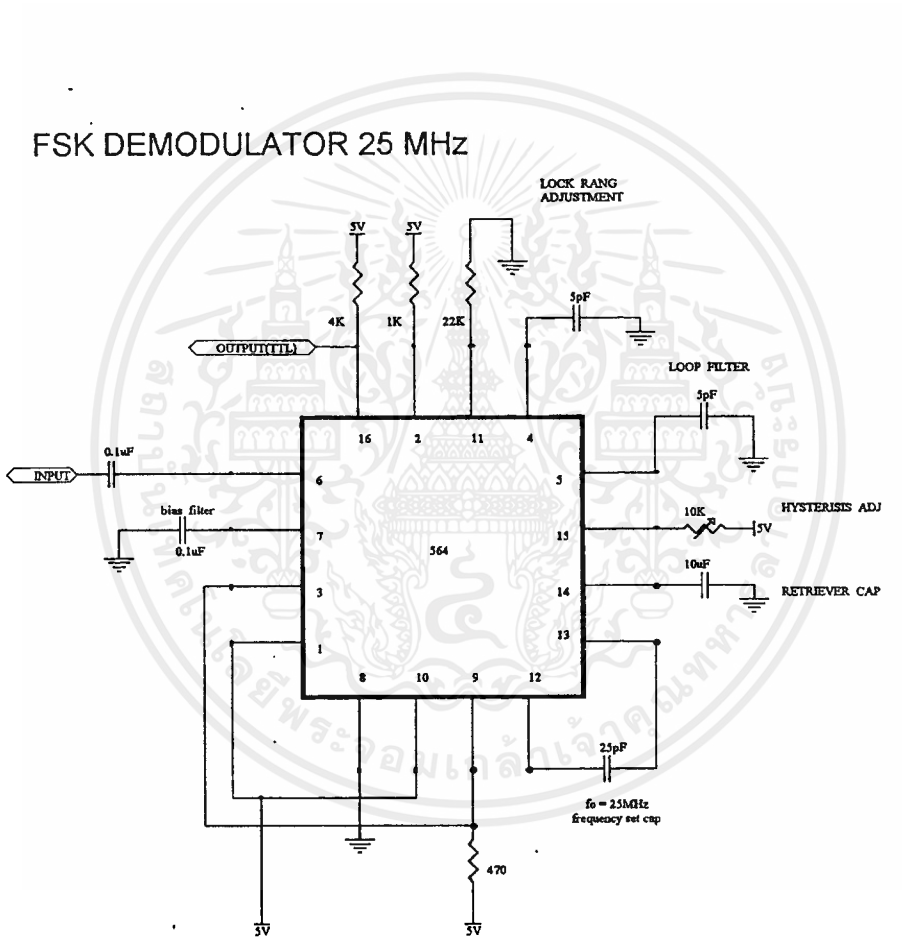
ภาคผนวก ก
วงจรที่ใช้ในปริญญานิพนธ์



FSK MODULATOR 25MHz

วงจร FSK MODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร FSK DEMODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

วงจรรวม (Data Sheet) ที่ใช้ในปริญญานิพนธ์

PHASE LOCKED LOOP — **SE/NE564**

SE/NE564-N,I

DESCRIPTION

The NE564 is a versatile, high frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

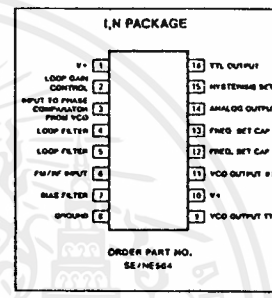
APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators

FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (Externally Controlled)

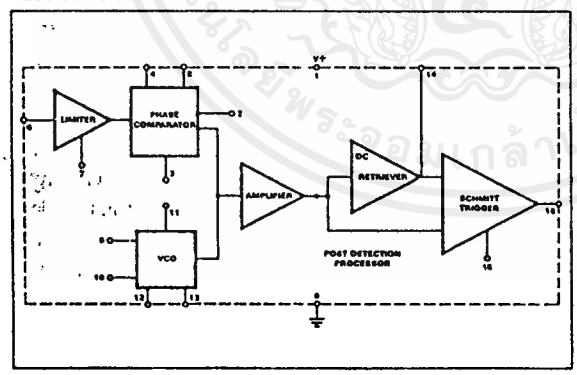
PIN CONFIGURATION



ABSOLUTE MAXIMUM RATINGS

	PARAMETER		RATING	UNIT
V+	Supply voltage			V
	Pin 1		14	
	Pin 10		6	
P_D	Power dissipation		400	mW
T_A	Operating temperature	NE	0 to 70	°C
	Operating temperature	SE	−55 to +125	
t_{stg}	Storage temperature		−65 to 150	°C

BLOCK DIAGRAM



FUNCTIONAL DESCRIPTION

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz. In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{in} - f_o)}{K_{VCO}} \qquad \text{Equation 1}$$

K_{VCO} = conversion gain of the VCO (see figure 7)
f_{in} = frequency of the input signal
f_o = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysterisis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{in} from f_o. Since this differs from system to system, it is necessary that the hysterisis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

plifier output (pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_O = \frac{g_m}{C_2} V_m dt \quad \text{Equation 3}$$

g_m = transconductance of the amplifier
C_2 = capacitor at the output (pin 14)
V_m = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysterisis is made up of Q_{49}–Q_{50} with positive feedback being provided by Q_{47}–Q_{48}. The hysterisis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysterisis control, which is a dc control, provides symmetric variation around the nominal value.

Design Formula

The free running frequency of the VCO is shown by the following equation:

$$f_o = \frac{1}{16R_cC_1} \text{ in Hz} \quad \text{Equation 4}$$

R_c = 100Ω
C_1 = external cap in farads

The loop filter diagram shown is explained by the following equation:

$$F(s) = \frac{1}{1 + sRC_3} \quad \text{Equation 5}$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (INTERNAL)

By adding capacitors to pins 4 and 5, two poles are added to the loop transfer function at $\omega = \frac{1}{RC_3}$.

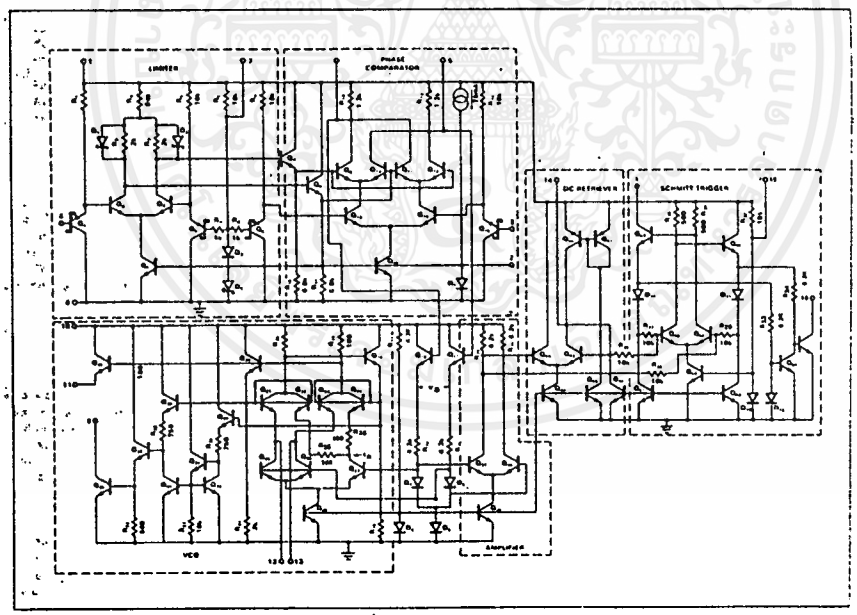
FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in figures 2 and 3 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be fairly high (1% or higher).

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 8) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

EQUIVALENT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSK Demodulation

The 564 PLL is particularly attracti e for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 6 shows a high-frequency FSK decoder designed for input frequency deviations of ± 1.0MHz centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_o' to 10.8MHz.

Figure 9 indicates that the ± 1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_o' frequencies.

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

SE/NE 564 TEST CIRCUIT

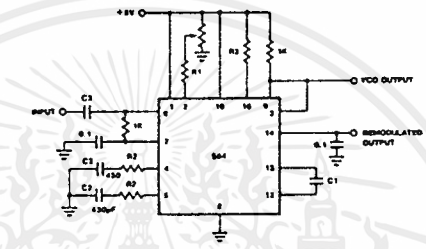


Figure 1

FM DEMODULATOR AT 5V

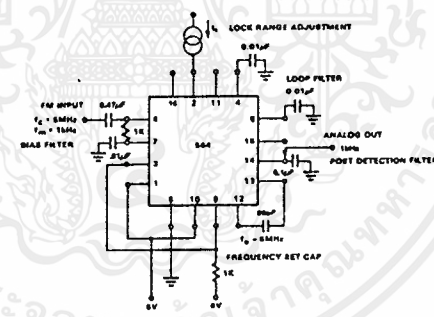


Figure 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FM DEMODULATOR AT 12V

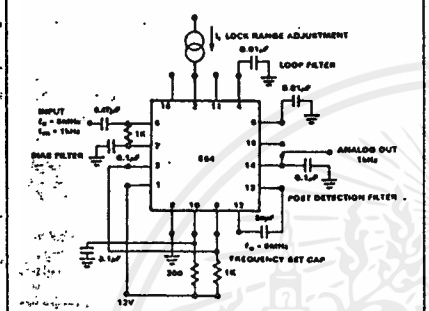


Figure 3

MODULATOR

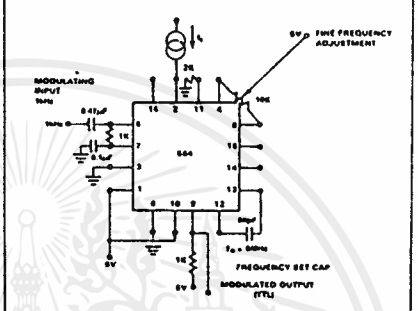


Figure 4

VCO CONVERSION GAIN

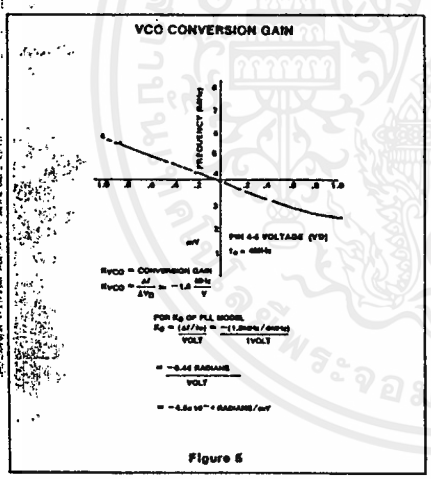


Figure 5

10.8MHz FSK DECODER USING THE 564

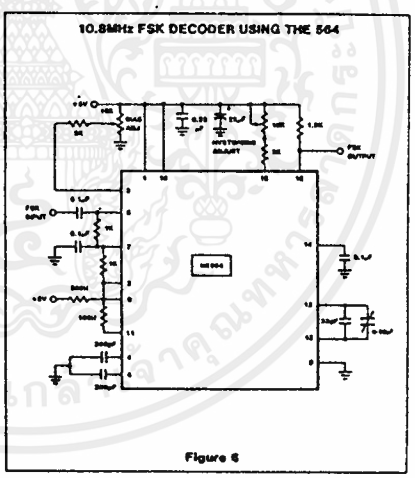
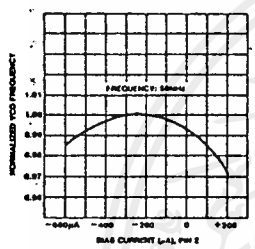


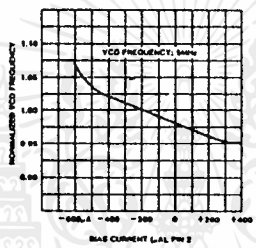
Figure 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

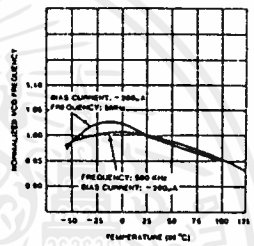
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



NORMALIZED VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



NOTE
Refer to section 10 of Signetics Analog Applications Manual for more detailed information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION OF THE 564

The 564 contains the functional blocks shown in Figure 4.15. In addition to the normal PLL functions of phase comparator, VCO, amplifier and low-pass filter, the 564 has internal circuitry for an input signal limiter, a dc retriever, and a Schmitt trigger. The complete circuit for the 564 is shown in Figure 4.16.

Limiter

The input limiter functions to produce a near constant amplitude output that serves as the input for the phase comparator. Eliminating amplitude variations in the FM input signal improves the AM rejection of the PLL. Additional features of the 564's limiter are that it is capable of accepting TTL signals, operates at high-frequencies up to 50MHz, and remains functional with variable supply voltages between 5 and 12 volts.

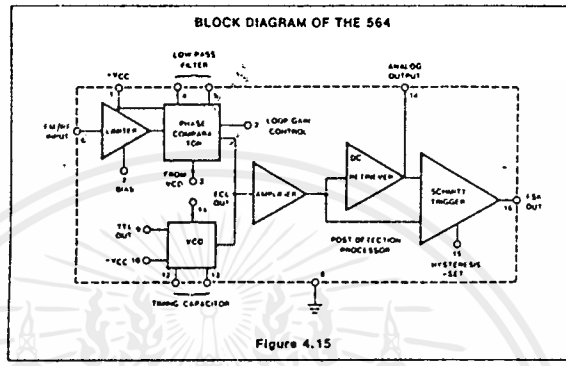


Figure 4.15

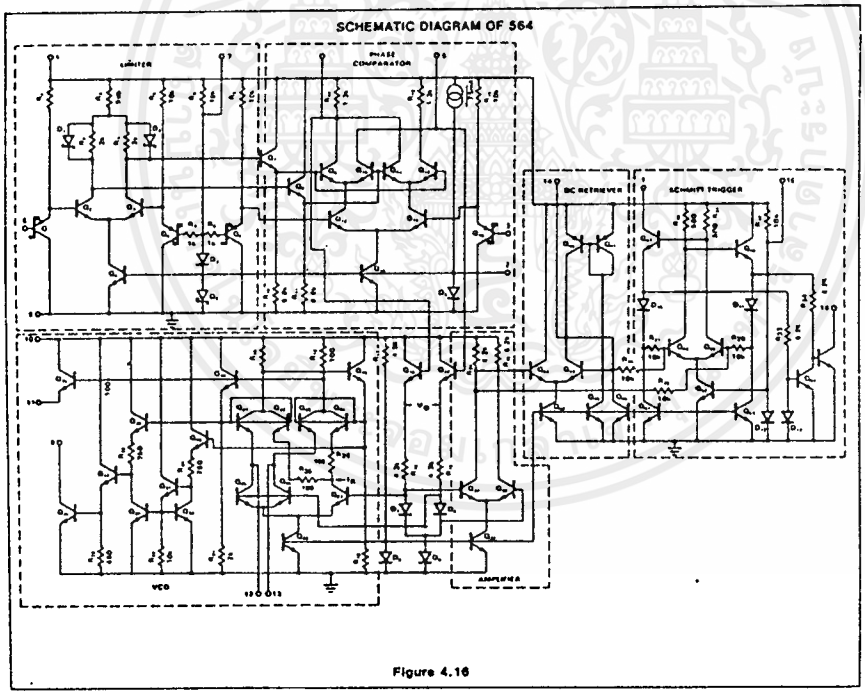


Figure 4.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal limiting is accomplished in the 564 with a differential amplifier whose output voltage is clipped by diodes D_1 and D_2 (see Figure 4.17). Schottky diodes are used because their limiting occurs between 0.3 to 0.4 volts instead of the 0.6 to 0.7 volt for regular IC diodes. This lower limiting level is helpful in biasing, especially for 5 volt operation. When limiting, the dc voltage across R_2 and R_3 remains at the Schottky diode voltage. Good high-frequency performance for Q2 and Q3 is achieved with current levels in the low mA range. Current-source biasing is established via the current mirror of D_5 and Q4 (See Figure 4.16).

Base biasing for Q3 is of concern because of the nature of the input signal which can be either a TTL digital signal of 0 to 5 volts amplitude or a low-level, ac coupled analog signal. Compatibility for either type is achieved by modifying the limiter of Figure 4.17 with the addition of the vertical Schottky PNP transistors Q1 and Q5 shown in Figure 4.18. The input signal voltage appears as a collector-base voltage for Q1 which presents no problems for either high TTL level inputs or low-level analog inputs. Q5 is in turn diode biased by D_3 and D_4 (see Figure 4.16) which places the base voltages of Q1 and Q5 at approximately 1.0 volt. This same biasing network establishes a 1.3 volt bias at the base of Q13 for biasing the phase comparator section. A differential output signal from the input limiter is applied to one input of the phase comparator (Q9 through Q12) after buffering the level shifting though the Q7 - Q8 emitter followers.

*When operating above 6Vdc, a limiting resistor must be used from V_{CC} to pin 10 of the 564

Phase Comparator

The phase comparator section of the 564 is shown in Figure 4.19. It is basically the conventional, double-balanced mixer commonly used in PLL circuits with a few exceptions. The transconductance, g_m, for the Q13 - Q14 differential amplifier is directly proportional to the mirror current in Q15. Thus by externally sinking or sourcing current at pin 2, g_m can be changed to alter the phase comparators conversion gain, K_d. The nominal current injected into this node by the internal current source is 0.75mA for 5 volt operation. If this current is externally removed by gating, the phase comparator can be disabled and the VCO will operate at its free-running frequency.

The variation of K_d with bias current at pin 2 is shown in the experimental results of Figure 4.20. Note the inherent 90° phase error in the loop produces an approximate zero phase comparator output voltage. For any particular bias current, the slope of the line is the K_d conversion gain for the phase comparator. Numerically the data of Figure 4.20 can be expressed as

$$K_d \simeq 0.46 \frac{\text{volts}}{\text{rad}} + 7.3 \times 10^{-4} \frac{\text{volts}}{\text{rad} \times \mu A} \times I_{BIAS} \quad (4.3)$$

where I_{BIAS} is in μA. Equation 4.3 is valid for bias current less than 800μA where saturation occurs within the phase comparator.

The current level established in Q15 of Figure 4.18 determines all other quiescent currents in the phase comparator (Q9 through Q14). Currents through R_{12} and R_{13} set the common-mode output voltage from the phase comparator (pins 4 and 5). Since this common-mode voltage is applied to the VCO to establish its quiescent currents, the VCO conversion gain (K_o) also depends upon the bias current at pin 2.

VCO

The VCO is of the basic emitter-coupled astable type with several modifications included to achieve the high frequency, TTL compatible operation while maintaining low frequency drift with temperature changes. The basic oscillator in Figure 4.21 consists of Q19, Q20, Q21, and Q23 with current sinks of Q25 and Q26. The master current sink of Q28 keeps the total current constant by altering the ratio of currents in Q25 - Q26 and the dummy current sink of Q27.

The input drive voltage for the VCO is made up of common-mode and difference-mode components from the phase comparator. After buffering the level shifting through Q17 - Q18 and R_{15} - R_{16}, the VCO control voltage is applied differentially to the base of Q27 and to the common bases of Q25 and Q26.

The VCO control voltages from the phase comparator are the pin 4 and pin 5 voltages or

$$V_4 = V_{C9} = V_{B16} = V_{CM} + \frac{1}{2} V_{DM} \quad (4.4)$$

$$V_5 = V_{C12} = V_{B17} = V_{CM} - \frac{1}{2} V_{DM} \quad (4.5)$$

where V_{CM} and V_{DM} are the respective common-mode and the difference-mode voltages.

Emitter followers Q17 and Q18 convert these control voltages into control currents through D_6 and D_7 of the form

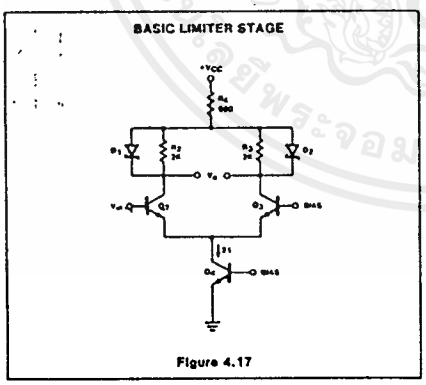


Figure 4.17

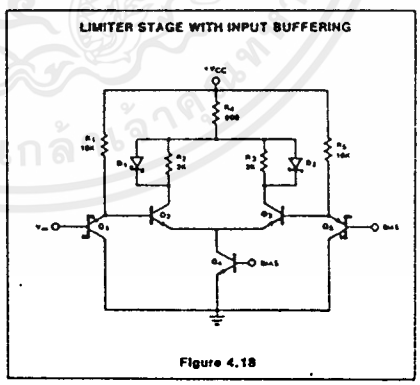


Figure 4.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_6 = \frac{1}{R_{15}}\left[V_{CM} - \frac{1}{2}V_{DM} - 3V_{BE}\right] \quad (4.6)$$

$$I_7 = \frac{1}{R_{16}}\left[V_{CM} + \frac{1}{2}V_{DM} - 3V_{BE}\right] \quad (4.7)$$

These individual currents are summed in D_8 and become with $R_{15} = R_{16} = R$.

$$I_8 = I = I_6 + I_7 = \frac{2}{R}(V_{CM} - 3V_{BE}) \quad (4.8)$$

Writing I_6 and I_7 as functions of the total I current gives

$$I_6 = \frac{I}{2}\left(1 - \frac{V_{DM}}{RI}\right) \quad (4.9)$$

$$I_7 = \frac{I}{2}\left(1 + \frac{V_{DM}}{RI}\right) \quad (4.10)$$

Now consider variations in I_6 and I_7 while I remains constant.

Let x indicate the current imbalance such that

$$I_6 = (1 - x)I = \frac{I}{2}\left(1 - \frac{V_{DM}}{RI}\right) \quad (4.11)$$

$$I_7 = xI = \frac{I}{2}\left(1 + \frac{V_{DM}}{RI}\right) \quad (4.12)$$

where $0 \le x \le 1$. Thus x is defined to be

$$x = \frac{1}{2}\left(1 + \frac{V_{DM}}{RI}\right) \quad (4.13)$$

Currents I_6 and I_7 establish proportional currents in Q25, Q26, and Q27 in a manner similar to the analysis above since the current in Q28 is a constant, or

$$I_o = I_{C28} = I_{E25} + I_{E26} + I_{E27A} + I_{E27B}$$

Gilbert(10) has shown that the D_7 - D_8 diode pair will cause identical differential currents to be reflected in both the Q25 - Q26 and the Q27A - Q27B differential amplifier pairs. Consequently the constant current of I_o jointly shared by the differential amplifier pairs will divide in each pair with the same x factor imbalance as in Equation 4.13.

$$I_{E25} + I_{E26} = xI_o \quad (4.14)$$

$$I_{E25} = I_{E26} = \frac{x}{2}I_o \quad (4.15)$$

$$I_{E27A} + I_{E27B} = (1 - x)I_o \quad (4.16)$$

$$I_{E27A} = I_{E27B} = \left(\frac{1 - x}{2}\right)I_o \quad (4.17)$$

Now consider placing a capacitor between the collectors of Q25 and Q26 (pins 12 and 13). Oscillation will occur with the capacitor alternately being charged by Q21 and Q23 and constantly discharged by Q25 and Q26. When the Q21 and Q22 pair conducts, Q23 and Q24 will be off causing a negative ramp voltage to appear at pin 13 and a constant voltage at pin 12 as shown in Figure 4.22. During the next half-cycle, the transistor roles and voltages are reversed. Capacitor discharge is via Q25 and Q26 which act as constant-current sinks with current amplitudes as in Equation 4.15.

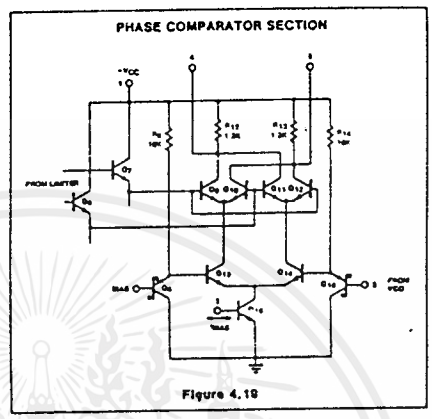


Figure 4.19

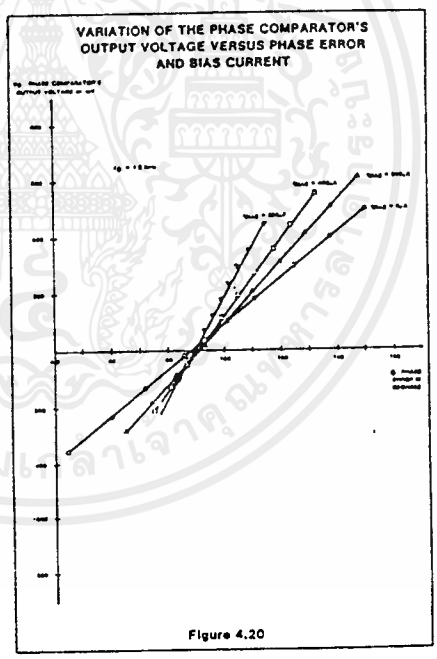


Figure 4.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

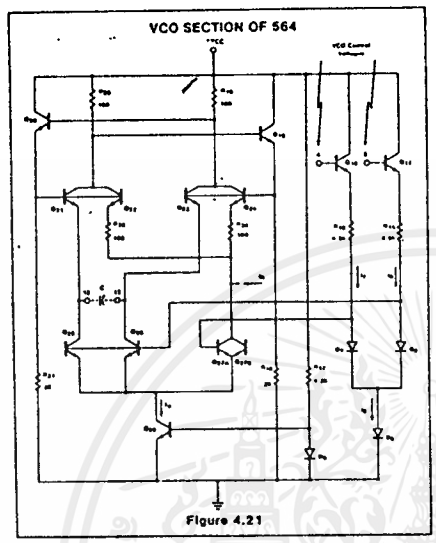


Figure 4.21

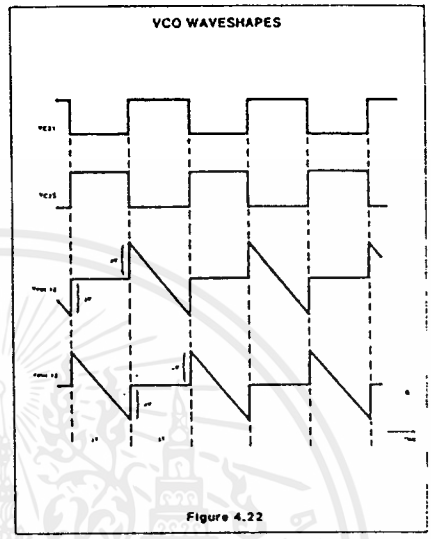


Figure 4.22

During each half-cycle, the capacitor voltage changes linearly by 2ΔV volts in ΔT seconds where

$$\Delta V = 2R_{20} I_0 \left(\frac{x}{2} + \frac{1-x}{2}\right) = R_{20} I_0 \quad (4.18)$$

and

$$\Delta T = \frac{C 2\Delta V}{I_{E25}} \quad (4.19)$$

Combining these two equations with Equation 4.16 gives a half period of

$$\Delta T = \frac{4C R_{20}}{R} \quad (4.20)$$

Utilizing Equation 4.13 with the ΔT expression gives the desired VCO frequency expression of

$$f_0 = f_0' \left(1 + \frac{V_{DM}}{RI}\right) = f_0' \left[\frac{V_{DM}}{2(V_{CM} - 3V_{BE})}\right] \quad (4.21)$$

where f_0' is the VCOs free-running frequency given by

$$f_0' = \frac{1}{16 R_{20} C} \quad (4.22)$$

Equation 4.21 shows that the oscillator frequency is a linear function of the differential voltage from the phase comparator. Resistors R_{35} and R_{36} function to insure that an initial current imbalance exists between the Q25 - Q26 transistor pair and the dummy Q27. This imbalance insures that the oscillator is self-starting when power is first applied to the circuit.

The VCO conversion gain is determined as

$$K_0 = \frac{\partial f_0}{\partial V_{DM}} = \frac{f_0'}{RI} \text{ Hz/volt} \quad (4.23)$$

which is valid as long as the transistors V_{BE} changes are small with respect to the common-mode voltage. Both f_0 and K_0 are inversely proportional to R which has a strong positive temperature coefficient. An internal current I_R having an equal and opposite negative temperature coefficient is inserted into the VCO as shown in Figure 4.21.

Experimental determination of K_0 can be found from the data of Figure 4.23 where K_0 is the slope of either line. Numerically these results are for $I_{BIAS} = 0$,

$$K_0 = 0.95 \frac{MHz}{volt} = 5.9 \times 10^6 \frac{rad}{volt\text{-}sec} \quad (4.24)$$

and for $I_{BIAS} = 800\mu A$

$$K_0 = 1.7 \frac{MHz}{volt} = 10.45 \times 10^6 \frac{rad}{volt\text{-}sec} \quad (4.25)$$

It must be noted that the specific values obtained for K_0 in the manner above are valid only for the 1.0MHz free-running frequency where the data was taken. However, good estimates for K_0 at other free-running frequencies can be obtained by linearly scaling K_0 to the desired f_0'. Thus it is sometimes convenient to define a normalized K_0 as

$$K_{0(norm)} = \frac{K_0}{f_0'} = 5.9 \frac{rad}{volt} (I_{BIAS} = 0)$$

$$= 10.45 \frac{rad}{volt} (I_{BIAS} = 800\mu A) \quad (4.26)$$

The K_0 estimate for any bias then can be obtained by multiplying the normalized conversion gain by the desired free-running frequency, or

$$K_0 \text{ (any } f_0') = K_{0(norm)} f_0' \quad (4.27)$$

The additional VCO circuitry of Q29 through Q36 (Figure 4.16) functions to produce the TTL and ECL compatible outputs at pins 8 and 11.

Amplifier

The difference-mode voltage from the phase comparator is extracted and amplified by the amplifier in Figure 4.16. The single-ended output from this amplifier serves as input signals for both the Schmitt Trigger and a second differential amplifier. Low pass filtering with a large capacitance at pin 14 produces a stable dc reference level as the second input to the Schmitt Trigger. When the PLL is locked, the voltage at pin 14 is directly proportional to the difference between the input frequency and f_0'. The pin 14 provides the demodulated output for a FM input signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schmitt Trigger

In FSK applications the pin 14 voltage will assume two different voltage levels corresponding to the mark and space input frequencies. A voltage comparator could be used to sense and convert these two voltage levels to logic compatible levels. However at high data rates, V_{DM} will contain a considerable amount of carrier signal which can be removed by extensive filtering. Normally this complex filtering requires quite a few components, most all of which are external to the monolithic PLL. Also since the control voltage for the comparator depends upon K_o and the deviations of the mark and space frequencies from f_o', the filtering has to be optimized for each different system utilized. However the necessary dc reference level for the comparator is present in the PLL but buried in carrier frequency feedthrough which appears as noise in the system. A Schmitt trigger with variable hysteresis can be used successfully to decode the FSK data without the need for extensive filtering.

Consider the system shown in Figure 4.24 where the input signal is the single-ended output derived from the amplifier section of the 564. The dc retriever functions to establish a dc reference voltage for the Schmitt trigger. The upper and lower trigger points are adjustable externally around the reference voltage giving the variable hysteresis. For very low data rates, carrier feedthrough will be negligible and the ideal situation depicted in Figure 4.25 results. Increased data rate produces the carrier feedthrough shown in the (b) figure where false FSK outputs result because the feedthrough amplitude exceeds the hysteresis voltage. Having the capability to increase the hysteresis as in (c) produces the desired FSK output in the presence of carrier feedthrough.

Another important factor to be considered is the temperature drift of the f_o' in the VCO. Small changes in f_o' will change the dc level of the input voltage to the Schmitt trigger. This dc voltage shift would produce errors in the FSK output in narrow-band systems where the mark and space deviations in f_{in} are less than the f_o' change with temperature. However this effect can be eliminated if the dc or average value of the amplifier signal is retrieved and used as the reference voltage for the Schmitt trigger. In this manner, variations in the f_o' with temperature do not affect the FSK output.

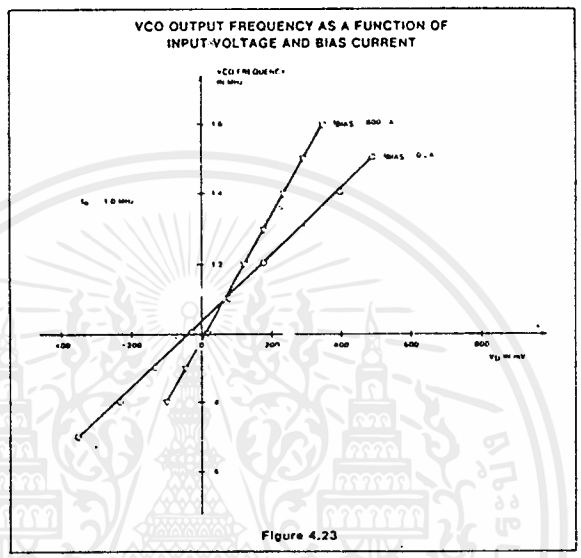


Figure 4.23

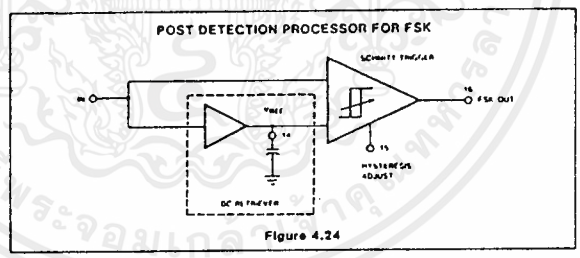


Figure 4.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVESHAPES FOR FSK DECODING IN THE POST DETECTION PROCESSOR

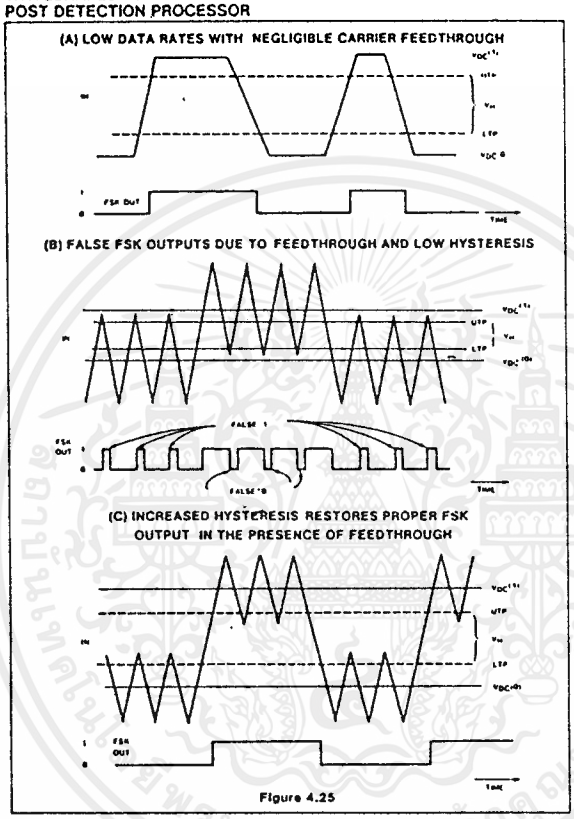


Figure 4.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

$V+ = 5V$, $T_A = 25°C$, $f_o = 5MHz$, $I_B = -200\mu A$ unless otherwise specified.
Test Circuit: Figure 1

PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
		Min	Typ	Max	Min	Typ	Max	
Maximum VCO frequency		50	65		45	60		MHz
Lock range	Input ≥ 200mVrms, T_A = 25°C	60	90		60	90		% of f_o
	= 125°C	30	50					
	= −55°C	120	150					
	= 0°C				100	120		
	= 70°C				50	70		
Capture range	Input ≥ 200mVrms, R2 = 27Ω	25	35		25	35		% of f_o
	= 100Ω	35	50		35	50		
VCO frequency drift with temperature	f_o = 5MHz, T_A = −55°C to 125°C		400	1000				PPM/°C
	= 0°C to 70°C					400	1250	
	f_o = 500kHz, T_A = −55°C to 125°C		250	500				
	= 0°C to 70°C					400	850	
VCO frequency change with supply voltage	V+ = 4.5V to 5.5V		3	6		3	6	% of f_o
Demodulated output voltage	Modulation frequency: 1kHz, f_o = 5MHz							
	Input deviation: 10%, T = 25°C	120	140		120	140		mVrms
	: 1%, T = 25°C	12	14		12	14		mVrms
	T = 0°C				11	13		mVrms
	= −55°C	9	12					mVrms
	= 70°C				13	15		mVrms
	= 125°C	14	16					mVrms
Linearity	Deviation: 1% to 8%		1	3		1	3	%
Signal to noise ratio			40			40		dB
AM rejection			35			35		dB
Supply current	V+ = 5V		35	50		35	50	mA
Leakage current	Pin 9		1	10		1	10	μA
Output current	Pin 9			6			6	mA
Supply voltage	Pin 1	4.5		12	4.5		12	V
	Pin 10	4.5		5.5	4.5		5.5	V

accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysterisis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the dc levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in f_{in} itself may be less than the change in f_o due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{21} and Q_{23} with current sources Q_{25}–Q_{26} form the basic oscillator. The free running frequency of the oscillator is shown in the following equation:

$$f_o = \frac{1}{16R_cC_1} \qquad \text{Equation 2}$$

$R_c = R_{19} = R_{20} = 100\Omega$ (INTERNAL)
C_1 = external frequency setting capacitor

Variation of V_d (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Schottky clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysterisis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the dc retriever is formed by the transductance amplifier Q_{42}–Q_{43} together with an external capacitor which is connected at the am-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF

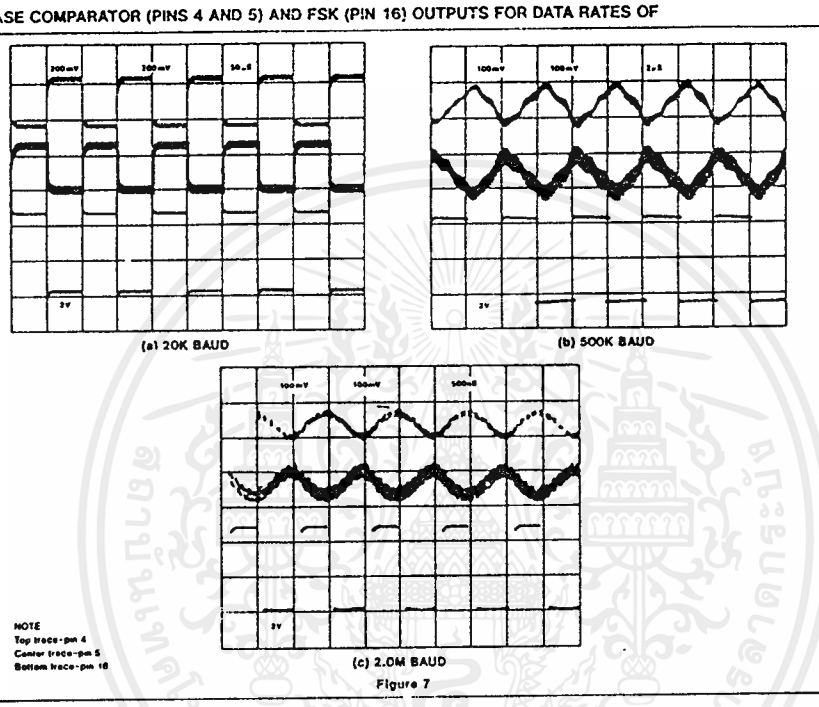


Figure 7

TYPICAL PERFORMANCE CHARACTERISTICS

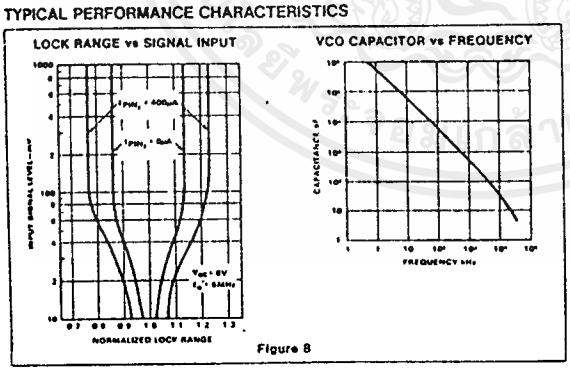


Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้