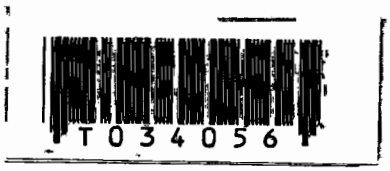
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งสัญญาณภาพแบบดิจิตอลผ่านเส้นใยแก้วนำแสง

Digital video signal transmission via fiber optic



โดย

นายเฉลิมชัย จิบสันเที๊ยะ

นายเชลงพล ฉนัดกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 34056
วัน, เดือน, ปี 1 ต.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การส่งสัญญาณภาพแบบดิจิตอลผ่านเส้นใยแก้วนำแสง
	Digital video signal transmission via fiber optic
ชื่อนักศึกษา	นายเฉลิมชัย จิบสันเที๊ยะ 2N 40012005
	นายเชลงพล ถนัดกิจ 2N 40012006
อาจารย์ที่ปรึกษา	รศ.ประกิจ ตังติสานนท์
	อาจารย์ สถาพร พรหมวงศ์
สาขาวิชา	เทคโนโลยีอิเล็กทรอนิกส์
ปีการศึกษา	2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้ปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการตรวจสอบปริญญานิพนธ์

.....ประธานกรรมการ
(_____)

.....กรรมการ
(_____)

.....กรรมการ
(_____)

.....กรรมการ
(_____)

.....กรรมการ
(_____)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณภาพแบบดิจิตอลผ่านเส้นใยแก้วนำแสง

โดย	นายเฉลิมชัย จิบสันเที๊ยะ 40012005
	นายเชลงพล ถนัดกิจ 40012006
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ประกิจ ตังติสานนท์
	อาจารย์ สถาพร พรหมวงศ์
ปี	2541

บทคัดย่อ

ปริญญานิพนธ์นี้เสนอการส่งสัญญาณภาพแบบดิจิตอลผ่านเส้นใยแก้วนำแสง โดยมีจุดมุ่งหมายเพื่อต้องการให้ได้ภาพที่มีความคมชัดมากยิ่งขึ้น โดยใช้เทคนิคการส่งข้อมูลทั้งหมดแบบอนุกรม ใช้เลเซอร์ไดโอดเป็นตัวขับข้อมูล ส่วนภาครับจะใช้โฟโตไดโอดเป็นตัวรับ โครงงานนี้ประกอบด้วย 2 ส่วน คือ ส่วนของชุดเครื่องส่งซึ่งจะเป็นส่วนของการแปลงสัญญาณไฟฟ้ามาเป็นสัญญาณแสง ในส่วนของชุดเครื่องรับ จะทำการเปลี่ยนสัญญาณแสงให้กลับคืนมาเป็นสัญญาณไฟฟ้า คือการคืนกลับเหมือนกับที่ทางเครื่องส่งส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital video signal transmission via fiber optic

BY Mr.Chaleumchai Jibsuntia
Mr.Chalengpol Thanatkit
ADVISOR Associate. Prof. Prakit Tungtisanon
Arjan Sathaporn Promwong
YEAR 1998

ABSTRACT

This project presents digital video signal via fiber optic transmitter with the intention of to getting clear picture. The technique use for data transmission is serial mode witch laser diode is used to drive datas in the, photo diode is to used receive datas. This project consists of two part , the first part is the transmitter which convert electrical signal to optical signal and the second part is the receiver which convert optical signal to electrical signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ มิอาจสำเร็จลุล่วงไปได้หากขาดความช่วยเหลือจากบุคคลต่างๆ ในหลายๆ ฝ่าย ดังนั้นผู้จัดทำจึงใคร่ขอกราบขอบพระคุณบุคคลต่างๆ ดังต่อไปนี้

ขอขอบคุณ รศ.ประกิจ ตังติสานนท์,อาจารย์สถาพร พรหมวงศ์ ที่มอบหมายโครงงานนี้ให้ผู้จัดทำได้ทำขึ้นมา ขอขอบคุณ อาจารย์มนต์ชัย แช่มช้อย,คุณพนารัตน์ ระริวรรณ รวมทั้งพี่ๆ ปริญญาโททุกคนที่คอยให้คำปรึกษาและคอยให้ความช่วยเหลือทั้งข้อมูลทางด้านหนังสืออ้างอิงต่างๆ สถานที่ทดลอง และเครื่องมือที่ใช้ในการทดลอง สำนักวิจัยและพัฒนาคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง รวมทั้งอาจารย์และเพื่อนๆทุกคนในภาควิชาเทคนิคอุตสาหกรรมที่คอยให้ความช่วยเหลือในด้านต่างๆ

ขอขอบพระคุณบิดา มารดา ที่ช่วยเป็นกำลังใจ และให้การสนับสนุน ในด้านทุนทรัพย์ระหว่างทำโครงงานมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ฉ
สารบัญตาราง	ฌ
บทที่ 1 บทนำ	
บทนำ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 ทฤษฎีเกี่ยวกับสัญญาณภาพ	3
2.2 สัญญาณซิงค์ในแนวนอนและแนวตั้ง	5
2.3 สัญญาณแบล็งในแนวนอนและแนวตั้ง	6
2.4 สัญญาณภาพ	6
2.5 ทฤษฎีการสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์	7
2.6 วิธีการถ่ายโอนข้อมูล	15
2.7 รูปแบบการติดต่อสื่อสารแบบอนุกรม	17
2.8 วงจรภาคส่ง	18
2.9 วงจรภาครับ	23
2.10 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	25
2.11 สายไฟเบอร์ออปติก	26
2.12 ชนิดของไฟเบอร์ออปติก	27
2.13 การสูญเสียสัญญาณในไฟเบอร์ออปติก	28
2.14 หลักการสื่อสารด้วยไฟเบอร์ออปติก	29
2.15 คุณสมบัติของแหล่งกำเนิดแสง	32
2.16 การทำงานของเลเซอร์ไดโอด (LD)	33
2.17 การทำงานของโฟโตดีเท็กเตอร์	34
2.18 คุณสมบัติของโฟโตดีเท็กเตอร์	36
2.19 การทำงานของวงจรขับสัญญาณ	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

2.20 การทำงานของวงจรสำหรับ LED 38

2.21 การทำงานของวงจรเลเซอร์ไดโอด 40

2.22 การทำงานวงจรดีเท็กเตอร์ 41

บทที่ 3 บล๊อกไดอะแกรมและการออกแบบวงจร

3.1 บล๊อกไดอะแกรมของวงจรรวม 45

3.2 อธิบายบล๊อกไดอะแกรมของวงจรภาคส่ง 46

3.3 วงจรแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอล 47

3.4 วงจรแปลงสัญญาณขนานเป็นสัญญาณอนุกรม 48

3.5 วงจรสร้างสัญญาณนาฬิกา 49

3.6 บล๊อกไดอะแกรมของวงจรภาครับ 50

3.7 วงจรสร้างสัญญาณนาฬิกา 52

3.8 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอะนาลอก 53

3.9 แสดงวงจรแปลงสัญญาณอนุกรมเป็นสัญญาณขนาน(SIPO) 54

3.10 การลงอุปกรณ์บนแผ่นปริ๊นของภาครับและภาคส่ง 55

3.11 เครื่องต้นแบบโดยสมบูรณ์ทั้งภาครับและภาคส่ง 59

บทที่ 4 ผลการทดลอง

4.1 การทดลองที่ 1 ภาคส่ง 60

4.2 การทดลองที่ 2 ภาครับ 66

4.3 วิธีการวิธีแก้ไขเมื่อเจอปัญหา 69

บทที่ 5 วิจารณ์ สรุปผลและแนวทางพัฒนา

วิจารณ์ สรุปผลและแนวทางพัฒนา 74

ภาคผนวก

ภาคผนวก ก

ภาคผนวก ข

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การสื่อสารในปัจจุบันนับวันจะมีความจำเป็นที่จะต้องเพิ่มจำนวนข้อมูลข่าวสารในการส่งให้มีจำนวนมากขึ้น เนื่องจากความต้องการใช้มีปริมาณความต้องการใช้มากขึ้น และระบบที่ใช้ในการส่งข่าวสารต้องมีประสิทธิภาพเพียงพอที่จะทำให้ข้อมูลไม่มีการสูญหายไปในระยะทางระหว่างการส่งข้อมูล เช่นเดียวกับระบบอะนาลอก ส่วนในระบบดิจิตอลการสูญเสียของสัญญาณจะมีน้อยมากเมื่อเทียบกับระบบอะนาลอก ไม่ว่าระยะทางจะใกล้หรือไกล เมื่อนำมาเปรียบเทียบกัน ในการสื่อสารข้อมูลผ่านสายโครแอคเชี่ยนจะเห็นได้ว่ามีการสูญเสียของข้อมูลมีมากขึ้นเมื่อมีระยะทางการติดต่อสื่อสารไกลออกไป

เนื่องจากความต้องการที่จะได้รับข้อมูลที่ถูกต้องแน่นอนและแม่นยำ ดังนั้นสายใยแก้วนำแสงจึงได้ถูกคิดค้นขึ้นมา เพื่อนำมาทดแทนสายโครแอคเชี่ยนที่มีปัญหาหลายๆ อย่าง ดังนั้นการสื่อสารผ่านสายใยแก้วนำแสงจึงได้ถูกนำมาใช้ในโครงงานนี้ จากคุณสมบัติที่ดีกว่าหลายๆ ด้านของสายใยแก้วนำแสง และในปัจจุบันนี้แนวโน้มในการใช้สายใยแก้วนำแสงมาทดแทนการใช้สายโครแอคเชี่ยนจึงมีแนวโน้มสูงขึ้นตามมาด้วย

วัตุประสงค์ของการทำโครงงานชิ้นนี้เพื่อศึกษาและทดลองการทำงานของวงจรสื่อสารระบบดิจิตอลที่มีสายใยแก้วนำแสงเป็นตัวกลางในการติดต่อสื่อสาร และจะได้เรียนรู้ถึงลักษณะโครงสร้างของสายใยแก้วนำแสงและสามารถนำสายใยแก้วนำแสงมาใช้งานได้

ผลที่คาดว่าจะได้รับในการทำโครงงานนี้คือ สามารถที่จะสร้างวงจรสื่อสารที่ใช้ในการรับและส่งสัญญาณภาพแบบดิจิตอลและสามารถส่งผ่านไปตามสายนำสัญญาณที่เป็นสายใยแก้วนำแสงได้

บทที่ 2 จะกล่าวถึงทฤษฎีเบื้องต้นของสัญญาณภาพ การมอดูเลตแบบ PCM รวมถึงพื้นฐานของสายใยแก้วนำแสงซึ่งจะกล่าวถึงชนิดต่างๆ ของสายใยแก้วนำแสง การนำมาใช้งาน รวมถึงคุณสมบัติต่างๆ และอุปกรณ์ต่างๆ ที่นำมาใช้ร่วมกับสายใยแก้วนำแสง เช่น เลเซอร์ไดโอด และโฟโตไดโอด

บทที่ 3 จะเป็นส่วนของการออกแบบวงจรและการทำงานของวงจรในส่วนของการแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลและการเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก การเปลี่ยนข้อมูลจากข้อมูลอนุกรมเป็นข้อมูลแบบขนาน และการเปลี่ยนข้อมูลจากข้อมูลแบบ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนานเป็นข้อมูลอนุกรม รวมถึงการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสงและการเปลี่ยนกลับคือการเปลี่ยนสัญญาณแสงเป็นสัญญาณไฟฟ้าอีกครั้ง

บทที่ 4 จะเป็นส่วนของการทดลองและรวมผลการทดลองทั้งหมดโดยแสดงให้อยู่ในรูปของสัญญาณที่วัดได้จากส่วนต่างๆ โดยใช้ออสซิลโลสโคปแบบดิจิตอลเป็นตัววัดทั้งภาครับและภาคส่งของวงจร

บทที่ 5 จะเป็นส่วนที่กล่าวถึงบทสรุปในการทำโครงงานชิ้นนี้ ปัญหาและอุปสรรคต่างๆ ที่เกิดขึ้น การแก้ไขปัญหา และข้อเสนอแนะเกี่ยวกับการทำโครงงาน และข้อเสนอแนะในการพัฒนาโครงงานชิ้นนี้ต่อไป

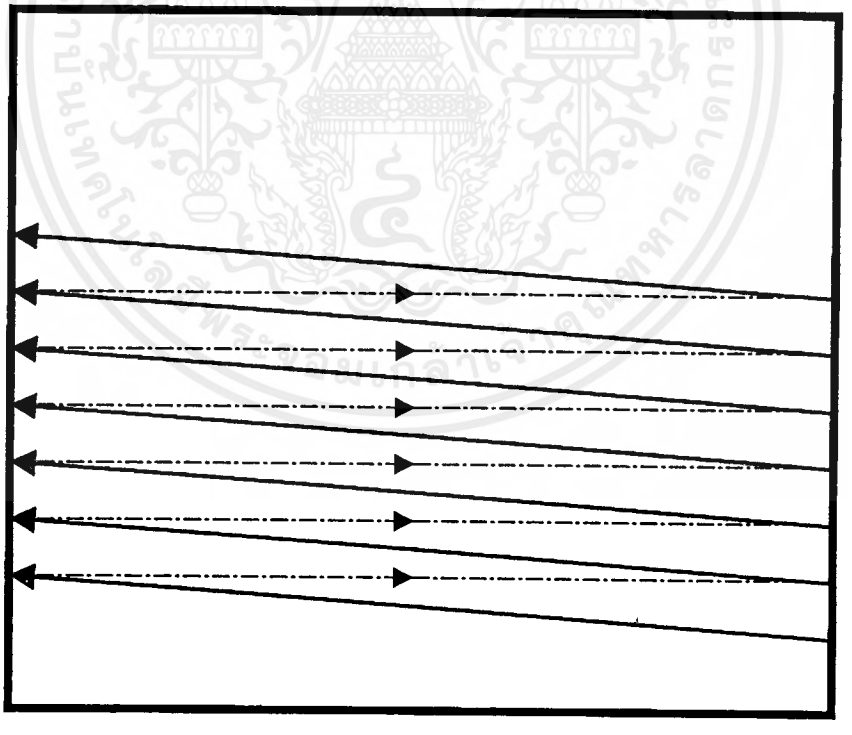
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี

2.1 ทฤษฎีเบื้องต้นเกี่ยวกับสัญญาณภาพ

ภาพที่ฉายตามโรงภาพยนต์เป็นภาพวิ่ง (Continuous motion picture) ซึ่งเกิดขึ้นจากการฉายภาพนิ่งต่อเนื่องบนจอภาพ โดยสายตาคนเราไม่สามารถแยกภาพแต่ละภาพออกจากกันได้นั่นคือคนเราเห็นภาพต่อเนื่องกันไปซึ่งจะเกิดเมื่อฉายภาพด้วยความเร็ว 25 ภาพต่อวินาที (25 Flame/s) แต่ระบบการส่งแบบโทรทัศน์นั้นสัญญาณที่ส่งมาเป็นสัญญาณอิเล็กทรอนิกส์ ซึ่งในการส่งแต่ละภาพประกอบไปด้วยจุดจำนวนมากมายเรียงต่อเนื่องกัน โดยแต่ละจุดจะมีความสว่างหรือมืดเป็นความเข้มของระดับสีต่างๆกันไป ภาพในเครื่องรับโทรทัศน์จะถูกสแกนต่อเนื่องกันไปทีละเส้น ดังรูปที่ 2.1



รูปที่ 2.1 การสแกนในแนวนอน

ก) เส้นทึบแทนการลากจากขวามือมาซ้ายมือ

ข) เส้นปะแทนการลากจากซ้ายมือมาขวามือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

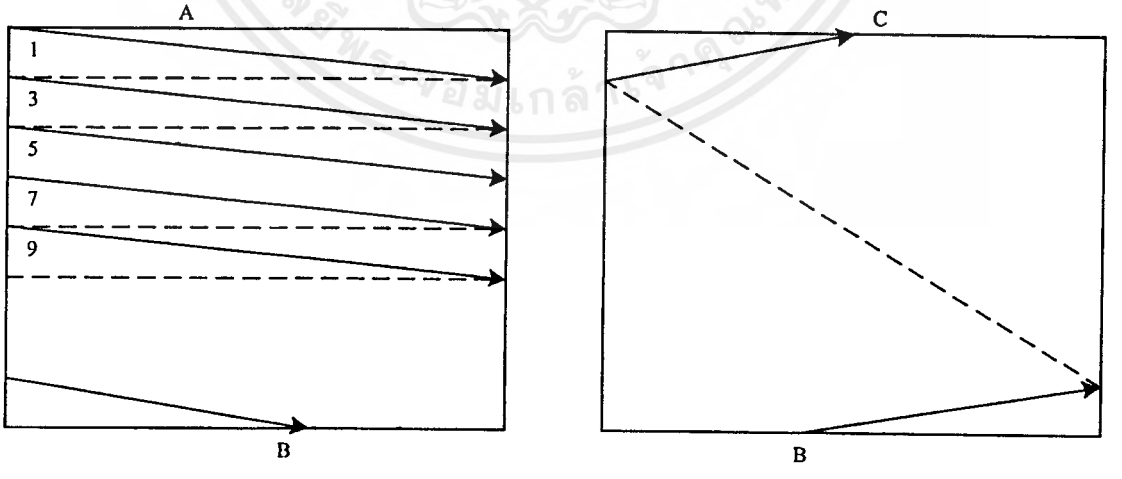
ภาพในโทรทัศน์ 1 ภาพเกิดจากการเรียงกันออกมาเป็นเส้นลากจากภาพหนึ่งไปอีกภาพหนึ่งคือเริ่มต้นจากจุดบนซ้ายสแกนจากซ้ายไปขวาจากบนลงล่างวิธีการนี้เรียกว่าการสแกนเชิงเส้นในแนวนอน ลำดับการสแกนเป็นดังนี้

1) ลำแสงอิเล็กตรอนจะถูกส่งออกมาตามแนวนอน

2) ที่จุดปลายของเส้นลำแสง จะถูกลากกลับอย่างรวดเร็วมาทางซ้าย เพื่อเริ่มการสแกนใหม่ช่วงเวลาที่ลากกลับนี้ว่า Retrace หรือ Feedback ในช่วงนี้จะไม่มีข้อมูลในหลอดภาพดังนั้นช่วงเวลานี้จึงควรเร็วมาก

3) เมื่อลำแสงเลื่อนกลับมาทางด้านซ้ายในตำแน่งแนวดิ่งจะเลื่อนต่ำลงมาจะเกิดการสแกนเส้นใหม่ในที่สุดถึงขอบล่างขวาและจะมีการสแกนในแนวตั้ง เพื่อไปยังขอบบนซ้ายเพื่อสแกนภาพในแนวนอน เฟรมใหม่

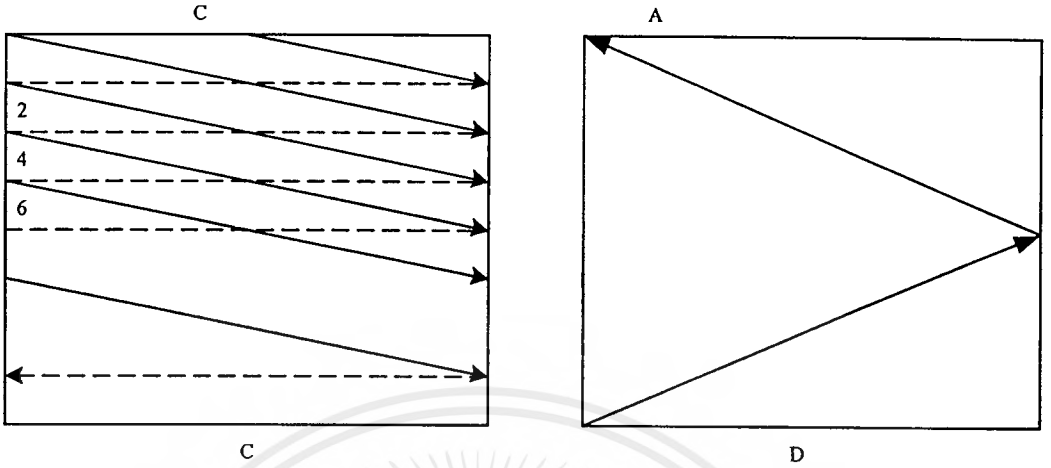
ความถี่ของการสแกนภาพของโทรทัศน์จะใช้อัตราการส่งภาพ 30 ภาพต่อวินาที แต่อย่างไรก็ตามก็ยังไม่เร็วพอในการแก้ปัญหาการสั่นกระพริบของภาพ ดังนั้นจึงใช้วิธีการสแกนภาพโดยการสลับ (Interlacing) กล่าวคือจะมีการสแกน 2 ครั้ง (Field) ใน 1 ภาพ (Flame) ครั้งแรกสแกนเส้นเลขคี่จนถึงเส้นคี่สุดท้ายของภาพแล้วจึงกลับมาสแกนเส้นคู่จนครบ ในการสแกนด้วยอัตราเร็ว 25 ภาพต่อวินาที จะมีการสแกนในแนวตั้งด้วยความเร็ว 50 Hz แต่ในระบบ 25 ภาพต่อวินาทีจะมีการสแกนในแนวตั้งด้วยความเร็ว 60 Hz รูปข้างล่างแสดงการสแกนภาพในแนวสลับ



(ก) การสแกนเส้นคี่ (ข) การลากกลับ

รูปที่ 2.2 แสดงการสแกนภาพในแนวสลับของเส้นคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) การสแกนเส้นคู่ (ข) การลากกลับ

รูปที่ 2.3 แสดงการสแกนภาพในแนวสลับเส้นคู่

ในการสแกนในแนวตั้งด้วยความเร็ว 60 Hz ช่วงเวลาในการสแกนในแนวตั้งเท่ากับ 1/60 วินาที ซึ่งจะประกอบไปด้วยการสแกนในระบบ 525 เส้น นั่นคือ 262.5 เส้น จำนวนของเส้นสแกนใน 1 วินาทีจะเท่ากับ $262.5 \times 60 = 15750$ เส้น

ดังนั้นความเร็วในการสแกนในแนวนอนเท่ากับ 15750 เส้นต่อวินาทีจะได้ช่วงเวลาในการสแกนในแนวนอน คือ $1 / 15750 = 63.5\ \mu s$ สำหรับประเทศไทยใช้ระบบ 625 เส้น ซึ่งความถี่ในการสแกนภาพคือ 25 ภาพต่อวินาที จะได้ความเร็วในการสแกนในแนวนอนเท่ากับ $25 \times 625 = 15625$ Hz และเวลาในการสแกนในแนวนอนเท่ากับ 64 μs การสแกนในแต่ละภาพจะใช้เวลา $1 / 50 = 20$/ms แต่ในระบบ 625 เส้นจะใช้เวลา $1/ 60 = 16.67$/ms

2.2 สัญญาณซิงค์ในแนวนอนและในแนวตั้ง

ในการสแกนภาพนั้นการสแกนจะต้องเริ่มด้วยเวลาที่แน่นอนตรงกับเครื่องส่งเพื่อให้ข้อมูลของภาพแสดงตรงที่ตำแหน่งที่ถูกต้อง ในการที่จะให้เครื่องส่งและเครื่องรับมีความสัมพันธ์กันจำเป็นต้องมีสัญญาณซิงค์ส่งมากับสัญญาณภาพด้วยสัญญาณซิงค์นี้จะเป็นลักษณะพัลซ์รูปสี่เหลี่ยม ซึ่งใช้ในการควบคุมการสแกนทั้งทางเครื่องรับและเครื่องส่ง

สัญญาณซิงค์จะถูกส่งรวมมากับสัญญาณภาพ เพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับ สัญญาณนี้จะเกิดขึ้นในระหว่างช่วงของการเกิดแบลังค์ ซึ่งไม่มีข้อมูลของภาพในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่ง ช่วงที่ข้อมูลของภาพแบล๊งค์ จะตรงกับช่วงที่ลำอิเล็กตรอนลากกลับจากขวามาซ้ายสัญญาณซิงค์ในแนวนอน จะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอน ซึ่งเป็นการเริ่มลากกลับตามแนวนอน สัญญาณซิงค์ตามแนวตั้งจะเกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เพื่อเป็นการลากกลับของลำอิเล็กตรอนตามแนวตั้ง

ในการสแกนเส้นสแกนตามแนวนอนด้วยความถี่ 15625 Hz ความถี่ของสัญญาณซิงค์ในแนวนอนจะเท่ากับ 15625 Hz ส่วนการสแกนภาพตามแนวตั้งสแกนด้วยความถี่ 50 Hz สัญญาณซิงค์ในแนวตั้งจะเท่ากับ 50 Hz

2.3 สัญญาณแบล๊งค์ในแนวนอนและแนวตั้ง

ในระบบโทรทัศน์สัญญาณแบล๊งคือ สัญญาณที่ทำให้เป็นสีดำ ในส่วนของสัญญาณวีดีโอ ระดับแรงดันไฟฟ้าของสัญญาณแบล๊งจะอยู่ที่ระดับของสีดำ ระดับแรงดันไฟฟ้าของสีดำนี้จะไปทำให้กระแสที่ใช้ในการยิงลำอิเลคตรอนหยุดไหล ทำให้ไม่มีแสงออกมาที่จอภาพ จุดประสงค์ของสัญญาณแบล๊งค์ ก็เพื่อไม่ให้มองเห็นภาพเส้นที่ลากกลับในช่วงของการสแกน

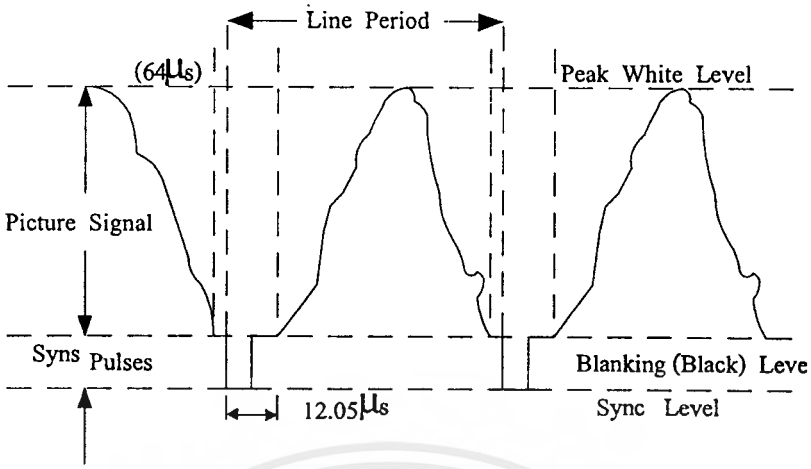
สัญญาณแบล๊งในแนวนอนมีความถี่ 15625 Hz ทำให้เกิดการแบล๊งในช่วงของเส้นที่ลากกลับมาจากทางขวามือมาซ้ายมือ สัญญาณแบล๊งค์ในแนวตั้งมีความถี่ 60 Hz ทำให้เกิดการแบล๊งค์ ในส่วนลากกลับจากส่วนล่างขึ้นส่วนบน ช่วงเวลาของสัญญาณแบล๊งค์ในแนวนอนมีค่าประมาณ 20 เปอร์เซ็นต์ ของสัญญาณเส้นตามแนวนอนที่มีค่า 64 μs ดังนั้นสัญญาณแบล๊งตามแนวนอนมีค่าเท่ากับ $64 \times 0.2 = 12.8\mu s$ ซึ่งแสดงให้รู้ว่าช่วงเวลาของการลากเส้นกลับจะต้องสิ้นสุดภายใน 12.8 μs

สำหรับช่วงเวลาของสัญญาณแบล๊งค์ตามแนวตั้ง มีค่าประมาณ 8 เปอร์เซ็นต์ ของสัญญาณตามแนวตั้งที่มีช่วงเวลาใน 1 ภาพ เท่ากับ 20 ms ดังนั้นสัญญาณแบล๊งค์ตามแนวตั้งจะมีค่าเท่ากับ$20 \times 0.08 = 1.6/ms$ ซึ่งแสดงให้เห็นว่าการลากกลับของภาพจากจุดล่างสุดไปจุดบนสุดต้องเสร็จสิ้นภายในเวลา 1.6/ ms

2.4 สัญญาณภาพ

สัญญาณภาพรวม (Composite Video Signal) จะประกอบไปด้วย สัญญาณข้อมูลภาพ สัญญาณแบล๊งค์ และสัญญาณซิงค์ ในส่วนของสัญญาณซิงค์และสัญญาณแบล๊งค์ยังแบ่งออกเป็นสัญญาณซิงค์และสัญญาณแบล๊งค์ในแนวนอน และสัญญาณซิงค์และสัญญาณแบล๊งค์ในแนวตั้ง ระดับ ความสว่างหรือระดับความเข้มของแต่ละจุดในภาพของสัญญาณโทรทัศน์ ขึ้นอยู่กับค่าระดับโวลเตจของสัญญาณภาพ ลักษณะของสัญญาณภาพแสดงดังรูปที่ 2.4

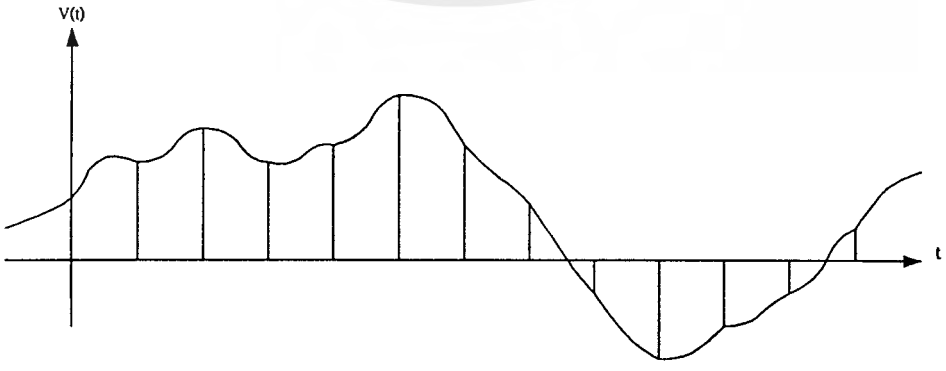
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ลักษณะสัญญาณภาพ

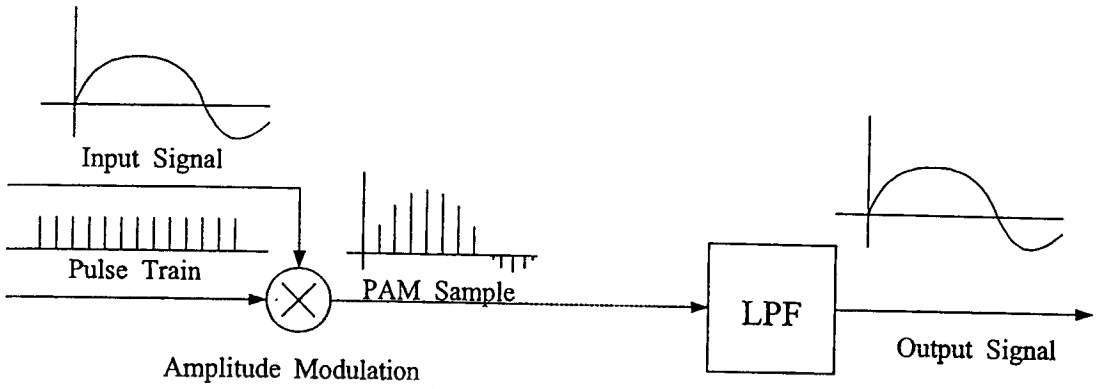
2.5 ทฤษฎีการสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์(Pulse Code Modulation,PCM)

ทฤษฎีการสุ่มตัวอย่างและการสร้างสัญญาณกลับคืนมา ทฤษฎีการสุ่มตัวอย่างของทฤษฎีไนควิสต์ ไนควิสต์ได้เสนอทฤษฎีบทไว้ว่าถ้าเรามีสัญญาณอะนาลอกที่มีสเปกตรัมสูงสุดจำกัดค่าหนึ่งเราสามารถสร้างสัญญาณพัลส์ที่มีข่าวสารของสัญญาณอะนาลอกนั้นด้วยอัตราการสุ่มที่เหมาะสม การที่กล่าวว่าสัญญาณพัลส์ที่สร้างขึ้นจะมีข่าวสารของสัญญาณอนาลอกอยู่อย่างครบถ้วนก็เพราะว่า เราสามารถสร้างสัญญาณอะนาลอกกลับคืนมาใหม่ได้ โดยการจัดการกับสัญญาณพัลส์อย่างเหมาะสม พิจารณารูปที่ 2.5 ถ้าให้สัญญาณอนาลอกที่พิจารณาอยู่นี้มีสเปกตรัมสูงสุด



รูปที่ 2.5 สัญญาณอะนาลอกกับการสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 บล๊อคไดอะแกรมแสดงการสุ่มตัวอย่างและการสร้างสัญญาณเดิมกลับคืนมาเป็นอุดมคติ

2.5.1 อัตราการสุ่มตัวอย่างและผลกระทบที่เกิดขึ้นในกรณีที่อัตราการสุ่มตัวอย่างไม่เพียงพอ

ในทางอุดมคตินั้น สัญญาณอะนาลอกที่มีสเปกตรัมสูงสุดจะต้องใช้ความถี่ในการสุ่มตัวอย่าง f_s อย่างน้อยที่สุดเป็นสองเท่าของสเปกตรัมสูงสุด $f_s \geq 2W$ แต่ในทางปฏิบัติระบบทั่วไปที่ไม่ใช่อุดมคตินั้น ความถี่ในการสุ่มตัวอย่างจะต้องมากกว่า 2 W เสมอ ความจำเป็นที่ f_s จะต้องสูงกว่า 2 Wและผลกระทบที่เกิดขึ้นในกรณีที่ $f_s \leq 2W$ ระบบอุดมคติในรูปที่ 2.6 ตามรูปสัญญาณที่ออกมาจาก วงจรคูณจะสามารถเขียนได้ดังนี้

$$V_s(t) = v(t)\sum_{n=-\alpha}^{\alpha}\delta(t-nT_s) \qquad (2.1)$$

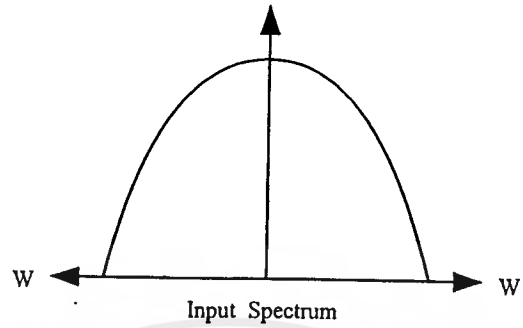
เมื่อทำการหาฟูริเยร์ของสมการ

$$V_s(t) = v(t)\times\sum_{n=-\alpha}^{\alpha} f_s\delta(f-nf_s)$$

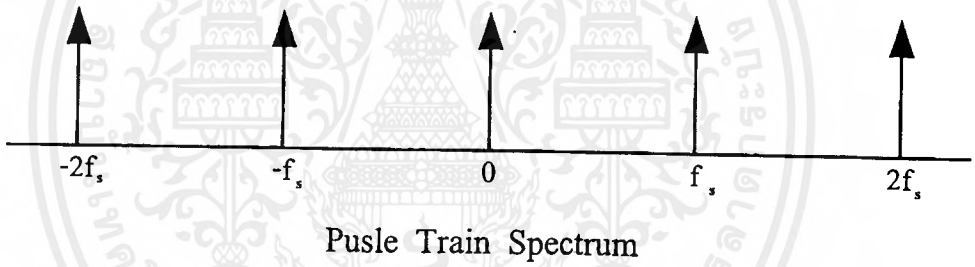
$$= \sum_{n=-\alpha}^{\alpha} f_s V(f-nf_s) \qquad (2.2)$$

เมื่อนำฟูริเยร์สเปกตรัมที่ได้ตามสมการ(2.2)นี้ไปเขียนเป็นรูปจะได้ดังรูปที่ 2.7

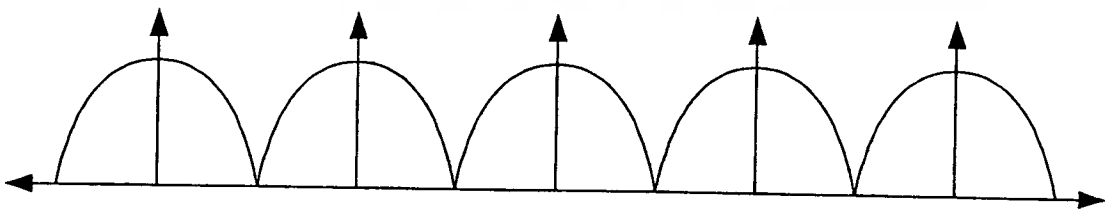
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 สเปกตรัมของสมการอะนาลอกเบสแบนสกัดแคร่

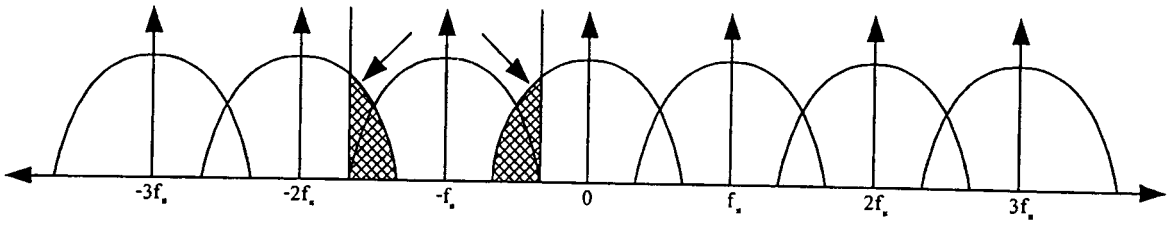


รูปที่ 2.8 สเปกตรัมของขบวนอิมพัลส์ที่มีความถี่เป็น f_s

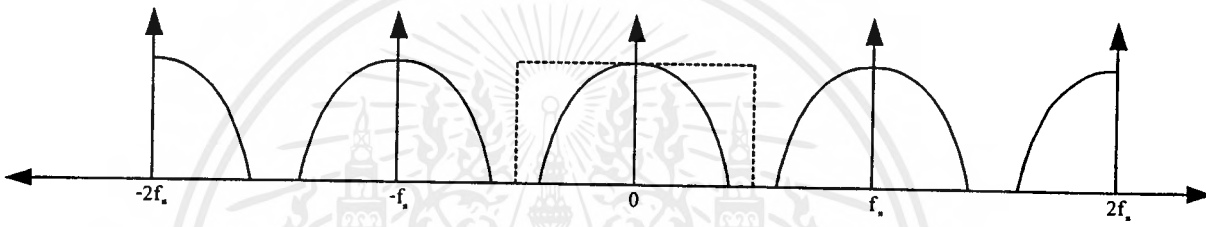


รูปที่ 2.9 การกระจายสเปกตรัมในกรณีที่ทำการสุ่มตัวอย่างด้วย $f_s = 2W$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 กรณีที่ $f_s \leq 2W$



รูปที่ 2.11 กรณีที่ $f_s \geq 2W$

สเปกตรัมของสัญญาณตามรูปที่ 2.9–2.11 นั้นก็คือ สเปกตรัมของสัญญาณที่มอดูเลตแล้วนั้นเอง ลักษณะการมอดูเลตแบบนี้เราเรียกว่า พัลส์แอมปริจูดมอดูเลชั่น(PCM = Pulse Amplitude Modulation) การทำดีมอดูเลชั่นซึ่งก็คือ การดึงเอาเฉพาะสเปกตรัมของสัญญาณเบสแบนด์ออกมาก็อาจทำได้โดยการกรองความถี่แบบผ่านความถี่ต่ำ จากรูปที่ 2.9 จะเห็นได้ว่า ถ้าต้องการดึงเอาสัญญาณเบสด์แบนออกมา จะต้องใช้วงจรกรองความถี่แบบผ่านความถี่ต่ำที่เป็นอุดมคติ เพื่อที่จะสกัดสเปกตรัมของความถี่ที่อยู่ติดกันซึ่งในทางปฏิบัติไม่สามารถเป็นไปได้ ดังนั้นจึงเกิดปัญหาของการรบกวนจากสเปกตรัมที่อยู่ติดกัน

กรณีรูปที่ 2.10 $f_s \leq 2W$ ทำให้สเปกตรัมของสัญญาณไซแบนด์ซ้อนทับกัน ในกรณีเช่นนี้จะไม่สามารถที่จะสกัดการรบกวนระหว่างไซแบนด์ได้

สำหรับกรณีของรูปที่ 2.11 $f_s \geq 2W$ กรณีนี้จะลดความยุ่งยากในการใช้วงจรกรองความถี่ลงเพราะช่วงการ์ดแบนด์(Gardband) คือ $f_s - 2W$ มีขนาดกว้างขึ้น ในกรณีทั่วไปจะเป็นไปตามเงื่อนไขในรูปที่ 2.11

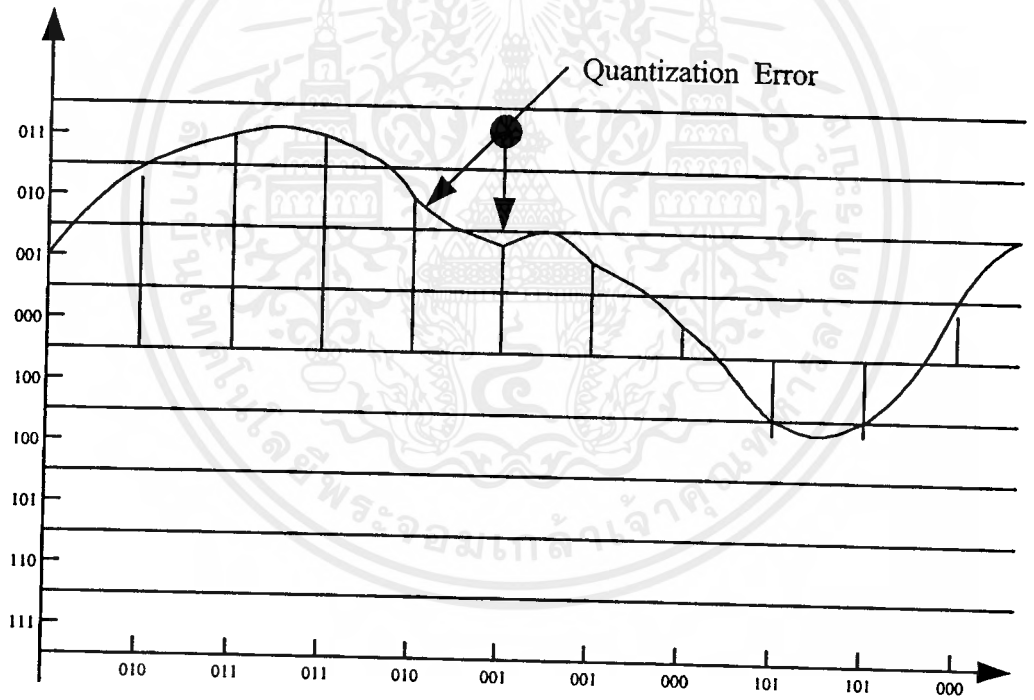
ในกรณีที่ $f_s \leq 2W$ ซึ่งทำให้ไซแบนด์ของสเปกตรัมเกิดการซ้อนทับกันนั้น เมื่อทำการดีมอดูเลตโดยใช้วงจรกรองความถี่แบบผ่านความถี่ต่ำที่มีแบนด์วิดท์ f_s จะพบว่าสัญญาณที่ดีมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาได้นั้นเกิดการผิดเพี้ยนขึ้น เพราะสเปกตรัมในช่วง $f_s - W$ คือ $f_s/2$ ซึ่งเป็นช่วงที่สเปกตรัมเกิดการซ้อนทับกันนั้นเป็นของปลอม ลักษณะเช่นนี้เราเรียกว่า การเกิดสเปกตรัมปลอม(Alising)

2.5.2 พัลส์โคดมอดูเลชั่น(PCM = Pulse Code Modulation)

ระบบ PCM เป็นระบบที่มีประโยชน์จากทฤษฎีการสุ่มตัวอย่างโดยจัดการกับสัญญาณ PAM ที่ได้จากการสุ่มตัวอย่างให้เป็นสัญญาณที่เหมาะสมกับการส่งผ่านระบบมากขึ้นทั้งนี้เพราะสัญญาณ PAM นั้นเมื่อส่งผ่านระบบจะประสบกับปัญหาการผิดเพี้ยนซึ่งทำให้สเปกตรัมของสัญญาณเบสด์แบนท์ที่ปลายทางผิดเพี้ยนไปจากเดิม ระบบ PCM นั้นเป็นการจัดการกับสัญญาณ PAM โดยการนำสัญญาณ PAM ไปทำการเข้ารหัส(Encode) เป็นสัญญาณดิจิตอล แล้วจึงนำสัญญาณดิจิตอลที่ได้ส่งผ่านระบบต่อไปทางภาครับจะทำการถอดรหัสเป็นสัญญาณ(Decoding) สัญญาณดิจิตอลเป็นสัญญาณ PAM นั้นไปดีมอดูเลตเป็นสัญญาณเบสแบนด์คืนมา



รูปที่ 2.12 ตัวอย่างของการควอนไตน์สัญญาณแบบเชิงเส้น

2.5.3 การสร้างสัญญาณ PCM

ในการเข้ารหัสสัญญาณ PAM ซึ่งเป็นสัญญาณอนาลอกที่เกิดจากการสุ่มตัวอย่างให้เป็นรหัสสัญญาณดิจิตอล PCM นั้นจะอาศัยตัวแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล(Analog To Digital Converter, ADC) โดย ADC จะทำการนำค่าของสัญญาณ PAM มาเปรียบเทียบแล้วปัดขึ้นหรือปัดลงให้สามารถแทนระดับสัญญาณได้โดยใช้บิทจำกัดแทนค่าสัญญาณ วิธีเช่นนี้เรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า การ ควอนไทซ์สัญญาณ(Quantization Signal) และถ้าให้ระดับสัญญาณมีขนาดเท่ากันก็จะเป็นการ ควอนไทซ์สัญญาณเชิงเส้น สัญญาณ PAM ที่ถูกควอนไตน์แล้วจะถูกนำมาเข้ารหัสเป็นสัญญาณ PCM ออกมา

2.5.4 ควอนไทซ์เซชั่นนอยส์(Quantization Niose)

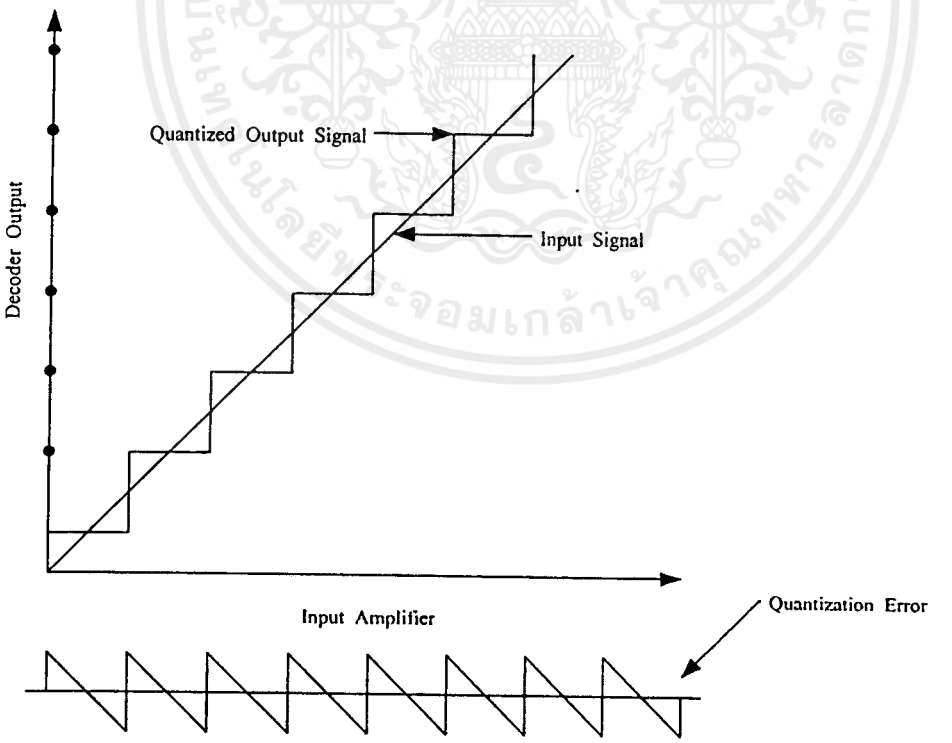
การควอนไทซ์สัญญาณ PAM นั้นค่าที่ได้จะเป็นเพียงค่าประมาณ ดังนั้นการแปลงสัญญาณกลับมาก็อาจมีความผิดพลาดเกิดขึ้น ค่าความผิดพลาดชนิดนี้เราเรียกว่า การควอนไทซ์เซชั่นนอยส์

ในกรณีที่การควอนไทซ์เซชั่นนอยส์เป็นแบบเชิงเส้นโดยช่วงกว้างของแต่ละชั้นของระดับสัญญาณที่ถูกควอนไทซ์เป็น q จะได้ว่า

1. ระดับสัญญาณที่ถอดรหัสได้จะต่างจากระดับของสัญญาณจริงสูงสุดไม่เกิน $q/2$

2. ระดับของสัญญาณที่ถูกสุ่มตัวอย่างมาจะมีความน่าจะเป็นที่จะอยู่ที่ระดับต่างๆ ในช่วง q ได้เท่าๆ กัน นั่นคือความน่าจะเป็นเท่ากับ $1/q$

3. ระดับสัญญาณสูงสุดจะต้องอยู่ในช่วงการทำการควอนไทซ์ ถ้าระดับสัญญาณสูงเกินกว่าค่าสูงสุดที่จะทำการควอนไตน์ได้ก็จะเกิดการผิดเพี้ยนเนื่องมาจากสาเหตุนี้ขึ้นมาอีก



รูปที่ 2.13 การเกิดควอนไทซ์เซชั่นนอยส์กรณีของการควอนไทซ์สัญญาณแบบเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังของสัญญาณรบกวนแบบควอนไทซ์เซชั่นนอยส์นี้สามารถเขียนได้เป็น

$$N_q = \frac{q^2}{12} \; ; \; q = \text{step size } 9 \tag{2.3}$$

ถ้าค่าแอมปลิจูดของสัญญาณอยู่ในช่วง 0 ถึง A_{MAX}

$$A_{MAX} = q \times 2^n \tag{2.4}$$

$$SNR_{(nms)} = \frac{\text{RMS signal power}}{\text{Quantizer noise power}} = \frac{(\text{rms signal level})^2}{q^2/12}$$

rms signal คือ A_{MAX} และ $q = \frac{A_{MAX}}{2^n}$ ดังนั้นจะได้

$$SNR_{(nms)} = \frac{A^2_{(nms)}}{\left(A_{(MAX)} / 2^n\right)^2 / 12} = 12\left(2^{2n}\right)\left(A_{MAX} / A_{MAX}\right)^2$$

จะได้ว่า

$$SNR_{(nms)} = 6.02n + 10.8 + 20\log\frac{A_{nms}}{A_{MAX}} \tag{2.5}$$

; A_{MAX} = ระดับสัญญาณ rms

; A_{MAX} = ค่าแอมปริจูดสูงสุดแบบ Peak to Peak

n = จำนวนบิทที่ใช้ในการควอนไตน์

ค่า $A_{MAX} = A_{PEAK} / 1.414$ และ $A_{MAX} = 2A_{PEAK}$

$$SNR_{(nms)} = 6.02n + 10.8n + 20\log\frac{A_{peak}}{2 \times 1.414 A_{peak}}$$

$$= 6.02n + 1.8dB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปแล้วสัญญาณที่ถูกควอนไทซ์อาจเป็นสัญญาณซึ่งซับซ้อนซึ่งจะไม่อยู่ในรูปของสัญญาณ Peak To Peak แต่จะอยู่ในรูปของสัญญาณ rms ซึ่งสามารถแสดงค่าเฉลี่ยหรือระดับ rms ดังนั้นในกรณีนี้ ค่า $SNR_{(nms)}$ จะต้องหักลบค่า QF(Quantizer Conversion Factor)ด้วย ดังนั้นจะได้ว่า

$$SNR_{(P-P)} = 6.02n + 1.8dB - QF \qquad (2.6)$$

$$QF = 20\log\frac{A_{MAX}}{A}$$

จากสมการที่ 2.5 จะเห็นได้ว่าในการเข้ารหัสสัญญาณวีดีโอนั้น สัญญาณเบสแบนด์ของวีดีโอจะถูกแยกออกจากสัญญาณเสียง และทำการเข้ารหัสแยกโดยในส่วนของสัญญาณภาพที่มีคุณภาพของสัญญาณดีพอนั้นควรมีค่า $SNR_{(P-P)} > 52dB$ ดังนั้นในการเข้ารหัสสัญญาณจะต้องใช้จำนวนบิท 7 ถึง 8 บิท และอัตราในการสุ่มตัวอย่างควรมีค่าประมาณ 10 MHz

ในการเข้ารหัสสัญญาณวีดีโอนั้นจะต้องทำการเข้ารหัสเฉพาะส่วนของสัญญาณที่เป็นภาพ (Picture) ส่วนสัญญาณซิงค์(Sync) จะทำการสร้างขึ้นมาใหม่ที่ตัวรับ ในกรณีนี้ค่าระดับสัญญาณ Peak To Peak ตั้งแต่ระดับสัญญาณไวท์ (White)ถึงแบลงกิ้ง (Blanking) คือ A และช่วงของการควอนไทซ์คือ $A_{(MAX)}$ ดังนั้น $A_{(MAX)} = 2A$

ระดับของสัญญาณ rms คือ $V_S / 1.414$ ดังนั้นจะได้ว่า

$$SNR_{(nms)} = 6.02n + 10.8n + 20\log\frac{(V_S / 1.414)}{2V_S}$$

$$= 6.02n + 1.8ndB$$

ทำการเปลี่ยนค่า $SNR_{(P-P)}$ เป็น $SNR_{(rms)}$ โดย

$$SNR_{(nms)} = SNR_{P-P} - CF - WF$$

; CF = Conversion Factor สำหรับการเปลี่ยนค่าระดับสัญญาณ Peak To Peak เป็น rms

Signal Power

= 9 dB สำหรับสัญญาณรูปไซน์(Sine) และ 7.66 dB สำหรับสัญญาณวีดีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

; WF = Weighting Factor สำหรับการลด SNR .ใช้ไวท์นอยส์เวจติ้ง(White Noise Weighting) สำหรับ PCM ,6.2 dB สำหรับมาตรฐาน CCIR และใช้ 6.8 dB สำหรับ มาตรฐาน EIA

ดังนั้นจะได้ $SNR_{(P-P)} = 6.02n + 1.8n + CF + WF$

บิทเรต (Bit Rate,BR) ของ PCM คือ

$$\begin{aligned} BR &= nf_s \\ &= 8 \times 10MHz \\ &= 80Mb/s \end{aligned} \qquad (2.7)$$

จะได้ว่า

$$\begin{aligned} SNR_{(P-P)} &= 6.02n + 1.8 + 7.66 + 6.2 \\ &= (6.02 \times 8) + 1.8 + 7.66 + 6.2 \\ &= 48.16 + 1.8 + 7.66 + 6.2 \\ &= 63.82dB \end{aligned}$$

สำหรับมาตรฐานของ CCIR White – Noise Weighting ของสัญญาณวีดีโอและมีแบนด์วิดท์เท่ากับ 4.2 MHz

2.6 วิธีการถ่ายโอนข้อมูล

การถ่ายโอนข้อมูลแบ่งออกเป็น 2 แบบคือ การถ่ายโอนข้อมูลแบบอนุกรมและการถ่ายโอนข้อมูลแบบขนาน ซึ่งจะมีรูปแบบการส่งและประโยชน์การส่งที่ต่างกัน

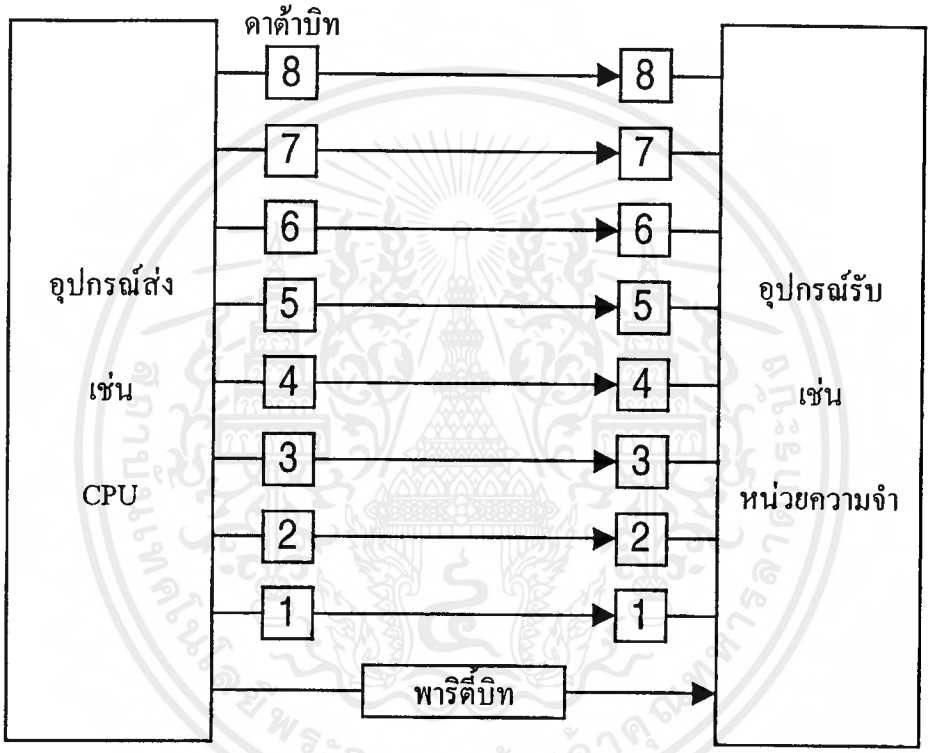
2.6.1 การถ่ายโอนข้อมูลแบบขนาน

ลักษณะการส่งข้อมูลแบบขนาน ทำได้โดยการส่งข้อมูลที่ละ 1 ไบท์ คือ 8 บิท จากอุปกรณ์ส่งไปยังอุปกรณ์รับตัวกลางระหว่างเครื่อง 2 เครื่องที่จะต้องมีช่องทางให้ข้อมูลอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางชนิดอื่นแต่เนื่องจากมีสัญญาณการสูญหายไปกับความต้านทานของสาย ดังนั้นระยะทางระหว่างเครื่อง 2 เครื่องจึงไม่ควรจะเกิน 100 ฟุต หากระยะทางของสายมากกว่านี้ปัญหาที่จะเกิดขึ้นคือ ระดับของกราวด์ในทางไฟฟ้าที่จุดรับ จะผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกทางฝ่ายรับ นอกจากสายที่เป็นทางเดินของข้อมูลแล้ว อาจจะทีทางเดินสำหรับขาควบคุมทางเดินของสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่างๆ อื่นอีกเป็นต้นว่า บิทที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการบอกความผิดพลาดของการรับสัญญาณที่ปลายทาง หรือสายที่ควบคุมโดยการโต้ตอบ (Hand-shake)

จะเห็นได้ว่าการส่งข้อมูลแบบขนานจะทำในระยะทางที่ใกล้ๆ เนื่องจากต้องมีช่องทางเดินสัญญาณมากกว่า 8 สายตัวอย่าง เช่น อุปกรณ์ที่ติดต่อจะต่อแบบขนานกับคอมพิวเตอร์ จะเห็นได้จากเครื่องพิมพ์หรือแสดงดังรูปที่ 2.14



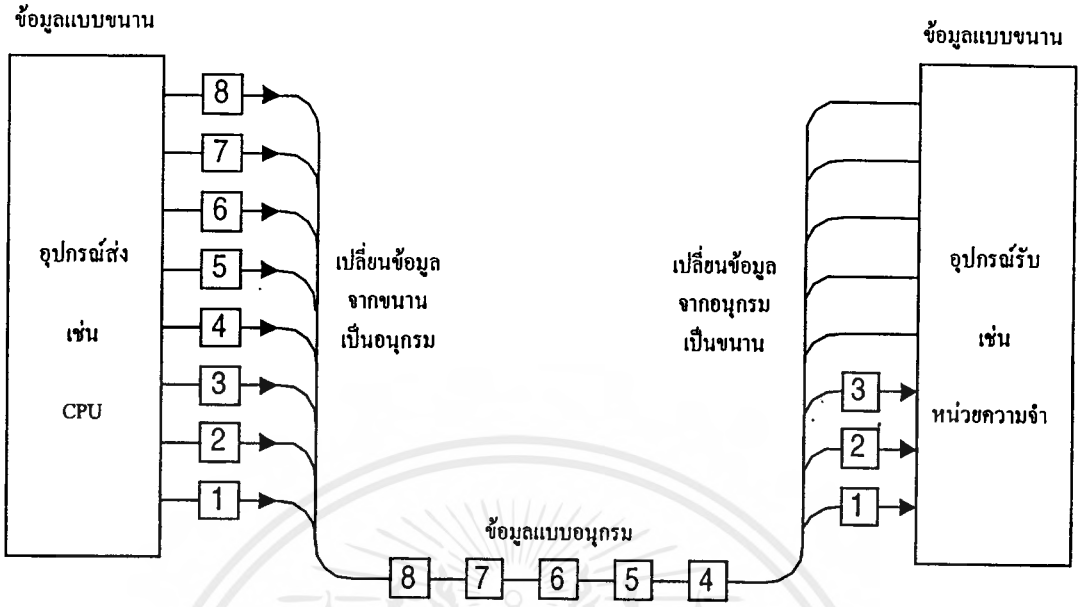
รูปที่ 2.14 การส่งข้อมูลแบบขนาน

2.6.2 การถ่ายโอนข้อมูลแบบอนุกรม

การถ่ายโอนข้อมูลแบบอนุกรม ข้อมูลจะถูกส่งออกมาที่ละบิท ระหว่างจุดรับและจุดส่ง จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าการส่งข้อมูลแบบขนาน แต่เหตุผลประการสำคัญที่ต้องมีการใช้การส่งข้อมูลแบบอนุกรมก็คือ ตัวกลางสื่อสารต้องเป็นเพียงช่องทางเดียว หรือสายเพียงคู่เดียว ค่าใช้จ่ายจะต้องถูกกว่าการส่งแบบขนานอย่างแน่นอนใช้สำหรับการส่งระยะทางไกลๆ โดยเฉพาะเมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้ว ย่อมจะเป็นการประหยัดกว่าที่จะทำการติดต่อที่ละ 8 ช่อง ดังแสดงดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.15 การส่งข้อมูลแบบอนุกรม

จากรูปข้างบนแสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นข้อมูลแบบอนุกรมเสียก่อน แล้วค่อยทยอยส่งออกมาที่ละบิทไปยัง ณ จุดรับ ที่จุดรับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งออกมาที่ละบิท ให้เป็นสัญญาณแบบขนานซึ่งจะให้ลงตัวพอดี นั่นคือบิทที่ 1 จะลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้สัญญาณแปลงจากสัญญาณอนุกรมที่ละบิทให้พอดีนั้นจำเป็นต้องมีกลไกที่เหมาะสม เพื่อป้องกันความผิดพลาดในการรับ กลไกที่ว่าแบ่งออกเป็น 2 แบบ

1.การสื่อสารแบบซิงโครนัส

2.การสื่อสารแบบอะซิงโครนัส

2.7 รูปแบบการติดต่อสื่อสารแบบอนุกรม

การติดต่อสื่อสารแบบอนุกรมอาจจะแบ่งออกตามรูปลักษณะได้ 3 แบบ

1.แบบซิมเพล็กซ์ (Simplex) ข้อมูลจะส่งได้เพียงทางเดี่ยวเท่านั้น บางครั้งก็เรียกว่าการส่งทิศทางเดียว (Unidirectional data bus) แสดงในรูปที่ 2.16 (1)

2.แบบฮาล์ฟดูเพล็กซ์ (Half duplex) ข้อมูลสามารถส่งออกได้ 2 สถานี แต่จะผลัดกันส่งและผลัดกันรับ จะส่งหรือรับที่เดียวพร้อมกัน 2 ตัวไม่ได้ แสดงในรูปที่ 2.16 (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
34056

3.แบบฟูลดูเฟล็กซ์ (Full duplex) ทั้งสองสถานีจะส่งและรับทีเดียว พร้อมกันทั้ง 2 สถานีในเวลาเดียวกัน แสดงในรูปที่ 2.16 (3)

1.) แบบซิมเพล็กซ์

2.) แบบฮาฮาล์ฟดูเฟล็กซ์

3.) แบบฟูลดูเพล็กซ์

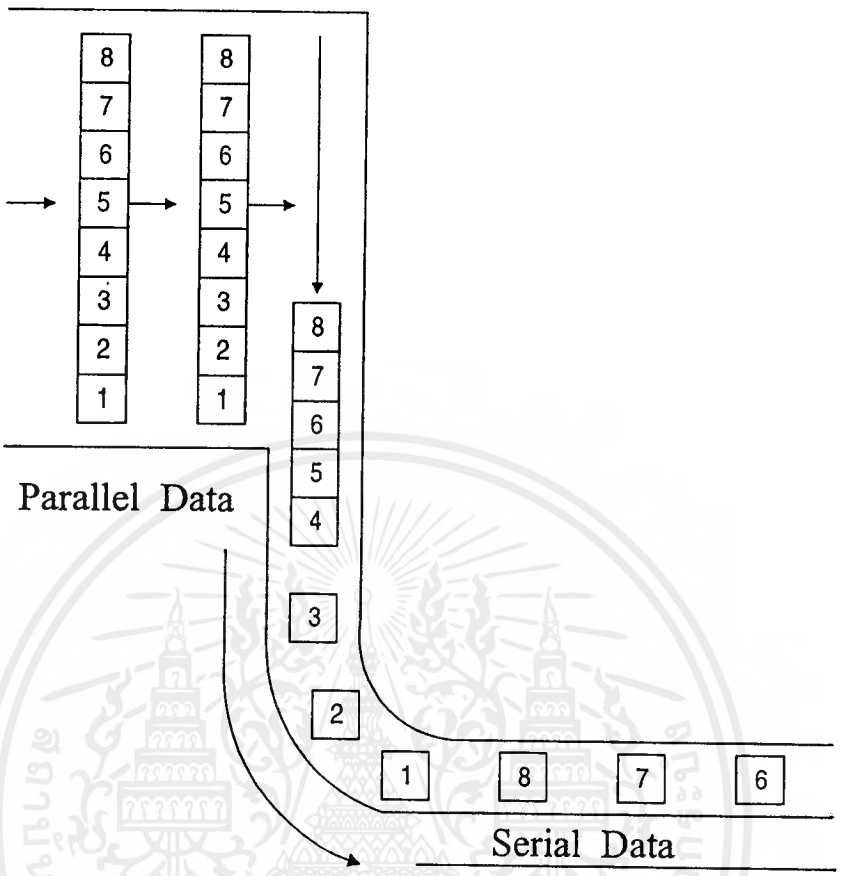
รูปที่ 2.16 รูปแบบการส่งติดต่อสื่อสารข้อมูลแบบอนุกรม

การส่งแบบฟูลดูเฟล็กซ์และแบบฮาล์ฟดูเฟล็กซ์ จะไม่ขึ้นอยู่กับจำนวนของสายที่ใช้ในการติดต่อบางครั้งคำว่า ทูไวร์ (Two wire) หรือสองเส้น และโฟไวร์ (Four wire) หรือสี่เส้น ใช้ในการบรรยายถึงลักษณะการสื่อสารข้อมูลแบบฮาล์ฟดูเฟล็กซ์ โดยสายโทรศัพท์ทั่วๆไปจะเป็นแบบ 2 เส้น หรือในแบบที่เป็นสายเช่า (Lease line) จะเป็น 4 เส้น

2.8 วงจรภาคส่ง

หลักการทำงานของภาคส่งจะเริ่มจาก การแปลงรูปแบบของข้อมูล โดยได้จากการอาศัย ชิฟท์รีจิสเตอร์ (Shift register)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



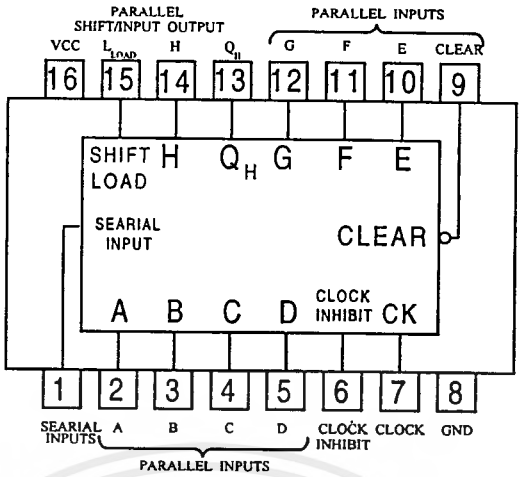
รูปที่ 2.17 การแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรม

ข้อมูลทุกบิทที่จะเข้ามาเก็บไว้ในรีจิสเตอร์แล้วส่งออกไปที่ละบิท บิทที่มีความสำคัญน้อยที่สุด (Least significant bit) ออกไปก่อนแล้วทำการจัดเรียงกันออกจนถึงบิทที่มีความสำคัญมากที่สุด (Most significant bit)และอาจมีวงจรสร้างบิทเริ่มต้นเพื่อเพิ่มประสิทธิภาพในการส่งแสดงในรูปที่ 2.17

2.8.1 วงจรเลื่อนข้อมูล

วงจรนี้มีหน้าที่ในการเลื่อนข้อมูล ดังนั้นเราต้องหาไอซีเลื่อนข้อมูลที่เหมาะสมที่สุด ก่อนอื่นเราต้องดูคุณสมบัติของวงจรก่อน แล้วจึงนำไอซีที่มีคุณสมบัติตรงตามที่ต้องการมาใช้ คุณสมบัติของวงจรนี้คือ มีอินพุท 8 อินพุทเข้าแบบขนานและมีเอาต์พุตเพียง 1 เอาต์พุตออกแบบอนุกรม เมื่อเปิดคู่มือไอซีทีทีแอล เราจะได้ไอซีเบอร์ 74F166 เป็นไอซีชิฟรีจิสเตอร์แบบขนาน 8 บิทรูปแบบการจัดขาดังรูปที่ 2.18 แสดงข้างล่างนี้และมีหลักการทำงานดังตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 การจัดขาของ IC74F166

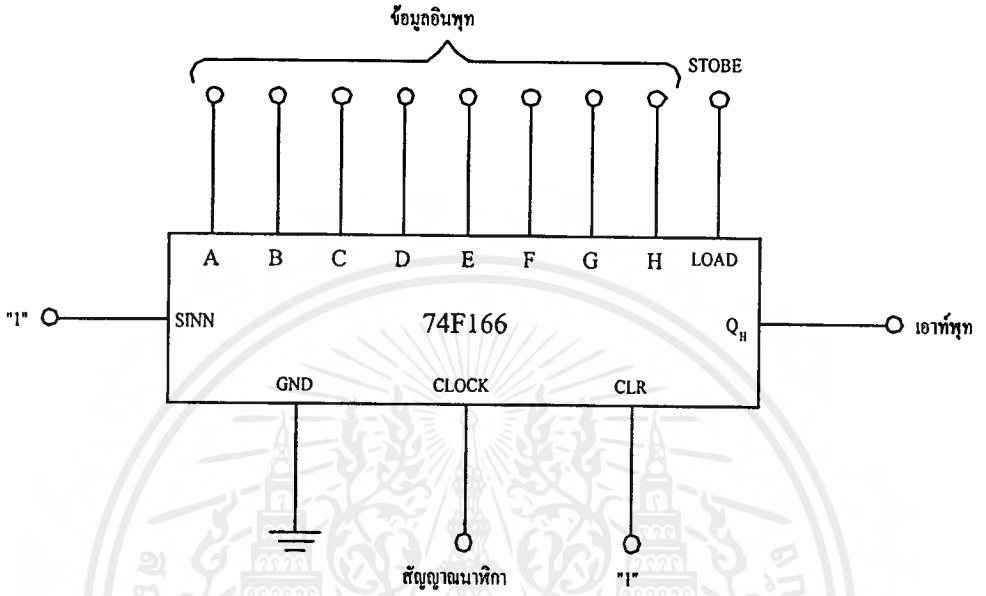
อินพุท						เอาพุทต์ภายใน		เอาพุทต์
เคลียร์	ชิฟต์โหลด	ขับยั้งคล๊อก	คล๊อก	อนุกรม	ขนาน A.....H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{AO}	Q_{BO}	Q_{HO}
H	L	L	↑	X	a.....h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	H	↑	X	X	Q_{AO}	Q_{BO}	Q_{HO}

ตารางที่ 2.1 การทำงานของไอซีเบอร์ 74F166

จากตารางที่ 2.1 ขาเคลียร์ (CLEAR) ต้องต่อเข้ากับลอจิก "1" ตลอดเพราะในวงจรไม่ได้ใช้ และขายับยั้งคล๊อกก็ไม่ได้ใช้อีกเหมือนกันดังนั้นจึงต้องให้ต่อเข้ากับลอจิก "0" หรือกราวด์ ที่ขาเข้าอนุกรม (Serial input) ต่อเข้ากับวงจรสร้างบิทสูงสุด ซึ่งเรากำหนดให้เป็นลอจิก "0" ดังนั้นเราจึงต้องต่อขานี้เข้ากับลอจิก "0" แทนวงจรสร้างบิทสูงสุด ที่ขาเข้าขนาน (Parallel input) ทั้ง 8 ขาต่อเข้ากับข้อมูลที่ต้องการส่ง ส่วนขาเลื่อน / โหลด (Shift / load) เป็นขากำหนดโหมดเลื่อนข้อมูลหรือโหมดการโหลดข้อมูล ในตารางที่ 2.1 แถวที่ 3 จะโหมดการเลื่อนข้อมูลเข้าไปเก็บในตัวเลื่อนข้อมูล (ปกติขานี้จะเป็น "0") ส่วนแถวที่ 4 และแถวที่ 5 จะเป็นโหมดการเลื่อนข้อมูล ดังนั้นเราจะต้องขานี้เข้ากับสัญญาณสโตป เมื่อสัญญาณสโตปเข้ามา ไอซี 74166 ก็จะโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลเข้าไป หลังจากนั้นก็ให้ข้อมูลเลื่อนออกไปได้ทันทีสำหรับเอาต์พุตภายใน ในตารางที่ 2.1 เขียนไว้เพื่อบอกสถานะ



รูปที่ 2.19 วงจรเลื่อนข้อมูลแบบอนุกรมขนาด 8 บิทโดยใช้ไอซีเบอร์ 74F166

การทำงานของเอาต์พุต Q_A และ Q_B ภายในไอซี เพื่อให้ไล่การทำงานภายในของไอซีได้ง่ายขึ้น ขาที่เหลือคือขาสัญญาณนาฬิกา (CLOCK)ให้ต่อเข้ากับสัญญาณนาฬิกาของระบบ ส่วนขาเอาต์พุต (Q_H) ก็ต่อออกเป็นเอาต์พุตของวงจร แสดงดังวงจรในรูปที่ 2.19

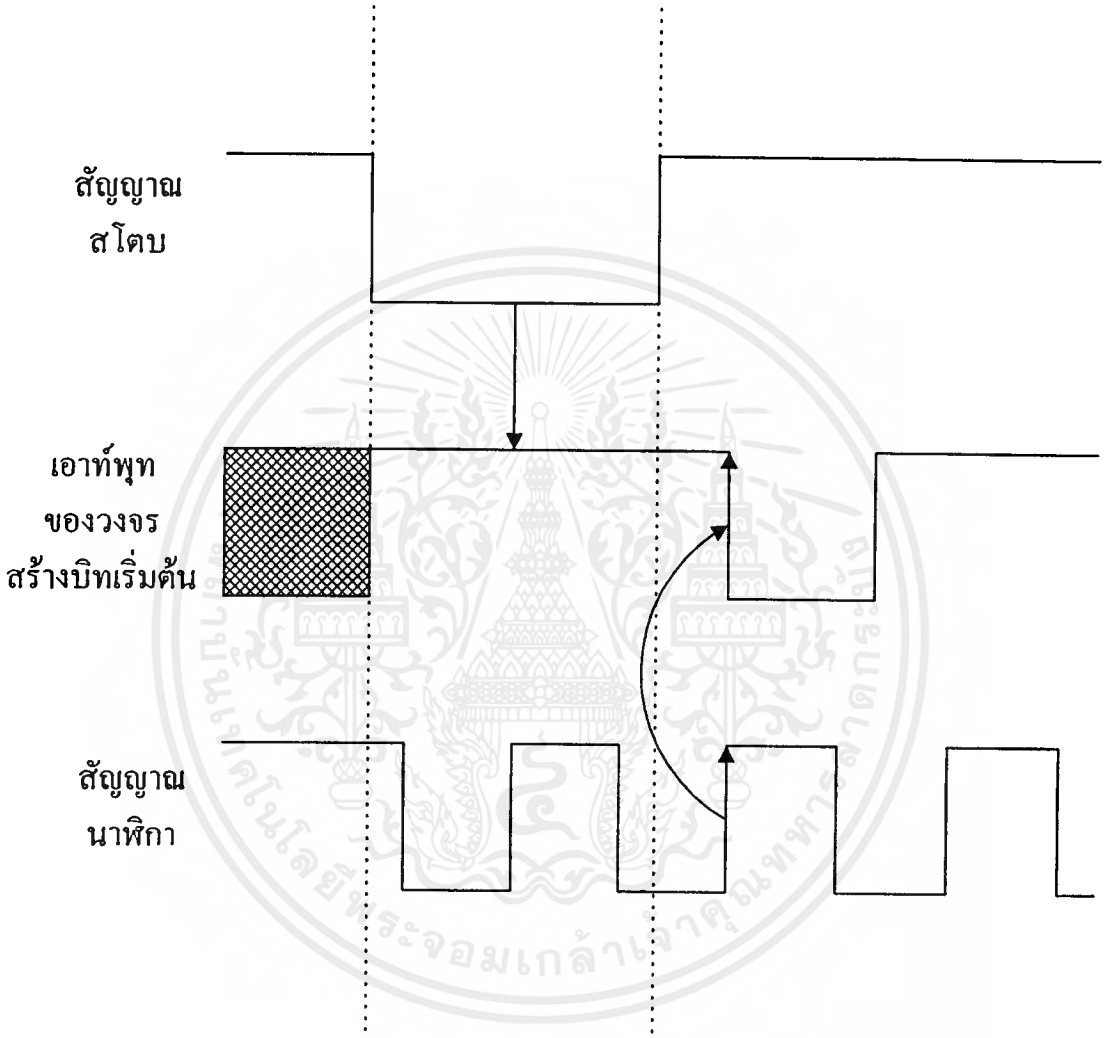
2.8.2 วงจรสร้างบิทเริ่มต้น

วงจรนี้จะทำหน้าที่ในการกำหนดบิทเริ่มต้น (สร้างพัลซ์ที่มีระดับค่าเริ่มต้นที่ลอจิก "1") เมื่อมีสัญญาณสโตบเข้ามา โดยพัลซ์ที่สร้างขึ้นต้องมีช่วงความกว้างของพัลซ์จะเท่ากับสัญญาณนาฬิกาหนึ่งลูกพอดี ดังนั้นเราไม่สามารถใช้วงจรโมโนสเตเบิลทั่วๆไปได้ เนื่องจากวงจรดังกล่าวใช้ค่าความต้านทาน และตัวเก็บประจุต้องทำการกำหนดค่าความกว้างของพัลซ์ หากสัญญาณนาฬิกามีความถี่สูงหรือมีการเปลี่ยนแปลงความถี่ของสัญญาณนาฬิกาแต่ละครั้งก็ต้องเปลี่ยนค่าอุปกรณ์ดังกล่าวด้วยจึงเกดความยุ่งยากมาก

วงจรที่ทำงานตามสถานะของสัญญาณนาฬิกาจึงเป็นวงจรที่ใช้ฟลิปฟลอปเป็นส่วนประกอบ เนื่องจากสัญญาณสโตบนี้เราจะทราบว่ามีช่วงความกว้างเท่าไรซึ่งอาจได้มาจากการดีโค๊ทพล๊อตของไมโครโปรเซสเซอร์ หรือจากวงจรดิจิตอลอื่นๆ ที่นำไปประยุกต์ใช้งาน ดังนั้นจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องให้วงจรสร้างบิทเริ่มต้นทำงาน หลังจากสัญญาณสโตบสิ้นสุดลงดูจากไดอะแกรมในรูปข้างล่างนี้



รูปที่ 2.20 ไดอะแกรมเวลาการทำงานของวงจรสร้างบิทเริ่มต้น

เราจะใช้ดี – ฟลิปฟลอปเบอร์ 74F4 ต่อกันในลักษณะชิฟรีจิสเตอร์เพื่อให้ข้อมูลผ่านออกมาได้ แต่จะใช้กี่ตัวเราต้องพิจารณาอีกทีหนึ่ง แต่ก่อนอื่นเราต้องมาดูว่าเราจะสร้างบิทเริ่มต้นอย่างไร การจะทำให้เอาท์พุท Q เป็นลอจิก "1" ได้นั้นทำได้ 2 วิธีคือ

1. ให้สัญญาณเข้าไปที่ขา PRESET

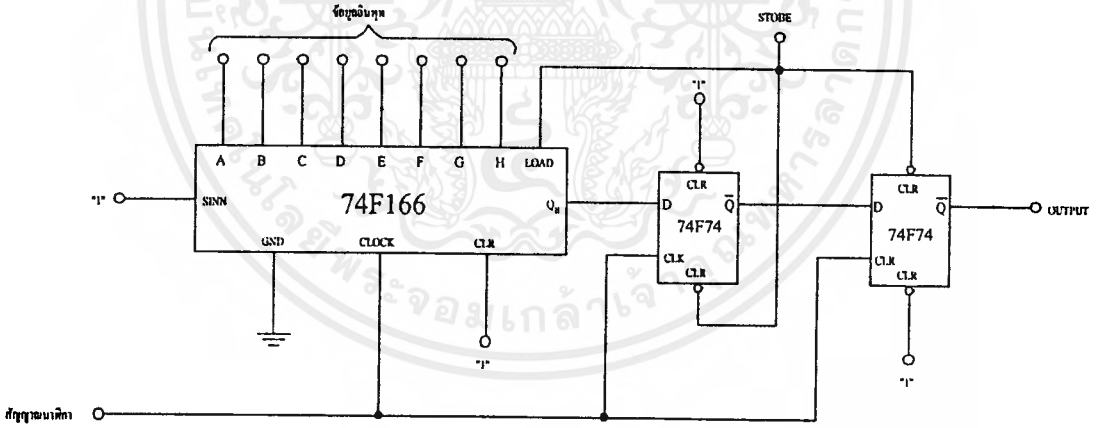
2. ให้ขา D เป็นลอจิก "1" แล้วให้สัญญาณนาฬิกาเข้า 1 ลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีแรกจะเป็นที่นิยมใช้กันมากที่สุดและทำได้ง่ายที่สุดแต่หากเราให้สัญญาณเข้าที่ขา PRESET โดยตรงเอาท์พุท Q จะเป็นลอจิก "1" นานเกินไป (ในกรณีที่สัญญาณเข้าที่ขา PRESET มีช่วงนานเกินกว่าสัญญาณนาฬิกา) ทำให้บิทเริ่มต้นผิดพลาดไป ทางที่ถูกต้อง คือให้ลอจิก "1" ออกมาหลังจาก PRESET แล้ว หากต่อวงจรเพียงแค่นี้คงเป็นไปไม่ได้ ดังนั้นจึงต้องเพิ่มอุปกรณ์ที่จะกั้นไม่ให้ลอจิก "1" ออกไประหว่างการ PRESET ดังนั้นจึงต้องใช้ไอซี 74F74 อีกหนึ่งตัวเป็นตัวกั้น เพื่อให้ข้อมูลส่งออกผ่านไปได้ จึงต้องต่อวงจรในลักษณะชิฟรีจิสเตอร์

ส่วนการบังคับให้เอาท์พุทของฟลิปฟลอปตัวหลังนี้เป็นลอจิก "0" ในขณะที่เอาท์พุทของฟลิปฟลอปตัวแรกถูก PRESET เป็นลอจิก "1" ทำได้โดยให้สัญญาณเข้าที่ขาเคลียร์ ก็จะทำให้เอาท์พุท Q ของฟลิปฟลอปได้ค่าเป็นลอจิก "0"ได้ดังนั้นต้องเอาสัญญาณที่ต่อเข้ากับขา PRESET ของฟลิปฟลอปตัวแรก มาต่อกับขาเคลียร์ของฟลิปฟลอปตัวที่สอง สัญญาณที่ต่อเข้ากันทั้งสองขาสามารถใช้สัญญาณสโตบได้โดยตรง

เมื่อนำเอาวงจรเลื่อนข้อมูลมาต่อกับวงจรสร้างบิทเริ่มต้น จะได้วงจรของภาคส่งที่สมบูรณ์ ดังรูปข้างล่างนี้



รูปที่ 2.21 วงจรสมบูรณ์ของวงจรส่งข้อมูลแบบอนุกรม

2.9 วงจรภาครับ

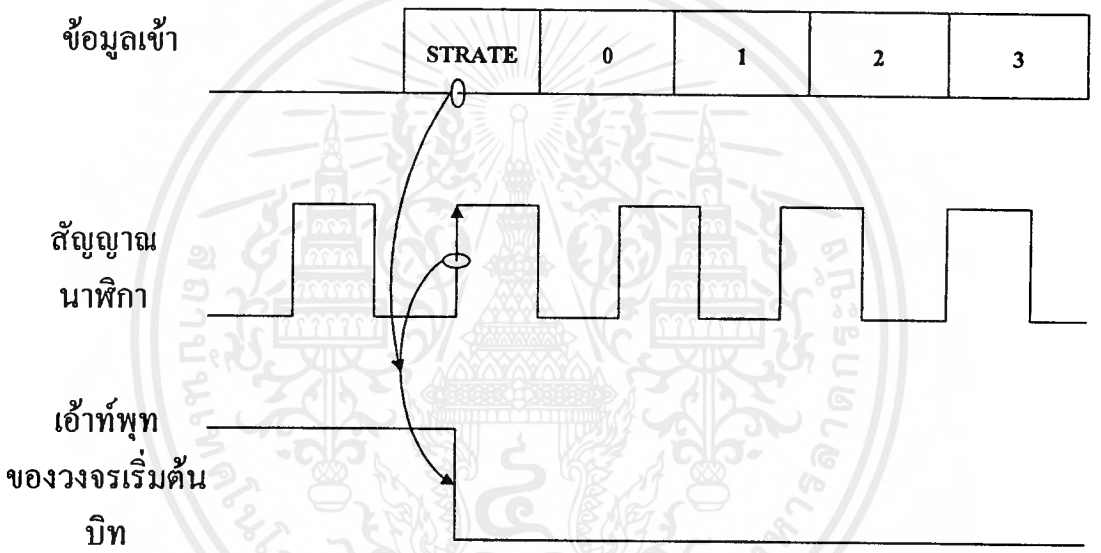
เมื่อเราออกแบบวงจรส่งข้อมูลแล้วและหากเราไม่ออกแบบวงจรรับข้อมูล วงจรส่งข้อมูลก็ใช้ประโยชน์อะไรไม่ได้เลย จึงต้องออกแบบวงจรรับข้อมูลด้วย วงจรรับนี้จะมีความซับซ้อนน้อยกว่าวงจรภาคส่งเล็กน้อย คือ เมื่อพบลอจิก "1" ซึ่งเป็นบิทเริ่มต้นแล้วจะให้เอาท์พุทไปเปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกทเพื่อให้สัญญาณนาฬิกาผ่านเกทไปสู่วงจรเลื่อนข้อมูล วงจรเลื่อนข้อมูลก็จะเลื่อนข้อมูลที่ได้จากอินพุทเข้ามาเก็บที่ละบิท จนครบ 8 บิทก็จะให้เอาท์พุทพร้อมกันทั้ง 8 บิท

2.9.1วงจรหาบิทเริ่มต้น

ปกติสายสัญญาณที่รับข้อมูลเข้ามา หากยังไม่มีการส่งข้อมูลจะมีลอจิกเป็น "0" และหากมีการส่งข้อมูลเข้ามาจะเริ่มด้วยบิทเริ่มต้นที่มีระดับลอจิกเป็น "1" แต่เมื่อตรวจจับลอจิก "1" ได้แล้ว จะส่งเอาท์พุทไปเลยไม่ได้ จะต้องทำตามสัญญาณนาฬิกาของระบบ เพื่อให้เข้าใจดีขึ้นจงดูรูปที่ 2.22

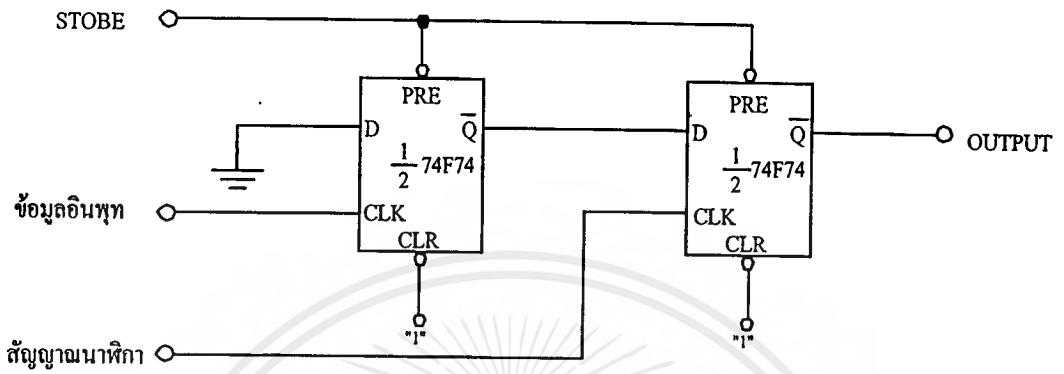


รูปที่ 2.22 ไดอะแกรมเวลาของวงจรหาบิทเริ่มต้น

จากรูปจะเห็นว่าเมื่อข้อมูลเข้ามา และสัญญาณนาฬิกาของระบบ จะมีเฟสไม่ตรงกัน ซึ่งเป็นเรื่องปกติ เนื่องจากใช้วงจรกำเนิดสัญญาณนาฬิกาคนละตัวกันแต่ความถี่ของทั้งสองจะต้องเท่ากัน จะสังเกตได้ว่าเมื่อมีสัญญาณที่เป็นลอจิก "1" เข้ามาแล้ว หากสัญญานาฬิกาที่มีพัลซ์ที่ขอบขาขึ้นในลูกต่อไป ที่เอาท์พุทของวงจรหาบิทเริ่มต้นจึงจะเริ่มทำงาน วงจรที่ทำงานตามสถานะของสัญญาณนาฬิกาอย่างนี้ เราเคาได้เลยว่าต้องมีส่วนประกอบของฟลิปฟลอปเสมอ จะเห็นว่าเมื่อมีบิทเริ่มต้นเข้ามาวงจรจะรอให้สัญญาณนาฬิกาทำงานที่ชอบขาขึ้นก่อนมันจึงจะทำงาน หากใช้วงจรชิฟรีจิสเตอร์ โดยต่อให้สัญญาณข้อมูลเข้ามาเป็นสัญญาณนาฬิกาของฟลิปฟลอปตัวแรกแล้วต่อขา D ลงลอจิก "0" หากมีข้อมูลที่เป็นลอจิก"1"เข้ามาก็จะทำให้เอาท์พุท Q ออกลอจิก"0"ได้เมื่อต่อวงจรซ้อนกันอีกชั้นเพื่อนำลอจิก "0" นี้ออกไปเป็นเอาท์พุทของวงจรหาบิทเริ่มต้น ก็จะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้เอาท์พุทเป็นลอจิก "0" ได้ก็ต่อเมื่อสัญญาณนาฬิกาที่ขอบขาขึ้นเข้ามาก่อนซึ่งตรงกับไดอะแกรมเวลาในรูปที่ 2.12 พอดี วงจรที่ออกแบบแล้วแสดงดังรูปที่ 2.23



รูปที่ 2.23 วงจรหาบิทเริ่มต้นของวงจรรับข้อมูล

เราใช้ไอซีเบอร์ 74F74 เป็นดี–ฟลิปฟลอปขาของไอซีเบอร์นี้จะทำงานที่ขอบขาขึ้นเสมอ ฟลิปฟลอปตัวที่ 2 จะใช้สัญญาณนาฬิกาของระบบมาต่อ เพื่อให้ทำงานพร้อมกับสัญญาณนาฬิกาของระบบ การเริ่มทำงานจะเริ่มเมื่อมีสัญญาณเข้ามาเคลียร์ที่ขา PRESET ของทั้งสองตัว ทำให้ขา Q ของมันเป็นลอจิก "1" ถ้าหากมีข้อมูลเข้ามาเคลียร์ที่ขา PRESET ของทั้งสองตัว ทำให้ขา Q ของมันเป็นลอจิกขา "1" ถ้าหากมีข้อมูลเข้ามา ที่เอาท์พุทของมันจะเปลี่ยนจากลอจิก "1" เป็นลอจิก "0" และหากมีสัญญาณนาฬิกาขอบขาขึ้นเข้ามาลอจิก "0" ก็จะไปปรากฏที่เอาท์พุทของตัวที่สอง

2.9.2 วงจรเลื่อนข้อมูล

วงจรที่ทำหน้าที่เลื่อนข้อมูลแบบอนุกรม แล้วให้เอาท์พุทออกมาเป็นแบบขนาน เราสามารถเลือกใช้ไอซีชิฟรีจิสเตอร์แทนวงจรนี้ได้โดยเปิดคู่มือไอซีทีทีแอลได้ไอซีเบอร์ 74F166 ซึ่งมีคุณสมบัติตามต้องการ ไอซีตัวนี้มีขาที่ต้องการควบคุมเพียงขาเดียวคือขาเคลียร์ ใช้สำหรับเคลียร์เอาท์พุททั้ง 8 ขา เราไม่ได้ใช้ต่อจึงต่อกับลอจิก "1"

2.10 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรม หน่วยที่ใช้วัดเป็นบิทต่อวินาที (bps) หน่วยที่แสดงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เราเรียกว่าโบด์เรต (baud rate) หรืออัตราโบด์เรตหลายคนยังเข้าใจสับสนระหว่าง อัตราโบด์เรต (baud rate) และอัตราบิทเรต (bit rate) การ

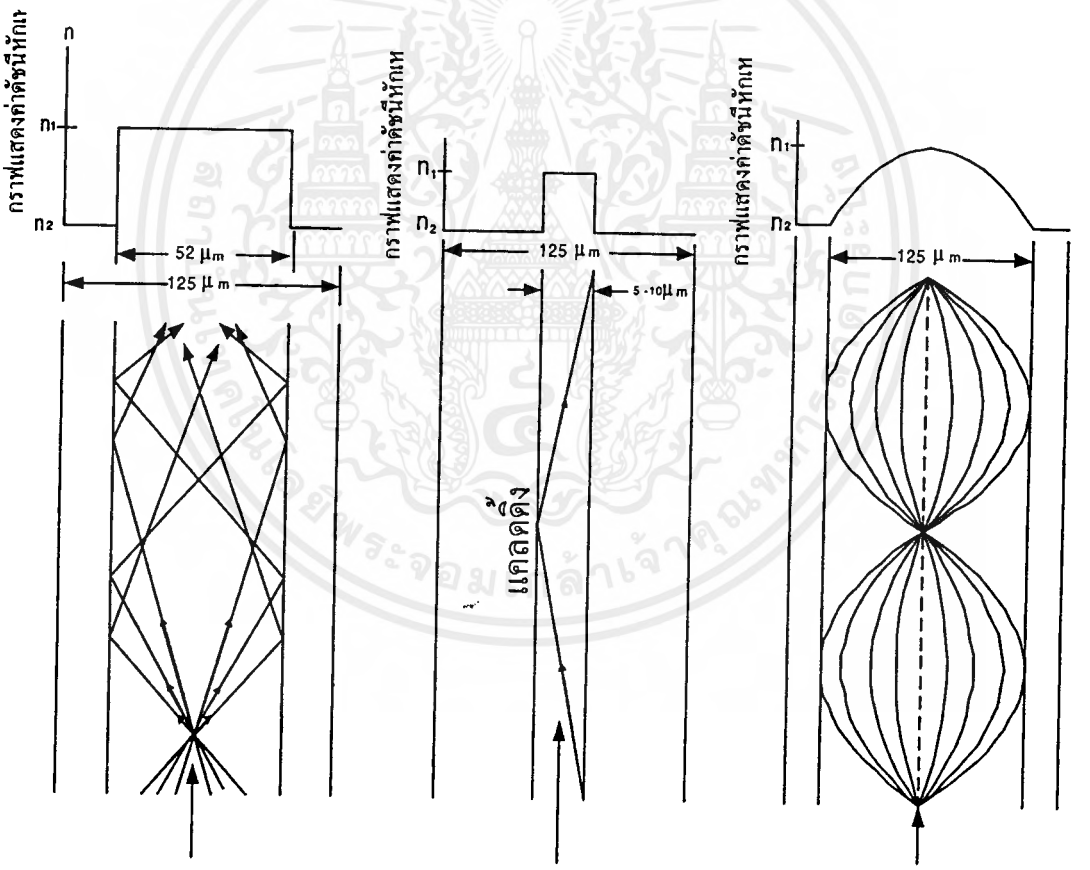
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงของสัญญาณ 1 ครั้งอาจแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิท ถ้าเขียนเป็นรูปสมการทางคณิตศาสตร์เราก็จะได้สมการดังนี้

อัตราบิทเรต(bit rate) = อัตราโบด์เรต(baud rate) × บิทใน 1 บอดเรต

2.11 สายไฟเบอร์ออปติก

ไฟเบอร์ออปติกหรือใยแก้วนำแสงทำจากวัสดุประเภทโปร่งแสง เช่น แก้วหรือพลาสติกใส นำมาดึงเป็นเส้นตรงคลายเส้นลวด เพื่อใช้เป็นทางเดินสำหรับข้อมูลแสง วัสดุสำคัญที่ใช้ในการผลิตไฟเบอร์ออปติก คือ ซิลิกา ซึ่งหาได้ง่ายจากทรายทั่วๆ ไป



(ก) ชนิดสเต็ปอินเด็กซ์ (ข) ชนิดโหมดเดี่ยว (ค)ชนิดเกรดอินเด็กซ์

รูปที่ 2.24 ไฟเบอร์ออปติกชนิดต่างๆที่เป็นพื้นฐาน

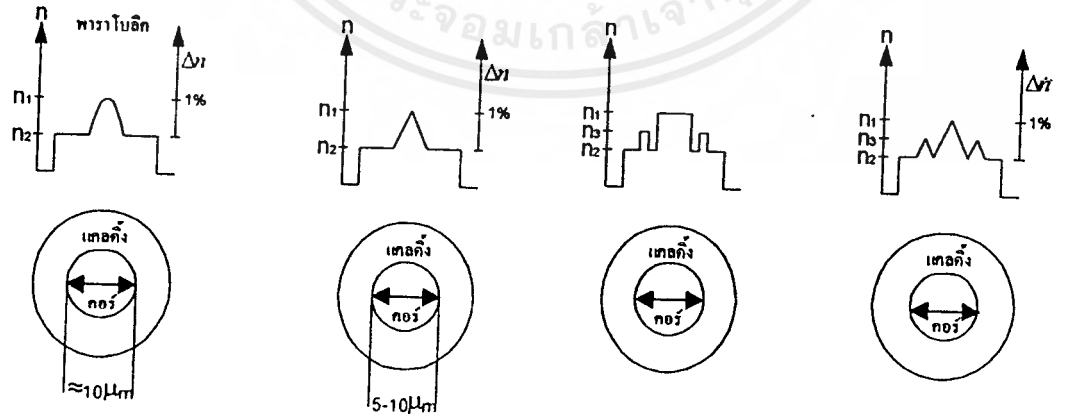
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของไฟเบอร์ออปติกประกอบด้วย ส่วนที่เป็นแกนหรือ "คอร์" (Core) อยู่ในแนวเส้นผ่านศูนย์กลางทำหน้าที่เป็นท่อนำสัญญาณแสง และส่วนที่เป็นวัสดุหุ้มแกนหรือ "แคลดดิ้ง" (Cladding) ทำหน้าที่คล้ายกับผนังกันการสูญเสียข้อมูลโดยรอบแกน อีกทั้งยังมีผลช่วยให้ระบบการนำแสงดีขึ้นด้วย

2.12 ชนิดของไฟเบอร์ออปติก

2.12.1. สเต็ปอินเด็ก (Step – Index) หมายถึง ไฟเบอร์ออปติกที่มีค่าดัชนีการหักเหของแสงคงที่ตลอดเนื้อสารทั้งในส่วนที่เป็นคอร์และในส่วนที่เป็นแคลดดิ้ง โดยปกติค่าดัชนีการหักเหตรงที่คอร์จะมีมากกว่าที่แคลดดิ้งแนวทางของแสงที่เดินทางผ่านจะมีลักษณะเป็นเส้นตรงสะท้อนไปมาตรงบริเวณรอยต่อระหว่างคอร์และแคลดดิ้งตามกฎของสเลล์ ขนาดเส้นผ่านศูนย์กลางของไฟเบอร์ออปติกทั้งเส้น ส่วนใหญ่มีค่าเท่ากับ 125 ไมครอน โดยขนาดของคอร์จะขึ้นอยู่กับการออกแบบว่าจะใช้สำหรับส่งข้อมูลในลักษณะโหมดร่วม (multi mode) หรือโหมดเดี่ยว (single mode) การส่งข้อมูลแบบโหมดร่วมหมายความว่า แสงสามารถเดินทางไปในไฟเบอร์ออปติกได้หลายแนวทาง ขึ้นกับมุมและองศาที่แสงตกกระทบไฟเบอร์ออปติกขาเข้า ขนาดเส้นผ่านศูนย์กลางของคอร์แบบโหมดร่วมมีค่าประมาณ 52 ไมครอน ดังแสดงในรูปที่ 2.24 (ก)

สำหรับไฟเบอร์ออปติกแบบโหมดเดี่ยวจะมีแนวทางเดินของข้อมูลแสงเพียงแนวเดียวเท่านั้น จึงทำให้ขนาดเส้นผ่านศูนย์กลางของคอร์เล็กลงมากเหลือประมาณ 5–10 ไมครอนเท่านั้นดังแสดงในรูปที่ 2.24 (ข)



(ก) ชนิดดัชนีพาราโบลิค (ข) ชนิดดัชนีสามเหลี่ยม (ค) ชนิดดัชนี-W (ง) ชนิดดัชนีสามเหลี่ยม-W

รูปที่ 2.25 ไฟเบอร์ออปติกชนิดโหมดเดี่ยวชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12.2 เกรดเด็ดอินเด็กซ์ (graded – index) หมายถึงไฟเบอร์ออปติกที่มีค่าดัชนีหักเหของคอร์เปลี่ยนแปลงไปตามแนวรัศมีคลื่นของมัน โดยที่ตำแหน่งแนวศูนย์กลางของเส้น จะมีค่าดัชนีการหักเหสูงสุด จากนั้นค่าดัชนีการหักเหจะค่อย ๆ ลดลงไปตามระยะที่ห่างออกจากศูนย์กลางตามลำดับจนมีค่าเท่ากับค่าดัชนีการหักเหของแคลดดิ้งในตำแหน่งที่คอร์ต่อกับแคลดดิ้งพอดี ลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของคอร์นี้ขึ้นอยู่กับสมการทางคณิตศาสตร์ที่ออกแบบ เช่น เป็นลักษณะครึ่งวงกลม หรือพาราโบลาเป็นต้น ในการเดินทางของแสงในไฟเบอร์ออปติกแบบนี้ จะมีลักษณะเป็นเส้นโค้งดังรูปที่ 2.25 (ค) ทั้งนี้เป็นผลมาจากค่าดัชนีหักเหที่เปลี่ยนแปลงไปจากแนวเส้นผ่านศูนย์กลาง ในรูปที่ 2.25 แสดงถึงไฟเบอร์ออปติกประเภทอื่นๆ ที่มักไม่ค่อยได้เห็นกันบ่อยนัก แต่ก็เริ่มมีการใช้กันแพร่หลายมากขึ้น

2.13 การสูญเสียสัญญาณในไฟเบอร์ออปติก

2.13.1 การสูญเสียเนื่องจากวัสดุตัวนำ เป็นผลมาจากการดูดซับพลังงานภายในเนื้อสารที่ใช้ทำไฟเบอร์ออปติกในขณะที่แสงเดินทางและชนกับโมเลกุลของมัน หากการดูดซับพลังงานในเนื้อสารมีมาก จะก่อให้เกิดการสูญเสียสัญญาณมากขึ้นด้วย ทั้งนี้ทั้งนั้นขึ้นอยู่กับโครงสร้างทางโมเลกุลและความบริสุทธิ์ของเนื้อสารที่ใช้ทำไฟเบอร์ออปติก

2.13.2 การสูญเสียจากการกระเจิงของแสง เมื่อแสงเดินทางในไฟเบอร์ออปติกจะเกิดการกระเจิงของแสงอันเนื่องมาจากการชนกับโมเลกุลของเนื้อสาร อีกทั้งขึ้นอยู่กับความยาวคลื่นของแสงที่เดินทางในไฟเบอร์ออปติกด้วย

2.13.3 การสูญเสียจากท่อนำสัญญาณ เป็นการสูญเสียอันเนื่องมาจากการจัดวางของสายไฟเบอร์ออปติกที่ทำหน้าที่เป็นท่อนำสัญญาณในลักษณะที่ไม่เป็นเส้นตรงทำให้มุมการตกกระทบของแสงที่ผนังระหว่างคอร์กับแคลดดิ้งเปลี่ยนแปลงไป ดังนั้นสัญญาณเอ้าต์พุทในการสื่อสารในชนิดโหมดร่วมจึงเกิดการผิดเพี้ยนได้ง่ายโดยมีขนาดความกว้างของสัญญาณมากขึ้นกว่าเดิมการคิดค่ากำลังสูญเสีย (L) ในไฟเบอร์ออปติก มักกระทำในเทอมของเดซิเบล (dB) โดยการคำนวณจากสูตร

$$L_{dB} = 10\log\left(\frac{P_o}{P_i}\right) \qquad (2.8)$$

เมื่อ P_0 คือ ค่าพลังงานเอาต์พุต และ P_i คือ ค่าพลังงานที่อินพุทป้อนให้กับไฟเบอร์ออปติก สมมติเราต้องการที่จะคำนวนหากำลังการสูญเสียจากไฟเบอร์ออปติกที่มีขนาดความยาว 100 เมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อป้อนสัญญาณแสงที่มีพลังงาน $P_I = 10\,\mu W$ เข้าไปในสาย และวัดสัญญาณขาออก $P_0 = 9\mu W$ จะได้ค่ากำลังสูญเสียคำนวณได้จากสูตร

$$L_{dB} = 10\log\left(\frac{9}{10}\right)$$
$$= -0.458dB$$

หรืออาจคิดค่ากำลังสูญเสียต่อหนึ่งหน่วยความยาว ได้จากการนำเอาค่าความยาว 100 เมตร(0.1 กิโลเมตร) ไปหารจะได้

$$L = \frac{-0.458}{0.1}$$
$$L = -0.458\,{}^{dB}\!/_{km}$$

ค่าผลลัพธ์ที่ได้มีค่าเป็นลบหมายความว่าค่าที่คำนวนได้เป็นค่าการสูญเสียนั่นเอง ค่ากำลังสูญเสียต่ำสุดของไฟเบอร์ออปติกที่ใช้กันอยู่ในปัจจุบัน ขึ้นกับค่าความยาวคลื่นของแสงที่ใช้นำสัญญาณข้อมูลกล่าวคือ

ที่ความยาวคลื่นแสง 1.55 μm ค่ากำลังสูญเสียต่ำสุด 0.2 dB / km

ที่ความยาวคลื่นแสง 1.30 μm ค่ากำลังสูญเสียต่ำสุด 0.4 dB / km

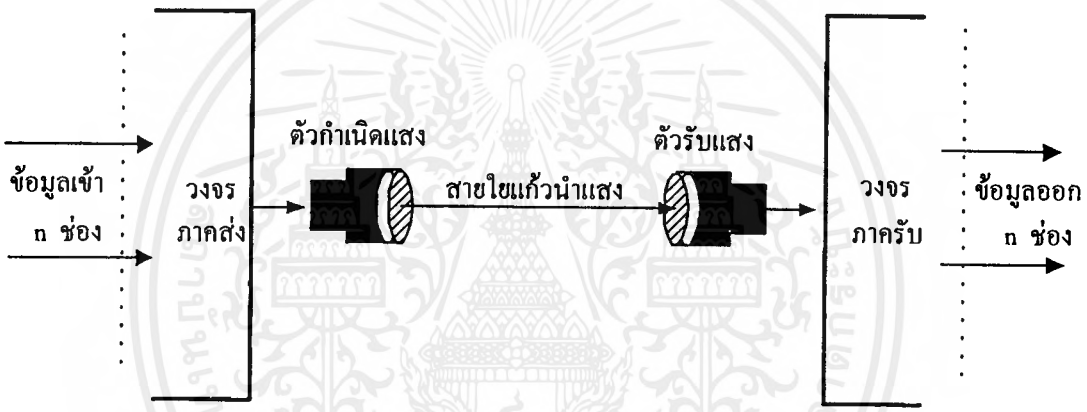
ที่ความยาวคลื่นแสง 0.85 μm ค่ากำลังสูญเสียต่ำสุด 2.0 dB / km

2.14 หลักการสื่อสารด้วยไฟเบอร์ออปติก

ในระบบการสื่อสารด้วยไฟเบอร์ออปติกจะมีโครงสร้างคล้ายกับระบบการสื่อสารด้วยสายเคเบิ้ลเพียงแต่ใช้ตัวกลางในการนำข้อมูลที่ต่างกัน กล่าวคือเมื่อต้องการส่งข้อมูลที่อาจจะอยู่ในรูปของสัญญาณเสียงสัญญาณภาพ หรือข้อมูลทางคอมพิวเตอร์วงจรภาคส่งจะทำหน้าที่จัดรูปสัญญาณให้เหมาะสมด้วยวิธีการเข้ารหัสและมอดูเลตโดยลักษณะข้อมูลที่ใช้ในขั้นตอนนี้ส่วนใหญ่มักจัดให้อยู่ในรูปของสัญญาณดิจิตอลเพราะให้ผลลัพธ์ที่ดีกว่าจากนั้นวงจรในส่วนที่เป็นแหล่งกำเนิดแสง หรือขับสัญญาณ จะแปลงสัญญาณทางไฟฟ้าที่ได้ให้เป็นสัญญาณแสงส่งไปยังสถานีรับ โดยมีไฟเบอร์ออปติกทำหน้าที่เป็นท่อนำสัญญาณ ที่สถานีจะมีโฟโตทรานซิสเตอร์คอยเปลี่ยนสัญญาณแสงให้เป็นสัญญาณไฟฟ้า แล้วส่งไปยังวงจรภาครับเพื่อถอดรหัสและดีมอดูเลตสัญญาณ ทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณเดิมเป็นข้อมูลขาออกเพื่อนำไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

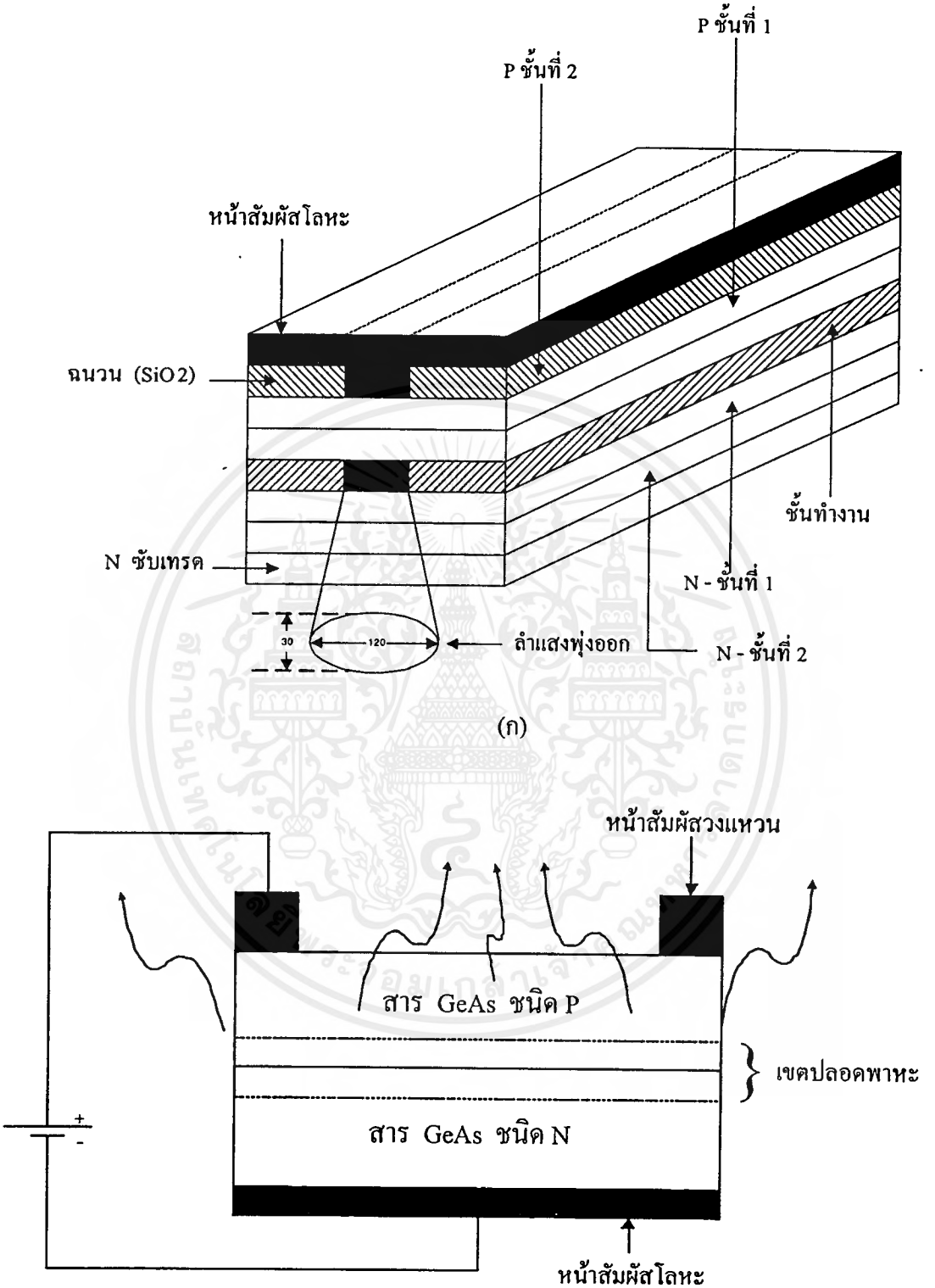
ต่อไปในช่วงระหว่างสถานีส่งและสถานีรับ สัญญาณที่เชื่อมด้วยไฟเบอร์ออปติก จะต้องมีสถานีทวนสัญญาณ (Repeater) ทำหน้าที่ขยายและจัดรูปสัญญาณที่เกิดการผิดเพี้ยนไปในระหว่างการส่งข้อมูล ในการใช้งานจริงระยะห่างระหว่างสถานีทวนสัญญาณมีค่าประมาณ 10 กิโลเมตรขึ้นไป โดยจะขึ้นกับขนาดหรือปริมาณของข้อมูลที่ใช้รับและส่งระบบที่มีประสิทธิภาพสามารถรับส่งสัญญาณข้อมูลที่มีขนาดเท่ากับ 2 Gb/s (สองพันล้านบิทในหนึ่งวินาที) ไปเป็นระยะทาง 2,200 กิโลเมตรโดยมีสถานีทวนสัญญาณเพียง 25 สถานี ในทุกๆ ระยะทาง 80 กิโลเมตรแหล่งกำเนิดแสง LED (Light Emitting Diode) หรือก็คือ ไดโอดที่ถูกออกแบบโครงสร้างให้



รูปที่ 2.26 ระบบการสื่อสารด้วยไฟเบอร์ออปติก

สามารถแปลงพลังงานแสงออกมาได้เมื่อมีการไบแอสที่ถูกต้องลักษณะโครงสร้างของ LED แบบพื้นฐานที่ใช้ในไฟเบอร์ออปติกแสดงดังรูปที่ 2.27(ก) ซึ่งจะประกอบไปด้วยสารชนิดแกลเลียมอาร์เซไนด์(GeAs) หรือ (LED ทั่วไปจะใช้สารจำพวกเจอร์เมเนียมหรือซิลิกอน) ถูกโดปให้เป็นชนิด P (มีโฮลหรือประจุบวกมากกว่า) และชนิด N (มีอิเล็กตรอนอิสระมากกว่า) วางต่อกัน หลักการทำงานก็เหมือนไดโอด หรือ LED ธรรมดาทั่วๆ ไปเมื่อมีการไบแอสถูกทางด้วยค่าที่เหมาะสม จะเกิดการเคลื่อนที่ของอิเล็กตรอนไปยังโฮลในระหว่างช่วงรอยต่อของสาร P – N (ที่เรียกว่าบริเวณดีพลีทชั่นหรือเขตปลอดพาหะ) และมี การเปลี่ยนแปลงระดับพลังงานของชั้นอิเล็กตรอน เกิดการคลายพลังงานออกมาภายนอกในรูปของแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 โครงสร้างภายในของ LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

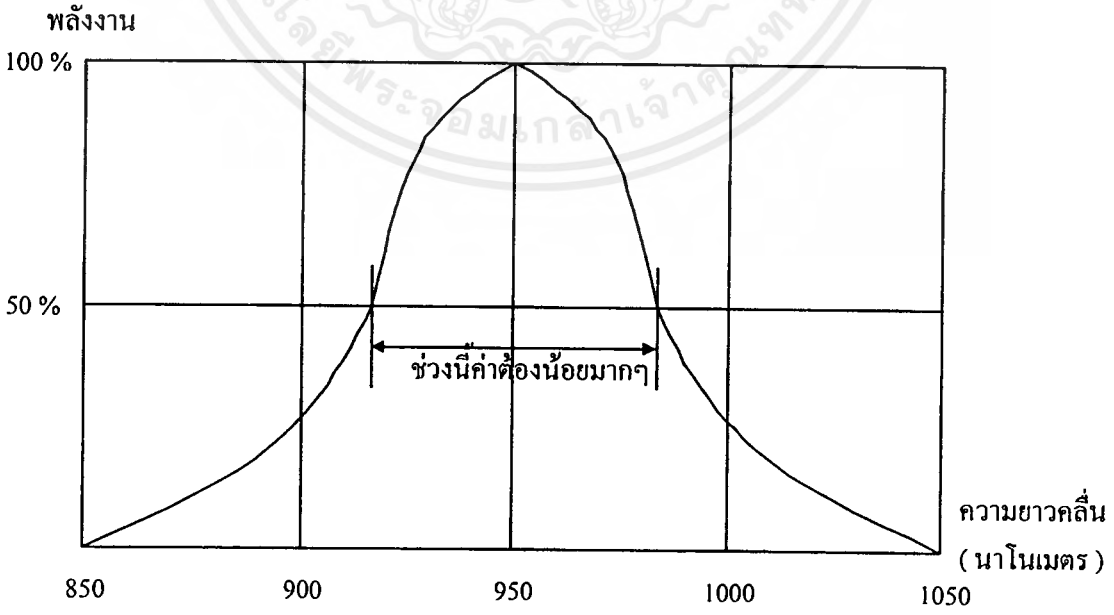
บางครั้งสารที่ใช้ทำ LED อาจจะเป็นประเภทแกลเลี่ยมอาร์เซไนด์ฟอสเฟอร์ (GaAsP) แกลเลียมฟอสเฟอร์ (GaP) อะลูมิเนียมแกลเลียมอาเซไนด์ (AlGaAs) หรืออินเดียมแกลเลียมอาร์เซไนด์ฟอสเฟอร์ (InDaAsP)ก็ได้ เพื่อเปลี่ยนแปลงขนาดความยาวคลื่นแสงที่ได้

แสงที่แปล่งออกมาจาก LED ในช่วงรอยต่อ จะมีลักษณะการกระจัดกระจายไม่มีแนวทางเดียวกันนัก และมักทำมุมค่อนข้างกว้างทำให้แสงที่ได้โดยปรับปรุงโครงสร้างของสารให้มีความซับซ้อนขึ้นและมีการกำหนดขอบเขตการแปล่งแสงเพื่อให้แสงมีการรวมตัวออกมาในทิศทางเดียวกัน ดังรูปที่ 27(ข) ซึ่งลักษณะของแสงที่แปล่งมักจะมีพื้นที่ภาคตัดขวางเป็นรูปวงรี โดยมีมุมกระจายแสงในแนวตั้ง (30^0) เล็กกว่ามุมกระจายแสงในแนวนอน (120^0)

2.15 คุณสมบัติของแหล่งกำเนิดแสง

1.) สามารถให้แสงที่มีพลังงานหรือความเข้มแสงมากพอที่จะส่งสัญญาณหรือเดินทางไปตลอดระยะทางของการสื่อสารได้

2.) โครงสร้างของแหล่งกำเนิดแสงต้องสามารถส่งพลังงานแสงส่วนใหญ่หรือทั้งหมดเข้าไปในไฟเบอร์ออปติกที่มีเส้นผ่านศูนย์กลางขนาดเล็กได้ นั่นคือมุมของการเกิดแสงจากแหล่งกำเนิดต้องเป็นมุมแคบๆและมีทิศทางที่แน่นอนในกรณีที่แสงจากแหล่งกำเนิดมีลักษณะกระจายเป็นมุมกว้าง สามารถใช้อุปกรณ์ในการคัปปลิ้งแสง เช่น เลนส์นูนเข้ามาช่วยเพื่อรวมแสงส่วนใหญ่พุ่งเข้าสู่ไฟเบอร์ออปติกได้



รูปที่ 2.28 ไลน์วิด ($\Delta\lambda$) ของแหล่งกำเนิดแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.) ความยาวคลื่นของแสงที่ได้ต้องมีความเหมาะสมกับสายไฟเบอร์ออปติกที่ใช้ในระบบสื่อสารใยแสงความยาวคลื่นแสงที่เหมาะสมกับไฟเบอร์ออปติกมากที่สุดมีค่าประมาณ1.55 ไมครอน รองลงมาอาจได้แก่ 1.30 ไมครอน และ 0.82 ไมครอน

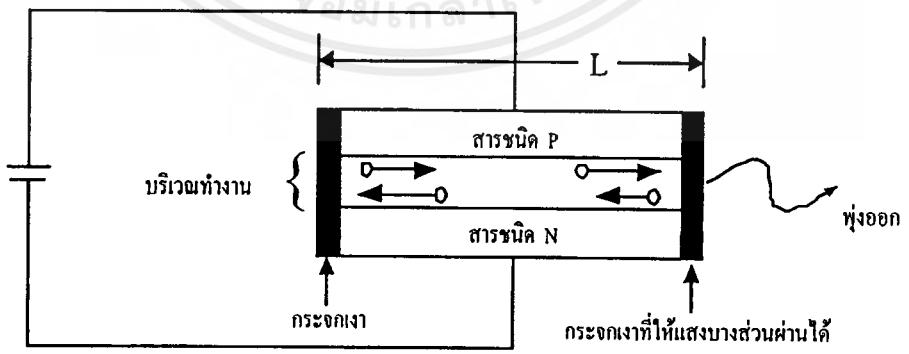
4.) ไลน์วิดธ์ (line width,$\Delta\lambda$) ของแสงที่ได้จะต้องมีค่าน้อย ๆ เพื่อให้สามารถส่งข้อมูลปริมาณมาก ๆ ได้ดังแสดงในรูปที่ 2.28

5.) ช่วงเวลาตอบสนองของแหล่งกำเนิด หรือช่วงเวลาที่แหล่งกำเนิดได้รับสัญญาณไฟฟ้าแล้วสร้างสัญญาณแสงออกมา ต้องมีค่าสั้นมาก ๆ อันจะมีผลทำให้ได้วงจรไดรเวอร์ที่สามารถส่งข้อมูลปริมาณมาก ๆ ได้ดี

6.) พลังงานแสงต้องมีค่าคงที่ต่อเนื่องตลอดเวลา และไม่มีการเปลี่ยนแปลงใดๆ อันเนื่องมาจากผลของอุณหภูมิ และสภาพแวดล้อม

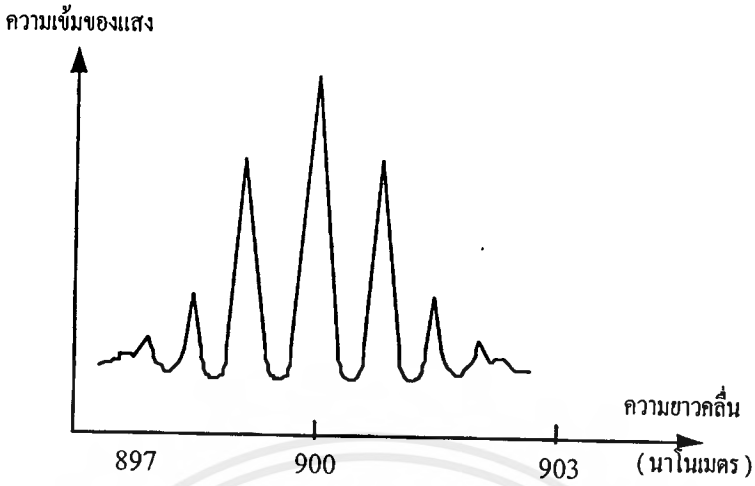
2.16 การทำงานของเลเซอร์ไดโอด (LD)

เลเซอร์ไดโอดเป็นอุปกรณ์สารกึ่งตัวนำประเภทเดียวกับไดโอดแต่ถูกออกแบบให้สามารถแปล่งแสงเลเซอร์ออกมาได้ ลักษณะของแสงเลเซอร์เป็นแสงที่เป็นระเบียบ มีทิศทางการพุ่งของแสงไปในทิศทางเดียวกัน และมีเฟสตรงกันทำให้มีความเข้มแสงสูงมาก ลักษณะโครงสร้างพื้นฐานของเลเซอร์ไดโอด แสดงดังรูปที่ 2.29 (ก) ซึ่งประกอบด้วยสารที่ใช้ทำ LED



(ก) โครงสร้างพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) ตัวอย่างสเปกตรัมของแสงจากแอลอีดี

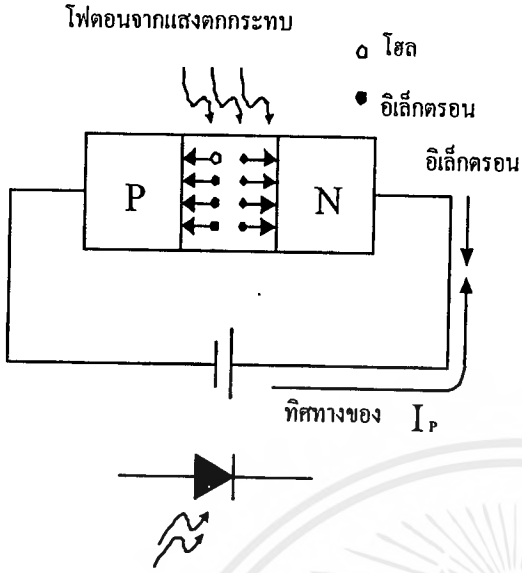
รูปที่ 2.29ก,ข โครงสร้างภายในเลเซอร์ไดโอด

เมื่อมีการไบแอสที่เหมาะสมทำให้เกิดการเคลื่อนที่ของโฟตอนในระหว่างเขตปลอดพาหะ เมื่อโฟตอนเคลื่อนที่ไปกระทบโฟตอนตัวอื่นจะมีการถ่ายเทพลังงานทำให้เกิดมีโฟตอนตัวใหม่ขึ้นมามากมายและสะท้อนกลับไปกลับมาตรงบริเวณรอยต่อ อันเนื่องมาจากกระจกเงาที่ปลายทั้งสองพฤติกรรมเช่นนี้ทำให้เกิดการสะสมพลังงานภายในมากขึ้นอย่างเป็นระเบียบ เมื่อพลังงานมีค่ามากพอที่จะพุ่งทะลุกระจกเงาด้านหนึ่งออกมาเป็นแสงเลเซอร์

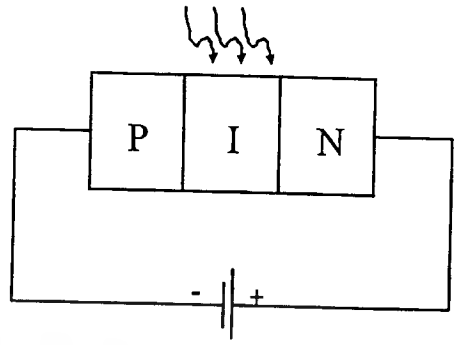
2.17 การทำงานของโฟโตดีเท็กเตอร์

การทำงานของโฟโตดีเท็กเตอร์หรืออุปกรณ์รับสัญญาณแสง โฟโตดีเท็กเตอร์ที่ใช้ในท้องตลาด มีหลายชนิดเริ่มจาก โฟโตไดโอดธรรมดา แสดงในรูปที่ 2.29 (ก) มีหลักการทำงานตรงข้ามกับไดโอดเปล่งแสงหรือ LED กล่าวคือ เมื่อไดโอดได้รับพลังงานแสงจากภายนอกจะทำให้เกิดโฟตอนขึ้นภายในบริเวณปลอดพาหะหรือรอยต่อ P–N เกิดเป็นการกระแสรั่วไหลหรือกระแสมืด(dark current) ไหลในช่วงนี้หากมีการไบแอสให้แก่ไดโอดบริเวณช่วงปลอดพาหะจะขยายกว้างขึ้น เป็นผลให้กระแสมีการรั่วไหลมากขึ้น ทิศทางการไหลของกระแสเนื่องจากแสงนี้มีทิศทางเดียวกันกับการไบแอสกลับคือจะไหลจากขั้วบวกของแหล่งจ่ายไฟเข้าสู่ขั้วแคโทดของไดโอด

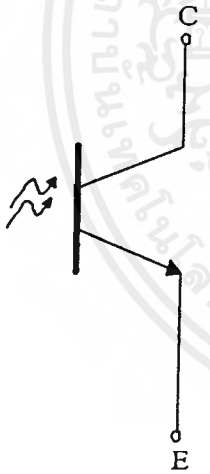
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



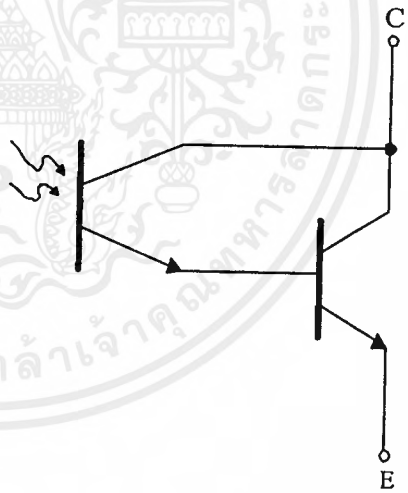
(ก) โครงสร้างและสัญลักษณ์ของ PIN โฟโตไดโอด



(ข) PIN โฟโตไดโอด



(ค) สัญลักษณ์ของโฟโตทรานซิสเตอร์



(ง) โฟโตทรานซิสเตอร์ต่อแบบดาร์ลิงตัน

รูปที่ 2.30(ก,ข,ค,ง) โครงสร้างของโฟโตไดโอด

การเพิ่มบริเวณปลอดพาหะให้กว้างขึ้นนอกจากทำได้โดยการเพิ่มค่าแรงดันไบแอสกลับของโฟโตไดโอดแล้ว อาจทำได้โดยตรงกับโครงสร้างภายในของมันโดยแทรกสารอินทรินซิค (I) ไว้ระหว่างรอยต่อ P – N ลักษณะเช่นนี้เรียกว่าเป็นโฟโตไดโอดชนิด PIN ดังที่แสดงในรูปที่ 2.30 (ข) ซึ่งช่วยให้ได้กระแสไหลมากขึ้นกว่าโฟโตไดโอดแบบธรรมดาเมื่อมีแสงตกกระทบ จากผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของโครงสร้างแบบ PIN ทำให้โฟโตไดโอดชนิดนี้มีโหมดการทำงานได้สองแบบคือ "โหมดโฟโตวอลตาอิก" ซึ่งจะผลิตกระแสเมื่อแสงตกกระทบโดยไม่ต้องมีการไบแอสเลย และ "โหมดโฟโตคอนดักทีฟ" เป็นการทำงานเมื่อมีการไบแอสกลับให้กับตัวมัน

โฟโตไดโอดแบบอะวาลานซ์ (APD) อาศัยหลักการทำงานเช่นเดียวกับอะวาเลนซ์ไดโอด ทำให้มีกระแสไหลมากขึ้นกว่าโฟโตไดโอดธรรมดาหลายเท่า แต่มีข้อเสียตรงที่มีความไวต่ออุณหภูมิสูง และเกิดสัญญาณรบกวนมาก การใช้งานโฟโตไดโอดแบบอะวาลานซ์จำเป็นต้องใช้แรงดันไบแอสกลับค่อนข้างสูง (ประมาณ 40 – 400 โวลต์) แต่ก็เป็นผลดีเพราะทำให้เวลาตอบสนองสัญญาณสั้นมาก

โฟโตทรานซิสเตอร์นับเป็นโฟโตดีเท็กเตอร์อีกชนิดหนึ่งที่พวกเราคุ้นเคยกันดี หลักการทำงานของมันจะขึ้นกับขนาดความเข้มแสงที่ตกกระทบ เปรียบเหมือนกับการต่อโฟโตไดโอดเข้ากับขาเบสของทรานซิสเตอร์ เมื่อแสงที่มีความเข้มสูงตกกระทบ กระแสไหลผ่านไดโอดที่ขาเบสจะมีค่ามาก ทำให้กระแสที่ขาคอลเลคเตอร์ (I_C) มีค่าเพิ่มมากขึ้นด้วย ในรูปที่ 2.30 (ค) เป็นโฟโตทรานซิสเตอร์แบบธรรมดา ส่วนรูป 2.30 (ง) เป็นโฟโตทรานซิสเตอร์แบบดาลิงตันที่สามารถจ่ายกระแส (I_C) ได้มากกว่าแบบธรรมดาเมื่อมีแสงตกกระทบเท่ากัน

ข้อดีของโฟโตทรานซิสเตอร์คือสามารถดีเท็กสัญญาณที่มีขนาดความเข้มของแสงน้อยๆ ได้ดี แต่มีช่วงเวลาตอบสนองสัญญาณค่อนข้างช้าคือ มีช่วงเวลาขาขึ้น (Rise Time,t_r) ประมาณ 10 ไมโครวินาที ซึ่งไม่เหมาะกับข้อมูลขนาดใหญ่ในการใช้งานกับระบบที่มีข้อมูลจำนวนมากหรือแบนด์วิดธ์สูง ๆ (100 เมกะเฮิรตซ์ขึ้นไป) จะใช้โฟโตทรานซิสเตอร์ชนิด PIN–FET ที่มีโครงสร้างเป็นแบบวงจรรวมเสมือนมี PIN โฟโตไโอดเป็นตัวดีเท็กสัญญาณและมีวงจรทรานซิสเตอร์แบบ FET เป็นตัวขยายสัญญาณอยู่ในตัวถังเดียวกันจากหลักการนี้ทำให้เราได้โฟโตดีเท็กเตอร์ที่มีความไวในการรับสัญญาณสูง และมีค่าสัญญาณรบกวนต่ำ

2.18 คุณสมบัติของโฟโตดีเทกเตอร์

คุณสมบัติของโฟโตดีเทกเตอร์หรืออุปกรณ์ที่ทำหน้าที่ในการรับสัญญาณแสงเป็นอุปกรณ์ที่ใช้เปลี่ยนสัญญาณแสงให้เป็นข้อมูลทางไฟฟ้า คุณสมบัติที่สำคัญของโฟโตดีเท็กเตอร์ในระบบสื่อสารได้แก่

1.) ต้องมีความไวในการรับแสงได้ดีเฉพาะในช่วงที่ต้องการ เนื่องจากการส่งสัญญาณแสงจะใช้ความยาวคลื่นแสงในช่วงเฉพาะ ดังนั้นหากแสงอื่นที่มีความยาวคลื่นไม่เกี่ยวข้องกันมาตกกระทบพร้อมกัน ย่อมทำให้ข้อมูลมีความผิดพลาดได้

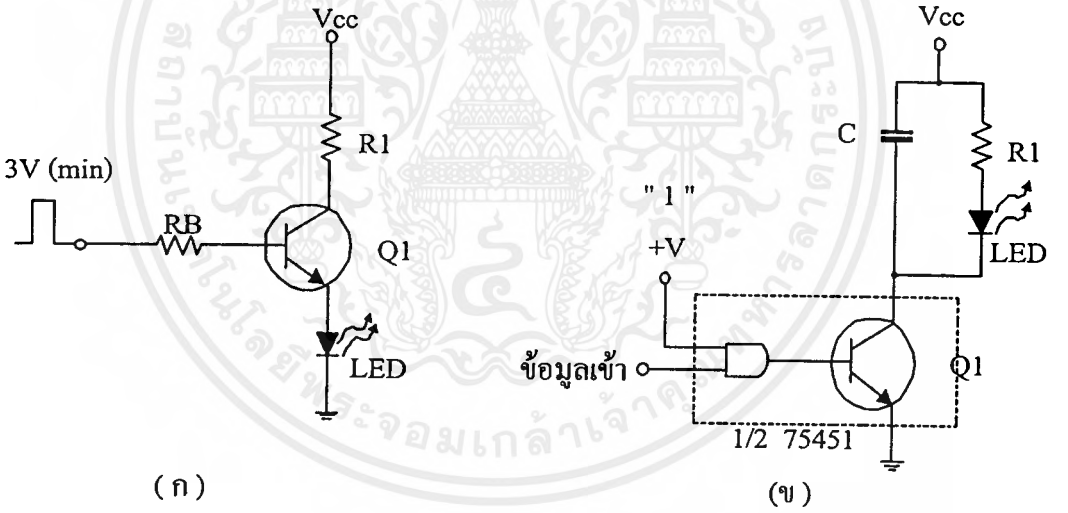
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.) เวลาในการตอบสนองของสัญญาณต้องสั้นมากๆ กล่าวคือเมื่อมีแสงตกกระทบโฟโตดีเท็กเตอร์ต้องเปลี่ยนเป็นสัญญาณไฟฟ้าด้วยเวลาที่สั้นที่สุดเพื่อที่ว่าข้อมูลจำนวนมากสามารถใช้รับส่งด้วยความเร็วสูงได้

3.) ในระบบสื่อสารแบบอะนาลอกต้องใช้โฟโตดีเท็กเตอร์ชนิดเชิงเส้น เพื่อลดการผิดเพี้ยนของสัญญาณลงให้น้อยที่สุดสัญญาณรบกวนภายในอันเนื่องมาจากสภาพแวดล้อมต้องมีค่าน้อยที่สุด

2.19 การทำงานของวงจรไดรเวอร์

วงจรไดรเวอร์หรือวงจรขับสัญญาณเป็นส่วนสำคัญที่จะช่วยให้แหล่งกำเนิดแสงที่เป็น LED หรือเลเซอร์ไดโอดทำงานได้อย่างมีประสิทธิภาพลักษณะวงจรไดรเวอร์สำหรับ LED ค่อนข้างแตกต่างจากวงจรของเลเซอร์ไดโอด



รูปที่ 2.31 วงจรไดรเวอร์ (LED) แบบดิจิตอล

ทั้งนี้เนื่องจาก LED มีคุณสมบัติความเป็นเชิงเส้นในการเปล่งแสงตามค่ากระแสไบแอสโดยตรงทำให้เหมาะสำหรับระบบสื่อสารที่ใช้ข้อมูลแบบอะนาลอก ในขณะที่พลังงานแสงที่เปล่งออกมาจากเลเซอร์ไดโอด มักมีการเปลี่ยนแปลงสูงมากอย่างรวดเร็ว ทั้งๆที่กระแสไบแอสที่มากกว่ากระแสเทรชโฮลด์ (I_{th}) มีค่าเพิ่มขึ้นเพียงเล็กน้อย จึงนิยมใช้เลเซอร์ไดโอดกับวงจรขับสัญญาณที่มีข้อมูลเป็นแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.20 การทำงานของวงจรสำหรับ LED

แม้ว่า LED จะเหมาะสำหรับการส่งสัญญาณแบบอะนาลอก แต่ในระบบสื่อสารระยะทางใกล้อาจสามารถใช่ส่งข้อมูลที่เป็นดิจิตอลได้ ดังเช่น วงจรในรูปที่ 2.31 ซึ่งเป็นวงจรใช้งานแบบง่าย ๆ ซึ่งในวงจรรูปที่ 2.31 (ก) ใช้สำหรับส่งข้อมูลที่มีค่าเป็น 1 ทางดิจิตอล โดยค่าของกระแสที่ไหลผ่าน LED (I_F) ถูกกำหนดโดยกระแสคอลเลคเตอร์ (I_C) ของทรานซิสเตอร์ Q_1 และคำนวณได้ด้วย

สูตร

$$I_F = I_C = \left[\frac{V_{CC} - V_F}{R_1}\right] \qquad (2.9)$$

เมื่อ V_F เป็นแรงดันตกคร่อม LED ขณะไบแอสตรง มีค่าตามสเปกที่กำหนด กระแสเบส I_C อีกทีหนึ่งตามสูตรของ

$$I_B = \left(\frac{I_c}{\beta}\right) \qquad (2.10)$$

เมื่อ Bata คือ กำลังขยายของทรานซิสเตอร์ และ I_B คำนวณได้จาก

$$I_B = \left[\frac{\left(V_{i(mxa)} - V_{BE} - V_f\right)}{}\right] \qquad (2.11)$$

เมื่อ $V_{i(max)}$ คือ ค่าแรงดันสูงสุดของสัญญาณเข้าหรือก็คือระดับแรงดันขณะข้อมูลทางดิจิตอลเป็น “1”

วงจรในรูปที่ 2.31 (ข) เป็นอีกลักษณะหนึ่งของการส่งข้อมูลแบบดิจิตอล ที่มีเสถียรภาพมากกว่ารูปที่ 2.31 (ก) โดยใช้ไอซีเบอร์ 75451 หรือ 75450 เพียงบางส่วน ที่ขา 1 ของแอนด์เกตถูกกำหนดให้มีสภาวะทางลอจิกเป็น “1” (+ 5V) ขาที่เหลือใช้สำหรับส่งข้อมูล โดยขณะข้อมูลเป็น “1” LED จะไม่ทำงานและเมื่อข้อมูลเป็น “0” LED จะส่งสัญญาณแสงออกมา ส่วนตัวเก็บประจุใช้สำหรับลดผลการเกิดแรงกระชาก ซึ่งปกติจะใช้ค่าประมาณ 1 μF และค่าของตัว

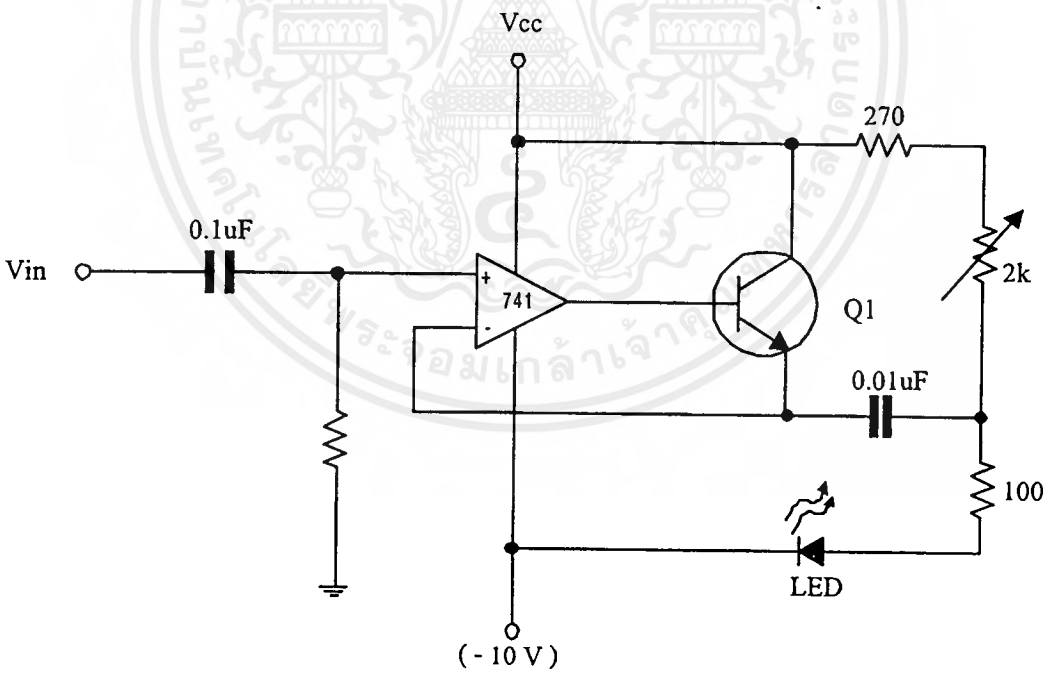
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้านทาน R_1 สามารถคำนวณได้จากกระแสไบแอสตรง I_F ของ LED ที่กำหนดตามสเปกของมัน โดยใช้สูตรการคำนวณ

$$R_1 = \left[\frac{(V_{CC} - I_F)}{I_F}\right] \qquad (2.12)$$

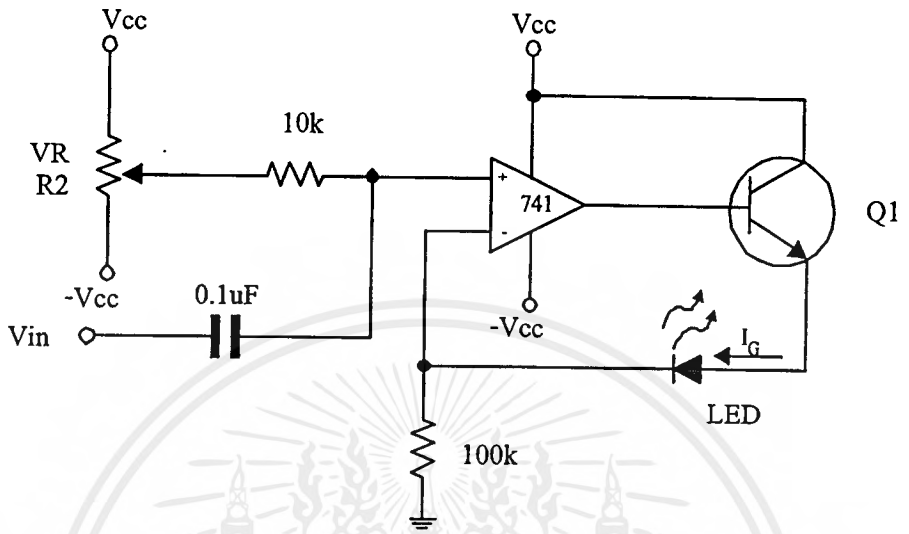
วงจรไดรเวอร์ LED สำหรับสัญญาณอะนาลอก แสดงดังรูปที่ 2.31 โดยในรูปที่ 2.31 (ก) เป็นตัวอย่างวงจรที่ถูกออกแบบให้มีค่ากระแสไบแอส LED อยู่ระหว่าง 7.5 – 40 มิลลิแอมป์ ขึ้นกับค่าของตัวต้านทาน VR_1 ขนาดของสัญญาณอินพุทมีค่าอยู่ระหว่าง +2 โวลต์ ซึ่งจะถูกแปลงเป็นกระแสไหลผ่าน LED ที่มีค่าระหว่าง $\pm$ 10 มิลลิแอมป์

วงจรในรูปที่ 2.31 (ข) ใช้กระแสขับ LED เป็นสัญญาณป้อนกลับวงจร ทำให้วงจรมีเสถียรภาพมากขึ้น ตัวต้านทานปรับค่าได้ VR_2 ใช้กำหนดขนาดของกระแสไบแอสให้กับวงจร



(ก) กระแสไบแอสอยู่ที่ 7.5 – 40 มิลลิแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)ใช้กระแสขับแอลอีดีเป็นสัญญาณป้อนกลับวงจร

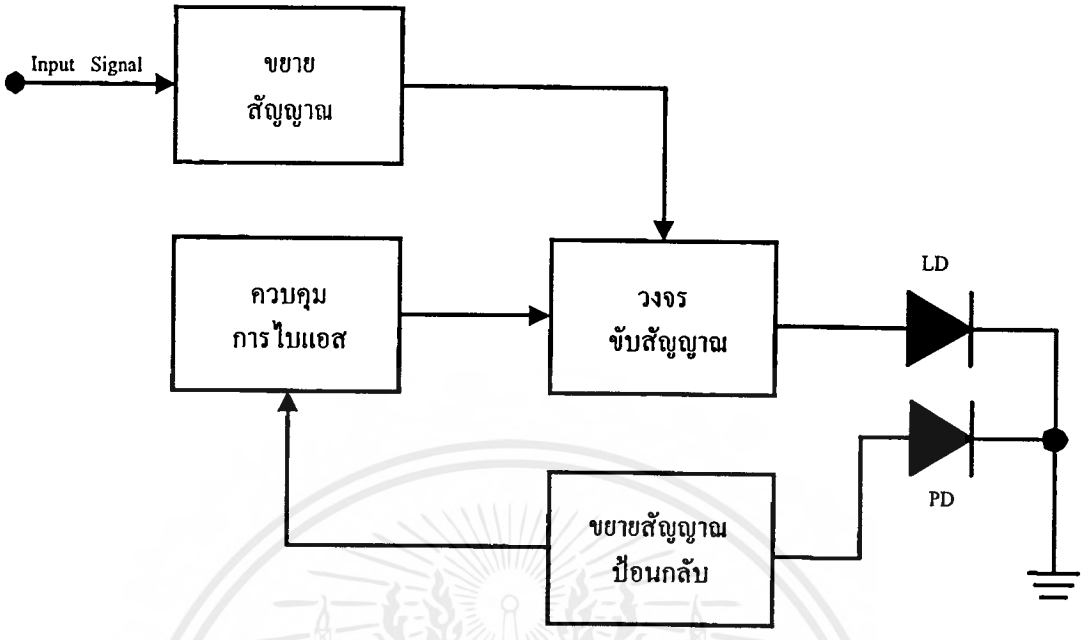
รูปที่ 2.32ก,ข วงจรไดรเวอร์ (LED) แบบอะนาลอก

2.21 การทำงานของวงจรเลเซอร์ไดโอด

การใช้เลเซอร์ไดโอดในระบบสื่อสาร ค่อนข้างจะยุ่งยากในการออกแบบวงจร เพราะวงจรต้องมีประสิทธิภาพและความเที่ยงตรงสูงบล๊อคไดอะแกรมของวงจรใช้งานเลเซอร์ไดโอด ซึ่งมีหลักการไม่ซ้ำซ้อนเมื่อเทียบกับวงจร LED เพียงแต่เพิ่มส่วนป้อนกลับหรือฟีดแบ็คสัญญาณ เพื่อทำหน้าที่ควบคุมวงจรไดรเวอร์ให้เกิดความแน่นอน

สัญญาณป้อนกลับอาจจะได้มาจากโฟโตดีเท็กเตอร์ ที่มักประกอบอยู่ภายในตัวถังเดียวกันกับเลเซอร์ไดโอดในระบบสื่อสาร เป็นตัวดีเทกสัญญาณแสงที่ส่งออกไป หากพลังงานมีมากเกินไปสัญญาณป้อนกลับจะควบคุมให้วงจรไดรเวอร์ลดกระแสขับเลเซอร์ไดโอดลงในทางกลับกับหากความเข้มแสงที่ส่งออกมามีค่าน้อย วงจรไดรเวอร์จะช่วยเพิ่มกระแสไบแอสเลเซอร์ไดโอด ทำให้ระดับพลังงานแสงของระบบที่ส่งออกไปมีความเที่ยงตรงและแน่นอน

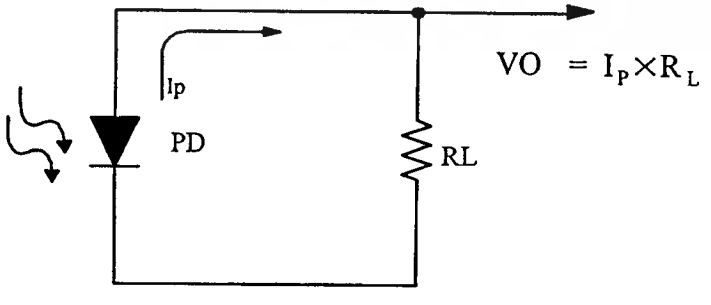
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 บล๊อกการทำงานของวงจรเลเซอร์ไดโอด

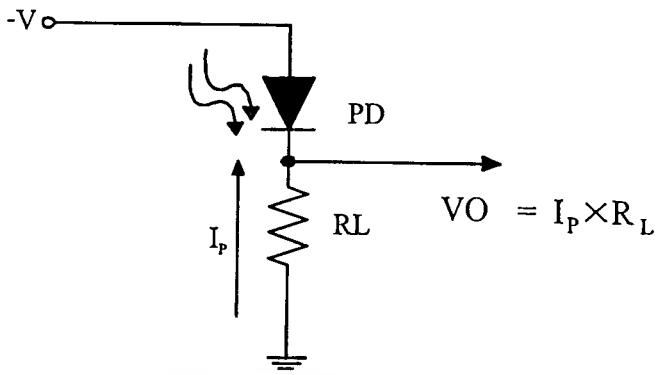
2.22 การทำงานของวงจรดีเทกเตอร์

ในตอนต้นได้กล่าวถึงการทำงานของโฟโตไดโอดไปบ้างแล้วลักษณะวงจรการทำงานในแบบของโหมดโฟโตวอลตาอิกแสดงดังรูปที่ 2.34 (ก) โดยการต่อไดโอดให้อนุกรมกับต้านทานโหลด RL

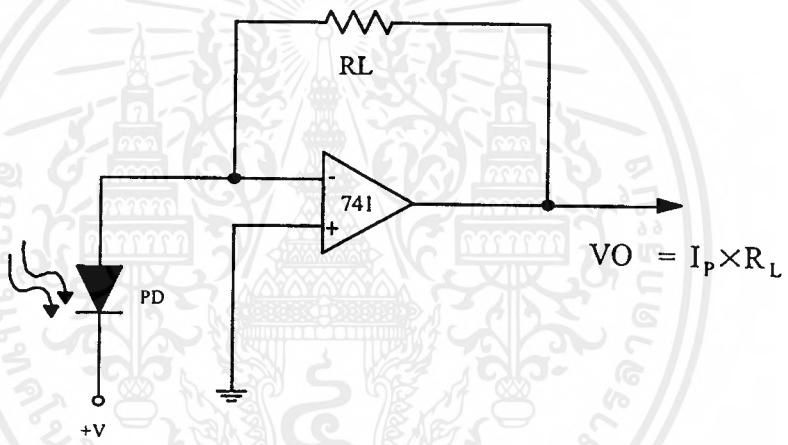


(ก)

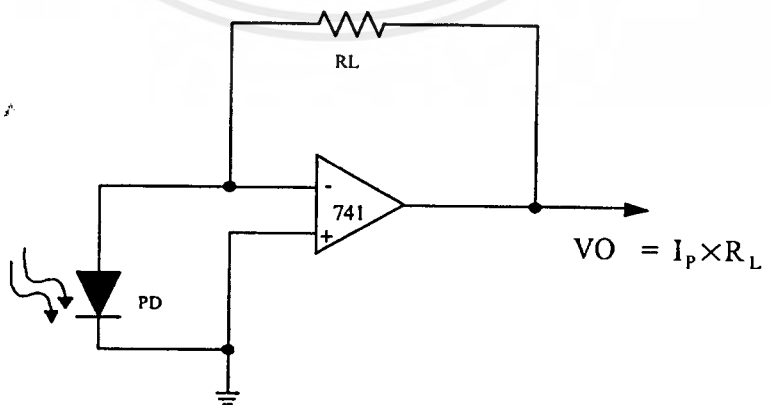
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ค)



(ง)

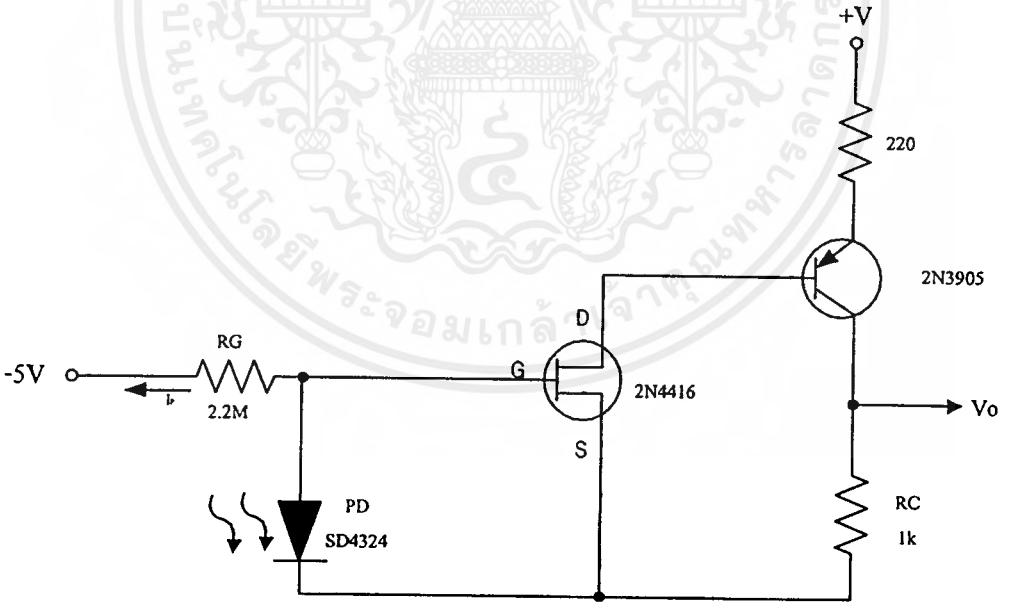
รูปที่ 2.34 แสดงวงจรการทำงานโฟโตไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแสงตกกระทบจะเกิดกระแสไหล ทำให้เกิดแรงดันตกคร่อม R_L มีค่าเท่ากับ $I_p \times R_L$ เมื่อ I_p คือกระแสที่ไหลในวงจรอนุกรมซึ่งมักมีค่าไม่มาก หากต้องการกระแส I_p มีค่ามากขึ้น ต้องเพิ่มแรงดันให้กับโฟโตไดโอด ดังรูปที่ 2.34 (ข) เพื่อให้เกิดการทำงานในโหมดโฟโตคอนดักทีฟ ในทางปฏิบัติมักจะใช้วงจรที่ทำให้ค่าแรงดันตกคร่อมแรงดันโฟโตไดโอดมีค่าคงที่ตลอดเวลา เพื่อช่วยให้สามารถสร้างกระแส I_p ได้อย่างมีเสถียรภาพ ดังเช่นวงจรในรูปที่ 2.34 (ค) และรูปที่ 2.34 (ง) ที่ทำงานในโหมดต่างกัน แต่ค่าของแรงดันเอาต์พุท V_{out} ที่ต้องการมีค่าเป็นเป็นไปตามสมการเดียวกันคือ

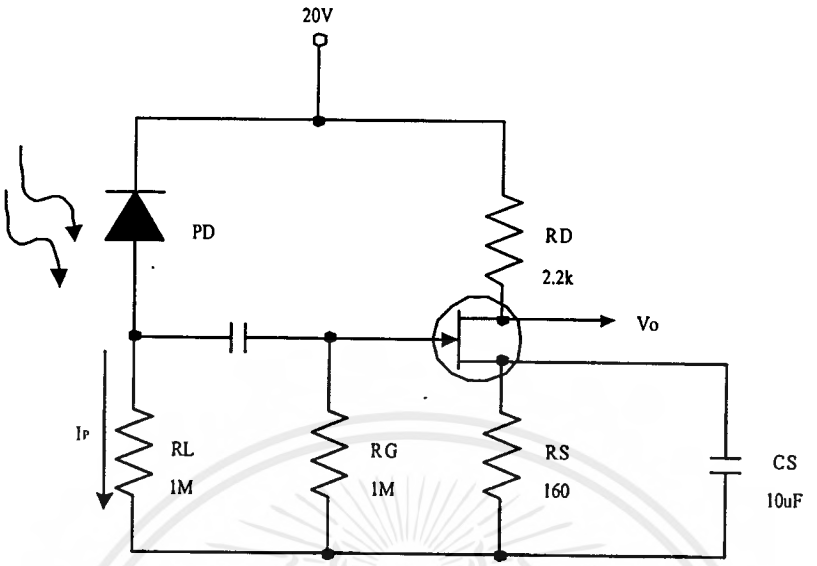
$$V_{OUT} = -I_p \times R_f \qquad (2.13)$$

วงจรรูปที่ 2.34 (ง) ที่มีโหมดการทำงานแบบโฟโตคอนดักทีฟจะทำงานได้เร็วกว่าการทำงานในรูปที่ 2.34 (ค) ซึ่งเป็นชนิดโฟโตวอลตาอิก ค่าของกระแส I_p เป็นผลเนื่องมาจากผลของแรงดันตกกระทบ และคำนวณได้จาก



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 2.35 วงจรโฟโตดีเท็กเตอร์ที่ใช้ทรานซิสเตอร์

$$I_P = R \times P_{in} \qquad (2.14)$$

เมื่อ R เป็นค่ากระแสต่อพลังงาน (แอมแปร์ / วัตต์) กำหนดด้วยสเปกของของมัน และ P_{in} เป็นพลังงานแสงที่ตกกระโฟโตไดโอด

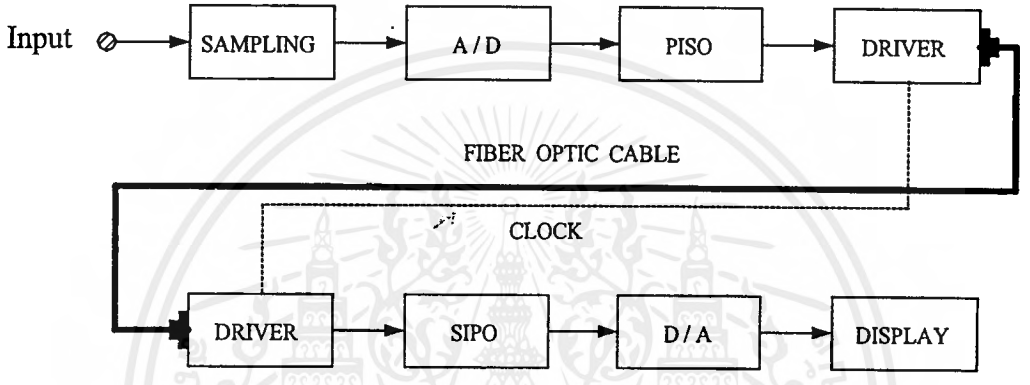
ในการออกแบบวงจรต้องคำนึงถึงค่าของกระแสมืดที่เกดจากตัวโฟโตไดโอด ขณะมีการไบแอสกลับรวมเข้าไปกับ I_P ด้วยจึงจะได้ค่าจริงออกมาวงจรในรูปที่ 2.35 เป็นวงจรโฟโตไดโอดที่ใช้ทรานซิสเตอร์เป็นตัวขยายสัญญาณขั้นต้นโดยที่วงจรในรูปที่ 2.35 (ก) เหมาะสำหรับการใช้งานในระบบ อะนาลอกและวงจรในรูปที่ 2.35 (ข) นั้นใช้กับระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรและการทำงานของวงจร

3.1 บล็อกไดอะแกรมของวงจรรวม



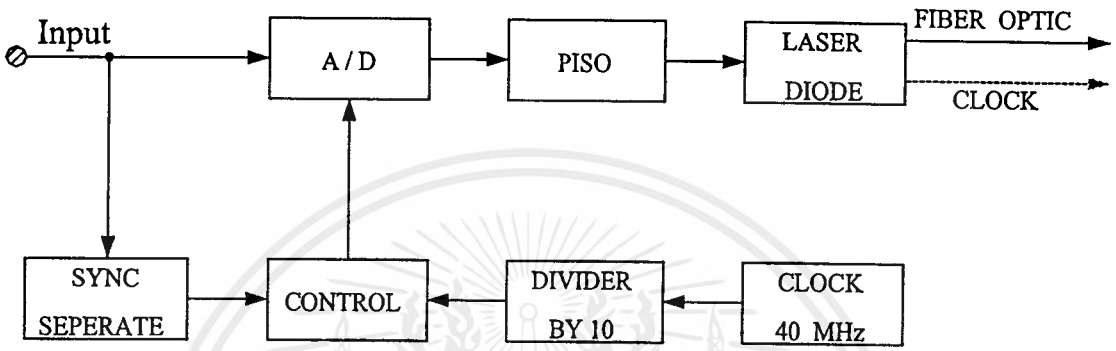
รูปที่ 3.1 ลำดับขั้นการทำงานและการต่อวงจร โดยรวม

บล็อกไดอะแกรมดังที่แสดงในรูปที่ 3.1 จะแสดงถึงลำดับขั้นการทำงานต่างๆของโครงงานนี้ ซึ่งจะแยกออกเป็นบล๊อคย่อยๆเพื่อทำการแจงรายละเอียดในหัวข้อของบล๊อคต่างๆ เมื่อมีสัญญาณอินพุตเข้ามา ภาคแซมปลิ้ง จะทำหน้าที่ในการสุ่มตัวอย่างสัญญาณเพื่อทำการหาบิทเริ่มต้น (Bit Start) เมื่อทำการสุ่มตัวอย่างสัญญาณ และหาบิทเริ่มต้น (Bit Start) เสร็จเรียบร้อยแล้ว สัญญาณวีดีโอจากภาคแซมปลิ้งจะถูกส่งเข้ามาสู่ในภาค A / D ในส่วนของภาค A / D จะทำการแปลงสัญญาณ จากสัญญาณไฟฟ้าเป็นข้อมูลทางดิจิตอลเมื่อสัญญาณถูกเปลี่ยนเป็นข้อมูลแล้ว ข้อมูลทั้งหมดจะอยู่ในรูปแบบขนาน (8 บิท) พร้อมส่งออกไปเป็นแบบดิจิตอล แต่ข้อมูลทั้งหมดที่อยู่ในรูปแบบขนานจะถูกเปลี่ยนเป็นแบบอนุกรมเพื่อลดความสิ้นเปลืองของสายนำสัญญาณ โดยภาค PISO เป็นตัวจัดการให้ เพื่อที่จะให้ได้ข้อมูลเป็นเพียงเส้นทางเดียวเนื่องจากสะดวกในการทำการส่ง ภาคไดรเวอร์ ทางด้านส่ง จะทำหน้าที่ในเปลี่ยนข้อมูลทางไฟฟ้าให้เป็นสัญญาณแสงแล้วทำการการขับข้อมูลทั้งหมดส่งผ่านสายไฟเบอร์ออฟติก ภาคไดรเวอร์ ทางด้านรับจะทำหน้าที่ในการรับสัญญาณแสงทางไฟฟ้ามาทำการเปลี่ยนเป็นข้อมูลทางไฟฟ้า ข้อมูลทางไฟฟ้าทั้งหมดที่รับมาได้ ภาค SIPO จะทำการเปลี่ยนข้อมูลแบบอนุกรมให้มาเป็นข้อมูลแบบขนานอีกครั้ง เพื่อที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งไปยังภาค D / A ภาค D / A จะทำการแปลงข้อมูลทางไฟฟ้าในรูปของพอร์ตขนานในรูปดิจิตอลกลับไปสู่สัญญาณทางไฟฟ้าในรูปของอะนาลอกและทำการแสดงผลออกสู่จอมอนิเตอร์

3.2 บล็อกไดอะแกรมของวงจรภาคส่ง



รูปที่ 3.2 วงจรต่างๆที่อยู่ในภาคส่ง

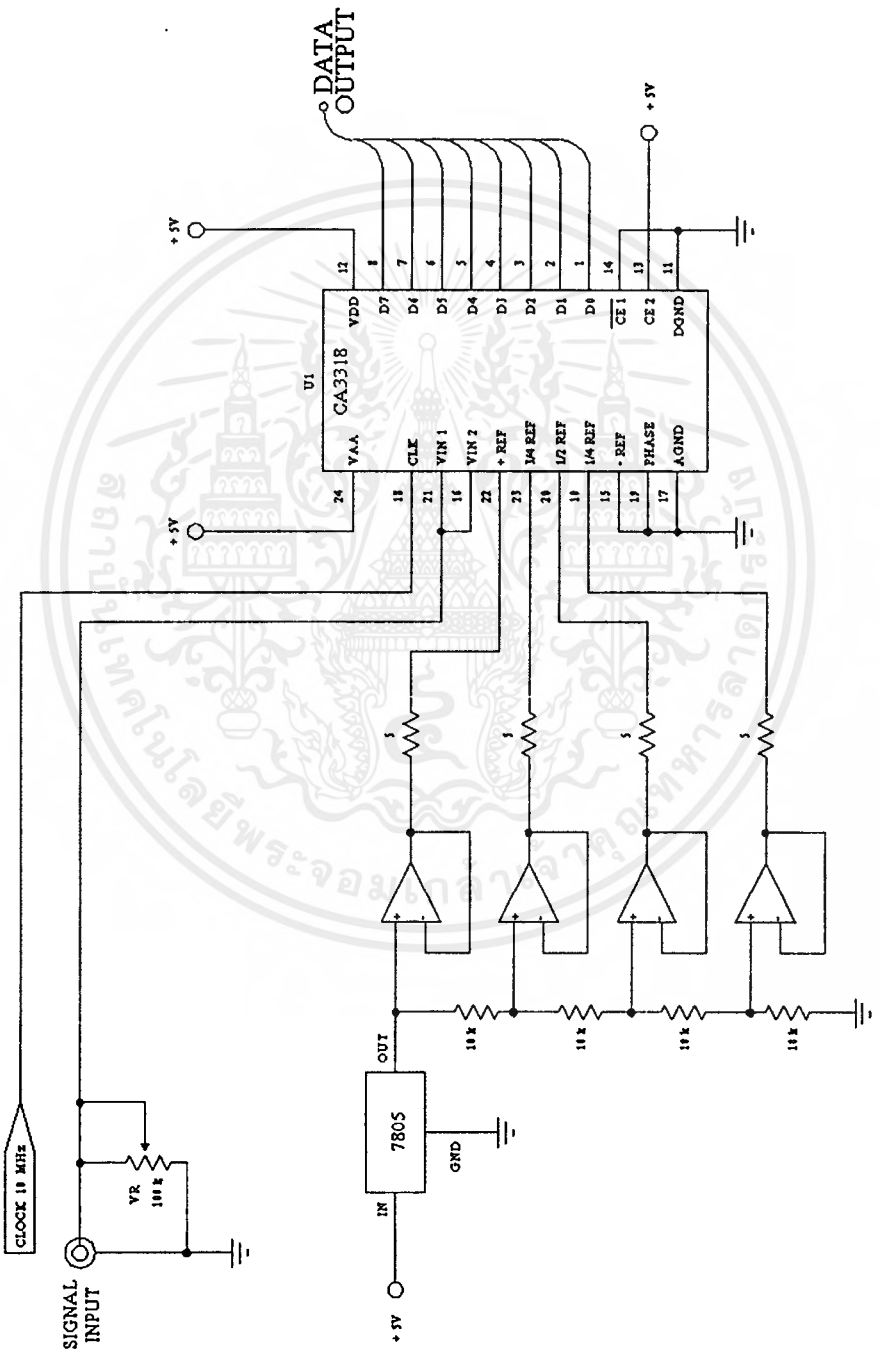
บล็อกไดอะแกรมของวงจรภาคส่งแสดงดังรูปที่ 3.2 ซึ่งจะเป็นการรวบรวมภาคต่างๆ ที่อยู่ในภาคส่งทั้งหมดมาเขียนเป็นบล๊อคไดอะแกรม เมื่อมีสัญญาณ Input เข้ามาสัญญาณซิงค์จะถูกแยกออกมาเพื่อเป็นตัวควบคุมการทำงานของวงจรพร้อมกันนั้น สัญญาณนาฬิกา (CLOCK) จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาออกมาและจะทำการนับสิบเพื่อทำการตรวจสอบบิทเริ่มต้นของข้อมูล เมื่อสัญญาณเข้ามาที่ภาคเปลี่ยนสัญญาณอะนาลอกเป็นดิจิตอล A / D สัญญาณนาฬิกาจะทำการนับสิบเพื่อเช็คบิทเริ่มต้นของข้อมูลเพื่อควบคุมการทำงานของภาคเปลี่ยนสัญญาณอะนาลอกเป็นดิจิตอล A / D ในส่วนของภาคควบคุม (CONTROL) เมื่อสัญญาณในภาคเปลี่ยนสัญญาณอะนาลอกเป็นดิจิตอล A / D ถูกแปลงจากสัญญาณไฟฟ้าแบบอะนาลอกมาเป็นข้อมูลทางไฟฟ้าแบบดิจิตอลแล้ว ในส่วนของภาคข้อมูลขนานเข้าอนุกรมออก (PISO) จะทำการเปลี่ยนข้อมูลไฟฟ้าดิจิตอลจากแบบขนานมาเป็นข้อมูลดิจิตอลแบบอนุกรม ในส่วนของภาคขับสัญญาณ (DIVER) จะทำหน้าที่ในการแปลงข้อมูลดิจิตอลแบบอนุกรมให้เป็นข้อมูลแสงแบบอนุกรมเพื่อทำการส่งผ่านสายไฟเบอร์ออฟติกไปสู่ภาครับได้

วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล หรือ A / D (มีศักดา,กระแสความถี่ ฯลฯ) จะให้เอาท์พุทเป็นแบบดิจิตอล เพื่อสะดวกในการจัดเรียงข้อมูล โครงงานต้องการข้อมูลจำนวน 8 บิท ซึ่งสามารถแยกความแตกต่างของภาพได้ 64 ระดับสี ดังนั้นเราจึงต้องใช้ไอซีเบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318 ซึ่งมีการทำงานแบบ 8 บิทมีความละเอียด ± ½ LBS ใช้กำลังต่ำแต่ความไวในการทำงานสูงแสดงดังรูปที่ 3.3

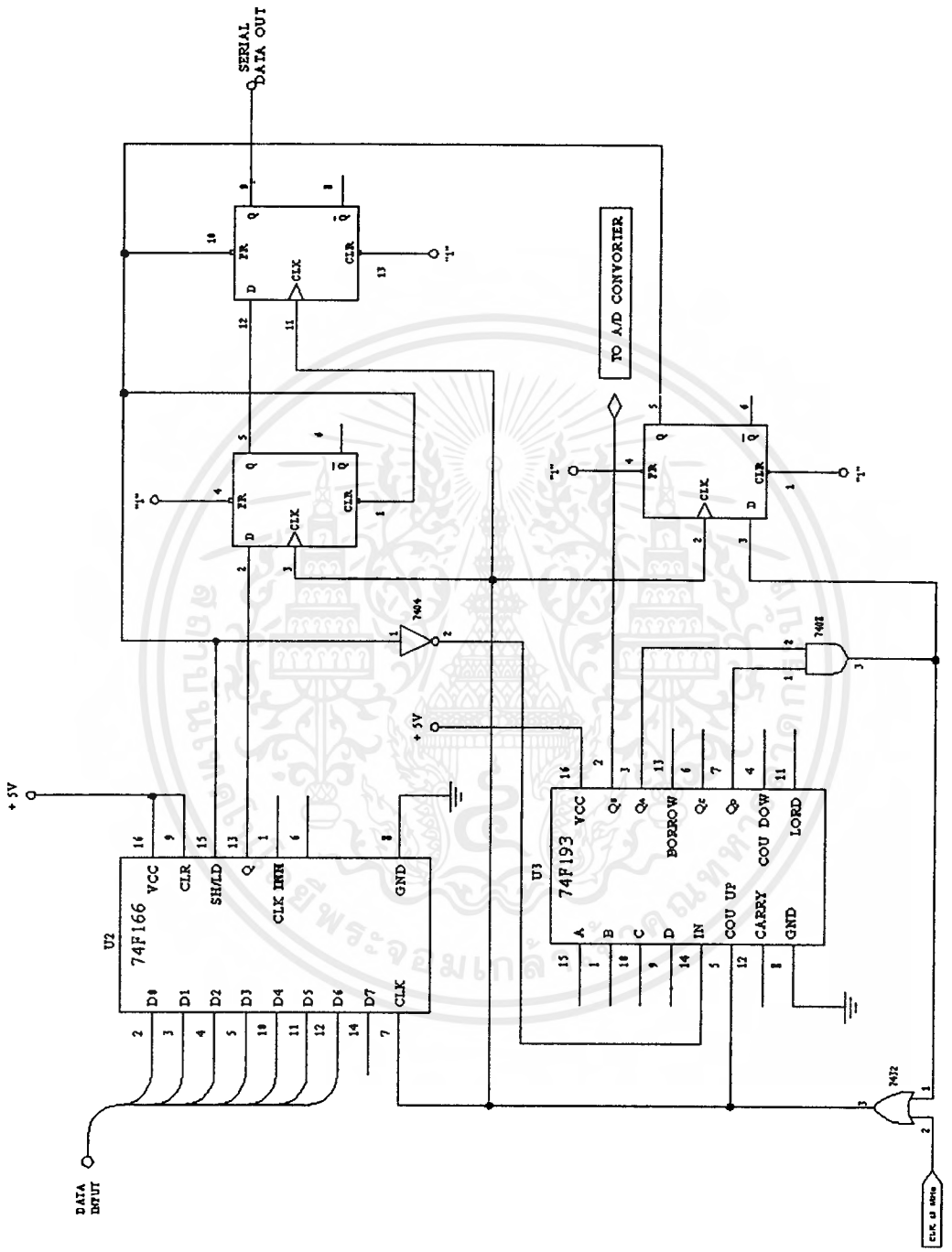
3.3 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล (A/D)



รูปที่ 3.3 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

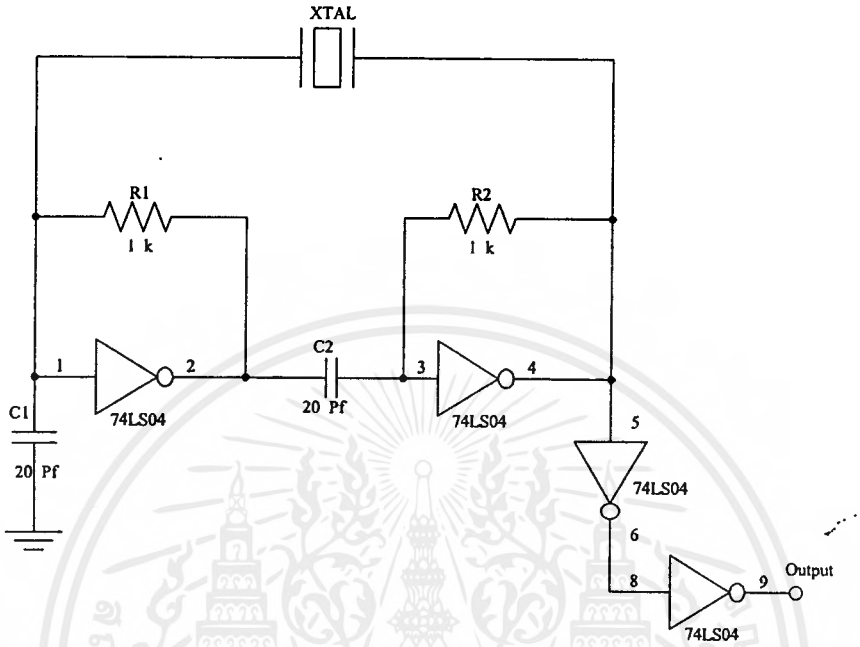
3.4 วงจรแปลงสัญญาณขนานเป็นสัญญาณอนุกรม (PISO)



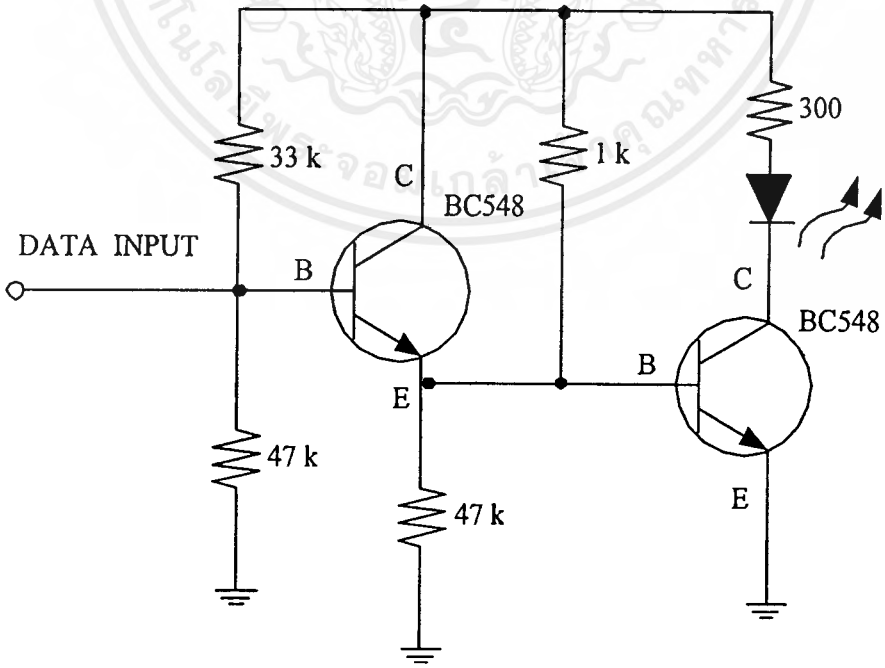
รูปที่ 3.4 แสดงวงจรแปลงสัญญาณขนานเป็นสัญญาณอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรสร้างสัญญาณนาฬิกา (Clock) ของภาคส่ง



รูปที่ 3.5 วงจรสร้างสัญญาณนาฬิกาของภาคส่ง

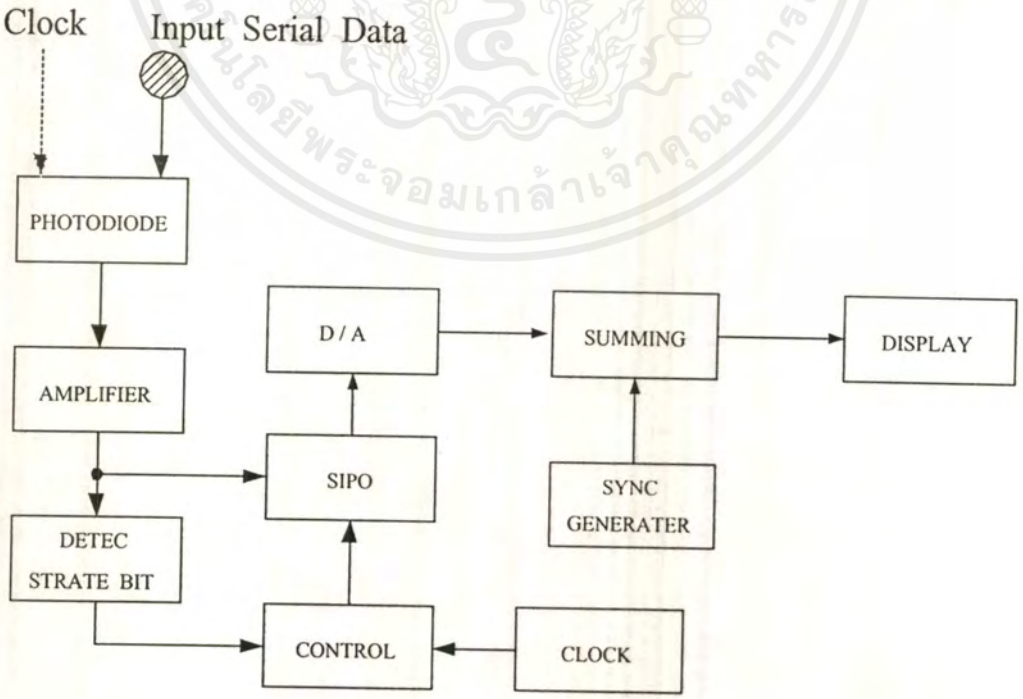


รูปที่ 3.6 วงจรแปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 เครื่องต้นแบบของภาคส่ง

3.6 บล๊อคไดอะแกรมของวงจรภาครับ

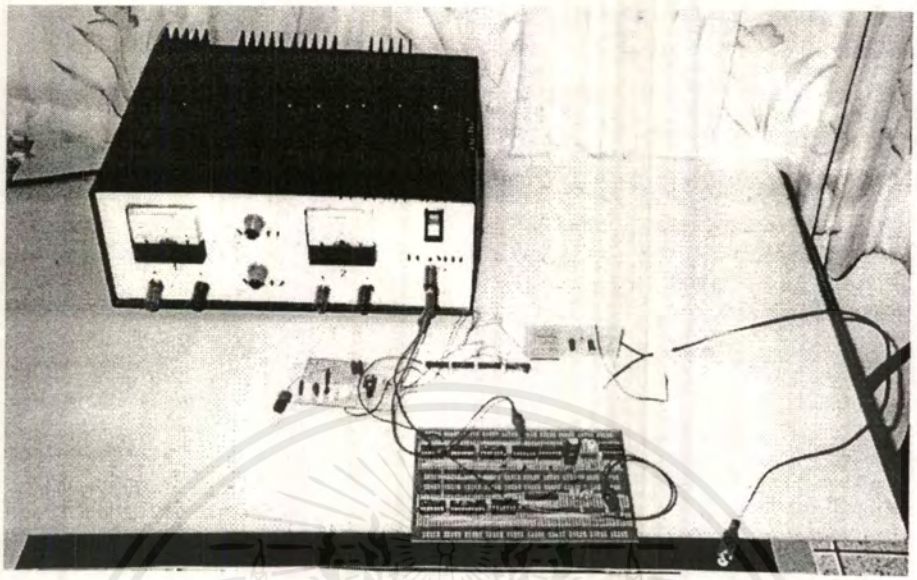


รูปที่ 3.8 วงจรต่างๆ ที่อยู่ในภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

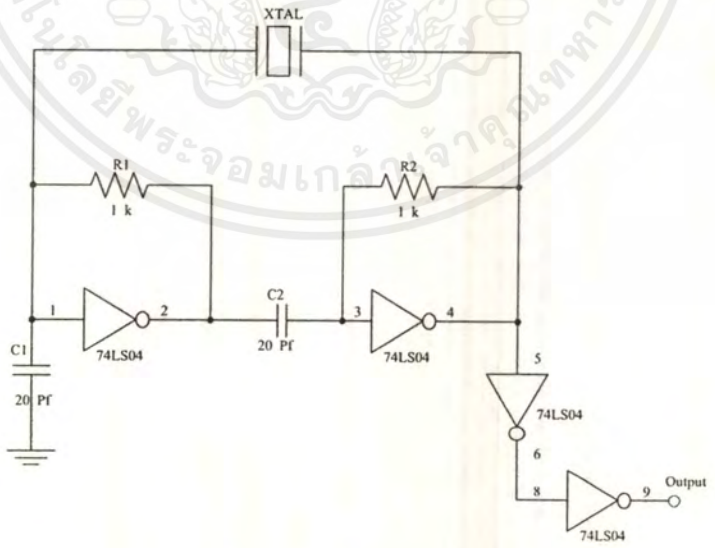
จากรูปข้างบนบล็อกไดอะแกรมโดยรวมของวงจรภาครับแสดงดังรูปที่ 3.8 ในส่วนของภาครับเมื่อมีข้อมูลแบบอนุกรมเข้ามา ภาคขับสัญญาณ (DIVER) โดยโฟโตไดโอดจะเปลี่ยนสัญญาณแสงเป็นสัญญาณไฟฟ้า และจะทำหน้าที่ในการเปลี่ยนข้อมูลดิจิตอลในรูปของสัญญาณแสงให้เป็นข้อมูลดิจิตอลในรูปสัญญาณไฟฟ้าเมื่อเปลี่ยนเป็นข้อมูลทางไฟฟ้าเสร็จเรียบร้อยแล้ว ภาคAMPLIFIER จะทำการขยายข้อมูลดิจิตอลให้แรงขึ้นเนื่องจากข้อมูลถูกลดทอนระหว่างการส่งผ่านสายไฟเบอร์ออฟติกในระยะทางไกลๆ และสัญญาณจะถูกแบ่งออกเป็นสองส่วนคือส่วนที่หนึ่งจะถูกส่งเข้าไปยังภาคการแปลงข้อมูลจากอนุกรมเป็นข้อมูลขนาน (SIPO) และอีกส่วนหนึ่งถูกส่งไปยังภาคหาบิตเริ่มต้น (DETEC START BIT) เพื่อทำการเช็คหาบทเริ่มต้น และในเวลาเดียวกัน ภาคสัญญาณนาฬิกา (CLOCK) จะทำการสร้างสัญญาณนาฬิกาออกมาและส่งไปยังภาคควบคุม (CONTROL) ภาคควบคุม (CONTROL) จะนำบิทที่ทำการเช็คได้ว่าเป็นบิทเริ่มต้นมารวมกับสัญญาณนาฬิกาเพื่อทำการควบคุมการทำงานของภาคการแปลงข้อมูลจากอนุกรมเป็นข้อมูลขนาน (SIPO) ภาคการแปลงข้อมูลจากอนุกรมเป็นข้อมูลขนาน (SIPO) จะทำการแปลงข้อมูลทางดิจิตอลในรูปของแบบอนุกรมให้มาเป็นข้อมูลทางดิจิตอลแบบขนานและจำทำการส่งไปยังภาคเปลี่ยนข้อมูลดิจิตอลเป็นข้อมูลอะนาลอก (D/A) ภาคเปลี่ยนข้อมูลดิจิตอลเป็นข้อมูลอะนาลอก (D/A) จะทำการเปลี่ยนข้อมูลดิจิตอลให้กลับไปเป็นสัญญาณไฟฟ้าอนาลอกอย่างเดิมและสัญญาณอนาลอกจะถูกส่งไปยังภาครวมสัญญาณ (SUMMING) และในเวลาเดียวภาคสร้างสัญญาณซิงค์(SYNC GENERATER) จะทำการสร้างสัญญาณซิงค์ออกมาเพื่อเสริมและทดแทนซิงค์ที่แยกออกตอนจะทำการส่งในภาคส่งและเมื่อทำการรวมสัญญาณซิงค์กับสัญญาณภาพแล้วทำการนำออกสู่ภาคแสดงผล (DISPLAY) เพื่อทำการแสดงผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 เครื่องต้นแบบของภาครับ

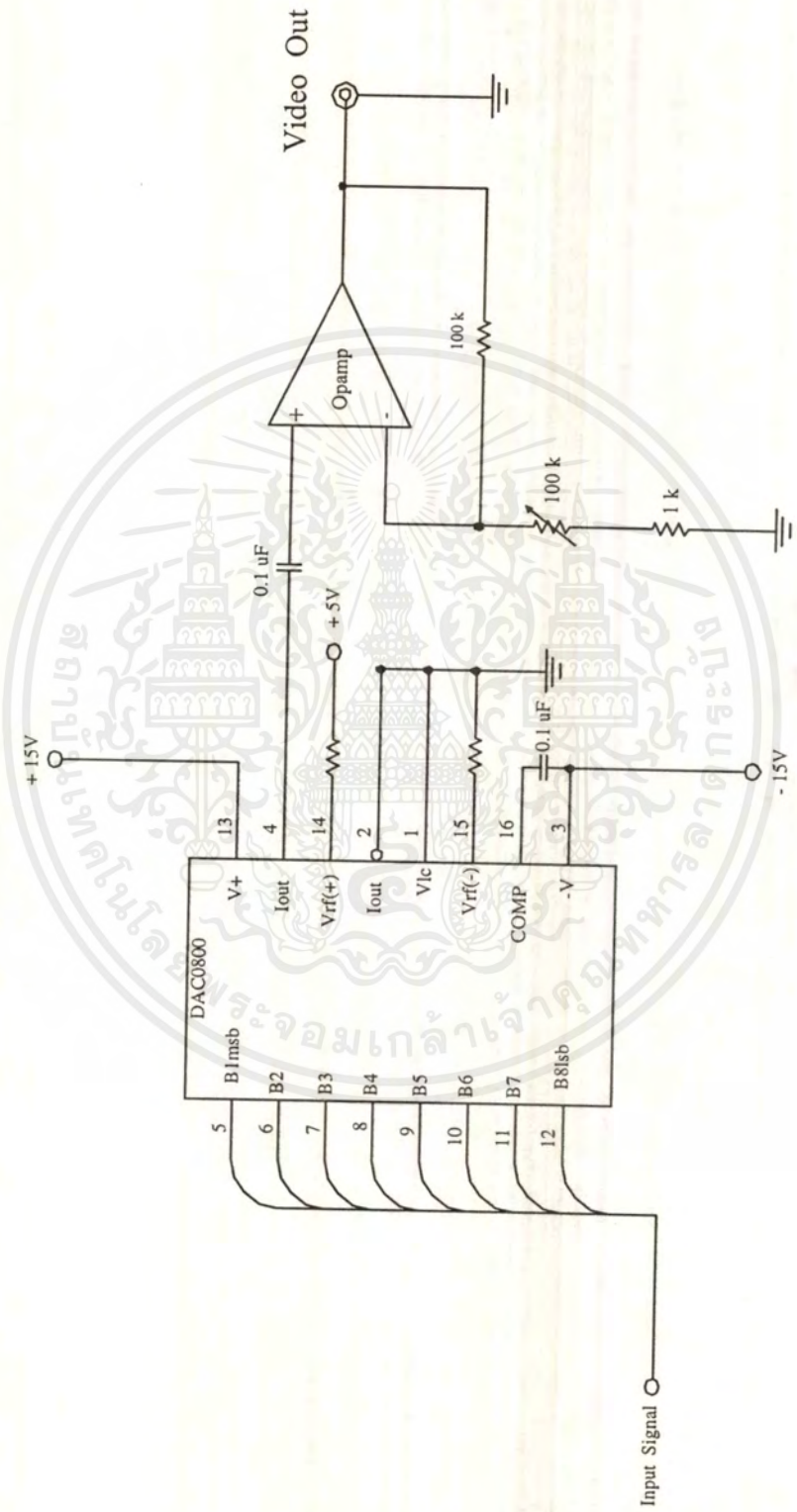
3.7 วงจรสร้างสัญญาณนาฬิกา (CLOCK) ของภาครับ



รูปที่ 3.10 วงจรสร้างสัญญาณนาฬิกา (CLOCK) ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A)

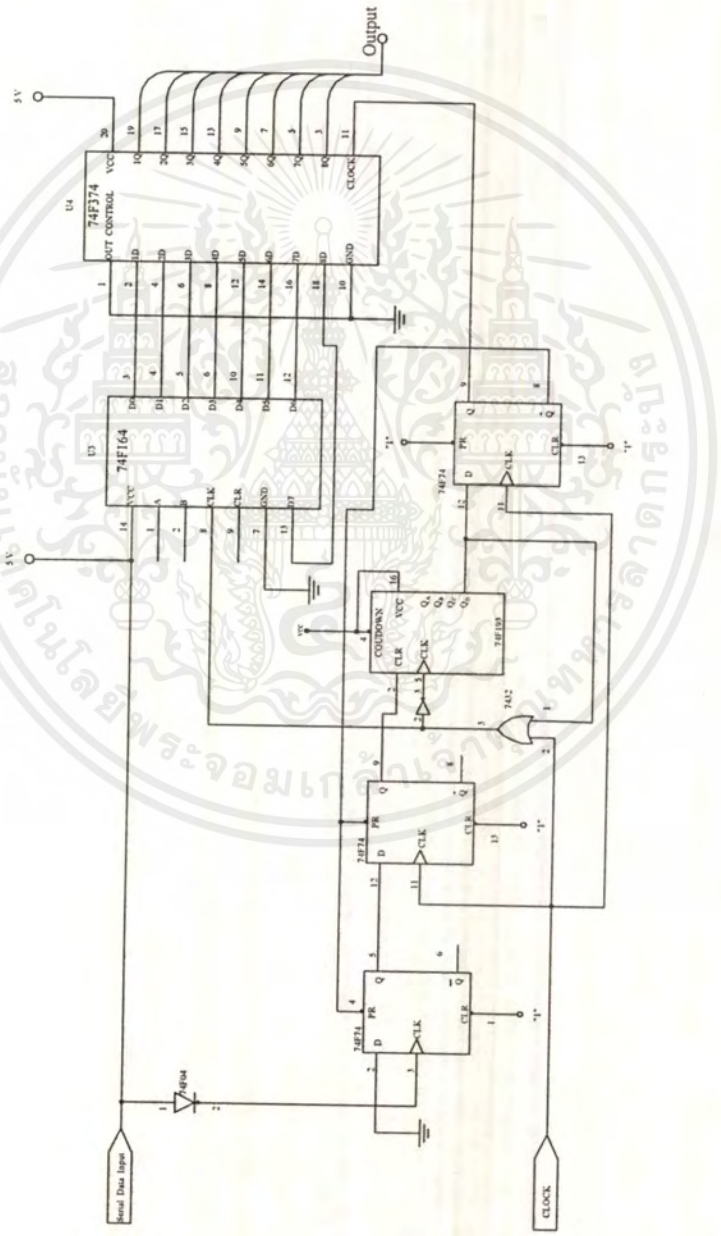


รูปที่ 3.11 วงจรแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก (D/A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

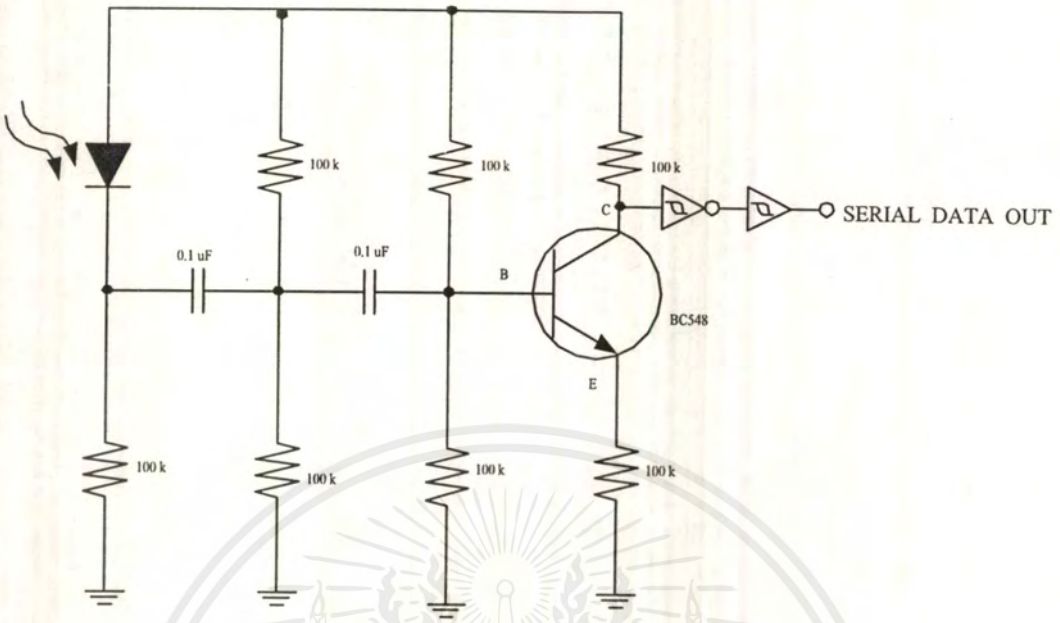
D/A ใช้แปลงสัญญาณจากดิจิตอลไปเป็นสัญญาณอะนาลอก เพื่อสะดวกในการรวมสัญญาณกับสัญญาณซิงค์ โครงงานนี้จะใช้วงจร R-2R summing (Binary Weighted DAC) โดยมี 74LS245 เป็นบัฟเฟอร์นั้น อยู่ระหว่างส่วนดิจิตอลกับส่วนอนาลอกที่ทำงานด้วยความเร็วสูง และยังสามารถขับกระแสเอาทต์พุตได้สูงอีกด้วย แสดงดังรูปที่ 3.9

3.9 แสดงวงจรแปลงสัญญาณอนุกรมเป็นสัญญาณขนาน (SIPO)



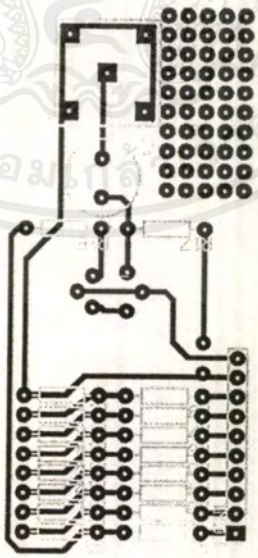
รูปที่ 3.12 แสดงวงจรแปลงสัญญาณอนุกรมเป็นสัญญาณขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



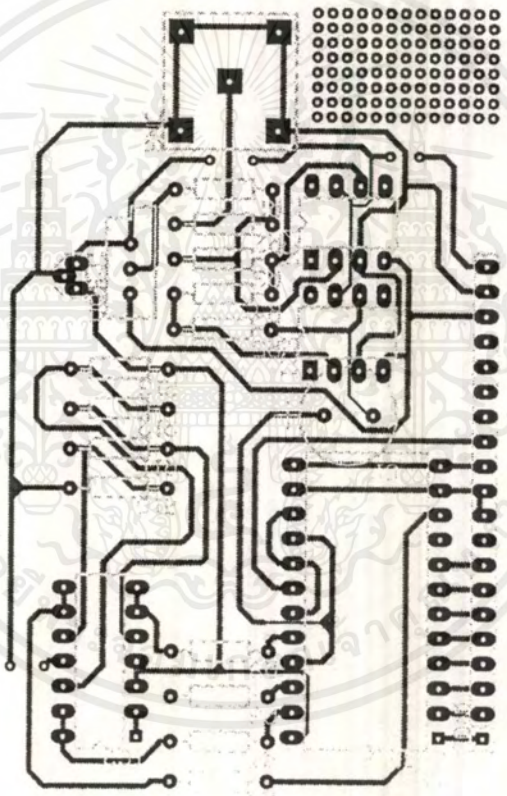
รูปที่ 3.13 วงจรแปลงสัญญาณแสงเป็นสัญญาณไฟฟ้า

3.10 การลงอุปกรณ์บนแผ่นปริ๊นของวงจรต่างๆ



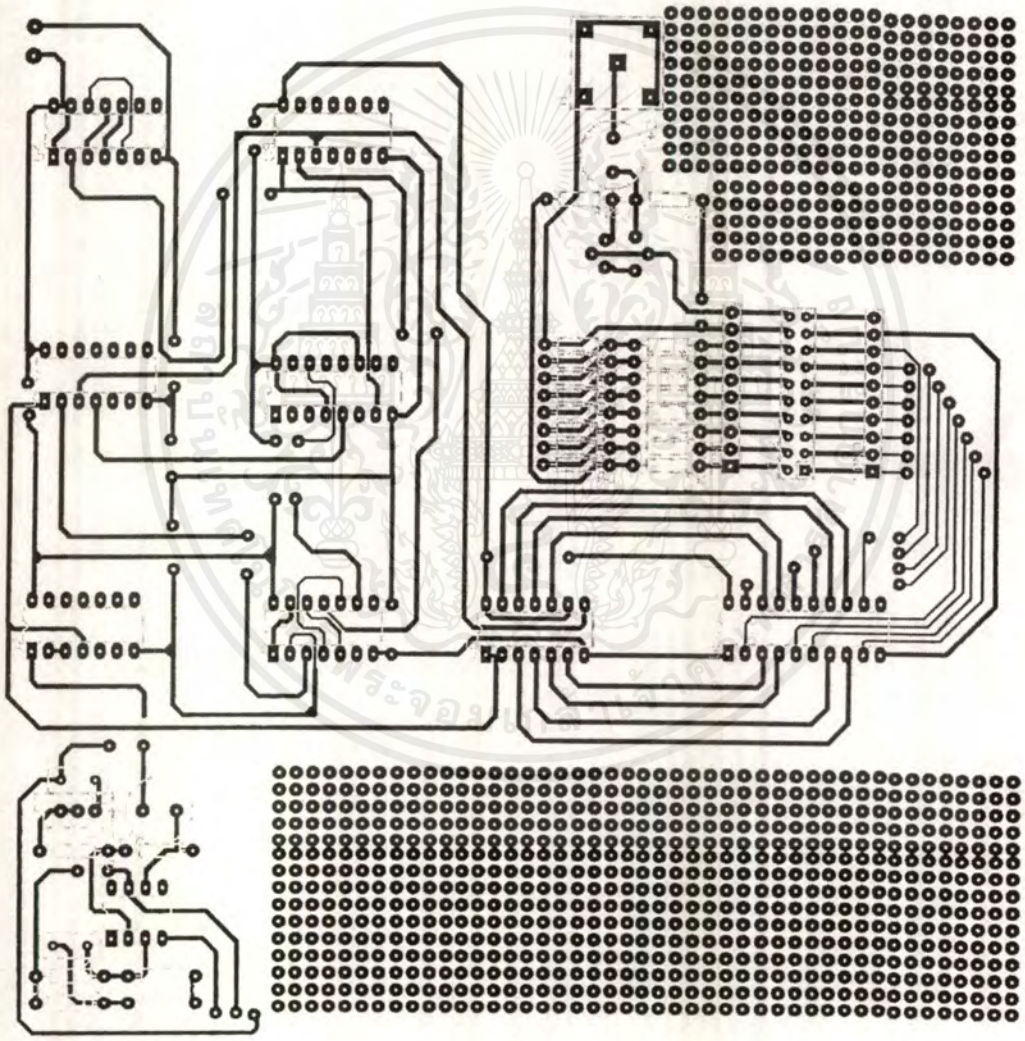
รูปที่ 3.14 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



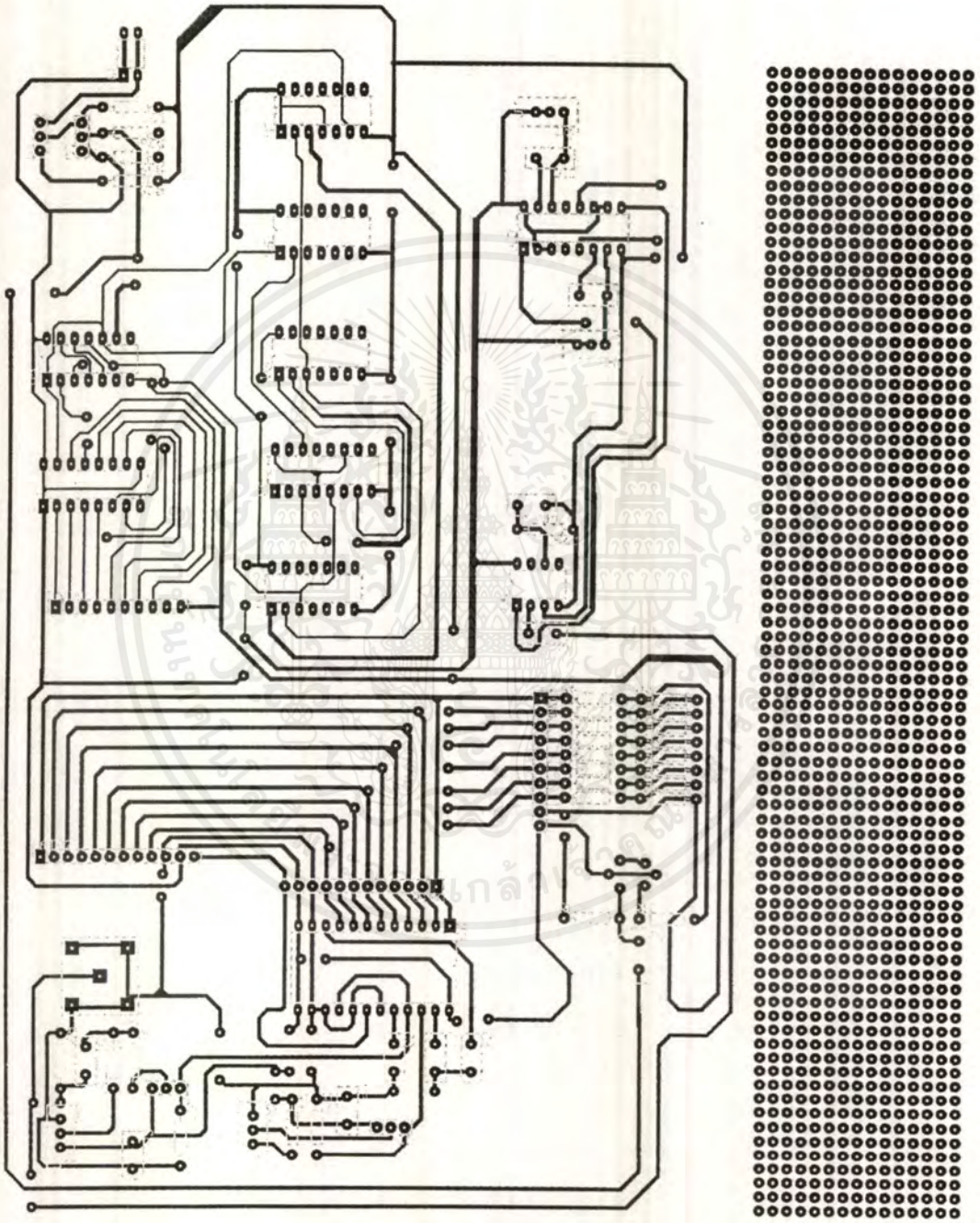
รูปที่ 3.15 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 การลงอุปกรณ์บนแผ่นปริ๊นของภาคส่ง

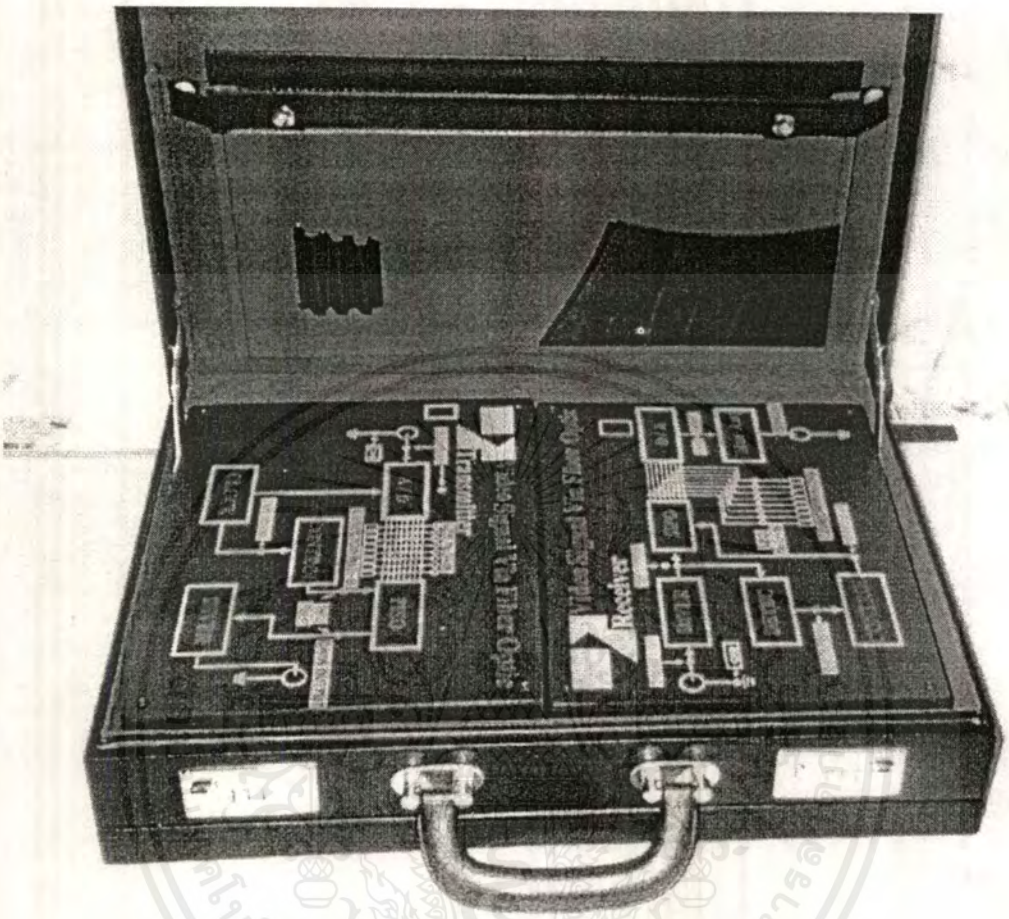
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 การลงอุปกรณ์บนแผ่นปริ๊นของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 เครื่องต้นแบบโดยสมบูรณ์ทั้งภาครับและภาคส่ง



รูปที่ 3.18 เครื่องต้นแบบโดยสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองที่ 1 ภาคส่ง

เริ่มต้นด้วยการทดลองวงจรทีละวงจรที่เราได้ทำการออกแบบวงจรนั้นๆ ไว้ แล้วนำวงจรนั้นมาทดลองในโฟโตบอร์ดเมื่อทดลองจนแน่ใจแล้วว่าวงจรแต่ละส่วนทำงานได้อย่างแน่นอนตามที่เราต้องการ ให้เริ่มต้นนำวงจรต่างๆลงอุปกรณ์ในแผ่นปริ้น แล้วให้นำวงจรต่างๆที่ประกอบเสร็จเรียบร้อยแล้วมาเชื่อมต่อกันเราจะแบ่งวงจรออกเป็นภาครับและภาคส่ง เมื่อแบ่งเสร็จเรียบร้อยแล้ว จึงเริ่มปฏิบัติการส่งทำการส่งสัญญาณ โดยใช้สัญญาณวีดีโอ (Video Signal) เป็นแหล่งกำเนิดสัญญาณแล้วสังเกตดูว่าทางด้านรับที่จอมอนิเตอร์จะมีภาพเหมือนด้านส่งหรือไม่

4.1.1 วงจรแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลดิจิตอล (A/D)

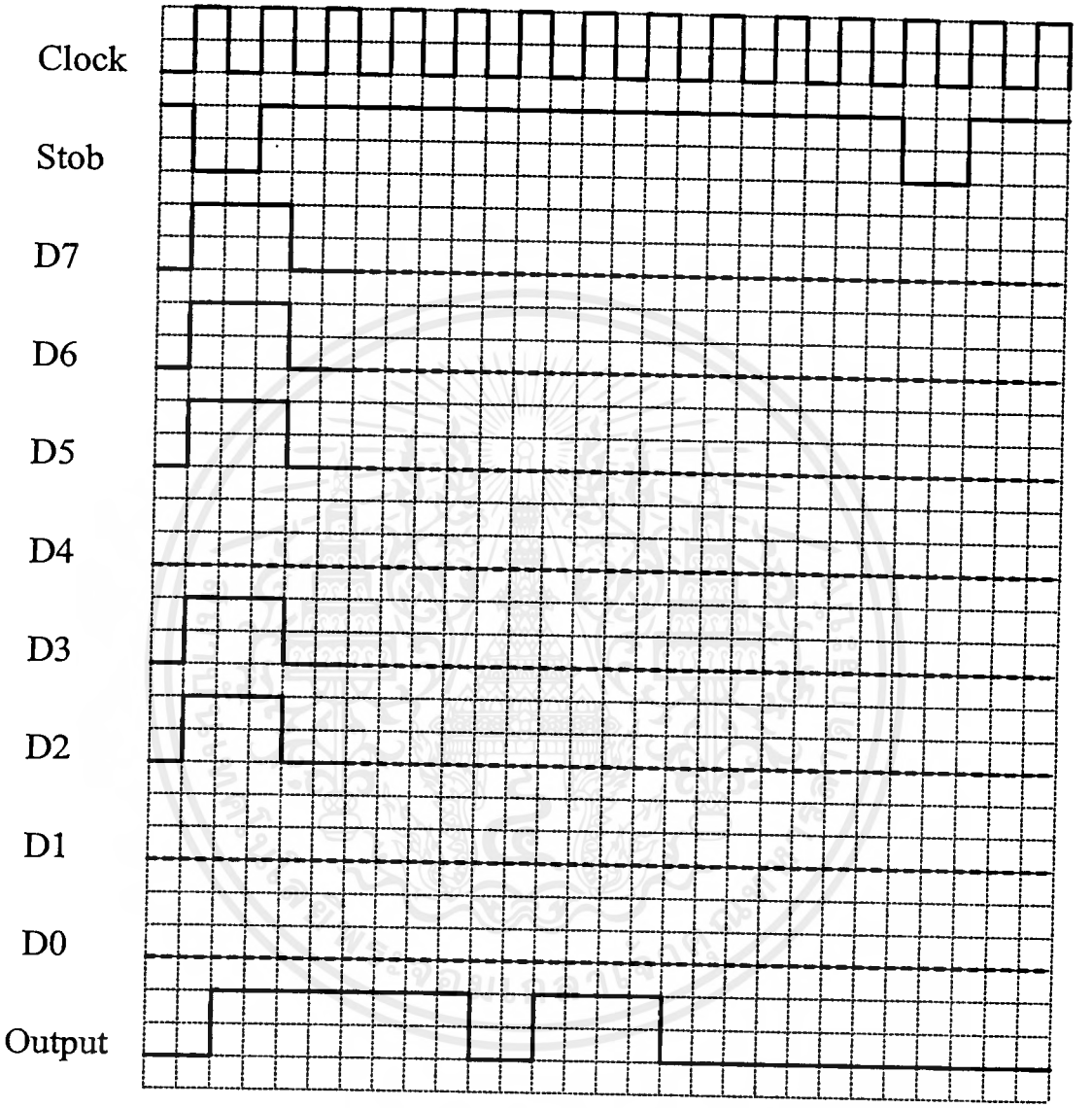
Input (Volt)	Output							
	B0	B1	B2	B3	B4	B5	B6	B7
0.0	0	0	0	0	0	0	0	0
0.5	0	0	0	1	1	0	0	0
1.0	0	0	1	1	0	0	0	1
2.0	0	1	1	0	0	0	1	1
3.0	1	0	0	1	1	0	1	1
4.0	1	1	0	1	1	0	1	1
5.0	1	1	1	1	1	1	1	1

Vref = 5V

ตารางที่ 4.1 ผลการทดลองวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

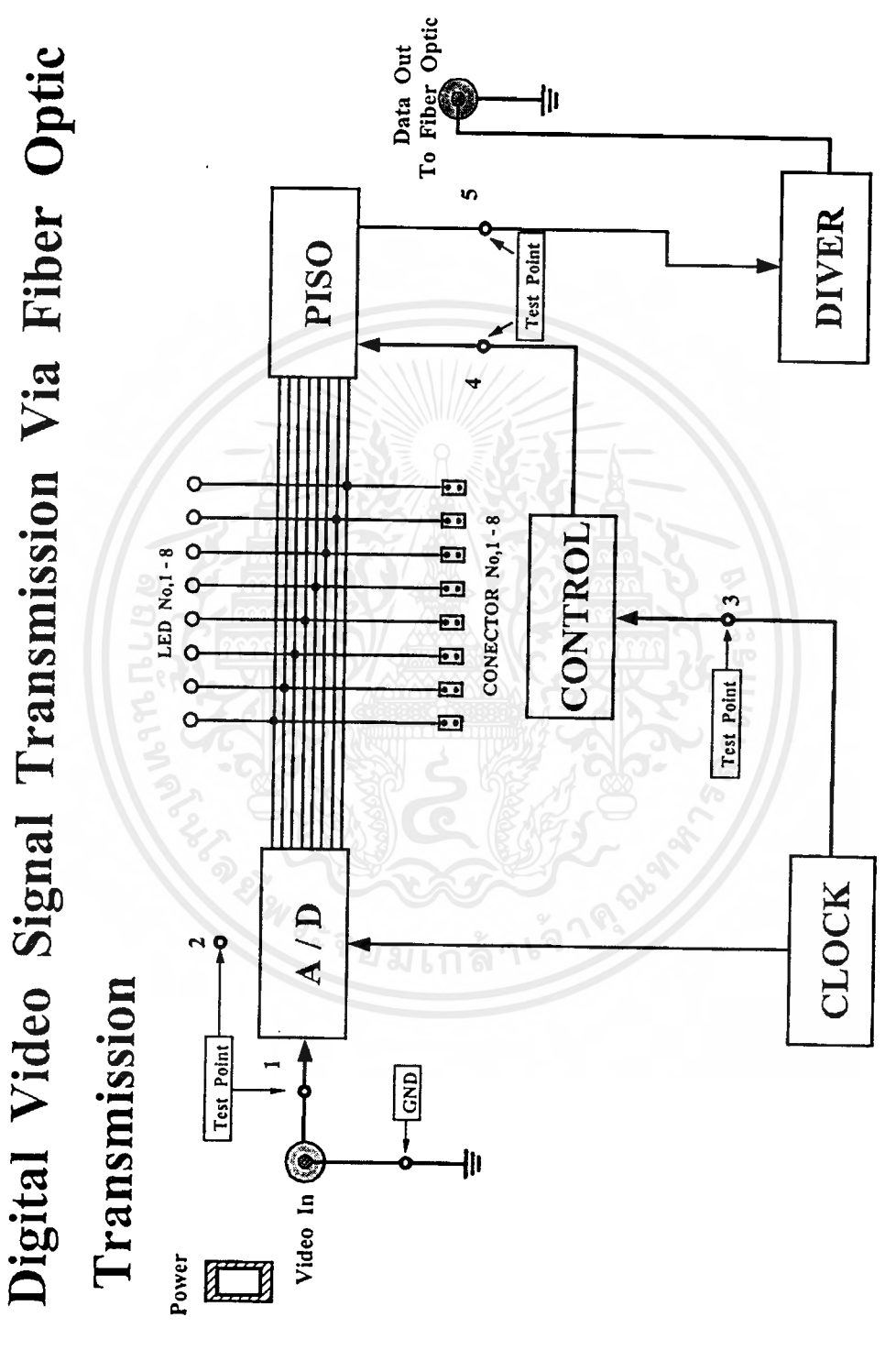
4.1.2 จากผลการทดลองสามารถนำมาเขียนเป็นกราฟเวลา (Timing Diagram) ได้ดังนี้



รูปที่ 4.1 แสดงกราฟเวลา (Timing Diagram) ของวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

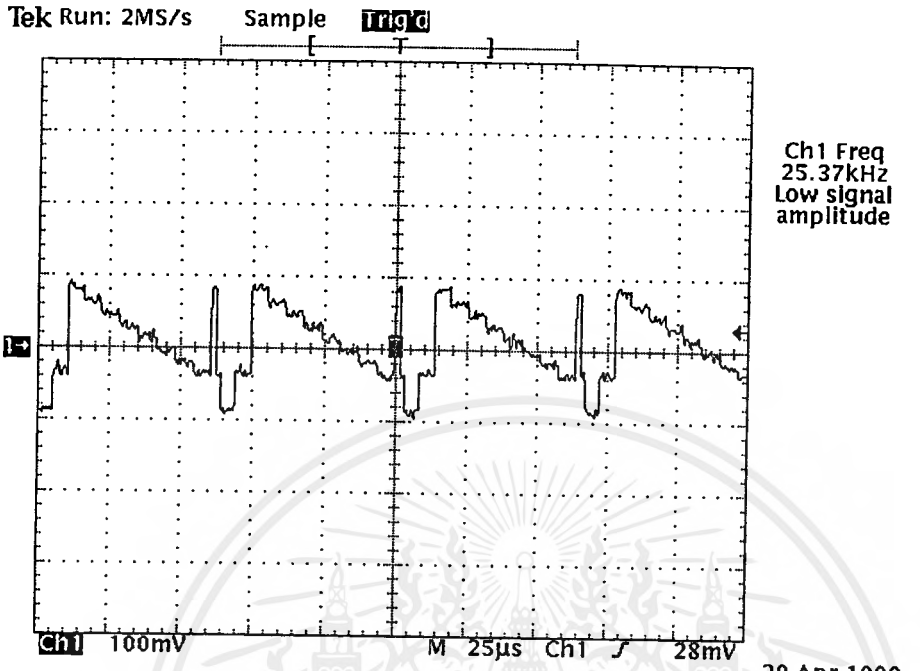
4.1.2 จุดทดสอบต่างๆ ของภาคส่ง



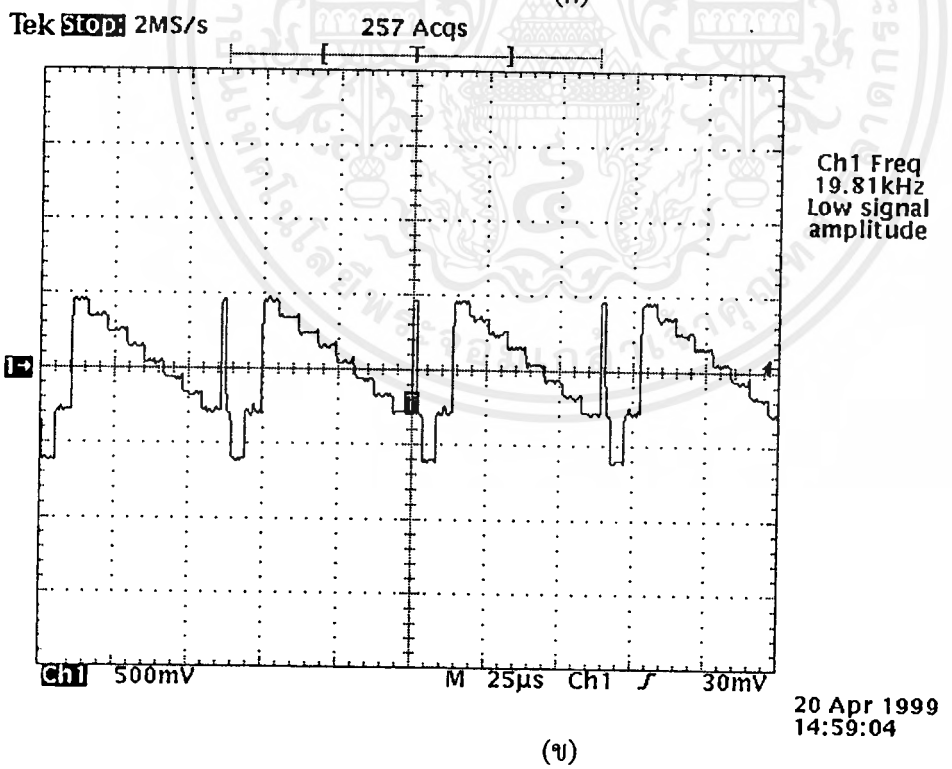
รูปที่ 4.2 แสดงส่วนต่างๆของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 ผลการทดลองวัดด้วยออสซิลโลสโคปแบบดิจิตอล



(ก)

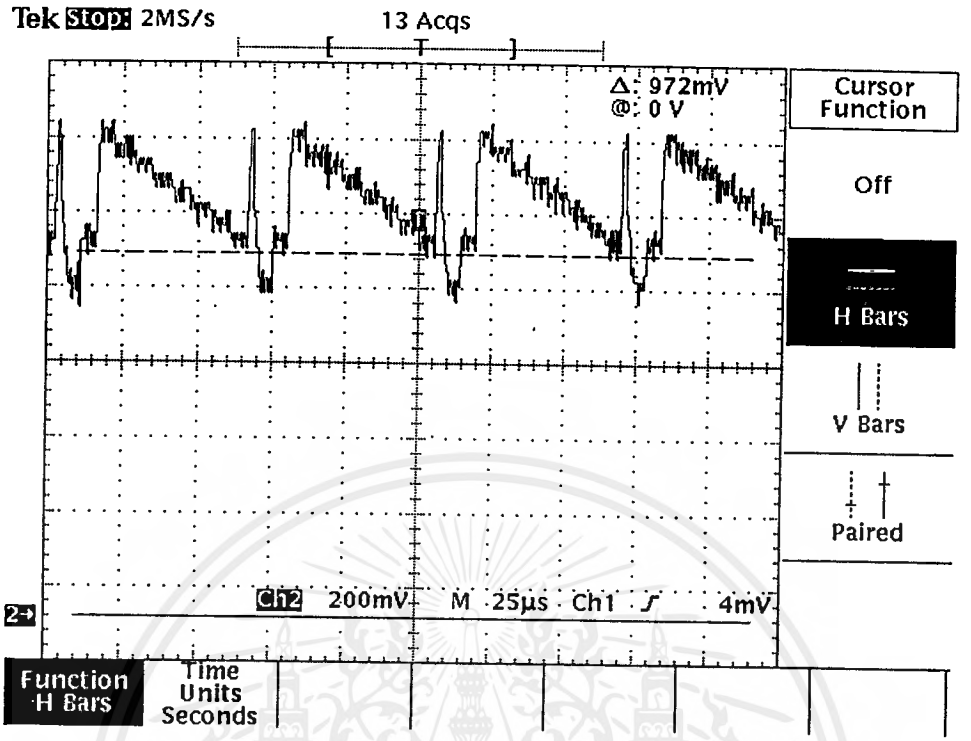


(ข)

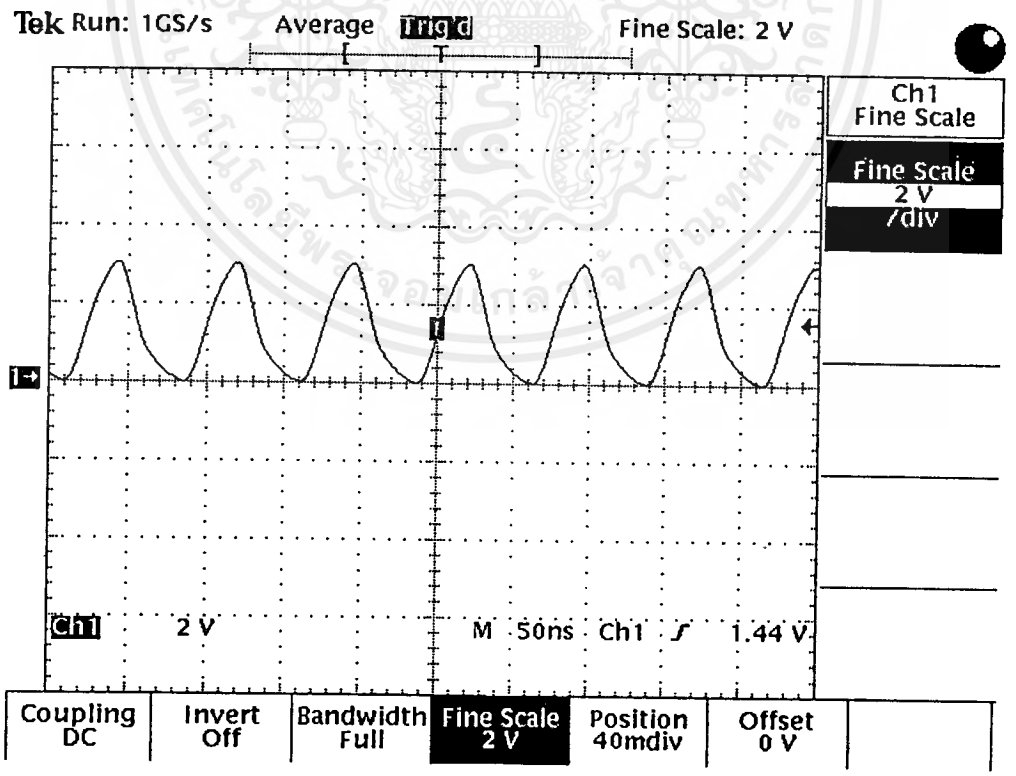
รูปที่ 4.3(ก) สัญญาณภาพแบบแท่งสี่เหลี่ยมวัดจากอินพุทต์จุดที่ 1

(ข) สัญญาณภาพแบบแท่งสี่เหลี่ยมวัดจากอินพุทต์จุดที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

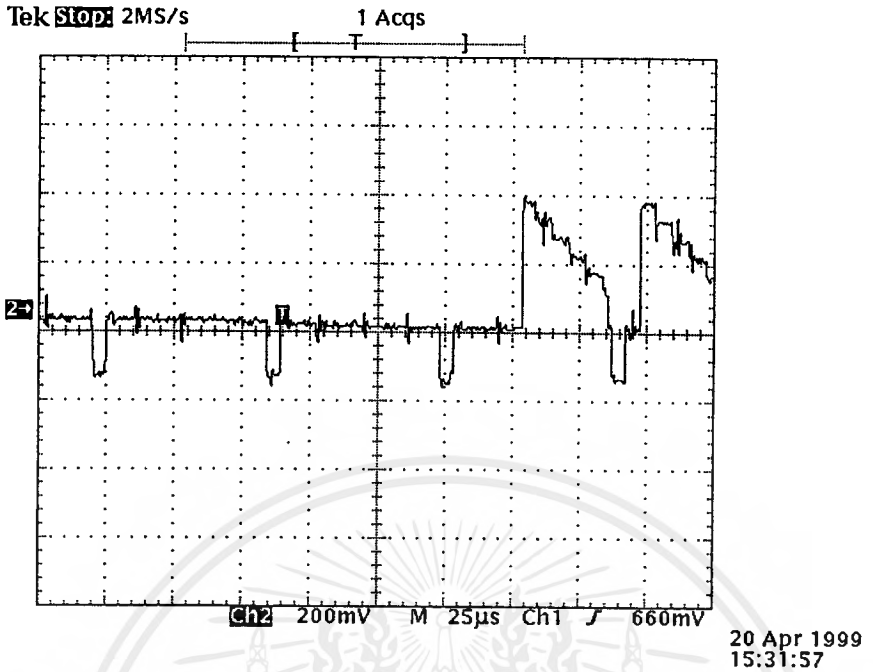


รูปที่ 4.4 ยกระดับสัญญาณให้เหมาะสมกับวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล จุดที่ 2



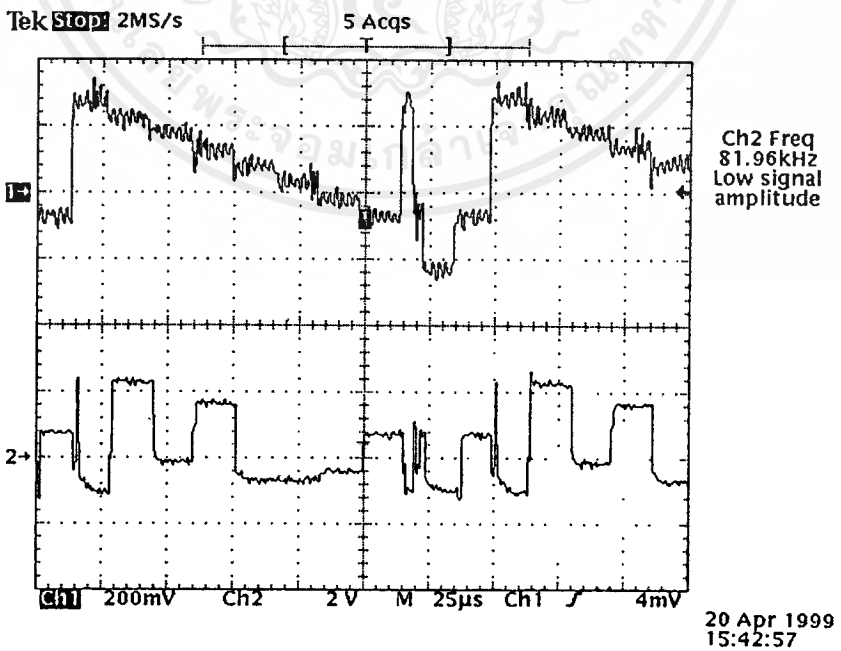
รูปที่ 4.5 สัญญาณที่ได้จากการแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



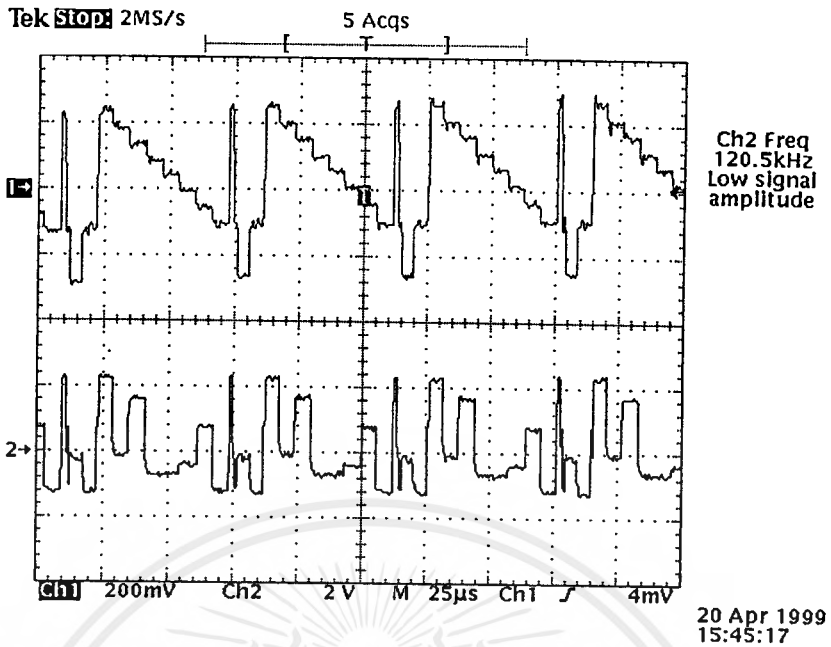
รูปที่ 4.6 แสดงระดับสัญญาณแนวตั้งและแนวนอน

นำข้อมูลที่ออกจากวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลมาป้อนเข้าวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกโดยตรง ทำการวัดสัญญาณอินพุตและเอาพุทต์มาเปรียบเทียบกันจะได้ผลการทดลองดังรูปที่ 4.6 ((ก)-(ข))



(ก)

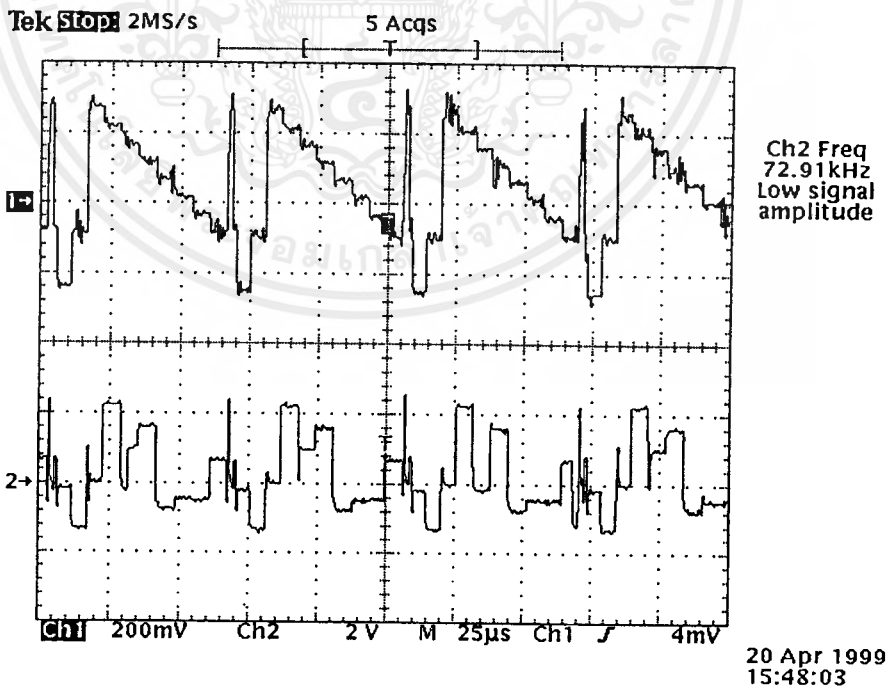
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

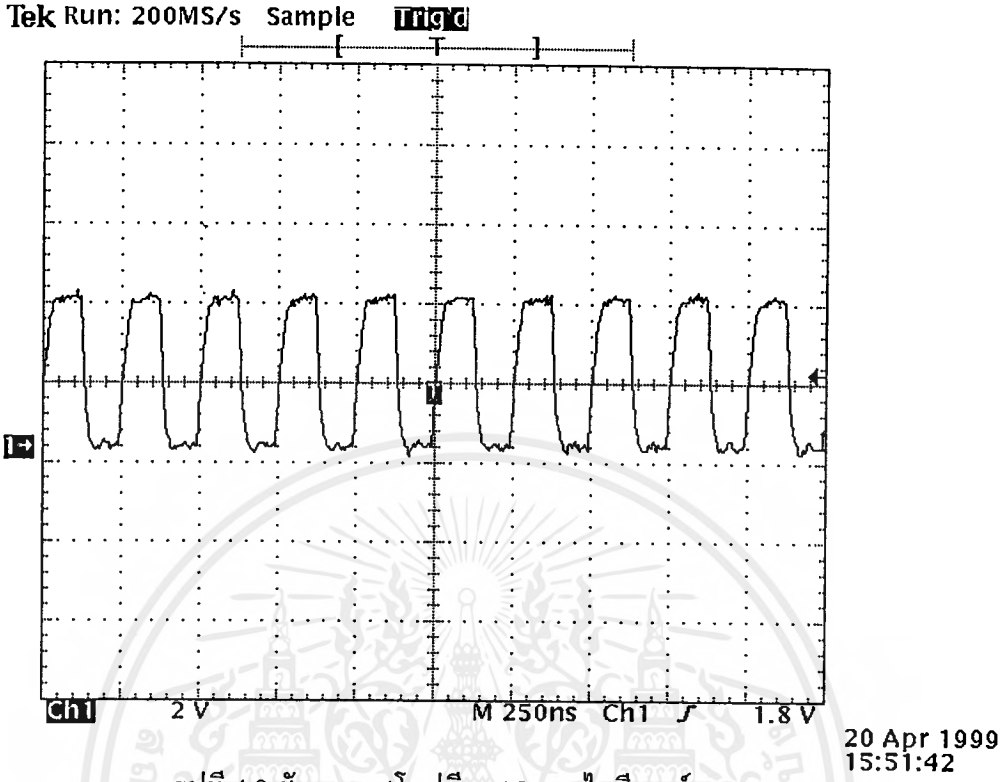
รูปที่ 4.7 (ก) ช่องสัญญาณที่ 1 สัญญาณอินพุตที่ป้อนเข้าวงจรแปลงสัญญาณอะนาลอกเป็น สัญญาณดิจิตอล

(ข) ช่องสัญญาณที่ 2 สัญญาณเอาพุทต์ที่แซมปลิ้งความถี่ 4 เมกะเฮิทธ์

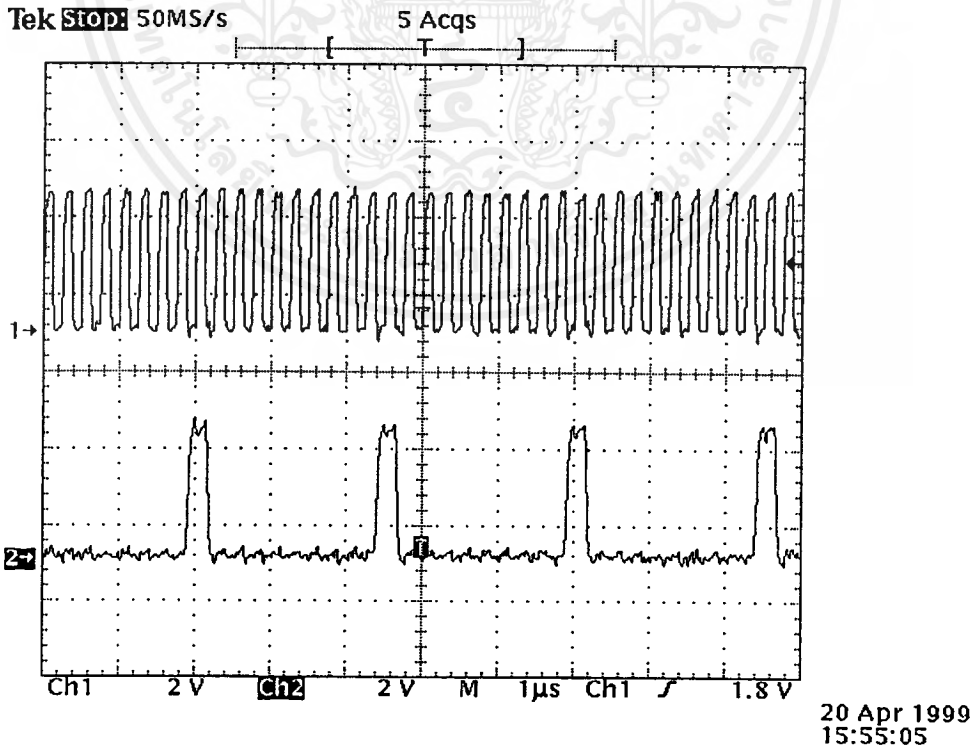


รูปที่ 4.8 ช่องที่ 1 สัญญาณอินพุทที่ป้อนเข้าวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล ช่องที่ 2 แสดงสัญญาณภาพเอาพุทต์ที่แซมปลิ้งความถี่ 13 เมกะเฮิทธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



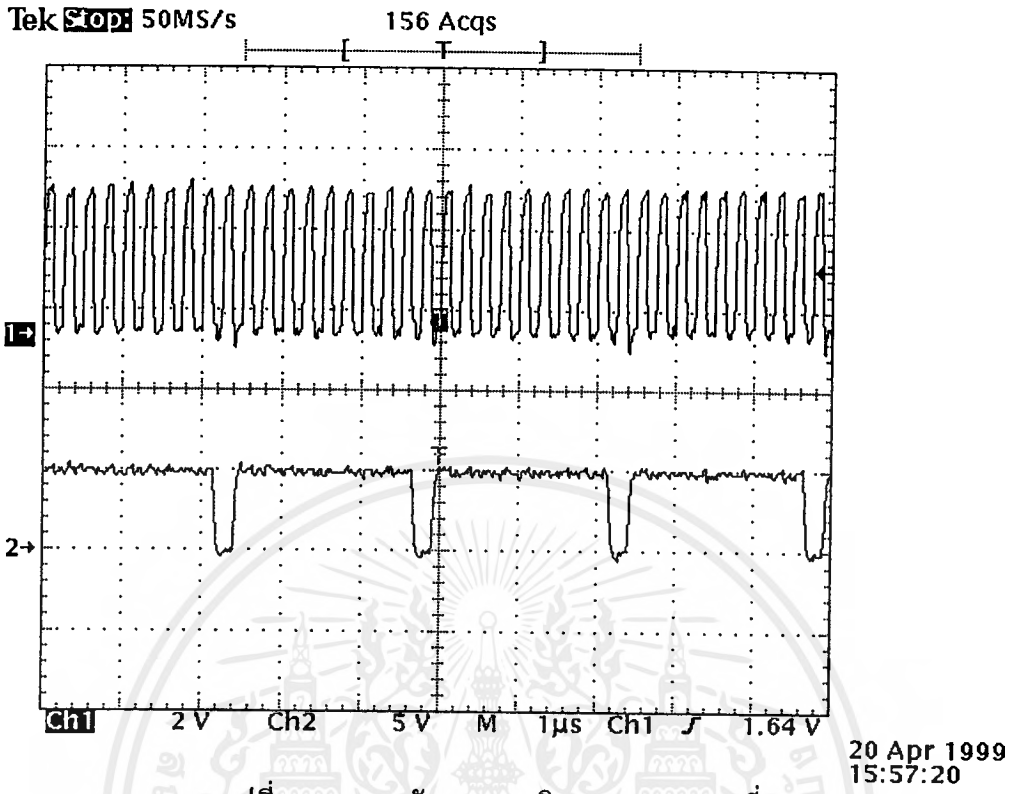
รูปที่ 4.9 สัญญาณสโตปทีขา 15 ของไอซีเบอร์ 74F166



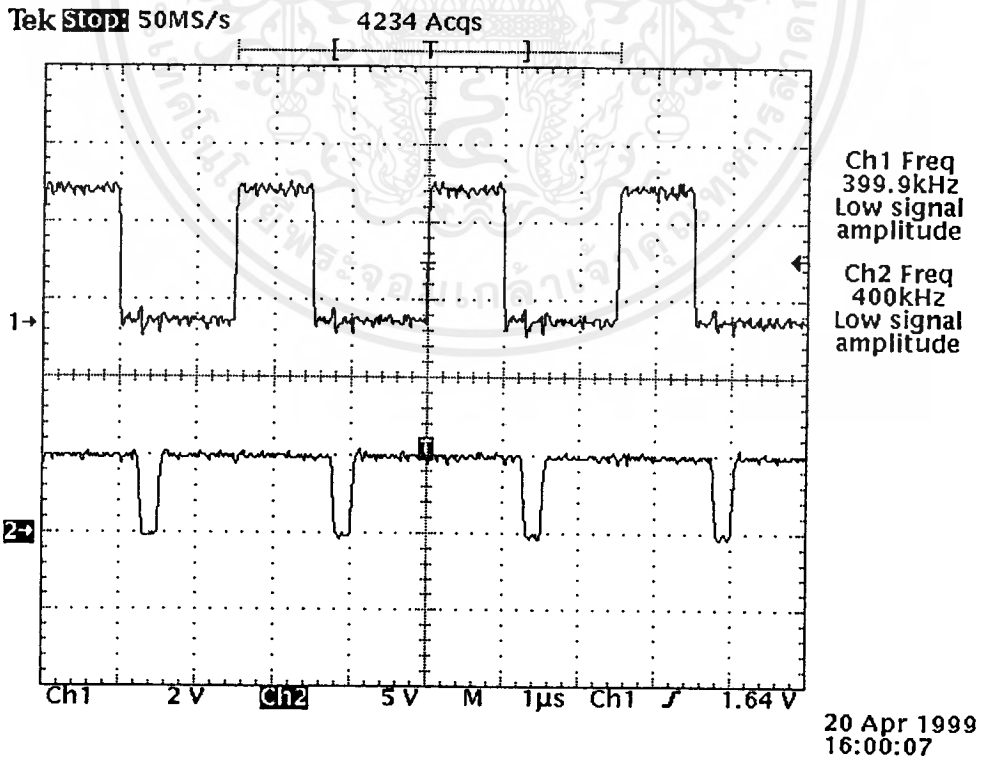
รูปที่ 4.10 ช่องที่ 1 สัญญาณนาฬิกา

ช่องที่ 2 สัญญาณความถี่ที่เป็นตัวบอกว่าส่งข้อมูลเสร็จแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงสัญญาณนาฬิกาของระบบ จุดที่ 3

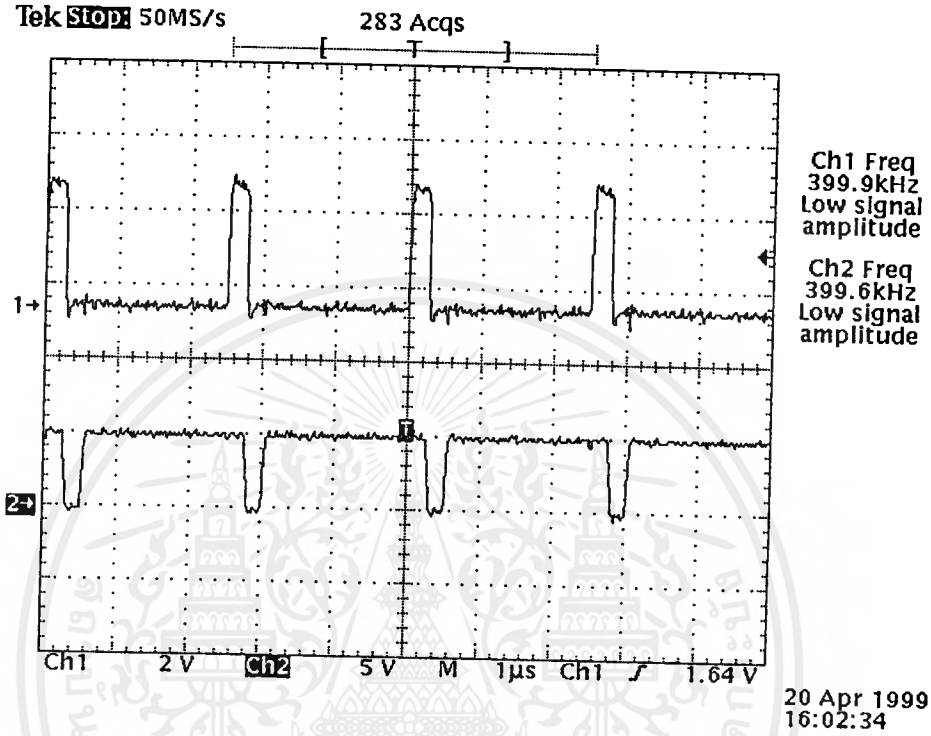


รูปที่ 4.12 ช่องที่ 1 สัญญาณที่ใช้ในการแซมปลิ้ง

ช่องที่ 2 สัญญาณที่ใช้ในการสโตปข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่าเมื่อทำการสุ่มตัวอย่าง ข้อมูลแล้ว เราจะนำสัญญาณที่ได้มาสร้างสัญญาณควบคุมการสโตปของชิฟรีจิสเตอร์ดังรูปที่ 4.12



รูปที่ 4.13 สัญญาณสิ้นสุดการส่งข้อมูลเมื่อส่งข้อมูลเสร็จแล้ว จะสโตปข้อมูลเข้ามาดังแสดงในช่องสัญญาณที่ 2

เมื่อทำการส่งข้อมูลเสร็จแล้วจะมีสัญญาณที่บอกว่าสิ้นสุดการส่งข้อมูลจากนั้นทำการสโตปข้อมูลเข้ามาใหม่จากรูปที่ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองที่ 2 ภาครับ

เมื่อทำการส่งสัญญาณภาพจากภาคส่งไปแล้ว ให้ดูว่าที่ภาครับที่แสดงในจอมอนิเตอร์จะมีภาพสัญญาณเหมือนกับสัญญาณอินพุทที่เราทำการส่งสัญญาณมา เราจะเห็นภาพมีความคมชัดค่อนข้างคมชัดพอๆกับสัญญาณทางด้านอินพุทที่เราทำการส่งมา และให้ทำการเปรียบเทียบความต่างของสัญญาณทั้งภาครับและภาคส่งว่ามีความสว่างหรือความมืดของสัญญาณทั้ง 2 ส่วนมากน้อยต่างกันเพียงไร

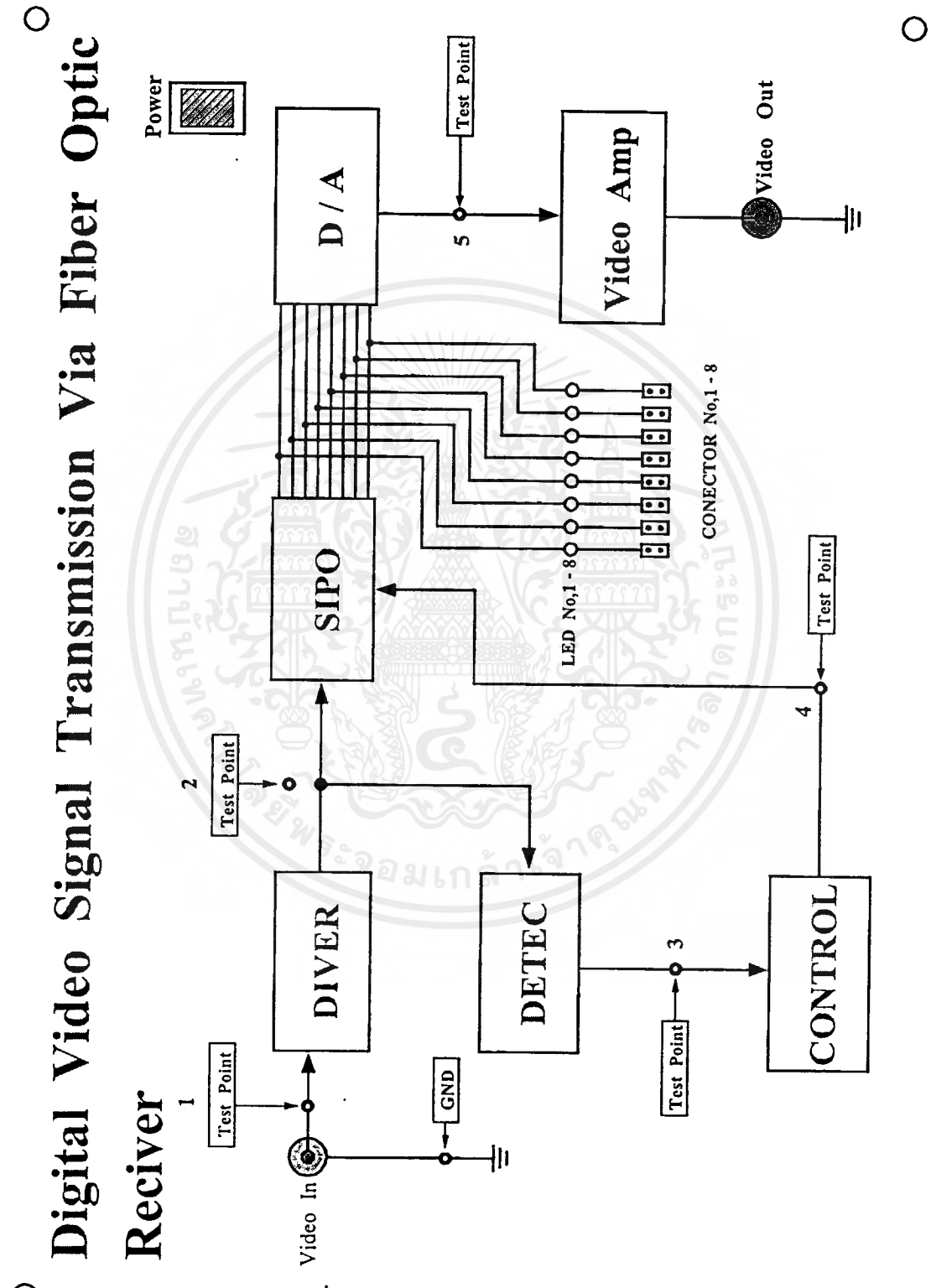
4.2.1วงจรแปลงข้อมูลดิจิตอลเป็นอนาลอก

Data Input								Output
B0	B1	B2	B3	B4	B5	B6	B7	(Volt)
1	1	1	1	1	1	1	1	9.9
1	1	1	1	1	1	1	0	9.9
1	1	1	1	1	1	0	0	9.7
1	0	0	0	0	0	0	0	0.03
0	0	0	0	0	0	0	1	-9.8
0	0	0	0	0	0	0	0	-9.9

ตารางที่ 4.2 การแปลงข้อมูลดิจิตอลเป็นอนาลอก

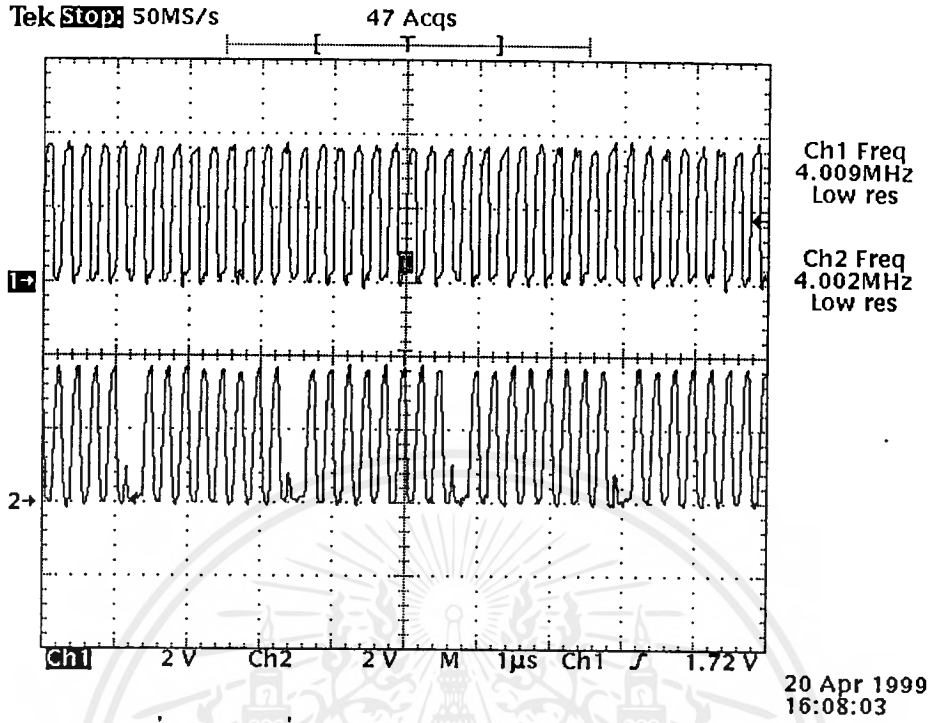
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 จุดทดสอบต่างๆ ของภาคส่ง



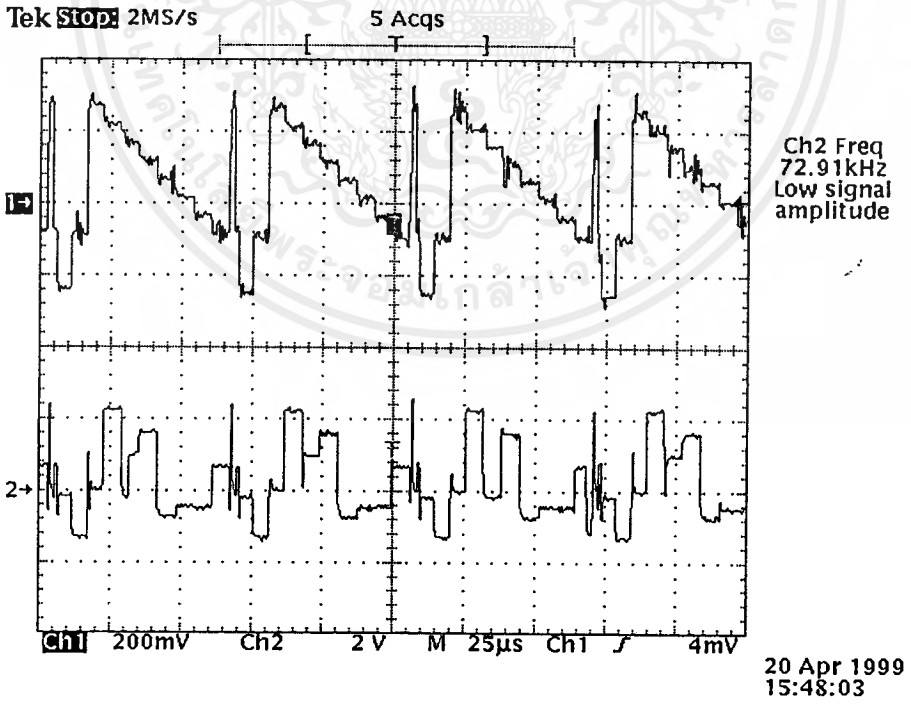
รูปที่ 4.14 แสดงส่วนต่างๆของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ช่องที่ 1 สัญญาณนาฬิกาของภาครับ

ช่องที่ 2 เอาพุทต์ของวงจรหยุดสัญญาณนาฬิกาเมื่อทำการส่งข้อมูล



รูปที่ 4.16 สัญญาณเอาพุทต์ที่ออกจากวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล เมื่อเทียบกับสัญญาณอินพุตทางภาคส่ง จุดที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วิธีแก้ไขเมื่อเจอปัญหา

เมื่อทำการส่งสัญญาณภาพจากภาคส่งไปแล้ว ให้ดูว่าที่ภาครับที่จอมอนิเตอร์จะมีภาพเหมือนที่อินพุทส่งมาหรือไม่ ถ้าเหมือนแสดงว่าการส่งของการทดลองนี้ประสพความสำเร็จ แต่ถ้าไม่เหมือนหรือไม่มีภาพหรือสัญญาณใดๆที่จะชี้ให้เห็นว่ามีสัญญาณเหมือนหรือคล้ายคลึงทางภาคส่งเลยแสดงว่าการทดลองนี้ล้มเหลวไม่ประสพความสำเร็จ อาจเกิดจากวงจรไม่ทำงานหรือการบัดกรีตรงจุดต่อเชื่อมหลวม หรือสายที่ใช้เป็นจุดเชื่อมต่อขาด หรือเหตุผลอีกหลายประการฯลฯ ให้เราทำการเริ่มต้นเช็ควงจรที่ละส่วนตรงจุดเชื่อมต่อ โดยทำการวัดที่ละจุดจากภาคส่งไปสู่ภาครับที่ละวงจรจนทำการส่งได้ตามวัตถุประสงค์ของเราที่วางไว้ ถ้าหากภาพมีความคมชัดที่ไม่ดีพอให้ทำการปรับปรุงแก้ไขให้ภาพมีความคมชัดและดีกว่าทางด้านอินพุทจึงถือว่าการทดลองนี้ประสพความสำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิจารณ์ สรุปผลและแนวทางการพัฒนา

ภาพที่ปรากฏบนหน้าจอมอนิเตอร์จะมีลักษณะไม่ค่อยคมชัดสักเท่าใด แต่ก็สามารถทำงานได้ถูกต้องตามความต้องการ และตรงกับแนวความคิดที่วางไว้ สาเหตุที่เกิดขึ้นเนื่องมาจากอุปกรณ์มีแบนด์วิดน์ไม่เพียงพอ รอยจุดต่อเชื่อมไม่แน่น จึงทำให้เกิดการสูญเสียหรือขาดหายของสัญญาณ รวมทั้งภาพที่ได้ทางจอมอนิเตอร์เมื่อเทียบกับภาพทางอินพุทแล้ว จะไม่ชัดเจนเพียงพอกับจุดประสงค์ที่เราต้องการ สุดท้ายโครงงานได้ถูกสร้างขึ้นมาจนสำเร็จ แต่อย่างไรก็ตาม โครงงานนี้ถูกสร้างขึ้นเพื่อศึกษาและเป็นแนวทางเท่านั้น จึงออกแบบโดยใช้วงจรง่ายๆ ในการทำงานทั้งหมด ทำให้ขาดความยืดหยุ่นในการแก้ไข และประสิทธิภาพไม่ดีเท่าที่ควร รวมทั้งสิ้นเปลืองอุปกรณ์ต่างๆ

สาเหตุเนื่องมาจากอุปกรณ์ที่ใช้และวงจรที่ใช้ส่งข้อมูลไม่มีการตรวจสอบการผิดพลาด ในการพัฒนาต่อไปจึงควรที่จะเพิ่มวงจร Error Detection และเพิ่ม Parity Bit เพื่อให้การส่งข้มูลมีความถูกต้องมากพอที่จะเป็นแนวทางที่จะพัฒนาปรับปรุงให้มีการส่งสัญญาณได้หลายช่องสัญญาณโดยวิธีการมัลติเพล็กซ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

APPENDIX

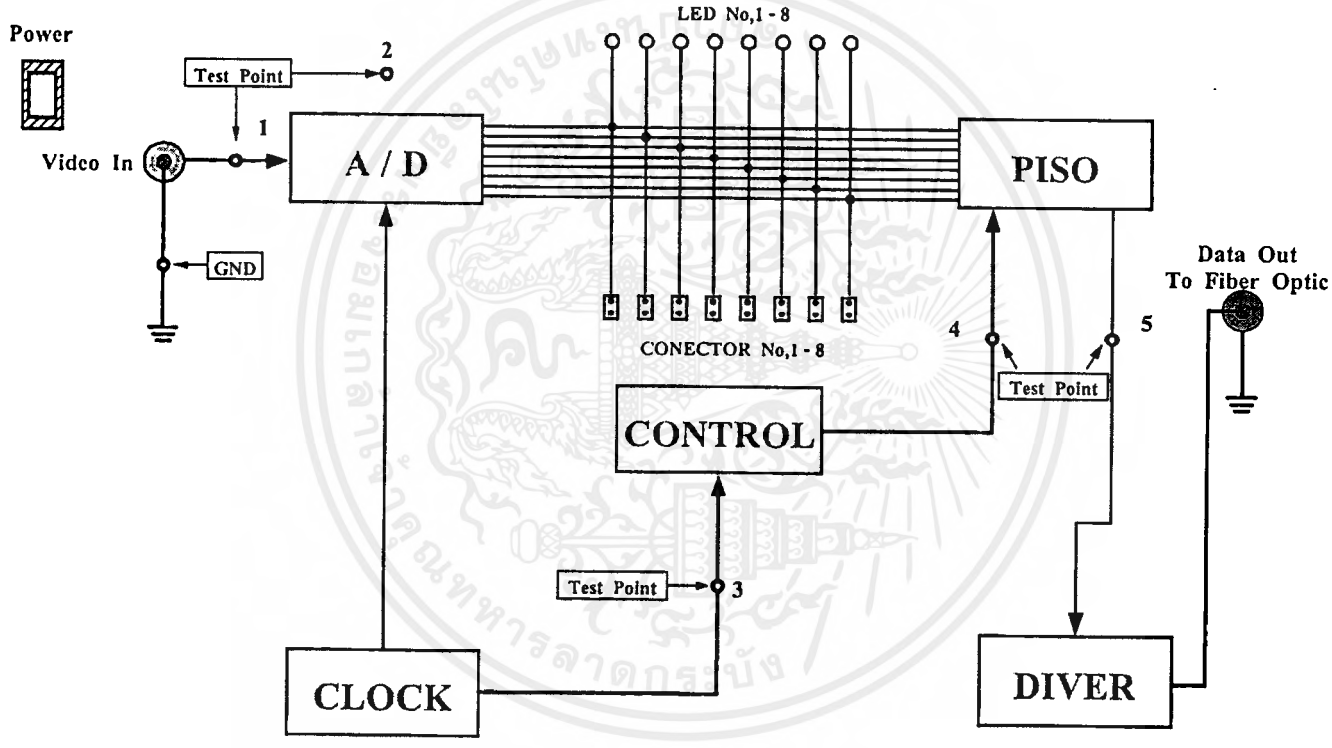
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

APPENDIX A

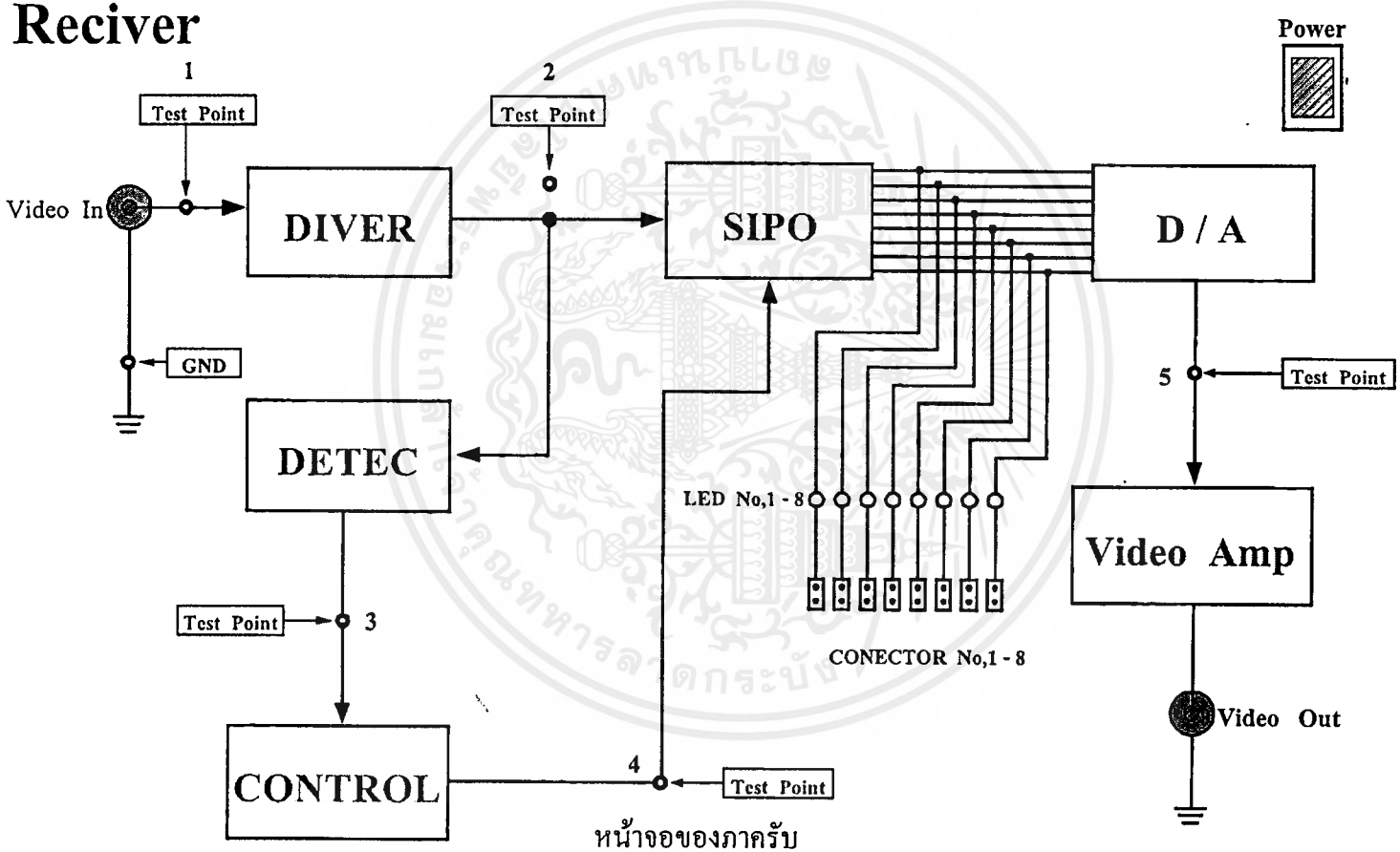
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Video Signal Transmission Via Fiber Optic Transmission

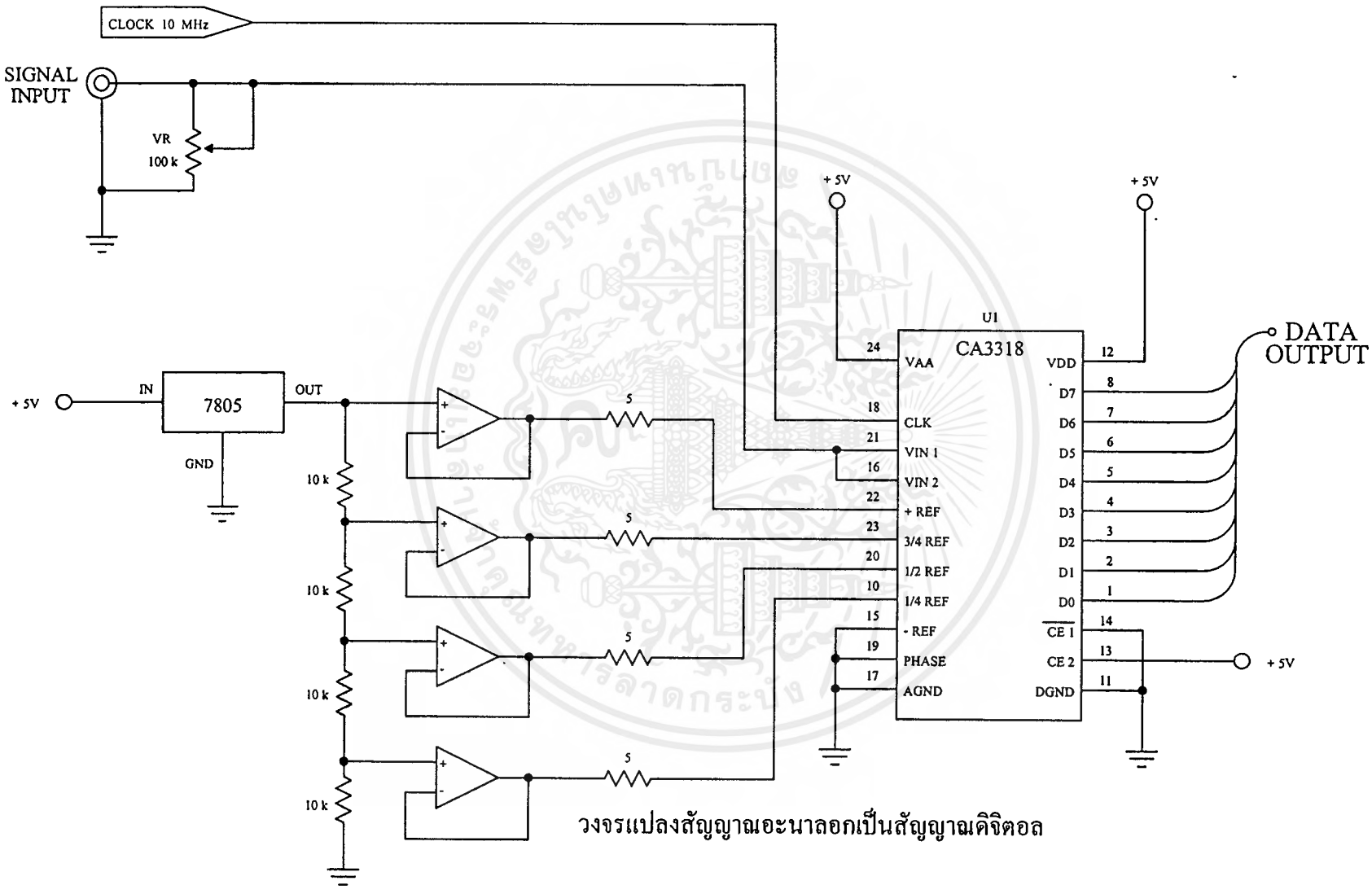


หน้าจอของภาคส่ง

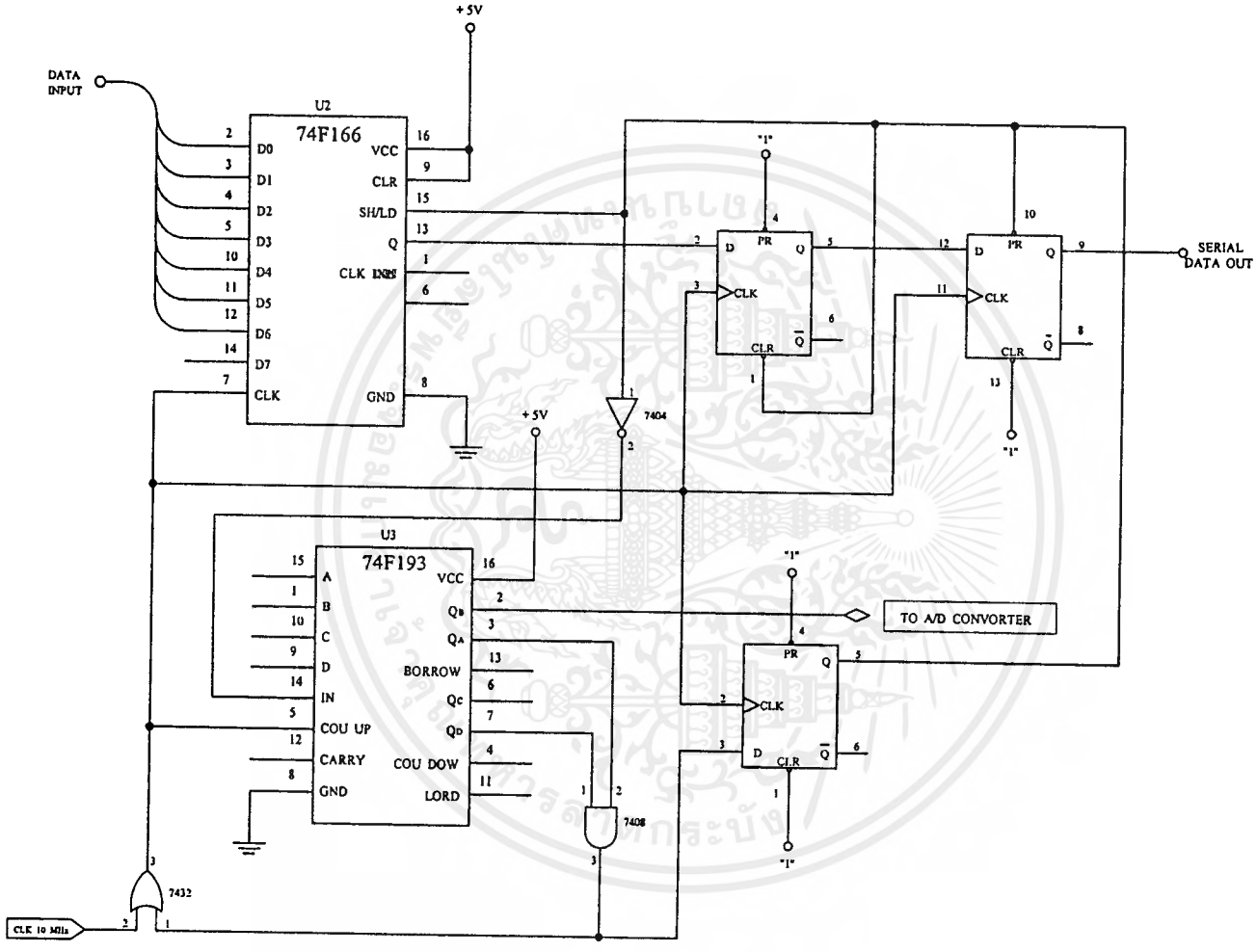
Digital Video Signal Transmission Via Fiber Optic Reciver



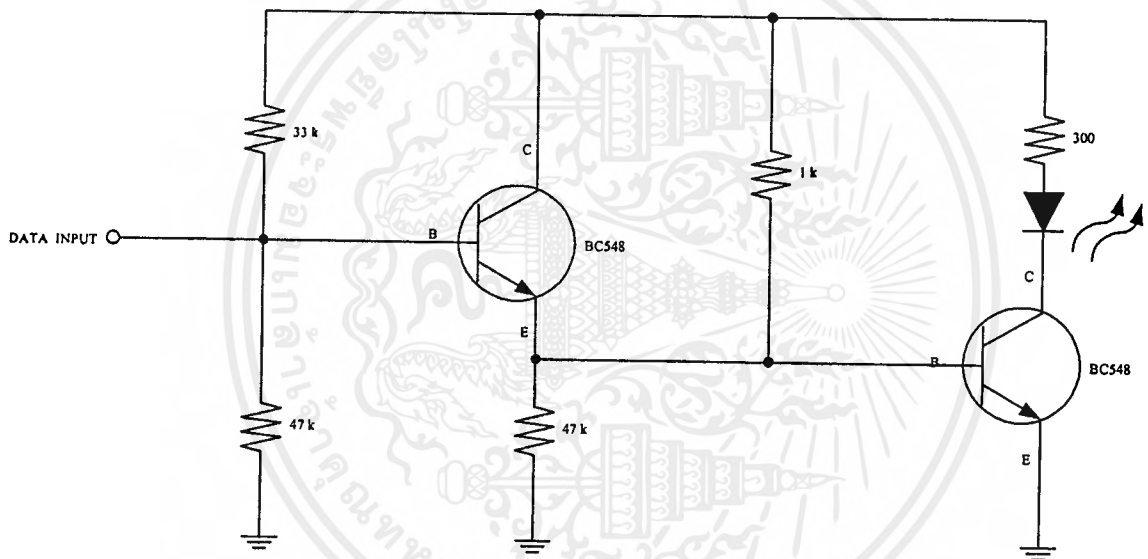
หน้าจอของภาครับ



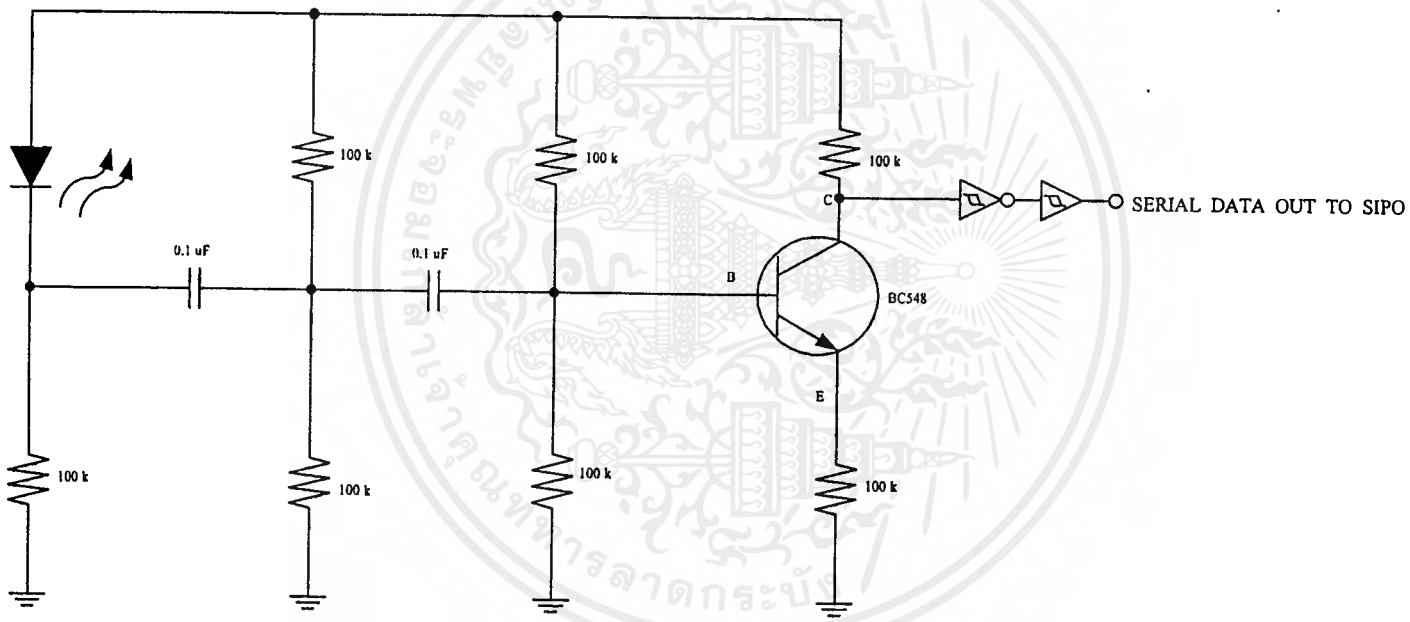
วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล



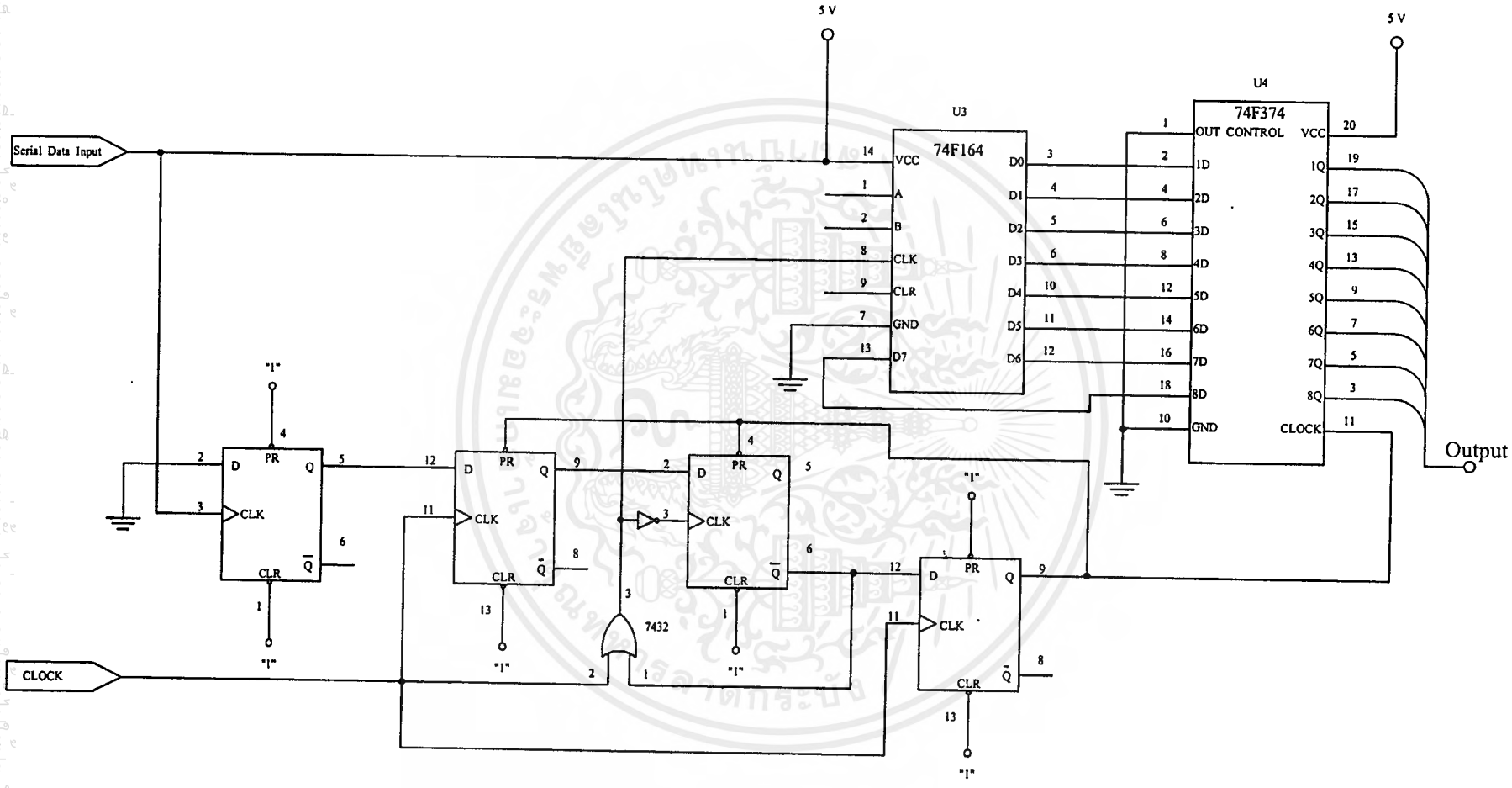
วงจรแปลงสัญญาณขนานเป็นสัญญาณอนุกรม



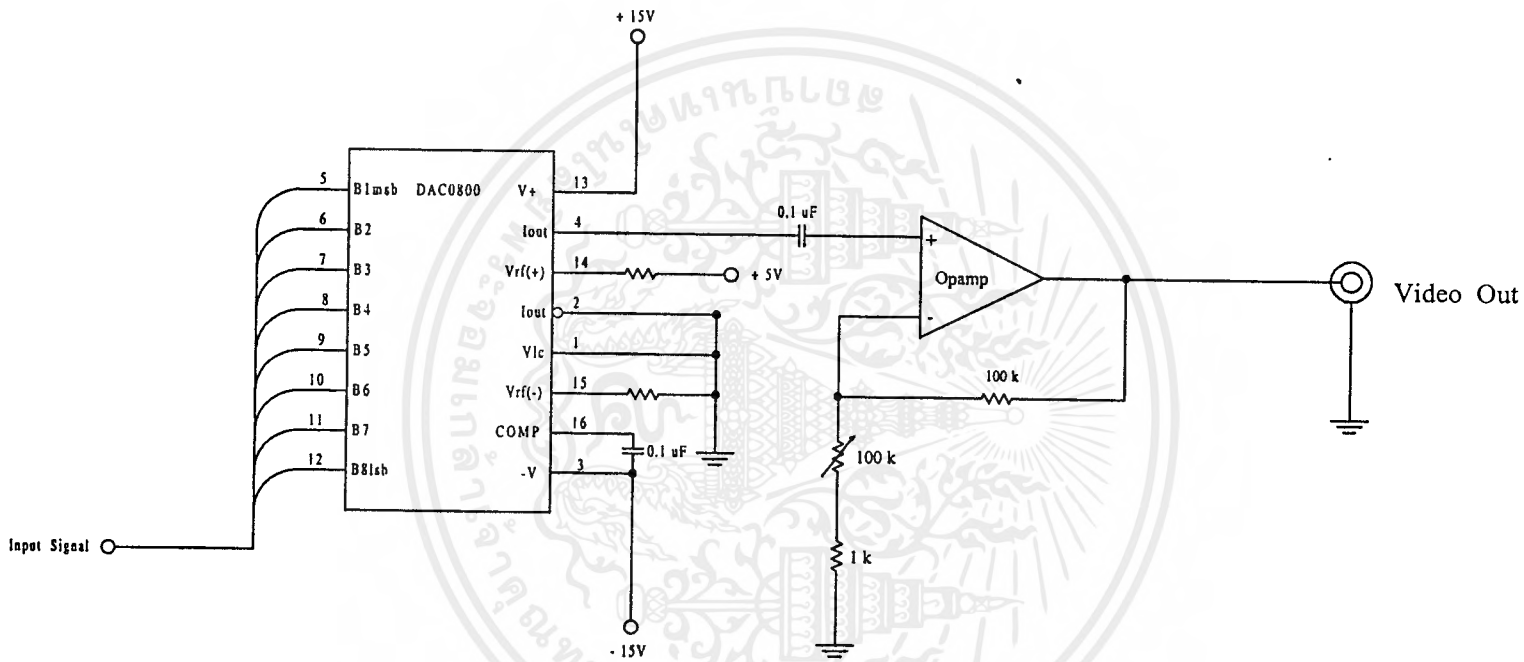
วงจรแปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง



วงจรแปลงสัญญาณแสงเป็นสัญญาณไฟฟ้า



วงจรแปลงสัญญาณอนุกรมเป็นสัญญาณขนาน



วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

ภาคผนวก ข

APPENDIX B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

1993

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ±1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

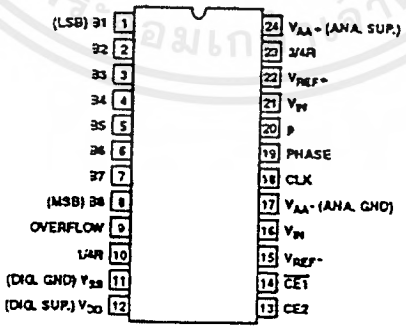
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



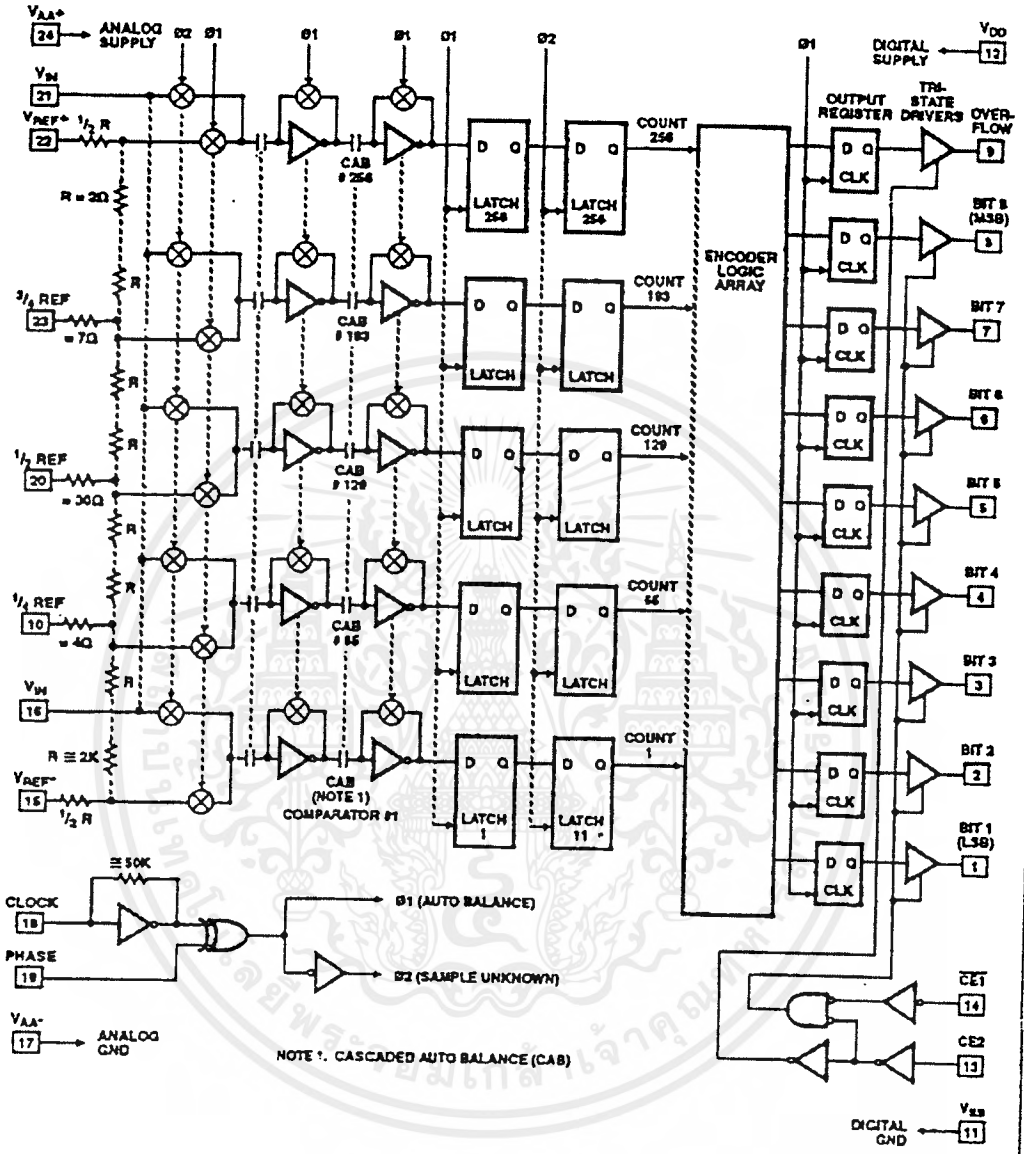
These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

© Harris Corporation 1993

File Number 3103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, 1/2 Ref. ..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, 1/4 Ref. ..... V_{SS} -0.5V to V_{DD} + 0.5V
V_{IN}, 3/4 REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}+ + 7.5V
Output Voltage Range, Bits 1-8, Overflow (Outputs Off) ..... V_{SS} - 0.5V to V_{DD} + 0.5V
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow
Operating Voltage Range (V_{DD} or V_{AA}+) ..... 4V Min to 7.5V Max
Recommended V_{AA}+ Operating Range ..... V_{DD} ± 1V
Recommended V_{AA}- Operating Range ..... V_{SS} ± 1V
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (Soldering 10s) ..... +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	80°C/W	-
Plastic SOIC Package	75°C/W	-

Maximum Power Dissipation 0.57W
Operating Temperature Range (T_A) ..... -40°C to +85°C
Junction Temperature
Ceramic Package ..... +175°C
Plastic Package ..... +150°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

At +25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	± 1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + 1/2 LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - 1/2 LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) = RMS Signal / RMS Noise	F_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) = RMS Signal / RMS Noise+Distortion	F_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	F_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	F_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	F_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	F_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5.0V, V_{REF}+ = 5.0V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IH}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

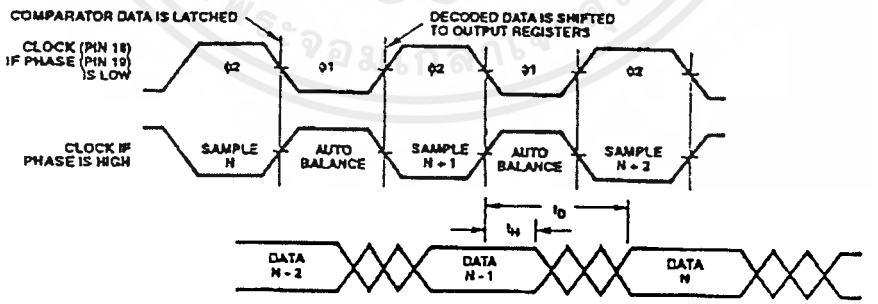


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

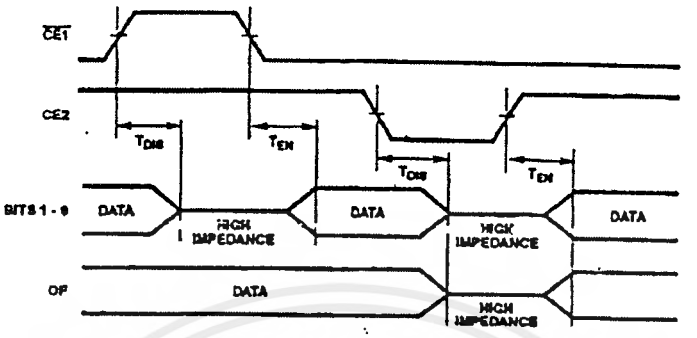


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

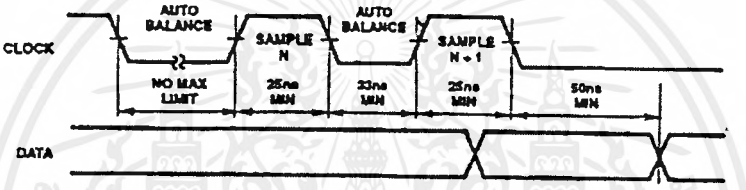


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

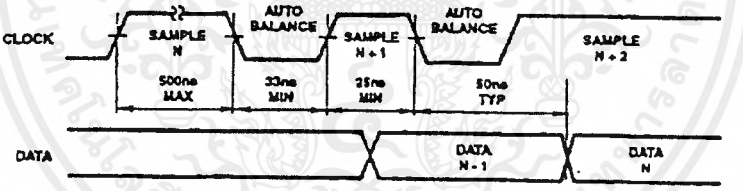


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

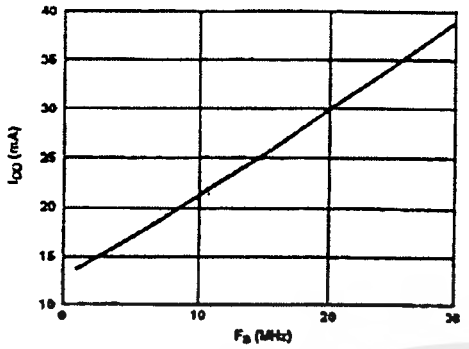


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

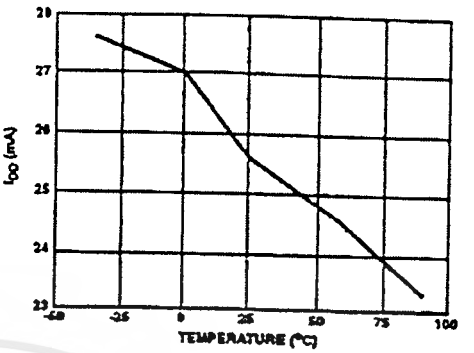


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

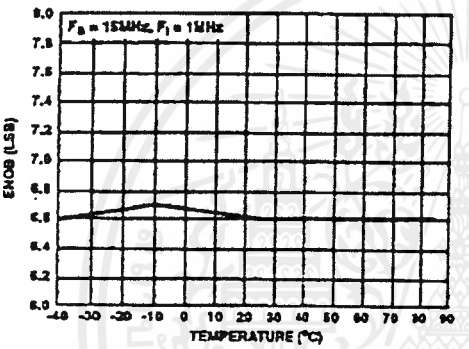


FIGURE 6. ENOB vs TEMPERATURE

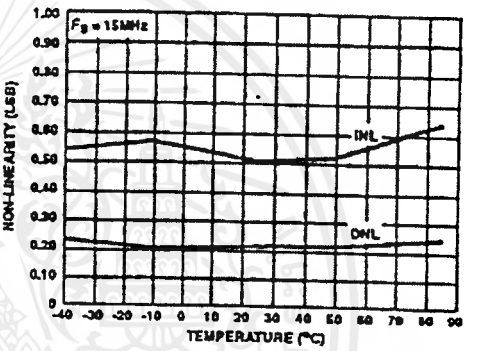


FIGURE 7. NON-LINEARITY vs TEMPERATURE

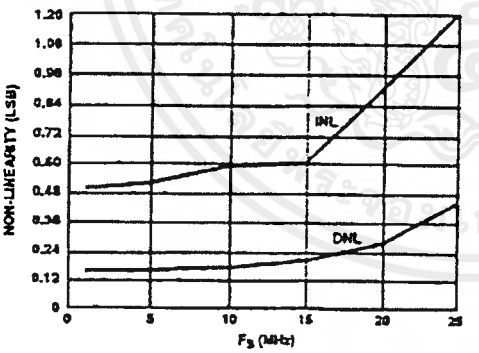


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

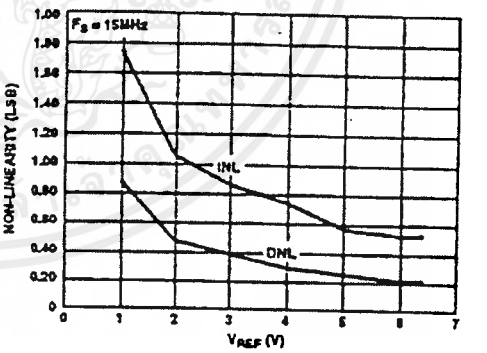


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

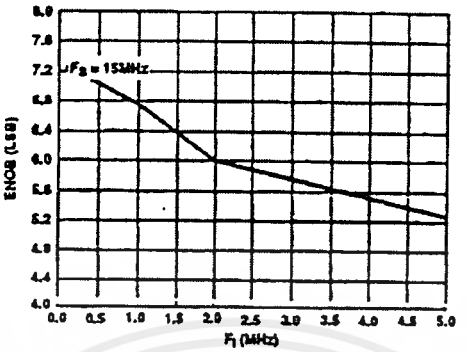


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Tri-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF}$$

Where:

$V_{TAP}(n)$ = reference ladder tap voltage at point n.
V_{REF} = voltage across V_{REF}- to V_{REF}+
N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA}+ - V_{AA}-)/2$. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B8 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

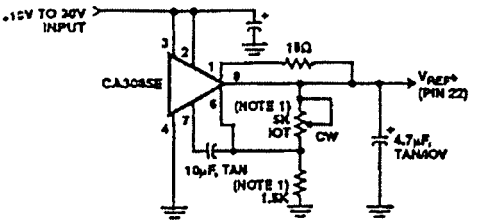
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

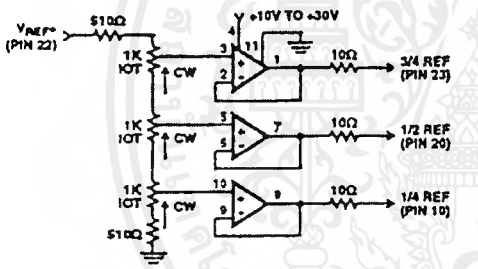


NOTE: Bypass V_{REF+} to analog GND near A/D with 0.1μF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF+} INPUT

1/4 Point Trims

The 1/4, 1/2 and 3/4 points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The 1/4 points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF+} and V_{REF-}. The 1/2 (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the 1/4 and 3/4 points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually 1/4, 1/2 and 3/4 of full scale +1 LSB.)



NOTES:

1. All Op Amps = 3/4 CA324E
2. Bypass all reference points to analog ground near A/D with 0.1μF ceramic caps.
3. Adjust V_{REF-} first, then 1/2, 3/4 and 1/4 points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1μF ceramics and should be mounted as close to the A/D as possible. If $V_{AA}+$ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7μF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local CMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

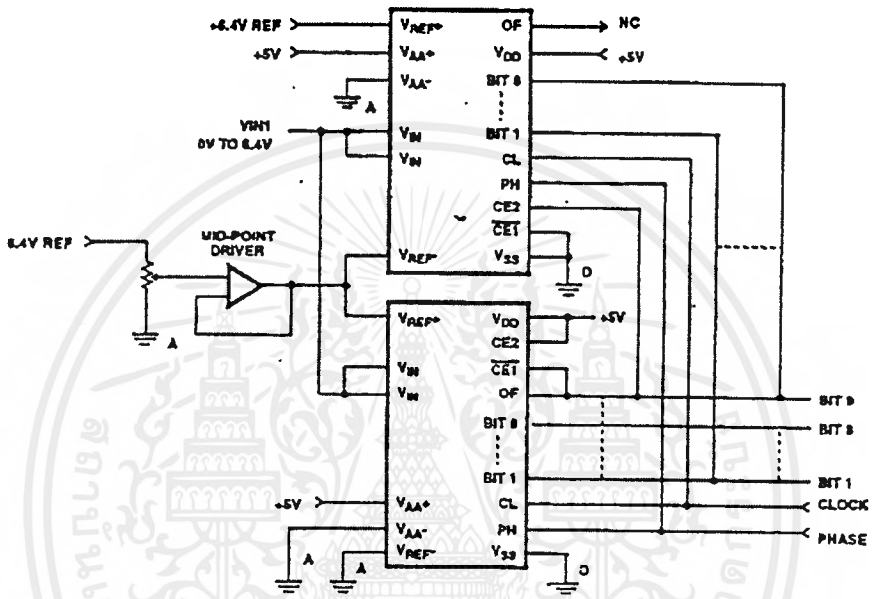


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

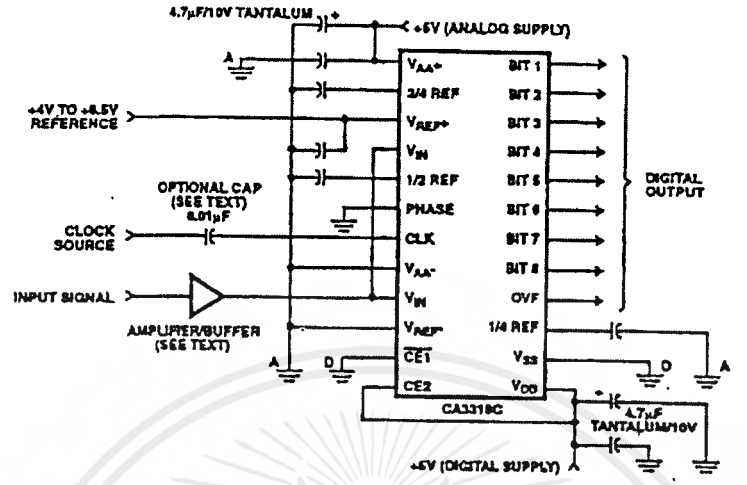


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

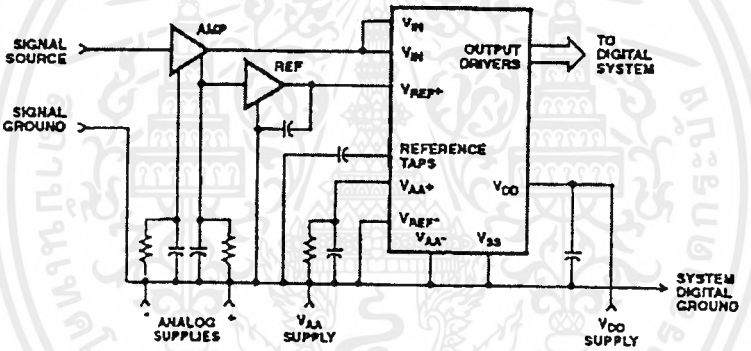
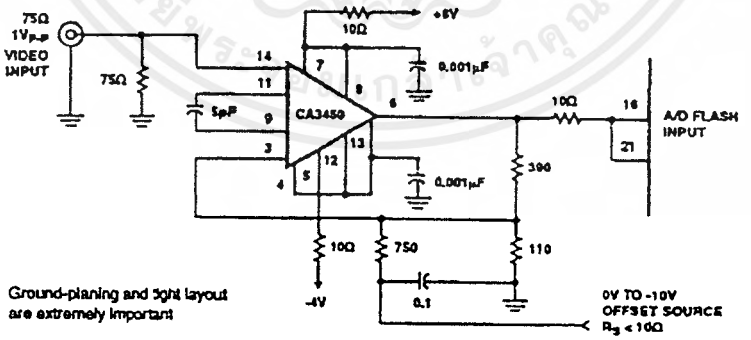


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (ϕ2) time. The constraints are a minimum balance time (ϕ1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to V_{AA}+ and V_{AA}-. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x (V_{AA}+ - V_{AA}-). The clock may also be AC coupled with at least a 1 V_{p-p} swing. This allows TTL drive levels or 5V CMOS levels when V_{AA}+ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM1881 Video Sync Separator

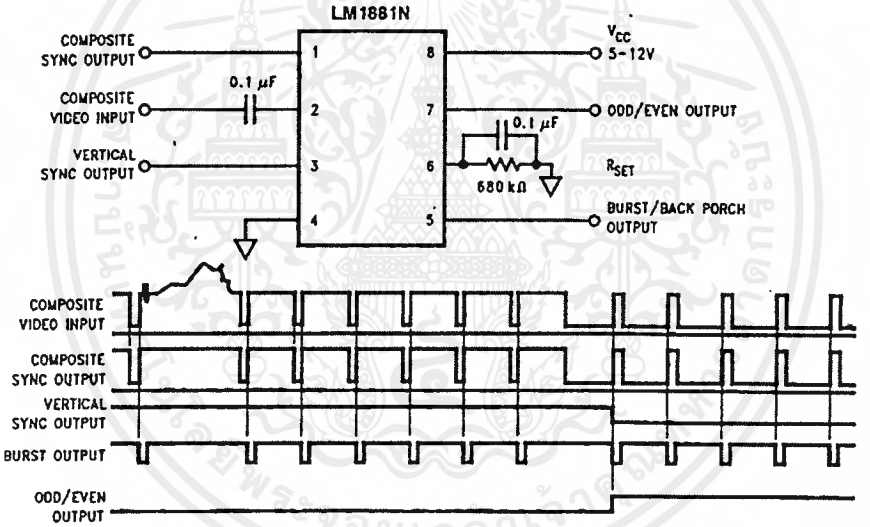
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

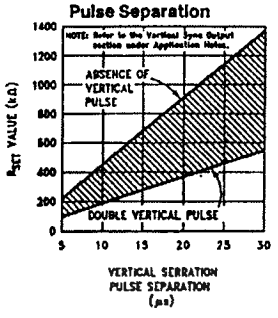
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

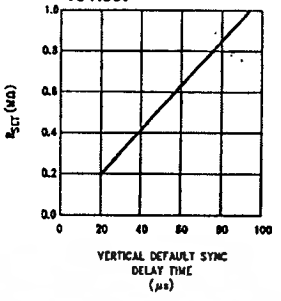
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

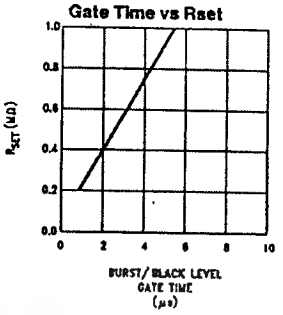
R_{set} Value Selection vs Vertical Serration Pulse Separation



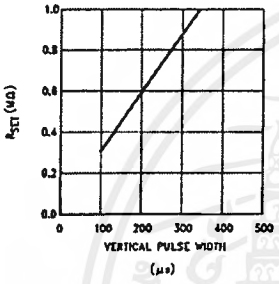
Vertical Default Sync Delay Time vs Rset



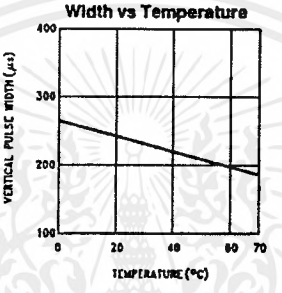
Burst/Black Level Gate Time vs Rset



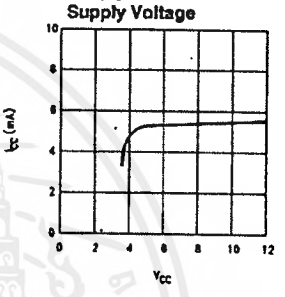
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

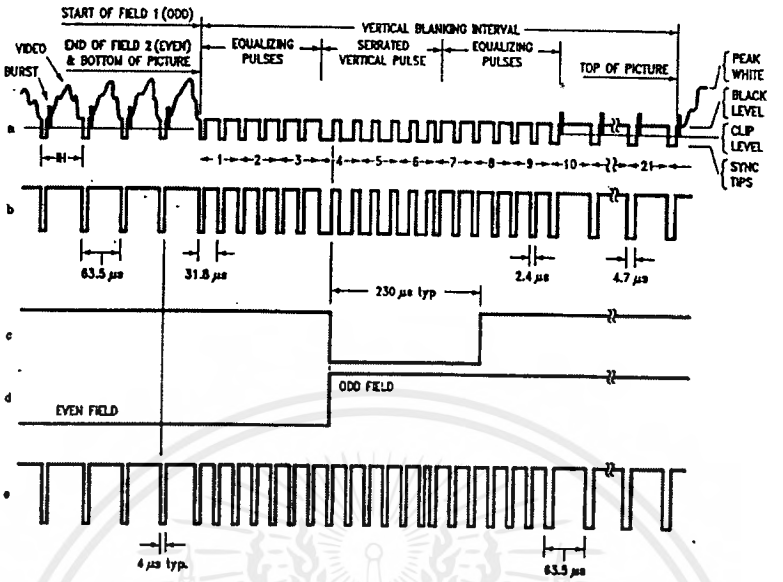
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

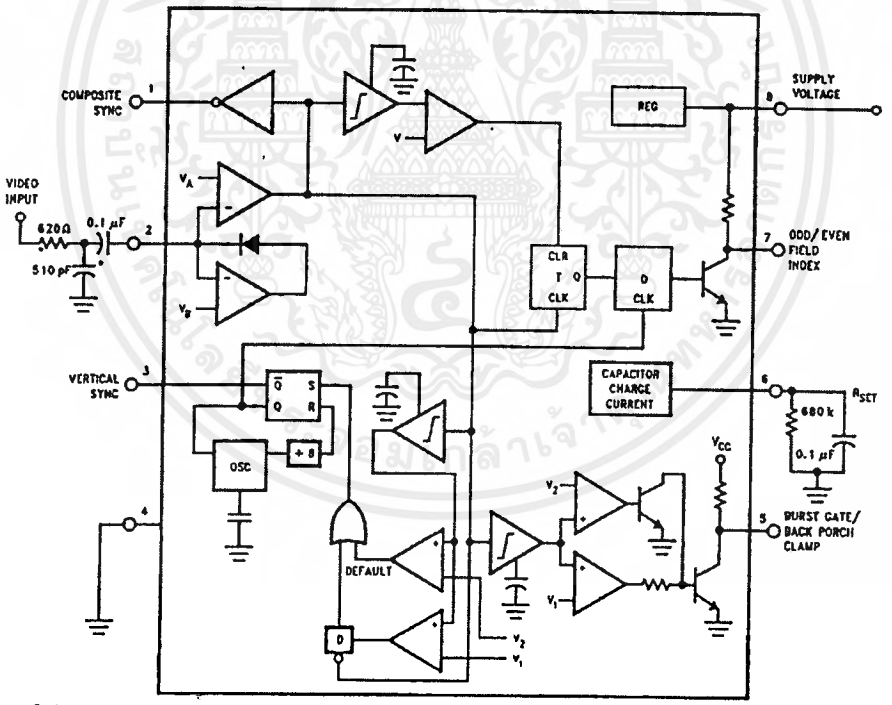
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2.* This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time must be longer than the vertical sync period of 64 µs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3).* A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

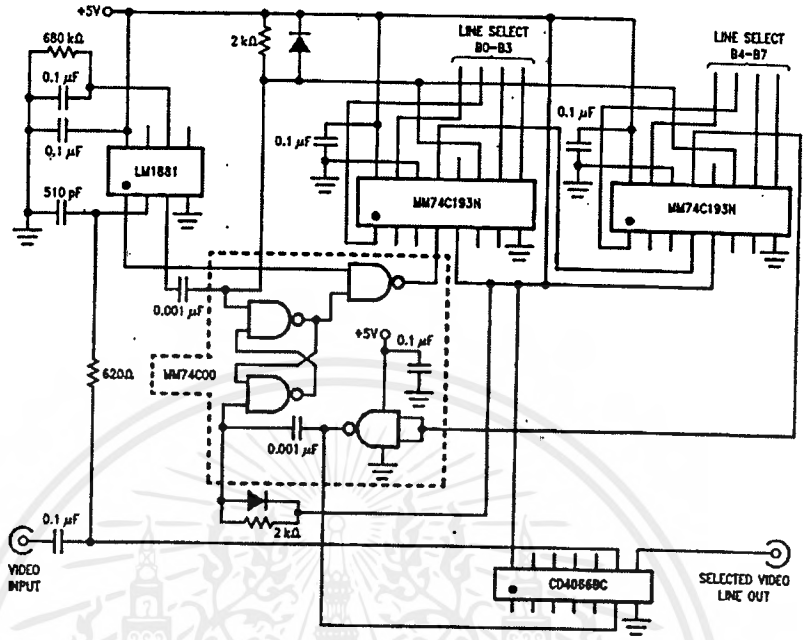
The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

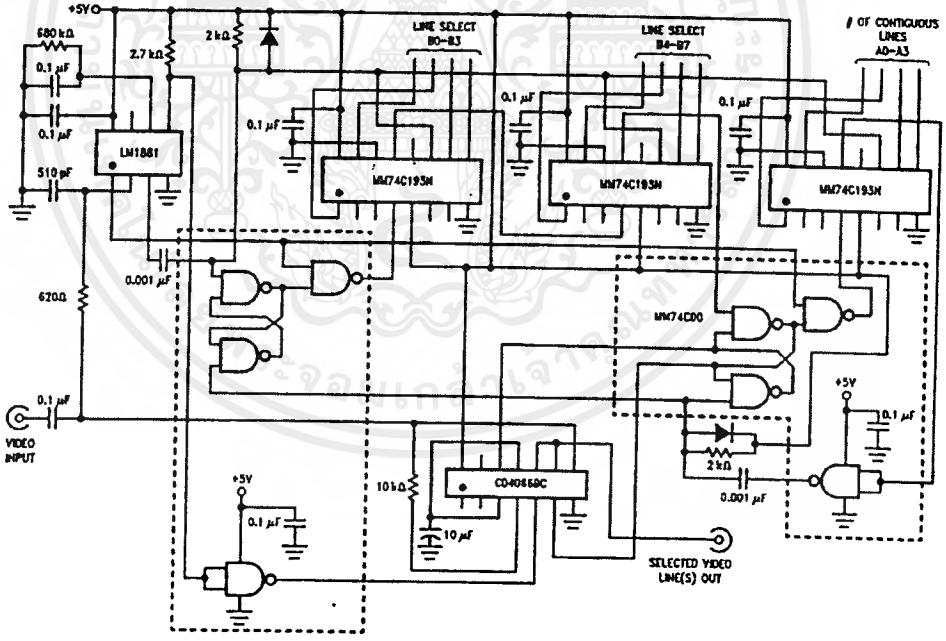
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



TL/H/9150–5

FIGURE 4. Video Line Selector



TL/H/9150–6

FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

D/A Converter Selection Guide

Part No.	Resolution (Bits)	Linearity @ 25°C % (Max)	Settling Time (+½ LSB)	Supplies (V)	Temperature Range*			Package	Comments
					M	I	C		
ADC0852	8	0.19		5		•	•	8-Pin DIP	DAC, Comparator, Serial Input
ADC0854	8	0.19		5		•	•	14-Pin DIP	DAC, Comparator, Serial Input
DAC0800	8	0.19	100 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	High-Speed Multiplying
DAC0801	8	0.39	100 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	High-Speed Multiplying
DAC0802	8	0.10	100 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	High-Speed Multiplying
DAC0806	8	0.78	150 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	Multiplying
DAC0807	8	0.39	150 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	Multiplying
DAC0808	8	0.19	150 ns	±5 to ±15			•	16-Pin DIP 16-Pin S.O.	Multiplying
DAC0830	8	0.05	1 μs	5 to 15		•	•	20-Pin DIP 20-Pin S.O. 20-Pin PCC	μP Compatible 4-Quadrant Multiplying
DAC0831	8	0.10	1 μs	5 to 15			•	20-Pin DIP	μP Compatible 4-Quadrant Multiplying
DAC0832	8	0.20	1 μs	5 to 15		•	•	20-Pin DIP 20-Pin S.O. 20-Pin PCC	μP Compatible 4-Quadrant Multiplying
DAC0854	8	0.19	2.7 μs	5	•	•		20-Pin DIP 20-Pin S.O.	Quad Serial DAC with Readback
DAC0890	8	0.19	2.7 μs	5 to 15		•		20-Pin DIP	Dual Voltage Output DAC
DAC1001	10	0.1	500 ns	5 to 15			•	24-Pin DIP	μP Compatible Double Buffered
DAC1002	10	0.2	500 ns	5 to 15			•	24-Pin DIP	μP Compatible Double Buffered
DAC1006	10	0.05	500 ns	5 to 15			•	20-Pin DIP	μP Compatible Double Buffered
DAC1007	10	0.1	500 ns	5 to 15			•	20-Pin DIP	μP Compatible Double Buffered
DAC1008	10	0.2	500 ns	5 to 15		•	•	20-Pin DIP	μP Compatible Double Buffered

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D/A Converter Selection Guide (Continued)

Part No.	Resolution (Bits)	Linearity @ 25°C % (Max)	Settling Time (+½ LSB)	Supplies (V)	Temperature Range*			Package	Comments
					M	I	C		
DAC1020	10	0.05	500 ns	5 to 15		•	•	16-Pin DIP	4-Quadrant Multiplying
DAC1021	10	0.1	500 ns	5 to 15		•	•	16-Pin DIP	4-Quadrant Multiplying
DAC1022	10	0.2	500 ns	5 to 15		•	•	16-Pin DIP	4-Quadrant Multiplying
DAC1054	10	0.02	3.7 µs	5	•	•		24-Pin DIP 24-Pin SO	Quad Serial DAC with Readback
DAC1208	12	0.018	1 µs	5 to 15		•	•	24-Pin DIP	µP Compatible 4-Quadrant Multiplying
DAC1209	12	0.024	1 µs	5 to 15		•	•	24-Pin DIP	µP Compatible 4-Quadrant Multiplying
DAC1210	12	0.05	1 µs	5 to 15		•	•	24-Pin DIP	µP Compatible 4-Quadrant Multiplying
DAC1218	12	0.012	1 µs	5 to 15		•	•	18-Pin DIP	4-Quadrant Multiplying
DAC1219	12	0.024	1 µs	5 to 15		•	•	18-Pin DIP	4-Quadrant Multiplying
DAC1220	12	0.05	500 ns	5 to 15		•	•	18-Pin DIP	4-Quadrant Multiplying
DAC1222	12	0.2	500 ns	5 to 15		•	•	18-Pin DIP	4-Quadrant Multiplying
DAC1230	12	0.018	1 µs	5 to 15		•	•	20-Pin DIP	µP Compatible 4-Quadrant Multiplying
DAC1231	12	0.024	1 µs	5 to 15		•	•	20-Pin DIP	µP Compatible 4-Quadrant Multiplying
DAC1232	12	0.05	1 µs	5 to 15		•	•	20-Pin DIP	µP Compatible 4-Quadrant Multiplying

*Ambient temperature range for "M" is −55°C to +125°C, "I" is −25°C to +85°C or −40°C to +85°C, "C" 0°C to +70°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

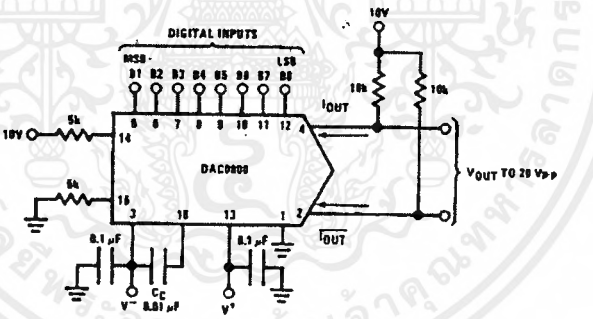


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V^+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I^+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I^-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
I^+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I^-				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I^+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I^-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

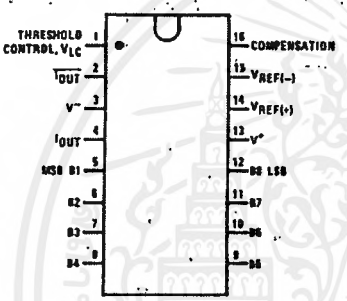
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 176°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

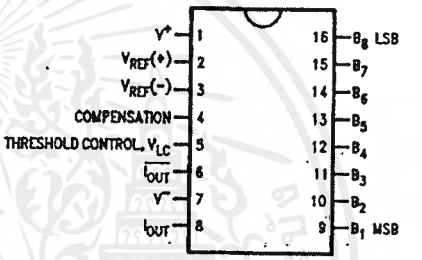
Dual-In-Line Package



Top View

TL/H/5686–13

Small Outline Package

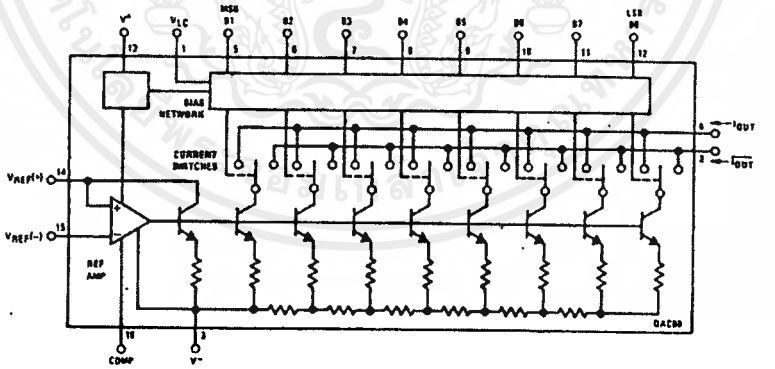


Top View

TL/H/5686–14

See Ordering Information

Block Diagram (Note 4)

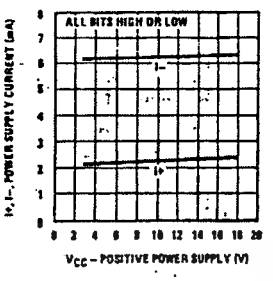


TL/H/5686–2

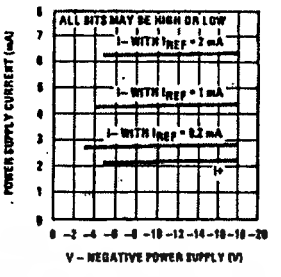
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

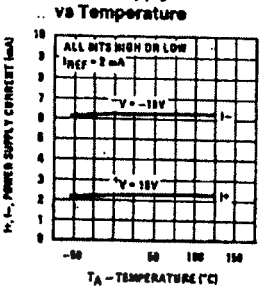
Power Supply Current vs $+V_{CC}$



Power Supply Current vs $-V_{EE}$

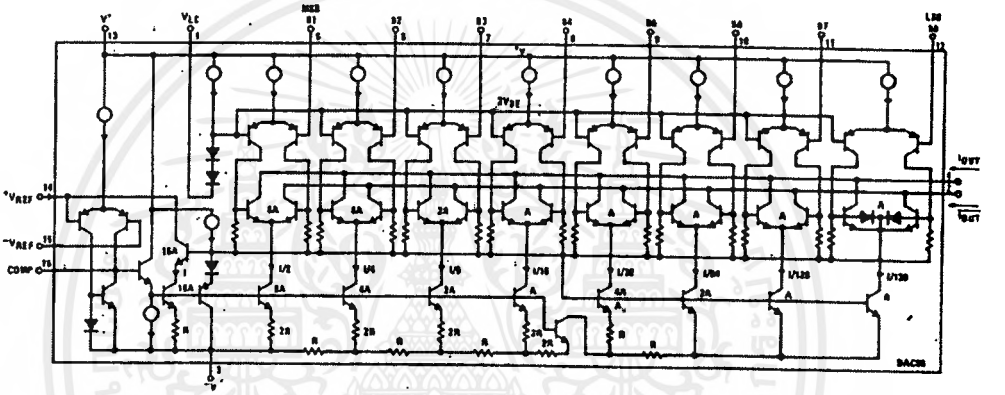


Power Supply Current vs Temperature



TL/H/5686–4

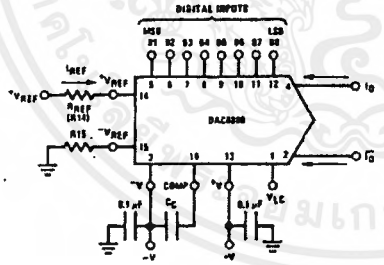
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \simeq \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

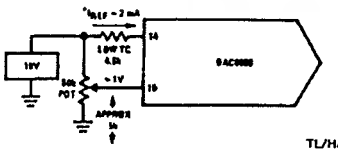
$R15 \simeq R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

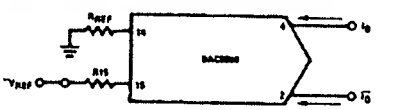
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

$$I_{FS} \simeq \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

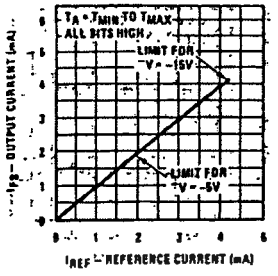
Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

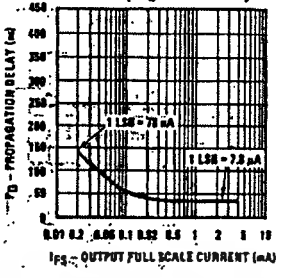
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

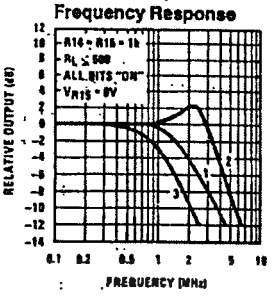
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

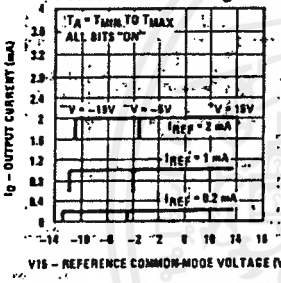


Reference Input Frequency Response



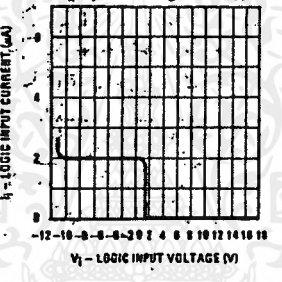
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

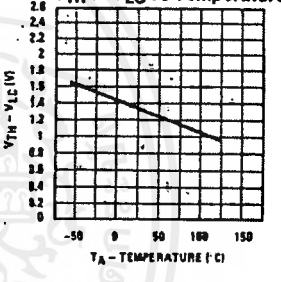


Note. Positive common-mode range is always (V+) − 1.5V

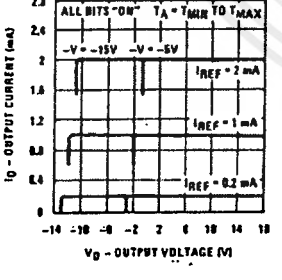
Logic Input Current vs Input Voltage



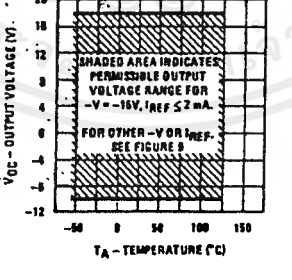
$V_{TH} - V_{LC}$ vs Temperature



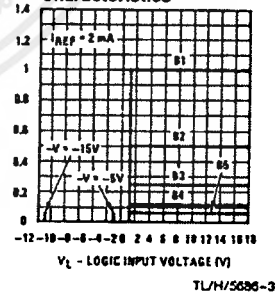
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics

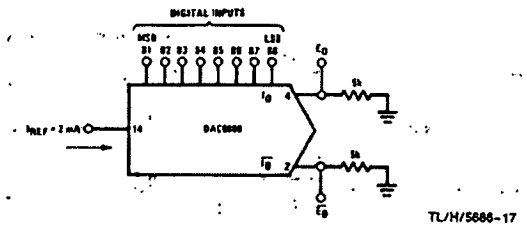


TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ¼ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

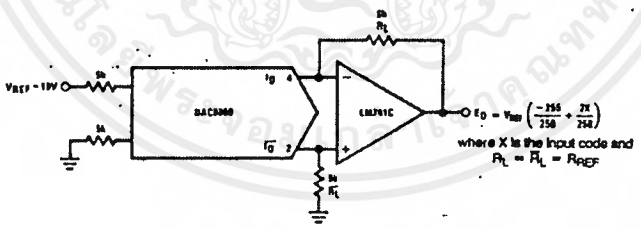
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

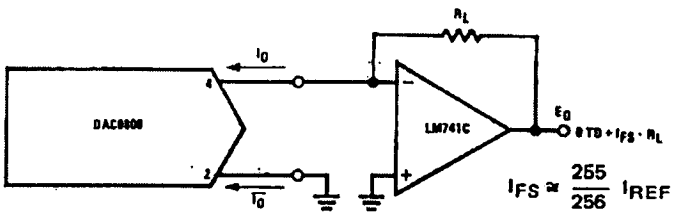
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

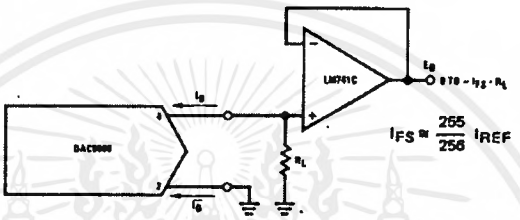
Typical Applications (Continued)



TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

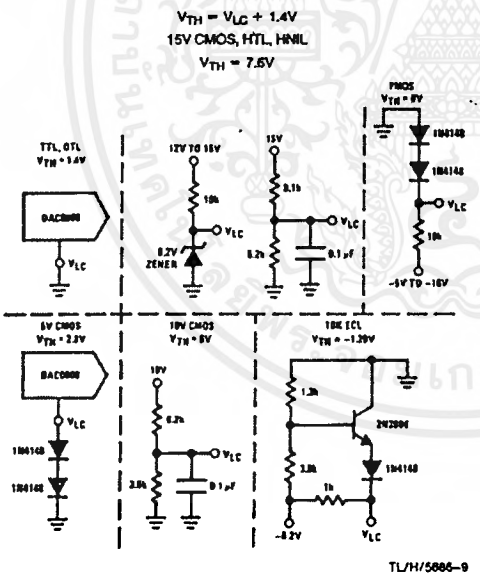
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

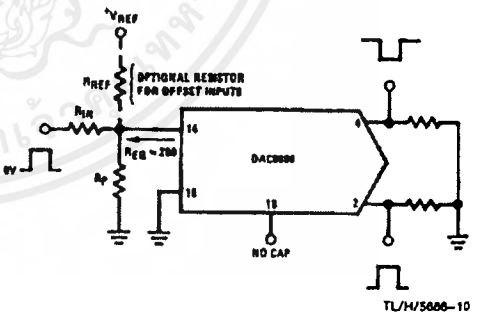
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5686–10

Typical values: $R_{IN} = 5k, + V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

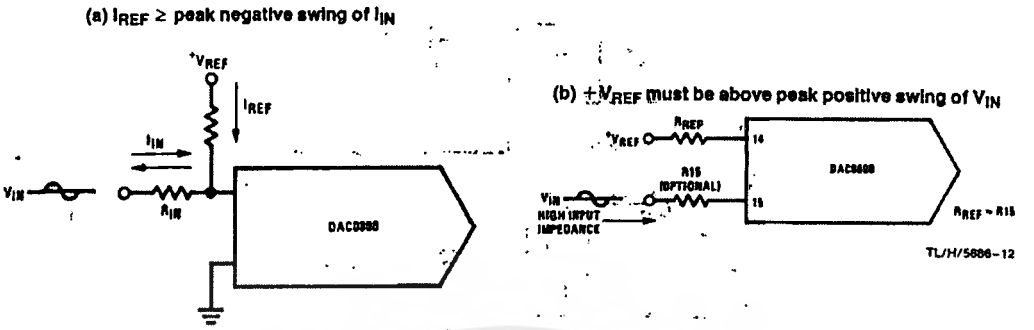


FIGURE 13. Accommodating Bipolar References (Note 4)

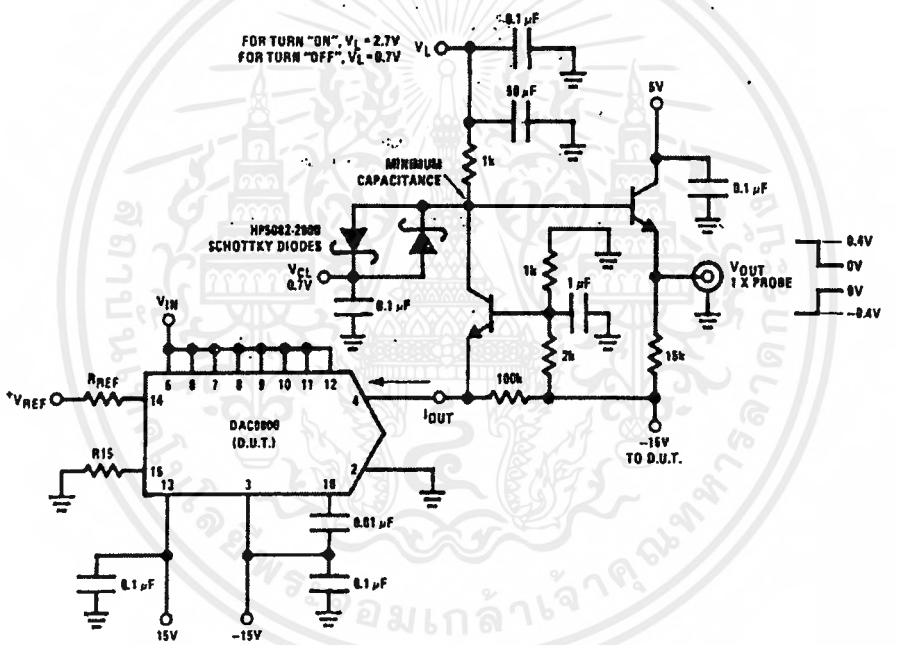
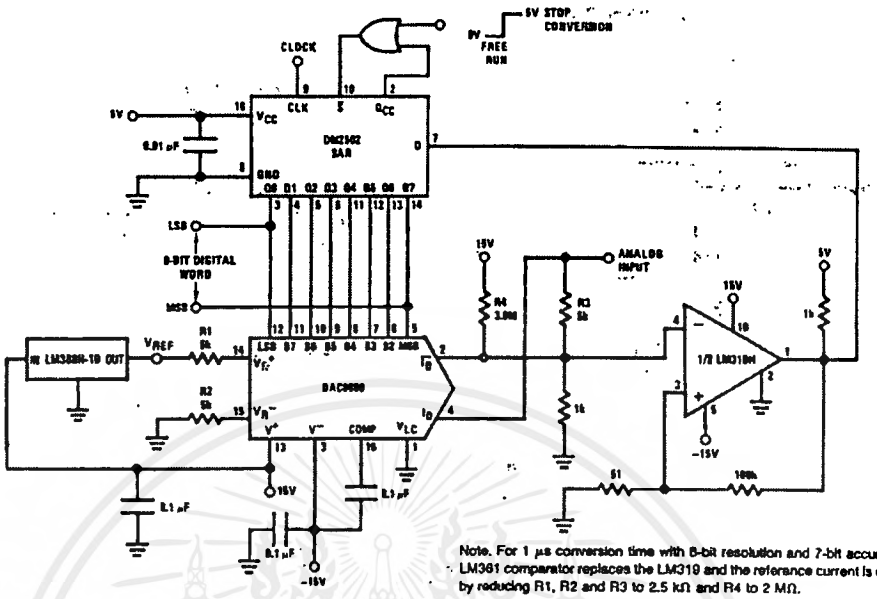


FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5688–8

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J⑭			W⑭	SN54H04	J⑭			W⑭	SN54LS04	J⑭			W⑭	SN5404	J⑭			W②	SN54L04	J⑭	N⑭	T②	
	SN74S04	J⑭	N⑭			SN74H04	J⑭	N⑭			SN74LS04	J⑭	N⑭			SN7404	J⑭	N⑭			SN74L04	J⑭	N⑭	T②	
FAIRCHILD	FM54S04/FM74S04	D⑭			F②	FM54H04/FM74H04	D⑭			F②	FM54LSBC/FM74LS04	D⑭			F⑭	FM5404/FM7404	D⑭			F②					
	FC74S04/FC8S04	D⑭	P⑭			FC74H04/FC9H04	D⑭	P⑭			FC74LS04/FC8L04	D⑭	P⑭		F⑭	FM7404/FC5N04	D⑭	P⑭							
MOTOROLA						MC3108	L⑭			F⑭						MC5404	L⑭			F②					
						MC3008	L⑭	P⑭		F⑭	SN74LS04		P⑭			MC7404	L⑭	P⑭							
N.S.C.						DM54H04	J⑭	W⑭			DM54LS04					DM5404	J⑭	W⑭		W②	DM54L04	J⑭	W⑭		F②
	DM74S04		N⑭			DM74H04	J⑭	W⑭			DM74LS04					DM7404	J⑭	N⑭			DM74L04	J⑭	N⑭		F②
PHILIPS	N74S04		⑭			N74H04		⑭			N74LS04		⑭			FJH241/7404		⑭							
SIGNETICS	S54S04	F⑭	A⑭		W⑭	S54H04	F⑭	A⑭		W②						S5404	F⑭	A⑭		W②					
	N74S04	F⑭	A⑭		W⑭	N74H04	F⑭	A⑭			N74LS04		A⑭			N7404	F⑭	A⑭							
SIEMENS																FLH211		⑭							
FUJITSU											74LS04		M⑭			MB418		M⑭							
HITACHI	HD74S04		P⑭								HD74LS04		P⑭			HD7404/HD2522		P⑭							
MITSUBISHI	M55004		P⑭								M74LS04		P⑭			M53204		P⑭							
NEC	74S04		C⑭								74LS04		C⑭			μPB235	D⑭								
TOSHIBA																TD1404A		P⑭							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

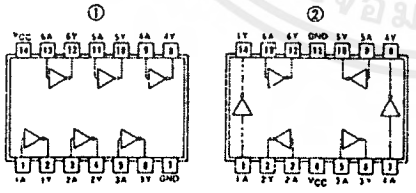
recommended operating conditions

	SN54LS04			SN74LS04			Unit
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			8			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

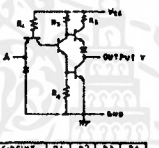
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15PF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic
$Y = \overline{A}$

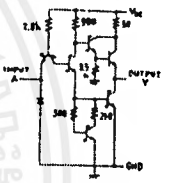
Schematics (each gate)



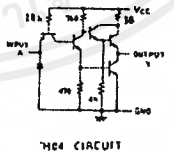
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	300	12k

Input clamp diodes not on SN54L75/74L* circuits.

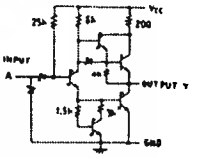
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time, and for SN54H'/SN74H and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S08	J			W						SN54LS08	J			W	SN5408	J			W					
	SN74S08	J	N								SN74LS08	J	N			7408	J	N							
FAIRCHILD						FM54H08/FM74H08	D			F						FM5408/FM9N08	D			F					
						FC74H08/FC9H08	D	P									FC7408/FC9N08	D	P							
MOTOROLA						MC3101	L			F															
						MC3001	L	P		F	SN74LS08		P			MC7408		P							
N.S.C.						DM54H08	J	N			DM54LS08		P			DM5408	J	N		W	DM54L08				
						DM74H08	J	N			DM74LS08		P			DM7408	J	N			DM74L08				
PHILIPS	N74S08					N74H08					N74LS08					N7408									
SIGNETICS						S54H08	F	A		W						S5408	F	A		W					
	N74S08		A			N74H08	F	A			N74LS08		A			N7408	F	A							
SIEMENS																									
																FLH381									
FUJITSU											74LS08		M												
HITACHI																									
											HD74LS08		P			HD7408/HD2550		P							
MITSUBISHI											M74LS08		P			M5J208		P							
NEC																									
											74LS08		C			μPB234	D								
TOSHIBA																TD3408		P							

Electrical Characteristics SN54LS08/SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to +125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to +150°C

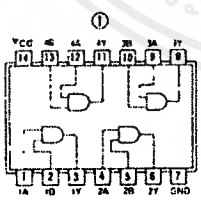
recommended operating conditions

	SN54LS08			SN74LS08			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

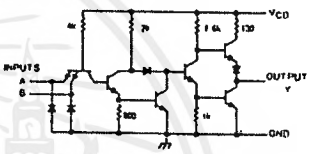
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IH} = 2V	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX	V_{IL} = 0.4V			−0.4	mA
I_{OS}	Short circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC} = 5V,	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

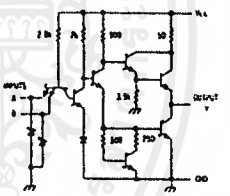


positive logic:
Y = AB

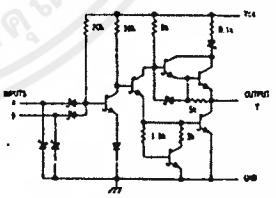
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54S/SN74S, duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①
FAIRCHILD											[illegible]	N①			T①	FM54164/FM93164	D①							
											[illegible]	N①	P①		F①	FC74164/FC93164	D①	P①						
MOTOROLA											SN74LS164		P①			MC74164		P①						
N.S.C.											DM74LS164		①								DM54L164	J①	W①	
											DM54LS164		①			DM74164		N①			DM74L164	J①	N①	
PHILIPS											N74LS164		①			N74164		①						
SIGNETICS																S54164	F①	A①		W①				
											N74LS164		A①			N74164	F①	A①						
SIEMENS																FLJ441		①						
FUJITSU											74LS164		M①											
HITACHI											HD74LS164		P①			HD74164	①	P①						
MITSUBISHI											M74LS164		P①			M53364		P①						
NEC											AM74LS		C①			μPB2164	D①							
TOSHIBA																TD3503A		P①						
AMD											Am74LS164													

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54'	−55°C to 125°C
Input voltage	7V		SN74'	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

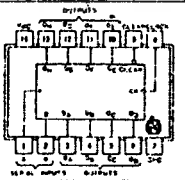
	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V,	I_{OH} = −400μA	2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V,	I_{OL} = 8mA		0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4V			0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L = 15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View)

①



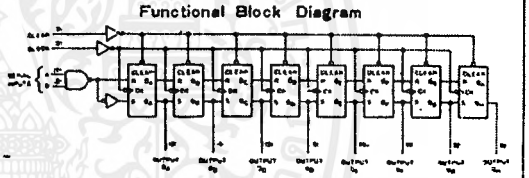
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

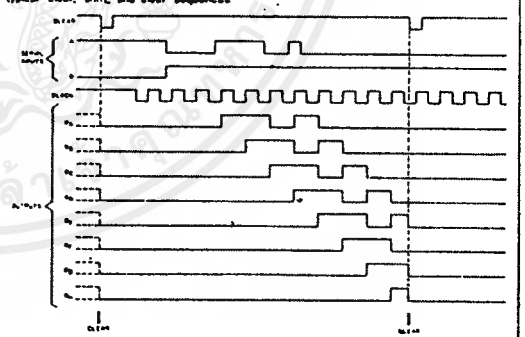
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	···	QH
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C
* Not more than two outputs should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54163/74166 8-Bit Shift Register (Parallel-In, Parallel-Out)

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN74LS166	J①				SN54166	J①		W①						
												J①N①				SN74166	J①N①		W①						
FAIRCHILD																9N54166/FN5316B	9F①								
																FC74166/FC5316B	9F①	F①							
MOTOROLA																									
N.S.C.																DM54166	J①		W①						
																DM74166	J①N①		W①						
PHILIPS																N74166		F①							
SIGNETICS																S54166	F①	B①	W①						
																N74166	F①N①	B①							
SIEMENS																FLJ461		F①							
FUJITSU																									
HITACHI																HD74166	①N①	P①							
MITSUBISHI																M53366		P①							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS/SN74LS166

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

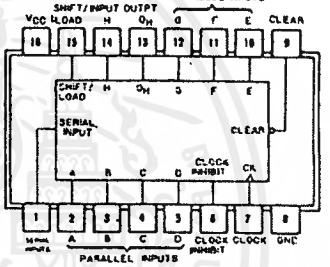
	SN54166			SN74166			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear pulse, t_w	20			20			ns
Mode-control setup time, t_{setup}	30			30			ns
Data setup time, t_{setup}	20			20			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A (see Note 1)	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400 μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	SN54LS		22	38	mA
			SN74LS		22	38	
f_{max}	Maximum clock frequency	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ	25	35		MHz
t_{PHL}	Propagation delay time, high-to-low-level output from clear				19	30	ns
t_{PHL}	Propagation delay time, high-to-low level output from clock			8	23	35	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			8	24	35	ns

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C
*Not more than one output should be shorted at a time

Pin Assignment (Top View)



positive logic:

Function Table

'166 (see Note 3)

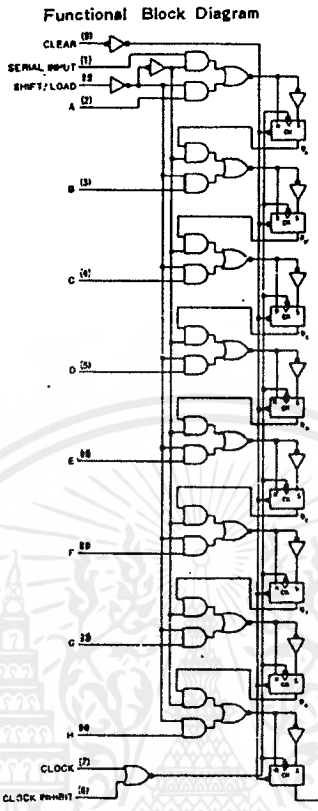
INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a . . . h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. An SN54166 in the H package operating at free-air temperatures above 127°C requires a heat-sink that provides a thermal resistance from case to free-air, $R_{\theta CA}$, of not more than 45°C/W.
2. With all outputs open, 4.5V applied to the serial input, all other inputs except the clock grounded, I_{CC} is measured after a momentary ground, then 4.5V is applied to clock.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0} = H_0 = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most-recent ↑ transition of the clock.

CONTINUED ON NEXT PAGE

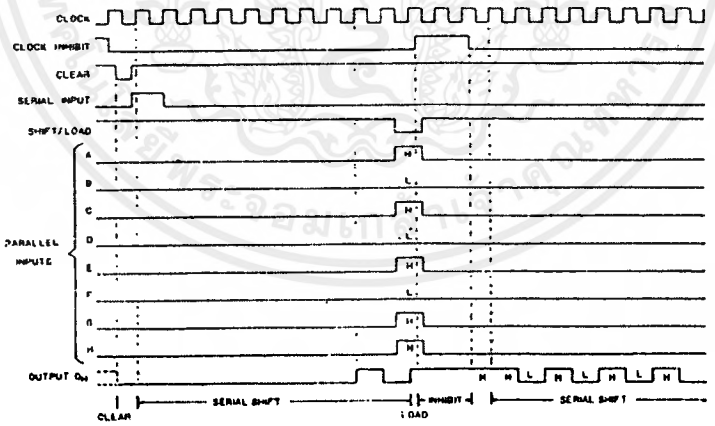
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



'166 8-BIT SHIFT REGISTER

typical clear, shift, load, inhibit, and shift sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	[illegible]	R①			F①						[illegible]	R①			F①	FM5432/FM9N32	D①			F①					
	[illegible]	R①	P①		F①						[illegible]	R①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432	J①	N①		W①	DM54L32				
											DM54LS32		①			DM74232	J①	N①			DM74L32				
PHILIPS	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																S432	F①	A①		W①					
											N74LS32		A①			S448	F①	A①							
SIEMENS																FLH631		①							
FUJITSU											74LS32		M①												
HITACHI											HD74LS32		P①			HD7432		P①							
MITSUBISHI											M53LS32		P①												
NEC											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

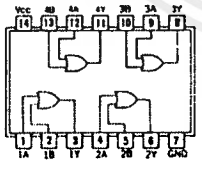
recommended operating conditions

	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

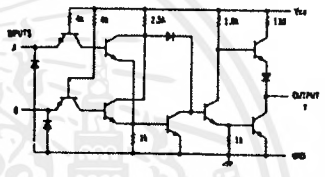
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		6.9	9.8	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		18	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

Pin Assignment (Top View) ①

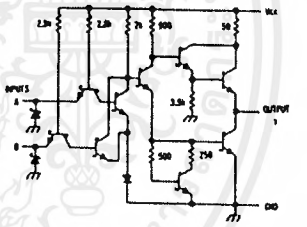


positive logic:
Y = A + B

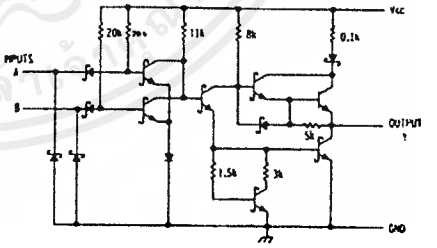
Schematics(each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54374/74374 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I	SN54S374	J									SN54LS374	J													
	SN74S374	J	N								SN74LS374	J	N												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS374/SN74LS374

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS −55°C to 125°C
Input voltage	7V		SN74LS 0°C to 70°C
		Storage temperature range	−65°C to 150°C

recommend operating conditions

		SN54LS374			SN74LS374			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				−400			−400	μA
High-level output current, I_{OH}				16			16	mA
Width of clock enabling pulse, t_w	High	15			15			ns
	Low	15			15			
Data hold time, t_{hold}		0†			0†			ns
Setup time, t_{setup}		20†			20†			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max, I_{OH}=MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max	I_{OL}=24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC}=MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC}=MAX, Output control at 4.5V	'LS374		27	40	mA

switching characteristics, V_{CC}=5V, T_A=25°C

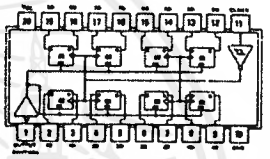
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L=45pF, R_L=667Ω, See Notes 2 and 3	35	50		MHz
t_{PLH} / t_{PHL}	Data	Any Q					
t_{PLH}	Clock or enable	Any Q			15	25	ns
t_{PHL}					19	25	
t_{PZH}	Output Control	Any Q			20	25	ns
t_{PZL}					21	25	
t_{PHZ}	Output Control	Any Q	C_L=5pF, R_L=667Ω, See Note 3		12	20	ns
t_{PLZ}					14	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.
f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

Pin Assignment (Top View)

①



SN54LS374 (J)
SN54S374 (J)
SN74LS374 (J, N)
SN74S374 (J, N)

'LS374, 'S374
FUNCTION TABLE

OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J①			W②	SN54H74	J①			W②	SN54LS74	J①			W②	SN5474	J①			W②	SN54L74	J①	N①	T①	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T①	
FAIRCHILD	FM54S74/FM93S74	D①			F②	FM54H74/FM96H74	D①			F②	FJH54LS74/FJH74LS74	K①			F①	FM5474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F②	FCJ74LS74/FCJLS74	K①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			ÖJJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	8S4S74					S54H74	F①	A①		W②						8S474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74		M①			MB420	①	M①							
HITACHI	HD74S74		①	P①							HD74LS74		P①			HD7474/HD2S10		①	P①						
MITSUBISHI	M74S74			P①							M74LS74		P①			M5327/M5374			P①						
NEC	74S74			C①							74LS74		C①			μPB214	D①		C①						
TOSHIBA																TD3474A			P①						

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

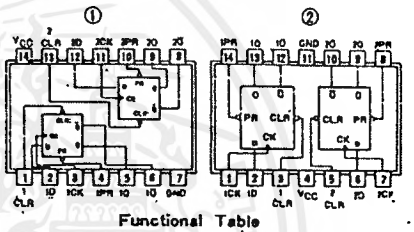
		SN54LS74 MIN	NOM	MAX	SN74LS74 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25↑			25↑			ns
	Low-level data	25↑			25↑			
Input hold time, t_{su}		5↑			5↑			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8 V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8 V, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: D, J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current: D, J, K	V_{CC} = MAX, V_I = 2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current: D, J, K	V_{CC} = MAX, V_I = 0.8 V			−0.4	mA
	Clear				−0.8	
	preset				−0.8	
	Clock				−0.4	
I_{OS}	Short-circuit output current §: Series 54LS	V_{CC} = MAX	−20		−100	mA
	Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC} = MAX, See Note 1		4	8	mA
f	clock frequency	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄			13	25	ns
t_{PHL}				25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
§Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output;
t_{PHL} = propagation delay time, high-to-low-level output.
¶ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge

Pin Assignments (Top View)

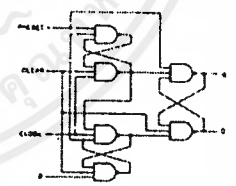


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	D	OUTPUTS Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, S74, H74, LS74, L74 DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↑ = transition from low to high level, Q_0 = the level of Q before the indicated input conditions were established.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] รศ.ยืน ภู่สุวรรณ และ น.ต.ดร.ไพศาล สงวนหมู่, "การสื่อสารข้อมูล และไมโครคอมพิวเตอร์เนทเวอร์ค", บริษัท ซีเอ็ดยูเคชั่น จำกัด, 231 หน้า, 2531

[2] ทรงชัย วีระทรีมาศ, "วงจรรับ – ส่งข้อมูลแบบอนุกรม", วารสารอิเลคทรอนิคส์, ฉบับที่ 111, 2534, หน้า 118-126

[3] DON LANCASTER, "TTL COOKBOOK", HOWARD W. SAMS & CO, INC, 335 PAGES, 1977

[4] FORREST M.MINS III, "ENGINEER'S NOTEBOOK", MCGRAW-HILL BOOK COMPANY, 152 PAGES, 1986

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้