

สำนักงานหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องจับภาพ  
VIDEO FRAME GRABBER



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาอิเล็กทรอนิกส์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2541

เลขหมู่.....  
เลขทะเบียน... 34041  
วัน, เดือน, ปี - 1 ต.ค. 2542

ให้บริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องจับภาพ VIDEO FRAME GRABBER

โดย

นาย รุ่งโรจน์ สัทธาธิกรณ์ 39013171 3R/1  
นาย อรรถพล ระโหฐาน 39013185 3R/1

อาจารย์ที่ปรึกษา

รศ.ดร.มนัส สังวรศิลป์

ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาอิเล็กทรอนิกส์  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2541

ปริญญาานิพนธ์หรือ รายงาน ปีการศึกษา 2541

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องจับภาพ

ผู้จัดทำ

- |                  |             |          |      |
|------------------|-------------|----------|------|
| 1. นาย รุ่งโรจน์ | ส์ทธาธิกรณ์ | 39013171 | 3R/1 |
| 2. นาย อรรถพล    | ระโหฐาน     | 39013185 | 3R/1 |

  
.....อาจารย์ที่ปรึกษา  
(รศ.ดร. มนัส สังวรศิลป์)

เครื่องจับภาพ

VIDEO FRAME GRABBER

โดย นาย รุ่งโรจน์ สัทธาธิกรณ์ 39013171

นาย อรรถพล ระโหฐาน 39013185

โครงการนี้ได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการสอบได้



(รศ.ดร. มนต์ สังวรศิลป์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องจับภาพ

นาย รุ่งโรจน์ สัทธาภิกรณ์

นาย อรรถพล ระโหฐาน

ดร. มนต์ สังวรศิลป์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2541

### บทคัดย่อ

โครงการนี้เป็นโครงการเกี่ยวกับการอ่านสัญญาณภาพจากแหล่งสัญญาณใดๆ เช่น สัญญาณจากกล้อง CCD สัญญาณจากเครื่องเล่น VDO ฯลฯ และมาแสดงบนผลหน้าจอคอมพิวเตอร์ โดยผ่านทางพอร์ตขนานหรือ พอร์ตเครื่องพิมพ์

การทำงานจะแบ่งออกเป็น 2 ส่วนใหญ่ๆ คือ ส่วนของ Hardware และ ส่วน Software ในส่วนของ Hardware สามารถแบ่งได้เป็น 2 ส่วนหลักๆ คือ ส่วนของการแปลงสัญญาณเป็นดิจิทัล และ แยกสัญญาณ Sync และส่วนของการเก็บข้อมูลสัญญาณดิจิทัล

สัญญาณภาพที่ถูกส่งเข้ามาจะถูกขยายสัญญาณให้ได้ขนาดของสัญญาณที่เหมาะสม และจะถูกส่งไปส่วนของการแยกสัญญาณ Sync และการแปลงเป็นสัญญาณสัญญาณดิจิทัล สัญญาณ Sync ที่ถูกแยกออกมานั้นจะนำไปควบคุมการทำงานของการทำงานของการแปลงสัญญาณ และ ควบคุมการทำงานของการทำงานของการเก็บข้อมูลลงในหน่วยความจำ สัญญาณดิจิทัลที่ได้ จะถูกนำไปประมวลผลเป็นภาพแสดงให้เห็นที่หน้าจอคอมพิวเตอร์ต่อไป

# Video Frame Grabber

Mr. Rungrote Satthathikom

Mr. Atthapon Rahothan

Dr. Manat Sunkvorasin Advisor

1998

## Abstract

In this project video signal reading from any video signal sources. Such as is CCD camera, video player etc. Which is displayed on computer monitor from parallel port.

The operation contains 2 parts which are Hardware part and Software part. In hardware part, there are 2 main parts that are Analogue to Digital Converter (ADC) & Sync Separator and Memory.

Video signal is sent to pre-amplifier for appropriate signal amplitude. Then it is sent to Sync Separator and ADC. Sync Signal, that is separated from Sync Separator is used to control ADC operation and memory writing. The digital signals from ADC are saved in the memory (RAM). Once computer read the memory, it will display on computer monitor screen in next.

# สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 องค์ประกอบและสัญญาณภาพ	2
2.1 องค์ประกอบของภาพ	2
2.2 สัญญาณภาพรวม	2
2.2.1 สัญญาณภาพขาวดำ	3
2.2.2 สัญญาณแบบลงกึ่ง	3
2.2.3 สัญญาณเชิงโครโมสี	3
2.2.4 สัญญาณอ็ควอลไลซิ่ง	4
บทที่ 3 การทำงานของ Hardware และการใช้งาน	7
3.1 ส่วนของ ADC และ SYNC SEPARATOR	7
3.1.1 ADC (Analogue to Digital Converter)	7
3.1.2 Sync Separator	10
3.2 ส่วนของ Counter และ Memory	11
3.2.1 วงจร Counter	11
3.2.2 วงจร Memory	13
3.3 การใช้งาน Hardware	20
บทที่ 4 การทำงานของ Software และการใช้งาน	22
บทที่ 5 การทดลองและผลการทดลอง	29

ภาคผนวก ก

Source Code ของโปรแกรม

ภาคผนวก ข

คู่มือ IC

กิตติกรรมประกาศ

หนังสืออ้างอิง

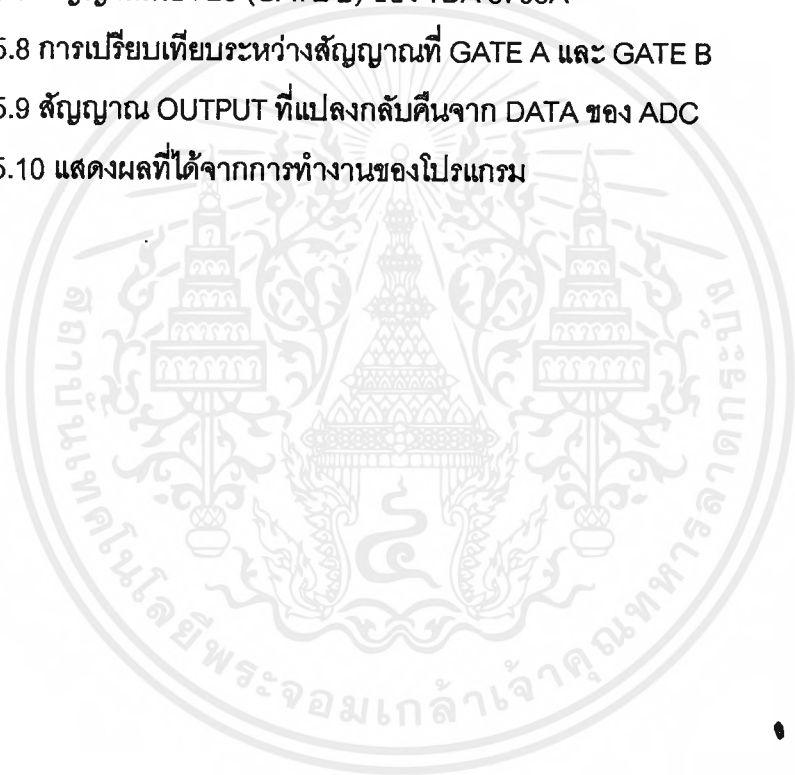


## สารบัญรูป

	หน้า
<b>บทที่ 2 องค์ประกอบและสัญญาณภาพ</b>	
รูปที่ 2.1 สัญญาณภาพ	5
รูปที่ 2.2 สัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง	6
<b>บทที่ 3 การทำงานของ HARDWARE และการใช้งาน</b>	
รูปที่ 3.1 BLOCK DIAGRAM ของ TDA 8708A	8
รูปที่ 3.2 CONTROL MODE 1	9
รูปที่ 3.3 วงจรของความถี่ต่ำ	10
รูปที่ 3.4 ไอซีเบอร์ LM 1881 และสัญญาณต่าง ๆ	11
รูปที่ 3.5 วงจร COUNTER	12
รูปที่ 3.6 วงจร MEMORY	14
รูปที่ 3.7 วงจรส่วน BUFFER	15
รูปที่ 3.8 VIDEO FRAME GRABBER BLOCKDIAGRAM	16
รูปที่ 3.9 วงจรแปลงอนาลอกเป็นดิจิตอล	17
รูปที่ 3.10 วงจรส่วนของ MEMORY	18
รูปที่ 3.11 วงจรภาคเชื่อมต่อ	19
รูปที่ 3.12 รูปด้านหน้า	20
รูปที่ 3.13 รูปด้านหลัง	20
<b>บทที่ 4 การทำงานของ SOFTWARE และการใช้งาน</b>	
รูปที่ 4.1 FLOW CHART ของโปรแกรม	26
รูปที่ 4.2 กราฟของข้อมูลจาก RAMS	26
รูปที่ 4.3 รูปลักษณะของ โปรแกรม	27

## บทที่ 5 การทดลองและผลการทดลอง

รูปที่ 5.1 สัญญาณอินพุต	29
รูปที่ 5.2 สัญญาณ COMPOSITE SYNC	30
รูปที่ 5.3 สัญญาณ VERTICAL SYNC	31
รูปที่ 5.4 สัญญาณ BURST	32
รูปที่ 5.5 สัญญาณ ODD/EVEN (O/E)	33
รูปที่ 5.6 สัญญาณที่ขา 27 (GATE A) ของ TDA 8708A	34
รูปที่ 5.7 สัญญาณที่ขา 26 (GATE B) ของ TDA 8708A	35
รูปที่ 5.8 การเปรียบเทียบระหว่างสัญญาณที่ GATE A และ GATE B	36
รูปที่ 5.9 สัญญาณ OUTPUT ที่แปลงกลับคืนจาก DATA ของ ADC	37
รูปที่ 5.10 แสดงผลที่ได้จากการทำงานของโปรแกรม	38



## บทที่ 1

### บทนำ

โครงการนี้เป็นการทำสำเนาภาพจากสัญญาณภาพที่ป้อนเข้ามา โดยการใช้คอมพิวเตอร์ควบคุมการทำงาน และเป็นตัวแสดงผล ซึ่งภาพที่ได้จะเป็นภาพนิ่งขาวดำ ซึ่งมีความละเอียด 768 จุดต่อหนึ่งเส้นสแกนภาพ

โดยสัญญาณอินพุตที่ใช้เป็นสัญญาณภาพรวมจากแหล่งสัญญาณใดๆ ก็ได้ เช่น สัญญาณจากเครื่อง VDO สัญญาณจากกล้องโทรทัศน์วงจรปิด เป็นต้น

การทำโครงการนี้นอกจากจะเป็นการศึกษาการทำงานของเครื่องแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลแล้ว ยังได้ศึกษาเกี่ยวกับการต่อพ่วงกับเครื่องคอมพิวเตอร์โดยผ่านทางพอร์ตนาน และยังได้ศึกษาเกี่ยวกับการเขียนโปรแกรมบนระบบปฏิบัติการ Windows

## บทที่ 2

### องค์ประกอบภาพและสัญญาณภาพ

#### 2.1 องค์ประกอบของภาพ

องค์ประกอบของภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพหรือพิกเจอร์อีลีเมนต์ (Picture Element) หรือพิกเซล (Pixel)

ในระบบการสแกน 525 เส้นเราจะแบ่งส่วนทางแนวตั้งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในการสแกน 525 เส้นแล้ว จะได้เท่ากับ  $525 * 700$  เท่ากับ 367,500 พิกเซล ยังมีจำนวนเส้นมากเท่าไรรายละเอียดภาพยิ่งมากขึ้นเท่านั้น

ในระบบการสแกน 625 เส้นเราจะแบ่งส่วนทางแนวตั้งได้ 851 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในการสแกน 625 เส้นแล้ว จะได้เท่ากับ  $625 * 851$  เท่ากับ 531857 พิกเซล

ปัจจุบันเราได้มีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิทัลจะจัดการข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิทัล โทรทัศน์ระบบคอมพิวเตอร์ โทรทัศน์จอภาพแอลซีดี ดิจิตอล วิซีอาร์ โทรทัศน์หรือวีซีอาร์ ระบบภาพซ้อนภาพ

#### 2.2 สัญญาณภาพรวม

สัญญาณภาพที่เครื่องส่งส่งมากับสัญญาณภาพรวมมีสัญญาณดังต่อไปนี้

1. สัญญาณเสียง
2. สัญญาณภาพ
3. สัญญาณแปลงกึ่ง
4. สัญญาณซิงโครไนซ์
5. สัญญาณอีควอลไลซิ่ง

โดยสัญญาณภาพจะส่งมาเป็นสัญญาณคอมโพสิท วิดีโอ ซิกแนล (Composit Video Signal) การที่ต้องส่งสัญญาณทั้ง 5 ตัวเพื่อวัตถุประสงค์ดังนี้

1. สัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดเสียงในเครื่องรับ
2. สัญญาณภาพ เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพในเครื่องรับ
3. สัญญาณแปลงกึ่ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนว

นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. สัญญาณชิงโครโนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรถักเหทางแนวนอน ของเครื่องรับทำงานสอดคล้องกับเครื่องส่ง

5. สัญญาณอีควอลไลซิง เป็นสัญญาณที่ช่วยให้สัญญาณชิงโครโนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

### 2.2.1 สัญญาณภาพขาว – ดำ

สมมติว่าเราจะดูระดับสัญญาณขาว – ดำ กรณีที่เรากล่าวถึงสัญญาณขาว – ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดของกรณีนี้คือภาพที่มีความแตกต่างของระดับขาวดำที่ละน้อย ซึ่งเราเรียกว่าระดับเกรย์สเกลนั่นเอง

จากภาพที่ 2.1 จะแสดงให้เห็นได้ว่าระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นี่หมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีม่วง เทา และดำ นั้นระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย

อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 MHz ในระบบเอฟซีซี และไม่เกิน 5 MHz ในระบบ ซีซีไออาร์ ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

### 2.2.2 สัญญาณแบลงกิง

เมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทิร์นหรือเส้นสะบัดกลับ ซึ่งเป็นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิง เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงกิงส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณชิงโครโนซ์ แต่มันจะสัมพันธ์เครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงกิงมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิงมีอยู่ 2 อย่าง คือเวอร์ติคอลลแบลงกิง กับฮอริซอนตอลแบลงกิง

### 2.2.3 สัญญาณชิงโครโนซ์

เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณชิงโครโนซ์หรือสัญญาณชิงคีมี่อยู่ 2 สัญญาณคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

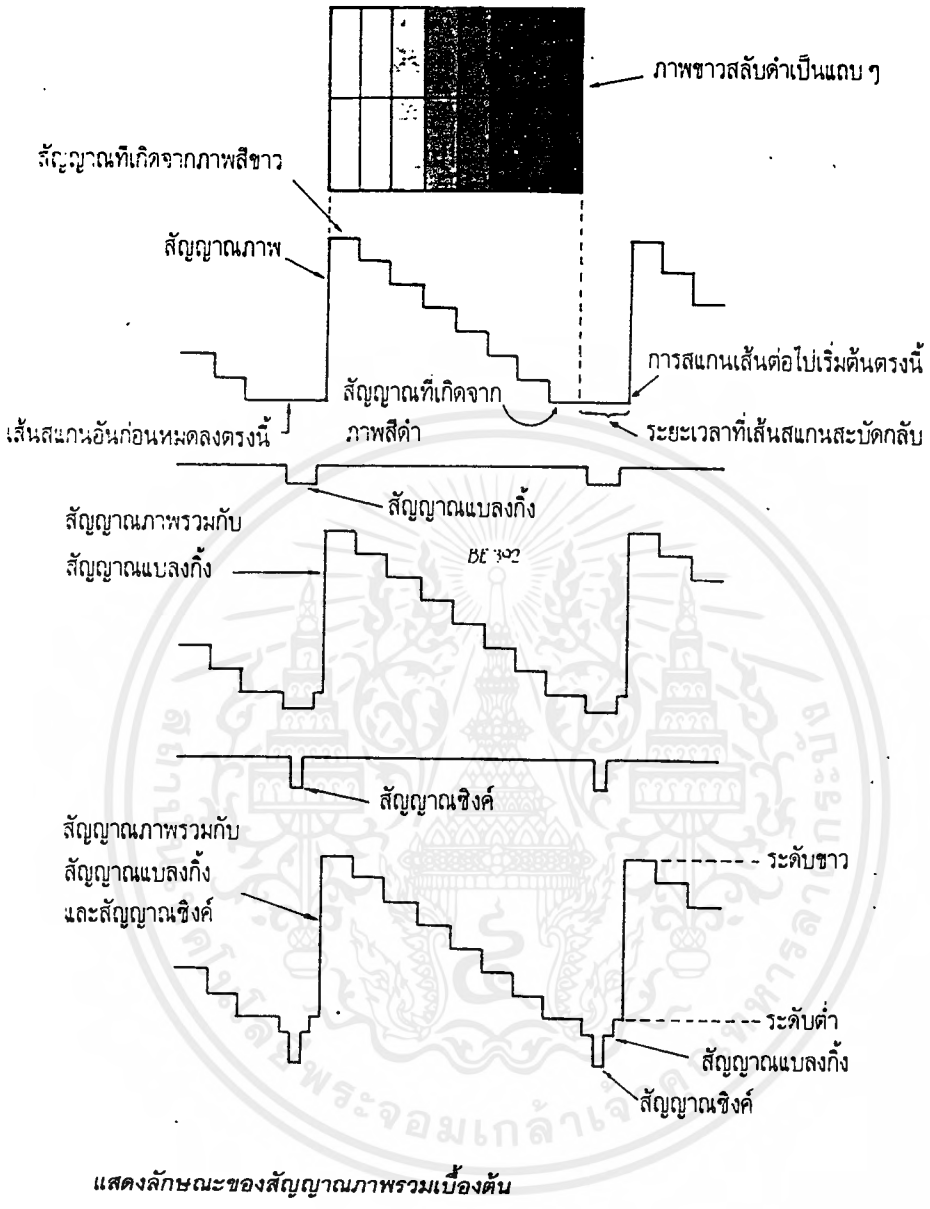
2.2.3.1 ฮอริซอนตอล (Horizontal Synchronize) ซิงโครไนซ์ เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มนได้

2.2.3.2 เวกิติคอลล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบล็กกิ้งไม่ว่าจะเป็นแนวนอนหรือแนวตั้ง จะมีความถี่เท่ากันเวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นจะเกิดกวนกันได้ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลส์มีขนาดความกว้างน้อยกว่าแบล็กกิ้งพัลส์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลส์กับแบล็กกิ้งพัลส์ไปด้วยกัน ให้แบล็กกิ้งพัลส์เป็นฐานของสัญญาณซิงค์พัลส์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกนส์เกลระดับของแบล็กกิ้ง จะอยู่ที่ระดับต่ำกว่าระดับดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ) ดังรูปที่ 2.1

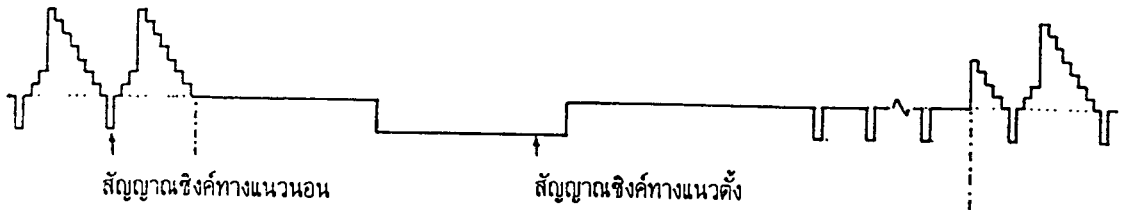
#### 2.2.4 สัญญาณอิควอไลซิง

เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้งเพื่อให้สามารถคงรูปถูกต้อง และยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในช่วงการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลส์รวมเท่ากับเวกิติคอลล ซิงโครไนซ์ พัลส์ สัญญาณส่วนนี้จะถูกแย่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงในรูป



รูปที่ 2.1 สัญญาณภาพ

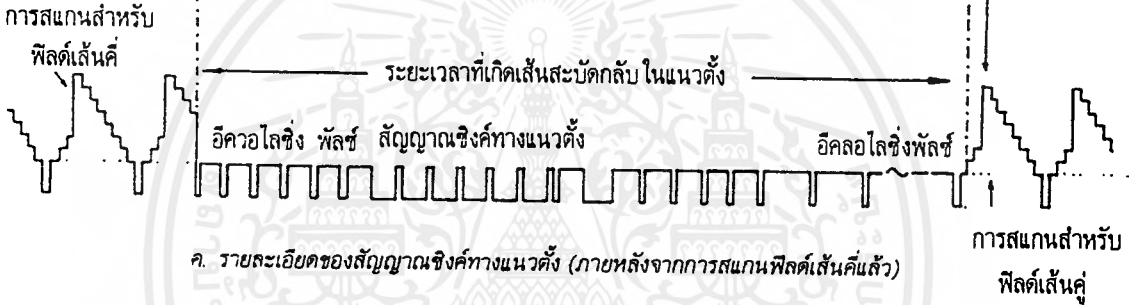
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก. สัญญาณภาพรวม แสดงให้เห็นสัญญาณภาพกับสัญญาณเชิงคี่ทางแนวอน และสัญญาณเชิงคี่ทางแนวตั้ง

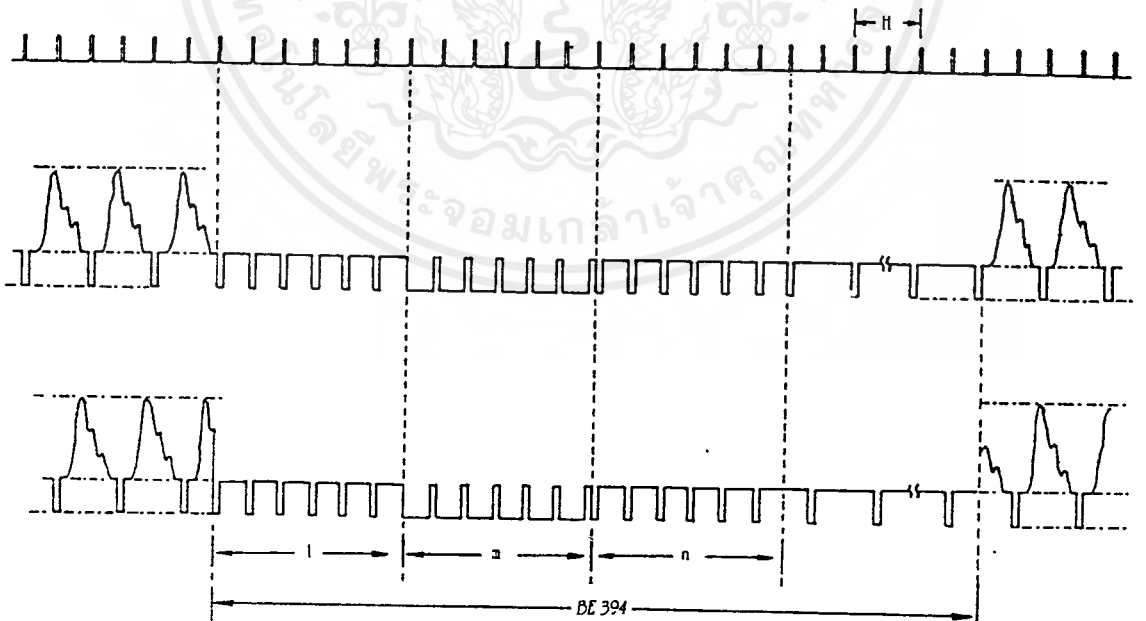


ข. รายละเอียดของสัญญาณเชิงคี่ทางแนวตั้ง (ภายหลังจากการสแกนสำหรับฟิลด์เส้นคู่แล้ว)



ค. รายละเอียดของสัญญาณเชิงคี่ทางแนวตั้ง (ภายหลังจากการสแกนฟิลด์เส้นคี่แล้ว)

แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



แสดงระบบพัลส์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

รูปที่ 2.2 สัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

## การทำงานของ Hardware และการใช้งาน

### การทำงานของ Hardware

วงจร VIDEO FRAME GRAMBER นี้แบ่งเป็น 2 ส่วนใหญ่ๆ คือ

#### 3.1 ส่วนของ ADC และ SYNC SEPARATOR

#### 3.2 ส่วนของ COUNTER และ MEMORY

การทำงานของวงจรมันใช้ความถี่ในการทำงานที่ 12 MHz ซึ่งโดยความจริงแล้วควรจะใช้งานที่ความถี่มากกว่า 13.3 MHz ซึ่งเป็นความถี่ที่จะได้ภาพที่มีความละเอียดเท่ากับสัญญาณ VIDEO ที่ส่งมา โดยคำนวณได้จาก ในเส้นภาพ 1 เส้นนั้น จะประกอบไปด้วย จำนวน Elements ของเส้นภาพ 1 เส้นคือ 851 Pixels และความถี่ในการสแกนเส้นแนวนอน เท่ากับ 15,625 MHz ดังนั้นจึงได้ความถี่ในการทำงานของ ADC เท่ากับ 13.3 MHz จึงจะเก็บรายละเอียดของภาพได้ทั้งหมด

แต่การที่ในโครงการนี้เลือกใช้ ความถี่ที่ 12 MHz เนื่องจาก ไอซี Memory (RAM) ที่ใช้งานในวงจรมัน มีความเร็วในการทำงานเพียง 70 nS ดังนั้นจึงเลือกใช้ความถี่ในการทำงานของวงจรที่ 12 MHz เพื่อที่จะทำให้การทำงานในการอ่านเขียนข้อมูลนั้นสามารถทำได้

### 3.1 ส่วนของ ADC และ SYNC SEPARATOR

#### 3.1.1 ADC (Analogue to Digital Converter)

วงจรส่วนนี้เป็นส่วนที่ทำหน้าที่รับเอาสัญญาณอินพุตซึ่งเป็นสัญญาณ Composite VIDEO Signal แปลงเป็นสัญญาณ Digital โดยใช้ความถี่ในการสุ่มที่ 12 MHz นอกจากนี้แล้วยังทำหน้าที่เป็น Pre – amplifier ในตัวด้วย

วงจรในส่วนนี้ใช้ไอซีเบอร์ TDA8708A ซึ่งเป็น ADC ซึ่งออกแบบให้ใช้ในการแปลงสัญญาณ VIDEO โดยเฉพาะ ซึ่งมี Block Diagram วงจรภายใน ดังรูปที่ 3.1

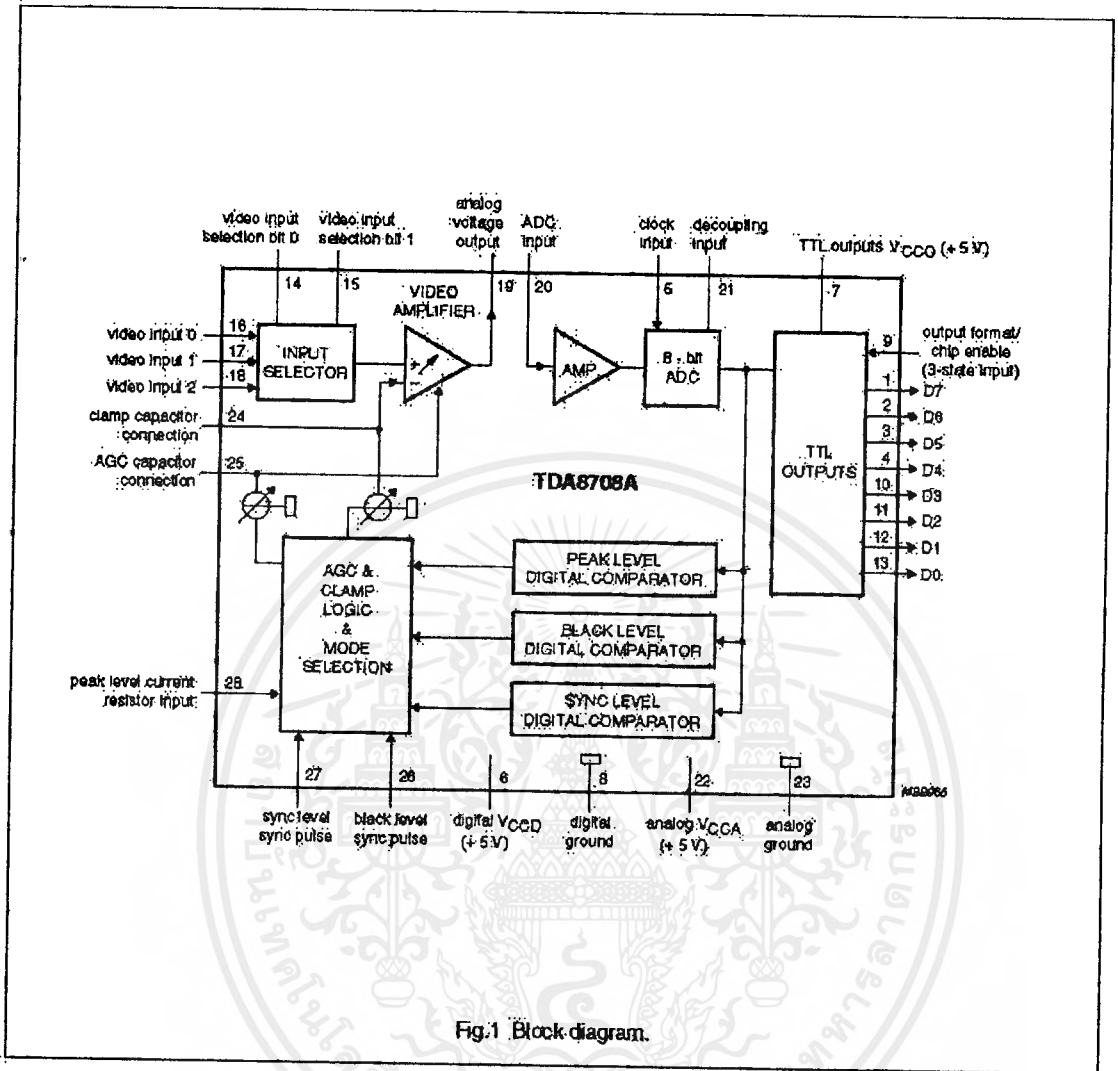
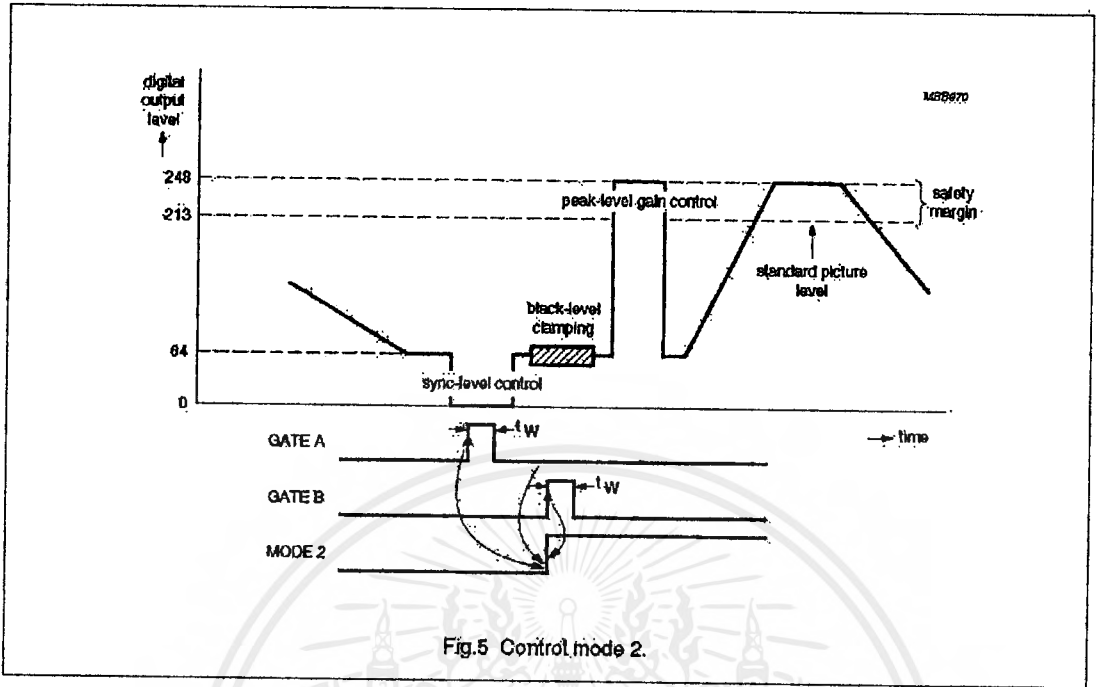


Fig.1 Block diagram.

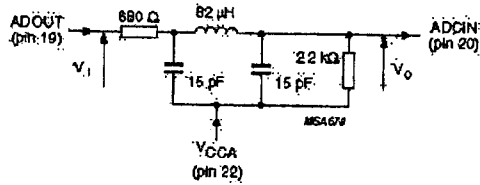
รูปที่ 3.1 Block Diagram ของ TDA8708A

วงจรภายในประกอบไปด้วยส่วนของ Input ซึ่งมี 3 inputs (Vin1, Vin2, Vin3) ซึ่งเลือกใช้โดยสัญญาณที่ขา I0 และ I1 สัญญาณ VIDEO จะถูกส่งผ่านไปยัง Video Amplifier ภายใน ขยายสัญญาณออกทางขา ANOUT โดยวงจร Amplifier ส่วนนี้จะถูกควบคุม Gain และการ Clamp ของแรงดันสัญญาณ โดย pulse จากขา Gate A และ Gate B ซึ่งจะยกระดับของสัญญาณ Video ขึ้นให้สัญญาณ มีระดับของแรงดันที่จะให้ค่าของระดับสัญญาณภาพที่ถูกต้อง โดยให้ระดับของสัญญาณสีขาวอยู่ที่ค่า 255 หรือ Maximum Peak Signal ซึ่งลักษณะของกระบวนการดังกล่าวมีรูปแบบของ Automatic Gain Control ดังรูปที่ 3.2



รูปที่ 3.2 Control Mode 2

สัญญาณ VIDEO ที่ผ่านการขยายและยกระดับสัญญาณแล้วจะถูกส่งออกทางขา ANOUT แล้วผ่านวงจรกรองความถี่ต่ำ(ที่ต่อภายนอกตัวไอซี) ตามรูปที่ 3.3 ซึ่งมีความถี่คัทออฟที่ 6.5 MHz ผ่านไปยังขา ADCIN แล้วทำการ Convert เป็นสัญญาณ Digital ขนาด 8 bits ออกทาง ขา D0-D7



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

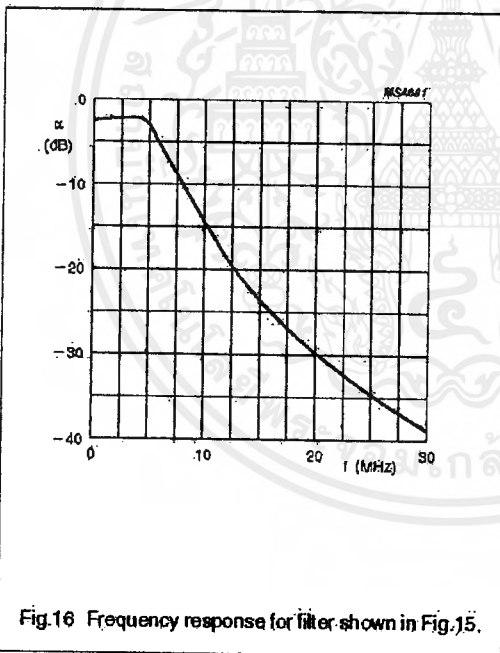


Fig.16 Frequency response for filter shown in Fig.15.

#### Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple  $p_p \leq 0.4$  dB
- $f = 6.5$  MHz at  $-3$  dB.

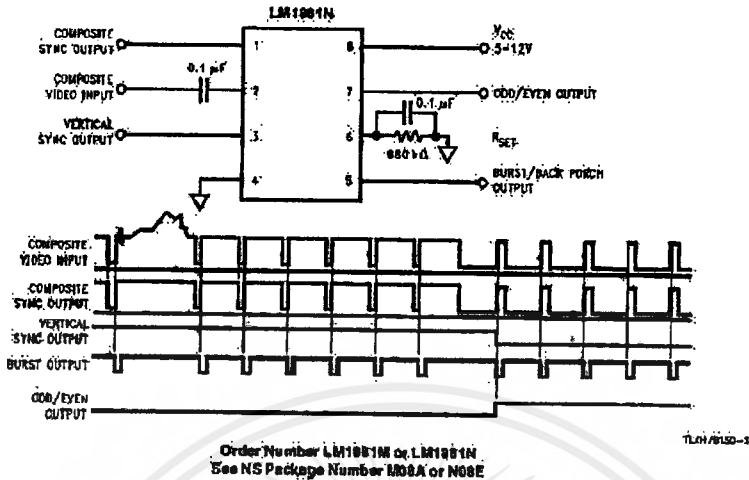
### รูปที่ 3.3 วงจรกรองความถี่ต่ำ

#### 3.1.2 Sync Separator

วงจรส่วนนี้จะ เป็นวงจรส่วนที่ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณ Composite VIDEO Signal เพื่อไปใช้ควบคุมการทำงานของ ADC และ การเขียนข้อมูลของ Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรส่วนนี้ใช้ไอซีเบอร์ LM1881 ซึ่งมีส่วนต่างๆ ดังรูปที่ 3.4



รูปที่ 3.4 ไอซีเบอร์ LM1881 และ สัญญาณต่างๆ

สัญญาณ Composite VIDEO Signal ที่ผ่านการขยายออกจากขา ANOUT ของไอซี TDA8708A จะถูกส่งเข้ามายังไอซี LM1881 โดยผ่าน Buffer ที่เป็นวงจร Transistor (ดูวงจร สมบูรณ์) ไอซีจะแยกสัญญาณออกเป็น สัญญาณ Composite Sync สัญญาณ Burst สัญญาณ O/E และสัญญาณ Vertical Sync

โดยสัญญาณ Composite Sync และ สัญญาณ Burst จะถูกนำไปควบคุมการทำงานของ ไอซี TDA8708A ส่วนสัญญาณ Vertical Sync และ สัญญาณ O/E จะถูกนำไปควบคุมการทำงานของ Memory ซึ่งจะอธิบายต่อไป

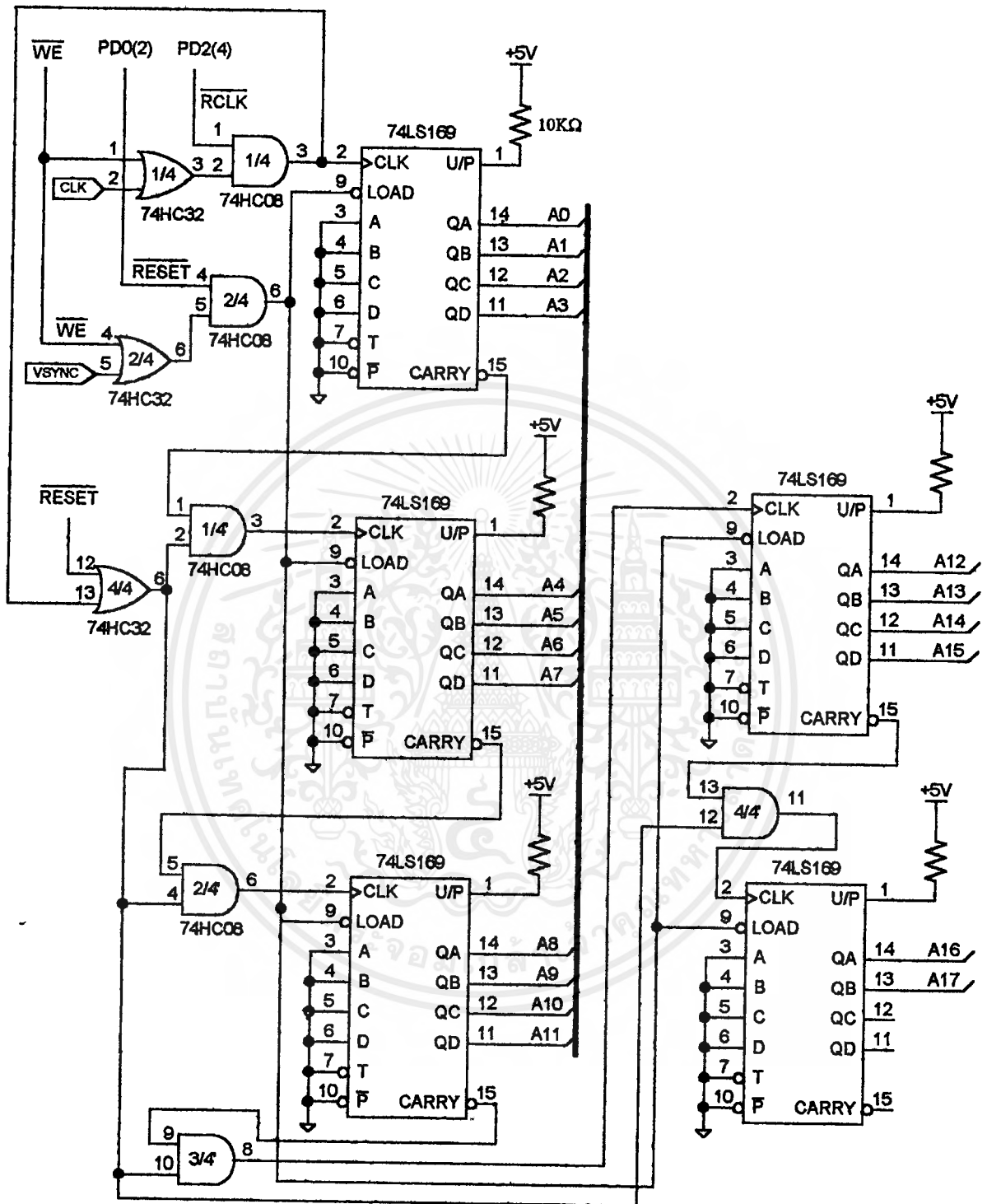
### 3.2 ส่วนของ Counter และ Memory

การทำงานของโครงงานนี้จะส่งข้อมูลเข้ากับ PC (Computer) ผ่านทางพอร์ตขนานหรือพอร์ตเทอร์มินัล ซึ่งจะมีความเร็วในการรับส่งข้อมูลโดยตรงจาก ไอซี TDA8708A จึงต้องมีส่วนของ Memory ซึ่งจะเป็นที่พักของข้อมูลชั่วคราว ก่อนที่ PC จะดึงเข้าไปประมวลผล ซึ่งการใช้ Memory เป็นที่พักของข้อมูลนั้นจะสามารถควบคุมการความเร็วในการอ่านข้อมูลได้

#### 3.2.1 วงจร Counter

วงจรส่วนนี้ประกอบไปด้วยไอซีเบอร์ 74LS169 ซึ่งเป็นแบบ Synchronous Counter โดยมีวงจรตามรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจร Counter

วงจร Counter นี้ มีสัญญาณควบคุมคือ WE , RCLK , RESET , CLK และ VSYNC

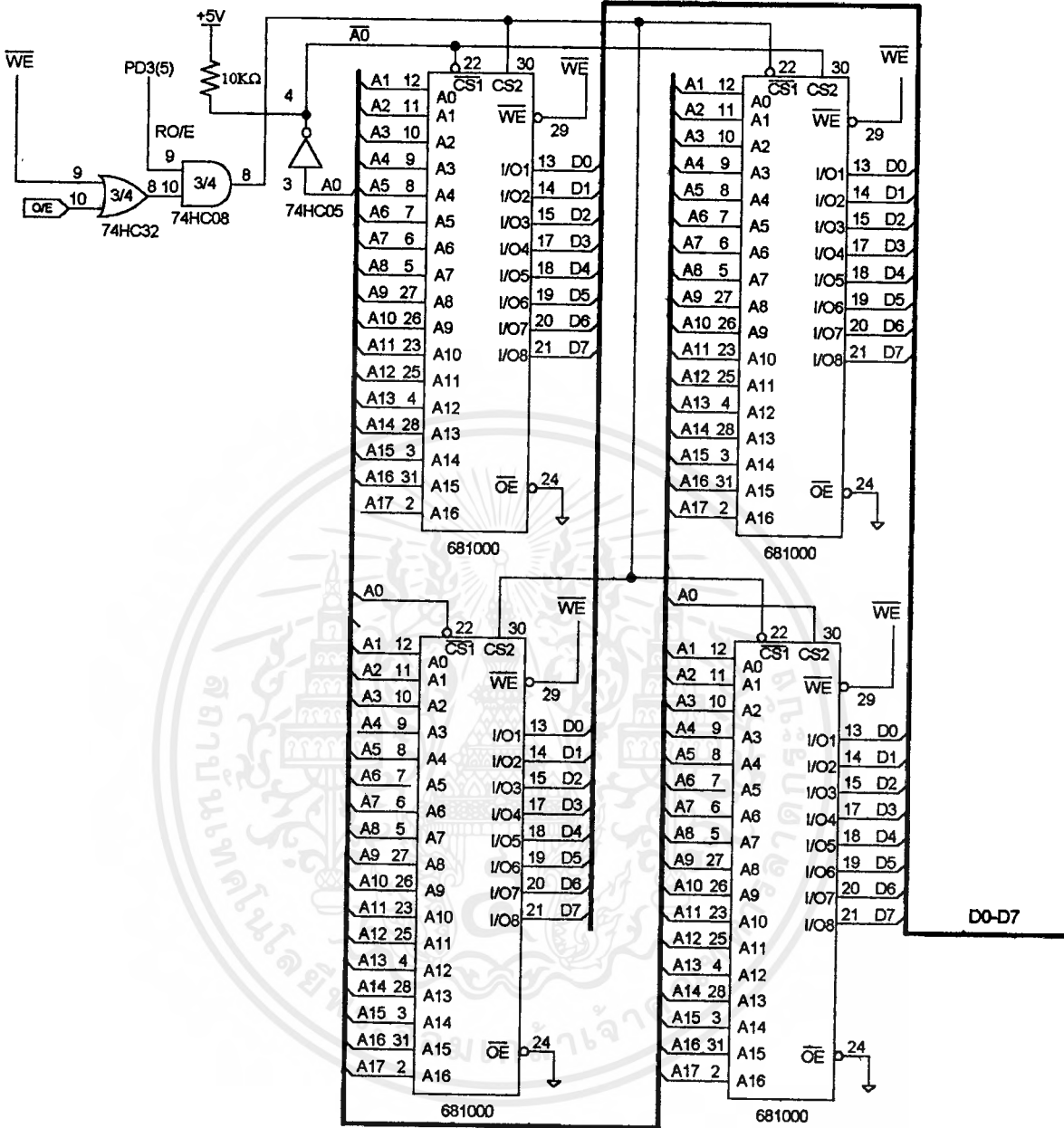
สัญญาณ WE เป็นสัญญาณ Write Enable ควบคุมการนับของ Counter ว่าจะนับโดยใช้สัญญาณนาฬิกาจาก สัญญาณ RCLK จาก พอร์ตขนาน หรือจากสัญญาณ CLK 12 MHz ของวงจร และสัญญาณ WE นี้ ยังควบคุมการ Reset ของ Address ของ Counter ว่าจะ Reset โดยสัญญาณ Reset จากสัญญาณ RESET จากพอร์ตขนาน หรือ จากสัญญาณ VSYNC (Vertical Sync) ของวงจร

### 3.2.2 วงจร Memory

วงจรส่วนนี้ทำหน้าที่เก็บข้อมูล ซึ่งเป็นข้อมูลของสัญญาณภาพ ที่ถูกแปลงมาจากภาค ADC จากไอซี TDA8708A เพื่อเป็นที่พักข้อมูลก่อนส่งให้ Computer ผ่านทางพอร์ตขนานต่อไป

วงจร Memory นี้ ใช้ไอซีเบอร์ KM681000B-70 ซึ่งเป็น Static RAM ความเร็ว 70 nS ซึ่งมีความจุขนาด 1 Mbits หรือ 128 Kbytes จำนวน 4 ตัวด้วยกัน โดยแบ่งเป็น 2 กลุ่มๆ ละ 2 ตัว ซึ่งจะเก็บสัญญาณภาพได้ 1 เฟรม โดยแบ่งเก็บเป็น ฟิลด์คู่ (Even Field) และ ฟิลด์คี่ (Odd Field)

โดยมีวงจрдังรูปที่ 3.6

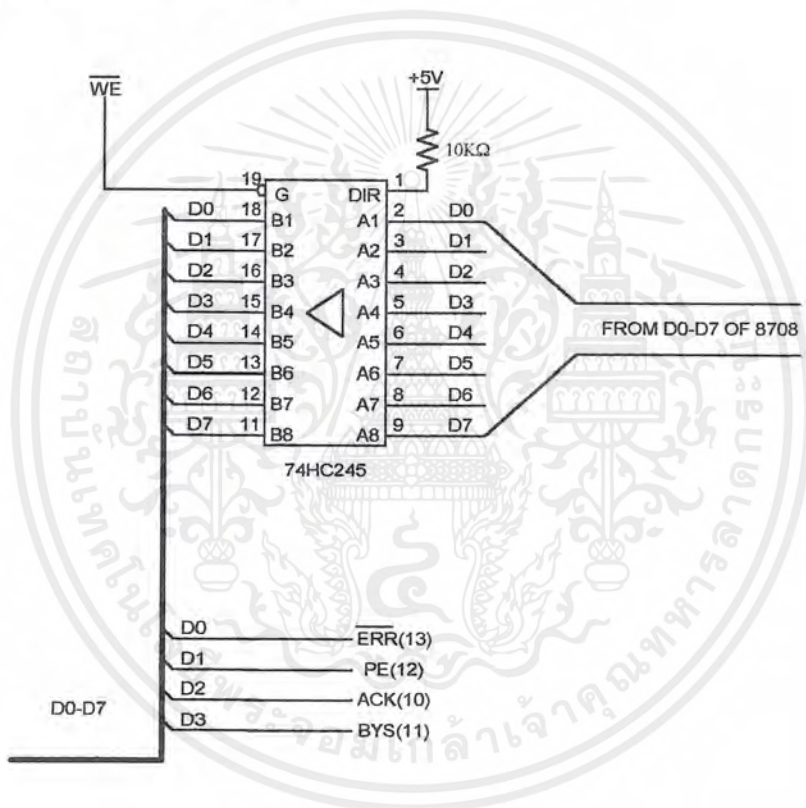


รูปที่ 3.6 วงจร Memory

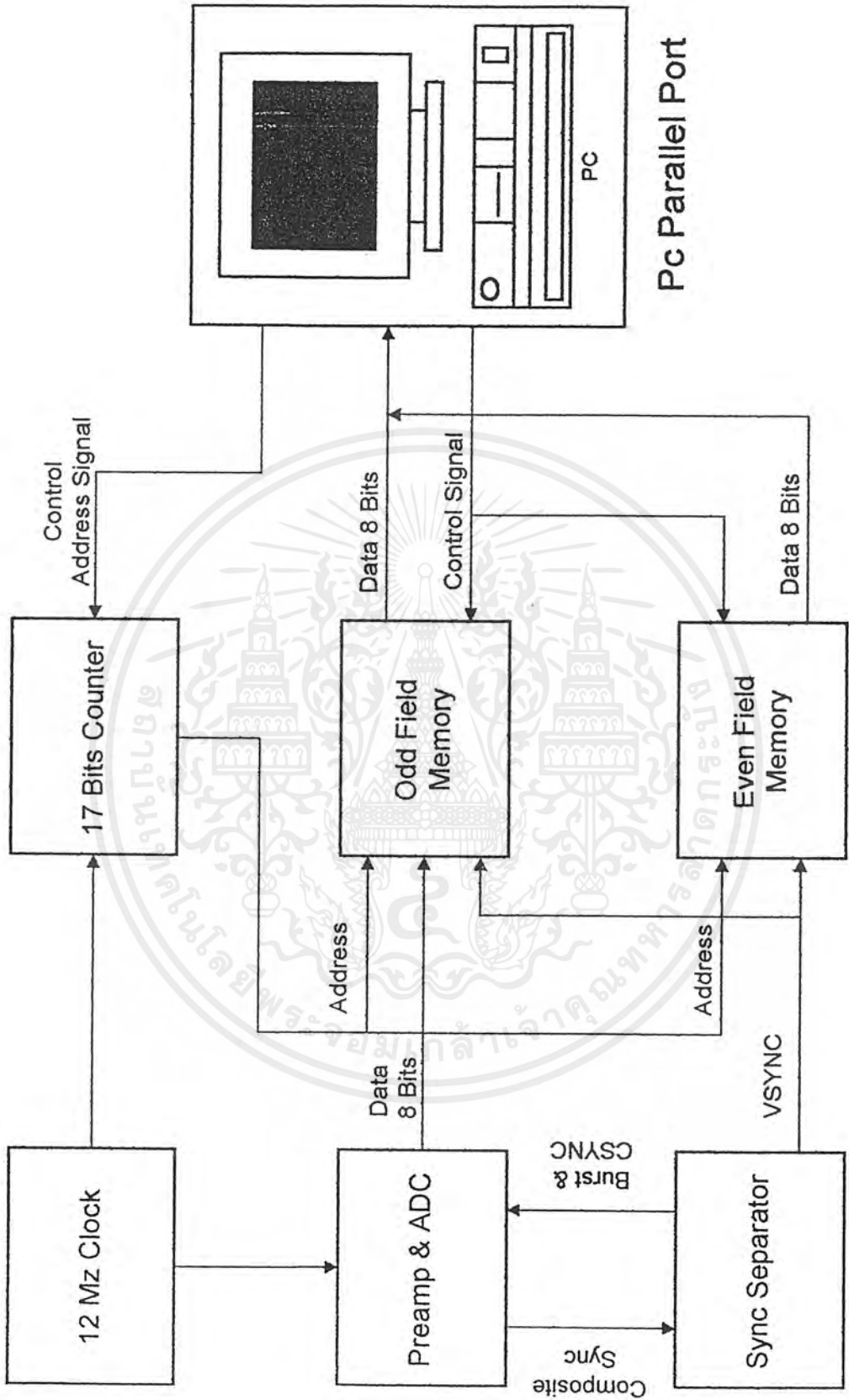
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกกลุ่มของ Memory นี้จะถูกเลือกโดยสัญญาณ O/E จากภาค Sync Separator (LM1881) ในช่วงของการเขียนข้อมูล หรือจากสัญญาณ RO/E จากพอร์ตนาน ซึ่งถูกควบคุมโดยสัญญาณ WE

เนื่องจาก BUS Memory นี้ เป็นแบบ 2 ทาง ดังนั้นการจะอ่านหรือเขียนข้อมูลนั้น จึงจำเป็นต้องมีส่วนของวงจร Buffer เพื่อป้องกันไม่ให้ข้อมูลเกิดการชนกัน วงจรส่วนของ Buffer นี้ มีวงจรดังรูปที่ 3.7 ซึ่งในส่วนของ Output Buffer หรือ Read Buffer นั้น จะต่อกับพอร์ตนานในส่วน ของ Status Port ซึ่งเป็น input Port ขนาด 4 bits

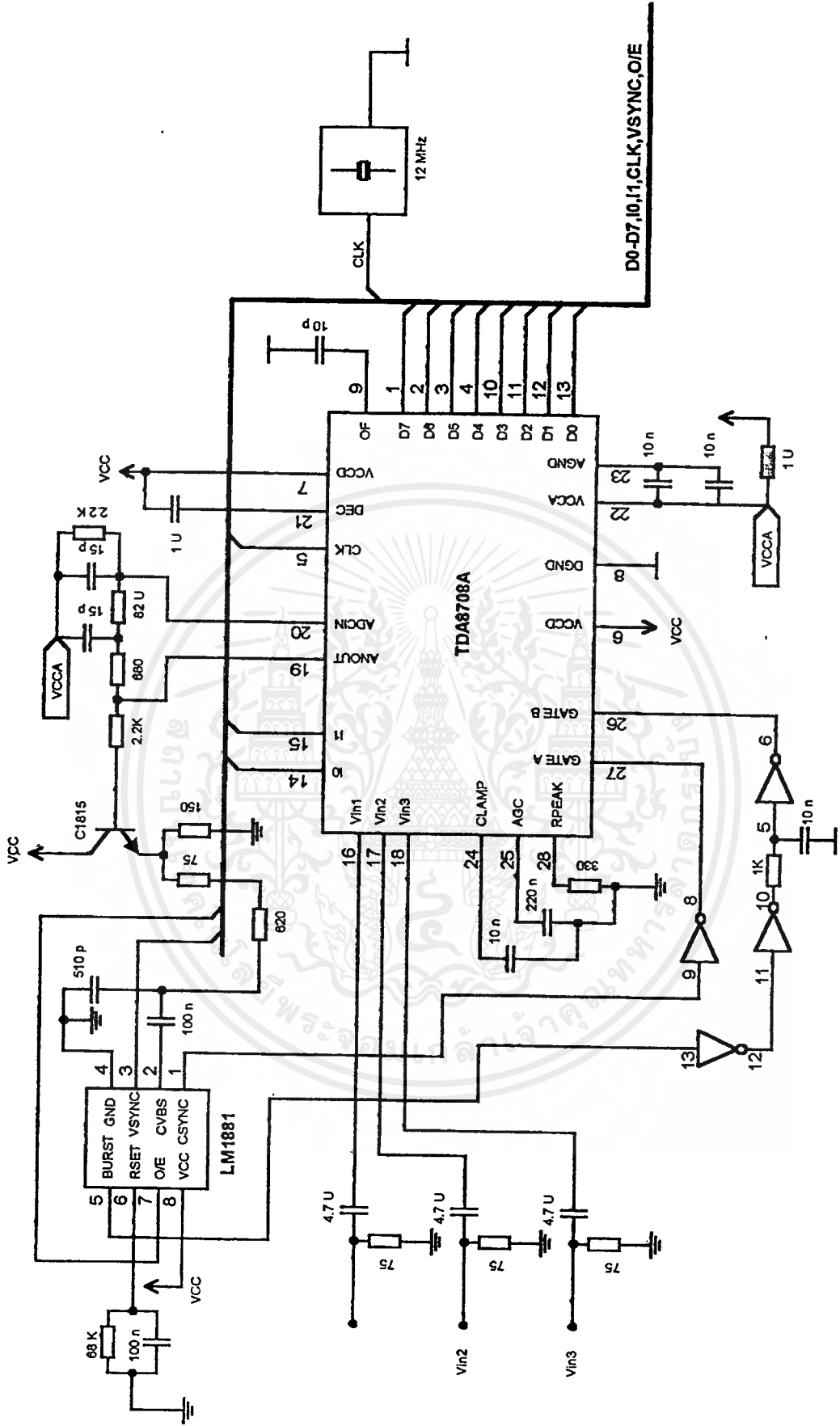


รูปที่ 3.7 วงจรส่วน Buffer

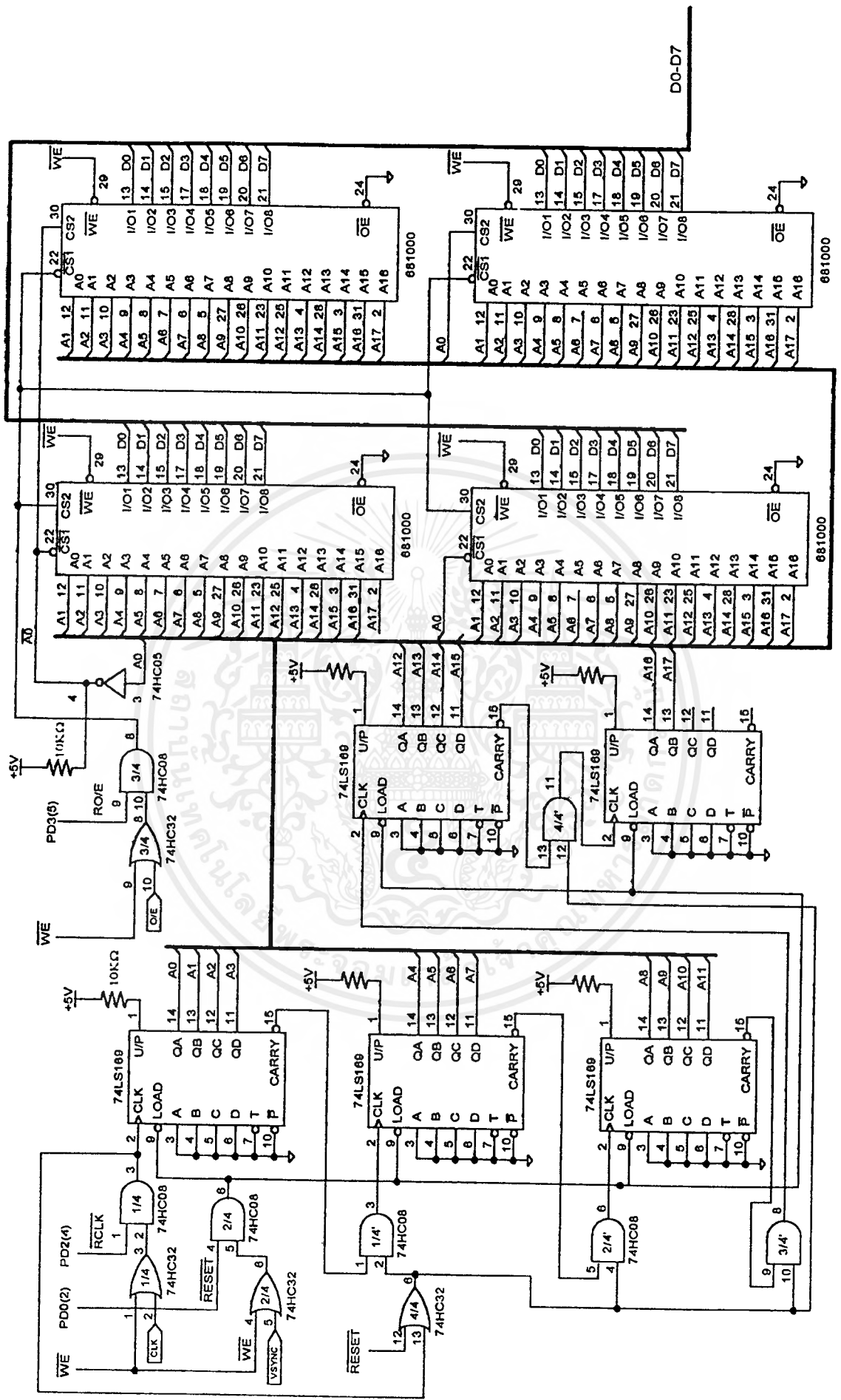


รูปที่ 3.8 VIDEO FRAME GRABBER BLOCKDIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

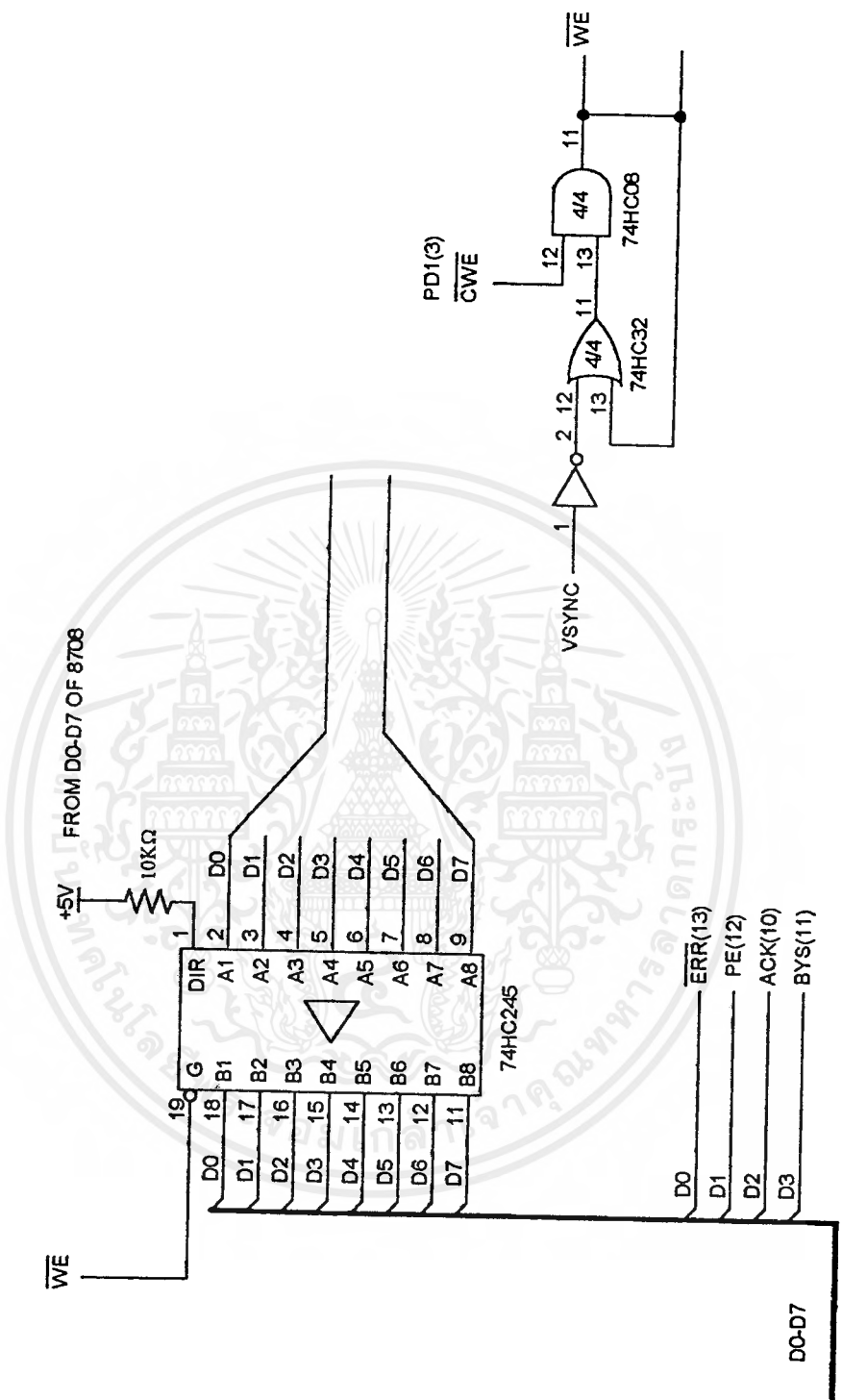


รูปที่ 3.9 วงจรแปลงอนาลอกเป็นดิจิทัล



รูปที่ 3.10 วงจรส่วนของ MEMORY

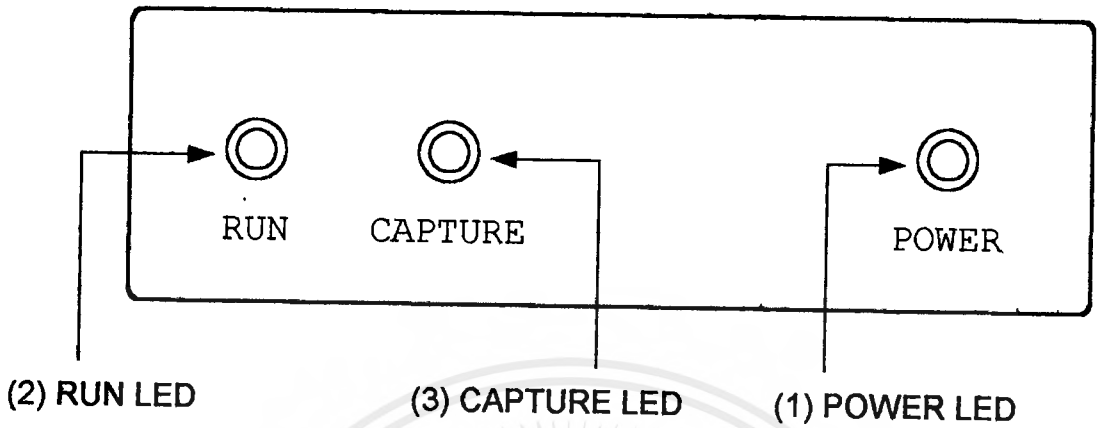
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบุคลากรในหน่วยงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



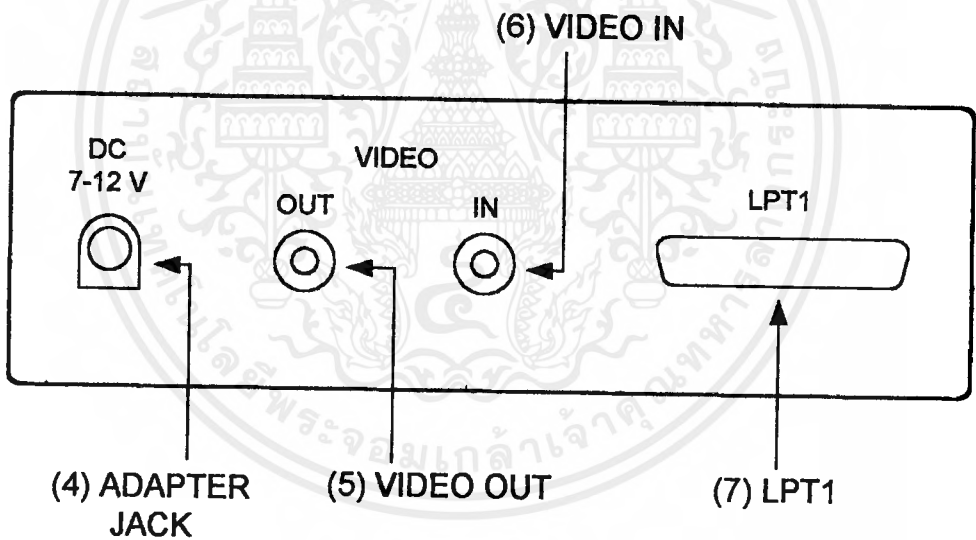
รูปที่ 3.11 วงจรภาคเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.3 การใช้งาน Hardware



รูปที่ 3.12 รูปด้านหน้า



รูปที่ 3.13 รูปด้านหลัง

1. POWER LED  
แสดงว่ามีไฟจ่ายเข้าเครื่องแล้ว
2. RUN LED  
แสดงว่ากำลังทำการเขียนข้อมูลลง RAMS
3. CAPTURE LED  
แสดงว่ากำลังอ่านข้อมูลจาก RAMS โดย COMPUTER
4. ADAPTER JACK  
ต่อไฟเลี้ยงแก่เครื่อง เป็นไฟฟ้ากระแสตรง 7V – 12V
5. VIDEO OUT  
จุดต่อสัญญาณ VIDEO เพื่อไปต่อกับ MONITOR
6. VIDEO IN  
จุดต่อนำสัญญาณ VIDEO ที่ต้องใช้งานเข้าเครื่อง
7. LPT1  
ต่อกับ PRINTER PORT

## บทที่ 4

### การทำงานของ Software และการใช้งาน

#### การทำงานของ Software

Software จะเป็นตัวควบคุมการทำงานของ Hardware โดยจะสั่งให้อ่านและเขียนข้อมูลลง RAMS ซึ่งในช่วงของการเขียนข้อมูลลง RAMS นั้น จะใช้สัญญาณต่าง ๆ ของตัว Hardware เองเป็นตัวควบคุมการทำงานดังที่กล่าวมาแล้วในบทการทำงานของ Hardware Software จะเข้ามาควบคุมการทำงานของ RAMS ทั้งหมดอย่างสมบูรณ์ ในช่วงของการอ่านข้อมูล ไม่ว่าจะเป็นการกำหนด Address การ Reset Address และการอ่านข้อมูลจาก RAMS ฟลัสค์ และฟลัสค์

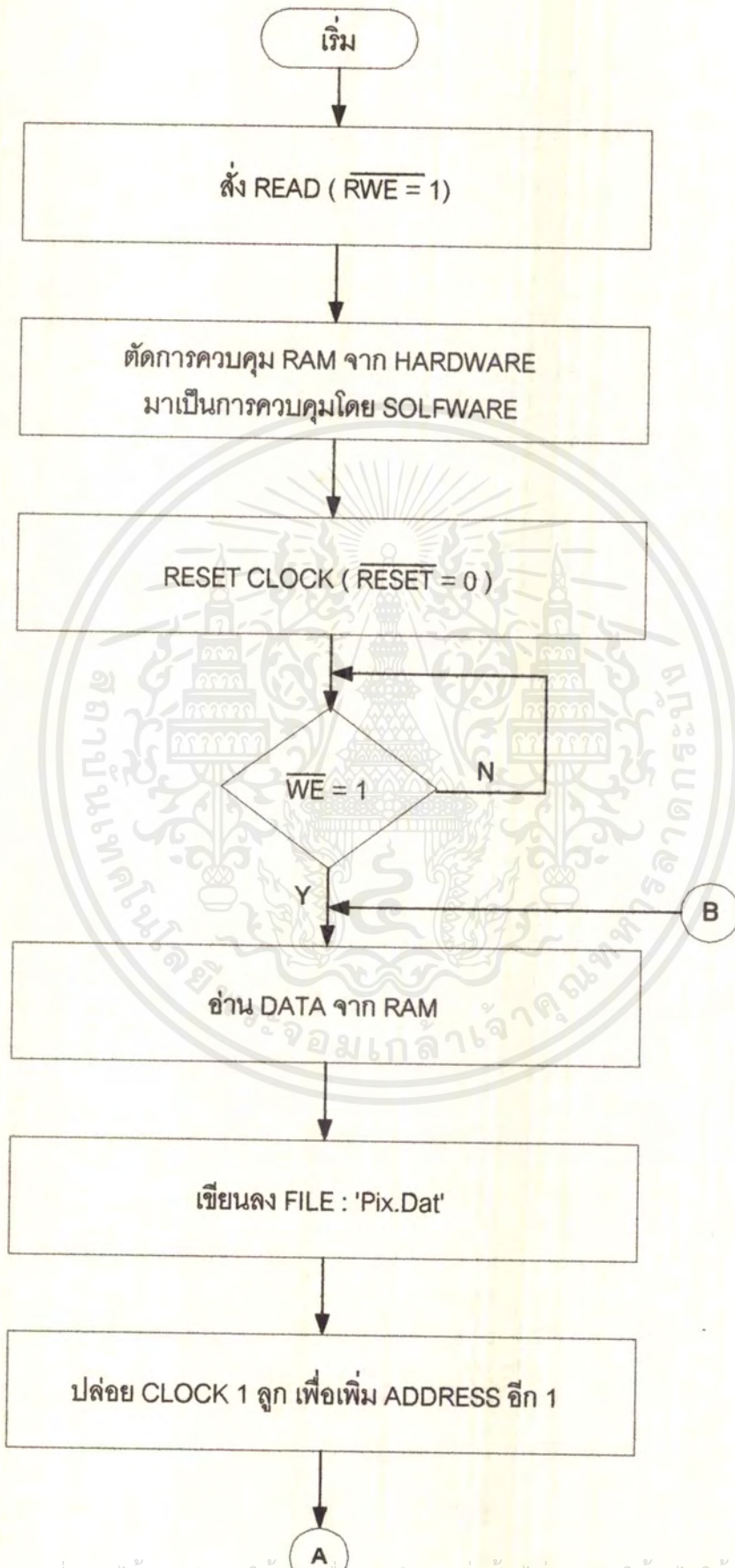
การทำงานของ Software เริ่มจากเมื่อ RUN โปรแกรมขึ้นมาแล้ว โปรแกรมจะทำการส่ง Bits ควบคุมออกทางพอร์ทขนาน เพื่อให้ Hardware ทำการเขียนข้อมูลลง RAMS ไปเรื่อย ๆ จนกว่าจะมีการ Capture โดยการสั่งการของ User

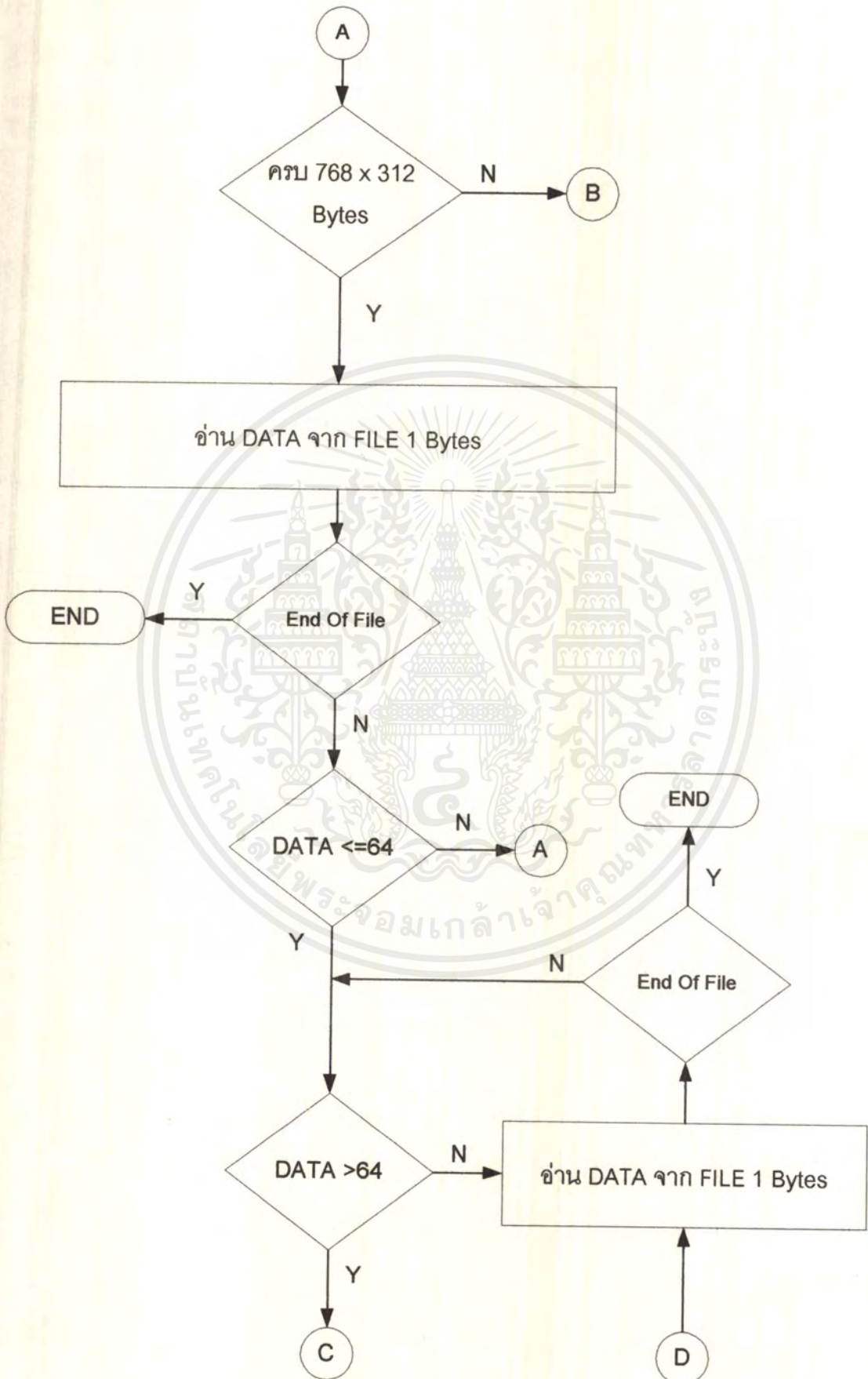
เมื่อสั่ง Capture แล้ว โปรแกรมจะทำการส่งสัญญาณ  $\overline{RWE} = 1$  หรือสัญญาณ Read ออกทางพอร์ทขนานเบอร์ 378H จากนั้นจะรอสัญญาณ  $\overline{WE} = 0$  จากพอร์ทขนานเบอร์ 37AH bit 0 เมื่อได้รับสัญญาณ  $\overline{WE} = 0$  ซึ่งหมายถึง Hardware เข้าสู่ช่วงของการอ่านข้อมูลจาก RAMS แล้ว โปรแกรมจะส่งสัญญาณ  $\overline{RESET} = 0$  เพื่อ Reset Address ของวงจรถับ Counter ให้ = 0 และส่งสัญญาณ RO/E ตามที่ User ต้องการ โปรแกรมจะอ่านข้อมูลจาก RAMS โดยการส่งสัญญาณ  $\overline{RCLK}$  ไปเปลี่ยน Address ทีละ 1 Clock แล้วทำการเขียนข้อมูลที่ได้เป็น File เอาไว้ ชื่อ "pix.dat"

BIT	สัญญาณ Port 378H	สัญญาณ Port 379H	สัญญาณ Port 37AH
7	0	D7	1
6	0	D6	1
5	0	D5	1
4	0	D1	1
3	RO/E	1	1
2	$\overline{RCLK}$	1	1
1	$\overline{RWE}$	1	1
0	$\overline{RESET}$	1	$\overline{WE}$

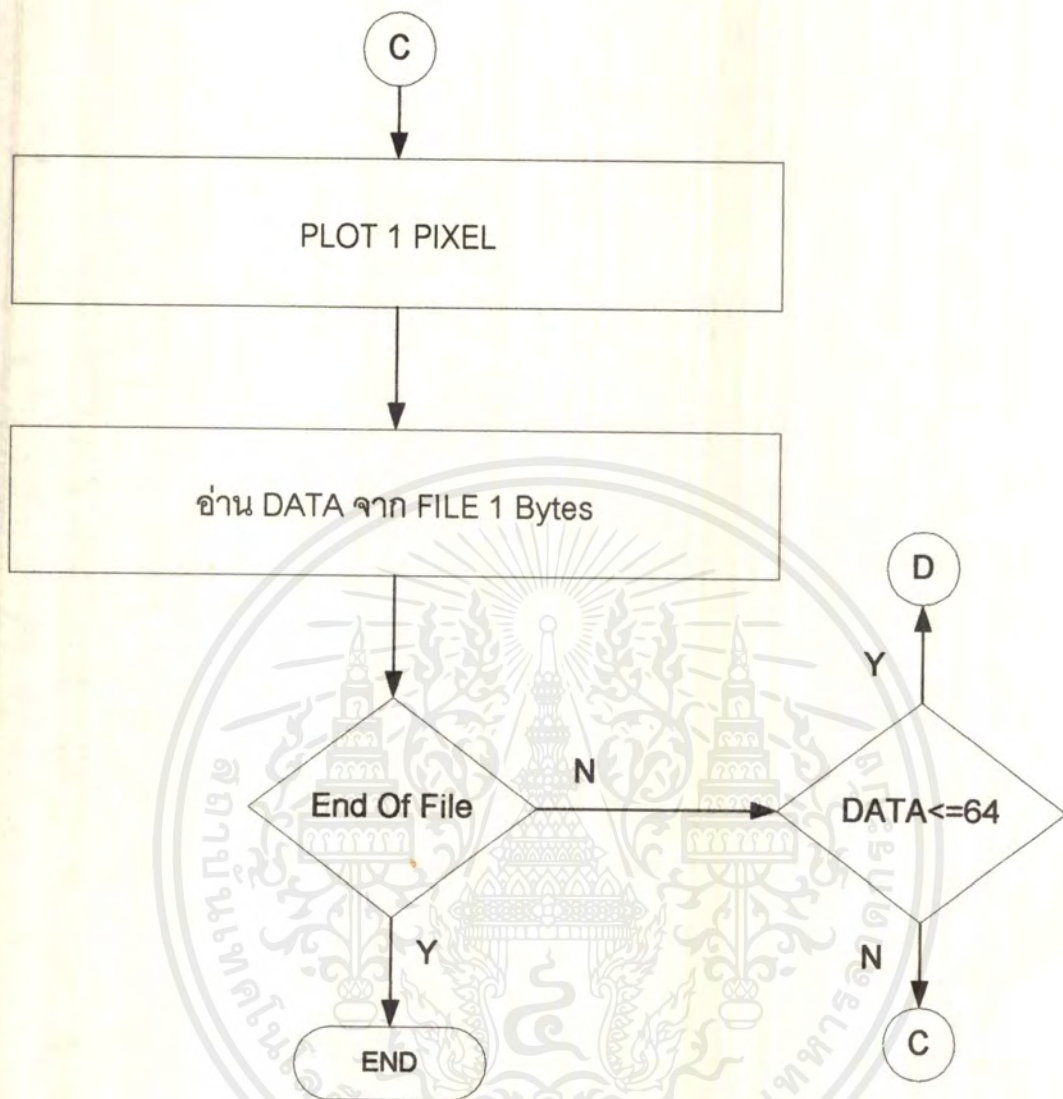
ตารางที่ 4.1 แสดงการกำหนดการใช้งานพอร์ทขนาน

เมื่อบันทึกเป็น File เสร็จแล้ว โปรแกรมจะอ่านข้อมูลจาก File เพื่อนำมา Plot เป็นภาพทีละจุด โดยเริ่มจากอ่านข้อมูลมาเรื่อย ๆ จนเจอข้อมูลที่มีค่าน้อยกว่าหรือเท่ากับ 64 ซึ่งเป็นข้อมูลส่วนของสัญญาณ Sync เมื่อเจอสัญญาณ Sync จะอ่านต่อไปอีกเพื่อให้แน่ใจว่าเป็นส่วนของสัญญาณ Sync จริง ๆ ไม่ใช่ส่วนของ Noise โปรแกรมจะอ่านข้อมูลจนหมดช่วงของข้อมูลที้น้อยกว่าหรือเท่ากับ 64 จากนั้นจะเริ่ม Plot จุดของภาพ ซึ่งเป็นข้อมูลในส่วนถัดมาไปเรื่อย ๆ จนเจอข้อมูลที้น้อยกว่าหรือเท่ากับ 64 อีก ก็จะมี Line ของภาพ Line ใหม่ และจะทำเช่นนี้ไปเรื่อย ๆ ดังที่กล่าวไว้ข้างต้นจนหมดข้อมูล ซึ่งมีประมาณ  $278 \times 312$  Bytes หรือ 234 Kbytes

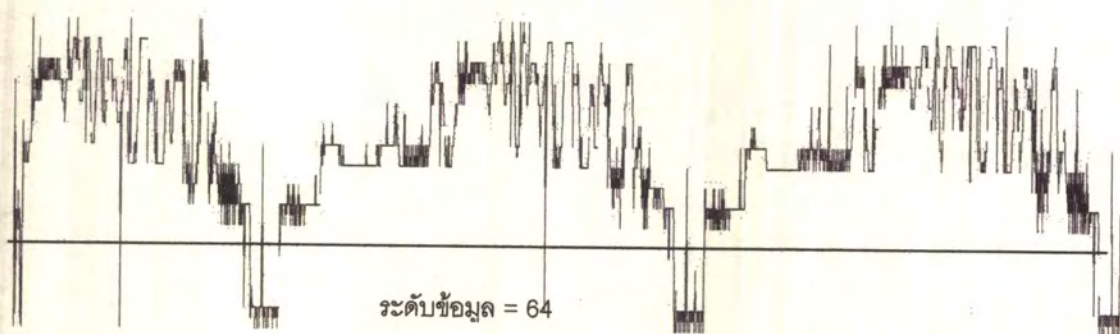




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 Flow Chart ของ Program

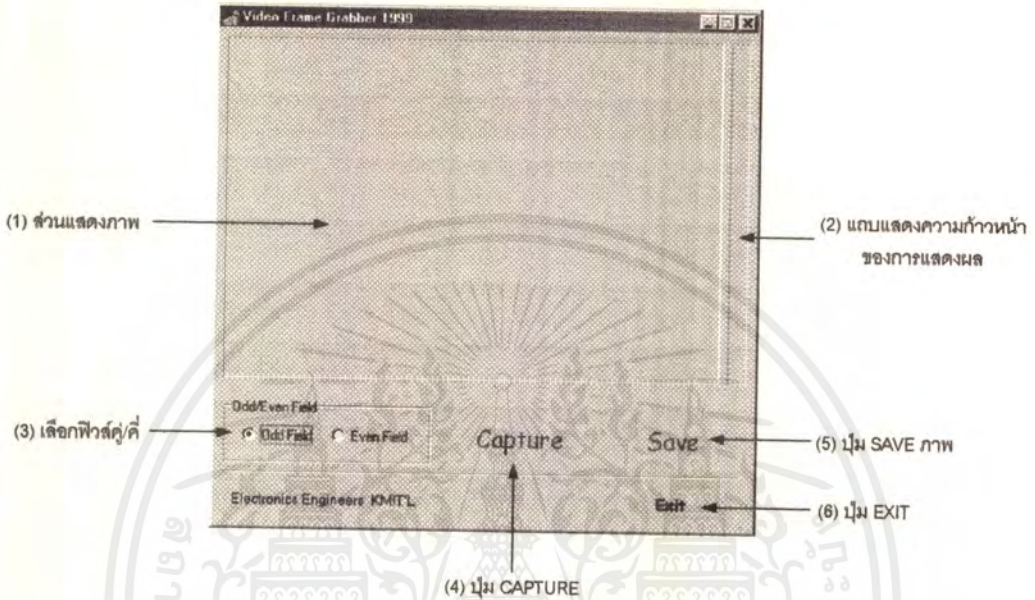


รูปที่ 4.2 กราฟของข้อมูลจาก RAMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การใช้งานโปรแกรม

โปรแกรมที่ใช้งานเป็นโปรแกรมที่ใช้งานบนระบบปฏิบัติการ Windows95 โดยใช้ Delphi เขียนขึ้น (Source Code ในภาคผนวก ก) ซึ่งมีหน้าต่างดังรูปที่ 4.3



รูปที่ 4.3 รูปลักษณะของโปรแกรม

1. ส่วนของภาพ  
เป็นส่วนที่ใช้แสดงผลของภาพที่ Capture มา
2. แถบแสดงความก้าวหน้าของการแสดงผล  
เป็นแถบที่จะเพิ่มขึ้นเรื่อย ๆ ตามความก้าวหน้าของการคำนวณเพื่อแสดง เมื่อแถบนี้ขึ้นเต็มก็แสดงว่าเสร็จสิ้นกระบวนการประมวลผล
3. เลือกฟิลด์คู่/คี่  
เป็นปุ่ม Radio ใช้เลือกว่าต้องการประมวลผลข้อมูลฟิลด์คู่หรือฟิลด์คี่
4. ปุ่ม Capture  
เป็นปุ่มกดเมื่อต้องการจะ Capture ภาพ

5. ปุ่ม Save ภาพ  
เป็นปุ่มกดเมื่อต้องการ Save ภาพที่ได้ไว้เป็น Bitmap File
6. ปุ่ม Exit  
เป็นปุ่มกดเมื่อต้องการออกจากโปรแกรม



## บทที่ 5

### การทดลองและผลการทดลอง

#### การทดลองและผลการทดลอง

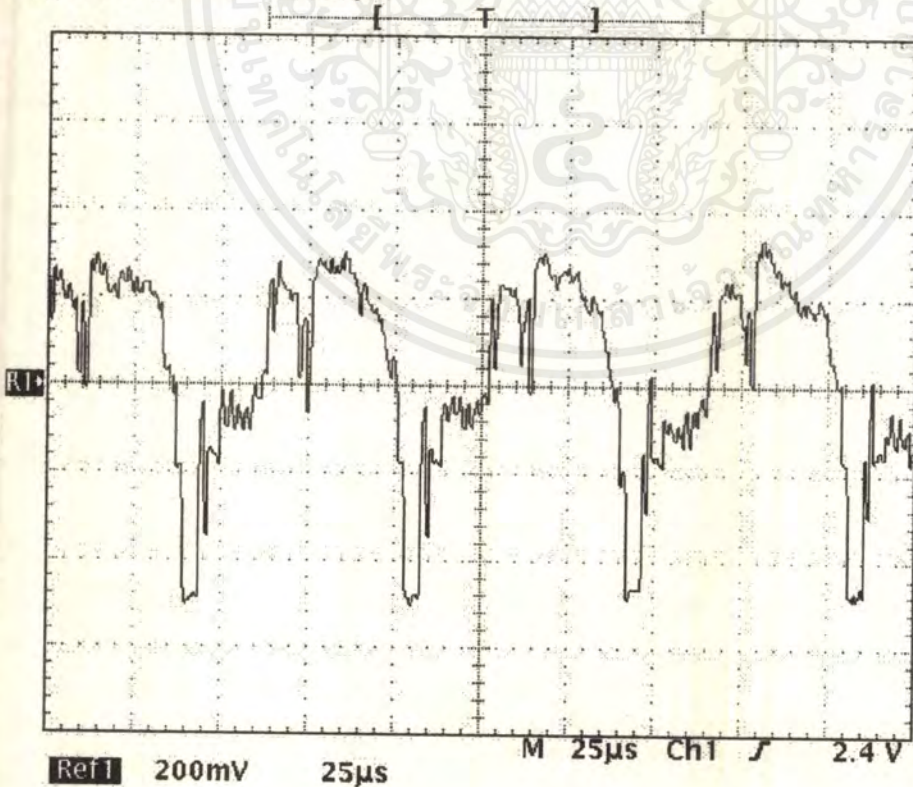
โครงการนี้มีส่วนที่เป็น Hardware และ Software ซึ่งทำให้ยากต่อการทดลอง เนื่องมาจากการทดลองวงจรนั้น ต้องใช้ Software เข้ามาเกี่ยวข้องในการทำงาน ดังนั้นเมื่อการทดลองไม่ประสบผลสำเร็จ จึงเป็นการยากที่จะระบุว่า ส่วนที่ไม่ทำงานหรือทำงานผิดพลาดนั้นเป็นที่ส่วนใด จึงทำให้การทดลองเป็นไปอย่างล่าช้า

สำหรับการดำเนินงานในภาคการศึกษานี้ ผลการทำงานมีความคือหน้า พอให้เห็นการทำงานของวงจรส่วนของ Hardware และ Software บางส่วนได้

ในส่วนของ Hardware นั้น สามารถทำงานได้ผลเป็นที่น่าพอใจ โดยมีผลการทดลองแสดงเป็นกราฟของสัญญาณที่จุดต่างๆ ของวงจรดังนี้

กราฟรูปที่ 5.1 นี้เป็นกราฟของสัญญาณ Composite Video ที่ขาอินพุท (ขาที่ 16 ของ TDA8708A) ซึ่งเป็นสัญญาณจากแหล่งกำเนิดสัญญาณ Video

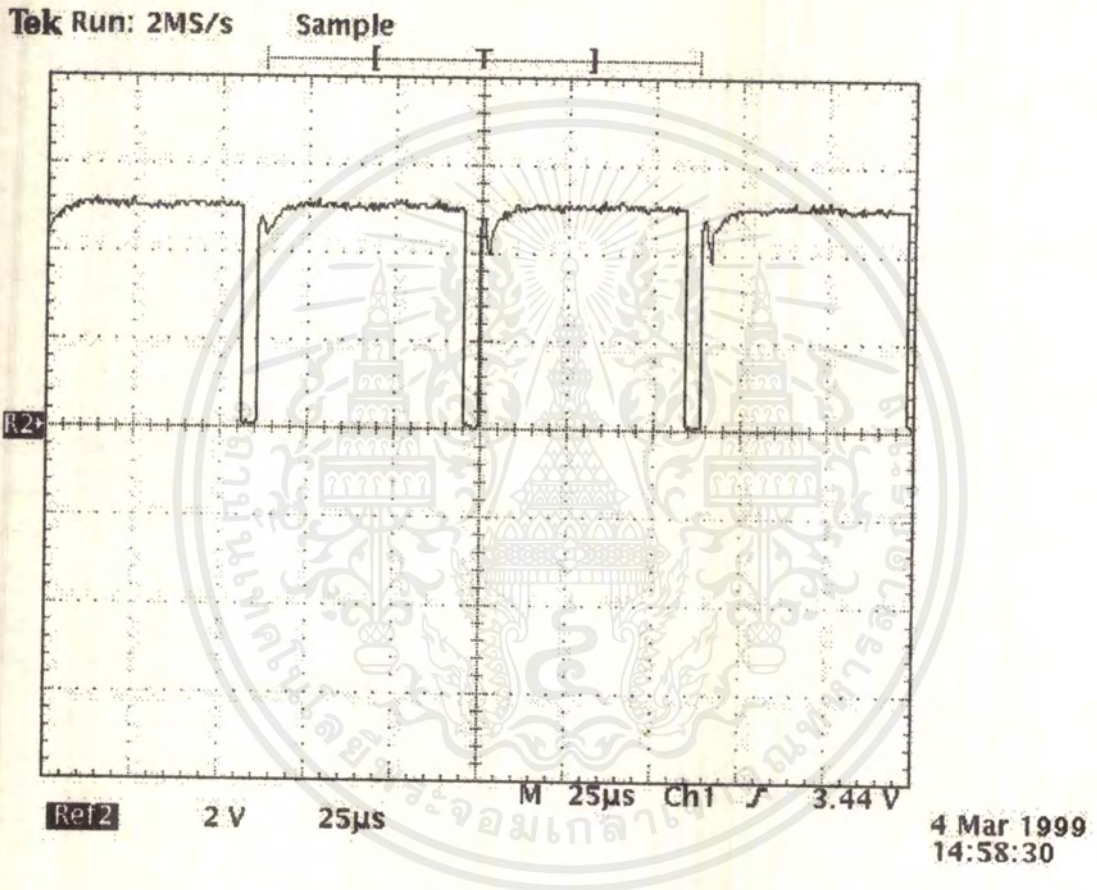
**Tek Run: 2MS/s**      **Sample**



กราฟรูปที่ 5.1 สัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

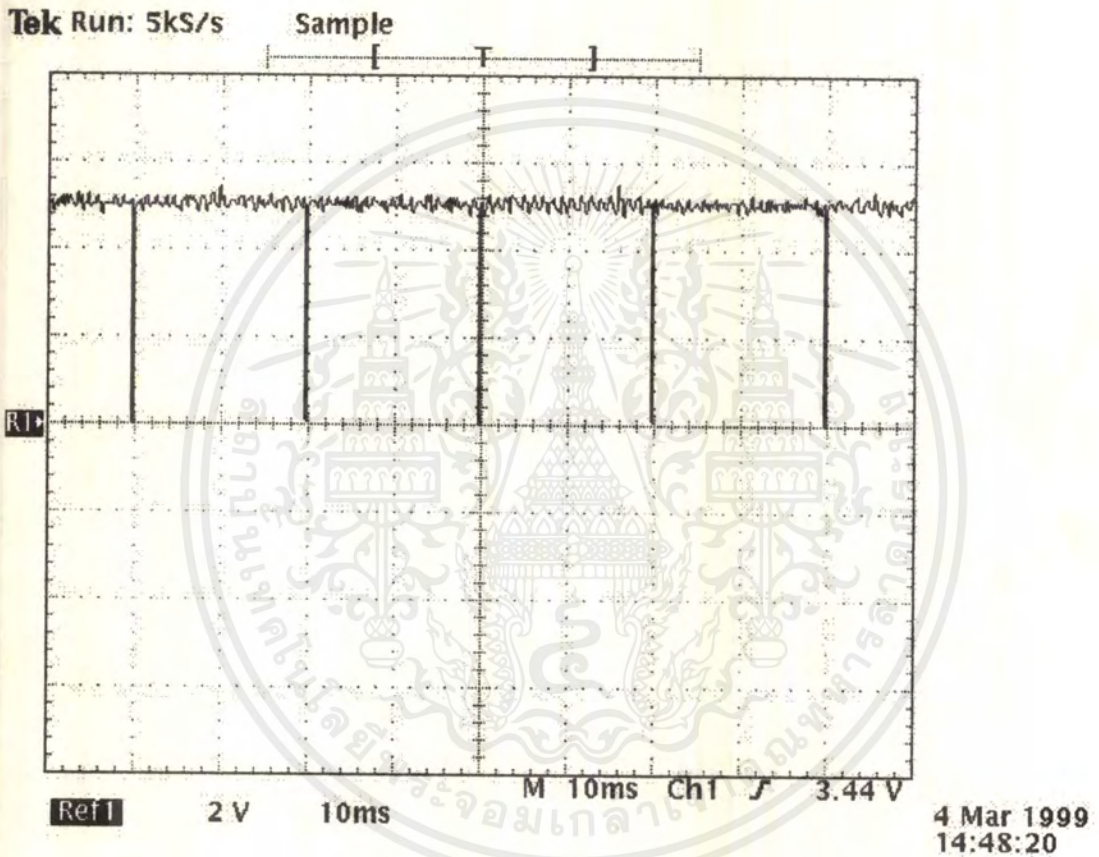
กราฟรูปที่ 5.2 เป็นสัญญาณ Composite Sync ที่ถูกแยกออกมาจากสัญญาณ Composite Video เป็นสัญญาณที่ขา 1 ของไอซี LM1881



กราฟรูปที่ 5.2 สัญญาณ Composite Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

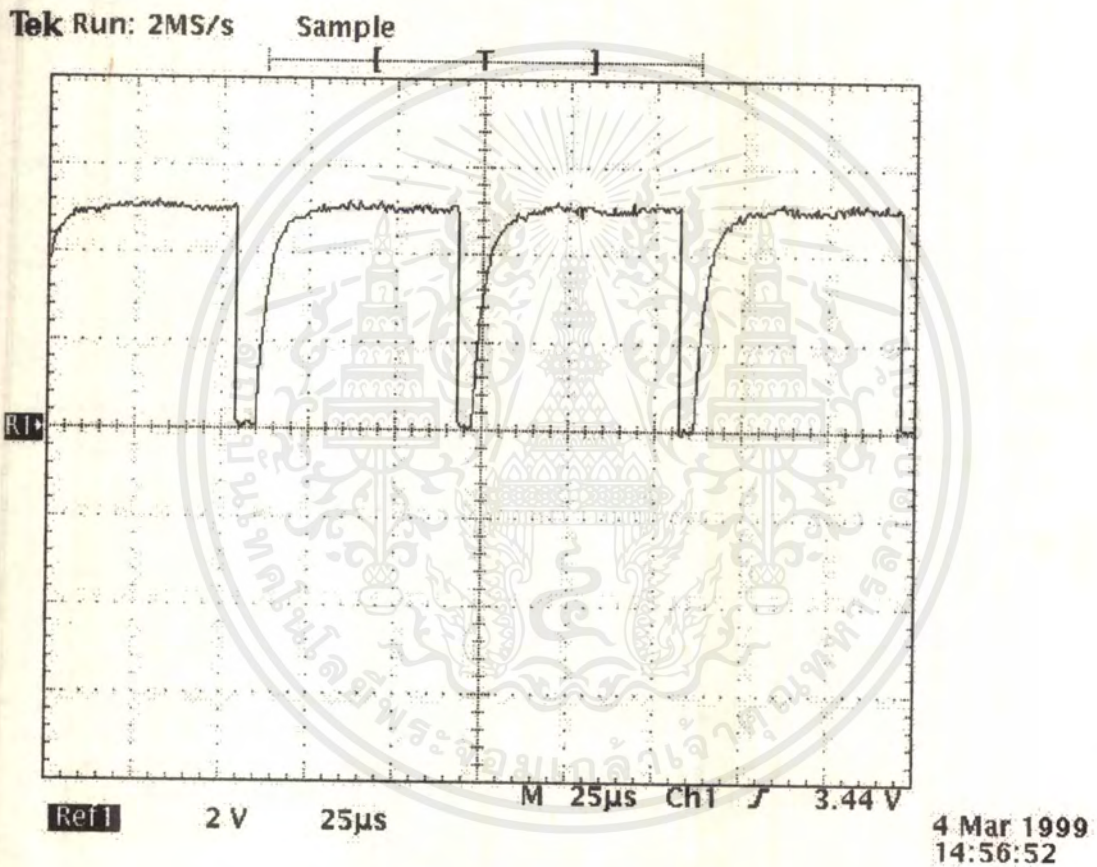
กราฟรูปที่ 5.3 เป็นสัญญาณ Vertical Sync ถูกแยกออกมาจากสัญญาณ Composite Video เป็นสัญญาณที่ขา 3 ของไอซี LM1881



กราฟรูปที่ 5.3 สัญญาณ Vertical Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

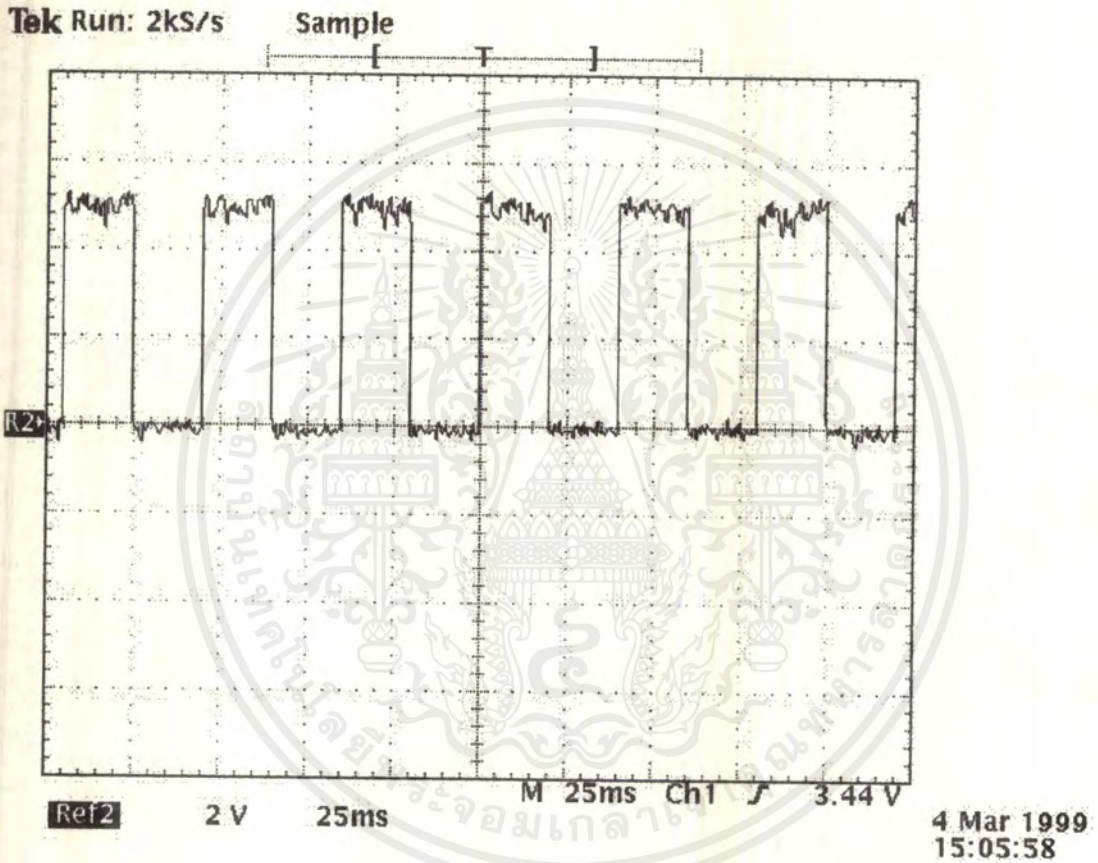
กราฟรูปที่ 5.4 เป็นสัญญาณ Burst ที่ถูกแยกออกมาจากสัญญาณ Composite Video เป็นสัญญาณที่ขา 5 ของไอซี LM1881



กราฟรูปที่ 5.4 สัญญาณ Burst

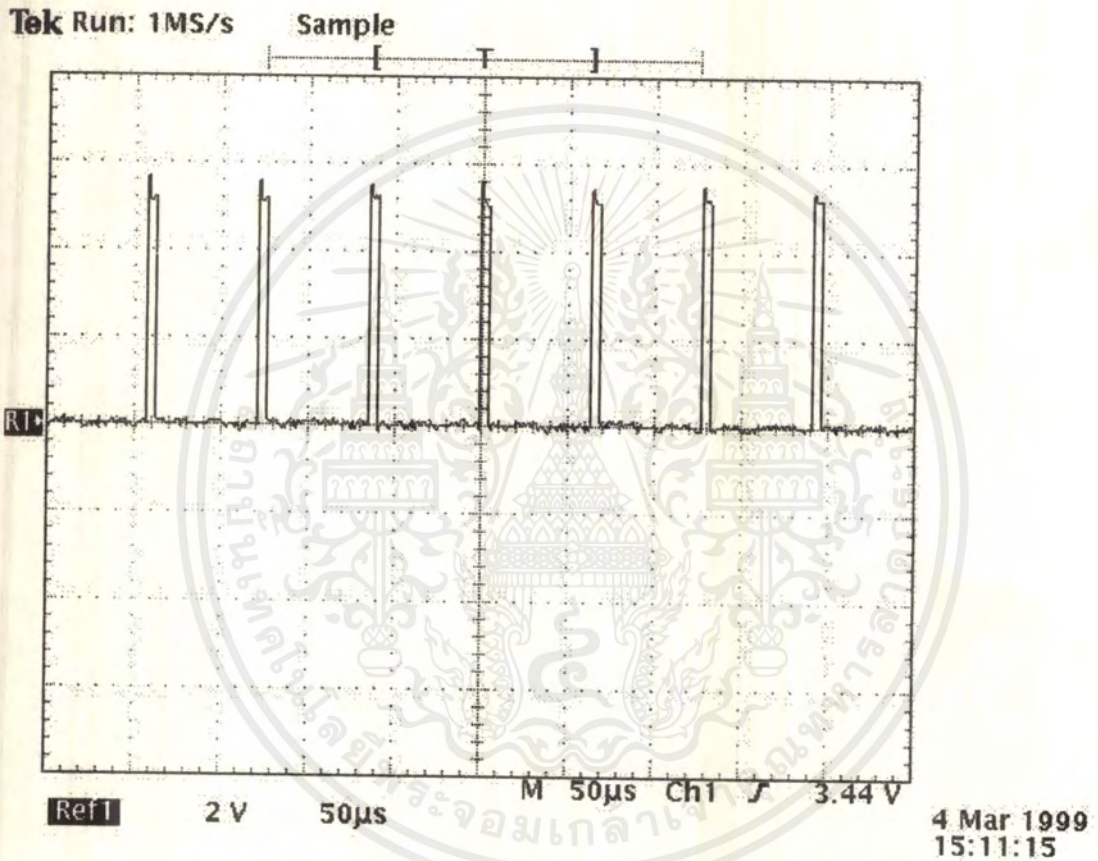
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟรูปที่ 5.5 เป็นสัญญาณ Odd/Even (O/E) ซึ่งเป็นสัญญาณที่ไอซี LM1881 สร้างขึ้นมาออกทางขา 7 O/E เป็นสัญญาณที่บอกกว่าส่วนของสัญญาณภาพ ในช่วงนั้นๆ เป็นส่วนของฟิลด์คู่(Even Field) หรือ ฟิลด์คี่ (Odd Field) โดยสัญญาณฟิลด์คู่ จะเป็น "0" และสัญญาณฟิลด์คี่ จะเป็น "1"



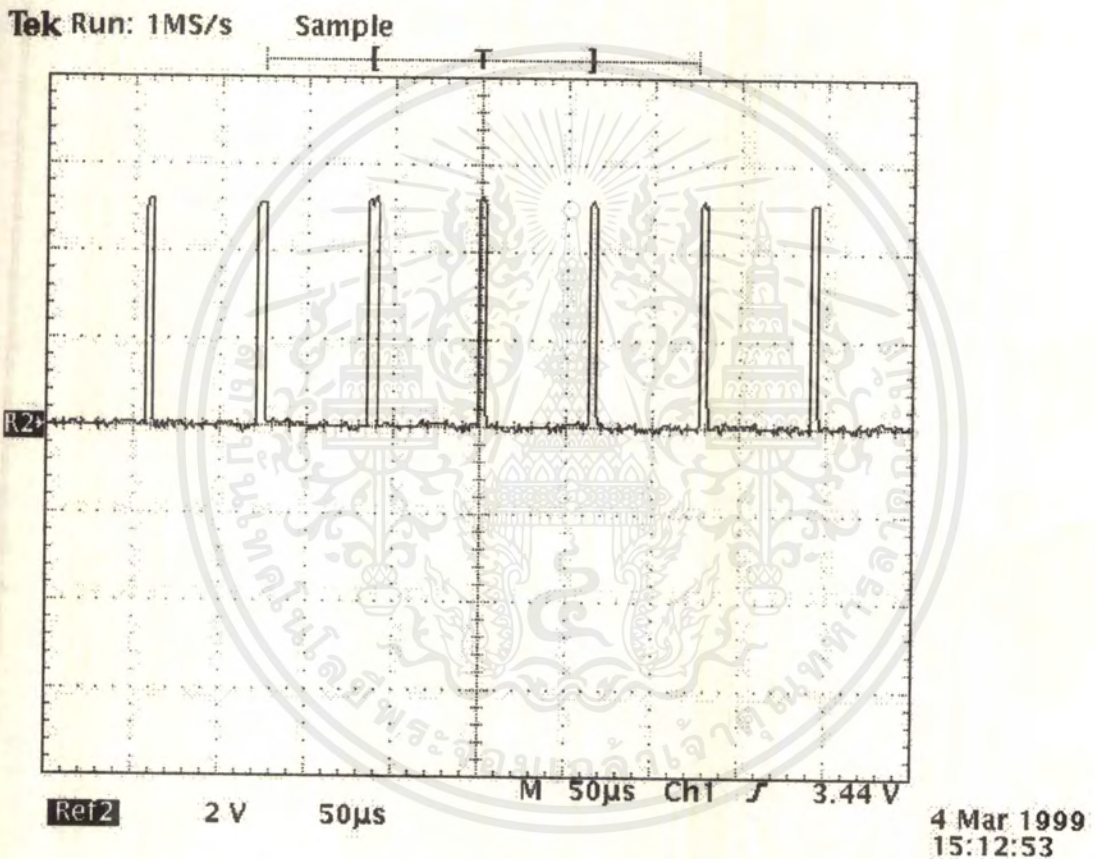
กราฟรูปที่ 5.5 สัญญาณ Odd/Even (O/E)

กราฟรูปที่ 5.6 เป็นสัญญาณที่ขา 27 Gate A ของ TDA8707A ซึ่งเป็นสัญญาณควบคุมการทำงานของวงจรภายในไอซี โดยใช้คู่กับสัญญาณที่ Gate B

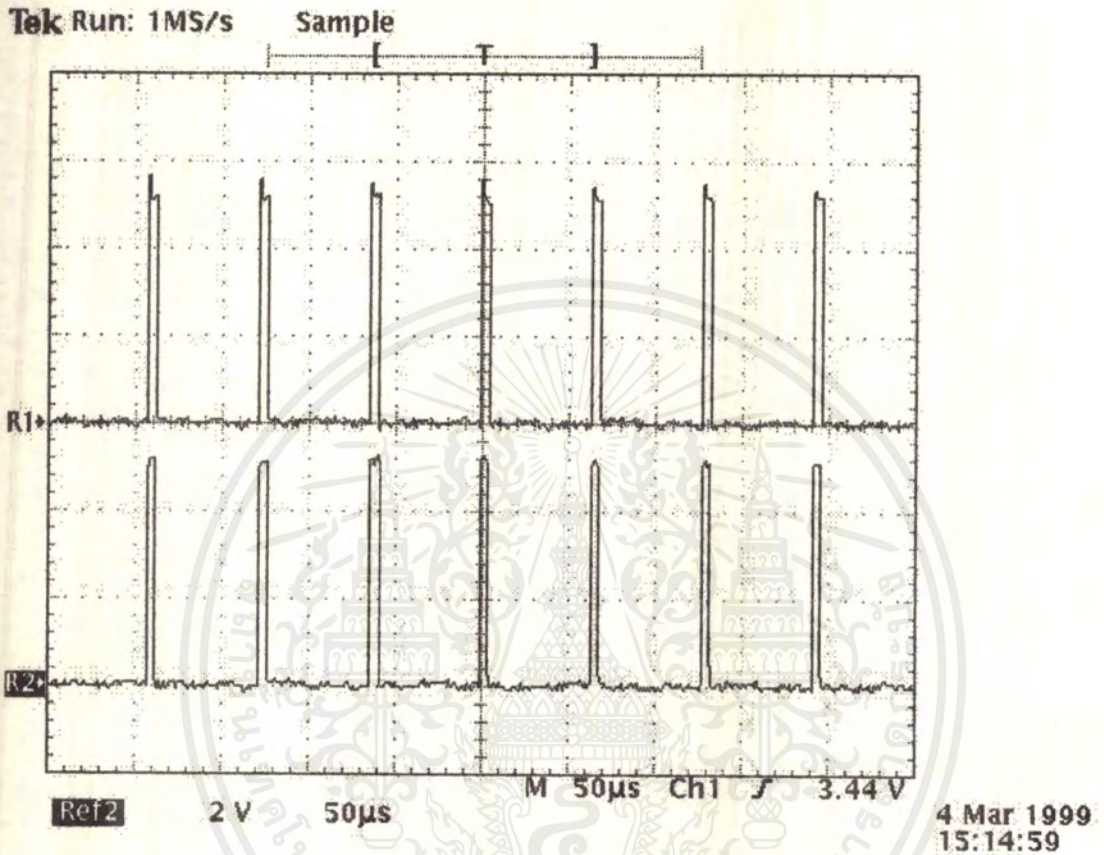


กราฟรูปที่ 5.6 เป็นสัญญาณที่ขา 27 Gate A ของ TDA8708A

กราฟรูปที่ 5.7 เป็นสัญญาณที่ขา 26 Gate B ของ TDA8708A ซึ่งเป็นสัญญาณควบคุมการทำงานของวงจรขยายเช่นกัน ใช้คู่กับสัญญาณที่ Gate A



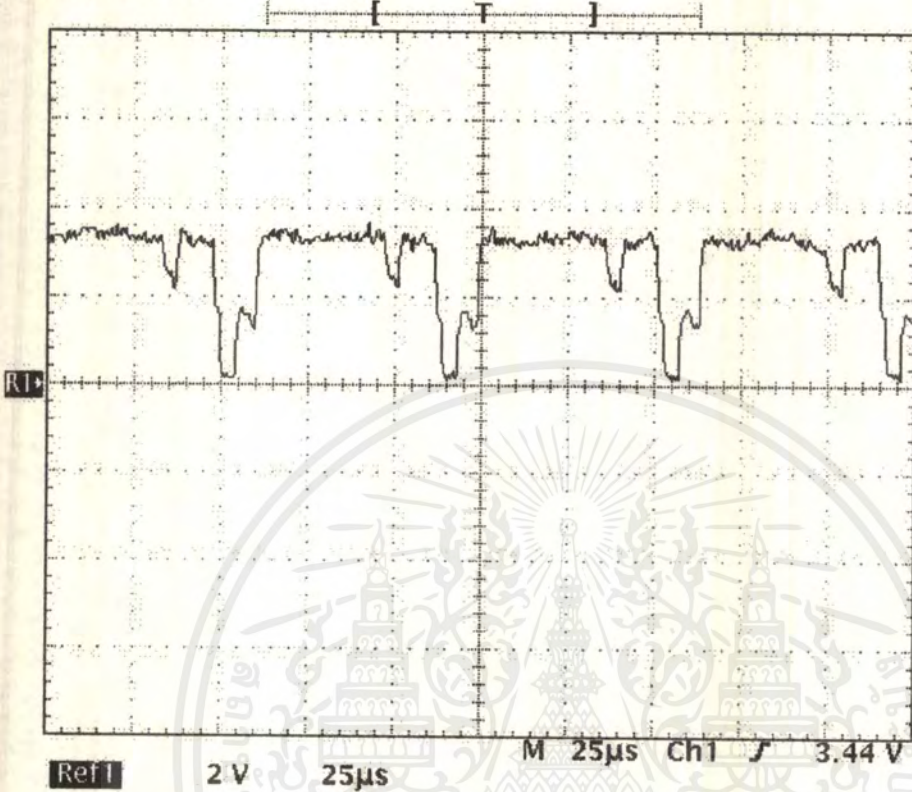
กราฟรูปที่ 5.7 เป็นสัญญาณที่ขา 26 Gate B



กราฟรูปที่ 5.8 เป็นการเปรียบเทียบระหว่างสัญญาณที่ Gate A และ Gate B

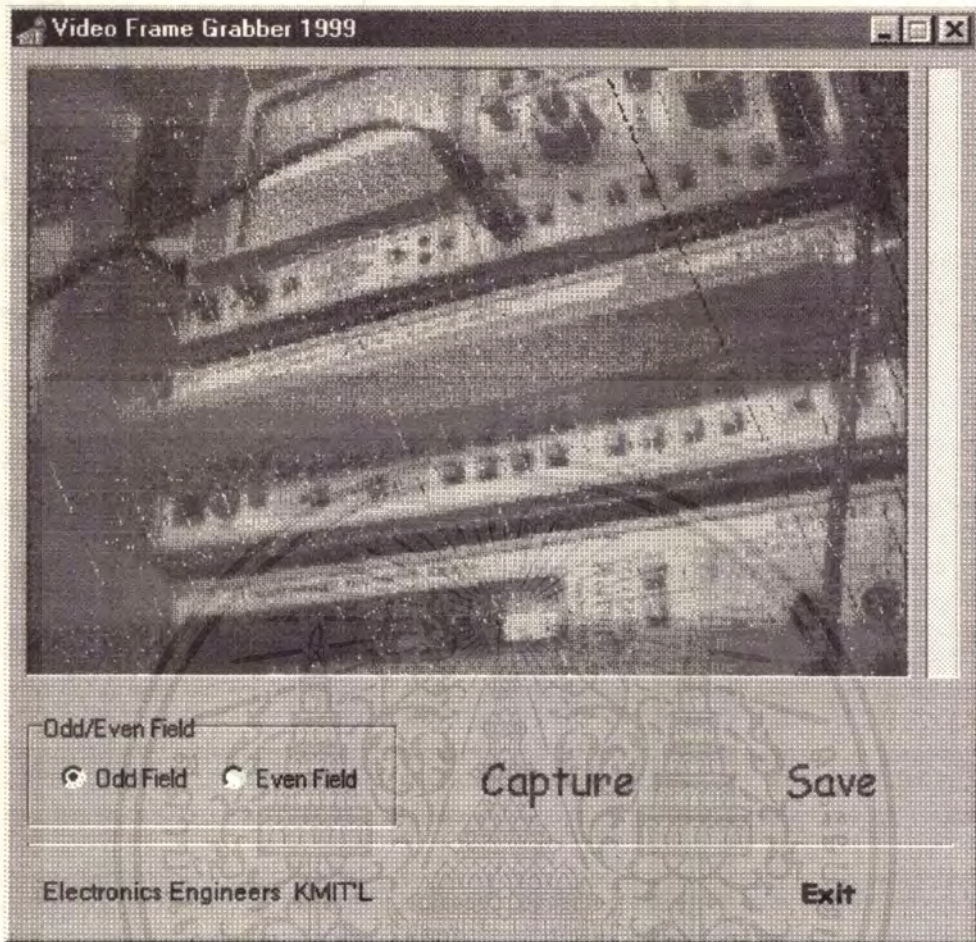
Tok Run: 2MS/s

Sample

4 Mar 1999  
15:17:57

กราฟรูปที่ 5.9 สัญญาณ Output ที่แปลงกลับคืนจาก DATA ของ ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงผลที่ได้จากการทำงานของโปรแกรม

## บทที่ 6

### สรุปผลการทำงาน

การทำงานทั้งหมดของ Software และ Hardware สามารถทำงานได้ตามที่ออกแบบไว้ถึงแม้ว่าจะมี Error และภาพจะมี Noise บ้าง ทั้งนี้ปัญหาดังกล่าวคาดว่าเกิดจากสัญญาณนาฬิกาไปรบกวนสัญญาณ Input ทำให้เกิด Noise ที่ Input

การแสดงผลของโปรแกรม ถึงแม้ว่าจะแสดงผลได้ดี แต่มีการประมวลผลที่ช้ามากอยู่ ทั้งนี้ถ้าต้องการความเร็วในการประมวลผลมากขึ้นต้องใช้ Computer ที่มีความเร็วมากขึ้น



ภาคผนวก ก  
Source Code ของโปรแกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**unit Complete3;**

interface

uses

Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,  
ExtCtrls, StdCtrls, ComCtrls, NpsPort;

type

TForm1 = class(TForm)

  Bevel1: TBevel;

  Bevel2: TBevel;

  GroupBox1: TGroupBox;

  ROdd: TRadioButton;

  REven: TRadioButton;

  BCapture: TButton;

  BSave: TButton;

  BExit: TButton;

  Pport: TNpsPortB;

  Image1: TImage;

  PB1: TPaintBox;

  Image2: TImage;

  CFile: TCheckBox;

  DSave: TSaveDialog;

  LCapture: TLabel;

  LExit: TLabel;

  LSave: TLabel;

  Bevel3: TBevel;

  Bevel4: TBevel;

```
procedure TForm1.BExitClick(Sender: TObject);
begin
  Close;
end;
```

```
procedure TForm1.FormActivate(Sender: TObject);
begin
  Form1.Refresh;
end;
```

```
procedure TForm1.BCaptureClick(Sender: TObject);
var
  fp: file of Byte;
  X,Y,I,J,K,Check,Con: Integer;
  Data:array[1..10] of Integer;
```

```
begin
  Con:=StrToInt(EContrast.Text);
  PB1.Repaint;
  BSave.Enabled := True;
  BCapture.Cursor := crHourGlass;
  BCapture.Visible := False;
  LCapture.Refresh;
```

```
With Pport Do
```

```
begin
```

```
if not CFile.Checked then
```

```
begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EContrast: TEdit;
Label1: TLabel;
LElec: TLabel;
procedure BExitClick(Sender: TObject);
procedure FormActivate(Sender: TObject);
procedure BCaptureClick(Sender: TObject);
procedure BSaveClick(Sender: TObject);
procedure LCaptureMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LExitMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LSaveMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormCreate(Sender: TObject);
procedure LElecClick(Sender: TObject);
private
  { Private declarations }
public
  { Public declarations }
end;

var
  Form1: TForm1;
  DataOut,DataIn: Byte;
  Data: Array [1..40] of Byte;
implementation

{$R *.DFM}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EContrast: TEdit;
Label1: TLabel;
LElec: TLabel;
procedure BExitClick(Sender: TObject);
procedure FormActivate(Sender: TObject);
procedure BCaptureClick(Sender: TObject);
procedure BSaveClick(Sender: TObject);
procedure LCaptureMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LExitMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LSaveMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormCreate(Sender: TObject);
procedure LElecClick(Sender: TObject);
private
  { Private declarations }
public
  { Public declarations }
end;

var
  Form1: TForm1;
  DataOut,DataIn: Byte;
  Data: Array [1..40] of Byte;
implementation

{$R *.DFM}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EContrast: TEdit;
Label1: TLabel;
LElec: TLabel;
procedure BExitClick(Sender: TObject);
procedure FormActivate(Sender: TObject);
procedure BCaptureClick(Sender: TObject);
procedure BSaveClick(Sender: TObject);
procedure LCaptureMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LExitMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LSaveMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormCreate(Sender: TObject);
procedure LElecClick(Sender: TObject);
private
  { Private declarations }
public
  { Public declarations }
end;

var
  Form1: TForm1;
  DataOut,DataIn: Byte;
  Data: Array [1..40] of Byte;
implementation

{$R *.DFM}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EContrast: TEdit;
Label1: TLabel;
LElec: TLabel;
procedure BExitClick(Sender: TObject);
procedure FormActivate(Sender: TObject);
procedure BCaptureClick(Sender: TObject);
procedure BSaveClick(Sender: TObject);
procedure LCaptureMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LExitMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure LSaveMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
procedure FormCreate(Sender: TObject);
procedure LElecClick(Sender: TObject);
private
  { Private declarations }
public
  { Public declarations }
end;

var
  Form1: TForm1;
  DataOut,DataIn: Byte;
  Data: Array [1..40] of Byte;
implementation

{$R *.DFM}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DataIn := DataIn and $FF;
Address:=$378;
Value:=$0B;{1G+Clock Low}
Write(fp,DataIn);
end;
end;
end
```

```
else
begin
  {Even Render}
  for l:=1 to 312 do
  begin
    for J:= 1 to 768 do
    begin
      Address:=$378;
      Value:=$07;{1G+Even+Clock High}
      Address:=$379;
      DataIn := Value;
      DataIn := DataIn and $FF;
      Address:=$378;
      Value:=$03;{1G+Clock Low}
      Write(fp,DataIn);
    end;
  end;
end;
end;
end;
```

```
CloseFile(fp);
```

```
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

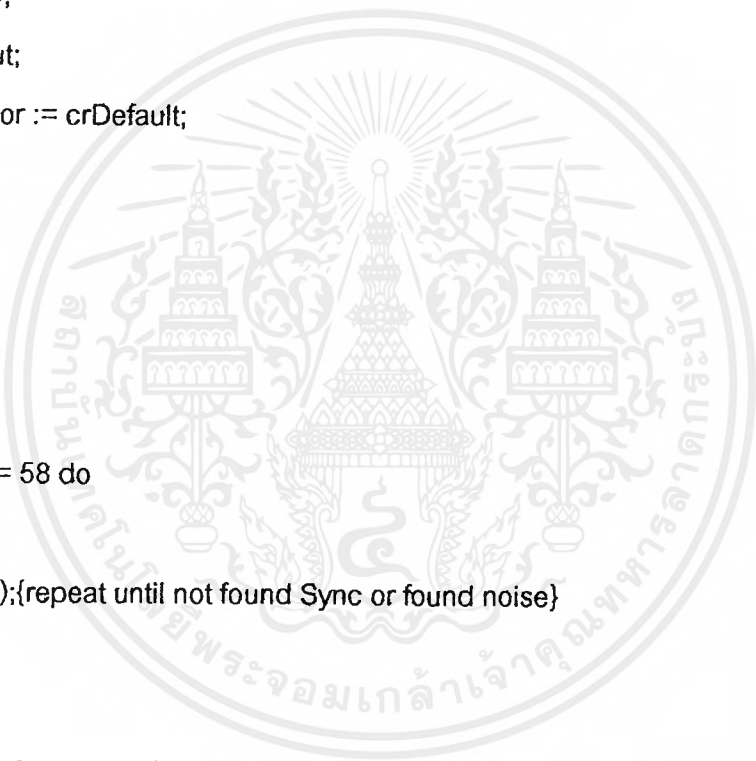
```
X:=0;
Y:=0;
AssignFile(fp,'Pix.dat');
Reset(fp);
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;
Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
```

```
Read(fp,DataIn);
repeat
While DataIn > 58 do
begin
Read(fp,DataIn);{repeat until found Sync}
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
```

```

Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;
Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
end;
repeat
repeat
While DataIn <= 58 do
begin
Read(fp,DataIn){repeat until not found Sync or found noise}
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;

```



```

Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
end;
Data[1]:=DataIn;
Read(fp,DataIn);
until DataIn > 58;
Data[2]:=DataIn;
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;
Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
Read(fp,DataIn);
until DataIn > 58;
PB1.Canvas.Pixels[X,300-Y] := RGB(255,255,0);
if X <= 70 then K:=0 else K:=X-70;
Image2.Canvas.Pixels[K,Y] := RGB(Data[1]-Con,Data[1]-Con,Data[1]-Con);

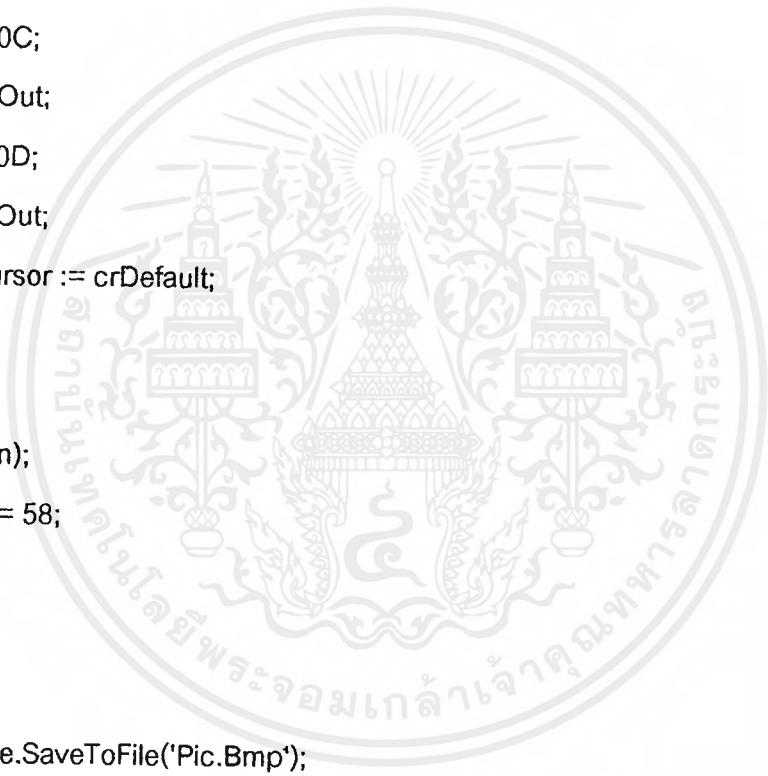
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;
Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
Read(fp,DataIn);
until DataIn <= 58;
Data[3]:=57;
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;

```



```

Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
Read(fp,DataIn);
until DataIn <= 58;
Data[4]:=57;
if Eof(fp) then
begin
Image2.Picture.SaveToFile('Pic.Bmp');
Image1.Picture.LoadFromFile('Pic.Bmp');
CloseFile(fp);
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0D;
Value:=DataOut;
BCapture.Cursor := crDefault;
exit;
end;
Read(fp,DataIn);
until DataIn <= 58;
y:=y+1;
x:=0;
until Eof(fp);

```

```
Image2.Picture.SaveToFile('Pic.Bmp');
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

X:=X+1;
PB1.Canvas.Pixels[X,300-Y] := RGB(255,255,0);
if X <= 70 then K:=0 else K:=X-70;
Image2.Canvas.Pixels[K,Y] := RGB(Data[2]-Con,Data[2]-Con,Data[2]-Con);
Data[3]:=0;
Data[4]:=0;
repeat
repeat
repeat
if Data[3]=57 then
begin
Data[3]:=59;
X:=X+1;
PB1.Canvas.Pixels[X,300-Y] := RGB(255,255,0);
if X <= 70 then K:=0 else K:=X-70;
Image2.Canvas.Pixels[K,Y] := RGB(Data[3]-Con,Data[3]-Con,Data[3]-Con);
end;
if Data[4]=57 then
begin
Data[4]:=59;
X:=X+1;
PB1.Canvas.Pixels[X,300-Y] := RGB(255,255,0);
if X <= 70 then K:=0 else K:=X-70;
Image2.Canvas.Pixels[K,Y] := RGB(Data[4]-Con,Data[4]-Con,Data[4]-Con);
end;
X:=X+1;
PB1.Canvas.Pixels[X,300-Y] := RGB(255,255,0);
if X <= 70 then K:=0 else K:=X-70;
Image2.Canvas.Pixels[K,Y] := RGB(DataIn-Con,DataIn-Con,DataIn-Con);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Image1.Picture.LoadFromFile('Pic.Bmp');
```

```
CloseFile(fp);
```

```
Address:=$378;
```

```
DataOut:= $0C;
```

```
Value:=DataOut;
```

```
DataOut:= $0C;
```

```
Value:=DataOut;
```

```
DataOut:= $0D;
```

```
Value:=DataOut;
```

```
BCapture.Cursor := crDefault;
```

```
PB1.Repaint;
```

```
end;
```

```
end;
```

```
procedure TForm1.BSaveClick(Sender: TObject);
```

```
begin
```

```
BSave.Visible := False;
```

```
LSave.Refresh;
```

```
if Dsave.Execute then
```

```
    Image1.Picture.SaveToFile(DSave.Filename);
```

```
end;
```

```
procedure TForm1.LCaptureMouseMove(Sender: TObject; Shift: TShiftState; X,
```

```
    Y: Integer);
```

```
begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

BCapture.Visible := True;

end;

procedure TForm1.FormMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
begin
BCapture.Visible := False;
BExit.Visible := False;
BSave.Visible := False;
end;

procedure TForm1.LExitMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
begin
BExit.Visible := True;
end;

procedure TForm1.LSaveMouseMove(Sender: TObject; Shift: TShiftState; X,Y: Integer);
begin
BSave.Visible := True;
end;

procedure TForm1.FormCreate(Sender: TObject);
begin
Form1.Height := 465;
With Pport do
begin
Address:=$378;
DataOut:= $0C;
Value:=DataOut;
DataOut:= $0C;

```

```
Value:=DataOut;  
DataOut:= $0D;  
Value:=DataOut;  
end;  
end;
```

```
procedure TForm1.LElecClick(Sender: TObject);
```

```
begin
```

```
if Form1.Height = 465 then
```

```
Form1.Height := 520
```

```
else
```

```
Form1.Height := 465;
```

```
end;
```

```
end.
```



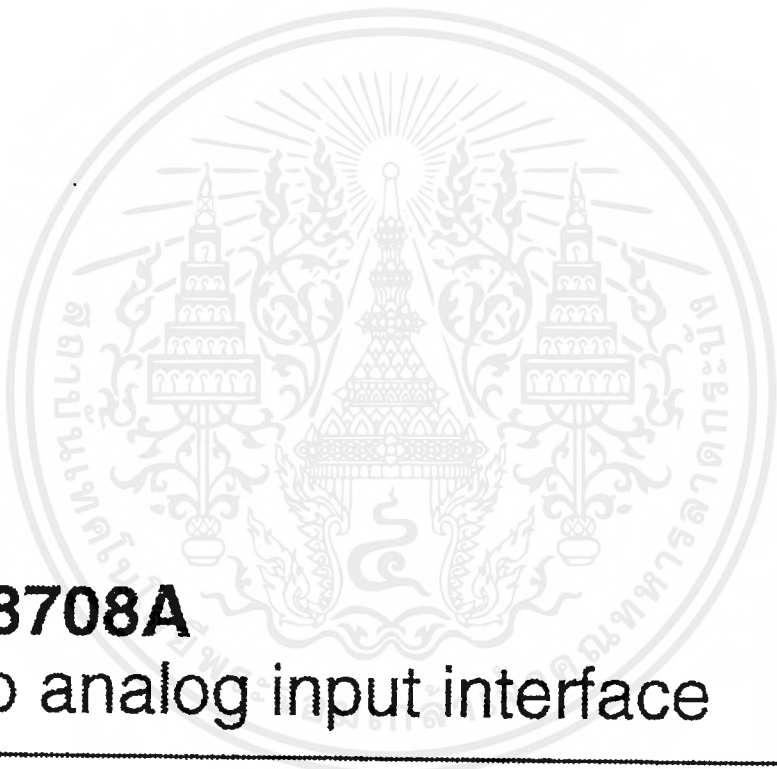
ภาคผนวก ข

คู่มือ IC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET



**TDA8708A**

**Video analog input interface**

Product specification  
Supersedes data of April 1993  
File under Integrated Circuits, IC02

June 1994

**Philips Semiconductors**



**PHILIPS**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Video analog input interface

## TDA8708A

## FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

## APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

## GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

## QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V <sub>CCA</sub>	analog supply voltage	4.5	5.0	5.5	V
V <sub>CCD</sub>	digital supply voltage	4.5	5.0	5.5	V
V <sub>CCO</sub>	TTL output supply voltage	4.2	5.0	5.5	V
I <sub>CCA</sub>	analog supply current	–	37	45	mA
I <sub>CCD</sub>	digital supply current	–	24	30	mA
I <sub>CCO</sub>	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
f <sub>clk(max)</sub>	maximum clock frequency	30	32	–	MHz
B	maximum –3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P <sub>tot</sub>	total power dissipation	–	365	500	mW

## ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

Video analog input interface

TDA8708A

BLOCK DIAGRAM

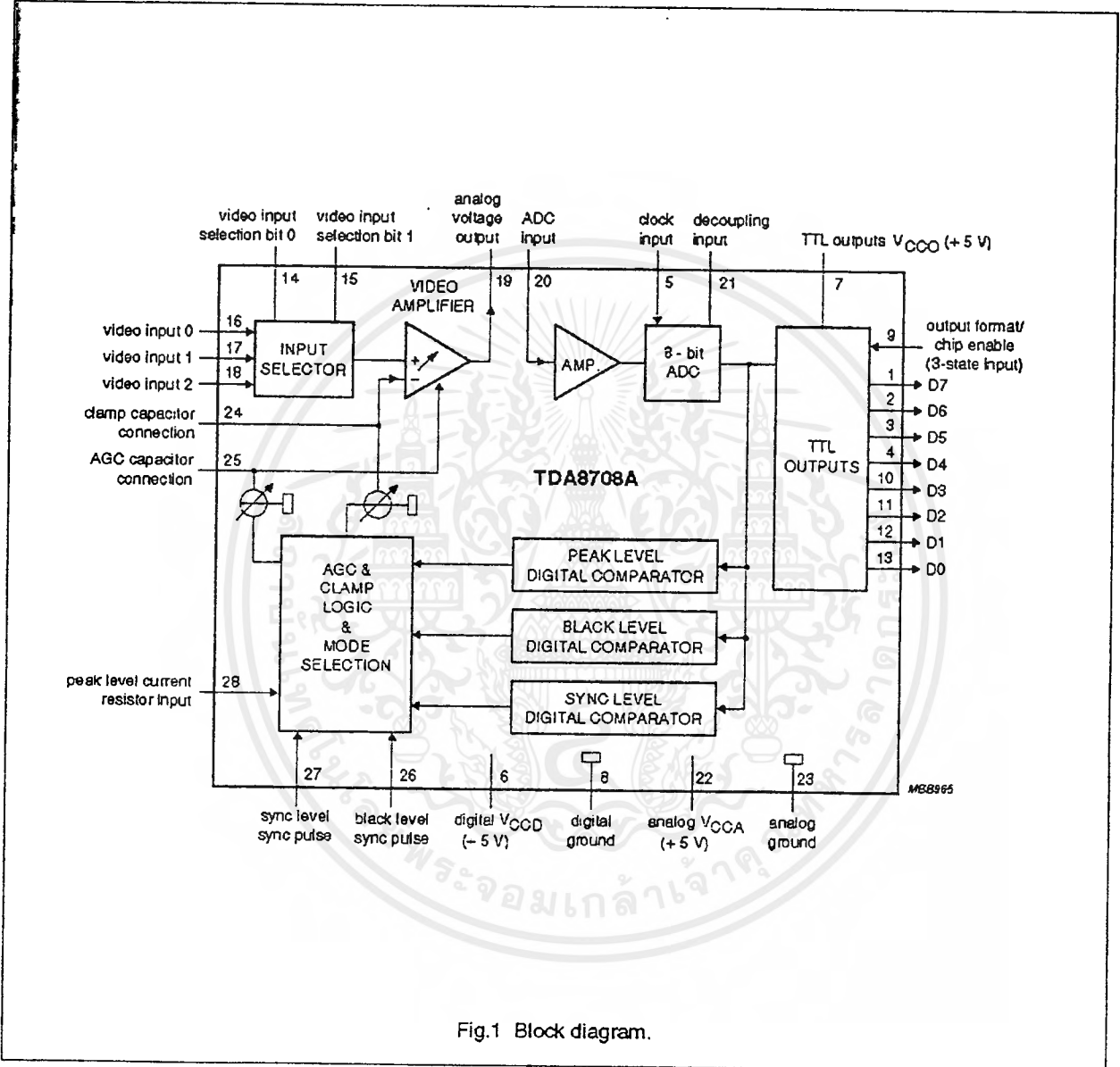


Fig.1 Block diagram.

Video analog input interface

TDA8708A

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V <sub>CCD</sub>	6	digital supply voltage (+5 V)
V <sub>CCO</sub>	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V <sub>CCA</sub>	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

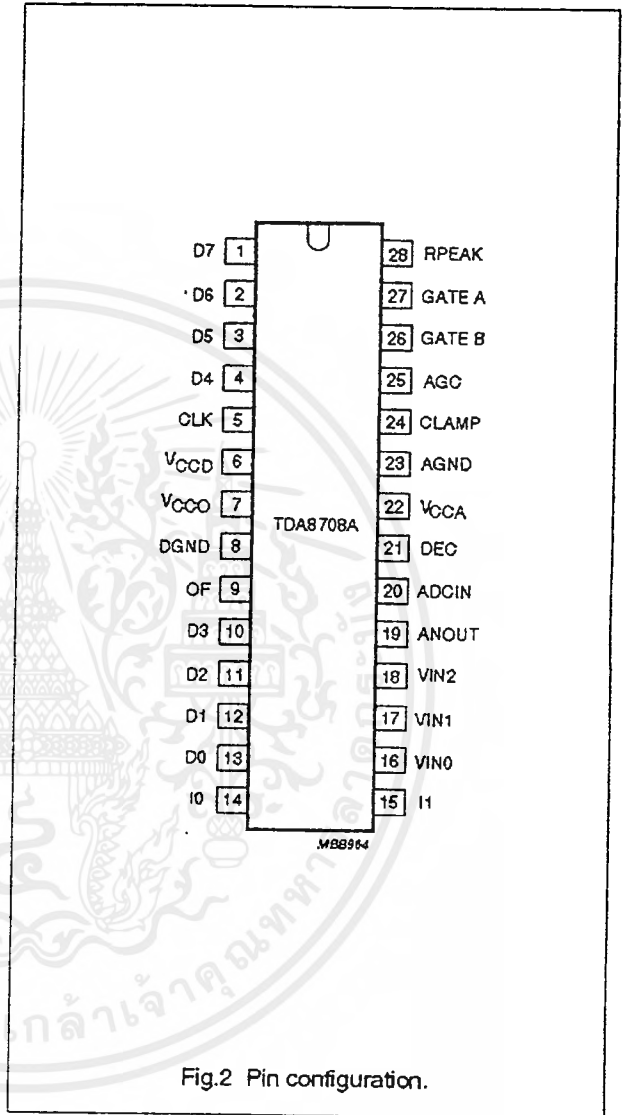


Fig.2 Pin configuration.

## Video analog input interface

## TDA8708A

## FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

## LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
$V_{CCA}$	analog supply voltage	-0.3	+7.0	V
$V_{CCD}$	digital supply voltage	-0.3	+7.0	V
$V_{CCO}$	output supply voltage	-0.3	+7.0	V
$\Delta V_{CC}$	supply voltage difference between $V_{CCA}$ and $V_{CCD}$	-1.0	+1.0	V
	supply voltage difference between $V_{CCO}$ and $V_{CCD}$	-1.0	+1.0	V
	supply voltage difference between $V_{CCA}$ and $V_{CCO}$	-1.0	+1.0	V
$V_I$	input voltage	-0.3	$V_{CCA}$	V
$I_O$	output current	0	+10	mA
$T_{STG}$	storage temperature	-55	+150	°C
$T_{amb}$	operating ambient temperature	0	+70	°C
$T_J$	junction temperature	0	+125	°C

## THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th j-a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

## Video analog input interface

TDA8708A

## CHARACTERISTICS

$V_{CCA} = V_{22}$  to  $V_{23} = 4.5$  to  $5.5$  V;  $V_{CCD} = V_6$  to  $V_8 = 4.5$  to  $5.5$  V;  $V_{CCO} = V_7$  to  $V_8 = 4.2$  to  $5.5$  V; AGND and DGND shorted together;  $V_{CCA}$  to  $V_{CCD} = -0.5$  to  $+0.5$  V;  $V_{CCO}$  to  $V_{CCD} = -0.5$  to  $+0.5$  V;  $V_{CCA}$  to  $V_{CCO} = -0.5$  to  $+0.5$  V;  $T_{amb} = 0$  to  $+70$  °C; typical readings taken at  $V_{CCA} = V_{CCD} = V_{CCO} = 5$  V and  $T_{amb} = 25$  °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
<b>Supplies</b>						
$V_{CCA}$	analog supply voltage		4.5	5.0	5.5	V
$V_{CCD}$	digital supply voltage		4.5	5.0	5.5	V
$V_{CCO}$	TTL output supply voltage		4.2	5.0	5.5	V
$I_{CCA}$	analog supply current		–	37	45	mA
$I_{CCD}$	digital supply current		–	24	30	mA
$I_{CCO}$	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
<b>Video amplifier Inputs</b>						
<b>VIN(0 TO 2) INPUTS</b>						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor, note 1	0.6	–	1.5	V
$ Z_i $	input impedance	$f_i = 6$ MHz	10	20	–	k $\Omega$
$C_i$	input capacitance	$f_i = 6$ MHz	–	1	–	pF
<b>I0 AND I1 TTL INPUTS (SEE TABLE 1)</b>						
$V_{IL}$	LOW level input voltage		0	–	0.8	V
$V_{IH}$	HIGH level input voltage		2.0	–	$V_{CCD}$	V
$I_{IL}$	LOW level input current	$V_i = 0.4$ V	–400	–	–	$\mu$ A
$I_{IH}$	HIGH level input current	$V_i = 2.7$ V	–	–	20	$\mu$ A
<b>GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)</b>						
$V_{IL}$	LOW level input voltage		0	–	0.8	V
$V_{IH}$	HIGH level input voltage		2.0	–	$V_{CCD}$	V
$I_{IL}$	LOW level input current	$V_i = 0.4$ V	–400	–	–	$\mu$ A
$I_{IH}$	HIGH level input current	$V_i = 2.7$ V	–	–	20	$\mu$ A
$t_w$	pulse width	see Fig.5	2	–	–	$\mu$ s
<b>RPEAK INPUT (PIN 28)</b>						
$I_{28(min)}$	minimum peak level current	$R_{28} = 0$ $\Omega$	–	80	150	$\mu$ A
<b>AGC INPUT (PIN 25)</b>						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
<b>CLAMP INPUT (PIN 24)</b>						
$V_{24}$	clamp voltage for code 128 output		–	3.5	–	V
$I_{24}$	clamp output current		see Table 3			

## Video analog input interface

## TDA8708A

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
<b>Video amplifier outputs</b>						
<b>ANOUT OUTPUT (PIN 19)</b>						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	$V_{VIN} = 1.33 \text{ V (p-p)}$ ; $V_{25} = 3.6 \text{ V}$	–	1.33	–	V
$I_{19}$	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	$V_{ANOUT} = 1.33 \text{ V (p-p)}$ ; note 2	–	–	1.0	mA
$V_{19}$	DC output voltage for black level	note 3	–	$V_{CCA} - 2.24$	–	V
$Z_{19}$	output impedance		–	20	–	$\Omega$
<b>Video amplifier dynamic characteristics</b>						
$\alpha_{ct}$	crosstalk between VIN inputs	$V_{CCA} = 4.75 \text{ to } 5.25 \text{ V}$	–	–50	–45	dB
$G_{diff}$	differential gain	$V_{VIN} = 1.33 \text{ V (p-p)}$ ; $V_{25} = 3.6 \text{ V}$	–	2	–	%
$\phi_{diff}$	differential phase	$V_{VIN} = 1.33 \text{ V (p-p)}$ ; $V_{25} = 3.6 \text{ V}$	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
$\Delta G$	gain range	see Fig.10	–4.5	–	+6.0	dB
$G_{stab}$	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
<b>Analogue-to-digital converter inputs</b>						
<b>CLK INPUT (PIN 5)</b>						
$V_{IL}$	LOW level input voltage		0	–	0.8	V
$V_{IH}$	HIGH level input voltage		2.0	–	$V_{CCD}$	V
$I_{IL}$	LOW level input current	$V_{clk} = 0.4 \text{ V}$	–400	–	–	$\mu\text{A}$
$I_{IH}$	HIGH level input current	$V_{clk} = 2.7 \text{ V}$	–	–	100	$\mu\text{A}$
$ Z_i $	input impedance	$f_{clk} = 10 \text{ MHz}$	–	4	–	k $\Omega$
$C_i$	input capacitance	$f_{clk} = 10 \text{ MHz}$	–	4.5	–	pF
<b>OF INPUT (3-STATE; SEE TABLE 4)</b>						
$V_{IL}$	LOW level input voltage		0	–	0.2	V
$V_{IH}$	HIGH level input voltage		2.6	–	$V_{CCD}$	V
$V_9$	input voltage in high impedance state		–	1.15	–	V
$I_{IL}$	LOW level input current		–370	–300	–	$\mu\text{A}$
$I_{IH}$	HIGH level input current		–	300	450	$\mu\text{A}$

## Video analog input interface

TDA8708A

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
<b>ADCIN INPUT (PIN 20; SEE TABLE 5)</b>						
$V_{20}$	input voltage	digital output = 00	–	$V_{CCA} - 2.42$	–	V
$V_{20}$	input voltage	digital output = 255	–	$V_{CCA} - 1.41$	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
$I_{20}$	input current		–	1.0	10	$\mu$ A
$ Z $	input impedance	$f_i = 6$ MHz	–	50	–	M $\Omega$
$C_i$	input capacitance	$f_i = 6$ MHz	–	1	–	pF
<b>Analog-to-digital converter outputs</b>						
<b>DIGITAL OUTPUTS D0 TO D7</b>						
$V_{OL}$	LOW level output voltage	$I_{OL} = 2$ mA	0	–	0.6	V
$V_{OH}$	HIGH level output voltage	$I_{OL} = -0.4$ mA	2.4	–	$V_{CCD}$	V
$I_{OZ}$	output current in 3-state mode	$0.4$ V < $V_O$ < $V_{CCD}$	–20	–	+20	$\mu$ A
<b>Switching characteristics</b>						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
<b>Analog signal processing (<math>f_{clk} = 32</math> MHz; see Fig.8)</b>						
$G_{diff}$	differential gain	$V_{20} = 1.0$ V (p-p); see Fig.3; note 7	–	2	–	%
$\Phi_{diff}$	differential phase	see Fig.3; note 7	–	2	–	deg
$f_1$	fundamental harmonics (full-scale)	$f_i = 4.43$ MHz; note 7	–	–	0	dB
$f_{all}$	harmonics (full-scale); all components	$f_i = 4.43$ MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
<b>Transfer function (see Fig.8)</b>						
ILE	DC integral linearity error		–	–	$\pm 1$	LSB
DLE	DC differential linearity error		–	–	$\pm 0.5$	LSB
ILE	AC integral linearity error	note 9	–	–	$\pm 2$	LSB
<b>Timing (<math>f_{clk} = 32</math> MHz; see Figs 6, 7 and 8)</b>						
<b>DIGITAL OUTPUTS (<math>C_L = 15</math> pF; <math>I_{OL} = 2</math> mA; <math>R_L = 2</math> k<math>\Omega</math>)</b>						
$t_{ds}$	sampling delay time		–	2	–	ns
$t_h$	output hold time		6	8	–	ns
$t_d$	output delay time		–	16	20	ns
$t_{dEZ}$	3-state delay time; output enable		–	19	25	ns
$t_{dDZ}$	3-state delay time; output disable		–	14	20	ns

## Video analog input interface

TDA8708A

## Notes

0 dB is obtained at the AGC amplifier when applying  $V_{I(p-p)} = 1.33$  V.

The output current at pin 19 should not exceed 1 mA. The load impedance  $R_L$  should be referenced to  $V_{CCA}$  and defined as:

a) AC impedance  $\geq 1$  k $\Omega$  and the DC impedance  $> 2.7$  k $\Omega$ .

b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.

Control mode 2 is selected.

Signal-to-noise ratio measured with 5 MHz bandwidth:

$$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY(RMS\ noise)}} \text{ at } B = 5 \text{ MHz.}$$

The voltage ratio is expressed as:

$$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G} \text{ for } V_I = 1 \text{ V (p-p), gain at 100 kHz} = 1 \text{ and 1 V supply variation.}$$

It is recommended that the rise and fall times of the clock are  $\geq 2$  ns. In addition, a 'good layout' for the digital and analog grounds is recommended.

These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).

The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

$$SVRR2 = \frac{\Delta(V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

Full-scale sine wave ( $f_i = 4.4$  MHz;  $f_{clk} = 27$  MHz).

## Video analog input interface

TDA8708A

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I <sub>AGC</sub>	MODE <sup>(2)</sup>
1	1	output < 255	-2.5 $\mu$ A	1
		output > 255	I <sub>AGCM</sub>	1
0	X <sup>(1)</sup>	output < 248	0 $\mu$ A	2
		output > 248	I <sub>AGCM</sub>	2
1	0	output < 0	+2.5 $\mu$ A	2
		0 < output < 248	-2.5 $\mu$ A	2
		output > 248	I <sub>AGCM</sub>	2

## Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 5 Output coding and input voltage (typical values).

STEP	V <sub>ADCIN</sub>	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	-	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V <sub>CCA</sub> - 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	-	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	-	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	-	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	-	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V <sub>CCA</sub> - 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	-	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I <sub>CLAMP</sub>	MODE
1	1	output < 0	I <sub>CLAMPM</sub>	1
		output > 0	-2.5 $\mu$ A	1
X <sup>(1)</sup>	0	X <sup>(1)</sup>	0 $\mu$ A	2
0	1	output < 64	+50 $\mu$ A	2
		64 < output	-50 $\mu$ A	2

## Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit <sup>(1)</sup>	active, binary

## Note

1. Use C  $\geq$  10 pF to DGND.



Video analog input interface

TDA8708A

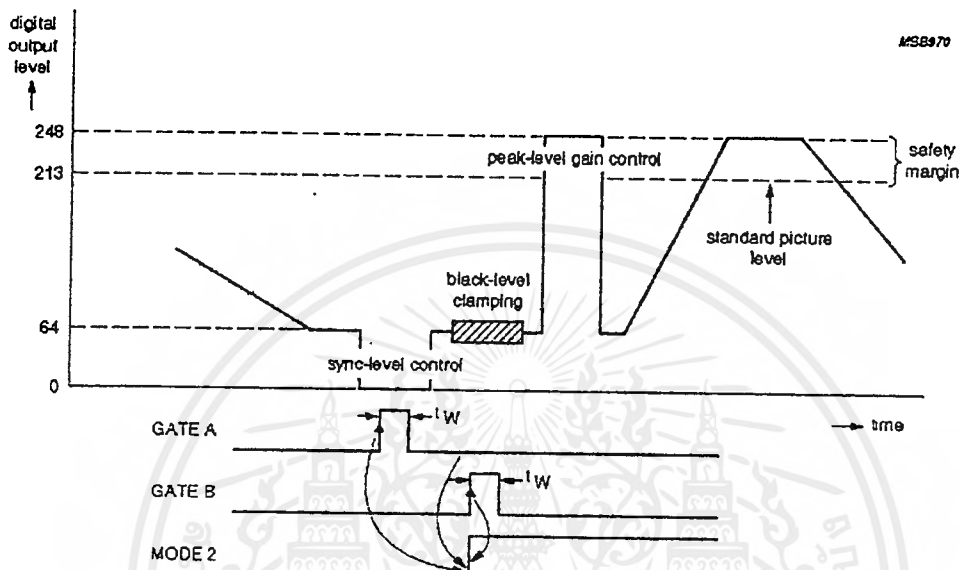


Fig.5 Control mode 2.

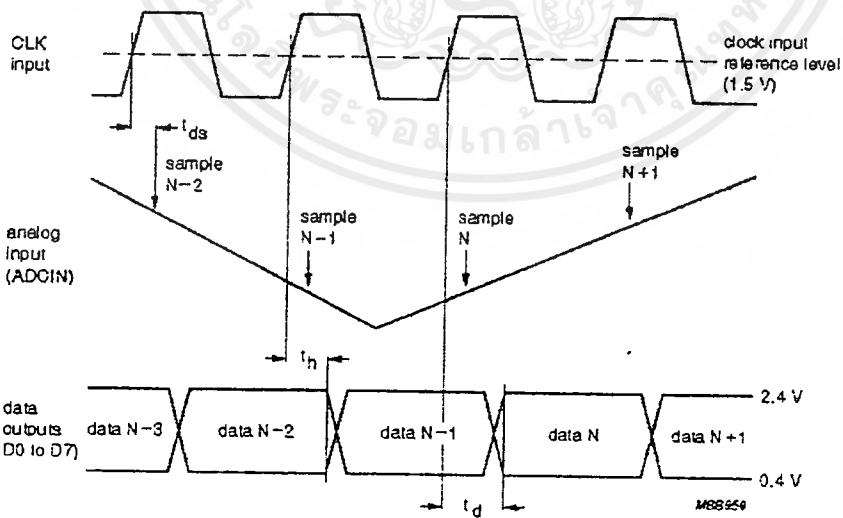


Fig.6 Timing diagram for data output.

Video analog input interface

TDA8708A

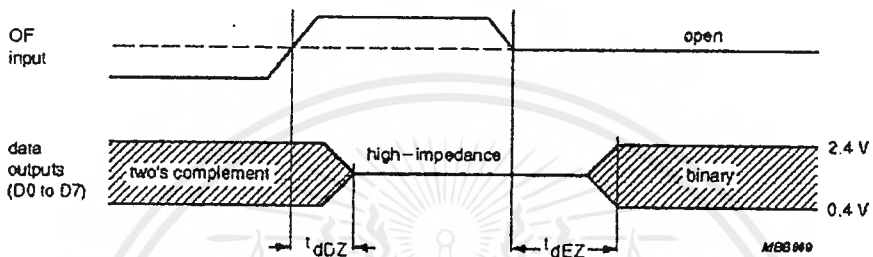


Fig.7 Output format timing diagram.

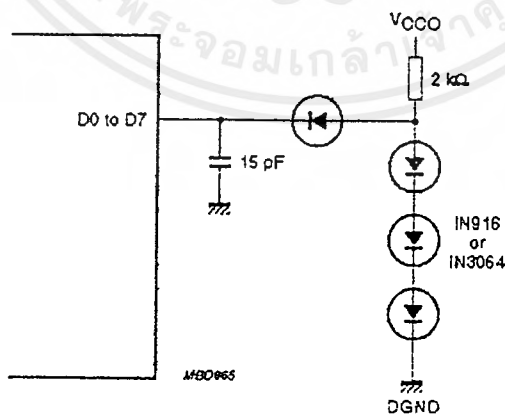


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

Video analog input interface

TDA8708A

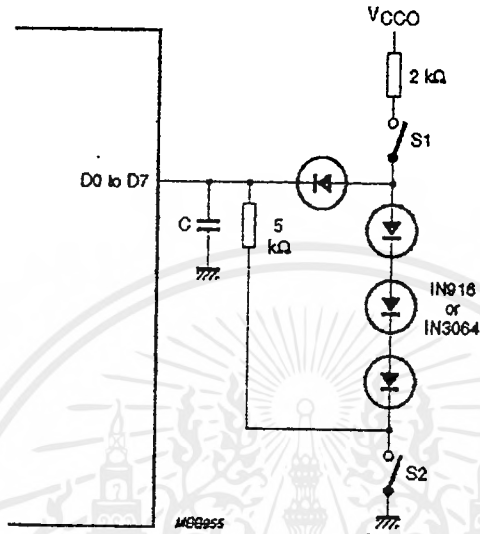
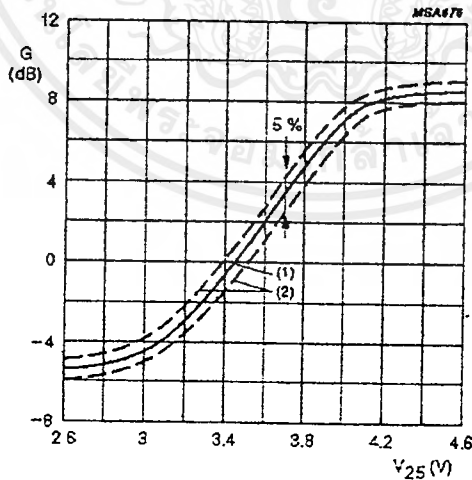


Fig.9 Load circuit for timing measurement; 3-state outputs (OF:  $f_t = 1$  MHz;  $V_{OF} = 3$  V).



- (1) Typical value ( $V_{CCA} = V_{CCD} = 5$  V,  $T_{amb} = 25$  °C).
- (2) Minimum and maximum values (temperature and supply)

Fig.10 Gain control curve.

Video analog input interface

TDA8708A

INTERNAL PIN CIRCUITRY

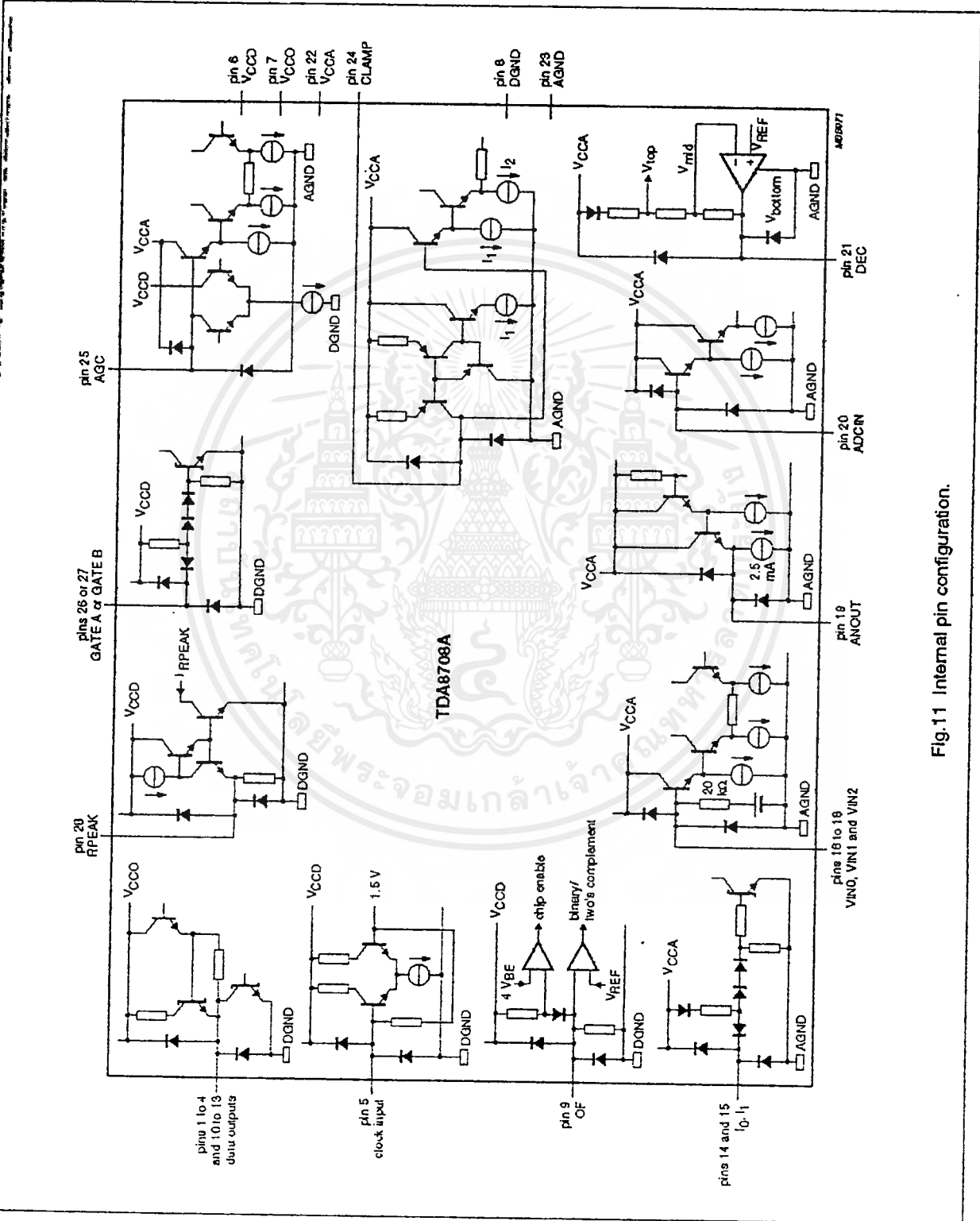


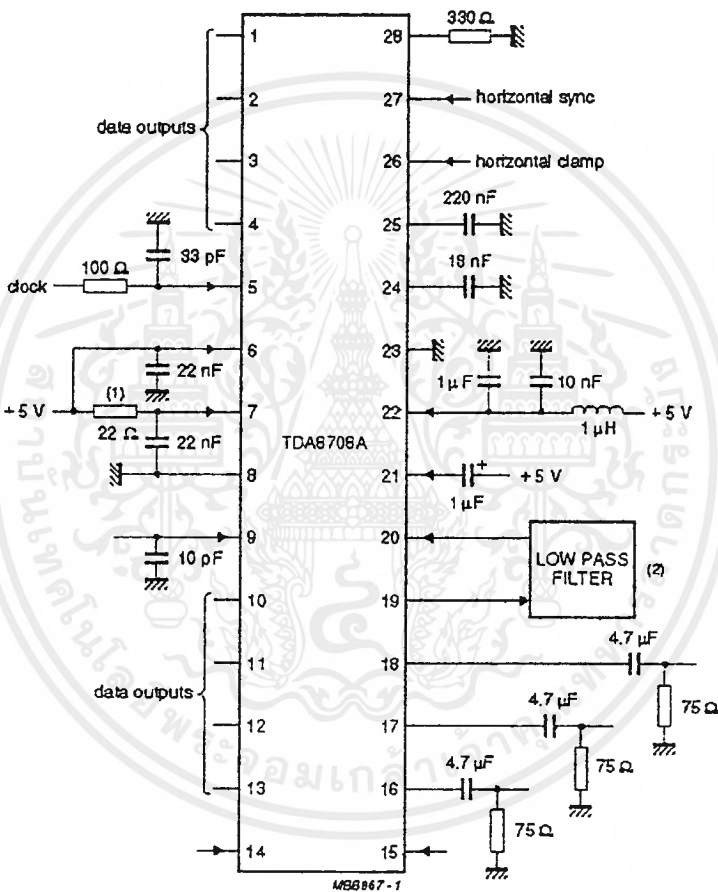
Fig.11 Internal pin configuration.

Video analog input interface

TDA8708A

APPLICATION INFORMATION

Additional information can be found in the laboratory report "FBL/AN9308".

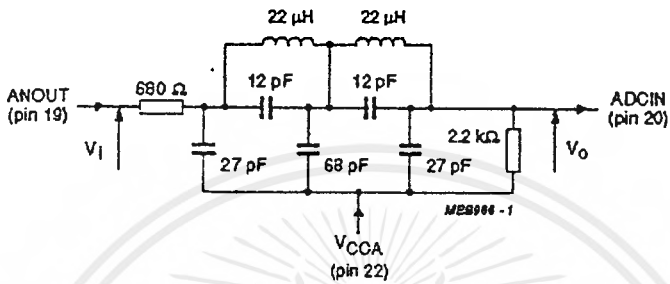


(1) It is recommended to decouple V<sub>CC0</sub> through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.  
 (2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

Video analog input interface

TDA8708A



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple  $\rho \leq 0.4$  dB
- $f = 6.5$  MHz at  $-3$  dB
- $f_{\text{notch}} = 9.75$  MHz

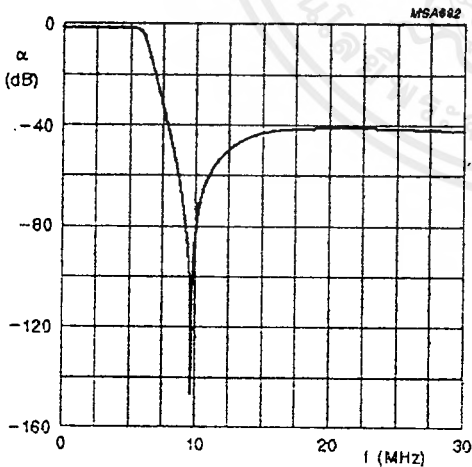
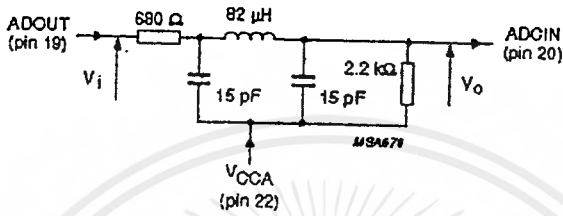


Fig.14 Frequency response for filter shown in Fig.13.

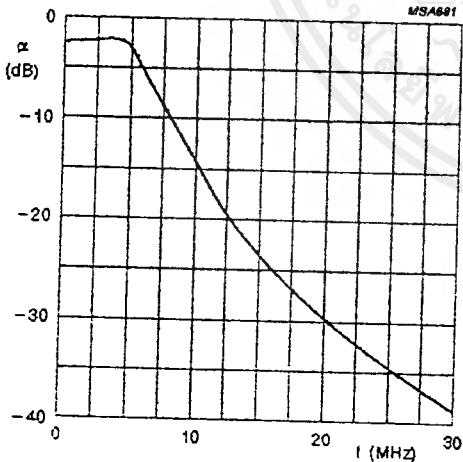
Video analog input interface

TDA8708A



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.



Characteristics of Fig. 15

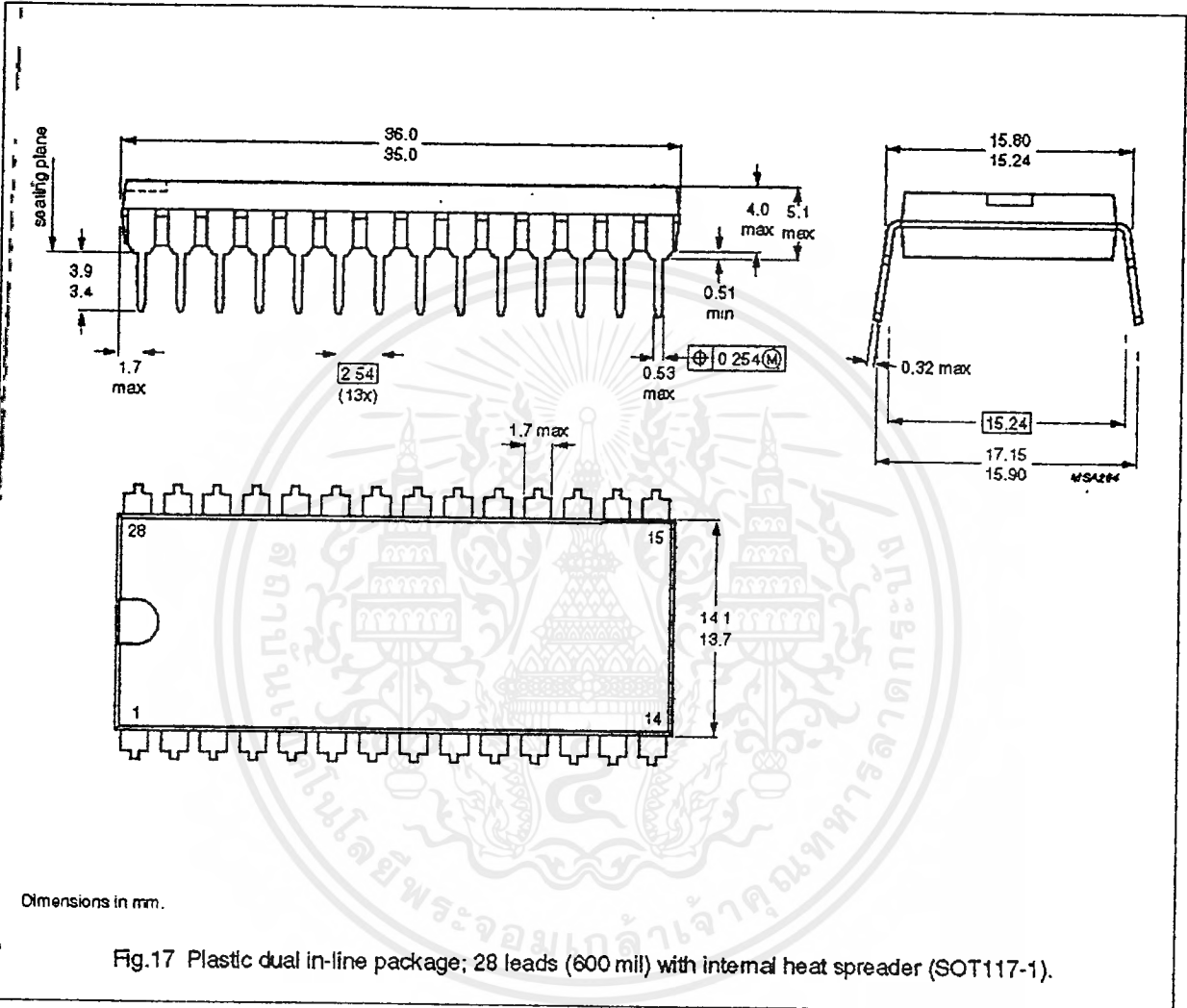
- Order 5; adapted CHEBYSHEV
- Ripple  $p \leq 0.4$  dB
- $f = 6.5$  MHz at  $-3$  dB.

Fig.16 Frequency response for filter shown in Fig.15.

Video analog input interface

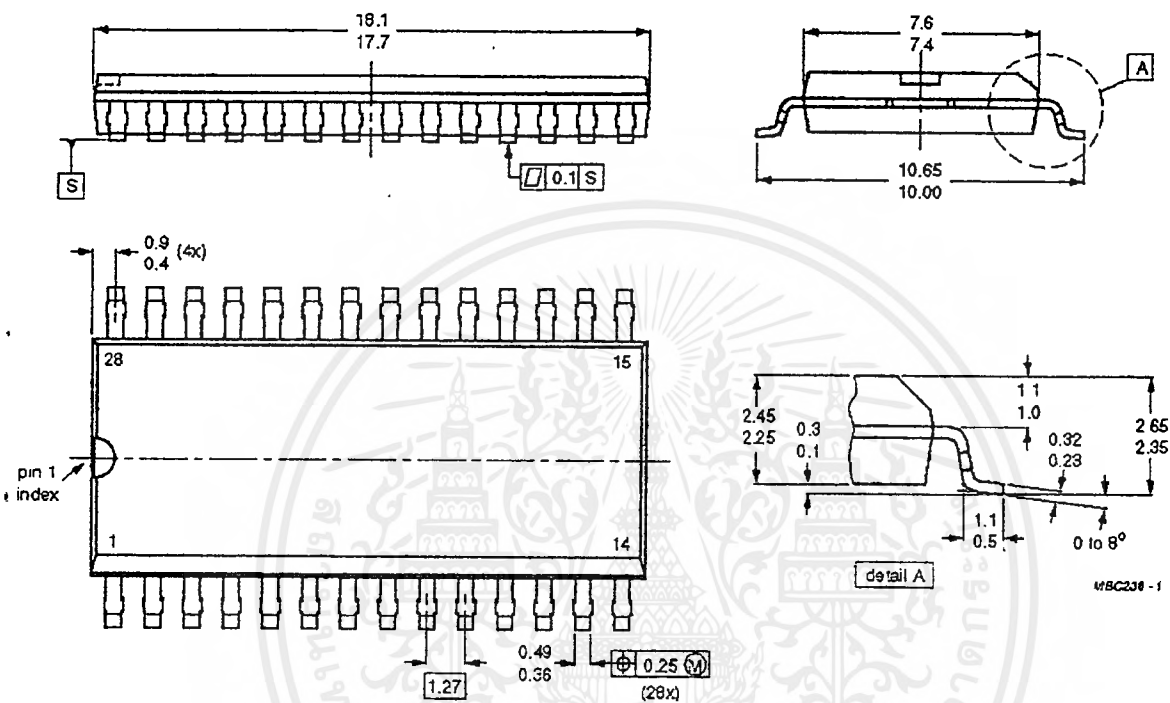
TDA8708A

PACKAGE OUTLINES



Video analog input interface

TDA8708A



Dimensions in mm.

Fig.18 Plastic small outline package; 28 leads; large body (SOT136-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Video analog input interface

TDA8708A

**SOLDERING****Plastic dual in-line packages****BY DIP OR WAVE**

The maximum permissible temperature of the solder is 260 °C; this temperature must not be in contact with the joint for more than 5 s. The total contact time of successive solder waves must not exceed 5 s.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified storage maximum. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

**REPAIRING SOLDERED JOINTS**

Apply a low voltage soldering iron below the seating plane (or not more than 2 mm above it). If its temperature is below 300 °C, it must not be in contact for more than 10 s; if between 300 and 400 °C, for not more than 5 s.

**Plastic small-outline packages****BY WAVE**

During placement and before soldering, the component must be fixed with a droplet of adhesive. After curing the adhesive, the component can be soldered. The adhesive can be applied by screen printing, pin transfer or syringe dispensing.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder bath is 10 s, if allowed to cool to less than 150 °C within 6 s. Typical dwell time is 4 s at 250 °C.

A modified wave soldering technique is recommended using two solder waves (dual-wave), in which a turbulent wave with high upward pressure is followed by a smooth laminar wave. Using a mildly-activated flux eliminates the need for removal of corrosive residues in most applications.

**BY SOLDER PASTE REFLOW**

Reflow soldering requires the solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the substrate by screen printing, stencilling or pressure-syringe dispensing before device placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt, infrared, and vapour-phase reflow. Dwell times vary between 50 and 300 s according to method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 min at 45 °C.

**REPAIRING SOLDERED JOINTS (BY HAND-HELD SOLDERING IRON OR PULSE-HEATED SOLDER TOOL)**

Fix the component by first soldering two, diagonally opposite, end pins. Apply the heating tool to the flat part of the pin only. Contact time must be limited to 10 s at up to 300 °C. When using proper tools, all other pins can be soldered in one operation within 2 to 5 s at between 270 and 320 °C. (Pulse-heated soldering is not recommended for SO packages.)

For pulse-heated solder tool (resistance) soldering of VSO packages, solder is applied to the substrate by dipping or by an extra thick tin/lead plating before package placement.

Video analog input interface

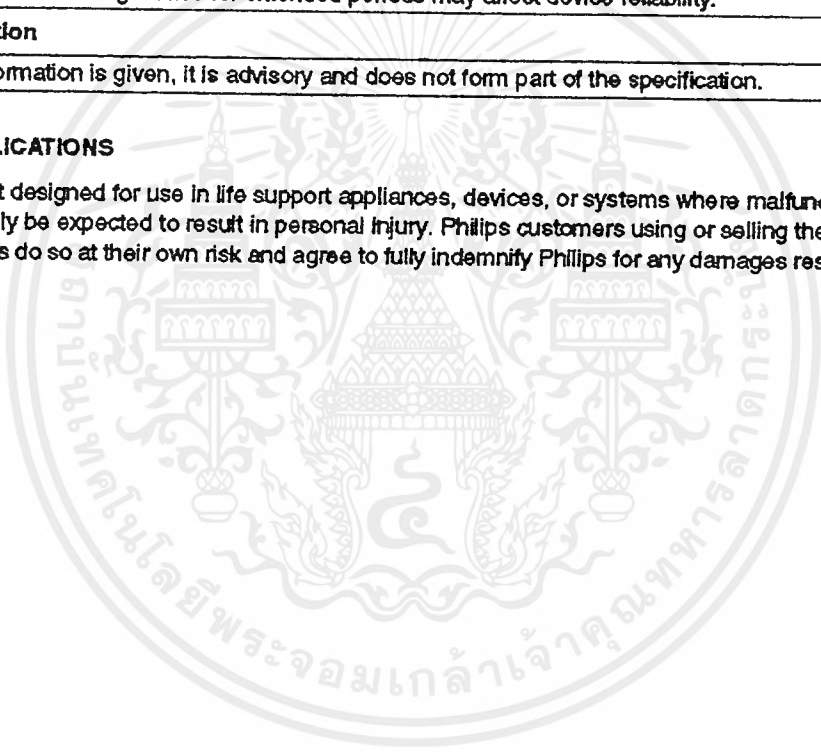
TDA8708A

**DEFINITIONS**

<b>Data sheet status</b>	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
<b>Limiting values</b>	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
<b>Application information</b>	
Where application information is given, it is advisory and does not form part of the specification.	

**LIFE SUPPORT APPLICATIONS**

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.



# Philips Semiconductors – a worldwide company

- Argentina:** IEROD, Av. Juramento 1992 - 14.b., (1428)  
BUENOS AIRES, Tel. (541)786 7639, Fax. (541)786 9367
- Australia:** 34 Waterloo Road, NORTH RYDE, NSW 2113,  
Tel. (02)805 4455, Fax. (02)805 4466
- Austria:** Triester Str. 64, A-1101 WIEN, P.O. Box 213,  
Tel. (01)60 101-1236, Fax. (01)60 101-1211
- Belgium:** Postbus 90050, 5600 PB EINDHOVEN, The Netherlands,  
Tel. (31)40 783 749, Fax. (31)40 788 399
- Brazil:** Rua do Rocio 220 - 5<sup>th</sup> floor, Suite 51,  
CEP: 04552-903-SÃO PAULO-SP, Brazil,  
P.O. Box 7393 (01064-970),  
Tel. (011)821-2327, Fax. (011)829-1849
- Canada:** INTEGRATED CIRCUITS:  
Tel. (800)234-7381, Fax. (708)296-8556  
DISCRETE SEMICONDUCTORS: 601 Milner Ave,  
SCARBOROUGH, ONTARIO, M1B 1M8,  
Tel. (416)292 5161 ext. 2336, Fax. (416)292 4477
- Chile:** Av. Santa Maria 0760, SANTIAGO,  
Tel. (02)773 816, Fax. (02)777 6730
- Colombia:** IBOLENZO LTDA, Carrera 21 No. 56-17,  
77621 BOGOTÁ, Tel. (571)249 7624/(57 1)217 4609,  
Fax. (571)217 4549
- Denmark:** Prags Boulevard 80, PB 1919, DK-2300 COPENHAGEN S,  
Tel. (032)88 2636, Fax. (031)57 1949
- Finland:** Sinikalliontie 3, FIN-02630 ESPOO,  
Tel. (9)50261, Fax. (9)520971
- France:** 4 Rue du Port-aux-Vins, BP317,  
92156 SURESNES Cedex,  
Tel. (01)4099 6161, Fax. (01)4099 6427
- Germany:** PHILIPS COMPONENTS UB der Philips G.m.b.H.,  
P.O. Box 10 63 23, 20043 HAMBURG,  
Tel. (040)3296-0, Fax. (040)3296 213
- Greece:** No. 15, 25th March Street, GR 17778 TAVROS,  
Tel. (01)4894 339/4894 911, Fax. (01)4814 240
- Hong Kong:** PHILIPS HONG KONG Ltd., Components Div.,  
6/F Philips Ind. Bldg., 24-28 Kung Yip St., KWAI CHUNG, N.T.,  
Tel. (852)424 5121, Fax. (852)428 6729
- India:** Philips INDIA Ltd, Components Dept,  
Shivsagar Estate, A Block,  
Dr. Annie Besant Rd. Worli, Boregody 400 018  
Tel. (022)4938 541, Fax. (022)4938 722
- Indonesia:** Philips House, Jalan H.R. Resuna Said Kav. 3-4,  
P.O. Box 4252, JAKARTA 12950,  
Tel. (021)5201 122, Fax. (021)5205 189
- Ireland:** Newstead, Clonskeagh, DUBLIN 14,  
Tel. (01)640 000, Fax. (01)640 200
- Italy:** PHILIPS COMPONENTS S.r.l.,  
Viale F. Testi, S27, 20162 MILANO,  
Tel. (02)6752.3302, Fax. (02)6752 3300.
- Japan:** Philips Bldg 13-37, Kohnan2-chome, Minato-ku, TOKYO 108,  
Tel. (03)3740 5028, Fax. (03)3740 0580
- Korea:** (Republic of) Philips House, 260-199 Itaewon-dong,  
Yongsan-ku, SEOUL, Tel. (02)794-5011, Fax. (02)798-8022
- Malaysia:** No. 76 Jalan Universiti, 46200 PETALING JAYA,  
SELANGOR, Tel. (03)750 5214, Fax. (03)757 4880
- Mexico:** Philips Components, 5900 Gateway East, Suite 200,  
EL PASO, TX 79905, Tel. 9-5(800)234-7381, Fax. (708)296-8556
- Netherlands:** Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB  
Tel. (040)783749, Fax. (040)788399
- New Zealand:** 2 Wagener Place, C P O Box 1041, AUCKLAND,  
Tel. (09)849-4160, Fax. (09)849-7811
- Norway:** Box 1, Manglerud 0612, OSLO,  
Tel. (022)74 8000, Fax. (022)74 8341
- Pakistan:** Philips Electrical Industries of Pakistan Ltd.,  
Exchange Bldg. ST-2/A, Block 9, KDA Scheme 5, Clifton,  
KARACHI 75600, Tel. (021)587 4641-49,  
Fax. (021)577035/5874546.
- Philippines:** PHILIPS SEMICONDUCTORS PHILIPPINES Inc,  
106 Valero St. Salcedo Village, P.O. Box 2108 MCG, MAKATI,  
Metro MANILA, Tel. (02)810 0161, Fax. (02)817 3474
- Portugal:** PHILIPS PORTUGUESA, S.A.,  
Rua dr. António Loureiro Borges 5, Arquiparque - Miraflores,  
Aparado 300, 2795 LINDA-A-VELHA,  
Tel. (01)14163160/4163335, Fax. (01)14163174/4163366.
- Singapore:** Lorong 1, Toa Payoh, SINGAPORE 1231,  
Tel. (65)350 2000, Fax. (65)251 6500
- South Africa:** S.A. PHILIPS Pty Ltd., Components Division,  
195-215 Main Road Martindale, 2092 JOHANNESBURG,  
P.O. Box 7430 Johannesburg 2000,  
Tel. (011)470-5911, Fax. (011)470-5494.
- Spain:** Balmes 22, 08007 BARCELONA,  
Tel. (03)301 6312, Fax. (03)301 42 43
- Sweden:** Kotlibygatan 7, Akalla, S-164 85 STOCKHOLM,  
Tel. (0)8-632 2000, Fax. (0)8-632 2745
- Switzerland:** Allmendstrasse 140, CH-8027 ZÜRICH,  
Tel. (01)488 2211, Fax. (01)481 77 30
- Taiwan:** PHILIPS TAIWAN Ltd., 23-30F, 66, Chung Hsiao West  
Road, Sec. 1, Taipei, Taiwan ROC, P.O. Box 22978,  
TAIPEI 100, Tel. (02)388 7666, Fax. (02)382 4382.
- Thailand:** PHILIPS ELECTRONICS (THAILAND) Ltd.,  
209/2 Sanpavuth-Bangna Road Prakanong,  
Bangkok 10260, THAILAND,  
Tel. (662)398-0141, Fax. (662)398-3318.
- Turkey:** Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,  
Tel. (0212)279 2770, Fax. (0212)269 3094
- United Kingdom:** Philips Semiconductors Limited, P.O. Box 65,  
Philips House, Torrington Place, LONDON, WC1E 7HD,  
Tel. (071)436 41 44, Fax. (071)323 03 42
- United States:** INTEGRATED CIRCUITS:  
811 East Arques Avenue, SUNNYVALE, CA 94088-3409,  
Tel. (800)234-7381, Fax. (708)296-8556  
DISCRETE SEMICONDUCTORS: 2001 West Blue Heron Blvd.,  
P.O. Box 10330, RIVIERA BEACH, FLORIDA 33404,  
Tel. (800)447-3762 and (407)881-3200, Fax. (407)881-3300
- Uruguay:** Coronel Mora 433, MONTEVIDEO,  
Tel. (02)70-4044, Fax. (02)92 0601
- For all other countries apply to: Philips Semiconductors,  
International Marketing and Sales, Building BAF-1,  
P.O. Box 218, 5600 MD, EINDHOVEN, The Netherlands,  
Telex 35000 phntnl, Fax. +31-40-724825

SCD31

© Philips Electronics N.V. 1994

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

533081/150005/pp24

Document order number:

Date of release: June 1994

9397 734 20011



# PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1881 Video Sync Separator

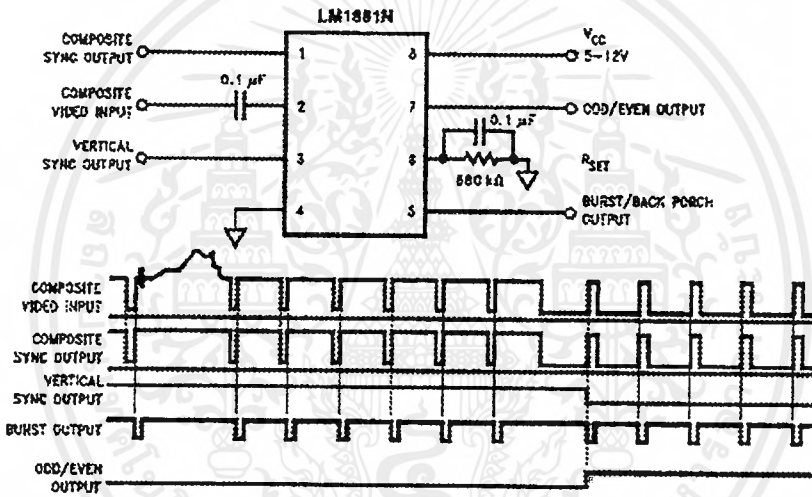
### General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL\*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

### Features

- AC coupled composite input signal
- > 10 k $\Omega$  input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 MHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

### Connection Diagram



Order Number LM1881M or LM1881N  
See NS Package Number M08A or M08E

LM1881-1

\*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp ( $V_{CC} = 5V$ ) 8 Vpp ( $V_{CC} \geq 8V$ )
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C ~ 70°C

Storage Temperature Range	-65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Duel-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.	

## Electrical Characteristics

$V_{CC} = 5V$ ;  $R_{SET} = 680\text{ k}\Omega$ ;  $T_A = 25^\circ\text{C}$ ; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1 $V_{CC} = 5V$ $V_{CC} = 12V$	5.2	10		mAmax
		5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3		Vmin
			1.8		Vmax
Input Threshold Voltage	Note 5	70	55		mVmin
			85		mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$	11	6		$\mu\text{Amin}$
			16		$\mu\text{Amax}$
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
$R_{SET}$ ; Pin Reference Voltage	Pin 6; Note 6	1.22	1.10		Vmin
			1.35		Vmax
Composite Sync. & Vertical Outputs	$i_{OUT} = 40\text{ }\mu\text{A}$ ; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
	$i_{OUT} = 1.6\text{ mA}$ ; Logic 1	$V_{CC} = 5V$	3.8	2.4	Vmin
		$V_{CC} = 12V$		10.0	Vmin
Burst Gate & Odd/Even Outputs	$i_{OUT} = 40\text{ }\mu\text{A}$ ; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
Composite Sync. Output	$i_{OUT} = -1.6\text{ mA}$ ; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$i_{OUT} = -1.6\text{ mA}$ ; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$i_{OUT} = -1.6\text{ mA}$ ; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$i_{OUT} = -1.6\text{ mA}$ ; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		$\mu\text{smin}$
			300		$\mu\text{smax}$
Burst Gate Width	2.7 k $\Omega$ from Pin 5 to $V_{CC}$	4	2.5		$\mu\text{smin}$
			4.7		$\mu\text{smax}$
Vertical Default Time	Note 7	65	32		$\mu\text{smin}$
			93		$\mu\text{smax}$

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor".

Note 3: Typicals are at  $T_A = 25^\circ\text{C}$  and represent the most likely parameter to occur.

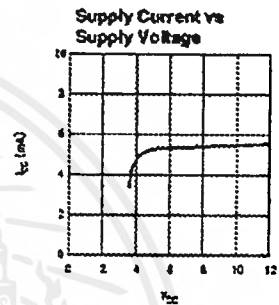
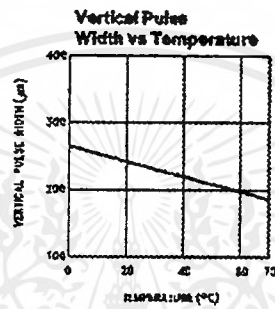
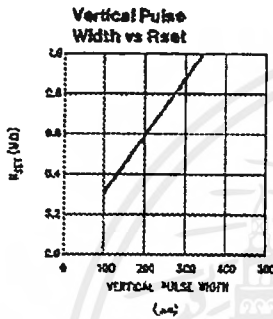
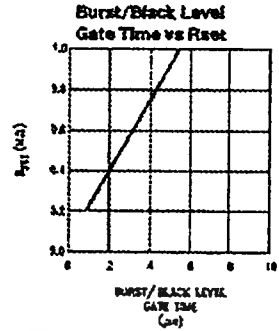
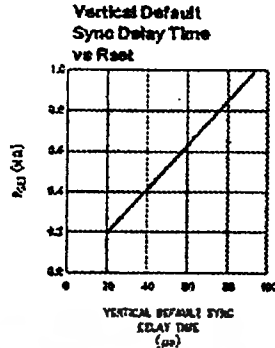
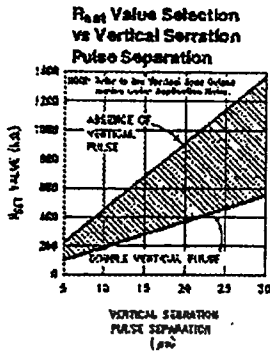
Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the  $R_{SET}$  pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

## Typical Performance Characteristics



TLH/9150-2

## Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 16,734 kHz. Four major sync signals are available from the V/C composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video cameras/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

### COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 1% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11  $\mu$ A, typically. This allows relatively small capacitor values to be used—0.1  $\mu$ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 $\Omega$ , a 620 $\Omega$  resistor in series with the source and a 610 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

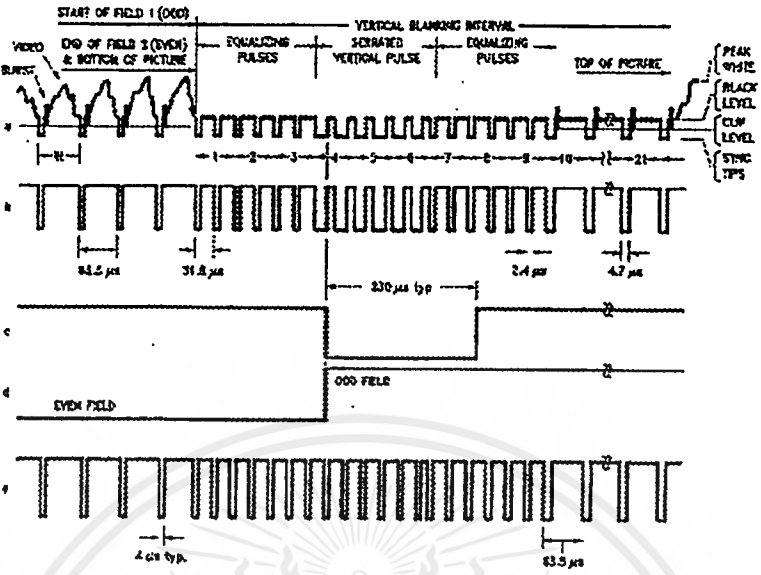
from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

### VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called  $V_1$  going to one of its inputs. The other comparator has an internally generated voltage reference called  $V_2$  going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor  $R_{set}$ . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the  $V_1$ . During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between  $V_1$  and  $V_2$ . This would give a high level at the output of the comparator with  $V_1$  as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external  $R_{set}$ . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

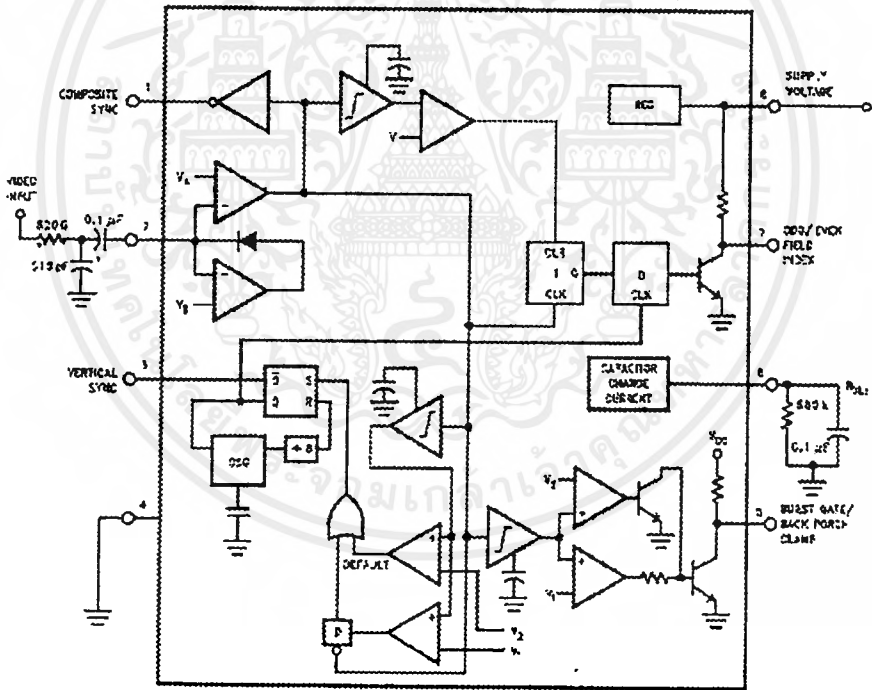
How  $R_{set}$  affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R<sub>set</sub> Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

# Application Notes (Continued)



TLN/9150-2

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



\*Components Optional, See Text

TLN/9150-4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above  $V_1$ .

WITH  $R_{Set}$  too large the charging current of the integrator will be too small to charge the capacitor above  $V_1$ , thus there will be no vertical sync output pulse. As mentioned above,  $R_{Set}$  also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum  $R_{Set}$  necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs  $R_{Set}$ " graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64  $\mu s$  long, or 32  $\mu s$  for a horizontal half line. Now round this off to 30  $\mu s$ . In the " $R_{Set}$  Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30  $\mu s$  serration pulse separation is about 550 k $\Omega$ . Going to the "Vertical Pulse Width vs  $R_{Set}$ " graph one can see that 550 k $\Omega$  gives a vertical pulse width of about 180  $\mu s$ , the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k $\Omega$  will set the internal oscillator to a frequency such that eight cycles gives a time of 180  $\mu s$ , just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level  $V_2$ . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches  $V_2$ . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with  $V_1$  as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs  $R_{Set}$ " graph shows the relationship between the  $R_{Set}$  value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for  $R_{Set}$  is 500 k $\Omega$ . The vertical default time delay is about 50  $\mu s$ , much longer than the 30  $\mu s$  serration pulse spacing.

A common question is how can one calculate the required  $R_{Set}$  with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default

Sync Delay Time vs  $R_{Set}$ " graph to select the necessary  $R_{Set}$  to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs  $R_{Set}$ " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32  $\mu s$  long. The vertical sync period is two horizontal lines long, or 64  $\mu s$ . The vertical default sync delay time must be longer than the vertical sync period of 64  $\mu s$ . In this case  $R_{Set}$  must be larger than 680 k $\Omega$ .  $R_{Set}$  must still be small enough for the output of the integrator to reach  $V_1$  before the end of the vertical period of the input pulse. The first graph can be used to confirm that  $R_{Set}$  is small enough for the output of the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64  $\mu s$  in this example. This graph is linear, meaning that a value as large as 2.7 M $\Omega$  can be used for  $R_{Set}$  (twice the value as the maximum at 30  $\mu s$ ). Due to leakage currents it is advisable to keep the value of  $R_{Set}$  under 2.0 M $\Omega$ . In this example a value of 1.0 M $\Omega$  is selected, well above the minimum of 680 k $\Omega$ . With this value for  $R_{Set}$  the pulse width of the vertical sync output pulse of the LM1881 is about 340  $\mu s$ .

### ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line period at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

## Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

### BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8  $\mu$ s long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4  $\mu$ s later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

### APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

### VIDEO LINE SELECTOR

The circuit in Figure 4 puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4068BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2048 lines. An output buffer is required to drive low impedance loads.

### MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in Figure 5 will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k $\Omega$ , 10  $\mu$ F) providing black level restoration at the video output when the output selected line(s) is not being gated through.

# Typical Applications

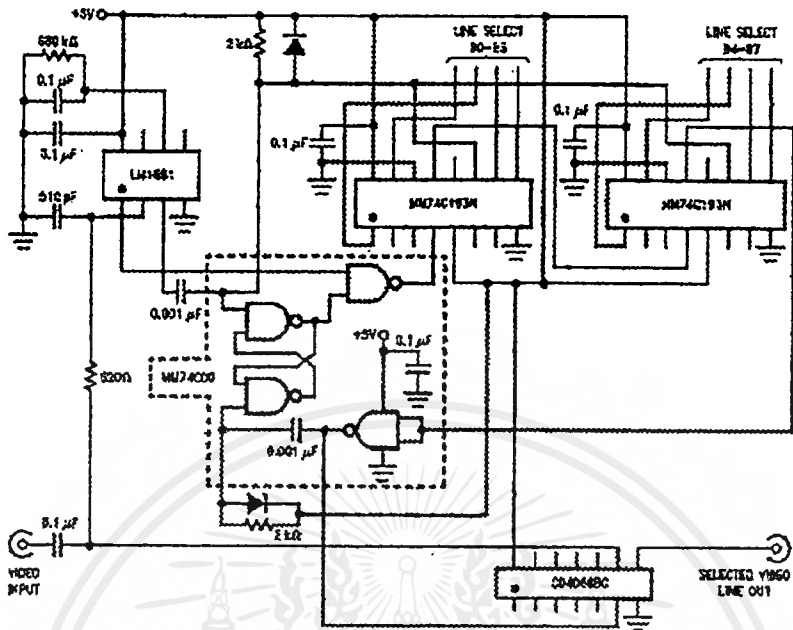


FIGURE 4. Video Line Selector

TL71/0150-5

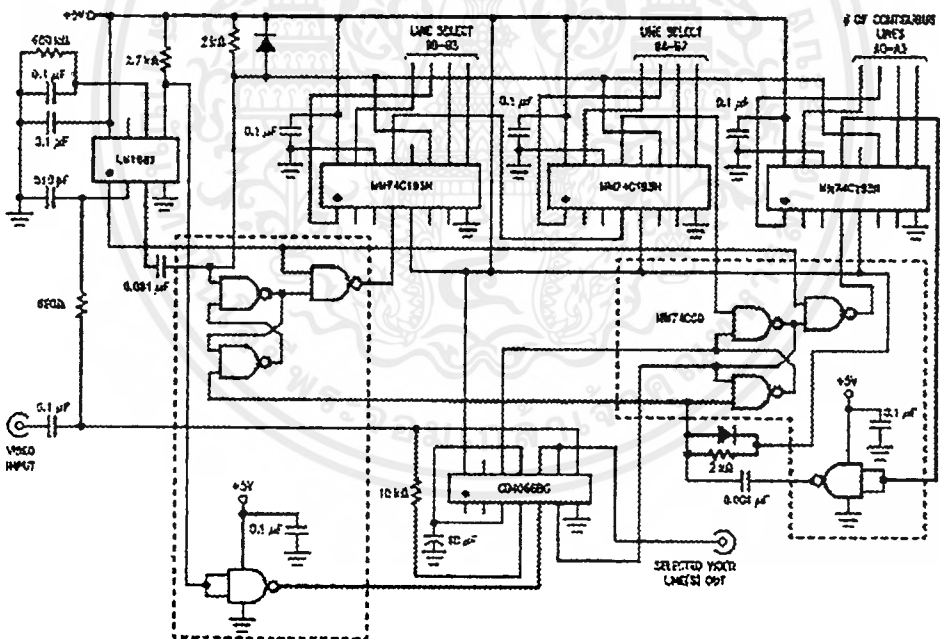


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL71/0150-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

128Kx8 bit High Speed CMOS Static RAM

FEATURE SUMMARY

- Process Technology : 0.6 $\mu$ m CMOS
- Organization : 128K x 8
- Power Supply Voltage : Single 5V 10%
- Low Data Retention Voltage : 2V(Min)
- Three state output and TTL Compatible
- Package Type : JEDEC Standard

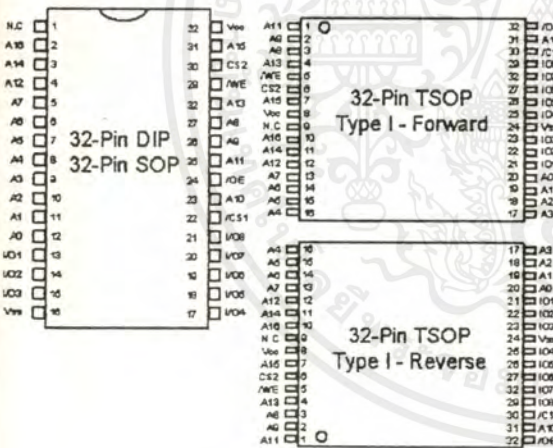
GENERAL DESCRIPTION

The KM681000B family is fabricated by SAMSUNG's advanced CMOS process technology. The family can support various operating temperature ranges and has various package types for user flexibility of system design. The family also support low data retention voltage for battery back-up operations with low data retention current.

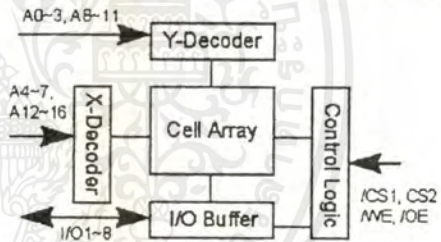
PRODUCT FAMILY

Product Family	Operating Temperature	Speed	PKG Type	Power Dissipation	
				Standby(I <sub>sb1</sub> , Max)	Operating(I <sub>cc2</sub> )
KM681000BL	Commercial (0~70 )	55/70 $\mu$ S	32-DIP, 32-SOP	100 $\mu$ S	70 $\mu$ S
KM681000BL-L			32-TSOP(I) R/F	20 $\mu$ S	
KM681000BLE	Extended (-25~85 )	70/100 $\mu$ S	32-SOP	100 $\mu$ S	
KM681000BLE-L			32-TSOP(I) R/F	50 $\mu$ S	
KM681000BLI	Industrial (-40~85 )	70/100 $\mu$ S	32-SOP	100 $\mu$ S	
KM681000BLI-L			32-TSOP(I) R/F	50 $\mu$ S	

PIN DESCRIPTION



FUNCTIONAL BLOCK DIAGRAM



Pin Name	Function
A0~A16	Address Inputs
/WE	Write Enable Input
/CS1, CS2	Chip Select Input
/OE	Output Enable Input
I/O1~I/O8	Data Input/Output
Vcc	Power
Vss	Ground
N.C.	No Connection



**ABSOLUTE MAXIMUM RATINGS \***

Item	Symbol	Ratings	Unit	Remark
Voltage on any pin relative to Vss	Vin, Vout	-0.5 to 7.0	V	-
Voltage on Vcc supply relative to Vss	Vcc	-0.5 to 7.0	V	-
Power Dissipation	Pd	1.0	W	-
Storage temperature	Tstg	-65 to 150		-
Operating Temperature	Ta	0 to 70		KM681000BL/L-L
		-25 to 85		KM681000BLE/LE-L
		-40 to 85		KM681000BL/L-L
Soldering temperature and time	Tsolder	260 , 10sec(Lead Only)	-	-

\* Stresses greater than those listed under 'Absolute Maximum Ratings' may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operating section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

**RECOMMENDED DC OPERATING CONDITIONS\***

Item	Symbol	Min	Typ**	Max	Unit
Supply voltage	Vcc	4.5	5.0	5.5	V
Ground	Vss	0	0	0	V
Input high voltage	Vih	2.2	-	Vcc+0.5	V
Input low voltage	Vil	-0.5***	-	0.8	V

- \* 1) Commercial Product : Ta=0 to 70 , unless otherwise specified
- 2) Extended Product : Ta=-25 to 85 , unless otherwise specified
- 3) Industrial Product : Ta=-40 to 85 , unless otherwise specified
- \*\* Ta=25
- \*\*\* Vil(min)=3.0V for 50% pulse width

**CAPACITANCE \* (f=1MHz, Ta=25 )**

Item	Symbol	Test Condition	Min	Max	Unit
Input capacitance	Cin	Vin=0V	-	6	§
Input/Output capacitance	Cio	Vio=0V	-	8	§

\* Capacitance is sampled not 100% tested

DC AND OPERATING CHARACTERISTICS

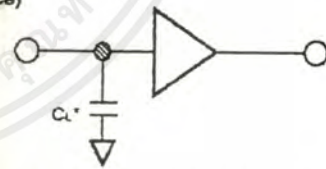
Ram		Symbol	Test Conditions*	Min	Typ	Max	Unit	
Input leakage current		I <sub>ii</sub>	V <sub>in</sub> =V <sub>ss</sub> to V <sub>cc</sub>	-1	-	1	§	
Output leakage current		I <sub>io</sub>	/CS1=V <sub>ih</sub> or CS2=V <sub>il</sub> or /WE=V <sub>il</sub> , V <sub>io</sub> =V <sub>ss</sub> to V <sub>cc</sub>	-1	-	1	§	
Operating power supply current		I <sub>cc</sub>	/CS1=V <sub>il</sub> , CS2=V <sub>ih</sub> V <sub>in</sub> =V <sub>ih</sub> or V <sub>il</sub> , I <sub>io</sub> =0§	-	7	15**	§	
Average operating current		I <sub>cc1</sub>	Cycle time=1µS 100% duty /CS1 0.2V, CS2 V <sub>cc</sub> -0.2V	-	-	10***	§	
			I <sub>io</sub> =0§, /CS1=V <sub>il</sub> , CS2=V <sub>ih</sub> Min cycle, 100% duty	-	-	70	§	
Output low voltage		V <sub>ol</sub>	I <sub>ol</sub> =2.1§	-	-	0.4	V	
Output high voltage		V <sub>oh</sub>	I <sub>oh</sub> =1.0§	2.4	-	-	V	
Standby Current(TTL)		I <sub>sb</sub>	/CS1=V <sub>ih</sub> , CS2=V <sub>il</sub>	-	-	3	§	
Standby Current (CMOS)	KM681000BL	I <sub>sb1</sub>	/CS1 V <sub>cc</sub> -0.2V	L(Low Power)	-	-	100	§
	KM681000BL-L		CS2 V <sub>cc</sub> -0.2V	LL(L Low Power)	-	-	20	§
	KM681000BLE	or CS2 0.2V	L(Low Power)	-	-	100	§	
	KM681000BLE-L	Other input	LL(L Low Power)	-	-	50	§	
	KM681000BLI	=0-V <sub>cc</sub>	L(Low Power)	-	-	100	§	
	KM681000BLI-L		LL(L Low Power)	-	-	50	§	

\* 1) Commercial Product : Ta=0 to 70 °C, V<sub>cc</sub>=5V±-10%, unless otherwise specified  
 2) Extended Product : Ta=-25 to 85 °C, V<sub>cc</sub>=5V±-10%, unless otherwise specified  
 3) Industrial Product : Ta=-40 to 85 °C, V<sub>cc</sub>=5V±-10%, unless otherwise specified  
 \*\* 20§ for Extended and Industrial Products  
 \*\*\*15§ for Extended and Industrial Products

A.C CHARACTERISTICS

TEST CONDITIONS (1. Test Load and Test Input/Output Reference)\*

Item	Value	Remark
Input pulse level	0.8 to 2.4V	-
Input rise fall time	5§	-
Input and output reference voltage	1.5V	-
Output load(See right)	C <sub>L</sub> =100§ +1TTL	-



\* Including scope and jig capacitance

\* See test condition of DC and Operating characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CONDITIONS (2. Temperature and Vcc Conditions)

Product Family	Temperature	Power Supply(Vcc)	Speed Bin	Comments
KM681000BL/L-L	0~70	5V 10%	55/70§	Commercial
KM681000BLE/LE-L	-25~85	5V 10%	70/100§	Extended
KM681000BLVLI-L	-40~85	5V 10%	70/100§	Industrial

PARAMETER LIST FOR EACH SPEED BIN

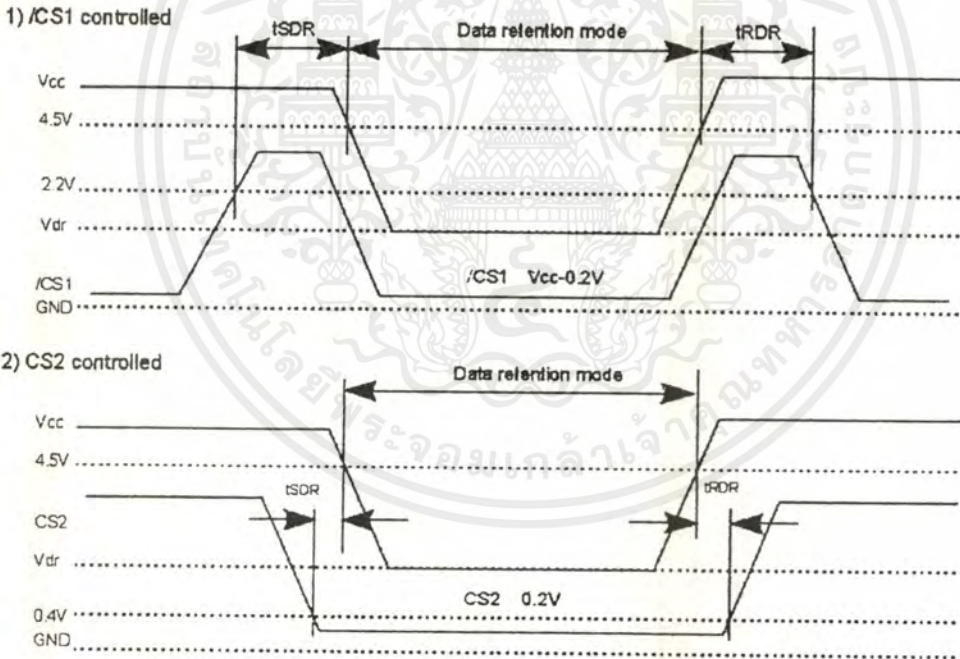
Parameter List	Symbol	Speed Bins						Units	
		55§		70§		100§			
		Min	Max	Min	Max	Min	Max		
Read	Read cycle time	tRC	55	-	70	-	100	-	§
	Address access time	tAA	-	55	-	70	-	100	§
	Chip select to output	tCO1, tCO2	-	55	-	70	-	100	§
	Output enable to valid output	tOE	-	25	-	35	-	50	§
	Chip select to low-Z output	tLZ1, tLZ2	10	-	10	-	10	-	§
	Output enable to low-Z output	tOLZ	5	-	5	-	5	-	§
	Chip disable to high-Z output	tHZ1, tHZ2	0	20	0	25	0	30	§
	Output disable to high-Z output	tOHZ	0	20	0	25	0	30	§
	Output hold from address change	tOH	10	-	10	-	10	-	§
Write	Write cycle time	tWC	55	-	70	-	100	-	§
	Chip select to end of write	tCW	45	-	60	-	80	-	§
	Address set-up time	tAS	0	-	0	-	0	-	§
	Address valid to end of write	tAW	45	-	60	-	80	-	§
	Write pulse width	tWP	40	-	50	-	60	-	§
	Write recovery time	tWR	0	-	0	-	0	-	§
	Write to output high-Z	tWHZ	0	20	0	25	0	30	§
	Data to write time overlap	tDW	25	-	30	-	40	-	§
	Data hold from write time	tDH	0	-	0	-	0	-	§
	End write to output low-Z	tOW	5	-	5	-	5	-	§

DATA RETENTION CHARACTERISTICS

Item	Symbol	Test Condition*	Min	Typ**	Max	Unit	
Vcc for data retention	Vdr	/CS1*** Vcc-0.2V	2.0	-	5.5	V	
Data retention current	I <sub>dr</sub>	Vcc=3.0V /CS1 Vcc-0.2V	L-Ver	-	1	50	μA
			LL-Ver	-	0.5	10	
		/CS1 Vcc-0.2V	L-Ver	-	-	50	
			LL-Ver	-	-	25	
			LL-Ver	-	-	25	
Data retention set-up time	tSDR	See data retention waveform	0	-	-	ms	
Recovery time	tRDR		5	-	-		

\* 1) Commercial Product : Ta=0 to 70 , unless otherwise specified  
 2) Extended Product : Ta=-25 to 85 , unless otherwise specified  
 3) Industrial Product : Ta=-40 to 85 , unless otherwise specified  
 \*\* Ta=25  
 \*\*\* /CS1 Vcc-0.2V, CS2 Vcc-0.2V(/CS1 controlled) or CS2 0.2V(CS2 controlled)

DATA RETENTION TIMING DIAGRAM

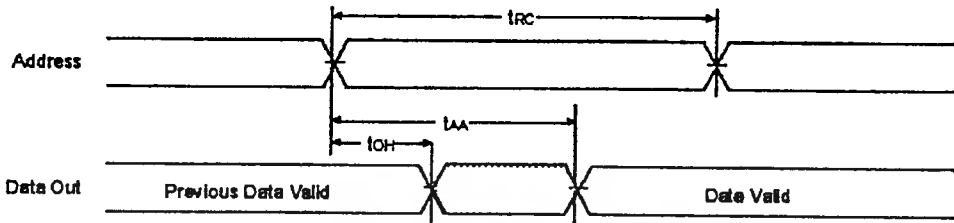


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

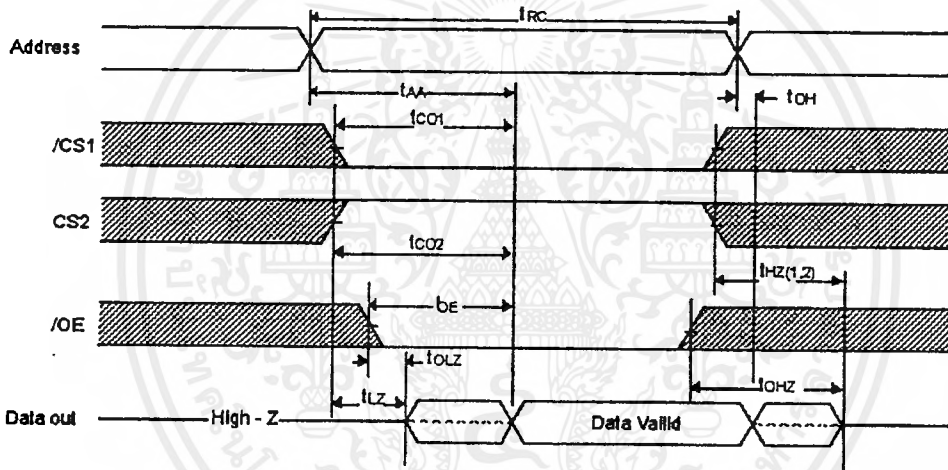
TIMING DIAGRAMS

TIMING WAVEFORM OF READ CYCLE (1) (Address Controlled)

(/CS=/OE=VI, CS2=WE=VIh)



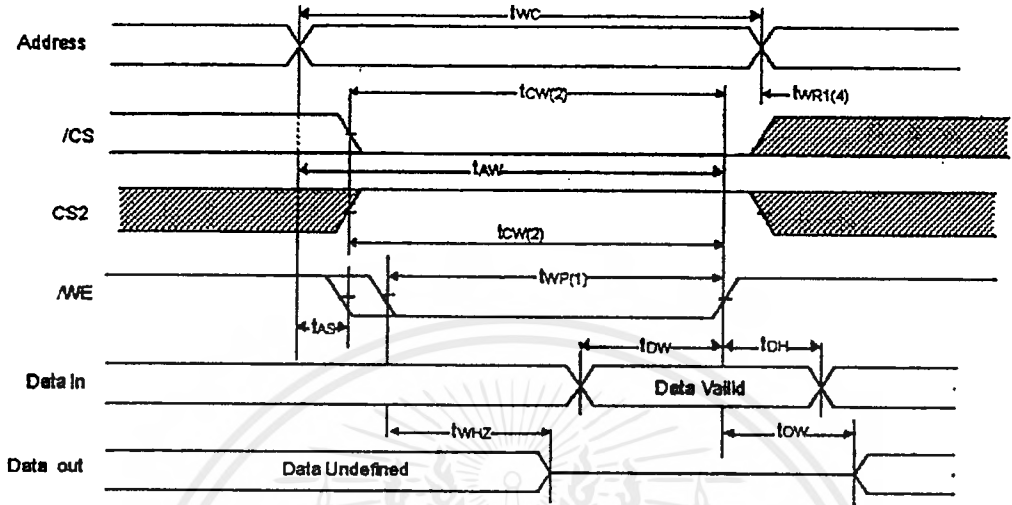
TIMING WAVEFORM OF READ CYCLE(2) (WE=VIH)



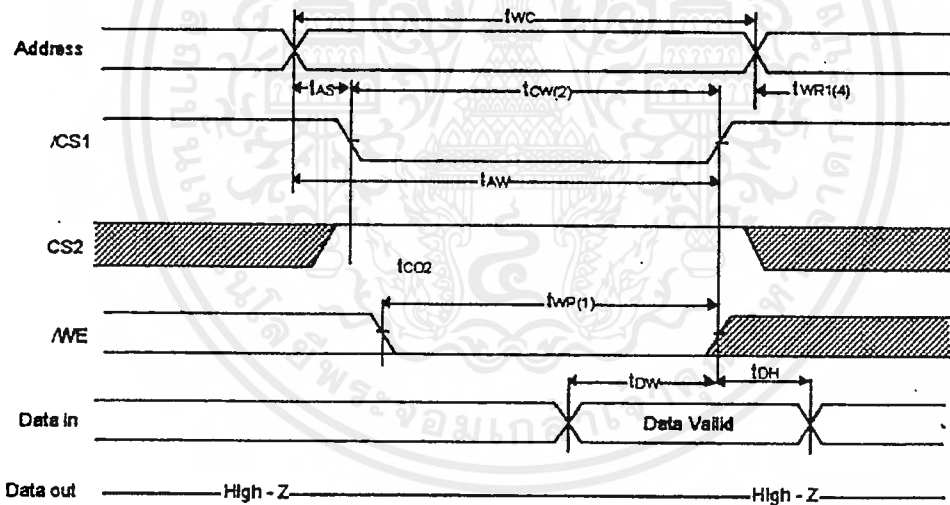
Notes(Read Cycle)

1.  $t_{HZ}$  and  $t_{OHZ}$  are defined as the time at which the outputs achieve the open circuit conditions and are not referenced to output voltage levels.
2. At any given temperature and voltage condition,  $t_{HZ}(\text{Max})$  is less than  $t_{LZ}(\text{Min})$  both for a given device and device to device interconnection.

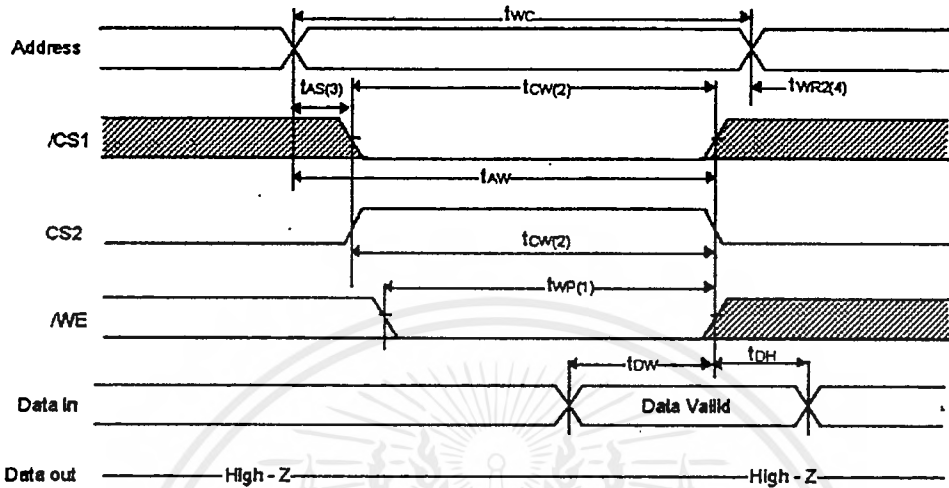
**TIMING WAVEFORM OF WRITE CYCLE(1) (/WE Controlled)**



**TIMING WAVEFORM OF WRITE CYCLE(2) (/CS1 Controlled)**



TIMING WAVEFORM OF WRITE CYCLE(3) (CS2 Controlled)



Notes(Write Cycle)

1. A write occurs during the overlap of a low /CS1, a high CS2 and a low /WE. A write begins at the latest transition among /CS1 going low, CS2 going high and /WE going low. A write ends at the earliest transition among /CS1 going high, CS2 going low and /WE going high. tWP is measured from the beginning of write to the end of write.
2. tCW is measured from the later of /CS1 going low or CS2 going high to the end of write.
3. tAS is measured from the address valid to the beginning of write.
4. tWR is measured from the end of write to the address change. tWR1 applied in case a write ends at /CS1, or /WE going high, tWR2 applied in case a write ends at CS2 going to low.

FUNCTIONAL DESCRIPTION

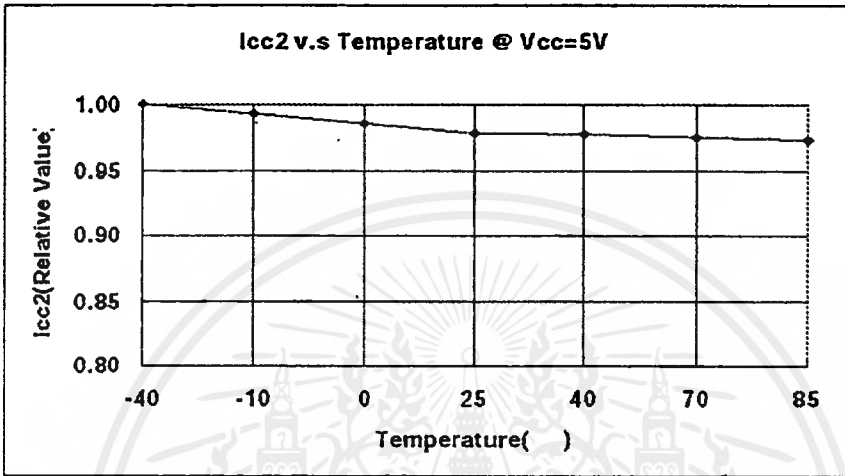
/CS1	CS2	/WE	/OE	Mode	I/O Pin	Current Mode
H	X	X	X	Power Down	High-Z	Isb, Isb1
X	L	X	X	Power Down	High-Z	Isb, Isb1
L	H	H	H	Output Disable	High-Z	Icc
L	H	H	L	Read	Dout	Icc
L	H	L	X	Write	Din	Icc

\* X means don't care

TECHNICAL INFORMATION

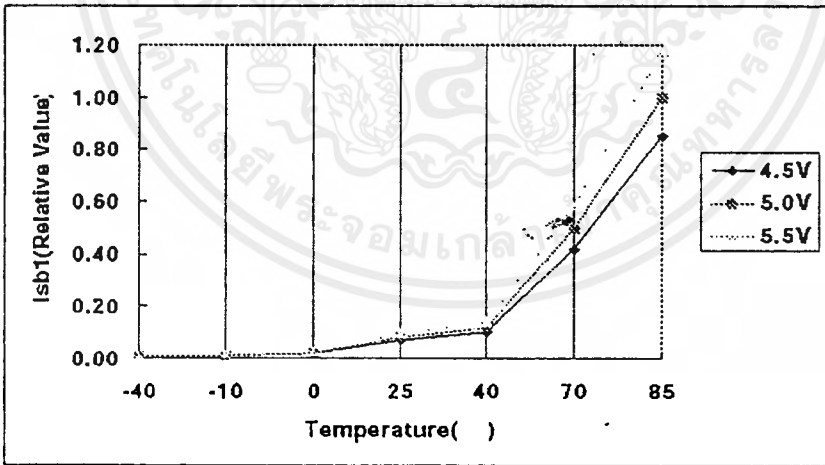
1)  $I_{cc2}$  characteristics by temperature variation

All the values in this graph are depicted by the relative value with the maximum value measured at 5.0V  $V_{cc}$  and -40 temperature. The basic relative value of  $I_{cc2}$  at that condition is set into 1.



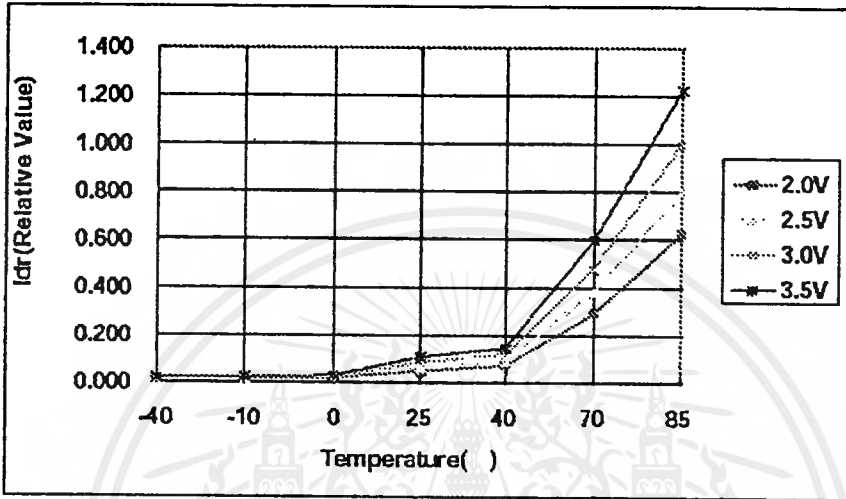
2)  $I_{sb1}$  (CMOS Level Standby Current) characteristics by temperature variation

All the values in this graph are depicted by the relative value with the maximum value measured at 5.0V  $V_{cc}$  and 85 temperature. The basic relative value of  $I_{sb1}$  at that condition is set into 1.



3) I<sub>dr</sub>(Data Retention Current) characteristics by temperature variation

All the values in this graph is depicted by the relative value with the maximum value measured at V<sub>dr</sub>=3.0V and 85 temperature. The basic relative value of I<sub>dr</sub> at that condition is set into 1.




## กิตติกรรมประกาศ

ผู้จัดทำขอขอบคุณอย่างเป็นอย่างยิ่ง ขอขอบคุณบิดา มารดา ที่ให้โอกาสในการศึกษาและให้ความเป็นอยู่อย่างสุขสบาย ขอขอบคุณอาจารย์ที่เอาใจใส่แนะนำเป็นที่ปรึกษาการทำโครงการ และขอขอบคุณน้องๆ และเพื่อนๆ ที่ช่วยเหลือตลอดมา จึงทำให้สามารถจัดทำรายงานฉบับนี้ขึ้นได้เสร็จสมบูรณ์

ลงชื่อ.....

(นาย รุ่งโรจน์ สัทธาธิกรณ์)

ลงชื่อ.....

(นาย อรรถพล ระบุฐาน)

ผู้จัดทำ

## หนังสืออ้างอิง

1. เจน สงสมพันธุ์, นิคม อนันต์ทิพย์, "เทคโนโลยีโทรทัศน์", สถาบันอิเล็กทรอนิกส์กรุงเทพ, พิมพ์ครั้งที่ 4,2536
2. Neil J.Rubenking, การเขียนโปรแกรมด้วย Delphi, บริษัท ซีเอ็ดดูเคชั่น จำกัด (มหาชน)

