สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งข้อมูลจากการวัดด้วยความถี่ VHF

VHF TELEMETRY

โดย

นาย สุวิทย์ โรจน์นันทกิจ

นาย อัศวรรณ์ เรืองชู

นาย อานนท์ วรเวชสิทธิกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 34084
วัน, เดือน, ปี 1 ต.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลจากการวัดด้วยความถี่ VHF

VHF TELEMETRY

โดย

นาย สุวิทย์ โรจน์นันทกิจ 39013214

นาย อัศวรรณ์ เรืองชู 39013223

นาย อานนท์ วรเวชสิทธิกิจ 39013224

อาจารย์ที่ปรึกษา

อาจารย์ ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลจากการวัดด้วยความถี่ VHF

VHF TELEMETRY

นาย สุวิทย์ โรจน์นันทกิจ 39013219

นาย อัศวรรณ์ เรืองชู 39013223

นาย อานนท์ วรเวชสิทธิกิจ 39013224

รายงานฉบับนี้ได้ผ่านการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(อ. ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้ ผู้จัดทำหวังว่าจะเป็นประโยชน์ หรือเป็นแนวทางสำหรับผู้ที่ต้องการศึกษาและพัฒนา เกี่ยวกับการระบบโทรมาตรสำหรับห้องไอซียูได้เป็นอย่างดี โครงงานVHF TELEMETRY นี้ สำเร็จลงได้ก็เนื่องจากได้รับคำแนะนำต่าง ๆ จาก อาจารย์ ประภากร สุวรรณะ จึงขอขอบคุณมา ณ ที่นี้ด้วย ตลอดจนผู้ที่มีส่วนร่วมทำให้โครงงานนี้สำเร็จลงได้อีกด้วย หากรายงานประกอบโครงงานฉบับนี้มีความผิดพลาดประการใด ทางผู้จัดทำก็ขออภัยไว้ ณ ที่นี้ด้วย

สุวิทย์ โรจน์นันทกิจ.
(นายสุวิทย์ โรจน์นันทกิจ)

อัศวรรณ์ เรืองชู
(นายอัศวรรณ์ เรืองชู)

อานนท์ วรเวชสิทธิกิจ
(นายอานนท์ วรเวชสิทธิกิจ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลจากการวัดด้วยความถี่ VHF

นายสุวิทย์ โรจน์นันทกิจ
นายอัศวรรณ์ เรืองชู
นายอานนท์ วรเวชสิทธิกิจ
อ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2541

บทคัดย่อ

ปริญญานิพนธ์ ฉบับนี้ เป็นการออกแบบระบบรับ-ส่งสัญญาณความถี่ต่ำไร้สาย ซึ่งเหมาะสมกับการนำไปประยุกต์ใช้งานเป็นระบบโทรมาตร(Telemetry)สำหรับห้องไอซียู ระบบที่ออกแบบขึ้น สามารถรับ-ส่งสัญญาณได้พร้อมกัน 3 สัญญาณ โดยแถบความถี่สูงสุดของช่องสัญญาณที่ 1 คือ 200 Hz และของช่องสัญญาณที่ 2 กับช่องสัญญาณที่ 3 คือ 100 Hz โดยใช้หลักการ มัลติเพล็กซ์แบบแบ่งเวลา (TDM) เป็นสัญญาณดิจิตอลขนาด 8 บิท แล้วจึงเปลี่ยนเป็นข้อมูลแบบอนุกรมด้วยอัตราความเร็ว 6400 บิทต่อวินาที เครื่องส่งและเครื่องรับวิทยุเป็นแบบเอฟเอ็มในย่านความถี่ VHF 46-49 MHz โดยใช้การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปในการควบคุมความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VHF TELEMETRY

Mr. Suwit Rodnuntakit

Mr. Aza-one Reungchoo

Mr. Arnon Voravetsittikit

Mr. Prapakorn Suwanna (Advisor)

Education Year 1998

Abstracts

The project presents the design of a low frequencies signals wireless transmission system, suitable to be used as the ICU telemetry. The system is able to transmit 3 channels signals which the maximum bandwidth of 200 Hz on channel 1 , and 100 Hz on channel 2 and 3. The transmission is done by using the principle of the digital time division multiplex with 8 bits resolution. The data are then transformed to serial by the rate of 6400 bits per seconds. The RF transmitter and receiver are frequency modulation in the band of VHF 46-49 MHz. The frequencies are controlled by the PLL synthesizers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์	1
1.2 คุณสมบัติ	2
บทที่ 2 การแปลงสัญญาณอนาล็อกเป็นดิจิตอลและการมัลติเพล็กซ์	4
2.1 การแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล	4
2.1.1 ทฤษฎีการสุ่ม (Sampling Theory)	5
2.1.2 การจัดระดับสัญญาณ (Quantizing)	8
2.1.3 การเข้ารหัส (Encoded)	10
2.2.4 successive approximation ADC	11
2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (TDM)	12
2.3 ADC0808 : 8 bit A/D with multiplexer	14
บทที่ 3 การมอดูเลตและดีมอดูเลตทางความถี่	16
3.1 สัญญาณ FM	16
3.2 ไซด์แบนด์และแบนวิดท์ของ FM	17
3.2.1 ดัชนีการมอดูเลต	18
3.2.2 ไซด์แบนด์ของ FM	18
3.2.3แบนวิดท์ของ FM	20
3.3 วิธีการกำเนิดสัญญาณ FM	20
3.3.1 วิธีกำเนิด FM โดยตรง	20
3.3.2 วิธีกำเนิด FM โดยอ้อม	21
3.4 การดีมอดูเลต FM	21
3.4.1 ลิมิตเตอร์	22
3.4.2 ดิสดรีมิเนเตอร์	22
3.5 ระบบการรับส่ง FM	23
3.5.1 ภาคส่ง	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 ภาครับ 24

บทที่ 4 การสังเคราะห์ความถี่ย่าน VHF ด้วย PLL 25

4.1 หลักการของเฟสล็อกลูป 25

4.2 Transter function of PLL 26

4.3 Capture & Lock Range 29

4.4 วงจรออสซิลเลเตอร์แบบคอลพิทส์ 30

4.5 ไมโครคอนโทรลเลอร์ MCS-51 32

4.5.1 คุณสมบัติของไมโครคอนโทรลเลอร์ MCS-51 32

4.5.2 โครงสร้างสถาปัตยกรรมของ MCS-51 33

4.6 IC PLL MC145162 34

บทที่ 5 รายละเอียดของโครงงาน 36

5.1 บล็อคไดอะแกรมของโครงงานทั้งหมด 36

5.1.1 บล็อคไดอะแกรมภาคส่ง 36

5.1.2 บล็อคไดอะแกรมภาครับ 36

5.2 การทำงานของวงจรภาคส่ง 39

5.2.1 การทำงานของวงจรTime Division MUX 39

5.2.2 การทำงานของวงจร FSK Modulate 42

5.2.3 การทำงานของวงจร FM Modulate 41

5.2.3 การทำงานของวงจร RF Amplifier 43

5.3 การทำงานของวงจรภาครับ 48

5.3.1 การทำงานของวงจรภาครับ FM 48

5.3.2 การทำงานของวงจร Detector FM 49

5.3.3 การทำงานของวงจร FSK Demodulate 49

5.3.4 การทำงานของวงจร Time Division DEMUX 50

บทที่ 6 การทดลองและผลการทดลอง 55

6.1 การวัดสัญญาณที่จุดต่างๆ ของภาคส่ง 55

6.2 การวัดสัญญาณที่จุดต่างๆ ของภาครับ 59

บทที่ 7 สรุปและวิจารณ์ 63

ภาคผนวก ก โปรแกรมของ MCS-51 64

ภาคผนวก ข DATASHEET 72

เอกสารอ้างอิง 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

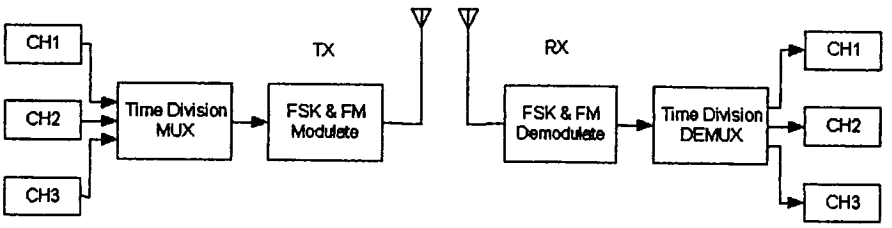
บทที่ 1
บทนำ

ในสภาวะปัจจุบันปัญหาการขาดแคลนแพทย์และพยาบาล ยังคงเป็นปัญหาที่สำคัญในสังคม โดยเฉพาะอย่างยิ่งในท้องถิ่นชนบทที่อยู่ห่างไกลปัญหาการขาดแคลนแพทย์และพยาบาลนั้นมีอัตราการขาดแคลนที่สูง ในการเพิ่มจำนวนแพทย์นั้นเป็นไปได้ค่อนข้างยากต้องใช้เวลาและงบประมาณที่สูง ดังนั้น จึงได้มีการพัฒนาเครื่องมือทางการแพทย์ขึ้นมามากมายเพื่ออำนวยความสะดวกต่อแพทย์ที่ดูแลผู้ป่วย โดยแพทย์เพียงคนเดียวสามารถวินิจฉัยโรคและดูแลผู้ป่วยได้หลาย ๆ คนในเวลาเดียวกันอย่างมีประสิทธิภาพ ทำให้ปัญหาการขาดแคลนแพทย์ดังกล่าวข้างต้นลดลงไปได้อย่างมาก

1.1 วัตถุประสงค์

โครงงานนี้เป็นการทดลองและพัฒนาเกี่ยวกับระบบการส่งสัญญาณทางไกล 3 ช่องสัญญาณโดยใช้ช่องสัญญาณในการส่งเพียง 1 ช่องสัญญาณเท่านั้น โดยสัญญาณที่รับส่งนี้จะเป็นสัญญาณไฟฟ้าร่างกายที่วัดมาแล้วจากเตียงผู้ป่วยจำนวน 3 สัญญาณโดยสัญญาณเหล่านี้จะมีความถี่ต่ำมาก (0 Hz) จนถึงสัญญาณความถี่ต่ำอยู่ในช่วงไม่เกิน 200 Hz เช่น สัญญาณหัวใจ , ความดันเลือด , อุณหภูมิ และ อัตราการหายใจ เป็นต้น

โดยทั้ง 3 ช่อง สัญญาณนั้นจะวัดและส่งพร้อมกันในช่วงเวลาเดียวกันจากนั้นจะนำมาทำการมัลติเพล็กซ์เพื่อรวมทั้ง 3 ช่องสัญญาณนั้นให้เหลือเพียง 1 ช่องสัญญาณ เป็นการประหยัดช่องสัญญาณลงไปได้มาก เมื่อรวมเหลือเพียง 1 ช่องสัญญาณแล้วก็จะส่งออกไปโดยผ่านการมอดูเลตแบบความถี่ (Frequency Modulation) ส่งออกอากาศออกไปแบบไร้สาย (wireless)



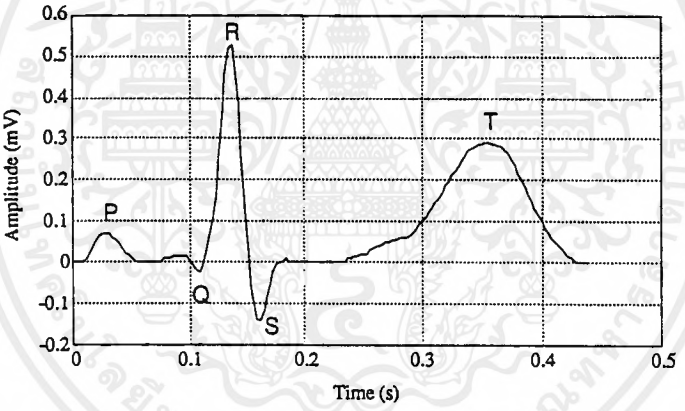
รูปที่ 1.1 แสดงบล็อกไดอะแกรมของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านรับเมื่อรับสัญญาณที่ผ่านการรับจากเสาอากาศแล้ว จะทำการดีมอดูเลตทางความถี่ (Frequency Demodulate) จากนั้นจะนำสัญญาณมาทำการดีมัลติเพล็กซ์ แยกทั้ง 3 สัญญาณออกจากกันโดยเมื่อทำการแยกสัญญาณทั้ง 3 สัญญาณออกมาแล้ว จะต้องได้คุณสมบัติต่าง ๆ ของสัญญาณ ใกล้เคียงหรือเหมือนกับทางด้านส่งมากที่สุด เพื่อที่แพทย์จะได้วินิจฉัยได้อย่างถูกต้อง ดังนั้นแพทย์จึงสามารถดูแลผู้ป่วยได้ โดยที่แพทย์ไม่จำเป็นต้องอยู่ในห้องเดียวกับผู้ป่วยเลย

1.2 คุณสมบัติ

สำหรับสัญญาณไฟฟ้าร่างกายที่จะทำการส่งสัญญาณนั้น อันได้แก่ สัญญาณหัวใจ , ความดันเลือด , อุณหภูมิ และ อัตราการหายใจ ซึ่งสัญญาณที่มีความถี่สูงสุด ก็คือ สัญญาณหัวใจ (ElectroCardioGram :ECG) ซึ่งจะไม่เกิน 200 Hz ลักษณะของสัญญาณหัวใจ แสดงดังรูปที่ 1.2



รูปที่ 1.2 ลักษณะของสัญญาณไฟฟ้าหัวใจ

ในการออกแบบจะใช้สัญญาณคลื่นรูปซายน์ (sine wave) , รูปคลื่นสี่เหลี่ยม (square wave) หรือ รูปคลื่นสามเหลี่ยม (triangle wave) ที่ความถี่ต่างๆ กันไม่เกิน 200 Hz เป็นสัญญาณในการทดสอบ

คุณสมบัติที่กำหนดไว้ในการรับส่งพร้อมกัน 3 ช่องสัญญาณคือในช่องที่ 1 (Channel 1:CH1) สามารถส่งสัญญาณความถี่ได้ไม่เกิน 200Hz ช่องที่ 2 (Channel 2: Ch2) และ ช่องที่ 3 (Channel 3: CH 3) สามารถส่งสัญญาณความถี่ได้ไม่เกิน 100Hz ทั้ง 3 สัญญาณจะถูกแปลงเป็นสัญญาณดิจิตอลด้วยวงจรแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล (Analog to Digital Converter : ADC) ซึ่งเป็นชนิด 8 บิต และสามารถมัลติเพล็กซ์สัญญาณได้ โดยในการมัลติเพล็กซ์จะใช้แบบแบ่งเวลา (Time - Division Multiplexing :TDM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการสุ่มสัญญาณ (Sampling) จะต้องใช้อัตราการสุ่มสัญญาณอย่างน้อย 2 เท่าของความถี่สูงสุดดังนั้นที่ CH1 จะต้องใช้อัตราการสุ่มที่ 400Hz ส่วน CH2 และ CH3 ใช้อัตราการสุ่มช่องละ 200Hz เพราะฉะนั้นใน 1 เฟรมข้อมูล (Frame) จึงมีอัตราการสุ่มสัญญาณ 800Hz ด้วยกัน

จาก ADC จะให้ข้อมูลที่ทำการสุ่มออกมาเป็นแบบขนาน แล้วจะมาทำการแปลงให้เป็นแบบอนุกรมโดย shitt rigister (parallel -in / serial -out) ดังนั้นการสุ่มสัญญาณ 1 ครั้งจะต้องเลื่อนข้อมูลออกไป 8 ครั้ง ดังนั้นการสุ่มสัญญาณทั้งหมดที่ 800Hz จึงต้องเลื่อนข้อมูลด้วยความเร็วเท่ากับ $800\text{Hz} \times 8 = 6400$ Hz ดังนั้นความถี่สูงสุดที่ส่งออกไปจึงเท่ากับ 6400 Hz หรือ 6400 บิท ต่อวินาที

เมื่อได้สัญญาณที่เป็นอนุกรมมาแล้ว จะมาทำการมอดูเลตแบบ Frequency Shift Keying (FSK) เพื่อเปลี่ยนจากสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกก่อนทำการมอดูเลตทางความถี่ (FM) ในการมอดูเลตทางความถี่จะใช้สัญญาณคลื่นพาหะในย่าน VHF ที่ความถี่ 46 – 49 MHz โดยใช้ IC#MC145162 ซึ่งทำหน้าที่เฟสล็อกลูปในการสังเคราะห์ความถี่ควบคุมด้วยไมโครคอนโทรลเลอร์ MCS-51 แบบอนุกรม จากนั้นจะผ่านวงจรขยายสัญญาณแล้วส่งออกอากาศออกไป

ที่อินพุทของภาครับจะมีส่วนของวงจรภาครับFM แล้วทำการดีเทกเตอร์แยกสัญญาณคลื่นพาหะออก จากนั้นจะได้สัญญาณ FSK ออกมาแล้วทำการดีมอดูเลต FSK ออกมาเป็นสัญญาณดิจิตอลทั้งข้อมูลและสัญญาณซิงค์ จากนั้นจะผ่านไปทำการดีมัลติเพล็กซ์ เพื่อแยกสัญญาณของแต่ละช่องโดยจะต้องแปลงข้อมูลจากอนุกรมให้เป็นขนาน (serial - in / parallel - out) จากนั้นจะแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (Digital to Analog Converter : DAC) แล้วผ่านวงจรกรองความถี่ต่ำผ่าน (Low - pass Filter : LPF) เพื่อทำให้สัญญาณเรียบและใกล้เคียงกับสัญญาณอินพุทมากที่สุด

เนื้อหาต่างๆ ในปริญญานิพนธ์ฉบับนี้ประกอบด้วย

บทที่ 2 การรับส่งสัญญาณดิจิตอลและการมัลติเพล็กซ์แบบแบ่งเวลา

บทที่ 3 การมอดูเลตและดีมอดูเลตทางความถี่

บทที่ 4 การสังเคราะห์ความถี่ย่าน VHF

บทที่ 5 รายละเอียดของโครงงาน

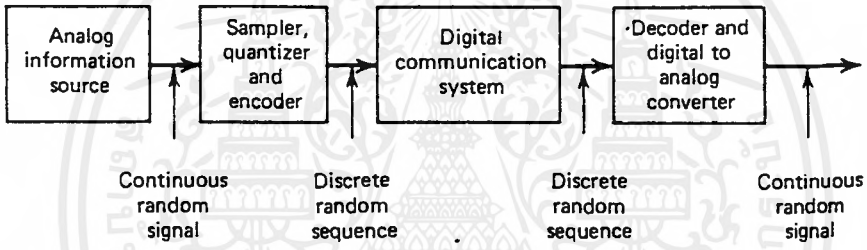
บทที่ 6 การทดลองและผลการทดลอง

บทที่ 7 สรุปและวิจารณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การแปลงสัญญาณอนาล็อกเป็นดิจิตอลและการมัลติเพล็กซ์

สัญญาณที่เกิดขึ้นตามธรรมชาติ หรือสัญญาณที่สามารถพบเห็นในชีวิตประจำวันจะอยู่ในรูปของสัญญาณที่ต่อเนื่อง (Analog Signal) รวมทั้งสัญญาณไฟฟ้าร่างกายของมนุษย์จะอยู่ในรูปแบบที่ต่อเนื่องเช่นกัน ดังนั้นการนำสัญญาณเหล่านี้มาการมัลติเพล็กซ์แล้วรับส่งกันแบบดิจิตอลนั้นจึงจำเป็นต้องมีการแปลงสัญญาณจากอนาล็อกเป็นสัญญาณดิจิตอล เพื่อนำไปประมวลผลและรับส่งในแบบสัญญาณดิจิตอลได้ จากรูปที่ 2.1 เป็นบล็อกไดอะแกรมขั้นตอนการรับส่งสัญญาณดิจิตอลที่แปลงมาจากสัญญาณอนาล็อก



รูปที่ 2.1 ขั้นตอนรับส่งสัญญาณดิจิตอลจากสัญญาณอนาล็อก

จากรูปที่2.1 เมื่อสัญญาณข้อมูลที่เป็นอนาล็อกผ่านเข้ามาจะถูกแปลงให้เป็นสัญญาณดิจิตอล (Digital - to -Analog Converter) โดยจะผ่านการ Sampler , Quantizer และ Encoder จากนั้นจะส่งในลักษณะดิจิตอลออกไป ทางด้านรับก็จะมีส่วน Decoder แล้วจากนั้นก็จะแปลงจากสัญญาณดิจิตอลกลับไปเป็นสัญญาณอนาล็อก (Analog to Digital Converter) ก็จะได้สัญญาณอนาล็อกกลับมาดังเดิม

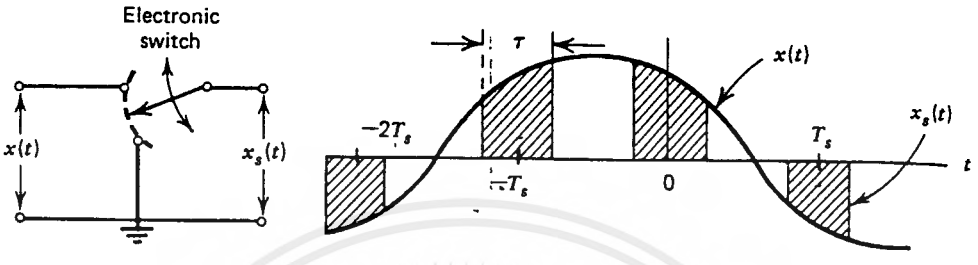
2.1 การแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล

ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้นมีขั้นตอนต่างๆ ที่ซับซ้อนอยู่พอสมควร กว่าจะได้สัญญาณเป็นดิจิตอลที่มีค่าผิดพลาด (error) ต่ำ ซึ่งโดยส่วนใหญ่แล้วจะประกอบด้วยขั้นตอนที่สำคัญอยู่ 3 ขั้นตอน คือ การสุ่ม (Sampling) , การจัดระดับสัญญาณ (Quantizing) และการเข้ารหัส (Encoder) โดยทั้งหมดนั้นถือเป็นทฤษฎีพื้นฐานในการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 ทฤษฎีการสุ่ม (Sampling Theory)

จากหลักการของการสุ่มเราสามารถอธิบายได้ดังรูปที่ 2.2 ซึ่งเป็นสวิทช์เลือกระหว่างสองสัญญาณคือ x(t) และ จุดกราวด์

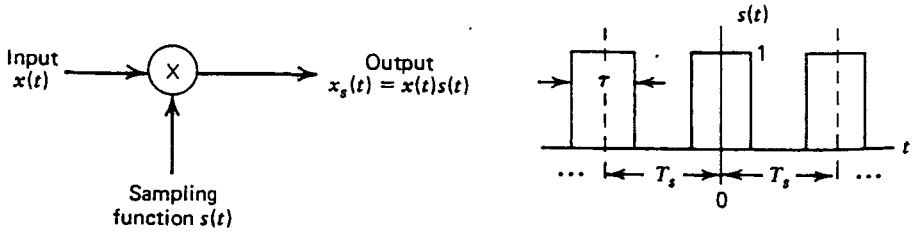


รูปที่2.2 หลักการของการสุ่ม (Sampling)

จากรูปที่ 2.2 สวิตช์จะมีการเคลื่อนที่ในลักษณะเป็นคาบเวลา ระหว่าง x(t) และกราวด์ ด้วยความถี่เท่ากับ fs = 1/Ts Hz สวิทช์จะต่อกับอินพุท x(t) เป็นเวลา τ วินาทีและต่อกับกราวด์เป็นเวลาเท่ากันในแต่ละคาบของการสุ่มถ้าให้ $x_s(t)$ เป็นเอาพุทที่ได้จากการสุ่มสัญญาณอินพุท x(t) แล้ว $x_s(t)$ จะมีค่า

$$x_s(t) = x(t).S(t) \tag{2.1}$$

โดยที่ S(t) คือสัญญาณการสุ่ม (Sampling) แสดงดังรูปที่ 2.3



รูปที่ 2.3 แสดงสัญญาณการสุ่มS(t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่เกิดขึ้นคือ แล้วสัญญาณที่ถูกการสุ่ม (Sampling) แล้วจะกลับมาเป็นสัญญาณดังเดิมได้อย่างไรและการจะใช้ความถี่เท่าใดในการสุ่มสัญญาณซึ่งเราสามารถอธิบายได้จากสเปกตรัมที่ได้จาก x(t) และ $x_s(t)$ ตามลำดับและสามารถหาได้จากฟูเรียร์ทรานฟอร์ม (Fourier Transform) ของสัญญาณทั้งสองชนิด

จากสัญญาณ S(t) ในรูปที่2.3 เราสามารถเขียนให้อยู่ในอนุกรมฟูเรียร์(fourier series) ได้เป็น

$$S(t) = C_o + \sum_{n=1}^{\infty} 2C_n \cos(n\omega_s t) \qquad (2.2)$$

โดยที่ $C_o = \tau / Ts$, $Cn = f_s \tau \sin [nf_s\tau]$ และ $\omega = 2\pi f_s$

แล้วนำสมการที่ 2.2 แทนลงในสมการที่ 2.1 จะได้

$$x_s(t) = C_o x(t) + 2C_1 x(t) + 2C_2 x(t)\cos 2\omega_s t + \ldots \qquad (2.3)$$

จากสมการที่ 2.3 ใช้ฟูเรียร์ทรานฟอร์ม (Fourier Transform) จะได้

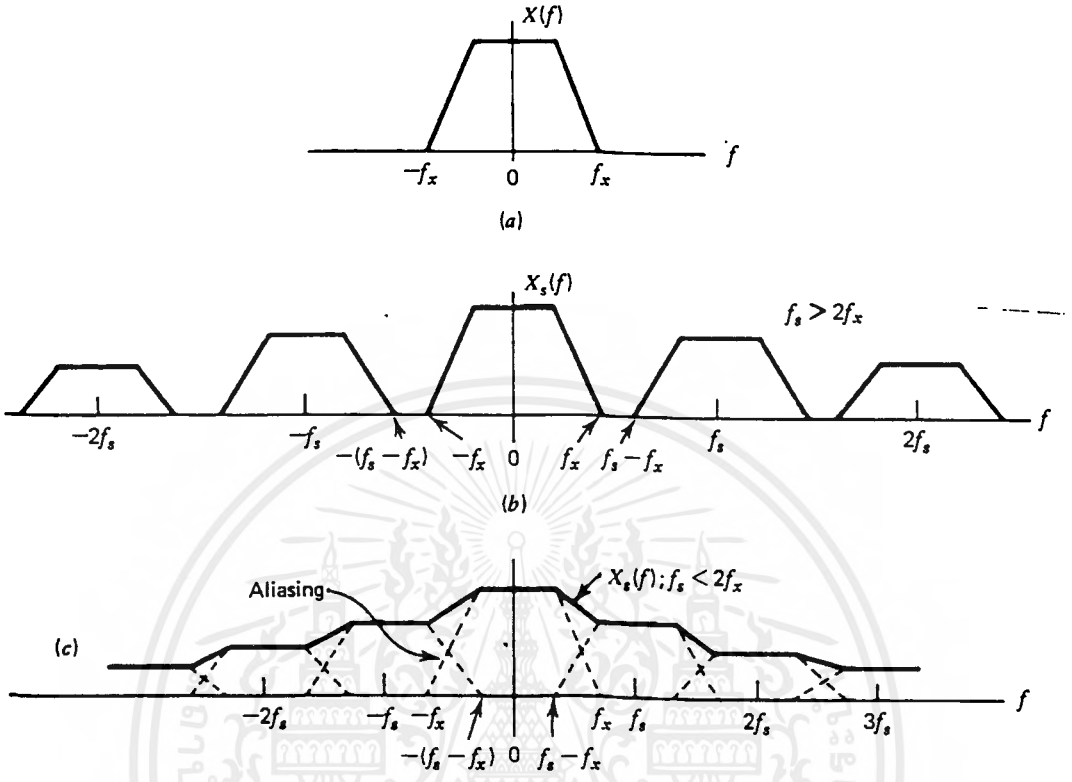
$$X_s(f) = C_o X(f) + C_1[X(f-f_s) + X(f+f_s)] + C_2[X(f-2f_s) + X(f+2f_s)] + \ldots \qquad (2.4)$$

หรือเขียนใหม่ได้ว่า

$$X_s(f) = C_o X(f) + \sum_{n=-\infty, n\neq 0}^{\infty} C_n X(f - nf_s) \qquad (2.5)$$

เราสามารถใช้สมการที่ 2.4 แสดงสเปกตรัมของ $x_s(t)$ ที่เกิดจากการสุ่ม x(t)โดยในรูปที่ 2.4 เป็นสเปกตรัมของสัญญาณที่ผ่านการสุ่มมาแล้ว $x_s(t)$ เมื่ออินพุท x(t) มีแถบความถี่ไม่เกิน f_x Hz เมื่อ $f_s > 2f_x$ และ $f_s < 2f_x$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงสเปกตรัมจากการสุ่มFreqeuncy domain)

(a) สเปกตรัมของอินพุท x(t)

(b) สเปกตรัมของ $x_s(t)$ ที่ $f_s > 2f_x$

(c) สเปกตรัมของ $x_s(t)$ ที่ $f_s < 2f_x$

จากรูปที่ 2.4 จะเห็นว่ากรณีที่ $f_s > 2f_x$ สเปกตรัม X(f) และ Xs(f) ที่แถบความถี่ไม่เกิน f_x Hz จะมีลักษณะเหมือนกัน ซึ่งก็คือสมการเทอมแรกจากสมการที่ 2.4 แล้วสมการถัดมาจะถูกลดถอนลงด้วยแฟกเตอร์ Cn ของผลลัพธ์จากการสุ่ม ถ้าเรานำสเปกตรัมเทอมแรกไปทำฟูเรียร์ทรานฟอร์มย้อนกลับ (Inverse – Fourier Transform) ก็จะได้สัญญาณ x(t) กลับมาดังเดิม

แต่ในกรณีที่ $f_s < 2f_x$ แล้ว ดังรูปที่ 2.4 (c) ไซด์แบนด์ของสัญญาณจะเกิดการทับซ้อนกันไม่สามารถแยกส่วนของ x(t) ออกมาได้ ทำให้สัญญาณที่เปลี่ยนกลับมาเกิดความผิดพลาด(Aliasing) และสำหรับกรณี $f_s > 2f_x$ ก็จะต้องมีวงจรกรองความถี่ต่ำผ่าน (Low – pass filter) เพื่อกรองเอาเฉพาะช่วงสเปกตรัมที่ต้องการ ก็คือกรองเฉพาะส่วน x(t) ของ $x_s(t)$ เมื่อเปลี่ยนกลับมาจะได้สัญญาณ x(t) ดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นความถี่ที่ใช้ในการสุ่มจะต้องมีค่า

$$f_s \geq 2f_x \quad \text{หรือ} \quad T_s \leq 1/2f_x \tag{2.6}$$

และถ้าใช้ความถี่การสุ่มที่ $2f_x$ พอดีซึ่งเป็นความถี่ค่าน้อยที่สุดในการสุ่ม เราจะเรียกว่า "Nyquist rate" และถ้าเป็นไปตามสมการที่ 2.6 แล้วอีกข้อหนึ่งที่สำคัญก็คือแถบความถี่ผ่าน (pass band) ของวงจรกรองความถี่ต่ำผ่านจะต้องมีแถบความถี่(B.W.) อยู่ที่

$$f_x \leq \text{B.W.} \leq f_s - f_x \tag{2.7}$$

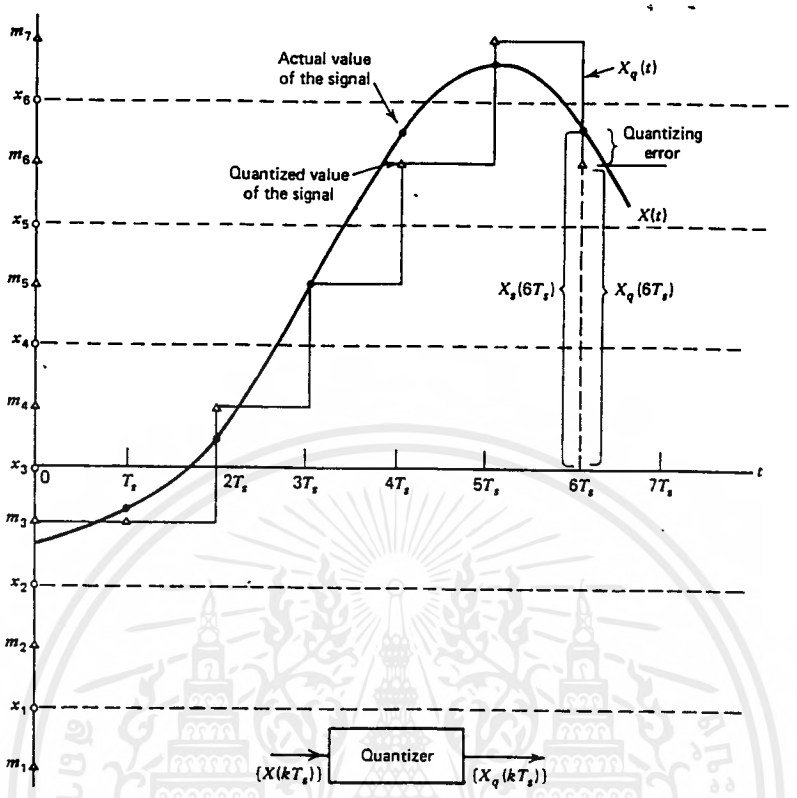
ถ้าเป็นไปดังสมการที่ 2.6 และ 2.7 แล้วสัญญาณ x(t) ที่ถูกสุ่มด้วยสัญญาณ S(t) เป็น $x_s(t)$ แล้วจะสามารถคืนกลับมาเป็น x(t) ได้ดังเดิมโดยมีความผิดพลาดของสัญญาณน้อยมากแต่ก็ยังขึ้นอยู่กับขั้นตอนการจัดระดับสัญญาณและเข้ารหัสอีกด้วย

2.1.2 การจัดระดับสัญญาณ (Quantizing)

อีกขั้นตอนหนึ่งที่สำคัญหลังจากสัญญาณผ่านการสุ่มมาแล้วก็คือ ขั้นตอนการจัดระดับ (quantizing)ของสัญญาณ โดยสัญญาณที่ผ่านการสุ่มมาแล้วจะมีลักษณะที่ไม่ต่อเนื่อง (discrete signal) และเนื่องจากสัญญาณอนาล็อกส่วนใหญ่จะมีสัญญาณรบกวน (noise) ปะปนมาด้วยเสมอจึงจำเป็นจะต้องกำจัดสัญญาณเหล่านี้ออกไปเพื่อไม่ให้เกิดความผิดพลาดในการประมวลผลแบบดิจิตอลและสามารถนำไปเข้ารหัสได้ง่าย

เมื่อผ่านการสุ่ม(sampling) และการจัดระดับ (quantizing) แล้วข้อมูลที่เป็นสัญญาณอนาล็อกจะถูกเปลี่ยนเป็นระดับสัญญาณที่แน่นอนและมีลักษณะไม่ต่อเนื่องเป็นลำดับต่างๆ กันมา ดังรูปที่ 2.5 ซึ่งจะเห็นว่ามีระดับที่เกิดความผิดพลาดอยู่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการจัดระดับของสัญญาณ

จากรูปที่ 2.5 สัญญาณอนาล็อก x(t) เป็นสัญญาณข้อมูลที่จะเปลี่ยนเป็นสัญญาณดิจิตอลและถูกสุ่มด้วยอัตราความถี่ที่เหมาะสม แล้วได้เป็น Xq(kTs) จากนั้น จะถูกจัดระดับด้วยระดับ m_1, m_2, ...m_q โดยการกำหนดระดับดังกล่าวมีข้อกำหนดว่า

$$X_q(kT_s) = m_i \quad \text{ถ้า} \quad x_{i-1} \le X(kT_s) < x_i \tag{2.8}$$

โดยที่ $x_0 = -\infty \quad , \quad x_Q = +\infty$

เอาพุทที่ได้จากการจัดระดับจะเป็นลำดับของระดับสัญญาณ (sequence of levels) ที่ถูกจัดระดับแล้ว Xq(t) โดยที่

$$X_q(t) = X_q(kT_s) \quad , \quad kT_s \le t < (k+1)T_s \tag{2.9}$$

จากรูปที่ 2.5 สัญญาณที่ผ่านการจัดระดับมาแล้ว จะมีลักษณะสัญญาณที่ประมาณออกมา ซึ่งแน่นอนว่าจะต้องมีส่วนที่ผิดพลาด (error) อยู่ด้วยการลดค่าความผิดพลาดดังกล่าวนั้น จะขึ้นอยู่กับ x_i และ mi เป็นสำคัญและอีกอย่างที่สำคัญมากก็คือ ความละเอียด (Resolution) ของตัวแปลงว่ามีกี่บิทเพราะจำนวนบิทของตัวแปลง จะบอกถึงจำนวนระดับสัญญาณคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนระดับสัญญาณ(Q) = 2^n ; n คือจำนวนบิท (2.10)

ถ้าเราใช้ตัวแปลงขนาด 8 บิท กับขนาดสัญญาณอนาล็อกที่สูงสุด 10โวลต์ จะได้จำนวนระดับสัญญาณเท่ากับ = 256 ระดับ ดังนั้นค่าของหนึ่งบิทด้านต่ำ (Least Significant Bit :LSB) จะมีค่าเป็น

ค่าหนึ่งบิทด้านต่ำ = แรงดันสัญญาณสูงสุด / จำนวนระดับสัญญาณ (2.11)

ในบางครั้งเราจะเรียก LSB ว่า "Step Size" โดยใช้สัญลักษณ์จากตัวแปลง 8 บิต และขนาดสัญญาณ 10โวลท์ จะมีค่า Δ = 0.039 V. แล้วอาจเขียนสมการในการหาค่า Δ ได้ไหม่ว่า

$$\Delta = \text{Full Scale Signal} / Q \quad (2.12)$$

จะเห็นว่า จำนวนบิทยิ่งมากค่า Δ จะยิ่งลดลง จะทำให้ค่าความผิดพลาดลดลงไปด้วยโดยค่าความผิดพลาดจะอยู่ระหว่าง 0 ถึง $\Delta/2$ ซึ่งค่าผิดพลาดอาจจะเป็นศูนย์ถ้าสัญญาณอนาล็อกมีค่าอยู่ที่จุดกึ่งกลางพอดี

2.1.3 การเข้ารหัส (Encoded)

ในการเข้ารหัสสัญญาณที่ผ่านการสุ่มและวัดระดับมาแล้วนั้น ส่วนใหญ่จะแปลงให้อยู่ในรูปของรหัสตัวเลขฐานสอง (binary code) แล้วเปลี่ยนจากข้อมูลแบบขนานให้เป็นแบบอนุกรมเพื่อสามารถลดช่องสัญญาณในการส่งข้อมูลให้เหลือเพียงช่องสัญญาณเดียวได้

สมมติว่าสัญญาณอนาล็อก x(t) มีขนาดสูงสุดอยู่ที่ $\pm$ 4 Vpp และมีอัตราการสุ่มที่เป็น 2 เท่า ของความถี่สูงสุด มีค่าQ = 16 ดังนั้นจึงมี Δ= 0.5 V. แล้วจุดระดับ x_i จะอยู่ที่ -4,-3.5,-3, -2.5 ,...,0,...,2.5,3,3.5,4 V. และแรงดันระดับเอาพุท(mi)จะเป็น -3.75,-3.25,...,3.25,3.75 V ตามลำดับ

จากตารางที่ 2.1 จะแสดงลำดับการเข้ารหัสของระดับแรงดันจากการสุ่มและผ่านการจัดระดับระดับสัญญาณมาแล้ว ซึ่งที่ระดับแรงดันต่ำที่สุดก็จะมีรหัสเป็นเลขฐานสอง 0000 ส่วนระดับแรงดันสูงที่สุดก็จะมีรหัสเป็นเลขฐานสอง 1111 เป็นต้น

ตารางที่ 2.1 แสดงการเข้ารหัสสัญญาณ

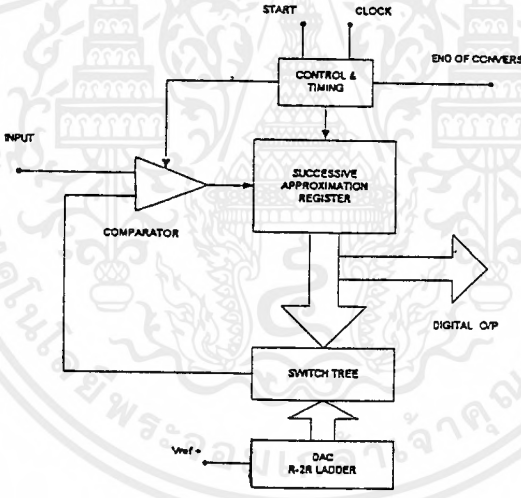
ระดับแรงดัน	รหัสเป็นเลขฐานสอง	ระดับแรงดัน	รหัสเป็นเลขฐานสอง
-3.75	0000	0.25	1000
-3.25	0001	0.75	1001
-2.75	0010	1.25	1010
-2.25	0011	1.75	1011
-1.75	0100	2.25	1100
-1.25	0101	2.75	1101
-0.75	0110	3.25	1110
-0.25	0111	3.75	1111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากขั้นตอนทั้งหมดของการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น เราสามารถกำหนดความสามารถหรือคุณภาพ(quality)ในการแปลงได้ ด้วยปัจจัยหนึ่งที่สำคัญมากก็คือ "ความละเอียด (resolution) " ซึ่งขึ้นอยู่กับจำนวนบิทนั่นเองแต่ในการใช้งานจริงแล้วยังมีเรื่องความเร็วในการแปลงอีกด้วยและที่ใช้งานจริงจะมีตัวแปลงอยู่หลายชนิดอีกด้วย

2.1.4 Successive Approximation ADC

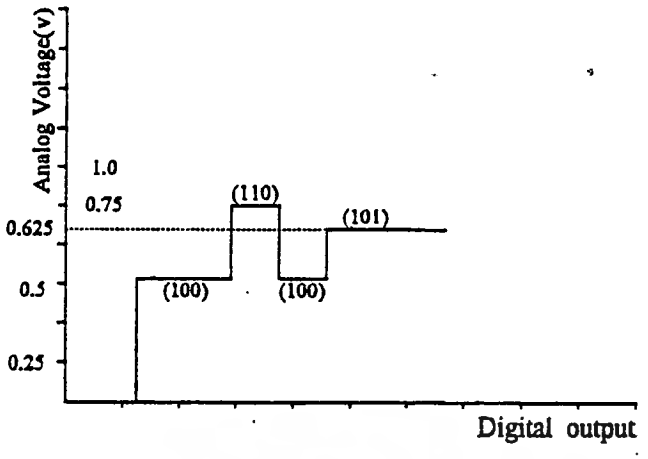
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูงเป็นการทำงานในลักษณะการป้อนกลับซึ่งบล็อกไดอะแกรมในรูปที่ 2.6 แสดงฟังชั่นต่างๆใน ADC ชนิดนี้ คอมพาเรเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุมSucessive Appoximation register (SAR) ซึ่งเป็น ไอซี MSI (Midium Scale Integrated circuit)ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ



รูปที่ 2.6 บล็อกไดอะแกรมของ Successive Approximation ADC

รูปที่ 2.7 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 0.625V clock เข้าไป 1 ลูกจะทำให้ MSB บิท 4 เป็น 1 ทุกบิทอื่นยังคงเป็น 0 DAC จะเปลี่ยนเอาท์พุทของSAR เป็นอนาล็อก เปรียบเทียบกับสัญญาณอนาล็อกอินพุท ถ้าผลการเปรียบเทียบที่คอมพาเรเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิทนั้นเป็น1ไว้แต่ถ้ามากกว่าจะให้บิทนั้นเป็น 0 จากนั้นทำการทดสอบบิทถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิทหรือบิทหลังมากกว่าก็ทำให้บิทนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิทถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิทหรือจนกว่าเอาท์พุทจะต่างจาก Vin ไม่เกิน1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

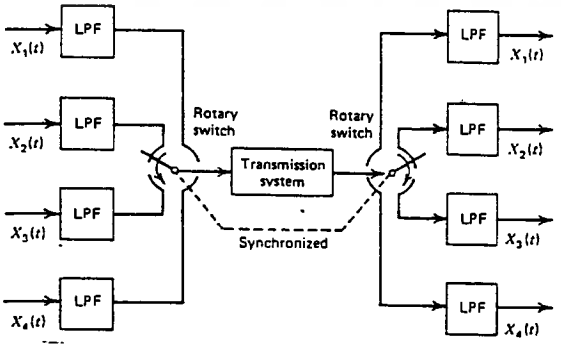


รูปที่ 2.7 แสดงไดอะแกรมเวลาของการทำงาน

มีข้อจำกัดประการหนึ่งสำหรับการใช้งานคือ สัญญาณอนาล็อกอินพุทจะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน ½ LSB วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือโหมดที่ทำงานโดยอิสระ(Free run) และโหมดที่รอคำสั่ง start conversion จากภายนอกเวลาที่ใช้ในการเปลี่ยนสัญญาณใช้(n+1) ลูกของพัลส์ clockโดยclock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (TDM)

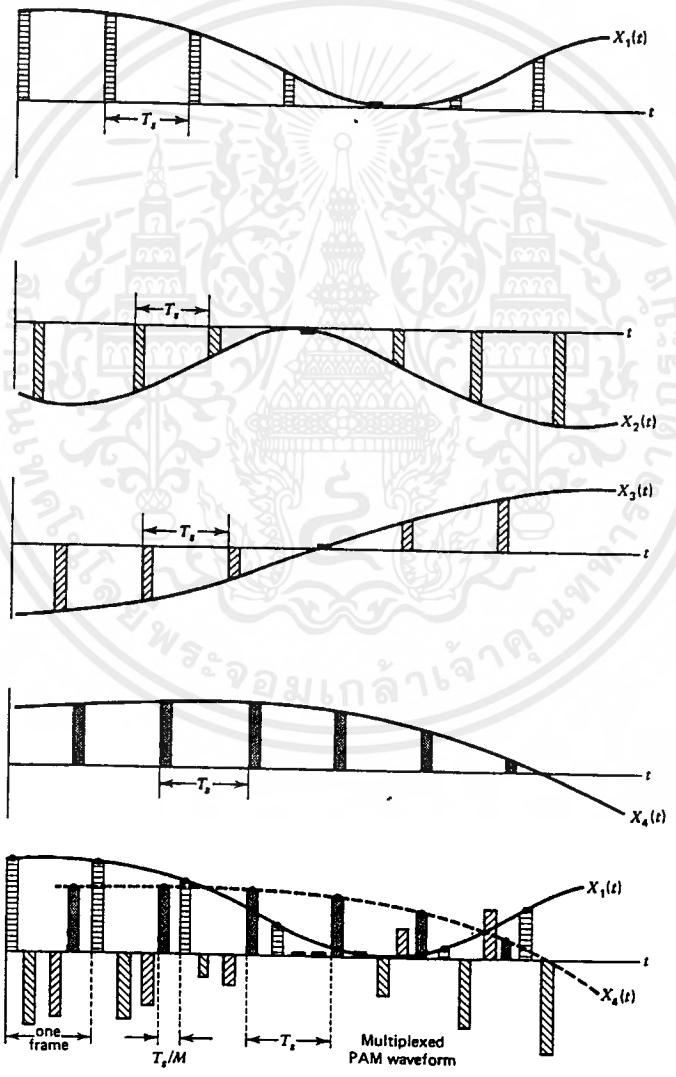
การมัลติเพล็กซ์แบบแบ่งเวลา(Time-Division Multiplexing : TDM) เป็นวิธีการหนึ่งในหลายๆ วิธีในการส่งข้อมูลหรือสัญญาณจากหลาย ๆ แหล่ง ให้สามารถส่งไปได้ในหนึ่งช่องสัญญาณ โดยใช้วิธีการแบ่งเวลาหรือหารเวลาให้กับแต่ละช่องสัญญาณโดยการทำงานของ TDM แสดงง่ายๆ ดังรูปที่ 2.8



รูปที่ 2.8 แสดงหลักการTDM ของ สัญญาณ 4ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้สัญญาณอินพุททั้ง 4 สัญญาณมีความถี่สูงสุดไม่เกิน f_x โดยที่ด้านอินพุทจะมีวงจรกรองความถี่ต่ำผ่านไว้ด้วย จากรูปที่ 2.8 สวิทช์หมุน (Rotary SW.) จะเป็นตัวเลือกว่าจะส่งสัญญาณของช่องใดออกไปการกวาดสัญญาณช่องสวิทช์ดังกล่าวจะถูกควบคุมโดยสัญญาณนาฬิกาซึ่งจะมีสัญญาณซิงค์(sync)ส่งร่วมไปกับสัญญาณแต่ละช่องด้วย โดยทางด้านรับก็จะมีส่วนดีมัลติเพล็กซ์ (Demultiplexing)ซึ่งจะเป็นสวิทช์หมุนเช่นเดียวกับภาคส่งและจะต้องทำงานสัมพันธ์(Synchronized) เป็นจังหวะที่สอดคล้องกับภาคส่งด้วย และจะต้องมีส่วนแยกซิงค์ออกอีกด้วย

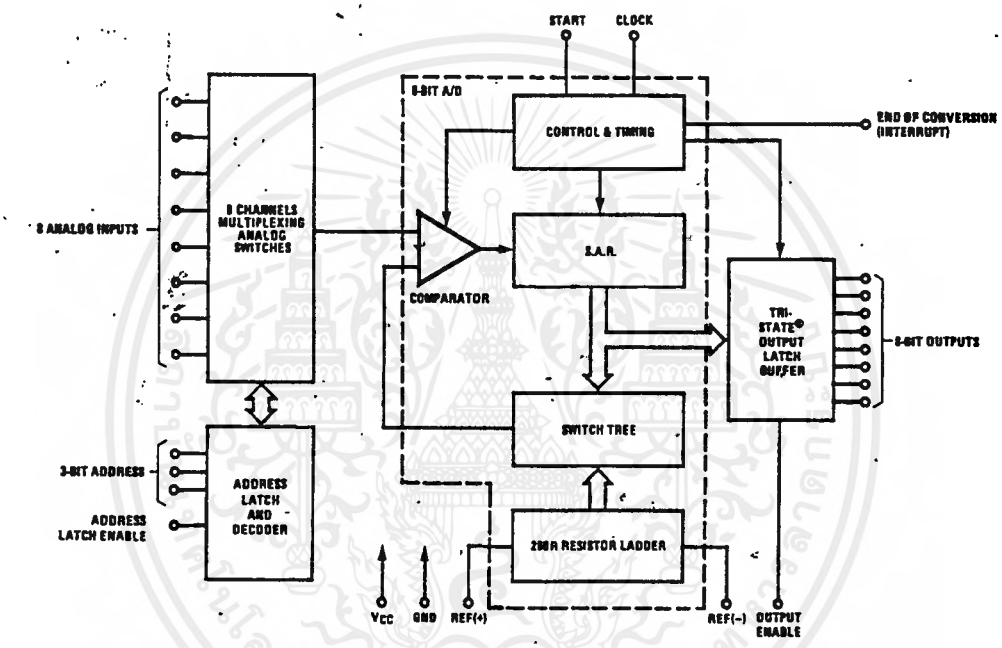


รูปที่ 2.9 สัญญาณTDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ADC0808 : 8 bit A/D with Multiplexer

ไอซีเบอร์ ADC0808 นี้เป็นอุปกรณ์ที่สามารถแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 8 บิท สามารถรับอินพุทได้ 8 ช่องและมัลติเพล็กซ์สัญญาณได้ด้วย สามารถต่อเชื่อมกับไมโครโปรเซสเซอร์ได้ ใช้วิธีการแปลงแบบ successive approximation สามารถต่อกับอุปกรณ์ TTL และทำงานในลักษณะ TRI - STATE ได้



รูปที่ 2.10 บล็อกไดอะกรม IC # ADC0808

ลักษณะที่สำคัญของ IC # ADC0808

-ต่อเชื่อมกับไมโครโปรเซสเซอร์ทุกเบอร์ได้ง่าย

-สามารถปรับแรงดันอ้างอิงได้ในช่วง 5 VDC

-มัลติเพล็กซ์ได้ถึง 8 ช่องด้วย address logic

-แรงดันอินพุท 0 ถึง 5 V และใช้แหล่งจ่ายเดียวที่ 5 V

-แรงดันเอาท์พุทเป็น TTL

-อยู่ในรูปแบบ IC # 28 ขาแบบ DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติที่สำคัญของ IC # ADC0808

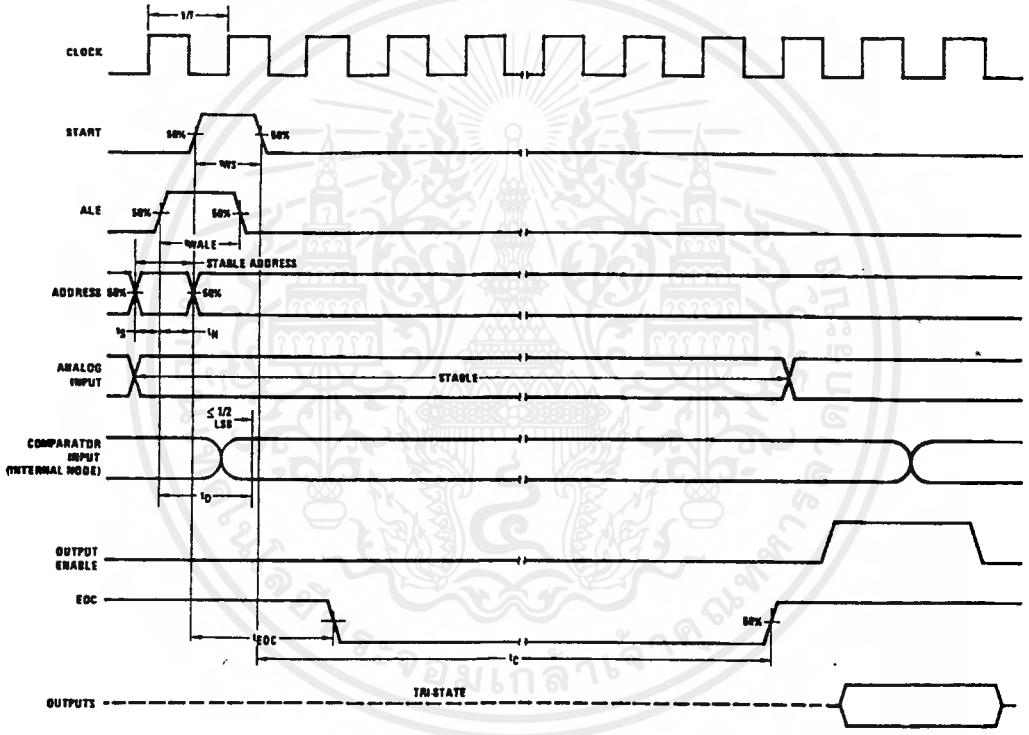
-ความละเอียด (resolution) 8 bits

-ค่าผิดพลาดสูงสุดอยู่ระหว่าง ±1/2 LSB และ ±1 LSB

-แหล่งจ่ายเดียว 5 VDC

-กินกำลังไฟฟ้าต่ำที่ 15 mWatt

-Conversion Time 100 μs



รูปที่ 2.11 ไดอะแกรมเวลาการทำงานของ ADC0808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การมอดูเลตและดีมอดูเลตทางความถี่

การมอดูเลตทางความถี่ (Frequency Modulation : FM) นั้น สัญญาณที่ต้องการส่งหรือสัญญาณข่าวสาร (message signal) จะไปทำให้ความถี่ของคลื่นพาห์ (carrier wave) เกิดการเปลี่ยนแปลง ถ้าสัญญาณมีค่าเป็นบวกก็จะทำให้ความถี่ของคลื่นพาห์สูงขึ้น และเมื่อสัญญาณเป็นลบก็จะทำให้ความถี่ของคลื่นพาห์ลดลง หรือในทางตรงกันข้าม นั่นคือ ขนาดของสัญญาณจะเป็นตัวทำให้ความถี่ของคลื่นพาห์เปลี่ยนแปลง

3.1 สัญญาณ FM

สัญญาณ FM คือ สัญญาณที่เกิดจากการมอดูเลตที่เปลี่ยนความถี่ของคลื่นพาห์ตามขนาดของสัญญาณข่าวสาร โดยสัญญาณที่ผ่านการมอดูเลต จะมีรูปสมการทั่วไป คือ

$$x_c(t) = A_c\cos[\omega_c t + \phi(t)] \tag{3.1}$$

ความถี่ขณะใดขณะหนึ่ง(instantaneous frequency) ของสัญญาณที่ถูกมอดูเลตสามารถเขียนได้เป็น

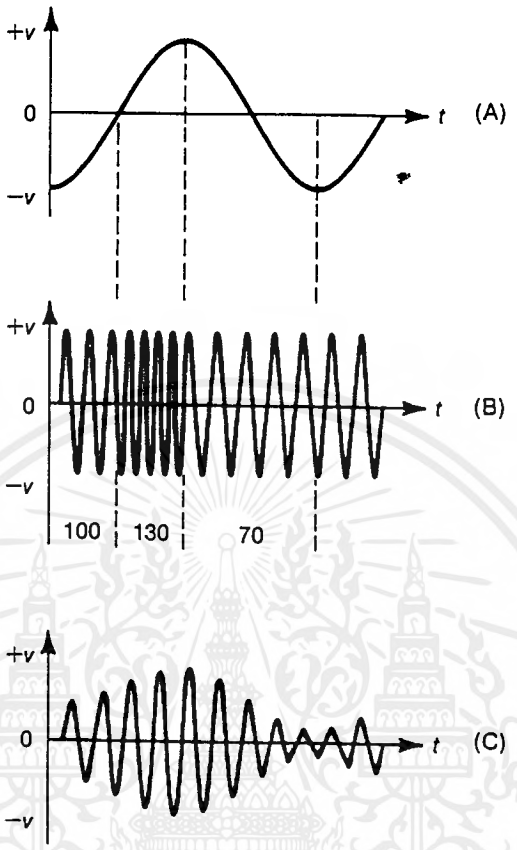
$$\omega_i(t) = d\theta_i(t) / dt = \omega_c + [\, d\phi(t) / dt \,] \tag{3.2}$$

โดยที่ $\phi(t)$ และ $d\phi(t)/dt$ คือ ค่าความเบี่ยงเบนของเฟสและความถี่ตามลำดับ (phase and frequency deviation) ดังนั้นจากสมการที่ 3.2 ส่วนของ ω_c จะคงที่ และส่วนที่เกิดการเปลี่ยนแปลงก็คือ $d\phi(t)/dt$

จากรูปที่ 3.1 แสดงลักษณะของการมอดูเลตทางความถี่ (FM) เปรียบเทียบกับ AM จะเห็นว่าขนาดของสัญญาณ FM มีค่าคงที่เสมอ จะมีแต่ความถี่ที่เปลี่ยนแปลงตามสัญญาณข่าวสารเท่านั้น ส่วนสัญญาณ AM จะมีขนาดของสัญญาณคลื่นพาห์เปลี่ยนแปลงตามสัญญาณข่าวสาร แต่ความถี่จะคงที่โดยตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.1 รูปคลื่นของสัญญาณ FM
(a) สัญญาณข่าวสาร
(b) สัญญาณ FM
(c) สัญญาณ AM

3.2 ไซด์แบนด์และแบนวิดท์ของ FM

ในที่นี้ จะพิจารณาสัญญาณข่าวสารที่เป็นรูปไซน์ (sine wave) โดยจะเกิดไซด์แบนด์จำนวนนับอนันต์ และในสัญญาณ FM จะมีขนาดหรือแอมพลิจูดคงที่เสมอ ซึ่งหมายความว่า " กำลังของคลื่นพาห์ย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของคลื่นพาห์กับไซด์แบนด์ใน FM จะขึ้นอยู่กับดัชนีการมอดูเลต (modulator index) " เนื่องจากดัชนีการมอดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34084

3.2.1 ดัชนีการมอดูเลต

ในสัญญาณ AM จะวัดเป็นเปอร์เซ็นการมอดูเลต แต่ใน FM จะเรียกว่า "ดัชนีการมอดูเลต" ซึ่งมีค่าคือ

$$m = fd / fm \tag{3.3}$$

โดยที่ fd คือ ช่วงความถี่เบี่ยงเบน

fm คือ ความถี่ของสัญญาณที่เข้ามอดูเลต

ค่า m จะมีค่าสูง (ต่างกับเปอร์เซ็นการมอดูเลตใน AM มีอัตราส่วนระหว่าง 0 ถึง 1) ดังนั้น จากสมการที่ 3.3 ค่า m จะขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามามอดูเลต แต่ในทางปฏิบัติแล้วนิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (diviation ratio) ซึ่งจะเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบนสูงสุดต่อความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลต (fm_{max})

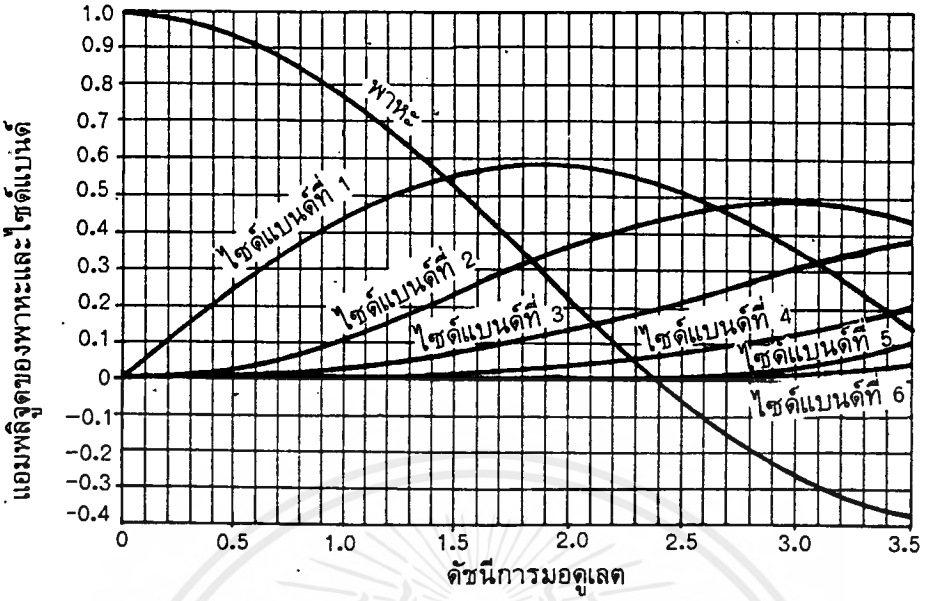
$$\Delta = \frac{fd_{max}}{fm_{max}} \tag{3.4}$$

ดังนั้น ในระบบ FM เมื่อเพิ่มขนาดของสัญญาณที่เข้ามามอดูเลต จะทำให้การเบี่ยงเบนความถี่คลื่นพาห์เบี่ยงเบนมากขึ้น โดยในระบบวิทยุกระจายเสียง FM จะกำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไม่เกิน 75 kHz

3.2.2 ไซด์แบนด์ของ FM (sideband of FM)

เมื่อเราทราบดัชนีการมอดูเลตของสัญญาณแล้ว เราจะสามารถหาไซด์แบนด์ของ FM ได้ โดยจากรูปที่ 3.2 เมื่อดัชนีการมอดูเลตเป็นศูนย์ จะมีแต่คลื่นพาห์อย่างเดียวเท่านั้น ดังนั้น ไซด์แบนด์จะเป็นศูนย์ด้วย แต่เมื่อดัชนีการมอดูเลตเพิ่มขึ้น จะทำให้จำนวนไซด์แบนด์เพิ่มขึ้นด้วย และแอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลง จนกระทั่งการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ขณะนี้กำลังของ FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก คลื่นพาห์ก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงข้ามกับตอนแรก) สังเกตว่าจุดที่คลื่นพาห์เป็นศูนย์นั้น มีอยู่หลายจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 กราฟแสดงแอมพลิจูดของคลื่นพาห์และไซด์แบนด์ในระบบ FM

ตารางที่ 3.1 แสดงการกระจายคลื่นพาห์และไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ

ดัชนีการมอดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0.00	1.00	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	—	—	—
2.5	-0.05	0.50	0.45	0.22	0.07	0.02	—	—	—	—	—	—	—	—	—	—	—
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—	—	—
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—	—	—	—	—
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—	—	—
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—	—	—
7.0	0.30	0.00	-0.30	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—	—	—
8.0	0.17	0.23	-0.11	-0.29	-0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	—	—	—	—	—
9.0	-0.09	0.24	0.14	-0.18	-0.27	-0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	—	—	—
10.0	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	—	—
12.0	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12

จากตารางที่ 3.1 จะตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซนต์ ของคลื่นพาห์เดิม (ก่อนมอดูเลต) ออกไป โดยไม่คำนึงถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 แบนด์วิดท์ของ FM (Bandwidth of FM)

ในระบบ FM ไซด์แบนด์คู่แรกมีความถี่เท่ากับ $fc \pm fm$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $fc \pm 2fm$ และเพิ่มขึ้นเรื่อยๆ ดังนั้นแบนด์วิดท์ของ FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือ แบนด์วิดท์จะขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามอดูเลต และจากดัชนีการมอดูเลต $m = fd / fm$ ดังนั้น หากเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลต เราก็จะหาแบนด์วิดท์ได้

เช่น ถ้าความถี่ของสัญญาณเสียงที่เข้ามอดูเลตมีค่า 3 kHz และความถี่เบี่ยงเบนเท่ากับ 18 kHz ค่าที่หาจะได้เป็น 18/3 = 6 แล้วนำค่า m = 6 ไปหาไซด์แบนด์ในตารางที่ 3.1 จะเห็นว่าเมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ แล้วหาแบนด์ริดท์ได้เป็น

$$BW = 2fm \times \text{Sidebands} \tag{3.5}$$

ดังนั้น แบนด์วิดท์จะมีค่า $2 \times 3\text{kHz} \times 9 = 54$ kHz แต่ในทางปฏิบัติแล้วจะนิยมคำนวนหาแบนด์วิดท์แบบประมาณจากค่า fd_{max} และค่า fm_{max} โดยวิธีนี้ไม่จำเป็นต้องหาจำนวนไซด์แบนด์ คือ

$$BW = 2(fd_{max} + fm_{max}) \tag{3.6}$$

และจาก สูตรข้างต้นจะได้แบนด์วิดท์มีค่า $2\times(18+3) = 42$ kHz ซึ่งก็จะเหมือนการคำนวณหาจากสมการที่ 3.5 แต่จะคิดจำนวนไซด์แบนด์เพียงแค่ 7 คู่นั่นเอง

3.3 วิธีการกำเนิดสัญญาณ FM

ในการกำเนิดหรือสร้างสัญญาณ FM นั้นโดยทั่วไปจะแบ่งออกได้ 2 วิธีใหญ่ ๆ คือ โดยทางตรงและทางอ้อม ดังนี้

3.3.1 วิธีกำเนิด FM โดยตรง (direct FM)

จะใช้วงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันที่ให้กำเนิดสัญญาณ FM โดยหลักการของวงจร VCO (Voltage Control Oscillator) นี้ จะใช้หลักการของวาริแคปไดโอด (Varicap Diode) ซึ่งจะเปลี่ยนแปลงค่าความจุไฟฟ้า ได้ตามแรงดันไบอัสย้อนกลับที่ตกคร่อมตัวมัน ดังนั้น จากสมการหาค่าความถี่ของวงจร VCO คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f = \frac{1}{2\pi\sqrt{LC}} \qquad (3.7)$$

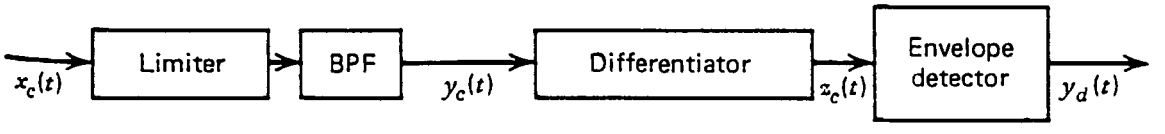
เมื่อค่าความจุเปลี่ยนก็จะทำให้ความถี่เปลี่ยนแปลงตามไปด้วย ทำให้สามารถกำเนิดสัญญาณ FM ได้ วิธีการสร้างแบบนี้ มีข้อดีที่มีช่วงการเบี่ยงเบนความถี่กว้าง แต่มีข้อเสียคือ ความถี่ของตัวพาห์จะไม่ค่อยคงที่ จึงจำเป็นต้องเพิ่มวงจรส่วนที่ช่วยรักษาความถี่ให้คงที่

3.3.2 วิธีกำเนิด FM โดยอ้อม (Indirect FM)

จะทำการสร้างสัญญาณแถบความถี่แคบ (Narrow Band FM : NBFM) ขึ้นมาก่อน โดยใช้การมอดูเลตแบบบาลานซ์ (Balance Modulate) แล้วนำสัญญาณ NBFM ดังกล่าวมาเปลี่ยนเป็นสัญญาณแถบความถี่กว้าง WBFM จาก NBFM โดยใช้วงจรคูณความถี่ โดยจะอาศัยหลักการของอุปกรณ์ที่ไม่เป็นเชิงเส้น (Nonlinear device) จากนั้นก็ผ่านวงจรกรองความถี่แบบแถบความถี่ เอาเฉพาะช่วงที่ใช้งาน

3.4 การดีมอดูเลต FM (Demodulation of FM)

จากรูปที่ 3.3 แสดงบล็อกไดอะแกรมของการดีมอดูเลต FM ซึ่งจะประกอบด้วยส่วนของวงจรลิมิตเตอร์(Limiter) , วงจรกรองแถบความถี่ผ่าน(BPF) , วงจรดิฟเฟอเรนชิเอเตอร์ (Ditterentiator) , และ ดีเทกเตอร์ (Envelope Detector) โดยส่วนของวงจรดิฟเฟอเรนชิเอเตอร์และดีเทกเตอร์ จะเรียกรวมกันว่า ดิสคริมิเนเตอร์ (discriminator) ซึ่งจะเป็นส่วนที่เปลี่ยนสัญญาณ FM ให้กลับมาเป็นสัญญาณข่าวสาร ดังเดิม

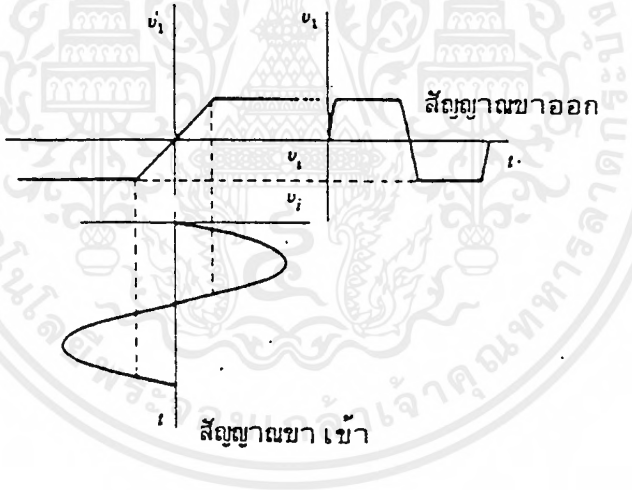


รูปที่ 3.3 บล็อกไดอะแกรมการดีมอดูเลต FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 ลิมิตเตอร์ (Limiter)

ในระบบเอฟเอ็มความถี่ของตัวพาหะจะเปลี่ยนตามสัญญาณข่าวสาร ส่วนขนาดจะมีค่าคงที่เสมอ ฉะนั้นการผันแปรของขนาดของตัวพาหะจะต้องเกิดจากเสียงรบกวนเพียงอย่างเดียว ลิมิตเตอร์จึงเป็นอุปกรณ์ที่นำมาใช้ในการจำกัดการผันแปรของขนาดของเสียงรบกวนได้ วงจรลิมิตเตอร์นี้ออกแบบเพื่อให้แรงดันขาออกสัมพันธ์กับแรงดันขาเข้าดังรูปที่ 3.4 ถ้าสัญญาณขาเข้ามีขนาดต่ำกว่าระดับจำกัด(limiting level) ของลิมิตเตอร์ สัญญาณขาออกจะแปรตามสัญญาณขาเข้าทุกประการ อย่างไรก็ตามตามปกติขนาดของตัวพาหะมักจะมีค่ามากกว่าระดับจำกัดของลิมิตเตอร์ ผลของการผ่านลิมิตเตอร์จะได้รูปคลื่นขาออกเป็นคลื่นสแควร์ (square) เมื่อคลื่นสแควร์ผ่านเครื่องกรองความถี่ผ่านแถบความถี่ (bandpass filter) ที่ยอมให้ความถี่พื้นฐานของคลื่นสแควร์ผ่านได้เท่านั้น จะได้สัญญาณขาออกของวงจรกรองเป็นคลื่นไซน์ดังเดิม ในวงจรจริงลิมิตเตอร์และวงจรกรองผ่านแถบความถี่ประกอบกันเป็นอุปกรณ์ชิ้นเดียวกัน จึงไม่สามารถเห็นรูปคลื่นสแควร์

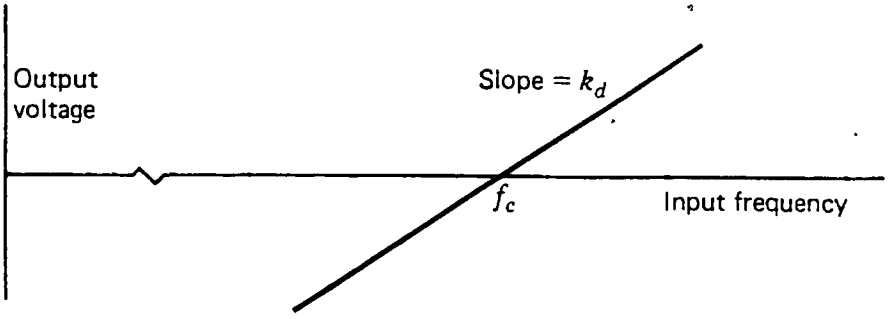


รูปที่ 3.4 ลักษณะของสัญญาณเมื่อผ่านลิมิตเตอร์

3.4.2 ดิสครีมิเนเตอร์ (Discriminator)

ประกอบด้วยส่วนประกอบ 2 ส่วน คือ ส่วนแรกเป็นวงจรที่แปลงสัญญาณเอฟเอ็มขาเข้าที่มีขนาดคงที่ให้ได้สัญญาณขาออกที่มีขนาดผันแปรตามความถี่ขณะใดขณะหนึ่งของตัวพาหะ ส่วนที่สองเป็นวงจรดีเทกเตอร์ ส่วนนี้จะทำหน้าที่ดีโมดูเลทรูปคลื่นแอมพลิจูดโมดูเลตจากส่วนแรก จากนั้นจะผ่านเข้าไปในวงจรกรองแถบความถี่ผ่าน จะได้สัญญาณข่าวสารตามต้องการ รูปที่ 3.5 แสดงลักษณะสมบัติของเอฟเอ็มดิสครีมิเนเตอร์ ทั้งที่เป็นอุดมคติและในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



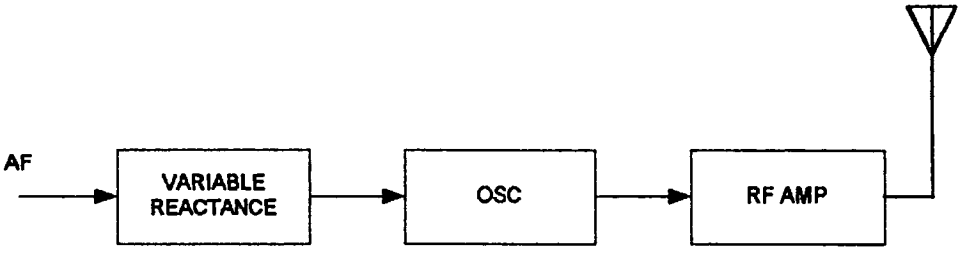
รูปที่ 3.5 ลักษณะสมบัติของดิสครีมิเนเตอร์

จากรูปที่ 3.5 เป็นคุณสมบติของดิสครีมิเนเตอร์ คือ แรงดันที่เอาพุทจะเปลี่ยนแปลงเป็นเชิงเส้น กับความถี่ที่เข้ามาทางอินพุท โดย Kd คือ ค่าคงที่ของดิสครีมิเนเตอร์ ซึ่งคุณสมบัติแสดงดังรูปที่ 3.5 ถ้าประมาณให้ส่วนของดิสครีมิเนเตอร์เป็นไปตามอุดมคติแล้ว สัญญาณที่ผ่านดิฟเฟอเรนชิเอเตอร์นี้ จะออกมาเป็นสัญญาณ AM แล้ว จากนั้นก็จะผ่านการดีเทกเตอร์ในแบบ AM ได้สัญญาณข่าวสารกลับคืนมาดังเดิม

3.5 ระบบการรับ - ส่ง FM

3.5.1 ภาคส่ง

ภาคส่งของ FM จะมีบล็อกไดอะแกรมดังรูปที่ 3.6 ซึ่งจะเป็นเครื่องส่งพื้นฐาน โดยจะมีอุปกรณ์วาแร็กเตอร์ (Varactor) ซึ่งสามารถเปลี่ยนค่าความจุตามแรงดันย้อนกลับ ทำให้ความถี่ของ OSC เปลี่ยนแปลงได้เป็นสัญญาณ FM แล้วผ่านภาคขยาย RF แล้วส่งออกไป

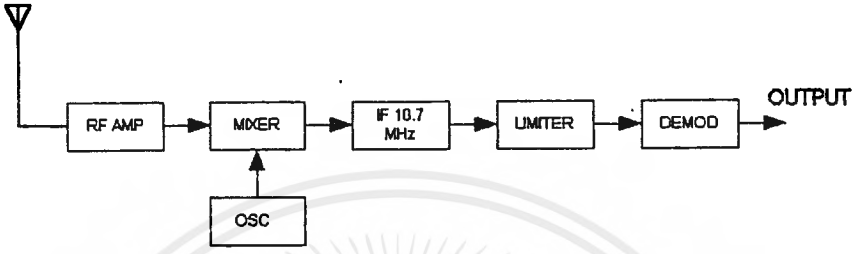


รูปที่ 3.6 แสดงบล็อกไดอะแกรม ภาคส่ง FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 ภาครับ

จากรูปที่ 3.7 เป็นภาครับที่ใช้กรรมวิธีซูเปอร์เฮตเทอโรดายน์ ซึ่งประกอบด้วย วงจรขยาย RF (RF Amp) , มิกเซอร์ (MIXER), วงจรขยาย IF , วงจรโลคอลออสซิลเลเตอร์ (local oscillator) , ส่วนดีมอดดูเลต และภาคขยายเสียง



รูปที่ 3.7 แสดงบล็อกไดอะแกรมของภาครับ FM

จากรูปที่ 3.7 สัญญาณที่รับได้จากสายอากาศจะป้อนเข้าสู่วงจรขยาย RF เพื่อทำการขยายสัญญาณให้มีขนาดสูงขึ้น แล้วส่งมายังวงจรมิกเซอร์ จะทำหน้าที่ผสมสัญญาณจากวงจรขยาย RF กับสัญญาณจากวงจรโลคอลออสซิลเลเตอร์ วงจรมิกเซอร์จะทำงานในช่วงที่ไม่ลิเนียร์ ทำให้เกิดผลลัพธ์เป็นสัญญาณความถี่ผลต่างกับสัญญาณความถี่ผลรวมซึ่งตัดทิ้งไป ความถี่ผลต่างจะมีค่าเท่ากับความถี่ IF ซึ่งมีค่า 10.7 MHz ป้อนเข้าสู่วงจรขยาย IF วงจรขยาย IF นี้ เป็นวงจรขยายเลือกความถี่ที่มีค่าความถี่ศูนย์กลางคงที่ ไม่ว่าเราจะจูนวงจรขยาย RF เพื่อรับสัญญาณความถี่ใดก็ตาม สัญญาณโลคอลออสซิลเลเตอร์ที่เข้าไปผสมที่วงจรมิกเซอร์ จะต้องมีค่าพอดีและให้ผลลัพธ์ออกมามีค่าคงที่ซึ่งจะเท่ากับความถี่ IF = 10.7 MHz เสมอ

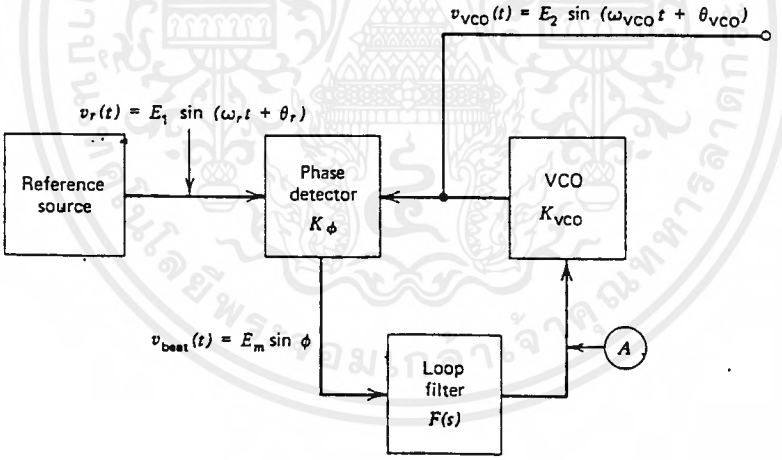
สัญญาณเอาพุตที่ออกมาจากวงจรขยาย IF จะเหมือนกับสัญญาณที่รับได้ที่วงจรขยาย RF ต่างกันแต่ความถี่จะลดลงจากความถี่ RF เป็นความถี่ IF และหลังจากวงจรขยาย IF ก็จะเป็นวงจรลิมิตเตอร์ เพื่อจำกัดขนาดของสัญญาณโดยที่ความถี่ยังเท่าเดิม จากนั้นก็จะผ่านไปยังส่วนดีมอดูเลต ซึ่งได้อธิบายโดยละเอียดไปแล้ว เมื่อผ่านการดีมอดูเลตแล้วก็จะได้สัญญาณข่าวสารกลับมาดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การสังเคราะห์ความถี่ย่าน VHF ด้วย PLL

4.1 หลักการของเฟสล็อกลูป

เฟสล็อกลูป(PLL) ก็คือ ระบบการป้อนกลับอย่างหนึ่ง (Feedback system)เช่นกัน ซึ่งจากรูปที่ 4.1 เป็นบล็อกไดอะแกรมพื้นฐานของ Phase-locked loop (PLL) โดยประกอบด้วย voltage-controlled oscillator(vco) , phase detector และ loop filter ซึ่งค่า gain ของภาค VCO เป็นค่าคงที่แทนด้วย Kvco (rad/V-sec) , ค่า gain ของภาค phase-detector เป็นค่าคงที่แทนด้วย K_ϕ (V/rad) และ loop filter แทนด้วย Laplace Transform : F(s) ส่วนค่า Emsinϕ เป็น beat-note voltage ซึ่งมีค่าสูงสุดเมื่อ loop อยู่ในภาวะล็อค



รูปที่ 4.1 แสดงบล็อกไดอะแกรมพื้นฐานของ Phase-Locked Loop

ในสภาวะล็อคจะได้ $Em = (\text{half of the phase-detector range}) \times K_\phi$ (4.1)

และ $\phi = \theta_r - \theta_{vco}$ rad.

ถ้าสมมติ range ของ phase detector มีค่า ± 1 rad ดังนั้น ค่าสูงสุดของ beat-note voltage จะเป็น $Em = K_\phi$ V. (4.2)

พิจารณาขณะเริ่มต้นโดยในรูปที่ 4.1 open ที่จุด A แล้วจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta f = fr - fo' \qquad (4.3)$$

โดย fo' คือ ความถี่ free-running ของ VCO

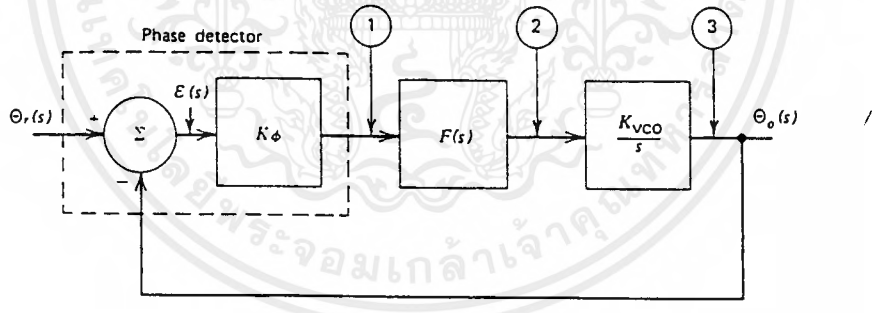
Δf คือ ความถี่ที่ออกมาจาก output ของ phase-detector

fr คือ ความถี่จาก reference source

ซึ่งการทำงานในลักษณะนี้ ก็คือลักษณะของวงจรมิกเซอร์นั่นเอง ซึ่งค่านี้ก็คือ Capture range ของ PLL จากนั้นทำการ close loop ที่จุด A สัญญาณ beat note ที่เป็น ac จะหายไป และ phase-detector จะผลิตระดับแรงดันไฟตรงเพื่อมาควบคุมความถี่ของVCOให้อยู่ภาวะล็อค:fo โดยจะตรวจจับความแตกต่างของ phase ของสัญญาณอ้างอิง (reference source) กับสัญญาณจาก VCO หาก phase ไม่เท่ากันก็จะมี error voltage ให้กับ VCO จนความถี่และ Phase ของทั้งสองสัญญาณเท่ากัน เข้าสู่สภาวะล็อค

4.2 Transfer Functions of PLL

จากทฤษฎีของการป้อนกลับนำมาใช้ในระบบ phase-locked loop ดังรูปที่ 4.2



รูปที่ 4.2 แสดงบล็อกไดอะแกรมของ Phase-lock loop ใน s-domain

และจากทฤษฎีการป้อนกลับจะได้ forward gain เป็น $K_\phi K_{VCO} F(s)/S$ และค่า open-loop gain ดังนั้น transfer function ของระบบ PLL จะได้เป็น

$$\frac{\Theta_{o(s)}}{\Theta_{r(s)}} = \frac{K_\phi K_{VCO} F_{(s)}}{S + K_\phi K_{VCO} F_{(s)}} \qquad (4.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกัน transfer function ของจุด 1,2,3 ถึง output จะเป็น

transfer function จากจุด 1 ถึง output $= \dfrac{K_{VCO}F_{(s)}}{S + K_{\phi}K_{VCO}F_{(s)}}$ (4.6)

transfer function จากจุด 2 ถึง output $= \dfrac{K_{VCO}}{S + K_{\phi}K_{VCO}F_{(s)}}$ (4.7)

transfer function จากจุด 3 ถึง output $= \dfrac{1}{1 + [K_{\phi}K_{VCO}\dfrac{F_{(s)}}{s}]}$ (4.8)

โดยทั่วไประบบ PLL จะมี First-order และ Second-order PLL โดยถ้า F(s) = 1 จะเป็น "first - order PLL" เพราะกำลังของ S ใน denominator ของ transfer function เป็น 1 ดังนั้น transfer function ของ first - order PLL จะเป็น

$$\left[\frac{\Theta_{o(s)}}{\Theta_{r(s)}}\right]_{firstorder} = \frac{K_{\phi}K_{VCO}/S}{S + (K_{\phi}K_{VCO}/S)} \tag{4.9}$$

อีกอย่างหนึ่งที่สำคัญ คือ การพิจารณาถึง bandwidth โดยพิจารณาที่ 3dB : B_{3dB} หรือถ้าพิจารณาที่ความถี่ ก็คือ crossover frequency : fc ที่ขนาดของ open-loop gain เป็น 1

โดยจากทฤษฎีของการป้อนกลับ จะได้ค่า B_{3dB} เป็น

$$B_{3db} = \frac{K_{\phi}K_{VCO}}{2\pi} \quad \text{Hz} \tag{4.10}$$

และเราสามารถเขียนได้เป็น

$$\frac{K_{\phi}K_{VCO}}{\omega_c} = 1 \tag{4.11}$$

ดังนั้น

$$fc = \frac{K_{\phi}K_{VCO}}{2\pi} \quad \text{Hz} \tag{4.12}$$

จากนิยามของ Capture range คือ ช่วงความถี่ระหว่างความถี่ free-running ของ VCO กับความถี่ที่อยู่ในสภาวะล็อก ดังนั้นจะได้

$$\Delta\omega_{capture} = \Delta\omega_{hold-in} = K_{\phi}K_{VCO} \quad \text{rad/sec} \tag{4.13}$$

ดังนั้น

$$\Delta f_{capture} = \Delta f_{hold-in} = \frac{K_{\phi}K_{VCO}}{2\pi} \quad \text{Hz} \tag{4.14}$$

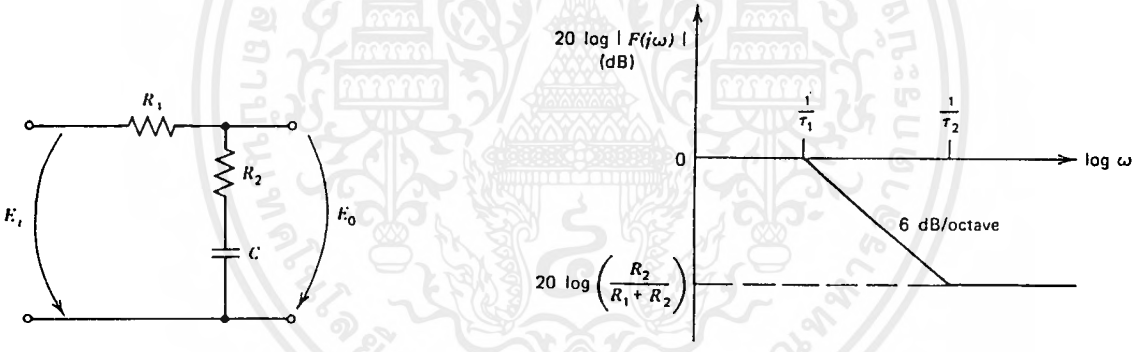
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปจะพิจารณา Second-order PLL โดยจะแตกต่างกันที่ F(s) ซึ่ง transfer function ของ F (s) ใน Second order จะเป็น

$$F_{(s)} = \frac{1+\tau_{21}S}{1+\tau_2 S} \tag{4.15}$$

โดยที่ค่า $\tau 1$ และ $\tau 2$ แสดงดังรูปที่ 4.3 ที่เรียกว่า second-order PLL ก็เนื่องจากกำลังสูงสุดของ S ใน transfer function เป็น 2 แล้วจะได้ transfer function ของ second-order PLL เป็น

$$\left[\frac{\Theta_{o(s)}}{\Theta_{r(s)}}\right]_{\text{sec ondorder}} = \frac{K_\phi K_{VCO}(1/\tau_1)(1+\tau_2 S)}{S^2 + (1/\tau_1)(1+K_\phi K_{VCO}\tau_2)S + (K_\phi K_{VCO}/\tau_1)} \tag{4.16}$$



รูปที่ 4.3 แสดงวงจร Low-pass filter และ amplitude response

จะได้ว่า

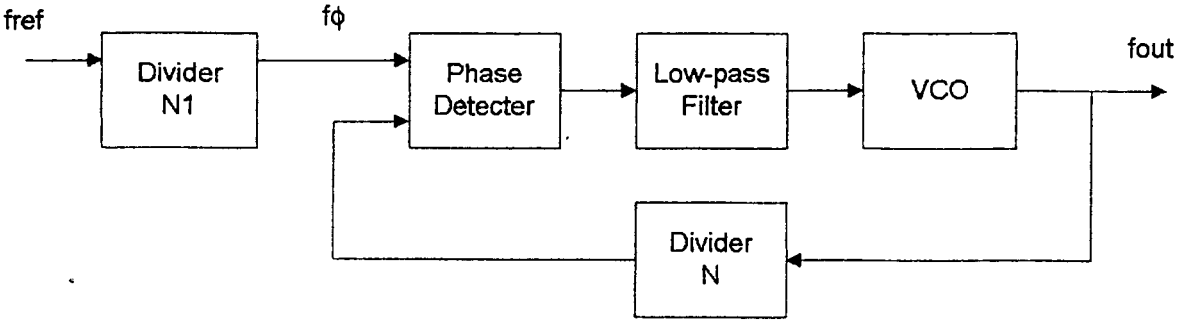
$$\tau_1 = (R_1 + R_2)C \tag{4.17}$$

และ

$$\tau_2 = R_2 C \tag{4.18}$$

ระบบ PLL ยังได้มีการพัฒนาเพื่อให้ใช้งานได้กว้างขวางและสะดวกยิ่งขึ้น โดยการเพิ่มส่วน Divider ÷N เข้าไป ดังรูปที่ 4.4 ซึ่งส่วนนี้จะเป็นตัวหารความถี่ที่มาจาก VCO มักจะใช้ Digital Divider ซึ่งบางครั้งอาจจะเรียกเป็น "Digital Phase-Locked Loop" ก็ได้ ซึ่งเราสามารถเปลี่ยนความถี่ fout ได้โดยการเปลี่ยนค่า ÷ N ดังสมการที่ 4.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงบล็อกไดอะแกรม Digital Phase-Locked Loop

จากรูปที่ 4.4 จะได้ $$f_{out} = Nf_{\phi} \quad (4.19)$$

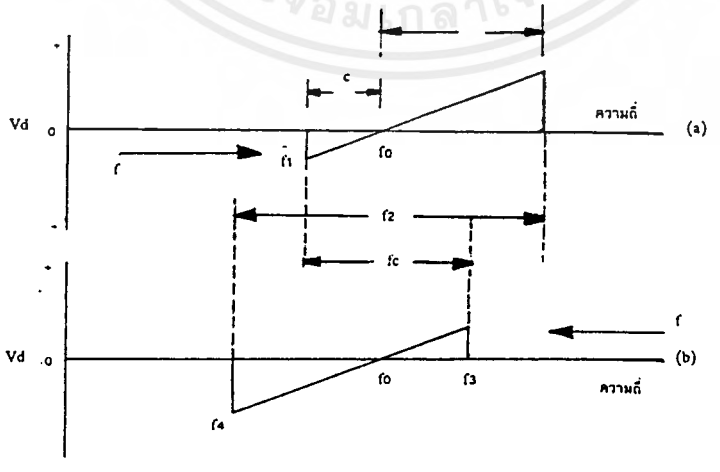
โดย $$f_{\phi} = \frac{f_{ref}}{N_1} \quad (4.20)$$

จากนั้นจะได้ transfer function ของ digital PLL ใหม่เป็น

$$\frac{\Theta_{o(s)}}{\Theta_{r(s)}} = \frac{\pi K_{\phi} K_{VCO} F_{(s)}}{S + (\pi K_{\phi})(K_{VCO} / N) F_{(s)}} \quad (4.21)$$

ในการพิจารณาค่าต่าง ๆ ของ digital PLL นี้ก็ทำเช่นเดียวกันกับช่วงที่ยังไม่มี Divider ÷N เพียงแต่เมื่อเป็น digital PLL แล้วก็พิจารณาเทอม 1/N เพิ่มเข้าไปด้วยเท่านั้น

4.3 Capture & Lock Range



รูปที่ 4.5 แสดงคุณสมบัติของ Capture & Lock Rang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f3 - f1 = Capture Range (4.22)

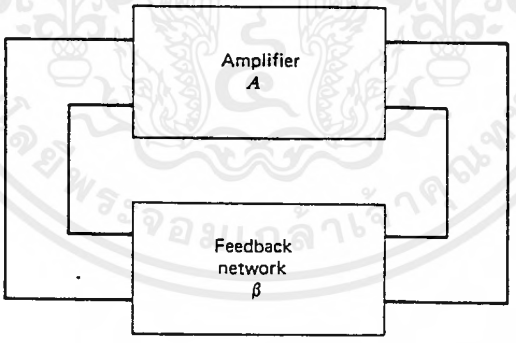
f2 - f4 = Locked Range (4.23)

Capture range ถือได้ว่าเป็นความถี่ใด ๆ ที่อยู่ภายใน Lock range และขึ้นอยู่กับขอบเขตของ LPF กับอัตราขยายลูปปิด(Close-Loopgain)ของระบบซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุทนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือก(Selectivity)ความถี่ของลูปด้วย

พิสัยในภาวะล็อค (Lock Range) ก็คือพิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ตลอดพิสัยนี้ลูปสามารถตามรอยสัญญาณอินพุทได้ในขณะที่ลูปอยู่ในภาวะล็อค พิสัยในภาวะล็อคหรือ Lock Range นี้อาจเรียกว่า tracking range หรือ hold-in range ก็ได้ ซึ่งมีความหมายว่าความถี่ของลูปสามารถจะไกลห่างออกไปจากความถี่ศูนย์กลางได้เท่าไร tracking range มีค่าเป็นครึ่งหนึ่งของ Lock range

4.4 วงจรออสซิลเลเตอร์แบบคอลพิทส์

จากรูปที่ 4.6 เป็นบล็อกไดอะแกรมของวงจรออสซิลเลเตอร์ โดยส่วนขยาย rf มี gain เป็น A และส่วนfeedback มี factor เป็น β



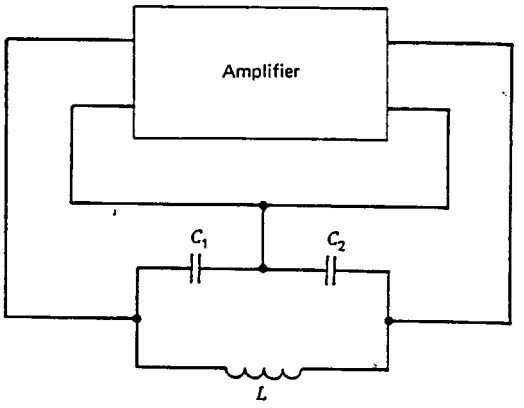
รูปที่ 4.6 บล็อกไดอะแกรมของวงจรออสซิลเลเตอร์

โดยการเกิดออสซิลเลเตอร์และไม่มีการเลื่อนเฟสก็ต่อเมื่อ

$$A\beta = 1 + j0 \quad (4.24)$$

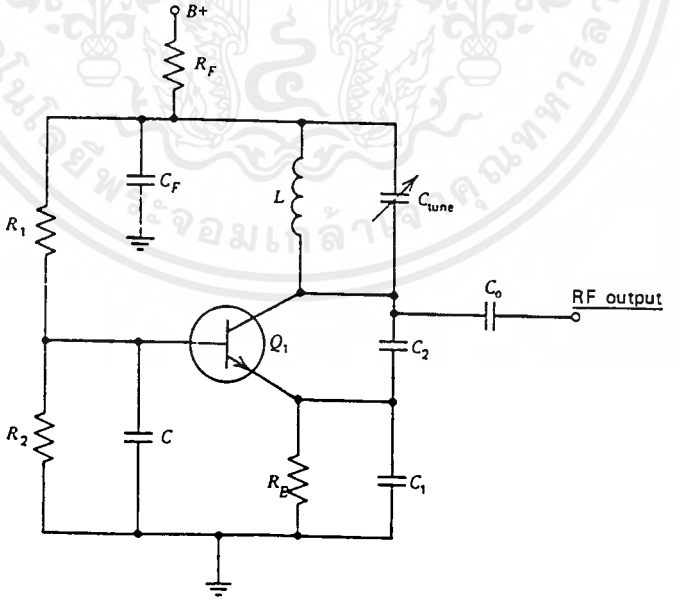
ดังนั้นส่วนของการป้อนกลับจะต้องเป็น j0 ก็จะใช้คาปาซิเตอร์ 2 ตัวและอินดัคเตอร์ 1 ตัว ซึ่งเป็นหลักการของวงจรออสซิลเลเตอรแบบคอลพิทส์ (Colpitts oscillator) ดังในรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 หลักการออสซิลเลเตอร์แบบคอลพิทส์

ลักษณะที่เด่นชัดของวงจรออสซิลเลเตอร์ชนิดนี้ก็คือมีคาปาซิทีฟโวลเตจดีไวเดอร์ สำหรับการป้อนกลับสัญญาณอยู่อย่างชัดเจน ดังรูปที่ 4.8 C2 และ C1 ประกอบกันขึ้นเป็นวงจรดีไวเดอร์ ในส่วนของการจัดไบอัสไฟตรงจะกำหนดโดยความต้องการของ rf output power โดย Rf และ Cf ทำหน้าที่เป็น low-pass filterให้กับ B+ isolation และ C ในรูปที่ 4.8 เป็น ac bypass capacitor ซึ่งความถี่ของวงจรออสซิลเลเตอร์กำหนดได้จาก



รูปที่ 4.8 วงจรออสซิลเลเตอร์แบบคอลพิทส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_o \cong \frac{1}{2\pi\sqrt{LC_{tot}}} \tag{4.25}$$

โดย
$$C_{tot} \cong C_{tune} + \frac{C_1 C_2}{C_1 + C_2} \tag{4.26}$$

และมีข้อกำหนดอีกว่า
$$h_{fe} \geq \frac{C_2}{C_1} \tag{4.27}$$

ดังนั้นในการที่จะนำมาประยุกต์เป็นวงจร VCO (voltage-controlled oscillator) คือวงจรที่สามารถปรับความถี่ของวงจรออสซิลเลเตอร์ได้ด้วยแรงดันไฟตรง ก็คือการปรับค่า C_{tune} ซึ่งวิธีการที่ใช้ก็คือ จะใช้คาปาซิทีฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแค็ป (varicap) หรือ วาแร็กเตอร์ (varactor) ซึ่งคุณสมบัติของไดโอดชนิดนี้คือค่าคาปาซิแตนซ์จะแปรผันตามแรงดันไฟฟ้ารีเวิร์สที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อเปลี่ยน C_{tune} เป็นวาแร็กเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมวาแร็กเตอร์ ซึ่งก็อาจจะต้องมีการปรับเปลี่ยนวงจรบ้าง

4.5 ไมโครคอนโทรลเลอร์ MCS-51

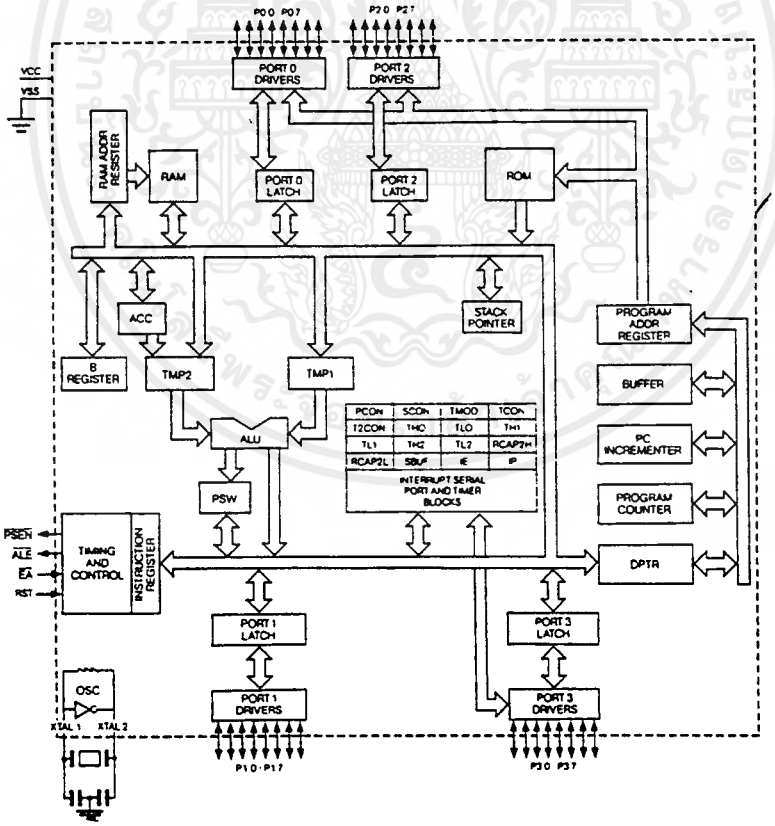
4.5.1 คุณสมบัติของไมโครคอนโทรลเลอร์ MCS-51

- ซีพียู 8 บิต ที่ควบคุมได้ง่าย
- เพิ่มการทำงานลอจิกครั้งละ 1 บิตได้
- สายอินพุตและเอาต์พุตมีจำนวน 32 เส้น ใช้เลือกแอดเดรสแยกต่างหาก จากกันได้
- มีแรมบรรจุไว้ภายในขนาด 128 ไบต์ หรือ 256 บิต
- วงจรตั้งเวลา / วงจรนับมีขนาด 2,3 หรือ 16 บิต
- กำหนดเป็น UART (Universal Synchronous Asynchronous Receiver Transmitter) ส่งข้ออนุกรมได้สองทิศทาง
- อินเตอร์รัพต์ แบ่งเป็น 2 ระดับ จาก 5 หรือ 6 แหล่ง
- มีสัญญาณนาฬิกาอยู่ภายในตัว
- มีหน่วยความจำสำหรับเก็บข้อมูลภายในขนาด 4 หรือ 8 กิโลไบต์(อีพรอม 8751 และ 8752)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

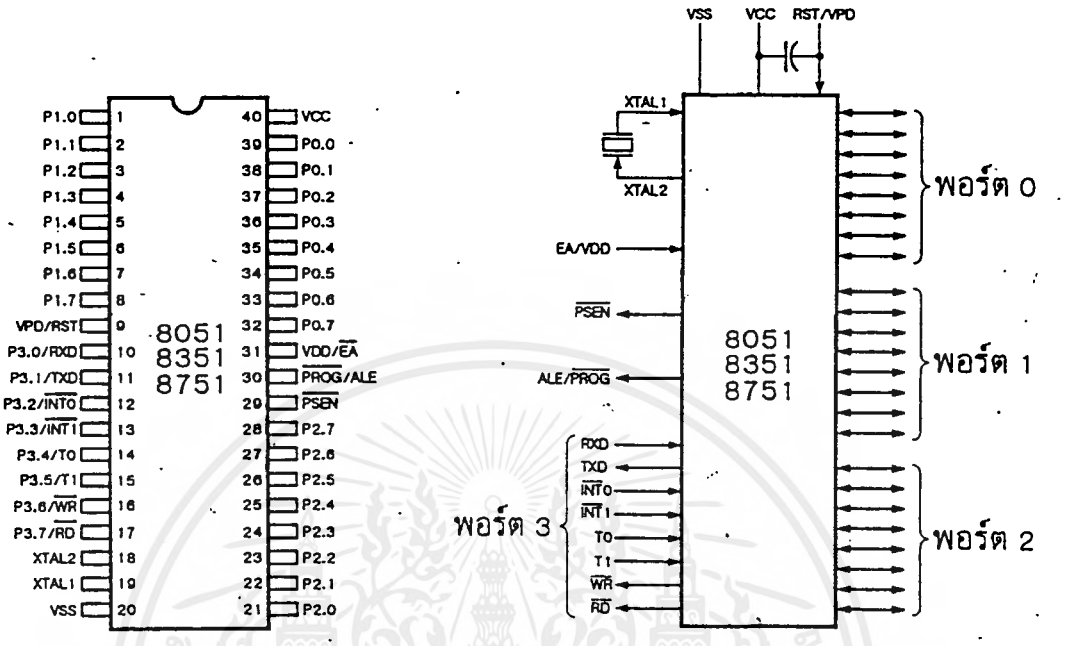
- มีแอดเดรสของหน่วยความจำสำหรับเก็บโปรมแกรม จำนวนทั้งหมด 64กิโลไบต์
- มีแอดเดรสของหน่วยความจำสำหรับเก็บข้อมูล จำนวนทั้งหมด 64 กิโลไบต์
- คำสั่งทั้งหมดมี 111 คำสั่ง
- ทำงานด้วยเลขฐานสิบ และฐานสิบหก
- ตัวแปลภาษาเบสิกมีขนาด 8 กิโลไบต์
- มีคำสั่งเฉพาะของภาษเบสิกที่ใช้สำหรับอินพุตและเอาต์พุต วงจรนับ และอินเตอร์เฟสแบบอนุกรม
- ในเบอร์ AT89C2051,AT89C1051 จะลดขนาดลงเหลือแค่ 20 ขา โดยมี ROMภายในจำนวน 2 kbyte และ 1 kbyte ตามลำดับ โดยจะไม่มี Port 0 , Port 2 , ALE , PSEN , EA และRD เนื่องจากได้อัดโปรแกรมไว้ในตัวแล้วขาเหล่านี้จะไม่ได้ใช้งาน

4.5.2 โครงสร้างสถาปัตยกรรมของ MCS-51



รูปที่ 4.9 โครงสร้างภายในของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 ตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ MCS-51

4.6 IC PLL MC 145162

รายละเอียดเกี่ยวกับเนื้อหาจะกล่าวถึงการทำงาน IC เบอร์ MC 145162 ซึ่งเป็น IC ตระกูลเฟสล็อกลูป และเป็นหัวใจสำคัญ โดยมีคุณลักษณะพิเศษ ดังจะกล่าวถึงต่อไป

4.6.1 คุณสมบัติของ MC 145162

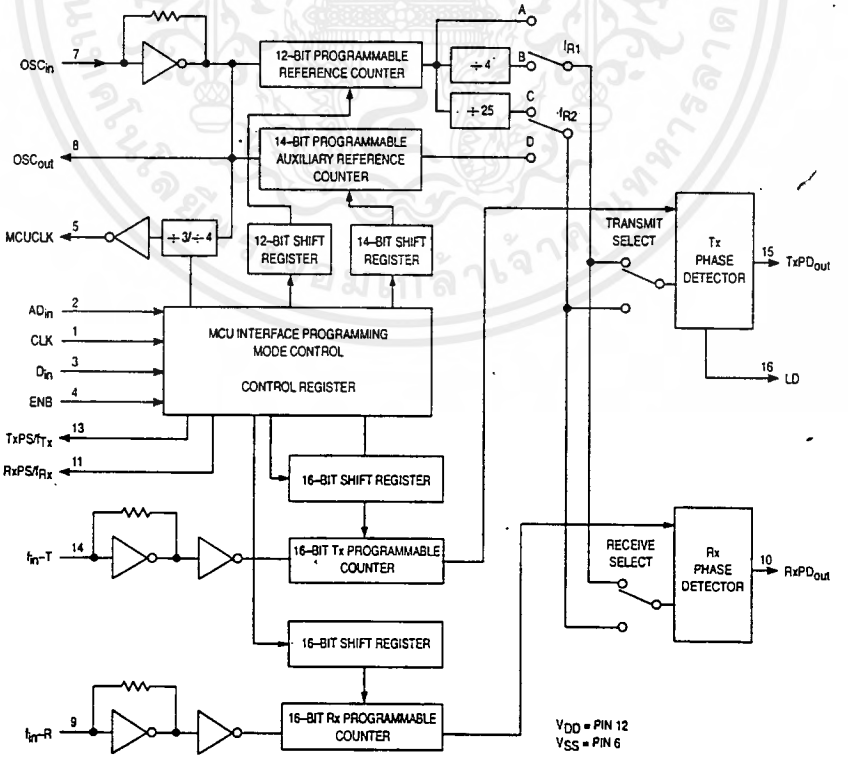
MC145162 เป็นไอซีที่มีเฟสล็อกลูปที่ใช้สังเคราะห์ความถี่อยู่ 2 ลูป ซึ่งสามารถนำไปประยุกต์ใช้งานเป็นโทรศัพท์ไร้สายและสามารถที่จะประยุกต์เป็นอย่างอื่นได้อีกหลายอย่างสามารถที่จะสังเคราะห์ความถี่ที่ความถี่ 60 MHz หรือต่ำกว่า

จุดเด่นของ MC 145162 สามารถที่จะโปรแกรมเคาท์เตอร์ทางด้านรับ เคาท์เตอร์ทางด้านส่ง เคาท์เตอร์ที่ความถี่อ้างอิงโดยการอินเตอร์เฟสกับไมโครโปรเซสเซอร์แบบอนุกรมMC145162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบไปด้วย Phase Detecter 2 ตัว คือของทางด้านส่งและด้านรับ โดยใช้ความถี่ออสซิลเลเตอร์รวมกัน และมีชุดสร้างความถี่อ้างอิง 2 ชุด ซึ่งคุณสมบัติต่าง ๆ ของ MC 145162 มีดังนี้

- ทำงานที่แรงดันระหว่าง 2.5 ถึง 5.5 V
- ทำงานที่อุณหภูมิระหว่าง -40 ถึง 75 C
- กินพลังงานต่ำ 3 mA ที่ 2.5 V
- สามารถทำงานที่ความถี่สูงสุด 60 MHz ที่อิงพุท 200 mVp-p VDD = 2.5 V
- สามารถอินเตอร์เฟสกับไมโครโปรเซสเซอร์แบบ 3 ขา และ 4 ขา
- สามารถสร้างสัญญาณนาฬิกาให้กับไมโครโปรเซสเซอร์ โดยสร้างจากความถี่อ้างอิงโดยการหาร 3 และ หาร 4
- ไมโครโปรเซสเซอร์สามารถควบคุมให้อยู่ในสภาวะ Power Saving Mode
- สามารถที่จะใช้ความถี่ออสซิลเลเตอร์จากภายนอก ซึ่งได้มาจากคริสตัลสูงถึง 16 MHz
- ตัวหาร N ของเคาร์เตอร์ความถี่อ้างอิงสามารถหารอยู่ในช่วง 16 ถึง 4095
- ตัวหาร N ของเคาร์เตอร์ของทางด้านรับสามารถหารในช่วง 16 ถึง 65,535
- ตัวหาร N ของเคาร์เตอร์ของทางด้านส่งสามารถหารในช่วง 16 ถึง 65,535



รูปที่ 4.11 Block Diagram ภายใน IC MC 145162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
รายละเอียดของโครงงาน

5.1 บล็อกไดอะแกรมของโครงงานทั้งหมด

จากทฤษฎีพื้นฐานส่วนต่าง ๆ ที่ผ่านมา เราสามารถนำมารวมกันเป็นโครงงานได้ โดยบล็อกไดอะแกรมของโครงงานทั้งภาคส่งและภาครับ แสดงดังรูปที่ 5.1 และ 5.2 ตามลำดับ

5.1.1 บล็อกไดอะแกรมภาคส่ง

จากบล็อกไดอะแกรมภาคส่ง จะเห็นว่า เรารับสัญญาณไฟฟ้าร่างกายจากเครื่องมือวัดสัญญาณไฟฟ้าร่างกายชนิดต่างๆ และมีการขยายสัญญาณให้มีขนาดที่เหมาะสมมาแล้ว โดยแถบความถี่สูงสุดของช่องสัญญาณที่ 1 คือ 200 Hz และของช่องสัญญาณที่ 2 กับช่องสัญญาณที่ 3 คือ 100 Hz ทั้ง 3 ช่องสัญญาณจะผ่านวงจรบัฟเฟอร์,วงจรกรองความถี่ต่ำผ่าน และยังเป็นวงจรยกระดับของสัญญาณให้กับตัวแปลงจากสัญญาณอนาล็อกเป็นดิจิตอล(ADC)อีกด้วย ซึ่งจะอธิบายต่อไป

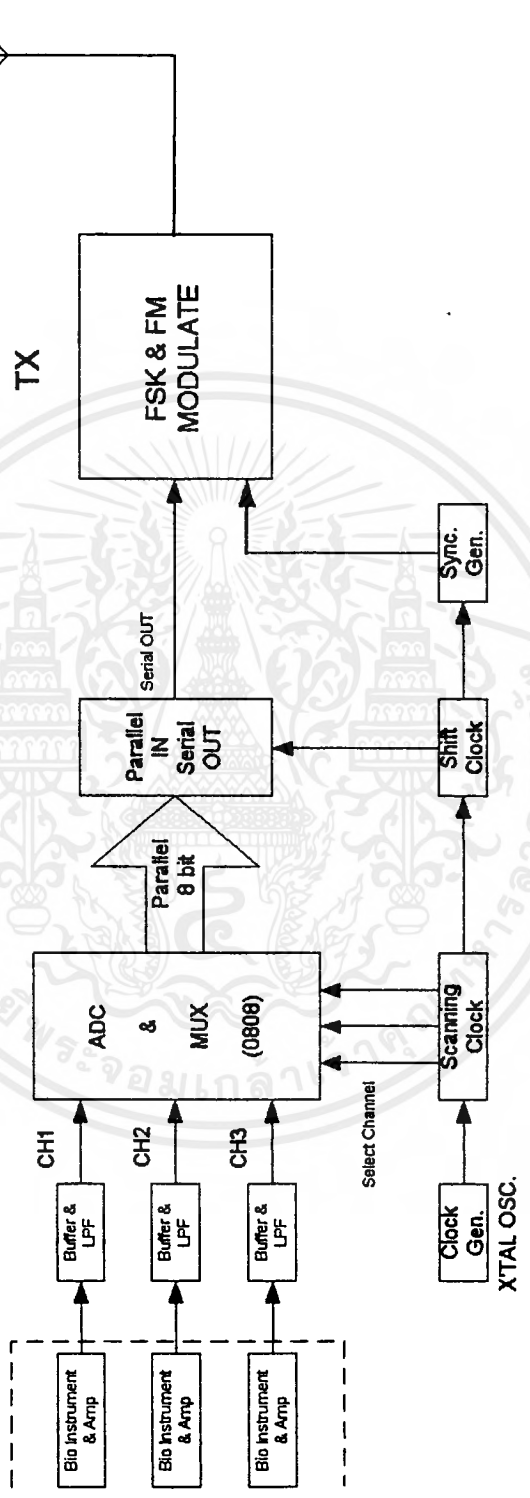
สัญญาณทั้ง 3 ช่อง จะถูกเปลี่ยนเป็นสัญญาณดิจิตอลขนาด 8 บิต พร้อมกับมัลติเพล็กแบบแบ่งเวลา (TDM) โดยใช้ ADC0808 ซึ่งสัญญาณที่ใช้ในการกวาด (SCAN) สัญญาณของแต่ละช่องจะให้สัญญาณนาฬิกาที่หารความถี่มาจากวงจรออสซิลเตอร์ที่ใช้คริสตัล สัญญาณดิจิตอลขนาด 8 บิตของแต่ละช่อง จะถูกเปลี่ยนเป็นข้อมูลแบบอนุกรมด้วยอัตราความเร็ว 6,400 บิตต่อวินาที

เมื่อได้สัญญาณที่เป็นอนุกรมกับสัญญาณซิงค์แล้ว ก็จะเข้าไปส่วนของการมอดูเลต FSK เพื่อแปลงจากสัญญาณดิจิตอลเป็นอนาล็อก แล้วมอดูเลตแบบเอฟเอ็มในย่านความถี่VHF46-49 MHz โดยใช้การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปในการควบคุมความถี่ แล้วส่งออกอากาศออกไป

5.1.2 บล็อกไดอะแกรมภาครับ

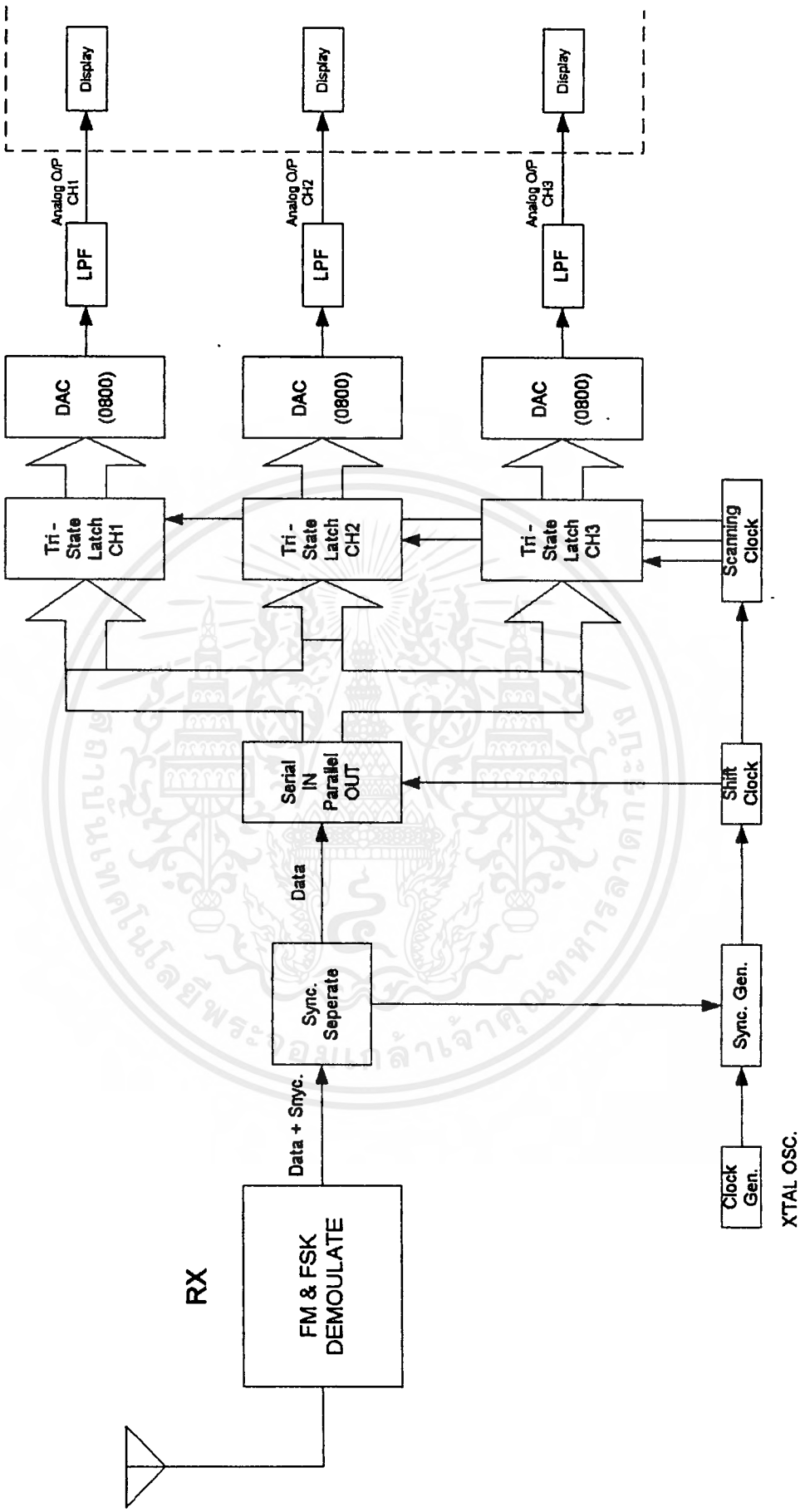
จากบล็อคไดอะแกรมภาครับ จะรับสัญญาณจากเสาอากาศแล้วผ่านขบวนการของเครื่องรับเอฟเอ็ม ที่สอดคล้องกับภาคส่ง คือ ในย่านความถี่ VHF 46-49 MHz โดยใช้การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นโลคอลออสซิลเลเตอร์ (Local Oscillator) เมื่อผ่านการดีมอดูเลเตอร์มาแล้ว ก็จะได้สัญญาณข้อมูลที่เป็นอนาล็อก แล้วแยกสัญญาณข้อมูลออกจากสัญญาณซิงค์ ผ่านการดีมอดูเลตแบบ FSK ออกมาเป็นสัญญาณดิจิตอลที่ประกอบด้วยข้อมูลอนุกรมและสัญญาณซิงค์ สัญญาณซิงค์นี้เองจะเป็นตัวควบคุมจังหวะของสัญญาณนาฬิกา ที่ใช้กวาดของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 บล็อคไดอะแกรมภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 บล็อคไดอะแกรมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้สัญญาณข้อมูลอนุกรมกลับมาแล้ว ก็จะเปลี่ยนให้เป็นข้อมูลแบบขนานดังเดิม ที่อัตราเร็วเท่าเดิม จากนั้นก็จะแปลงสัญญาณขนานดิจิตอล 8 บิต ให้เป็นสัญญาณอนาล็อก โดยใช้ DAC0800 ซึ่งจะมีบัฟเฟอร์ที่ควบคุมข้อมูลของแต่ละช่องให้ตรงกับช่องสัญญาณที่เข้ามา ซึ่งบัฟเฟอร์ดังกล่าวก็ถูกควบคุมการทำงานด้วยการกวาดสัญญาณจากวงจรผลิตความถี่แบบคริสตัล

เมื่อแปลงเป็นสัญญาณเป็นอนาล็อกแล้ว สัญญาณจะอยู่ในลักษณะแบบแซมปลิ้งค์ จึงต้องใช้วงจรกรองความถี่ต่ำผ่าน เพื่อให้สัญญาณกลับมาเป็นสัญญาณที่ราบเรียบ (Smooth) ดังสัญญาณที่เข้ามาที่อินพุทของภาคส่ง ดังเดิม

5.2 การทำงานของวงจรภาคส่ง

ในส่วนของวงจรภาคส่งจะประกอบด้วย 4 ส่วนด้วยกัน คือ ส่วนมัลติเพล็กซ์สัญญาณ , มอดูเลต FSK , มอดูเลต FM และ วงจรขยายสัญญาณ FM ซึ่งจะแยกอธิบายแต่ละส่วนต่อไป

5.2.1 การทำงานของวงจร Time Division MUX

จากรูปที่ 5.3 แสดงวงจรภาคTime Division MUX ซึ่งจะมีอินพุท 3 อินพุทที่มีลักษณะเหมือนกัน วงจรในส่วนเริ่มต้นนี้ จะประกอบออปแอมป์ 2 ตัว ซึ่งจะใช้เบอร์ TL062 ซึ่งเป็นออปแอมป์ในลักษณะคู่ (Dual) ใน IC แบบ DIP 8 ขา วงจรส่วนนี้จะทำหน้าที่ 3 ประการด้วยกันคือ เป็นวงจรบัฟเฟอร์ (Buffer) เพื่อแก้การเกิด Loading , เป็นวงจรกรองความถี่ต่ำผ่าน (LPF) เพื่อกันไม่ให้สัญญาณความถี่สูงเกิน 200 Hz ปะปนเข้ามาและที่สำคัญ คือ ทำหน้าที่ยกระดับสัญญาณจากจุด GND ให้อยู่ที่ +2.5 V.

ในการยกระดับสัญญาณดังกล่าว ก็เพราะที่ ADC0808 เราจะทำการสร้างแรงดันอ้างอิงให้กับมันที่ Vref(+) = +3.75 V. และ Vref(-) = +1.25 V. ก็เพื่อจะได้ความละเอียด (Resolution) เพิ่มขึ้นมากกว่าเดิม ดังนั้น ที่จุดกึ่งกลางของช่วงแรงดันดังกล่าวก็จะอยู่ที่ +2.5 V. จึงจำเป็นต้องมีการยกระดับจากจุด GND ให้อยู่ที่ +2.5 V. โดยในการสร้างแรงดันอ้างอิงให้กับ ADC0808 จะใช้ TL431 ซึ่งเป็น Programable Precision Reference จะให้การรักษาระดับแรงดันที่คงที่กว่าการใช้ซีเนอร์ไดโอดและยังสามารถกำหนดค่าแรงดันได้อีกด้วย

ในการสร้างสัญญาณนาฬิกา(Clock Generator) จะใช้วงจรกำเนิดสัญญาณที่ใช้คริสตัลเป็นตัวสร้างสัญญาณและกำหนดความถี่ ที่ X'TAL1 จะมีค่า 10.24 MHz และมี R16 , R15 และ C4 เป็น RC time constant ทำให้เกิดสัญญาณความถี่ 10.24 MHz ที่ขา 6 ของ IC4/3 จากนั้นจะถูกหารความถี่ด้วย IC5A เบอร์ 74HC390 จะถูกหารด้วย 10 เหลือ 1.024 MHz และความถี่นี้เองจะเป็นความถี่ที่ป้อนให้กับ ADC0808 เพื่อควบคุมจังหวะการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ADC0808 นี้ นอกจากจะทำหน้าที่ในการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอลแล้ว ยังมีหน้าที่ในการมัลติเพล็กซ์สัญญาณอีกด้วย โดยใช้สัญญาณกวาดมาจาก IC7 เบอร์ 4017 ซึ่งสัญญาณกวาดนี้จะมีความถี่ในการกวาด (SCAN) ที่ 200 Hz แต่ที่สัญญาณช่องที่ 1 จะมีการกวาดสองครั้งต่อเฟรม ทำให้มีความถี่ในการกวาดที่ 400 Hz เพราะที่ช่องสัญญาณที่ 1 นี้ จะมีแถบความถี่สูงสุดที่ 200 Hz นั่นเอง

เมื่อสัญญาณถูกแปลงเป็นดิจิตอลและมัลติเพล็กซ์แล้ว ก็จะถูกแปลงจากข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม ด้วย IC9 เบอร์ 74HC165 ด้วยอัตราเร็ว 6,400 บิทต่อวินาที โดย IC9 จะได้สัญญาณนาฬิกาความถี่ 6,400 Hz มาจาก IC6 เบอร์ 4040 ซึ่งสัญญาณนาฬิกาทั้งจาก IC5, IC6 และ IC7 จะมีการทำงานที่พร้อมกัน เมื่อได้สัญญาณเป็นแบบอนุกรมมาแล้วก็จะส่งต่อไปยังภาค FSK Modulate ต่อไป โดยจะส่งไปพร้อมกับสัญญาณซิงค์ของ CH1 ความถี่ 200Hz และสัญญาณนาฬิกา 3.2 kHz ไปยังภาคต่อไป

5.2.2 การทำงานของวงจร FSK Modulate

จากรูปที่ 5.4 สัญญาณข้อมูลอนุกรมอัตราเร็ว 6400 bps. จะถูกมอดูเลต FSK โดยใช้ IC เบอร์ XR-2206 โดยในการมอดูเลตจะกำหนดให้ลอจิก " 1" มีสัญญาณคลื่นรูปซายน์ 4 ไซเคิล และที่ลอจิก " 0 " มีสัญญาณคลื่นรูปซายน์ 6 ไซเคิล ดังนั้นที่ลอจิก " 1" เอาพุทของ FSK จะมีค่าความถี่เป็น 25.6 kHz และที่ลอจิก " 0 " เอาพุทของ FSK จะมีค่าความถี่เป็น 38.4 kHz ซึ่งความถี่ทั้ง 2 ค่านี้สามารถปรับได้ที่ VR1 และ VR2 ตามลำดับ

ความถี่ทั้ง 2 ค่าสามารถนำมาหาค่าแถบความถี่ของสัญญาณข้อมูลได้คือ

$$\text{Bandwidth FSK} = 2[\,(f_H - f_L) + \text{data rate}\,] \qquad (5.1)$$

$$= 2[\,(38.4\text{k} - 25.6\text{k}) + 6400\,]$$

$$= 38.4 \text{ kHz}$$

ดังนั้นแถบความถี่ของสัญญาณข้อมูลจะอยู่ในช่วง 12.8 kHz ขนถึง 51.2 kHz

ส่วนของสัญญาณซิงค์กำหนดให้ลอจิก " 1" มีสัญญาณคลื่นรูปซายน์ 4 ไซเคิล และที่ลอจิก " 0 " ไม่มีสัญญาณคลื่นรูปซายน์ ดังนั้นที่ลอจิก " 1" เอาพุทของ FSK จะมีค่าความถี่เป็น 3.2 kHz และที่ลอจิก " 0 " เอาพุทจะไม่มีสัญญาณ (gnd) ในการมอดูเลต FSK ของสัญญาณซิงค์นี้ จะใช้สัญญาณคลื่นสี่เหลี่ยม(Square Wave)ความถี่ 3.2 kHz จากวงจรหารความถี่ของภาค TDM มาทำการผ่านวงจรกรองความถี่ต่ำผ่าน(Low pass filter) เพื่อกรองแยกความถี่ฮาร์โมนิคค่าสูงออกไป โดยรวมทั้งหมดแล้วสัญญาณจะผ่านวงจรกรองความถี่ต่ำผ่านถึง 4 อันดับ ก่อนที่จะผ่านไปยังอินพุทของ 4066 จึงได้สัญญาณ sine wave 3.2 kHz ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ sine wave 3.2 kHz นี้จะผ่านไปยังอินพุทของ 4066 ซึ่งเป็นอนาล็อกสวิทช์ที่ถูกควบคุมการเปิดและปิดจากสัญญาณเชิงค์ ดังนั้นที่เอาพุทของ 4066 จะได้สัญญาณ FSK ที่ลอจิก " 1" เอาพุทของ FSK จะมีค่าความถี่เป็น 3.2 kHz และที่ลอจิก " 0 " เอาพุทจะไม่มีสัญญาณ (gnd) ความถี่นี้สามารถนำมาหาค่าแถบความถี่ของสัญญาณข้อมูลได้คือ

$$\text{Bandwidth FSK} = 2[\,(f_H - f_L) + \text{data rate}\,] \qquad (5.2)$$

$$= 2[\,(3.2k - 0) + 800\,]$$

$$= 8\,\text{kHz}$$

ดังนั้นแถบความถี่ของสัญญาณข้อมูลจะอยู่ในช่วง 0 Hz ขนถึง 8 kHz

จากสัญญาณ FSK ทั้ง 2 ส่วนข้างต้น จะถูกนำมารวมกันด้วยวงจร Summing Amplifier แล้วส่งต่อไปยังวงจร FM Modulate ต่อไป

5.2.3 การทำงานของวงจร FM Modulate

จากรูปที่ 5.5 เป็นวงจร FM Modulate ซึ่งจะมีส่วนของการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปที่ความถี่ 46 – 49 MHz โดยใช้ IC PLL เบอร์ MC145162 เป็นหัวใจสำคัญ ไอซีตัวดังกล่าวนี้สามารถโปรแกรมค่าการหารความถี่ได้จากข้อมูลแบบอนุกรม โดยจากรูปจะเริ่มจาก X'TAL 10.24 MHz จะถูกหารด้วยตัวหารขนาด 12 bit โดยกำหนดลักษณะการทำงานและกำหนดค่าของตัวหารได้จากการส่งค่าcontrolชุดแรกและชุดที่สองให้กับMC145162 ซึ่งค่าที่ใช้ส่งชุดแรกคือ 82H (Test bit:Normal , Aux data select:No Adin , REFout:÷4 , TxPD:No Power Down , RxPD:Power Down , RefPD:Power Down) ซึ่งจะเป็นการกำหนดค่าเริ่มต้นต่างๆ และชุดที่สองจะเป็นการกำหนดค่าการหารความถี่ต่างๆซึ่งค่าที่ใช้ส่งชุดที่สองคือ 28004000H (Aux Ref ENB:Not ENB , Tx-0 select:Selected , Rx-0 select:No select , 12 bits Ref Freq:800H , fr1-S1: 0 , fr1-S2: 1 , 14 bits Aux Ref Freq:00H) โดยX'TALจะถูกหารด้วยค่า 800H เพื่อเป็นความถี่อ้างอิงให้ Phase Detector

ในการส่ง control data ให้กับMC145162นั้นจะส่งในแบบอนุกรมโดยการส่งจะใช้ microcontroller ตระกูล MCS-51 ในการควบคุมการส่งข้อมูล และจากก็ป้อนค่า ÷N เริ่มต้นออกไป ซึ่งค่า N แรกที่ส่งไปจะทำให้ fo=46.000 MHz ค่าที่ส่งไปคือ 23E8H ซึ่งค่าดังกล่าวนี้ได้จากการทดลองเปลี่ยนไปจนได้ความถี่ตามต้องการ และในขณะเดียวกันmicrocontrollerจะต้องscanรับคีย์ที่กดและแสดงค่าความถี่ที่ seven-segment อีกด้วย ดังนั้นการป้อนค่า ÷N , การรับคีย์ที่กดเข้ามาเพื่อเปลี่ยนค่าความถี่และค่าความถี่ที่แสดงออกที่ seven-segment จะต้องมีความสัมพันธ์และตรงกันด้วย microcontroller MCS-51 ที่ใช้ในโครงงานนี้จะใช้เบอร์ AT89C2051 ซึ่งเป็นเบอร์ที่ย่อส่วนลงมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหลือเป็น IC ขนาด20ขาเท่านั้น โดยสามารถอัดโปรแกรมเข้าไปในตัวได้ถึง 2 kbyte จึงทำให้ลดเนื้อที่ลงไปอย่างมากโดยส่วนขาที่ลดลงไปนั้นก็คือ ส่วนของขา Address และ Data ทั้งหมดซึ่งก็คือ Port 0 และ Port 2 เพราะเมื่ออัดโปรแกรมอยู่ภายในแล้วขาเหล่านี้ก็ไม่ได้ใช้อีกและในทำนองเดียวกัน ขา $\overline{EA}$, ขา$\overline{WR}$ (P3.6) , ขาALE และ ขาPSEN ก็จะไม่ได้ใช้เช่นกัน ทำให้เหลือ 20 ขา และส่วนที่ใช้งานก็คือ Port1 และPort3 ซึ่งจะใช้ในการส่งข้อมูลแบบอนุกรมไปควบคุม IC MC145162 ,ใช้ในการรับคีย์การกดเพื่อเปลี่ยนความถี่และแสดงผลออกseven-segment ส่วนโปรแกรมที่ใช้อัดใส่ในIC นั้นอยู่ในภาคผนวก ก.

จากรูปที่ 5.5 จะมีวงจรVCOที่ต่อร่วมกับMC145162 และส่วนของ Low-pass filter โดยส่วนของLow-pass filter จะประกอบไปด้วย R6 , R5 และ C4 ซึ่ง input ของLow-pass filter จะมาจาก Phase detectของMC145162 เมื่อLow-pass filter สัญญาณแรงดันคลาดเคลื่อนจากPhase detectจะกรองจนเป็นไฟตรงไปควบคุมความถี่ของวงจร VCO

ภาค VCO จะรับแรงดันจากส่วน Low-pass filter ซึ่งจะเป็นแรงดันย้อนกลับให้กับ D1 ซึ่งเป็นวาแรกเตอร์ไดโอดเบอร์ MV2109 ดังนั้นเมื่อแรงดันที่ได้จาก Low-pass filter มีการเปลี่ยนแปลงก็จะทำให้ค่า C ของD1เกิดการเปลี่ยนแปลงก็จะทำให้ความถี่เกิดการเปลี่ยนแปลงไปด้วย

สัญญาณที่ถูกหารด้วยภาค N devider นั้นจะถูกเปรียบเทียบด้วยความถี่มาตรฐานในภาค Phase Detector ภายใน MC145162 แล้วเมื่อมีการเปลี่ยนความถี่จากการกดคีย์เข้ามา ก็จะทำให้ IC MC145162 เปลี่ยนค่า N ทำให้ ความถี่และเฟส ของความถี่ทั้งสองที่ input ของ Phase detect แตกต่างกัน จะทำให้เกิดแรงดันคลาดเคลื่อนที่ Phase detect และถูกส่งไปยังภาคLow-pass filter เพื่อกรองความถี่สูงออกไปและเป็นไฟตรงป้อนให้กับภาค VCO เพื่อให้ความถี่ที่outputของ VCO เปลี่ยนตามการกดคีย์ว่าต้องการให้ลดหรือเพิ่มความถี่และล็อกความถี่ไว้ด้วย ในที่นี้จะสามารถเปลี่ยนความถี่คลื่นพาหะได้ทั้งหมด 10 ค่าความถี่ตามที่ได้โปรแกรมเอาไว้

สัญญาณที่จะเข้ามาทำการมอดูเลตจากวงจร FSK จะผ่าน C13 เข้ามาทำให้ Varicap D2 เปลี่ยนแปลงค่าความจุไฟฟ้าจึงทำให้ค่าความถี่ของวงจร VCO เปลี่ยนแปลงไปตามขนาดของสัญญาณที่มาจากวงจร FSK ทำให้ได้สัญญาณ FM ออกมา จากนั้นจะส่งสัญญาณที่มอดูเลต FM แล้วไปยังวงจรขยายสัญญาณต่อไป

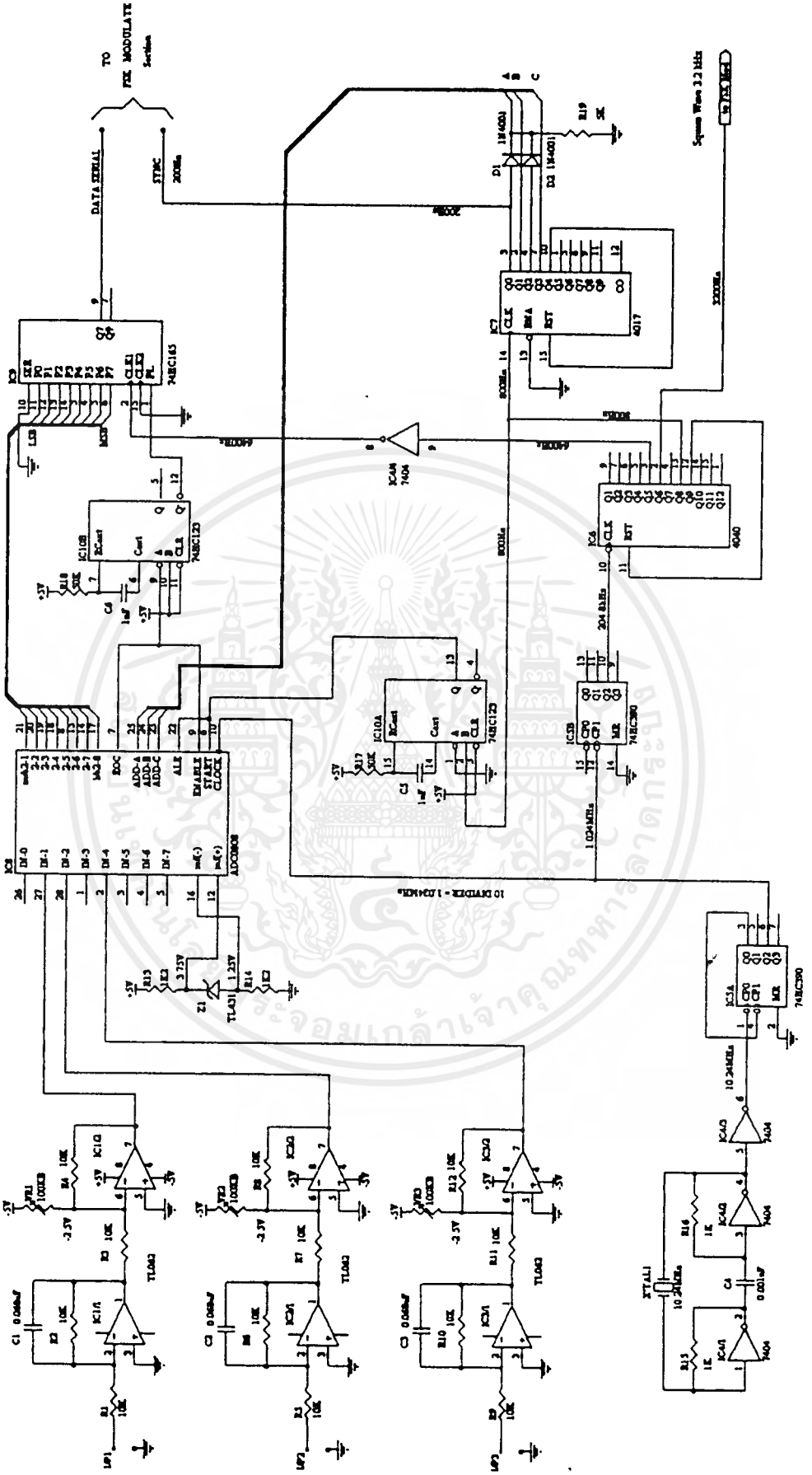
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 การทำงานของวงจร RF Amplifier

จากสัญญาณ FM ที่ได้ผ่านการ Modulated มาแล้วนั้น เราจะนำสัญญาณนั้นมาขยายเพื่อให้ได้ขนาดสัญญาณที่ใหญ่ขึ้นกว่าเดิมก่อนส่งออกอากาศ ซึ่งจะทำให้เราสามารถสื่อสารได้เป็นระยะทางที่ไกลขึ้นนั่นเอง

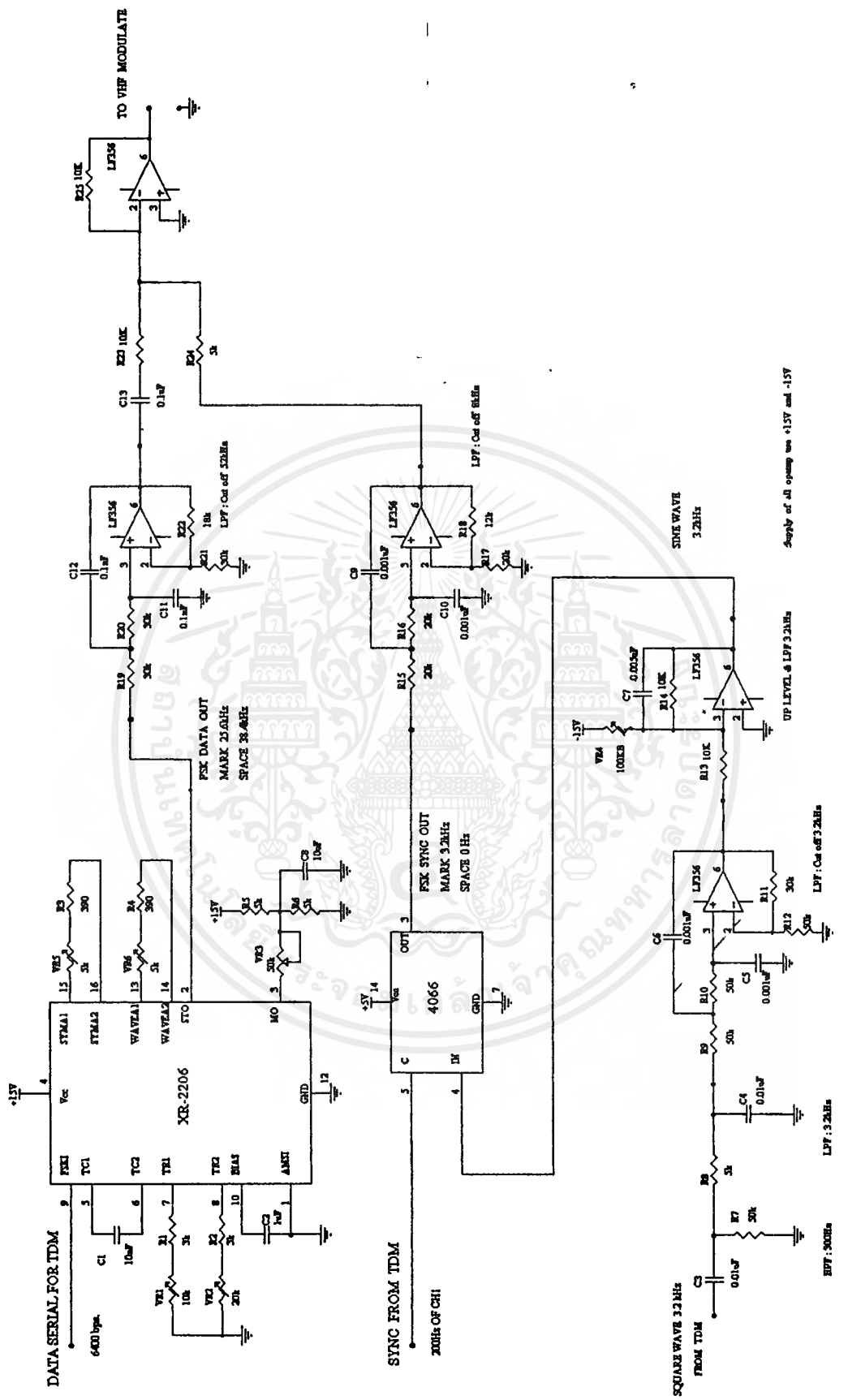
ในวงจรขยายนี้ เราจะต่อในลักษณะ Class B โดยสัญญาณจะถูก Coupling โดย C_1 เข้ามายังวงจรขยายภาคแรก (TR1) เพื่อขยายสัญญาณก่อนส่งไปยังวงจรขยายภาคที่สอง (TR2) โดยที่ RFC,C_3 ,C_4 และ L_1 จะทำหน้าที่ Matching ภาคขยายทั้งสอง เพื่อให้เกิดการส่งถ่ายกำลังสูงสุด วงจรขยายทั้งสองภาคนี้จะเป็นวงจรขยายสัญญาณขนาดเล็ก (Voltage Amp.) จากนั้นสัญญาณจะถูกส่งไปยังวงจรขยายภาคสุดท้าย(TR3) ซึ่งเป็นวงจรขยายกำลัง (Power Amp.) โดย L_2 และ C_6 เป็นตัว Matching วงจรขยายภาคที่สองและสามเข้าด้วยกัน สัญญาณที่ได้จากเอาท์พุทของวงจรขยายภาคสุดท้ายนั้นจะมีความแรงพอที่จะส่งออกอากาศได้เลย แต่เพื่อการส่งออกอากาศที่มีประสิทธิภาพมากยิ่งขึ้น เราจึงต้องเพิ่มวงจร Matching คือ L_3,C_8, C_9 และC_{10} เพื่อ Match สายอากาศกับเอาท์พุทอิมพีแดนซ์ของวงจรขยายภาคสุดท้ายให้เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



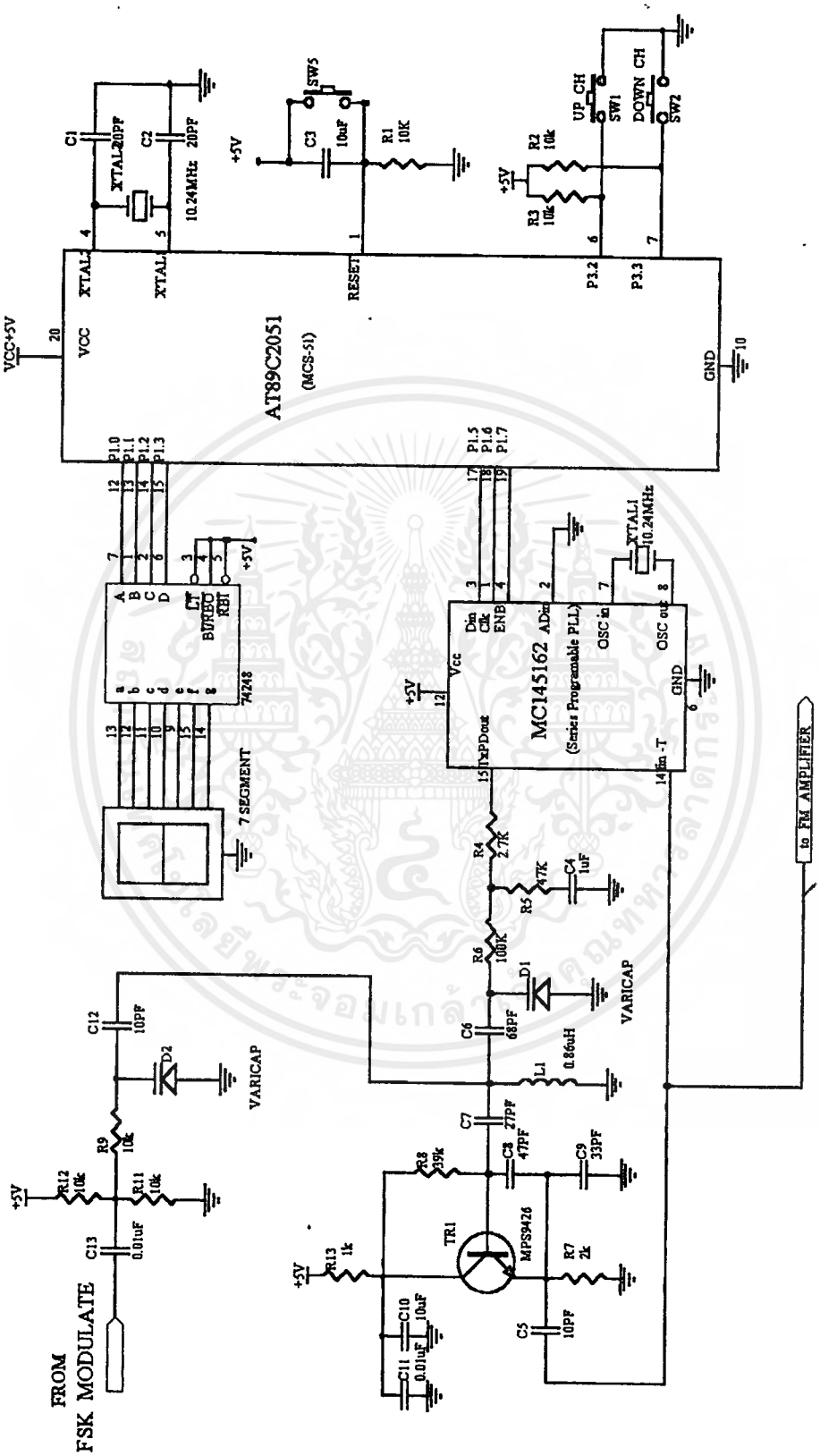
รูปที่ 5.3 วงจรTime Division MUX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



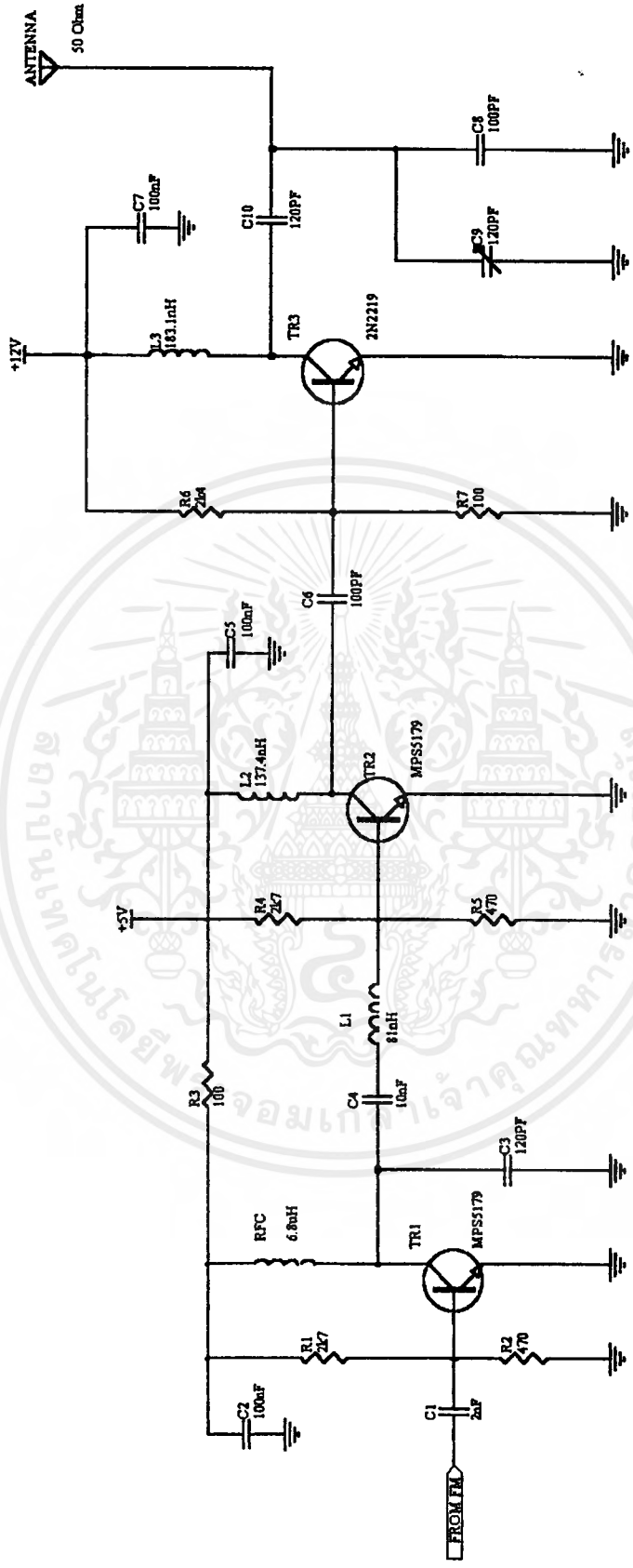
รูปที่ 5.4 วงจร FSK Modulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 วงจร FM Modulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 วงจร RF Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทำงานของวงจรภาครับ

ในส่วนของวงจรภาครับจะประกอบด้วย 4 ส่วนด้วยกัน คือ วงจรภาครับFM , วงจร Detector FM , วงจร FSK Demodulate , และวงจร Time Division DEMUX ซึ่งจะแยกอธิบายแต่ละส่วนต่อไป

5.3.1 การทำงานของวงจร ภาครับ FM

จากวงจรในรูปที่ 5.7 สัญญาณ RF ความถี่ 46 MHz – 49 MHz จะถูกส่งผ่านสายอากาศมายังวงจรแมชชิงท์ซึ่งประกอบด้วย C11 , C12 , C13 , และ L1 ซึ่งต่อกันอยู่ในรูปแบบของ Tapping Matching จากนั้นสัญญาณคลื่นความถี่วิทยุ(RF) ที่ได้จะถูกส่งไปยังวงจรมิกเซอร์ซึ่งอยู่ภายใน IC#MC13135 เพื่อรอรวมกับความถี่จากวงจรออสซิลเลเตอร์ ซึ่งความถี่ที่ได้จากวงจรออสซิลเลเตอร์นี้จะได้จากการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปที่ความถี่ 35.3 – 38.3MHz โดยใช้ IC PLL เบอร์ MC145162 เป็นหัวใจสำคัญ ไอซีตัวดังกล่าวนี้สามารถโปรแกรมค่าการหารความถี่ได้จากข้อมูลแบบอนุกรม โดยจากรูปจะเริ่มจาก X'TAL 10.24 MHz จะถูกหารด้วยตัวหารขนาด 12 bit โดยกำหนดลักษณะการทำงานและกำหนดค่าของตัวหารได้จากการส่งค่าcontrolชุดแรกและชุดที่สองให้กับMC145162 ซึ่งค่าที่ใช้ส่งชุดแรกคือ 82H (Test bit:Normal , Aux data select:No Adin , REFout:÷4 , TxPD:No Power Down , RxPD:Power Down , RefPD:Power Down) ซึ่งจะเป็นการกำหนดค่าเริ่มต้นต่างๆ และชุดที่สองจะเป็นการกำหนดค่าการหารความถี่ต่างๆซึ่งค่าที่ใช้ส่งชุดที่สองคือ 28004000H (Aux Ref ENB:Not ENB , Tx-0 select:Selected , Rx-0 select:No select , 12 bits Ref Freq:800H , fr1-S1: 0 , fr1-S2: 1 , 14 bits Aux Ref Freq:00H) โดยX'TALจะถูกหารด้วยค่า 800H เพื่อเป็นความถี่อ้างอิงให้ Phase Detector

ในการส่ง control data ให้กับ MC145162 นั้นจะส่งในแบบอนุกรมโดยการส่งจะใช้ microcontroller ตระกูล MCS-51 ในการควบคุมการส่งข้อมูล และจากก็ป้อนค่า ÷N เริ่มต้นออกไป ซึ่งค่า N แรกที่ส่งไปจะทำให้ fo=35.300 MHz ค่าที่ส่งไปคือ 1B8AH ซึ่งค่าดังกล่าวนี้ได้จากการทดลองเปลี่ยนไปจนได้ความถี่ตามต้องการ และในขณะเดียวกันmicrocontrollerจะต้องscanรับคีย์ที่กดและแสดงค่าความถี่ที่ seven-segment อีกด้วย ดังนั้นการป้อนค่า ÷N , การรับคีย์ที่กดเข้ามาเพื่อเปลี่ยนค่าความถี่และค่าความถี่ที่แสดงออกที่ seven-segment จะต้องมีความสัมพันธ์และตรงกันด้วย microcontroller MCS-51 ที่ใช้ในโครงงานนี้จะใช้เบอร์ AT89C2051 ซึ่งเป็นเบอร์ที่ย่อส่วนลงมาเหลือเป็น IC ขนาด20ขาเท่านั้น โดยสามารถอัดโปรแกรมเข้าไปในตัวได้ถึง 2 kbyte จึงทำให้ลดเนื้อที่ลงไปอย่างมาก ภาค VCO จะรับแรงดันจากส่วน Low-pass filter ซึ่งจะเป็นแรงดันย้อนกลับให้กับ D1 ซึ่งเป็นวาแรกเตอร์ไดโอดซึ่งอยู่ภายใน IC#MC13135 ดังนั้นเมื่อแรงดันที่ได้จาก Low-pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

filter มีการเปลี่ยนแปลงก็จะทำให้ค่า C ของวาแรกเตอร์ไดโอดซึ่งอยู่ภายใน IC#MC13135 เกิดการเปลี่ยนแปลงก็จะทำให้ความถี่เกิดการเปลี่ยนแปลงไปด้วย

สัญญาณที่ถูกหารด้วยภาค N devider นั้นจะถูกเปรียบเทียบด้วยความถี่มาตรฐานในภาค Phase Detector ภายใน MC145162 แล้วเมื่อมีการเปลี่ยนความถี่จากการกดคีย์เข้ามา ก็จะทำให้ IC MC145162 เปลี่ยนค่า N ทำให้ ความถี่และเฟส ของความถี่ทั้งสองที่ input ของ Phase detect แตกต่างกัน จะทำให้เกิดแรงดันคลาดเคลื่อนที่ Phase detect และถูกส่งไปยังภาคLow-pass filter เพื่อกรองความถี่สูงออกไปและเป็นไฟตรงป้อนให้กับภาค VCO เพื่อให้ความถี่ที่outputของ VCO เปลี่ยนตามการกดคีย์ว่าต้องการให้ลดหรือเพิ่มความถี่และล็อกความถี่ไว้ด้วย ในที่นี้จะสามารถเปลี่ยนความถี่คลื่นพาหะได้ทั้งหมด 10 ค่าความถี่ตามที่ได้โปรแกรมเอาไว้

เมื่อความถี่ 35.3 MHz – 38.3 MHz จากวงจรออสซิลเลเตอร์ถูกรวมกับความถี่ RF จะเหลือเป็นสัญญาณความถี่กลาง IF 10.7 MHz เพื่อส่งออกไปยังภาคดีเทกเตอร์ต่อไป

5.3.2 การทำงานของวงจร Detector FM

จากรูปที่ 5.8 สัญญาณความถี่ 10.7 MHz ที่ได้จากภาคมิกเซอร์จะถูกฟิลเตอร์ โดยเซรามิกฟิลเตอร์ เพื่อกำจัดสัญญาณที่ไม่ต้องการลงกราวด์ สัญญาณที่ได้จะถูกส่งไปยังภาคลิมิตเตอร์ซึ่งอยู่ภายใน IC#MC3356 เพื่อทำหน้าที่ขลิบสัญญาณรบกวนออกไปแล้ว ภายในไอซีดังกล่าวยังมีหน้าที่เป็นวงจรดีเทกเตอร์ด้วยโดยเป็นแบบ Quadrature Detecter ซึ่งหลักการของวงจรดีเทกเตอร์แบบนี้จะใช้การเลื่อนเฟสของสัญญาณออกไป 90 องศา แล้วนำไปคูณกับสัญญาณเดิม แล้วนำสัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำผ่านจะได้สัญญาณข้อมูลออกมา

สัญญาณข้อมูลที่ออกมาจากวงจรดีเทกเตอร์จะมีขนาดที่ต่ำมาก จึงจำเป็นที่จะต้องมีวงจรขยายสัญญาณให้มีขนาดที่สูงขึ้น ซึ่งใช้ IC#MC34119 เป็นICที่ใช้ขยายสัญญาณโดยวงจรขยายดังกล่าวสามารถปรับอัตราขยายได้ที่ VR1

5.3.3 การทำงานของวงจร FSK Demodulate

จากรูปที่ 5.9 วงจรจะรับสัญญาณที่ดีเทกมาแล้วจากภาคดีเทกเตอร์ FM ซึ่งจะได้สัญญาณที่เหมือนกับสัญญาณที่ออกจากวงจรมอดูเลต FSK ในภาคส่งรูปที่ 5.4 เมื่อได้สัญญาณมาแล้วจะมาผ่านวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟที่ 52 kHz ซึ่งเป็นค่าแถบความถี่ของสัญญาณดังกล่าว และเป็นการกรองแยกสัญญาณความถี่สูงที่ไม่ต้องการออกอีกด้วย

จากนั้นต้องทำการแยกสัญญาณระหว่างสัญญาณข้อมูลและสัญญาณซิงค์ โดยใช้วงจรกรองความถี่ต่ำผ่านและวงจรกรองความถี่สูงผ่านเป็นตัวแยกสัญญาณทั้งสองออกจากกัน จากค่าแถบความถี่ของทั้งสองสัญญาณคือ สัญญาณข้อมูลมีแถบความถี่อยู่ในช่วง 12.8kHz ถึง 51.2kHz และสัญญาณซิงค์มีแถบความถี่อยู่ในช่วง 0 Hz ถึง 8 kHz ดังนั้นสัญญาณข้อมูลจะใช้วงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูงผ่านที่มีความถี่คัทออฟที่ 10 kHz จึงทำให้ไม่มีสัญญาณซิงค์เข้ามาได้ ในทำนองเดียวกันสัญญาณซิงค์จะใช้วงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟที่ 8 kHz จึงทำให้ไม่มีสัญญาณข้อมูลเข้ามาได้

ในส่วนของสัญญาณข้อมูลเมื่อแยกออกมาได้แล้วจะผ่านมายังวงจรดีมอดูเลต FSK เบอร์ XR-2211 ทำการดีมอดูเลตเปลี่ยนจากสัญญาณอนาล็อกคลื่นรูปซายน์เป็นสัญญาณดิจิตอลออกมา แต่สัญญาณข้อมูลที่เป็นอนุกรมนี้จะยังส่งไปยังภาคต่อไปไม่ได้ เนื่องจากมีระดับแรงดันอยู่ที่ 0 และ 15 โวลท์ จึงต้องมีการปรับให้เป็นระดับ TTL ก่อน โดยใช้ออปแอมป์ทำงานในลักษณะคอมพาราเตอร์ปรับแรงดันให้ระดับ TTL แล้วถึงจะสามารถส่งสัญญาณข้อมูลอนุกรมนี้ไปยังส่วน Time Division DEMUX ได้

ในส่วนของสัญญาณซิงค์เมื่อแยกออกมาได้แล้วจะเห็นว่าสัญญาณจะมีลักษณะกลับไปอยู่ด้านลบ จึงต้องมีการกลับสัญญาณให้อยู่ทางด้านบวกโดย IC6 และนอกจากจะทำหน้าที่กลับสัญญาณแล้วยังทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่านที่ความถี่คัทออฟ 8 kHz อีกด้วย จากนั้นจะผ่านวงจร RC ทำให้สัญญาณซิงค์มีลักษณะเป็นลูกคลื่นที่เรียบ จากนั้นก็ใช้ออปแอมป์ทำงานในลักษณะคอมพาราเตอร์ปรับแรงดันให้ระดับ TTL เช่นเดียวกับสัญญาณข้อมูล

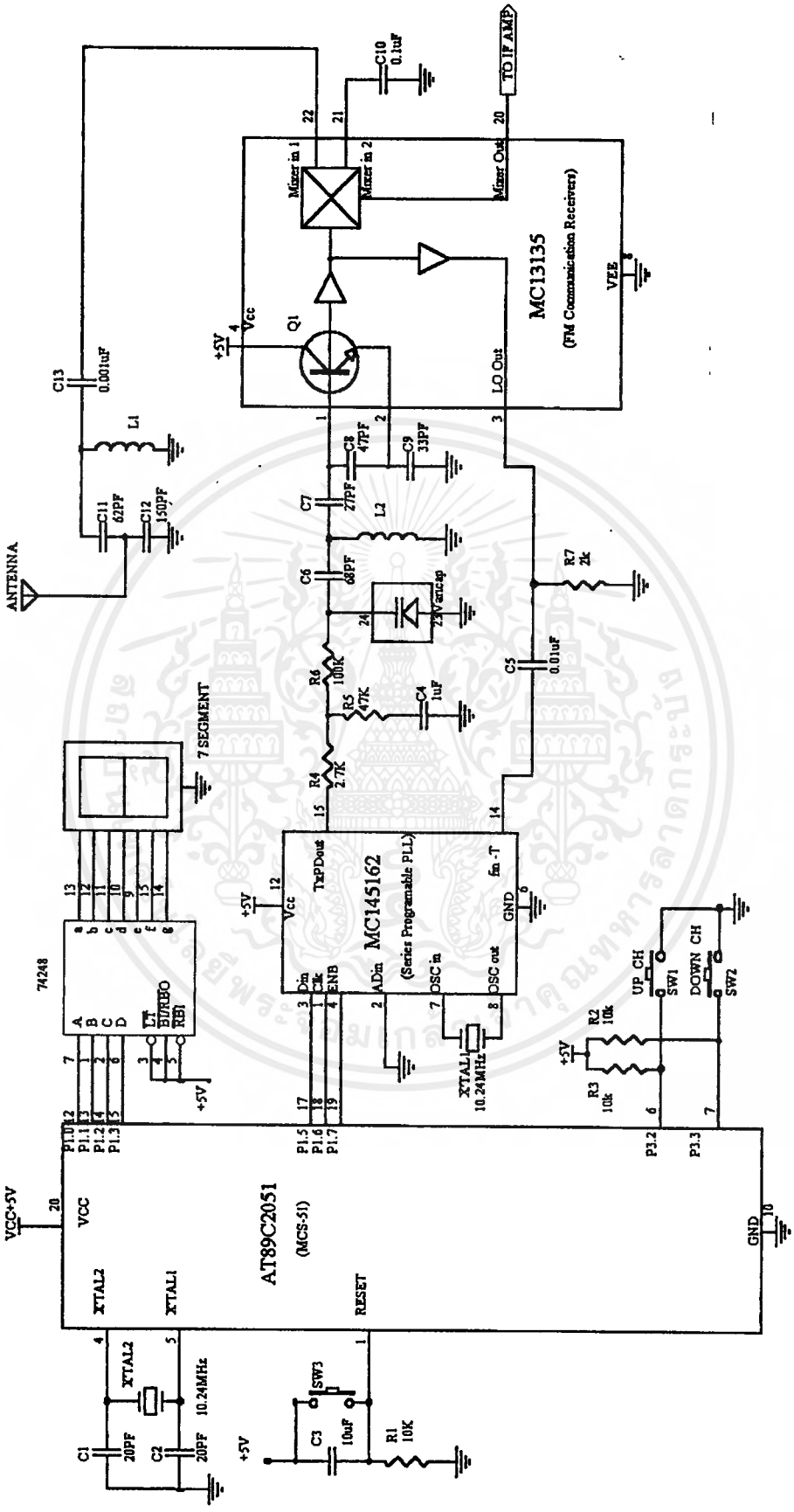
เมื่อได้สัญญาณซิงค์ออกมาแล้วจะต้องมีการปรับเวลาเพื่อให้สัญญาณซิงค์มีความสอดคล้องกับสัญญาณข้อมูลโดยใช้ IC 74LS123 ซึ่งเป็น IC Monostable แบบ Dual โดยตัวแรกจะเป็นตัวปรับการเลื่อนของสัญญาณ ส่วนอีกตัวจะเป็นตัวปรับความกว้างของสัญญาณซิงค์แล้วถึงจะสามารถส่งสัญญาณซิงค์นี้ไปควบคุมวงจรกำเนิดสัญญาณนาฬิกาและวงจรหารความถี่ของส่วน Time Division DEMUX ได้

5.3.4 การทำงานของวงจร Time Division DEMUX

จากรูปที่ 5.10 แสดงวงจรภาคTime Division DEMUX โดยจะรับสัญญาณข้อมูลที่เป็นอนุกรมและสัญญาณซิงค์มาจากวงจร FSK Demodulate โดยสัญญาณซิงค์จะใช้ในการเริ่มการทำงานของวงจรกำเนิดความถี่ และสัญญาณข้อมูลที่เป็นอนุกรมจะผ่านไปยัง 74HC164 ซึ่งจะแปลงเป็นข้อมูลแบบขนานให้กับ IC11 , IC12 และ IC13 ซึ่งทำหน้าที่เป็นตัวกั้นข้อมูลของแต่ละช่องไม่ให้ปะปนกัน โดยมีสัญญาณกวาดให้กับ IC ทั้งสามตัว มาจาก IC7 เบอร์ 4017 ซึ่งในส่วนต่าง ๆ ของการสร้างสัญญาณนาฬิกา ก็จะคล้ายกับทางด้านภาคส่ง ต่างกันตรงที่ภาครับนี้ จะมีการคุมจังหวะการเริ่มการทำงาน มาจากสัญญาณซิงค์ด้วย

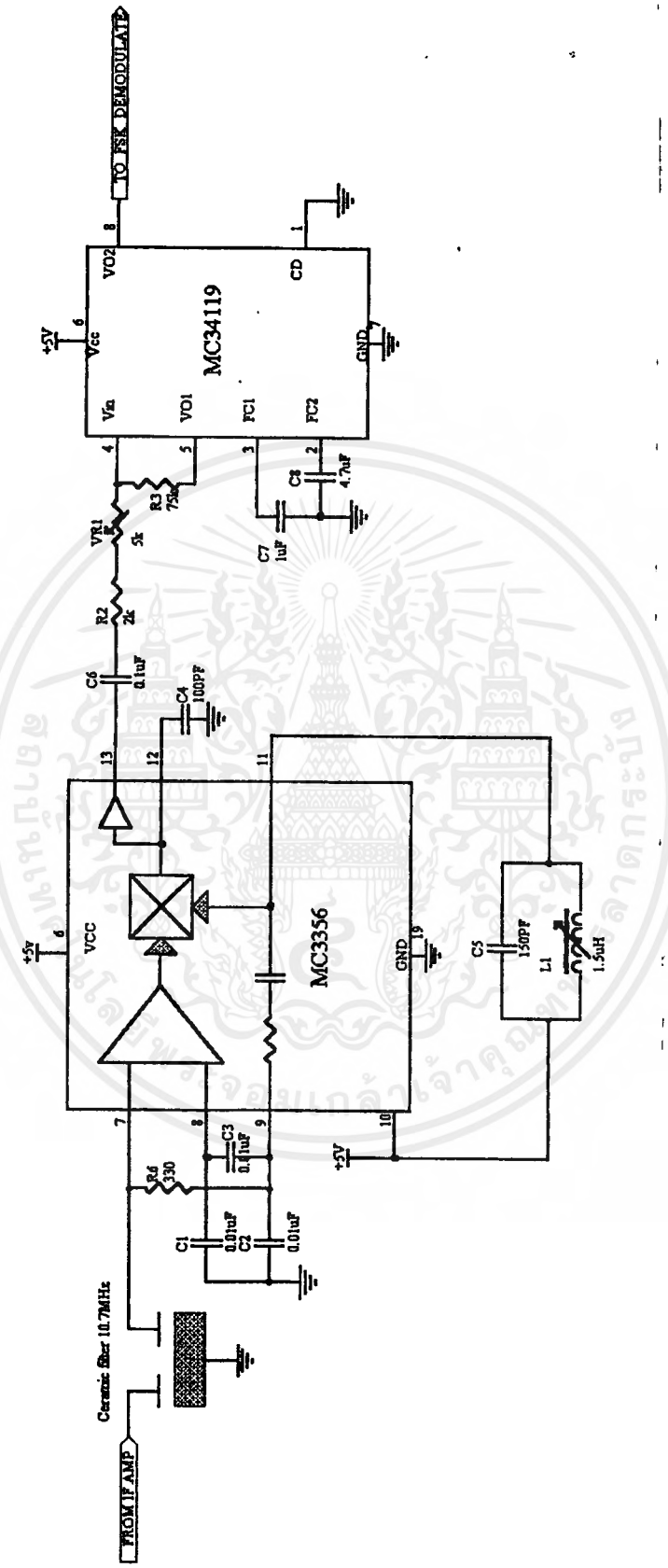
หลังจากข้อมูลผ่านตัวกั้นข้อมูลดังกล่าวแล้ว ก็จะถูกแปลงเป็นสัญญาณอนาล็อกด้วย DAC0800 จากสัญญาณดิจิตอล 8 บิต ให้เป็นระดับแรงดันโดยออปแอมป์ IC17/1 , IC17/2 และ IC17/3 ของแต่ละช่องสัญญาณ จากนั้นจะผ่านวงจรกรองความถี่ต่ำผ่าน (LPF) ซึ่งจะทำให้สัญญาณอนาล็อกเอาพุทที่ได้ มีความราบเรียบและเหมือนกับสัญญาณที่อินพุทของภาคส่งมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



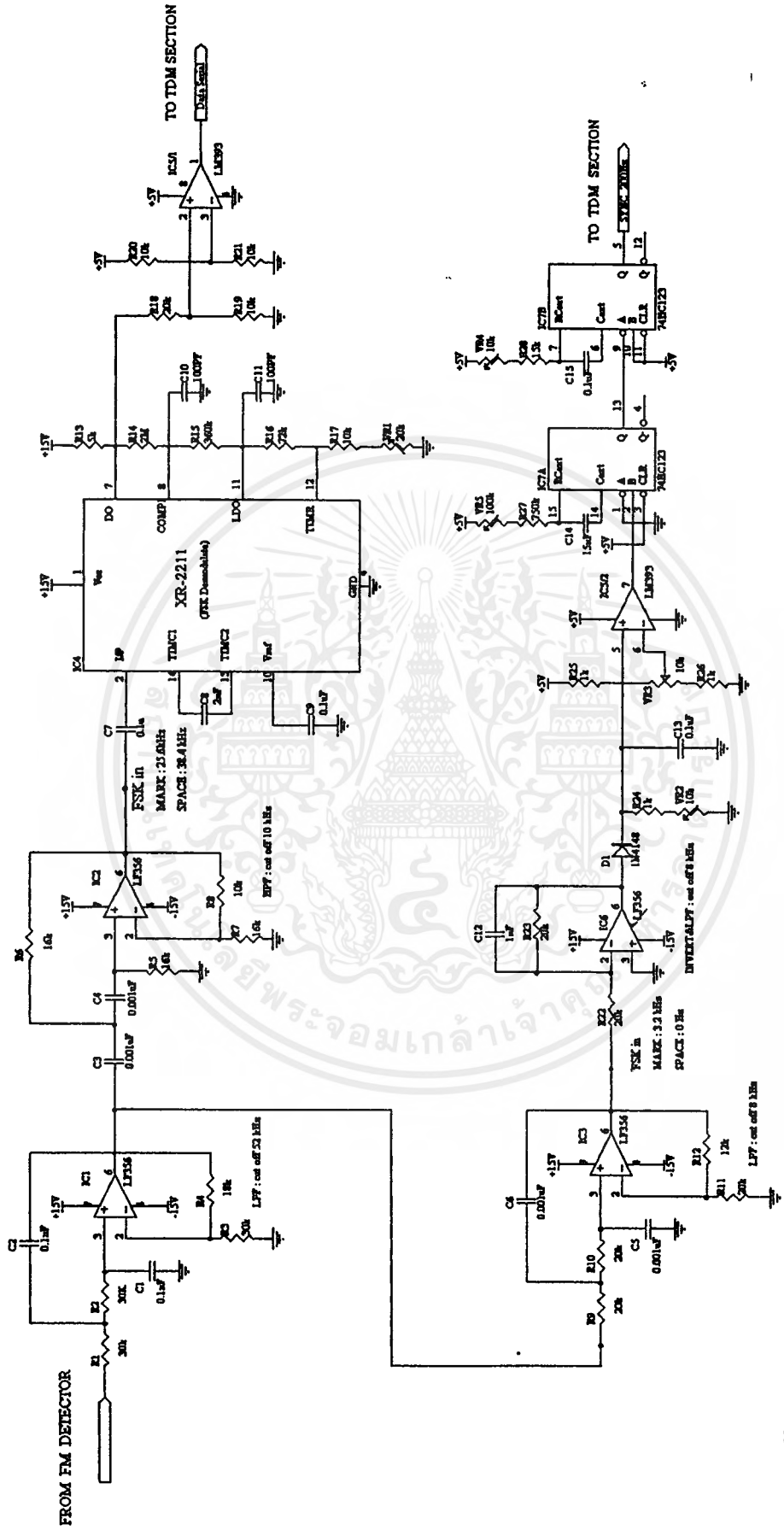
รูปที่ 5.7 วงจรภาครับ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



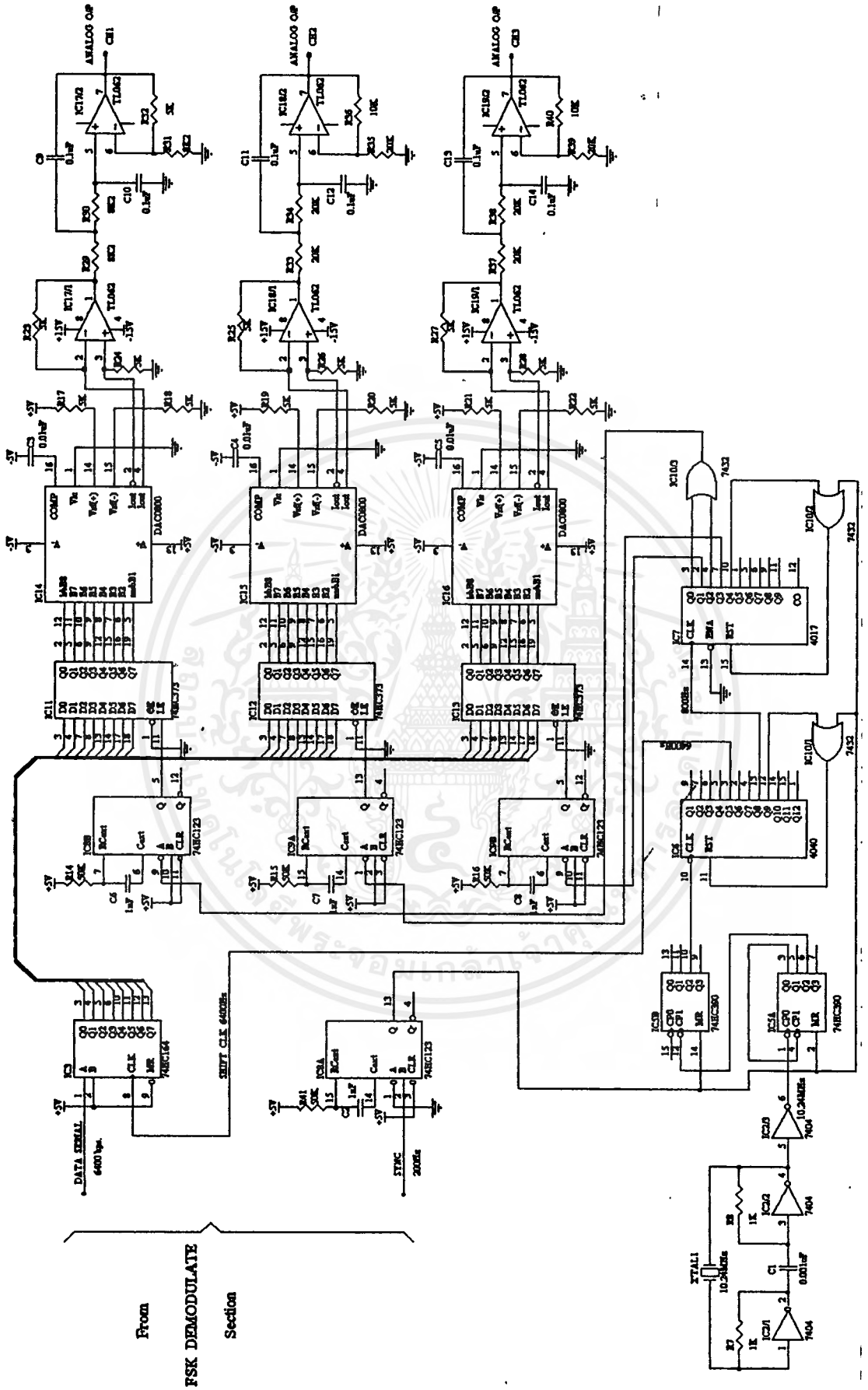
รูปที่ 5.8 วงจร Detector FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 วงจร FSK Demodulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 วงจร Time Division DEMUX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

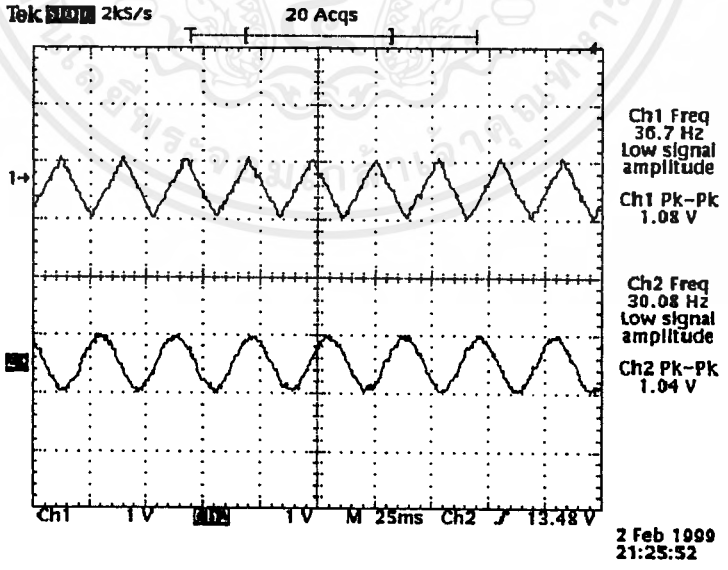
การทดลองและผลการทดลอง

ส่วนของการทดลอง หรือทดสอบคุณสมบัติของวงจรนี้ จะเป็นการวัดสัญญาณจุดต่างที่มีความสำคัญของทุกวงจรทั้งภาคส่งและภาครับ เปรียบเทียบสัญญาณจุดต่างให้เห็นอย่างชัดเจนว่าอินพุทเข้ามาแล้วเอาพุทออกมาอย่างไร รวมถึงการเปรียบสัญญาณทดสอบว่าเอาพุทที่ได้จากภาครับมีความผิดเพี้ยนไปจากอินพุทที่เข้าจากภาคส่งมากน้อยเพียงใด

โดยในการวัดสัญญาณจะใช้ Scope ยี่ห้อ Tektronix รุ่น TDS 360 ซึ่งเป็น Scope แบบ digital เพื่อวัดดูรูปสัญญาณ และขนาดของสัญญาณที่ได้ แล้วทำการบันทึกออกมา

6.1 การวัดสัญญาณที่จุดต่างๆ ของภาคส่ง

ในการทดสอบจะใช้สัญญาณรูปซายน์(sine wave) และ สัญญาณรูปสามเหลี่ยม(triangle wave) เป็นสัญญาณทดสอบ โดยใช้ความถี่ประมาณ 30 – 40Hzและขนาดประมาณ 1 Vpp สัญญาณที่วัดได้มีลักษณะดังต่อไปนี้



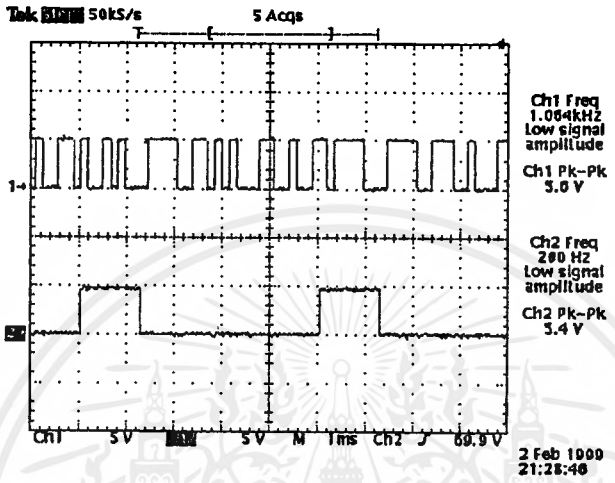
รูปที่ 6.1 สัญญาณอินพุทที่ใช้เป็นสัญญาณทดสอบ

CH1 สัญญาณรูปสามเหลี่ยม

CH2 สัญญาณรูปซายน์

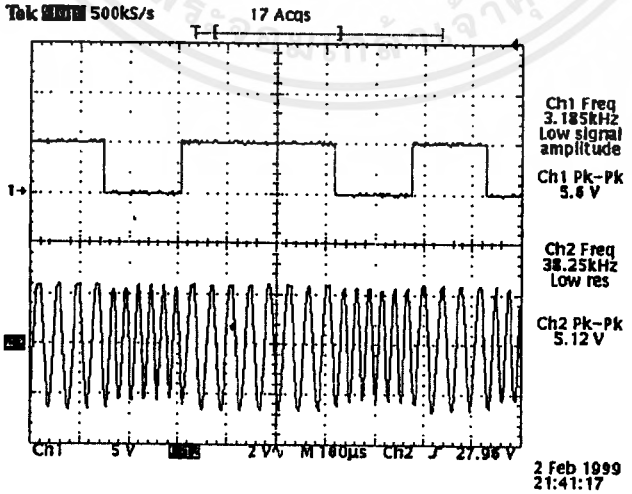
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เข้ามาทางอินพุทของวงจร Time Division MUX จะถูกทำการมัลติเพล็กซ์รวมกัน แล้วจากนั้นจะถูกแปลงเป็นสัญญาณดิจิตอล แปลงจากข้อมูลแบบขนานเป็นแบบอนุกรม แล้วส่งไปยังวงจรมอดูเลต FSK พร้อมกับสัญญาณซิงค์ 200 Hz ของสัญญาณกวาดของช่องที่ 1 ดังผลการทดลองรูปที่ 6.2



รูปที่ 6.2 สัญญาณข้อมูลอนุกรมและสัญญาณซิงค์

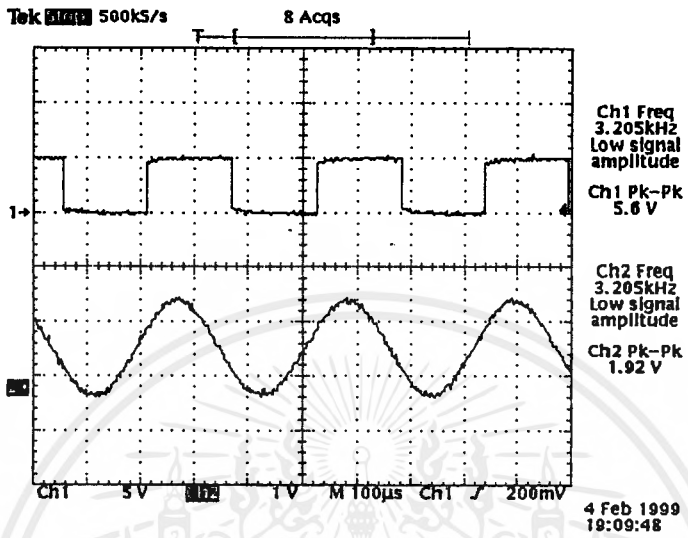
สัญญาณทั้งสองจะถูกป้อนให้กับอินพุทของวงจรมอดูเลต FSK โดยสัญญาณข้อมูลจะถูกมอดูเลต FSK ที่ลอจิกสูงความถี่ 25.6 kHz และลอจิกต่ำ 38.4 kHz ดังผลการทดลองรูปที่ 6.3



รูปที่ 6.3 สัญญาณข้อมูลที่มอดูเลต FSK

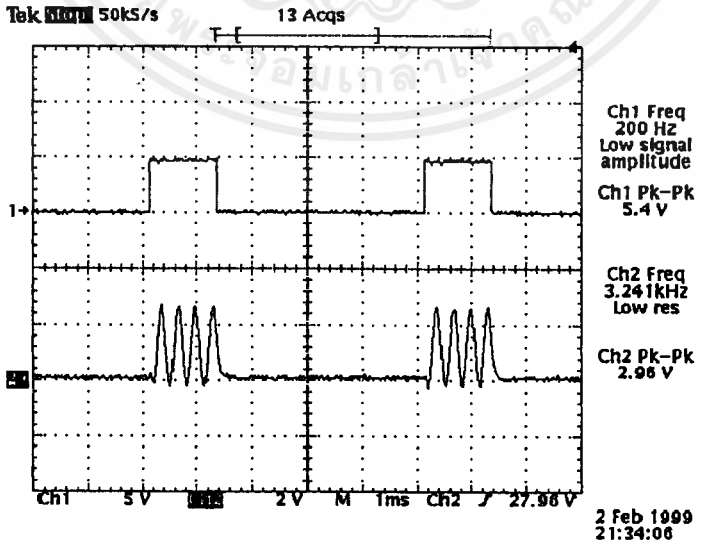
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของสัญญาณซิงค์จะใช้สัญญาณนาฬิกาจากภาคTime Division MUX ความถี่ 3.2 kHz มาผ่านวงจรกรองความถี่ต่ำผ่านให้เป็นสัญญาณซายน์ ดังผลการทดลองรูปที่ 6.4



รูปที่ 6.4 สัญญาณSquare wave ที่ผ่านวงจรกรองความถี่ต่ำผ่านจนเป็นSine wave

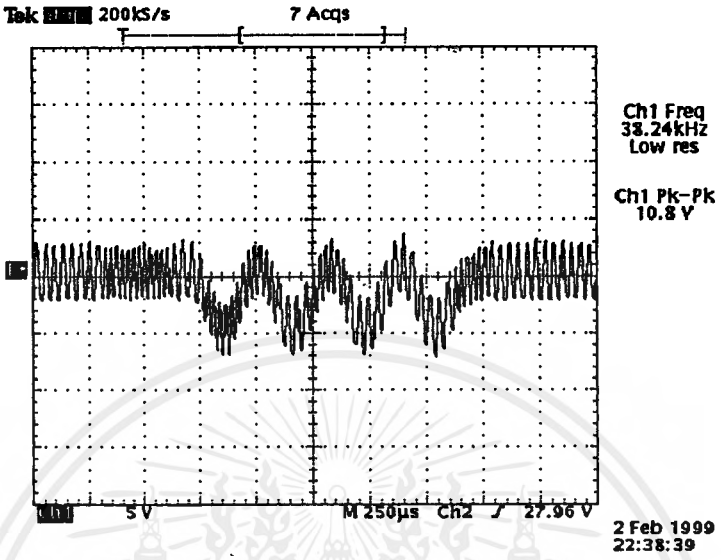
เมื่อได้สัญญาณซายน์ออกมาแล้ว จะทำการมอดูเลต FSK โดยใช้ 4066 เป็นตัวสวิทช์ ซึ่งสัญญาณที่เข้ามาทำการสวิทช์ก็คือ สัญญาณซิงค์จากวงจร Time Division MUX ความถี่ 200 Hz ดังผลการทดลองรูปที่ 6.5



รูปที่ 6.5 สัญญาณซิงค์ที่ผ่านการมอดูเลตแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทั้งสัญญาณข้อมูลและสัญญาณซิงค์ผ่านการมอดูเลต FSK แล้วจะมาทำการ Summing กันก่อนที่จะส่งไปยังภาคมอดูเลต FM ดังผลการทดลองรูปที่ 6.6



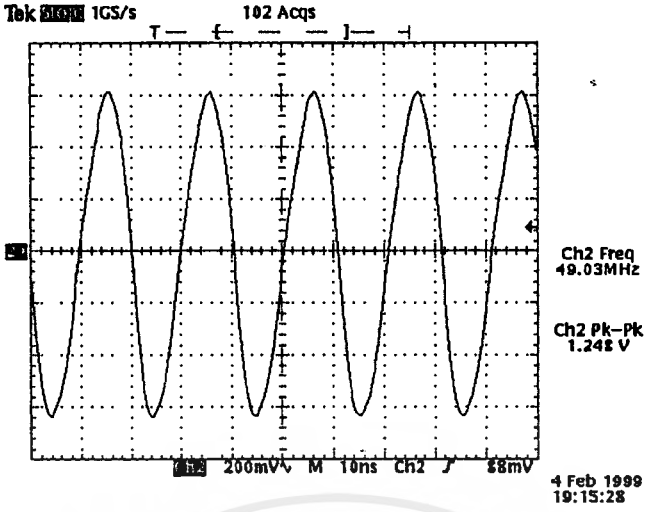
รูปที่ 6.6 สัญญาณที่ Summing กันระหว่างสัญญาณข้อมูลและสัญญาณซิงค์

ในส่วนของการมอดูเลต FM จะใช้สัญญาณคลื่นพาหะในย่าน VHF ที่ความถี่ในช่วง 46 – 49 MHz ซึ่งใช้การสังเคราะห์ความถี่แบบเฟสล็อกลูป โดยสามารถเลือกช่องสัญญาณที่ส่งได้ทั้งหมด 10 ช่อง ดังตารางที่ 6.1 และสัญญาณที่ได้ดังผลการทดลองรูปที่ 6.7

ตารางที่ 6.1 ผลทดลองการวัดค่าความถี่

ช่องความถี่	ค่าที่แสดง (MHz)	ค่าที่วัด (MHz)	% error
0	46.000	45.997	0.0065 %
1	46.500	46.497	0.0064 %
2	47.000	46.997	0.0064 %
3	47.500	47.497	0.0064 %
4	48.000	47.998	0.0043 %
5	48.500	48.498	0.0042 %
6	49.000	48.998	0.0042 %
7	49.500	48.498	0.0041 %
8	50.000	49.998	0.0041 %
9	50.500	50.499	0.0021 %

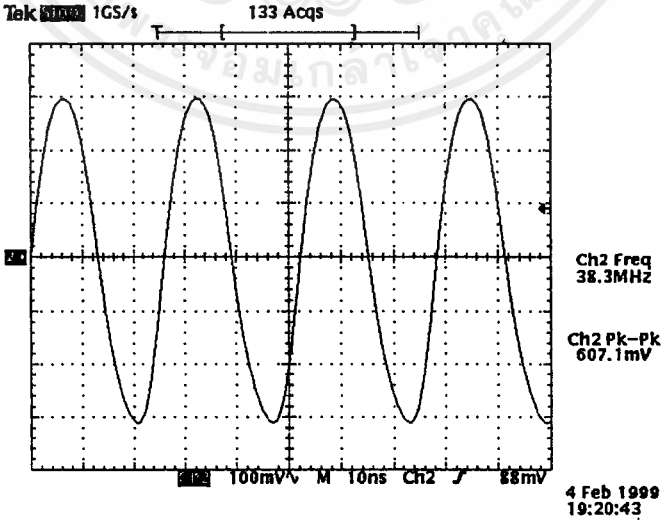
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.7 สัญญาณคลื่นพาหะที่ใช้ในการมอดูเลต FM

6.2 การวัดสัญญาณที่จุดต่างๆ ของภาครับ

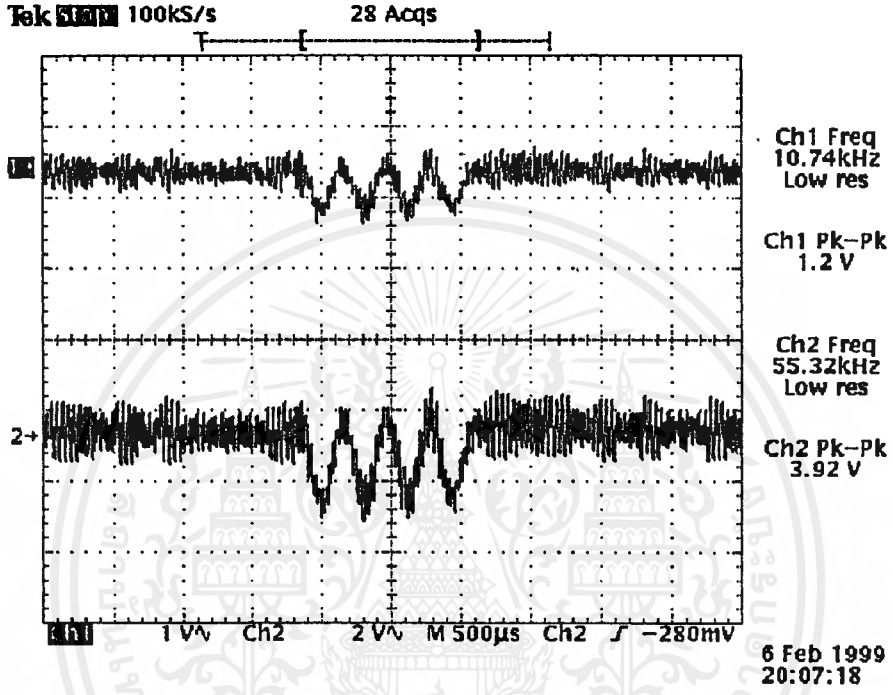
ในส่วนของวงจรภาครับเมื่อรับสัญญาณจากเสาอากาศมาแล้ว จะผ่านวงจรแมทชิ่งเสาอากาศแล้วสัญญาณที่รับมาจะเข้าวงจรมิกเซอร์ (Mixer) กับสัญญาณโลคอลออสซิลเลเตอร์(Local OSC.) ดังผลการทดลองรูปที่ 6.8โดยวงจรส่วนมิกเซอร์จะอยู่ภายใน IC # MC13135 และสัญญาณโลคอลออสซิลเลเตอร์ก็จะใช้วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเช่นเดียวกับภาคส่งแต่ความถี่ที่ออกมาทำการมิกเซอร์นี้จะความถี่ต่ำกว่า 10.7 MHz ดังนั้นเมื่อทำการมิกเซอร์กันแล้ว จะได้ความถี่กลาง 10.7 MHz



รูปที่ 6.8 สัญญาณโลคอลออสซิลเลเตอร์มีความถี่ต่ำกว่า 10.7 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

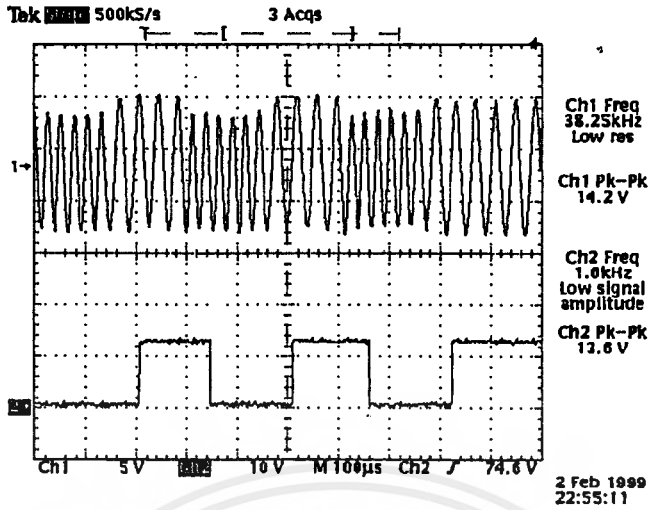
จากนั้นสัญญาณความถี่กลาง IF 10.7 MHz จะผ่านเซรามิคฟิลเตอร์แล้วผ่านภาคดีเทกเตอร์ ซึ่งใช้ IC#MC3356 จะได้สัญญาณที่แยกสัญญาณคลื่นพาหะออกไปได้ แต่สัญญาณที่ได้มีขนาดที่เล็กมาก จึงต้องขยายสัญญาณให้มีขนาดเพิ่มขึ้นโดยใช้ IC#MC34119 เป็นตัวขยายสัญญาณ ดังผลการทดลองรูปที่ 6.9



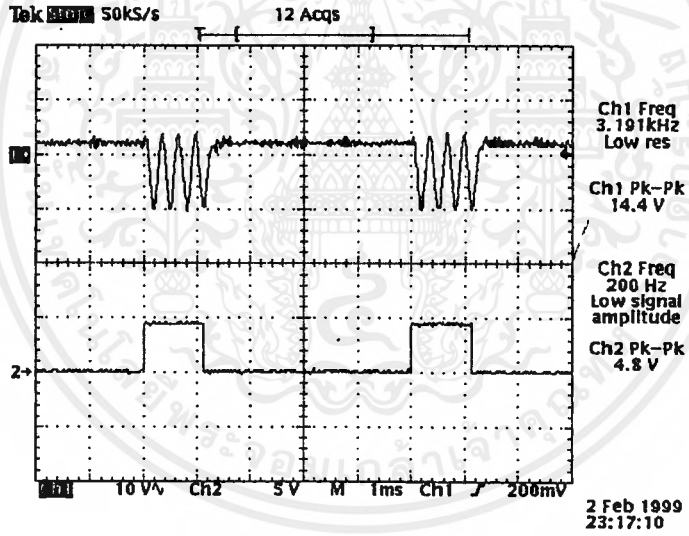
รูปที่ 6.9 สัญญาณผ่านภาคดีเทกเตอร์และถูกขยายสัญญาณแล้ว
CH1 สัญญาณผ่านภาคดีเทกเตอร์
CH2 สัญญาณถูกขยายแล้ว

เมื่อได้สัญญาณที่แยกสัญญาณคลื่นพาหะออกไปแล้ว ก็จะมาเข้าวงจรดีมอดูเลต FSK ของทั้งสัญญาณข้อมูลและสัญญาณซิงค์ โดยสัญญาณข้อมูลและสัญญาณซิงค์เมื่อดีมอดูเลต FSK แล้วได้สัญญาณดังผลการทดลองรูปที่ 6.10 และ 6.11 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



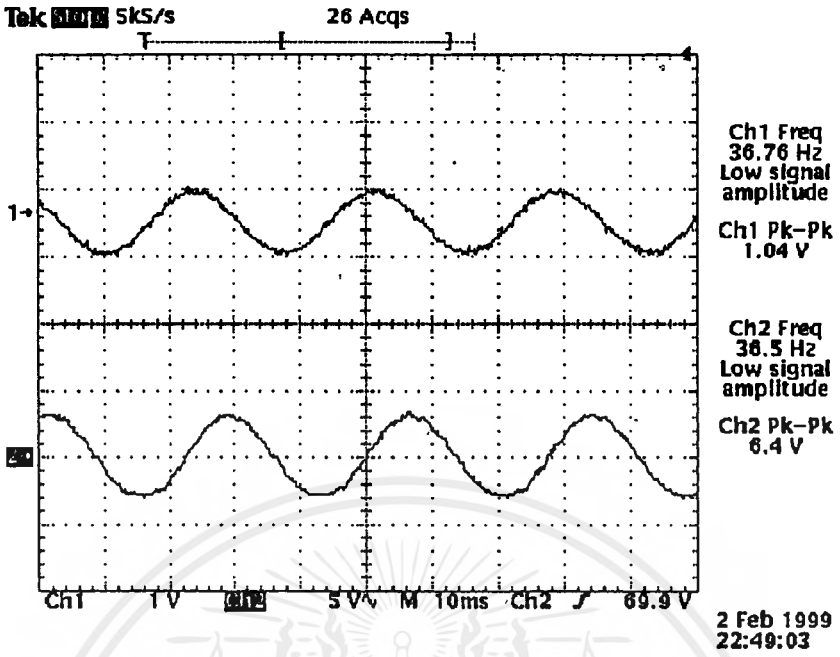
รูปที่ 6.10 สัญญาณข้อมูลที่ผ่านการดีมอดูเลต FSK แล้ว



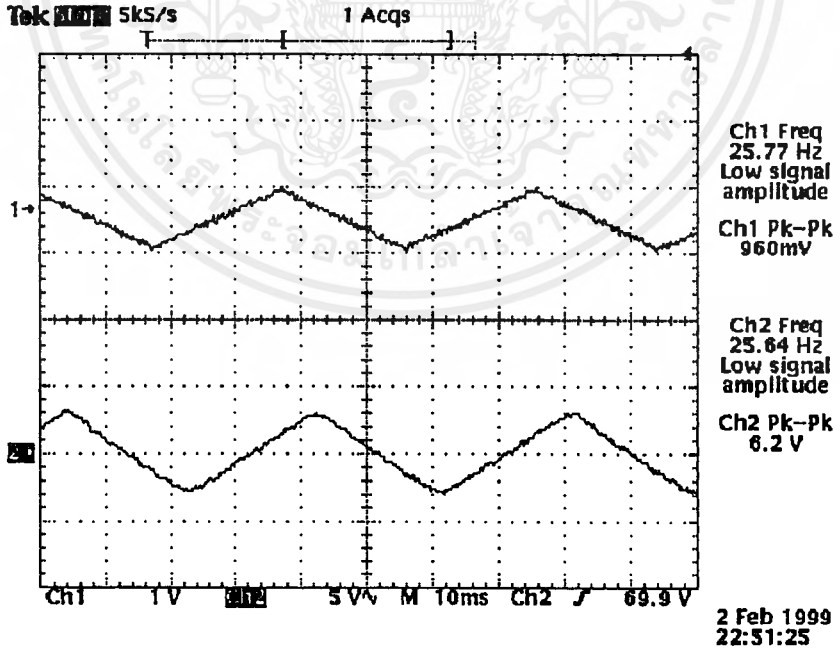
รูปที่ 6.11 สัญญาณซิงค์ที่ผ่านการดีมอดูเลต FSK แล้ว

เมื่อได้สัญญาณข้อมูลอนุกรมและสัญญาณซิงค์แล้วก็จะส่งให้ภาค Time Division DEMUX เพื่อทำการดีมัลติเพล็กซ์แยกสัญญาณของแต่ละช่องออกมา แล้วแปลงจากสัญญาณดิจิตอลกลับมาเป็นสัญญาณอนาล็อกดังเดิม ดังผลการทดลองรูปที่ 6.12 และ 6.13 เป็นการเปรียบเทียบสัญญาณทดสอบที่อินพุทของภาคส่งกับสัญญาณที่เอาพุทสุดท้ายของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

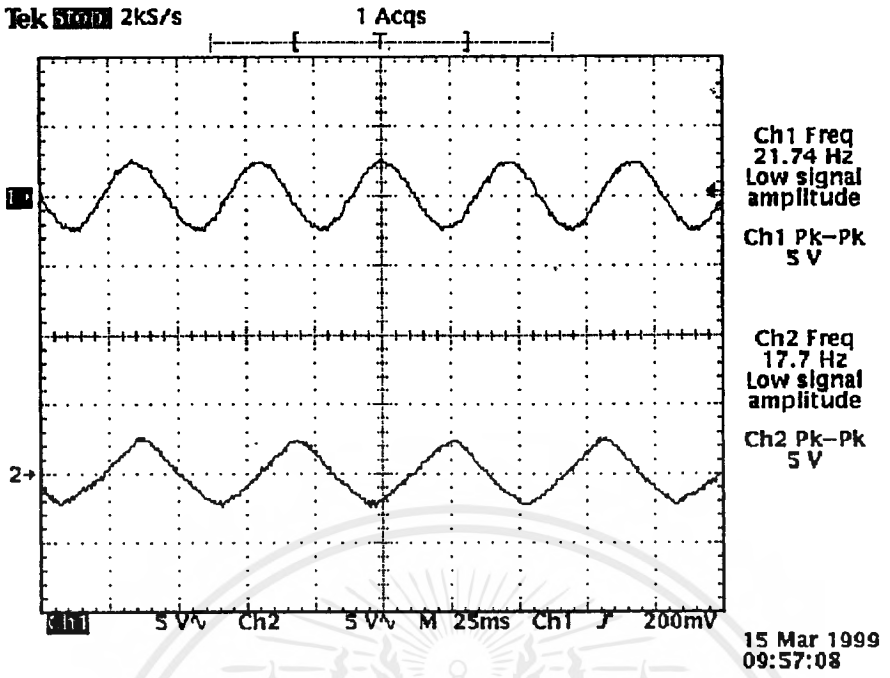


รูปที่ 6.12 เปรียบเทียบสัญญาณทดสอบที่อินพุทของภาคส่งกับสัญญาณที่เอาพุทของภาครับ

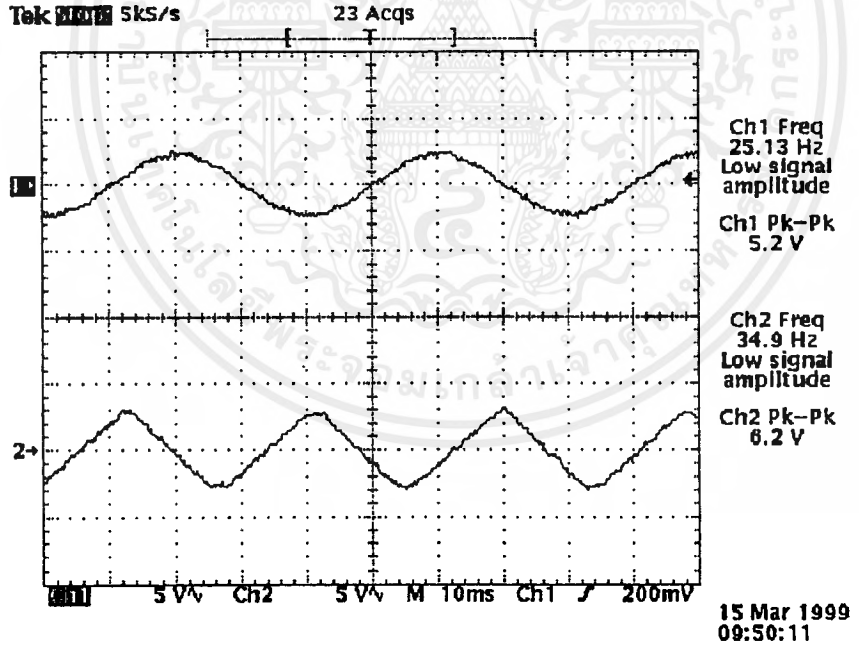


รูปที่ 6.13 เปรียบเทียบสัญญาณทดสอบที่อินพุทของภาคส่งกับสัญญาณที่เอาพุทของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 เอาพุทเมื่อส่ง CH1 และ CH2 พร้อมกัน



รูปที่ 6.15 เอาพุทเมื่อส่ง CH2 และ CH3 พร้อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์

จากการที่ทำโครงงานนี้สำเร็จแล้วทั้งหมดนั้นอันได้แก่ ส่วนของการมัลติเพล็กซ์แบบแบ่งเวลา(TDM) , วงจรมอดูเลต FSK , วงจรมอดูเลต FM , วงจรขยาย FM , วงจรภาครับ FM , วงจรดีมอดูเลต FSK และ วงจรดีมัลติเพล็กส์แบบแบ่งเวลา

จากผลการทดลองที่ได้จะเห็นว่า สามารถรวมสัญญาณและออกอากาศแบบไร้สายได้ โดยที่ภาครับก็สามารถรับสัญญาณและแยกสัญญาณทั้ง 3 ช่องสัญญาณออกมาได้ โดยไม่มีสัญญาณจากช่องอื่นมา

ในการศึกษาและพัฒนาโครงงานนี้ควรที่จะปรับปรุงให้จำนวนช่องสัญญาณมีเพิ่มมากขึ้น , เปลี่ยนจาก FSK Modulate เป็น QPSK หรือ QAM จะทำให้สามารถมอดูเลตได้มากกว่าครั้งละ 1 บิท และในการนำไปใช้งานอาจต้องเปลี่ยนความถี่ของ RF เนื่องจากความถี่ที่ใช้ในที่นี้อยู่ในย่าน 46/49 MHz อาจถูกรบกวนจากโทรศัพท์ไร้สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

โปรแกรมของ AT89C2051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-----------------------------------------
;       CONTROL  MC145162
;        VHF TELEMETRY
;       PLL SYNTHESIZERS
;-----------------------------------------
;          Software by AZA-1
;-----------------------------------------
DIN             EQU   P1.5
CLK             EQU   P1.6
ENB             EQU   P1.7

UP_KEY          EQU   P3.2
DOWN_K          EQU   P3.3

LSB_N           EQU   20H
MSB_N           EQU   21H

DISBUF          EQU   22H
;-----------------------------------------

                ORG           0000H
;-----------------------------------------
; FIRST SEND DATA CONTROL 8 BIT
;     SEND DATA 80H
;-----------------------------------------
FIRST_CON:   MOV          A,#82H
             SETB         ENB
             LCALL        D_OUT
             CLR          ENB
             CLR          CLK
             CLR          DIN
             LCALL        DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-----------------------------------------------
; SECOND SEND DATA CONTROL 32 BIT
;                  R0,R3
;-----------------------------------------------
SECOND_C:   MOV      R0,#04H
            MOV      R3,#00H
            SETB     ENB
SEC1:       MOV      A,R3
            MOV      DPTR,#SEC_BUF
            MOVC     A,@A+DPTR
            LCALL    D_OUT
            INC      R3
            DJNZ     R0,SEC1
            CLR      ENB
            LCALL    DELAY

;-----------------------------------------
; INITIAL FREQUENCY,VALUE OF N
;-----------------------------------------
INITIAL:    MOV      DISBUF,#00H
            MOV      LSB_N,#23H      ; RX use 1B
            MOV      MSB_N,#0E6H     ; RX use 8A
            LCALL    DIV_N
            LCALL    DELAY
;-----------------------------------------
;     CHECK KEY ? UP OR DOWN
;-----------------------------------------
CHK_KEY:    LCALL    DISPLAY
            MOV      P3,#0FFH
            MOV      C,UP_KEY
            JNC      UP_CH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     P3,#0FFH
                MOV     C,DOWN_K
                JNC     DOWN_CH

                LJMP    CHK_KEY
;-----------------------------------------------

;-----------------------------------------------
;   DISPLAY FREQUENCY TO 7 SEGMENT
;-----------------------------------------------
DISPLAY:        MOV     R0,#DISBUF
                MOV     A,@R0
                ANL     A,#00001111B
                MOV     P1,A
                LCALL   DELAY
                RET

;-----------------------------------------------
UP_CH:          MOV     R1,#DISBUF
                CJNE    @R1,#09H,UP_500K
                AJMP    EX_UP

UP_500K:        MOV     R0,#DISBUF
                MOV     A,@R0
                ADD     A,#01H
                DA      A
                MOV     @R0,A

                LCALL   INC_N_500K
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
EX_UP:      LCALL     DISPLAY
            MOV       P3,#0FFH
            MOV       C,UP_KEY
            JNC       EX_UP
            LJMP      CHK_KEY

;-------------------------------------------------
DOWN_CH:    MOV       R1,#DISBUF
            CJNE      @R1,#00H,DOWN_500K
            AJMP      EX_DOWN

DOWN_500K:  MOV       A,DISBUF
            CLR       CY
            SUBB      A,#01H
            LCALL     DECIMAL
            MOV       DISBUF,A

            LCALL     DEC_N_500K

EX_DOWN:    LCALL     DISPLAY
            MOV       P3,#0FFH
            MOV       C,DOWN_K
            JNC       EX_DOWN

            LJMP      CHK_KEY

;-------------------------------------------------
INC_N_500K: CLR       CY
            MOV       A,MSB_N
            ADD       A,#64H
            MOV       MSB_N,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV         A,LSB_N
                ADDC        A,#00H
                MOV         LSB_N,A
                LCALL       DIV_N
                RET

;-----------------------------------------------
DEC_N_500K:     CLR         CY
                MOV         A,MSB_N
                SUBB        A,#64H
                MOV         MSB_N,A

                MOV         A,LSB_N
                SUBB        A,#00H
                MOV         LSB_N,A

                LCALL       DIV_N

                RET

;-----------------------------------------------
;               DIVIDE BY N
;-----------------------------------------------
DIV_N:          CLR         ENB
                MOV         A,LSB_N
                LCALL       D_OUT
                MOV         A,MSB_N
                LCALL       D_OUT
                MOV         A,#00H
                LCALL       D_OUT
                MOV     A,#00H
                LCALL   D_OUT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CLR     CLK
        CLR     DIN
        SETB    ENB
        LCALL   DELAY
        CLR     ENB
        LCALL   DELAY
        RET

;-----------------------------------------
; DATA SERIAL & CLK TO MC145162
;-----------------------------------------
D_OUT:  MOV     R2,#08H
        CLR     CY
D_OUT1: RLC     A
        MOV     DIN,C
        CLR     CLK
        LCALL   DELAY
        SETB    CLK
        LCALL   DELAY
        DJNZ    R2,D_OUT1
        RET
;-----------------------------------------
;       ADJUST DECIMAL
;-----------------------------------------
DECIMAL: CLR    PSW.6
         ADD    A,#06H
         JNB    PSW.6,EX_DE   ;PSW.6=AUX CY
         CLR    CY
         SUBB   A,#06H
EX_DE:   CLR    CY
         SUBB   A,#06H
         RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-----------------------------------------
; DELAY FOR SEND DATA TO 162
;-----------------------------------------
DELAY:      MOV         R6,#0FH
DEL1:       MOV         R7,#0FH
            DJNZ        R7,$
            DJNZ        R6,DEL1
            RET

;-----------------------------------------
;           TABLE DATA
;-----------------------------------------
SEC_BUF:    DB          38H,00H,40H,00H
            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

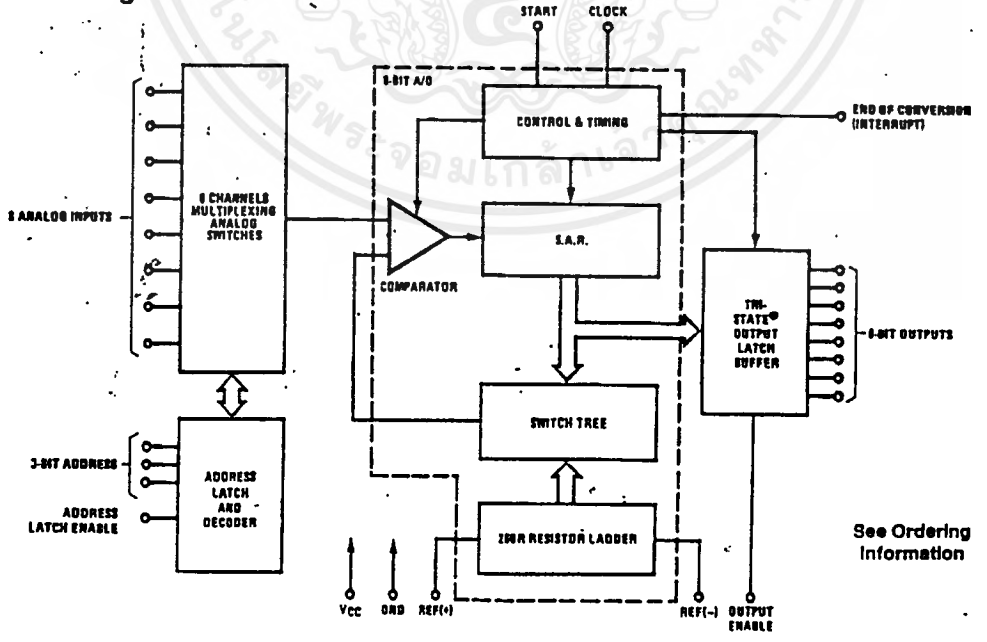
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 μs

Block Diagram



TL/H/5672–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

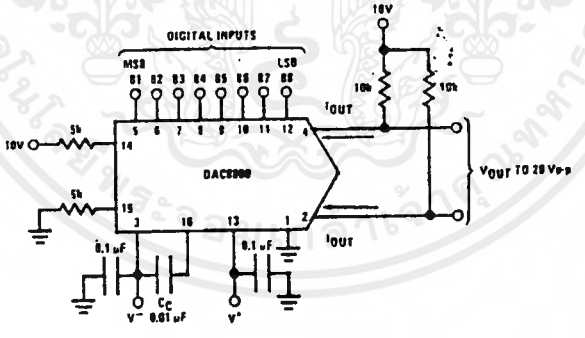
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

TL431, A, B Series

Programmable Precision References

PROGRAMMABLE
PRECISION REFERENCES

SEMICONDUCTOR
TECHNICAL DATA

The TL431, A, B integrated circuits are three–terminal programmable shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient zener which is programmable from V_{ref} to 36 V with two external resistors. These devices exhibit a wide operating current range of 1.0 mA to 100 mA with a typical dynamic impedance of 0.22 Ω. The characteristics of these references make them excellent replacements for zener diodes in many applications such as digital voltmeters, power supplies, and op amp circuitry. The 2.5 V reference makes it convenient to obtain a stable reference from 5.0 V logic supplies, and since the TL431, A, B operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

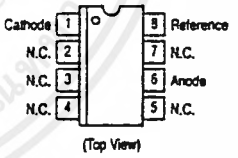
- Programmable Output Voltage to 36 V
- Voltage Reference Tolerance: ±0.4%, Typ @ 25°C (TL431B)
- Low Dynamic Output Impedance, 0.22 Ω Typical
- Sink Current Capability of 1.0 mA to 100 mA
- Equivalent Full–Range Temperature Coefficient of 50 ppm/°C Typical
- Temperature Compensated for Operation over Full Rated Operating Temperature Range
- Low Output Noise Voltage

Z, LP SUFFIX
PLASTIC PACKAGE
CASE 29
(TO–92)

Pin 1. Reference
2. Anode
3. Cathode

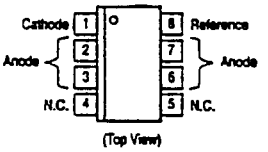
P SUFFIX
PLASTIC PACKAGE
CASE 626

DM SUFFIX
PLASTIC PACKAGE
CASE 846A
(Micro–8)



(Top View)

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SOP–8)



(Top View)

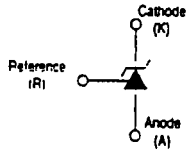
SOP–8 is an internally modified SO–8 package. Pins 2, 3, 6 and 7 are electrically common to the die attach flag. This internal lead frame modification decreases power dissipation capability when appropriately mounted on a printed circuit board. SOP–8 conforms to all external dimensions of the standard SO–8 package.

ORDERING INFORMATION

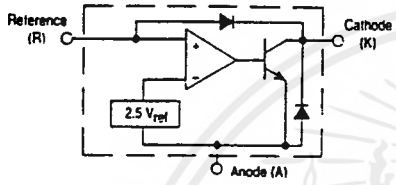
Device	Operating Temperature Range	Package
TL431CLP, ACLP, BCLP	T_A = 0° to +70°C	TO–92
TL431CP, ACP, BCP		Plastic
TL431CDM, ACDM, BCDM		Micro–8
TL431CD, ACD, BCD		SOP–8
TL431ILP, AILP, BILP	T_A = –40° to +85°C	TO–92
TL431IP, AIP, BIP		Plastic
TL431IDM, AIDM, BIDM		Micro–8
TL431ID, AID, BID		SOP–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

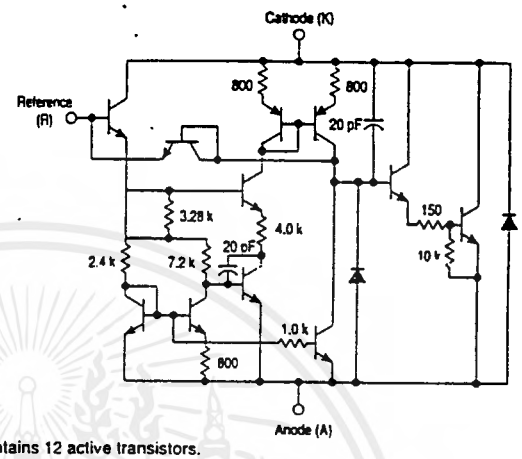
Symbol



Representative Block Diagram



Representative Schematic Diagram
Component values are nominal



This device contains 12 active transistors.

MAXIMUM RATINGS (Full operating ambient temperature range applies, unless otherwise noted.)

Rating	Symbol	Value	Unit
Cathode to Anode Voltage	V_{KA}	37	V
Cathode Current Range, Continuous	I_K	−100 to +150	mA
Reference Input Current Range, Continuous	I_{ref}	−0.05 to +10	mA
Operating Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range TL431I, TL431AI, TL431BI TL431C, TL431AC, TL431BC	T_A	 −40 to +85 0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
Total Power Dissipation @ T_A = 25°C Derate above 25°C Ambient Temperature D, LP Suffix Plastic Package P Suffix Plastic Package DM Suffix Plastic Package	P_D	 0.70 1.10 0.52	W
Total Power Dissipation @ T_C = 25°C Derate above 25°C Case Temperature D, LP Suffix Plastic Package P Suffix Plastic Package	P_D	 1.5 3.0	W

NOTE: ESD data available upon request.

RECOMMENDED OPERATING CONDITIONS

Condition	Symbol	Min	Max	Unit
Cathode to Anode Voltage	V_{KA}	V_{ref}	36	V
Cathode Current	I_K	1.0	100	mA

THERMAL CHARACTERISTICS

Characteristic	Symbol	D, LP Suffix Package	P Suffix Package	DM Suffix Package	Unit
Thermal Resistance, Junction–to–Ambient	$R_{\theta JA}$	178	114	240	°C/W
Thermal Resistance, Junction–to–Case	$R_{\theta JC}$	83	41	–	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

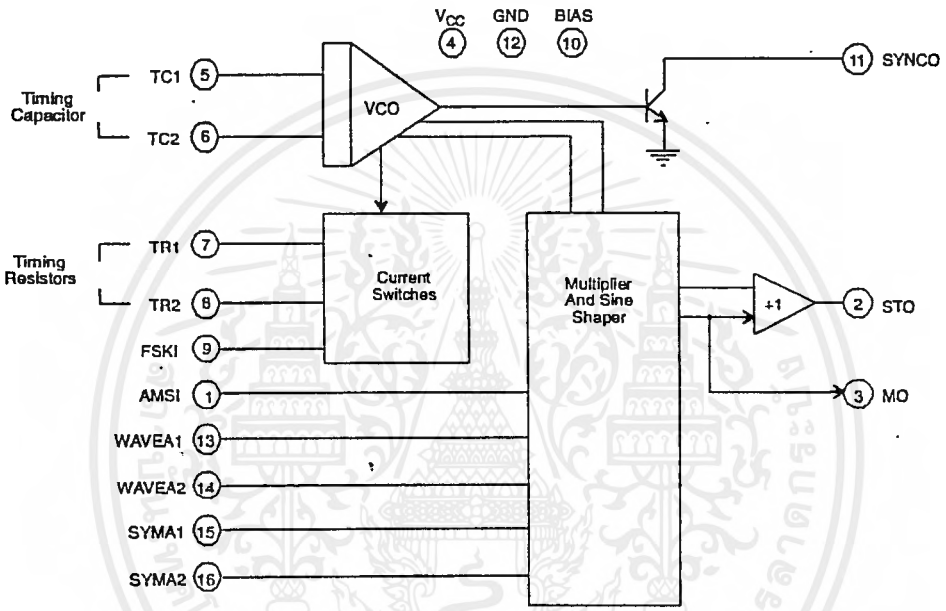


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

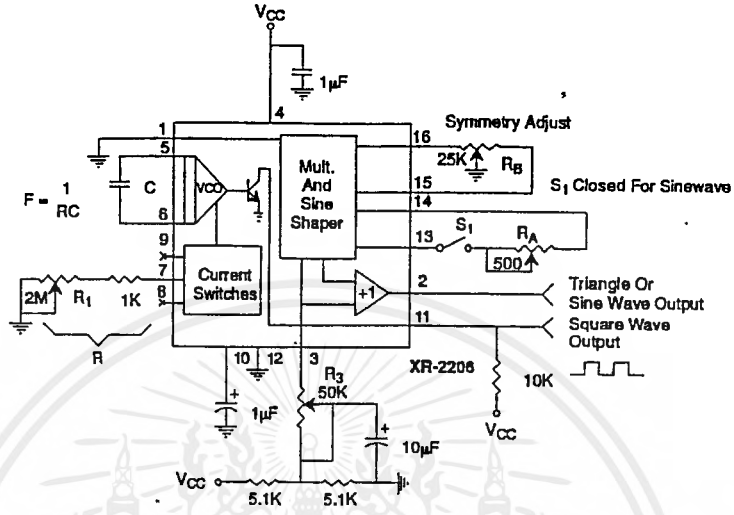


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

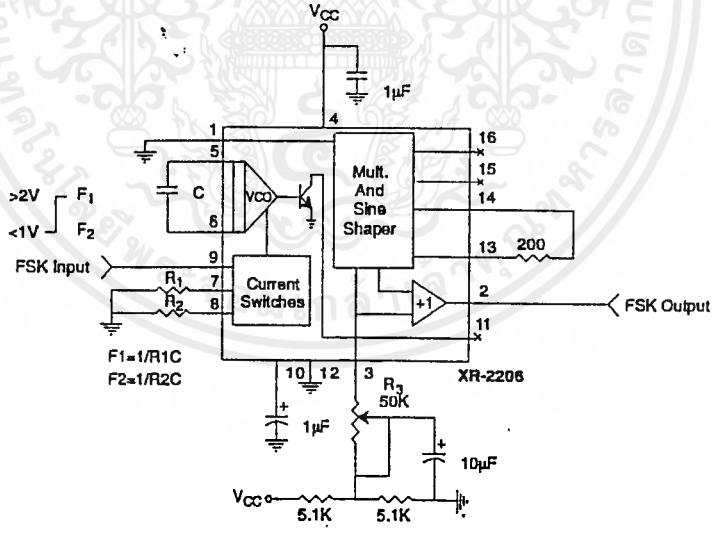


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2211

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

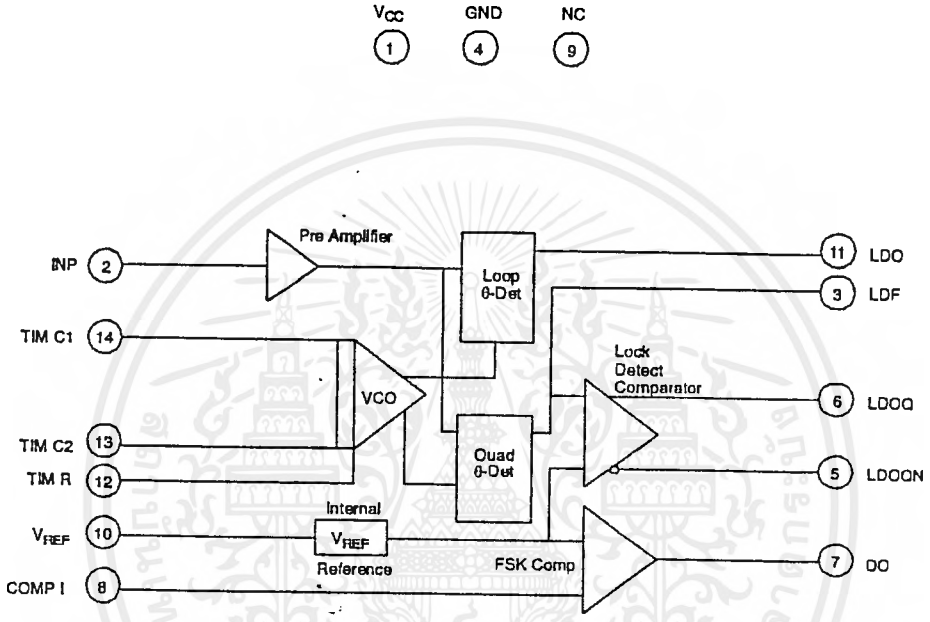


Figure 1. XR-2211 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

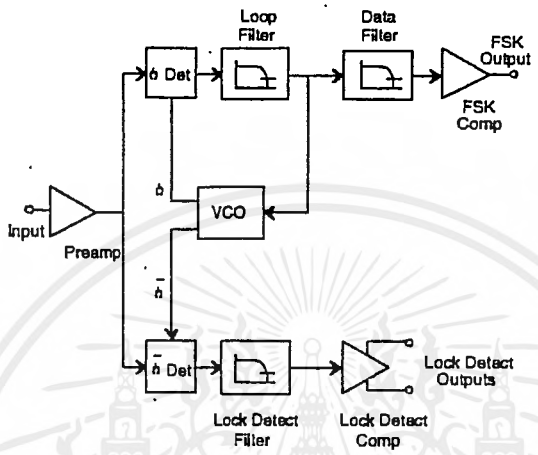


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

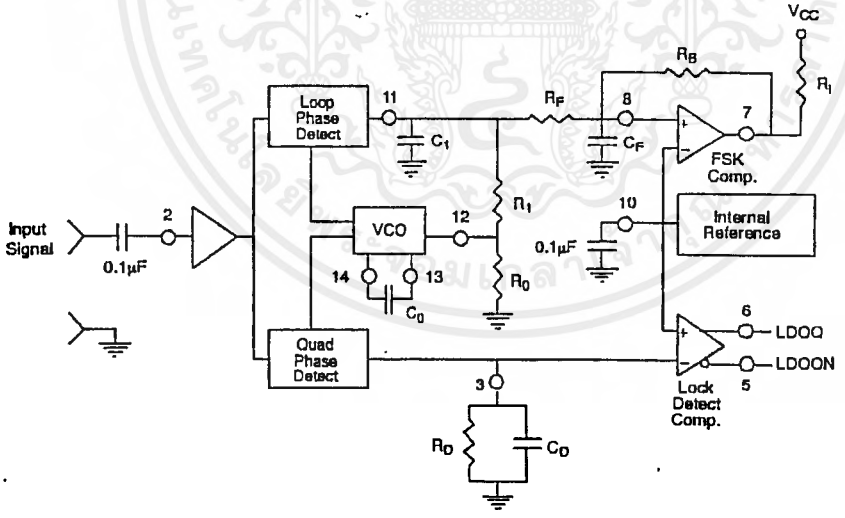


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC13135
MC13136

FM Communications Receivers

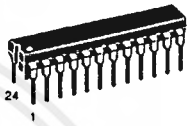
DUAL CONVERSION
NARROWBAND
FM RECEIVERS

The MC13135/MC13136 are the second generation of single chip, dual conversion FM communications receivers developed by Motorola. Major improvements in signal handling, RSSI and first oscillator operation have been made. In addition, recovered audio distortion and audio drive have improved. Using Motorola's MOSAIC™ 1.5 process, these receivers offer low noise, high gain and stability over a wide operating voltage range.

Both the MC13135 and MC13136 include a Colpitts oscillator, VCO tuning diode, low noise first and second mixer and LO, high gain limiting IF, and RSSI. The MC13135 is designed for use with an LC quadrature detector and has an uncommitted op amp that can be used either for an RSSI buffer or as a data comparator. The MC13136 can be used with either a ceramic discriminator or an LC quad coil and the op amp is internally connected for a voltage buffered RSSI output.

These devices can be used as stand-alone VHF receivers or as the lower IF of a triple conversion system. Applications include cordless telephones, short range data links, walkie-talkies, low cost land mobile, amateur radio receivers, baby monitors and scanners.

- Complete Dual Conversion FM Receiver – Antenna to Audio Output
- Input Frequency Range – 200 MHz
- Voltage Buffered RSSI with 70 dB of Usable Range
- Low Voltage Operation – 2.0 to 6.0 Vdc (2 Cell NiCad Supply)
- Low Current Drain – 3.5 mA Typ
- Low Impedance Audio Output < 25 Ω
- VHF Colpitts First LO for Crystal or VCO Operation
- Isolated Tuning Diode
- Buffered First LO Output to Drive CMOS PLL Synthesizer



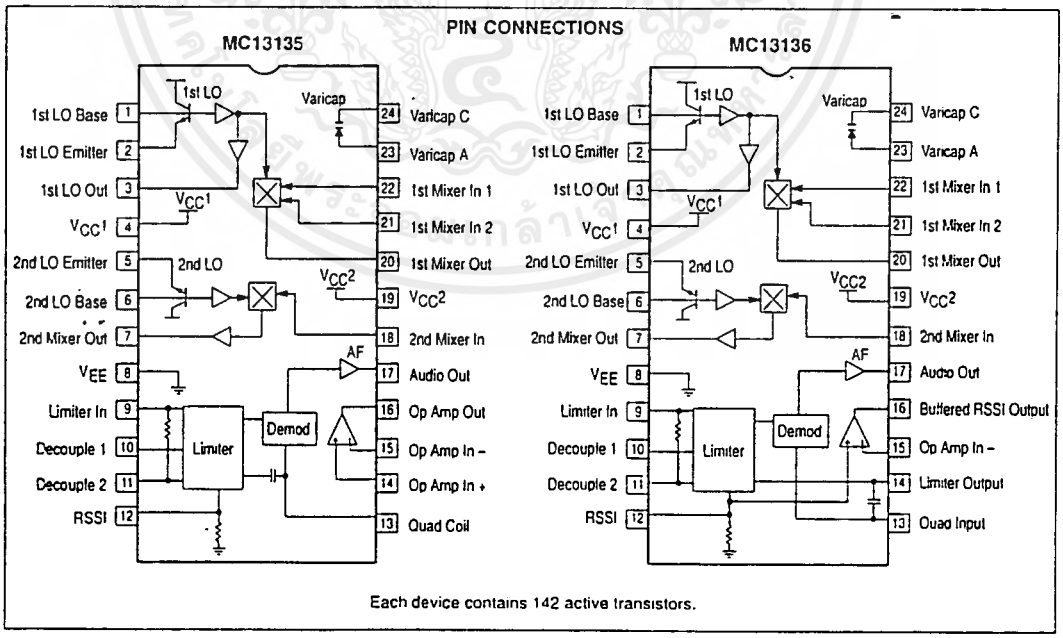
P SUFFIX
PLASTIC PACKAGE
CASE 724

DW SUFFIX
PLASTIC PACKAGE
CASE 751E
(SO-24L)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC13135P	T_A = – 40° to +85°C	Plastic DIP
MC13135DW		SO-24L
MC13136P		Plastic DIP
MC13136DW		SO-24L

PIN CONNECTIONS



Each device contains 142 active transistors.

© Motorola, Inc. 1995 Rev 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC} (max)	6.5	Vdc
RF Input Voltage	22	RF_{in}	1.0	Vrms
Junction Temperature	–	T_J	+150	°C
Storage Temperature Range	–	T_{stg}	– 65 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC}	2.0 to 6.0	Vdc
Maximum 1st IF	–	f_{IF1}	21	MHz
Maximum 2nd IF	–	f_{IF2}	3.0	MHz
Ambient Temperature Range	–	T_A	– 40 to + 85	°C

ELECTRICAL CHARACTERISTICS (T_A=25°C, V_{CC}=4.0 Vdc, f_o=49.7 MHz, f_{MOD}=1.0 kHz, Deviation=±3.0 kHz, f_{1stLO}=39 MHz, f_{2nd} LO = 10.245 MHz, IF1 = 10.7 MHz, IF2 = 455 kHz, unless otherwise noted. All measurements performed in the test circuit of Figure 1.)

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Total Drain Current	No Input Signal	I_{CC}	–	4.0	6.0	mAdc
Sensitivity (Input for 12 dB SINAD)	Matched Input	V_{SIN}	–	1.0	–	µVrms
Recovered Audio MC13135 MC13136	V_{RF} = 1.0 mV	AF_O	 170 215	 220 265	 300 365	mVrms
Limiter Output Level (Pin 14, MC13136)		V_{LIM}	–	130	–	mVrms
1st Mixer Conversion Gain	V_{RF} = – 40 dBm	MX_{gain1}	–	12	–	dB
2nd Mixer Conversion Gain	V_{RF} = – 40 dBm	MX_{gain2}	–	13	–	dB
First LO Buffered Output	–	V_{LO}	–	100	–	mVrms
Total Harmonic Distortion	V_{RF} = – 30 dBm	THD	–	1.2	3.0	%
Demodulator Bandwidth	–	BW	–	50	–	kHz
RSSI Dynamic Range	–	RSSI	–	70	–	dB
First Mixer 3rd Order Intercept (Input)	 Matched Unmatched	TOI_{Mix1}	 – –	 –17 –11	 – –	dBm
Second Mixer 3rd Order Intercept (RF Input)	Matched Input	TOI_{Mix2}	–	– 27	–	dBm
First LO Buffer Output Resistance	–	R_{LO}	–	–	–	Ω
First Mixer Parallel Input Resistance	–	R	–	722	–	Ω
First Mixer Parallel Input Capacitance	–	C	–	3.3	–	pF
First Mixer Output Impedance	–	ZO	–	330	–	Ω
Second Mixer Input Impedance	–	Z_I	–	40	–	kΩ
Second Mixer Output Impedance	–	ZO	–	1.8	–	kΩ
Detector Output Impedance	–	ZO	–	25	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUIT INFORMATION

Although the MC13136 can be operated with a ceramic discriminator, the recovered audio measurements for both the MC13135 and MC13136 are made with an LC quadrature detector. The typical recovered audio will depend on the external circuit; either the Q of the quad coil, or the RC matching network for the ceramic discriminator. On the MC13136, an external capacitor between Pins 13 and 14 can be used with a quad coil for slightly higher recovered audio. See Figures 10 through 13 for additional information.

Since adding a matching circuit to the RF input increases the signal level to the mixer, the third order intercept (TOI) point is better with an unmatched input (50 Ω from Pin 21 to Pin 22). Typical values for both have been included in the Electrical Characterization Table. TOI measurements were taken at the pins with a high impedance probe/spectrum analyzer system. The first mixer input impedance was measured at the pin with a network analyzer.

2

Figure 1a. MC13135 Test Circuit

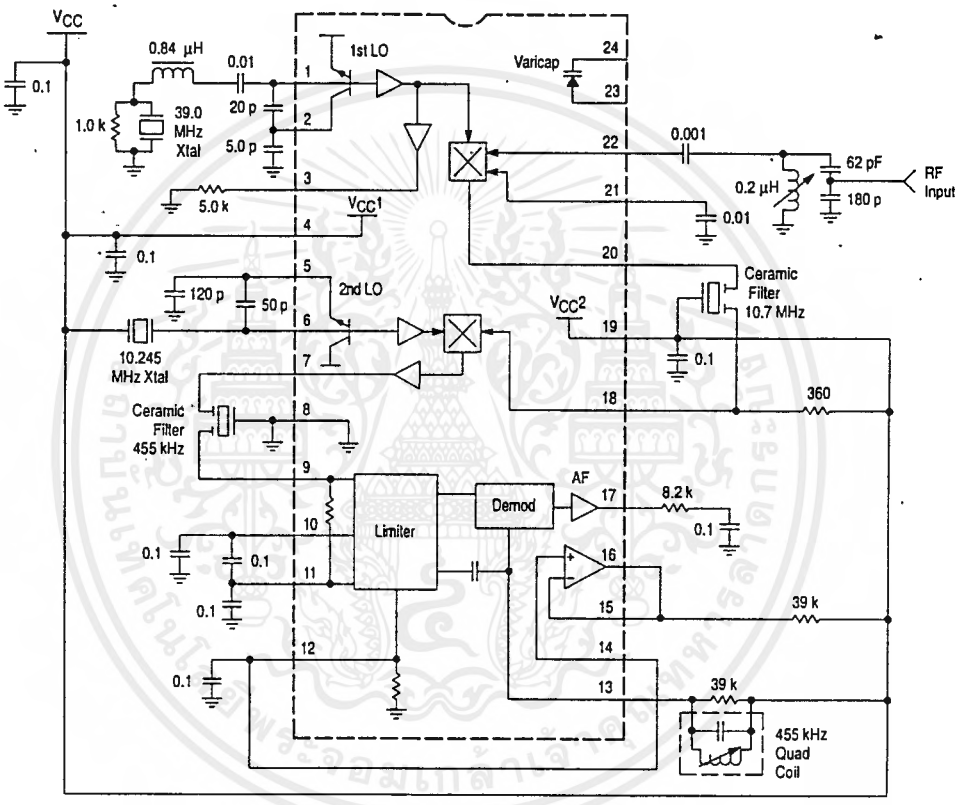
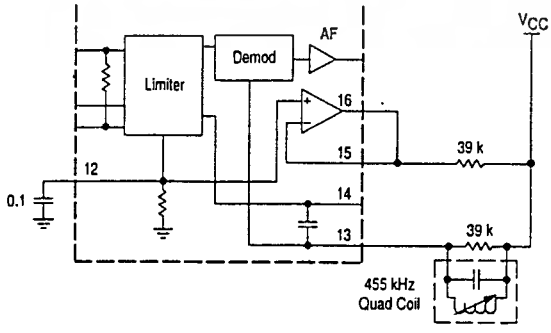


Figure 1b. MC13136 Quad Detector Test Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3356

Advance Information

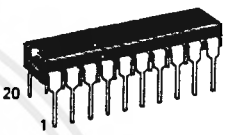
WIDEBAND FSK RECEIVER

... includes Oscillator, Mixer, Limiting IF Amplifier, Quadrature Detector, Audio Buffer, Squelch, Meter Drive, Squelch Status output, and Data Shaper comparator. The MC3356 is designed for use in digital data communications equipment.

- Data Rates up to 500 kilobaud
- Excellent Sensitivity: −3 dB Limiting Sensitivity
  30 μVrms @ 100 MHz
- Highly versatile, full-function device, yet few external parts are required

WIDEBAND FSK RECEIVER

MONOLITHIC SILICON INTEGRATED CIRCUIT



P SUFFIX
PLASTIC PACKAGE
CASE 738

FIGURE 1 — FUNCTIONAL BLOCK DIAGRAM

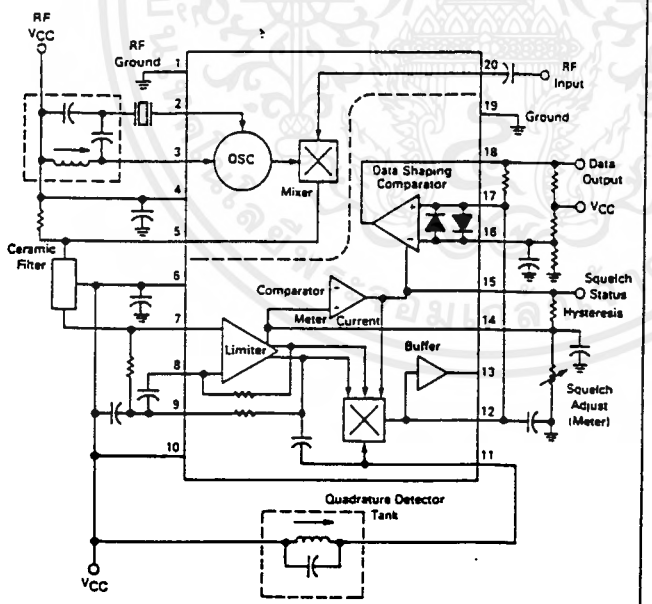
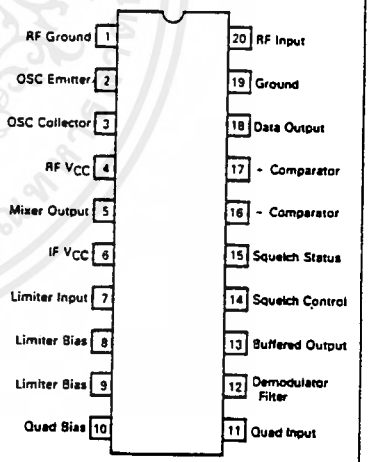


FIGURE 2 — PIN CONNECTIONS



This is advance information on a new introduction and specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

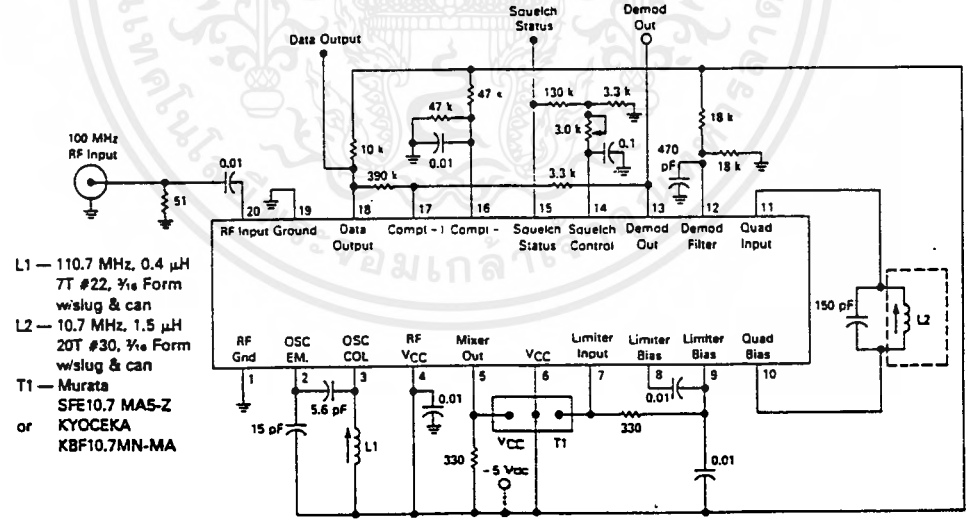
Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC(max)}$	15	Vdc
Operating Power Supply Voltage Range (Pins 6, 10)	V_{CC}	3.0 to 9.0	Vdc
Operating R.F. Supply Voltage Range (Pin 4)	R.F. V_{CC}	3.0 to 12.0	Vdc
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range	T_A	−40 to +75	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
Power Dissipation, Package Rating	P_D	1.25	W

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc, f_o = 100 MHz, f_{osc} = 110.7 MHz, Δf = ±75 kHz, f_{mod} = 1.0 kHz, 50 Ω source, T_A = 25°C, test circuit of Figure 3, unless otherwise noted.)

Characteristics	Min	Typ	Max	Unit
Drain Current Total, RF V_{CC} and V_{CC}	—	20	25	mAdc
Input for −3 dB limiting	—	30	—	μVrms
Input for 50 dB quieting $\left(\frac{S+N}{N}\right)$	—	60	—	μVrms
Mixer Voltage Gain, Pin 20 to Pin 5	—	2.0	3.0	
Mixer Input Resistance, 100 MHz	—	260	—	Ω
Mixer Input Capacitance, 100 MHz	—	5.0	—	pF
Mixer.Oscillator Frequency Range (Note 1)	—	—	200	MHz
IF/Quadrature Detector Frequency Range (Note 1)	0.2	—	50	MHz
AM Rejection (30% AM, RF V_{in} = 1.0 mVrms)	—	50	—	dB
Demodulator Output, Pin 13	—	0.5	—	Vrms
Meter Drive	—	7.0	—	μA/dB
Squelch Threshold	—	0.8	—	Vdc

Note 1: Not taken in Test Circuit of Figure 3; new component values required.

FIGURE 3 — TEST CIRCUIT



L1 — 110.7 MHz, 0.4 μH
7T #22, ⅛ Form
w/slug & can

L2 — 10.7 MHz, 1.5 μH
20T #30, ⅛ Form
w/slug & can

T1 — Murata
SFE10.7 MA5-Z
or KYOCEKA
KBF10.7MN-MA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145162
MC145162-1

Advance Information

60 MHz and 85 MHz Universal Programmable Dual PLL Frequency Synthesizers

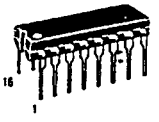
CMOS

The MC145162 is a dual phase–locked loop (PLL) frequency synthesizer especially designed for CT–1 cordless phone applications worldwide. This frequency synthesizer is also for any product with a frequency operation at 60 MHz or below.

The MC145162–1 is a high frequency derivative of the MC145162, for products with operating frequencies of 85 MHz or below.

The device features fully programmable receive, transmit, reference, and auxiliary reference counters accessed through an MCU serial interface. This feature allows this device to operate in any CT–1 cordless phone application. The device consists of two independent phase detectors for transmit and receive loops. A common reference oscillator, driving two independent reference frequency counters, provides independent reference frequencies for transmit and receive loops. The auxiliary reference counter allows the user to select an additional reference frequency for receive and transmit loops if required.

- Operating Voltage Range: 2.5 to 5.5 V
- Operating Temperature Range: – 40 to + 75°C
- Operating Power Consumption: 3.0 mA @ 2.5 V
- Maximum Operating Frequency:
  MC145162 — 60 MHz @ 200 mV p–p, V_{DD} = 2.5 V
  MC145162–1 — 85 MHz @ 250 mV p–p, V_{DD} = 2.5 V
- Three or Four Pins Used for Serial MCU Interface
- Built–In MCU Clock Output with Frequency of Reference Oscillator ÷ 3/÷ 4
- Power Saving Mode Controlled by MCU
- Lock Detect Signal
- On–Chip Reference Oscillator Supports External Crystals to 16.0 MHz
- Reference Frequency Counter Division Range: 16 to 4095
- Auxiliary Reference Frequency Counter Division Range: 16 to 16,383
- Transmit Counter Division Range: 16 to 65,535
- Receive Counter Division Range: 16 to 65,535



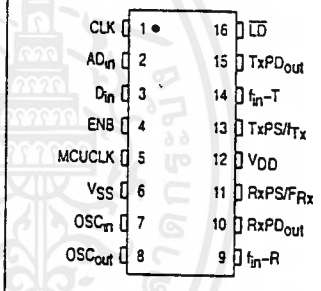
P SUFFIX
PLASTIC DIP
CASE 648

D SUFFIX
SOG PACKAGE
CASE 751B

ORDERING INFORMATION

MC145162P	Plastic DIP
MC145162D	SOG Package
MC145162P1	Plastic DIP
MC145162D1	SOG Package

PIN ASSIGNMENT

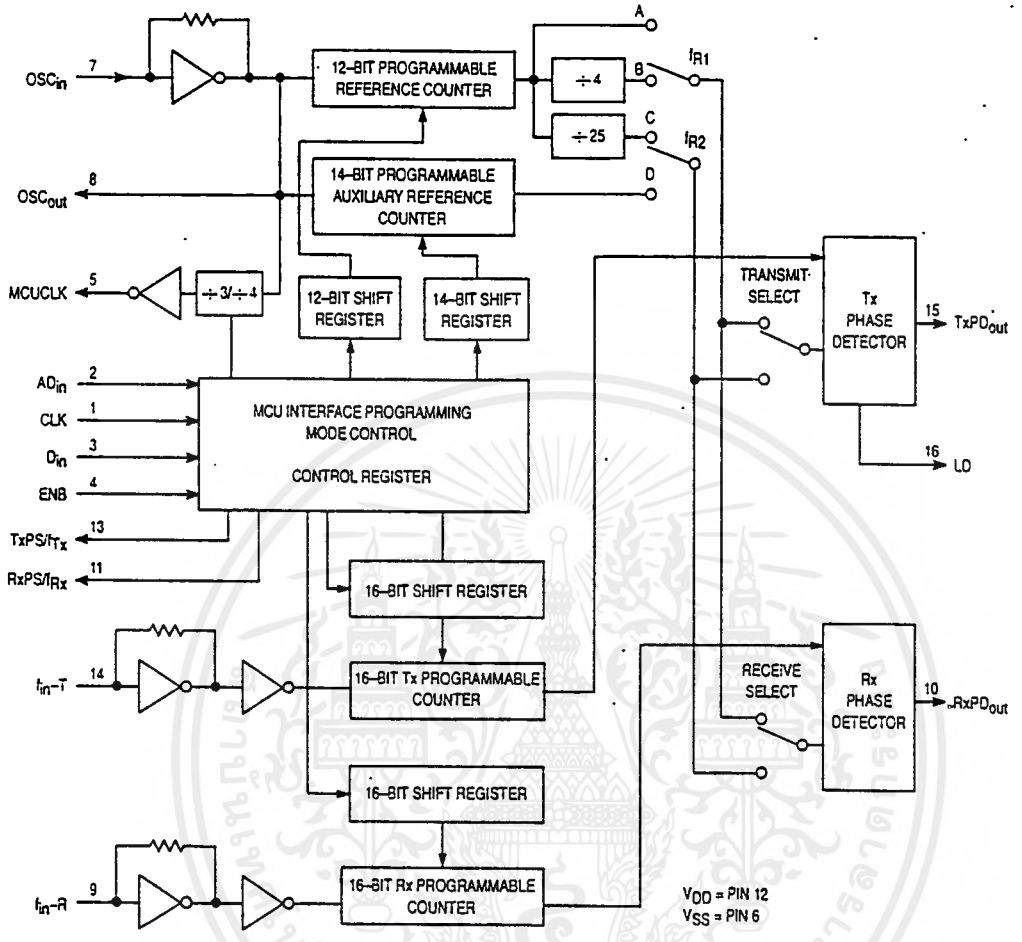


This document contains information on a new product. Specifications and information herein are subject to change without notice.

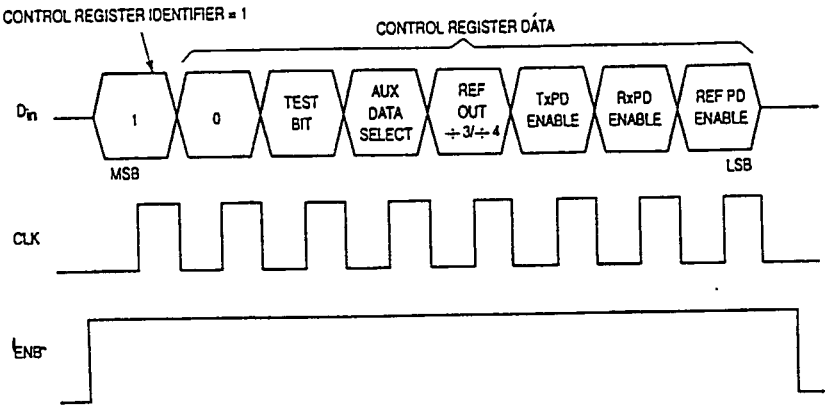
REV 2
8/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 8. Programming Format of the Control Register

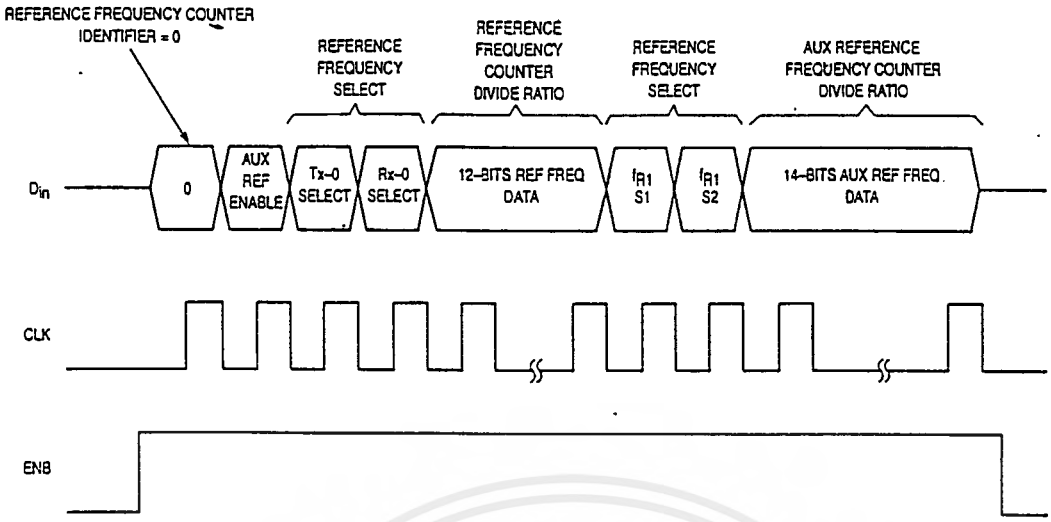
Table 1. Control Register Function Bits Description

Test Bit	Set to 1 for Tx/Rx channel counter test mode Set to 0 for normal application
Aux Data Select	Set to 1 for both AD_{in} and D_{in} pins inputting the transmit 16–bits data and receive 16–bits data respectively. Set to 0 for normal application interfacing with MCU serial peripheral interface. Does not use AD_{in} pin; tie AD_{in} to V_{SS}.
$REF_{out} \div 3/\div 4$	If set to 1, REF_{out} output frequency is equal to $OSC_{out} \div 3$. If set to 0, REF_{out} output is $OSC_{out} \div 4$.
TxPD Enable	If set to 1, the transmit counter, transmit phase detector, and the associated circuitry is in power–down mode. Tx PS/f_{Tx} is set "High".
RxPD Enable	If set to 1, the receive counter, receive phase detector, and the associated circuitry is in power–down mode. Rx PS/f_{Rx} is set "High".
Ref PD Enable	If set to 1, both 12–bit and 14–bit reference frequency counters are in power–down mode.

Table 2. Control Register Power Down Bits Function

TxPD Enable	RxPD Enable	REF PD Enable	Tx–Channel Counter	Rx–Channel Counter	Reference Frequency Counter
0	0	0	—	—	—
0	0	1	—	—	Power Down
0	1	0	—	Power Down	—
0	1	1	—	Power Down	Power Down
1	0	0	Power Down	—	—
1	0	1	Power Down	—	Power Down
1	1	0	Power Down	Power Down	—
1	1	1	Power Down	Power Down	Power Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 9. Programming Format of the Auxiliary/Reference Frequency Counters

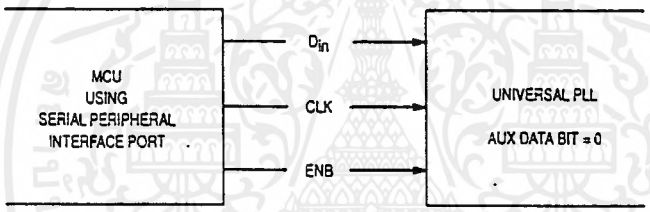


Figure 10. MCU Interface Using SPI

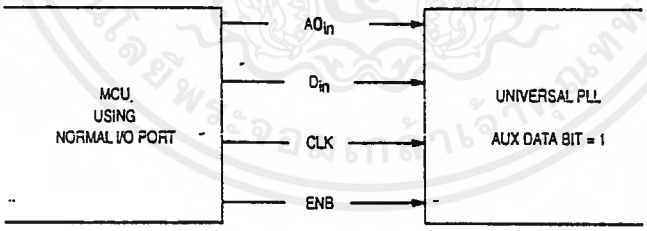


Figure 11. MCU Interface Using Normal I/O Ports with Both D_{in} and AD_{in} for Faster Programming Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 2K Bytes of Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes

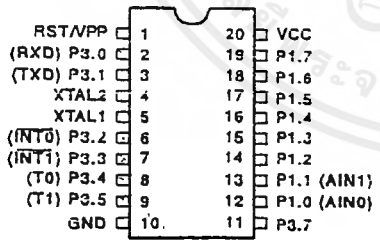
Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2K Bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C2051 provides the following standard features: 2K Bytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration

PDIP/SOIC



8-Bit Microcontroller with 2K Bytes Flash

AT89C2051

0358D-8-12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สุชาติ กังวารจิตร์ เครื่องส่งวิทยุและระบบวิทยุสื่อสาร บ.ซีเอ็ดยูเคชั่น จำกัด หน้า 179-199 2536

2. สุเชตน์ จันทรังษ์ ไมโครคอนโทลเลอร์ชิพเดี่ยว 8051 โครงการตำราวิทยาลัยมหานคร

3. Vadim Manassewitsch , Frequncy Synthesizers : Theory and Design , JOHNWILEY & SONS , 1987

4. Willis J. Tompkins , Biomedical Digital Signal Processing , Prentice-Hall International , 1993

5. James K.Hardy , High Frequency Circuit Design , Reston publishing company Inc , 1979

6. James A. Crawford , Frequncy Synthesizer Dezign Handbook , Artech House , Inc , 1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้