สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

เครื่องวัดความเร็วมอเตอร์

SPEED RECORDER

โดย

นายเกรียงศักดิ์ โปปัญจมะกุล

นายวรชาติ แซ่ก๊ก

นายอรรถพล เทนไธสง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 34131
วัน, เดือน, ปี 6 ต.ค. 2542

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดความเร็วมอเตอร์
SPEED RECORDER

โดย

นายเกรียงศักดิ์ โปปัญจมะกุล
นายวรชาติ แซ่ก๊ก
นายอรรถพล เทนไธสง

อาจารย์ที่ปรึกษา

ผศ.พิชิต ลำยอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดความเร็วมอเตอร์

ผู้จัดทำ

1.นาย เกรียงศักดิ์ โปปัญจมะกุล

2.นาย วรชาติ แซ่ก๊ก

3.นาย อรรถพล เทนไธสง

.....อาจารย์ที่ปรึกษา

(ผศ. พิชิต ลำยอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	III
สารบัญตาราง	IV
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการที่ใช้ในการออกแบบ เครื่องวัดความเร็วมอเตอร์	2
2.1 หลักการทำงานของเครื่องวัดความเร็วมอเตอร์	4
2.2 อินคริเมนทอลเอนโคดเดอร์ (Increment Encoder)	5
2.3 ไมโครคอนโทรลเลอร์ MCS 51	10
2.4 การเชื่อมโยง 8255 กับ MCS51	20
2.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	30
2.6 การรับส่งข้อมูลแบบอนุกรม (serial)	32
2.7 ซีมอสเฟสล็อคลูป	36
บทที่ 3 วงจรและหลักการทำงานของ Speed Recorder	40
3.1 ภาพโดยรวมของวงจรเครื่องวัดความเร็วมอเตอร์	40
3.2 การทำงานของเครื่องวัดความเร็วมอเตอร์	41
3.2.1 ส่วนของวงจรหารความถี่และปรับปรุงความละเอียดของเอนโคดเดอร์	41
3.2.2 ส่วนของวงจรนับสำหรับนับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องของมอเตอร์ และวงจรบอกทิศทางการหมุนของมอเตอร์	42
3.2.3 ส่วนประมวลผลและเก็บข้อมูล	45
3.2.4 ส่วนแสดงผล	49
3.3 การติดต่อกับคอมพิวเตอร์	50
3.4 การทำงานของส่วนคอมพิวเตอร์	51
3.4.1 ช่วงการส่งข้อมูลความละเอียดของเอนโคดเดอร์แก่เครื่องวัดความเร็วมอเตอร์	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.4.2 ช่วงการรับข้อมูลจากเครื่องวัดความเร็วมอเตอร์ 51

3.4.3 การเก็บข้อมูล 52

บทที่ 4 การใช้งานเครื่องวัดความเร็วมอเตอร์ 53

สัญญาณในส่วนต่างๆ ของอุปกรณ์ 55

บทที่ 5 สรุปผลและวิจารณ์ 59

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดความเร็วมอเตอร์

นาย เกรียงศักดิ์ โปปัญจมะกุล
นาย วรชาติ แซ่ก๊ก
นาย อรรถพล เทนไธสง
ผศ.พิชิต ลำยอง อาจารย์ที่ปรึกษา
ปีการศึกษา 2541

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ เรียบเรียงขึ้นจากผลงานที่ได้รับการพัฒนาขึ้นเป็นเครื่องวัดความเร็วมอเตอร์ ในช่วงเริ่มเดินเครื่องมอเตอร์และในช่วงสภาวะอยู่ตัว ซึ่งการวัดความเร็วในช่วงเริ่มต้นเดินเครื่องมอเตอร์อาศัยวงจรนับภายนอกไมโครคอนโทรลเลอร์ โดยอาศัยวิธีการนำจำนวนพัลซ์จากออสซิลเลเตอร์กับพัลซ์จากเอนโคดเดอร์มาผ่านแอนด์เกทแล้วนำเอาท์พุทที่ได้เข้าวงจรนับซึ่งผลที่ได้จากวงจรนับจะเป็นจำนวนพัลซ์ของออสซิลเลเตอร์ในช่วงที่พัลซ์สถานะสูงของเอนโคดเดอร์ ส่วนการวัดความเร็วรอบในช่วงสภาวะอยู่ตัวนั้นอาศัยการนำพัลซ์จากเอนโคดเดอร์เข้าสู่วงจรนับภายในไมโครคอนโทรลเลอร์โดยตรง และทำการนับสัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงเวลาที่กำหนด และคำนวณออกมาเป็นความเร็วรอบของมอเตอร์ในหน่วย รอบ / นาที

ส่วนในช่วงเริ่มเดินเครื่องมอเตอร์อาศัยการอินเตอร์รัพท์จากวงจรนับแล้วรับค่าจากวงจรนับเข้ามาทางพอร์ทของไมโครคอนโทรลเลอร์แล้วนำค่าดังกล่าวมาคำนวณออกมาเป็นความเร็วรอบ ส่วนในช่วงบันทึกและแสดงผลนั้นจะเหมือนกันทั้ง 2 สภาวะ โดยแสดงผลออกมาทาง 7 เซกเมนต์ และ D/A ส่วนการบันทึกผลทำโดยการเก็บข้อมูลความเร็วรอบในหน่วยความจำชั่วคราวของบอร์ดไมโครคอนโทรลเลอร์ เมื่อเก็บข้อมูลครบตามที่กำหนดจึงทำการโหลดข้อมูลเข้าสู่คอมพิวเตอร์ผ่านทางพอร์ทอนุกรม แล้วทำการเก็บข้อมูลในรูปไฟล์ และแสดงผลในรูปแบบกราฟฟิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPEED RECORDER

Kriengsak Popanjamakul
Warachart Sae-Kok
Attaphon Thenthaisong
Asst.Prof Phichi Lamyong Advisor
1998

Abstract

This thesis was created during the work on developing the projected equipment which functions by measuring and storing data about redius velocity of an induction motor from the starting period until it reaches the rated speed.

Measuring velocity at the starting period was done by the external counter. The pulses from oscillator and encoder will be brought to an AND gate as the input. The output from this process will enter the counter circuit, and the result will be the number of pulse from oscillator during the period of high pulse from the oscillator. Measurement of speed in the steady state consists of transfering pulses directly from from the encoder to the internal counter of the microcontroller, and calculating the amount of pulse per minute (rpm).

To compute speed when starting motor, first, the counter interrupt will be invoked, then the output from counter will be conveyed via the microcontroller port. Finally, the program in the microcontroller does the job of computing the counter's output into redius velocity.

The process of storing and displaying data are quite similar for both states. The output will be displayed using 7-segment LED and D/A (digital-to-analog converter). The data will be stored in the volatile memory (RAM) on the microcontroller board. When the whole data has been stored it will be loaded into computer through the serial port and written as a file to the disk. Finally the computer will display this information in the graphic mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
บทที่ 2	รูปที่ 2.1 กราฟแสดงความสัมพันธ์ระหว่างความเร็วรอบกับจำนวนพัลซ์ กรณีนับพัลซ์จากเอนโคดเดอร์โดยตรง	2
	รูปที่ 2.2 กราฟแสดงความสัมพันธ์ระหว่างความเร็วรอบของมอเตอร์กับจำนวนพัลซ์จากออสซิลเลเตอร์กรณีที่ใช้หลักการนับพัลซ์จากออสซิลเลเตอร์มาแอนด์กับพัลซ์เอนโคดเดอร์	3
	รูปที่ 2.3 บล็อกไดอะแกรมแสดงหลักการทำงานของเครื่องวัดความเร็วมอเตอร์	4
	รูปที่ 2.4 ระบบเอนโคดเดอร์แบบโรตารี่	5
	รูปที่ 2.5 แสดงรูปลักษณะของอินครีเมนท์เอนโคดเดอร์แบบลีเนียร์	6
	รูปที่ 2.6 ตัวอย่างกลไกของออฟโตอินครีเมนท์	6
	รูปที่ 2.7 แสดงตัวเซนเซอร์แบบมีช่องปิดเปิดให้แสงผ่านช่องเดียวและแบบมีหลายช่อง	6
	รูปที่ 2.8 แสดงถึงผลของแสงที่ผ่านในแนวเดียวกันและแสงที่แตกกระจาย	7
	รูปที่ 2.9 โรตารี่เอนโคดเดอร์ที่มีเอาท์พุทเป็นไบนารี (ก) ลักษณะตัวอย่างแบบหนึ่ง (ข) แผ่นจานภายในที่ประกอบด้วยข้อมูลไบนารี	8
	รูปที่ 2.10 (ก) ตัวอย่างรูปคลื่นเอาท์พุทสี่เหลี่ยมของอุปกรณ์เอนโคดเดอร์ช่องเดียว (ไบไดเร็กชั่น) (ข) ตัวอย่างสัญญาณเอนโคดเดอร์ 2 ช่อง มีมุมเฟสต่างกัน 90 องศา (2ทิศทาง)	9
	รูปที่ 2.11 ตัวคิทของเอนโคดเดอร์	9
	รูปที่ 2.12 แสดงการจัดตำแหน่งขาต่างๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS 51	11
	รูปที่ 2.13 แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS 51	12
	รูปที่ 2.14 แสดงการจัดโครงสร้างของหน่วยความจำทั้งในส่วนของหน่วยความจำโปรแกรมและหน่วยความจำข้อมูล	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.15 แสดงการจัดหน่วยความจำและตำแหน่งของรีจิสเตอร์หน้าที่พิเศษต่างๆ 14
รูปที่ 2.16 หน้าที่การทำงานของแต่ละบิทในรีจิสเตอร์ IE 15
รูปที่ 2.17 หน้าที่การทำงานของแต่ละบิทในรีจิสเตอร์ TCON 16
รูปที่ 2.18 หน้าที่การทำงานของแต่ละบิทในรีจิสเตอร์ IP 17
รูปที่ 2.19 แสดงโครงสร้างของระบบการอินเตอร์รัพท์ 17
รูปที่ 2.20 หน้าที่การทำงานของแต่ละบิทในรีจิสเตอร์ TMOD 18
รูปที่ 2.21 แสดงการทำงานของ TIMER/COUNTER ในโหมด 0 18
รูปที่ 2.22 แสดงการทำงานของ TIMER/COUNTER ในโหมด 2 19
รูปที่ 2.23 แสดงการทำงานของ TIMER/COUNTER 0ในโหมด 3 19
รูปที่ 2.24 การจัดวางขาและโครงสร้างของ 8255 20
รูปที่ 2.25 การเชื่อมโยง 8255 เข้ากับ CPU 24
รูปที่ 2.26 CONTROL WORDS ทั้ง 2 แบบของMODE และ DEFINITION FORMAT 25
รูปที่ 2.27 ผังเวลา (โหมด1) อินพุทพอร์ท 26
รูปที่ 2.28 ผังเวลา (โหมด1) เอาท์พุทพอร์ท 27
รูปที่ 2.29 แสดงตาราง CONTROL WORDSC และ ผังเวลา 8255 (โหมด2) 29
รูปที่ 2.30 วงจร D/A แบบใช้ตัวต้านทานหลายค่า 30
รูปที่ 2.31 วงจรเปลี่ยนสัญญาณแบบ R/2R LADDER 31
รูปที่ 2.32 START BIT และ STOP BIT 32
รูปที่ 2.33 แสดงข้อต่อแบบ DB-25และตำแหน่งขาต่างๆ 33
รูปที่ 2.34 การใช้งานรับส่งข้อมูลอนุกรม 35
รูปที่ 2.35 การต่อสายตรงของ RS 232Cอย่างง่าย 35
รูปที่ 2.36 แสดงรายละเอียดภายในและการจัดขาของ4046B 36
รูปที่ 2.37 กราฟแสดงความสัมพันธ์ของความถี่เอาท์พุทกับความถี่ของ R1 37
รูปที่ 2.38 วงจรกำเนิดรูปคลื่นสี่เหลี่ยมแบบปรับความถี่อย่างง่าย 38
รูปที่ 2.39 วงจรกำเนิดความถี่ช่วงกว้างจากเกือบ 0 – 1.4 kHz 38
รูปที่ 2.40 วงจรกำเนิดความถี่ช่วงกว้างที่ให้เอาท์พุทเป็น 2 เฟส 39
รูปที่ 2.41 การกำเนิดความถี่แบบเปิดเกทให้ทำงานเป็นช่วง 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
บทที่ 3	รูปที่ 3.1 BLOCK DIAGRAM แสดงส่วนประกอบโดยรวมของ SPEED RECORDER	40
	รูปที่ 3.2 วงจรหารความถี่ของเอนโคดเดอร์	41
	รูปที่ 3.3 วงจรปรับปรุงความละเอียดของเอนโคดเดอร์	42
	รูปที่ 3.4 วงจรนับสำหรับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์	44
	รูปที่ 3.5 วงจรบอกทิศทางการหมุนของมอเตอร์	45
	รูปที่ 3.6 วงจรส่วนประมวลและเก็บข้อมูล	48
	รูปที่ 3.7 บล็อกไดอะแกรมแสดงการทำงานภายใน DAC 1232	49
	รูปที่ 3.8 วงจรแสดงผลเป็นสัญญาณอนาล็อก	50
บทที่ 4	รูปที่ 4.1 โฟลวชาร์ตแสดงการทำงานของเครื่องวัดความเร็วมอเตอร์	53
	รูปที่ 4.2 สัญญาณพัลซ์ A และ B ที่ได้จากเอนโคดเดอร์	55
	รูปที่ 4.3 สัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงความเร็วเริ่มต้น	56
	รูปที่ 4.4 สัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงความเร็วสูง	56
	รูปที่ 4.5 สัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงความเร็วพิกัด	57
	รูปที่ 4.6 สัญญาณที่ได้จากการแอนด์กันระหว่างสัญญาณจากเอนโคดเดอร์กับสัญญาณออสซิลเลเตอร์	57
	รูปที่ 4.7 สัญญาณจาก VCO และสัญญาณ Interupt	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
บทที่ 2	ตารางที่ 2.1 แสดงคุณสมบัติของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูล MCS- 51	9
	ตารางที่ 2.2 แสดงค่าตำแหน่งแอดเดรส ของการอินเตอร์รัพท์โดยสัญญาณต่างๆ ที่กำหนดขึ้นใหม่ในโปรแกรมมอนิเตอร์ EMON 51	13
	ตารางที่ 2.3 สรุปโหมดต่างๆ ของ 8255	19
	ตารางที่ 2.4 ตารางความจริงของ 8255	20
	ตารางที่ 2.5 I/O ADDRESS ของ 8255	22
ภาคผนวก		
	ตารางที่ ก1 ตารางแสดงความสัมพันธ์ความเร็วรอบของมอเตอร์กับจำนวนพัลซ์ของออสซิลเลเตอร์ที่สภาวะเริ่มต้นเดินเครื่องมอเตอร์	65
	ตารางที่ ก2 แสดงความสัมพันธ์ระหว่างความเร็วรอบและจำนวนพัลซ์ของเอนโคดเดอร์ที่สภาวะอยู่ตัว	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในปัจจุบันเครื่องมือที่ใช้ในการวัดความเร็วมอเตอร์มีอยู่มากมาย ซึ่งส่วนใหญ่จะใช้ในการวัดความเร็วเฉลี่ยของมอเตอร์ แต่ว่ามีส่วนที่คนส่วนใหญ่มองข้ามไปคือ การวัดความเร็วรอบของมอเตอร์ที่สภาวะเริ่มต้นเดินเครื่องมอเตอร์เพื่อศึกษาคุณลักษณะการเปลี่ยนแปลงความเร็วรอบของมอเตอร์ในสภาวะดังกล่าว

ด้วยเหตุผลดังกล่าวจึงนำมาสู่การทำปริญญานิพนธ์เรื่องนี้ โดยจากเหตุผลข้างต้นถ้าสามารถวัดความเร็วในสภาวะเริ่มต้นเดินเครื่องมอเตอร์ได้ แล้วนำผลที่มาเปรียบเทียบกับผลการวัดค่ากระแสและแรงดันของมอเตอร์ขณะเริ่มเดินเครื่องแล้วจะเป็นประโยชน์อย่างมากต่อผู้ใช้ในการจะเลือกวิธีในการเดินเครื่องมอเตอร์ให้เหมาะสมกับมอเตอร์ที่ใช้ เช่น กรณีที่ใช้การเดินเครื่องแบบ สตาร์/เดลต้าแล้ว จะทำให้ผู้ใช้สามารถเลือกเวลาที่เหมาะสมในการทำการเปลี่ยนวงจรการเดินเครื่องใช้งานจาก สตาร์เป็นเดลต้า นอกจากนี้ยังสามารถนำผลความเร็วรอบของมอเตอร์มาทำการคำนวณหาค่าแรงบิดของมอเตอร์ขณะไร้ภาระได้ด้วย

สำหรับปริญญานิพนธ์เรื่องนี้ คณะผู้จัดทำได้ทำเครื่องต้นแบบออกมา โดยการทำงานหลัก ๆ ของเครื่องต้นแบบนี้ คืออาศัยสัญญาณจากเอนโคดเดอร์เพื่อใช้ในการคำนวณหาค่าความเร็วรอบโดยใช้ไมโครคอนโทรลเลอร์ และแสดงผลเป็นตัวเลข , สัญญาณอนาล็อกและส่งข้อมูลให้แก่คอมพิวเตอร์เพื่อเก็บเป็นฐานข้อมูลและแสดงผลในรูปของตารางและกราฟฟิกต่อไป

บทที่ 2 เป็นการกล่าวถึงทฤษฎีและหลักการที่ใช้ในการออกแบบเครื่องวัดความเร็วมอเตอร์ซึ่งทฤษฎีส่วนใหญ่จะเป็นทฤษฎีในการประยุกต์ใช้งานอุปกรณ์ต่างๆให้เหมาะสมกับเครื่องต้นแบบ รวมไปถึงทฤษฎีการส่งข้อมูลผ่านทางพอร์ทอนุกรม

บทที่ 3 เป็นการกล่าวถึงวงจรภายในเครื่องวัดความเร็วมอเตอร์รวมไปถึงส่วนของการติดต่อกับคอมพิวเตอร์ และการเก็บข้อมูลโดยคอมพิวเตอร์ การติดต่อกับผู้ใช้และการเก็บข้อมูลสู่ฐานข้อมูล

บทที่ 4 เป็นการกล่าวถึงการใช้งานเครื่องวัดความเร็วมอเตอร์รวมไปถึงการใช้งานโปรแกรมทั้งหมด ซึ่งรวมไปถึงการทดสอบอุปกรณ์

บทที่ 5 จะเป็นสรุปผลการทำโครงงาน

ในส่วนของภาคผนวกจะรวมรายละเอียดของอุปกรณ์ที่ใช้ในการทำปริญญานิพนธ์นี้

คณะผู้จัดทำหวังเป็นอย่างยิ่งว่าปริญญานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อผู้ที่สนใจและคิดที่จะปรับปรุงผลงานชิ้นนี้ให้ดียิ่งขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
มอเตอร์ทฤษฎีและหลักการที่ใช้ในการออกแบบเครื่องวัดความเร็ว

จากความสัมพันธ์ระหว่างความเร็วรอบและจำนวนพัลซ์ของเอนโคดเดอร์ในช่วงเวลาหนึ่งๆที่กำหนด จะได้ว่าความสัมพันธ์จะเป็นเชิงเส้น ซึ่งถ้าต้องการทำการวัดความเร็วมอเตอร์ในช่วงสภาวะชั่วขณะนั้น ต้องทำการนับจำนวนพัลซ์ในช่วงเวลาที่สั้นมากๆ ซึ่งจากข้อจำกัดดังกล่าวทำให้ไม่สามารถทำได้ถ้าหากใช้เอนโคดเดอร์ที่มีความละเอียดต่ำ เพราะจะทำให้ค่าการเปลี่ยนแปลงจำนวนพัลซ์ 1 ลูกต่อความเร็วรอบของมอเตอร์มีค่าสูงซึ่งเป็นไปดังสมการ

$$N = \frac{60 \times n}{m \times t} \qquad 2.1$$

เมื่อ N = ค่าความเร็วรอบของมอเตอร์ (RPM)

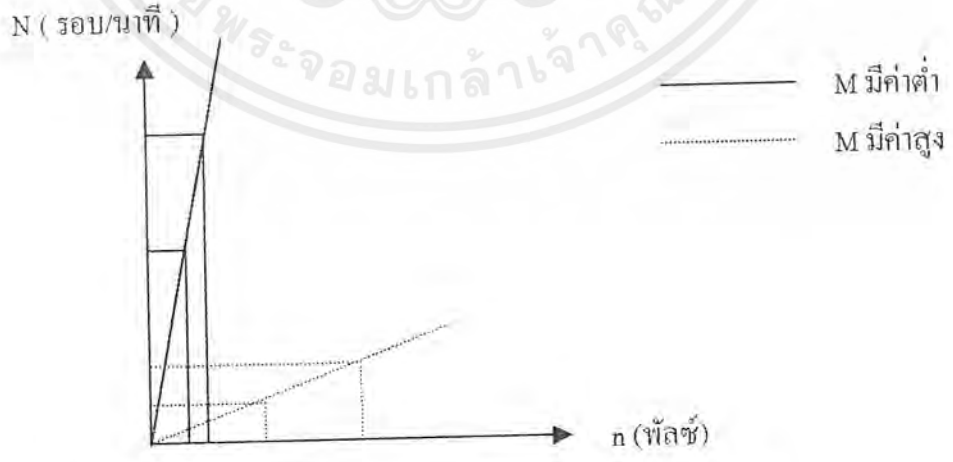
n = จำนวนพัลซ์ที่นับได้ในช่วงเวลา t

t = ช่วงเวลาที่ใช้ในการนับพัลซ์

m = ค่าความละเอียดของเอนโคดเดอร์

จากสมการ 2.1 พบว่าเมื่อนำจำนวนพัลซ์แต่ละลูกมาทำการหาค่าจำนวนพัลซ์ที่เปลี่ยนแปลงจำนวนพัลซ์ ต่อ ค่าความเร็วรอบที่เปลี่ยนแปลงสามารถแปลงสมการ 2.1 ได้ดังนี้

$$N2 - N1 = \frac{60(n2 - n1)}{(m \times t)} \qquad 2.2$$



รูปที่ 2.1 กราฟแสดงความสัมพันธ์ระหว่างความเร็วรอบกับจำนวนพัลซ์ กรณีนับพัลซ์จากเอนโคดเดอร์โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 2.2 พบว่าถ้าค่า n2-n1 มีค่าเท่ากับ 1 ในขณะที่ ค่า m มีค่าต่ำและค่ามี t ค่าต่ำมากๆแล้วจะทำให้ค่า N2-N1 มีค่าสูงมากด้วยซึ่งจากเหตุผลดังกล่าวทำให้เมื่อทำการเร่งความเร็วมอเตอร์เข้าสู่ความเร็วพิกัด จะมีผลให้ความเร็วรอบของมอเตอร์ที่วัดได้ต่อการต่อการเปลี่ยนแปลงพัลซ์ของเอนโคดเดอร์ 1 ลูกมีค่าสูงซึ่งไม่เหมาะสมกับการวัดความเร็วมอเตอร์เพื่อศึกษาการเปลี่ยนแปลงความเร็วรอบของมอเตอร์

ด้วยเหตุนี้ในโครงงานชิ้นนี้จึงต้องใช้หลักการใหม่ในการออกแบบเครื่องวัดความเร็วมอเตอร์คือการนำสัญญาณออสซิลเลเตอร์ที่มีความถี่สูงมาช่วยในการวัดความเร็วมอเตอร์ ซึ่งหลักการคือใช้สัญญาณออสซิลเลเตอร์มาแอนด์กับสัญญาณพัลซ์จากเอนโคดเดอร์แล้วทำการนับจำนวนลูกของออสซิลเลเตอร์ที่ผ่านการแอนด์กับสัญญาณพัลซ์จากเอนโคดเดอร์แล้วซึ่งความสัมพันธ์ระหว่างความเร็วรอบของมอเตอร์และจำนวนออสซิลิลเตอร์จะมีความสัมพันธ์กันในลักษณะเป็นกราฟ ไอเปอร์โบลามุมฉาก ซึ่งความสัมพันธ์เป็นไปตามสมการ 2.3 และรูปที่ 2.2

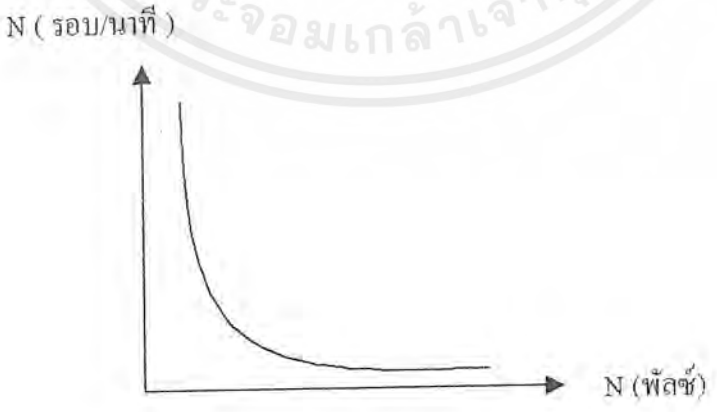
$$N = \frac{f \times 60}{n \times m} \qquad 2.3$$

เมื่อ N = ค่าความเร็วรอบของมอเตอร์ RPM

n = จำนวนพัลซ์จากออสซิลเลเตอร์ที่นับได้ใน 1ช่วงคาบเวลาของพัลซ์จากเอนโคดเดอร์

m = ค่าความละเอียดของเอนโคดเดอร์

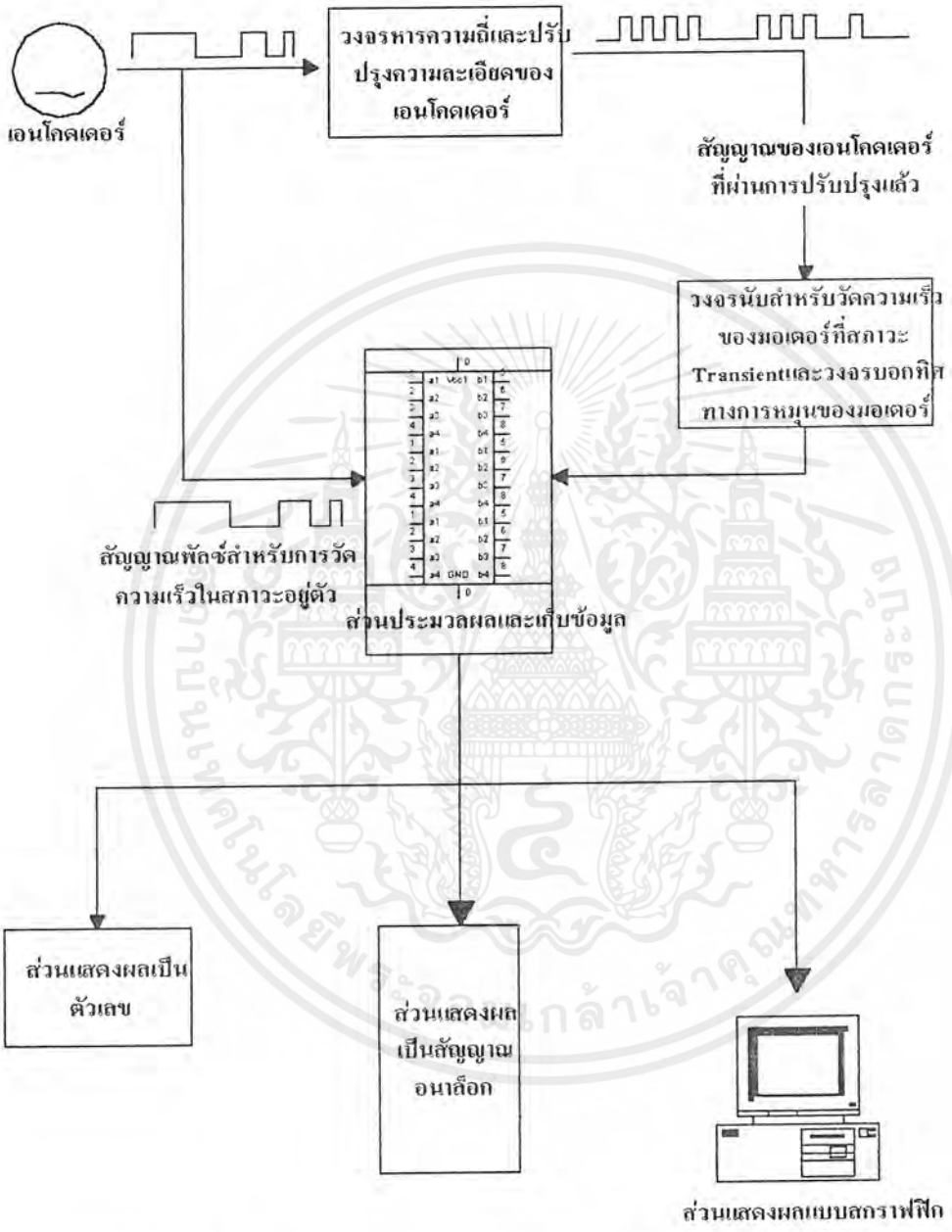
f = ค่าความถี่ของออสซิลเลเตอร์ที่นำมาแอนด์กับพัลซ์จากเอนโคดเดอร์



รูปที่ 2.2 กราฟแสดงความสัมพันธ์ระหว่างความเร็วรอบของมอเตอร์กับจำนวนพัลซ์จากออสซิลเลเตอร์กรณีที่ใช้หลักการนำพัลซ์จากออสซิลเลเตอร์มาแอนด์กับพัลซ์ของเอนโคดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 หลักการทำงานของเครื่องวัดความเร็วมอเตอร์สามารถเขียนเป็นบล็อกไดอะแกรมได้ดังนี้



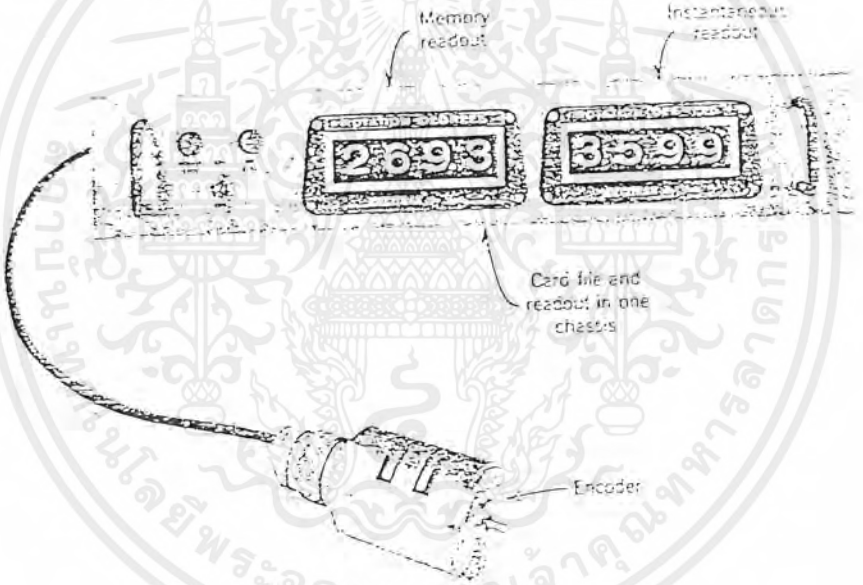
รูปที่ 2.3 บล็อกไดอะแกรมแสดงหลักการทำงานของเครื่องวัดความเร็วมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 อินคริเมนท์เอนโคดเดอร์ (Increment encoder)

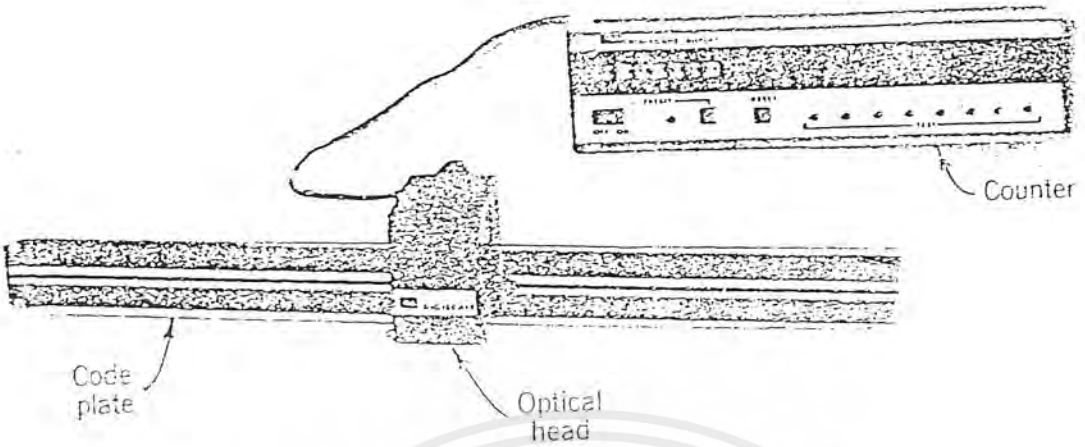
เอนโคดเดอร์ชนิดนี้เป็นเอนโคดเดอร์ที่สร้างสัญญาณพัลส์แปรผันตรงกับการหมุนของเพลา (ความถี่ของพัลซ์เปลี่ยนตามความเร็ว) โดยพัลซ์ที่ได้สามารถนำไปหาความเร็วในการหมุนได้

อินคริเมนท์เอนโคดเดอร์ประกอบด้วยส่วนที่สำคัญ คือตัวกำเนิดแสง จานหมุน (rotary disk) จานอยู่กับที่ และตัวเซนเซอร์ บนแผ่นจานหมุนทำเป็นช่องโดยรอบดังแสดงในรูปที่ 2.6 และแผ่นอยู่กับที่จะมีช่องสำหรับให้แสดงผ่านตรงเข้าไปยังตัวเซนเซอร์ ถ้าเป็นเอนคดเดอร์ที่ใช้วัดความเร็วต่ำไม่ต้องมีแผ่นอยู่กับที่ก็ได้ ส่วนตัวกำเนิดแสงอาจจะเป็นหลอดไฟฟ้า หรือตัวแสดงผล (LED) ก็ได้

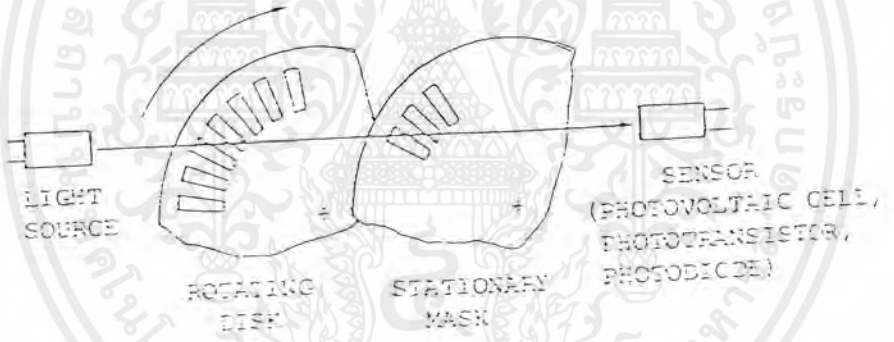


รูปที่ 2.4 ระบบเอนโคดเดอร์แบบโรตารี่

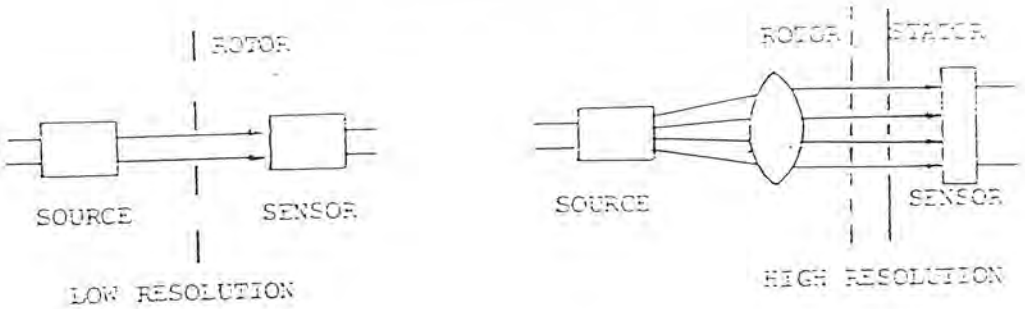
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงรูปลักษณะของอินคริเมนท์เอนโคดเดอร์แบบลิเนียร์



รูปที่ 2.6 ตัวอย่างกลไกของออฟโตอินคริเมนท์

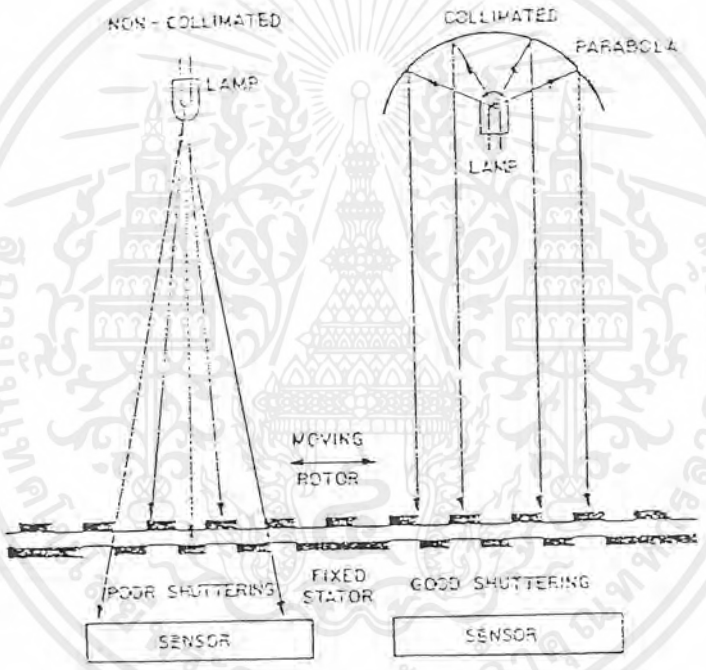


รูปที่ 2.7 แสดงตัวเซนเซอร์แบบมีช่องปิดเปิดให้แสงผ่านช่องเดียวและแบบมีหลายช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความละเอียดของอินคริเม้นท์เอนโคดเดอร์

เป็นจำนวนตามเวลาของสัญญาณเอาท์พุทต่อการหมุนของเพลา 1 รอบ ซึ่งบอกเป็นจำนวนพัลส์ต่อรอบหรือจำนวนไซเคิลต่อ 360 องศา มุมทางกลหรือไซเคิลต่อองศาที่ใช้ทั่วไปมีความละเอียดตั้งแต่ 15 ถึง 10000 พัลส์ต่อรอบ โดยจำนวนพัลส์จะเท่ากับจำนวนช่องของแผ่นจานหมุน ในทางปฏิบัติถ้าต้องการให้แสงผ่านช่องเป็นเส้นตรงพร้อมๆกัน อาจจะใช้เลนส์ หรือพาราโบลิครีแฟคเตอร์ ดูรูปที่ 2.8



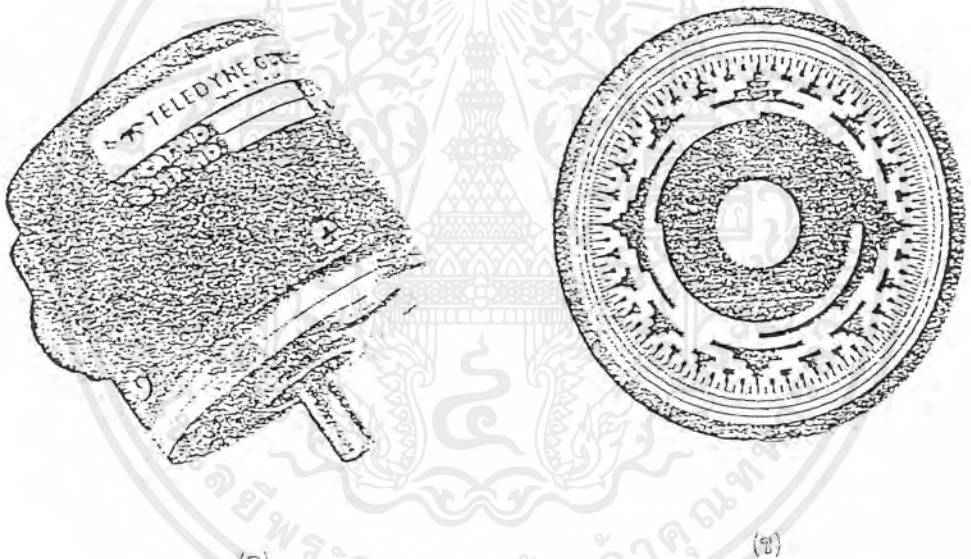
รูปที่ 2.8 แสดงถึงผลของแสงที่ผ่านในแนวเดียวกันและแสงที่แตกกระจาย

เอาท์พุทของเอนโคดเดอร์

โดยทั่วๆไปแล้วสัญญาณเอาท์พุทที่ออกจากเอนโคดเดอร์โดยตรง จะมีระดับไม่เพียงพอในการควบคุมหรือสำหรับการประมวลสัญญาณ ดังนั้นจึงต้องมีวงจรขยายและแปลงรูปร่างลูกคลื่นต่อไว้ในตัวเอนโคดเดอร์ด้วยเสมอ สัญญาณลูกคลื่นที่ได้จากตัวเซนเซอร์ปกติแล้วจะเป็นรูปสัญญาณสามเหลี่ยมหรือรูปสัญญาณซายน์ขึ้นอยู่กับความละเอียดที่ต้องการ รูปสัญญาณเหล่านี้สามารถทำให้เป็นสัญญาณรูปสี่เหลี่ยมได้โดยการต่อตัวคอมพาราเตอร์เข้ากับลิเนียร์แอมปิไฟของเอนโคดเดอร์ก็จะได้เอาท์พุทเป็นลูกคลื่นสี่เหลี่ยมตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

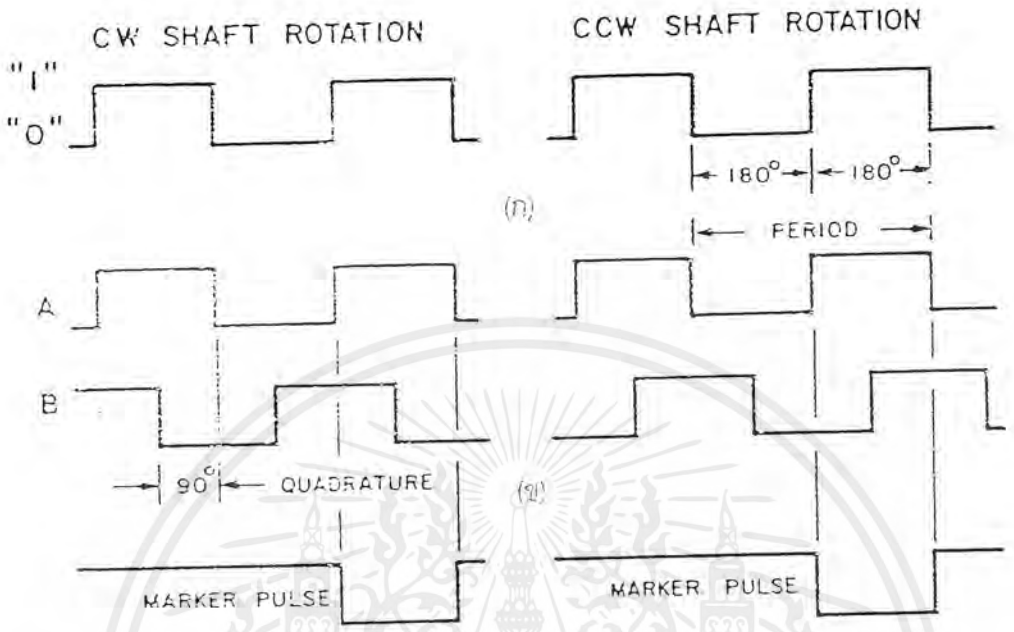
รูปที่ 2.10(ก) แสดงถึงลูกกลิ้นเฮาท์พุทสี่เหลี่ยมของเอนโคดเดอร์ชนิด 1 ช่องไม่ว่าเพลาจะหมุนในทิศทางใดก็ได้สัญญาณออกมาเหมือนกัน จึงเหมาะที่จะใช้กับงานที่ไม่กำหนดทิศทางเท่านั้น ส่วนในรูป 2.10(ข) แสดงสัญญาณ 2 ชุดที่ได้จากเอนโคดเดอร์ชนิด 2 ช่อง เฟสของสัญญาณ 2 ช่องนี้จะต่างกัน 90 องศาทางไฟฟ้าเราเรียกสัญญาณ 2 ช่องนี้ว่าเป็นควอดราเจอร์ (quadrature) กันซึ่งเหมาะที่จะใช้ในการรับรู้ทิศทางการหมุนของเพลาหรือใช้ควบคุมระบบที่ซับซ้อนอื่นๆ จากสัญญาณในรูป 2.10(ข) จะเห็นได้ว่าสัญญาณทั้ง 2 ช่องจะเริ่มจาก 0 ถึง 1 และ 1 ถึง 0 ขึ้นอยู่กับทิศทางการหมุนของแผ่นหมุนของเอนโคดเดอร์



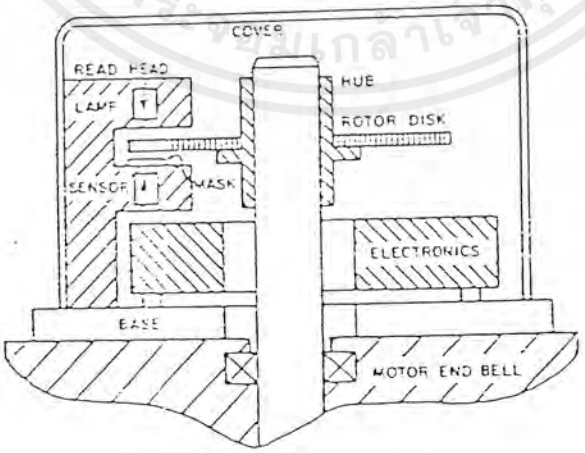
รูปที่ 2.9 โรตารี่เอนโคดเดอร์ที่มีเฮาท์พุทเป็นไบนารี่ (ก)ลักษณะตัวอย่างแบบหนึ่ง
(ข)แผ่นจานภายในที่ประกอบด้วยข้อมูลไบนารี่

ในอินครีเมนท์เอนโคดเดอร์บางชนิดจะมีพัลส์ที่แสดงถึงจำนวนรอบของการหมุนสำหรับใช้เป็นศูนย์ในการอ้างอิงพัลส์ที่ใช้แสดงจำนวนรอบนี้จะเกิดขึ้น 1 พัลส์ต่อ 1 รอบ โดยทั่วไปแล้วใช้บอกถึงตำแหน่งเชิงกลหรือใช้เป็นสัญญาณเคลียร์จำนวนที่นับไว้ในหน่วยเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 (ก)ตัวอย่างลูกคลื่นเอาท์พุทสี่เหลี่ยมของอุปกรณ์เอนโคดเดอร์ช่องเดียว(ไบไดเร็กชั่น)
(ข)ตัวอย่างสัญญาณเอนโคดเดอร์ 2 ช่องมีมุมเฟสต่างกัน 90 องศา(สองทิศทาง)



รูปที่ 2.11 ตัวอย่างดิสก์ของเอนโคดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ไมโครคอนโทรลเลอร์ MCS-51

คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51

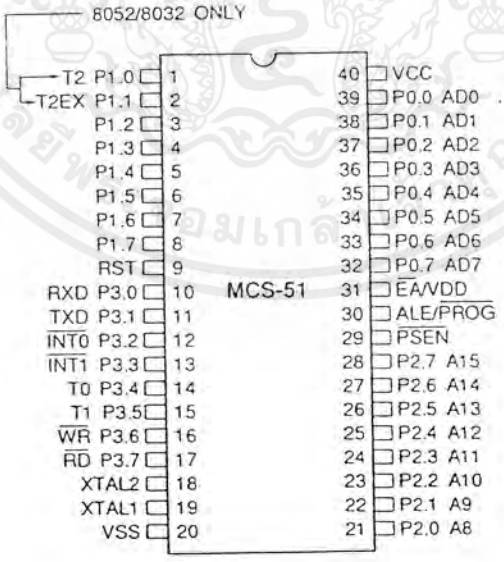
- เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต
- มีวงจรออสซิลเลเตอร์และวงจรผลิตสัญญาณนาฬิกาภายในไอซี
- มีขาสัญญาณอินพุตเอาต์พุตจำนวน 32 บิต
- สามารถเชื่อมต่อหน่วยความจำข้อมูลภายนอก(external data memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 K
- มีหน่วยความจำโปรแกรมภายในตัว (on-chip pro-gram memory) ขนาด 4 K โดยเฉพาะเบอร์ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 8 K สำหรับเบอร์ 8031 และM8032 จะไม่มีหน่วยความจำในส่วนนี้
- มีหน่วยความจำข้อมูลภายในตัว(on-chip data memory) ขนาด 128 ไบต์ โดยเฉพาะเบอร์ 8032 และ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 256 ไบต์
- หน่วยความจำข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลระดับบิตได้ด้วย ทำให้การควบคุมหรือการตรวจสอบสถานะบิตทำได้ง่าย ส่งผลให้การเขียนโปรแกรมทำได้ง่ายมากขึ้น
- มีไทเมอร์/เคาน์เตอร์ (timer/counters) ขนาด 16 บิต จำนวน 2 ตัว โดยเฉพาะเบอร์ 8032 หรือ 8052 จะมีไทเมอร์/เคาน์เตอร์จำนวน 3 ตัว
- การอินเตอร์รัปต์สามารถทำได้จาก 5 แหล่งกำเนิดโดยเฉพาะเบอร์ 8032 และ 8052 จะทำการอินเตอร์รัปต์ได้จาก 6 แหล่งกำเนิด โดยการอินเตอร์รัปต์ยังสามารถจัดระดับความสำคัญได้เป็น 2 ระดับ
- มีพอร์ตสื่อสารอนุกรมภายในตัวเอง ซึ่งทำงานเป็นแบบฟูลดูเพล็กซ์ (full duplex)
- คำสั่งโดยส่วนใหญ่ใช้เวลาการทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อเบอร์	หน่วยความจำภายใน		จำนวนไทเมอร์/เคาน์เตอร์	จำนวนอินเตอร์รัปต์
	เก็บโปรแกรม	เก็บข้อมูล		
8052AH	8K x 8 ROM	256 x 8 RAM	3 x 16-Bit	6
8051AH	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8051	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8032AH	ไม่มี	256 x 8 RAM	3 x 16-Bit	6
8031AH	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8031	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8751H	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751H-12	4K x 8 EPROM	128 X 8 RAM	2 X 16-Bit	5

ตารางที่ 2.1 แสดงคุณสมบัติของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูล MCS-51

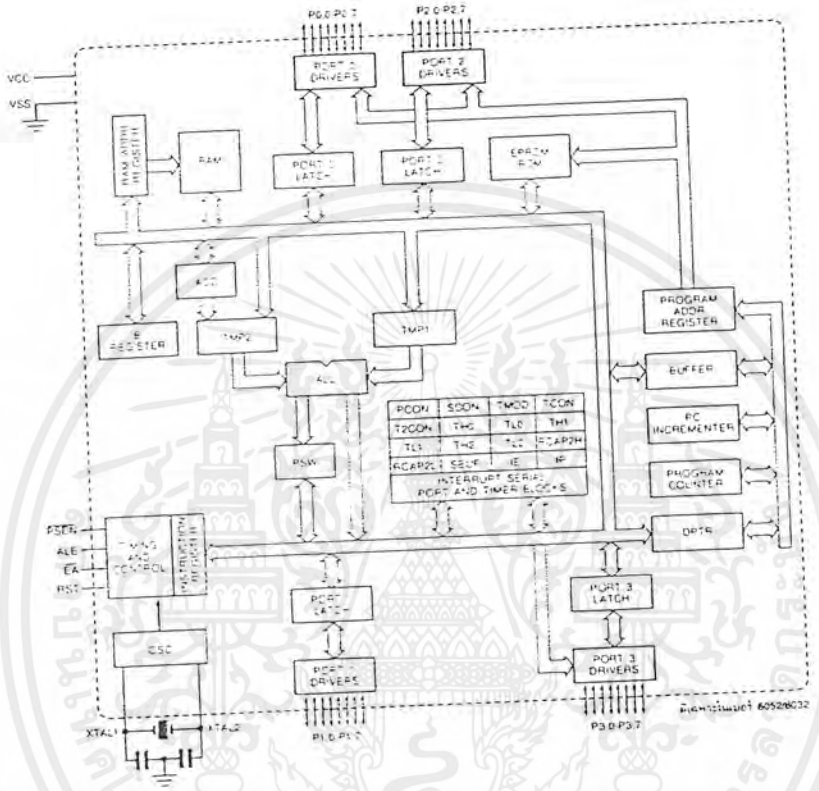
โครงสร้างภายนอกของ MCS-51



รูปที่ 2.12 แสดงการจัดตำแหน่งขาต่างๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

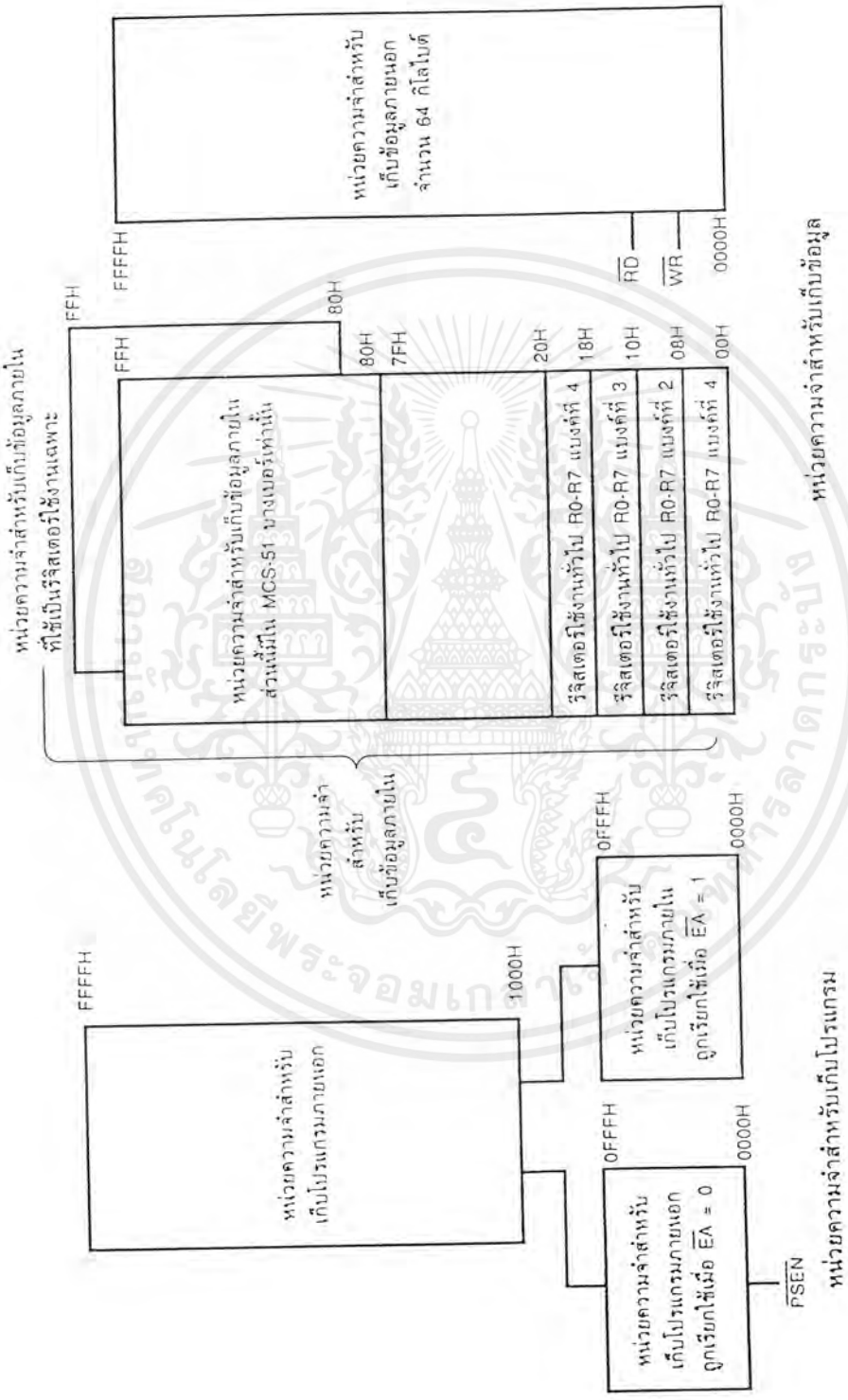
โครงสร้างภายในของ MCS-51



รูปที่ 2.13 แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51

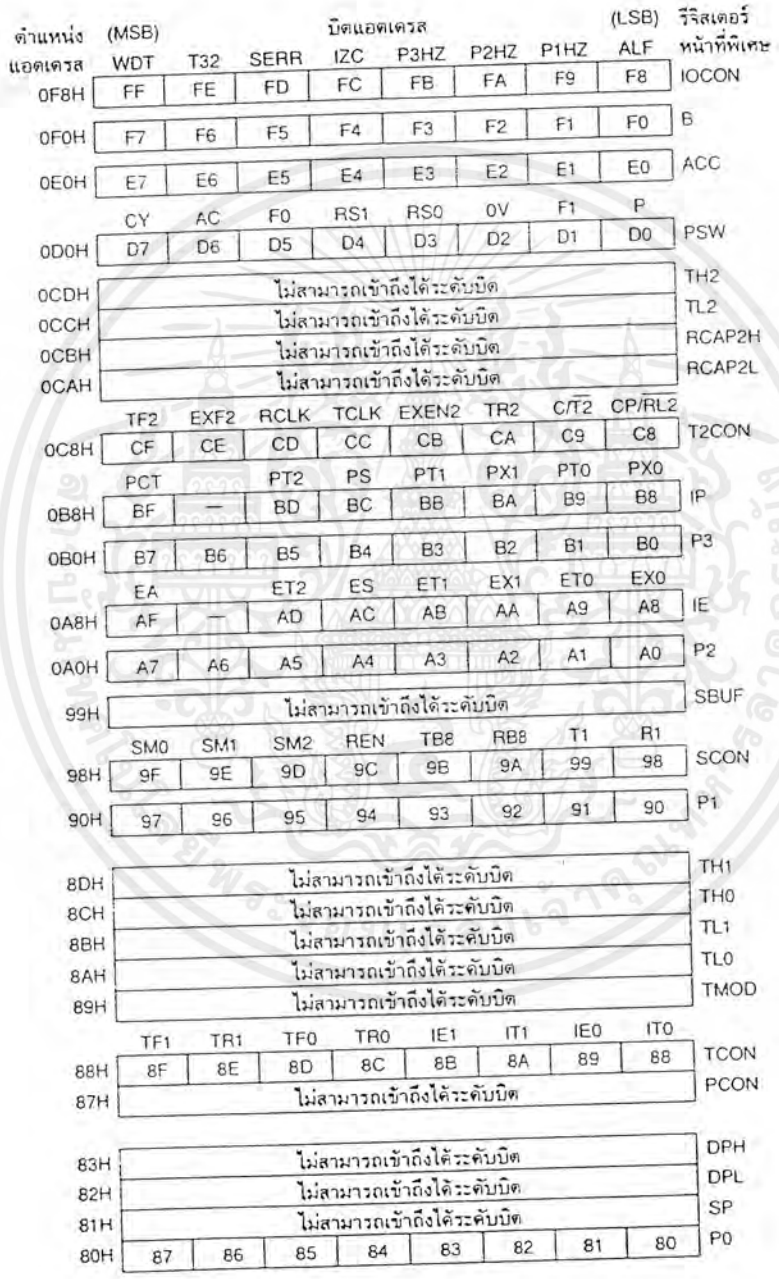
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดหน่วยความจำ



รูปที่ 2.14 แสดงการจัดโครงสร้างของหน่วยความจำทั้งในส่วนของหน่วยความจำโปรแกรมและ
หน่วยความจำข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงการจัดหน่วยความจำและตำแหน่งของรีจิสเตอร์หน้าที่พิเศษต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเตอร์รัปต์

การอินเตอร์รัปต์	ตำแหน่งแอดเดรส ของการอินเตอร์รัปต์ปกติ	ค่าอินเด็กซ์ที่กำหนด ในการเชื่อมต่อ	ตำแหน่งแอดเดรสของ การอินเตอร์รัปต์ที่ กำหนดโดยมอนิเตอร์
IE 0	0003H	1	4003H
TF0	000BH	2	4006H
IE1	0013H	3	4009H
TF1	001BH	4	400CH
R1+T1	0023H	5	400FH
TF2+EXF2	002BH	6	4012H

ตารางที่ 2.2 แสดงค่าตำแหน่งแอดเดรสของการอินเตอร์รัปต์ โดยสัญญาณต่างๆที่กำหนดขึ้นใหม่ในโปรแกรมมอนิเตอร์ EMON51

(MSB) (LSB)

EA	X	ET2	ES	ET1	EX1	ET0	EX0

สัญลักษณ์	ตำแหน่ง	หน้าที่
EA	IE.7	ทำการดิสเอเบิลทุกอินเตอร์รัปต์ ถ้า EA = "0" จะไม่มีการตอบรับอินเตอร์รัปต์ใดๆ ทั้งหมด ถ้า EA = "1" แต่ละอินเตอร์รัพต์จะถูกอีนาเบิลหรือดิสเอเบิลโดยการเซต หรือเคลียร์อีนาเบิลบิตของมัน
	IE.6	สงวนไว้ไม่ใช้งาน
ET2	IE.5	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากการโอเวอร์โฟลว์ของไทเมอร์ 2 ถ้า ET2 = "0" อินเตอร์รัปต์จากไทเมอร์ 2 จะถูกดิสเอเบิล
ES	IE.4	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากพอร์ตอนุกรม ถ้า ES = "0" อินเตอร์รัปต์นี้จะถูกดิสเอเบิล
ET1	IE.3	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากการโอเวอร์โฟลว์ของไทเมอร์ 1 ถ้า ET1 = "0" อินเตอร์รัพต์นี้จะถูกดิสเอเบิล
EX1	IE.2	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากภายนอก 1 ถ้า EX1 = "0" อินเตอร์รัปต์นี้จะถูกดิสเอเบิล
ET0	IE.1	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากการโอเวอร์โฟลว์ของไทเมอร์ 0 ถ้า ET0 = "0" อินเตอร์รัปต์นี้จะถูกดิสเอเบิล
EX0	IE.0	ทำการอีนาเบิลหรือดิสเอเบิลอินเตอร์รัปต์จากภายนอก 0 ถ้า EX0 = "0" อินเตอร์รัปต์นี้จะถูกดิสเอเบิล

รูปที่ 2.16 หน้าที่การทำงานของแต่ละบิตในรีจิสเตอร์ IE (interrupt inable)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(MSB) (LSB)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

สัญลักษณ์	ตำแหน่ง	หน้าที่
TF1	TCON.7	เป็นโอเวอร์โฟลว์แฟลกของไทเมอร์ 1 จะถูกเซตโดยฮาร์ดแวร์เมื่อไทเมอร์ /เคาน์เตอร์นี้เกิดโอเวอร์โฟลว์และจะถูกเคลียร์โดยฮาร์ดแวร์เมื่อโปรเซสเซอร์เข้าสู่กระบวนการอินเตอร์รัปต์รูทีน
TR1	TCON.6	บิตควบคุมการรันของไทเมอร์ 1 มันจะถูกเซตและเคลียร์โดยซอฟต์แวร์เพื่อให้ไทเมอร์/เคาน์เตอร์นี้ทำงานหรือหยุดทำงาน
TF0	TCON.5	เป็นโอเวอร์โฟลว์แฟลกของไทเมอร์ 0 จะถูกเซตโดยฮาร์ดแวร์เมื่อไทเมอร์/เคาน์เตอร์นี้เกิดโอเวอร์โฟลว์ และจะถูกเคลียร์โดยฮาร์ดแวร์เมื่อโปรเซสเซอร์เข้าสู่กระบวนการอินเตอร์รัปต์รูทีน
TR0	TCON.4	บิตควบคุมการรันของไทเมอร์ 0 มันจะถูกเซตและเคลียร์โดยซอฟต์แวร์ เพื่อให้ไทเมอร์/เคาน์เตอร์นี้ทำงานหรือหยุดทำงาน
IE1	TCON.3	แฟลกแสดงอินเตอร์รัปต์ที่ 1 ทำงานที่ขอบขา จะถูกเซตโดยฮาร์ดแวร์เมื่อตรวจจับพบสัญญาณอินเตอร์รัปต์จากภายนอกที่ขอบขา และจะถูกเคลียร์เมื่อเข้าสู่กระบวนการอินเตอร์รัปต์
IT1	TCON.2	บิตกำหนดรูปแบบการอินเตอร์รัปต์จากภายนอก 1 จะถูกเซตหรือเคลียร์โดยซอฟต์แวร์ เพื่อกำหนดให้เกิดอินเตอร์รัปต์ที่ขอบขาลงหรือที่ระดับลอจิกโลว์ของสัญญาณอินเตอร์รัปต์ภายนอก
IE0	TCON.1	แฟลกแสดงอินเตอร์รัปต์ที่ 0 ทำงานที่ขอบขา จะถูกเซตโดยฮาร์ดแวร์เมื่อตรวจจับพบสัญญาณอินเตอร์รัปต์ภายนอกที่ขอบขาและจะถูกเคลียร์เมื่อเข้าสู่กระบวนการอินเตอร์รัปต์
IT0	TCON.0	บิตกำหนดรูปแบบการอินเตอร์รัปต์จากภายนอก 0 จะถูกเซตหรือเคลียร์โดยซอฟต์แวร์ เพื่อกำหนดให้เกิดอินเตอร์รัปต์ที่ขอบขาลงหรือที่ระดับลอจิกโลว์ของสัญญาณอินเตอร์รัปต์ภายนอก

รูปที่ 2.17 หน้าที่การทำงานของแต่ละบิตในรีจิสเตอร์ TCON(timer control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

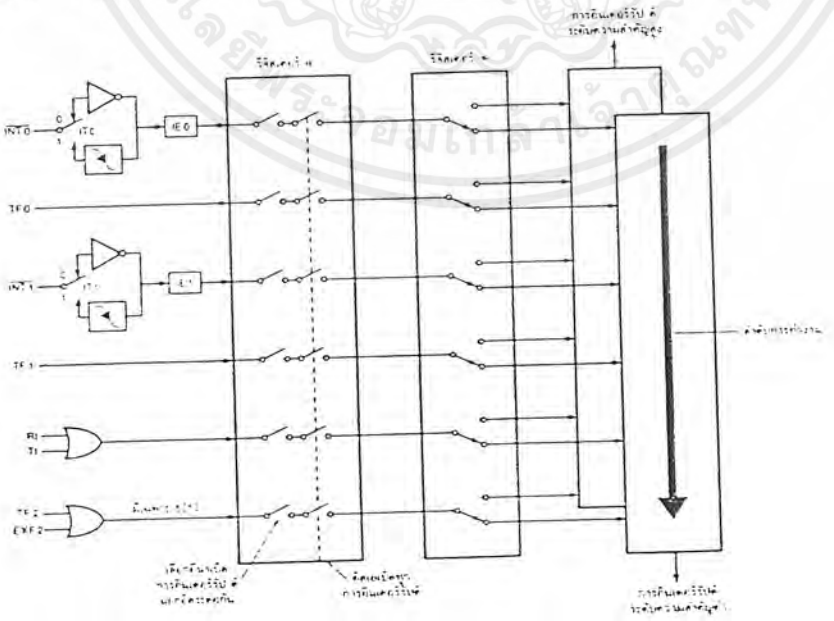
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

(MSB) (LSB)

X	X	PT2	PS	PT1	PX1	PT0	PX0

สัญลักษณ์	ตำแหน่ง	หน้าที่
-	IP.7	สงวนไว้ไม่ใช้งาน
-	IP.6	สงวนไว้ไม่ใช้งาน
PT2	IP.5	บิตกำหนดระดับความสำคัญของอินเตอร์รัพต์ของไทเมอร์ 2 ถ้า PT2 = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง
PS	IP.4	บิตกำหนดระดับความสำคัญของอินเตอร์รัปต์ของพอร์ตอนุกรม ถ้า PS = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง
PT1	IP.3	บิตกำหนดระดับความสำคัญของอินเตอร์รัปต์ของไทเมอร์ 1 ถ้า PT1 = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง
PX1	IP.2	บิตกำหนดระดับความสำคัญของอินเตอร์รัปต์จากภายนอก 1 ถ้า PX1 = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง
PT0	IP.1	บิตกำหนดระดับความสำคัญของอินเตอร์รัปต์ของไทเมอร์ 0 ถ้า PT0 = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง
PX0	IP.0	บิตกำหนดระดับความสำคัญของอินเตอร์รัปต์จากภายนอก 0 ถ้า PX0 = "1" อินเตอร์รัปต์นี้จะมีความสำคัญระดับสูง

รูปที่ 2.18 หน้าที่การทำงานของแต่ละบิตในรีจิสเตอร์ IP(interrupt priority)



รูปที่ 2.19 แสดงโครงสร้างของระบบการอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34131

เคาน์เตอร์และไทเมอร์

(MSB) (LSB)

GATE	C/T	M1	M0	GATE	C/T	M1	M0

ไทเมอร์ 1 ไทเมอร์ 0

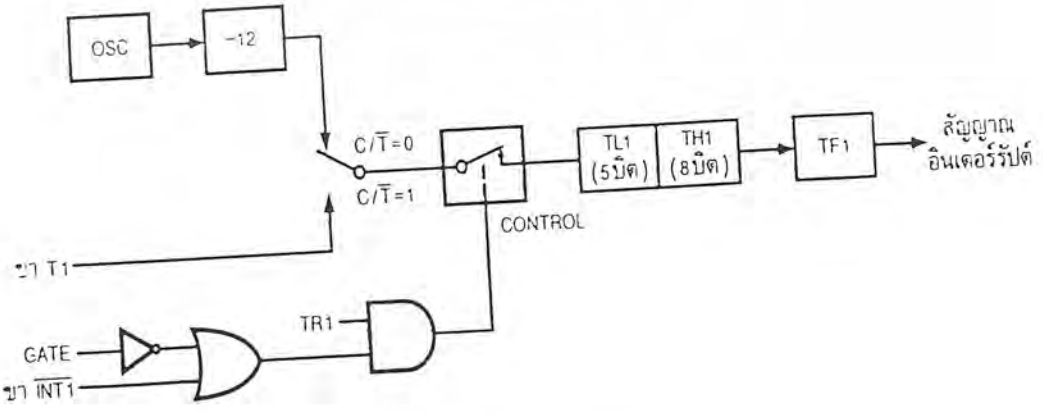
GATE บิตควบคุม GATE สำหรับควบคุมการทำงานของไทเมอร์/เคาน์เตอร์

C/T บิตเลือกการทำงานให้เป็นไทเมอร์หรือเคาน์เตอร์ โดยถ้าถูกเคลียร์มันจะทำงานเป็นไทเมอร์ (อินพุตจะมาจากสัญญาณนาฬิกาจากระบบภายใน) และถ้าถูกเซตจะทำงานเป็นเคาน์เตอร์ (อินพุตมาจากสัญญาณ T0, T1)

M0, M1 เป็นบิตกำหนดโหมดการทำงานของไทเมอร์/เคาน์เตอร์

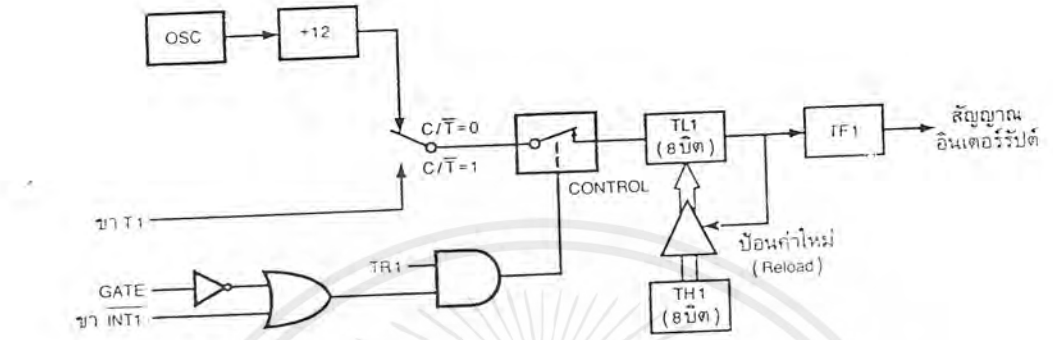
M1	M0	โหมดการทำงาน
0	0	กำหนดให้เป็นไทเมอร์/เคาน์เตอร์ขนาด 13 บิต โดยให้ TL ทำงานเพียง 5 บิต
0	1	กำหนดให้เป็นไทเมอร์/เคาน์เตอร์ขนาด 16 บิต
1	0	ทำงานแบบ 8 บิต โหลดค่าใหม่อัตโนมัติ โดยให้ TH เก็บค่าสำหรับปรับค่าใหม่อัตโนมัติให้กับ TL เมื่อ TL เกิดโอเวอร์โฟลว์
1	1	สำหรับไทเมอร์ 0 กำหนดให้ TL0 ทำงานเป็นไทเมอร์/เคาน์เตอร์ขนาด 8 บิต ถูกควบคุมตามแบบมาตรฐานเช่นเดียวกับในโหมดอื่นๆ สำหรับ TH0 ทำงานเป็นไทเมอร์ขนาด 8 บิต ถูกควบคุมโดยบิตควบคุม TR1 เพียงสัญญาณเดียว
1	1	สำหรับไทเมอร์/เคาน์เตอร์ 1 ในโหมดนี้กำหนดให้หยุดทำงาน

รูปที่ 2.20 หน้าที่การทำงานของแต่ละบิตในรีจิสเตอร์ TMOD(timer mode)

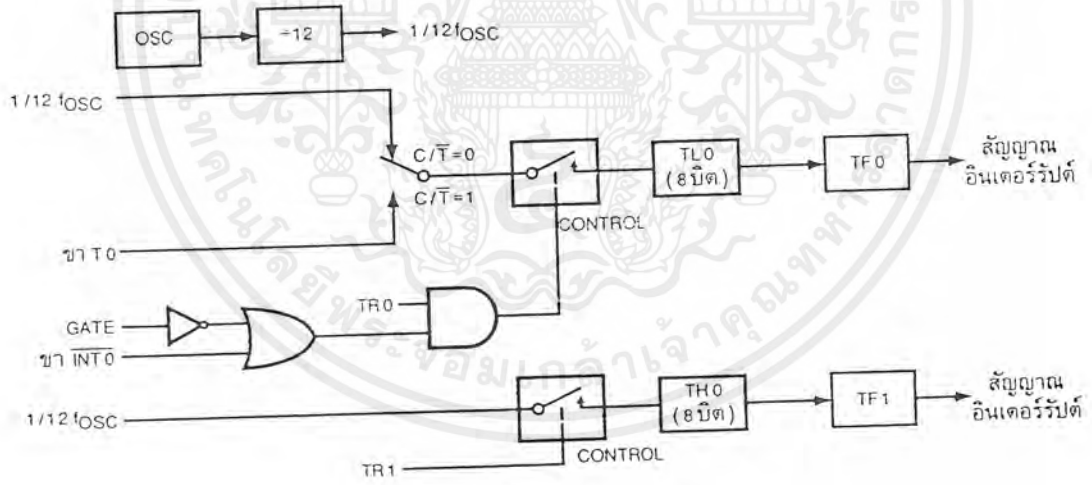


รูปที่ 2.21 แสดงการทำงานของไทเมอร์/เคาน์เตอร์ในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงการทำงานของไทเมอร์/เคาน์เตอร์ในโหมด 2



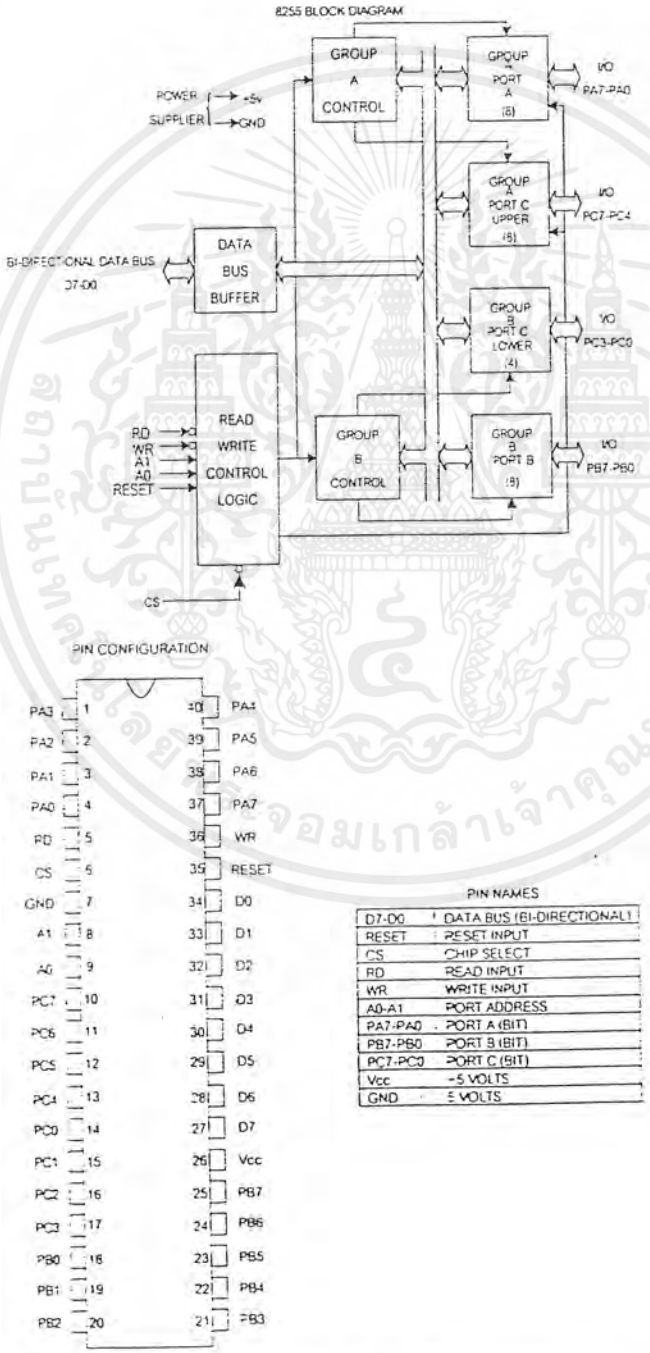
รูปที่ 2.23 แสดงการทำงานของไทเมอร์/เคาน์เตอร์ 0 ในโหมด 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การเชื่อมโยง 8255 กับ MCS-51

8255A PROGRAMMABLE PERIPHERAL INTERFACE

เป็นชิพขนาด 40 ขามีอยู่ พอร์ทคือ A,B,Cเป็นพอร์ท 8 บิตที่สามารถโปรแกรมให้เป็นอินพุทหรือเอาท์พุทก็ได้ โดยที่พอร์ท C ยังแบ่งเป็น 4 บิทล่างและ 4 บิทบน โดยมีโครงสร้างตามรูปที่ 2.24



รูปที่ 2.24 การจัดวางขาและโครงสร้างของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดการทำงาน

การทำงานมีอยู่ด้วยกัน 3 โหมด ดังตารางที่ 2.3

- **โหมด 0** มีการทำงานแบบ BASIC I/O ไม่มี handshake
- **โหมด 1** โหมดนี้ใช้พอร์ท A,B ในการรับหรือส่งข้อมูล และใช้พอร์ท C ในการตรวจสอบสัญญาณ (handshake)
- **โหมด 2** โหมดนี้ใช้พอร์ท A ในการรับส่งข้อมูล 2 ทิศทางและพอร์ท B ในการรับหรือส่งข้อมูลและใช้พอร์ท C บิต 0,1,2 ในการรับส่งข้อมูลบิตและบิต 4,5,6 เป็นสัญญาณ handshake

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA0	IN	OUT	IN	OUT	←→	
PA1	IN	OUT	IN	OUT	←→	
PA2	IN	OUT	IN	OUT	←→	
PA3	IN	OUT	IN	OUT	←→	
PA4	IN	OUT	IN	OUT	←→	
PA5	IN	OUT	IN	OUT	←→	
PA6	IN	OUT	IN	OUT	←→	
PA7	IN	OUT	IN	OUT	←→	
PB0	IN	OUT	IN	OUT	—	MODE OR MODE 1 ONLY
PB1	IN	OUT	IN	OUT	—	
PB2	IN	OUT	IN	OUT	—	
PB3	IN	OUT	IN	OUT	—	
PB4	IN	OUT	IN	OUT	—	
PB5	IN	OUT	IN	OUT	—	
PB6	IN	OUT	IN	OUT	—	
PB7	IN	OUT	IN	OUT	—	
PC0	IN	OUT	INTRB	INTRB	I/O	
PC1	IN	OUT	IBFB	OBFB	I/O	
PC2	IN	OUT	STBA	ACKB	I/O	
PC3	IN	OUT	INTRA	INTRA	INTRA	
PC4	IN	OUT	STBA	I/O	STBA	
PC5	IN	OUT	IBFA	I/O	IBFA	
PC6	IN	OUT	I/O	ACKA	ACKA	
PC7	IN	OUT	I/O	OBFA	OBFA	

ตารางที่ 2.3 สรุปโหมดต่าง ๆ ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่าง ๆ ของ 8255

- DO- D7 บัสข้อมูลเชื่อมโยงกับ CPU
- AO-A1 ใช้เลือกพอร์ท A,B,Cและพอร์ทควบคุม
- RESET เมื่อขานี้ได้รับสัญญาณกระตุ้นลอจิก 1 จะทำให้8255ถูกรีเซ็ตมีผลทำให้ทุกพอร์ทเป็นอินพุททันที
- PAO-PA7 เป็นพอร์ทขนาน 8 บิท
- PBO-PB7 เป็นพอร์ทขนาน 8 บิท
- PCO-PC7 เป็นพอร์ทขนาน 8 บิท
- RD ในการอ่านข้อมูลที่พอร์ทของ 8255 ต้องทำให้ขานี้เป็นลอจิก 0 พร้อมกับ CS
- WR ในการเขียนข้อมูลหรือโปรแกรมลงบน 8255 ต้องทำให้ขานี้เป็นลอจิก 0 พร้อมกับ CS
- CS เป็นขาเลือกชิพ 8255 ได้ ขานี้มักจะต่อกับ I/O DECODER

เมื่อขา WR, RD, AO, A1, CS ทำงานทั้ง 5 ขาจะมีฟังก์ชันการทำงาน ดังตารางที่ 2.4

A1	A0	RD	WR	CS	
					Input operation (READ)
0	0	0	1	0	Port A → data bus
0	1	0	1	0	Port B → data bus
1	0	0	1	0	Port C → data bus
					Output operation (WRITE)
0	0	0	1	0	Data bus → port A
0	1	0	1	0	Data bus → port B
1	0	0	1	0	Data bus → port C
1	0	0	1	0	Data bus → control
					Disable funtion
X	X	X	X	1	Data bus → 3-state
1	1	0	1	0	Illegal condition
X	X	1	1	0	Data bus → 3-state

Source: Courtesy of Intel Corporation

ตารางที่ 2.4 ตารางความจริงของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออดรหัสตำแหน่งพอร์ทของ 8255 ดังแสดงในรูป 2.25 ได้เบอร์พอร์ทดังนี้

C000H - CFFFH

D000H - DFFFH

E000H - EFFFH

F000H - FFFFH

8000H - 8FFFH

9000H - 9FFFH

A000H - AFFFH

B000H - BFFFH

และใช้เอาท์พุทที่ตำแหน่ง (F000H - FFFFH) มาถอดรหัสร่วมกับ A9, A10, A11โดยใช้ 74LS138 ได้พอร์ท

F800H - F9FFH

FA00H - FBFFH

FC00H - FDFFH

FE00H - FFFFH

F000H - F1FFH

F200H - F3FFH

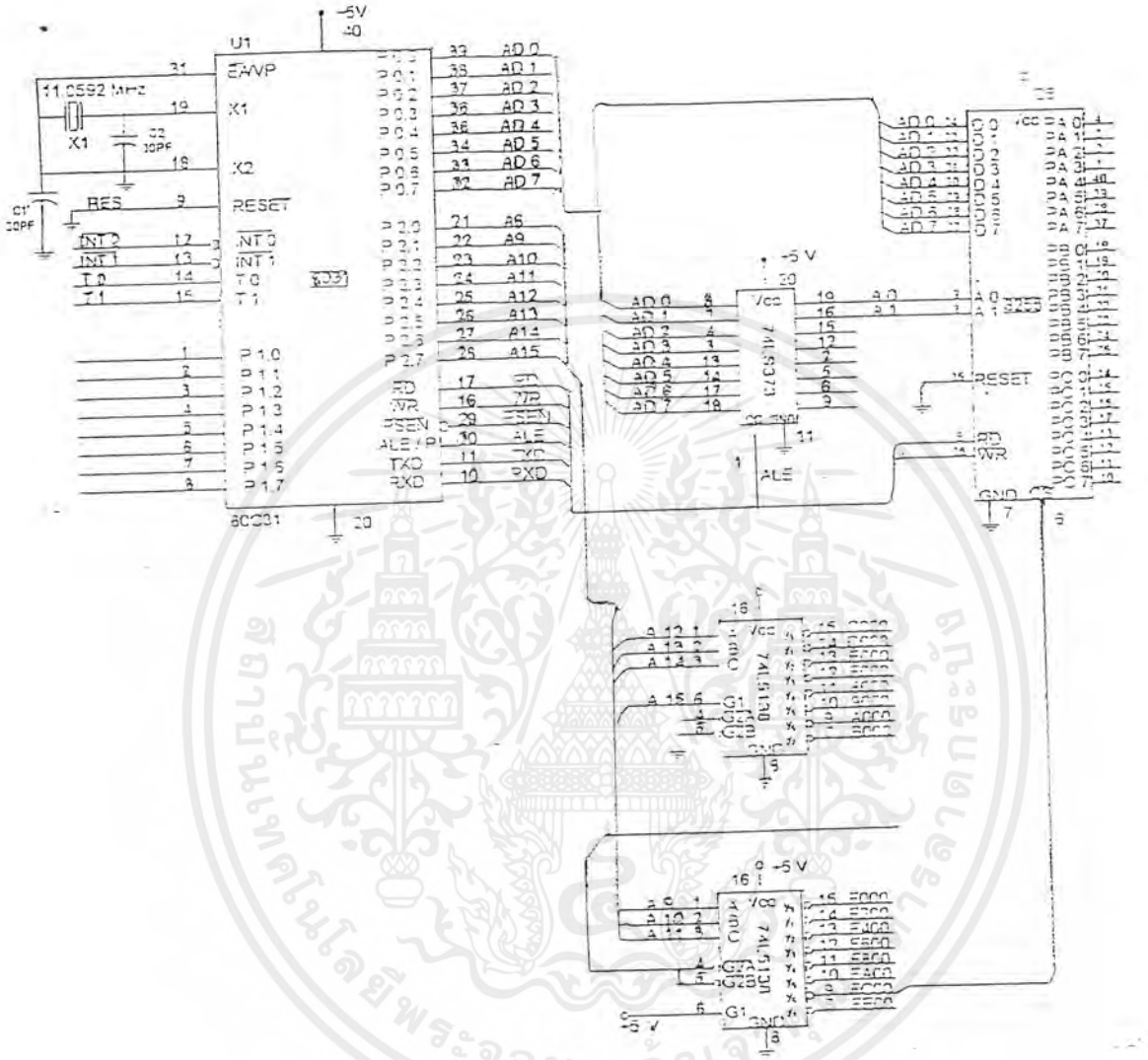
F400H - F5FFH

F600H - F7FFH

สัญญาณเลือกชิพ 8255 ใช้เบอร์พอร์ท (FC00H - FDFFH) และ A0,A1 ต่อเข้า A0,A1 ของ 8255 จะได้เบอร์พอร์ทของ 8255 ดังตารางที่ 2.2

การเชื่อมโยง 8255 เข้ากับ CPU ดังแสดงการต่อในรูปที่ 2.25 ,I/O Address และตารางที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 การเชื่อมโยง 8255 เข้ากับ CPU

I/O ADDRESS	8255 PORT
FC00H	A
FC01H	B
FC02H	C
FC03H	CONTROL

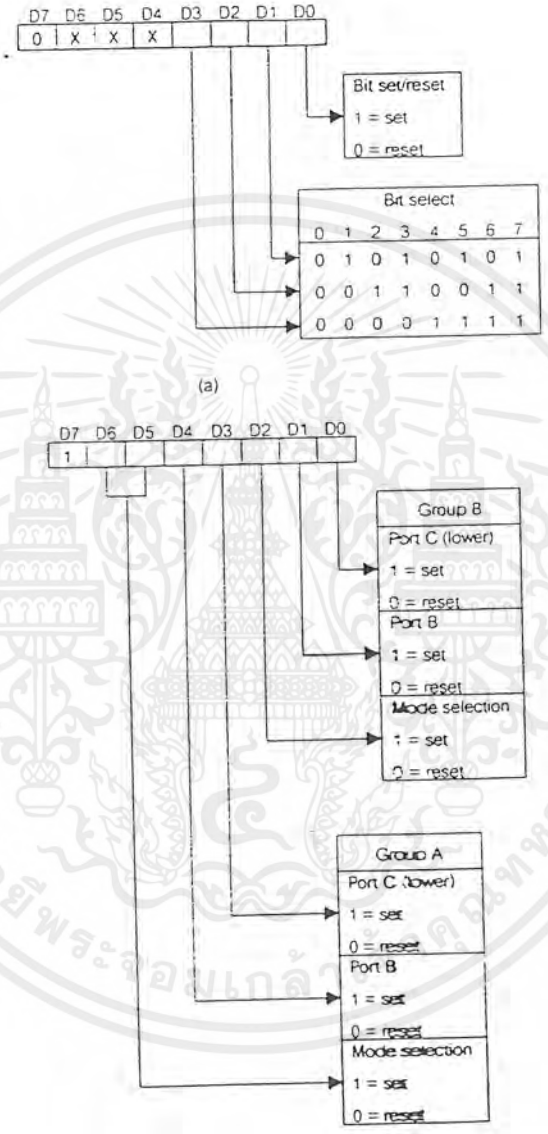
ตารางที่ 2.5 I/O ADDRESS ของ 8255

*ส่วนขา RD, WR ของ 8255 ต่อมาจาก RD, WR ของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโปรแกรม 8255

จะใช้ตารางตามโปรแกรมดังรูปที่ 2.26



รูปที่ 2.26 CONTROLWORDS ทั้ง 2 แบบของ MODE และ BIT DEFIBITION FORMAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผังเวลา (โหมด1) อินพุทพอร์ท

เมื่อพอร์ท A,B ได้ถูกโปรแกรมเป็นพอร์ทในการรับส่งข้อมูลแล้ว จะต้องใช้สัญญาณควบคุม 3 สัญญาณ คือ IBF, STB, INTR

IBF : เป็นขาเอาท์พุทแอคทีฟที่ "1" แสดงถึงอินพุทบัฟเฟอร์เต็ม (เมื่อ CPU อ่านข้อมูลจากพอร์ทอินพุทไปแล้วจะทำให้ขานี้เปลี่ยนเป็นลอจิก "0" คือ ว่างพร้อมที่จะรับข้อมูลใหม่)

STB : เป็นขาอินพุทแอคทีฟที่ "0" เป็นขาที่อุปกรณ์ภายนอกส่งมากระตุ้นให้พอร์ท อินพุท Latch DATA ไว้

INTR : เป็นขาเอาท์พุทแอคทีฟที่ "1" จะแอคทีฟหลังจากที่ได้รับ STB แอคทีฟ "0" ช่วงที่ STB เปลี่ยนจาก Low to high ขา INTR จะแอคทีฟทันที (ต้องอีเนเบิล อินเตอร์รัพท์ ฟลิปฟลอปไว้ก่อน) โดย เซ็ทที่ PC4 ถ้าใช้งานที่พอร์ท A และเซ็ทที่ PC2 ถ้าใช้พอร์ท B มี Timing Diagram ของ (โหมด1) อินพุทพอร์ท ดังรูปที่ 2.27

รูปที่ 2.27 ผังเวลา (โหมด1) อินพุทพอร์ท

จาก TIMING DIAGRAM จะเห็นว่า ก่อนที่อุปกรณ์ภายนอกจะส่ง STB มาจะต้องตรวจสอบขา IBF ว่าว่างหรือเปล่า ("0" คือว่าง) ก็จะส่งข้อมูล 8 บิท มาตามหลังด้วย STB แอคทีฟที่ "0" หลังจากนั้นไม่นาน IBF ก็จะเป็น "1" แสดงว่าข้อมูลถูก Latch ไว้ได้แล้ว ช่วงที่ STB เปลี่ยนกลับเป็น "1" ช่วงนี้เอง INTR ก็จะแอคทีฟ (มีลอจิก "1") สัญญาณนี้ถูกต่อกับขา INT ของ CPU ก็จะกระโดดไปโปรแกรมบริการอินเตอร์รัพท์ ภายในโปรแกรมอินเตอร์รัพท์จะมีการอ่านข้อมูลไปเก็บ เมื่ออ่านข้อมูลไปเก็บเสร็จแล้ว IBF ก็จะว่างลงอีกครั้ง (เป็นลอจิก "0")

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผังเวลา (โหมด1) เอาท์พุทพอร์ท

เมื่อพอร์ท A,B ได้ถูกโปรแกรมใน (โหมด1) เพื่อใช้ในการส่งข้อมูล 8 บิต พอร์ทจะถูกกำหนดให้เป็นพอร์ทในการตรวจสัญญาณ (HANDSHAKE) สัญญาณที่ใช้มี 3 สัญญาณ คือ OBF, ACK, INTR

OBF : เป็นขาเอาท์พุทแอคทีฟ "0" เมื่อ CPU ส่งข้อมูลออกมาที่พอร์ทของ 8255 แล้วขานี้จะเป็น "0" หลังจากช่วงขอบขาขึ้นของ WR และจะเปลี่ยนเป็น "1" ในช่วงขอบขาขึ้นของ ACK (ขา OBF ถ้ามีลอจิก "0" หมายถึง เอาท์พุทบัฟเฟอร์เต็ม ถ้าเป็น "1" หมายถึงว่าง)

ACK : เป็นขาอินพุทแอคทีฟที่ "0" เป็นสัญญาณตอบรับอุปกรณ์ภายนอกส่งมายัง 8255 หลังจาก LATCH ข้อมูลได้แล้ว

INTR : เป็นขาเอาท์พุทแอคทีฟที่ "1" ส่งไปอินเตอร์รัพท์ CPU หลังจากที่ 8255 ได้รับ ACK ช่วงขอบขาขึ้น ก็จะส่ง INTR แอคทีฟ "1" ออกไป (ต้องโปรแกรม INTR ไว้ก่อนโดย พอร์ท A เซ็ทที่ PC6 พอร์ท B เซ็ทที่ PC2 มี TIMING DIAGRAM (โหมด1) เอาท์พุทพอร์ท ดังรูปที่ 2.28)

รูปที่ 2.28 ผังเวลา (โหมด1) เอาท์พุทพอร์ท

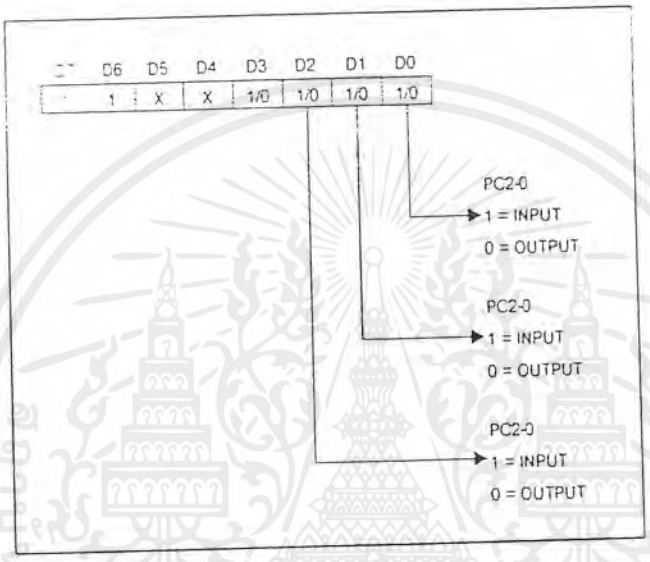
จาก TIMING DIAGRAM จะเห็นว่าการทำงานสามารถอธิบายได้ดังนี้ ก่อนที่ CPU จะส่งข้อมูลใหม่มายังเอาท์พุทพอร์ท จะต้องตรวจเช็ค OBF ก่อนถ้า OBF = "1" (คือว่าง) ก็สามารถส่งข้อมูลใหม่มาที่พอร์ทเอาท์พุทได้ ในการส่งข้อมูลมาสัญญาณ WR จะแอคทีฟ "0" และช่วง WR เปลี่ยนเป็น "1" ช่วงนี้เองจะทำให้ OBF และ INTR เป็น "0" อยู่ช่วงหนึ่งจนกว่าจะมีสัญญาณ ACK (สัญญาณตอบรับจากอุปกรณ์ภายนอกบอกว่ารับข้อมูลไว้แล้วหลังจาก ACK เป็น LOW ทำให้ OBF เป็น "1" คือเอาท์พุทบัฟเฟอร์จะว่างลงอีกครั้งเมื่อ ACK เปลี่ยนเป็น "1" ช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

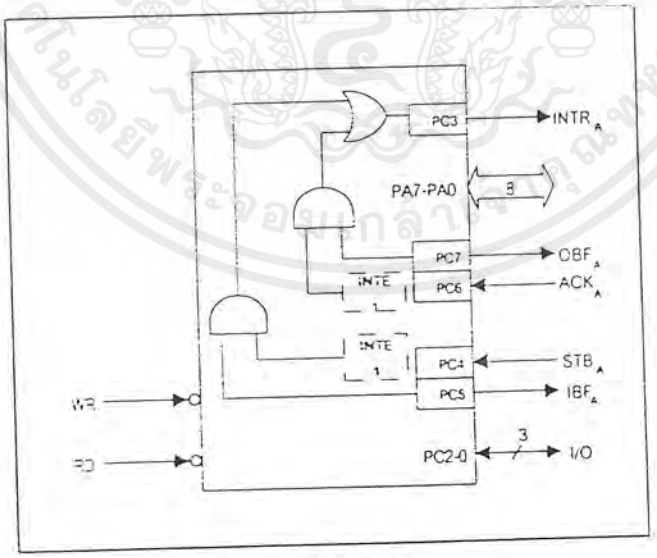
leading edge จะทำให้ INTR เปลี่ยนเป็น "1" ด้วยช่วงนี้เองโปรแกรมจะกระโดดไป ISR (INTERRUPT SERVICE ROUTINE) เพื่อจะได้นำข้อมูลใหม่มาที่พอร์ทเอาท์พุท)

8255 (โหมด 2) ใช้พอร์ทรับส่งข้อมูลแบบบัส 2 ทิศทาง

พอร์ท B เป็น I/O และ พอร์ท C เป็นสัญญาณ handshake มีตาราง Control Word และผังเวลาดังรูป 2.29

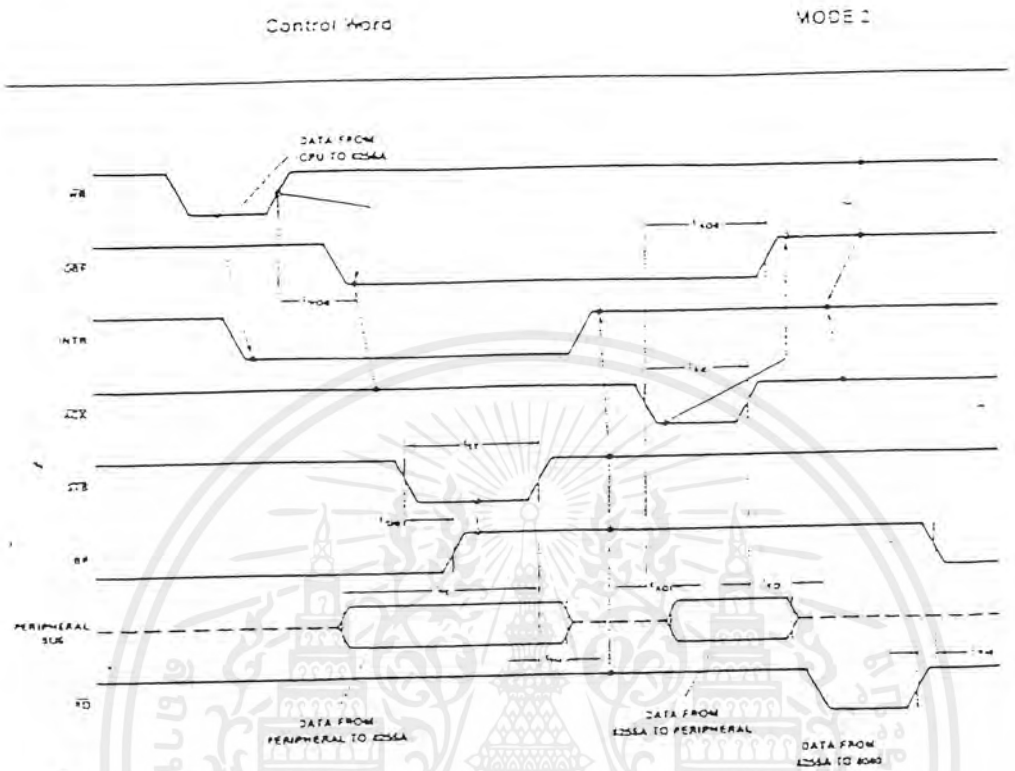


Control Word



MODE2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงตาราง Control word และผังเวลาของ 8255 (โหมด 2)

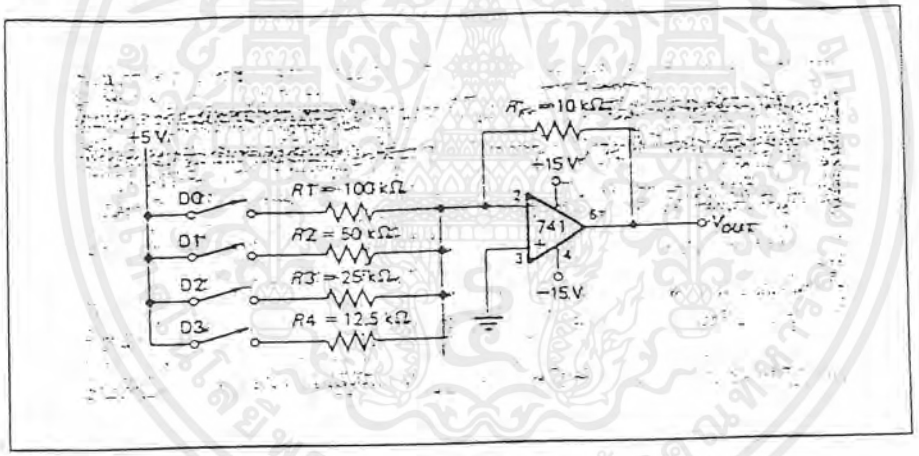
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก

วงจรดีทูเอชนิดต่างๆ

แบบใช้ตัวต้านทานหลายค่า (Binary Weighted Resister D/A Converter)

วงจรชนิดนี้ใช้ตัวต้านทานต่างๆ กับออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับเป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 2.30 แสดงวงจรเปลี่ยนสัญญาณดิจิตอลขนาด 4 บิท ออปแอมป์ที่ใช้มีอัตราขยายสูงมาก (โดยทั่วไปจะสูงกว่า 100,000 เท่า) มีความต้านทานเอาท์พุทต่ำ ความต้านทานอินพุทสูงมาก สิ่งสำคัญที่สุดที่จะต้องตระหนักไว้ก็คือ สัญญาณที่เอาท์พุทถูกป้อนกลับมายังอินพุทแบบกลับเฟส (การป้อนกลับแบบลบ) เพื่อเปรียบเทียบกับสัญญาณที่ขาอินพุทแบบไม่กลับเฟส เอาท์พุทของออปแอมป์จะเป็นตัวจ่ายกระแสหรือรับกระแส (Souce or sink) เพื่อให้แรงดันที่เปรียบเทียบกันนั้นมีค่าเดียวกัน วงจรในรูปที่ 2.30 ต่อขาไม่กลับเฟสลงกราวด์ ดังนั้นที่ขากลับเฟสก็จะมีแรงดัน 0 โวลต์ด้วย การที่อินพุทที่ขากลับเฟสเป็น 0 โวลต์ด้วยโดยไม่ได้ต่อลงกราวด์โดยตรง จึงถูกเรียกว่า กราวด์เทียม (virtual ground)



รูปที่ 2.30 วงจรดีทูเอแบบใช้ตัวต้านทานหลายค่า

เมื่อสวิตช์ D0 ปิด ตัวต้านทาน R1 ค่า 100 กิโลโอห์ม จะมีแรงดัน 5 โวลต์ที่ปลายข้างหนึ่ง อีกข้างหนึ่งเป็น 0 โวลต์ ซึ่งให้กระแสไหลผ่าน 0.05 มิลลิแอมป์ กระแสนี้ไม่อาจเข้าไปยังอินพุทของออปแอมป์ได้ เนื่องจากออปแอมป์มีความต้านทานอินพุทสูงมากและไม่สามารถส่งหรือรับกระแสมากๆ ได้ ดังนั้นกระแส 0.05 มิลลิแอมป์จึงต้องไหลผ่านไปยังเอาท์พุท โดยผ่านตัวต้านทานป้อนกลับ R_F 10 โอห์ม จะได้แรงดันเอาท์พุทเท่ากับ (10 กิโลโอห์ม)*(-0.05 มิลลิแอมป์) = -0.5 โวลต์ เพื่อรับกระแสผ่านสวิตช์ D0 และรักษาสภาวะกราวด์เทียมไว้

เมื่อเปิดวงจรที่สวิตช์ D0 และปิดวงจรที่สวิตช์ D1 (ขณะที่ R2 มีค่าเป็นครึ่งหนึ่งของ R1) กระแสเพิ่มเป็น 2 เท่าหรือ 0.1 มิลลิแอมป์ ไหลผ่าน R_F, กราวด์เทียมและ R2 ทำให้มีแรงดันเอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุท –1 โวลต์ ต่อไปก็ปิดวงจรทั้งที่ D0 และ D1 จะได้กระแส 0.05 มิลลิแอมป์ไหลผ่าน R1 และ 0.1 มิลลิแอมป์ผ่าน R2 รวมกระแส 0.15 มิลลิแอมป์ ได้แรงดันเอาท์พุท –1.5 โวลต์

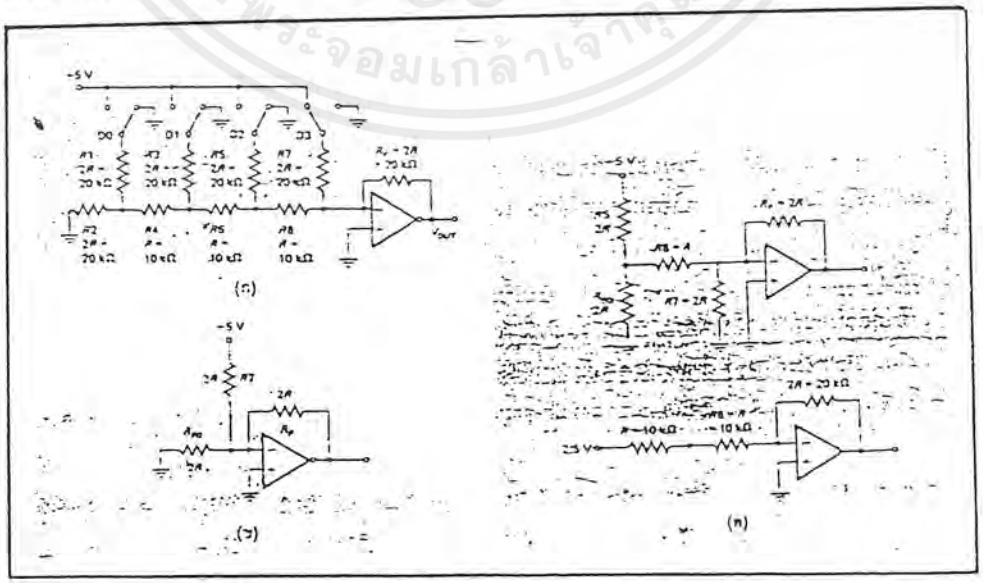
เมื่อเปลี่ยนการเปิดปิดสวิตช์ไปเรื่อยๆ จะได้แรงดันเอาท์พุทค่าต่างๆ กัน กระแสที่ผ่านสวิตช์แต่ละตัวจะถูกรวมกันที่จุดกราวด์เทียม แล้วเปลี่ยนเป็นแรงดันที่ เอาท์พุท โดยตัวต้านทานป้อนกลับ R_F

แรงดันเอาท์พุทจะเพิ่มเป็นระดับๆ เหมือนขั้นบันได ดังนั้น 4 บิทจึงได้ 15 ระดับ แต่ละระดับต่างกัน –0.5 โวลต์ อาจกำหนดระยะห่างของแต่ละระดับได้โดยเปลี่ยนขนาดของ R_F แต่ถ้า R_F มีค่ามากเกินไประดับบนสุดจะขับออปแอมป์ถึงจุดอิ่มตัว (ที่แรงดัน –14 โวลต์)

แบบใช้ตัวต้านทาน 2 ค่า (R/R2 Ladder D/A Converter)

เมื่อวงจรดีทูเอมีขนาดมากกว่า 4 บิท วงจรตามรูปที่ 2.30 จะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีนี้ใช้หลักการไบนารี่เวดเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า แสดงในรูปที่ 2.31(ก) ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ R_F เหมือนรูปที่ 2.30 วิธีนี้เร็วกว่า การใช้ความต้านทาน 2 ค่า

สังเกตให้ดี หลักการความต้านทาน2 ค่า ดูไปก็คล้ายกับกฎของเคียร์ฮอฟ เพียงแต่ว่าค่าความต้านทานที่ใช้เป็นอัตราส่วนที่ทำให้คำนวณได้ง่าย แรกเลยสมมุติว่าสวิตช์ D3 ซึ่งเป็นสวิตช์ในบิทที่มีนัยสำคัญสูงสุดนั้น ต่อกับแรงดันอ้างอิง 5 โวลต์ ในขณะที่สวิตช์ตัวอื่นปิดลงกราวด์ ดังนั้น R1 และ R2 จึงต่อขนานกันลงกราวด์ สังเกตตัวต้านทาน 2R ต่อขนานกับ 2R อีกตัวหนึ่ง จึงมีค่าเท่ากับ R ค่า R นี้จะถูกบวกรวมกับ R4 กลายเป็นค่า 2R แล้วขนานกันกับ R3 ต่อลงกราวด์ การรวมของ R3 และตัวต้านทานก่อนหน้าจึงทำให้เหลือเพียงค่า R ต่ออนุกรมกับ R6 พิจารณาเช่นเดียวกันกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรง่ายขึ้น ดังรูปที่ 2.31(ข)

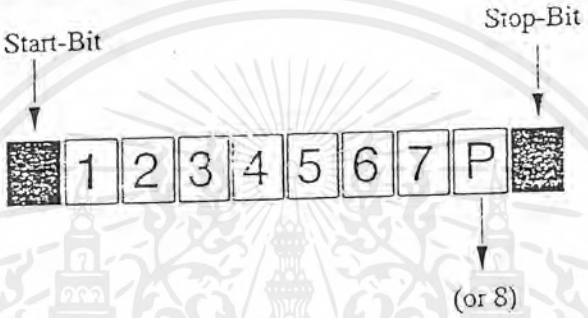


รูปที่ 2.31 วงจรเปลี่ยนสัญญาณแบบ R/2R Ladder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การรับส่งข้อมูลแบบอนุกรม (serial)

การรับส่งข้อมูลปบบอนุกรมนั้นมีชื่อเรียกว่าการต่ออินเตอร์ (Serial interface) หรืออาร์เอส 232 ซี (RS 232C) การรับส่งข้อมูลแบบนี้ซับซ้อนกว่าแบบแรกมาก วิธีการส่งข้อมูลจะนำข้อมูลหนึ่งไบต์มาส่งออกไปทางสายทีละหนึ่งบิต เรียงกันไปจนครบ 8 บิต จากการที่ส่งข้อมูลเรียงกันไปนี้ จำนวนสายที่ใช้ส่งข้อมูลจึงลดลงเหลือเพียง 3 ถึง 5 สายเท่านั้น ความซับซ้อนอยู่ตรงที่ทำอย่างไรทางด้านรับจึงจะรู้ว่า ข้อมูลมาถึงเมื่อไร ตรงไหน คือข้อมูลบิตแรก บิตที่สอง ไปจนถึงบิตสุดท้าย เราจึงต้องเพิ่มส่วนเริ่มต้นข้อมูลและส่วนปิดท้ายข้อมูลเข้าไปด้วย เรียกว่าสตาร์ทบิต (Start bit) และสตอปบิต (Stop bit)



รูปที่ 2.32 Start Bit และ Stop Bit จะช่วยให้คอมพิวเตอร์แยกข้อมูลแต่ละตัวออกมาได้อย่างถูกต้อง

ดราวนี้ผู้รับหรือคอมพิวเตอร์ที่รับข้อมูลก็จะสามารถแยกแยะสัญญาณที่ได้รับออกมาเป็นข้อมูลได้ถูกต้อง ข้อดีของการส่งข้อมูลแบบอนุกรมก็คือ เหมาะสำหรับส่งข้อมูลระยะทางไกลมากกว่าการส่งข้อมูลแบบขนาน เพราะใช้จำนวนสายน้อยกว่า และระดับแรงดันไฟฟ้าที่ใช้ในการส่งมีค่า +12 โวลต์ กับ –12 โวลต์ ทำให้เราสามารถส่งข้อมูลได้ไกลถึง 35 เมตร โดยไม่ต้องมีอุปกรณ์เพิ่มเติมเข้าช่วยเลย ข้อเสียของการส่งข้อมูลแบบอนุกรมคือ ความเร็วในการส่งข้อมูลจำกัดอยู่ที่ 19200 บิตต่อวินาทีสูงสุด นับว่าช้ากว่าการส่งข้อมูลแบบขนานอยู่มากทีเดียว

การส่งข้อมูลแบบอนุกรมนี้ เราต้องคำนึงถึงรายละเอียดในการส่งข้อมูลมากกว่าการส่งแบบขนานหลายอย่าง เช่น ความเร็วในการรับส่งข้อมูล การตรวจสอบความถูกต้องของข้อมูล จำนวนบิตของข้อมูล ฯลฯ ทั้งหมดนี้ถ้ามีอะไรไม่ตรงกันระหว่างผู้รับและผู้ส่ง การส่งข้อมูลแบบอนุกรมก็จะผิดพลาดหรือรับส่งกันไม่ได้

สายเคเบิลของ RS-232

การรับส่งข้อมูลแบบอนุกรมของคอมพิวเตอร์หรือที่เรียกว่าอาร์เอส 232 นั้นใช้กันมากในการรับส่งข้อมูลระหว่างคอมพิวเตอร์กับคอนโทรลเลอร์ คอมพิวเตอร์กับโมเด็ม คอมพิวเตอร์กับอุปกรณ์ต่อพ่วงแบบต่างๆ เช่น เมาส์ เครื่องวาดภาพ (Plotter) เครื่องพิมพ์บางชนิดที่ใช้พอร์ต

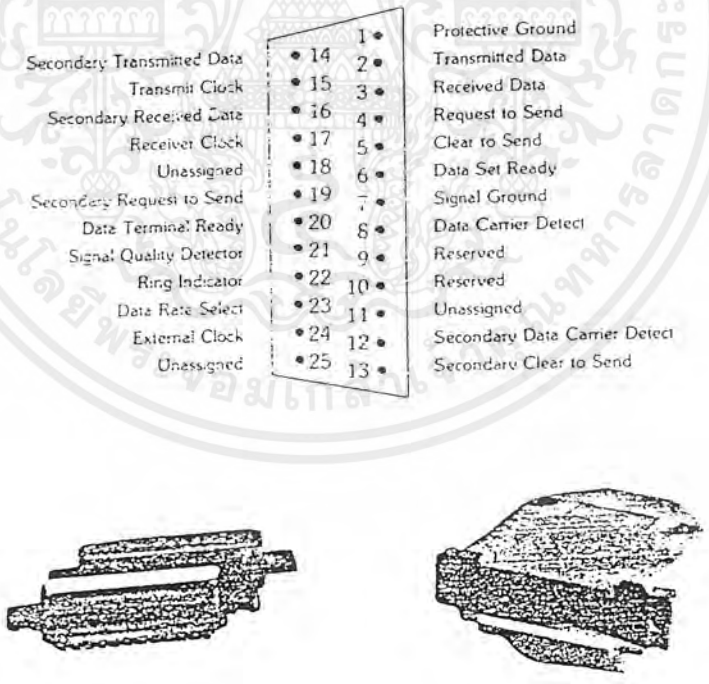
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนุกรม รวมทั้งอุปกรณ์วัดสัญญาณต่างๆ ทางวิทยาศาสตร์ก็มักรับส่งข้อมูลกับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรมนี้ การส่งข้อมูลแบบอนุกรมจึงจัดเป็นมาตรฐานที่ใช้กันอย่างกว้างขวางวิธีหนึ่ง

มาตรฐานของการรับส่งข้อมูลแบบอนุกรมนี้ มีการกำหนดขึ้นมาเพื่อให้คอมพิวเตอร์ต่างชนิดกัน หรืออุปกรณ์ต่อพ่วงแต่ละชนิดรับส่งข้อแลกันได้ เมื่อทำตามมาตรฐานนี้ โดยไม่สนใจว่าอุปกรณ์หรือคอมพิวเตอร์นั้นจะผลิตมาจากที่ใด โดยมีการกำหนดรายละเอียดในการรับส่งข้อมูล เช่น ข้อต่อ (connector) ที่ใช้เป็นแบบใด มีสัญญาณที่ใช้กี่เส้น แต่ละสัญญาณทำหน้าที่อะไร และใช้ระดับแรงดันไฟฟ้าเท่าไรในการรับส่งข้อมูลความเร็วในการรับส่งข้อมูลจะเป็นเท่าใดบ้าง ใช้ข้อมูลกี่บิตในการรับส่งข้อมูล ฯลฯ อุปกรณ์หรือคอมพิวเตอร์ก็จะทำตามมาตรฐานนี้ ทำให้สามารถรับส่งข้อมูลได้อย่างไม่มีปัญหา ในตอนนี้เราจะมาดูรายละเอียดกันว่าสัญญาณต่างๆ ของการรับส่งข้อมูลแบบอนุกรมมีอะไรบ้าง และสายเคเบิลที่ใช้เชื่อมต่อส่งข้อมูลกันจะต้องต่อสายอย่างไร

ขาต่างๆของการรับส่งข้อมูลแบบอนุกรม

เริ่มจากตัวข้อต่อ ระหว่างสายเคเบิลทั้งสองปลาย จะใช้ข้อต่อแบบ 25 ขา รูปร่างหน้าตัดคล้ายตัว "D" มีชื่อเรียกว่า DB-25 ดังแสดงในรูปที่ 2.33



รูปที่ 2.33 แสดงข้อต่อแบบ DB-25 และตำแหน่งขาต่างๆ

กำหนดการใช้งานเอาไว้ทั้งหมด 22 ขา ไม่ได้ใช้ 3 ขา สัญญาณแต่ละขาจะทำหน้าที่ของมันตามที่กำหนดเอกไว้ แต่ปกติแล้วในการรับส่งข้อมูลทั่วไปเราใช้สัญญาณเพียง 8 ถึง 9 เส้นเท่านั้นก็พอ สัญญาณที่เหลือเราไม่น่าจะใช้ เนื่องจากว่าบางเส้นเป็นสัญญาณรับส่งข้อมูล และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณควบคุมของช่องสัญญาณสำรอง (Secondary Channel) บางเส้นปล่อยว่างไว้ และบางเส้นใช้สำหรับงานพิเศษบางอย่างเท่านั้น เราจึงไม่กล่าวถึงในที่นี้

สายเคเบิลที่ใช้รับส่งข้อมูลส่วนมากจึงใช้สายเพียง 8 ถึง 9 เส้นเท่านั้น จากข้อต่อ 25 ขา สัญญาณแต่ละเส้นเรียงตามลำดับดังนี้คือ ขาที่ 1, 2, 3, 4, 5, 6, 7, 8, และ 20 กับ22 โดยที่ขาที่ 1 (Protective Ground) นั้น มักจะไม่จำเป็นต้องต่อใช้งาน จึงเหลือจำนวนสายที่ใช้เพียง 9 เส้น หน้าที่ของสัญญาณแต่ละเส้นก็คือ

- ขาที่ 1 (Protective Ground) เป็นสายดินของอุปกรณ์
- ขาที่ 2 (Transmitted Data) ใช้สำหรับส่งข้อมูล
- ขาที่ 3 (Received Data) ใช้สำหรับรับข้อมูล
- ขาที่ 4 (Request to Send) เป็นสัญญาณขอทำการส่งข้อมูล
- ขาที่ 5 (Clear to Send) เป็นสัญญาณตอบรับว่าเริ่มส่งข้อมูลได้แล้ว
- ขาที่ 6 (Data Set Ready) เป็นสัญญาณแสดงว่าตัวรับพร้อมที่จะรับข้อมูลแล้ว
- ขาที่ 7 (Signal Ground) เป็นกราวด์ของสัญญาณรับส่ง
- ขาที่ 8 (Data Carrier Detect) เป็นตัวบอกว่าทั้งตัวรับและตัวส่งต่อถึงกันเรียบร้อยแล้ว และพร้อมที่จะทำการรับส่งข้อมูล ในกรณีที่ใช้ต่อกับโมเด็ม ขานี้จะเป็นตัวบอกว่าโมเด็มทั้งสองด้านต่อถึงกันได้แล้วโดยมีสัญญาณแคเรี่ย (Carrier) ส่งถึงกัน
- ขาที่ 20 (Data Terminal Ready) เป็นสัญญาณแสดงว่าตัวส่งพร้อมที่จะส่งข้อมูล
- ขาที่ 22 (Ring Indicator) เป็นขาแสดงแทนกริ่งโทรศัพท์ที่เรียกเข้ามา การเชื่อมต่อบางอย่างก็จะไม่ใช้ขาที่ 22 นี้ในการทำงาน

ส่วนขาอื่นๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมา และบางเส้นกับงานพิเศษเท่านั้นจึงไม่ขอกล่างในที่นี้ ขาที่เราใช้สำหรับส่งข้อมูลของข้อต่อแบบ DB- 25 จึงเหลือเพียงขา 2, 3, 4, 5, 7, 8, 20 และ 22 ยกเว้นการต่อใช้งานบางอย่างถึงคงจะต่อครบทุกเส้น

DB-25 และ DB-9

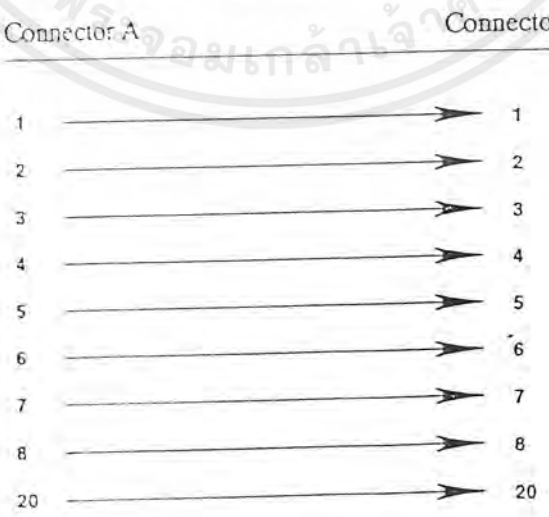
จากการที่ข้อต่อแบบ 25 ขาเราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ๆจึงลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเราเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้น และการใช้งานคล่องตัวกว่า DB-25 สัญญาณต่างๆ ของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางเปรียบเทียบ เครื่องคอมพิวเตอร์แบบไอบีเอ็มเอทีและรุ่นใหม่ๆ มักจะใช้ข้อต่อแบบ DB-9 สำหรับรับส่งข้อมูลอนุกรมทั้งนั้น แต่อุปกรณ์ต่อพ่วงมากยังคงใช้ข้อต่อแบบ DB-25 อยู่ เราจึงต้องใช้สายเคเบิลที่เหมาะสมสำหรับทั้งสองด้านในรับส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายเคเบิลของการรับส่งข้อมูลอนุกรมแบ่งออกได้เป็นสองแบบ คือสายตรงและสายสลับที่ ต้องมีสายสองแบบนี้ก็เพราะว่าการเชื่อมต่อส่งข้อมูลมีสองกรณีคือ คอมพิวเตอร์ต่อกับคอมพิวเตอร์ และคอมพิวเตอร์ต่อเข้ากับอุปกรณ์ต่างๆ เมื่อเราต่อคอมพิวเตอร์เข้ากับคอนโทรลเลอร์เพื่อรับส่งข้อมูลกัน สายสัญญาณรับส่งข้อมูลต้องสลับกันไขว้กัน เพื่อให้สัญญาณส่งของตัวแรกไปเข้าสัญญาณรับของตัวที่สอง เราจงเรียกสายเคเบิลแบบนี้ว่าสายสลับ ส่วนการต่อคอมพิวเตอร์เข้ากับอุปกรณ์ต่อพ่วงนั้น สายสัญญาณของอุปกรณ์ต่อพ่วงเช่นโมเด็ม และพล็อตเตอร์ มักจะสลับสัญญาณรอรับไว้ภายในแล้ว สายเคเบิลจากเครื่องคอมพิวเตอร์จึงต่อตรงเข้าแต่ละเส้นของอุปกรณ์ได้เลย เราจึงเรียกสายเคเบิลแบบนี้ว่าสายตรง กรณีที่วงจรขยายของอุปกรณ์ต่อพ่วงไม่ได้สลับสายไว้ภายใน เราก็ต้องใช้สายสลับต่อระหว่างคอมพิวเตอร์กับอุปกรณ์นี้ ไม่จำเป็นต้องใช้สายตรงเสมอไป

DB-9 Pin	DB-25 Pin	Assignment/Function
1	8	Carrier detect
2	3	Receive data
3	2	Transmit data
4	20	Data terminal ready
5	7	Signal Ground
6	6	Data set ready
7	4	Request to send
8	5	Clear to send
9	22	Ring Indicator

รูปที่ 2.34 การใช้งานรับส่งข้อมูลอนุกรม เราใช้สัญญาณเพียง 9 ขาเท่านั้น



รูปที่ 2.35 การต่อสายตรงของ RS-232C อย่างง่าย

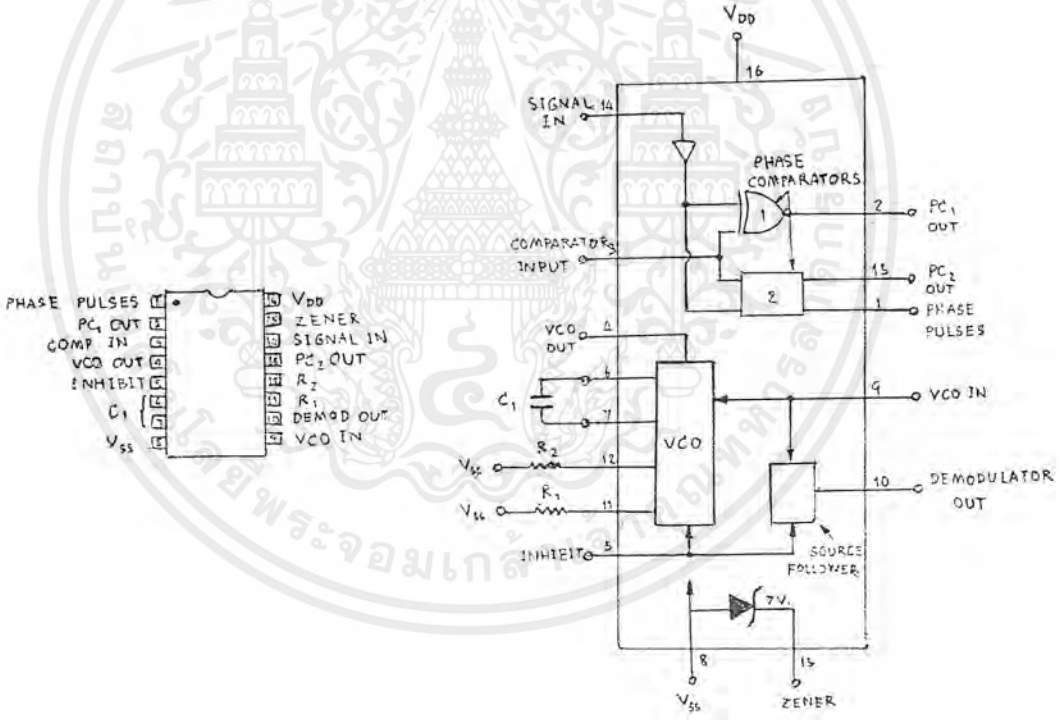
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ซีมอสเฟสล็อกลูป(4046B)

โครงสร้างภายในของ 4046B

ส่วนประกอบภายในและตำแหน่งขาของไอซีเบอร์ 4046B แสดงในรูปที่ 2.36 ซึ่งประกอบไปด้วยวงจรเปรียบเทียบเฟส(phase comparator) 1 คู่, ซีเนอร์ไดโอด 1 ตัว และภาคกำเนิดความถี่ควบคุมด้วยแรงดันหรือ VCO (Voltage Controlled Oscillator) 1 ชุดส่วนประกอบเหล่านี้จะแยกเป็นอิสระจากกัน ในส่วนของ VCO เป็นส่วนที่สามารถดัดแปลงใช้งานได้มากมาย ที่สำคัญคือ มีราคาถูกเมื่อเทียบกับวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบอื่น ๆ

ภาค VCO นี้ให้รูปคลื่นสี่เหลี่ยมที่สมมาตรมีความถี่สูงสุดได้มากกว่า 1 MHz ในการใช้งานนั้น ขาที่ 5 ซึ่งเป็นขา inhibit จะเป็นตัวควบคุมให้ VCO ทำงาน คือถ้าขาที่ 5 มีสภาวะลอจิกเป็น "1"ภาค VCO จะไม่ทำงาน แต่ถ้ามีสภาวะลอจิกเป็น "0" ภาค VCO จะทำงานตามปกติ แรงดันไฟฟ้าที่ไอซีนี้ยังทำงานอยู่ได้ อยู่ในช่วง 3-18 โวลต์



รูปที่ 2.36 แสดงรายละเอียดภายในและการจัดขาของ 4046B

การประยุกต์ใช้งานภาค VCO

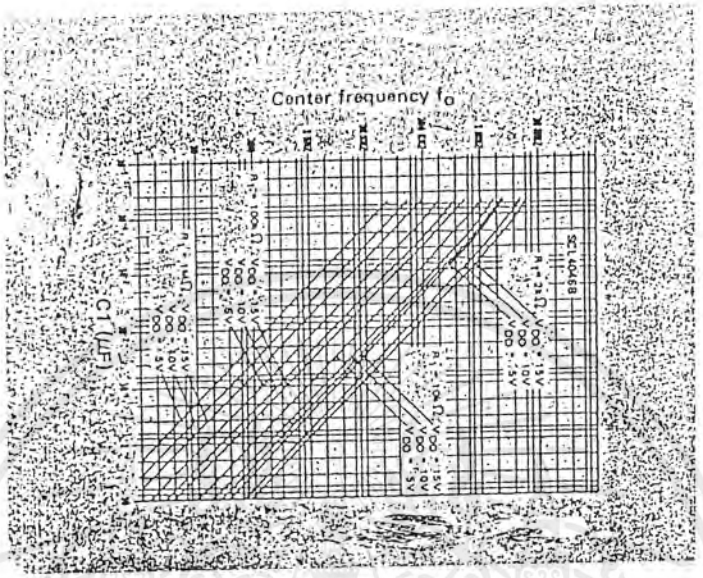
โดยปกติความถี่ในการทำงานของ VCO ถูกควบคุมโดย

3. ตัวเก็บประจุ C1 ที่ต่อระหว่างขา 6 และขา 7 (ค่าต่ำสุดของC1คือ50pF)

2. ตัวต้านทาน R1 ที่ต่อระหว่างขา 11 และกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แรงดันอินพุทที่ขา 9 ของ VCO



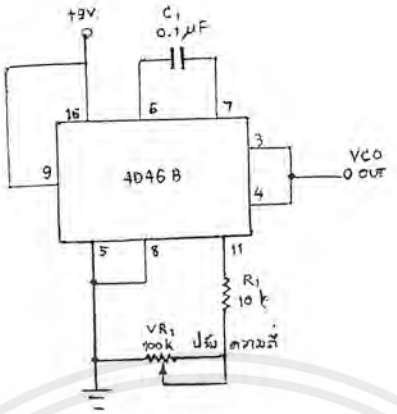
รูปที่ 2.37 กราฟแสดงความสัมพันธ์ของความถี่เอาต์พุทกับค่าของ R1

ในรูปที่ 2.37 เป็นกราฟแสดงความสัมพันธ์ของความถี่ของ VCO กับค่าของ R1 และ C1 เมื่อแรงดันอินพุทที่ขา 9 เป็นครึ่งหนึ่งของแรงดันไฟเลี้ยง (VDD/2) จากความสัมพันธ์ในกราฟจะเห็นว่าเมื่อ R1 และ C1 มีค่าน้อยลงจะทำให้ได้ความถี่สูงขึ้นและถ้าแรงดันขา 9 ยิ่งเพิ่มมากยิ่งขึ้นความถี่จะยิ่งสูงขึ้นจากกราฟรูปที่ 2.37 นี้เองเราสามารถคำนวณค่าแรงดันที่ขา 9 ค่าความต้านทาน R1 และค่าตัวเก็บประจุ C1เพื่อให้ได้ความถี่เอาท์พุทของ VCO ตามที่เราต้องการ

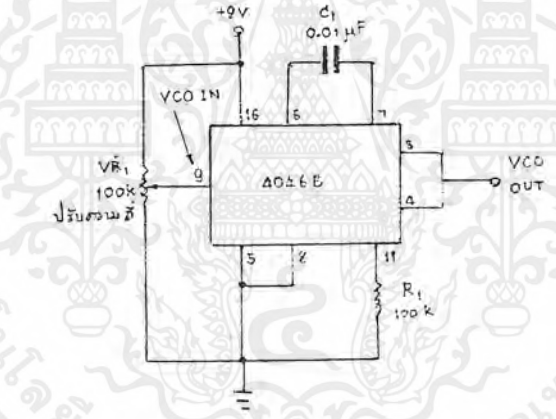
วงจรในรูปที่ 2.38 แสดงการใช้งานอย่างง่ายของ VCO ขา 9 ต่อกับแรงดันไฟเลี้ยง 9 โวลต์ มีVR1 เป็นตัวปรับค่าความถี่ วงจรนี้ให้ความถี่แปรเปลี่ยนจากความถี่เริ่มต้น 10 เท่าคืออยู่ในช่วง 200Hz ถึง 2kHz จะเห็นว่าขา 3 ต่อกับขา 4 เพราะว่าถ้าปล่อยขา 3 ไว้ลอย ๆ วงจรเปรียบเทียบจะเกิดการออสซิลเลตในตัวเองที่ความถี่ประมาณ 20 MHz

วงจรรูปที่ 2.39 แสดงการต่อ VCO ของ 4046B เพื่อให้ได้แถบความถี่ที่กว้างขึ้น ค่า R1 และ C1 เป็นตัวกำหนดค่าความถี่สูงสุดของ VCO ส่วน VR1 เป็นตัวกำหนดค่าความถี่ที่ต้องการ ซึ่งเป็นการปรับค่าแรงดันไฟฟ้าที่ขา 9 นั่นเอง ขณะใช้งาน เมื่อแรงดันที่ขา 9 เป็น 0 โวลต์ ความถี่ที่ได้จะมีค่าใกล้เคียง 0 Hz สำหรับแรงดันอินพุทที่ขา 9 นี้ปกติจะใช้งานอยู่ในช่วง 1 โวลต์ ถึง VDD-1 โวลต์นอกช่วงดังกล่าวความถี่เอาท์พุทของ VCO ไม่สามารถควบคุมได้ ซึ่งเรียกได้ว่าเป็นพื้นที่ต้องห้ามสำหรับการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 วงจรกำเนิดรูปคลื่นสี่เหลี่ยมแบบปรับความถี่อย่างง่าย



รูปที่ 2.39 วงจรกำเนิดความถี่ช่วงกว้างจากเกือบศูนย์จนถึง 1.4 kHz

ตัวอย่างวงจรใช้งานของ 4046B

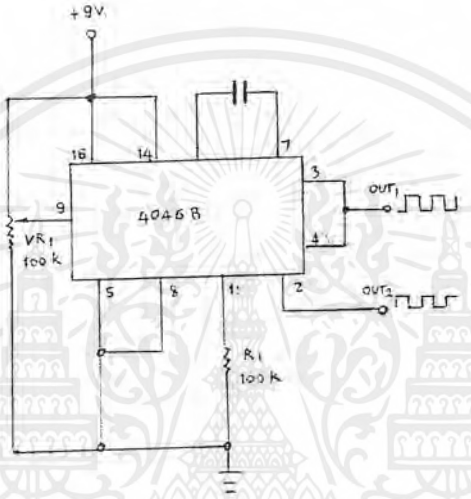
วงจรกำหนดรูปคลื่นสี่เหลี่ยม

มีด้วยกันหลายแบบตามลักษณะการใช้งาน วงจรในรูปที่ 2.40 เป็นการนำเอา VCO มาสร้างรูปคลื่นสี่เหลี่ยมที่มีเฟสกลับกัน 2 รูปคลื่น โดยการต่อเอาท์พุทของ VCO ที่ขา 4 เข้ากับอินพุทของวงจรเปรียบเทียบเฟสที่ขา 3 ส่วนขาที่ 14 ซึ่งเป็นอินพุทอีกขาหนึ่งสำหรับสัญญาณเข้านั้น จะต่อกับแรงดันไฟเลี้ยงเพื่อให้อยู่ในสภาวะลอจิก "1" เราจะได้รูปคลื่นสี่เหลี่ยมที่กลับเฟสแล้วจากเอาท์พุทที่ขา 2ส่วนความถี่ของรูปคลื่นนั้นเราปรับที่ VR1 เพื่อให้ได้ค่าความถี่ที่ต้องการ

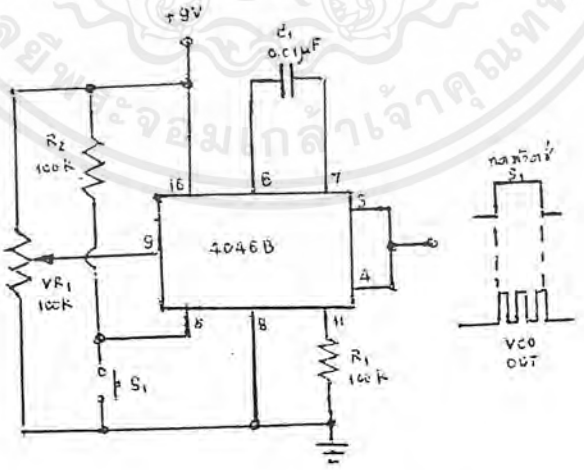
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ควรสังเกตอย่างหนึ่งก็คือวงจรนี้จะใช้วงจรเปรียบเทียบเฟสตัวที่ 1 ซึ่งเป็นเกตชนิด exclusive-OR

ในวงจรรูปที่ 2.41 ให้รูปคลื่นสี่เหลี่ยมโดยใช้สวิตช์แบบกด จากวงจรขา 5 ซึ่งเป็นขา inhibit ถูกต่ออยู่กับแรงดันไฟเลี้ยง ทำให้มีสภาวะลอจิกเป็น "1" ภาค VCO จึงไม่ทำงาน แต่เมื่อกดสวิตช์ S1 แรงดันที่ขา 5 ถูกดึงลงกราวด์ ก็จะเปลี่ยนสภาวะเป็นลอจิก "0" ทำให้ VCO ทำงาน และให้รูปคลื่นสัญญาณสี่เหลี่ยมออกมา ส่วนความถี่นั้นปรับได้ที่ VR1



รูปที่ 2.40 วงจรกำเนิดความถี่ช่วงกว้างที่ให้เอาท์เป็น 2 เฟส



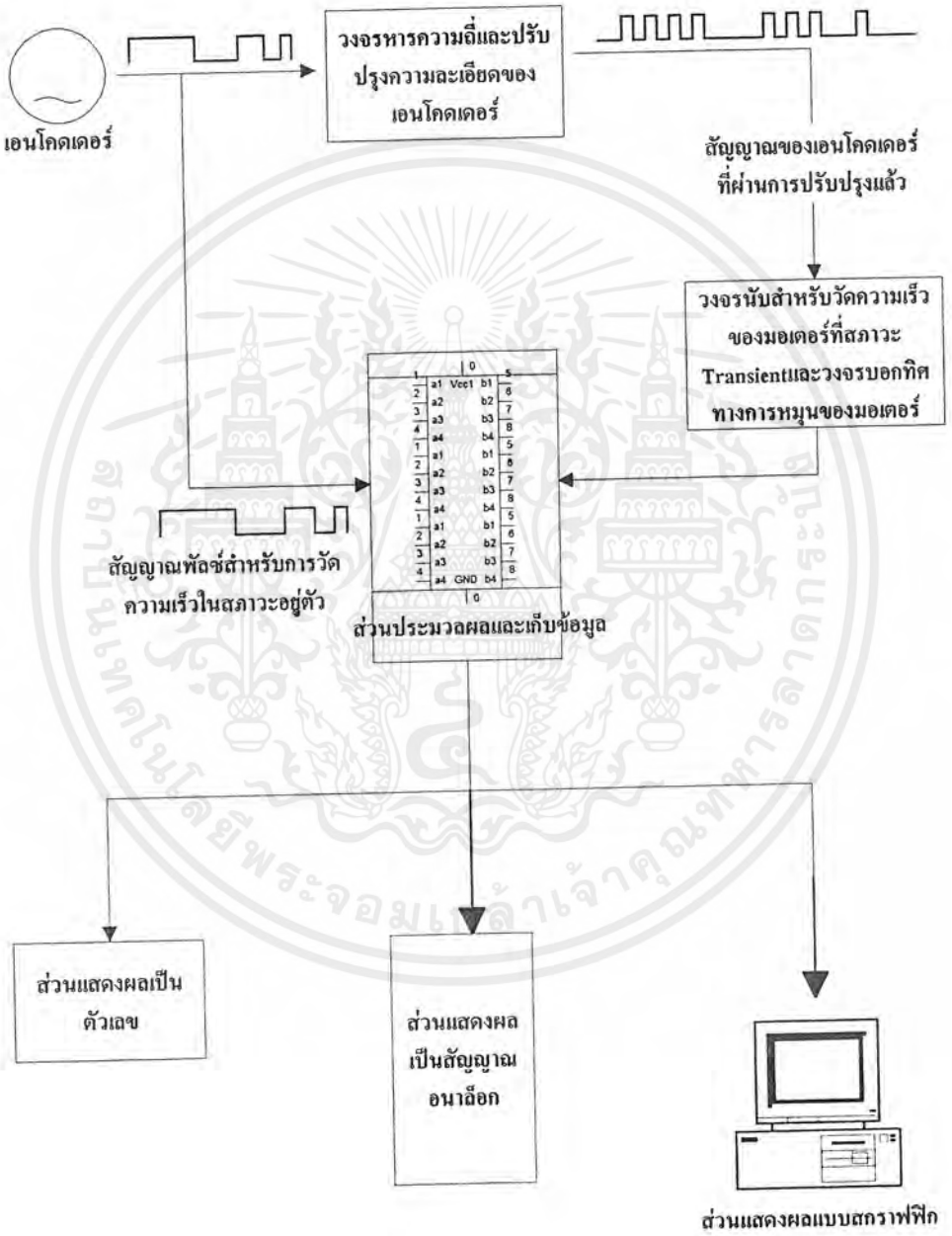
รูปที่ 2.41 การกำเนิดความถี่แบบเปิดเกต ให้ทำงานเป็นช่วง โดยวิธีธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรและหลักการทำงานของ Speed Recorder

3.1 ภาพโดยรวมของวงจรเครื่องวัดความเร็วมอเตอร์



รูปที่ 3.1 Block Diagram แสดงส่วนประกอบโดยรวมของ Speed Recorder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Block Diagram สามารถแบ่งวงจรออกได้เป็น 4 ส่วน

1. ส่วนของวงจรหารความถี่และปรับปรุงความละเอียดของเอนโคดเดอร์
2. ส่วนของวงจรนับสำหรับนับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์ และ วงจรบอกทิศทางการหมุนของมอเตอร์
3. ส่วนประมวลผลและเก็บข้อมูล
4. ส่วนแสดงผล

3.2 การทำงานของเครื่องวัดความเร็วมอเตอร์

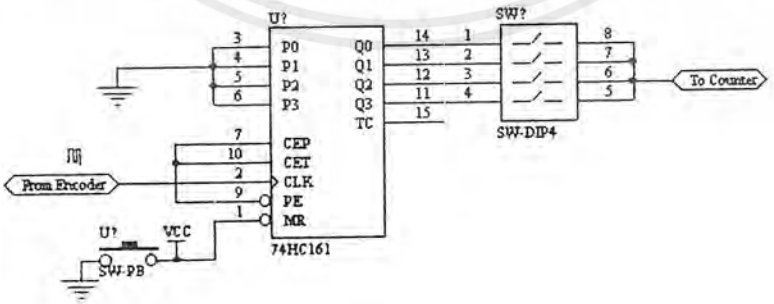
3.2.1 ส่วนของวงจรหารความถี่และปรับปรุงความละเอียดของเอนโคดเดอร์

ในส่วนนี้ประกอบด้วยวงจรทั้งหมด 2 วงจรดังนี้

3.2.1.1 วงจรหารความถี่

จากหลักการของเครื่องวัดความเร็วมอเตอร์ดังที่ได้กล่าวไว้แล้วในบทที่ 2 พบว่า ค่าความเร็วรอบของมอเตอร์จะแปรผกผันกับจำนวนพัลซ์ที่นับได้โดยวงจรนับ ดังนั้นที่ความเร็วรอบต่ำ จำนวนพัลซ์ของออสซิลเลเตอร์ขนาด 10 MHz จะมีมากกว่าจำนวนพัลซ์ที่นับได้ที่ความเร็วรอบของมอเตอร์มีค่าสูง ซึ่งถ้าจำนวนพัลซ์ที่นับได้มีค่ามาก ค่าความคลาดเคลื่อนก็จะมีค่าต่ำกว่ากรณีที่จำนวนพัลซ์ที่นับได้น้อย ดังนั้นที่ความเร็วรอบสูงจะมีค่าความคลาดเคลื่อนสูงกว่าที่ความเร็วรอบต่ำ ด้วยเหตุนี้จึงต้องมีการนำวงจรนับมาทำการหารความถี่ของเอนโคดเดอร์ก่อนที่จำนำไปแอนด์กับสัญญาณพัลซ์จากออสซิลเลเตอร์ เพื่อให้ผู้ใช้สามารถเลือกได้ว่าต้องการวัดค่าความเร็วรอบที่ช่วงความเร็วรอบใด

รายละเอียดของวงจรหารความถี่ของเอนโคดเดอร์นี้ ใช้IC 74HC161ซึ่งเป็น IC วงจรนับแบบซิงโครนัสขนาด 4 บิต เพื่อทำการหารความถี่ของเอนโคดเดอร์ซึ่งมีลักษณะวงจรดังรูปที่3.2



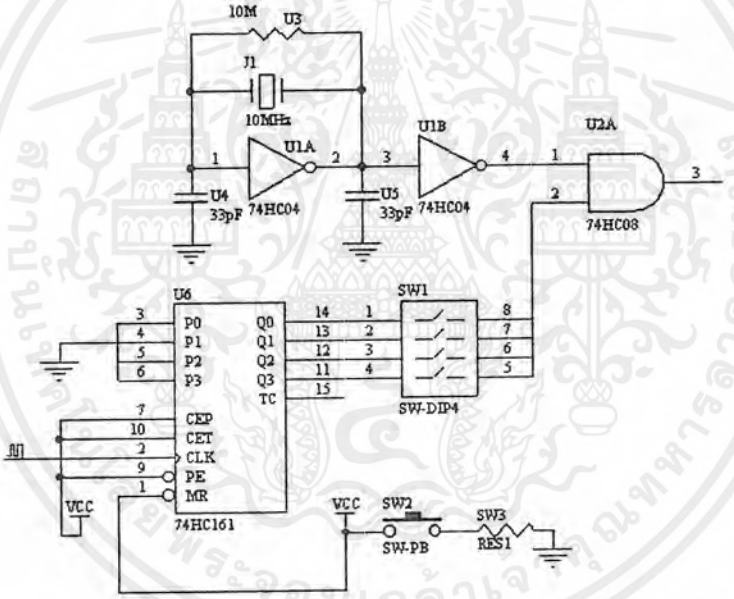
รูปที่ 3.2 วงจรหารความถี่ของเอนโคดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 เมื่อสัญญาณเอาท์พุทจาก IC 74HC161 จะผ่าน ดิพสวิทช์ที่ด้านเอาท์พุท ต่อถึงกันหมดทั้ง 4 บิต ซึ่งดิพสวิทช์มีสำหรับทำการเลือกความถี่ที่ใช้โดยค่าความถี่ที่ผ่านการหาร โดย IC 74HC161 จะมีความถี่เป็น ½ เท่า, 1/4 เท่า, 1/8 เท่า และ 1/16เท่าของความถี่ของเอนโคดเดอร์

3.2.1.2 วงจรปรับปรุงความละเอียดของเอนโคดเดอร์

ในส่วนของวงจรนี้อาศัยวิธีการนำสัญญาณพัลซ์ของเอนโคดเดอร์ที่ผ่านการหารความถี่แล้วนำมาแอนด์กับสัญญาณพัลซ์ความถี่ 10 MHz เอาท์พุทที่ได้จะมีลักษณะเป็นพัลซ์ที่มีลักษณะ 10 MHz สลับกับระดับสัญญาณ 0 ซึ่งรูปวงจรเป็นดังรูปที่ 3.3



รูปที่ 3.3 วงจรปรับปรุงความละเอียดของเอนโคดเดอร์

3.2.2 ส่วนของวงจรนับสำหรับนับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์ และวงจรบอกทิศทางการหมุนของมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.1 วงจรนับสำหรับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์

ในส่วนของวงจรนับนี้ใช้ IC 74HC161 จำนวน 4 ตัว ต่อกันแบบ Cascade เพื่อให้เป็นวงจรนับ 16บิต ซึ่งสัญญาณอินพุทมาจากวงจรปรับปรุงความละเอียดของเอนโคดเดอร์ เมื่อวงจรนับทำการนับสัญญาณแล้ว สัญญาณที่จะถูกส่งไปสู่ส่วนประมวลผลและเก็บข้อมูลโดยผ่านวงจรแลทช์ข้อมูล จำนวน 2 ชั้น

ข้อมูลจำนวนพัลซ์ของเอนโคดเดอร์ที่ผ่านการนับแล้วถูกส่งมารออยู่ที่ด้านอินพุทของ IC 74HC573 ชั้นแรกซึ่งข้อมูลจะ Overwrite ตลอดเวลาจนกว่าจะมีสัญญาณทริกเข้ามาที่ขา 11 ของ 74HC573 ข้อมูลจึงจะถูกส่งไปแลทช์รออยู่ที่ 74HC573 ชั้นที่ 2 ซึ่งสัญญาณทริกให้วงจรแลทช์ชั้นแรกส่งข้อมูลนี้อาศัยสัญญาณขอบขาลงของสัญญาณพัลซ์จากเอนโคดเดอร์ที่ผ่านวงจรหารความถี่แล้วมาทริก Part แรกของ IC 74HC123 ซึ่งเป็น IC โมโนสเตเบิ้ลชนิด Dual แล้วนำสัญญาณเอาท์พุทที่มาเข้าที่ขา 11 ของ 74HC573

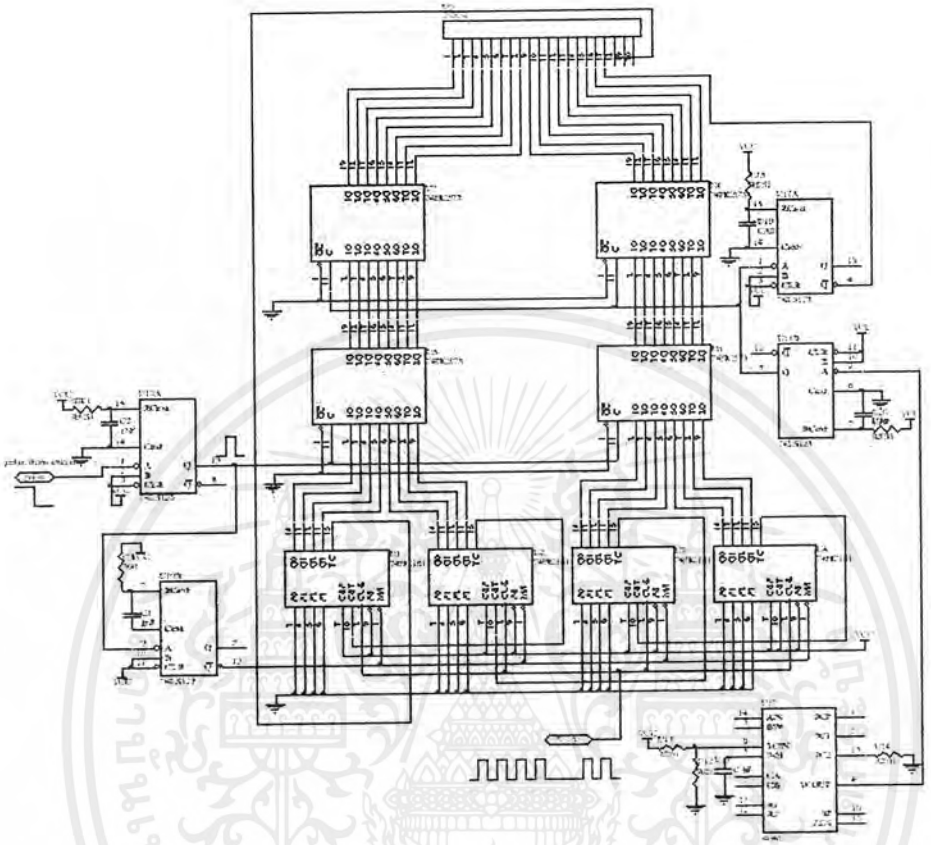
เมื่อข้อมูลจากวงจรแลทช์ชั้นแรกมารอที่อินพุทของ วงจรแลทช์ชั้นที่ 2 ข้อมูลก็จะแลทช์รอจนกว่าจะมีสัญญาณทริกให้ส่งข้อมูลมาทริก สัญญาณทริกนี้มาจาก IC 4046 ซึ่งจะนำมาเพียงส่วนที่เป็น VCO(Voltage Control Oscillator) มาสร้างสัญญาณเพื่อที่จะทริก 74HC123 อีกตัวแล้วนำเอาท์พุทที่ได้จาก74HC123 มาทริกวงจรแลทช์ชั้นที่ 2

ช่วงเวลาที่จะทริกให้ข้อมูลไปรออยู่ที่พอร์ทของวงจรส่วนประมวลผลนั้นจะใช้เวลา 4 มิลลิวินาที ในการที่จะทริก 1 ครั้ง

ในส่วนการรีเซ็ตวงจรนับนั้น ใช้สัญญาณทริกวงจรแลทช์ชั้นที่ 1 ในการทริก 74HC123 part ที่ 2 ของตัวแรกแล้วนำสัญญาณเอาท์พุทอินเวอร์สมาใช้ในการรีเซตวงจรนับ ดังนั้นวงจรนับจะรีเซตทุกคาบเวลาของสัญญาณเอนโคดเดอร์ นอกจากการรีเซ็ตด้วยสัญญาณพัลซ์แล้ววงจรนี้ยังมีส่วนรีเซ็ตด้วยผู้ใช้โดยในวงจรมีการต่อ สวิตซ์รีเซ็ตเข้ากับวงจรนับด้วย

ในส่วนสุดท้ายของวงจรนี้คือส่วนสร้างสัญญาณอินเตอร์รัพท์ ไมโครคอนโทรลเลอร์เพื่อที่จะส่งข้อมูลให้แก่ส่วนประมวลผล ในส่วนนี้ใช้สัญญาณทริกวงจรแลทช์ชั้นที่ 2 มาทริก part ที่ 2 ของ 74HC123 ตัวที่ 2 แล้วใช้สัญญาณเอาท์พุทอินเวอร์สมาเป็นสัญญาณอินเตอร์รัพท์ไมโครคอนโทรลเลอร์ วงจรนับสำหรับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์แสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

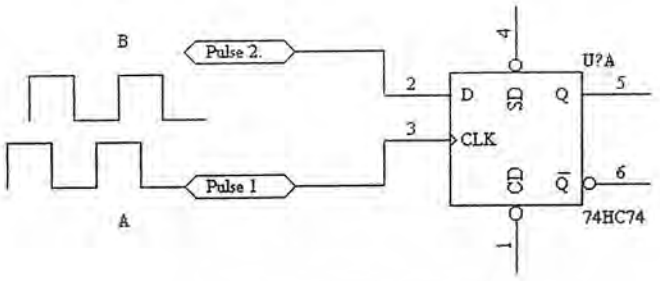


รูปที่ 3.4 วงจรนับสำหรับสัญญาณพัลซ์ในสภาวะเริ่มเดินเครื่องมอเตอร์

3.2.2.2 วงจรบอกทิศทางการหมุนของมอเตอร์

โดยทั่วไปแล้วเอนโคดเดอร์ที่ใช้ในปัจจุบันจะเป็นเอนโคดเดอร์ที่มีพัลซ์เอาท์พุทอย่างน้อย 2 ชุด คือชุด A และชุด B ซึ่งแต่ละชุดสัญญาณจะเหลื่อมกัน 90 องศาซึ่งถ้าหมุนด้านหนึ่งชุดAจะมีเฟสนำ แต่ถ้าหมุนกลับด้านชุด B จะมีเฟสนำแทนซึ่งจากหลักการจึงใช้ D-ฟลิปฟลอปใช้ในการบอกทิศทางการหมุนของมอเตอร์ โดยนำสัญญาณชุด A ป้อนเข้าที่ขา CLK ของ D-ฟลิปฟลอป และนำสัญญาณชุด B ป้อนเข้าที่ขา DATA ของ D-ฟลิปฟลอปซึ่งเอาท์พุทที่ก็จะมีสัญญาณ 0 หรือ 1 เท่านั้น วงจรบอกทิศทางการหมุนของมอเตอร์แสดงไว้ในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรบอกทิศทางการหมุนของมอเตอร์

3.2.3 ส่วนประมวลผลและเก็บข้อมูล

ในวงจรส่วนประมวลผลและเก็บข้อมูลนี้สามารถแบ่งแยกได้เป็น 4 ส่วนดังนี้

3.2.3.1 ส่วนคำนวณโดยใช้ไมโครคอนโทรลเลอร์

ในวงจรส่วนนี้ใช้ไมโครคอนโทรลเลอร์ 8 บิต ตระกูล MCS-51 แต่ใช้เบอร์ 89C52 ของบริษัท ATMEL เป็นตัวคำนวณความเร็วรอบและติดต่อกับคอมพิวเตอร์ โดยไมโครคอนโทรลเลอร์ เบอร์นี้มีหน่วยความจำข้อมูลภายใน 256 ไบต์ซึ่งสูงกว่า 89C51 ซึ่งมีเพียง 128 ไบต์ มีหน่วยความจำโปรแกรมแบบ Flash Memory ขนาด 8 กิโลไบต์ และมี Timer/Counter เพิ่มจาก 89C51 อีก1 ตัวเป็น 3 ตัว ไมโครคอนโทรลเลอร์เบอร์นี้ใช้กับความถี่ของคริสตอลได้สูงสุด 20 เมกะเฮิรตซ์ แต่โดยทั่วๆไปจะใช้คริสตอลขนาด 11.0592 เมกะเฮิรตซ์ แต่สำหรับโครงงานนี้ใช้คริสตอลขนาด 19.6608 เมกะเฮิรตซ์ เพื่อความรวดเร็วและเพื่อการติดต่อกับคอมพิวเตอร์ทางพอร์ทอนุกรม

ในการคำนวณของไมโครคอนโทรลเลอร์นั้น แบ่งออกได้เป็น 2 สภาวะคือ สภาวะ Transient และ สภาวะ Steady State

3.2.3.1.1 การคำนวณความเร็วรอบที่สภาวะ Transient

ในส่วนการคำนวณที่สภาวะเริ่มเดินเครื่องมอเตอร์อาศัยการรับข้อมูลขนาด 16 บิตจากวงจรนับภายนอกเข้ามาแล้วทำการคำนวณค่าจำนวนพัลซ์ที่ส่งมาจากวงจรนับให้เป็นความเร็วรอบโดยสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$N = \frac{10^7 \times 60 \times z}{n \times m}$$

เมื่อ N = ความเร็วรอบของมอเตอร์ (rpm.)

z = ตัวคูณค่าคงที่มี 4 ค่า (1,2,4,8)

n=จำนวนพัลซ์ที่รับเข้ามาจากวงจรนับภายนอกมีค่าตั้งแต่ 0-65536a

a=1,2,3..10

a = จำนวนครั้งในการโอเวอร์โฟลวของวงจรนับ

m= ค่าความละเอียดของเอนโคดเดอร์

3.2.3.1.2 การคำนวณความเร็วรอบที่สภาวะ Steady State

ในส่วนการคำนวณความเร็วรอบที่สภาวะ Steady State อาศัยการรับพัลซ์จากเอนโคดเดอร์โดยตรงเข้ามาที่ขาสัญญาณ T0 ของไมโครคอนโทรลเลอร์เพื่อทำการนับจำนวนพัลซ์ของเอนโคดเดอร์ ที่สภาวะ Steady State โดยทำการนับพัลซ์ทุกๆ 0.5 วินาที

สมการที่ใช้ในการคำนวณหาความเร็วรอบของมอเตอร์ที่สภาวะ Steady State เป็นดังนี้

$$N = \frac{120n}{m}$$

N = ความเร็วรอบของมอเตอร์ rpm

n = จำนวนพัลซ์ของเอนโคดเดอร์ในช่วงเวลา 0.5 วินาที

m= ค่าความละเอียดของเอนโคดเดอร์

3.2.3.2ส่วนเก็บข้อมูลก่อนส่งให้คอมพิวเตอร์

วงจรส่วนนี้เป็นวงจรของหน่วยความจำภายนอกไมโครคอนโทรลเลอร์ซึ่งหน่วยความจำที่ใช้เป็นหน่วยความจำประเภท RAM (Random Access Memory) ซึ่งต่ออยู่ภายนอกไมโครคอนโทรลเลอร์ และเนื่องจาก 89C52 สามารถอ้างอิงหน่วยความจำภายนอกได้ 64 กิโลไบต์ แต่สำหรับโครงงานนี้ ได้ทำการต่อหน่วยความจำข้อมูลภายนอกไว้ 48 กิโลไบต์ โดยใช้ RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาด 32 กิโลไบต์เบอร์ 62256 จำนวน 1 ตัว และ RAM ขนาด 8 กิโลไบต์ เบอร์ 6264 จำนวน 2 ตัว

วงจรส่วนนี้มีหน้าที่ในการเก็บข้อมูลความเร็วรอบของมอเตอร์ในช่วง Steady State และช่วง Transient ข้อมูลความเร็วรอบของมอเตอร์จะถูกเก็บไว้ในวงจรส่วนนี้ทุกครั้งที่มีการคำนวณเสร็จในแต่ละครั้ง โดยในการเก็บข้อมูลความเร็วรอบที่สภาวะ Steady State จะเก็บข้อมูลทุกๆ 0.5 วินาที และการเก็บข้อมูลความเร็วรอบที่สภาวะ Transient จะเก็บข้อมูลทุกๆ 4 มิลลิวินาที

3.2.3.3 ส่วนติดต่อสื่อสารทางพอร์ทอนุกรม

สำหรับโครงงานนี้ใช้วงจรส่วนนี้สำหรับติดต่อสื่อสารระหว่างไมโครคอนโทรลเลอร์และคอมพิวเตอร์ ซึ่งสำหรับโครงงานนี้ใช้ IC MAX 232 ทำหน้าที่เป็นตัวยกระดับแรงดันที่ใช้ในการติดต่อสื่อสารกับคอมพิวเตอร์ โดยต่อเข้ากับ Rx และ Tx ของ 89C52

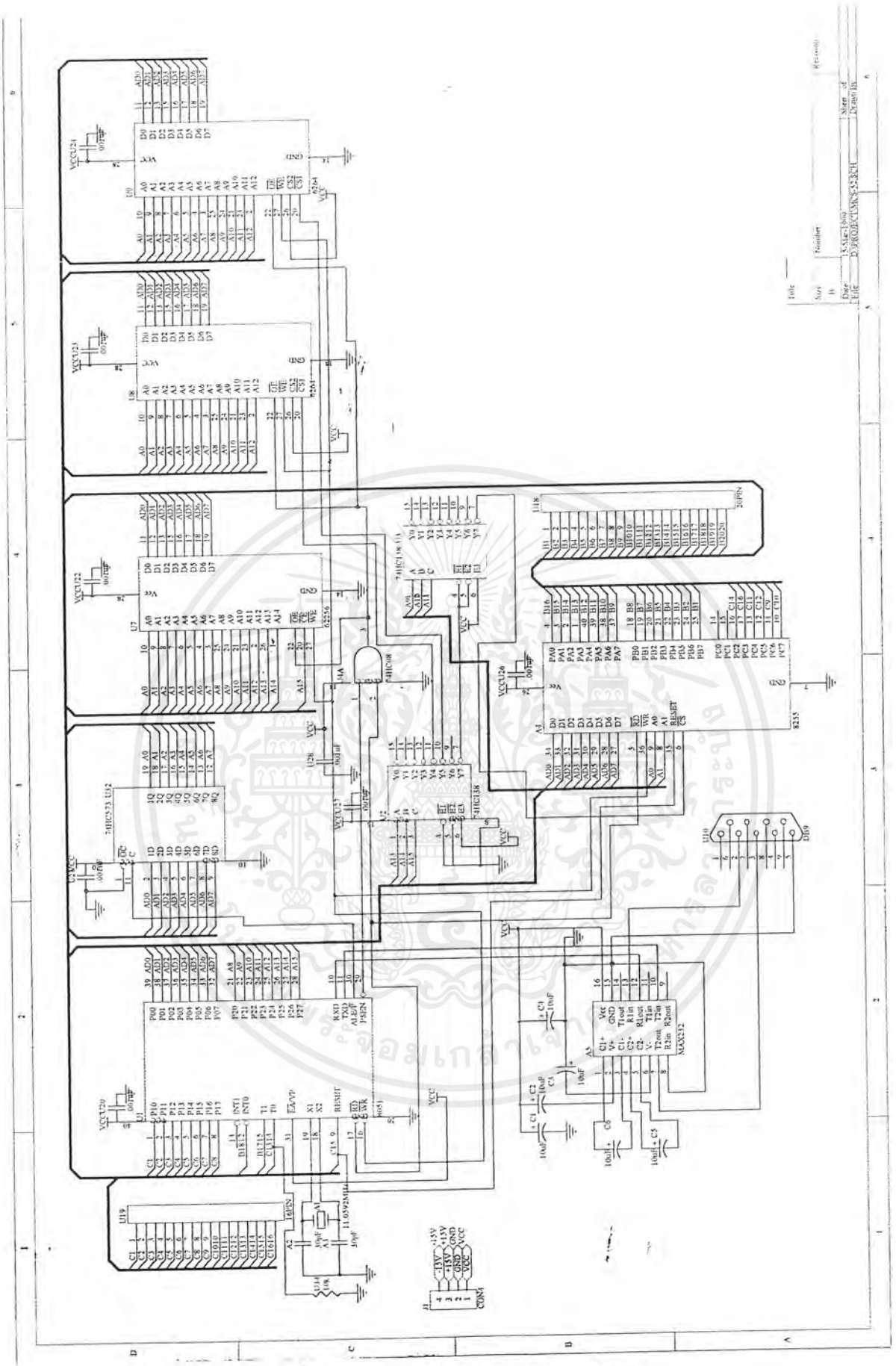
ในส่วนคอนเน็คเตอร์ที่ใช้ติดต่อกับคอมพิวเตอร์นั้น ใช้คอนเน็คเตอร์ชนิด DB9 แต่จะเลือกใช้เพียง 3 ขาเท่านั้นคือขาที่ 2 ใช้ส่งข้อมูล ขาที่ 3 ใช้รับข้อมูล และขาที่ 5 เป็นกราวนด์

3.2.3.4 ส่วนติดต่อสื่อสารทางพอร์ทขนาน

โดยปกติแล้ว MCS-51 จะมีพอร์ทที่ใช้ติดต่อสื่อสารแบบขนาน 4 พอร์ท คือพอร์ท0 (ขา39-32) ,พอร์ท1 (ขาที่ 1-8) ,พอร์ท 2 (ขาที่ 21-28) และ พอร์ท 3 (ขาที่ 10-17) พอร์ทละ 8 บิต สำหรับโครงงานนี้ใช้พอร์ท 0 และพอร์ท 2 ในการชี้ตำแหน่งของหน่วยความจำและใช้เป็นบัสข้อมูล และพอร์ท 3 ใช้เป็นพอร์ทควบคุม ส่วนพอร์ท 1 ใช้เป็นพอร์ทสำหรับแสดงผลเป็นตัวเลข แต่เนื่องจากการใช้งานที่ต้องการพอร์ทมากกว่า 4 พอร์ท จึงต้องทำการขยายพอร์ทเพิ่มโดยใช้IC 82C55 ซึ่งเป็น IC ที่ใช้ในการขยายพอร์ทซึ่งสามารถโปรแกรมให้เป็นพอร์ทอินพุทหรือเอาท์พุทก็ได้

พอร์ทของ 82C55 ที่ใช้สำหรับโครงงานนี้ใช้ได้ถูกเซ็ตให้เป็นพอร์ทอินพุททั้ง 3 พอร์ท เพื่อใช้ในการรับสัญญาณจำนวนพัลซ์ที่นับโดยวงจรนับภายนอก และรับสัญญาณควบคุมที่ใช้ในการเซ็ตค่าต่างๆ ก่อนการคำนวณ จากรายละเอียดทั้ง 4 ส่วนเมื่อนำมารวมกันจะมีลักษณะวงจรดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรส่วนประมวลผลและเก็บข้อมูล

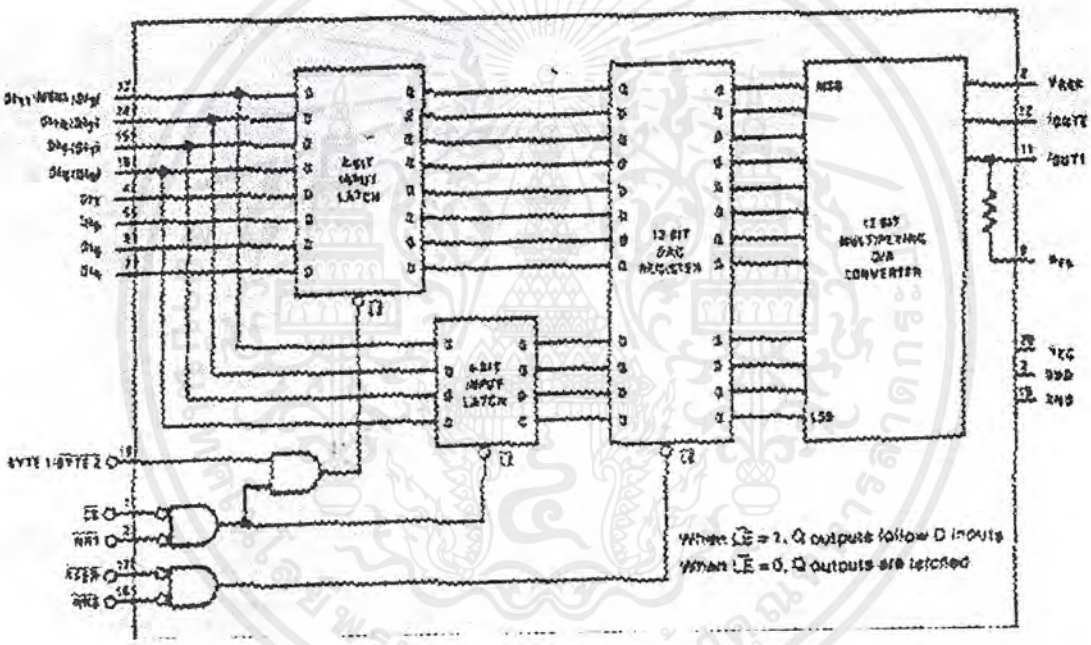
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 ส่วนแสดงผล

ในส่วนแบ่งออกเป็น 2 ส่วนดังนี้

3.2.4.1 วงจรแสดงผลเป็นสัญญาณอนาล็อก

วงจรส่วนนี้ทำหน้าที่แปลงสัญญาณความเร็วรอบของมอเตอร์ที่อยู่ในรูปเลขฐาน 2 ให้เป็นสัญญาณอนาล็อกซึ่ง IC ที่ใช้ในการแปลงสัญญาณเป็นIC แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก D/A เบอร์ DAC1232 ซึ่งเป็น D/A ขนาด 12 บิต แต่สามารถติดต่อกับ Data Bus ขนาด 8 บิตได้โดยมีบล็อกไดอะแกรมการทำงานภายในวงจรดังรูปที่ 3.7



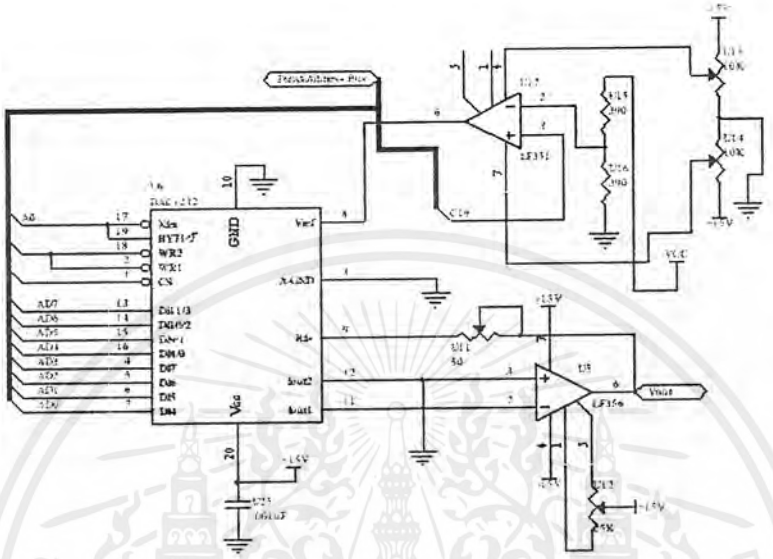
รูปที่3.7 บล็อกไดอะแกรมแสดงการทำงานภายใน DAC1232

ในการทำงานของวงจรส่วนนี้สามารถแสดงผลเป็นสัญญาณแรงดัน + และ – ได้โดยอาศัย IC op amp เบอร์ LF 351 ต่อวงจรเป็น Voltage Comparater ดังในรูป

ขาลบของ LF 351 ต่อกับความต้านทานที่ต่อVoltage Devider ลงกราวนด์กับแรงดัน + 5 โวลท เพื่อให้แรงดันที่เข้าสู่ขาลบ มีค่าเท่ากับ 2.5 โวลท์ ส่วนขาบวกของ op amp ต่ออยู่กับเอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทของวงจรบอกทิศทางการหมุนของมอเตอร์ วงจรแสดงผลเป็นสัญญาณอนาล็อกแสดงดังรูปที่3.8



รูปที่ 3.8 วงจรแสดงผลเป็นสัญญาณอนาล็อก

3.2.4.2 วงจรแสดงผลเป็นตัวเลข

ในการแสดงผลเป็นตัวเลขนี้ แสดงผลโดยใช้ 7 Segment ในการแสดงผลโดยไมโครคอนโทรลเลอร์ทำการแปลงค่าความเร็วรอบที่อยู่ในรูปเลขฐาน 2 ให้อยู่ในรูปรหัส BCD เพื่อทำการส่งออกมาที่ พอร์ท 1 ของ 89C51 เข้าสู่ขาอินพุทของ IC 4511 ซึ่งเป็น IC แปลงรหัส BCD เป็นสัญญาณที่เข้าสู่ 7 Segment เอาท์พุทของ 4511 จะต่อกับ 74HC573 เพื่อทำการแลทช์ข้อมูลของ 7 Segment แต่ละหลักซึ่ง ข้อมูลที่ออกมาจากพอร์ท 1 นั้น 4 บิตล่างจะเป็นรหัส BCD ส่วนอีก 4 บิต บนจะเป็นสัญญาณที่ใช้ทริกว่าข้อมูลที่ส่งออกมาจะให้แสดงที่หลักใด

3.3 การติดต่อกับคอมพิวเตอร์

ในส่วนการติดต่อระหว่างคอมพิวเตอร์กับเครื่องวัดความเร็วมอเตอร์นั้นอาศัยการติดต่อกันทางพอร์ทอนุกรมของไมโครคอนโทรลเลอร์และคอมพิวเตอร์ซึ่งคอนเนคเตอร์ที่ใช้ติดต่อจะใช้ชนิด DB9 เลือกใช้เฉพาะขาที่ 2 ,3 และ 5 อัตราการส่งข้อมูล (Baud rate) ใช้อัตราการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9600 บิตต่อวินาที บิตข้อมูลขนาด 8 บิต ไม่มีบิตพาริตี้บิต มีบิตหยุด 1 บิต ติดต่อทางพอร์ท 1 ของคอมพิวเตอร์

3.4 การทำงานของส่วนคอมพิวเตอร์

การทำงานของคอมพิวเตอร์นี้แบ่งการติดต่อกับเครื่องวัดความเร็วมอเตอร์ได้เป็น 2 ช่วงการทำงาน

3.4.1 ช่วงการส่งข้อมูลความละเอียดของเอนโคดเดอร์แก่เครื่องวัดความเร็วมอเตอร์

ช่วงนี้เป็นช่วงที่คอมพิวเตอร์ทำการส่งข้อมูลให้แก่เครื่องวัดความเร็วมอเตอร์โดยเริ่มแรกไมโครคอนโทรลเลอร์จะส่งสัญญาณเลขฐาน 2 ให้แก่คอมพิวเตอร์ซึ่งเขียนเป็นเลขฐาน 16 ได้เป็น AA เพื่อให้คอมพิวเตอร์แสดงหน้าจอให้ทำการป้อนค่าความละเอียดของเอนโคดเดอร์ เมื่อผู้ใช้ป้อนค่าความละเอียดของเอนโคดเดอร์แล้วก็ทำการคลิกปุ่มส่งข้อมูล ข้อมูลความละเอียดของเอนโคดเดอร์ก็จะถูกส่งให้แก่ไมโครคอนโทรลเลอร์เก็บไว้ใช้ในการคำนวณต่อไป

3.4.2 ช่วงการรับข้อมูลจากเครื่องวัดความเร็วมอเตอร์

การทำงานของคอมพิวเตอร์ในช่วงนี้แบ่งออกได้เป็น 2 ช่วงคือ

3.4.2.1 ช่วงการส่งข้อมูลความละเอียดของเอนโคดเดอร์ให้แก่ไมโครคอนโทรลเลอร์

การทำงานในช่วงนี้ใช้สำหรับส่งค่าความละเอียดของเอนโคดเดอร์ไปเก็บไว้ในรีจิสเตอร์เพื่อใช้ในการคำนวณตามสมการที่ได้กล่าวไว้แล้วในหัวข้อ 3.2.3 ซึ่งขั้นตอนการส่งข้อมูลเป็นดังนี้

1. ไมโครคอนโทรลเลอร์ส่งสัญญาณมาให้คอมพิวเตอร์เพื่อตรวจเช็คว่าคอมพิวเตอร์พร้อมส่งข้อมูลหรือยัง

2. จะปรากฏหน้าจอให้ป้อนค่าความละเอียดของเอนโคดเดอร์

3. ผู้ใช้ป้อนค่าความละเอียดของเอนโคดเดอร์แล้วไมโครคอนโทรลเลอร์จะเก็บข้อมูลไว้ในรีจิสเตอร์ซึ่งข้อมูลจะมีขนาด 2 ไบต์

3.4.2.2 ช่วงการรับข้อมูลจากไมโครคอนโทรลเลอร์

การทำงานในช่วงนี้แบ่งได้เป็นการรับข้อมูลในช่วงเริ่มเดินเครื่องมอเตอร์ และการรับข้อมูลในช่วงสภาวะอยู่ตัว

3.4.2.2.1 การรับข้อมูลในช่วงเริ่มเดินเครื่องใช้งานมอเตอร์

ในการรับข้อมูลช่วงนี้จะแบ่งได้เป็น 2 ช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. รับข้อมูลเวลานับตั้งแต่เริ่มปิดหน้าคอนแทคจนกระทั่งมีสัญญาณอินเตอร์รัพท์มาที่ไมโครคอนโทรลเลอร์
2. รับข้อมูลทิศทางการหมุนของมอเตอร์และรับข้อมูลความเร็วรอบของมอเตอร์

3.4.2.2.2 การรับข้อมูลในช่วงสภาวะอยู่ตัว

การรับข้อมูลในช่วงสภาวะอยู่ตัวนี้จะรับเฉพาะข้อมูลทิศทางการหมุนของมอเตอร์และข้อมูลความเร็วรอบของมอเตอร์

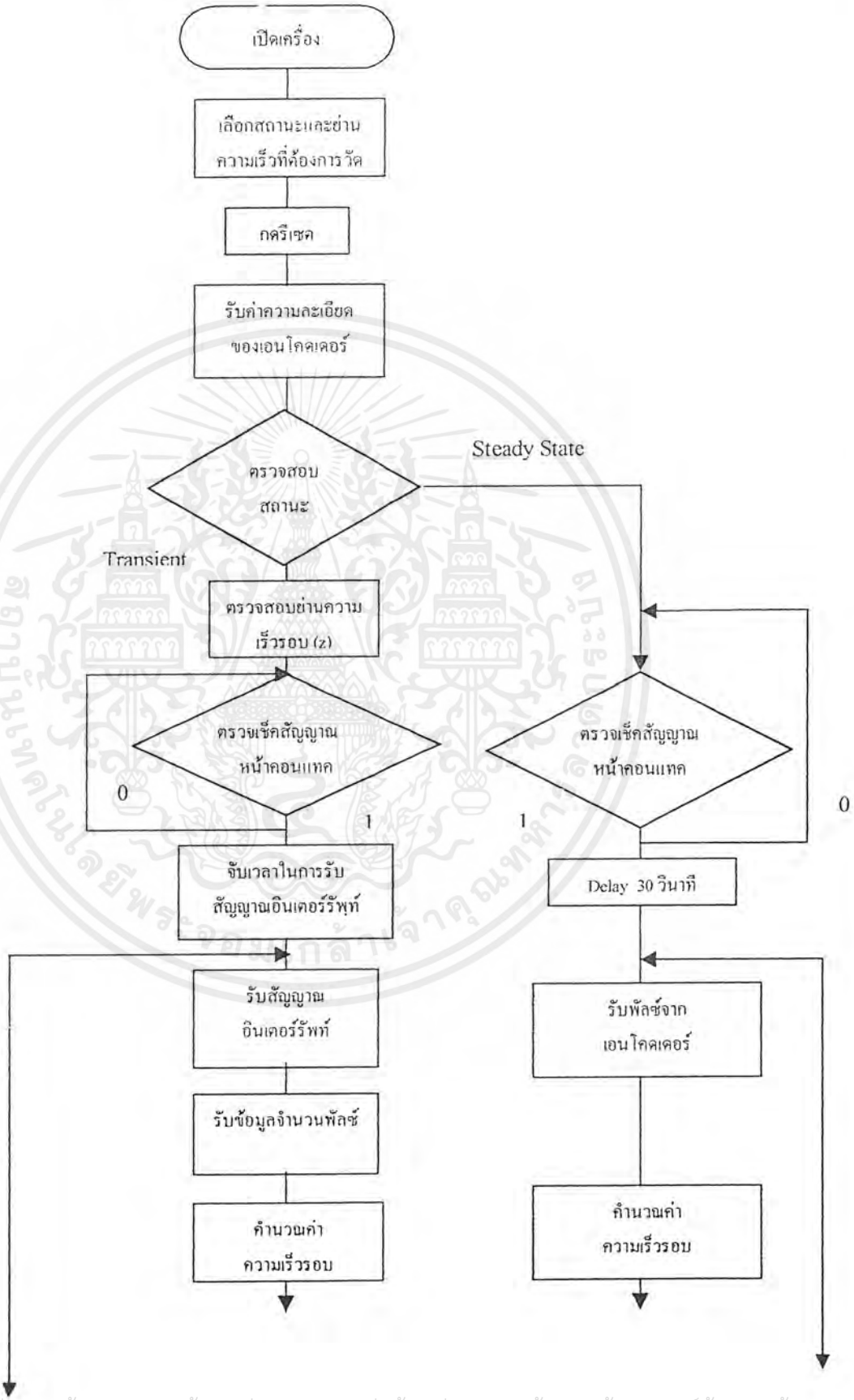
ในการรับข้อมูลทั้ง 2 ช่วงนี้อาศัยวิธีการที่ให้ไมโครคอนโทรลเลอร์ส่งสัญญาณมาเช็คคอมพิวเตอร์ว่าพร้อมรับข้อมูลหรือยัง ซึ่งถ้าพร้อมแล้วคอมพิวเตอร์จะทำการส่งสัญญาณอีกสัญญาณมาบอกว่าพร้อมรับข้อมูลแล้ว ซึ่งข้อมูลก็จะถูกส่งให้แก่คอมพิวเตอร์ทันที ข้อมูลแต่ละข้อมูลจะมีขนาด 2 ไบต์

3.4.3 การเก็บข้อมูล

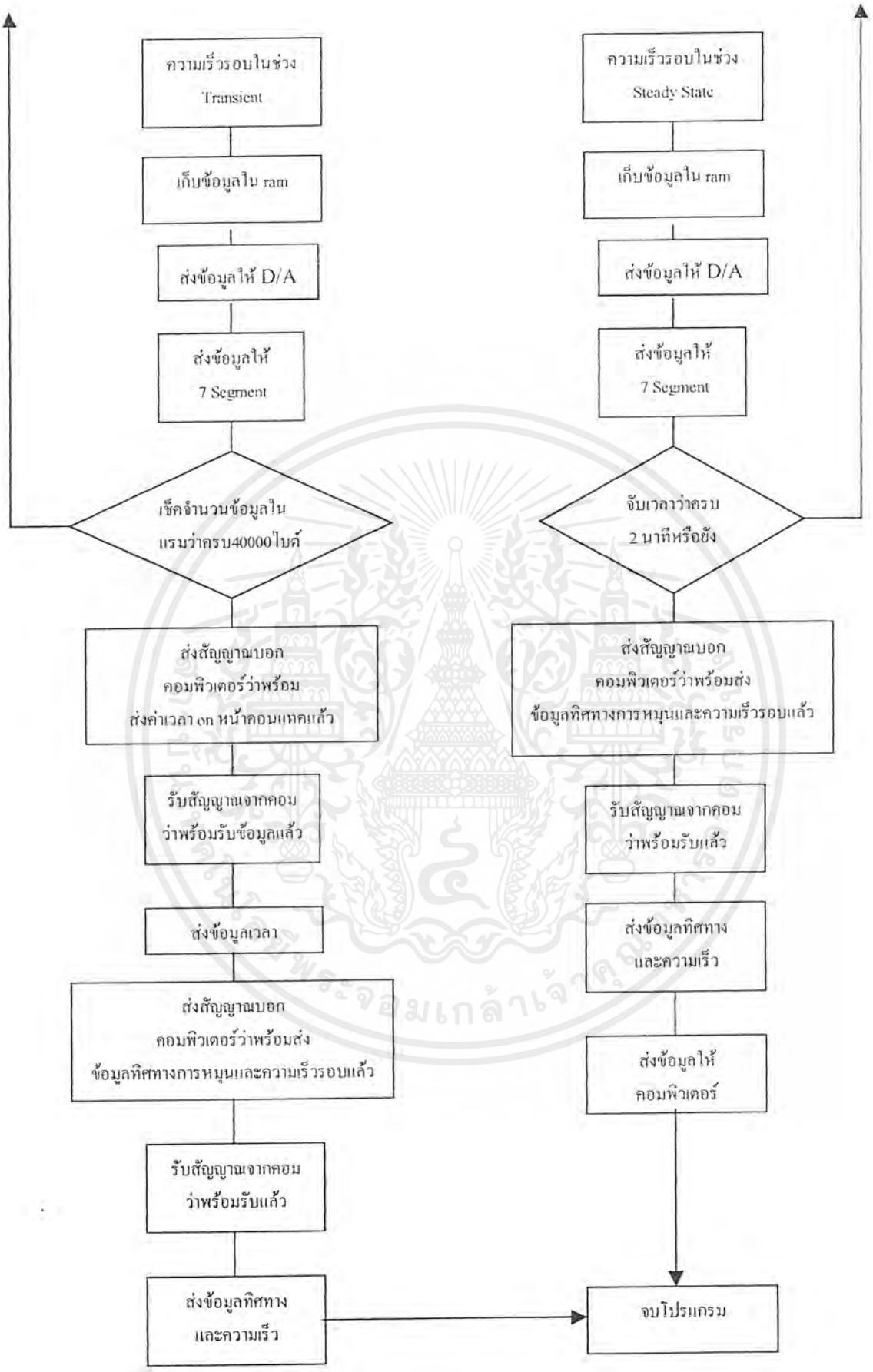
ข้อมูลที่คอมพิวเตอร์รับมาจากไมโครคอนโทรลเลอร์จะถูกเก็บไว้ในอาร์เรย์ (Array) ก่อนที่จะทำการเซฟไฟล์ เมื่อทำการเซฟไฟล์แล้วไฟล์จะถูกเก็บไว้ในฐานข้อมูลของ D base โดยมีนามสกุล .dbs ซึ่งไฟล์ในรูป .dbs จะเป็นไฟล์ฐานข้อมูลที่สามารถดึงมาใช้โดย Excel ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การใช้งานเครื่องวัดความเร็วมอเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



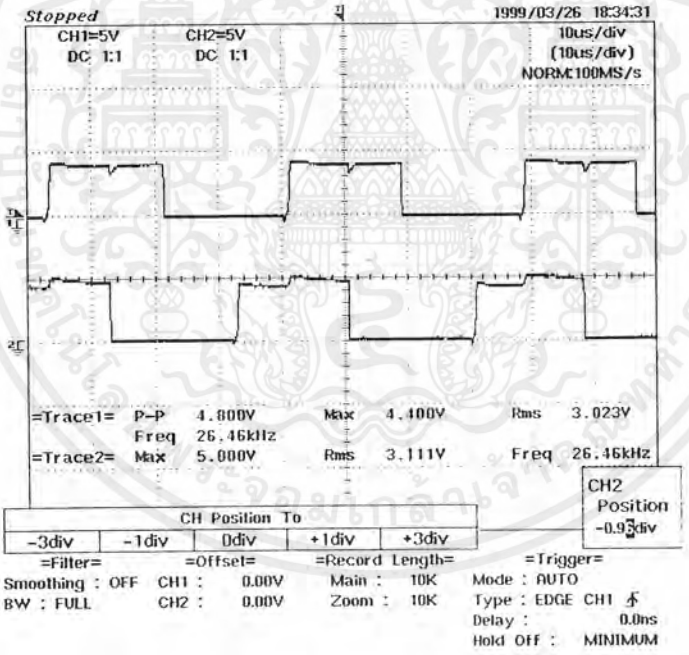
รูปที่ 4.1 โฟลวชาร์ตแสดงการทำงานของเครื่องวัดความเร็วมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 เป็นขั้นตอนการทำงานของตัวเครื่องวัดความเร็วมอเตอร์ซึ่งในการใช้งานผู้ใช้ต้องทำการเปิดเครื่องคอมพิวเตอร์ก่อนเพื่อให้คอมพิวเตอร์ทำการเซตอัพหน้าจอก่อนที่จะทำตามขั้นตอนต่างๆในรูป

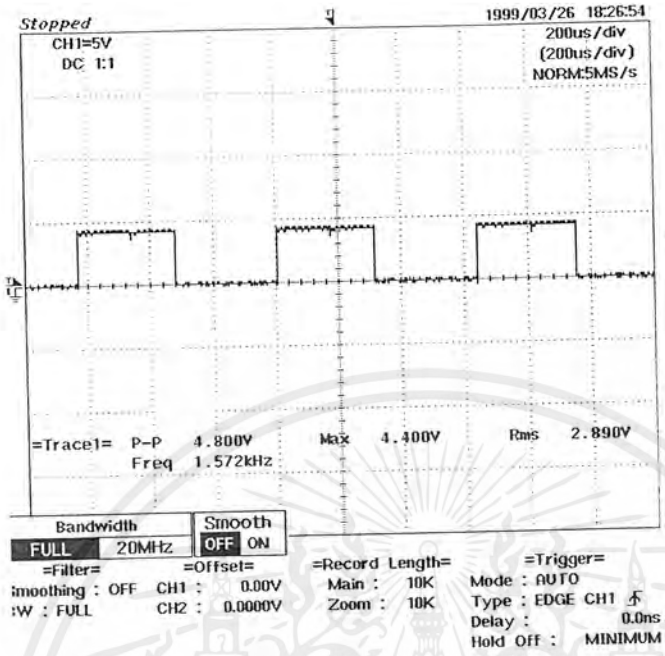
การทำงานของโปรแกรมนั้นเมื่อเครื่องวัดความเร็วมอเตอร์ทำการส่งข้อมูลครบแล้วโปรแกรมก็จะวนอยู่ในลูปจนกว่าจะมีการกดรีเซ็ต ซึ่งในกรณีที่ต้องการวัดข้อมูลใหม่ให้ตรวจสอบข้อมูลที่เก็บในคอมพิวเตอร์ว่าครบหรือยัง ถ้าครบแล้วให้ทำการปิดเครื่องวัดวความเร็วมอเตอร์แล้วเปิดใหม่ก่อนทำการวัดทุกครั้ง

สัญญาณในส่วนต่างๆ ของอุปกรณ์



รูปที่ 4.2 สัญญาณพัลซ์ A และ B ที่ได้จากเอนโคดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

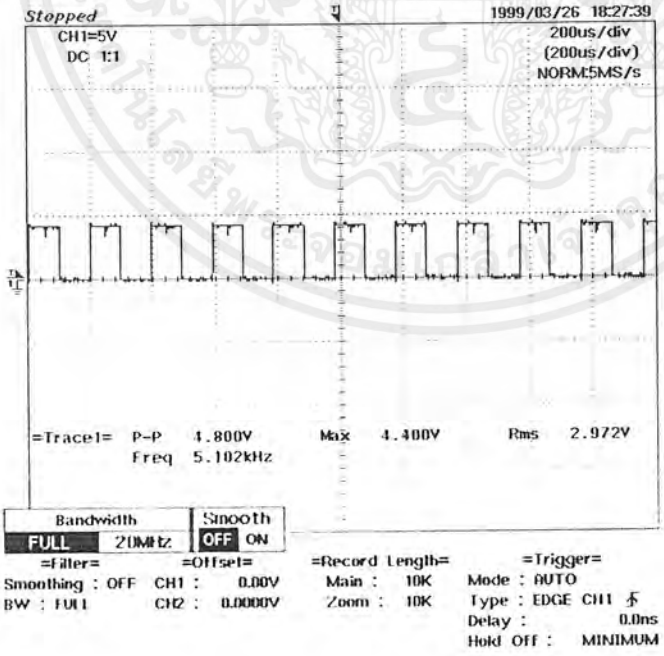


$$f = 1.572\text{kHz}$$

$$\text{ความเร็ว} = \frac{(1572)(60)}{1000}$$

$$= 94.32 \text{ rpm}$$

รูปที่ 4.3 สัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงความเร็วเริ่มต้น



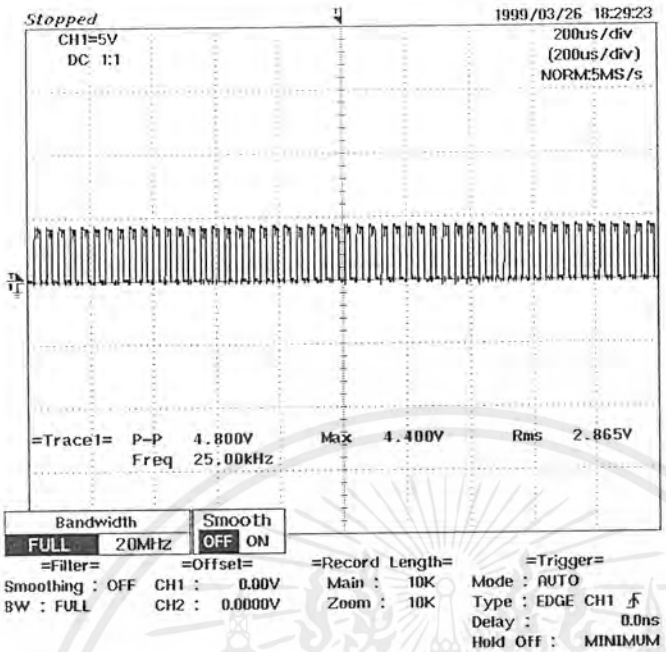
$$f = 5.102 \text{ kHz}$$

$$\text{ความเร็ว} = \frac{(5102)(60)}{1000}$$

$$= 306.12 \text{ rpm}$$

รูปที่ 4.4 สัญญาณพัลซ์จากเอนโคดเดอร์ในช่วงความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



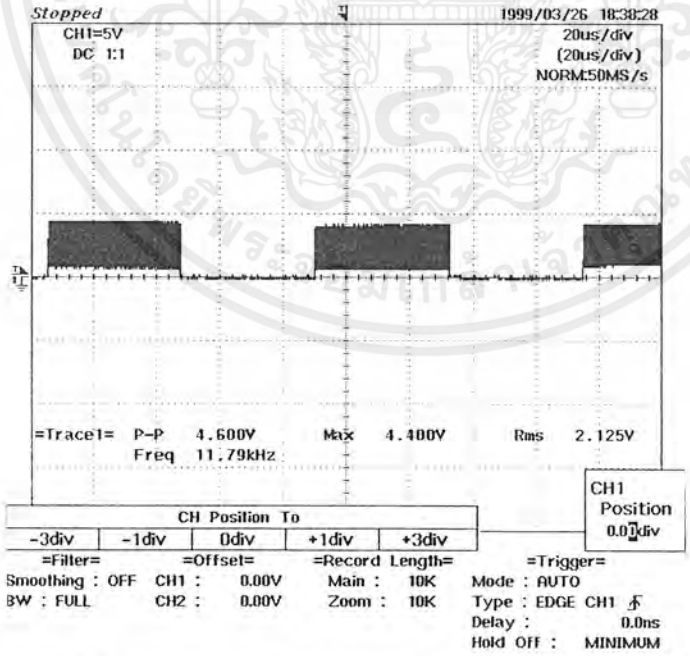
$$f = 25\ \text{kHz}$$

$$\text{ความเร็ว} = \frac{(25000)(60)}{1000}$$

$$= 1500 \quad \text{rpm}$$

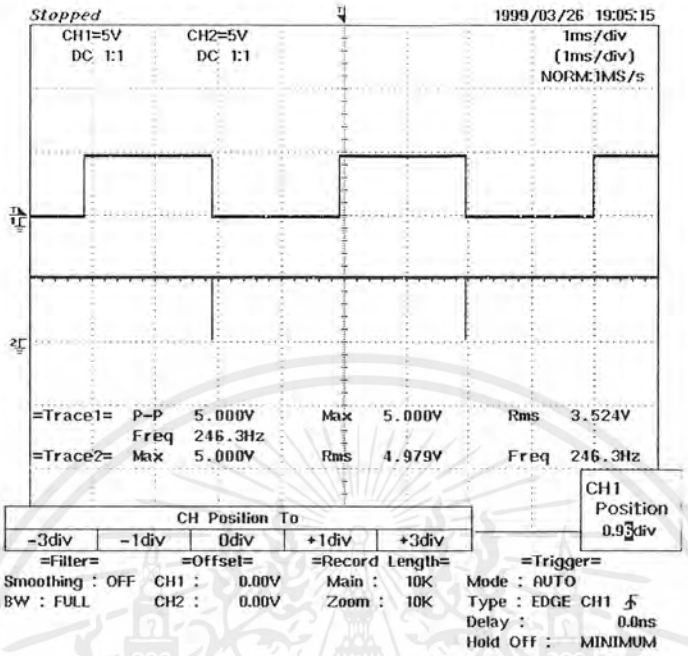
รูปที่ 4.5 สัญญาณพัลซ์จากเอนโคดเดอร์ที่ความเร็วพิกัด

จากรูปที่ 4.2 จะสังเกตเห็นว่า พัลซ์ทั้งสองมีเฟสต่างกัน 90 องศา ส่วนรูปที่ 4.3-4.5 นั้น จะเป็นสัญญาณพัลซ์จากเอนโคดเดอร์ที่ความเร็วต่างๆ กัน



รูปที่ 4.6 สัญญาณที่ได้จากการแอนด์กันระหว่างสัญญาณแอนโคดเดอร์กับสัญญาณออสซิลแตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 สัญญาณจาก VCO และสัญญาณ Interupt

จากรูปที่ 4.7 สัญญาณจาก VCO จะมีคาบเวลา 4 มิลลิวินาที ซึ่งจะมีสัญญาณ Interupt เพื่อส่งข้อมูลให้กับไมโครคอนโทรลเลอร์เพื่อทำการคำนวณต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลและวิจารณ์โครงงาน

โครงงานเครื่องวัดความเร็วมอเตอร์นี้ เป็นโครงงานที่มุ่งเน้นในการสร้างเครื่องต้นแบบในการทดลองติดตามผลการทำงานของมอเตอร์ ในส่วนของความเร็วอย่างละเอียด โดยมีประสิทธิภาพในการวัดความเร็วของมอเตอร์ได้ ทุกๆ 4 มิลลิวินาที ในช่วงเริ่มสตาร์ท หรือเลือกใช้วัดค่าความเร็วในสภาวะคงตัวทุกๆ 0.5 วินาที โดยจะมีการแสดงผล 3 แบบด้วยกัน คือ แสดงผลแบบเป็นตัวเลข แสดงผลเป็นสัญญาณอะนาล็อก และแสดงผลแบบกราฟฟิกทางคอมพิวเตอร์ ซึ่งในส่วนของข้อมูลที่วัดได้ทั้งหมดนั้น จะทำการเก็บเป็นฐานข้อมูลในคอมพิวเตอร์ เพื่อประโยชน์ในการศึกษาต่อไป

จากที่ได้ทำการทดลอง ในการใช้งานเอนโคดเดอร์นั้นมีข้อควรระวังคือ ต้องตรวจสอบสายสัญญาณทุกเส้นให้ถูกต้อง (โดยเฉพาะสายสัญญาณไฟเลี้ยง Vcc กับสาย Ground) รวมทั้งต้องควบคุมระดับแรงดันที่จ่ายให้กับเอนโคดเดอร์ให้อยู่ในช่วงที่ปลอดภัยในการทำงาน

ในส่วนของสัญญาณ จะแบ่งการควบคุมเป็น 2 ส่วน ส่วนแรกคือส่วนที่ควบคุมการแสดงสัญญาณในช่วงสภาวะทรานเซียนต์และสภาวะคงตัว ส่วนที่สองคือส่วนที่ควบคุมความละเอียดของสัญญาณพัลซ์จากเอนโคดเดอร์

แต่เนื่องจากทางผู้จัดทำไม่มีความชำนาญในการเขียนโปรแกรมภาษาแอสเซมบลี้ในการควบคุมและประเมินผลสำหรับไมโครคอนโทรลเลอร์ จึงทำให้โครงงานชิ้นนี้ไม่สามารถแสดงผลออกมาได้ ซึ่งถ้าสามารถเขียนโปรแกรมในส่วนนี้ได้สำเร็จ โครงงานชิ้นนี้ก็จะสามารถแสดงผลในรูปแบบต่างๆ ดังเป้าหมายที่ตั้งไว้ได้

ข้อเสนอแนะในการเลือกใช้อุปกรณ์

-เอนโคดเดอร์

ในสภาวะเริ่มต้นควรใช้เอนโคดเดอร์ที่มีความละเอียดในช่วง 300-2500 พัลซ์/รอบ เนื่องจากจะทำให้เกิดการ overflow และ error สูง

-ไมโครคอนโทรลเลอร์

เครื่องต้นแบบใช้ไมโครคอนโทรลเลอร์ 89C52 ในการประมวลผล ซึ่งถ้าเราเลือกใช้ไมโครโทรลเลอร์ที่มีประสิทธิภาพสูงกว่านี้ ก็จะทำให้สามารถวัดค่าความเร็วได้ละเอียดเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ในส่วนของภาคผนวก ก ส่วนแรกเป็นการแสดงความสัมพันธ์ระหว่างจำนวนพัลซ์ของออสซิลเลเตอร์ที่วงจรนับนับได้กับความเร็วรอบของมอเตอร์ซึ่งการคำนวณคำนวณมาจากสมการในการคำนวณค่าความเร็วในช่วงเริ่มเดินเครื่องมอเตอร์ในบทที่ 3 ซึ่งในการคำนวณนี้ได้ทำการคำนวณที่ความเร็วมอเตอร์สูงสุดที่ 1500 รอบ/นาที โดยในการคำนวณได้ทำการคิดค่าความเร็วแปรค่าทุกๆ 50 รอบ/นาที

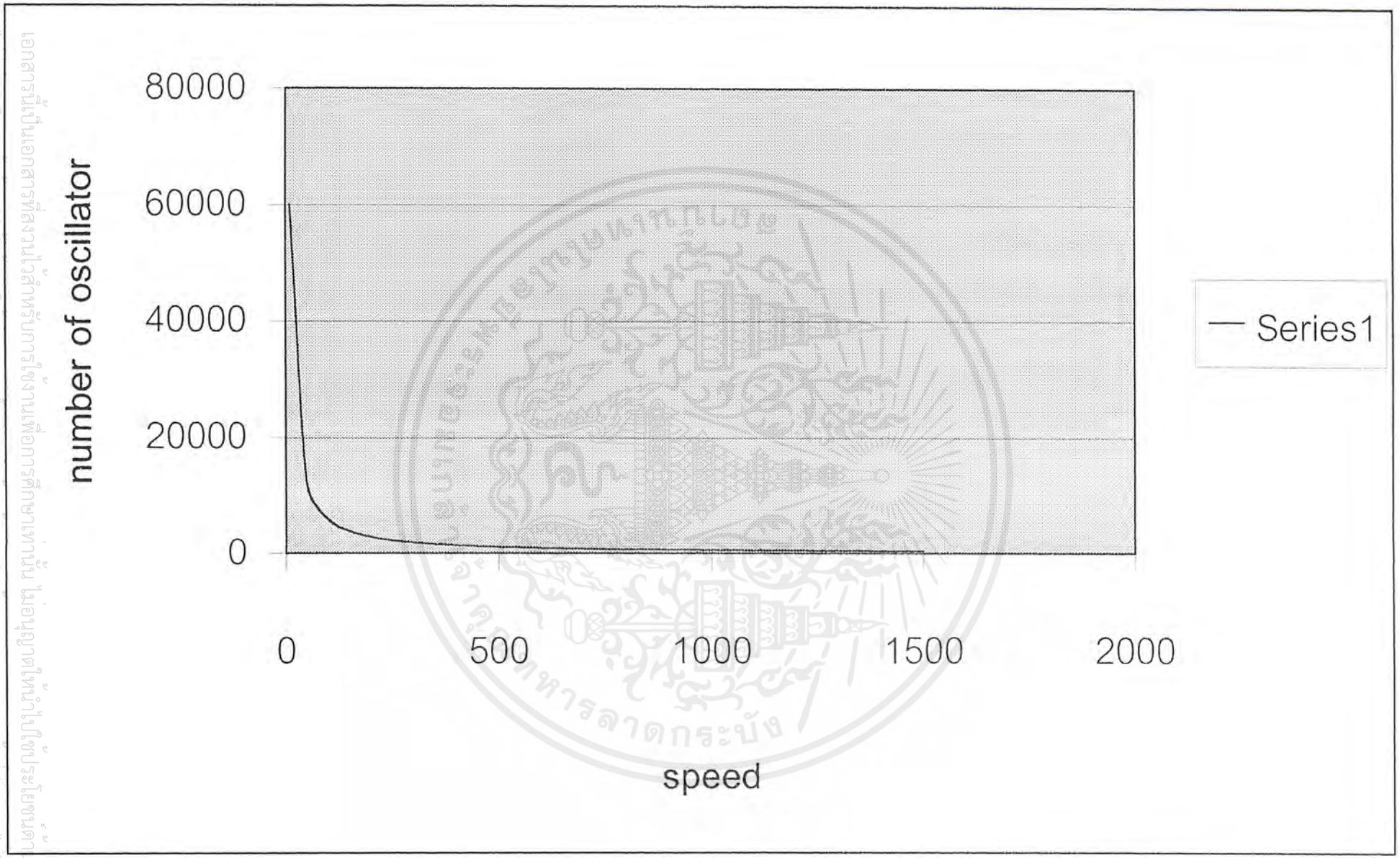
สมการที่ใช้ในการคำนวณได้กำหนดให้ค่า z มีค่าเท่ากับ 1 และกำหนดค่า m มีค่าเท่ากับ 1000 พัลซ์/รอบ

1500	400	1000	600	500	1200
1450	413.7931	950	631.5789	450	1333.333
1400	428.5714	900	666.6666	400	1500
1350	444.4444	850	705.8823	350	1714.285
1300	461.5384	800	750	300	2000
1250	480	750	800	250	2400
1200	500	700	857.1428	200	3000
1150	521.7391	650	923.0769	150	4000
1100	545.4545	600	1000	100	6000
1050	571.4285	550	1090.909	50	12000

ตารางที่ ก1 ตารางแสดงความสัมพันธ์ระหว่างความเร็วรอบของมอเตอร์กับจำนวนพัลซ์ของออสซิลเลเตอร์ที่สภาวะเริ่มต้นเดินเครื่องมอเตอร์

จากตารางที่4.1 ข้อมูลด้านซ้ายมือของแต่ละคู่หลักเป็นความเร็วรอบของมอเตอร์ ส่วนข้อมูลด้านขวามือเป็นข้อมูลจำนวนพัลซ์ของออสซิลเลเตอร์ซึ่งเมื่อนำมาพล็อตเป็นกราฟจะได้กราฟดังรูปในหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


80000
60000
40000
20000
0
number of oscillator
0
500
1000
1500
2000
speed
Series1

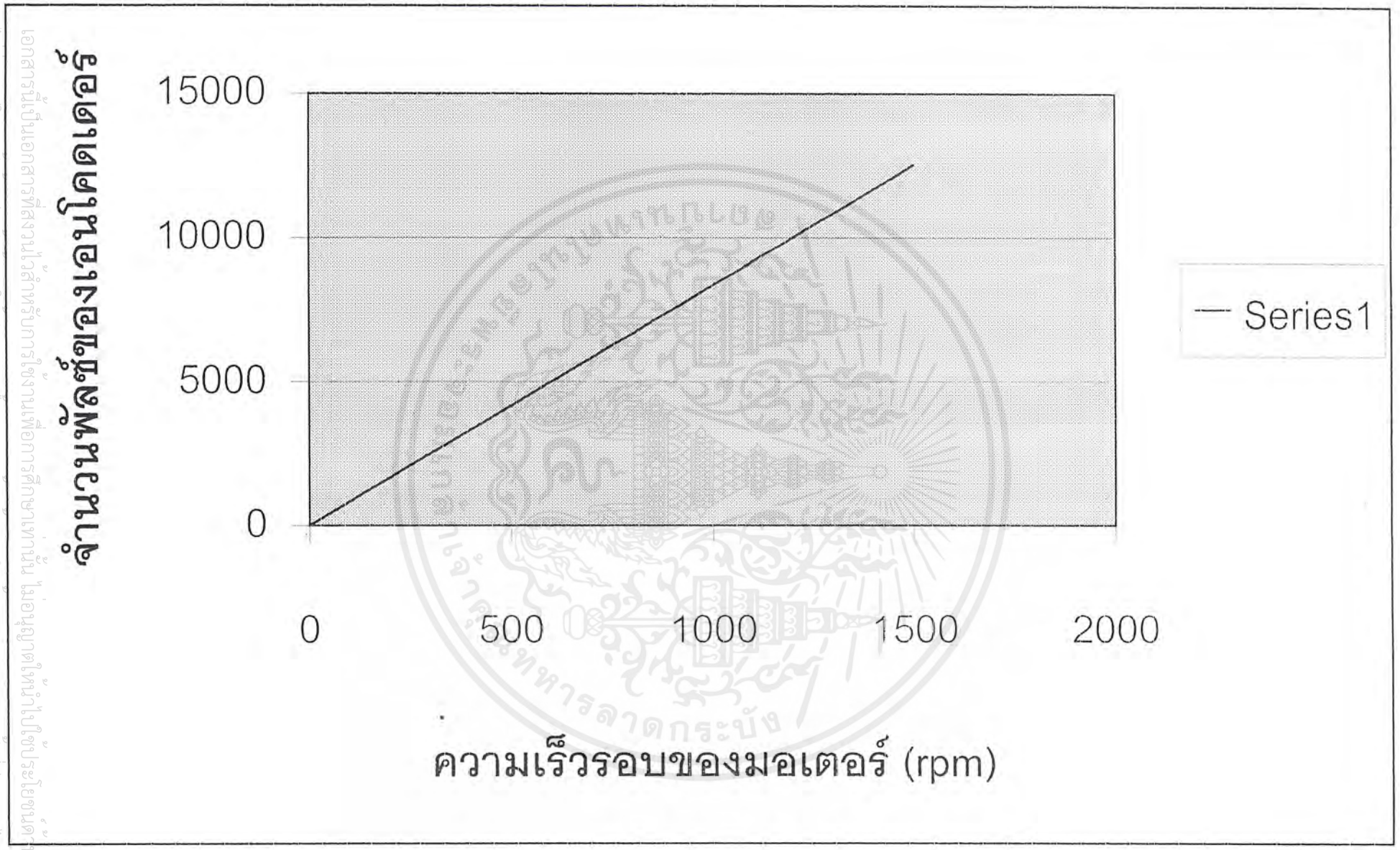
ในส่วนความสัมพันธ์ระหว่างความเร็วรอบของมอเตอร์กับจำนวนพัลซ์ของเอนโคดเดอร์สำหรับสภาวะอยู่ตัวของมอเตอร์นั้นเป็นไปตามสมการที่ 2 ของบทที่ 3ซึ่งผลจากการคำนวณเป็นดังตาราง ก2

1500	12500	1000	8333.333	500	4166.666
1450	12083.33	950	7916.666	450	3750
1400	11666.66	900	7500	400	3333.333
1350	11250	850	7083.333	350	2916.666
1300	10833.33	800	6666.666	300	2500
1250	10416.66	750	6250	250	2083.333
1200	10000	700	5833.333	200	1666.666
1150	9583.333	650	5416.666	150	1250
1100	9166.666	600	5000	100	833.3333
1050	8750	550	4583.333	50	416.6666

ตารางที่ ก2 ความสัมพันธ์ระหว่างความเร็วรอบและจำนวนพัลซ์ของเอนโคดเดอร์ที่สภาวะอยู่ตัว

จากตารางที่ ก2 เมื่อนำมาพล็อตเป็นกราฟระหว่างความเร็วรอบและจำนวนพัลซ์ของเอนโคดเดอร์สามารถพลอตได้ดังรูปในหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


15000
10000
5000
0
0
500
1000
1500
2000
Series1
ความเร็วรอบของมอเตอร์ (rpm)

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

MICRO-DAC™ DAC1208/DAC1209/DAC1210/DAC1230/DAC1231/DAC1232 12-Bit, μP Compatible, Double-Buffered D to A Converters

General Description

The DAC1208 and the DAC1230 series are 12-bit multiplying D to A converters designed to interface directly with a wide variety of microprocessors (8080, 8048, 8085, Z-80, etc.). Double buffering input registers and associated control lines allow these DACs to appear as a two-byte "stack" in the system's memory or I/O space with no additional interfacing logic required.

The DAC1208 series provides all 12 input lines to allow single buffering for maximum throughput when used with 16-bit processors. These input lines can also be externally configured to permit an 8-bit data interface. The DAC1230 series can be used with an 8-bit data bus directly as it internally formulates the 12-bit DAC data from its 8 input lines. All of these DACs accept left-justified data from the processor.

The analog section is a precision silicon-chromium (Si-Cr) R-2R ladder network and twelve CMOS current switches. An inverted R-2R ladder structure is used with the binary weighted currents switched between the I_{OUT1} and I_{OUT2} maintaining a constant current in each ladder leg independent of the switch state. Special circuitry provides TTL logic input voltage level compatibility.

The DAC1208 series and DAC1230 series are the 12-bit members of a family of microprocessor compatible DACs (MICRO-DACs™). For applications requiring other resolutions, the DAC1000 series for 10-bit and DAC0830 series for 8-bit are available alternatives.

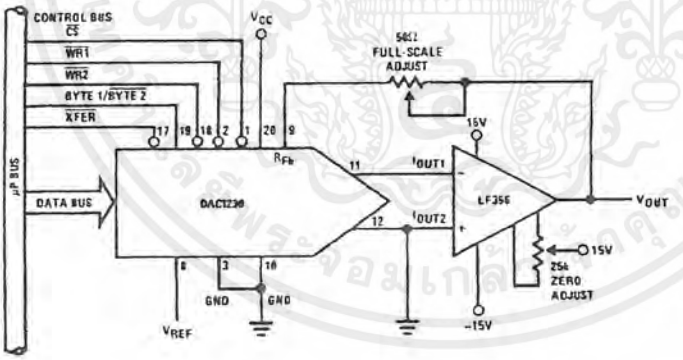
Features

- Linearity specified with zero and full-scale adjust only
- Direct interface to all popular microprocessors
- Double-buffered, single-buffered or flow through digital data inputs
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Works with ±10V reference—full 4-quadrant multiplication
- Operates stand-alone (without μP) if desired
- All parts guaranteed 12-bit monotonic
- DAC1230 series is pin compatible with the DAC0830 series 8-bit MICRO-DACs

Key Specifications

■ Current Settling Time	1 μs
■ Resolution	12 Bits
■ Linearity (Guaranteed over temperature)	10, 11, or 12 Bits of FS
■ Gain Tempco	1.3 ppm/°C
■ Low Power Dissipation	20 mW
■ Single Power Supply	5 V_{DC} to 15 V_{DC}

Typical Application



TL/H/5690–1

TRISTATE® is a registered trademark of National Semiconductor Corp.
MICRO-DAC™ is a trademark of National Semiconductor Corp.

©1995 National Semiconductor Corporation TL/H/5690

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Notes 1 and 2)

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability	800V

Operating Conditions

Lead Temperature (Soldering, 10 sec.)	300°C
Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC1208LCJ, DAC1209LCJ, DAC1210LCJ, DAC1230LCJ, DAC1231LCJ, DAC1232LCJ, DAC1231LIN, DAC1232LIN	−40°C ≤ T_A ≤ +85°C
DAC1208LCJ-1, DAC1210LCJ-1, DAC1230LCJ-1, DAC1231LCJ-1, DAC1232LCJ-1, DAC1231LCN, DAC1232LCN, DAC1231LCWM, DAC1232LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.75 V_{DC} to 16 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC}, V_{CC} = 11.4 V_{DC} to 15.75 V_{DC} unless otherwise noted. **Boldface limits apply from T_{MIN} to T_{MAX} (see Note 13);** all other limits $T_A = T_J = 25°C$.

Parameter	Conditions	Notes	Typ (Note 10)	Tested Limit (Note 5)	Design Limit (Note 6)	Units
Resolution			12	**12**	**12**	Bits
Linearity Error (End Point Linearity)	Zero and Full-Scale Adjusted	4, 7, 13				
	DAC1208, DAC1230			**±0.018**	**±0.018**	% of FSR
	DAC1209, DAC1231			**±0.024**	**±0.024**	% of FSR
	DAC1210, DAC1232			**±0.050**	**±0.05**	% of FSR
Differential Non-Linearity	Zero and Full-Scale Adjusted	4, 7, 13				
	DAC1208, DAC1230			**±0.018**	**±0.018**	% of FSR
	DAC1209, DAC1231			**±0.024**	**±0.024**	% of FSR
	DAC1210, DAC1232			**±0.050**	**±0.05**	% of FSR
Monotonicity		4	12	**12**	**12**	Bits
Gain Error (Min)	Using Internal R_{Fb} V_{ref} = ±10V, ±1V	7	−0.1	0.0		% of FSR
Gain Error (Max)		7	−0.1	−0.2		% of FSR
Gain Error Tempco		7	±1.3		**±6.0**	ppm of FS/°C
Power Supply Rejection	All Digital Inputs Latched High	7	±3.0	±30		ppm of FSR/V
Reference Input Resistance (Min)		13	15	**10**	**10**	kΩ
Reference Input Resistance (Max)			15	**20**	**20**	
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All Data Inputs Latched Low	9	3.0			mVp-p
Output Capacitance	All Data Inputs Latched High I_{OUT1}				200	pF
	I_{OUT2}				70	pF
	All Data Inputs Latched Low I_{OUT1}				70	pF
	I_{OUT2}				200	pF
Supply Current Drain		13		2.0	**2.5**	mA
Output Leakage Current I_{OUT1}	All Data Inputs Latched Low	11, 13	0.1	**15**	**15**	nA
I_{OUT2}	All Data Inputs Latched High	11, 13	0.1	**15**	**15**	nA
Digital Input Threshold	Low Threshold	13		**0.8**	**0.8**	V_{DC}
	High Threshold	13		**2.2**	**2.2**	V_{DC}
Digital Input Currents	Digital Inputs <0.8V	13		**−200**	**−200**	μA_{DC}
	Digital Inputs >2.2V	13		**10**	**10**	μA_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V_{REF} = 10.000 V_{DC}, V_{CC} = 11.4 V_{DC} to 15.75 V_{DC} unless otherwise noted. **Boldface limits apply from T_{MIN} to T_{MAX} (see Note 13);** all other limits $T_A = T_J$ = 25°C.

Symbol	Parameter	Conditions	See Note	Typ (Note 10)	Tested Limit (Note 5)	Design Limit (Note 6)	Units
AC CHARACTERISTICS							
t_S	Current Setting Time	V_{IL} = 0V, V_{IH} = 5V		1.0			µs
t_W	Write and XFER Pulse Width Min.	V_{IL} = 0V, V_{IH} = 5V	8	50		320 **320**	ns
t_{DS}	Data Setup Time Min.	V_{IL} = 0V, V_{IH} = 5V		70		320 **320**	
t_{DH}	Data Hold Time Min.	V_{IL} = 0V, V_{IH} = 5V		30		90 **90**	
t_{CS}	Control Setup Time Min.	V_{IL} = 0V, V_{IH} = 5V		60		320 **320**	
t_{CH}	Control Hold Time Min.	V_{IL} = 0V, V_{IH} = 5V		0		10	

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: This 500 mW specification applies for all packages. The low intrinsic power dissipation of this part (and the fact that there is no way to significantly modify the power dissipation) removes concern for heat sinking.

Note 4: Both I_{OUT1} and I_{OUT2} must go to ground or the virtual ground of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested and guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels. Guaranteed for V_{CC} = 11.4V to 15.75V and V_{REF} = −10V to +10V.

Note 7: The unit FSR stands for full-scale range. Linearity Error and Power Supply Rejection specs are based on this unit to eliminate dependence on a particular V_{REF} value to indicate the true performance of the part. The Linearity Error specification of the DAC1206 is 0.012% of FSR(max). This guarantees that after performing a zero and full-scale adjustment, the plot of the 4096 analog voltage outputs will each be within 0.012% × V_{REF} of a straight line which passes through zero and full-scale. The unit ppm of FSR(parts per million of full-scale range) and ppm of FS(parts per million of full-scale) are used for convenience to define specs of very small percentage values, typical of higher accuracy converters. In this instance, 1 ppm of FSR = $V_{REF}/10^6$ is the conversion factor to provide an actual output voltage quantity. For example, the gain error tempco spec of ±6 ppm of FS/°C represents a worst-case full-scale gain error change with temperature from −40°C to +85°C of ±(6)($V_{REF}/10^6$)(125°C) or ±0.75 (10^{-3}) V_{REF} which is ±0.075% of V_{REF}.

Note 8: This spec implies that all parts are guaranteed to operate with a write pulse or transfer pulse width (t_W) of 320 ns. A typical part will operate with t_W of only 100 ns. The entire write pulse must occur within the valid data interval for the specified t_W, t_{CS}, t_{DH} and t_S to apply.

Note 9: To achieve this low feedthrough in the D package, the user must ground the metal lid. If the lid is left floating the feedthrough is typically 6 mV.

Note 10: Typicals are at 25°C and represent the most likely parametric norm.

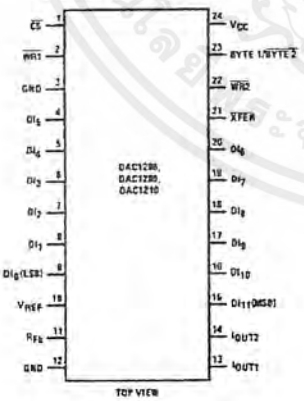
Note 11: A 10 nA leakage current with R_{Fb} = 20k and V_{REF} = 10V corresponds to a zero error of $(10 \times 10^{-9} \times 20 \times 10^3) \times 100\%$ 10V or 0.002% of FS.

Note 12: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

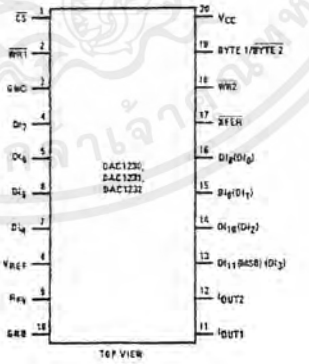
Note 13: Tested limit for −1 suffix parts applies only at 25°C.

Connection Diagrams

Dual-In-Line Package



Dual-In-Line Package

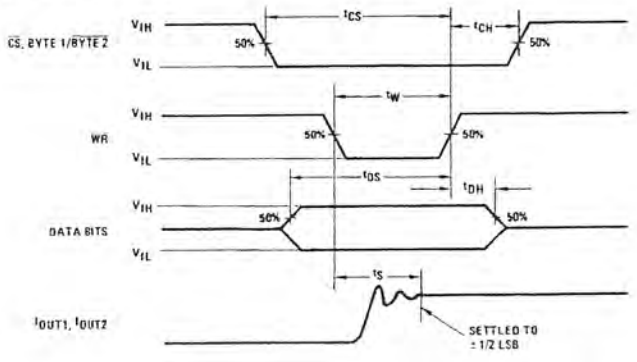


TL/H/5690–2

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

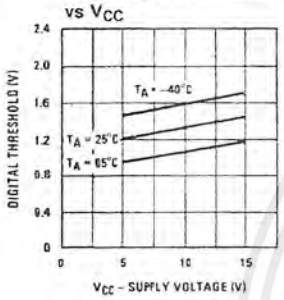
Switching Waveforms



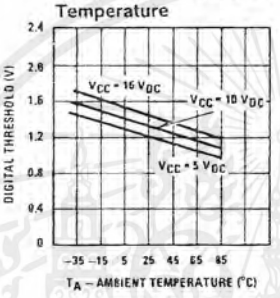
TL/H/5690–5

Typical Performance Characteristics

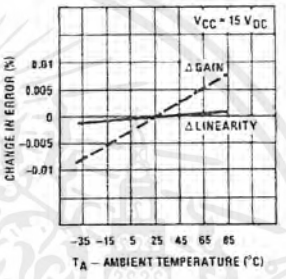
Digital Input Threshold vs V_{CC}



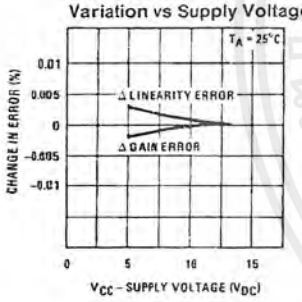
Digital Input Threshold vs Temperature



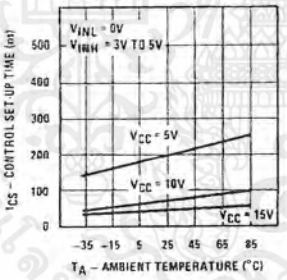
Gain and Linearity Error Variation vs Temperature



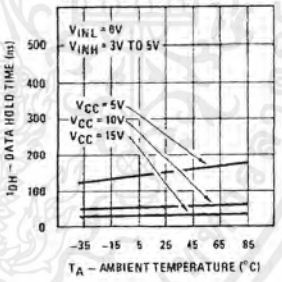
Gain and Linearity Error Variation vs Supply Voltage



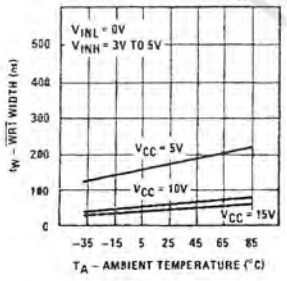
Control Set-Up Time, t_{CS}



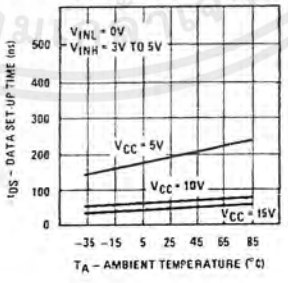
Data Hold Time, t_{DH}



Write Pulse Width, t_W



Data Set-Up Time, t_{DS}



TL/H/5690–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Package Pinouts

CONTROL SIGNALS (all control signals are level actuated)

$\overline{CS}$: Chip Select (active low). The $\overline{CS}$ will enable $\overline{WR1}$.

$\overline{WR1}$: Write 1. The active low $\overline{WR1}$ is used to load the digital data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR1}$ is high. The 12-bit input latch is split into two latches. One holds the first 8 bits, while the other holds 4 bits. The Byte 1/$\overline{\text{Byte 2}}$ control pin is used to select both latches when Byte 1/$\overline{\text{Byte 2}}$ is high or to overwrite the 4-bit input latch when in the low state.

Byte 1/$\overline{\text{Byte 2}}$: Byte Sequence Control. When this control is high, all 12 locations of the input latch are enabled. When low, only the four least significant locations of the input latch are enabled.

$\overline{WR2}$: Write 2 (active low). The $\overline{WR2}$ will enable $\overline{XFER}$.

$\overline{XFER}$: Transfer Control Signal (active low). This signal, in combination with $\overline{WR2}$, causes the 12-bit data which is available in the input latches to transfer to the DAC register.

DI_0 to DI_{11}: Digital Inputs. DI_0 is the least significant digital input (LSB) and DI_{11} is the most significant digital input (MSB).

I_{OUT1}: DAC Current Output 1. I_{OUT1} is a maximum for a digital code of all 1s in the DAC register, and is zero for all 0s in the DAC register.

I_{OUT2}: DAC Current Output 2. I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (for a fixed reference voltage). This constant current is

$$V_{REF} \times \left(1 - \frac{1}{4096}\right)$$

divided by the reference input resistance.

R_{FB}: Feedback Resistor. The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: Reference Voltage Input. This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of 10V to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: Digital Supply Voltage. This is the power supply pin for the part. V_{CC} can be from 5 V_{DC} to 15 V_{DC}. Operation is optimum for 15 V_{DC}.

GND: Pins 3 and 12 of the DAC1208, DAC1209, and DAC1210 must be connected to ground. Pins 3 and 10 of the DAC1230, DAC1231, and DAC1232 must be connected to ground. It is important that I_{OUT_1} and I_{OUT_2} are at ground potential for current switching applications. Any difference of potential (V_{OS} on these pins) will result in a linearity change of

$$\frac{V_{OS}}{3\,V_{REF}}$$

For example, if V_{REF} = 10V and these ground pins are 9 mV offset from I_{OUT_1} and I_{OUT_2}, the linearity change will be 0.03%.

Definition of Terms

Resolution: Resolution is defined as the reciprocal of the number of discrete steps in the DAC output. It is directly related to the number of switches or bits within the DAC. For example, the DAC1208 has 2^{12} or 4096 steps and therefore has 12-bit resolution.

Linearity Error: Linearity error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic*. It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity test (a) and the best straight line test (b) used by other suppliers are illustrated below. The best straight line (b) requires a special zero and FS adjustment for each part, which is almost impossible for the user to determine. The end point test uses a standard zero FS adjustment procedure and is a much more stringent test for DAC linearity.

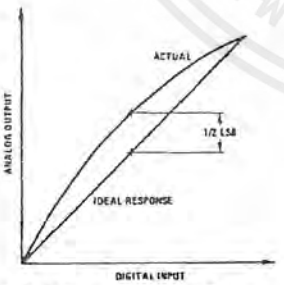
Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Full-scale current settling time requires zero to full-scale or full-scale to zero output change. Settling time is the time required from a code transition until the DAC output reaches within ± ½ LSB of the final output value.

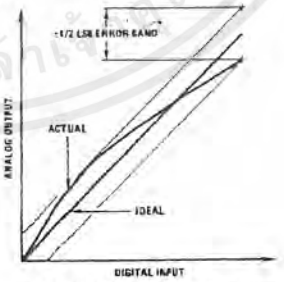
Full-Scale Error: Full-scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC1208 or DAC1230 series, full-scale is V_{REF} − 1 LSB. For V_{REF} = 10V and unipolar operation, $V_{FULL\text{-}SCALE}$ = 10.0000V − 2.44 mV = 9.9976V. Full-scale error is adjustable to zero.

Differential Non-Linearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential non-linearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. A 12-bit DAC which is monotonic to 12 bits simply means that input increasing digital input codes will produce an increasing analog output.



a) End Point Test After Zero and FS Adjust



TL/H/5690–5

b) Shifting FS Adjust to Pass Best Straight Line Test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

1.0 DIGITAL INTERFACE

These DACs are designed to provide all of the necessary digital input circuitry to permit a direct interface to a wide variety of microprocessor systems. The timing and logic level convention of the input control signals allow the DACs to be treated as a typical memory device or I/O peripheral with no external logic required in most systems. Essentially these DACs can be mapped as a two-byte stack in memory (or I/O space) to receive their 12 bits of input data in two successive 8-bit data writing sequences. The DAC1230 series is intended for use in systems with an 8-bit data bus. The DAC1208 series provides all 12 digital input lines which can be externally configured to be controlled from an 8-bit bus or can be driven directly from a 16-bit data bus.

All of the digital inputs to these DACs contain a unique threshold regulator circuit to maintain TTL voltage level compatibility independent of the applied V_{CC} to the DAC. Any input can also be driven from higher voltage CMOS logic levels in non-microprocessor based systems. To prevent damage to the chip from static discharge, all unused digital inputs should be tied to V_{CC} or ground. As a trouble-shooting aid, if any digital input is inadvertently left floating, the DAC will interpret the pin as a logic "1".

Double buffered digital inputs allow the DAC to internally format the 12-bit word used to set the current switching R-2R ladder network (see section 2.0) from two 8-bit data write cycles. *Figures 1* and *2* show the internal data registers and their controlling logic circuitry. The timing diagrams for updating the DAC output are shown in sections 1.1, 1.2 and 1.3 for three possible control modes. The method used depends strictly upon the particular application.

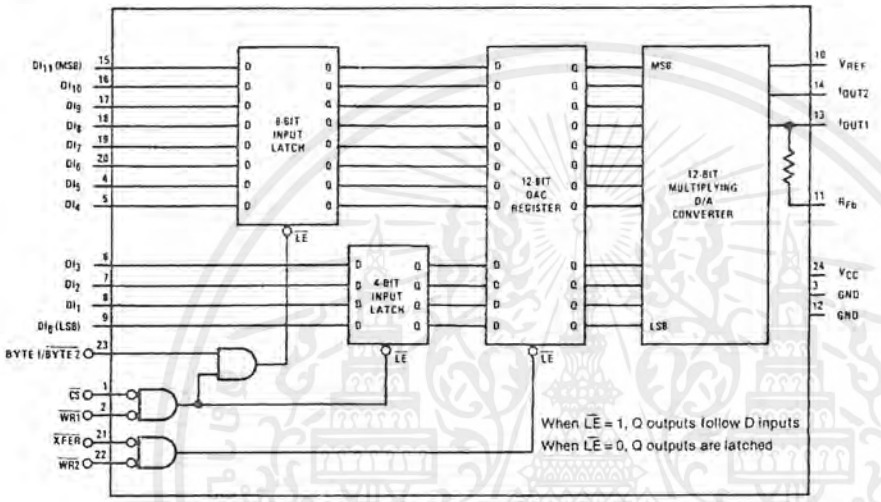


FIGURE 1. DAC1208, DAC1209, DAC1210 Functional Diagram

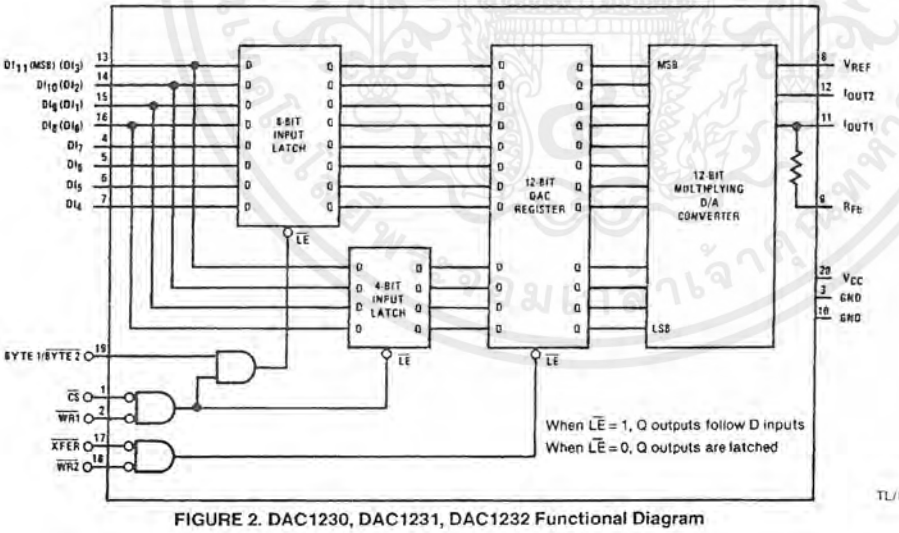


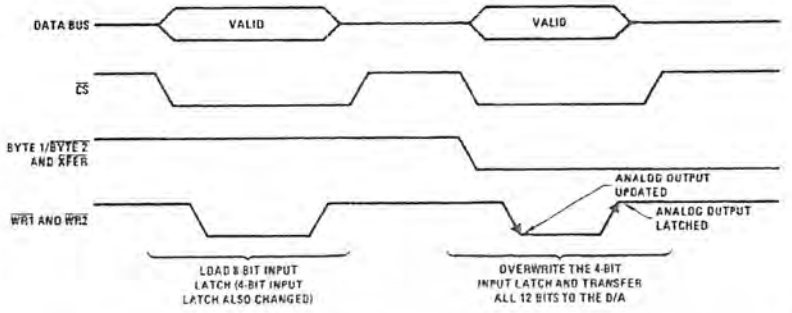
FIGURE 2. DAC1230, DAC1231, DAC1232 Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

1.1 Automatic Transfer

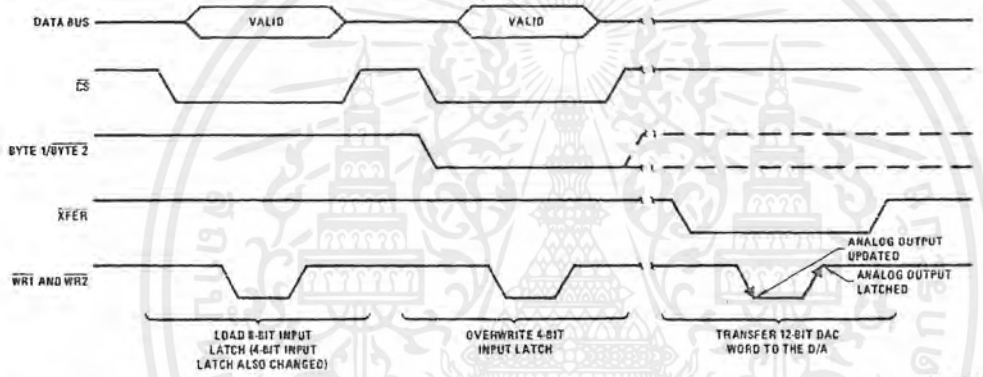
The 12-bit DAC word is automatically transferred to the DAC register and the R-2R ladder when the second write (the 4 LSBs of the data) occurs.



TL/H/5690–7

1.2 Independent Processor Transfer Control

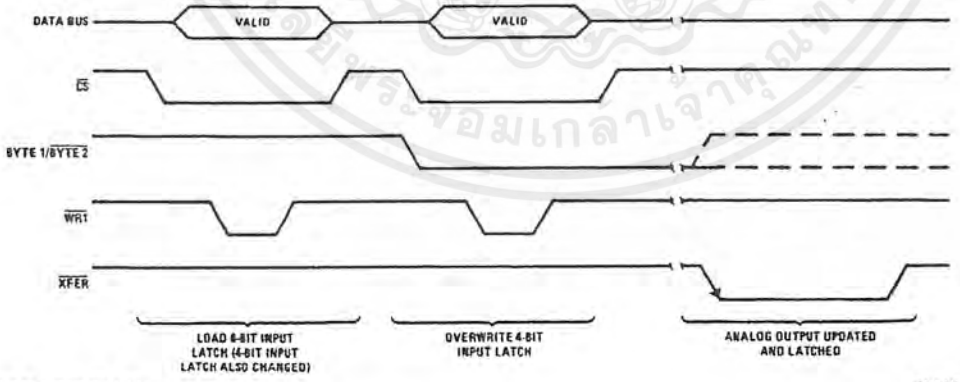
In this case a separate address is decoded to provide the $\overline{XFER}$ signal. This allows the processor to load the next required DAC word but not change the analog output until some time later, most useful for the simultaneous updating of several DACs in a system where their $\overline{XFER}$ lines would be tied together.



TL/H/5690–8

1.3 Transfer via an External Strobe

This method is basically the same as the previous operation except the $\overline{XFER}$ signal is provided by a device other than the processor. This allows the DAC to hold the code for a conditional analog output signal which will be required on demand from an external monitoring device (an analog voltage comparator for instance).



$\overline{WR2}$ tied to a logic low (0V)

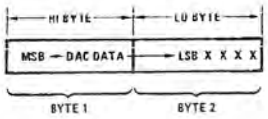
TL/H/5690–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

1.4 Left-Justified Data Format

It is important to realize that the input registers of these DACs are arranged to accept a left-justified data word from the microprocessor with the most significant 8 bits coming first (Byte 1) and the lower 4 bits second. Left justification simply means that the binary point is assumed to be located to the left of the most significant bit. *Figure 3* shows how the 12 bits of DAC data should be arranged in 2 8-bit registers of an 8-bit processor before being written to the DAC.



TL/H/5690-10

X = don't care

FIGURE 3. Left-Justified Data Format

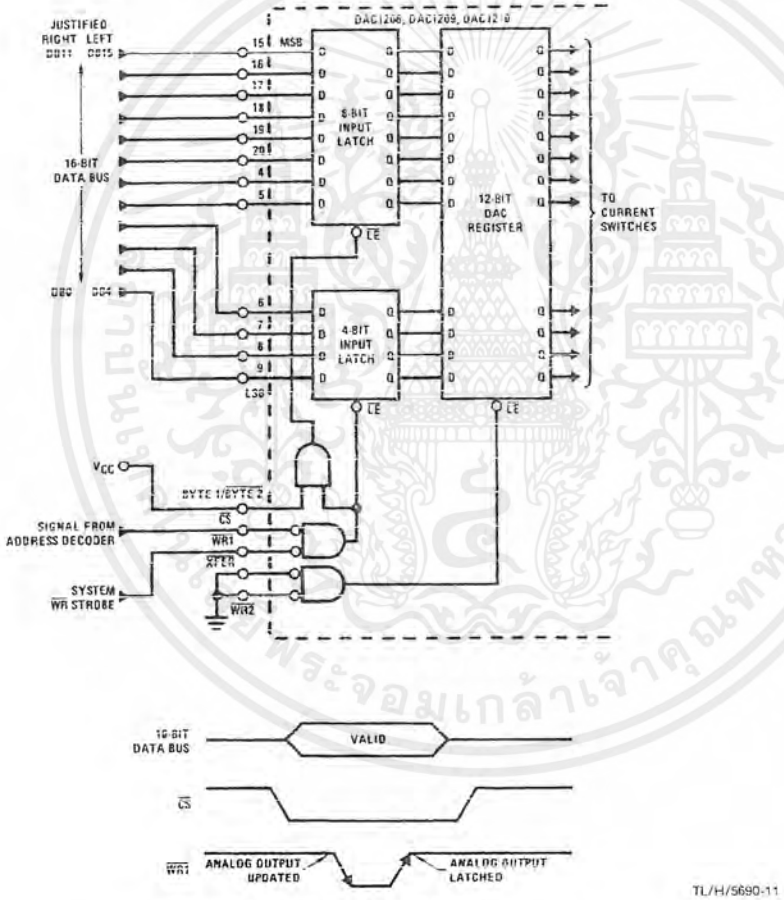
1.5 16-Bit Data Bus Interface

The DAC1208 series provides all 12 digital input lines to permit a direct parallel interface to a 16-bit data bus. In this instance, double buffering is not always necessary (unless a simultaneous updating of several DACs or a data transfer via an external strobe is desired) so the 12-bit DAC register can be wired to flow-through whereby its Q outputs always reflect the state of its D inputs. The external connections required and the timing diagram for this single buffered application are shown in *Figure 4*. Note that either left or right-justified data from the processor can be accommodated with a 16-bit data bus.

1.6 Flow-Through Operation

Through primarily designed to provide microprocessor interface compatibility, the MICRO-DACs can easily be configured to allow the analog output to continuously reflect the state of an applied digital input. This is most useful in appli-

Interface Timing



TL/H/5690-11

XFER and WR2 grounded; Byte 1/Byte 2 tied to V_{CC}.

FIGURE 4. 16-Bit Data Bus Interface for the DAC1208 Series

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

cations where the DAC is used in a continuous feedback control loop and is driven by a binary up/down counter, or in function generation circuits where a ROM is continuously providing DAC data.

Only the DAC1208, DAC1209, DAC1210 devices can have all 12 inputs flow-through. Simply grounding $\overline{CS}$, $\overline{WR1}$, $\overline{WR2}$ and $\overline{XFER}$ and tying Byte 1/$\overline{Byte\ 2}$ high allows both internal registers to follow the applied digital inputs (flow-through) and directly affect the DAC analog output.

1.7 Address Decoding Tips

It is possible to map the MICRO-DACs into system ROM space to allow more efficient use of existing address decoding hardware. The DAC in effect can share the same addresses of any number of ROM locations. The ROM outputs will only be enabled by a READ of its address (gated by the system READ strobe) and the DAC will only accept data that is written to the same address (gated by the system WRITE strobe).

The Byte 1/$\overline{Byte\ 2}$ control function can easily be generated by the processor's least significant address bit (A0) by placing the DAC at two consecutive address locations and utilizing double-byte WRITE instructions which automatically increment or decrement the address. The $\overline{CS}$ and $\overline{XFER}$ signals can then be decoded from the remaining address bits. Care must be taken in selecting the actual address used for Byte 1 of the DAC to prevent a carry (as a result of incrementing the address for Byte 2) from propagating through the address word and changing any of the bits decoded for $\overline{CS}$ or $\overline{XFER}$. *Figure 5* shows how to prevent this effect.

The same problem can occur from a borrow when an auto-decremented address is used; but only if the processor's address outputs are inverted before being decoded.

1.8 Control Signal Timing

When interfacing these MICRO-DACs to any microprocessor, there are two important time relationships that must be considered to insure proper operation. The first is the minimum $\overline{WR}$ strobe pulse width which is specified as 320 ns for V_{CC} = 11.4V to 15.75V and operation over temperature, but typically a pulse width of only 250 ns is adequate. A second consideration is that the guaranteed minimum data hold time of 90 ns should be met or erroneous data can be latched. This hold time is defined as the length of time data must be held valid on the digital inputs *after* a qualified (via $\overline{CS}$) $\overline{WR}$ strobe makes a low to high transition to latch the applied data.

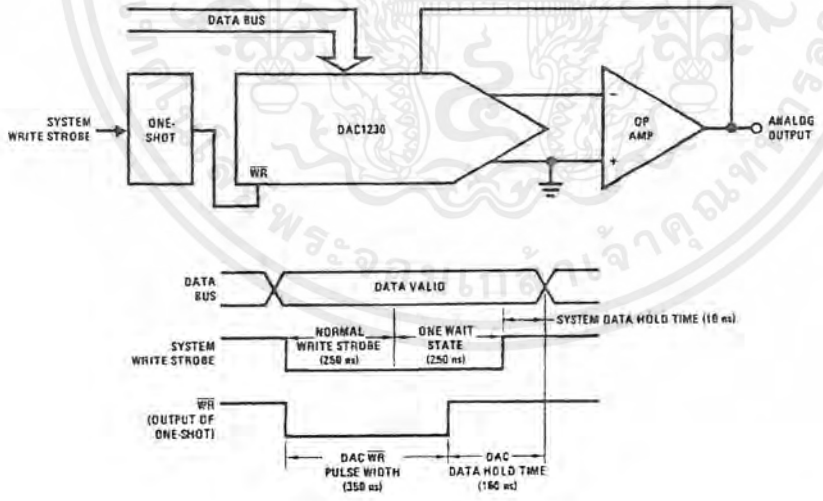
If the controlling device or system does not inherently meet these timing specs the DAC can be treated as a slow memory or peripheral and utilize a technique to extend the write strobe. A simple extension of the write time, by adding a wait state, can simultaneously hold the write strobe active and data valid on the bus to satisfy the minimum $\overline{WR}$ pulse

Write Cycle	Address Bits			
	15 ... 2		1*	0**
First (Byte 1)	Decoded to Address DAC		0	1
Second (Byte 2)			1	0

*Starting with a 0 prevents a carry on address incrementing.

**Used as Byte 1/Byte2 Control.

FIGURE 5



TL/H/5690-12

FIGURE 6. Accommodating a High Speed System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

width. If this does not provide a sufficient data hold time at the end of the write cycle, a negative edge triggered one-shot can be included between the system write strobe and the $\overline{WR}$ pin of the DAC. This is illustrated in *Figure 6* for an exemplary system which provides a 250 ns $\overline{WR}$ strobe time with a data hold time of only 10 ns.

The proper data set-up time prior to the latching edge (low to high transition) of the $\overline{WR}$ strobe, is insured if the $\overline{WR}$ pulse width is within spec and the data is valid on the bus for the duration of the DAC $\overline{WR}$ strobe.

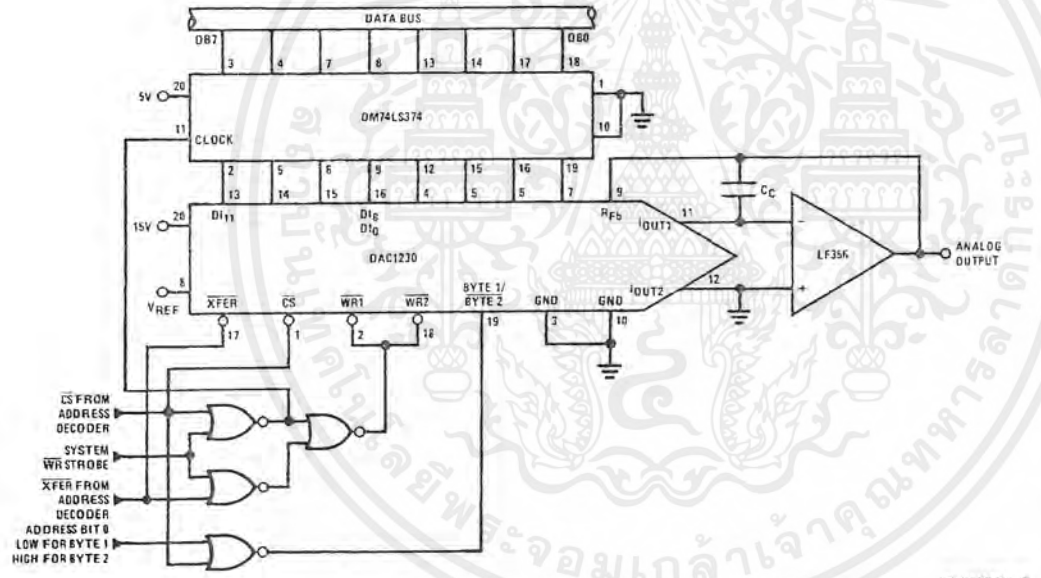
1.9 Digital Signal Feedthrough

A typical microprocessor is a tremendous potential source of high frequency noise which can be coupled to sensitive analog circuitry. The fast edges of the data and address bus signals generate frequency components of 10's of megahertz and may cause fast transients to appear at the DAC output, even when data is latched internally.

In low frequency or DC applications, low pass filtering can reduce the magnitude of any fast transients. This is most easily accomplished by over-compensating the DAC output amplifier by increasing the value of its feedback capacitor.

In applications requiring a fast output response from the DAC and op amp, filtering may not be feasible. In this event, digital signals can be completely isolated from the DAC circuitry, by the use of a DM74LS374 latch, until a valid $\overline{CS}$ signal is applied to update the DAC. This is shown in *Figure 7*.

A single TRI-STATE® data buffer such as the DM81LS95 can be used to isolate any number of DACs in a system. *Figure 8* shows this isolating circuitry and decoding hardware for a multiple DAC analog output card. Pull-up resistors are used on the buffer outputs to limit the impedance at the DAC digital inputs when the card is not selected. A unique feature of this card is that the DAC $\overline{XFER}$ strobes are controlled by the data bus. This allows a very flexible update of any combination of analog outputs via a transfer word which would contain a zero in the bit position assigned to any of the DACs required to change to a new output value.

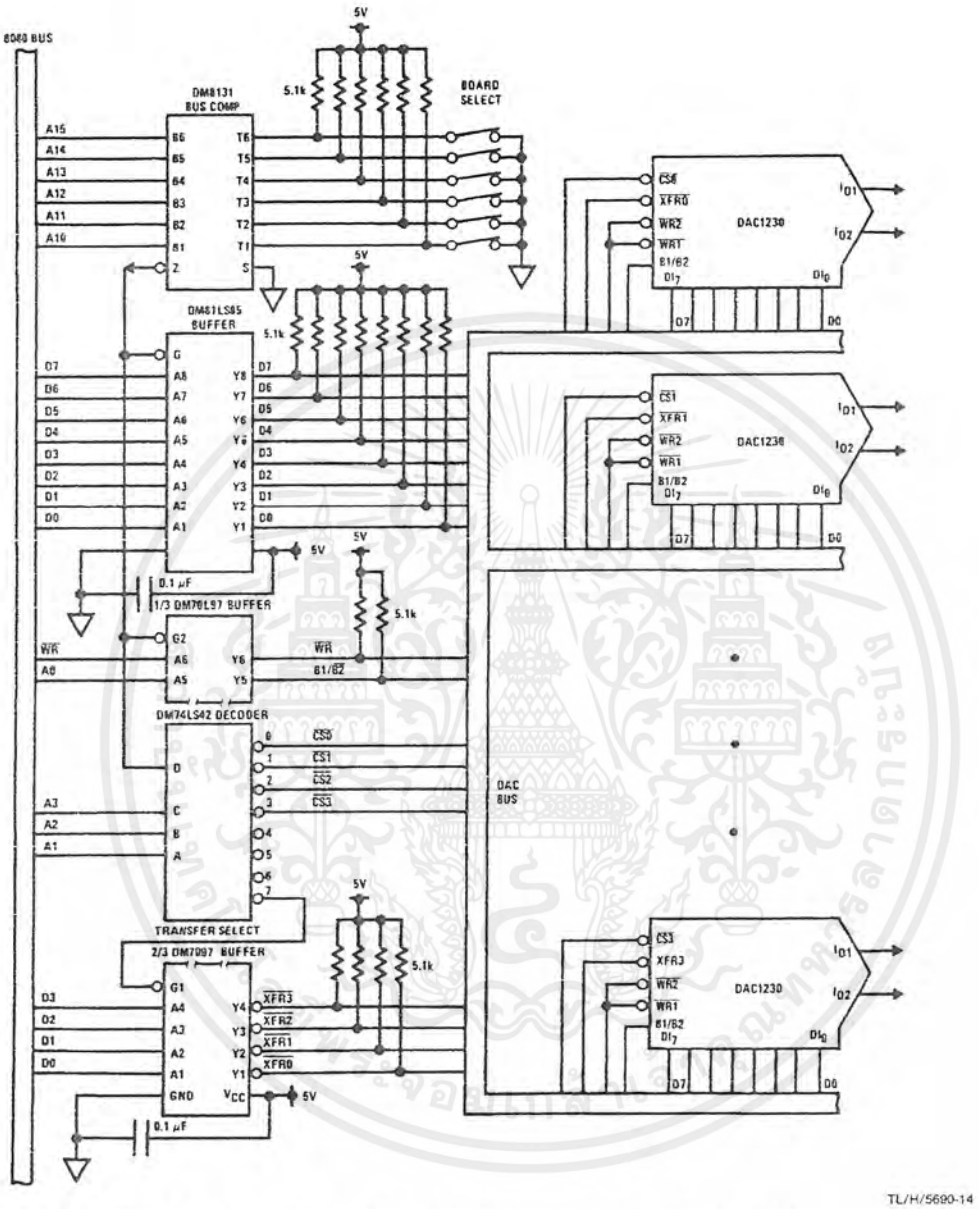


TL/H/5690-13

FIGURE 7. Isolating Data Bus from DAC Circuitry to Eliminate Digital Noise Coupling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)



TL/H/5690-14

FIGURE 8. TRI-STATE® Buffers Isolate the Data and Control Lines from the DACs. A Transfer Word Provides a Flexible Update.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

2.0 ANALOG APPLICATIONS

The analog output signal for these DACs is derived from a conventional R-2R current switching ladder network. A detailed description of this network can be found on the DAC1000 series data sheet. Basically, output I_{OUT1} provides a current directly proportional to the product of the applied reference voltage and the digital input word. A second output, I_{OUT2} will be a current proportional to the complement of the digital input. Specifically:

$$I_{OUT1} = \frac{V_{REF}}{R} \times \frac{D}{4096}$$

$$I_{OUT2} = \frac{V_{REF}}{R} \times \frac{4095 - D}{4096}$$

where D is the decimal equivalent of the applied 12-bit binary word (ranging from 0 to 4095), V_{REF} is the voltage applied to the V_{REF} terminal and R is the internal resistance of the R-2R ladder. R is nominally 15 kΩ.

2.1 Obtaining a Unipolar Output Voltage

To maintain linearity of output current with changes in the applied digital code, it is important that the voltages at both of the current output pins be as near ground potential (0 V_{DC}) as possible. With V_{REF} = +10V every millivolt appearing at either I_{OUT1} or I_{OUT2} will cause a 0.01% linearity error. In most applications this output current is converted to a voltage by using an op amp as shown in *Figure 9*.

The inverting input of the op amp is a virtual ground created by the feedback from its output through the internal 15 kΩ resistor, R_{Fb}. All of the output current (determined by the digital input and the reference voltage) will flow through R_{Fb} to the output of the amplifier. Two-quadrant operation can be obtained by reversing the polarity of V_{REF} thus causing I_{OUT1} to flow into the DAC and be sourced from the output of the amplifier. The output voltage, in either case, is always equal to $I_{OUT1} \times R_{Fb}$ and is the opposite polarity of the reference voltage.

The reference can be either a stable DC voltage source or an AC signal anywhere in the range from −10V to +10V. The DAC can be thought of as a digitally controlled attenuator: the output voltage is always less than the applied reference voltage. The V_{REF} terminal of the device presents a nominal impedance of 15 kΩ to ground to external circuitry.

Always use the internal R_{Fb} resistor to create an output voltage since this resistor matches (and tracks with temperature) the value of the resistors used to generate the output current (I_{OUT1}).

The selected op amp should have as low a value of input bias current as possible. The product of the bias current times the feedback resistance creates an output voltage error which can be significant in low reference voltage applications. BI-FET™ op amps are highly recommended for use with these DACs because of their very low input current.

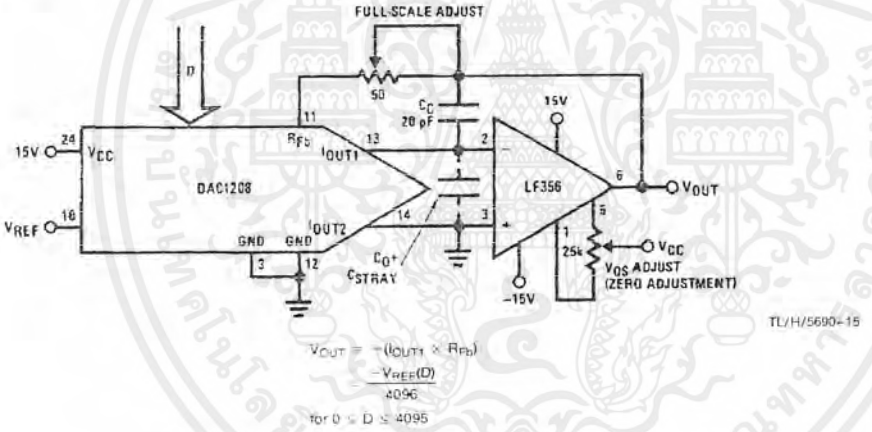


FIGURE 9. Unipolar Output Configuration

BI-FET™ is a trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

Transient response and settling time of the op amp are important in fast data throughput applications. The largest stability problem is the feedback pole created by the feedback resistance, R_{Fb}, and the output capacitance of the DAC. This appears from the op amp output to the (−) input and includes the stray capacitance at this node. Addition of a lead capacitance, C_C in *Figure 9*, greatly reduces overshoot and ringing at the output for a step change in DAC output current.

2.1.1 Zero and Full-Scale Adjustments

For accurate conversions, the input offset voltage of the output amplifier must always be nulled. Amplifier offset errors create an overall degradation of DAC linearity.

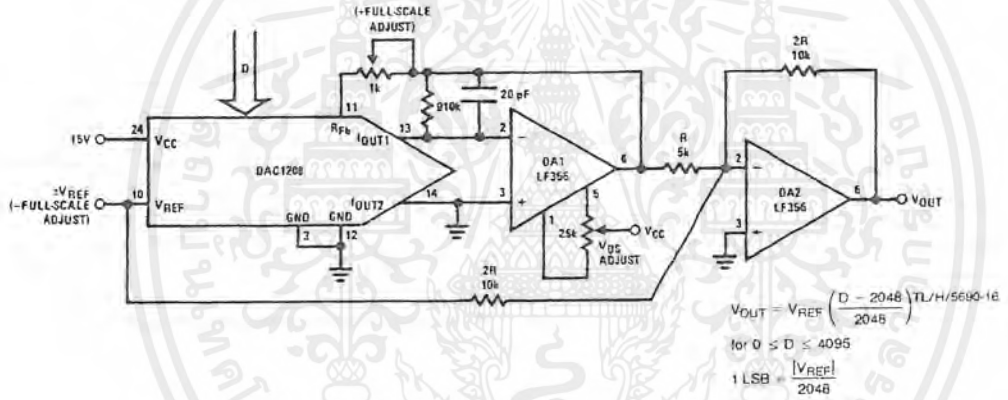
The fundamental purpose of zeroing is to make the voltage appearing at the DAC outputs as near 0 V_{DC} as possible. This is accomplished by shorting out R_{Fb}, the amplifier feedback resistor, and adjusting the V_{OS} nulling potentiometer of the op amp until the output reads zero volts. This is done, of course, with an applied digital code of all zeros if I_{OUT1} is driving the op amp (all ones for I_{OUT2}). The short around R_{Fb} is then removed and the converter is zero adjusted.

A unique feature of this series of DACs is that the full-scale or gain error is guaranteed to be negative. The gain error specification is a measure of how close the value of the internal feedback resistor, R_{Fb}, matches the R-2R ladder resistors. A negative gain error indicates that R_{Fb} is a smaller resistance value than it should be. To adjust this gain error, some resistance must always be added in series with R_{Fb}. The 50Ω potentiometer shown is sufficient to adjust the worst-case gain error for these devices.

2.2 Bipolar Output Voltage from a Fixed Reference

The addition of a second op amp to the unipolar circuit can generate a bipolar output voltage from a fixed reference voltage. This, in effect, gives sign significance to the MSB of the digital input word to allow two quadrant multiplication of the reference voltage. The polarity of the reference can also be reversed to realize full 4-quadrant multiplication. This circuit is shown in *Figure 10*.

This configuration features several improvements over existing circuits for a bipolar output shown with other multiplying DACs. Only the offset voltage of amplifier 1 affects the linearity of the DAC. The offset voltage error of the second op amp (although a constant output error) has no effect on linearity. In addition, this configuration offers a non-interactive positive and negative full-scale calibration procedure.



$$V_{OUT} = V_{REF}\left(\frac{D - 2048}{2048}\right)$$

for $0 \le D \le 4095$

$$1\ LSB = \frac{|V_{REF}|}{2048}$$

Input Code MSB.....LSB	Ideal V_{OUT}	
	$+V_{REF}$	$-V_{REF}$
111111111111	$V_{REF} - 1$ LSB	$-\lvert V_{REF}\rvert + 1$ LSB
110000000000	$V_{REF}/2$	$-\lvert V_{REF}\rvert/2$
100000000000	0	0
011111111111	−1 LSB	+1 LSB
001111111111	$-\frac{V_{REF}}{2} - 1$ LSB	$\frac{\lvert V_{REF}\rvert}{2} + 1$ LSB
000000000000	$-V_{REF}$	$+\lvert V_{REF}\rvert$

FIGURE 10. Bipolar Output Voltage Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

2.2.1 Zero and Full-Scale Adjustments

To calibrate the bipolar output circuit, three adjustments are required. The first step is to set all of the digital inputs LOW (to force I_{OUT1} to 0) then null the V_{OS} of amplifier 1 by setting the voltage at its inverting input (pin 2) to zero volts. Next, with a code of all zeros still applied, adjust "−full-scale adjust", the reference voltage, for $V_{OUT} = +|V_{REF}$ ideal|. The polarity of the output voltage at this time will be opposite that of the applied reference. Finally, set all of the digital inputs HIGH and adjust "+full-scale adjust" for

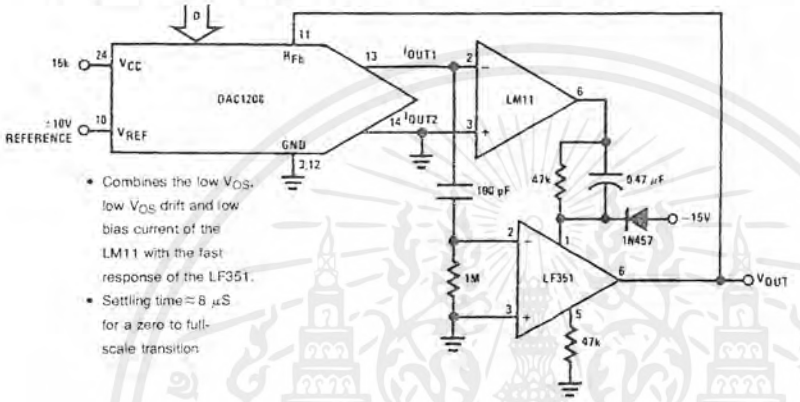
$$V_{OUT} = V_{REF}\frac{2047}{2048}.$$

The polarity of the output will be the same as that of the reference voltage.

3.0 APPLICATION IDEAS

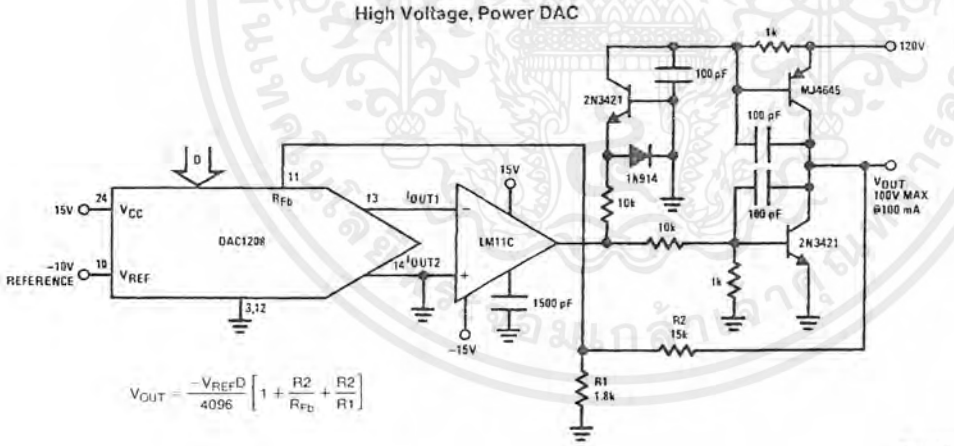
In this section the digital input word is represented by the letter D and is equal to the decimal equivalent of the 12-bit binary input. Hence D can be any integer value between 0 and 4095.

Composite Amplifier for Good DC Characteristics and Fast Output Response



- Combines the low V_{OS}, low V_{OS} drift and low bias current of the LM11 with the fast response of the LF351.
- Settling time ≈ 8 µS for a zero to full-scale transition

High Voltage, Power DAC



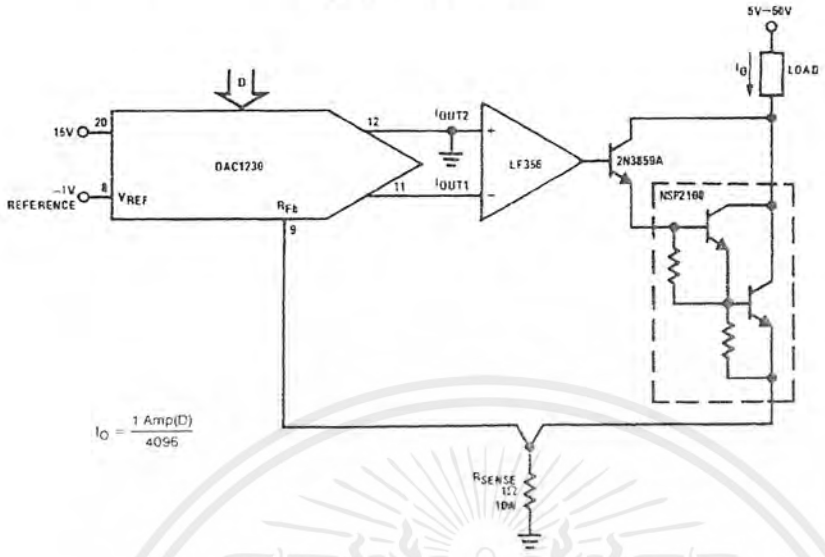
$$V_{OUT} = \frac{-V_{REF}D}{4096}\left[1 + \frac{R2}{R_{Fb}} + \frac{R2}{R1}\right]$$

TL/H/5690–17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

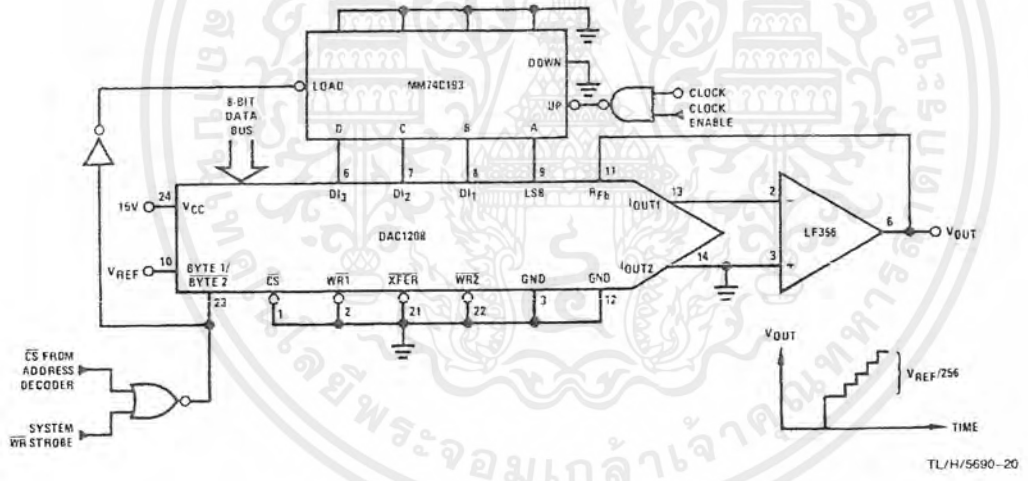
Application Hints (Continued)

High Current Controller



TL/H/5690–18

8-Bit Course, 4-Bit Vernier DAC



TL/H/5690–20

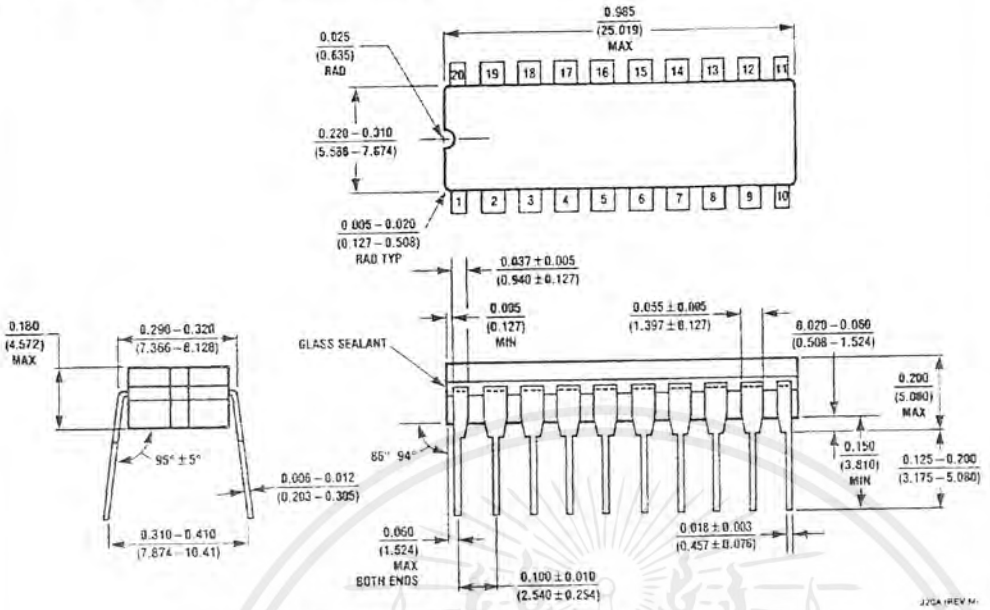
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

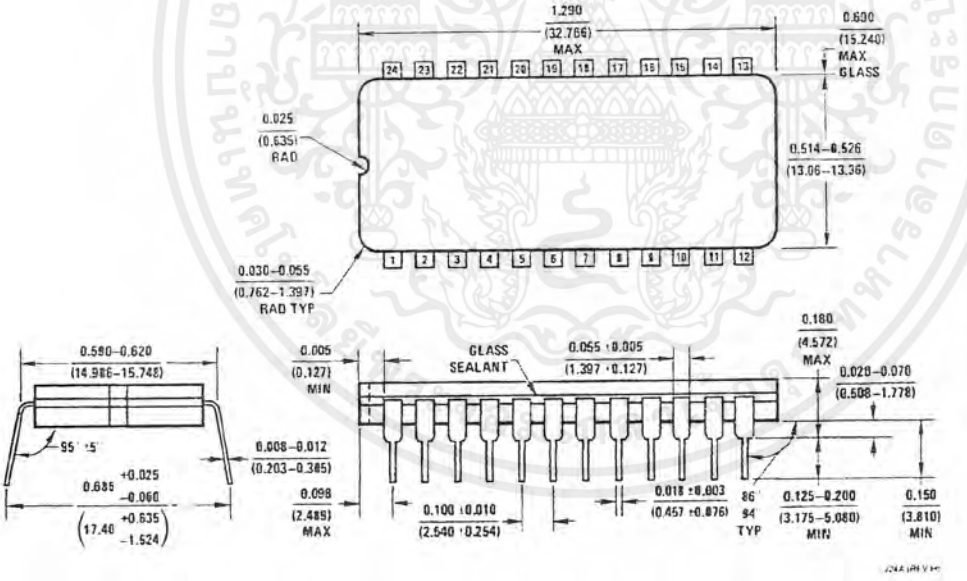
Part Number	Non-Linearity	Package	Temperature Range
DAC1208LCJ	0.018%	J24A Cerdip	−40°C to +85°C
DAC1208LCJ-1	0.018%	J24A Cerdip	0°C to +70°C
DAC1209LCJ	0.024%	J24A Cerdip	−40°C to +85°C
DAC1210LCJ	0.050%	J24A Cerdip	−40°C to +85°C
DAC1210LCJ-1	0.050%	J24A Cerdip	0°C to +70°C
DAC1230LCJ	0.018%	J20A Cerdip	−40°C to +85°C
DAC1230LCJ-1	0.018%	J20A Cerdip	0°C to +70°C
DAC1231LCJ	0.024%	J20A Cerdip	−40°C to +85°C
DAC1231LCJ-1	0.024%	J20A Cerdip	0°C to +70°C
DAC1231LCN	0.024%	N20A Plastic	0°C to +70°C
DAC1231LCWM	0.024%	M20B SO	0°C to +70°C
DAC1231LIN	0.024%	N20A Plastic	−40°C to +85°C
DAC1232LCJ	0.050%	J20A Cerdip	−40°C to +85°C
DAC1232LCJ-1	0.050%	J20A Cerdip	0°C to +70°C
DAC1232LCN	0.050%	N20A Plastic	0°C to +70°C
DAC1232LCWM	0.050%	M20B SO	0°C to +70°C
DAC1232LIN	0.050%	N20A Plastic	−40°C to +85°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



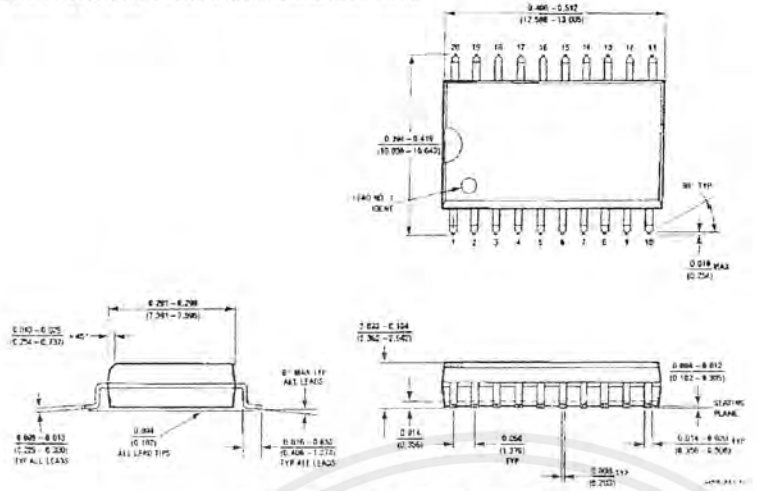
20-Lead Ceramic Dual-In-Line Package (J)
Order Number DAC1230LCJ, DAC1230LCJ-1,
DAC1231LCJ, DAC1231LCJ-1, DAC1232LCJ or DAC1232LCJ-1
NS Package Number J20A



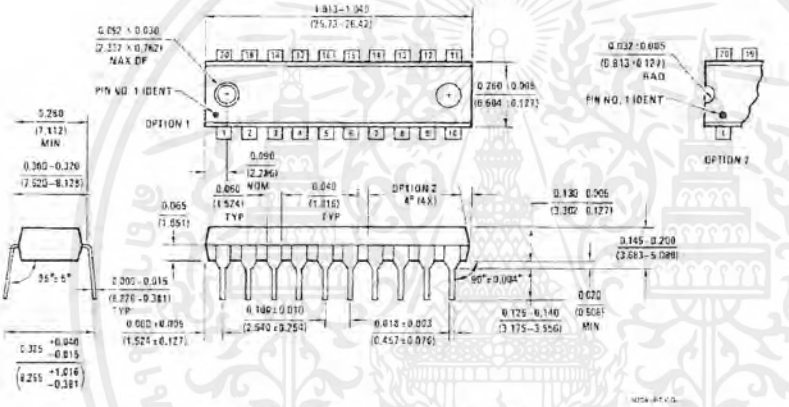
24-Lead Ceramic Dual-In-Line Package (J)
Order Number DAC1208LCJ, DAC1208LCJ-1,
DAC1209LCJ, DAC1210LCJ or DAC1210LCJ-1
NS Package Number J24A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



20-Lead Molded Small Outline Package (M)
Order Number DAC1231LCWM or DAC1232LCWM
NS Package Number M20B



20-Lead Molded Dual-In-Line Package (N)
Order Number DAC1231LCN, DAC1231LIN, DAC1232LCN or DAC1232LIN
NS Package Number N20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC04A

Hex Inverter
High–Performance Silicon–Gate CMOS

The MC54/74HC04A is identical in pinout to the LS04 and the MC14069. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The device consists of six three–stage inverters.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 36 FETs or 9 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

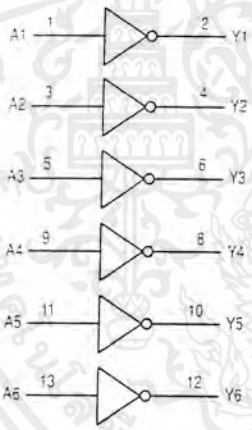
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKACE
CASE 948G–01

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

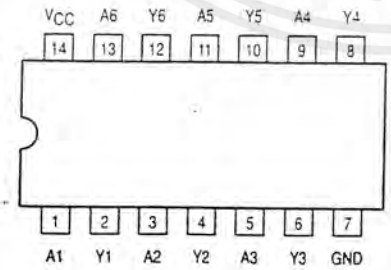
LOGIC DIAGRAM



FUNCTION TABLE

Inputs	Outputs
A	Y
L	H
H	L

Pinout: 14–Lead Packages (Top View)



© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	Plastic DIP, SOIC or TSSOP Package	260	
	Ceramic DIP	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				−55 to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} −0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} − 0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0μA	6.0	1.0	10	40	μA

3

NOTE: Information on typical parametric values can be found in Chapter 2.

AC CHARACTERISTICS (C_L = 50pF, Input t_r = t_f = 6ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55 to 25°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Inverter)*	20	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

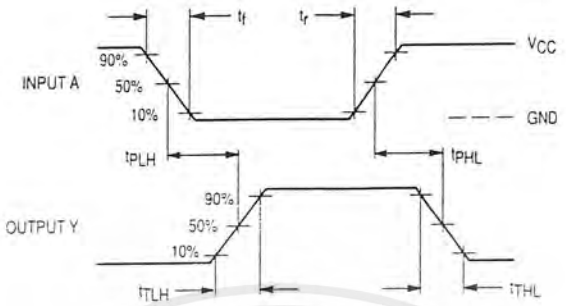
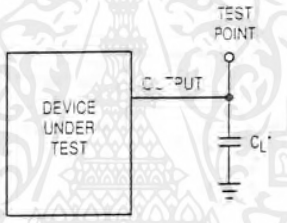


Figure 1. Switching Waveforms



*Includes all probe and jig capacitance

Figure 2. Test Circuit

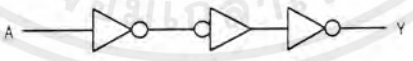


Figure 3. Expanded Logic Diagram
(1/6 of the Device Shown)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC08A

Quad 2-Input AND Gate
High–Performance Silicon–Gate CMOS

The MC54/74HC08A is identical in pinout to the LS08. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1µA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 24 FETs or 6 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

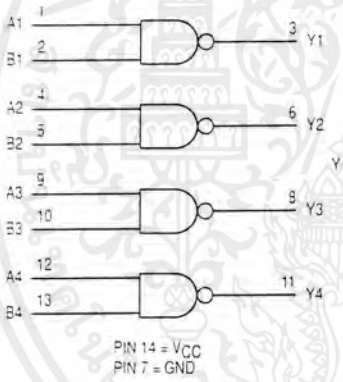
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948B–03

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

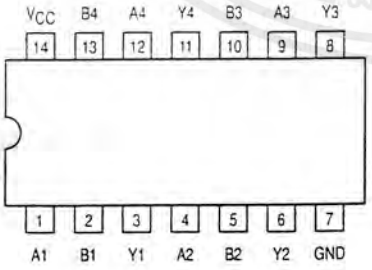
LOGIC DIAGRAM



FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

Pinout: 14–Lead Packages (Top View)



3

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	Plastic DIP, SOIC or TSSOP Package	260	
	Ceramic DIP	300	

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
TSSOP Package: −6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high−impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				–55 to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} –0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} – 0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} =V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0μA	6.0	1.0	10	40	μA

NOTE: Information on typical parametric values can be found in Chapter 2

3

AC CHARACTERISTICS (C_L = 50pF, Input t_r = t_f = 6ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55 to 25°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V, V_{EE} = 0 V	
C_{PD}	Power Dissipation Capacitance (Per Buffer)*	20	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

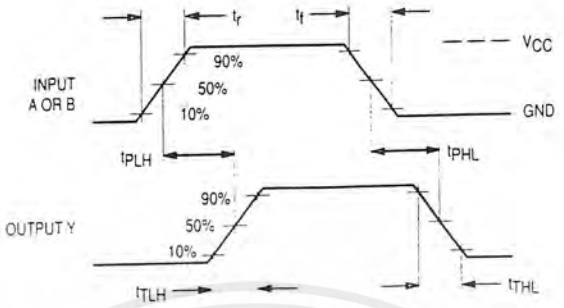
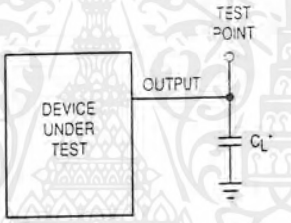


Figure 1. Switching Waveforms



*Includes all probe and jig capacitance

Figure 2. Test Circuit

Figure 3. Expanded Logic Diagram (1/4 of the Device)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC74A

Dual D Flip-Flop with Set and Reset

High–Performance Silicon–Gate CMOS

The MC54/74HC74A is identical in pinout to the LS74. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two D flip–flops with individual Set, Reset, and Clock inputs. Information at a D–input is transferred to the corresponding Q output on the next positive going edge of the clock input. Both Q and $\overline{Q}$ outputs are available from each flip–flop. The Set and Reset inputs are asynchronous.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 128 FETs or 32 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

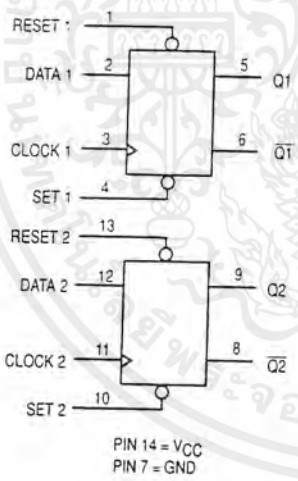
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

ORDERING INFORMATION

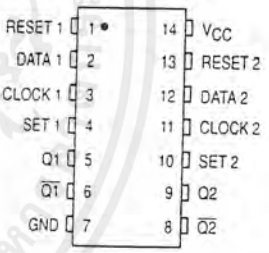
MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Outputs	
Set	Reset	Clock	Data	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	No Change	
H	H	H	X	No Change	
H	H	↓	X	No Change	

* Both outputs will remain high as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP, SOIC or TSSOP Package)	260	
	(Ceramic DIP)	300	

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 2

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figures 1, 2, 3)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.5	0.5	0.5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.7	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.2	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.4	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.4	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND) – **continued**

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND I_{out} = 0 μA	6.0	2.0	20	80	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q or $\overline{Q}$ (Figures 1 and 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Set or Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	105 21 18	130 26 22	160 32 27	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Flip–Flop)*	39	pF

*Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Data to Clock (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_h	Minimum Hold Time, Clock to Data (Figure 3)	2.0 4.5 6.0	3.0 3.0 3.0	3.0 3.0 3.0	3.0 3.0 3.0	ns
t_{rec}	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	8.0 8.0 8.0	8.0 8.0 8.0	8.0 8.0 8.0	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figures 1, 2, 3)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

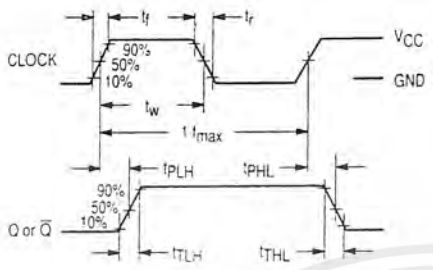


Figure 1.

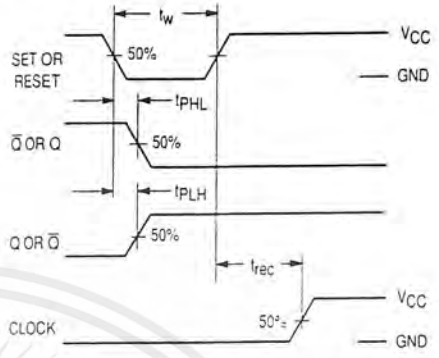


Figure 2.

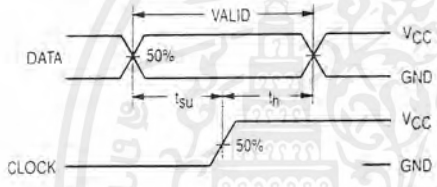
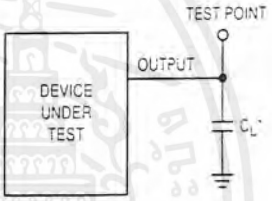


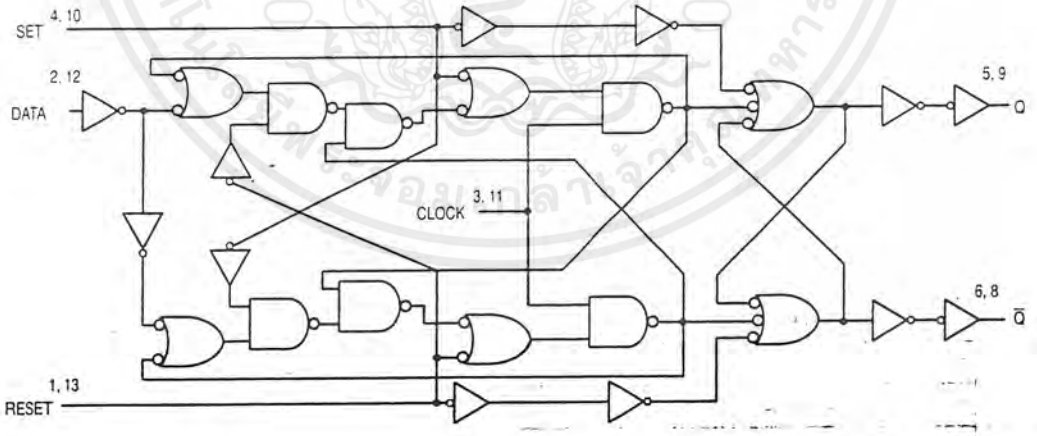
Figure 3.



* Includes all probe and jig capacitance

Figure 4.

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC138A

1-of-8 Decoder/Demultiplexer
High–Performance Silicon–Gate CMOS

The MC54/74HC138A is identical in pinout to the LS138. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC138A decodes a three–bit Address to one–of–eight active–low outputs. This device features three Chip Select inputs, two active–low and one active–high to facilitate the demultiplexing, cascading, and chip–selecting functions. The demultiplexing function is accomplished by using the Address inputs to select the desired device output; one of the Chip Selects is used as a data input while the other Chip Selects are held in their active states.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 100 FETs or 29 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 620–10

N SUFFIX
PLASTIC PACKAGE
CASE 648–08

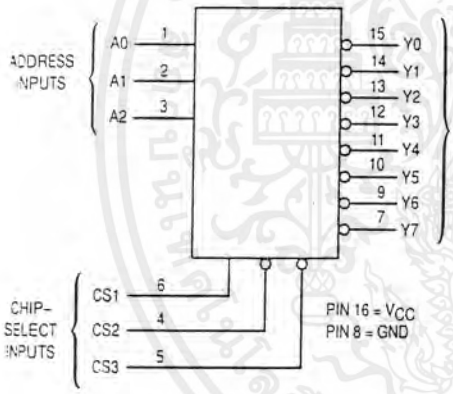
D SUFFIX
SOIC PACKAGE
CASE 751B–05

DT SUFFIX
TSSOP PACKAGE
CASE 948F–01

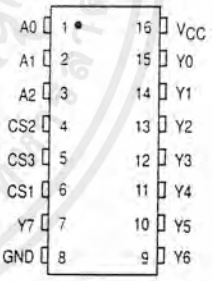
ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXAD	SOIC
MC74HCXXXADT	TSSOP

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs						Outputs							
CS1	CS2	CS3	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

H = high level (steady state); L = low level (steady state);
X = don't care

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	− 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC or TSSOP Package)	260	°C
	(Ceramic DIP)	300	

This device contains protectic circuitry to guard against damag due to high static voltages or electri fields. However, precautions mu be taken to avoid applications of ar voltage higher than maximum rate voltages to this high-impedance c cuit. For proper operation, V_{in} ar V_{out} should be constrained to th range GND ≤ (V_{in} or V_{out}) ≤ V_C

Unused inputs must always b tied to an appropriate logic volta level (e.g., either GND or V_{CC} Unused outputs must be left oper

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
Ceramic DIP: − 10 mW/°C from 100° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C
TSSOP Package: − 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 2)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit −55°C to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			3.0	2.1	2.1	2.1	
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.5	0.5	0.5	V
			3.0	0.9	0.9	0.9	
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 2.4 mA	3.0	2.48	2.34	2.20	
		$\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				−55°C to 25°C	≤ 85°C	≤ 125°C	
V_{OL}	Maximum Low–Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \leq 20\ \mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \leq 2.4$ mA $\|I_{out}\| \leq 4.0$ mA $\|I_{out}\| \leq 5.2$ mA	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND $I_{out} = 0\ \mu A$	6.0	4	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

AC ELECTRICAL CHARACTERISTICS ($C_L = 50$ pF, Input $t_r = t_f = 6.0$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55°C to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A to Output Y (Figures 1 and 4)	2.0 3.0 4.5 6.0	135 90 27 23	170 125 34 29	205 165 41 35	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, CS1 to Output Y (Figures 2 and 4)	2.0 3.0 4.5 6.0	110 85 22 19	140 100 28 24	165 125 33 28	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, CS2 or CS3 to Output Y (Figures 3 and 4)	2.0 3.0 4.5 6.0	120 90 24 20	150 120 30 26	180 150 36 31	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 2 and 4)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, $V_{CC} = 5.0$ V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	55	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

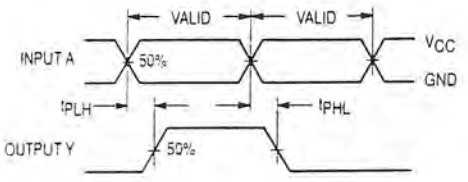


Figure 1.

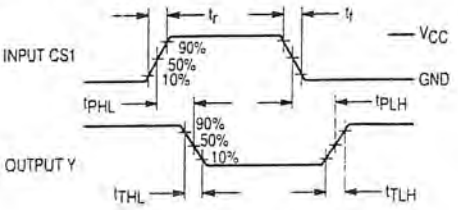


Figure 2.

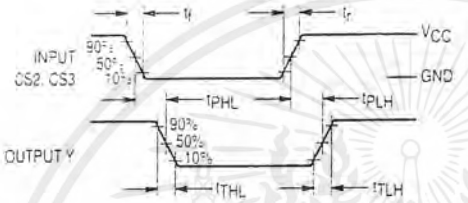
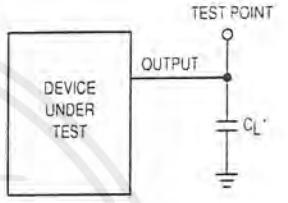


Figure 3.



* Includes all probe and jig capacitance

Figure 4. Test Circuit

3

PIN DESCRIPTIONS

ADDRESS INPUTS

A0, A1, A2 (Pins 1, 2, 3)

Address inputs. These inputs, when the chip is selected, determine which of the eight outputs is active–low.

CONTROL INPUTS

CS1, CS2, CS3 (Pins 6, 4, 5)

Chip select inputs. For CS1 at a high level and CS2, CS3 at a low level, the chip is selected and the outputs follow the Address inputs. For any other combination of CS1, CS2, and CS3, the outputs are at a logic high.

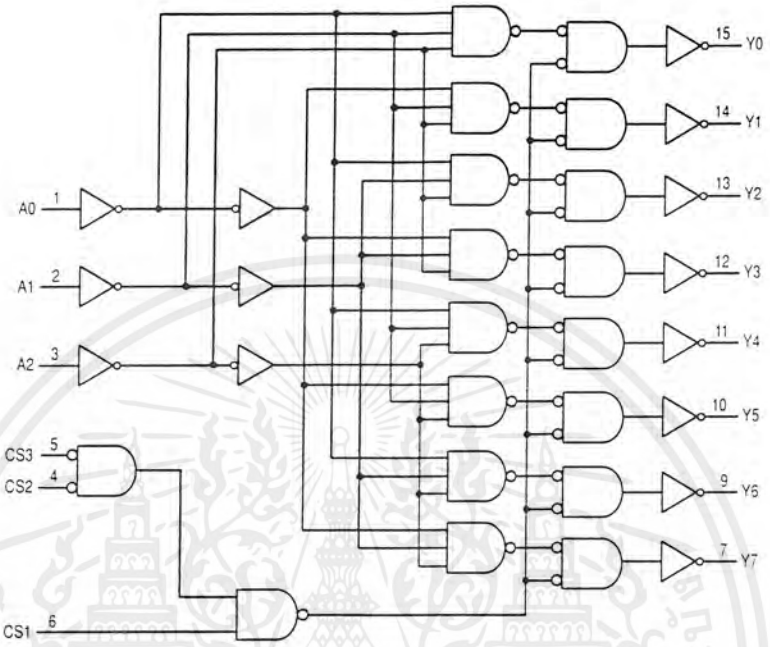
OUTPUTS

Y0 – Y7 (Pins 15, 14, 13, 12, 11, 10, 9, 7)

Active–low Decoded outputs. These outputs assume a low level when addressed and the chip is selected. These outputs remain high when not addressed or the chip is not selected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Presettable Counters
High–Performance Silicon–Gate CMOS

MC54/74HC161A
MC54/74HC163A

The MC54/74HC161A and HCI63A are identical in pinout to the LS161 and LS163. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC161A and HC163A are programmable 4–bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 µA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 192 FETs or 48 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 620–10

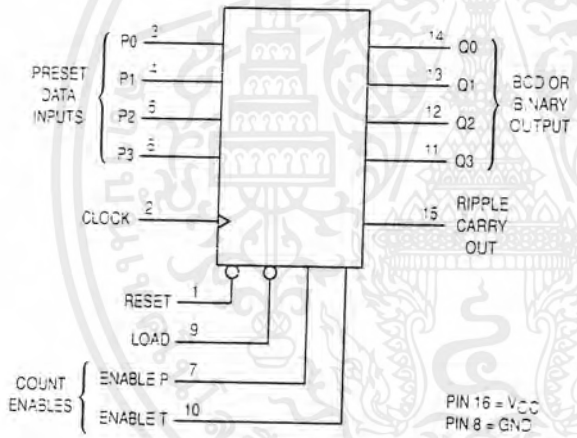
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

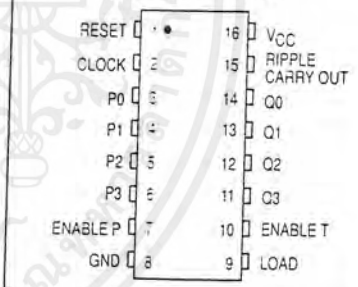
ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXAD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



Device	Count Mode	Reset Mode
HC161A	Binary	Asynchronous
HC163A	Binary	Synchronous

FUNCTION TABLE

Inputs					Output
Clock	Reset*	Load	Enable P	Enable T	Q
↑	L	X	X	X	Reset
↑	H	L	X	X	Load Preset Data
↑	H	H	H	H	Count
↑	H	H	L	X	No Count
↑	H	H	X	L	No Count

* HC163A only. HC161A is an Asynchronous Reset Device
H = high level
L = low level
X = don't care

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC573A

Octal 3-State Noninverting Transparent Latch

High–Performance Silicon–Gate CMOS

The MC54/74HC573A is identical in pinout to the LS573. The devices are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

These latches appear transparent to data (i.e., the outputs change asynchronously) when Latch Enable is high. When Latch Enable goes low, data meeting the setup and hold time becomes latched.

The HC573A is identical in function to the HCT373A but has the data inputs on the opposite side of the package from the outputs to facilitate PC board layout.

The HC573A is the noninverting version of the HC563.

- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 µA
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 218 FETs or 54.5 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 732–03

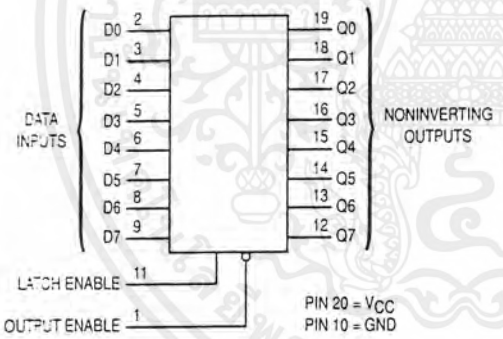
N SUFFIX
PLASTIC PACKAGE
CASE 738–03

DW SUFFIX
SOIC PACKAGE
CASE 751D–04

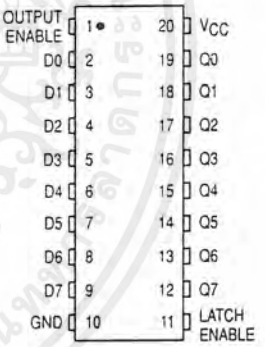
ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXADW	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



Design Criteria	Value	Units
Internal Gate Count*	54.5	ea.
Internal Gate Propagation Delay	1.5	ns
Internal Gate Power Dissipation	5.0	µW
Speed Power Product	0.0075	pJ

* Equivalent to a two–input NAND gate.

FUNCTION TABLE

Inputs			Output
Output Enable	Latch Enable	D	Q
L	H	H	H
L	H	L	L
L	L	X	No Change
H	X	X	Z

X = Don't Care
Z = High Impedance

3

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	− 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	− 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 35	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 75	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
Ceramic DIP: − 10 mW/°C from 100° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high−impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

3

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit − 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High−Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low−Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
V_{OH}	Minimum High−Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 6.0 mA $\|I_{out}\|$ ≤ 7.8 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V_{OL}	Maximum Low−Level Output Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 6.0 mA $\|I_{out}\|$ ≤ 7.8 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
I_{OZ}	Maximum Three–State Leakage Current	Output in High–Impedance State $V_{in} = V_{IL}$ or V_{IH} $V_{out} = V_{CC}$ or GND	6.0	– 0.5	– 5.0	– 10	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND $\|I_{out}\| = 0$ μA	6.0	4.0	40	160	μA

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input D to Q (Figures 1 and 5)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Latch Enable to Q (Figures 2 and 5)	2.0 4.5 6.0	160 32 27	200 40 34	240 48 41	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 5)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF
C_{out}	Maximum Three–State Output Capacitance (Output in High–Impedance State)		15	15	15	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Enabled Output)*	23	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

TIMING REQUIREMENTS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	Fig.	V_{CC} Volts	Guaranteed Limit						Unit
				– 55 to 25°C		≤ 85°C		≤ 125°C		
				Min	Max	Min	Max	Min	Max	
t_{su}	Minimum Setup Time, Input D to Latch Enable	4	2.0 4.5 6.0	50 10 9.0		65 13 11		75 15 13		ns
t_h	Minimum Hold Time, Latch Enable to Input D	4	2.0 4.5 6.0	5.0 5.0 5.0		5.0 5.0 5.0		5.0 5.0 5.0		ns
t_w	Minimum Pulse Width, Latch Enable	2	2.0 4.5 6.0	75 15 13		95 19 16		110 22 19		ns
t_r, t_f	Maximum Input Rise and Fall Times	1	2.0 4.5 6.0		1000 500 400		1000 500 400		1000 500 400	ns

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

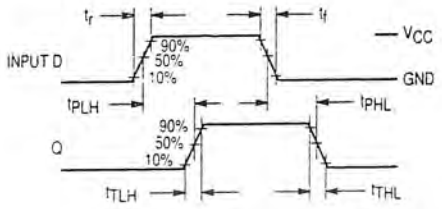


Figure 1.

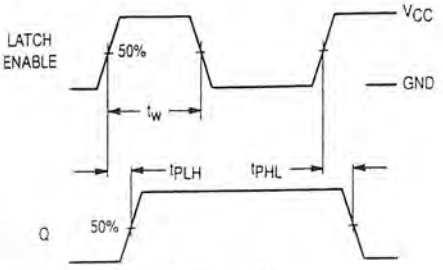


Figure 2.

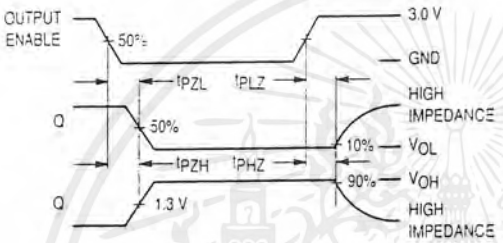


Figure 3.

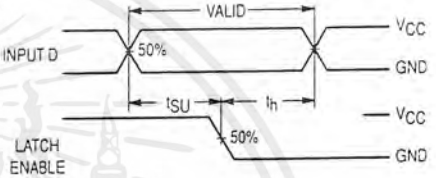
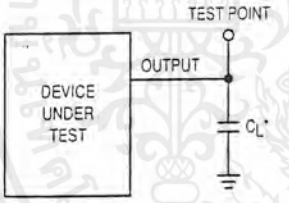


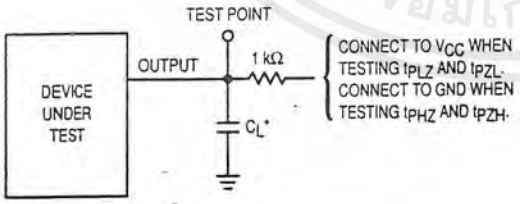
Figure 4.

3



* Includes all probe and jig capacitance

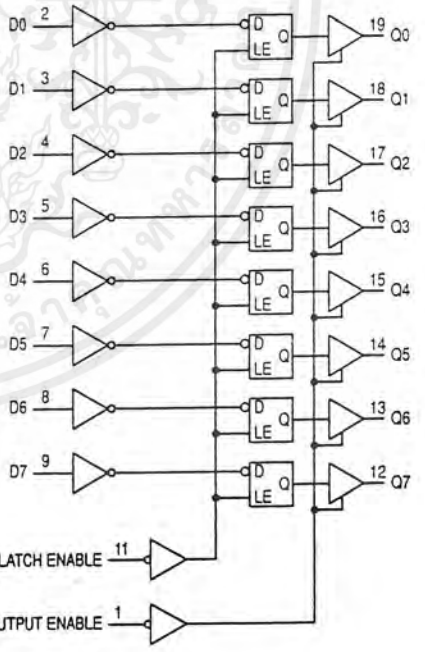
Figure 5. Test Circuit



* Includes all probe and jig capacitance

Figure 6. Test Circuit

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with 80C51 and 80C52 Products
- 8 Kbytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
  - Data Retention: 10 Years
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 256 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-Bit Timer/Counters
- Eight Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

The AT89C52 is a low-power, high-performance CMOS 8-bit microcomputer with 8 Kbytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard 80C51 and 80C52 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C52 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

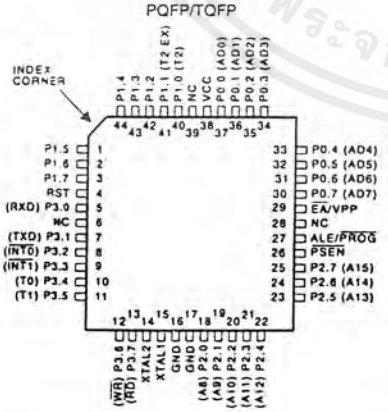
The AT89C52 provides the following standard features: 8 Kbytes of Flash, 256 bytes of RAM, 32 I/O lines, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89C52 is

continued

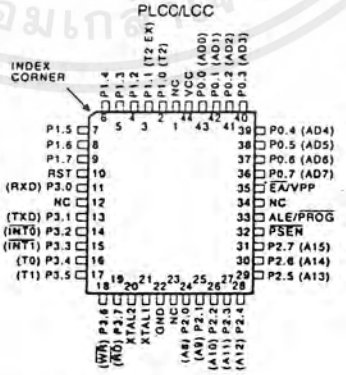
Pin Configurations

PDIP/Cerdip

PQFP/TQFP



PLCC/LCC

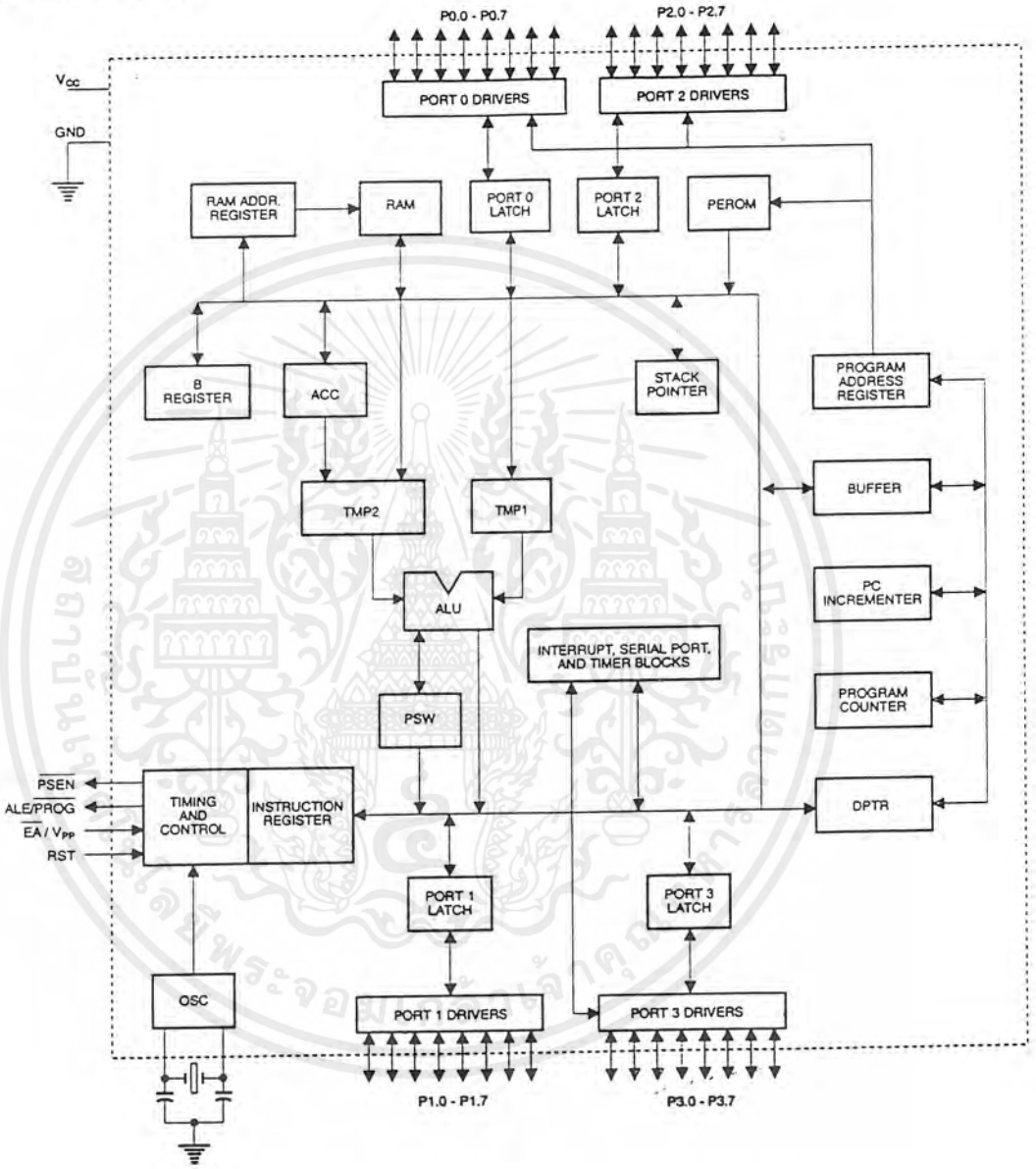


8-Bit Microcontroller with 8 Kbytes Flash

AT89C52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description (Continued)

designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next hardware reset.

Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

In addition, P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively, as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcrontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89C52 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{EA}$/VPP

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to VCC for internal program executions.

This pin also receives the 12-volt programming enable voltage (VPP) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 4) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16-bit capture mode or 16-bit auto-reload mode. *(continued)*

Table 1. AT89C52 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP X0000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 00000000								0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DPL 00000000	DPH 00000000				PCON 00000000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

Bit	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$
	7	6	5	4	3	2	1	0

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/$\overline{RL2}$ = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

Special Function Registers (Continued)

Interrupt Registers The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the six interrupt sources in the IP register.

Data Memory

The AT89C52 implements 256 bytes of on-chip RAM. The upper 128 bytes occupy a parallel address space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timer 0 and 1

Timer 0 and Timer 1 in the AT89C52 operate the same way as Timer 0 and Timer 1 in the AT89C51.

Timer 2

Timer 2 is a 16-bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 3.

Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

Table 3. Timer 2 Operating Modes

RCLK + TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-Bit Auto-Reload
0	1	1	16-Bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16-bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Auto-Reload (Up or Down Counter)

Timer 2 can be programmed to count up or down when configured in its 16-bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 4). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16-bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16-bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

(continued)

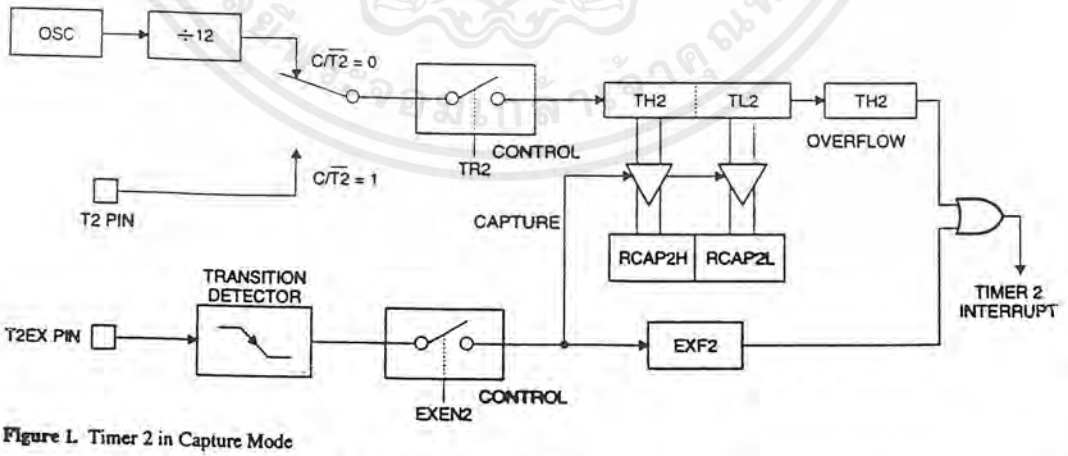


Figure 1. Timer 2 in Capture Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auto-Reload (Up or Down Counter) (Continued)

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

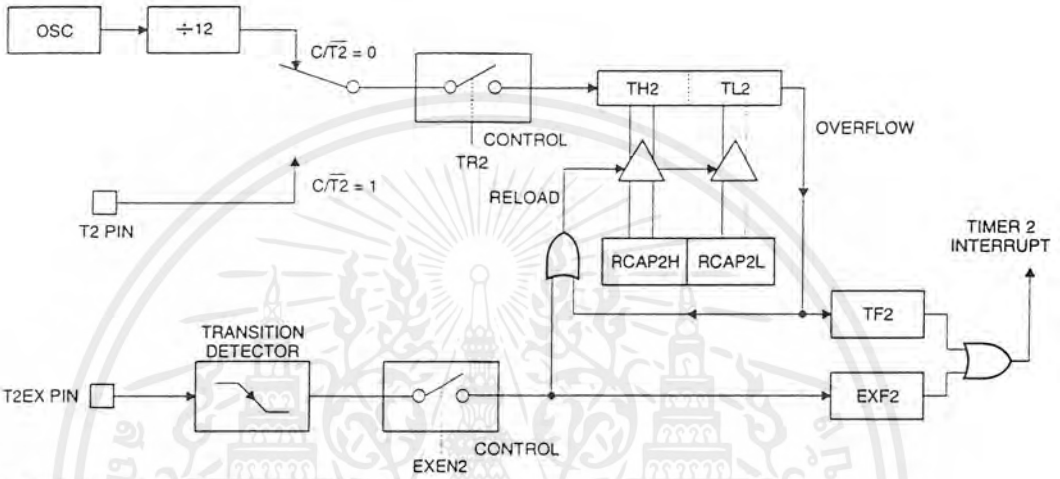


Figure 2. Timer 2 Auto Reload Mode (DCEN = 0)

Table 4. T2MOD—Timer 2 Mode Control Register

T2MOD Address = 0C9H — Reset Value = XXXX XX00B

Not Bit Addressable

	—	—	—	—	—	—	T20E	DCEN
Bit	7	6	5	4	3	2	1	0

Symbol	Function
—	Not implemented, reserved for future use.
T20E	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

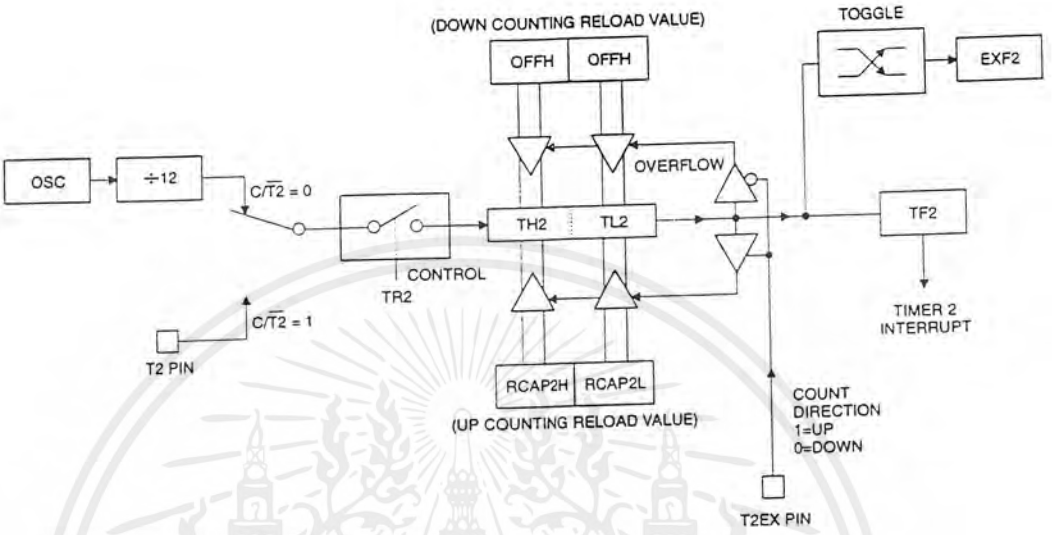


Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

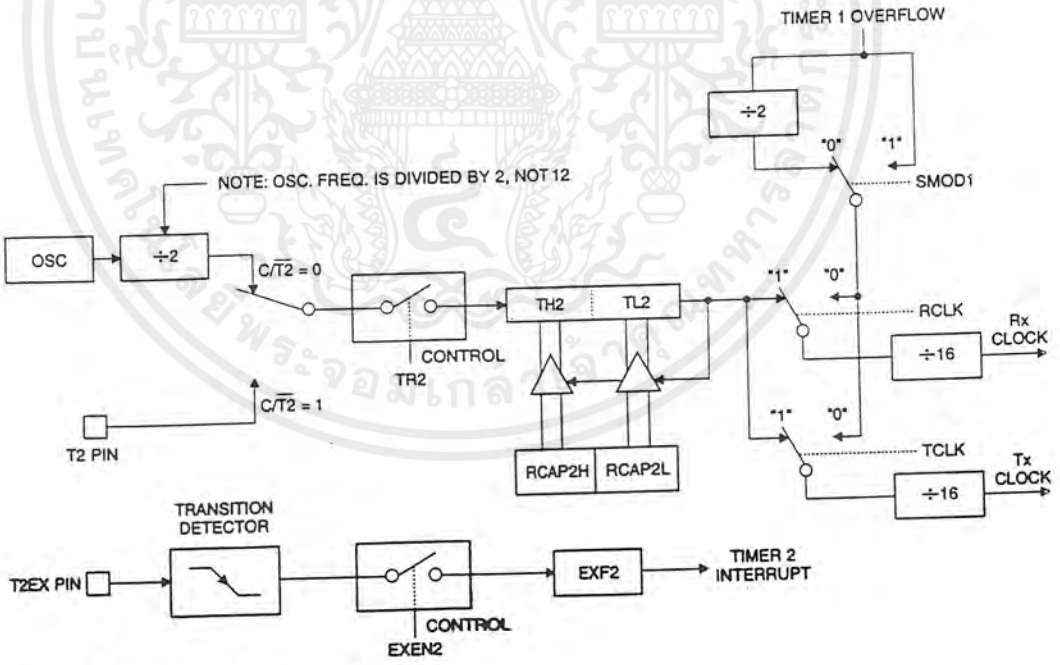


Figure 4. Timer 2 in Baud Rate Generator Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($CP/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

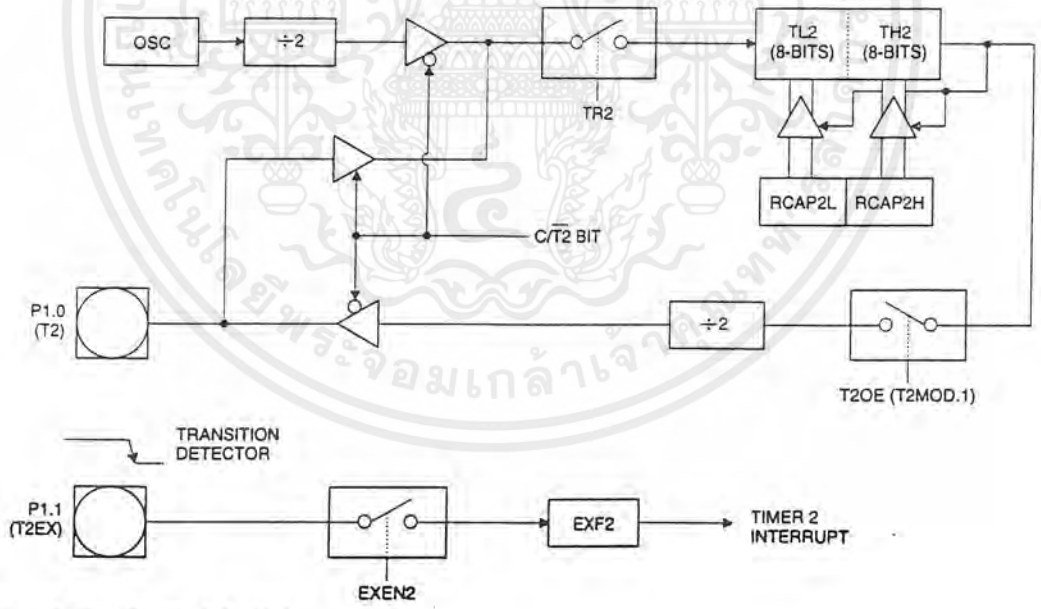


Figure 5. Timer 2 in Clock-Out Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, TCAP2L), as shown in the following equation.

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

In the clock-out mode, Timer 2 roll-overs will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

UART

The UART in the AT89C52 operates the same way as the UART in the AT89C51.

Interrupts

The AT89C52 has a total of six interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 6.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 5 shows that bit position IE.6 is unimplemented. In the AT89C51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 5. Interrupt Enable (IE) Register

(MSB)							(LSB)
EA	—	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
—	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	Serial Port interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.
User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.		

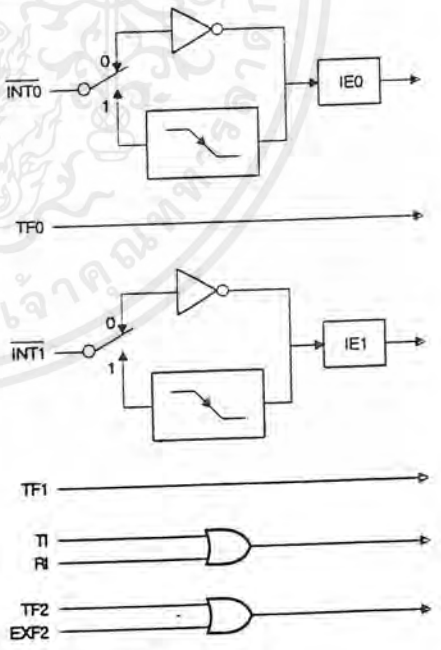


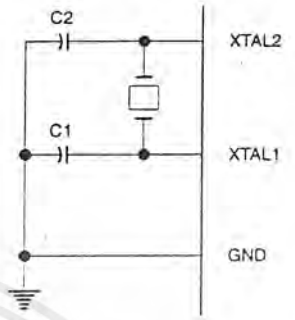
Figure 6. Interrupt Sources

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 7. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 8. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 7. Oscillator Connections



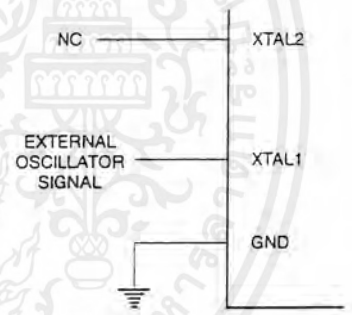
Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Figure 8. External Clock Drive Configuration



Power Down Mode

In the power down mode, the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Memory Lock Bits

The AT89C52 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash memory is disabled.
3	P	P	U	Same as mode 2, but verify is also disabled.
4	P	P	P	Same as mode 3, but external execution is also disabled.

Programming the Flash

The AT89C52 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C52 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C52 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12 V	V_{PP} = 5 V
Top-Side Mark	AT89C52 xxxx yyww	AT89C52 xxxx-5 yyww
Signature	(030H)=1EH (031H)=52H (032H)=FFH	(030H)=1EH (031H)=52H (032H)=05H

The AT89C52 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C52, the address, data and control signals should be set up according to the Flash programming mode table and Figures 9 and 10. To program the AT89C52, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12 V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C52 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on PO.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate $\overline{BUSY}$. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all 1s. The chip erase operation must be executed before the code memory can be reprogrammed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 52H indicates 89C52
(032H) = FFH indicates 12 V programming
(032H) = 05H indicates 5 V programming

Programming Interface

Every code byte in the Flash array can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	EA/V_{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L	⎍	H/12V(1)	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock Bit - 1	H	L	⎍	H/12V	H	H	H	H
Bit - 2	H	L	⎍	H/12V	H	H	L	L
Bit - 3	H	L	⎍	H/12V	H	L	H	L
Chip Erase	H	L	⎍(2)	H/12V	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Notes: 1. The signature byte at location 032H designates whether V_{PP} = 12 V or V_{PP} = 5 V should be used to enable programming.
2. Chip Erase requires a 10 ms $\overline{PROG}$ pulse.

Figure 9. Programming the Flash Memory

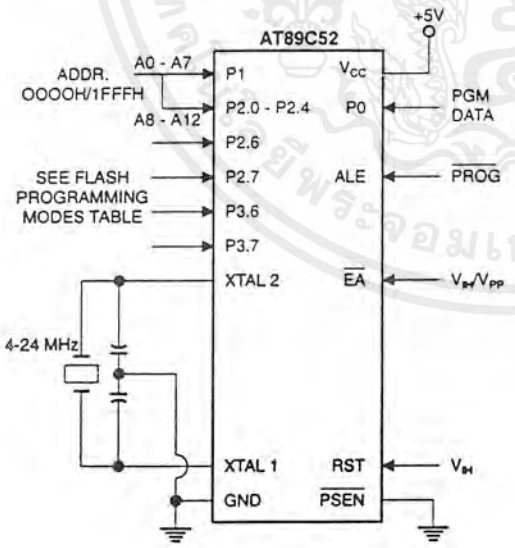
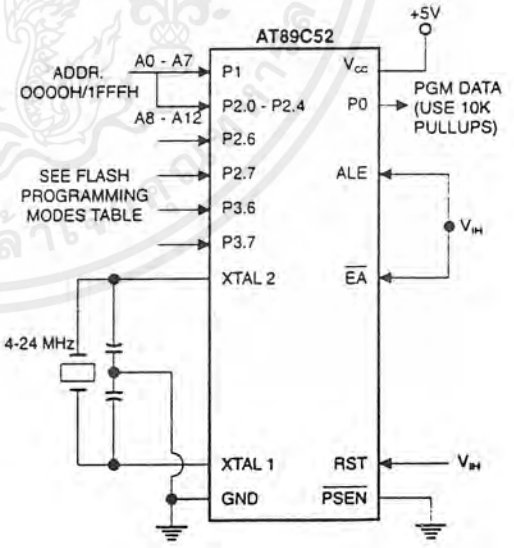


Figure 10. Verifying the Flash Memory



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Characteristics

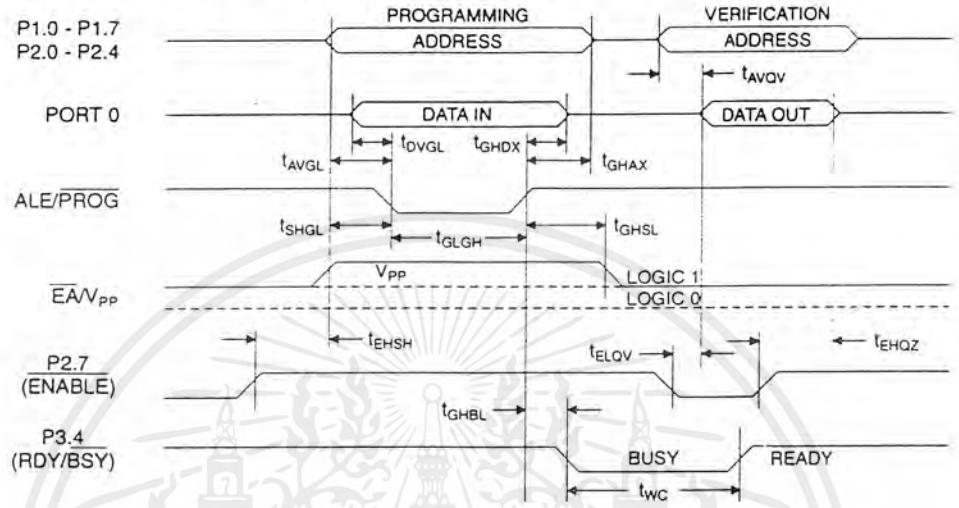
T_A = 21°C to 27°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}[1]	Programming Enable Voltage	11.5	12.5	V
I_{PP}[1]	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	4	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}[1]	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQV}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

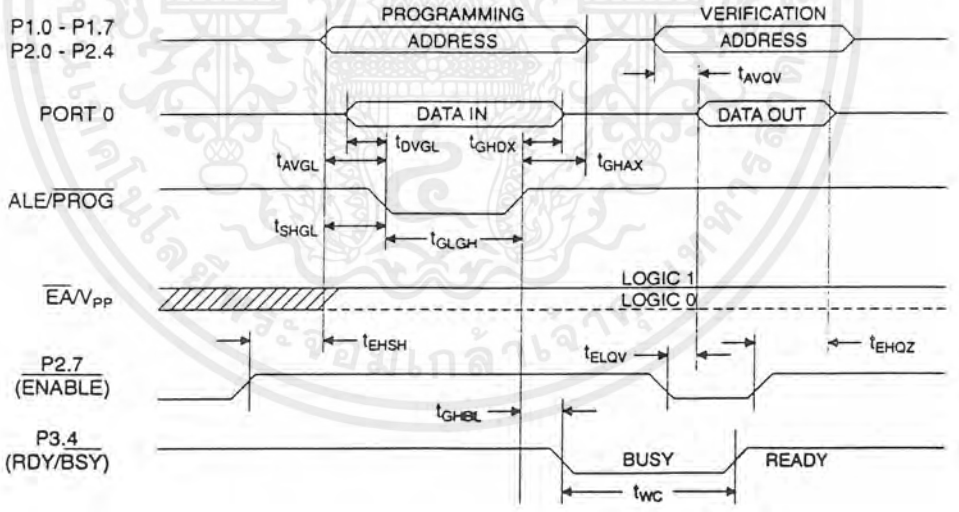
Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High Voltage Mode



Flash Programming and Verification Waveforms - Low Voltage Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. Characteristics

The values shown in this table are valid for T_A = -40°C to 85°C and V_{CC} = 5.0 V ± 20%, unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC}-0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC}-0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC}+0.9	V_{CC}+0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC}+0.5	V
V_{OL}	Output Low Voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45 V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2 V		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power Down Mode[2]	V_{CC} = 6 V		100	µA
		V_{CC} = 3 V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin:10 mA
Maximum I_{OL} per 8-bit port:
Port 0:26 mA
Ports 1,2, 3:15 mA
Maximum total IOL for all output pins:71 mA
If IOL exceeds the test condition, VOL may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power Down is 2 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Characteristics

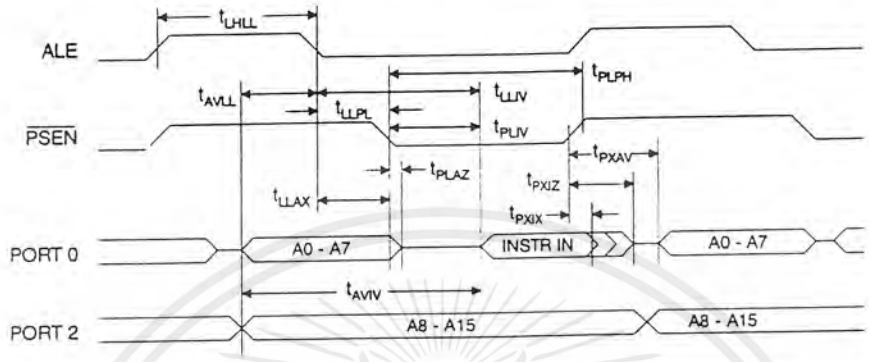
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

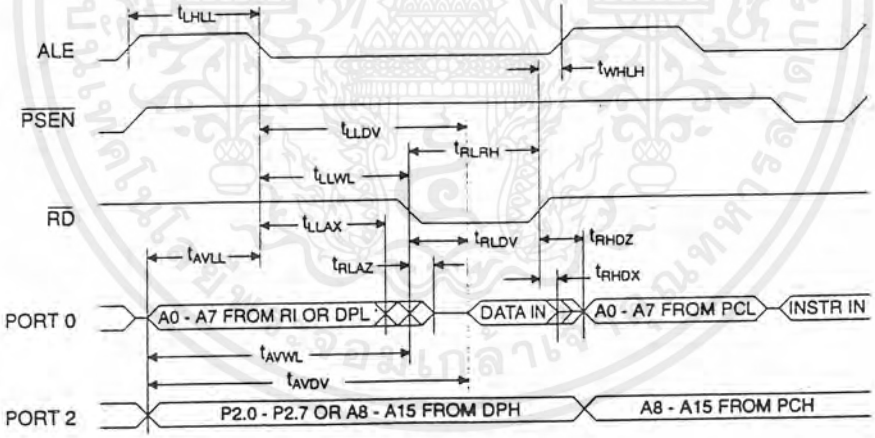
Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}-40$		ns
t_{AVLL}	Address Valid to ALE Low	28		$t_{CLCL}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{CLCL}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}-65$	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		$t_{CLCL}-13$		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}-20$		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}-45$	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		$t_{CLCL}-10$	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		$t_{CLCL}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}-55$	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}-90$	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}-165$	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}-75$		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		$t_{CLCL}-20$		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}-120$		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		$t_{CLCL}-20$		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	$t_{CLCL}-20$	$t_{CLCL}+25$	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

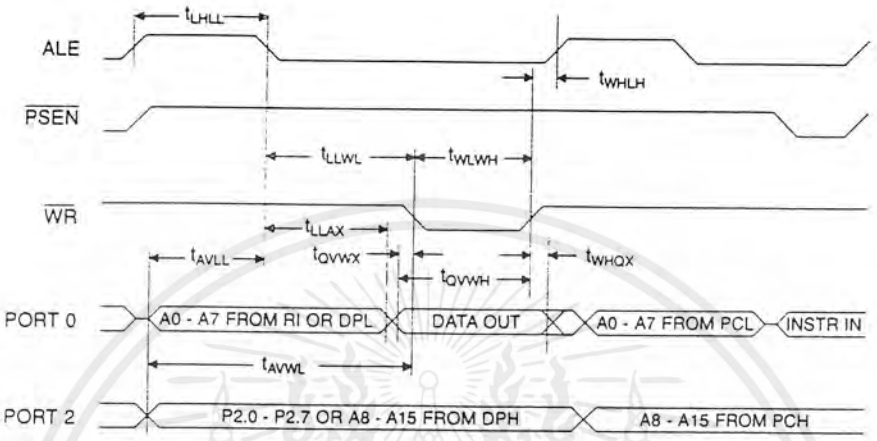


External Data Memory Read Cycle

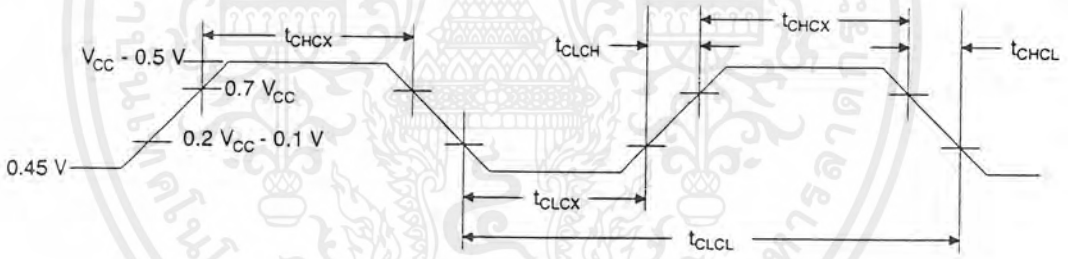


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

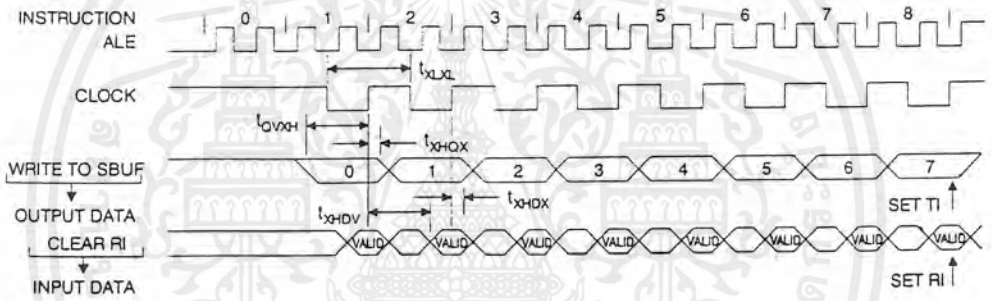
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

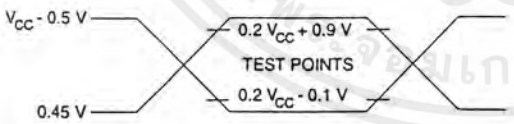
The values in this table are valid for V_{CC} = 5.0 V ± 20% and Load Capacitance = 80 pF.

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-33		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

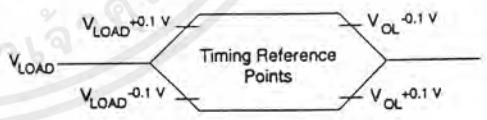


AC Testing Input/Output Waveforms [1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms [1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100-mV change from load voltage occurs. A port pin begins to float when a 100-mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

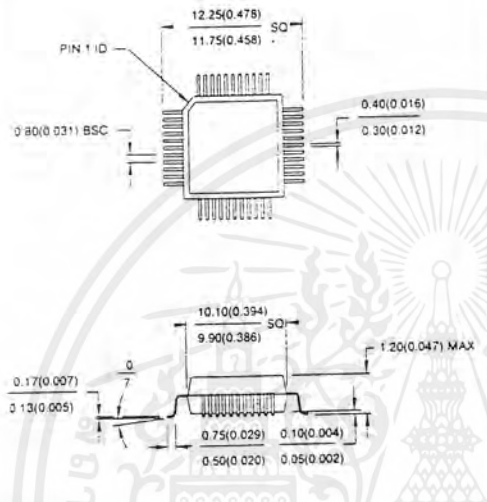
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5 V ± 10%	AT89C52-12DM AT89C52-12LM	40D6 44L	Military (-55°C to 125°C)
		AT89C52-12DM/883 AT89C52-12LM/883	40D6 44L	Military/883C Class B, Fully Compliant (-55°C to 125°C)
16	5 V ± 20%	AT89C52-16AA AT89C52-16JA AT89C52-16PA AT89C52-16QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
20	5 V ± 20%	AT89C52-20AC AT89C52-20JC AT89C52-20PC AT89C52-20QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C52-20AI AT89C52-20JI AT89C52-20PI AT89C52-20QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
24	5 V ± 20%	AT89C52-24AC AT89C52-24JC AT89C52-24PC AT89C52-24QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C52-24AI AT89C52-24JI AT89C52-24PI AT89C52-24QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
40D6	40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
44L	44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

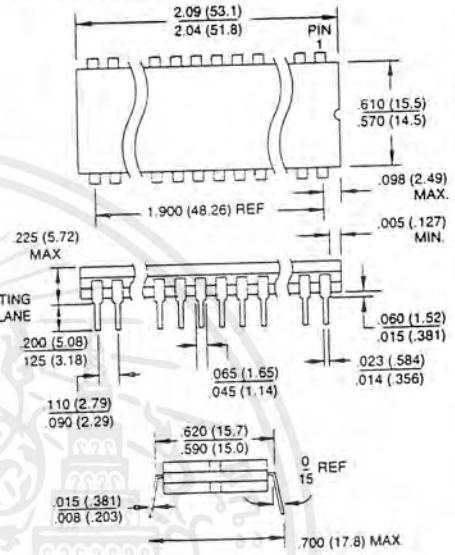
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

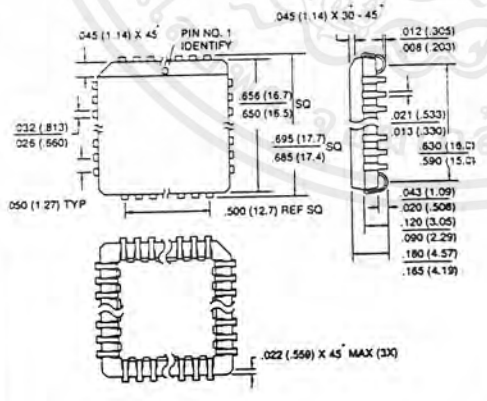
44A, 44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
Dimensions in Millimeters and (Inches)



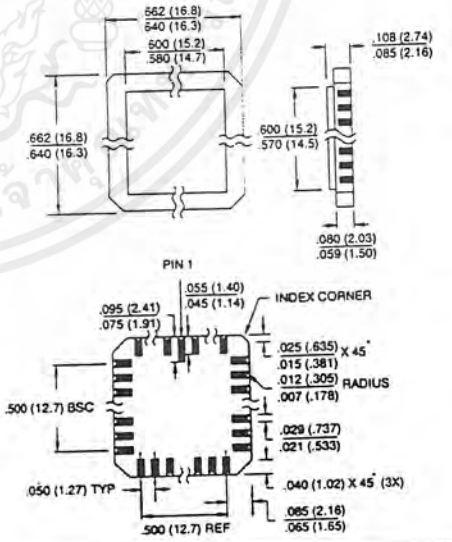
40D6, 40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
Dimensions in Inches and (Millimeters)
MIL-M-38510 D-5 CONFIG 1



44J, 44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC OUTLINE MO-047 AC



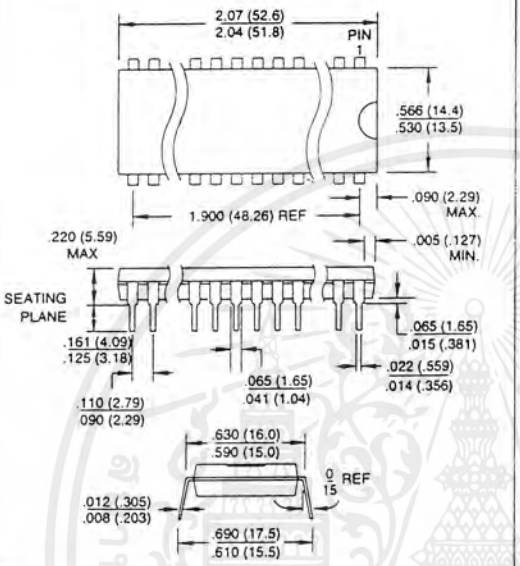
44L, 44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
Dimensions in Inches and (Millimeters)



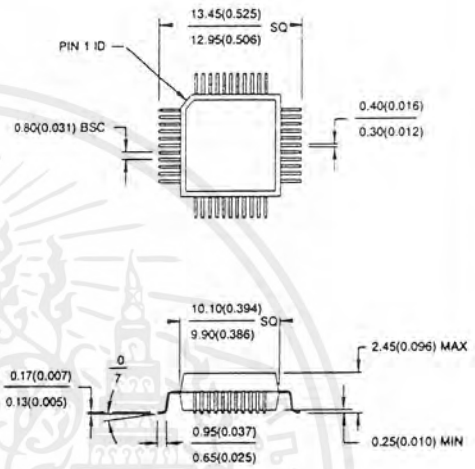
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

40P6, 40 Lead,, 0.600" Wide,
Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)
Dimensions in Millimeters and (Inches)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

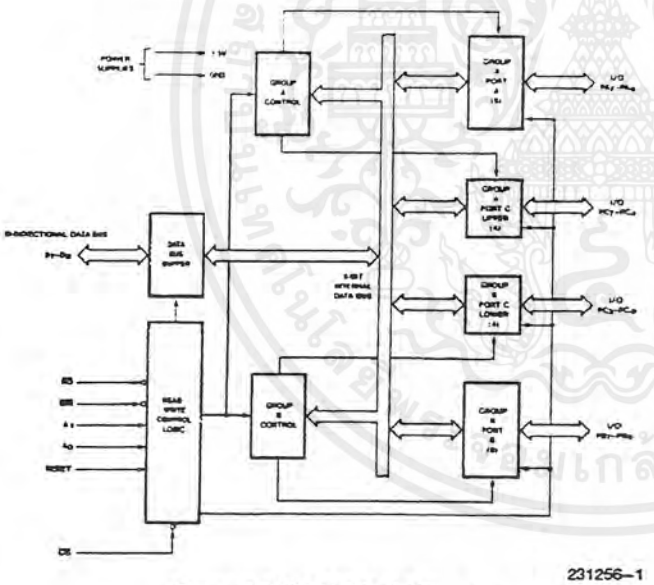
82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **— Standard Temperature Range**
  - **— Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

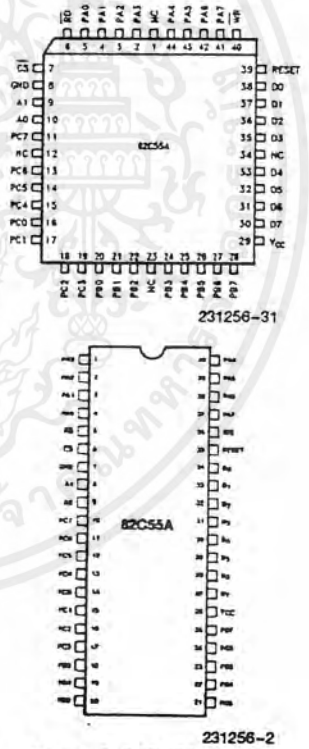
In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.



231256–1

Figure 1. 82C55A Block Diagram



231256–31

231256–2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

October 1995

Order Number: 231256-004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7–C4)
Control Group B - Port B and Port C lower (C3–C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

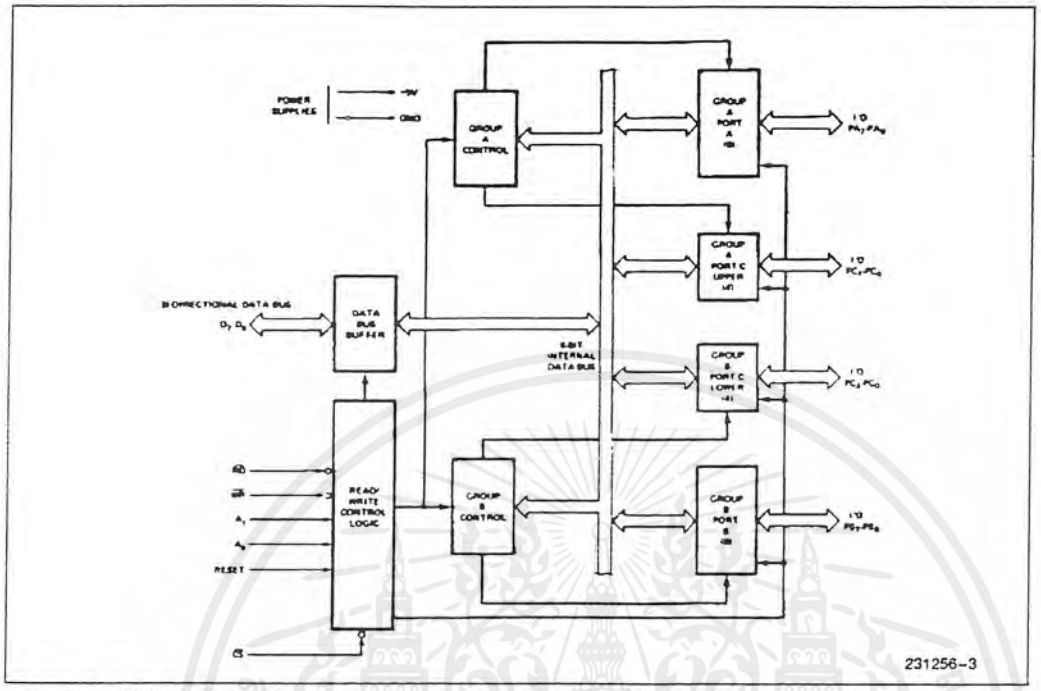
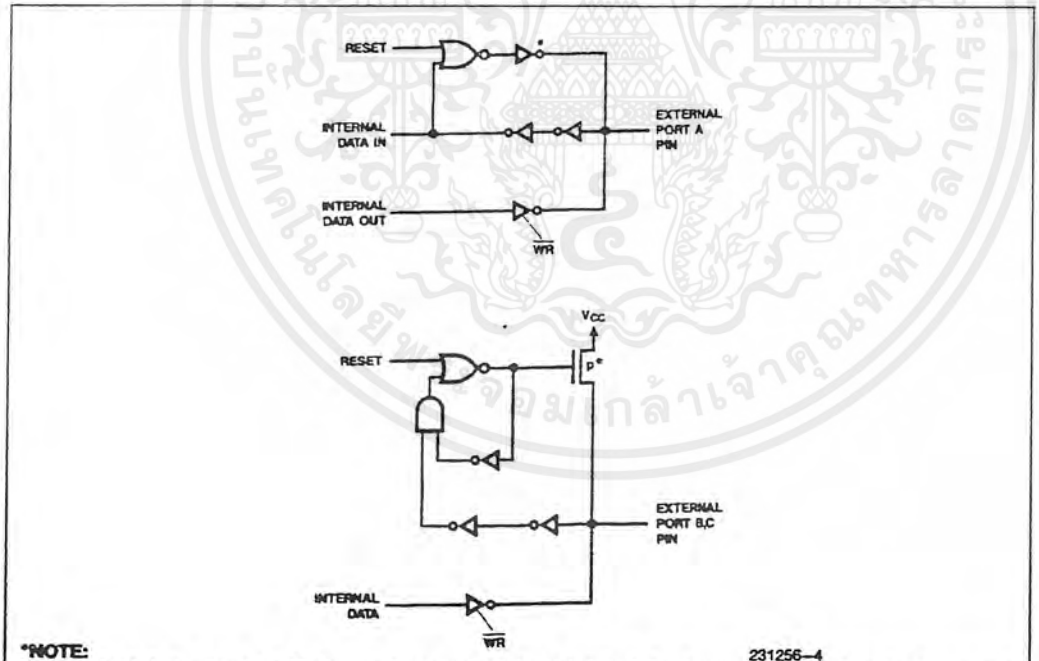


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



*NOTE:
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

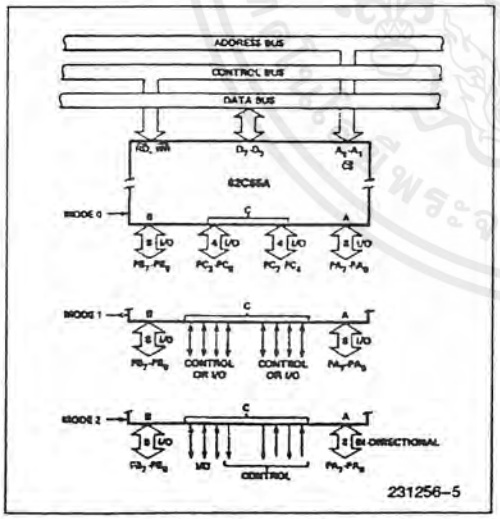


Figure 5. Basic Mode Definitions and Bus Interface

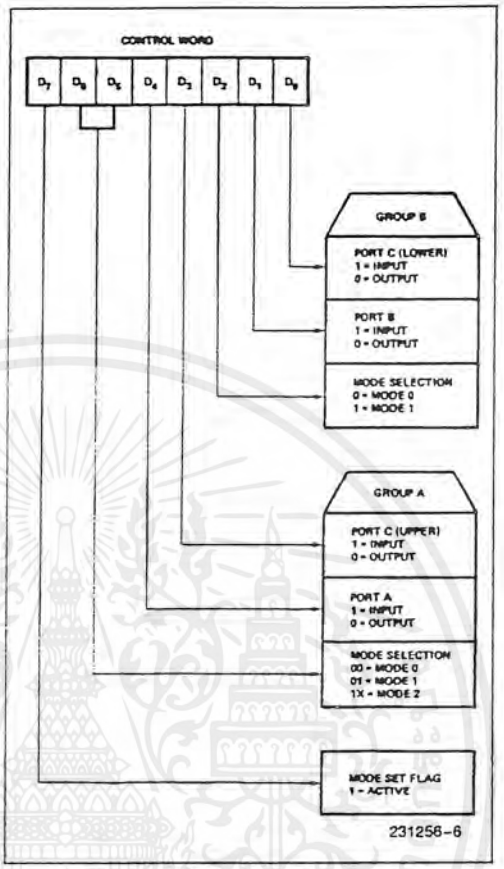


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

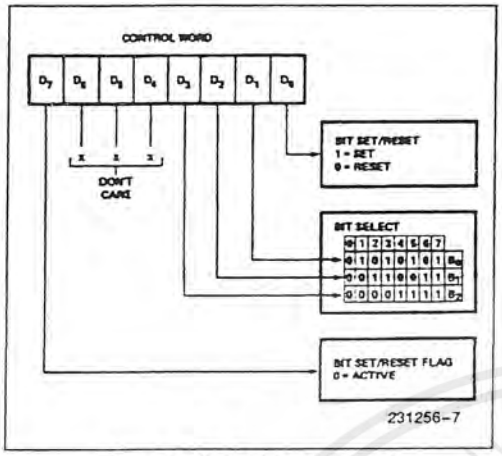


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

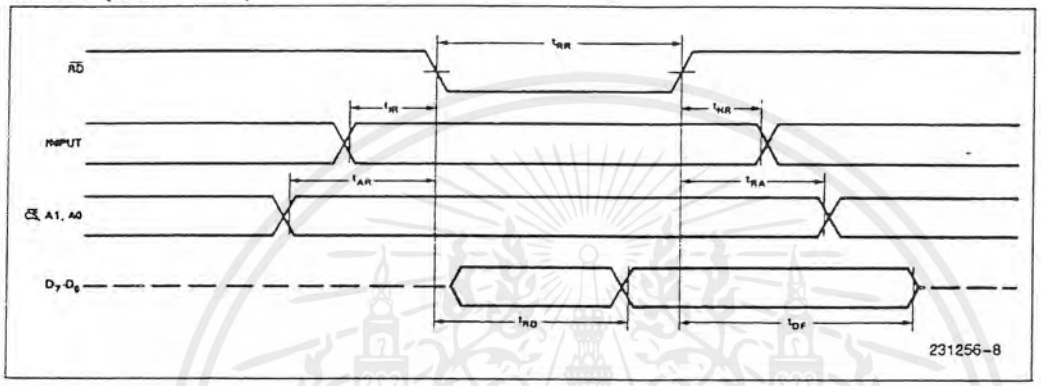
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

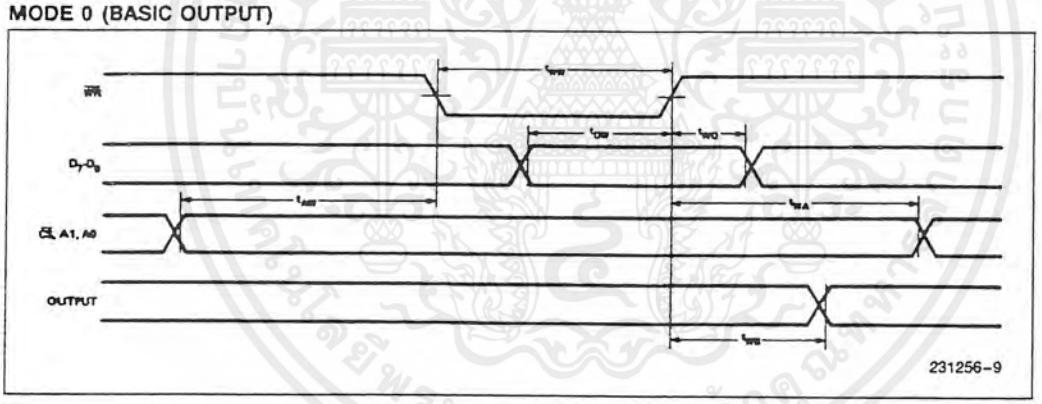
Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



MODE 0 (BASIC OUTPUT)

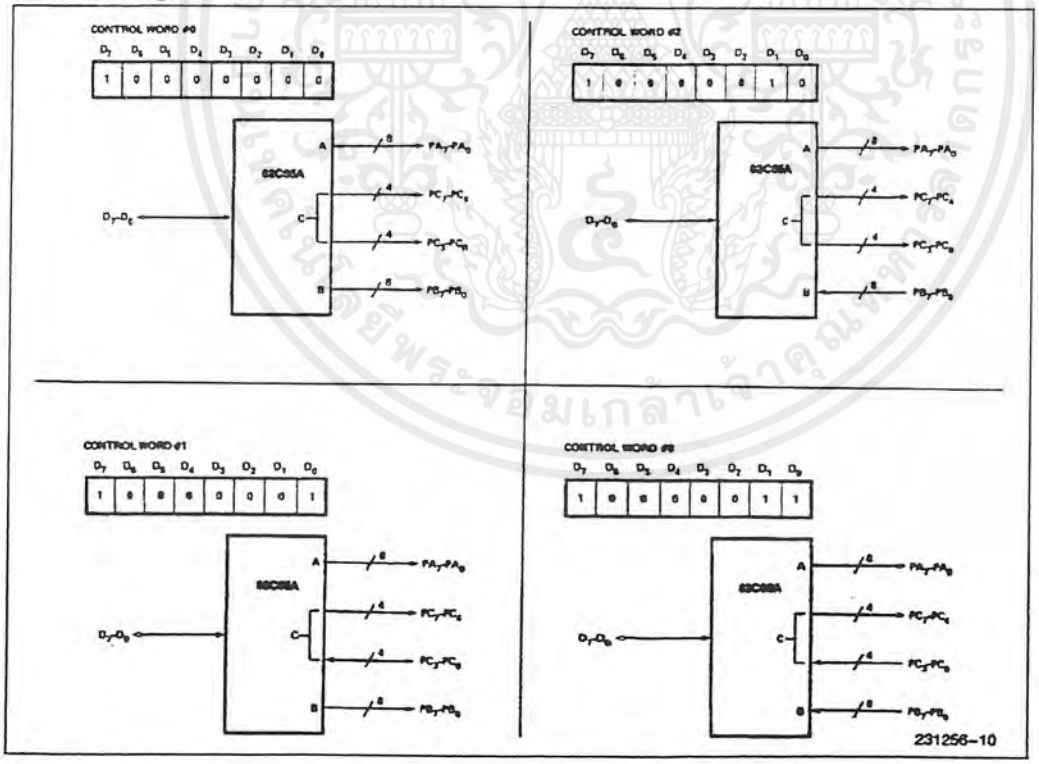


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

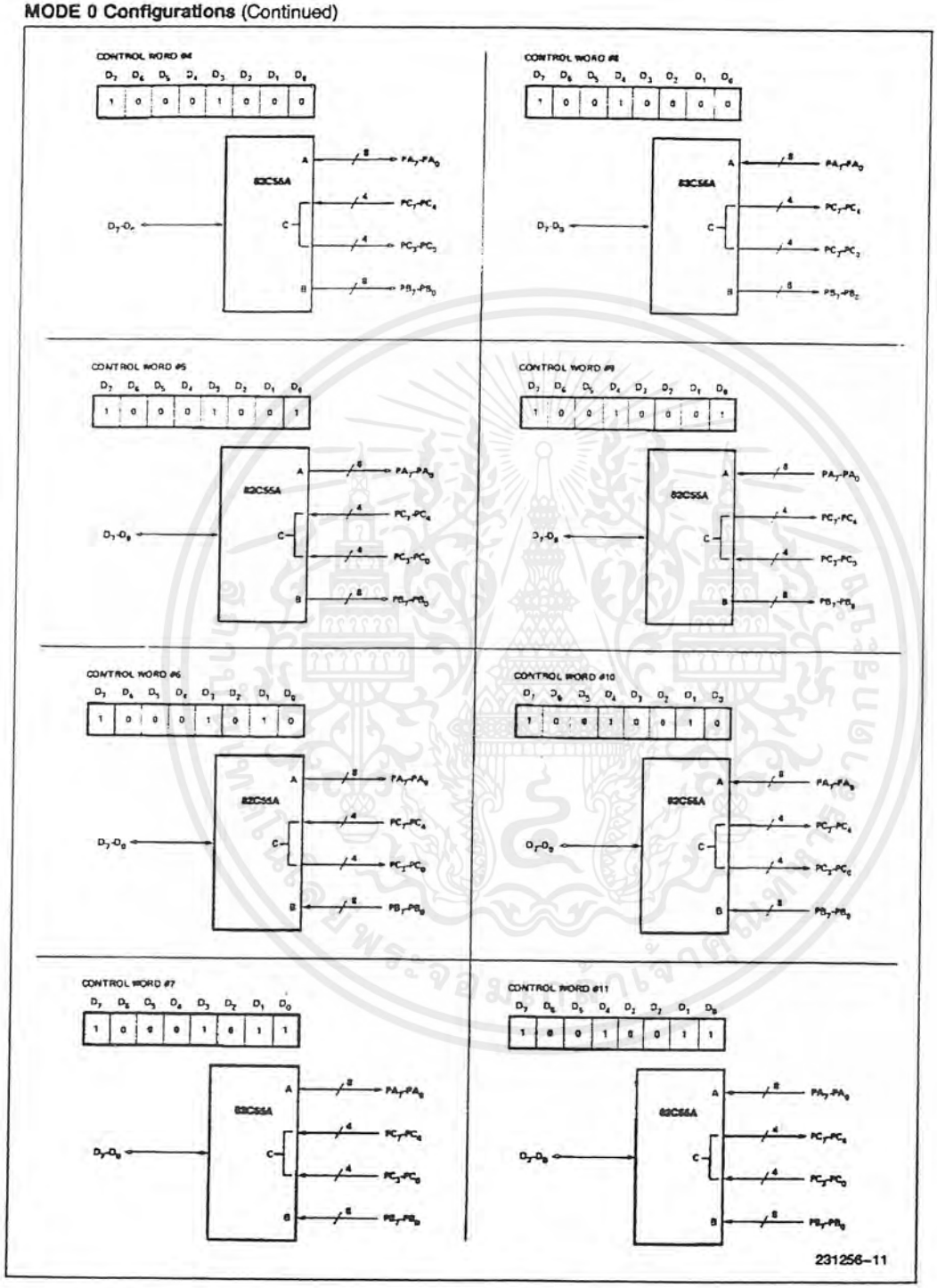
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



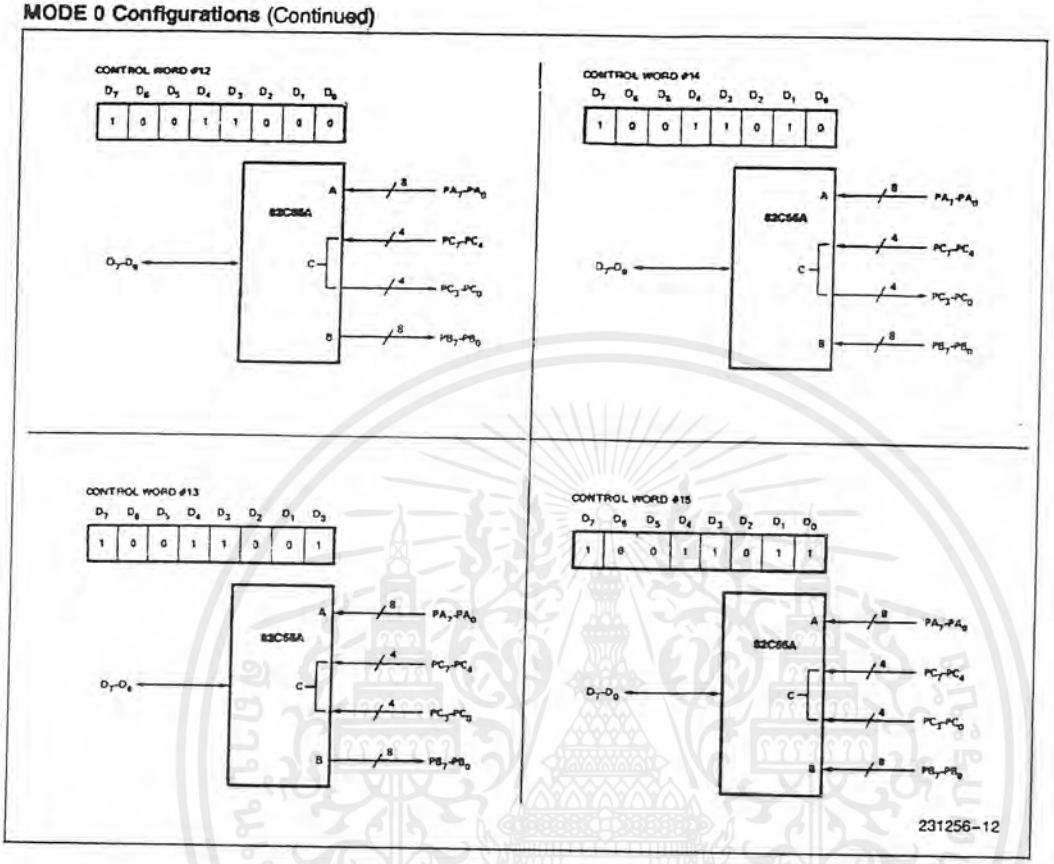
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by $\overline{STB}$ input being low and is reset by the rising edge of the $\overline{RD}$ input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

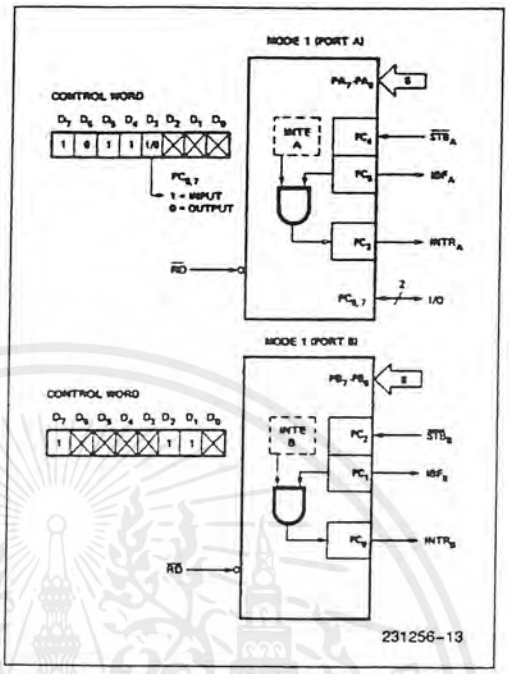


Figure 8. MODE 1 Input

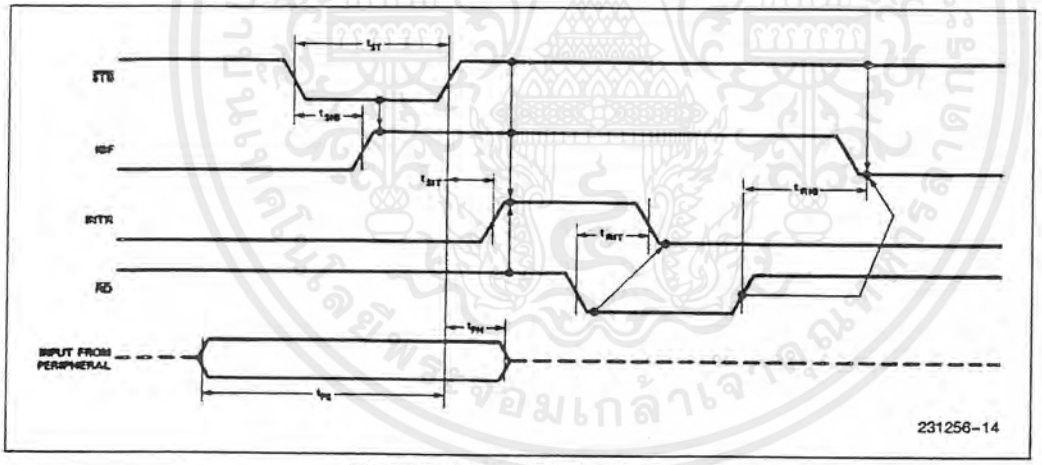


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ Input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 82C55A that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

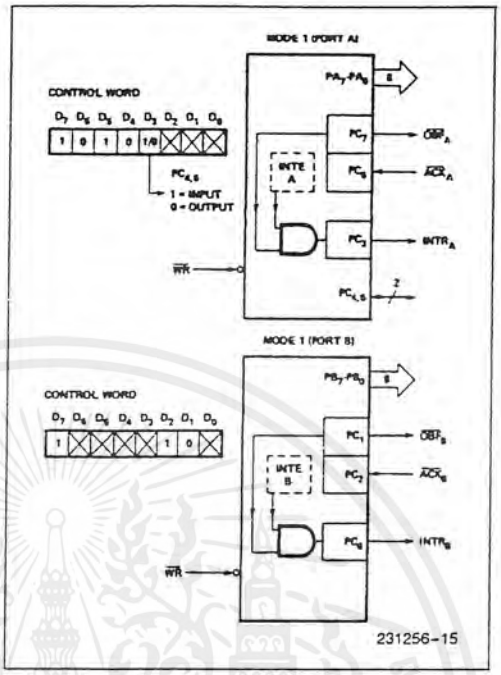


Figure 10. MODE 1 Output

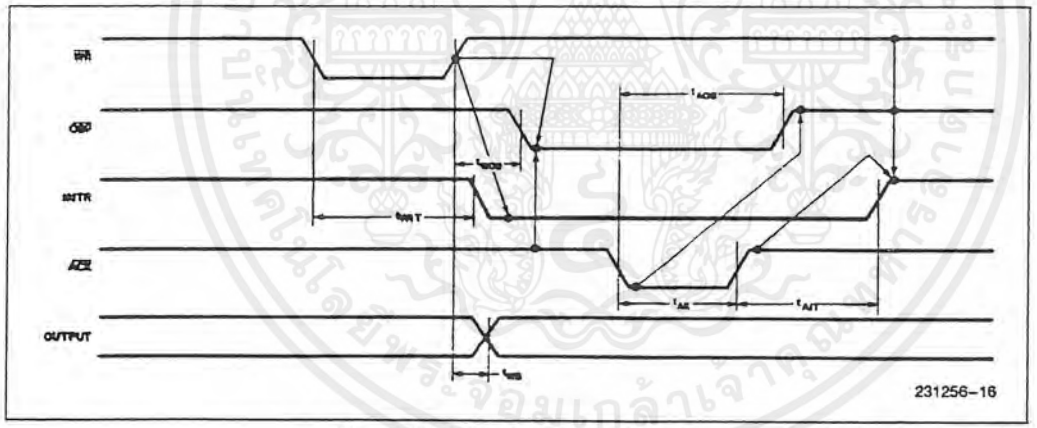


Figure 11. MODE 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

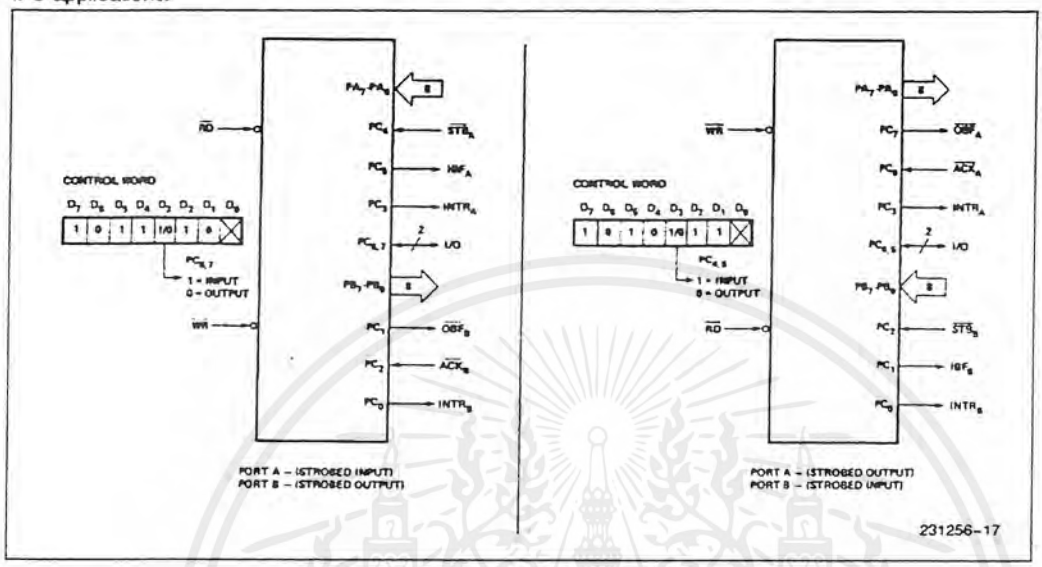


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A **only**.
- One 8-bit, bi-directional bus port (Port A) and a 5-bit control port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

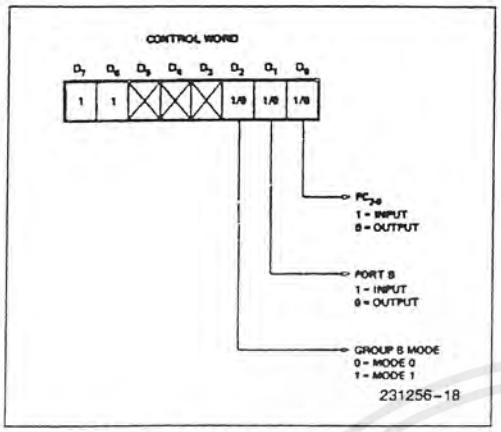


Figure 13. MODE Control Word

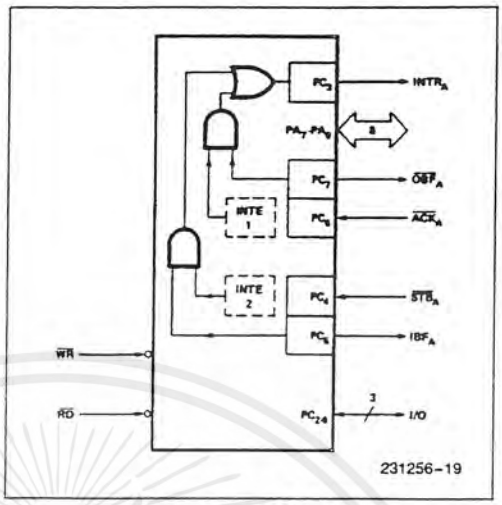


Figure 14. MODE 2

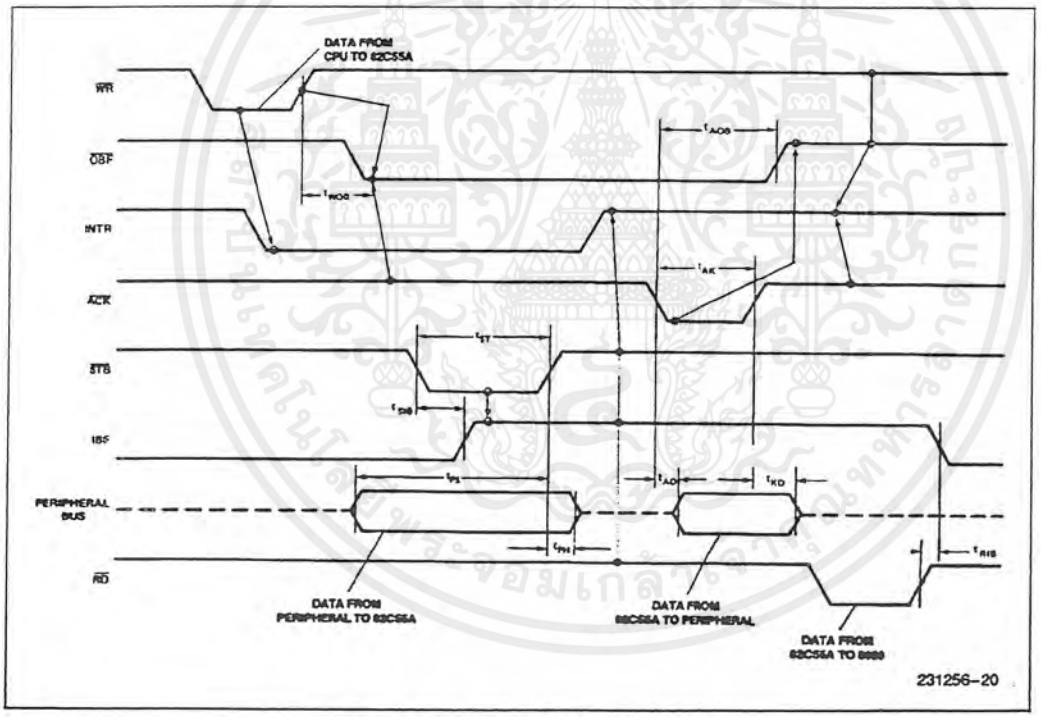


Figure 15. MODE 2 (Bidirectional)

NOTE:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$, and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
($INTR = IBF \bullet \overline{MASK} \bullet \overline{STB} \bullet \overline{RD} + \overline{OBF} \bullet \overline{MASK} \bullet \overline{ACK} \bullet \overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

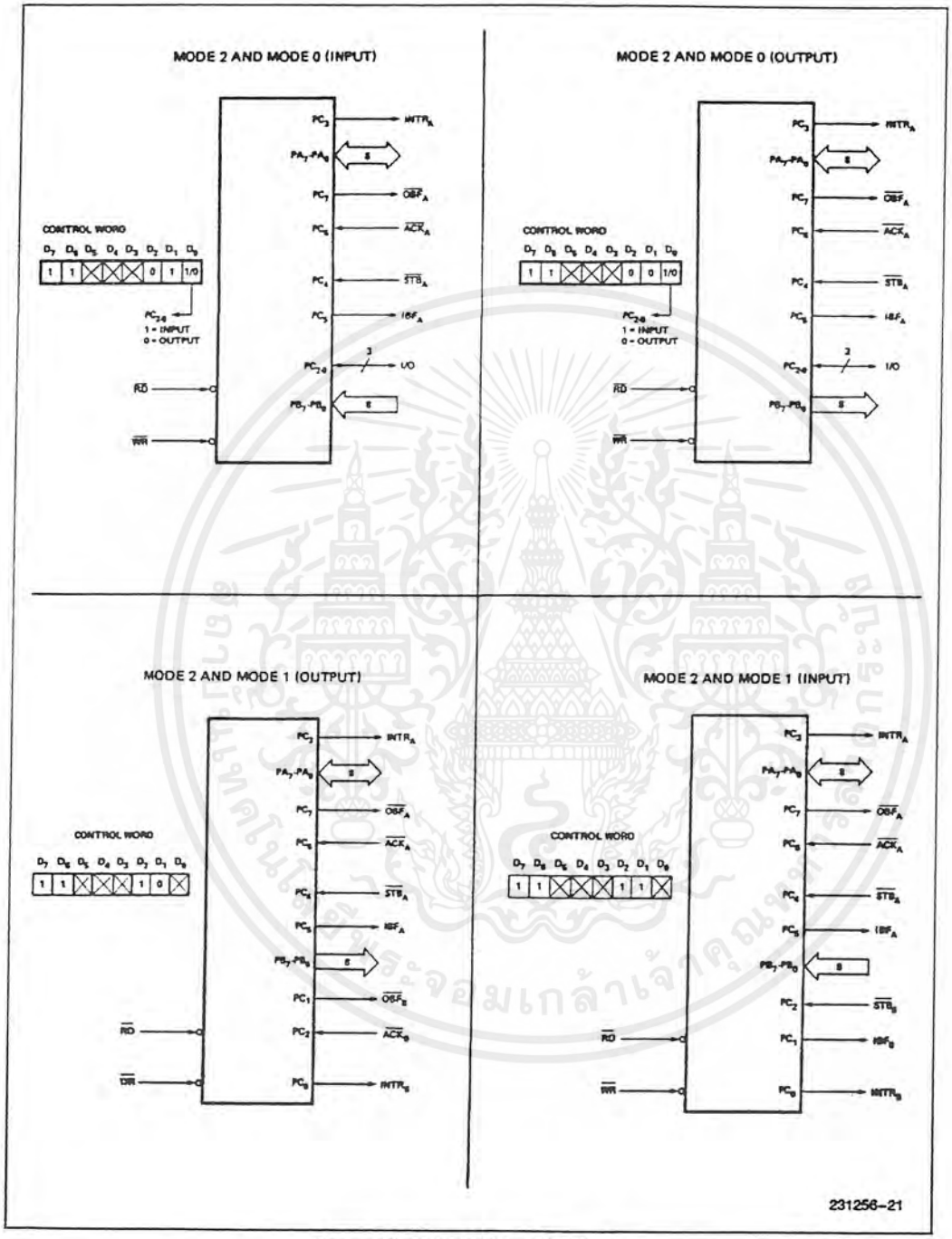


Figure 16. MODE 1/4 Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes possible. For any combination, some or all of the Port C lines are used for control or status. The remaining bits are either inputs or outputs as defined by a "Set Mode" command.

During a read of Port C, the state of all the Port C lines, except the $\overline{ACK}$ and $\overline{STB}$ lines, will be placed on the data bus. In place of the $\overline{ACK}$ and $\overline{STB}$ line states, flag status will appear on the data bus in the PC2, PC4, and PC6 bit positions as illustrated by Figure 18.

Through a "Write Port C" command, only the Port C pins programmed as outputs in a Mode 0 group can be written. No other pins can be affected by a "Write Port C" command, nor can the interrupt enable flags be accessed. To write to any Port C output programmed as an output in a Mode 1 group or to change an interrupt enable flag, the "Set/Reset Port C Bit" command must be used.

With a "Set/Reset Port C Bit" command, any Port C line programmed as an output (including INTR, IBF and $\overline{OBF}$) can be written, or an interrupt enable flag can be either set or reset. Port C lines programmed as inputs, including $\overline{ACK}$ and $\overline{STB}$ lines, associated with Port C are not affected by a "Set/Reset Port C Bit" command. Writing to the corresponding Port C bit positions of the $\overline{ACK}$ and $\overline{STB}$ lines with the "Set/Reset Port C Bit" command will affect the Group A and Group B interrupt enable flags, as illustrated in Figure 18.

Current Drive Capability

Any output on Port A, B or C can sink or source 2.5 mA. This feature allows the 82C55A to directly drive Darlington type drivers and high-voltage displays that require such sink or source current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 82C55A is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

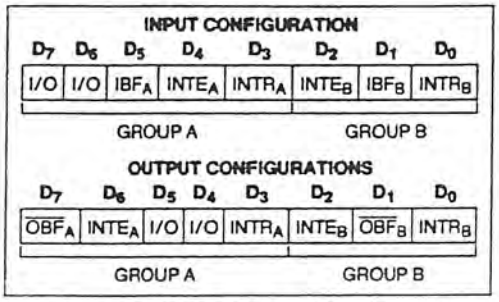


Figure 17a. MODE 1 Status Word Format

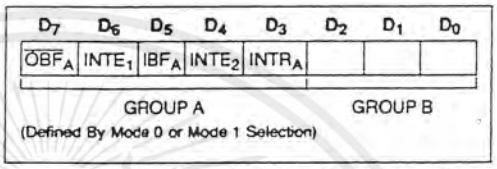


Figure 17b. MODE 2 Status Word Format

Interrupt Enable Flag	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{ACK}_B$ (Output Mode 1) or $\overline{STB}_B$ (Input Mode 1)
INTE A2	PC4	$\overline{STB}_A$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{ACK}_A$ (Output Mode 1 or Mode 2

Figure 18. Interrupt Enable Flags in Modes 1 and 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER TIMINGS

Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
t_{WB}	$\overline{WR}$ = 1 to Output		350	ns	
t_{IR}	Peripheral Data Before $\overline{RD}$	0		ns	
t_{HR}	Peripheral Data After $\overline{RD}$	0		ns	
t_{AK}	$\overline{ACK}$ Pulse Width	200		ns	
t_{ST}	$\overline{STB}$ Pulse Width	100		ns	
t_{PS}	Per. Data Before $\overline{STB}$ High	20		ns	
t_{PH}	Per. Data After $\overline{STB}$ High	50		ns	
t_{AD}	$\overline{ACK}$ = 0 to Output		175	ns	
t_{KD}	$\overline{ACK}$ = 1 to Output Float	20	250	ns	
t_{WOB}	$\overline{WR}$ = 1 to $\overline{OBF}$ = 0		150	ns	
t_{AOB}	$\overline{ACK}$ = 0 to $\overline{OBF}$ = 1		150	ns	
t_{SIB}	$\overline{STB}$ = 0 to IBF = 1		150	ns	
t_{RIB}	$\overline{RD}$ = 1 to IBF = 0		150	ns	
t_{RIT}	$\overline{RD}$ = 0 to INTR = 0		200	ns	
t_{SIT}	$\overline{STB}$ = 1 to INTR = 1		150	ns	
t_{AIT}	$\overline{ACK}$ = 1 to INTR = 1		150	ns	
t_{WIT}	$\overline{WR}$ = 0 to INTR = 0		200	ns	see note 1
t_{RES}	Reset Pulse Width	500		ns	see note 2

NOTE:
1. INTR ↑ may occur as early as $\overline{WR}$ ↓.
2. Pulse width of initial Reset pulse after power on must be at least 50 μSec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER TIMINGS

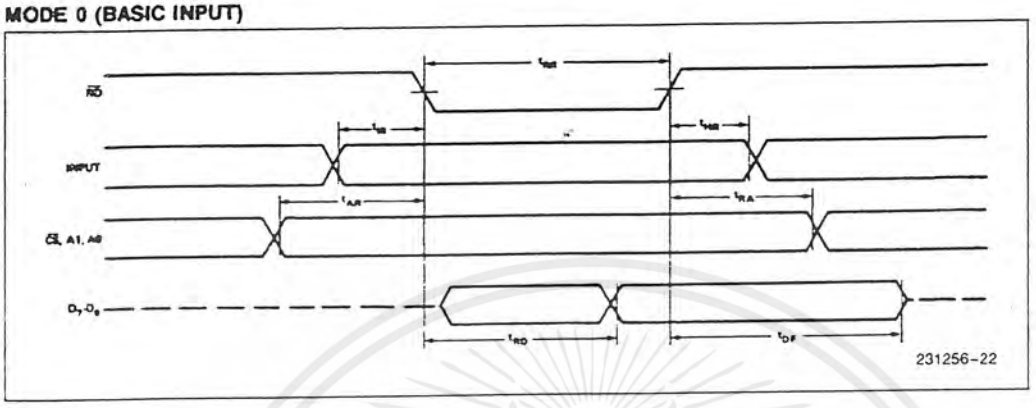
Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
t_{WB}	$\overline{WR}$ = 1 to Output		350	ns	
t_{IR}	Peripheral Data Before $\overline{RD}$	0		ns	
t_{HR}	Peripheral Data After $\overline{RD}$	0		ns	
t_{AK}	$\overline{ACK}$ Pulse Width	200		ns	
t_{ST}	$\overline{STB}$ Pulse Width	100		ns	
t_{PS}	Per. Data Before $\overline{STB}$ High	20		ns	
t_{PH}	Per. Data After $\overline{STB}$ High	50		ns	
t_{AD}	$\overline{ACK}$ = 0 to Output		175	ns	
t_{KD}	$\overline{ACK}$ = 1 to Output Float	20	250	ns	
t_{WOB}	$\overline{WR}$ = 1 to $\overline{OBF}$ = 0		150	ns	
t_{AOB}	$\overline{ACK}$ = 0 to $\overline{OBF}$ = 1		150	ns	
t_{SIB}	$\overline{STB}$ = 0 to IBF = 1		150	ns	
t_{RIB}	$\overline{RD}$ = 1 to IBF = 0		150	ns	
t_{RIT}	$\overline{RD}$ = 0 to INTR = 0		200	ns	
t_{SIT}	$\overline{STB}$ = 1 to INTR = 1		150	ns	
t_{AIT}	$\overline{ACK}$ = 1 to INTR = 1		150	ns	
t_{WIT}	$\overline{WR}$ = 0 to INTR = 0		200	ns	see note 1
t_{RES}	Reset Pulse Width	500		ns	see note 2

NOTE:
1. INTR ↑ may occur as early as $\overline{WR}$ ↓.
2. Pulse width of initial Reset pulse after power on must be at least 50 μSec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

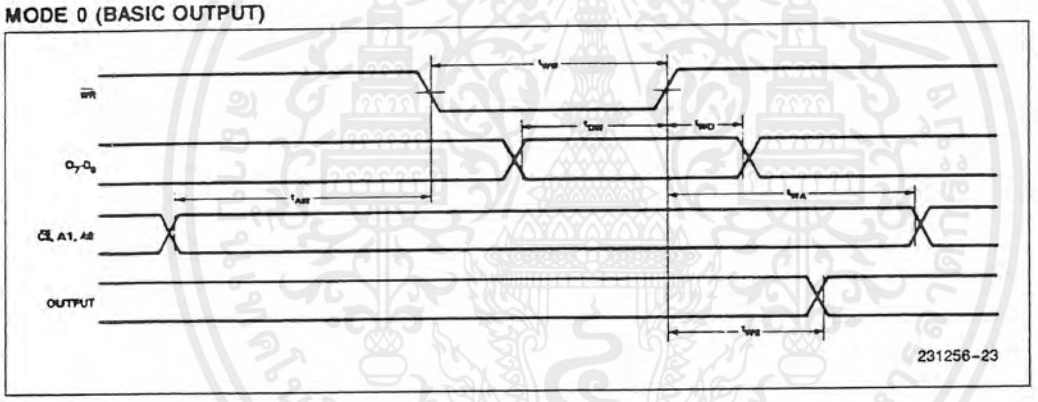
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



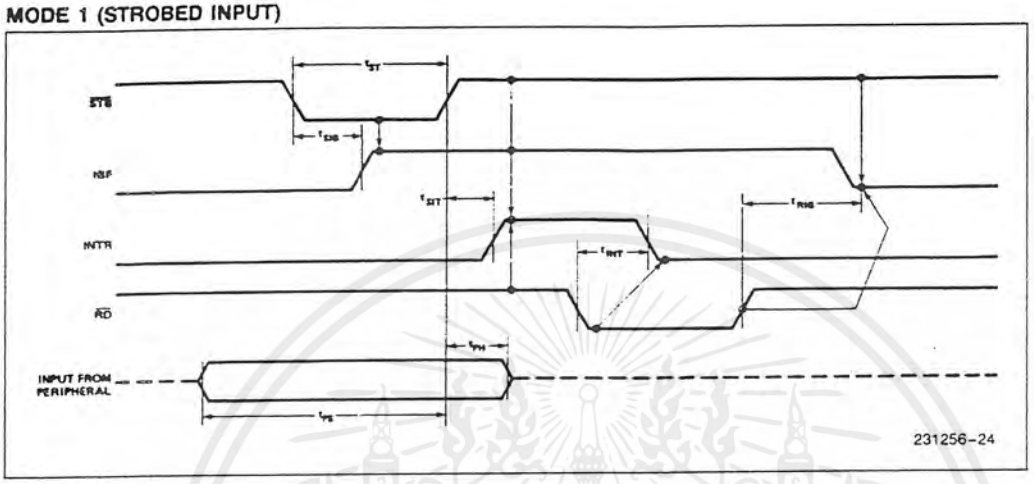
MODE 0 (BASIC OUTPUT)



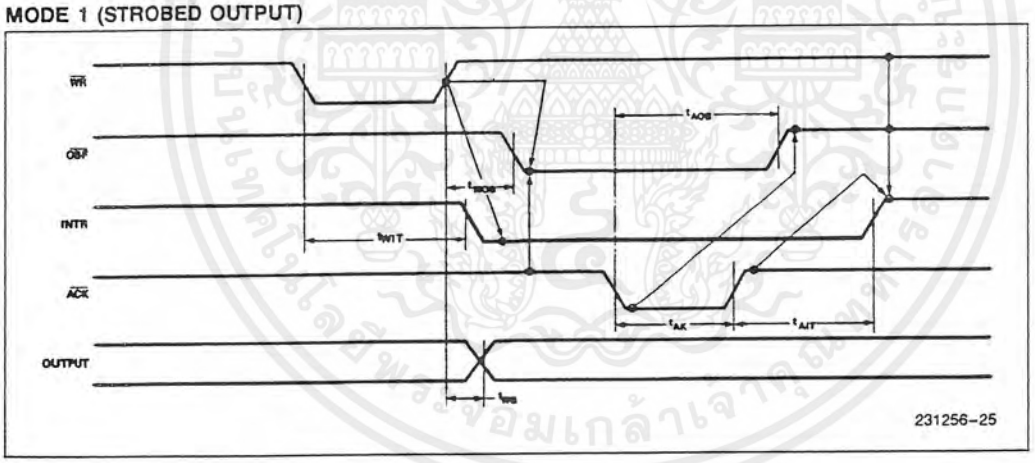
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



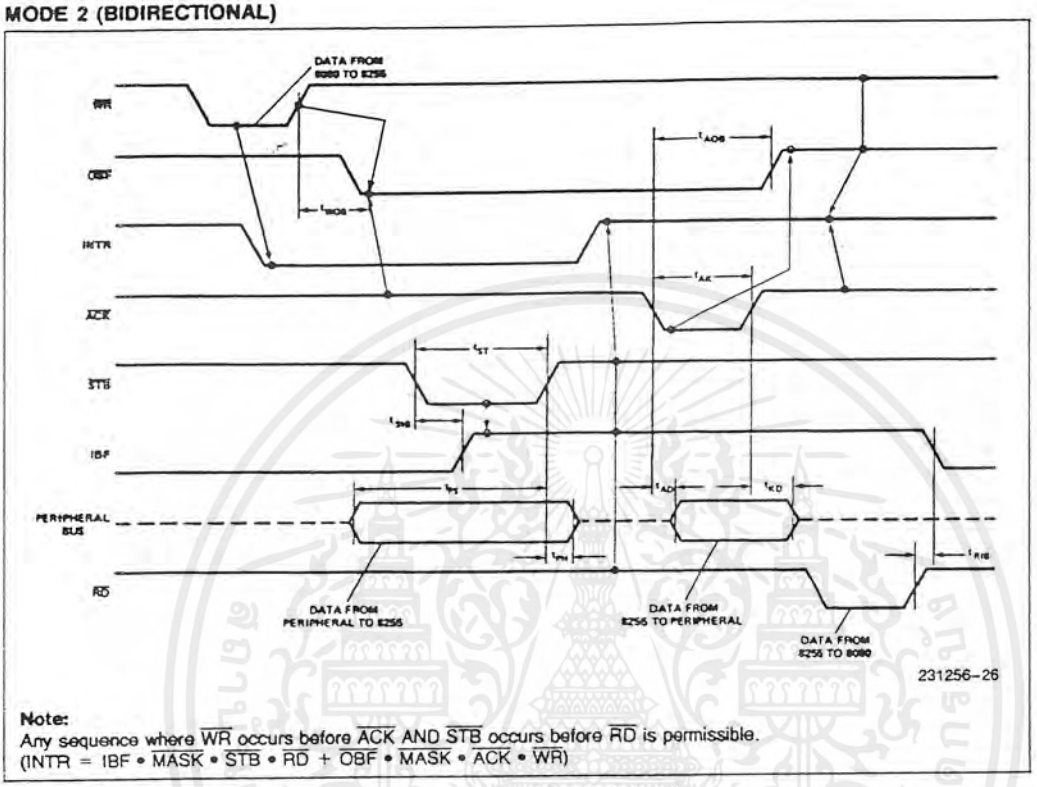
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

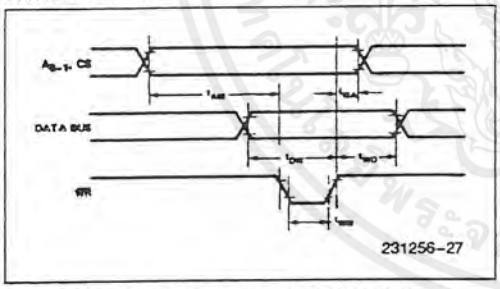
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

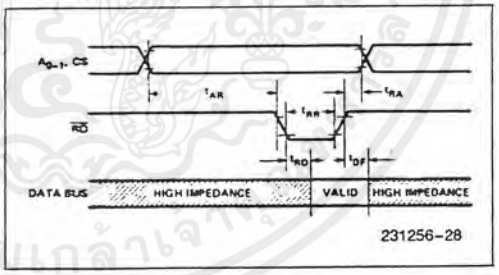


Note:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ AND $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • MASK • $\overline{ACK}$ • $\overline{WR}$)

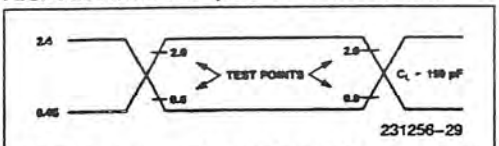
WRITE TIMING



READ TIMING

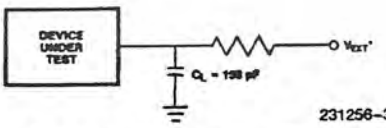


A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. Testing Inputs Are Driven At 2.4V For A Logic 1 And 0.45V For A Logic 0 Timing Measurements Are Made At 2.0V For A Logic 1 And 0.8 For A Logic 0.

A.C. TESTING LOAD CIRCUIT



*V_{EXT} Is Set At Various Voltages During Testing To Guarantee The Specification. C_L Includes Jig Capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเครื่องวัดความเร็วมอเตอร์จะไม่สำเร็จถ้าขาดบุคคลเหล่านี้

- ผศ. พิชิต ลำยอง อาจารย์ที่ปรึกษาโปรเจ็คส์ที่ให้คำปรึกษาและทำการปรับปรุงแนวคิดต่างๆ ให้ลงตัว
- ผศ. พลผดุง ผดุงกุล อาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ที่คอยให้คำปรึกษาทางด้านเทคนิคต่างๆทำให้ส่วนฮาร์ดแวร์ของโปรเจ็คส์สำเร็จลงด้วยดี
- อาจารย์ ขนิษฐา แซ่ตั้ง อาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ที่ให้คำปรึกษาเกี่ยวกับการกำจัดสัญญาณรบกวนต่างๆ
- คุณสุวัฒน์ ศรีสนั่น ที่คอยให้คำปรึกษาเกี่ยวกับการออกแบบลายวงจรต่างๆ
- พี่มณฑา เทียมเมือง ช่างเทคนิคประจำภาคเครื่องกลที่ให้คำปรึกษาและช่วยทำกล่องใส่ชิ้นงาน
- พี่ เอกชัย พี่นตภาคคอมห้อง 2P ที่ช่วยให้คำปรึกษาทางการเขียนโปรแกรมภาษา Assembly
- นาย รัคนโชติ โภคณารักษ์ และเพื่อนๆ น้องๆ ภาควิชาวิศวกรรมคอมพิวเตอร์ ทุกคนที่คอยให้คำแนะนำและกำลังใจตลอดการทำโปรเจ็คส์
- และสุดท้ายที่ลืมไม่ได้เลยคือ พ่อและแม่ที่คอยให้กำลังใจยามที่ท้อแท้ให้สามารถยืนหยัดทำโปรเจ็คส์จนเสร็จได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. บัณฑิต บัวบูชา , รัฐวุฒิ ประทุมราช, รุ่งแสง เครือไวศยวรรณ , วันชัย คุณากรวงศ์ , " ทฤษฎีและการออกแบบ วงจรดิจิตอล " สำนักพิมพ์ ฟิสิกส์เซ็นเตอร์

2. นภัทร วัจนเทพินทร์ " ทฤษฎีและการออกแบบวงจรพัลซ์ " บริษัท สกายบุคส์ จำกัด

3. กฤษดา วิศวธีรานนท์ " เรียน เล่น ใช้ ไอซีดิจิตอล " บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)

4. Henry W. Ott " Noise Reduction Technique in Electronic System " John Wiley & Sons Second Edition.

5. สมคิด วิริยประสิทธิ์ชัย , สมบูรณ์ มาลานนท์ " ทฤษฎีและการออกแบบแหล่งจ่ายไฟกระแสตรงแบบเชิงเส้น " สำนักพิมพ์ฟิสิกส์เซนเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้