สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค
โดยใช้ ยูนิฟอร์มดิสทริบิวท์ อาร์ซี ฟิลเตอร์

On The Realization of Active Crossover Networks
by Uniformly Distributed RC Filter

โดย

นายมงคล ครูรัตนานุวัฒน์ เลขประจำตัว 40012026

นายสรพงษ์ แซ่เตีย เลขประจำตัว 40012032

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

ปพ.
ล 11ก 51
2541

เลขหมู่.....
เลขทะเบียน 34080
วัน, เดือน, ปี 1 ต.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค โดยใช้ยูนิฟอร์มดิสทริบิวท์ อาร์ซี ฟิลเตอร์ On The Realization of Active Crossover Networks by Uniformly Distributed RC Filter			
นักศึกษา	นายมงคล	ครูรัตนานุวัฒน์	เลขประจำตัว	40012026
	นายสรพงษ์	แซ่เตีย	เลขประจำตัว	40012032
อาจารย์ที่ปรึกษา	รศ.ดร.กนก	เจนจิระพงศ์เวช		
	อาจารย์จักรี	ทีฆภาคย์วิศิษฏ์		
	ผศ.อุทัย	ศรีธีระวิโรจน์		
ภาควิชา	เทคนิคอุตสาหกรรม			
ปีการศึกษา	2541			

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

_____ อาจารย์ที่ปรึกษา
(รศ.ดร.กนก เจนจิระพงศ์เวช)

_____ อาจารย์ที่ปรึกษา
(อาจารย์จักรี ทีฆภาคย์วิศิษฏ์)

_____ อาจารย์ที่ปรึกษา
(ผศ.อุทัย ศรีธีระวิโรจน์)

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค
โดยใช้ ยูนิฟอร์มดิสทริบิวท์ อาร์ซี ฟิลเตอร์
On The Realization of Crossover Networks
by Uniformly Distributed RC Filter

โดย	นายมงคล	ครูรัตนานุวัฒน์	เลขประจำตัว	40012026
	นายสรพงษ์	แซ่เตีย	เลขประจำตัว	40012032
อาจารย์ที่ปรึกษา	รศ.ดร.กนก	เจนจิระพงศ์เวช		
	อาจารย์จักรี	ทีฆภาคย์วิศิษฏ์		
	ผศ.อุทัย	ศรีธีระวิโรจน์		
ปีการศึกษา	2541			

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้นำเสนอวิธีการออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ยูนิฟอร์มดิสทริบิวท์ อาร์ซี ไลน์(Uniformly Distributed RC Line: URC) หรือที่เรียกว่า ยูอาร์ซี ซึ่งส่งผลทำให้มีความชัน(Slope) ที่สูง โดยยังมีคุณสมบัติทางเฟสของวงจรที่คงที่ระหว่างวงจรกรองความถี่ต่ำผ่าน(Low pass Filter) และวงจรกรองความถี่สูงผ่าน(High pass Filter) นอกจากนี้ในปริญญานิพนธ์ฉบับนี้ยังพิจารณาถึงเสถียรภาพ(Stability) และค่าความไว(Sensitivity) ที่มีการเปลี่ยนแปลงของตัวอุปกรณ์ของวงจรแอคทีฟดิสทริบิวท์ อาร์ซี ฟิลเตอร์(Active distributed RC Filter) ที่ได้นำเสนอ

วงจรที่ได้นำเสนอนี้ มีพารามิเตอร์(Parameter) ที่สำคัญที่สามารถปรับค่าได้อยู่ 2 ตัว คือ α และ k ซึ่งค่าที่เหมาะสมจะทำให้ได้ผลรวมทางขนาดของวงจรกรองความถี่ต่ำผ่าน กับวงจรกรองความถี่สูงผ่านมีความราบเรียบเป็นที่ยอมรับ

จากการทดลอง ค่าพารามิเตอร์ α และ k ที่เหมาะสม จะให้คุณสมบัติของวงจรดีกว่าวิธีของลิงค์วิธซ์(Linkwitz) นอกจากนี้ปริญญานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรครอสโอเวอร์เน็ทเวอร์คด้วย ดับเบิ้ลยูนิฟอร์มดิสทริบิวท์ อาร์ซี ไลน์(Double Uniformly Distributed RC Line: DURC) ซึ่งมีคุณสมบัติที่ดีกว่ายูอาร์ซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

On The Realization of Crossover Networks by Uniformly Distributed RC Filter

BY	Mr. Mongkol	Krurattanawat	Code	40012026
	Mr. Sorapong	Seatia	Code	40012032

ADVISOR	Assoc.Prof.Dr.Kankok	Janchitrapongvej
	Mr. Chakree	Tukapakvisit
	Asst.Prof.Uthai	Sritheeravirojana

ACADEMIC YEAR 1998

ABSTRACT

This thesis proposed the method of realization the crossover networks by Uniformly distributed RC line(URC) circuit. The methods provide high slope with linear phase characteristics of low pass filter and high pass filter. Herein, the stability and sensitivity due to variation of element values of the active distributed RC filters are investigated.

The proposed network has the parameters α, k to adjust so that the combination of low pass and high pass response. Should have flat amplitude response, with respect to frequency.

The experimental with suitable parameters α, k give good characteristics better than Linkwitz method. Moreover this thesis also presents the method of realization of DURC(DURC: Double Uniform Distributed RC Line) it show that the new proposed DURC has characteristic better than the URC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดีทั้งด้านทฤษฎี ข้อมูลต่างๆ การปฏิบัติ และองค์ประกอบอื่นอีกมากมาย พร้อมทั้งคำแนะนำ และความช่วยเหลือจากอาจารย์ที่ปรึกษาทั้งทางด้านเทคนิคต่างๆ ตลอดจนความร่วมมือของบุคคลหลายๆ ท่าน

ขอขอบคุณ ท่านอาจารย์รศ.ดร.กนก เจนจิระพงศ์เวช, ท่านอาจารย์จักรี ทีฆภาคย์วิศิษฏ์, ท่านอาจารย์ผศ.อุทัย ศรีธีระวิโรจน์ ที่ได้ให้การประสิทธิ์ประสาทวิชาการและความรู้ ตลอดจนช่วยให้การแนะนำ และให้คำปรึกษา ขอขอบคุณอาจารย์ภาควิชาเทคนิคอุตสาหกรรมทุกท่านที่ให้คำชี้แนะ และการช่วยเหลือในทุกเรื่องจนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี

คณะผู้จัดทำ

นายมงคล ครูรัตนานุวัฒน์

นายสรพงษ์ แซ่เตีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อภาษาไทย		ก
บทคัดย่อภาษาอังกฤษ		ข
กิตติกรรมประกาศ		ค
บทนำ	วัตถุประสงค์ของปริญญานิพนธ์	1
	เนื้อหาปริญญานิพนธ์	2
บทที่ 1	ดิสทริบิวท์ อาร์ซี ไลน์ และยูนิฟอร์มดิสทริบิวท์ อาร์ซี ไลน์	3
	1.1 สายส่ง	3
	1.2 โครงสร้างของลัมด์พารามิเตอร์	7
	1.3 โครงสร้างของดิสทริบิวท์อาร์ซี	8
บทที่ 2	แนวความคิดในการสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค	12
	2.1 จุดประสงค์การใช้วงจรครอสโอเวอร์เน็ทเวอร์ค	12
	2.2 ข้อแตกต่างของแอคทีฟฟิลเตอร์ และพาสซีฟฟิลเตอร์	12
	2.3 การใช้แอคทีฟฟิลเตอร์ มีข้อดีพาสซีฟฟิลเตอร์	13
	2.4 วงจรกรองความถี่ต่ำผ่าน	14
	2.5 วงจรกรองความถี่สูงผ่าน	15
	2.6 ความถี่คัทออฟ และลักษณะโรลออฟ	16
	2.7 ทฤษฎีของลิงค์วิธไรเล่ย์	16
	2.8 วงจรครอสโอเวอร์เน็ทเวอร์คทั่วๆ ไป	18
	2.9 แนวความคิดในการสร้างวงจรเฟสลิเนียร์ครอสโอเวอร์เน็ทเวอร์ค	18
	2.10 ความราบเรียบทางเฟส กับรูปแบบของวงจร	20
บทที่ 3	การวิเคราะห์และการออกแบบวงจรแอคทีฟฟิลเตอร์ด้วย ยูอาร์ซี	23
	3.1 การวิเคราะห์ค่าพารามิเตอร์ของดิสทริบิวท์ อาร์ซี	23
	3.2 การวิเคราะห์คณิตศาสตร์เพื่อหาค่าพารามิเตอร์	25
	3.3 การออกแบบวงจรกรองความถี่ต่ำแบบแอคทีฟฟิลเตอร์ดิสทริบิวท์อาร์ซี	28
	3.4 การออกแบบวงจรกรองความถี่สูงแบบแอคทีฟฟิลเตอร์ดิสทริบิวท์อาร์ซี	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค โดยใช้ ยูนิฟอร์มดิสทริบิวท์ อาร์ซี 46
4.1 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ยูอาร์ซี 47
4.2 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ดียูอาร์ซี แบบที่ 1 49
4.3 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ดียูอาร์ซี แบบที่ 2 49
4.4 ส่วนประกอบของวงจรครอสโอเวอร์เน็ทเวอร์ค 51
บทที่ 5 ผลการทดลอง 53
5.1 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์คด้วย ยูอาร์ซี 53
5.2 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ดียูอาร์ซี แบบที่ 1 63
5.3 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์ค ด้วย ดียูอาร์ซี แบบที่ 2 72
บทที่ 6 สรุปและวิจารณ์ผลการทดลอง 82
6.1 สรุปและวิจารณ์ผลการทดลอง 82
6.2 ปัญหาและแนวทางการแก้ไข 82
6.3 แนวทางการพัฒนาและการวิจัย 83
หนังสืออ้างอิง
ภาคผนวก ก รายละเอียดของวงจร
ภาคผนวก ข รายละเอียดของตัวอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 1 ดิสทริบิวท์ อาร์ซี ไลน์ และยูนิฟอร์มดิสทริบิวท์ อาร์ซี ไลน์

รูปที่ 1.1 สายส่งสัญญาณ 3

รูปที่ 1.2 ส่วนขยายของ ΔX ในสายส่ง 4

รูปที่ 1.3 แสดงอินพุท และเอาท์พุทพอร์ทของสายส่ง 6

รูปที่ 1.4 แสดง 2-Port Network Model 7

รูปที่ 1.5 แสดงโครงสร้างแบบ T-Network 8

รูปที่ 1.6 แสดงโครงสร้างของ 2 พอร์ท ดิสทริบิวท์อาร์ซี 9

รูปที่ 1.7 แสดงโครงสร้างและสัญลักษณ์ของยูนิฟอร์มดิสทริบิวท์อาร์ซี 10

รูปที่ 1.8 แสดงโครงสร้างและวงจรเน็ทเวอร์คของส่วนย่อย ΔX ของดิสทริบิวท์อาร์ซี 10

รูปที่ 1.9 แสดงสัญลักษณ์ของดิสทริบิวท์อาร์ซี 10

บทที่ 2 แนวความคิดในการสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค

รูปที่ 2.1 Stereo 2-way System 13

รูปที่ 2.2 Stereo 3-way System 14

รูปที่ 2.3 แสดงการตอบสนองต่อความถี่ของวงจรกรองความถี่ต่ำ 14

รูปที่ 2.4 แสดงการตอบสนองต่อความถี่ของวงจรกรองความถี่สูง 15

รูปที่ 2.5 แสดง Vertival Radiation 19

รูปที่ 2.6 ระบบ 2 ทาง 20

รูปที่ 2.7 ระบบ 3 ทาง 22

บทที่ 3 การวิเคราะห์และการออกแบบวงจรแอคทีฟฟิลเตอร์ด้วย ยูอาร์ซี

รูปที่ 3.1 แสดงการเปรียบเทียบโครงสร้างของสายส่ง และดิสทริบิวท์อาร์ซี 23

รูปที่ 3.2 โครงสร้างของดิสทริบิวท์อาร์ซี เมื่อค่าความนำ g มีค่าน้อยมากๆ 24

รูปที่ 3.3 แสดงสัญลักษณ์ทางไฟฟ้า และสัญลักษณ์ทางคณิตศาสตร์ 25

รูปที่ 3.4 วงจรกรองความถี่ต่ำแบบแอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 1 28

รูปที่ 3.5 แสดงผลการตอบสนองทางขนาด 29

รูปที่ 3.6 แสดงผลการตอบสนองทางเฟส 30

รูปที่ 3.7 แสดงผลการตอบสนองของกรุ๊ปดีเลย์ 30

รูปที่ 3.8 แสดงไนควิสท์ไดอะแกรม 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 แสดงเซ็นติวิตี้ของอุปกรณ์ R_1, C_1, R_2, C_2 36
รูปที่ 3.10 แสดงเซ็นติวิตี้ของอุปกรณ์ K 36
รูปที่ 3.11 วงจรกรองความถี่ต่ำแบบแอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 2 37
รูปที่ 3.12 แสดงผลการตอบสนองทางขนาด 38
รูปที่ 3.13 แสดงผลการตอบสนองทางเฟส 39
รูปที่ 3.14 แสดงผลการตอบสนองของกรุ๊ปดีเลย์ 40
รูปที่ 3.15 แสดงเซ็นติวิตี้ของอุปกรณ์ R_1, C_1, R_2, C_2 40
รูปที่ 3.16 แสดงเซ็นติวิตี้ของอุปกรณ์ K 41
รูปที่ 3.17 วงจรกรองความถี่สูงแบบแอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 2 41
รูปที่ 3.18 แสดงผลการตอบสนองทางขนาด 42
รูปที่ 3.19 แสดงผลการตอบสนองทางเฟส 42
รูปที่ 3.20 แสดงผลการตอบสนองของกรุ๊ปดีเลย์ 43
รูปที่ 3.21 แสดงไนควิสท์ไดอะแกรม 44
รูปที่ 3.22 แสดงเซ็นติวิตี้ของอุปกรณ์ R_1, C_1, R_2, C_2 44
รูปที่ 3.23 แสดงเซ็นติวิตี้ของอุปกรณ์ K 44

บทที่ 4 การสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค โดยใช้ ยูนิฟอร์มดิสทริบิวท์ อาร์ซี

รูปที่ 4.1 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ยูอาร์ซี 46
รูปที่ 4.1 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 1 48
รูปที่ 4.1 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 2 50

บทที่ 5 ผลการทดลอง

รูปที่ 5.1 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 53
รูปที่ 5.2 แสดงผลการตอบสนองทางขนาดของวงจรกกรองความถี่ต่ำด้วย Pspice 54
รูปที่ 5.3 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 55
รูปที่ 5.4 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำด้วย Pspice 55
รูปที่ 5.5 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 56
รูปที่ 5.6 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูงด้วย Pspice 57
รูปที่ 5.7 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 58
รูปที่ 5.8 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูงด้วย Pspice 58
รูปที่ 5.9 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.10 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร ด้วย Pspice 60
รูปที่ 5.11 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร 60
รูปที่ 5.12 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร ด้วย Pspice 61
รูปที่ 5.13 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 62
รูปที่ 5.14 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 63
รูปที่ 5.15 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำด้วย Pspice 63
รูปที่ 5.16 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 64
รูปที่ 5.17 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำด้วย Pspice 65
รูปที่ 5.18 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 66
รูปที่ 5.19 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูงด้วย Pspice 66
รูปที่ 5.20 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 67
รูปที่ 5.21 แสดงผลการตอบสนองทางเฟสของวงจรกกรองความถี่สูงด้วย Pspice 68
รูปที่ 5.22 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร 69
รูปที่ 5.23 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร ด้วย Pspice 69
รูปที่ 5.24 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร 70
รูปที่ 5.25 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร ด้วย Pspice 70
รูปที่ 5.26 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 71
รูปที่ 5.27 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 72
รูปที่ 5.28 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำด้วย Pspice 73
รูปที่ 5.29 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 74
รูปที่ 5.30 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำด้วย Pspice 74
รูปที่ 5.31 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 75
รูปที่ 5.32 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูงด้วย Pspice 76
รูปที่ 5.33 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 77
รูปที่ 5.34 แสดงผลการตอบสนองทางเฟสของวงจรกกรองความถี่สูงด้วย Pspice 77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.35 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร 78
รูปที่ 5.36 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร ด้วย Pspice 79
รูปที่ 5.37 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร 79
รูปที่ 5.38 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจร ด้วย Pspice 80
รูปที่ 5.39 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 3 การวิเคราะห์และการออกแบบวงจรแอคทีฟฟิลเตอร์ด้วย ยูอาร์ซี

ตารางที่ 3.1 ตารางการแปลง 2-Port พารามิเตอร์ 27

บทที่ 5 ผลการทดลอง

ตารางที่ 5.1 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 54

ตารางที่ 5.2 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 56

ตารางที่ 5.3 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 57

ตารางที่ 5.4 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 59

ตารางที่ 5.5 แสดงค่าผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค 61

ตารางที่ 5.6 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 62

ตารางที่ 5.7 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 64

ตารางที่ 5.8 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 65

ตารางที่ 5.9 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 67

ตารางที่ 5.10 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 68

ตารางที่ 5.11 แสดงค่าผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค 71

ตารางที่ 5.12 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 72

ตารางที่ 5.13 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ 73

ตารางที่ 5.14 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ 75

ตารางที่ 5.15 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง 76

ตารางที่ 5.16 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง 78

ตารางที่ 5.17 แสดงค่าผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค 80

ตารางที่ 5.18 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในการออกแบบ และการสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค(Crossover Network) นั้น สามารถสร้างขึ้นจากวงจรกรองความถี่(Active Filter) ได้หลายรูปแบบ ไม่ว่าจะเป็น บัตเตอร์เวิธ (Butterworth), เชฟบิเชฟ(Chebyshev), เบสเซล(Bessel), ทอมสัน(Tomson) หรือลิงค์วิธซ์(Linkwitz Riiley) ก็ตาม ซึ่งวงจรกรองความถี่เหล่านี้จะให้ผลการตอบสนองต่อความถี่ที่แตกต่างกันออกไป เช่น วงจรกรองความถี่เป็นเบสเซล จะให้การตอบสนองต่อดีเลย์กรุ๊ปราบเรียบที่สุด วงจรแบบบัตเตอร์วิธจะให้การตอบสนองทางขนาดราบเรียบที่สุด แต่ในช่วงความถี่ผ่านจะมีริปเปิ้ล(Ripple) จากคุณสมบัติของวงจรกรองความถี่เหล่านี้ ทำให้เราสามารถที่จะเลือกวงจรกรองความถี่ให้เหมาะสมกับงานได้เพียงจุดประสงค์เดียวเท่านั้น และวงจรกรองความถี่เหล่านี้จะมีรูปแบบวงจรที่คงที่ ทำให้ไม่สามารถปรับเปลี่ยนรูปแบบผลการตอบสนองทางขนาดได้ นอกจากจะมีการปรับอันดับ(Order) ของวงจรกรองความถี่ เมื่อนำมาทำเป็นครอสโอเวอร์เน็ทเวอร์คก็จะทำให้วงจรมีความยุ่งยากซับซ้อนมากขึ้น ส่วนวงจรครอสโอเวอร์เน็ทเวอร์คที่มีอยู่โดยทั่วๆ ไปจะมีความล่าช้าระหว่างวงจรกรองความถี่ต่ำและวงจรกรองความถี่สูง ถึงแม้ว่าในปัจจุบันจะมีการสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค ที่เรียกว่า เฟสลิเนียร์ครอสโอเวอร์เน็ทเวอร์ค(Phase Linear Crossover Network) ซึ่งสามารถแก้ปัญหาของความล่าช้าระหว่างวงจรได้แล้วก็ตาม แต่ก็ไม่สามารถเพิ่มความชันในช่วงความถี่คัทออฟ(Cutoff Frequency) ได้และยังทำให้ช่วงความถี่ที่ได้ไม่คงที่

วัตถุประสงค์ของปริญญานิพนธ์

วัตถุประสงค์ของปริญญานิพนธ์ฉบับนี้ เพื่อศึกษาหลักการทำงานของวงจรและแก้ไขปัญหาวงจรครอสโอเวอร์เน็ทเวอร์ค โดยอาศัยคุณสมบัติของยูนิฟอร์มดิสทริบิวท์อาร์ซีฟิลเตอร์ หรือที่เรียกว่า ยูอาร์ซี มาช่วยเพิ่มอัตราความชันในช่วงความถี่คัทออฟ และลดค่ากรุ๊ปดีเลย์

เนื้อหาของปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้จะเป็นการนำเอาดิสทริบิวท์อาร์ซีไลน์ที่เป็นฟิลเตอร์ชนิดหนึ่งแบบยูนิฟอร์ม(Uniform) ซึ่งภายในจะประกอบด้วยตัวความต้านทาน และตัวเก็บประจุ ต่อร่วมกับออปแอมป์ มาใช้ในการออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค โดยในการทดลองนั้น จะใช้หลักการประมาณตัวยูนิฟอร์มดิสทริบิวท์อาร์ซีฟิลเตอร์ด้วยโครงสร้างแบบลัมด์อิลิเม็นท์อาร์ซี ต่อเข้าด้วยกันประมาณ 10 เซคชั่น ซึ่งในบทที่ 1 จะเป็นการแสดงโครงสร้างของดิสทริบิวท์อาร์ซี การวิเคราะห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พารามิเตอร์ของดิสทริบิวท์อาร์ซี โดยการเปลี่ยนสัญลักษณ์ทางไฟฟ้าไปเป็นสัญลักษณ์ทางคณิตศาสตร์

บทที่ 2 จะกล่าวถึงเรื่องของครอสโอเวอร์เน็ทเวอร์ค และฟิลเตอร์ไม่ว่าจะเป็นจุดมุ่งหมายของครอสโอเวอร์เน็ทเวอร์ค ข้อแตกต่างของแอคทีฟฟิลเตอร์กับพาสซีฟฟิลเตอร์ ข้อดีของการใช้แอคทีฟฟิลเตอร์ วงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่สูงผ่าน ความหมายของความถี่คัทออฟและลักษณะโรลออฟ ทฤษฎีของลิงค์วิธซ์ไรเล่ย์ วงจรครอสโอเวอร์เน็ทเวอร์คทั่วๆ ไป รวมไปถึงแนวความคิดในการสร้างวงจรแอคทีฟเฟสลิเนียร์ครอสโอเวอร์เน็ทเวอร์ค และความราบเรียบทางเฟสกับรูปแบบของวงจร

บทที่ 3 จะเป็นการวิเคราะห์ยูนิฟอร์มดิสทริบิวท์อาร์ซีฟิลเตอร์ และออกแบบวงจรกรองความถี่แบบแอคทีฟด้วยยูอาร์ซี ในส่วนของการออกแบบนั้นจะพิจารณาค่ามุมเฟส ค่าความไวและกรุ๊ปดีเลย์(Group delay) ด้วย

บทที่ 4 จะเป็นการออกแบบและสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค โดยใช้ยูนิฟอร์มดิสทริบิวท์อาร์ซีฟิลเตอร์

บทที่ 5 จะเป็นการแสดงผลการทดลองของวงจรที่ด้วยโปรแกรม Pspice เปรียบเทียบกับเครื่องออดิโออนาไลเซอร์(Audio Analyzer)

บทที่ 6 ซึ่งเป็นบทสุดท้ายนั้นจะเป็นการสรุปผลและวิจารณ์ผลการทดลองที่ได้ ตลอดจนแนวทางการพัฒนา และการวิจัยเพื่อนำไปใช้งานต่อไป

ส่วนภาคผนวก จะเป็นการแสดงรายละเอียดต่างๆ ของวงจร และรายละเอียดคุณสมบัติของตัวอุปกรณ์ของไอซีที่ใช้

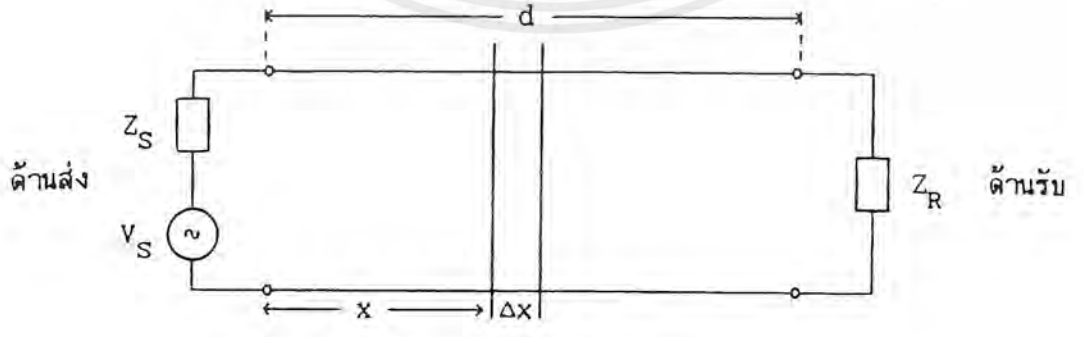
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ดิสทริบิวท์ อาร์ซี ไลน์ และยูนิฟอร์มดิสทริบิวท์ อาร์ซี ไลน์
Distributed RC Line & Uniform Distributed RC Line(URC)

ปริญญานิพนธ์ฉบับนี้ ได้มีการเสนอการออกแบบวงจร ที่มีส่วนประกอบของเน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี(Distributed RC) แทนการออกแบบวงจรที่ใช้ลัมด์อิลิเม้นท์(Lumped Element) แบบพาสซีพ(Passive) หรือแบบแอคทีฟ(Active) ในปัจจุบันเน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี ถูกสร้างขึ้นด้วยเทคโนโลยีแบบฟิล์มบาง(Thin Film) ในการผลิตเป็นไอซี(Integated Circuit) ซึ่งมีลักษณะโดยทั่วๆไปที่ดีกว่า และมีขนาดเล็กกว่าเน็ทเวอร์ทแบบลัมด์อิลิเม้นท์อาร์ซี ทำให้การออกแบบวงจรด้วยดิสทริบิวท์อาร์ซีสามารถนำมาใช้งานได้ง่าย ด้วยเหตุนี้ เน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซีจึงถูกสร้างขึ้นมาหลายรูปแบบ ดังเช่น การสร้างแบบฟิล์มบางแบบ Multi-layer ที่มีชั้นของตัวนำ(Conductor), ความต้านทาน(Resister) และฉนวน(Dielectrics) ประกอบติดเข้าด้วยกันโดยจะมีจุดต่อมาด้านข้างของชั้นความต้านทานและตัวนำ สำหรับในการวิเคราะห์พารามิเตอร์ของดิสทริบิวท์อาร์ซีใช้หลักการเดียวกันกับสายส่ง

1.1 สายส่ง(Transmission Line)

การส่งพลังงานไฟฟ้าจะใช้สายส่ง(Transmission Line) โดยที่สายส่งนั้นเมื่อมีกระแสไฟฟ้าไหลผ่านก็จะทำงานเหมือนกับว่ามีอินดัคแตนซ์(Inductance: l), คาปาซิแตนซ์(Capacitance: c), รีซิสแตนซ์(Resistance: r) และคอนดัคแตนซ์(Conductance: g) กระจายอยู่ในสายส่งที่มีค่าพารามิเตอร์ l,



รูปที่1.1 สายส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

c, r, g ซึ่งไม่มีค่าความสัมพันธ์กับระยะทางจากด้านส่งที่เรียกว่า สายส่งสัญญาณจากด้านส่งไปยังด้านรับ ณ ที่ห่างจากด้านส่งเป็นระยะ X มีขนาดย่อยๆ เป็น ΔX ดังรูปที่ 1.1

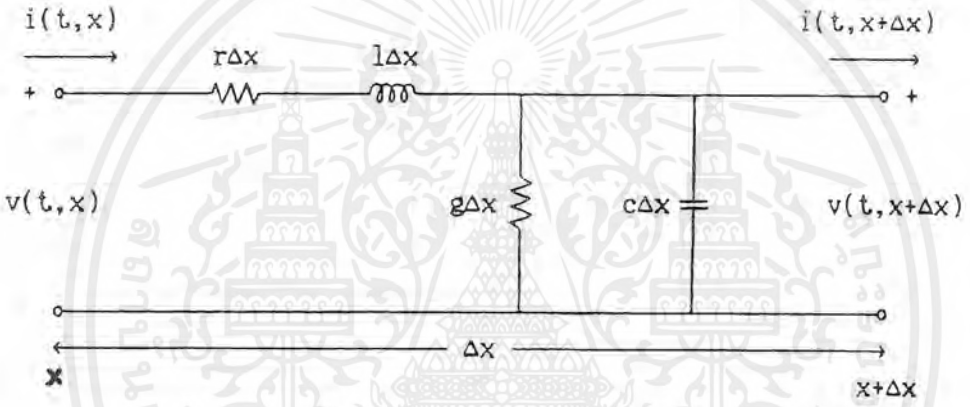
เมื่อขยาย ΔX ออกไปจะได้วงจรเสมือนตามรูปที่ 1.2 ซึ่ง v(t, x), i(t, x) จะเป็นศักดาและกระแสที่จุด X ตามลำดับ โดยมีค่า ดิสทริบิวท์อาร์ซี พารามิเตอร์ต่างๆ ดังนี้

r: Resistance [ohm/meter]

l: Inductance [henries/meter]

g: Conductance[mhos/meter]

c: Capacitance[farads/meter]



รูปที่ 1.2 ส่วนขยายของ ΔX ในสายส่ง

จากรูปที่ 1.2 โดยใช้กฎแรงดันและกระแสของ Kirchhoff's สามารถเขียนเป็นสมการได้ดังนี้

$$v(t,x+\Delta x)-v(t,v)\approx -\Delta x\left(l\frac{\partial i(t,x)}{\partial t}+ri(t,x)\right) \qquad (1.1)$$

$$i(t,x+\Delta x)-i(t,v)\approx \Delta x\left(c\frac{\partial v(t,x+\Delta x)}{\partial t}+gv(t,x+\Delta x)\right) \qquad (1.2)$$

จากสมการ(1.1), (1.2) เมื่อกำหนดให้ลิมิตของ ΔX เข้าใกล้ศูนย์ จะได้สมการ Partial Differential คือ

$$\frac{\partial v(t,x)}{\partial x}=-l\frac{\partial i(t,x)}{\partial t}-ri(t,x) \qquad (1.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\partial i(t,x)}{\partial x} = -c\frac{\partial v(t,x)}{\partial t} - gv(t,x) \tag{1.4}$$

จาก v(t, x) และi(t, x) ทำการ Take Lapace Transform จะได้

$$\begin{aligned} V(s,x) &= L[v(t,x)] = \int_0^\infty v(t,x)e^{-st}dt \\ I(s,x) &= L[i(t,x)] = \int_0^\infty i(t,x)e^{-st}dt \end{aligned} \tag{1.5}$$

เมื่อหาอนุพันธ์สมการ(1.5) เทียบกับ x เมื่อ r, l, c และg เป็นค่าคงที่ ซึ่งจะได้สมการของสายส่งแบบ ยูนิฟอร์ม ซึ่งสามารถเขียนเป็นสมการอนุพันธ์อันดับสองได้ดังนี้คือ

$$V(s,x) = A_1 \cosh \Gamma x + A_2 \sinh \Gamma x \tag{1.6}$$

$$I(s,x) = B_1 \cosh \Gamma x + B_2 \sinh \Gamma x \tag{1.7}$$

เมื่อ Γ เป็นสภาวะการแพร่กระจายของคลื่น (Propagation Function) โดยมีค่าดังนี้

$$\Gamma = \sqrt{(ls+r)(cs+g)} \tag{1.8}$$

สำหรับเทอม A_1, A_2, B_1, B_2 เป็นค่าคงที่ และสามารถกำหนดได้คือ สำหรับสายส่งที่มีความยาวเท่ากับ d ซึ่งเป็นเน็ทเวอร์ท 2 พอร์ท โดยทางอินพุทจะเป็น V(s, 0), I(s, o) และทางเอาท์พุทเป็น V(s, d), I(s, d) และทางเอาท์พุทเป็น V(s, d), I(s, d) จากสมการที่ (1.6), (1.7) ที่ x=0 จะได้

$$A_1 = V(s,0) \tag{1.9}$$

$$B_1 = I(s,0) \tag{1.10}$$

$$A_2 = -\sqrt{\frac{ls+r}{cs+g}}I(s,0) = -Z_0 I(s,0) \tag{1.11}$$

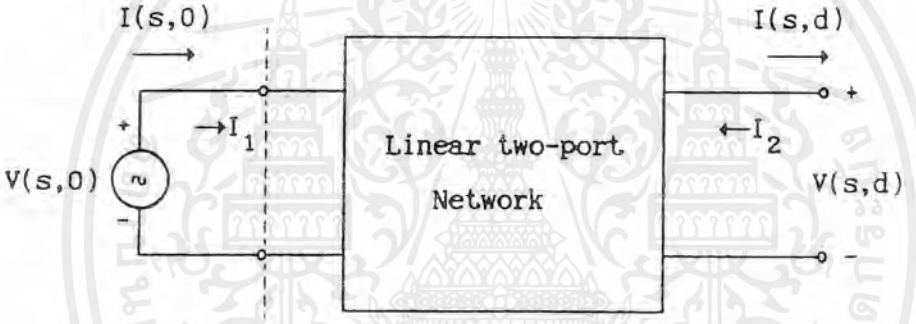
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B_2 = -\sqrt{\frac{cs+g}{ls+r}}V(s,0) = -\frac{V(s,0)}{Z_0} \tag{1.12}$$

เมื่อ Z_0 เป็นคุณลักษณะทางอิมพีแดนซ์ (Charcteristic Impedance) ของ ยูนิฟอร์มไลน์

$$Z_0 = \sqrt{\frac{Is+r}{cs+g}} \tag{1.13}$$

ฉะนั้นอินพุท และเอาท์พุทพอร์ทของสายส่งที่ได้จากสมการ (1.6) ถึงสมการ (1.13) สามารถแสดงได้ดังรูปที่ 1.3



รูปที่1.3 แสดงอินพุท และเอาท์พุทพอร์ทของสายส่ง

สำหรับเน็ทเวอร์ทในรูปที่ 1.3 สามารถเขียนเป็นพารามิเตอร์ ABCD ในรูปของเมตริกซ์ (Matrix)ได้ดังสมการ (1.14)

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} V_2 \\ -I_2 \end{pmatrix} \tag{1.14}$$

ซึ่งสามารถแปลงค่าพารามิเตอร์ของเมตริกซ์เป็น Inverse Transmission Matrix จะได้สมการของยูนิฟอร์มไลน์ คือ

$$\begin{pmatrix} V(s,d) \\ -I(s,d) \end{pmatrix} = \begin{pmatrix} \cosh \Gamma d & Z_0 \sinh \Gamma d \\ \dfrac{\sinh \Gamma d}{Z_0} & \cosh \Gamma d \end{pmatrix} \tag{1.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกัน ในการแปลงค่าพารามิเตอร์ของเมตริกซ์ไปเป็นพารามิเตอร์ของ Open Circuit Impedance และพารามิเตอร์ของ Short Circuit Admittance จะได้ดังนี้

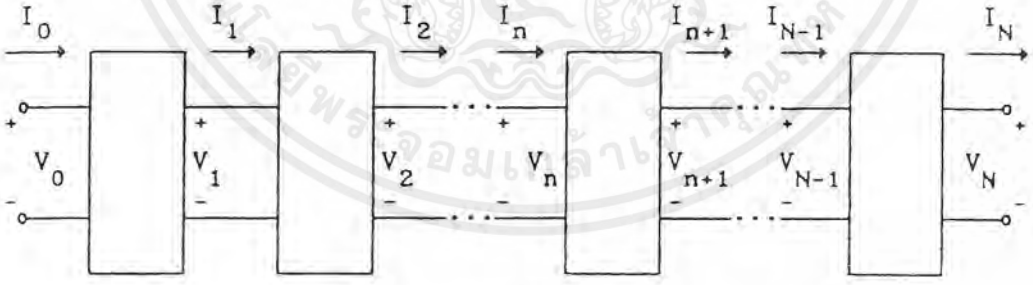
$$[Z] = Z_0 \begin{pmatrix} \coth \Gamma d & \operatorname{csc} h \Gamma d \\ \operatorname{csc} h \Gamma d & \coth \Gamma d \end{pmatrix} \qquad (1.16)$$

$$[Y] = \frac{1}{Z_0} \begin{pmatrix} \coth \Gamma d & -\operatorname{csc} h \Gamma d \\ -\operatorname{csc} h \Gamma d & \coth \Gamma d \end{pmatrix} \qquad (1.17)$$

<u>หมายเหตุ</u> สำหรับที่มาของสมการสามารถศึกษาค้นคว้าได้จากเรื่องของสายส่ง

1.2 โครงสร้างของลัมด์พารามิเตอร์

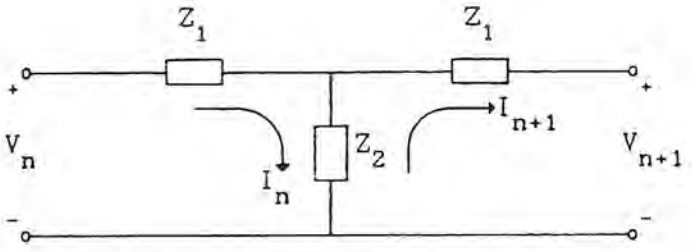
การประมาณโครงสร้างแบบลัมด์(Lumped) เทียบกับโครงสร้างแบบดิสทริบิวท์ จะต้องใช้เน็ทเวอร์ทแบบ 2 พอร์ท ที่เหมือนกันจำนวนหลายชุดประกอบเข้าด้วยกัน ดังรูปที่ 1.4 โดยที่แต่ละชุดจะต้องมีขนาดเล็กและมีจำนวนมากเมื่อเทียบต่อ 1 หน่วยความยาว จำนวนชุดของลัมด์ที่เพียงพอที่จะแสดงคุณสมบัติของดิสทริบิวท์เน็ทเวอร์ทขึ้นอยู่กับความเที่ยงตรงที่เราต้องการ และช่วงความถี่ที่ใช้ในเทอมเวลาคงที่(Time Constant) ของสาย ถ้าเป็นไปได้เราจะต้องใช้จำนวนชุดของลัมด์ ให้มีจำนวนเข้าใกล้อนันต์(Infinity) จึงจะได้โครงสร้างแบบดิสทริบิวท์



รูปที่ 1.4 แสดง 2-Port Network Model

สำหรับสายส่งแบบยูนิฟอร์มที่มีความยาวจำกัด สามารถประมาณโดยใช้โครงสร้างของลัมด์แบบ 2 พอร์ทจำนวนหลายๆ ชุด ดังรูปที่ 1.4 ในส่วนหนึ่งของสายโดยมีโครงสร้างแบบ T ซึ่งเขียนได้แสดงในรูปที่ 1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 แสดงโครงสร้างแบบ T-Network

จากรูปที่ 1.5 จะได้สมการ Inverse Transmission Matrix ของเน็ทเวอร์ทแบบ 2 พอร์ท คือ

$$\begin{pmatrix} V_N \\ -I_N \end{pmatrix} = \begin{pmatrix} \cosh \mathrm{N}\zeta & Z_2 \sinh \mathrm{N}\zeta \\ \dfrac{\sinh \mathrm{N}\zeta}{Z_2 \sinh \zeta} & \cosh \mathrm{N}\zeta \end{pmatrix} \begin{pmatrix} V_0 \\ I_0 \end{pmatrix} \qquad (1.18)$$

จากสมการ(1.18) ถ้าแปลงเมตริกซ์เป็นพารามิเตอร์ของ Short Circuit Admittance ซึ่งจะได้ว่า

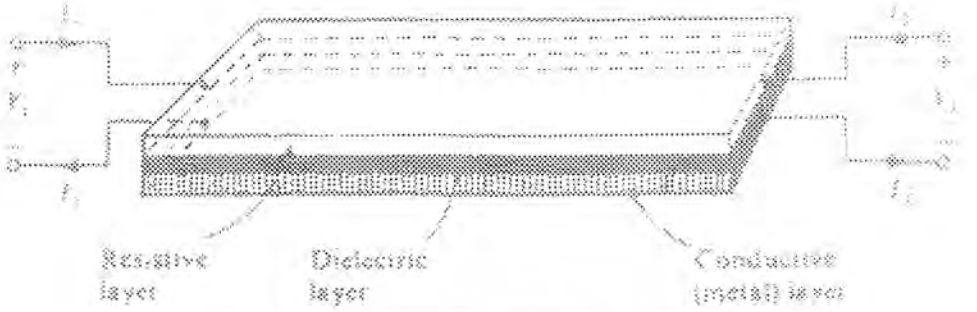
$$[Y] = \frac{1}{Z_2 \sinh \zeta} \begin{pmatrix} \coth \mathrm{N}\zeta & -\csc h\mathrm{N}\zeta \\ -\csc h\mathrm{N}\zeta & \coth \mathrm{N}\zeta \end{pmatrix} \qquad (1.19)$$

จากสมการ(1.19) ที่ได้จะเห็นว่าเหมือนกันกับสมการ(1.17) ของเน็ทเวอร์ทแบบดิสทริบิวท์ โดยที่ $Z_2 \sinh \zeta$ เป็นคุณลักษณะทางอิมพีแดนซ์(Characteristic Impedance) ของสาย

1.3 โครงสร้างของดิสทริบิวท์อาร์ซี

เน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี สามารถทำให้อยู่ภายในไอซีโดยมี 2 พอร์ท และมีโครงสร้างดังรูปที่ 1.6 ซึ่งประกอบกันขึ้นจากส่วนต่างๆดังนี้ คือ ส่วนบนสุดจะเป็นชั้นของความต้านทาน(Resistive Layer), รองมาเป็นชั้นของฉนวน(Dielectric Layer) และชั้นของตัวนำ(Conductive Layer) ความหนาของแต่ละชั้นประมาณ 10^{-5} นิ้ว จึงทำให้วงจรมีขนาดเล็กมาก(Microcircuits) โดยมีโครงสร้าง 2 อย่างคือ โครงสร้าง Thin-Film และโครงสร้าง Monolithic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 แสดงโครงสร้างของ 2 พอร์ท ดิสทริบิวท์อาร์ซี

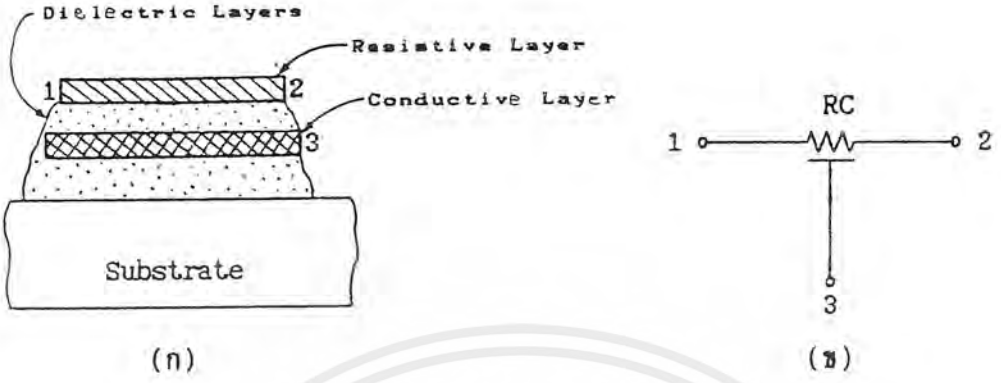
โครงสร้าง Thin-Film ประกอบด้วยชั้นของวัสดุหลายอย่าง ซึ่งวางอยู่บนตัวกลางที่เหมาะสม(Substrate) ตัวอย่างเช่น แผ่นบางๆ ของสารฉนวนอาจถูก Titanate ด้วยแผ่นบางของ Nichrome Resistive Film ซึ่งวางไว้ด้านบน และแผ่น Conductive Copper-Film ที่วางไว้ด้านล่างหุ้มห่อด้วยสารฉนวน และอยู่บน Passive Substrate ด้วยวิธี Vaporization หรือ Electrochemical Technique

โครงสร้าง Monolithic ประกอบด้วยชั้นของสารกึ่งตัวนำ(Semiconductor) ถูกทำเป็นรูปสี่เหลี่ยมเล็กๆ เช่น Distributed Resistance ได้มาจาก Lighty Doped ของสารกึ่งตัวนำ และ Distributed Capacitance ได้มาจากการป้อนกระแสไบอัสกลับข้าง(Reverse Bias) ของรอยต่อภายใน P-N จังก์ชั่น

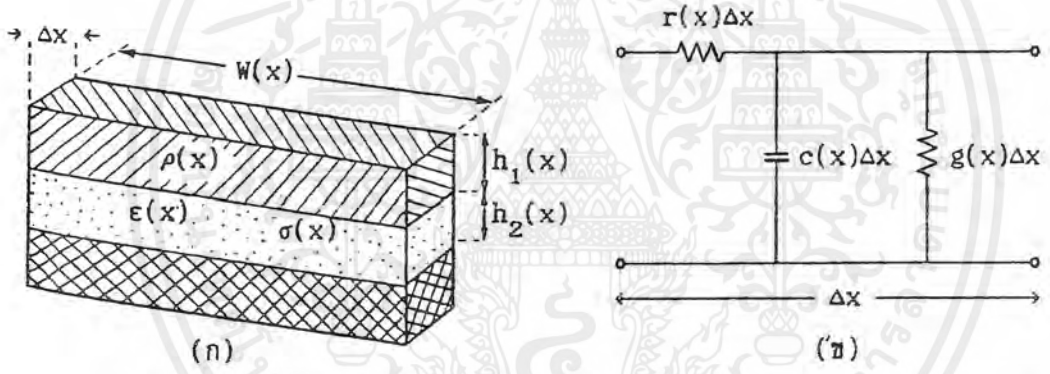
Microcurcuit จะถูกนำมาใช้สำหรับ ดิสทริบิวท์อาร์ซีแอคทีฟเน็ทเวอร์ท(Distributed RC Active Network) การทำงานทางไฟฟ้าจากโครงสร้างขึ้นอยู่กับคุณลักษณะของวัตถุ และรูปทรงเรขาคณิต วิธีการที่จะใช้ในการผลิตขึ้นอยู่กับข้อกำหนดขนาดของโครงสร้างคุณลักษณะทางการทำงาน ตัวอย่างโครงสร้างของวงจร ยูนิฟอร์มดิสทริบิวท์อาร์ซี(Uniformly Distributed RC) ซึ่งอยู่ภายในไอซีแสดงดังรูปที่ 1.7 (ก) และมีสัญลักษณ์ของวงจรแสดงดังรูปที่ 1.7 (ข)

และเน็ทเวอร์ทแบบ 2 พอร์ทของดิสทริบิวท์อาร์ซี โดยมีลักษณะเหมือนกับรูปที่ 1.8 (ข) ถ้าพิจารณาพารามิเตอร์ r, c และ g เราจะได้ว่าขณะที่ความสูญเสียของการรั่วไหล(leakage) ของความนำ g(x) ในฉนวน มีค่าน้อยเป็นที่ยอมรับได้ เมื่อค่าความนำมีค่าน้อยกว่าค่าคาปาซิแตนซ์มากๆ จะสามารถตัดค่า g ทิ้งได้ คือ ให้ g มีค่าเป็นศูนย์ ซึ่งจะได้เน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี ถ้า r และ c ไม่แปรเปลี่ยนตามความยาวของ x จะเป็นแบบยูนิฟอร์มดิสทริบิวท์อาร์ซี ในกรณีเดียวกันถ้า r และ c แปรเปลี่ยนตามความยาวของ x จะเป็นแบบนอนยูนิฟอร์มดิสทริบิวท์อาร์ซี แสดงในรูปที่ 1.9 (ก) ในขณะที่เส้นโค้งบ่งบอกถึงเป็นนอนยูนิฟอร์ม ถ้าเส้นใต้ R เป็นเส้นตรงจะเป็นเน็ทเวอร์ท แบบยูนิฟอร์ม ดิสทริบิวท์อาร์ซีไลน์ ดังแสดงในรูปที่ 1.9 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.7 แสดงโครงสร้างและสัญลักษณ์ของยูนิฟอร์มดิสทริบิวท์อาร์ซี



รูปที่ 1.8 แสดงโครงสร้างและวงจรเน็ทเวอร์ทของส่วนย่อย ΔX ของดิสทริบิวท์อาร์ซี

(ก) Nonuifrom (ข) Unifrom

รูปที่ 1.9 แสดงสัญลักษณ์ของดิสทริบิวท์อาร์ซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโครงงานนี้เป็นการใช้ ยูนิฟอร์มดิสทริบิวท์อาร์ซี ในการออกแบบวงจร จึงขอกล่าวถึงเน็ทเวอร์ทแบบยูนิฟอร์มดิสทริบิวท์อาร์ซีเท่านั้น ซึ่งค่า r และ c ไม่เปลี่ยนแปลงตามค่าของ x ความสัมพันธ์ของการเปลี่ยนแปลงแรงดัน และกระแสจะเหมือนกันกับสมการ(1.15) ของยูนิฟอร์มไลน์ โดยให้อินดัคแตนซ์(l) และคอนดัคแตนซ์(g) มีค่าเท่ากับศูนย์ สำหรับสายที่มีช่วงความยาว d จะได้ผลรวมของความต้านทานทั้งหมด R เท่ากับ rd และผลรวมของค่าประจุทั้งหมด C เท่ากับ cd ฉะนั้นสมการ(1.16) และ (1.17) ตัวยูนิฟอร์มดิสทริบิวท์อาร์ซี สามารถเขียนพารามิเตอร์อยู่ในรูปความต้านทาน(Impedance Parameter) และพารามิเตอร์ความนำ(Admittance Parameter) ได้คือ

$$[Z]=\sqrt{\frac{R}{SC}}\begin{pmatrix}\coth\sqrt{SRC} & \operatorname{csc}h\sqrt{SRC}\\ \operatorname{csc}h\sqrt{SRC} & \coth\sqrt{SRC}\end{pmatrix} \tag{1.20}$$

และ

$$[Y]=\sqrt{\frac{S}{RC}}\begin{pmatrix}\coth\sqrt{SRC} & -\operatorname{csc}h\sqrt{SRC}\\ -\operatorname{csc}h\sqrt{SRC} & \coth\sqrt{SRC}\end{pmatrix} \tag{1.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
แนวความคิดในการสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค

2.1 จุดประสงค์การใช้วงจรครอสโอเวอร์เน็ทเวอร์ค

ในระบบเครื่องเสียงนั้น วิธีการที่จะนำเอาสัญญาณที่ผ่านการขยายจากแอมปลิฟลายซึ่งเป็นสัญญาณขนาดใหญ่ออกไปใช้นั้นต้องมีอุปกรณ์รองรับสัญญาณนั้น ซึ่งอุปกรณ์นั้นก็คือลำโพง แต่เรามักจะพบปัญหาตรงที่ ไม่สามารถออกแบบให้ลำโพงตัวเดียวนั้นให้สามารถตอบสนองความถี่ได้ตลอดย่านความถี่เสียง เนื่องจากลำโพงโดยทั่วไปจะมีการตอบสนองความถี่ที่จำกัดอยู่ในช่วงย่านใดย่านหนึ่งเท่านั้น เมื่อพ้นไปจากย่านความถี่นั้นแล้วการตอบสนองความถี่ก็จะถูกลดทอนลง และอาจเกิดการผิดเพี้ยนของรูปสัญญาณ เราจึงจำเป็นต้องนำเอาลำโพงหลายๆ ตัวเข้ามาต่อร่วมกันเพื่อที่จะสามารถถ่ายทอดสัญญาณที่จะผ่านเข้ามาได้อย่างถูกต้องครบถ้วน แต่ในการนำเอาลำโพงหลายๆ ตัวมาต่อร่วมกันนั้นไม่สามารถที่จะทำได้โดยตรง จึงจำเป็นที่จะต้องมีการจัดแบ่งความถี่ให้กับลำโพงตามคุณลักษณะเฉพาะของลำโพงแต่ละตัว โดยตัวที่ทำหน้าที่แบ่งความถี่นี้มีชื่อว่า วงจรครอสโอเวอร์เน็ทเวอร์ค

วงจรครอสโอเวอร์เน็ทเวอร์คนี้โดยทั่วไปแบ่งออกเป็น 2 ชนิดคือ

1. วงจรพาสซีฟครอสโอเวอร์เน็ทเวอร์ค หรือไฮ-เลเวลครอสโอเวอร์เน็ทเวอร์ค
2. วงจรแอคทีฟครอสโอเวอร์เน็ทเวอร์ค หรือโล-เลเวลครอสโอเวอร์เน็ทเวอร์ค

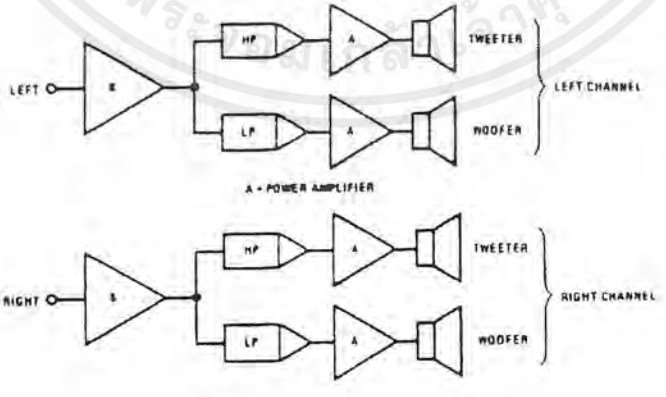
2.2 ข้อแตกต่างของแอคทีฟฟิลเตอร์ และพาสซีฟฟิลเตอร์

เหตุที่มีการนำเอาแอคทีฟฟิลเตอร์ มาใช้แทนการใช้พาสซีฟฟิลเตอร์ในวงจรนั้น เนื่องจากการใช้แอคทีฟฟิลเตอร์โดยการนำออปแอมป์มาใช้ในช่วงความถี่เสียง(Audio Frequency) จะมีผลดีกว่าพาสซีฟฟิลเตอร์ โดยในวงจรแอคทีฟฟิลเตอร์สามารถตัดลวดตัวนำ(Inductor) อันเป็นสาเหตุให้วงจรมีขนาดใหญ่ มีราคาแพง เมื่อเทียบกับวงจรพาสซีฟฟิลเตอร์ ในวงจรแอคทีฟฟิลเตอร์จะใช้เพียง R, C ในวงจร อีกทั้งการใช้ ขดลวดตัวนำจะทำให้ต้องใช้กำลัง(Power) เป็นอันมากเองจากสนามแม่เหล็กไฟฟ้า(Magnetic Field) ที่เกิดขึ้นในตัวขดลวดตัวนำ นั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

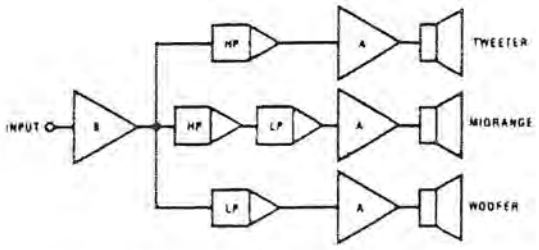
2.3 การใช้แอคทีฟฟิลเตอร์ มีข้อดีกว่าพาสซีฟฟิลเตอร์ที่มองเห็นชัดเจนดังนี้

1. การปรับค่าความถี่และค่าอัตราขยาย(Gain) ในวงจรแอคทีฟฟิลเตอร์ มีความคล่องตัวกว่าในวงจรพาสซีฟฟิลเตอร์ โดยเฉพาะออปแอมป์ของวงจรแอคทีฟฟิลเตอร์มีสัญญาณลดทอนต่ำ
2. วงจรแอคทีฟฟิลเตอร์ไม่มีปัญหาในเรื่อง Loading ของวงจรขยายอันเนื่องมาจากความต้านทานด้าน Input Resistance สูง และความต้านทานด้าน Output Resistance ต่ำของตัวออปแอมป์เอง
3. ราคาของแอคทีฟฟิลเตอร์ถูกกว่าพาสซีฟฟิลเตอร์สาเหตุจากราคาของออปแอมป์ ในปัจจุบันมีราคาถูกประกอบกับสามารถลดค่าของขดลวดตัวนำในวงจร ซึ่งไม่จำเป็นต้องมีในวงจรแอคทีฟฟิลเตอร์
4. สาเหตุอันเกิดมาจากรูปแบบของวงจร ที่ต้องใช้พาสซีฟเน็ทเวอร์คกั้นอยู่ระหว่างแอมป์ปลิฟลายกับลำโพง ทำให้ความต้านทานภายในของวงจรพาสซีฟ เกิดการสูญเสียพลังงานเป็นการลดทอนสัญญาณ(Power loss) ในตัวความต้านทาน ทำให้กำลังที่จะขับออกทางลำโพงลดกำลังต่ำกว่าที่ควร ถึงแม้ว่าการใช้วงจรพาสซีฟฟิลเตอร์สามารถทำให้ตัดความถี่ช่วงไหนก็ได้โดยไม่ยาก แต่เมื่อประกอบขึ้นแล้วการจะเปลี่ยนช่วงความถี่ตัด เพื่อให้ความเหมาะสมกับตัวลำโพง หรือห้องฟังเสียง กระทำได้ยากเนื่องจากต้องเปลี่ยนค่าขดลวดตัวนำ จึงเป็นเรื่องยากที่จะทำวงจรให้ได้ดีและมีประสิทธิภาพสูงๆ อีกทั้งต้องลงทุนสูง ข้อบกพร่องดังกล่าวสามารถแก้ไขได้ง่ายและดีกว่า เมื่อต้องใช้วงจรประเภท แอคทีฟฟิลเตอร์



รูปที่ 2.1 Stero 2-way System

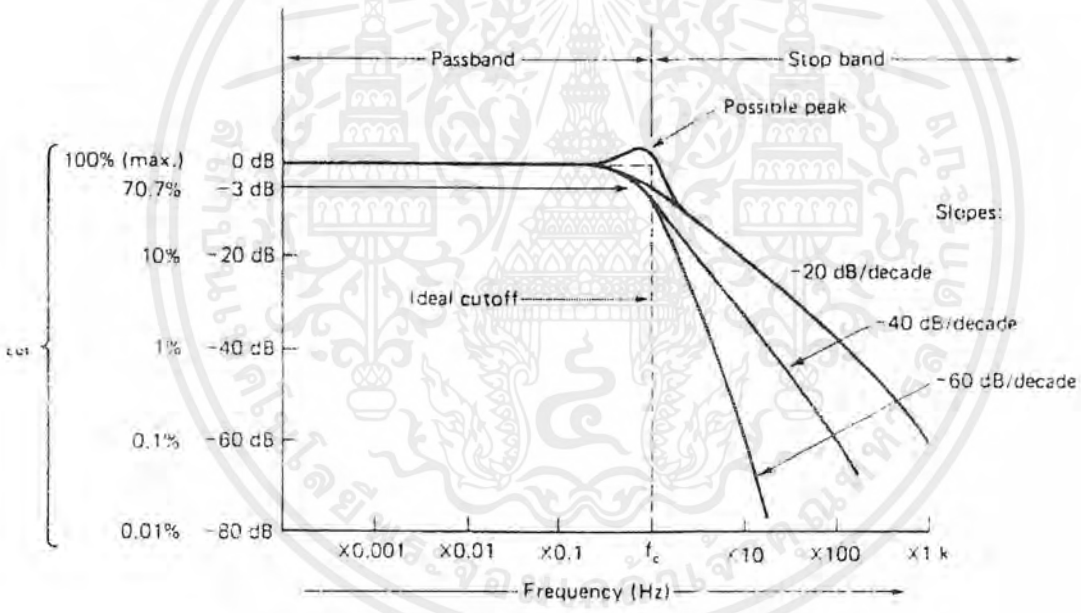
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 Single Channel 3- way System

2.4 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่าน คือ วงจรที่ทำหน้าที่กรองเอาความถี่ที่ต่ำกว่าที่กำหนดให้ผ่านไป ส่วนความถี่ที่สูงกว่าจะถูกตัดออกไป



รูปที่ 2.3 แสดงการตอบสนองต่อความถี่ของวงจรกรองความถี่ต่ำ

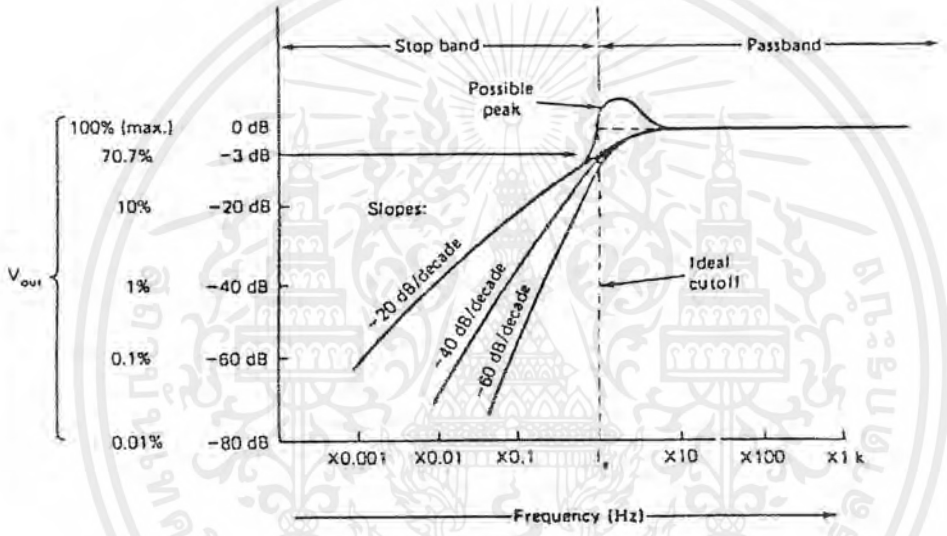
ในทางอุดมคติ จากรูปเมื่อสัญญาณที่เข้ามามีความถี่ต่ำก็จะสามารถที่จะผ่านได้ เมื่อความถี่เพิ่มสูงขึ้นจนถึงค่าๆ หนึ่งก็จะไม่สามารถที่จะผ่านไปได้จะถูกตัดทิ้งไปหมด เราเรียกจุดๆ นี้ว่า ความถี่คัทออฟ หรือเขียนย่อได้ว่า f_c แต่ในทางปฏิบัติจะพบว่าลักษณะของความถี่ที่จะตัดออกไปนี้จะไม่เป็นเช่นนั้น แต่จะค่อยๆ ถูกลดทอนอัตราการขยายลงเรื่อยๆ ลักษณะของรูปที่ได้ก็จะมีความชันที่ค่อยๆ ลาดลง จุดความถี่คัทออฟของกราฟที่ได้ ก็คือจุดที่ขนาด V_{out} เท่ากับ 0.707 ของขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันสูงสุด เราเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่าช่วงพาสแบนด์(Pass band) และเรียกช่วงของสัญญาณที่มีความถี่สูงกว่า f_c ว่าช่วงสต๊อปแบนด์(Stop band)

2.5 วงจรกรองความถี่สูงผ่าน (High Pass Filter)

วงจรกรองความถี่สูงผ่าน คือ วงจรที่ทำหน้าที่กรองความถี่สูงที่กำหนดผ่านไปได้ ส่วนความถี่ที่ต่ำกว่าจะถูกกำจัดออกไป ซึ่งเราจะพบว่าจะมีการทำงานที่ตรงข้ามกันกับวงจรกรองความถี่ต่ำผ่านนั่นเอง



รูปที่ 2.4 แสดงการตอบสนองความถี่ของวงจรกรองความถี่สูง

จากรูปในทางอุดมคติเราจะเห็นว่า ความถี่ที่ต่ำกว่าที่กำหนดจะไม่มีปรากฏออกมาวงจรจะให้สัญญาณเอาท์พุทก็ต่อเมื่อความถี่ที่เข้ามามีค่าเท่ากับ หรือมากกว่าความถี่ที่กำหนดเท่านั้น แต่ในทางปฏิบัติจะเห็นว่าไม่เป็นเช่นนั้น กล่าวคือสัญญาณที่มีความถี่ต่ำกว่าความถี่ที่กำหนดก็จะมีปรากฏออกมาด้วยแต่จะมีอัตราขยายที่น้อยกว่า โดยอัตราขยายจะค่อยๆ เพิ่มสูงขึ้นเมื่อสัญญาณมีความถี่เข้าใกล้ความถี่ที่กำหนด จุดที่สัญญาณมีขนาดเท่ากับ 0.707 ของขนาดแรงดันสูงสุด คือ ความถี่คัทออฟ หรือ f_c หรือจุดที่อัตราขยายเท่ากับ -3dB (ถ้าให้อัตราขยายสูงสุดเท่ากับ 0 dB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ความถี่คัทออฟ และลักษณะโรลออฟ (Roll Off)

ความถี่คัทออฟ คือ จุดหรือความถี่ที่ขนาดของเอาท์พุทจากวงจรกรองความถี่ลดลง 0.707 เท่า หรือ -3dB ของขนาดสูงสุด (f_{CH} และ f_{CL}) เช่นบอกว่าความถี่คัทออฟของ LPF อยู่ที่ 500 Hz คิดเป็นอัตราส่วนของเอาท์พุทต่ออินพุทที่ -3 dB แต่อินพุทคิดเป็น 0 dBในช่วงที่ความถี่ต่ำกว่า 500Hzจะมีอัตราส่วนเอาท์พุท กับแรงดันอินพุท -3 dB หรือขนาดแรงดันอินพุทจะมีขนาด 0.707 เท่าของของแรงดันอินพุทในช่วงความถี่ที่ผ่านได้สูงสุด

โรลออฟ หรือฟอลออฟ(Roll Off หรือ Fall Off) คือ ลักษณะการลาดลงของการตอบสนองความถี่ต่ำ จากจุดคัทออฟลงมาว่ามีความชันมากน้อยเพียงใด มักบอกเป็นหน่วย dB/Octave หมายความว่า เอาท์พุทของวงจรกรองความถี่ จะลดลงเท่าใด(dB) เช่น การตอบสนองของ HPF มีอัตราการโรลออฟ -6 dB/Octave หมายความว่า ณ ความถี่ต่ำกว่าจุดคัทออฟ $f_{CH}/2$ จะมีเอาท์พุท -9 dB และต่ำกว่า 4 เท่า จะมีเอาท์พุท -15 dB เป็นต้น ขนาดของการโรลออฟจะสัมพันธ์กับอันดับ

อันดับจะมีความสัมพันธ์ กับค่าโรลออฟที่ -6dB/Octave ต่ออันดับหนึ่ง ฉะนั้นวงจรกรองความถี่อันดับ 2 จะมีโรลออฟ -12dB/Octave และวงจรกรองความถี่อันดับ 3 จะมีโรลออฟ -18 dB/Octave จะเห็นได้ว่า ค่าโรลออฟมีค่าเป็นจำนวนเท่ากับอันดับ ดังนั้นจำนวนอันดับจะบอกได้ว่าวงจรกรองความถี่นั้นๆ จะสามารถตัดความถี่ที่ไม่ต้องการทิ้งได้มากน้อยเพียงใด ซึ่งการสร้างแอคทีฟฟิลเตอร์ อันดับสูงๆ จะทำได้ยากกว่าวงจรกรองความถี่อันดับต่ำๆ

2.7 ทฤษฎีของลิงค์วิธไรเล่ย์

หลักการของลิงค์วิธไรเล่ย์ ก็คือ วงจรกรองความถี่ที่มีเฟสคงที่ และอัตราความชันย่านคัทออฟสูงด้วยวงจรหน่วงเวลา (Time delay)

วงจรครอสโอเวอร์เน็ทเวอร์คที่มีคุณภาพนั้น จะต้องประกอบไปด้วย

1. ขนาด (Magnitude) ในการรวมกันของโลพาส (Low pass Filter: LPF) และ ไฮพาส (High pass Filter: HPF) ต้องราบเรียบดังสมการ $M(\omega) = |H_L(j\omega) + H_H(j\omega)| = 1$ เพื่อที่จะควบคุมเสียงที่เอาท์พุทให้คงที่
1. อัตราการคัทออฟ (Cut-off Rate) จะต้องสูงชันมากพอ ทั้งในวงจรโลพาส และ ไฮพาสฟิลเตอร์ $H_L(j\omega), H_H(j\omega)$ ในย่าน Stop band
2. การตอบสนองของขั้วที่ยอมรับได้ ในการรวมเอาท์พุท ทั้งสอง ปกติต้องทำให้เกิดการอินเฟส (Inphase) กัน ทั้งโลพาส และไฮพาส $\phi_L(\omega) + \phi_H(\omega)$
3. การตอบสนองเฟส (Phase response) ในการรวมเอาท์พุททั้งสอง $\phi_S(\omega) = \arg H_L(j\omega) + H_H(j\omega)$ และลักษณะที่เราต้องการมากที่สุดจะต้องให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เฟสเป็นแนวตรง (Phase linearity) $\phi_S(\omega) = -\tau\omega$ ซึ่งค่าของ τ จะเทียบเท่าค่าของความล่าช้าของเวลาในการเชื่อมวงจร

ต่อจากนั้นเราจะใช้ค่า $H_L(S)$ และ $H_H(S)$ แสดงค่าของทรานส์เฟอร์ฟังก์ชั่นของวงจรโลพาส และไฮพาสฟิลเตอร์ ตามลำดับ ส่วนในรูปแบบของความถี่ $S = \sigma + j\omega$ ซึ่ง $\omega = 2\pi f$ เป็นความถี่เชิงเรเดียน (Radian) ส่วนในรูปของโพลาร์ (Polar Form) เราจะเขียนเป็นสมการของ

$$H(j\omega) = M(\omega)e^{j\phi(\omega)} \qquad (2.1)$$

ซึ่งค่า $M(\omega)$ เป็นขนาด และ $\phi(\omega)$ เป็นเฟสของ $H(j\omega)$ ซึ่งตัวห้อย L หรือ H จะแสดงถึงโลพาส และไฮพาสฟังก์ชั่น ตามลำดับ ส่วนตัวห้อย S จะแสดงถึงการเชื่อมซิสเต็มฟังก์ชั่น (System Function)

ความต้องการในขนาดที่ราบเรียบเป็นสิ่งจำเป็น ซึ่งจะกำหนดโดยความรู้สึกที่สามารถรับรู้ได้จากการได้ยินเสียงของหูมนุษย์ สิ่งนี้เป็นความต้องการขั้นพื้นฐานเลยในการทำวงจรครอสโอเวอร์เน็ทเวอร์คที่จะให้ได้คุณภาพที่ดี ในการออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค เป็นสิ่งจำเป็นที่จะต้องมีอัตราความชันดัทออฟดีพอ การตอบสนองต่อขั้ว(Pole Response) การตอบสนองต่อเฟส อยู่ในเกณฑ์ที่ยอมรับได้นั้นยังมีข้อเสียอยู่ ในการพิจารณาประโยชน์ของเฟสลิเนียร์

หลักการขั้นพื้นฐานจะตอบสนองต่อเครื่องดนตรีต่างๆ นั้นยังไม่กระจ่างดีพอ แต่สิ่งเหล่านี้เหมาะที่จะกล่าวถึง สัญญาณที่เป็นชนิด(All Pass Phase Characteristic) ด้วยครอสโอเวอร์ธรรมดาได้เป็นสิ่งที่มีประโยชน์มากในการรับรู้โครงสร้างของวงจรครอสโอเวอร์ชนิดใหม่ๆ โดยเฉพาะอย่างยิ่งวงจรครอสโอเวอร์ที่สามารถสร้างขึ้นได้จริงในห้องทดลอง ที่มีลำโพงมาตรฐานอยู่ ซึ่งพบว่าวงจรครอสโอเวอร์จะต้องพิถีพิถันในความราบเรียบทางขนาด และอัตราการดัทออฟ การตอบสนองของเฟส และการปรับปรุงให้ดีขึ้นในด้านการตอบสนองของขั้ว เป็นจุดมุ่งหมายที่ว่าทำไมต้องมีการนำเสนอตระกูลวงจรครอสโอเวอร์ที่มีเฟสคงที่ ความชันสูงด้วยความล่าช้าทางเวลานี้ สิ่งแรกที่สำรวจเกี่ยวกับวงจรครอสโอเวอร์ธรรมดา พบว่าวงจรเหล่านี้ต้องการอัตราการดัทออฟที่มีความชันสูง การตอบสนองต่อขั้วดีเยี่ยม และการตอบสนองต่อเฟสเพียงพอที่จะยอมรับได้ และเราจะไม่พิจารณาถึงวงจรอันดับสองชนิดบัตเตอร์เวิธทั้งโลพาส และไฮพาสฟิลเตอร์(Second Order Low และ High Pass Butterworth Filter) ซึ่งไม่พบขนาดที่ราบเรียบ ตามความต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34080

2.8 วงจรครอสโอเวอร์ธรรมดาทั่วๆ ไป

วงจรครอสโอเวอร์เบื้องต้นที่เป็นวงจรอันดับหนึ่งทั้งโลพาส และไฮพาสฟิลเตอร์ประกอบด้วยความถี่เรเดียน ω_0 กล่าวคือ

$$H_L = \frac{\omega_0}{\omega_0 + S} = \frac{1}{1 + S_n} \tag{2.2}$$

$$H_H = \frac{S}{\omega_0 + S} = \frac{S_n}{1 + S_n} \tag{2.3}$$

$$H_S = H_L \pm H_H = \frac{1 \pm S_n}{1 + s_n} \tag{2.4}$$

แบบเฟสที่ไม่ตรงกัน แบบอันดับหนึ่งธรรมดาๆ โลพาส และไฮพาสจะอินเฟสกันทุกๆ ที่ (ซึ่งจะลดทอนขั้วให้เข้าใกล้ ω_n) และจะได้ความชัน 20 dB/decade (6 dB/octave) ซึ่งไม่เพียงพอในการเบี่ยงเบนของตัวขับความถี่สูง ภายใต้ความถี่ครอสโอเวอร์ เราพล็อตขนาด $M_L(\omega_n)$ และ $M_H(\omega_n)$ และ $\phi_L(\omega_n)$ และ $\phi_H(\omega_n)$ ของ H_L และ H_H ซึ่งแสดงในสมการในรูปแบบของความถี่เรเดียน $\omega_n = \frac{\omega}{\omega_0}$

2.9 แนวความคิดในการสร้างวงจร Active Phase Linear Crossover Network

ปัญหาที่เกิดขึ้นกับวงจรแอคทีฟครอสโอเวอร์เน็ทเวอร์ค (Active Crossover Network)

ปัญหาที่เกิดขึ้นกับวงจรแอคทีฟครอสโอเวอร์เน็ทเวอร์ค ซึ่งมักเกิดขึ้นกับวงจร 2 ทาง หรือ 3 ทาง ซึ่งประกอบด้วยวงจร LPF, HPF, BPF นั้น เกิดขึ้นจากความล่าช้าทางเวลาของวงจร โดยที่วงจร LPF ทำให้สัญญาณช้าลง ส่วน HPF จะทำให้สัญญาณเร็วขึ้น อันจะเป็นผลให้เกิดปัญหากับวงจรแอคทีฟครอสโอเวอร์เน็ทเวอร์คที่จุดตัด คือ

1. ทำให้สัญญาณจากสองส่วนลดสัญญาณจากอีกส่วนหนึ่งออก
2. ความแตกต่างของเฟสระหว่างสัญญาณทั้งสอง มีผลกับประสิทธิภาพของการกระจายของสัญญาณ(Radiation) ของระบบ
3. รูปแบบของการกระจายคลื่น(Radiation Pattern) จะเปลี่ยนแปลงตามความถี่

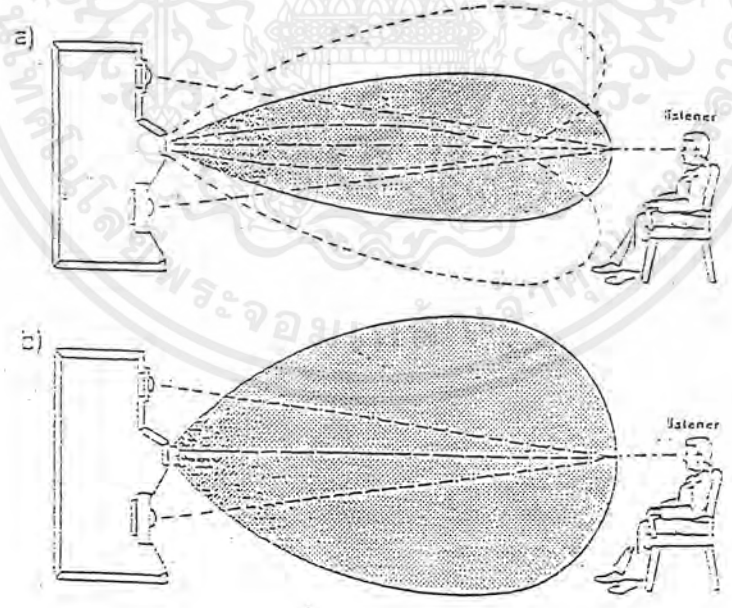
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบทความของสแตนเล่ย์ พี ลิปชิทช์ และ จอห์นแวนเดอร์คอย(Stanley Lipshiz and John Van Derlooy) เสนอแนวทางเพื่อแก้ปัญหาจากข้อบกพร่องดังกล่าว โดยใช้วงจรที่เรียกว่า เฟสลิเนียร์ครอสโอเวอร์เน็ทเวอร์ค(Phase Linear Crossover Network)

การทำให้เฟสลิเนียร์ โดยใช้วงจร LPF ที่มีความถี่ต่ำ ซึ่งสามารถทำความถี่สูงในขณะเดียวกัน ด้วยวิธีเพิ่มวงจรหน่วงเวลา และนำมาลบกันเข้าช่วย ถึงแม้วงจรหน่วงเวลา จะไม่สามารถทำความถี่ได้คงที่ตลอดย่านความถี่อย่างแน่แท้ แต่จะทำให้เกิดการเปลี่ยนแปลงที่ช้ามาก ผลที่ได้จะไม่ทำให้เกิดความแตกต่างของเฟส ระหว่างเอาท์พุทของสัญญาณทั้งสองโดยเฉพาะในย่านความถี่ที่จุดตัด(Crossover Point)

รูปแบบการแพร่กระจายคลื่นของระบบครอสโอเวอร์เน็ทเวอร์ค

รูปแบบการแพร่กระจายคลื่น ของลำโพงตามระบบครอสโอเวอร์เน็ทเวอร์คเดิม ซึ่งมีรูปแบบค่อนข้างแคบตลอดพื้นที่ ตามทิศทางของลำโพง โดยที่การกระจายรูปแบบจะเปลี่ยนแปลงตามความถี่ อันเป็นเหตุให้โลป (lobe) เงยขึ้นหรือลดลง แต่ในกรณีวงจรเฟสลิเนียร์ จะมีผลให้โลปขยายกว้างขึ้นกว่าเดิม พุ่งไปข้างหน้าตลอดย่านความถี่ เมื่อผู้ฟังอยู่กลางของแนวนอน ตามรูป a) แบบทั่ว



รูปที่ 2.5 แสดง Vertival Radiation

a) Conventional network b)Phase linear network

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไป และ b) เป็นรูปแบบการแพร่กระจายคลื่นของเฟสลิเนียร์ครอสโอเวอร์เน็ทเวอร์ค

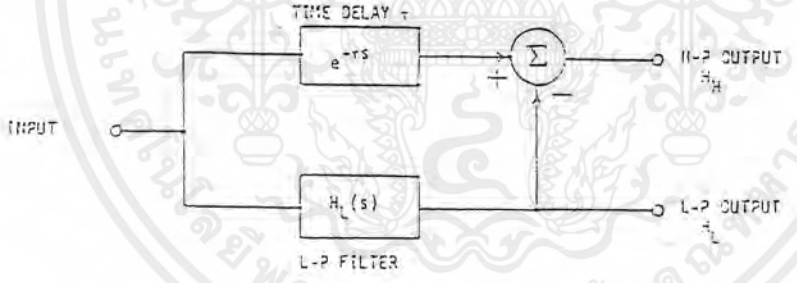
จากแนวความคิดในการสร้างวงจรเฟสลิเนียร์ดังกล่าวแล้ว ยังพบว่าปัญหาที่ต้องนำมาแก้ไข 2 ประการคือ

1. ยังมีการเลื่อนเฟสเหลืออยู่ แต่ไม่มีปัญหาในด้านสัญญาณที่ลดทอนลงตลอดย่าน
2. การเลื่อนเฟสเกิดจากตัววงจรเองมากกว่าเกิดจากวงจรกรองความถี่ที่ออกแบบถึง 2 เท่า

ดังนั้นจึง ทำให้มองเห็นว่า วงจรกรองความถี่ต่ำต้องเลือกใช้ในอันดับคู่ เช่น 2, 4, 6, ... โดยนัยนี้จึงเลือกดันดับที่ 4 เป็นวงจรกรองความถี่ ซึ่งเป็นวงจรที่ไม่ยุ่งยากมากนัก โดยใช้วงจรอันดับที่ 2 มาทำการต่อคาสเคดเข้า ทำเป็นวงจรกรองความถี่ 4 เพื่อให้ได้วงจรที่มีเฟสเดียวกัน ตามแนวคิดดังกล่าวจึงได้ผลเป็นวงจรที่มีเฟสเดียว มีความถี่ครอสโอเวอร์เน็ทเวอร์คที่จุด -6 dB ไม่มีการเลื่อนเฟสระหว่างช่วงสัญญาณ ตามภาพรูปบล็อคไดอะแกรม

2.10 ความราบเรียบทางเฟส(Phase Linearity) กับรูปแบบของวงจร

หลักการของระบบ 2 ทาง



รูปที่ 2.6 ระบบ 2 ทาง

ตามรูป 2.6 วงจรหน่วงเวลา (Time Delay Circuit) เป็นวงจรที่สำคัญที่จะช่วยให้ความราบเรียบทางเฟส เมื่อนำสัญญาณทั้งสองมารวมกันเป็นลักษณะวงจรลบ จะเป็นทำให้ได้ความถี่ 2 ทาง ตามต้องการ คือสัญญาณความถี่ต่ำ และสัญญาณความถี่สูง โดยที่วงจร LPF ในอันดับที่ 4 รับสัญญาณเข้า ผ่านสัญญาณความถี่ต่ำออกทางเอาท์พุท ขณะที่สัญญาณเข้าอีกด้านหนึ่งผ่านวงจรหน่วงเวลา ที่ออกแบบวงจรให้มีเฟสเดียวกันกับวงจร LPF และทำงานเป็นวงจรกรองความถี่ผ่านตลอด เมื่อสัญญาณผ่านวงจรหน่วงเวลาสัญญาณรวมกันจะเหลือสัญญาณเป็นสัญญาณผ่านวงจรหน่วงเวลา สัญญาณรวมกันจะเหลือสัญญาณเป็นสัญญาณของ HPF ซึ่งมีเฟสเดียวกันกับวงจร LPF

สามารถที่จะเขียนให้ออกมาอยู่ในรูปของสมการได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก $$H_L(S)+H_H(S)=1 \quad (2.5)$$

$$H_H(S)=1-H_L(S) \quad (2.6)$$

วงจรกรองความถี่ต่ำผ่านจะมีความชันสูง ซึ่งเราทราบว่าวงจรกรองความถี่ต่ำจะมีผลทำให้สัญญาณเกิดความล่าช้า เราจึงทำการชดเชยสัญญาณ เพื่อที่จะทำให้ผลรวมของวงจรมีค่าเท่ากัน การชดเชยความล่าช้าของสัญญาณทำได้โดยใช้วงจรหน่วงเวลา หรือ วงจรกรองความถี่ผ่านทั้งหมดค่าของความล่าช้า ของเวลาที่เราทำการชดเชย กำหนดให้มีค่าเท่ากับ $e^{-\tau_s}$ แทนลงในสมการ

$$H_H(S)=e^{-\tau_S}-H_L(S) \quad (2.7)$$

เราจะได้วงจรกรองความถี่สูงผ่าน โดยการลบวงจรกรองความถี่ต่ำผ่านออกจากค่าความล่าช้าของเวลา ทำให้ได้ขนาดที่สมบูรณ์และเป็นเชิงเส้น

ค่าความล่าช้าทางเวลา τ ควรจะกำหนดให้เท่ากับ 0 Hz ค่าของเฟสและกรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำผ่านคือ

$$\tau=-\lim_{\omega-0}\frac{\phi_L(\omega)}{\omega}=-d\frac{\phi_L(0)}{\omega} \quad (2.8)$$

ที่ ความล่าช้าทางเฟส (Phase Delay) $\tau_p(\omega)$ และกรุ๊ปดีเลย์ $\tau_g(\omega)$ หาได้จาก

$$\tau_P(\omega)=\frac{-\phi(\omega)}{\omega} \quad (2.9)$$

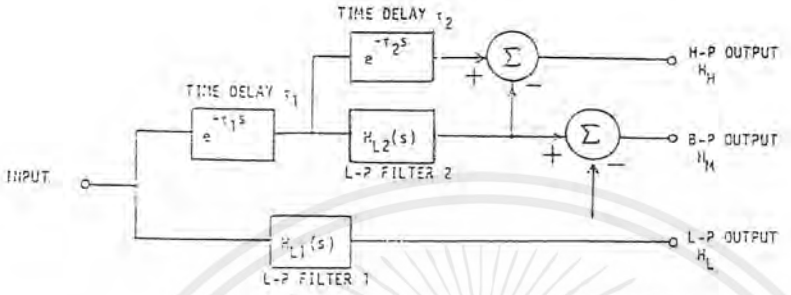
$$\tau_g(\omega)=\frac{-d\phi(\omega)}{d\omega} \quad (2.10)$$

หลักการของระบบ 3 ทาง

ในวงจร 3 ทางตามรูปที่ 2.7 ทำการออกแบบโดยวางส่วน LPF เข้าที่ตรงกลางเพื่อต้องการให้ได้สัญญาณเสียงกลาง หรือ BPF วงจรนี้ต้องชดเชย โดยวงจรหน่วงเวลา ส่วนที่ 2 ดังนั้นในวงจร 3 ทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z_1 เป็นตัวทำให้ความล่าช้าทางเวลาของ BPF มีความล่าช้าขึ้น ในขณะที่ Z_2 เป็นตัวทำให้ความล่าช้าทางเวลาของสัญญาณลักษณะ LPF ในช่วงความถี่กลาง



รูปที่ 2.7 ระบบ 3 ทาง

จากรูป เราทำการเพิ่มวงจร LPF เข้ามาอีก 1 ตัวเพื่อสร้างวงจรแบนด์พาส

$$Lowpass = H_L(S) = H_{L1}(S) \tag{2.11}$$

$$Bandpass = H_B(S) = e^{-r1s} * H_{L2}(S) - H_{L1}(S) \tag{2.12}$$

$$Highpass = H_H(S) = e^{-r1s} * \left[e^{-r2s} * -H_{L2}(S)\right] \tag{2.13}$$

หลักการโดยทั่วไปก็จะเหมือนกับของระบบ 2 ทาง โดยที่จะต้องกำหนดให้ความถี่ของ $H_{L2}(S)$ มากกว่าของ $H_{L1}(S)$ เราจะได้วงจรกรองความถี่ต่ำผ่านมีความถี่คัทออฟ เท่ากับความถี่ของวงจร $H_{L1}(S)$ และจะได้วงจรกรองความถี่สูงผ่านมีความถี่คัทออฟเท่ากับความถี่ของวงจร $H_{L2}(S)$ และจะได้วงจรกรองความถี่ผ่านเป็นช่วงมีความถี่คัทออฟเท่ากับความถี่ของวงจร $H_{L1}(S) - H_{L2}(S)$

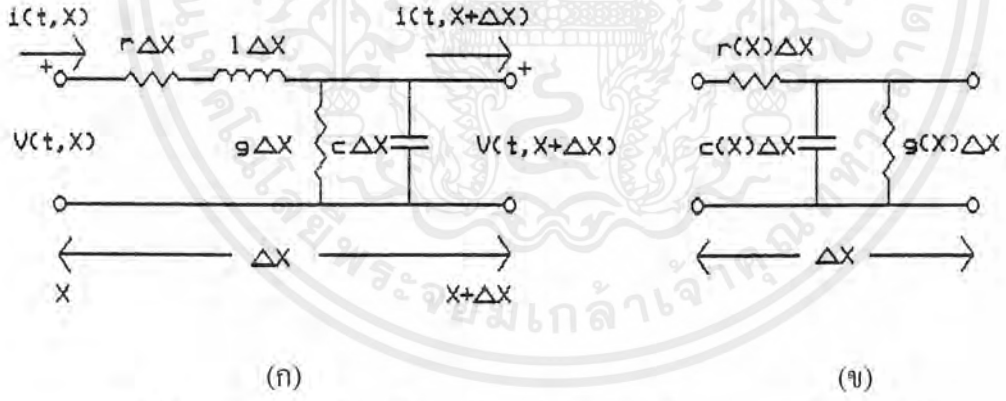
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การวิเคราะห์และการออกแบบวงจรแอคทีฟฟิลเตอร์ด้วย ยูอาร์ซี

การวิเคราะห์ค่าพารามิเตอร์ทางโครงสร้างต่างๆ และการออกแบบของวงจรแอคทีฟฟิลเตอร์ด้วยยูอาร์ซี ซึ่งการวิเคราะห์ค่าพารามิเตอร์นั้นจะทำให้เกิดความเข้าใจในการออกแบบวงจร จะนำไปซึ่งการทดสอบและการประยุกต์ใช้งานของวงจรครอสโอเวอร์เน็ทเวอร์ค เพื่อแก้ปัญหาความล่าช้าทางเวลา หรือกรุ๊ปดีเลย์ของวงจรครอสโอเวอร์เน็ทเวอร์คทั่วๆ ไป ความไม่คงที่ทางความถี่ของ วงจรลิเนียร์เฟสครอสโอเวอร์เน็ทเวอร์ค ซึ่งเป็นจุดประสงค์หลักของปริญญานิพนธ์ฉบับนี้ โดยในการวิเคราะห์ค่าพารามิเตอร์ของดีสทริบิวท์อาร์ซี นั้นใช้หลักการเดียวกับการวิเคราะห์ของสายส่ง

ส่วนของการออกแบบนั้น จะเสนอการใช้งานของวงจรกรองความถี่ต่ำผ่าน และวงจรกรองความถี่สูงผ่าน ซึ่งจะใช้ตัวยูนิฟอร์มดีสทริบิวท์อาร์ซีต่อร่วมกับออปแอมป์

3.1 การวิเคราะห์ค่าพารามิเตอร์ของดีสทริบิวท์อาร์ซี



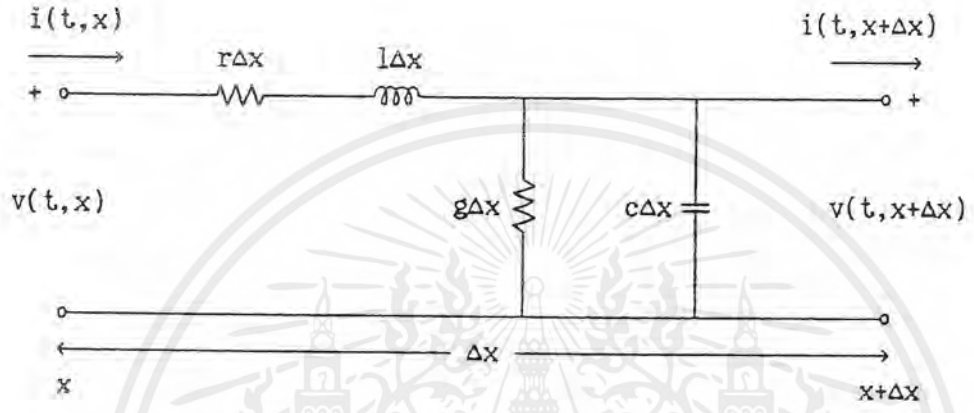
(ก) (ข)

รูปที่ 3.1 แสดงการเปรียบเทียบโครงสร้างของสายส่ง และ ดิสทริบิวท์อาร์ซี

จากรูปที่ 3.1 ซึ่งเป็นโครงสร้างของสายส่ง ที่มีค่าพารามิเตอร์อินดัคแตนซ์ L, คาปาซิแตนซ์ C, รีซิสเตอร์ R และคอนดัคแตนซ์ g กระจายอยู่ตลอดความยาวสาย ถ้าค่าพารามิเตอร์เหล่านี้ไม่มีความสัมพันธ์กับความยาวของสายจะเรียกสายส่งชนิดนี้ว่า สายส่งแบบยูนิฟอร์ม(Uniformly Transmission Line)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกันจากรูปที่ 3.1(ข) ซึ่งเป็นโครงสร้างเน็ทเวอร์ทแบบ 2 พอร์ทของดิสทริบิวท์อาร์ซี โดยจะมีลักษณะโครงสร้างเหมือนกับโครงสร้างของสายส่ง รูปที่ 3.1 (ก) ขณะที่ค่าของความนำ g นั้นมีค่าน้อยมากๆ จนสามารถตัดทิ้งได้ คือค่า g เป็นศูนย์ ก็จะได้เน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี ดังรูปที่ 3.2

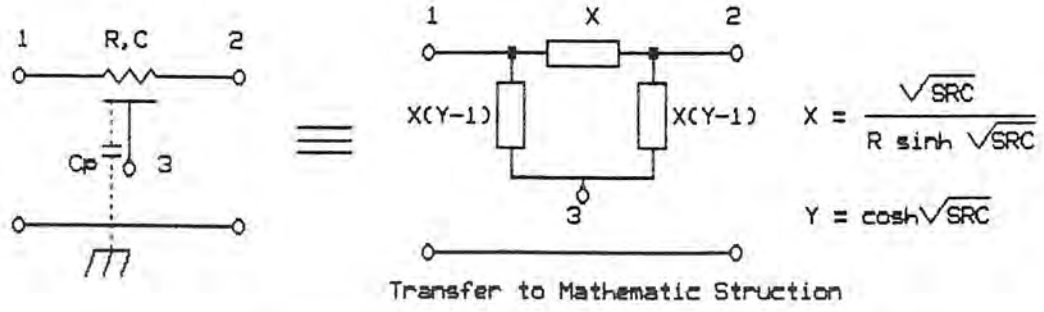


รูปที่ 3.2 โครงสร้างของดิสทริบิวท์อาร์ซี เมื่อค่าความนำ g มีค่าน้อยมากๆ

ถ้าค่าของรีซีสแตนซ์ r และคาปาซิแตนซ์ c ไม่แปรเปลี่ยนไปตามความยาวของ X ก็จะเป็นแบบยูนิฟอร์มดิสทริบิวท์อาร์ซี เช่นเดียวกับสายส่ง แต่ถ้าแปรเปลี่ยนตามความยาวของ X ก็จะเป็นแบบนอนยูนิฟอร์มดิสทริบิวท์อาร์ซี

สำหรับการวิเคราะห์เน็ทเวอร์ทแบบดิสทริบิวท์อาร์ซี นั้นจะใช้ตัวยูนิฟอร์มดิสทริบิวท์อาร์ซีแบบ 3 พอร์ท มาทำการวิเคราะห์ค่าพารามิเตอร์ จากรูปที่ 3.3 (ก) จะแสดงสัญลักษณ์ทางไฟฟ้า และเพื่อง่ายต่อการวิเคราะห์ จะทำการแปลงสัญลักษณ์ทางไฟฟ้ามาเป็นสัญลักษณ์ทางคณิตศาสตร์ รูปที่ 3.3 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) สัญลักษณ์ทางไฟฟ้า (ข) สัญลักษณ์ทางคณิตศาสตร์

รูปที่ 3.3 แสดงสัญลักษณ์ทางไฟฟ้า และสัญลักษณ์ทางคณิตศาสตร์

3.2 การวิเคราะห์ทางคณิตศาสตร์เพื่อหาค่าพารามิเตอร์

โดยอาศัยหลักการ Floating Matrix เพื่อทำการหาค่าแอดมิตแตนซ์พารามิเตอร์ $[Y_{ij}]$ ของยูนิฟอร์มดิสทริบิวท์อาร์ซี ซึ่งสามารถกระทำได้ดังนี้ เปลี่ยนสัญลักษณ์ทางไฟฟ้าเป็นสัญลักษณ์ทางคณิตศาสตร์ ดังรูป 3.3(ข)

จากเน็ทเวอร์ทของยูนิฟอร์มดิสทริบิวท์อาร์ซีโดยใช้ Floating Matrix ทำการหาค่าแอดมิตแตนซ์พารามิเตอร์ จะได้

$$\begin{bmatrix} I1 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} XY & -X & -X(Y-1) \\ -X & XY & -X(Y-1) \\ -X(Y-1) & -X(Y-1) & 2X(Y-1) \end{bmatrix} \begin{bmatrix} V1 \\ V2 \\ V3 \end{bmatrix} \tag{3.1}$$

$$= X \begin{bmatrix} Y & -1 & -(Y-1) \\ -1 & Y & -(Y-1) \\ -(Y-1) & -(Y-1) & 2(Y-1) \end{bmatrix} \tag{3.2}$$

เมื่อแทนค่า $X = \dfrac{\sqrt{SRC}}{R\sinh\sqrt{SRC}}$ และ $Y = \cosh\sqrt{SRC}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(หมายเหตุ ค่าX และY ที่ถูกกำหนดนี้มาจากการวิเคราะห์ทางโครงสร้างแบบลัมด์อิลิเม็นท์เช่นเดียวกับการสายส่ง) ดังนั้นจะได้แอดมิตแตนซ์พารามิเตอร์ของเน็ทเวอร์ทแบบยูนิฟอร์มดิสทริบิวท์อาร์ซี คือ

$$[Y_{ij}]=\frac{\sqrt{SRC}}{R\sinh\sqrt{SRC}}\begin{bmatrix}\cos\sqrt{SRC} & -1 & 1-\cosh\sqrt{SRC}\\ -1 & \cosh\sqrt{SRC} & 1-\cosh\sqrt{SRC}\\ 1-\cosh\sqrt{SRC} & 1-\cosh\sqrt{SRC} & 2(\cosh\sqrt{SRC}-1)\end{bmatrix} \tag{3.3}$$

เมื่อ R และC นั้นเป็นค่าผลรวมของรีซีสแตนซ์ และคาปาซิสแตนซ์ของตัวยูนิฟอร์มดิสทริบิวท์อาร์ซี ตามลำดับ และ S เป็นตัวแปรความถี่เชิงซ้อน(Complex-Frequency Variable) เนื่องจากการแปลงสัญลักษณ์ทางไฟฟ้าในรูปที่ 3.3 (ก) ไปเป็นสัญลักษณ์ทางคณิตศาสตร์ในรูปที่ 3.3 (ข) จะทำให้ง่ายต่อการวิเคราะห์และการออกแบบ เพื่อที่จะเอาตัว ยูอาร์ซี ไปใช้งานได้สะดวกมากขึ้น

ในทำนองเดียวกัน เมื่อใช้หลักการดังกล่าวข้างต้นมาทำการวิเคราะห์ เพื่อหาค่าพารามิเตอร์เน็ทเวอร์คของยูนิฟอร์มดิสทริบิวท์อาร์ซีแบบ 2 พอร์ท ซึ่งจะนำไปใช้ในการออกแบบวงจรตอนต่อไป

จากรูปเมื่อแปลงสัญลักษณ์ทางไฟฟ้าเป็นสัญลักษณ์เพื่อการวิเคราะห์ทางพีชคณิตแล้วอาศัยหลักการดังกล่าวจะได้

$$\begin{bmatrix}I1\\0\end{bmatrix}=\begin{bmatrix}XY & -X\\ -X & XY\end{bmatrix} \tag{3.4}$$

$$=X\begin{bmatrix}Y & -1\\ -1 & Y\end{bmatrix} \tag{3.5}$$

เมื่อแทนค่าของ $X=\dfrac{\sqrt{SRC}}{\left(S\sinh\sqrt{SRC}\right)}\begin{bmatrix}\cosh\sqrt{SRC} & -1\\ -1 & \cosh\sqrt{SRC}\end{bmatrix}$ และ $Y=\cosh\sqrt{SRC}$ จะได้แอดมิตแตนซ์พารามิเตอร์ $[Y_{ij}]$

$$[Y]=\frac{\sqrt{SRC}}{R\sinh\sqrt{SRC}}\begin{bmatrix}\cosh\sqrt{SRC} & -1\\ -1 & \cosh\sqrt{SRC}\end{bmatrix} \tag{3.6}$$

ส่วนการหาพารามิเตอร์แบบอื่นของเน็ทเวอร์คสามารถใช้ตารางที่ 3.1 ช่วยในการแปลงค่าพารามิเตอร์ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ตารางการแปลง 2-Port พารามิเตอร์

8 UNIFORMLY DISTRIBUTED SYSTEMS AND PASSIVE INTEGRATED CIRCUITS

Table 1-1 CONVERSION OF TWO-PORT MATRIX PARAMETERS*

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} = \begin{bmatrix} \mathcal{A} & \mathcal{B} \\ \mathcal{C} & \mathcal{D} \end{bmatrix} \begin{bmatrix} V_1 \\ -I_1 \end{bmatrix}$$

$[z_{ij}]$	z_{11}	z_{12}	$\frac{y_{22}}{\Delta_y}$	$-\frac{y_{12}}{\Delta_y}$	$\frac{A}{C}$	$\frac{\Delta_A}{C}$	$\frac{\mathcal{D}}{\mathcal{C}}$	$\frac{1}{\mathcal{C}}$
	z_{21}	z_{22}	$-\frac{y_{21}}{\Delta_y}$	$\frac{y_{11}}{\Delta_y}$	$\frac{1}{C}$	$\frac{D}{C}$	$\frac{\Delta_{\mathcal{A}}}{\mathcal{C}}$	$\frac{\mathcal{A}}{\mathcal{C}}$
$[y_{ij}]$	$\frac{z_{22}}{\Delta_z}$	$-\frac{z_{12}}{\Delta_z}$	y_{11}	y_{12}	$\frac{D}{B}$	$-\frac{\Delta_A}{B}$	$\frac{\mathcal{A}}{\mathcal{B}}$	$-\frac{1}{\mathcal{B}}$
	$-\frac{z_{21}}{\Delta_z}$	$\frac{z_{11}}{\Delta_z}$	y_{21}	y_{22}	$-\frac{1}{B}$	$\frac{A}{B}$	$-\frac{\Delta_{\mathcal{A}}}{\mathcal{B}}$	$\frac{\mathcal{D}}{\mathcal{B}}$
$\begin{bmatrix} A & B \\ C & D \end{bmatrix}$	$\frac{z_{11}}{z_{21}}$	$\frac{\Delta_z}{z_{21}}$	$-\frac{y_{22}}{y_{21}}$	$-\frac{1}{y_{21}}$	A	B	$\frac{\mathcal{D}}{\Delta_{\mathcal{A}}}$	$\frac{\mathcal{B}}{\Delta_{\mathcal{A}}}$
	$\frac{1}{z_{21}}$	$\frac{z_{22}}{z_{21}}$	$-\frac{\Delta_y}{y_{21}}$	$-\frac{y_{11}}{y_{21}}$	C	D	$\frac{\mathcal{C}}{\Delta_{\mathcal{A}}}$	$\frac{\mathcal{A}}{\Delta_{\mathcal{A}}}$
$\begin{bmatrix} \mathcal{A} & \mathcal{B} \\ \mathcal{C} & \mathcal{D} \end{bmatrix}$	$\frac{z_{22}}{z_{12}}$	$\frac{\Delta_z}{z_{12}}$	$-\frac{y_{11}}{y_{12}}$	$-\frac{1}{y_{12}}$	$\frac{D}{\Delta_A}$	$\frac{B}{\Delta_A}$	$\mathcal{A}$	$\mathcal{B}$
	$\frac{1}{z_{12}}$	$\frac{z_{11}}{z_{12}}$	$-\frac{\Delta_y}{y_{12}}$	$-\frac{y_{22}}{y_{12}}$	$\frac{C}{\Delta_A}$	$\frac{A}{\Delta_A}$	$\mathcal{C}$	$\mathcal{D}$

* All matrices appearing in the same row in the table are equivalent; for example, $z_{11} = A/C$. Δ is the matrix determinant; for example, $\Delta_z = z_{11}z_{22} - z_{12}z_{21}$. For a reciprocal network, $z_{12} = z_{21}$, and so forth. For a symmetrical network, $z_{11} = z_{22}$, and so forth.

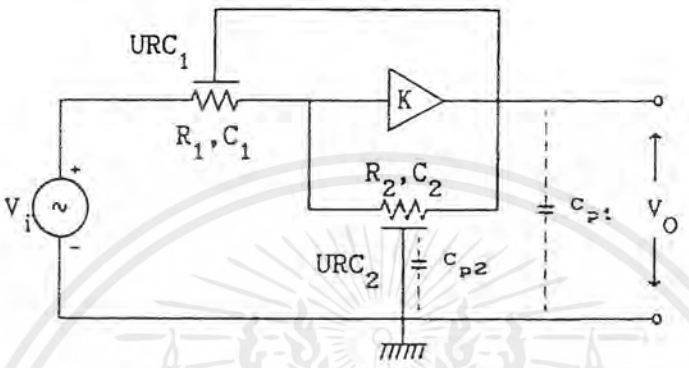
ส่วนของการออกแบบวงจรกรองความถี่ต่ำและความถี่สูง นั้นจะมีการหาค่าความไว (Sensitivity) ค่ามุมเฟส(Phase) และกรุ๊ปดีเลย์(Group Delay) ของแต่ละวงจร ซึ่งจะทำให้ทราบถึงคุณสมบัติของวงจรที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรกรองความถี่ต่ำแอคทีฟดิสทริบิวท์ อาร์ซี

1. วงจรกรองความถี่ต่ำแบบแอคทีฟดิสทริบิวท์อาซี แบบที่ 1

สามารถเขียนเป็นวงจรได้ดังที่แสดงในรูปที่ 3.4



รูปที่ 3.4 วงจรกรองความถี่ต่ำผ่าน

ในการหาทรานส์เฟอร์ฟังก์ชัน (Transfer Function) ของวงจรในรูปที่ 3.4 จำเป็นต้องแปลงรูปวงจรให้อยู่ในรูปทางคณิตศาสตร์ เหมือนดังรูปที่ 3.3 เพื่อให้ง่ายต่อการหาทรานส์เฟอร์ฟังก์ชัน ซึ่งมีวิธีการหาดังต่อไปนี้

$$\begin{vmatrix} I \\ 0 \\ 0 \end{vmatrix} = \begin{vmatrix} X_1Y_1 & -X_1 & -X_1(Y_1-1) \\ -X_1 & X_1Y_1+X_2Y_2 & -X_1(Y_1-1)-X_2 \\ -X_1(Y_1-1) & -X_1(Y_1-1)-X_2 & 2X_1(Y_1-1) \end{vmatrix} \begin{vmatrix} V \\ V_2 \\ V_3 \end{vmatrix} \qquad (3.7)$$

โดยที่ $X_i = \dfrac{P_i}{R_i \sinh P_i}, Y_i = \cosh P_i$ และK เป็นเกนการขยาย

จากสมการ 3.7 จะได้

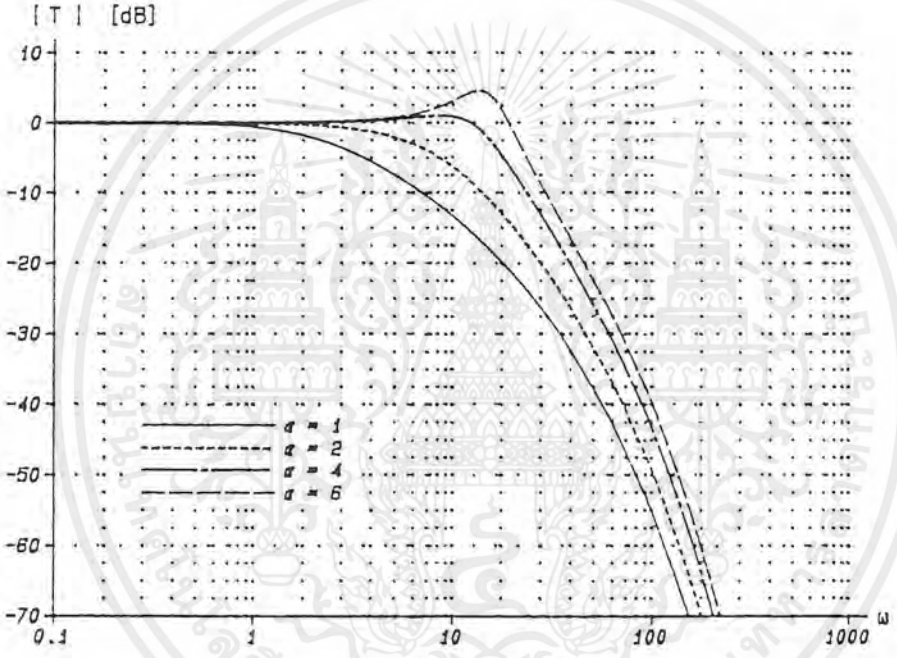
$$T(p) = \frac{k \sinh P\sqrt{SR_2C_2}}{\sinh \sqrt{SR_2C_2}\left[\cosh \sqrt{SR_1C_1}(1-k)+k\right]+\dfrac{\sqrt{R_2C_2}}{\sqrt{R_1C_1}}\dfrac{R_1}{R_2}\sinh \sqrt{SR_1C_1}\cosh \sqrt{SR_2C_2}-k)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนดให้ $P_1 = P_2 = P$ และ $\frac{R_2}{R_1} = \frac{C_1}{C_2} = \alpha$ จะได้ทรานส์เฟอร์ฟังก์ชัน

$$T(P) = \frac{\alpha K}{\cosh P(1+\alpha-\alpha K) + K(\alpha-1)} \tag{3.9}$$

จากทรานส์เฟอร์ฟังก์ชันแบบเต็มรูปแบบถ้าสมมุติให้ $\alpha = 1,2,4,6$ เมื่อนำไปหาผลทางขนาดต่อความถี่ ได้ดังรูปที่ 3.5



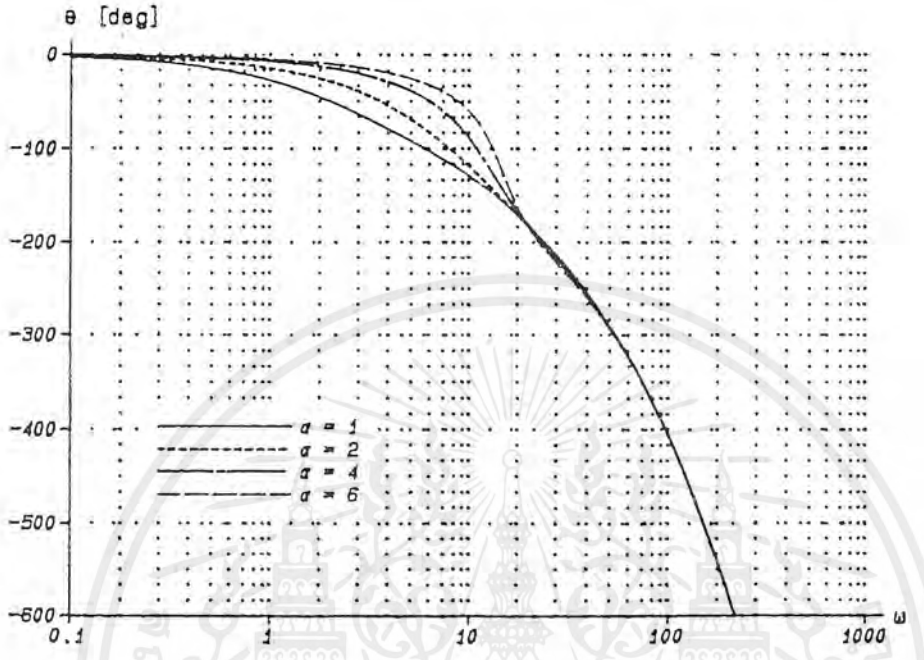
รูปที่ 3.5 แสดงผลตอบสนองทางขนาด

จากทรานส์เฟอร์ฟังก์ชัน ถ้ากำหนดให้ K=1 α=1, 2, 3 และ 4 เมื่อนำไปหาผลตอบสนองทางขนาดต่อความถี่(Magnitude Response) ได้ดังรูปที่ 3.5 ซึ่งจะเห็นได้ว่า เมื่อปรับค่า α จะทำให้ผลการตอบสนองทางขนาดเปลี่ยนแปลง กล่าวคือ เมื่อค่า α เพิ่มขึ้น จะทำให้ผลการตอบสนองทางขนาดมีความชันมากขึ้นในย่านคัทออฟ และเมื่อ α มีค่ามากกว่า 4 จะทำให้ช่วงที่ความถี่สามารถผ่านไปได้นั้น เกิดริบเปิ้ล

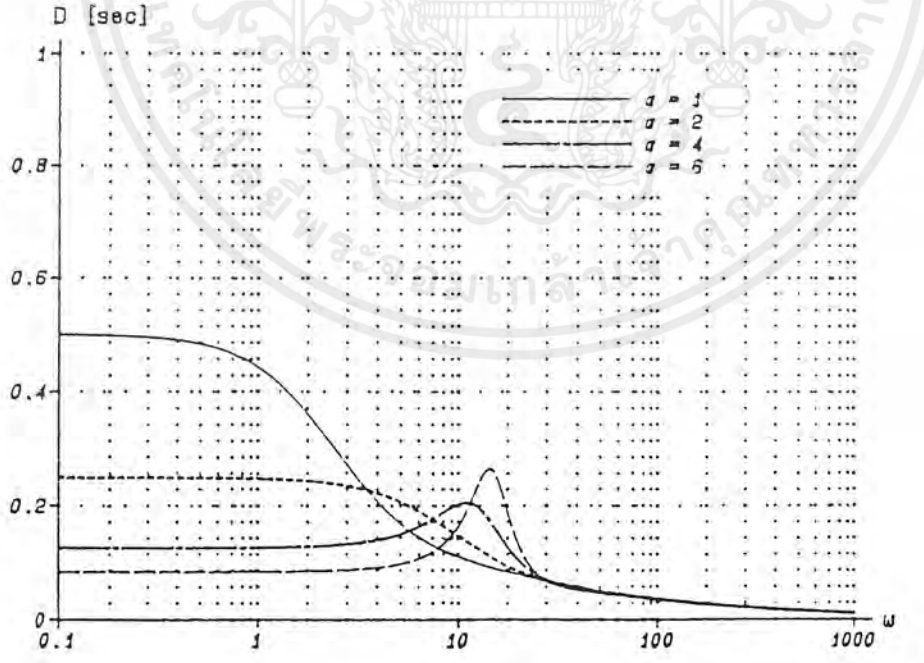
และจากทรานส์เฟอร์ฟังก์ชัน สามารถนำมาหาผลตอบสนองทางเฟสต่อความถี่ได้

จาก $$\phi = \tan^{-1}\frac{\mathrm{Re}(T(P))}{\mathrm{Im}(T(P))} \tag{3.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงผลการตอบสนองทางเฟส



รูปที่ 3.7 แสดงผลการตอบสนองของกรุ๊ปดีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $\mathrm{Re}(T(P))$ เป็นเลขจำนวนจริงของทรานส์เฟอร์ฟังก์ชัน

$\mathrm{Im}(T(P))$ เป็นเลขจำนวนจินตภาพของทรานส์เฟอร์ฟังก์ชัน

ฉะนั้นจะต้องจัดทรานส์เฟอร์ฟังก์ชันใหม่ โดยที่

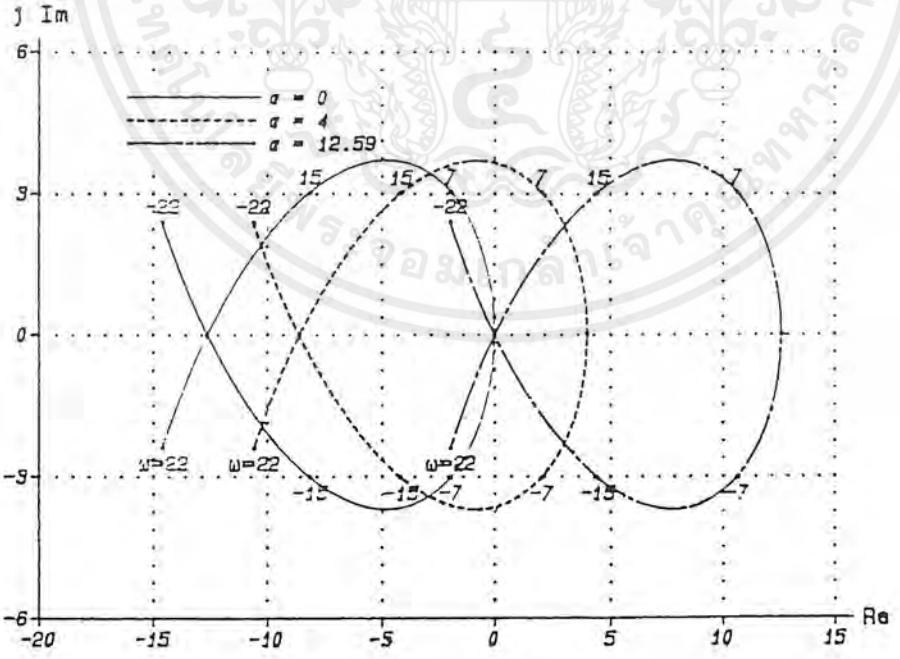
$$\cosh P = \cosh(t + jt) \tag{3.11}$$

เมื่อ $P = \sqrt{j\omega RC}, t + jt = \sqrt{\frac{\omega RC}{2}} + j\sqrt{\frac{\omega RC}{2}}$ แล้ว $t = \sqrt{\frac{\omega RC}{2}}$

จะได้ $$\cosh P = \cosh t \cos t + j \sinh t \sin t$$

แทนค่า $\cosh P$ ในสมการที่ 3.9 จะได้

$$T(P) = \frac{\alpha K}{K(\alpha - 1) + (1 + \alpha - \alpha K)\cosh t \cos t + j(1 + \alpha - \alpha K)\sinh t \sin t} \tag{3.12}$$



รูปที่ 3.8 แสดงไนควิสท์ไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 3.12 ทำการจัดแยกสมการเป็นจำนวนจริง กับ จำนวนจินตภาพ แล้วนำไปแทนค่าในสมการที่ 3.10 เพื่อหาค่ามุมเฟสของวงจร ซึ่งแสดงดังรูปที่ 3.6

$$\phi = -\tan^{-1}\left(\frac{K(\alpha-1)+(1+\alpha-\alpha K)\cosh t\cos t}{(1+\alpha-\alpha K)\sinh t\sin t}\right) \tag{3.13}$$

จากรูปที่ 3.7 แสดงกรุ๊ปดีเลย์ของวงจร ซึ่งสามารถคำนวณได้โดย

$$\tau(g) = \frac{d\phi(\omega)}{d\omega} \tag{3.14}$$

$$\tau(g) = \frac{Kt\left(\csc ht\csc t(\cot t+\coth t)+\coth t\csc^2 t+\cot t\csc h^2 t\right)}{2\omega\left(\frac{K(\alpha-1)}{(1+\alpha-\alpha K)}\csc h^2 t\csc^2 t+2\csc ht\csc t\coth t\cot t+\left(\frac{(1+\alpha-\alpha K)}{K(\alpha-1)}\right)\coth^2 t\cot^2 t\right)}$$

จากรูปจะเห็นได้ว่า α ที่มีค่าต่ำ จะทำให้ผลการตอบสนองของกรุ๊ปดีเลย์มีลักษณะที่ราบเรียบกว่า α ค่าสูง

คุณลักษณะของวงจรที่จะเสถียรภาพนั้น จะพิจารณาที่รากของตัวส่วน(Denominator) ของทรานส์เฟอร์ฟังก์ชัน เมื่อนำไปพล็อตกราฟจะต้องอยู่ในครึ่งซ้ายของ S-Plane ซึ่งสามารถหาเสถียรภาพของระบบด้วยวิธีไนควิสท์ไดอะแกรม(Nyquist Diagram) โดยกำหนด

$$D(p) = \mathrm{Re} + j\,\mathrm{Im} \tag{3.15}$$

เมื่อ $D(p)$ เป็นโพลิโนเมียลของตัวส่วน

$$D(p) = K(\alpha-1)+(1+\alpha-\alpha K)\cosh t\cos t + j(1+\alpha-\alpha K)\sinh t\sin t \tag{3.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยระบบจะเสถียรภาพ เมื่อจุดศูนย์กลาง(Origin) ใน $D(p)$ -Plane ถูกปิดล้อมด้วยเส้นทางของไนควิสท์ ดังรูปที่ 3.8 ซึ่งจะเห็นได้ว่าที่ α มีค่ามากกว่า 12.59 เส้นทางเดินของไนควิสท์จะลากผ่านและอยู่ภายนอกจุดศูนย์กลาง ในกรณีนี้ระบบจะไม่เสถียรภาพ วงจรกรองความถี่ในรูปที่ 3.4 ถ้ากำหนดให้ K=1 วงจรจะมีเสถียรภาพเมื่อ กำหนดให้ α อยู่ในช่วง 0 ถึง 12.59

ผลการตอบสนองทางความถี่ของวงจรต่างๆ นั้นอาจมีการเปลี่ยนแปลงได้ ซึ่งขึ้นอยู่กับค่าความไว(Sensitivity) ของอุปกรณ์ต่างๆ ที่ใช้ เมื่อค่าความไวของอุปกรณ์มีค่าสูงก็จะทำให้มีความคลาดเคลื่อนได้ ฉะนั้นวงจรที่ดีจึงควรมีค่าความไวของตัวอุปกรณ์ที่ต่ำ จากวงจรรูปที่ 3.4 สามารถหาค่าความไวจากทรานส์ฟังก์ชันของวงจรได้ด้วยสูตรข้างล่างนี้

$$S_{X_i}^{T(p)} = X_i\left(\frac{N'(S)}{N(S)} - \frac{D'(S)}{D(S)}\right) \tag{3.17}$$

เมื่อ $N(S)$ เป็นโพลิโนเมียลตัวเศษของทรานส์เฟอร์ฟังก์ชัน

$D(S)$ เป็นโพลิโนเมียลตัวส่วนของทรานส์เฟอร์ฟังก์ชัน

X_i แทนค่าของอิลิเม้นแต่ละตัวในวงจร

และ $N'(S) = \frac{dN(S)}{dX_i}, D'(S) = \frac{dD(S)}{dX_i}$

จากทรานส์เฟอร์ฟังก์ชัน และจากสมการความไว จะได้ความไวของ R_1, R_2, C_1, C_2 ว่า

$$S_{R_1}^{T(P)} = \frac{-1}{2}\left(\frac{\alpha(P\sinh P(1-K)) + (\cosh P - K)(1 + P\coth P)}{cohP(1+\alpha-\alpha K) + K(\alpha-1)}\right) \tag{3.18}$$

ที่ K=1

$$S_{R_1}^{T(P)} = \frac{-1}{2}\left(\frac{(\cosh P - 1)(1 + P\coth P)}{cohP + \alpha - 1}\right) \tag{3.19}$$

$$S_{C_1}^{T(P)} = \frac{-1}{2}\left(\frac{\alpha(P\sinh P(1-K)) + (\cosh P - K)(P\coth P - 1)}{cohP(1+\alpha-\alpha K) + K(\alpha-1)}\right) \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ K=1

$$S_{C_1}^{T(P)} = \frac{-1}{2}\left(\frac{(\cosh P - 1)(P\coth P - 1)}{cohP + \alpha - 1}\right) \tag{3.21}$$

$$S_{R_2}^{T(P)} = \frac{-1}{2}\left(P\coth P - \frac{\alpha P\coth P(\cosh P(1-K)+K)+P\sinh P-\cosh P+K}{cohP(1+\alpha-\alpha K)+K(\alpha-1)}\right) \tag{3.22}$$

ที่ K=1

$$S_{R_2}^{T(P)} = \frac{-1}{2}\left(P\coth P - \frac{P\sinh P-\cosh P+1}{cohP+\alpha-1}\right) \tag{3.23}$$

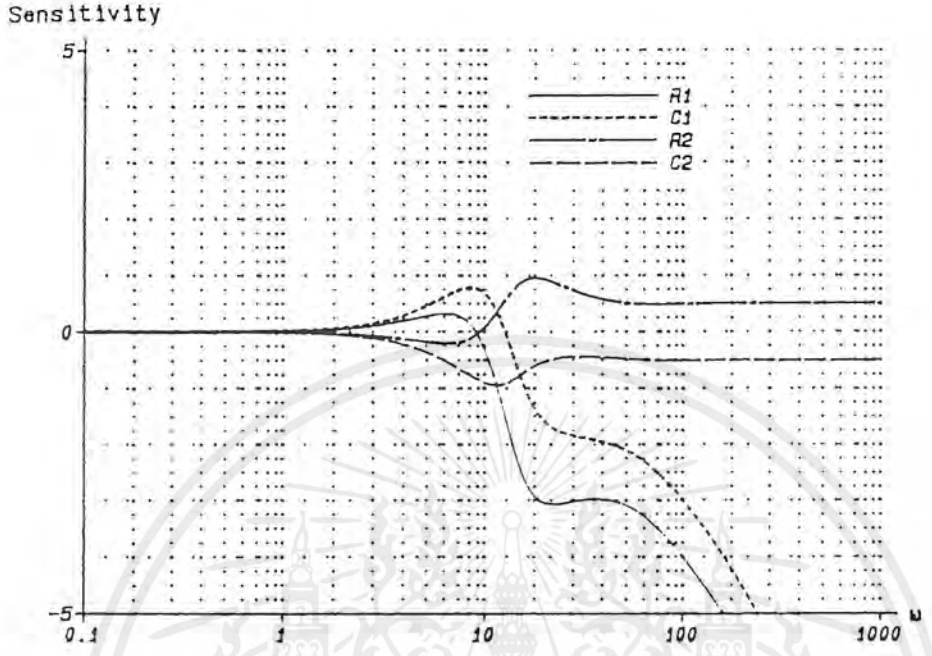
$$S_{C_2}^{T(P)} = \frac{-1}{2}\left(P\coth P - \frac{\alpha P\coth P(\cosh P(1-K)+K)+P\sinh P+\cosh P-K}{cohP(1+\alpha-\alpha K)+K(\alpha-1)}\right) \tag{3.24}$$

ที่ K=1

$$S_{R_2}^{T(P)} = \frac{-1}{2}\left(P\coth P - \frac{P\sinh P+\cosh P-1}{cohP+\alpha-1}\right) \tag{3.25}$$

เพื่อง่ายการยกตัวอย่าง จึงได้มีการกำหนดให้ K= 1 เสมอ ซึ่งจะได้ค่าความไวของตัวอุปกรณ์ต่างๆ ดังสมการที่ 3.19, 3.21, 3.23 และ 3.25 ถ้ากำหนดให้ α=K จะได้ค่าความไวของตัวอุปกรณ์ดังรูปที่ 3.9 ซึ่งจะเห็นได้ว่า ช่วงความถี่ต่ำย่านพาสแบนด์ ค่าความไวจะมีค่าต่ำ โดยที่ ω=0 ค่าความไวจะเป็นศูนย์ และที่ช่วงความถี่สูงย่านสต๊อปแบนด์ ค่าความไวของ R_2, C_2 จะมีค่าต่ำกว่าค่าความไวของ R_1, C_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



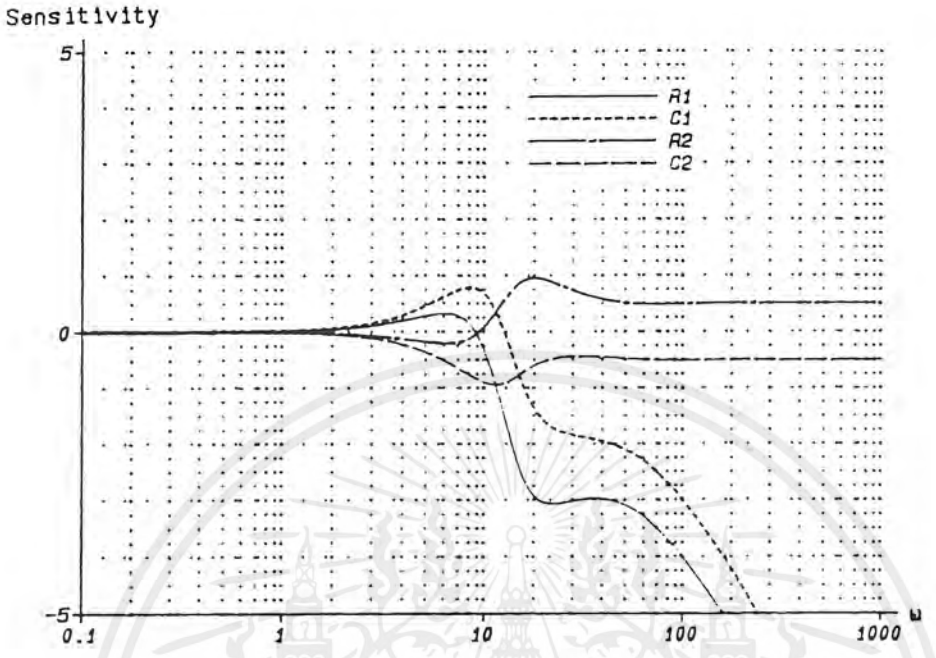
รูปที่ 3.9 แสดงเซ็นติวิตี้ของอุปกรณ์ R_1, C_1, R_2, C_2

และค่าความไวของอิลิเม้นท์ K ก็สามารถหาได้ โดย K=1 จะได้ค่าความไวของอิลิเม้นท์ K คือ

$$S_K^{T(P)} = \left(\frac{(\alpha+1)\cosh P}{cohP + \alpha - 1} \right) \tag{3.26}$$

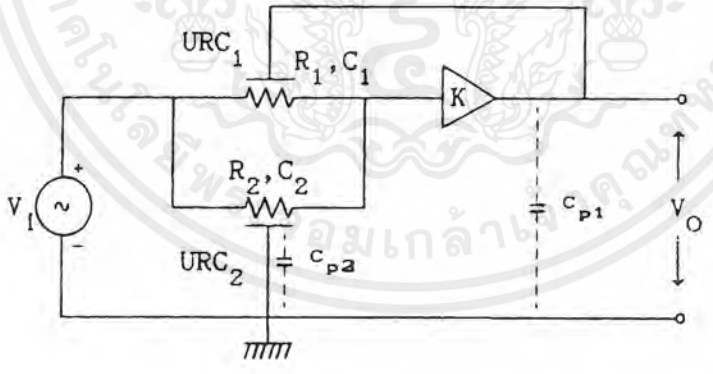
จากสมการ 3.26 ถ้าให้ $\alpha = 1,2,3,4$ จะได้ค่าความไวของ K แสดงดังรูปที่ 3.10 ซึ่งจะเห็นได้ว่าในช่วงความถี่ต่ำย่านพาสแบนด์ ค่าความไวของ K จะมีค่าเท่ากับ $(\alpha+1)/\alpha$ และในช่วงความถี่สูงย่านสต๊อปแบนด์ ค่าความไวของ K จะมีค่าเท่ากับ $\alpha+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงเซ็นติวิตี้ของอุปกรณ์ K

2. วงจรกรองความถี่ต่ำแบบแอคทีฟดิสทริบิวท์อาซี แบบที่ 2



รูปที่ 3.11 วงจรกรองความถี่ต่ำแบบแอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 2

จากวงจรรูปที่ 3.11 เขียนเป็นทรานส์เฟอร์ฟังก์ชันได้คือ

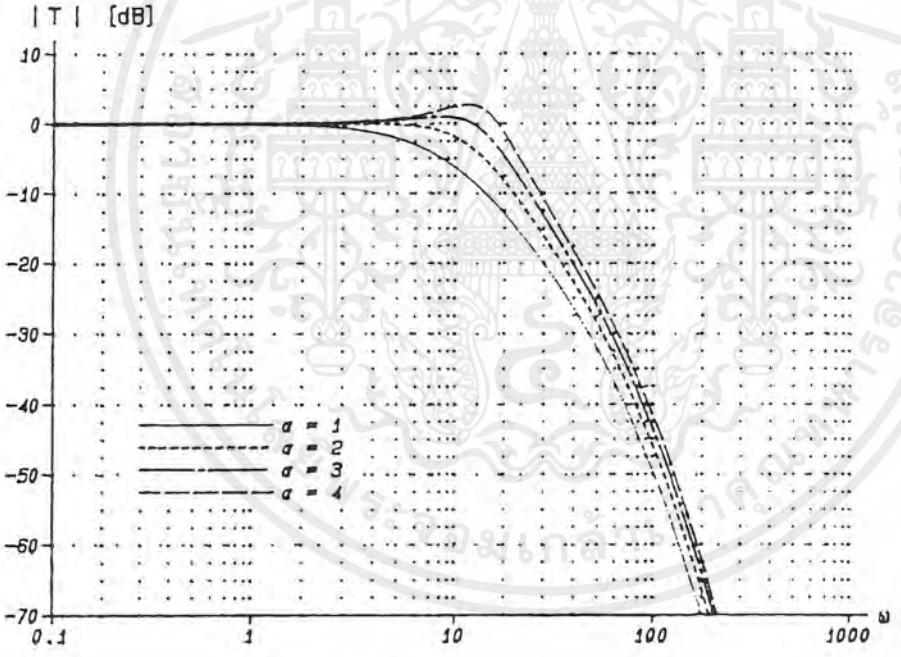
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T(P)=\frac{\dfrac{P_1}{R_1\sinh P_1}+\dfrac{P_2}{R_2\sinh P_2}}{\dfrac{1}{K}\left(\dfrac{P_1\cosh P_1}{R_1\sinh P_1}+\dfrac{P_2\cosh P_2}{R_2\sinh P_2}\right)-\dfrac{P_1(\cosh P_1-1)}{R_1\sinh P_1}} \qquad (3.27)$$

ถ้ากำหนดให้ $P_1=P_2=P$ และ $K=1$ จะได้

$$T(P)=\frac{\alpha+1}{\cosh P+\alpha} \qquad (3.28)$$

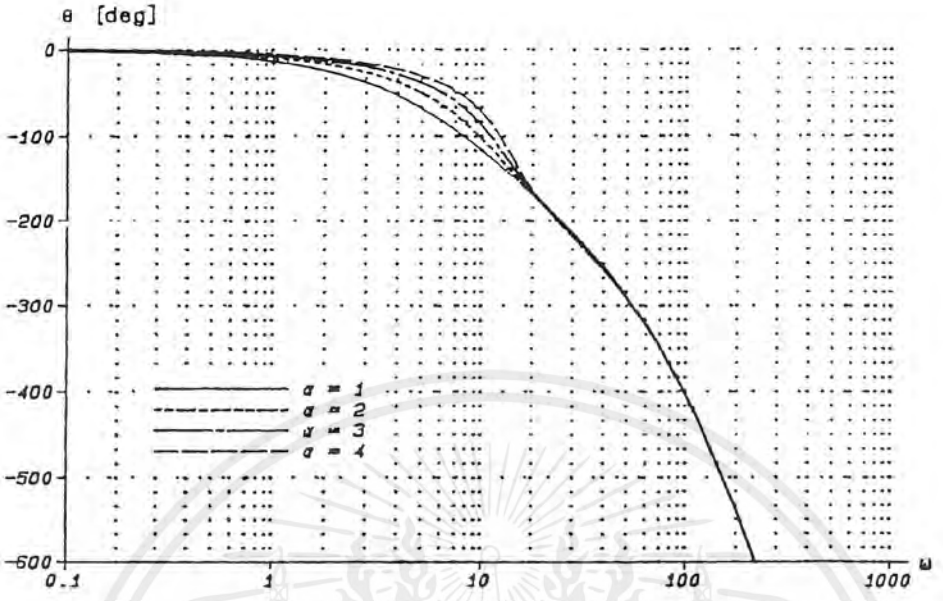
จากทรานส์เฟอร์ฟังก์ชันในสมการที่ 3.27 ถ้ากำหนดให้ K=1 α=1, 2, 3 และ 4 เมื่อนำไปหาผลตอบสนองทางขนาดต่อความถี่ จะได้ดังรูปที่ 3.12 ซึ่งจะเห็นได้ว่า เมื่อค่า α เพิ่มขึ้น จะทำให้



รูปที่ 3.12 แสดงผลการตอบสนองทางขนาด

ผลการตอบสนองทางขนาดมีความชันมากขึ้นในย่านคัทออฟ และเมื่อ α มีค่ามากกว่า 2 จะทำให้ช่วงที่ความถี่สามารถผ่านไปได้นั้น เกิดริบเปิ้ล และเมื่อนำไปหาค่าผลตอบสนองทางเฟส กรุ๊ปดีเลย์ ได้ดังรูปที่ 3.13 และรูปที่ 3.14 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงผลการตอบสนองทางเฟส

ค่าความไวของอิลิเม้นท์ R_1, R_2, C_1, C_2 มีวิธีการหาได้เหมือนกับวงจรในรูปที่ 3.4 ซึ่งจะได้ค่าความไวของอิลิเม้นท์ ดังนี้

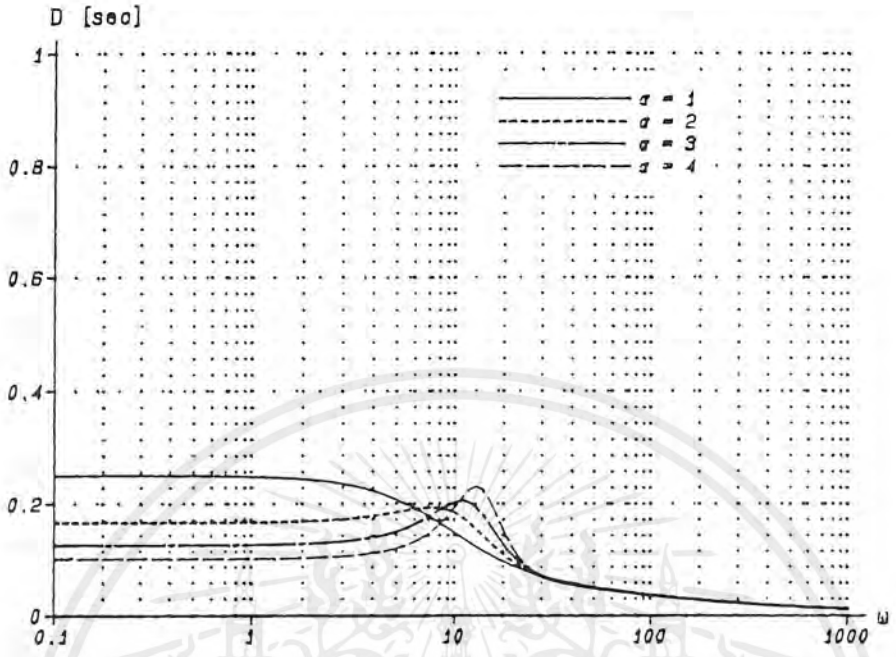
$$S_{R_1}^{T(P)} = \frac{1}{2}\left(\frac{P\coth P+1}{\alpha+1} - \frac{\cosh P\left(P\coth P+1\right)}{\alpha+\cosh P}\right) \tag{3.29}$$

$$S_{C_1}^{T(P)} = \frac{1}{2}\left(\frac{P\coth P-1}{\alpha+1} - \frac{\cosh P\left(P\coth P-1\right)}{\alpha+\cosh P}\right) \tag{3.30}$$

$$S_{R_2}^{T(P)} = \frac{1}{2}\left(\frac{\alpha P\coth P-1}{\alpha+1} - \frac{\alpha P\coth P+P\sinh P-\cosh P}{\alpha+\cosh P}\right) \tag{3.31}$$

$$S_{C_2}^{T(P)} = \frac{1}{2}\left(\frac{\alpha P\coth P+1}{\alpha+1} - \frac{\alpha P\coth P+P\sinh P+\cosh P}{\alpha+\cosh P}\right) \tag{3.32}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงผลการตอบสนองทางกรุ๊ปดีเลย์

จากสมการที่ 3.29-3.32 ถ้าให้ $\alpha = 4$ จะได้ค่าความไวของตัวอุปกรณ์ดังรูปที่ 3.15 และค่าความไวของอิลิเม้นต์ K เมื่อให้ $K = 1$ จะได้

$$S_K^{T(P)} = \frac{(\alpha+1)\cosh P}{\cosh P + \alpha} \tag{3.33}$$

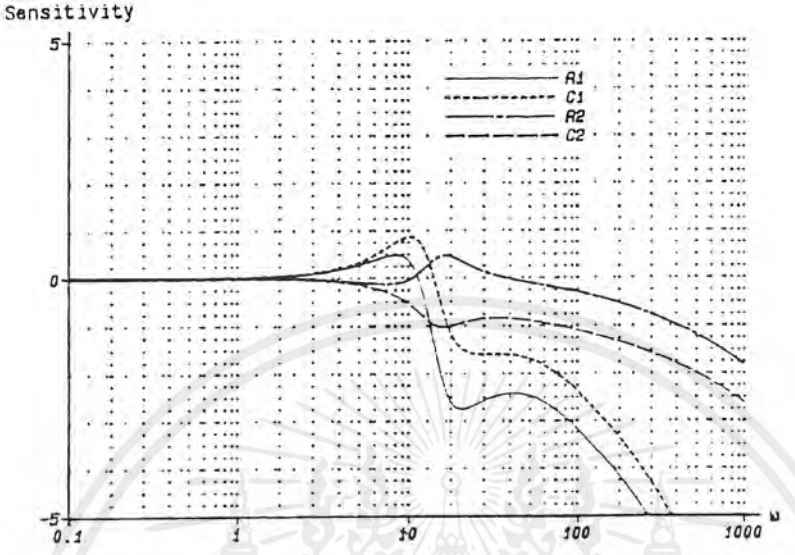
3.4 การออกแบบวงจรกรองความถี่สูงแอคทีฟดิสทริบิวท์ อาร์ซี

1. วงจรกรองความถี่สูงแบบแอคทีฟดิสทริบิวท์อาซี แบบที่ 1

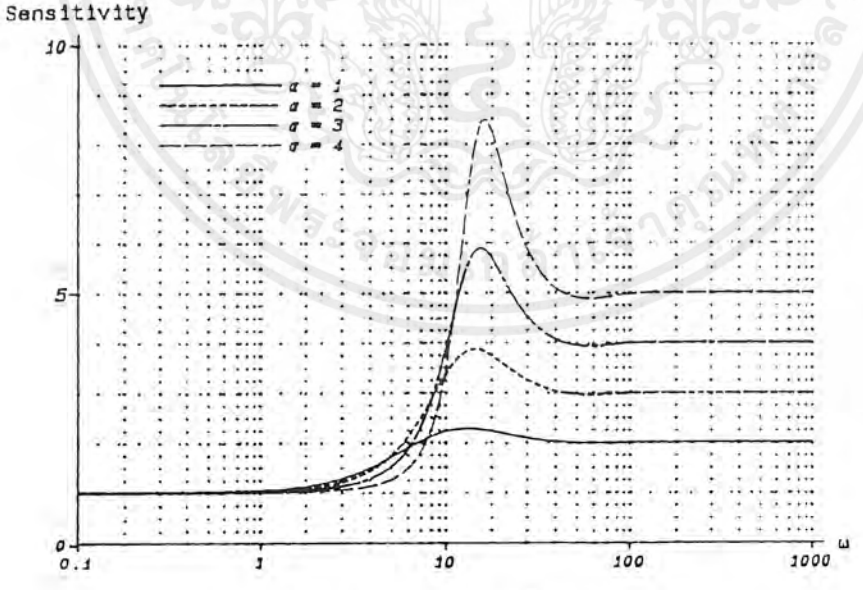
วงจรกรองความถี่สูงแบบแอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 1 นี้ แสดงดังรูปที่ 3.17 ซึ่งจากวงจรสามารถหาทรานส์เฟอร์ฟังก์ชันได้คือ

$$T(P) = \frac{\dfrac{P_1(\cosh P_1 - 1)}{R_1 \sinh P_1}}{\dfrac{1}{K}\left(\dfrac{P_1 \cosh P_1}{R_1 \sinh P_1} + \dfrac{P_2 \cosh P_2}{R_2 \sinh P_2}\right) - \dfrac{P_1}{R_1 \sinh P_1} - \dfrac{P_2(\cosh P_2 - 1)}{R_2 \sinh P_2}} \tag{3.34}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

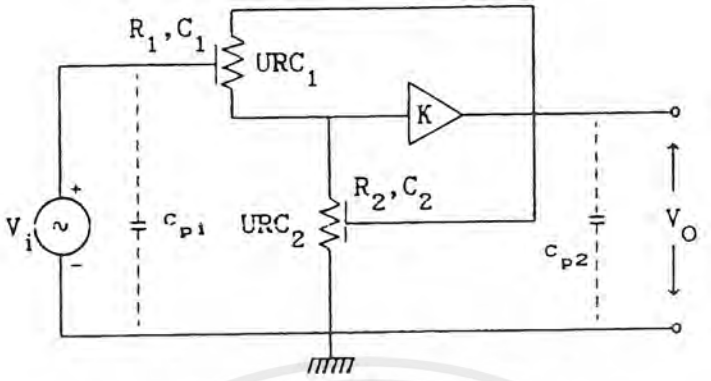


รูปที่ 3.15 แสดงเซ็นติวิตี้ ของอิลิเม้นท์ R_1, R_2, C_1, C_2



รูปที่ 3.16 แสดงเซ็นติวิตี้ ของอิลิเม้นท์ K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

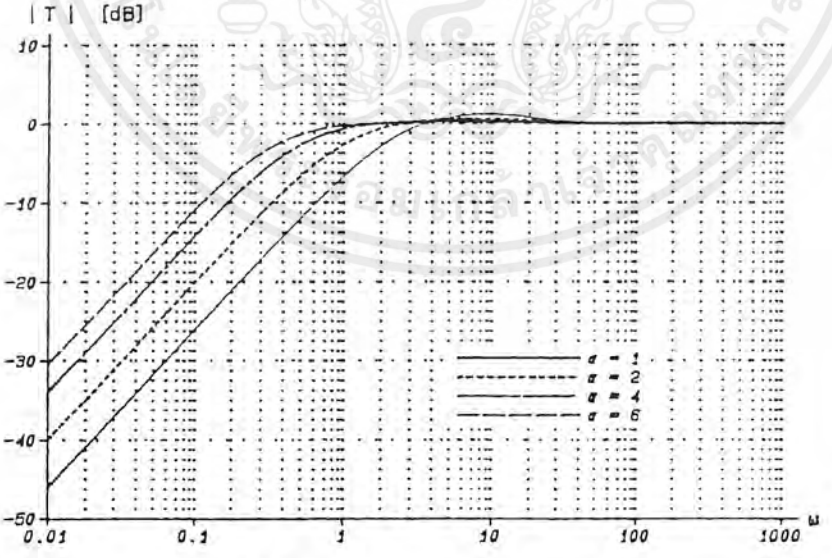


รูปที่ 3.17 แสดงวงจรกรองความถี่สูงแบบ แอคทีฟดิสทริบิวท์อาร์ซี แบบที่ 1

จากสมการที่ 3.34 ถ้าให้ $K = 1$ จะได้ทรานส์เฟอร์ฟังก์ชันเป็น

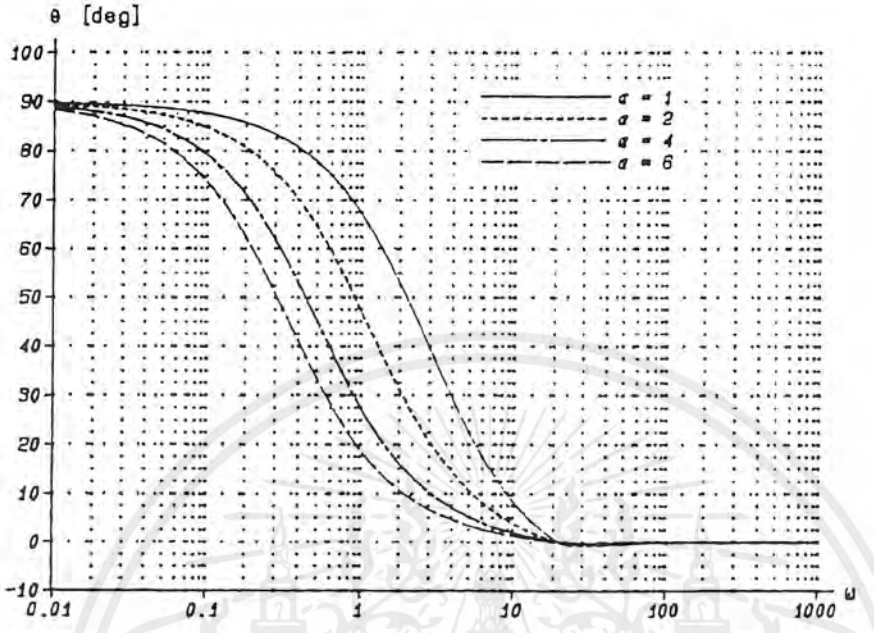
$$T(P) = \frac{\alpha \cosh P - \alpha}{\alpha \cosh P - \alpha + 1} \tag{3.35}$$

จากสมการทรานส์เฟอร์ฟังก์ชันที่ 3.35 นำมาหาผลการตอบสนองทางขนาดต่อความถี่ได้ดังรูปที่ 3.18

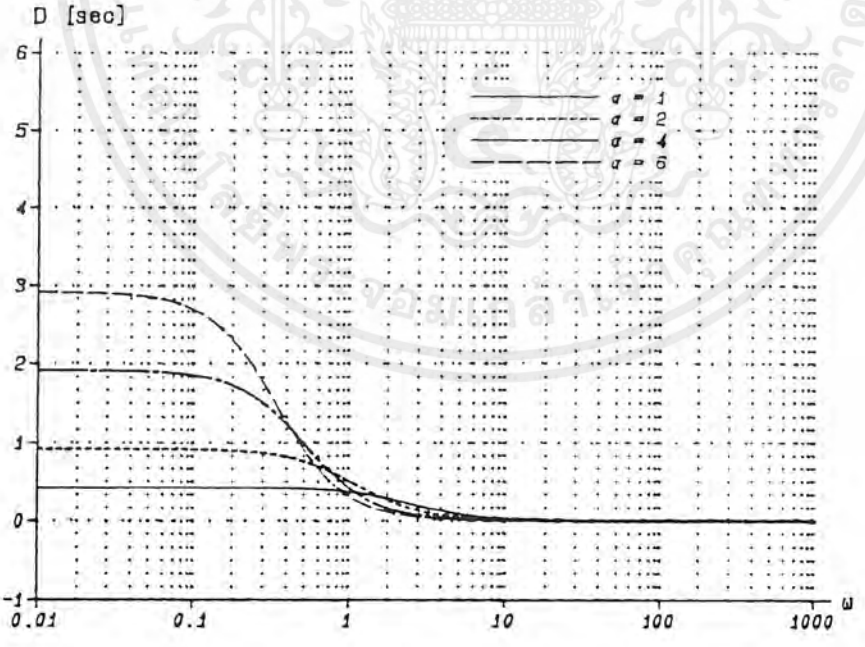


รูปที่ 3.18 แสดงผลการตอบสนองทางขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

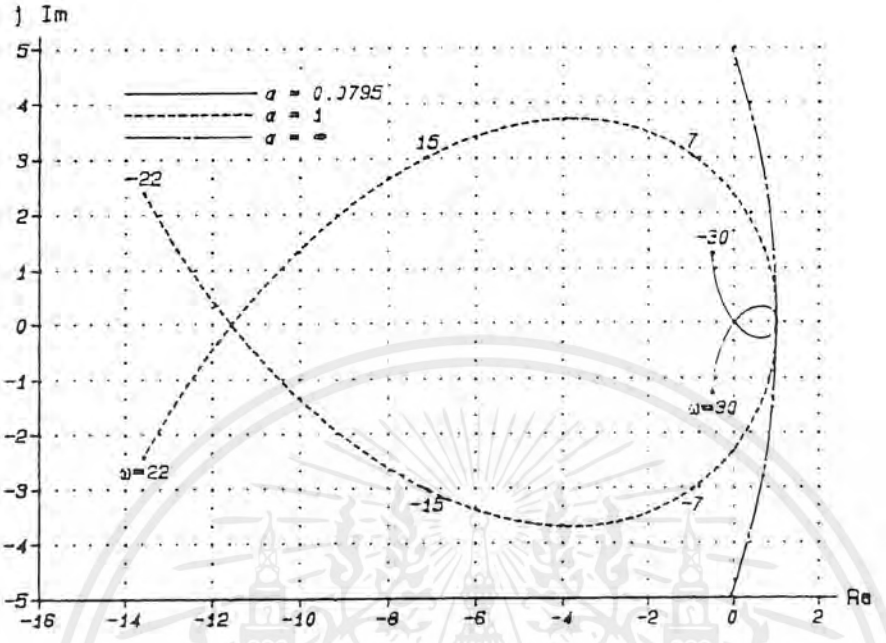


รูปที่ 3.19 แสดงผลการตอบสนองทางเฟส



รูปที่ 3.20 แสดงผลตอบสนองของกรัปดีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 แสดงไนควิสท์ไดอะแกรม

จากสมการที่ 3.35 สามารถหาผลการตอบสนองทางเฟส กรุ๊ปดีเลย์ และไนควิสท์แสดงดังรูปที่ 3.19, 3.20 และ 3.21 ตามลำดับ

และจากทรานส์เฟอร์ฟังก์ชัน ในสมการที่ 3.34 จะได้ค่าความไวของอิลิเม้นท์ของตัวอุปกรณ์ต่างๆ คือ

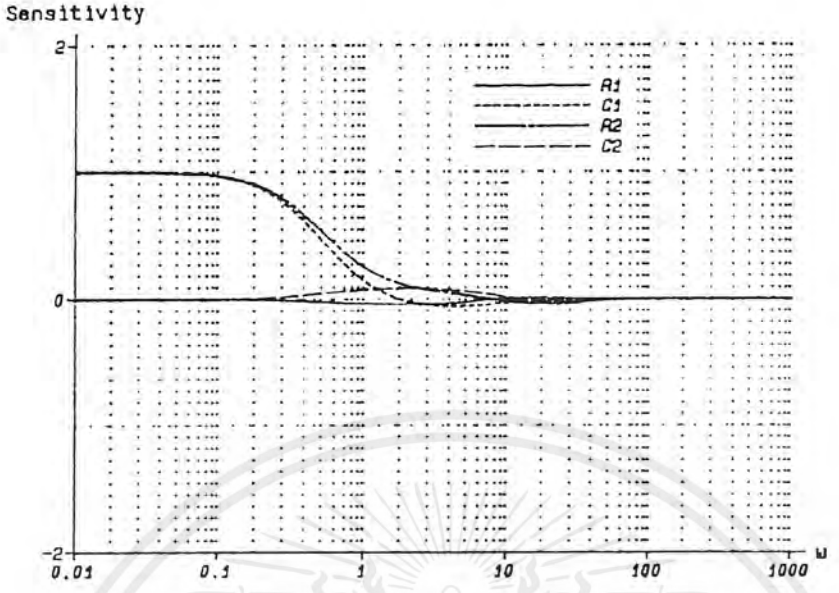
$$S_{R_1}^{T(P)} = \frac{1}{2}\left(\frac{P\sinh P}{\cosh P - 1} - \frac{\alpha P\sinh P + P\coth P + 1}{\alpha\cosh P - \alpha + 1}\right) \tag{3.36}$$

$$S_{C_1}^{T(P)} = \frac{1}{2}\left(\frac{P\sinh P}{\cosh P - 1} - \frac{\alpha P\sinh P + P\coth P - 1}{\alpha\cosh P - \alpha + 1}\right) \tag{3.37}$$

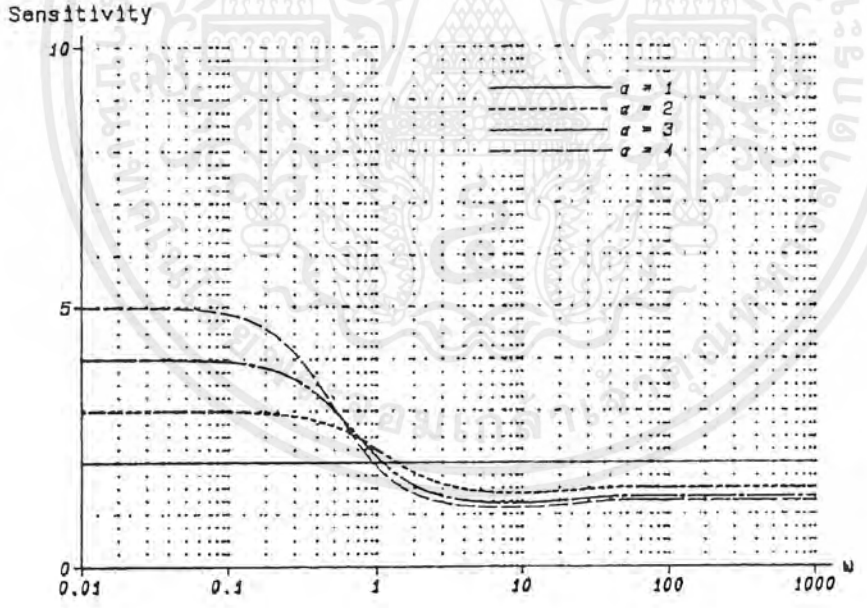
$$S_{R_2}^{T(P)} = \frac{1}{2}\left(P\coth P - \frac{\alpha P\coth P(\cosh P - 1) - 1}{\alpha\cosh P - \alpha + 1}\right) \tag{3.38}$$

$$S_{C_2}^{T(P)} = \frac{1}{2}\left(P\coth P - \frac{\alpha P\coth P(\cosh P - 1) + 1}{\alpha\cosh P - \alpha + 1}\right) \tag{3.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 แสดงเซ็นติวิตี้ของอิลิเม้นท์ R_1, R_2, C_1, C_2



รูปที่ 3.23 แสดงเซ็นติวิตี้ของอิลิเม้นท์ K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 3.36-3.39 ถ้าให้ $\alpha = 4$ จะได้ค่าความไวของอิลิเม้นท์ของตัวอุปกรณ์ต่างๆ แสดงดังรูปที่ 3.22 ซึ่งจะเห็นได้ว่า ช่วงความถี่สูงที่สัญญาณสามารถผ่านไปได้ จะมีค่าความไวที่ต่ำมาก โดยที่ $\omega = \infty$ ความไวจะมีค่าเป็นศูนย์ และช่วงความถี่ต่ำที่ไม่สามารถผ่านได้จะมีค่าความไวของ R_1, C_2 ต่ำกว่า R_2, C_1

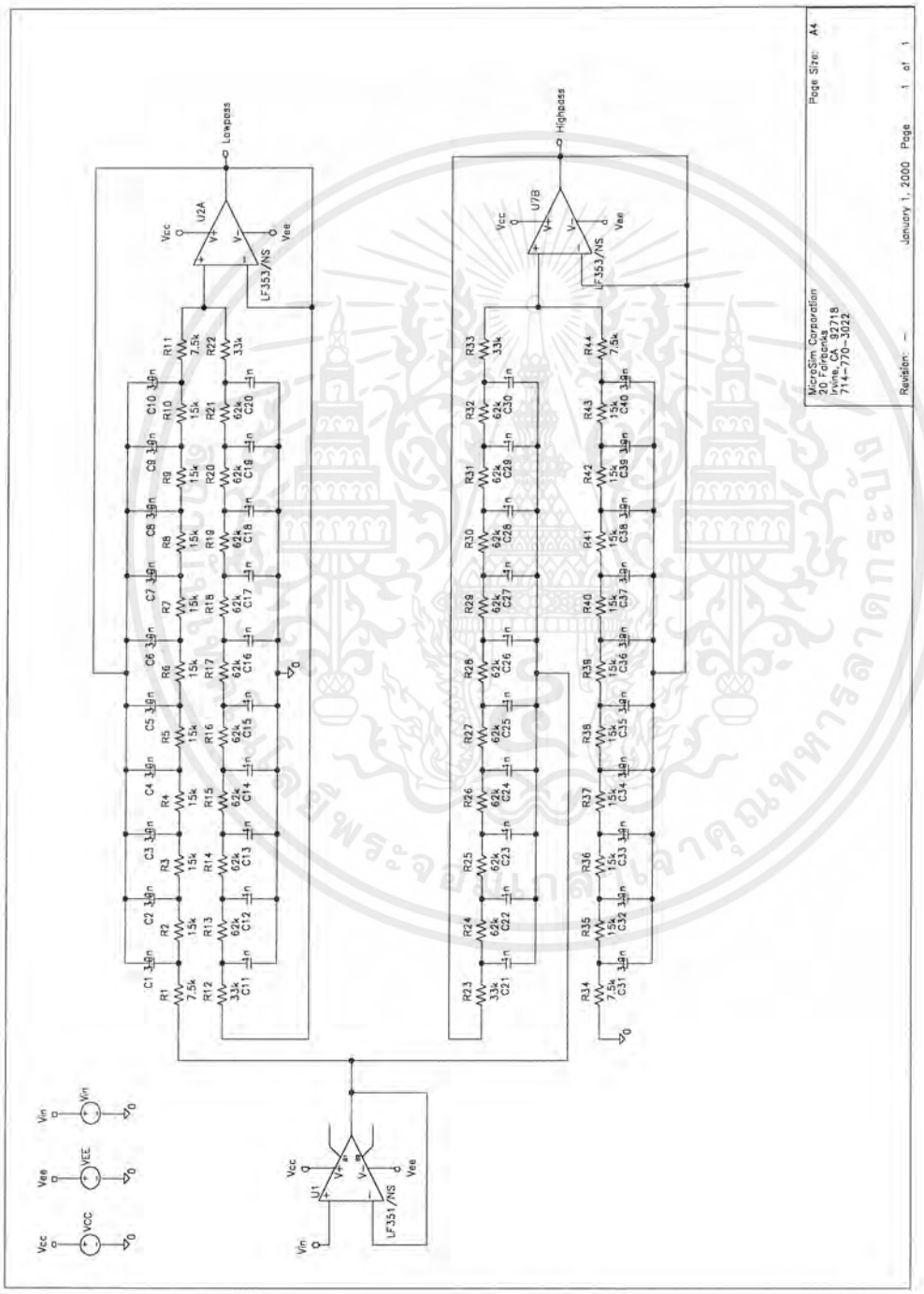
ค่าความไวของอิลิเม้นท์ K เมื่อกำหนดให้ $K = 1$ จะได้ค่าความไวของ K ดังรูปที่ 3.23 และมีสมการคือ

$$S_K^{T(P)} = \frac{(\alpha+1)\cosh P}{\alpha \cosh P - \alpha + 1} \tag{3.40}$$

จากรูปที่ 3.23 จะเห็นได้ว่า ช่วงความถี่สูงที่สามารถผ่านได้ จะมีค่าความไวของ K เท่ากับ $(\alpha+1)/\alpha$ แบะในช่วงความถี่ต่ำที่ไม่สามารถผ่านได้ จะมีค่าเท่ากับ $\alpha+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การสร้างวงจรครอสโอเวอร์เน็ทเวอร์ค โดยใช้ ยูนิฟอร์มดิสทริบิวท์อาร์ซี



รูปที่ 4.1 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ยูอาร์ซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ยูอาร์ซี

จากรูปที่ 4.1 ซึ่งแสดงวงจรแอคทีฟครอสโอเวอร์เน็ทเวอร์คโดยใช้ ยูอาร์ซี ซึ่งในวงจรใช้งานจริงนั้น ตัวยูอาร์ซีจะสร้างจากการต่อแบบลัมด์อาร์ซี เป็นจำนวน 10 เซคชั่น

จากบทที่ 2 คุณลักษณะที่สำคัญอย่างหนึ่งของวงจรครอสโอเวอร์เน็ทเวอร์คก็คือ ผลรวมทางขนาดของโลพาส และไฮพาส ต้องมีความราบเรียบตลอดช่วงความถี่เสียง และวงจรครอสโอเวอร์เน็ทเวอร์คที่ได้ออกแบบนี้ ก็มีคุณสมบัติที่ได้กล่าวถึง สามารถพิสูจน์ได้ดังต่อไปนี้

จากทรานส์เฟอร์ฟังชันของวงจรกรองความถี่ต่ำด้วย ยูอาร์ซี แบบที่ 1 (จากบทที่ 3)สามารถเขียนใหม่ได้ว่า

$$T_L(P) = \frac{K \sinh P_2}{simhP_2\left(\cosh P_1 - K(\cosh P_1 - 1)\right) + \frac{P_2 R_1}{P R_2} \sinh P_1 \left(\cosh P_2 - K\right)} \quad (4.1)$$

เมื่อ $P_1 = P_2 = P$, $\frac{R_2}{R_1} = \alpha$ จะได้

$$T_L(P) = \frac{\alpha K}{\cosh P\left(1 + \alpha K - \alpha\right) + K\left(\alpha - 1\right)} \quad (4.2)$$

กำหนดให้ $\alpha = 1, K = 1$

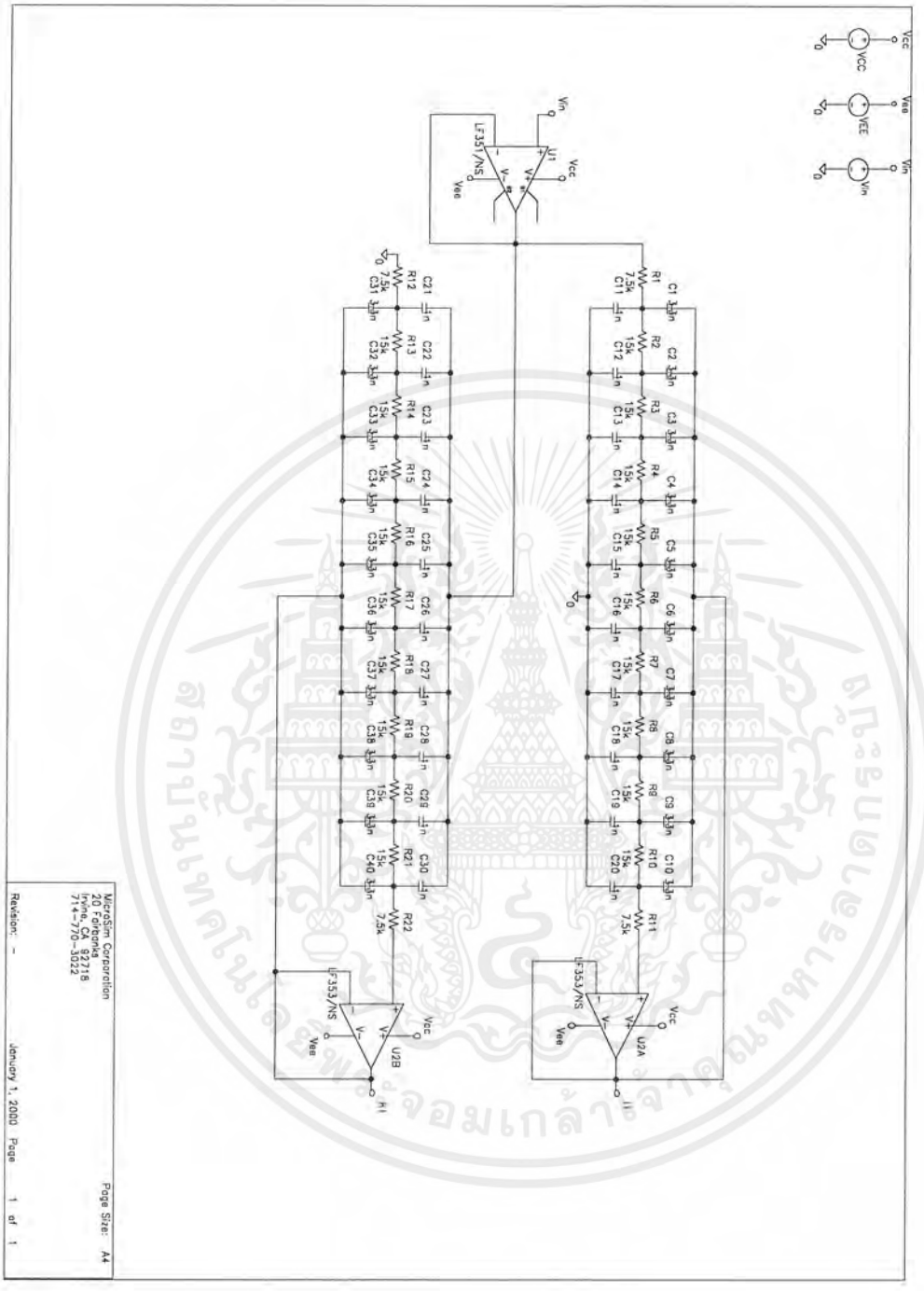
$$T_L(P) = \frac{1}{\cosh P} \quad (4.2)$$

จากทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่ด้วย ยูอาร์ซีแบบที่ 1(จากบทที่3) สามารถเขียนใหม่ได้ว่า

$$T_H(P) = \frac{K \sinh P_2 \left(\cosh P - 1\right)}{simhP_2\left(\cosh P_1 - K\right) + \frac{P_2 R_1}{P R_2} \sinh P_1 \left(\cosh P_2 - K \cosh P_2 + K\right)} \quad (4.4)$$

เมื่อ $P_1 = P_2 = P$, $\frac{R_2}{R_1} = \alpha$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_H(P) = \frac{\alpha K(\cosh P - 1)}{\cosh P(1+\alpha - K) + K(1-\alpha)} \tag{4.5}$$

กำหนดให้ $\alpha = 1, K = 1$

$$T_L(P) = \frac{\cosh P - 1}{\cosh P} \tag{4.6}$$

นำสมการที่ 4.3 และสมการที่ 4.5 มารวมกันจะได้

$$T(P) = T_L(P) + T_H(P) \tag{4.7}$$

$$T(P) = \frac{1}{\cosh P} + \frac{\cosh P - 1}{\cosh P} \tag{4.8}$$

$$T(P) = 1 \tag{4.9}$$

ผลจากการรวมกันทางคณิตศาสตร์ จะเห็นได้ว่ามีค่าเป็น1 ซึ่งเป็นข้อยืนยันว่าวงจรครอสโอเวอร์เน็ทเวอร์คที่ออกแบบ สามารถให้ผลการตอบสนองที่ราบเรียบได้ตลอดช่วงความถี่

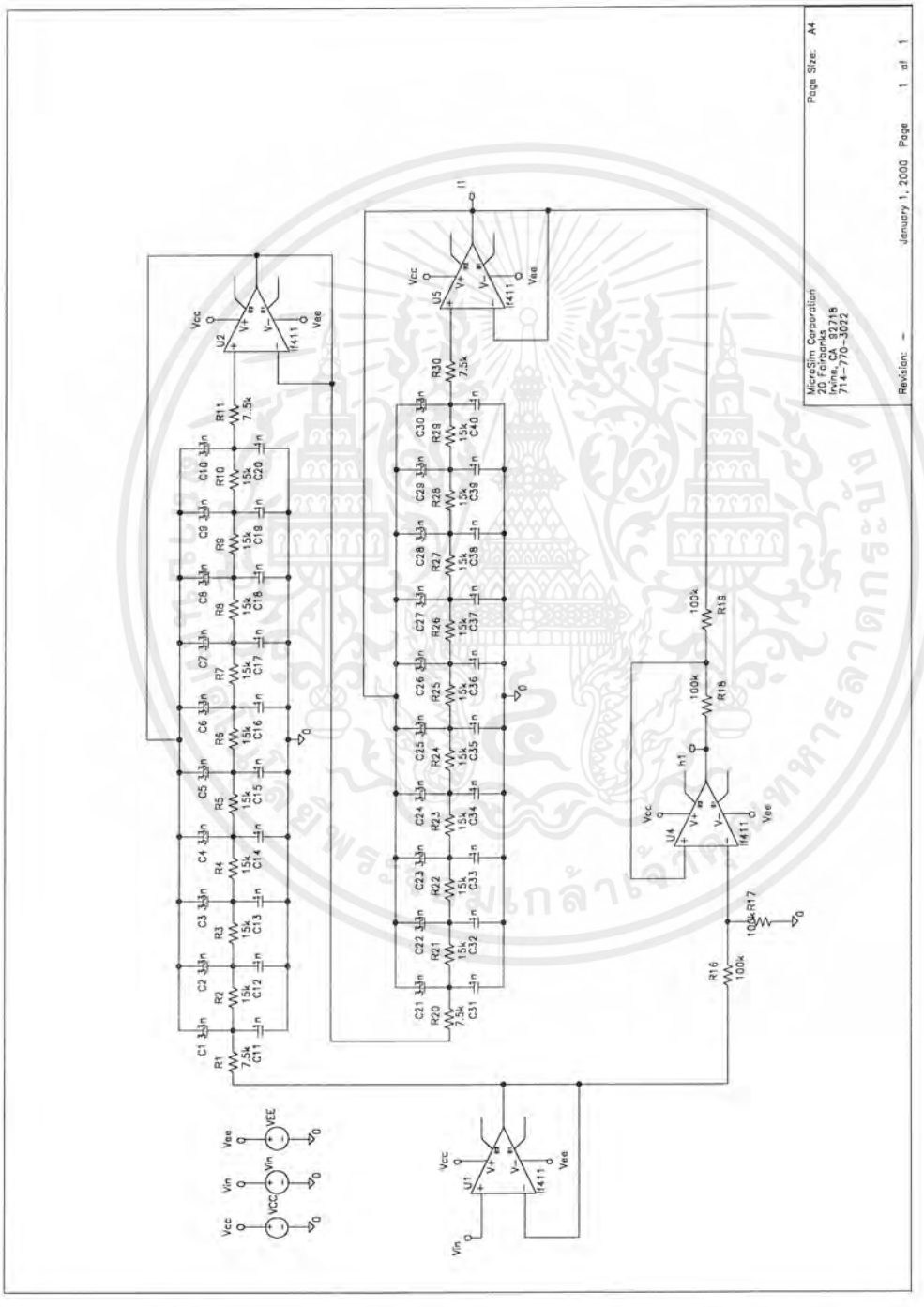
4.2 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 1

จากรูปที่ 4.2 แสดงวงจรจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี โดยอาศัยหลักการเดียวกับวงจรแรก คือเป็นการนำวงจรกรองความถี่ต่ำ และวงจรกรองความถี่สูงมาต่อกันเป็น วงจรครอสโอเวอร์เน็ทเวอร์ค แต่วงจรกรองความถี่ทั้งนี้ใช้ ดียูอาร์ซี

4.3 การออกแบบวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 2

จากวงจรรูปที่ 4.3 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี อีกวิธีหนึ่ง โดยอาศัยการนำสัญญาณอินพุทลบสัญญาณเอาท์พุทของโลพาสได้เป็นไฮพาส ซึ่งสามารถแสดงให้เห็นได้ด้วยสมการดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงวงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_L(P) = \frac{P}{R\sinh P(\cosh P(1+\alpha-\alpha K)+K(1-\alpha))} \tag{4.10}$$

จากสมการที่ 4.10 เป็นสมการทรานส์เฟอร์ฟังก์ชันของโลพาสด้วย ดียูอาร์ซี และสมการของไฮพาส จะแสดงดังสมการที่ 4.11

$$T_H(P) = 1 - \frac{P}{R\sinh P(\cosh P(1+\alpha-\alpha K)+K(1-\alpha))} \tag{4.11}$$

ฉะนั้น เมื่อรวมกันแล้วจะได้

$$T(P) = T_L(P) + T_H(P) \tag{4.12}$$

$$T(P) = \frac{P}{R\sinh P(\cosh P(1+\alpha-\alpha K)+K(1-\alpha))} + 1 - \frac{P}{R\sinh P(\cosh P(1+\alpha-\alpha K)+K(1-\alpha))}$$

$$T(P) = 1 \tag{4.14}$$

สำหรับในการสร้างวงจรครอสโอเวอร์เน็ทเวอร์คที่ได้ออกแบบทั้ง 3 วงจรนี้ ตัวยูอาร์ซีที่สร้างจากการต่อแบบลัมด์อาร์ซีนั้น ได้มีการประยุกต์ให้มีการต่ออยู่ในรูปของซ๊อตเก็ตไอซี เพื่อแก้ปัญหาการรบกวนและการลดทอน และง่ายต่อการเปลี่ยนค่ายูอาร์ซีซึ่งจะทำให้ความถี่เปลี่ยนไปได้

4.4 ส่วนประกอบของวงจรครอสโอเวอร์เน็ทเวอร์ค

1. วงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ยูอาร์ซี

UR1 เท่ากับ R1-R11	15k
UR2 เท่ากับ R12-R22	62k
UR3 เท่ากับ R23-R33	15k
UR4 เท่ากับ R1-R11	62k
UC1 เท่ากับ C1-C10	3.9n
UC2 เท่ากับ C11-C20	1n
UC3 เท่ากับ C21-C30	1n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UC4 เท่ากับ C31-C40 3.9n

2. วงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 1

UR1 เท่ากับ R1-R11 15k

UR2 เท่ากับ R12-R22 15k

UC1 เท่ากับ C1-C10 3.3n

UC2 เท่ากับ C11-C20 1n

UC3 เท่ากับ C21-C30 1n

UC4 เท่ากับ C31-C40 3.3n

3. วงจรครอสโอเวอร์เน็ทเวอร์คโดยใช้ ดียูอาร์ซี แบบที่ 2

UR1 เท่ากับ R1-R11 15k

UR2 เท่ากับ R12-R22 15k

UC1 เท่ากับ C1-C10 3.3n

UC2 เท่ากับ C11-C20 1n

UC3 เท่ากับ C21-C30 1n

UC4 เท่ากับ C31-C40 3.3n

R23-R26 1M

ส่วนไอซีที่ใช้ทั้ง 3 วงจรคือ LF351 และLF353 เนื่องไอซีทั้งสองตัวนี้ เป็น Input JFET จึงทำให้ไม่มีปัญหาในเรื่องของอิมพิแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

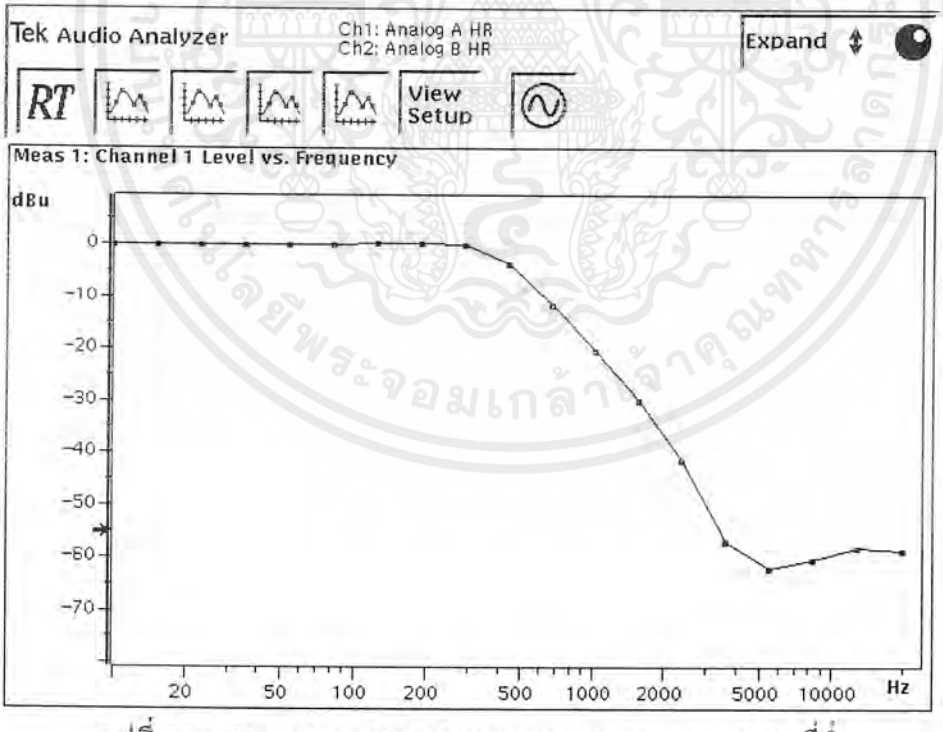
บทที่ 5
ผลการทดลอง

ในส่วนของการทดลองนั้น จะใช้ตัวยูนิฟอร์มดีสทริบิวท์อาร์ซีต่อร่วมกับออปแอมป์ ซึ่งมีขั้นตอนการทดลองดังนี้

1. ทำการวิเคราะห์โดยใช้คอมพิวเตอร์ด้วยโปรแกรมPspice
2. ต่อวงจรที่ออกแบบแล้วทดลองเพื่อหาการตอบสนองของวงจรดีสทริบิวท์อาร์ซี
3. เปรียบเทียบผลการทดลองที่ได้ และสรุปผลการทดลอง

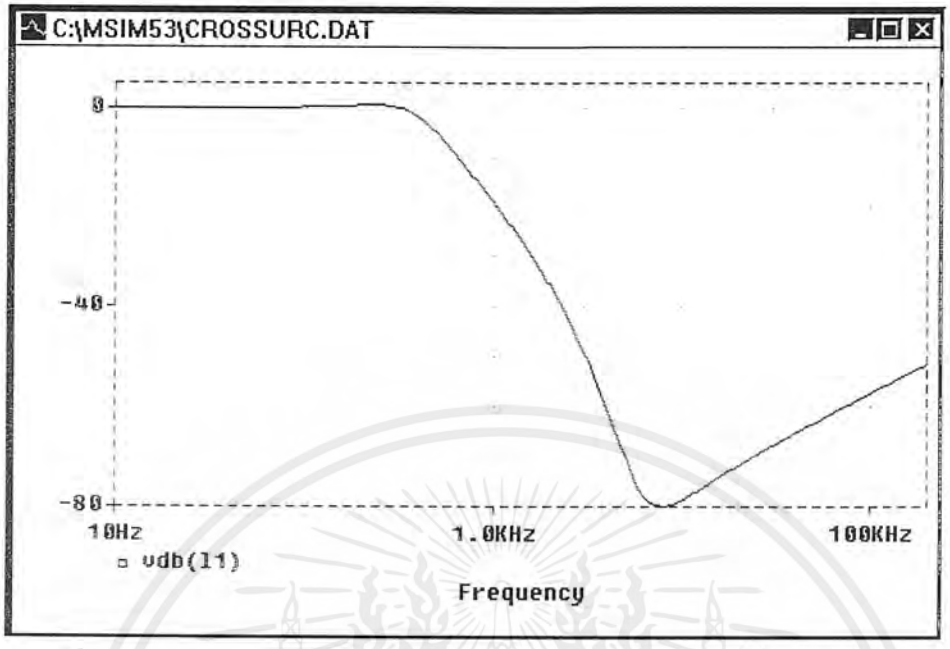
ซึ่งผลการทดลองที่ได้ในบทนี้ เป็นผลการทดลองที่ได้มาจากการวัดด้วยเครื่องออดิโออนาไลเซอร์ เปรียบเทียบกับ Pspice โดยแบ่งเป็น 3 ส่วนคือ

5.1 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์คด้วย ยูอาร์ซี



รูปที่ 5.1 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ ด้วย Pspcie

ตารางที่ 5.1 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ

Tek Audio Analyzer

Ch1: Analog A HR
Ch2: Analog B HR

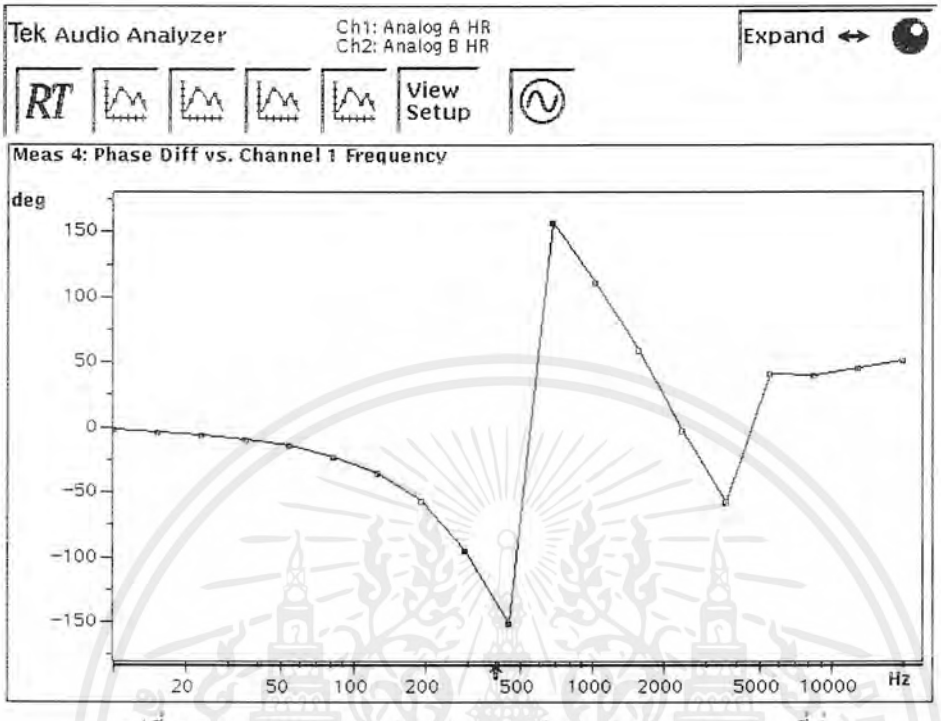
Move

RT | View Setup

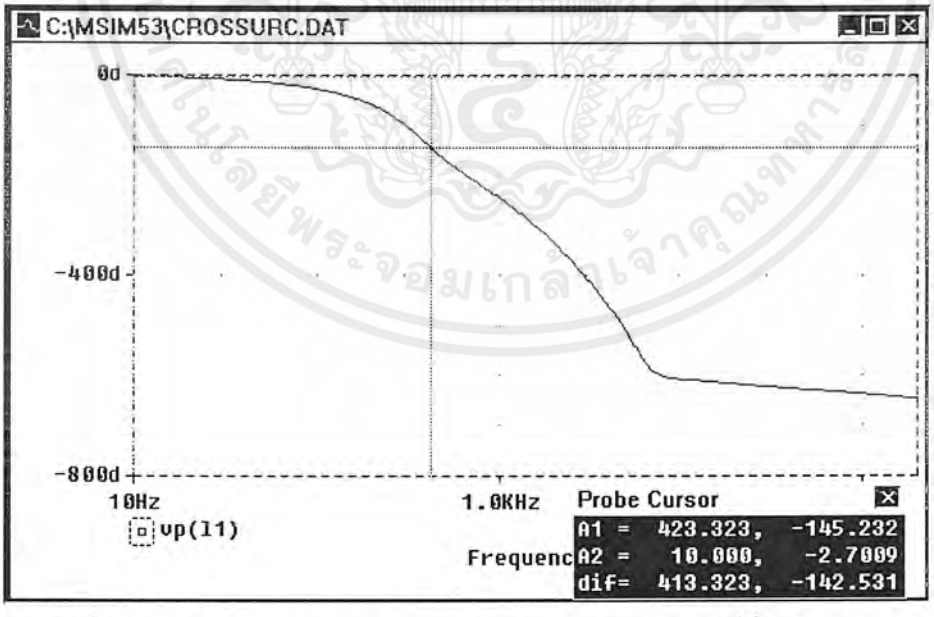
Channel 1 Level vs. Frequency

Frequency (Hz)	Level (dBu)
10.00	0.19
15.30	0.21
23.30	0.23
35.50	0.24
54.10	0.26
82.60	0.31
126.00	0.42
192.20	0.62
293.20	0.30
447.19	-3.54
682.19	-11.22
1040.58	-19.98
1587.38	-29.67
2421.45	-41.14
3693.70	-56.79
5634.44	-61.80
8595.01	-60.10
13110.88	-57.85
19999.77	-58.45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



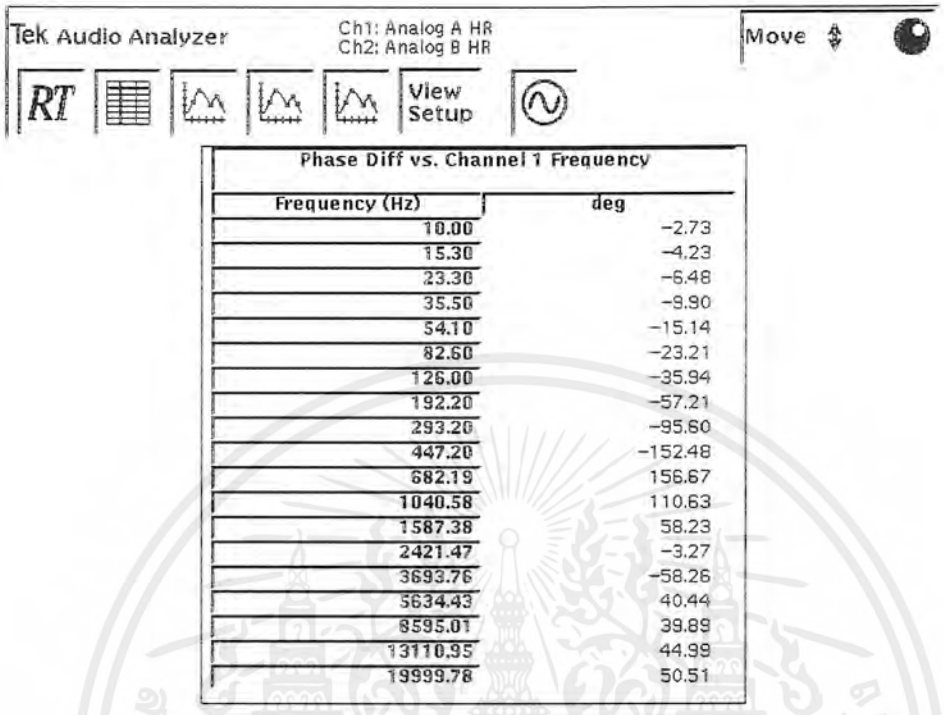
รูปที่ 5.3 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ



รูปที่ 5.4 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ ด้วย Pspice

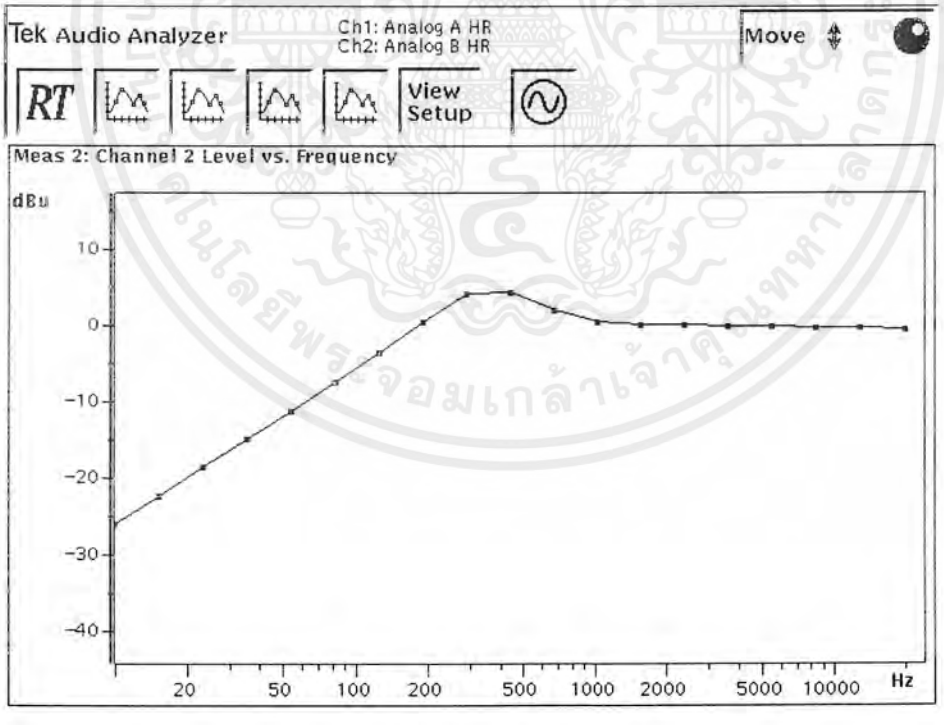
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ



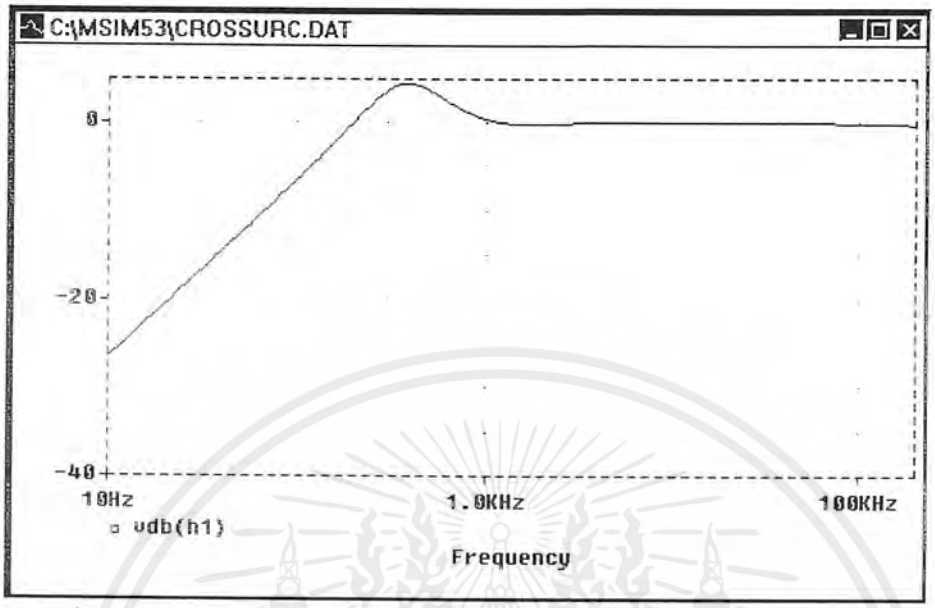
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	-2.73
15.30	-4.23
23.30	-6.48
35.50	-9.90
54.10	-15.14
82.60	-23.21
126.00	-35.94
192.20	-57.21
293.20	-95.60
447.20	-152.48
682.19	156.67
1040.58	110.63
1587.38	58.23
2421.47	-3.27
3693.76	-58.26
5634.43	40.44
8595.01	39.89
13110.95	44.99
19999.78	50.51



รูปที่ 5.5 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง ด้วย Pspice

ตารางที่ 5.3 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง

Tek Audio Analyzer

Ch1: Analog A HR
Ch2: Analog B HR

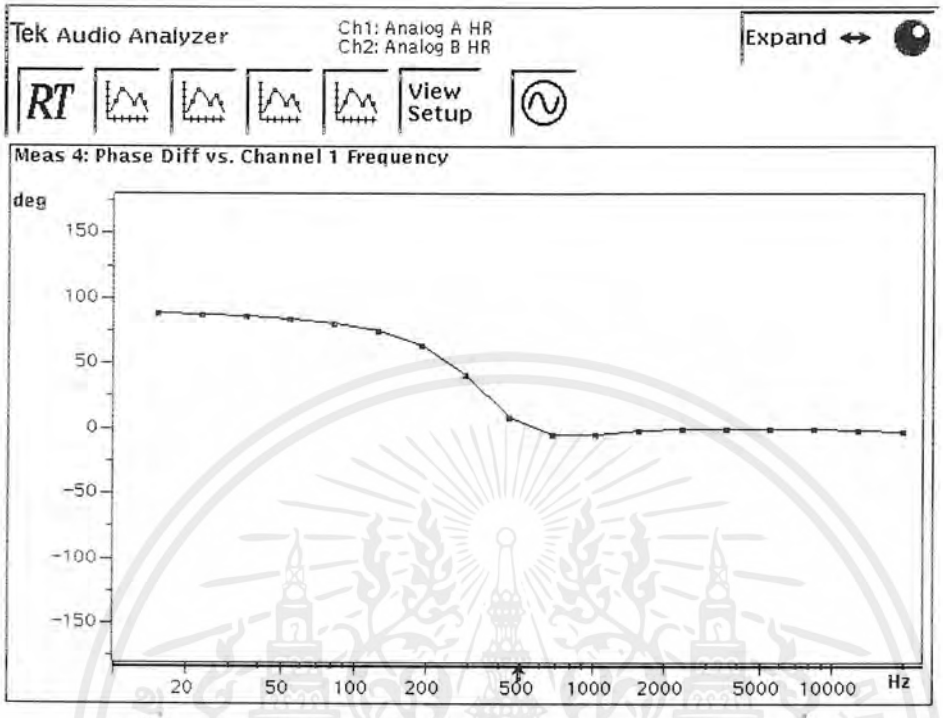
Move

RT View Setup

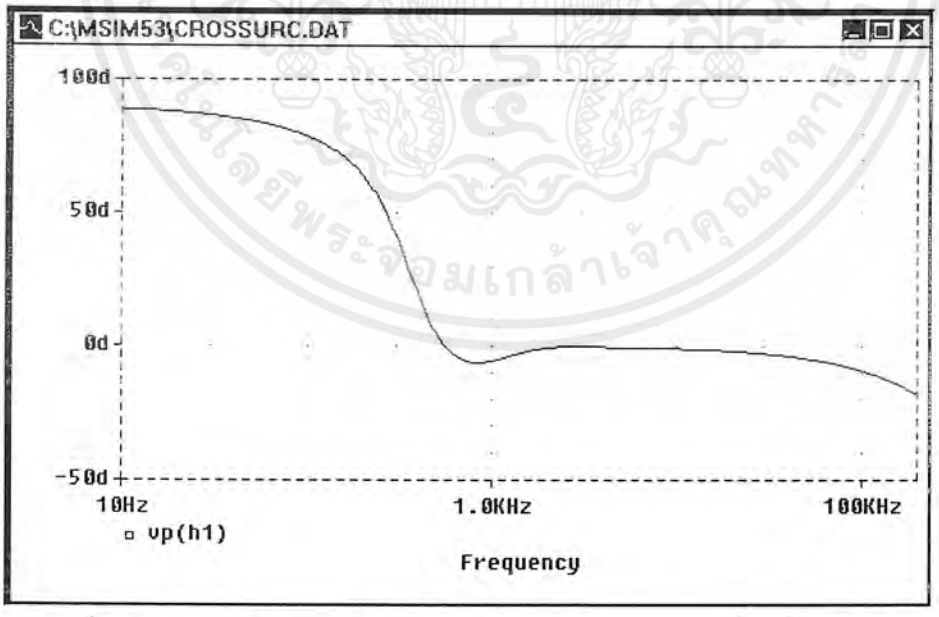
Channel 2 Level vs. Frequency

Frequency (Hz)	Level (dBu)
10.00	-26.01
15.30	-22.31
23.30	-18.65
35.50	-14.98
54.10	-11.28
82.60	-7.52
126.00	-3.64
192.20	0.42
293.20	4.00
447.19	4.22
682.19	1.98
1040.58	0.46
1587.38	0.01
2421.47	-0.02
3693.76	-0.09
5634.43	-0.23
8595.01	-0.34
13110.95	-0.42
19999.78	-0.48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



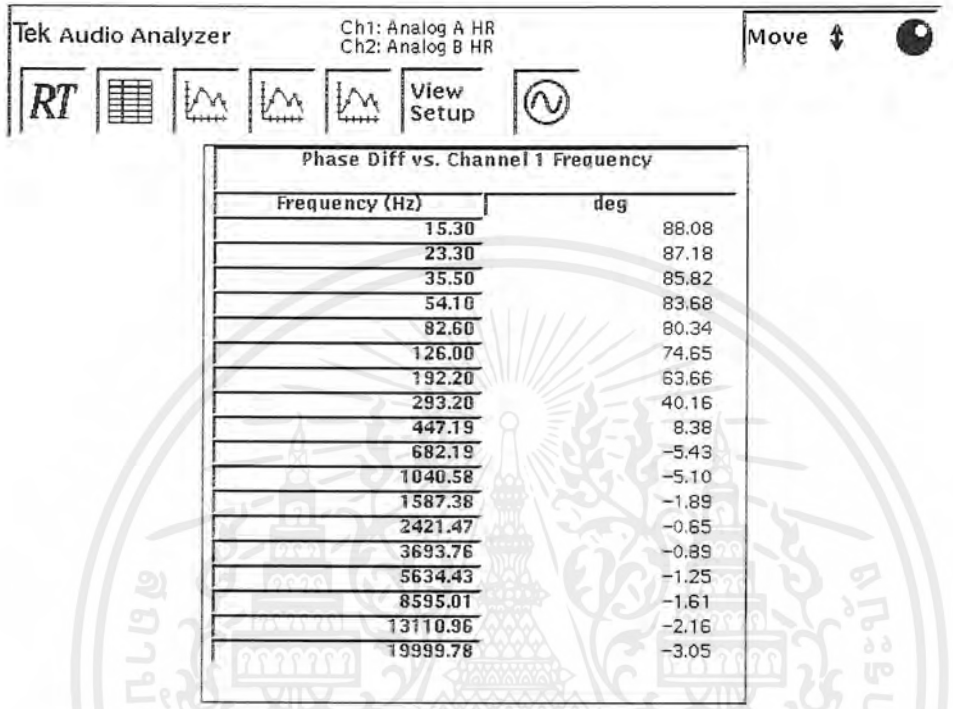
รูปที่ 5.7 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง



รูปที่ 5.8 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง ด้วย Pspice

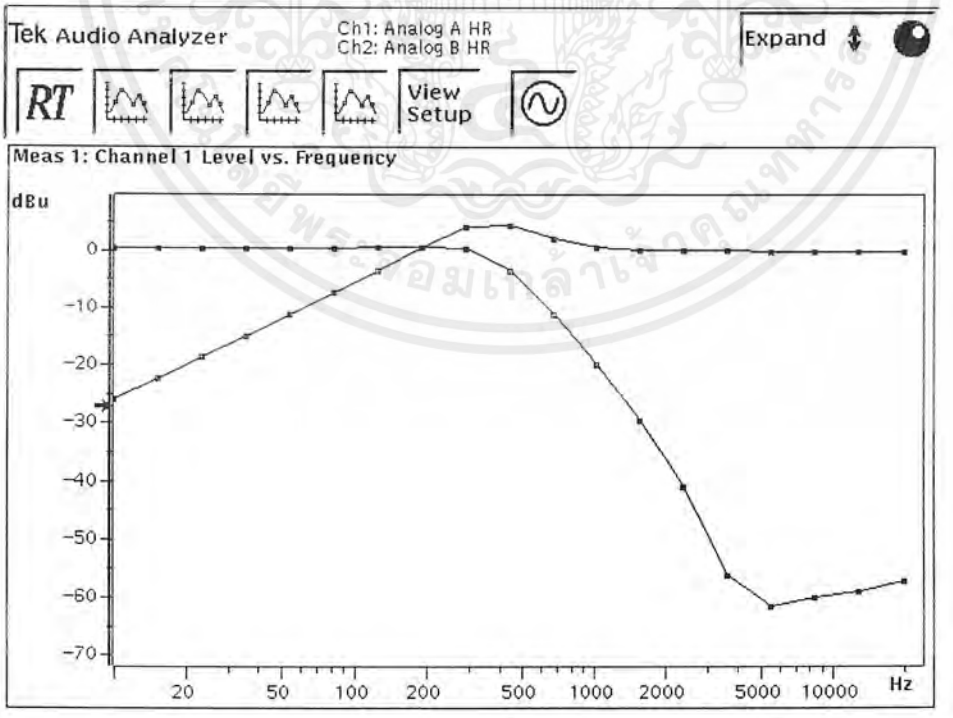
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.4 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง



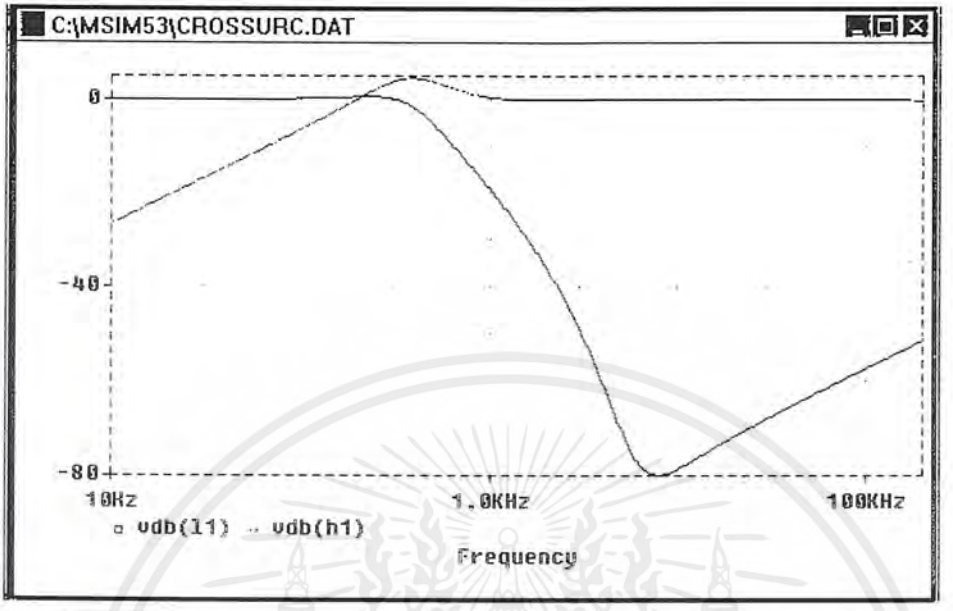
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
15.30	88.08
23.30	87.18
35.50	85.82
54.10	83.68
82.60	80.34
126.00	74.65
192.20	63.66
293.20	40.16
447.19	8.38
682.19	-5.43
1040.58	-5.10
1587.38	-1.89
2421.47	-0.65
3693.76	-0.89
5634.43	-1.25
8595.01	-1.61
13110.96	-2.16
19999.78	-3.05

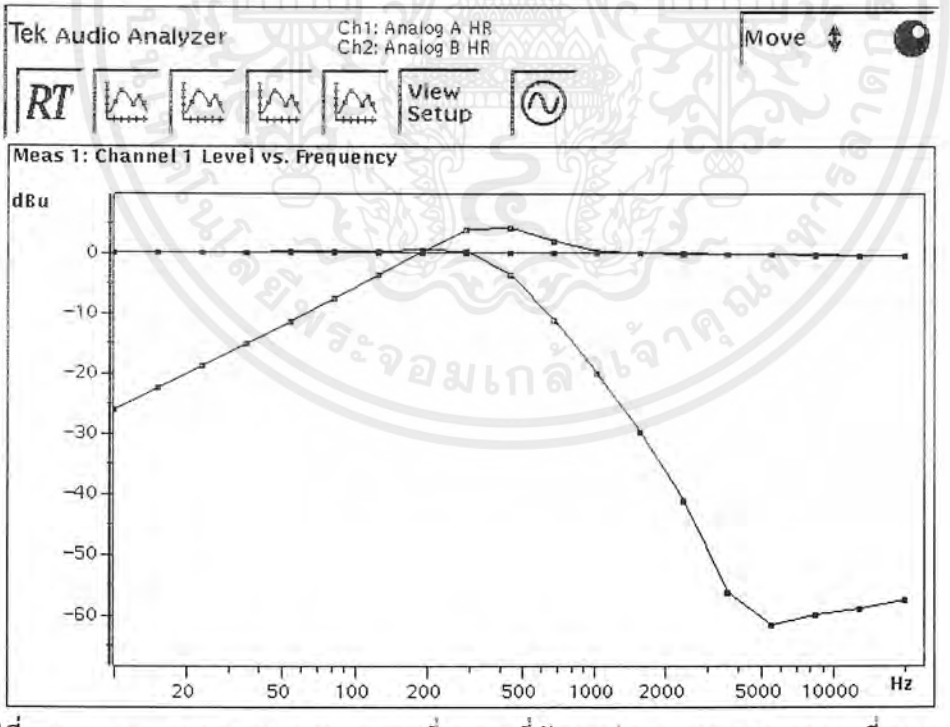


รูปที่ 5.9 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

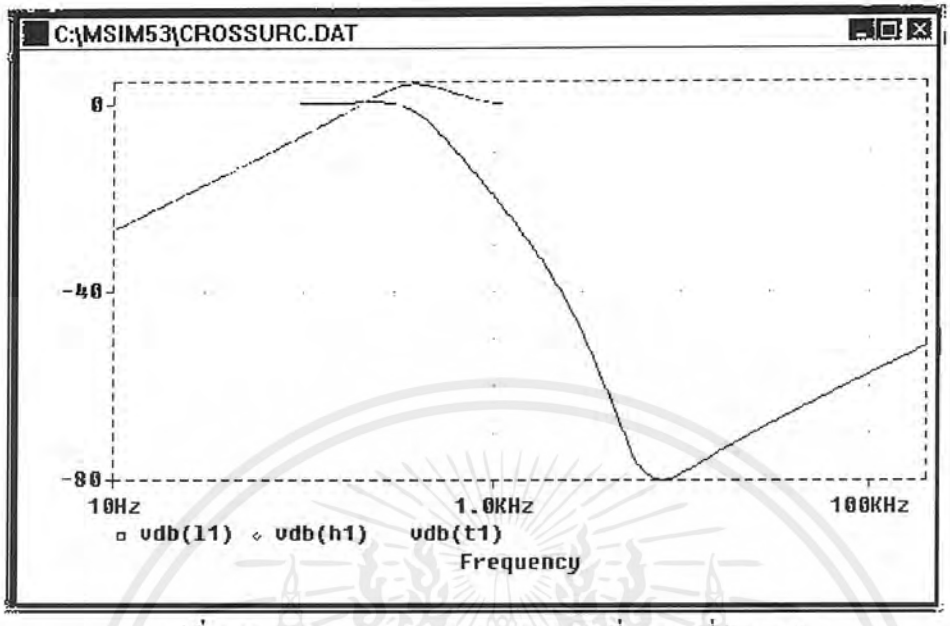


รูปที่ 5.10 แสดงการตอบสนองทางความถี่และความถี่คัทออฟของวงจร ด้วย Pspice



รูปที่ 5.11 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ และผลรวมทางความถี่ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจรด้วย Pspice

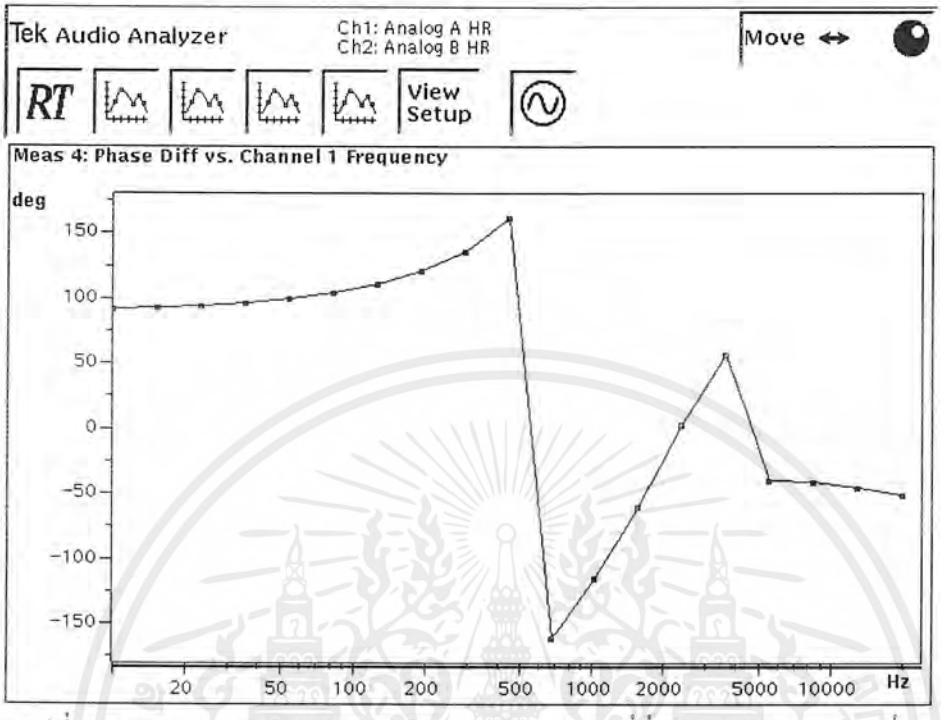
ตารางที่ 5.5 แสดงผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค

Tek Audio Analyzer
Ch1: Analog A HR
Ch2: Analog B HR
Move
RT
View Setup

Channel 1 Level vs. Frequency

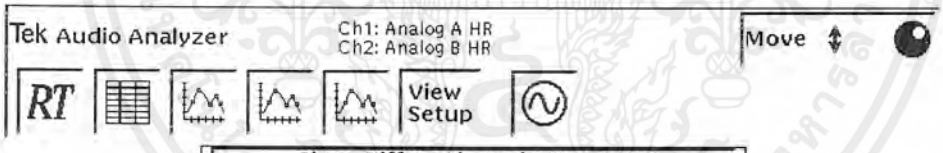
Frequency (Hz)	Level (dBu)
10.00	0.17
15.30	0.19
23.30	0.20
35.50	0.21
54.10	0.21
82.60	0.22
126.00	0.22
192.20	0.22
293.20	0.23
447.20	0.22
682.19	0.22
1040.59	0.19
1587.38	0.15
2421.47	0.06
3693.76	-0.04
5634.44	-0.15
8595.01	-0.24
13110.96	-0.30
19999.78	-0.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง

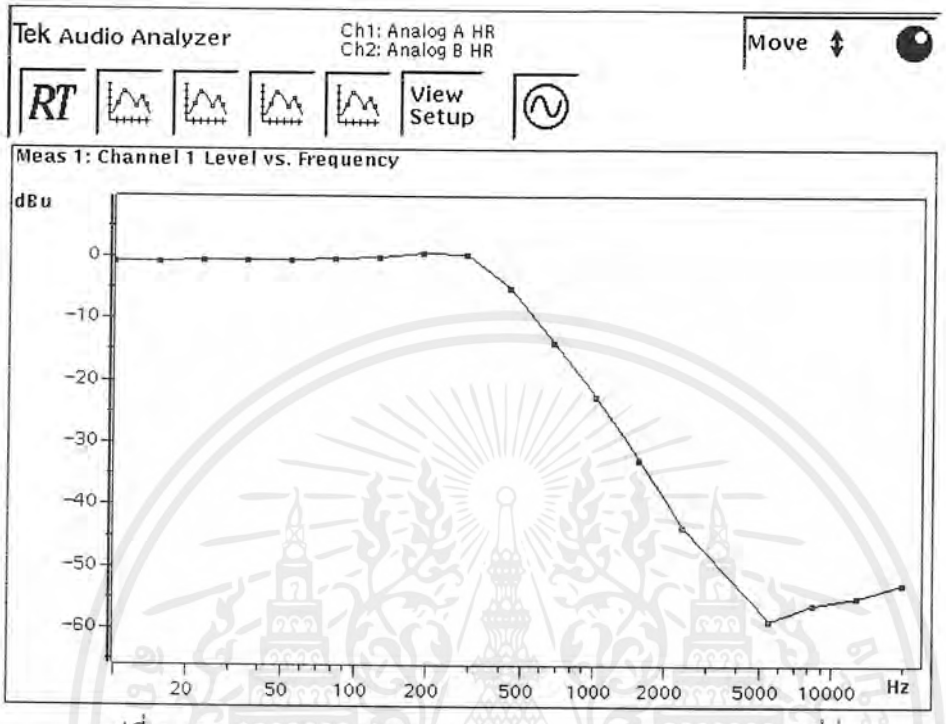
ตารางที่ 5.6 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง



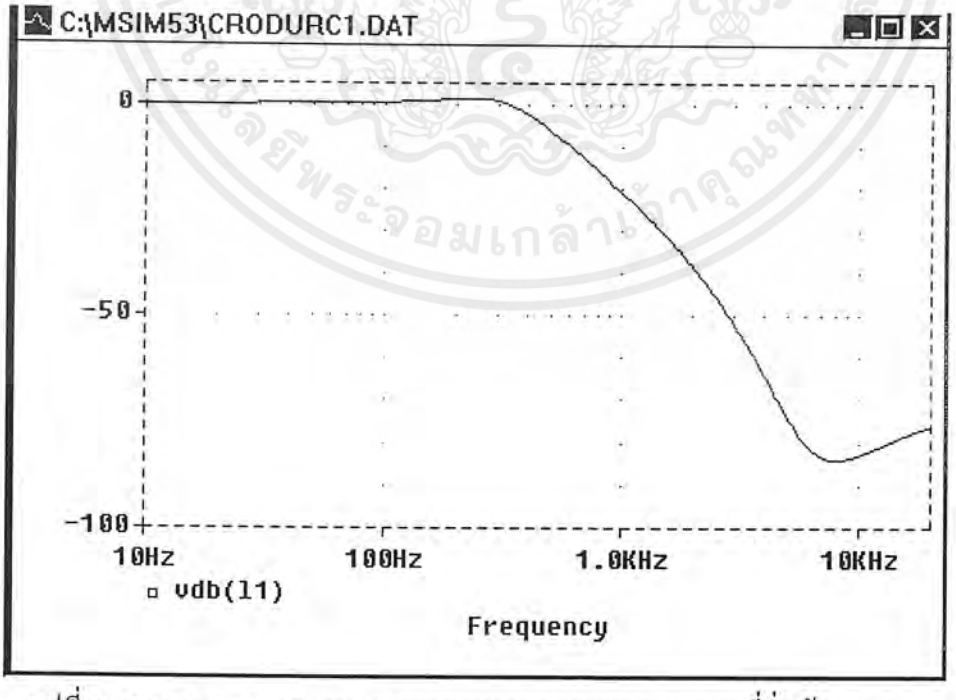
Phase Diff vs. Channel 1 Frequency	
Frequency (Hz)	deg
10.00	91.52
15.30	92.37
23.30	93.71
35.50	95.75
54.10	98.81
82.60	103.57
126.00	110.60
192.20	120.87
293.20	135.74
447.19	160.83
682.19	-162.19
1040.58	-115.85
1587.39	-60.39
2421.46	2.36
3693.66	55.99
5634.43	-40.83
8595.01	-41.49
13110.96	-46.74
19999.71	-52.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์คด้วย ดียูอาร์ซี แบบที่ 1



รูปที่ 5.14 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ



รูปที่ 5.15 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ ด้วย Pspcie

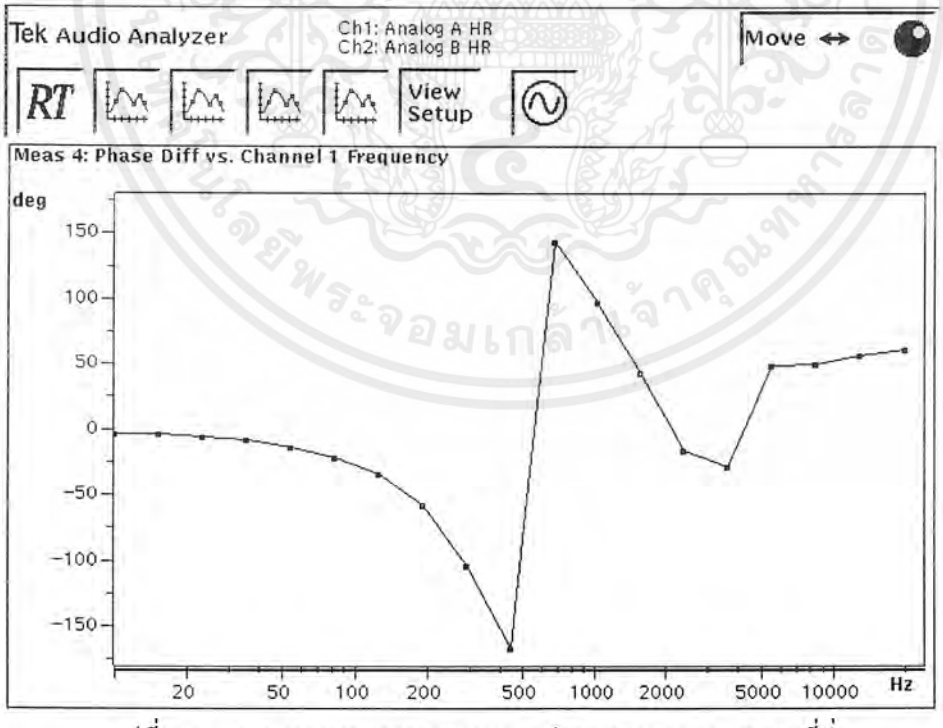
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.7 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ

Tek Audio Analyzer
Ch1: Analog A HR
Ch2: Analog B HR
Move
RT
View Setup

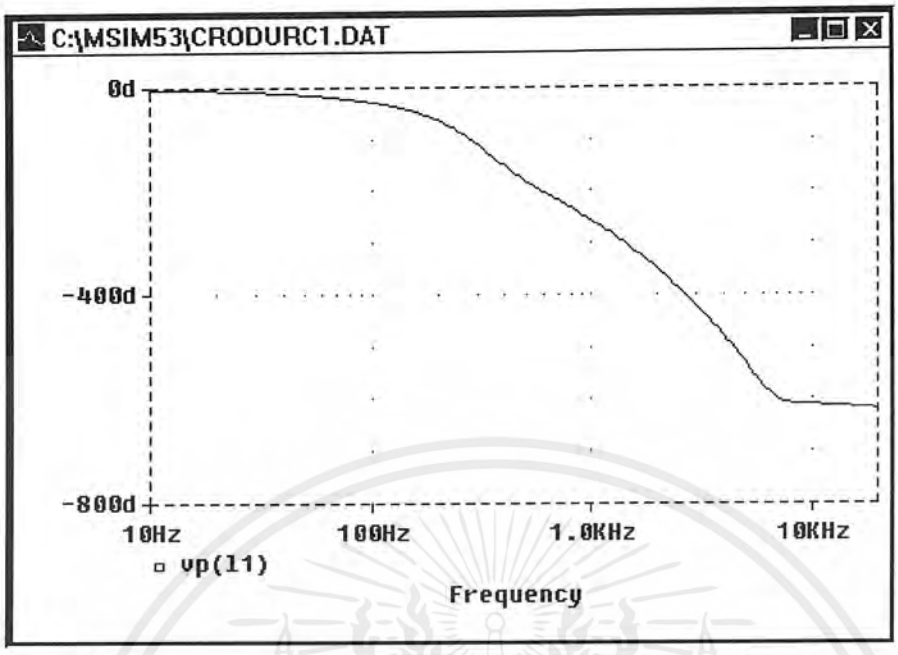
Channel 1 Level vs. Frequency

Frequency (Hz)	Level (dBu)
9.99	-0.72
15.30	-0.67
23.30	-0.64
35.50	-0.60
54.10	-0.52
82.60	-0.35
126.00	-0.01
192.20	0.61
293.20	0.39
447.20	-4.95
683.02	-13.65
1040.59	-22.59
1587.39	-32.72
2421.48	-43.47
5634.44	-58.53
8594.90	-56.08
13110.95	-54.71
19999.78	-52.59



รูปที่ 5.16 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ ด้วย Pspice

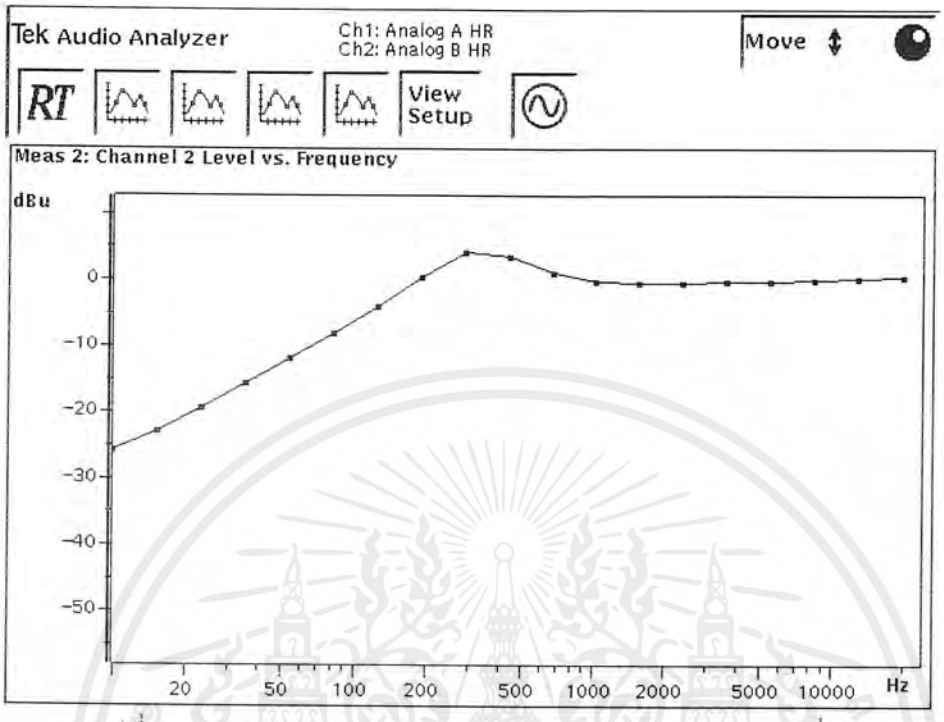
ตารางที่ 5.8 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ

Tek Audio Analyzer Ch1: Analog A HR Ch2: Analog B HR Move RT View Setup

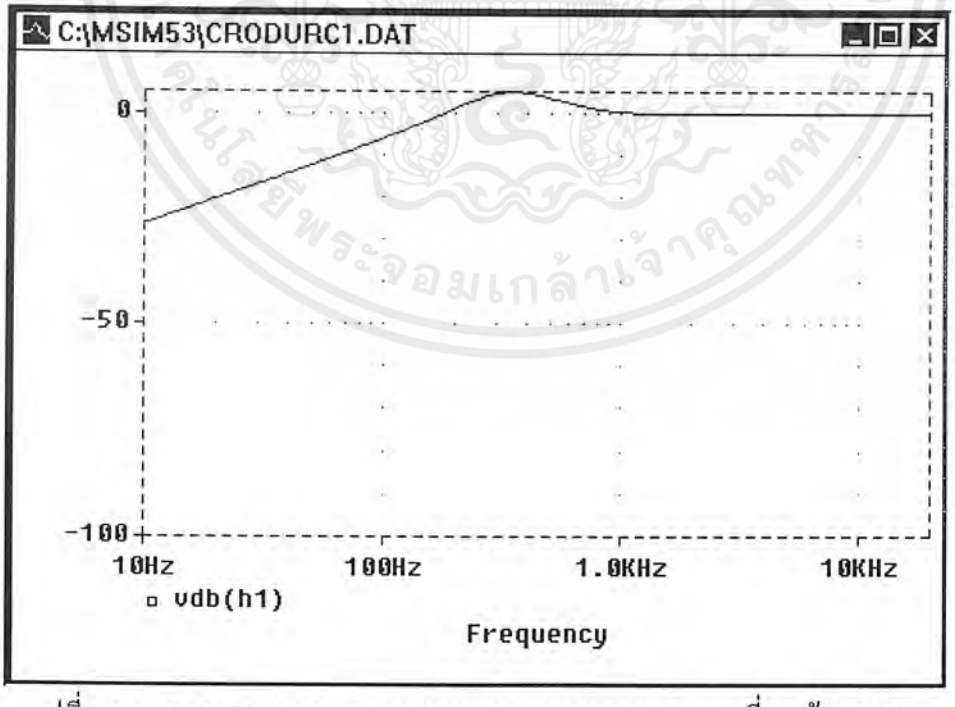
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	-3.99
15.30	-4.14
23.30	-6.28
35.50	-9.52
54.10	-14.48
82.60	-22.42
126.00	-35.38
192.20	-58.74
293.20	-105.14
447.20	-167.74
682.19	143.19
1040.58	96.62
1587.38	42.36
2421.47	-17.24
3693.76	-29.07
5634.44	48.69
8595.01	50.01
13110.96	55.89
19999.78	60.48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



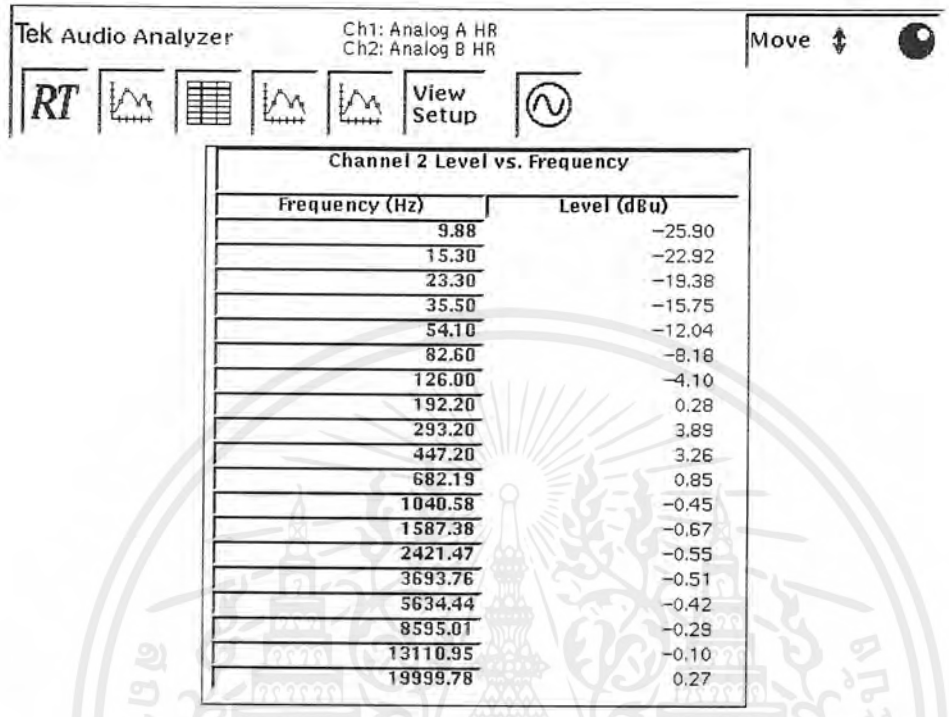
รูปที่ 5.18 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง



รูปที่ 5.19 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง ด้วย Pspice

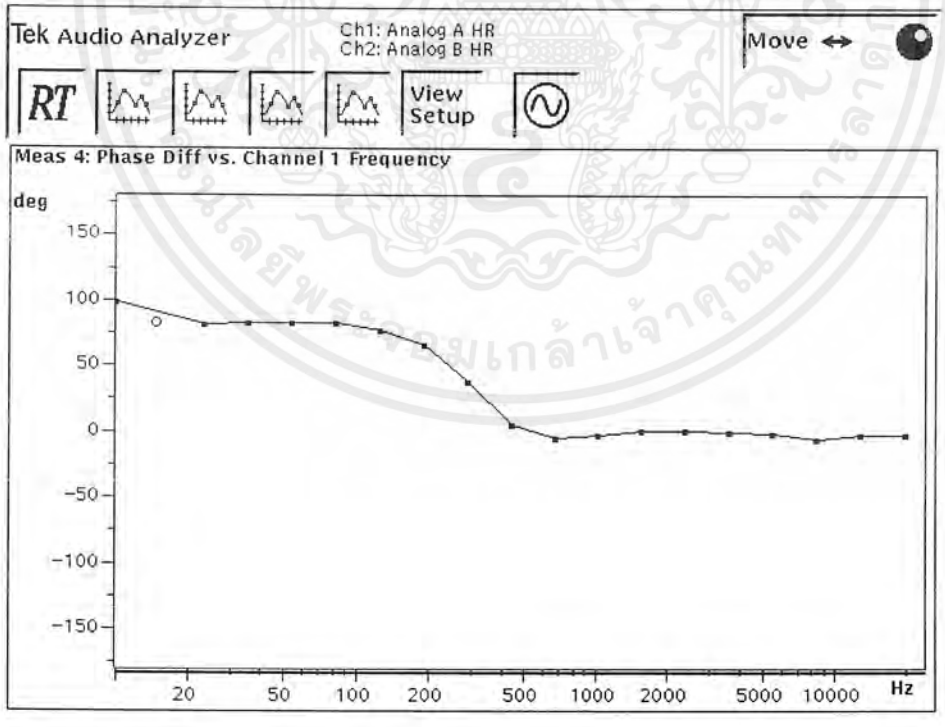
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.9 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง



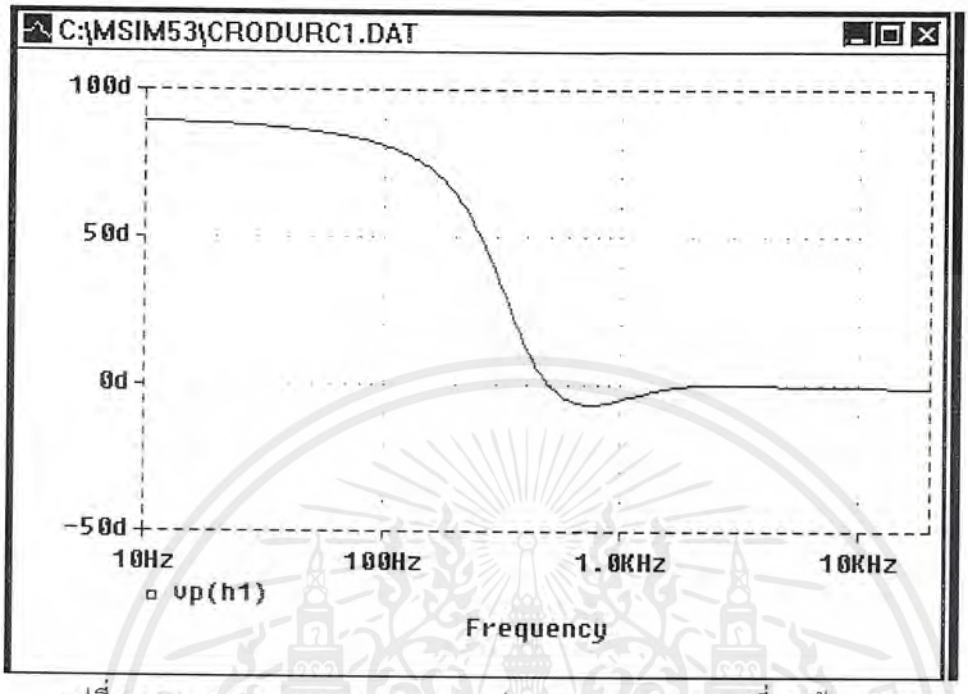
Channel 2 Level vs. Frequency

Frequency (Hz)	Level (dBu)
9.88	−25.90
15.30	−22.92
23.30	−19.38
35.50	−15.75
54.10	−12.04
82.60	−8.18
126.00	−4.10
192.20	0.28
293.20	3.89
447.20	3.26
682.19	0.85
1040.58	−0.45
1587.38	−0.67
2421.47	−0.55
3693.76	−0.51
5634.44	−0.42
8595.01	−0.29
13110.95	−0.10
19999.78	0.27



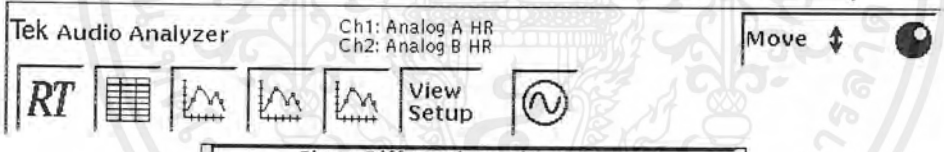
รูปที่ 5.20 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง ด้วย Pspice

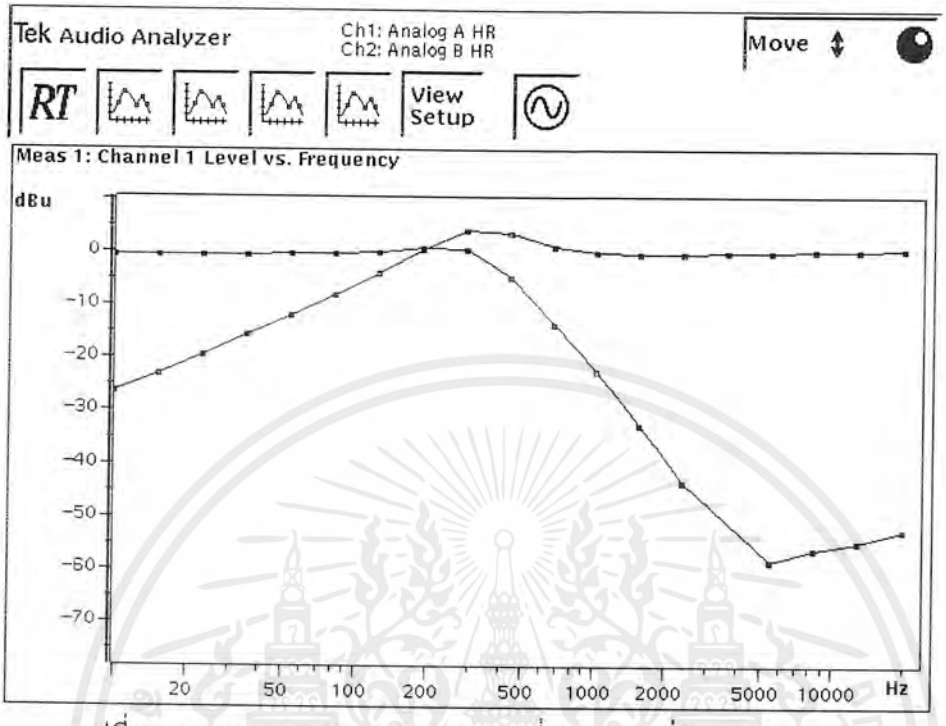
ตารางที่ 5.10 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง



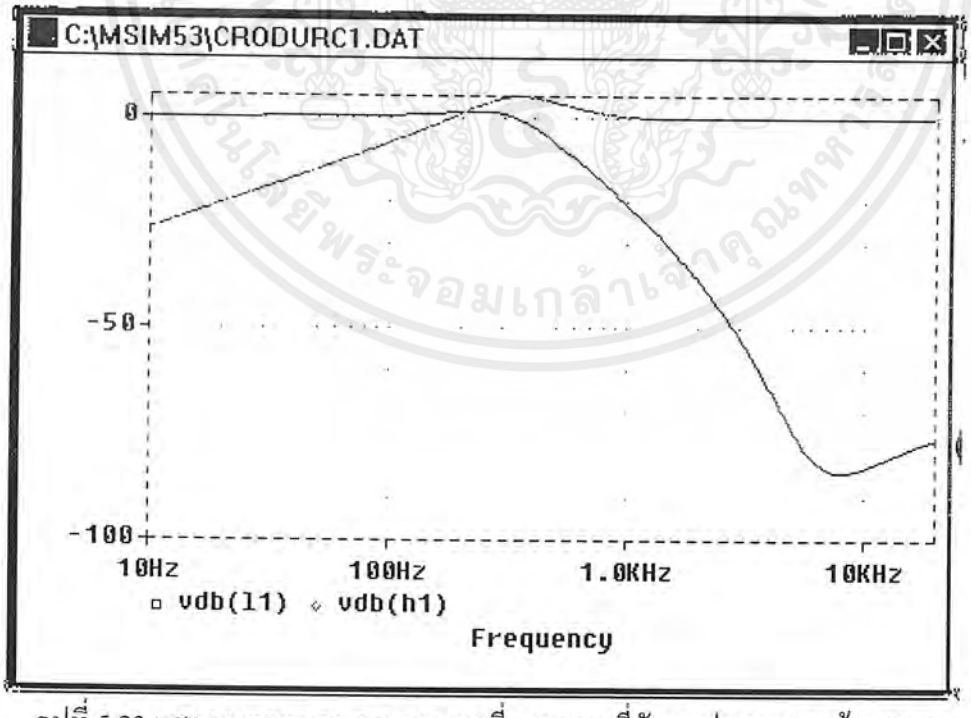
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	98.41
23.30	81.16
35.50	82.32
54.10	82.17
82.60	82.63
126.00	77.20
192.20	65.23
293.20	37.24
447.20	4.84
682.19	-5.18
1040.58	-3.42
1587.39	0.53
2421.47	-0.10
3693.77	-1.36
5634.44	-2.22
8595.00	-6.84
13110.95	-3.40
19999.78	-3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

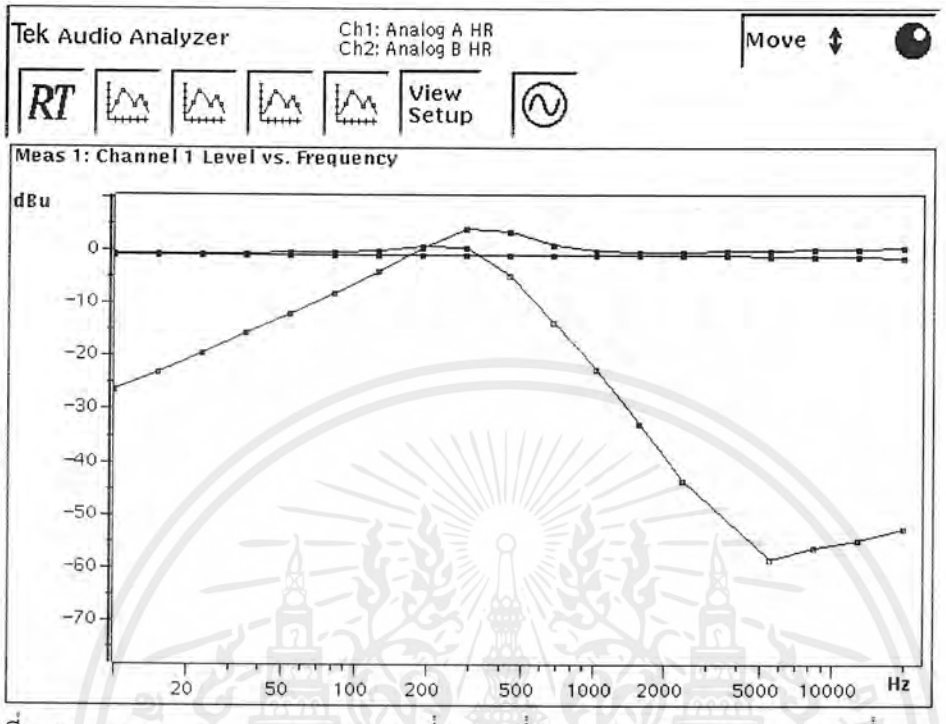


รูปที่ 5.22 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร

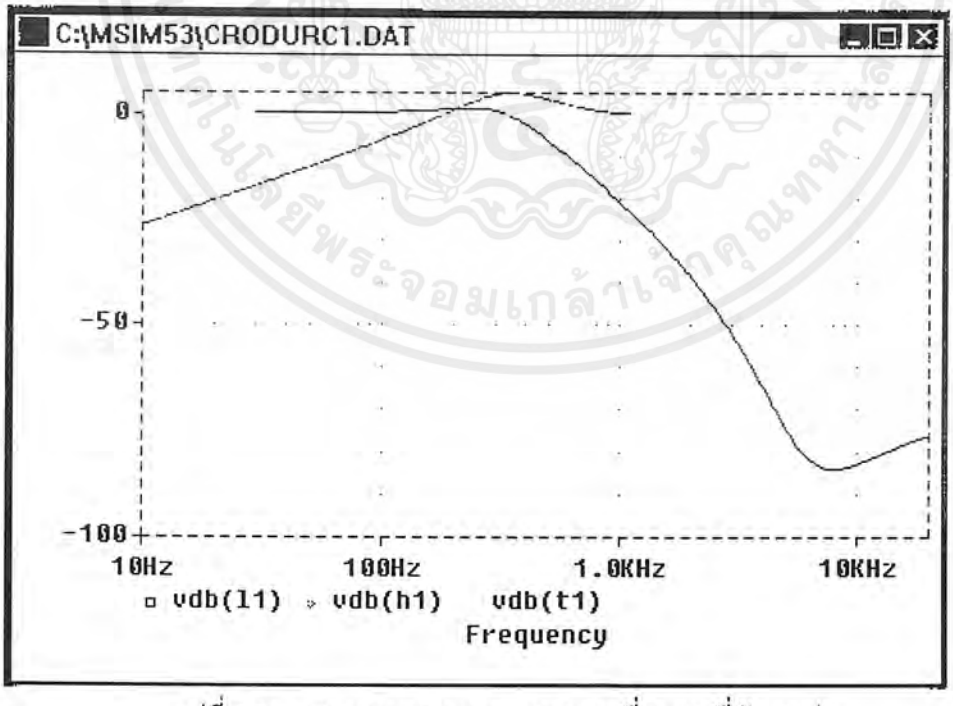


รูปที่ 5.23 แสดงการตอบสนองทางความถี่และความถี่คัทออฟของวงจร ด้วย Pspice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.24 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ และผลรวมทางความถี่ของวงจร



รูปที่ 5.25 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจรด้วย Pspice

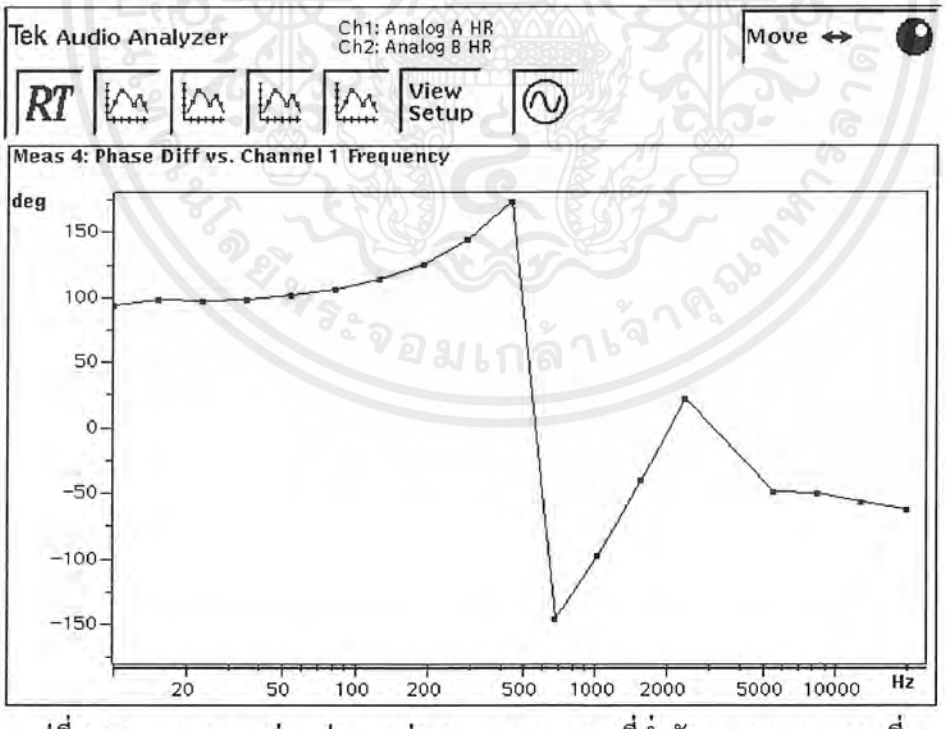
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.11 แสดงผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค

Tek Audio Analyzer
Ch1: Analog A HR
Ch2: Analog B HR
Move
RT
View Setup

Channel 1 Level vs. Frequency

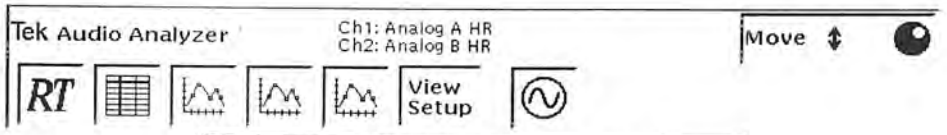
Frequency (Hz)	Level (dBu)
10.00	-0.90
15.30	-0.88
23.30	-0.87
35.50	-0.86
54.10	-0.86
82.60	-0.85
126.00	-0.85
192.20	-0.84
293.20	-0.84
447.20	-0.84
682.19	-0.85
1040.59	-0.87
1587.38	-0.91
2421.47	-1.00
3693.76	-1.11
5634.44	-1.22
8595.01	-1.30
13110.96	-1.36
19999.78	-1.41



รูปที่ 5.26 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

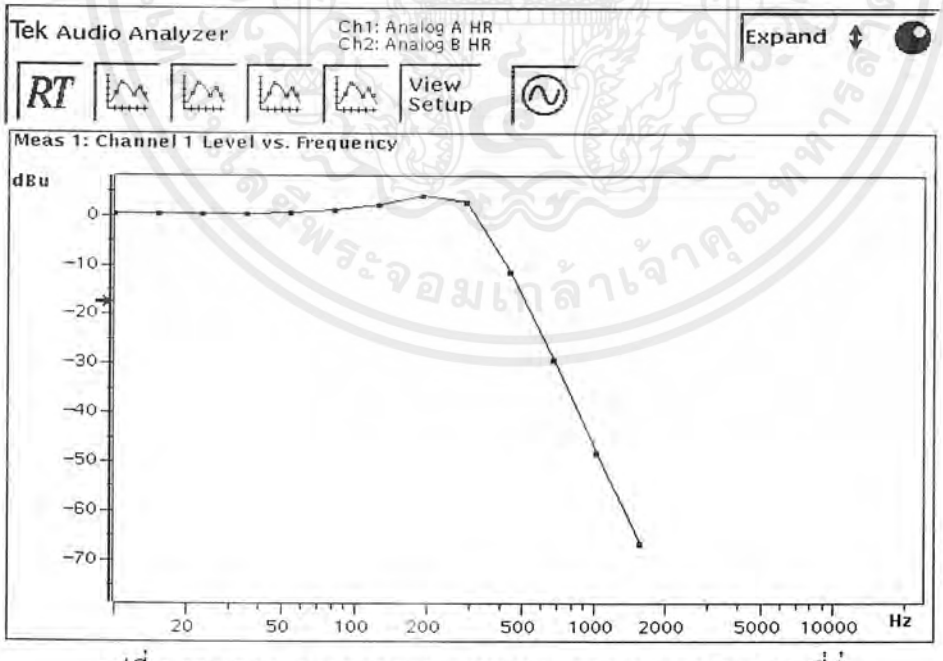
ตารางที่ 5.12 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง



Phase Diff vs. Channel 1 Frequency

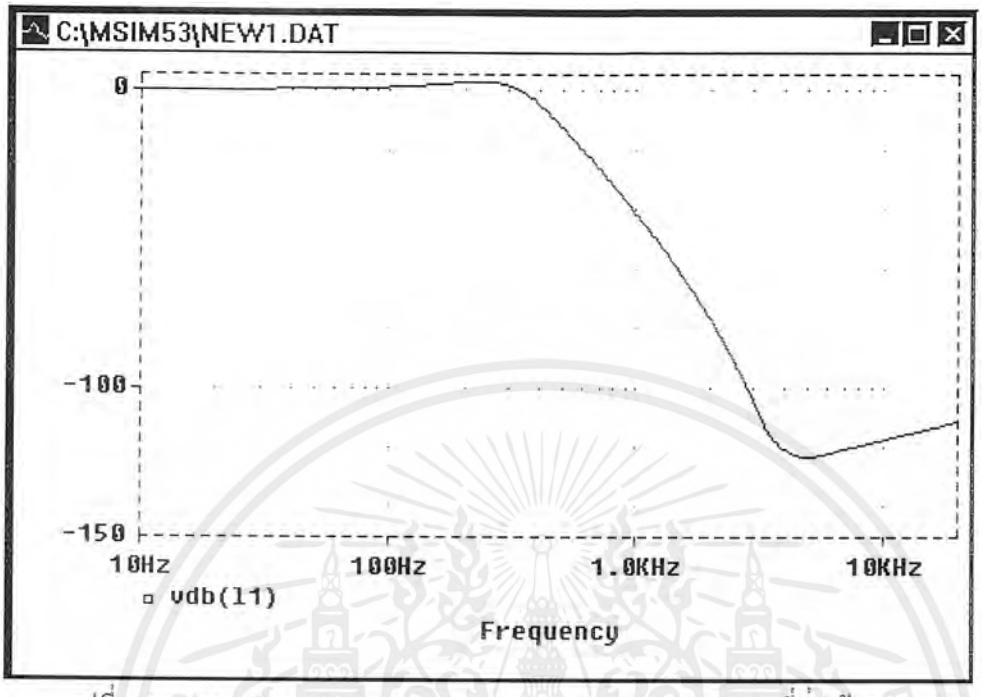
Frequency (Hz)	deg
9.99	93.14
15.30	97.91
23.30	97.57
35.50	98.62
54.10	101.30
82.60	106.02
126.00	113.61
192.20	125.28
293.20	144.05
447.20	173.97
682.19	−147.23
1040.59	−98.38
1587.39	−40.18
2421.48	21.22
5634.44	−49.19
8594.90	−50.69
13110.95	−57.32
19999.78	−63.46

5.3 ผลการทดลองวงจรครอสโอเวอร์เน็ทเวอร์คด้วย ดียูอาร์ซี แบบที่ 2



รูปที่ 5.27 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.28 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ ด้วย Pspcie

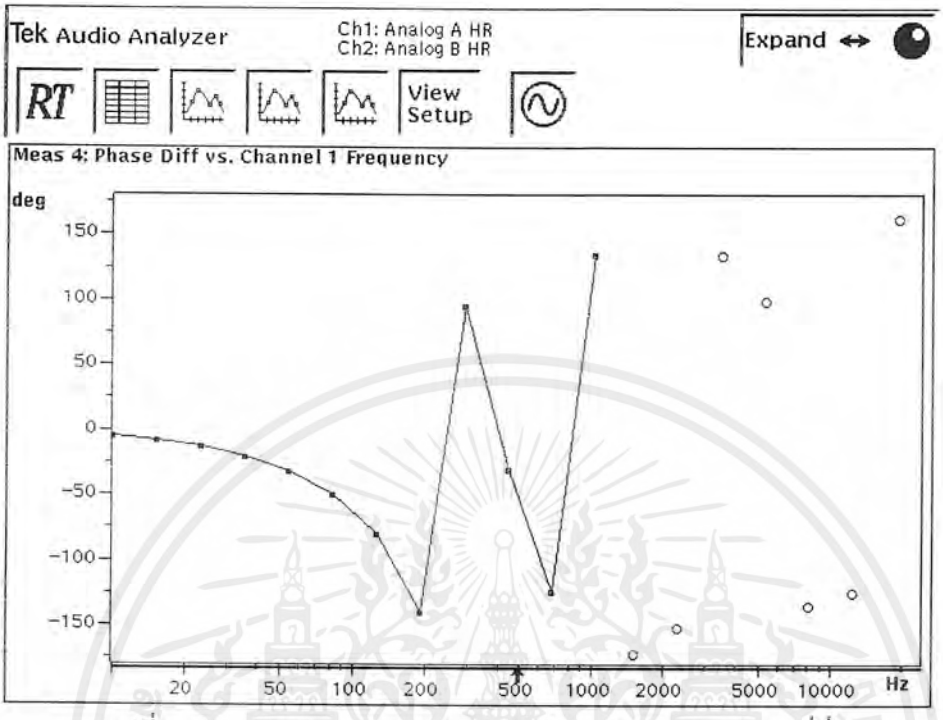
ตารางที่ 5.13 แสดงค่าผลการตอบสนองทางขนาดของวงจรกรองความถี่ต่ำ

Tek Audio Analyzer
Ch1: Analog A HR
Ch2: Analog B HR
Move
RT
View Setup

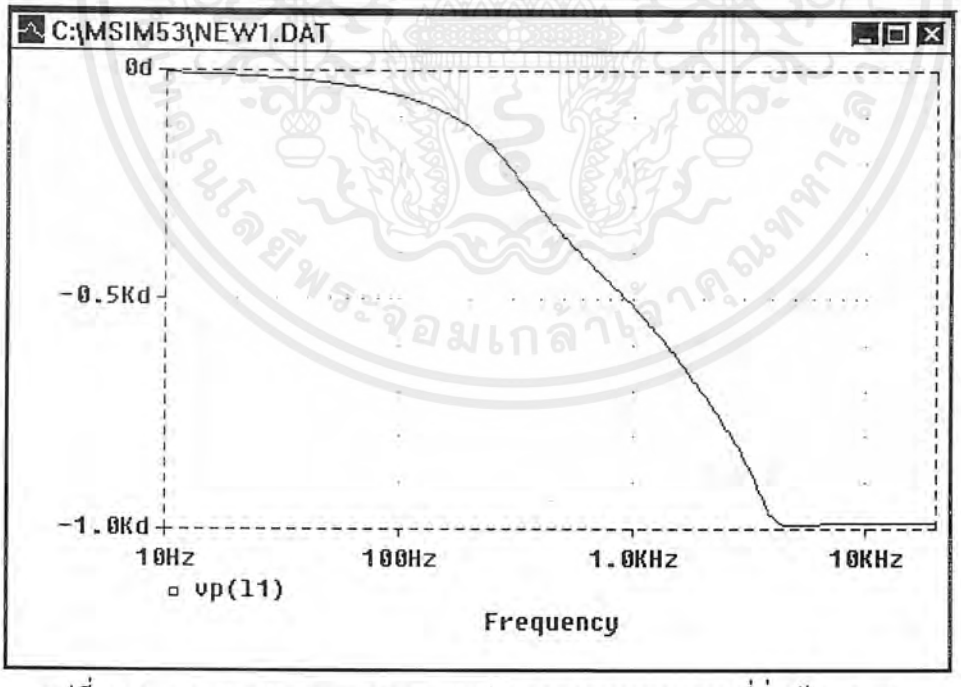
Channel 1 Level vs. Frequency

Frequency (Hz)	Level (dBu)
10.00	0.20
15.30	0.23
23.30	0.28
35.50	0.37
54.10	0.58
82.60	1.06
126.00	2.10
192.20	4.00
293.20	2.80
447.20	-11.30
682.19	-29.37
1040.67	-48.15
1586.89	-66.81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



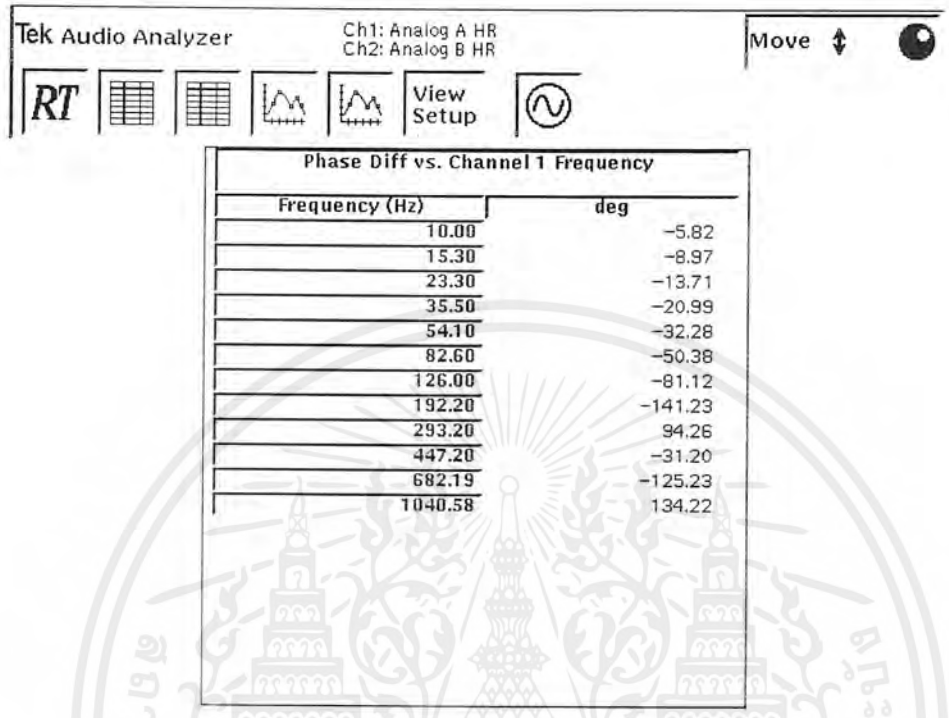
รูปที่ 5.29 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ



รูปที่ 5.30 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ ด้วย Pspice

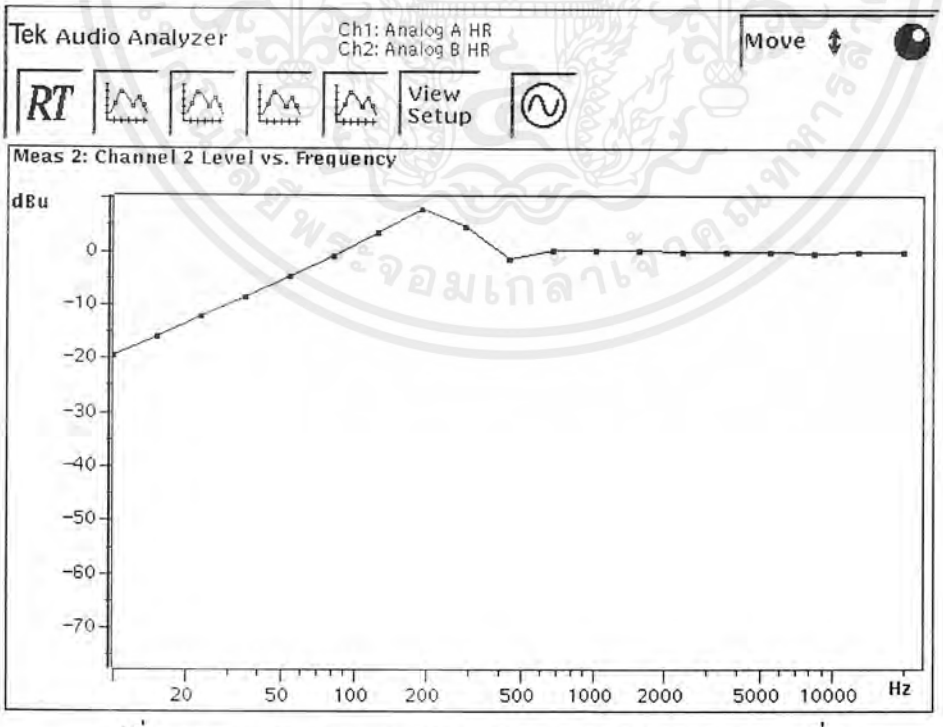
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.14 แสดงค่าผลการตอบสนองทางเฟสของวงจรกรองความถี่ต่ำ



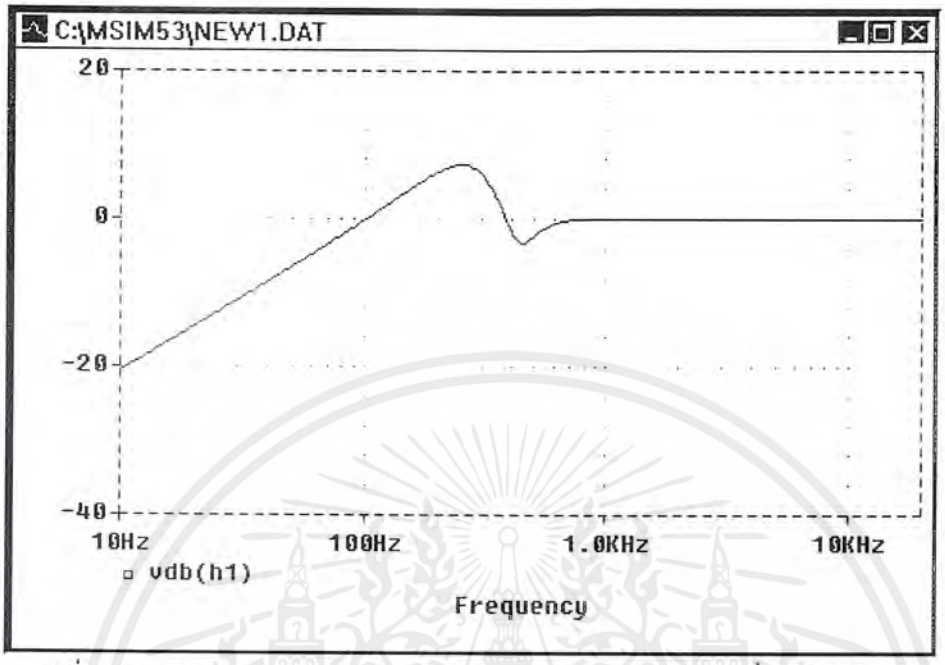
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	-5.82
15.30	-8.97
23.30	-13.71
35.50	-20.99
54.10	-32.28
82.60	-50.38
126.00	-81.12
192.20	-141.23
293.20	94.26
447.20	-31.20
682.19	-125.23
1040.58	134.22



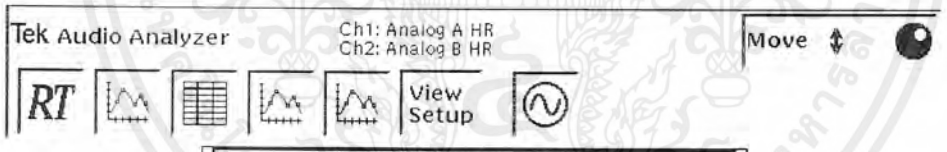
รูปที่ 5.31 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.32 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง ด้วย Pspice

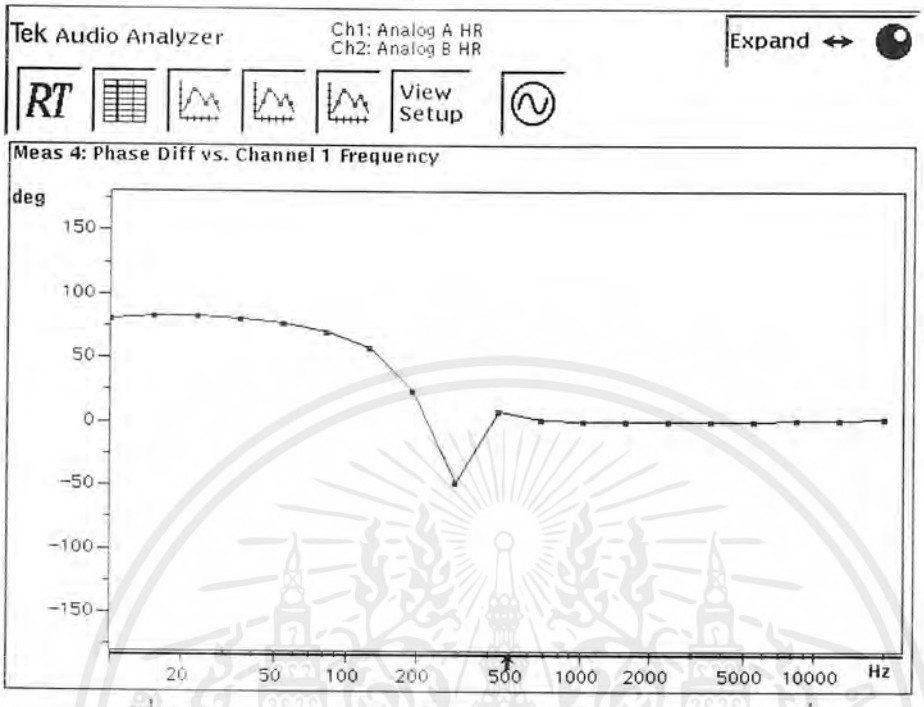
ตารางที่ 5.15 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง



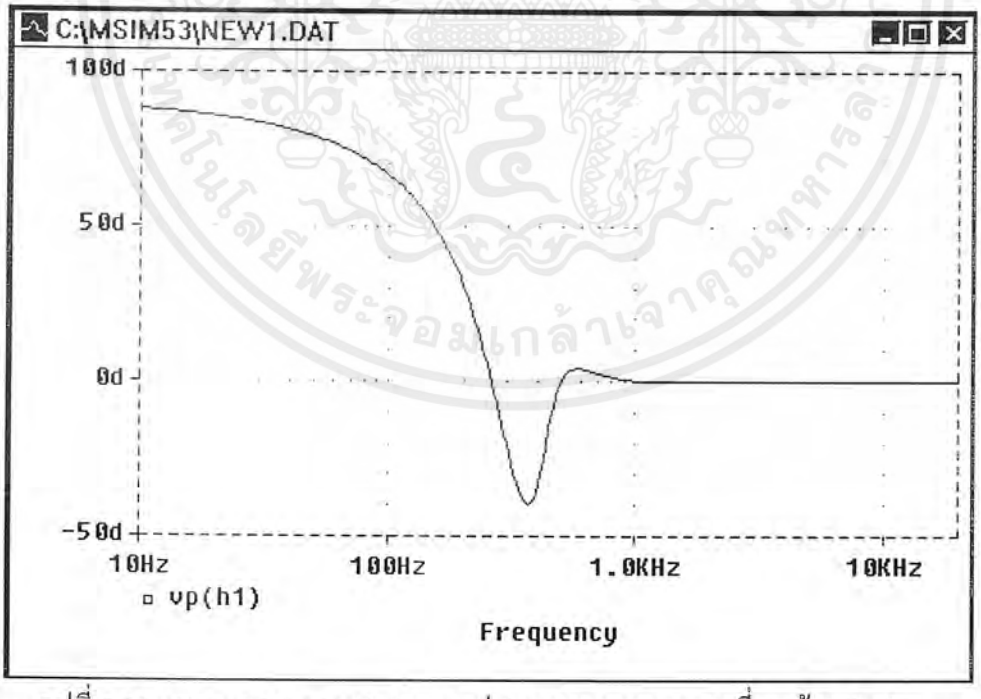
Channel 2 Level vs. Frequency

Frequency (Hz)	Level (dBu)
10.00	-19.48
15.30	-15.81
23.30	-12.14
35.50	-8.43
54.10	-4.63
82.60	-0.63
126.00	3.73
192.20	8.15
293.20	4.70
447.20	-1.32
682.19	0.44
1040.58	0.31
1587.38	0.25
2421.47	0.16
3693.76	0.05
5634.43	-0.06
8595.01	-0.11
13110.96	-0.05
19999.78	0.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.33 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง



รูปที่ 5.34 แสดงผลการตอบสนองทางเฟสของวงจรกรองความถี่สูง ด้วย Pspice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

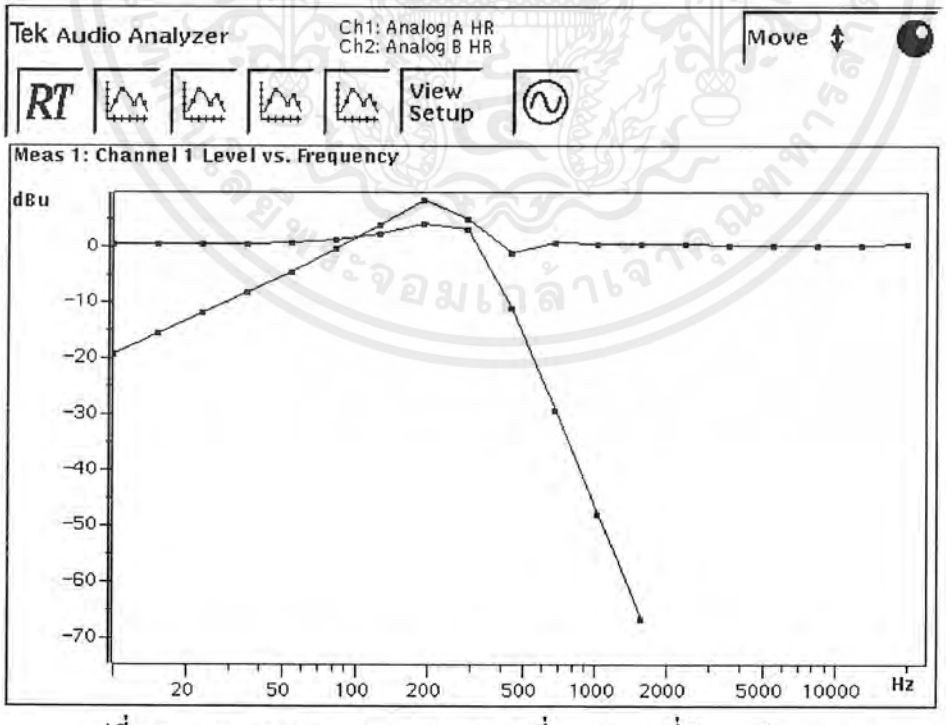
ตารางที่ 5.16 แสดงผลการตอบสนองทางขนาดของวงจรกรองความถี่สูง

Tek Audio Analyzer Ch1: Analog A HR Ch2: Analog B HR Move

RT View Setup

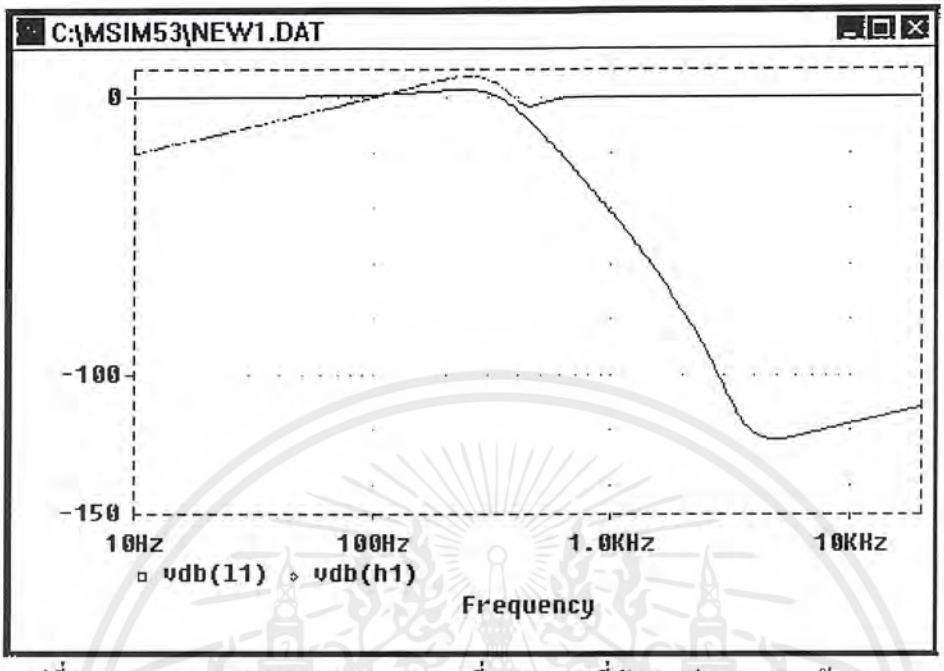
Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	80.46
15.30	81.88
23.30	81.89
35.50	80.43
54.10	76.97
82.60	70.47
126.00	57.05
192.20	24.07
293.20	-48.77
447.19	7.56
682.19	1.20
1040.58	-0.05
1587.38	0.08
2421.47	0.14
3693.76	0.26
5634.43	0.54
8595.01	1.00
13110.95	1.54
19999.78	1.81

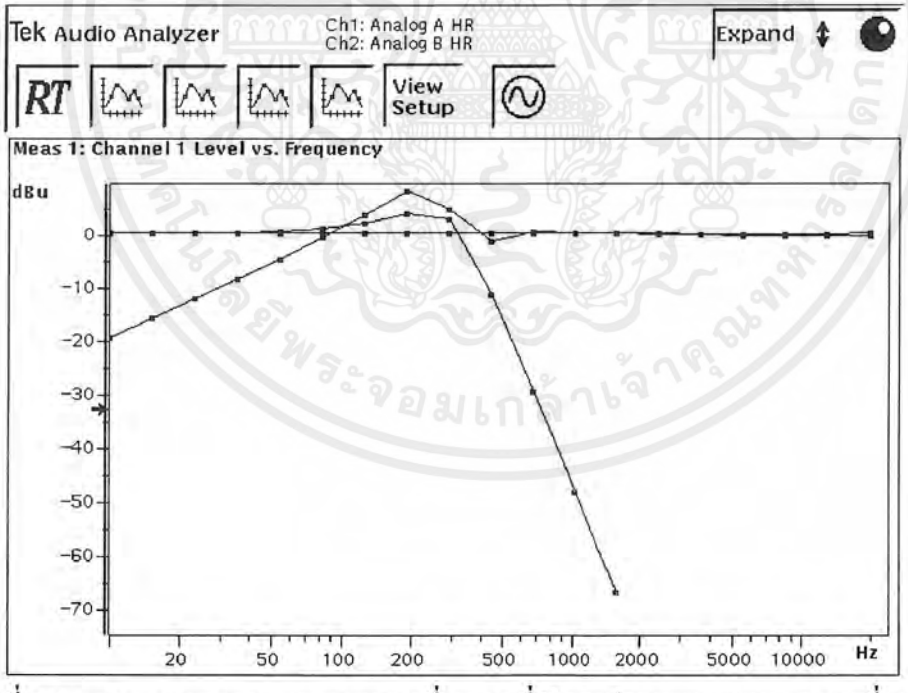


รูปที่ 5.35 แสดงการตอบสนองทางความถี่ และความถี่คัทออฟของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

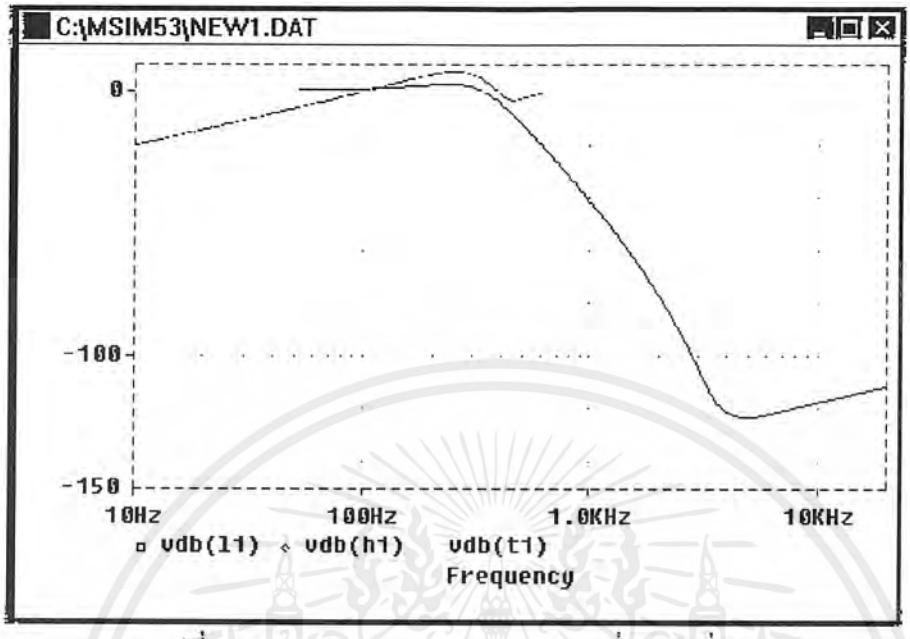


รูปที่ 5.36 แสดงการตอบสนองทางความถี่และความถี่คัทออฟของวงจร ด้วย Pspice



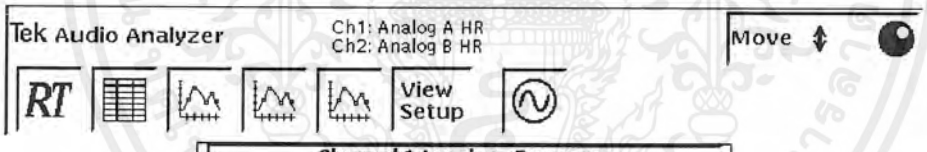
รูปที่ 5.37 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ และผลรวมทางความถี่ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.38 แสดงการตอบสนองทางความถี่, ความถี่คัทออฟ
และผลรวมทางความถี่ของวงจรด้วย Pspice

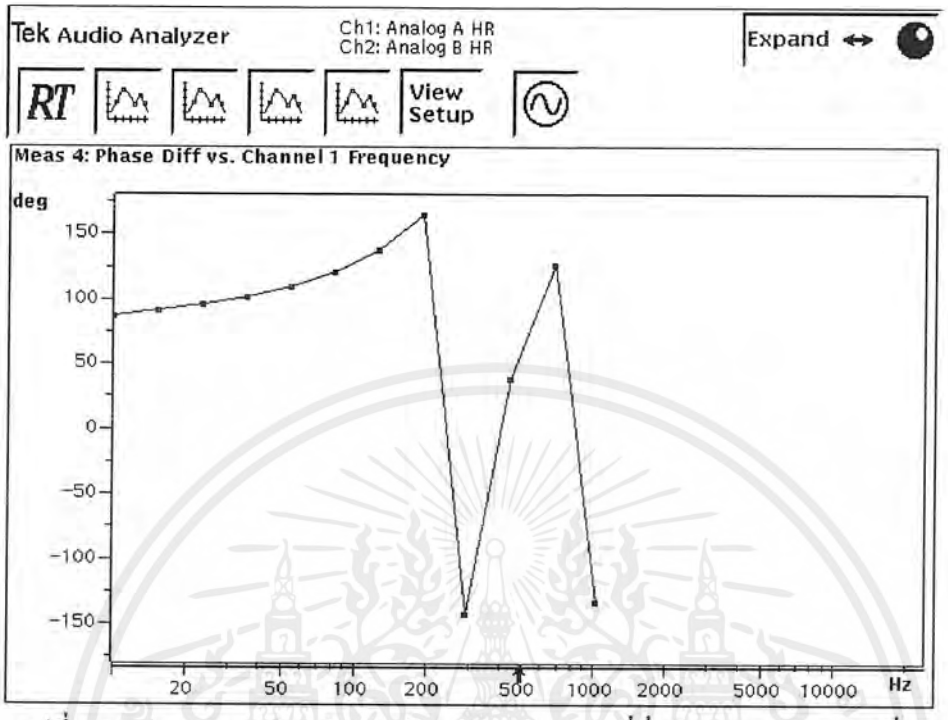
ตารางที่ 5.17 แสดงผลรวมทางความถี่ของวงจรครอสโอเวอร์เน็ทเวอร์ค



Channel 1 Level vs. Frequency

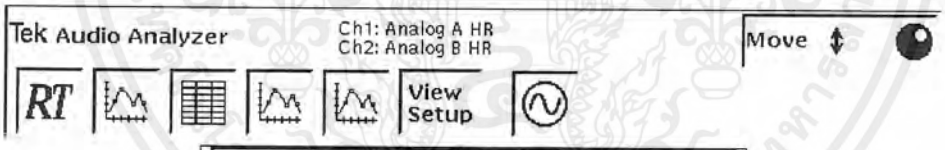
Frequency (Hz)	Level (dBu)
10.00	0.17
15.30	0.19
23.30	0.21
35.50	0.21
54.10	0.22
82.60	0.22
126.00	0.22
192.20	0.23
293.20	0.23
447.20	0.23
682.19	0.22
1040.58	0.20
1587.38	0.16
2421.47	0.07
3693.76	−0.04
5634.44	−0.15
8595.01	−0.23
13110.96	−0.29
19999.78	−0.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.39 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง

ตารางที่ 5.18 แสดงความต่างเฟสระหว่างวงจรกรองความถี่ต่ำกับวงจรกรองความถี่สูง



Phase Diff vs. Channel 1 Frequency

Frequency (Hz)	deg
10.00	86.39
15.30	90.92
23.30	95.65
35.50	101.44
54.10	109.31
82.60	120.85
126.00	138.16
192.20	165.28
293.20	-143.05
447.19	38.73
682.20	126.30
1040.57	-134.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุป และวิจารณ์ผลการทดลอง

6.1 สรุปและวิจารณ์ผลการทดลอง

จากการทดลอง จะเห็นได้ว่า ผลการตอบสนองทางความถี่ของวงจรกรองความถี่สูงไม่ดีเท่าที่ควร เนื่องจากค่า α ซึ่งเป็นพารามิเตอร์ที่สำคัญที่ใช้ในการปรับคุณลักษณะของวงจรกรองความถี่ทั้งสองนั้น แปรผันกันอยู่ กล่าวคือ ถ้าวงจรกรองความถี่ต่ำใช้ค่า α มาก ค่า α ของวงจรกรองความถี่สูงก็จะมีค่าน้อยลง จึงจะทำให้วงจรกรอสโอเวอร์เน็ทเวอร์คสามารถรวมสัญญาณทั้งด้านโลพาส และไฮพาสแล้วมีค่าเป็นหนึ่ง ซึ่งเป็นหัวใจที่สำคัญของการออกแบบวงจรครอสโอเวอร์เน็ทเวอร์ค แต่ผลที่ได้จะเห็นได้ว่า วงจรที่ออกแบบขึ้นจะมีความชันที่ดีแค่วงจรกรองความถี่ต่ำผ่านเท่านั้น และความชันที่วัดได้จริงนั้นยังไม่ถึงขั้นที่ดีกว่าวิธีของลิงค์วิธ เนื่องจากค่า R และ C ในท้องตลาดนั้นไม่ตรงกับค่าที่คำนวณไว้ จึงทำให้ได้ผลการทดลองที่ไม่ค่อยน่าพอใจนัก

และจากการทดลองจะเห็นได้ว่า ค่ามุมเฟสที่วัดได้จากเครื่องออดิโอ อนาไลเซอร์ ในส่วนของโลพาสไม่ตรงกับค่ามุมเฟสที่ได้จากการรัน Pspice เนื่องจากเครื่องออดิโอ อนาไลเซอร์ มีข้อจำกัดตรงที่ มุมเฟสที่วัดได้ไม่เกิน $\pm 180^\circ$ เมื่อมุมเฟสมีค่าเกิน $\pm 180^\circ$ ก็จะย้อนกลับไปทับที่เดิม จึงต้องทำความเข้าใจกับเครื่องมือชนิดนี้เสียก่อน

6.2 ปัญหาและแนวทางแก้ไข

ปัญหาที่เกิดขึ้นจากการทำโครงงานนี้คือ การสร้าง ยูอาร์ซี ด้วยการต่อแบบลัมด์อาร์ซีนั้น ถ้าแต่ละตัวห่างกันก็จะก่อให้เกิดการรบกวน และการลดทอนได้ โดยได้มีการแก้ไขการจัดวางอุปกรณ์ให้อยู่ในรูปของซ๊อตเกตไอซี ซึ่งสามารถลดปัญหาที่เกิดขึ้นนี้ได้ และยังสามารถนำไปใช้เป็นโมดูลง่ายต่อการปรับเปลี่ยนความถี่ได้ตามต้องการ แต่การต่อแบบนี้ก็ยังมีข้อเสียอยู่บ้างตรงที่ไม่สามารถต่อค่า C ที่มีค่าสูงได้ เพราะ C ที่มีค่าสูงนั้นจะมีลักษณะตัวที่ใหญ่ไม่สามารถใส่ซ๊อตเกตได้ จึงต้องมีการปรับให้ R มีค่าต่ำลง จึงจะใช้ C ที่มีค่าต่ำได้

อีกปัญหาหนึ่งที่เกิดขึ้น จากการทดลองจะเห็นได้ว่า คุณลักษณะที่ได้ของวงจรกรองความถี่สูงไม่ค่อยดีและราบเรียบเท่าที่ควร เนื่องจากวงจรครอสโอเวอร์เน็ทเวอร์คที่ได้นำเสนอนี้ เป็นการนำโลพาส และไฮพาสที่สามารถรวมกันได้ในทางสมการ แต่อาจไม่ได้เป็นวงจรที่แมชกัน จึงอาจทำให้ผลที่ได้มีคุณลักษณะที่ไม่ราบเรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 แนวทางการพัฒนา และการวิจัย

ในปริญญานิพนธ์ฉบับนี้สามารถนำไปพัฒนาต่อโดยการ นำมอสเฟต หรือ ซีมอสมาทำเป็นยูอาร์ซี ซึ่งคุณสมบัติของมอสเฟต 1 ตัวนั้นจะเทียบเท่ากับยูอาร์ซี หรือ ดียูอาร์ซี 1 ตัว ขึ้นอยู่กับการจัดวงจร ข้อดีของการใช้มอสเฟต จะทำให้วงจรมีขนาดเล็กลง สามารถใช้กับความถี่สูงได้ และสามารถปรับเปลี่ยนค่า C ของยูอาร์ซีได้ โดยการปรับแรงดันไบอัสที่ขาเกตของมอสเฟต ซึ่งมีผลทำให้ค่า C ภายในมอสเฟตมีการเปลี่ยนแปลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. รศ. ดร. กนก เจนจิระพงศ์เวช, ไพศาล สิทธิโยภาสกุล, M. Teramoto, "การอกแบบวงจรอิควอไลเซอร์โดยใช้วงจรยูนิฟอร์มดิสทริบิวท์อาร์ซี", การประชุมทางวิชาการวิศวกรมไฟฟ้า ครั้งที่ 13 ณ มหาวิทยาลัยเชียงใหม่ม หน้าที่ 157-166ม 8-9 พฤศจิกายน 2533
2. M. Teramoto, S.Sudou and K. Janchit rapongvej, "Realization of an Active Low Pass Filter using Unifromly Distributed RC Lines", ICEE, CAS 89-54, October 1989.
3. S.Pookaiyaudom, K. Dejhan and C.Watanachaiprateep, "Electronically tunable filter blocks", INT. J. Electronics,vol.46, NO. 5, 521-527
4. M.S.Ghausi and V.G.Bello, "Active Distributed RC Realization of Low Pass Magnitude Specifications", IEEE Trans. Vol. CT-16, pp.346-358, August 1969.
5. V.G. Bello and M.S. Ghuasi, "Design of Linear Phase Active Distributed RC Networks", IEEE Trans. Circuit Theory, vol. CT-16, pp.526-530, November 1969
6. Gabor C. Temes, Jack W. LaPATRA, "Introduction to Circuit Synthesis and Design", McGRAW HILL Book Company, 1977

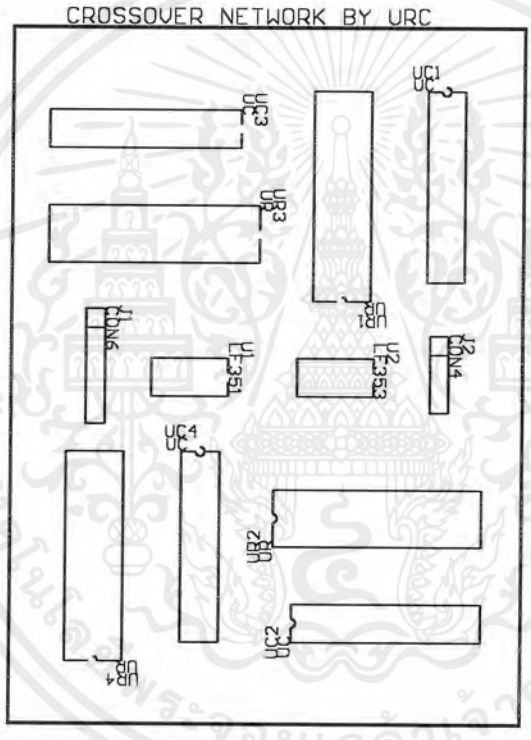
Home pages อ้างอิง

1. http://www.afn.org/~afn06011/databook.htm : Data sheet Links
2. http://www.natiom..com/semiconduction : National Semiconductor Company
3. http://www.ieee.com : IEEE Company
4. http://www-dsp.rice.edu/software/RU-FILTER/butter/ : Butterworth Home page

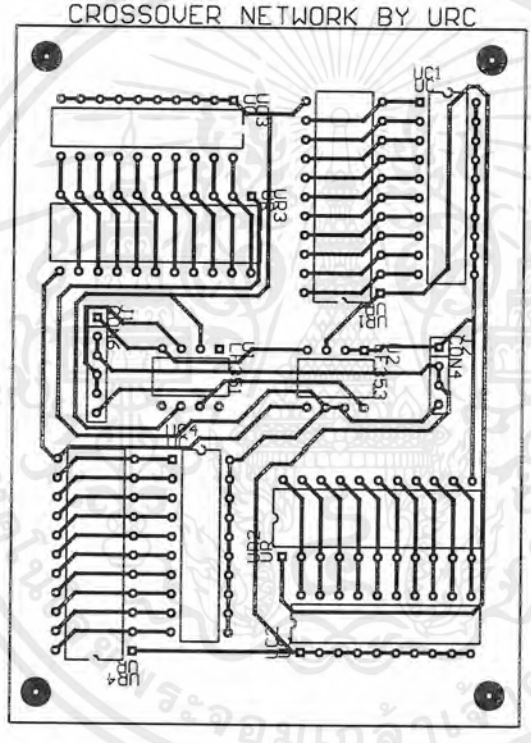
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
รายละเอียดของวงจร

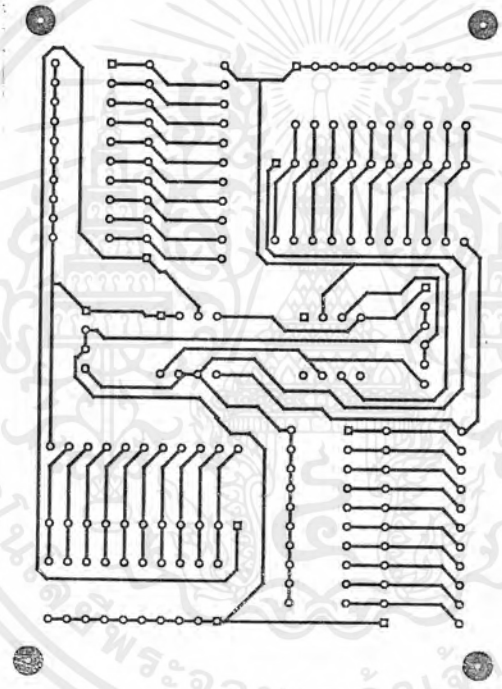
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



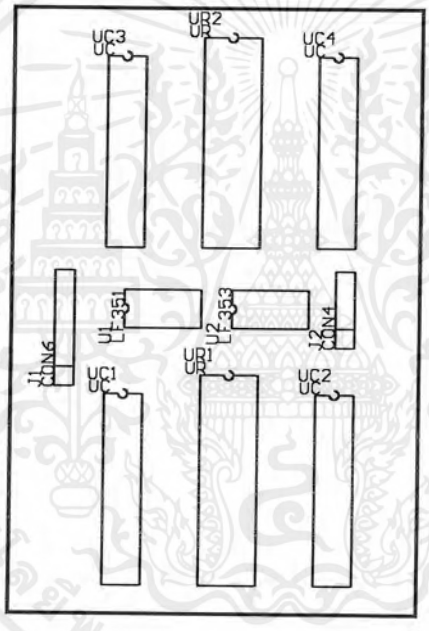
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



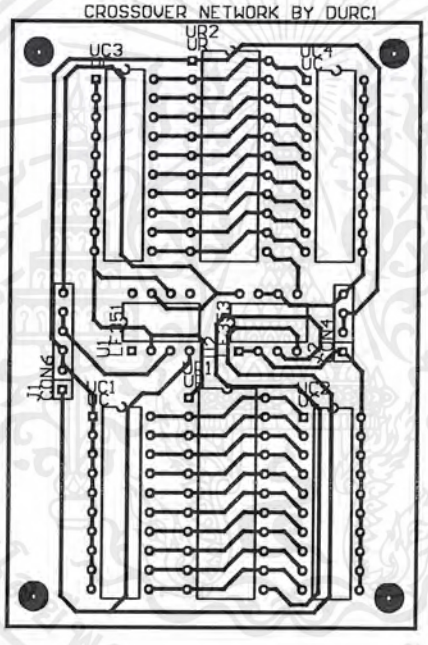
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



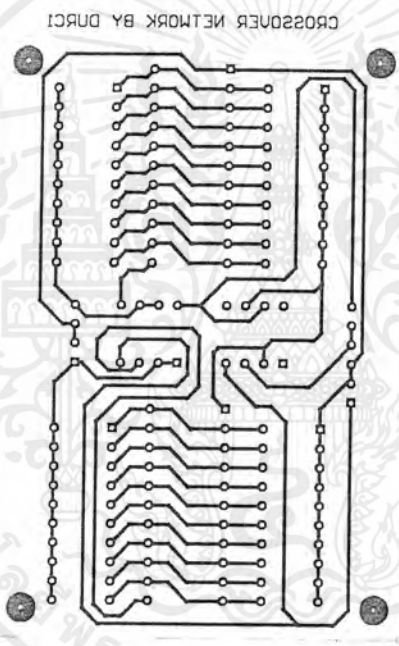
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



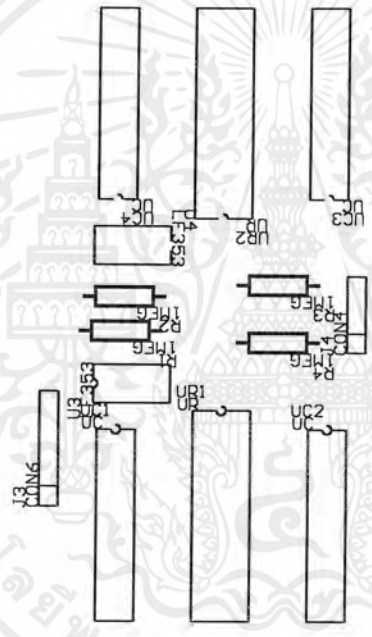
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



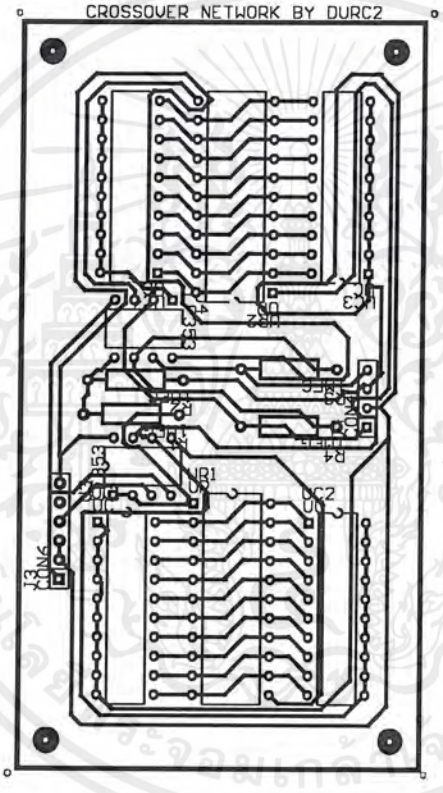
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



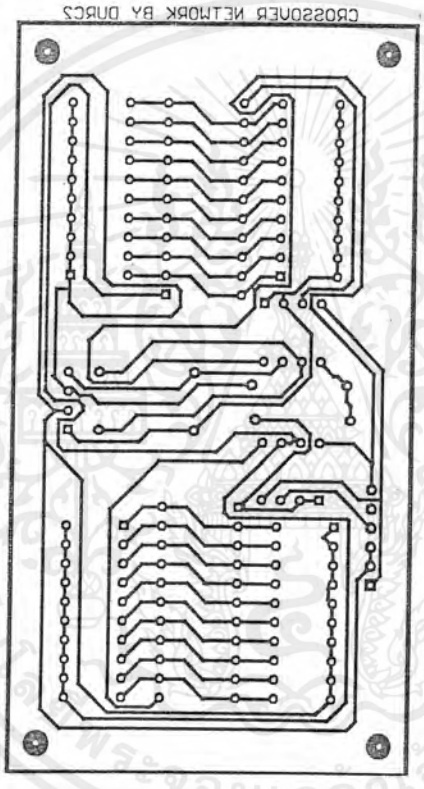
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



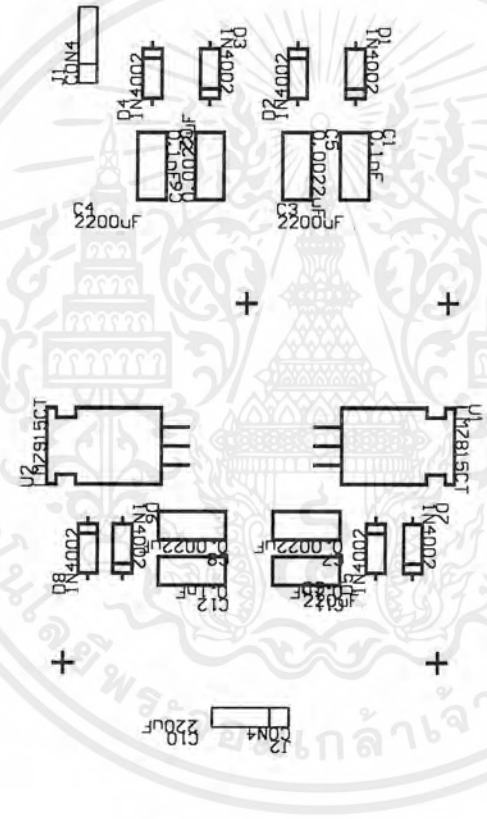
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



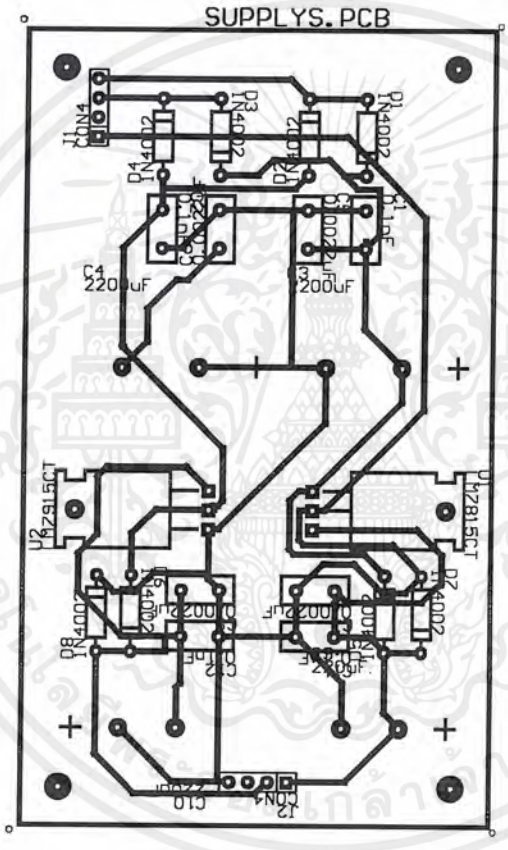
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



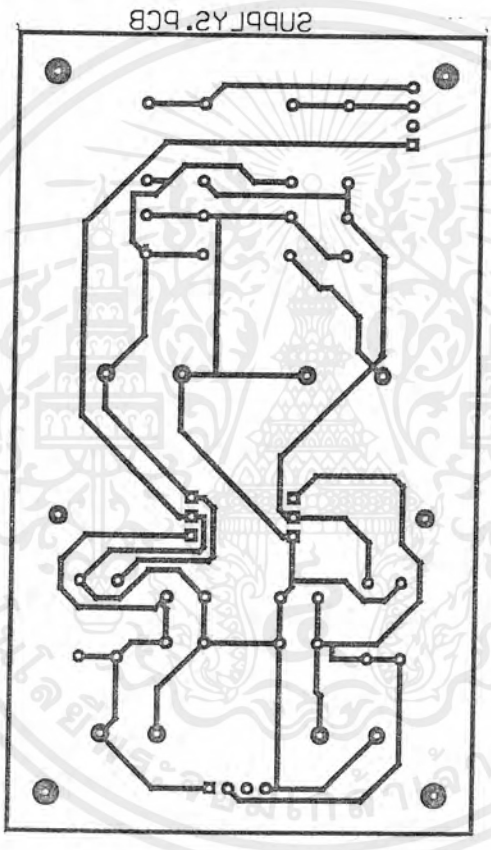
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

รายละเอียดของตัวอุปกรณ์

(Data Sheet)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

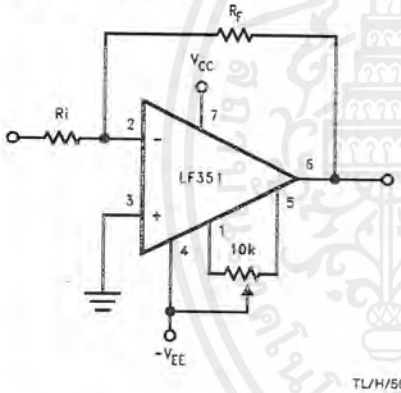
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

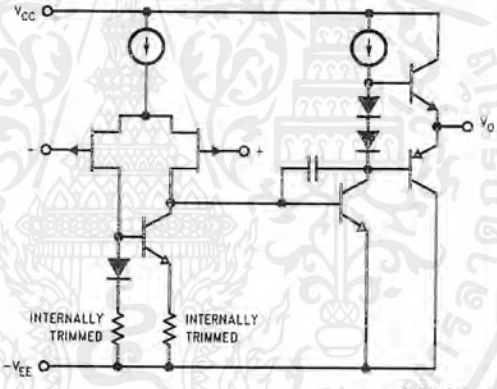
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{\text{Hz}}$
■ Low input noise current	0.01 pA/$\sqrt{\text{Hz}}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

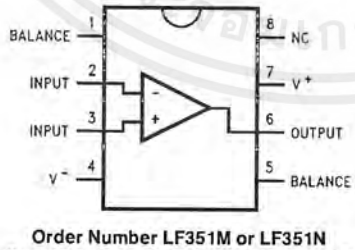
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

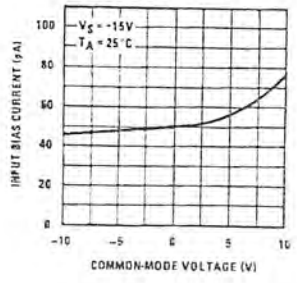
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

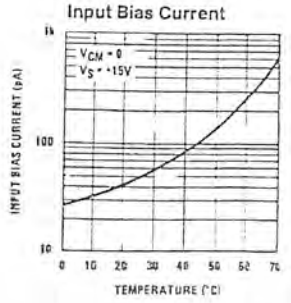
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

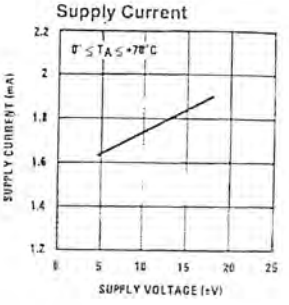
Input Bias Current



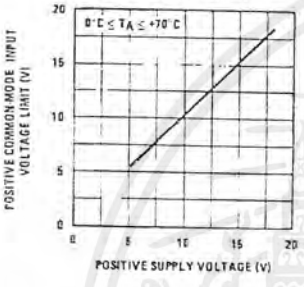
Input Bias Current



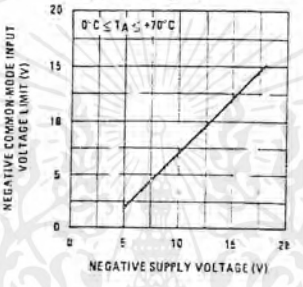
Supply Current



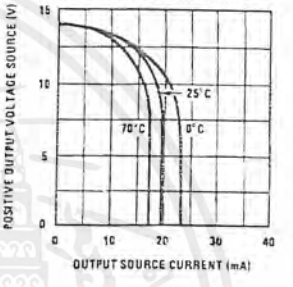
Positive Common-Mode Input Voltage Limit



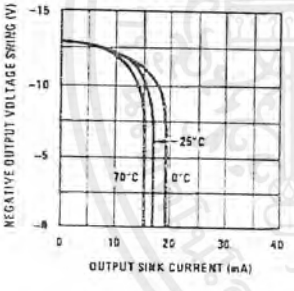
Negative Common-Mode Input Voltage Limit



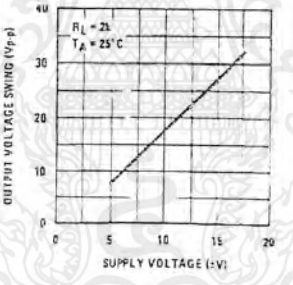
Positive Current Limit



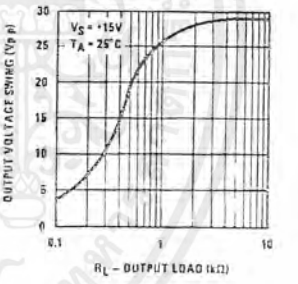
Negative Current Limit



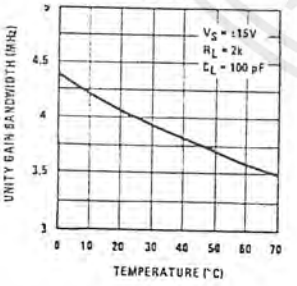
Voltage Swing



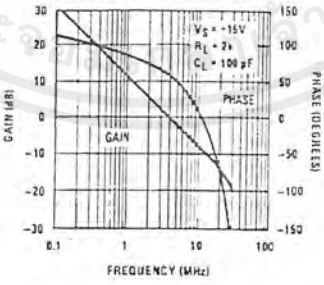
Output Voltage Swing



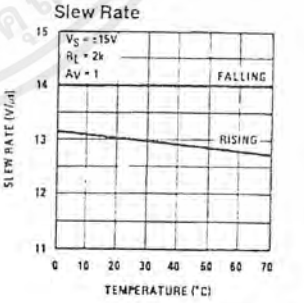
Gain Bandwidth



Bode Plot



Slew Rate

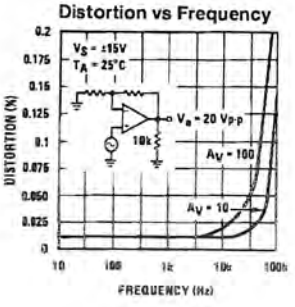


TL/H/5648–2

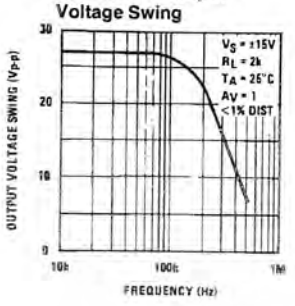
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

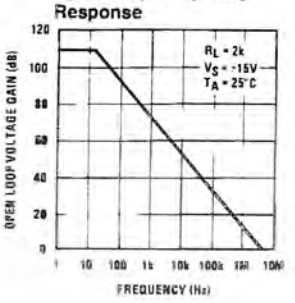
Distortion vs Frequency



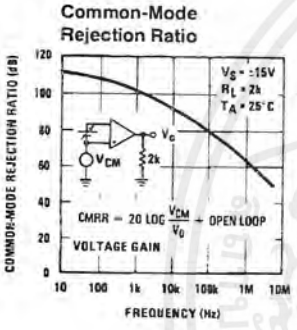
Undistorted Output Voltage Swing



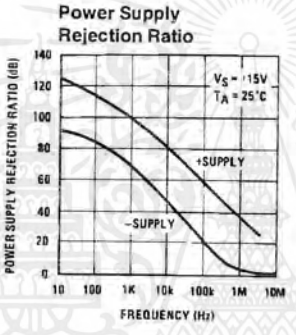
Open Loop Frequency Response



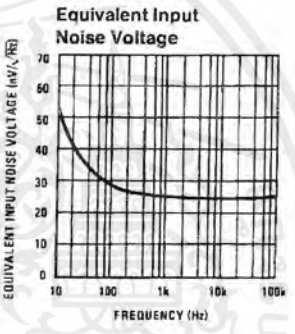
Common-Mode Rejection Ratio



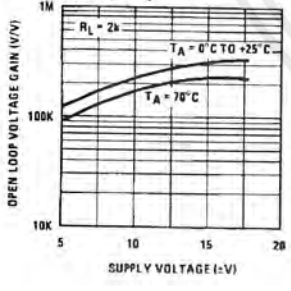
Power Supply Rejection Ratio



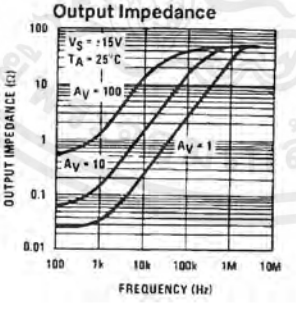
Equivalent Input Noise Voltage



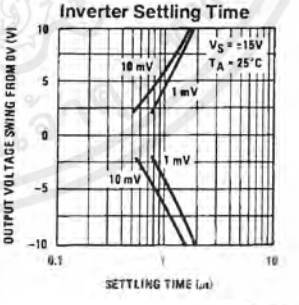
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

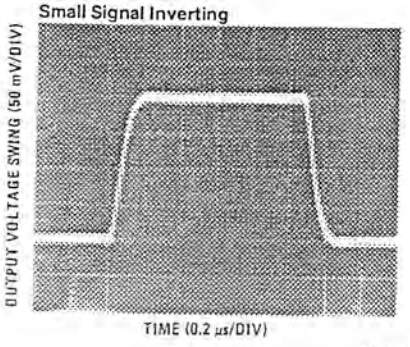


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

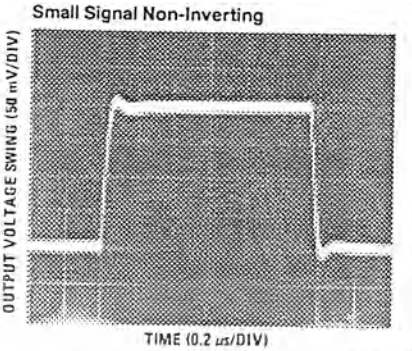
Pulse Response

Small Signal Inverting



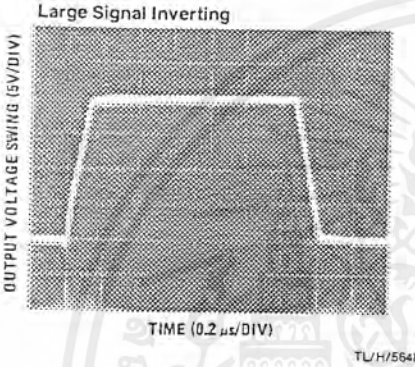
TL/H/5648–4

Small Signal Non-Inverting



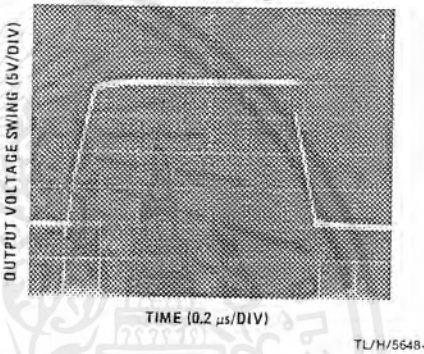
TL/H/5648–5

Large Signal Inverting



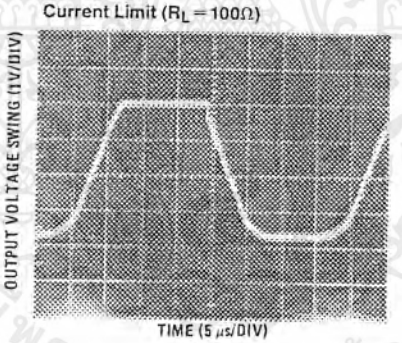
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

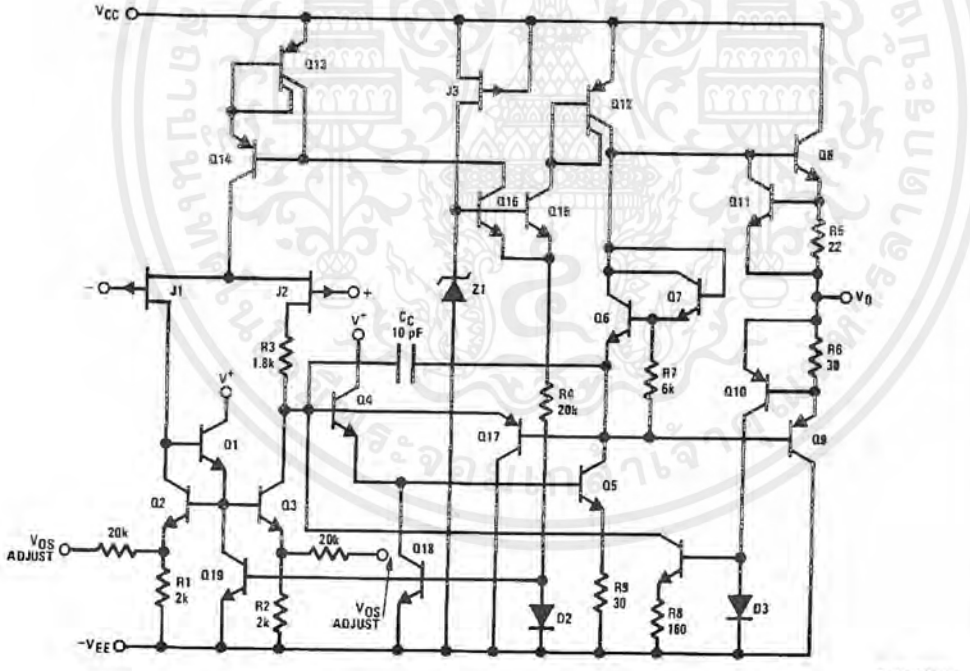
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

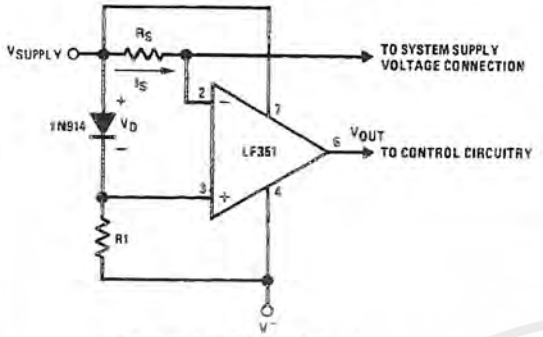


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

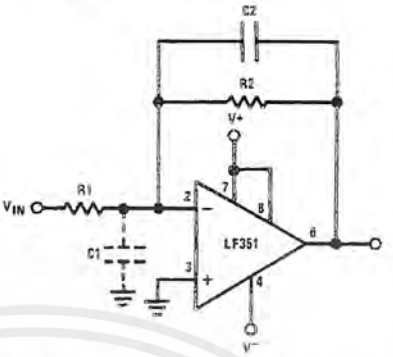
Typical Applications

Supply Current Indicator/Limiter



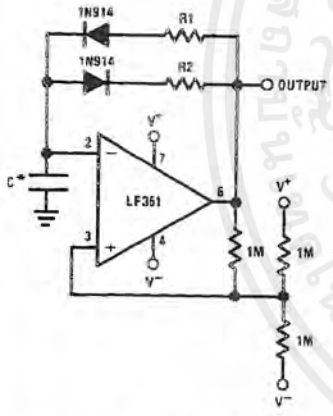
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1

Ultra-Low (or High) Duty Cycle Pulse Generator



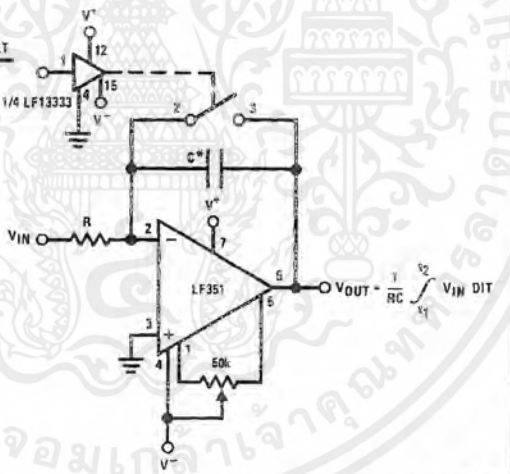
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



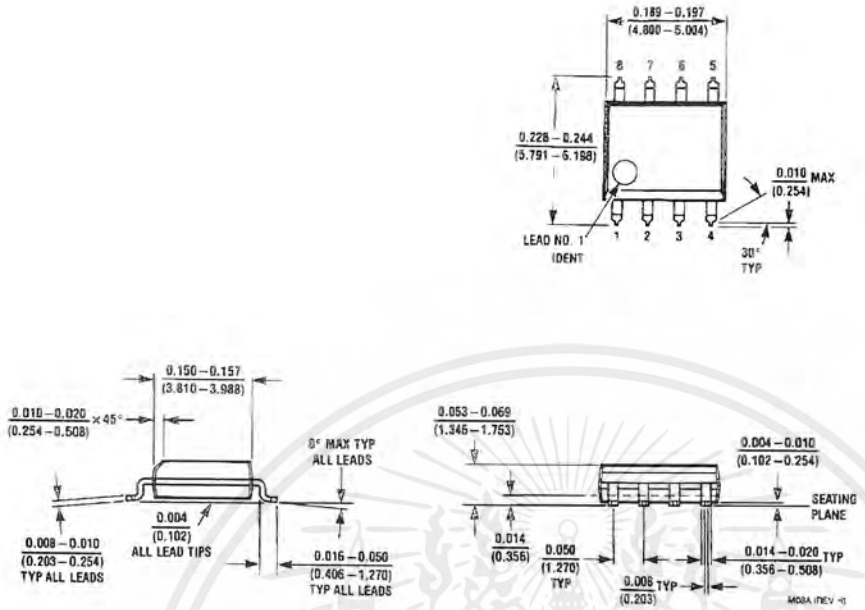
*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

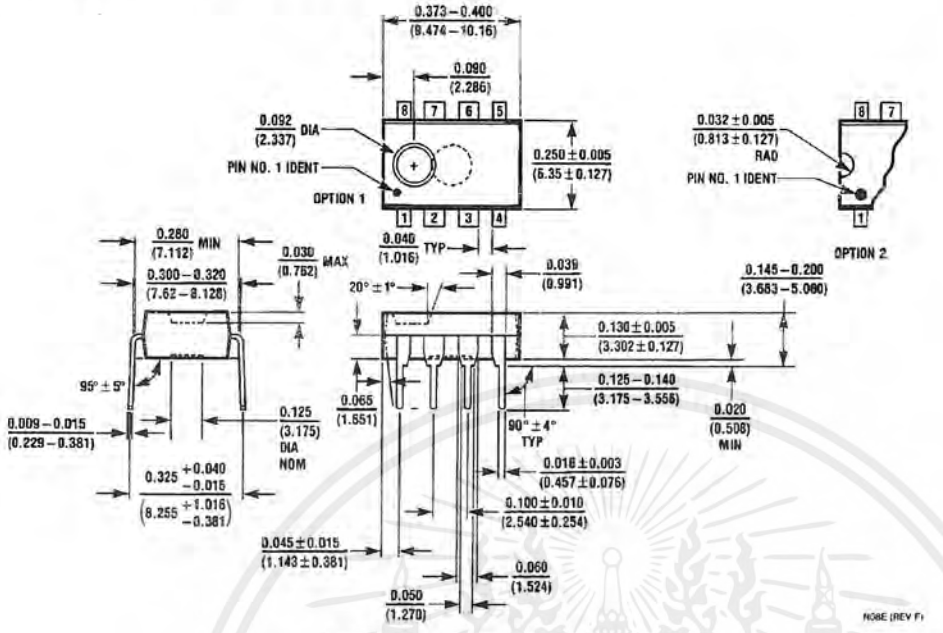
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

April 1998

LF353
Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

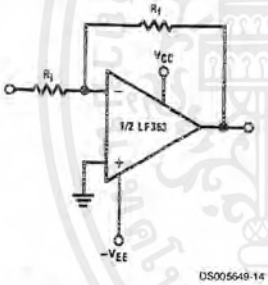
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

Features

- Internally trimmed offset voltage: 10 mV
- Low input bias current: 50pA
- Low input noise voltage: 25 nV/$\sqrt{Hz}$
- Low input noise current: 0.01 pA/$\sqrt{Hz}$
- Wide gain bandwidth: 4 MHz
- High slew rate: 13 V/μs
- Low supply current: 3.6 mA
- High input impedance: $10^{12}\Omega$
- Low total harmonic distortion A_V=10,: <0.02% RL=10k, V_O=20Vp-p, BW=20 Hz-20 kHz
- Low 1/f noise corner: 50 Hz
- Fast settling time to 0.01%: 2 μs

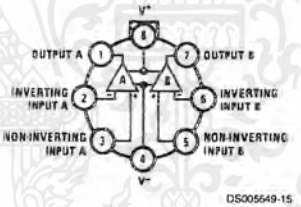
Typical Connection



DS005649-14

Connection Diagrams

Metal Can Package

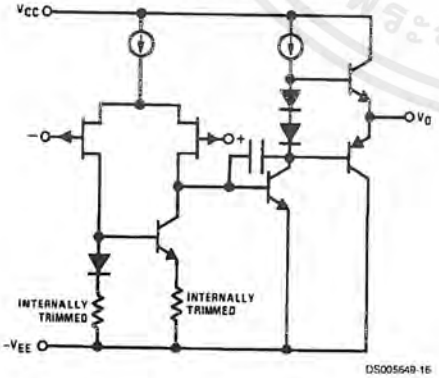


DS005649-15

Top View
Order Number LF353H
See NS Package Number H08A

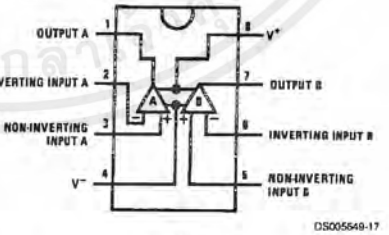
Simplified Schematic

1/2 Dual



DS005649-16

Dual-In-Line Package



DS005649-17

Top View
Order Number LF353M or LF353N
See NS Package Number M08A or N08E

BI-FET II™ is a trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation	(Note 2)
Operating Temperature Range	0°C to +70°C
T_j(MAX)	150°C
Differential Input Voltage	±30V
Input Voltage Range (Note 3)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 8)	1700V
θ_{JA} M Package	TBD

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

DC Electrical Characteristics

(Note 5)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S=10kΩ, T_A=25°C		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S=10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j=25°C, (Notes 5, 6)		25	100	pA
		T_j≤70°C			4	nA
I_B	Input Bias Current	T_j=25°C, (Notes 5, 6)		50	200	pA
		T_j≤70°C			8	nA
R_{IN}	Input Resistance	T_j=25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S=±15V, T_A=25°C	25	100		V/mV
		V_O=±10V, R_L=2 kΩ				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	V_S=±15V, R_L=10kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage	V_S=±15V	±11	+15		V
	Range			−12		V
CMRR	Common-Mode Rejection Ratio	R_S≤ 10kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 7)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics

(Note 5)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
	Amplifier to Amplifier Coupling	T_A=25°C, f=1 Hz–20 kHz		−120		dB
		(Input Referred)				
SR	Slew Rate	V_S=±15V, T_A=25°C	8.0	13		V/µs
GBW	Gain Bandwidth Product	V_S=±15V, T_A=25°C	2.7	4		MHz
e_n	Equivalent Input Noise Voltage	T_A=25°C, R_S=100Ω,		16		nV/√Hz
		f=1000 Hz				
i_n	Equivalent Input Noise Current	T_j=25°C, f=1000 Hz		0.01		pA/√Hz

Note 2: For operating at elevated temperatures, the device must be derated based on a thermal resistance of 115°C/W typ junction to ambient for the N package, and 158°C/W typ junction to ambient for the H package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Note 3: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 4: The power dissipation limit, however, cannot be exceeded.

Note 5: These specifications apply for V_S=±15V and 0°C≤T_A≤+70°C. V_{OS}, $I_B$and I_{OS} are measured at V_{CM}=0.

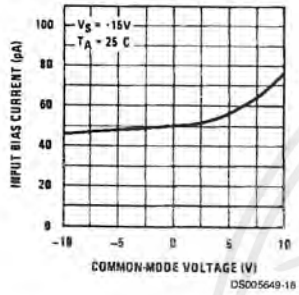
Note 6: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_j=T_A+θ_{jA} P_D where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 7: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. V_S = ±6V to ±15V.

Note 8: Human body model, 1.5 kΩ in series with 100 pF.

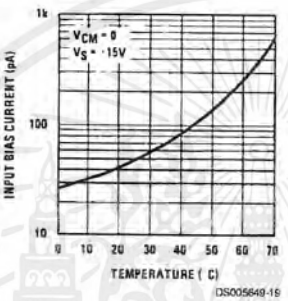
Typical Performance Characteristics

Input Bias Current



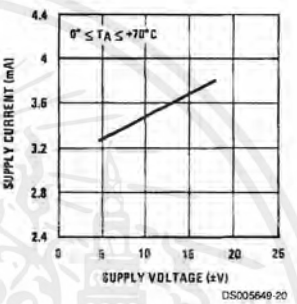
DS005649-18

Input Bias Current



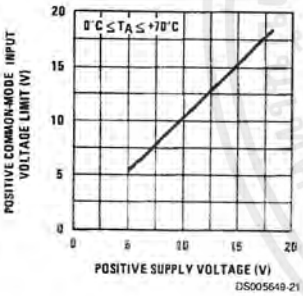
DS005649-19

Supply Current



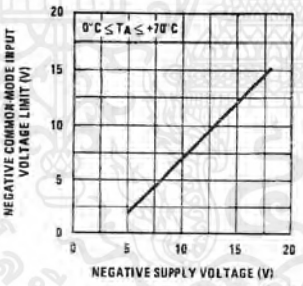
DS005649-20

Positive Common-Mode Input Voltage Limit



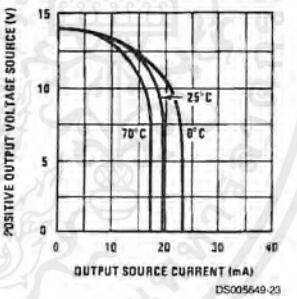
DS005649-21

Negative Common-Mode Input Voltage Limit



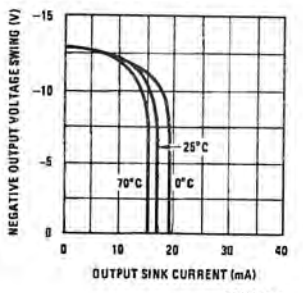
DS005649-22

Positive Current Limit



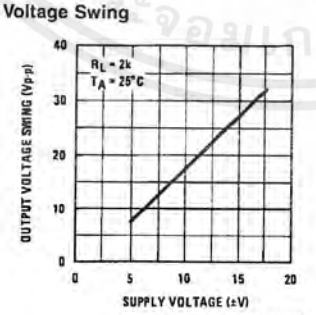
DS005649-23

Negative Current Limit



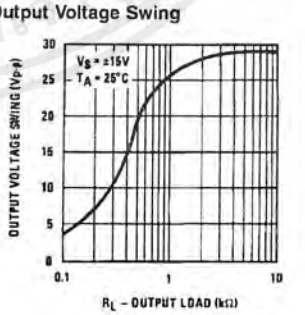
DS005649-24

Voltage Swing



DS005649-25

Output Voltage Swing

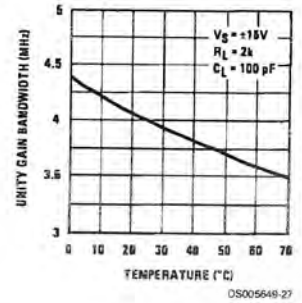


DS005649-26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

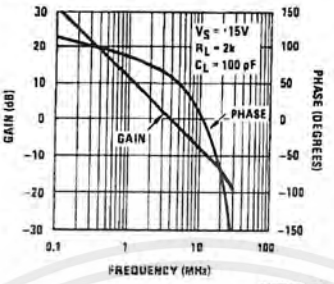
Typical Performance Characteristics (Continued)

Gain Bandwidth



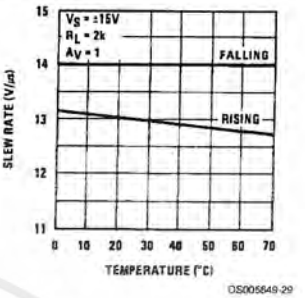
DS005649-27

Bode Plot



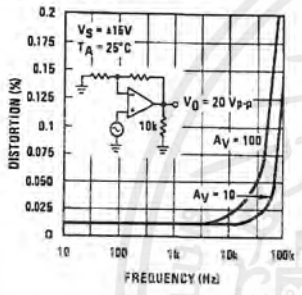
DS005649-28

Slew Rate



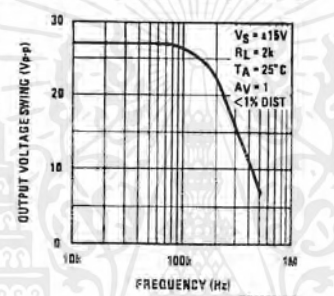
DS005649-29

Distortion vs Frequency



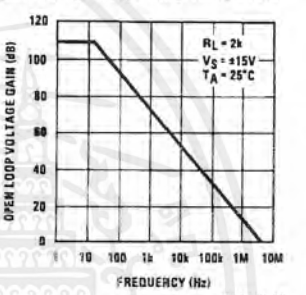
DS005649-30

Undistorted Output Voltage Swing



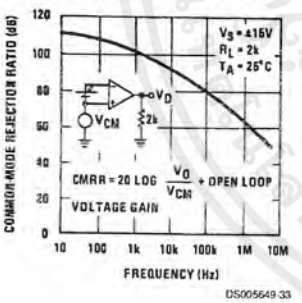
DS005649-31

Open Loop Frequency Response



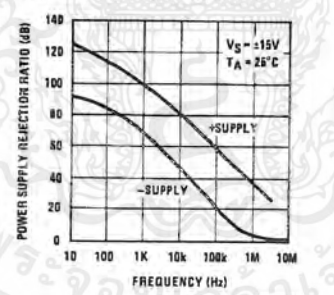
DS005649-32

Common-Mode Rejection Ratio



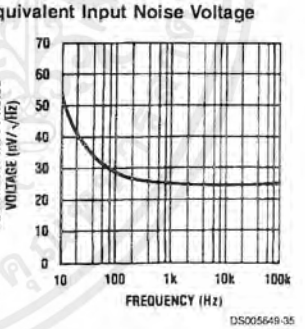
DS005649-33

Power Supply Rejection Ratio



DS005649-34

Equivalent Input Noise Voltage

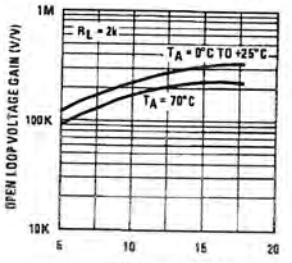


DS005649-35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

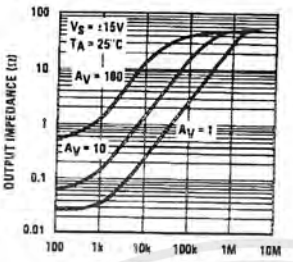
Typical Performance Characteristics (Continued)

Open Loop Voltage Gain (V/V)



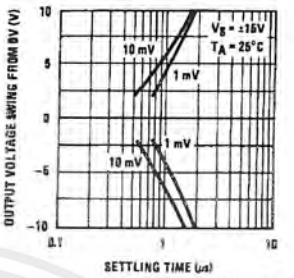
DS005649-36

Output Impedance



DS005649-37

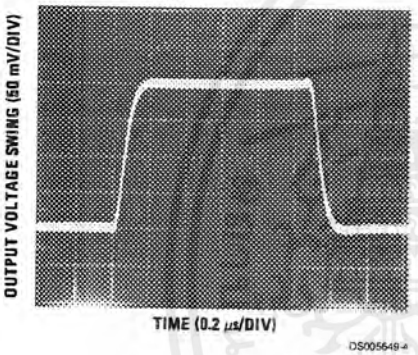
Inverter Settling Time



DS005649-38

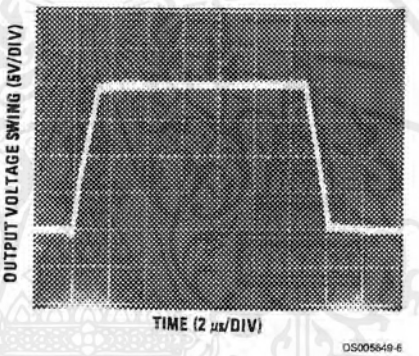
Pulse Response

Small Signaling Inverting



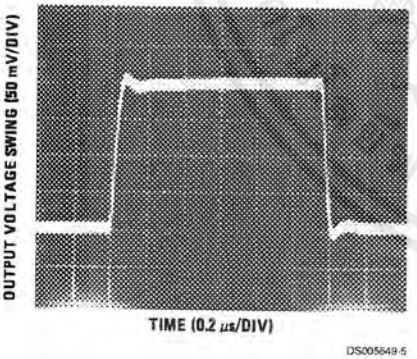
DS005649-4

Large Signal Inverting



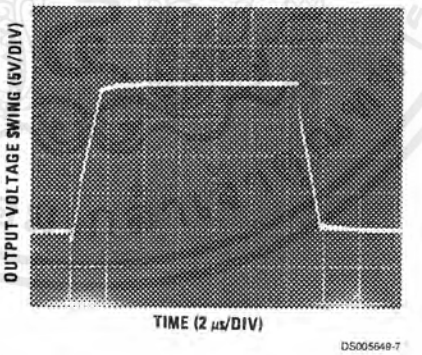
DS005649-6

Small Signal Non-Inverting



DS005649-5

Large Signal Non-Inverting

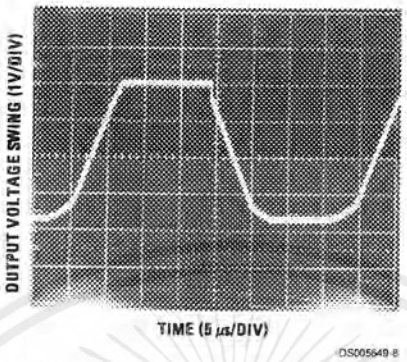


DS005649-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Response (Continued)

Current Limit (R_L = 100Ω)



DS005649-8

Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±6V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

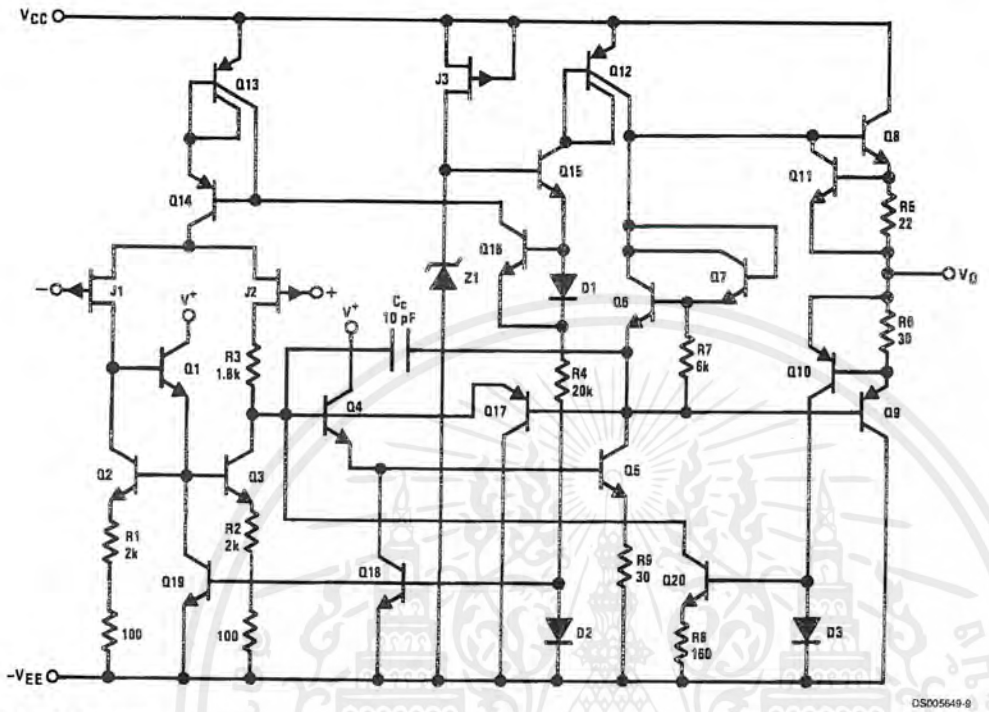
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

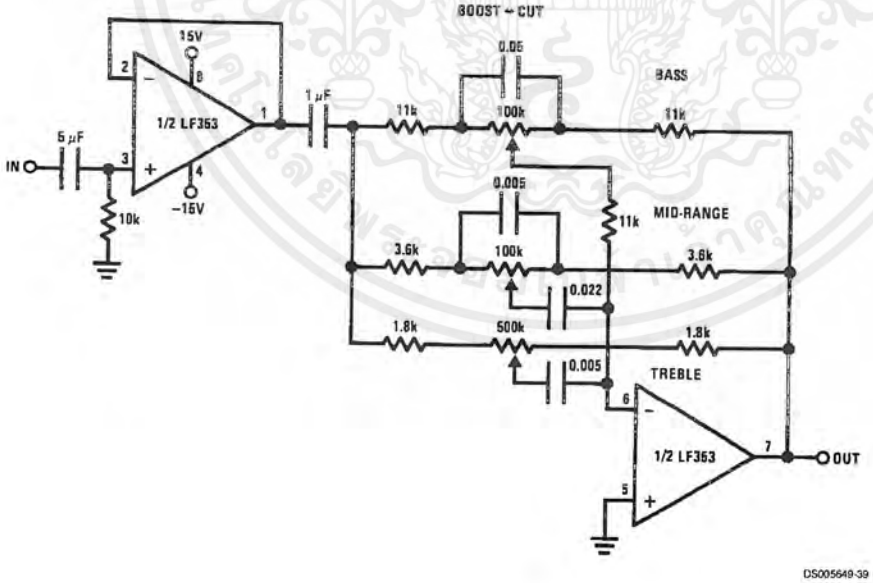
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Schematic



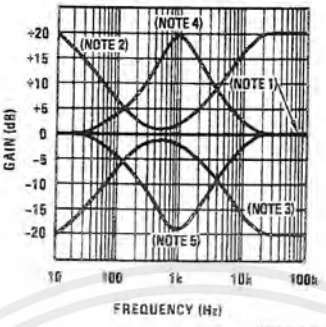
Typical Applications

Three-Band Active Tone Control



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

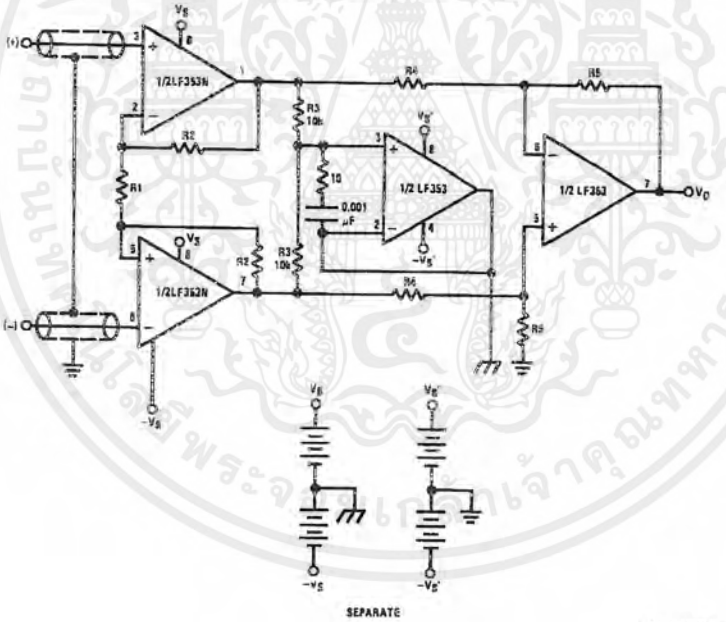


DS005649-40

Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

Improved CMRR Instrumentation Amplifier



DS005649-41

$$A_V = \left(\frac{2R2}{R1} + 1\right) \frac{R5}{R4}$$

⏚ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

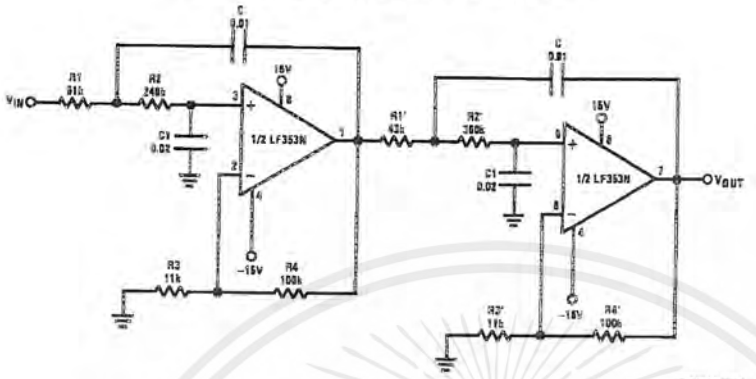
With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

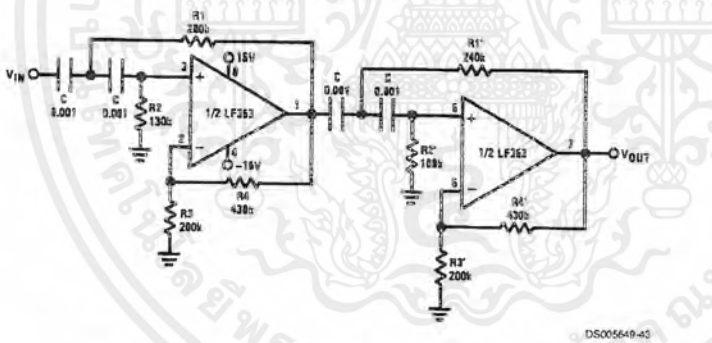
Typical Applications (Continued)

Fourth Order Low Pass Butterworth Filter



- Corner frequency (f_C) = $\sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

Fourth Order High Pass Butterworth Filter

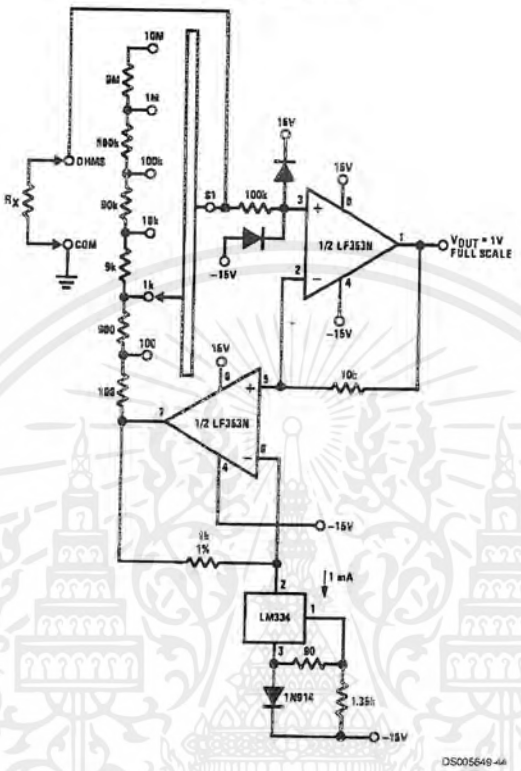


- Corner frequency (f_C) = $\sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Ohms to Volts Converter

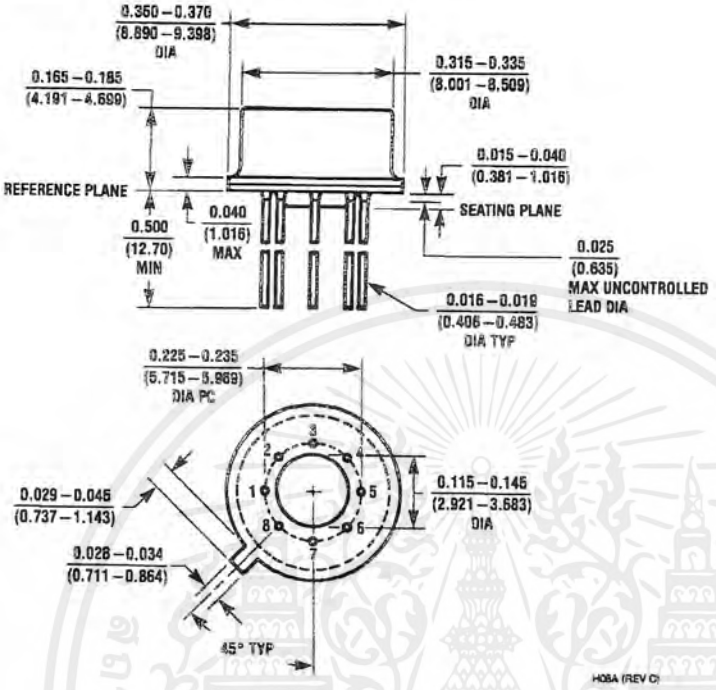


$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

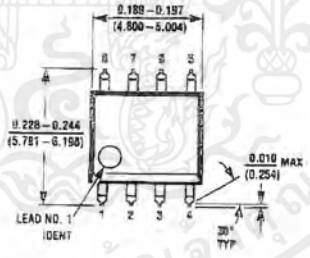
Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

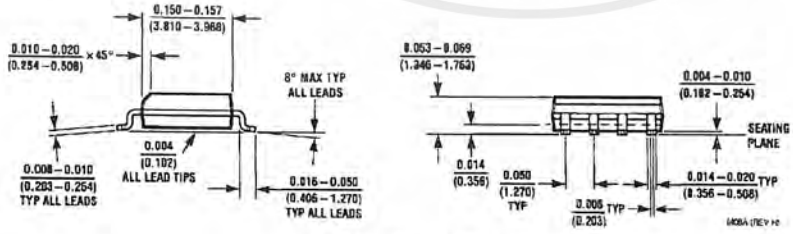
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Metal Can Package (H)
Order Number LF353H
NS Package Number H08A

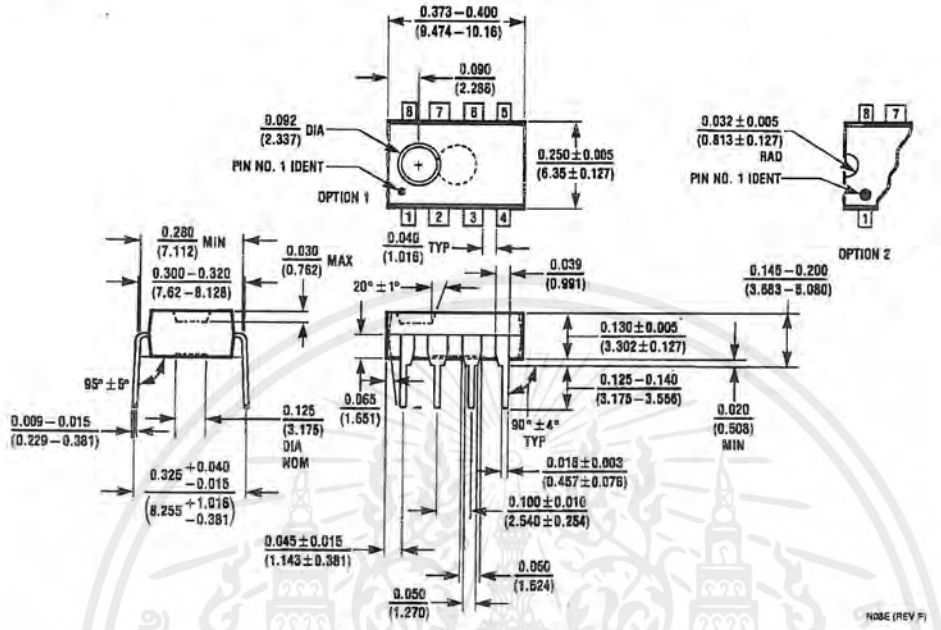




Order Number LF353M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Number LF353N
NS Package N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้