ระบบเสียงในห้องประชุม

AUDIO FOR CONFERENCE

โดย

นางสาว พรจิตต์ กนกยุราพันธ์ รหัส 38014322

นางสาว ศิริยา สกลธนารัตน์ รหัส 38014500

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเลกทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่.....
เลขทะเบียน 34064
วัน, เดือน, ปี 1 ต.ค. 2542

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาอิเลกทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกลาเจาคุณทหารลาดกระบัง

เรื่อง ระบบเสียงในห้องประชุม

(AUDIO FOR CONFERENCE)

ผู้จัดทำ

1. นางสาว พรจิตต์ กนกยุราพันธ์
2. นางสาว ศิริยา สกลธนารัตน์

.....

(ผศ.ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเสียงในห้องประชุม

นางสาวพรจิตต์ กนกยุราพันธ์
นางสาวศิริยา สกลธนารัตน์
ผศ. ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2541

บทคัดย่อ

รายงานฉบับนี้จัดทำขึ้น แสดงการออกแบบและสร้างวงจรระบบเสียงที่ใช้ในการประชุม โดยโครงงานนี้จะสามารถควบคุมการประชุมของผู้เข้าร่วมประชุมทั้งหมดได้จากโต๊ะประธานการประชุม ระบบทั้งหมดจะเชื่อมต่อกันด้วยสายส่งสัญญาณจากโต๊ะประธาน เพื่อเป็นแหล่งจ่ายไฟให้แก่เครื่องของผู้เข้าร่วมประชุม และใช้ในการส่งสัญญาณการขอพูดให้ประธานรับทราบ เมื่อมีการกดปุ่มขอพูดจากผู้เข้าร่วมประชุม โดยประธานสามารถอนุญาตให้พูดได้ตามลำดับการขอพูดผ่านสายสัญญาณเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUDIO FOR CONFERENCE

Ms. PORNJIT KANOKYURAPHAN
Ms. SIRIYA SKOLTHANARAT
Mr. PRAPAKORN SUWANNA advisor

ABSTRACT

This report presents the design and construction of audio system for conference. All of member devices are connected to president by single signal line. Control signal is used for supplying the member devices . When any members ask permission to speak they send pulse signal through single signal line.The president know from display system and permit respectively by sending acknowledged pulse signal to member device .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	
บทที่ 2	ทฤษฎีที่เกี่ยวข้อง	1
2.1	วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์	2
2.1.1	การทำงานของวงจร	2
2.1.2	การออกแบบวงจร	3
2.2	วงจรนับ	4
2.2.1	หลักการทำงาน	4
2.3	การสวิตช์ของทรานซิสเตอร์ทางอุดมคติ	7
2.3.1	การลดค่าเวลาของสวิตช์ทรานซิสเตอร์	10
2.4	ทีฟลิปฟลอป	12
2.5	วงจรอาร์ซีและสมการที่เกี่ยวข้อง	14
2.5.1	สมการการเก็บประจุของตัวเก็บประจุ	14
2.5.2	สมการการคายประจุของตัวเก็บประจุ	14
2.5.3	ค่าคงตัวเวลาของวงจร	15
2.6	วงจรอาร์ซีอินทิเกรเตอร์	15
2.6.1	หลักการทำงานของวงจรอาร์ซีอินทิเกรเตอร์	15
2.6.2	วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลาสั้น	16
2.6.3	วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลาปานกลาง	17
2.6.4	วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลายาว	17
2.7	การประยุกต์วงจรอาร์ซีอินทิเกรเตอร์กับวงจรขยายสัญญาณเพื่อทำการแยกสัญญาณซิงค์	17
2.7.1	วงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์	18
2.8	หลักการทำงานของวงจรดิฟเฟอร์เรนชิเอเตอร์	19
2.8.1	วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลาสั้น	20
2.8.2	วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลาปานกลาง	21
2.8.3	วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลายาว	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

2.9 วงจรขยายแบบกลับสัญญาณ 21
2.9.1 สัญญาณเข้าเป็นศักดาสลับ 22
2.10 แหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน 23
2.11 ดิฟเฟอเรนเชียลแอมปลิฟายเออร์ 24
2.12 ระบบการอินเตอร์รัปต์ของ 8051 28
2.12.1 การอินเตอรัปต์ 28
2.12.2 ประเภทของการอินเตอรัปต์ 28
2.12.3 โครงสร้างการอินเตอรัปต์ 29
2.12.4 การควบคุมการอินเตอรัปต์ 30
2.12.5 ระดับความสำคัญของการอินเตอรัปต์ 32
2.12.6 การจัดการอินเตอรัปต์ 33
2.13 การอินเตอรัปต์ภายนอก 34
2.13.1 ประเภทของการสัญญาณอินเตอรัปต์ภายนอก 34
2.13.2 การตอบรับสัญญาณอินเตอรัปต์ภายนอก 34
2.14 การอินเตอรัปต์ของวงจรนับและจับเวลา 36
2.14.1 วงจรนับและจับเวลา 36
2.14.2 การทำงานเป็นตัวจับเวลา 39
2.14.3 การจับเวลาในโหมด 0 40
บทที่ 3 การออกแบบวงจร 41
3.1 หลักการออกแบบสัญญาณควบคุม 41
3.1.1 หลักการทำงานของวงจรสร้างสัญญาณควบคุม 42
3.2 วงจรขยายสัญญาณควบคุมและไฟเลี้ยง 42
3.2.1 หลักการออกแบบวงจรขยายสัญญาณควบคุม 43
3.2.2 หลักการออกแบบวงจรไฟเลี้ยงและวงจรขยายสัญญาณควบคุม 44
3.3 วงจรแยกสัญญาณซิงค์ 45
3.3.4 วงจรส่งสัญญาณที่ตำแหน่งพัลส์คู่หรือคี่ของสัญญาณควบคุม 46
3.5 เครื่องสมาชิก 47
3.5.1 หลักการส่งสัญญาณที่ตำแหน่งพัลส์คี่ของสัญญาณควบคุม 47
3.6 วงจรสร้างสัญญาณพัลส์ลบ 49
3.7 วงจรดีเทคสัญญาณพัลส์ลบ 51
3.8 การติดต่อระหว่างเครื่องประธานและเครื่องสมาชิก 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

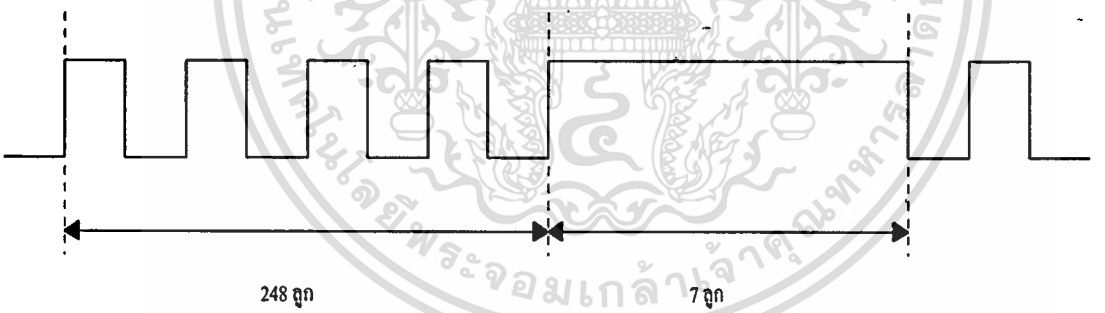
แผนผังการทำงานของโปรแกรม 55
โปรแกรมการตรวจสอบและแสดงผลหมายเลขเครื่องสมาชิก 58
บทที่ 4 การทดลองและสรุปผล 69
รูปที่ 4.1 แสดงแรงดันสัญญาณนาฬิกาจากไอ.ซี 555 69
รูปที่ 4.2 แสดงสัญญาณควบคุมจากวงจรขยาย 70
รูปที่ 4.3 แสดงสัญญาณซิงค์ 70
รูปที่ 4.4 แสดงสัญญาณพัลซ์ลบ 71
รูปที่ 4.5 แสดงสัญญาณการตรวจจับพัลซ์ลบ 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงานระบบเสียงที่ใช้สำหรับการประชุม (AUDIO SYSTEM FOR CONFERENCE) เป็นเครื่องอำนวยความสะดวกที่ใช้สำหรับการสนทนาในการประชุมต่างๆ ซึ่งโครงงานนี้จะประกอบด้วย ไมโครโฟนและลำโพงภายในตัวเดียวกัน โดยจะมีเครื่องควบคุมอยู่ที่เครื่องของประธานการประชุม สำหรับสมาชิกที่เข้าร่วมประชุมท่านใดมีความต้องการจะพูด ก็สามารถทำการกดปุ่มขอพูดไปที่เครื่องที่โต๊ะประธาน โดยหมายเลขจะไปปรากฏเป็นลำดับตามการขอพูด ประธานในการประชุมก็จะทำการกดปุ่มสัญญาณอนุญาติให้สมาชิกพูดได้ทันที

ระบบเสียงที่ใช้สำหรับการประชุมนี้จะถูกทำการเชื่อมต่อเข้าด้วยกันเป็นระบบ โดยผ่านสายสัญญาณในการเชื่อมต่อ สัญญาณควบคุมที่ใช้จะประกอบด้วยสัญญาณจำนวน 248 ลูก และมีสัญญาณซิงค์เปรียบเทียบจำนวน 8 ลูก เพื่อบอกให้ทราบถึงพัลซ์ขบวนถัดไป เพื่อป้องกันการซ้อนทับกันของสัญญาณของประธานและผู้เข้าร่วมประชุม จึงแยกระบบพัลซ์ที่ใช้สำหรับเครื่องประธานและเครื่องของผู้เข้าร่วมประชุมออกจากกันด้วยพัลซ์คู่และพัลซ์คี่



รูปที่ 1.1 แสดงสัญญาณควบคุม

การทำงานของโครงงานสามารถแสดงได้ดังบล็อคไดอะแกรม รูปที่ 1.2 ทั้งเครื่องประธานและสมาชิกจะนำสัญญาณควบคุมไปสร้างสัญญาณพัลซ์ลบ ในเครื่องประธานจะใช้สัญญาณพัลซ์ลบพัลซ์คู่ เพื่ออนุญาตให้วงจรเสียงในเครื่องสมาชิกสามารถทำงานได้ ในเครื่องสมาชิกจะสร้างสัญญาณพัลซ์ลบพัลซ์คี่ เพื่อทำการขออนุญาตประธานในการพูด โดยเครื่องประธานสามารถทราบหมายเลขเครื่องสมาชิกได้โดยการตรวจสอบด้วยไมโครคอนโทรลเลอร์ MCS-51 และแสดงผลด้วย 7-เซกเมนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

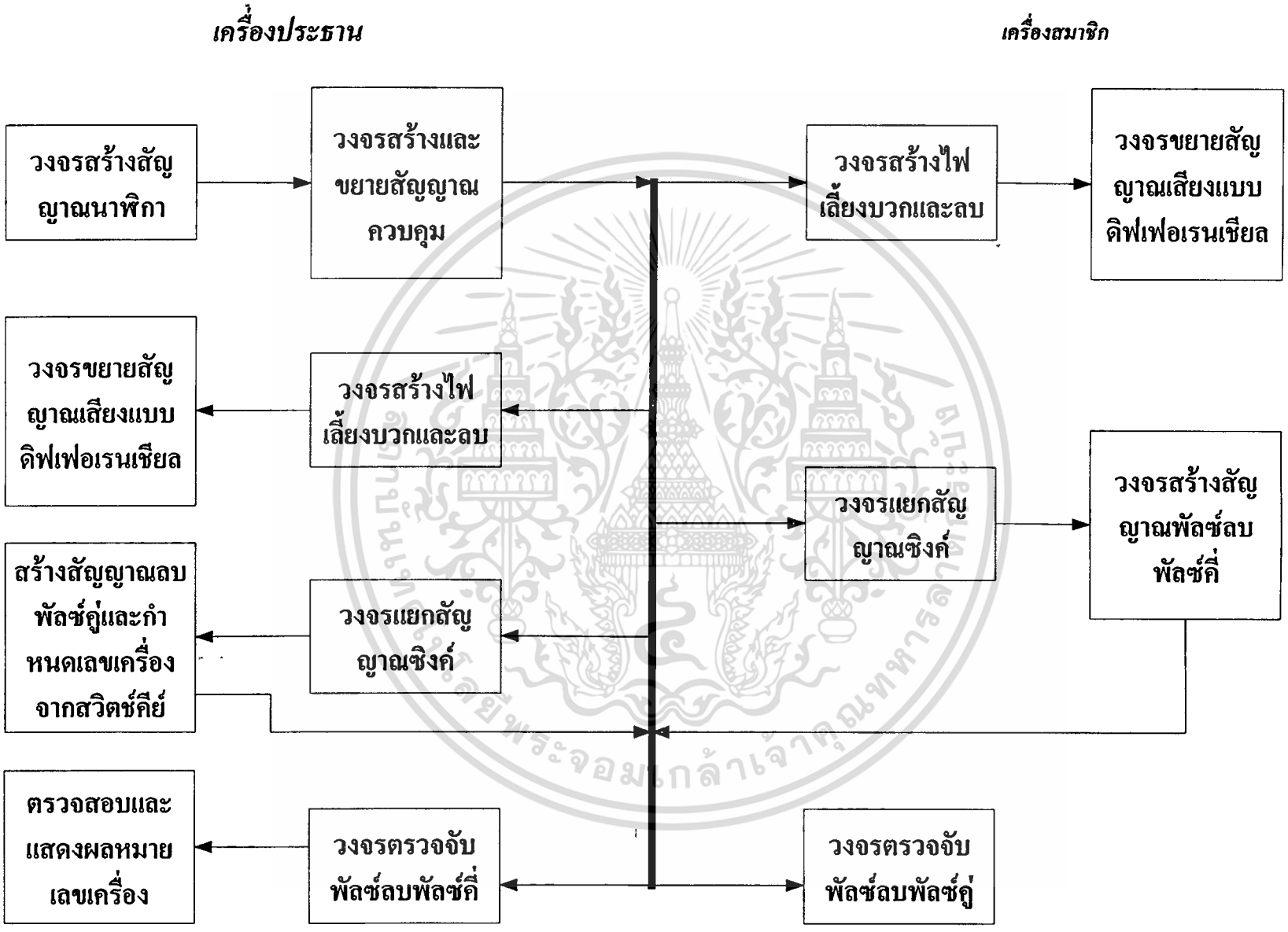
นอกจากนี้ สัญญาณควบคุมยังถูกใช้สร้างไฟเลี้ยงให้กับส่วนวงจรเสียง โดยใช้วงจรไฟเลี้ยงแบบสวิตชิ่ง +5 โวลต์ และ -5 โวลต์ ส่วนของวงจรเสียงใช้การขยายสัญญาณแบบดิฟเฟอเรนเชียล เพื่อลดสัญญาณรบกวน ในการส่งสัญญาณเสียงระหว่างเครื่องประธานและเครื่องสมาชิกนั้นจะเป็นการส่งด้วยกระแส เพื่อไม่ให้เกิดการลัดวงจรที่เกิดจากการรวมสัญญาณเพื่อทำการขยายที่เครื่องประธาน

เนื้อหาในบทที่ 2 จะกล่าวถึงทฤษฎีที่ใช้ทั้งหมด เช่น วงจรอะสเตเบิ้ลมัลติไว-เบรเตอร์ เพื่อสร้างสัญญาณนาฬิกาให้กับวงจรสร้างสัญญาณควบคุม การสร้างสัญญาณควบคุมจะใช้หลักการของวงจรนับแบบบซิงโครนัส ในส่วนของการสร้างพัลซ์ลบและการแยกสัญญาณซิงค์จะใช้วงจรอาร์ซีอินทิเกรเตอร์ รวมถึงทฤษฎีที่ใช้ในวงจรเสียง ได้แก่ วงจรขยายแบบกลับสัญญาณ วงจรดิฟเฟอเรนเชียลแอมปลิฟายเออร์ และทฤษฎีของการใช้งานไมโครคอนโทรลเลอร์ MCS-51

เนื้อหาในบทที่ 3 จะกล่าวถึงหลักการออกแบบวงจรจากทฤษฎีที่ได้กล่าวไปแล้วทั้งหมด และรูปวงจรที่ใช้งานจริง โปรแกรมการทำงานของไมโครคอนโทรลเลอร์รวมทั้งโฟล์วชาร์ตการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงแผนภาพการทำงานของโครงงาน



บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 วงจรอาร์ซีและสมการที่เกี่ยวข้อง

2.1.1สมการการเก็บประจุของตัวเก็บประจุ

สมการของแรงดันตกคร่อมตัวเก็บประจุในวงจรอาร์ซีนั้น เขียนอยู่ในเทอมของสมการเอกซ์โปเนนเชียลได้ดังสมการ

$$V_c(t) = (V-Vo)(1-e^{-t/RC})$$

V_C (t): แรงดันตกคร่อมตัวเก็บประจุในเทอมของเวลา

V : แรงดันที่ป้อนเข้าวงจร (โวลต์)

V_0 : แรงดันที่ค้างอยู่ในตัวเก็บประจุ

e : ค่าคงที่เอกซ์โปเนนเชียล = 2.718

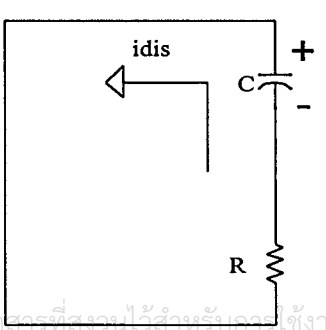
t : ค่าเวลาในการเก็บ ประจุของตัวเก็บประจุ (วินาที)

C : ตัวเก็บประจุในวงจร (ฟารัด)

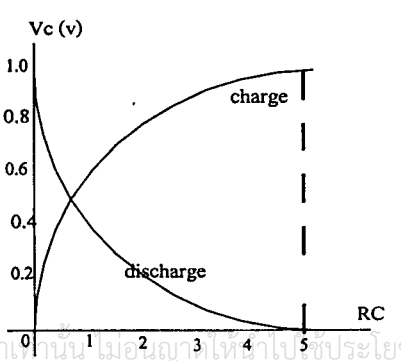
R : ตัวต้านทานในวงจร (โอห์ม)

2.1.2 สมการการคายประจุของตัวเก็บประจุ

เมื่อตัวเก็บประจุมีประจุไฟฟ้าค้างอยู่ (มีแรงดันตกคร่อม อยู่ค่าหนึ่ง) ถ้านำตัวเก็บประจุตัวนั้นไปต่ออนุกรมกับตัวต้านทาน และต่อวงจรให้ครบวงจรจะเกิดการคายประจุของตัวเก็บประจุดังรูป



ก



ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1 ก แสดงวงจรการคายประจุของตัวเก็บประจุ
ข แสดงกราฟความสัมพันธ์ของ V_c (t)

ในขณะที่ทำการเก็บประจุและคายประจุ

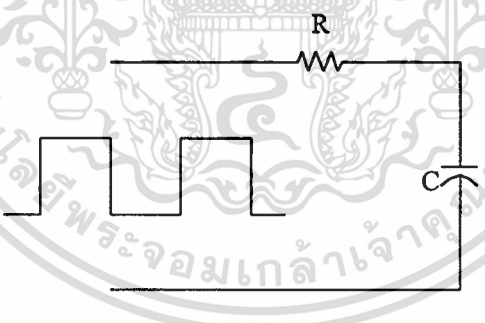
$$Vc(t) = (V-Vo)\, e^{-t/RC}$$

2.1.3 ค่าคงตัวเวลาของวงจร

ค่าเวลาคงที่ของ RC มีค่าเท่ากับผลคูรของค่าตัวต้านทานและตัวเก็บประจุในวงจร หรือ t = RC โดยปกติการเก็บประจุของตัวเก็บประจุในวงจรอาร์ซีที่เวลา t=RC Vc จะมีค่า63% ของค่าเริ่มต้น ถ้าต้องการให้ C เก็บประจุจนเต็มประมาณ 95% ของ V จะต้องใช้เวลา = 5 RC t=0

2.2 วงจรอาร์ซีอินทิเกรเตอร์

เป็นวงจรที่ประกอบด้วยตัวต้านทาน และตัวเก็บประจุ ต่ออนุกรมอยู่กับแหล่งจ่ายแรงดัน (สัญญาณพัลส์) แรงดันเอาท์พุทคือแรงดันที่ตกคร่อมตัวเก็บประจุถ้าเปลี่ยนค่าความจุของตัวเก็บประจุ จะทำให้แรงดันเอาท์พุทในรูปสัญญาณแบบอินทิเกรตเปลี่ยนแปลงไป

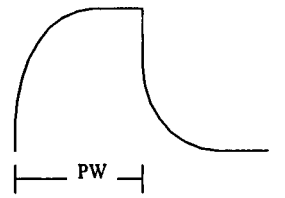


รูปที่ 2.2 วงจรอาร์ซีอินทิเกรเตอร์

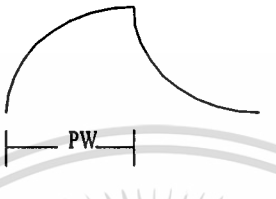
2.2.1 หลักการทำงานของวงจรอาร์ซีอินทิเกรเตอร์

วงจรอาร์ซีอินทิเกรเตอร์ก็คือวงจรกรองความถี่ต่ำผ่านแบบอาร์ซีนั่นเอง เพียงแต่เมื่อนำมาใช้งานกับสัญญาณพัลส์จะเรียกว่าวงจรอาร์ซีอินทิเกรเตอร์ การป้อนสัญญาณพัลส์เข้าไปในวงจรจะทำให้สัญญาณพัลส์เอาท์พุทเปลี่ยนรูปร่างไป ในลักษณะแบบเอกซ์โปเนนเชียลได้รูปคลื่นอินทิเกรต ลักษณะสัญญาณที่เอาท์พุทจะมีลักษณะที่แตกต่างกันไปขึ้นกับค่าคงตัวเวลาที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก



ข

ค

รูปที่ 2.3 แสดงรูปคลื่นเอาท์พุทของวงจรอาร์ซีอินทิเกรเตอร์

ก ค่าคงตัวเวลาสั้น

ข ค่าคงตัวเวลาปานกลาง

ค ค่าคงตัวเวลายาว

2.2.2 วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลาสั้น

คือวงจรอาร์ซีที่มีค่าของ RC น้อยกว่าค่า PW โดยปกติอยู่ระหว่าง RC= PW/10 รูปคลื่นเอาท์พุทที่ได้แสดงในรูป ก ขนาดสูงสุดของแรงดันเอาท์พุทจะมีค่าประมาณ 95 % ของแรงดันที่จ่ายให้วงจร เพราะว่าค่าคงตัวเวลาสั้นทำให้การเก็บและคายประจุของตัวเก็บประจุใช้เวลาน้อย รูปคลื่นมีลักษณะใกล้เคียงกับรูปคลื่นอินพุท

2.2.3 วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลาปานกลาง

คือวงจรอาร์ซี ที่มีค่าของ RC เท่ากับค่าของ PW รูปคลื่นที่ได้จะเป็นรูปคลื่นอินทิเกร-เตอร์ชัดเจนดังรูป ข ค่าแรงดันสูงสุดจะไม่เกิน 63.2 % ของ แรงดันที่จ่ายให้วงจร รูปคลื่นเอาท์พุทเริ่มมีรูปร่างคล้ายรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

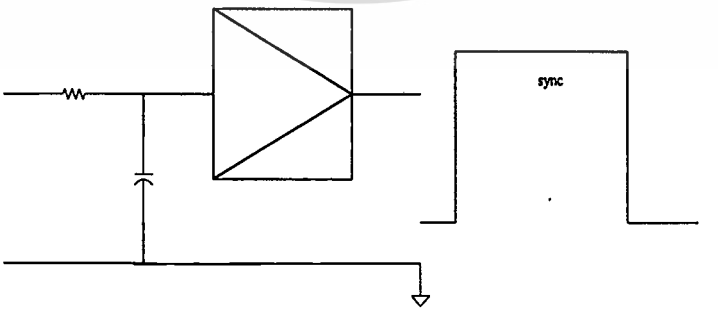
2.2.4 วงจรอินทิเกรเตอร์ที่มีค่าคงตัวเวลายาว

คือวงจรอาร์ซีที่มีค่าคงตัวเวลามากกว่าค่า PW โดยปกติกำหนดให้มากกว่า 10 เท่า หรือ RC เท่ากับ 10 PW รูปคลื่นเอาท์พุทจะเป็นรูปคลื่นสามเหลี่ยมแต่ขนาดของแรงดันจะมีค่าต่ำกว่าค่าของแรงดันที่จ่ายให้วงจรมากดังแสดงในรูป ค

2.3 การประยุกต์วงจรอาร์ซีอินทิเกรเตอร์กับวงจรขยายเพื่อทำการแยกสัญญาณซิงค์

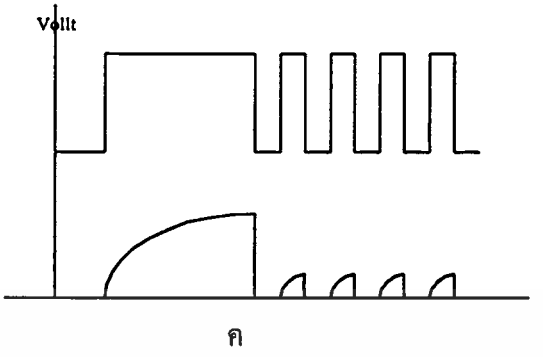
สัญญาณข้อมูลที่ผลิตได้นั้นเป็นสัญญาณพัลส์จำนวน 248 ลูก และสัญญาณซิงค์พัลส์ขนาด 8 ลูกของสัญญาณพัลส์ดังแสดงในรูป ก การแยกสัญญาณซิงค์พัลส์ออกจากสัญญาณควบคุมมีหลักการดังนี้

ก



ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



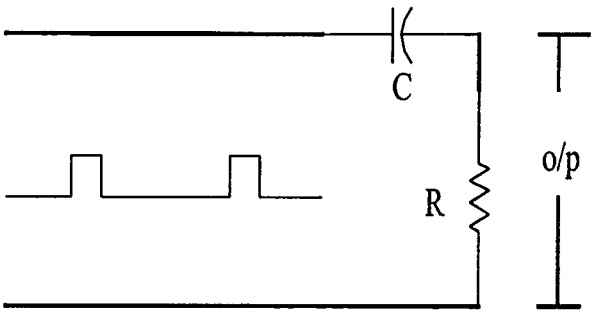
รูปที่ 2.4 ก แสดงสัญญาณควบคุม
ข วงจรแยกสัญญาณซิงค์
ค สัญญาณแรงดันคร่อมตัวเก็บประจุ

เมื่อมีขบวนพัลส์ควบคุมผ่านตัวต้านทาน R เข้ามา ตัวเก็บประจุจะทำการเก็บประจุเช่นเดียวกับวงจรอาร์ซีอินทิเกรเตอร์ กล่าวคือเมื่อสัญญาณซิงค์พัลส์เข้ามา ตัวเก็บประจุจะเก็บประจุซึ่งค่าเวลาเก็บประจุตอนที่สัญญาณซิงค์เข้ามาจะมีค่ายาวนานกว่าขบวนพัลส์แต่ละลูก ทำให้สัญญาณตกคร่อมตัวเก็บประจุ ที่เกิดขึ้นช่วงที่มีสัญญาณซิงค์เข้ามาจะเป็นลักษณะของเอกซ์โปเนนเชียล และเมื่อสัญญาณซิงค์พัลส์ผ่านไปตัวเก็บประจุจะเริ่มคายประจุจนกระทั่งสัญญาณพัลส์ลูกต่อไปเข้ามา แต่สัญญาณพัลส์ที่เข้ามานั้นมีค่าเวลาน้อยกว่าสัญญาณซิงค์มาก ทำให้ช่วงเวลาในการเก็บประจุครั้งใหม่เป็นไปในระยะเวลาสั้น ๆ เท่านั้น ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุลดลงเรื่อย ๆ ดังแสดงในรูป ค เมื่อได้สัญญาณที่ตกคร่อมตัวเก็บประจุแล้วสัญญาณนี้จะถูกส่งเข้าไปในวงจรขยายอาจเป็นออปแอมป์หรือทรานซิสเตอร์เพียงตัวเดียวเท่านั้นซึ่งทรานซิสเตอร์จะทำหน้าที่คล้ายเป็นสวิทช์ปิด-เปิด คือเมื่อสัญญาณที่ผ่านวงจรอาร์ซีอินทิเกรเตอร์เริ่มเข้ามาจนถึงแรงดันจุดหนึ่งที่ทำให้ทรานซิสเตอร์ทำงานก็จะได้พัลส์ออกมาเป็นรูปสัญญาณซิงค์พัลส์ตามต้องการ

2.5 วงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์

เป็นวงจรที่ประกอบด้วยตัวต้านทานและตัวเก็บประจุต่ออนุกรมอยู่กับแหล่งจ่ายแรงดัน (สัญญาณพัลส์) ได้แรงดันเอาท์พุท คือแรงดันที่ตกคร่อมตัวต้านทานเป็นรูปคลื่นแบบดิฟเฟอร์เรนชิเอต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

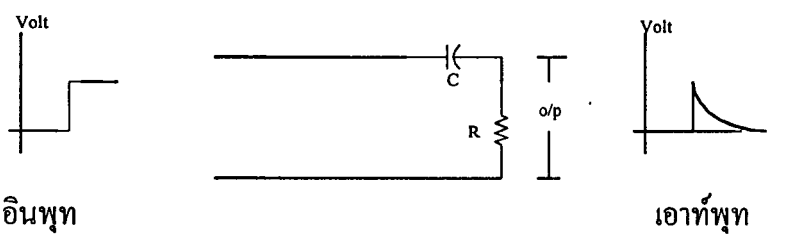


รูปที่ 2.5 แสดงวงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์

2.5.1 หลักการทำงานของวงจรดิฟเฟอร์เรนชิเอเตอร์

วงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์คือวงจรกรองความถี่สูงผ่านแบบอาร์ซีนั่นเองเพียงแต่เมื่อนำมาใช้งานเป็นวงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์จะใช้งานกับสัญญาณพัลส์หรือสัญญาณสแควร์ การป้อนสัญญาณพัลส์เข้าไปในวงจรดิฟเฟอร์เรนชิเอเตอร์จะทำให้สัญญาณพัลส์ที่เอาท์พุทเปลี่ยนรูปร่างไป สัญญาณเอาท์พุทมีความแตกต่างกันขึ้นกับค่าคงตัวเวลาที่ต่างกัน

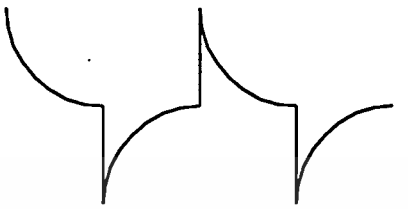
กรณีสัญญาณอินพุทเป็นสัญญาณขั้นบันได จากคุณสมบัติของตัวเก็บประจุจะไม่ยอมให้แรงดันไฟตรงผ่าน ดังนั้นเมื่อมีสัญญาณขั้นบันไดป้อนเข้าวงจร ในตอนแรกตัวเก็บประจุจะเสมือนลัดวงจรได้แรงดันเอาท์พุทเท่ากับอินพุทที่จ่ายเวลาต่อมาแรงดันจะค่อย ๆ ลดลงแบบเอ็กซ์โปเนนเชียลจนเป็นศูนย์โวลต์แสดงดังรูป



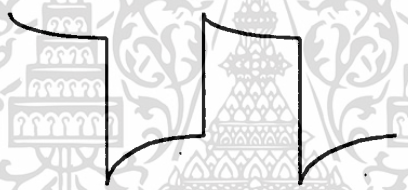
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.6 การป้อนสัญญาณขั้นบันไดผ่านวงจรอาร์ซีดิฟเฟอร์เรนชิเอเตอร์

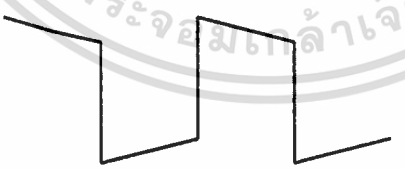
เมื่อป้อนสัญญาณพัลส์เป็นอินพุท สัญญาณเอาท์พุทแบบดิฟเฟอร์เรนชิเอตที่ตกคร่อมตัวต้านทานจะมีความแตกต่างกันไปขึ้นกับค่าคงตัวเวลา แสดงให้เห็นได้ดังรูป



ก ค่าคงตัวเวลาน้อย



ข ค่าคงตัวเวลาปานกลาง



ค ค่าคงตัวเวลามาก

รูปที่ 2.7 กราฟแสดงสัญญาณดิฟเฟอร์เรนชิเอตเมื่อมีค่าคงตัวเวลาต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลาสั้น

ค่าเวลาคงตัวน้อย ค่าตัวเก็บประจุและตัวต้านทานมีค่าน้อยทำให้ ตัวเก็บประจุประจุเต็มเร็วและคายประจุหมดเร็วรูปคลื่นที่ได้จึงมียอดแหลม

2.5.3 วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลาปานกลาง

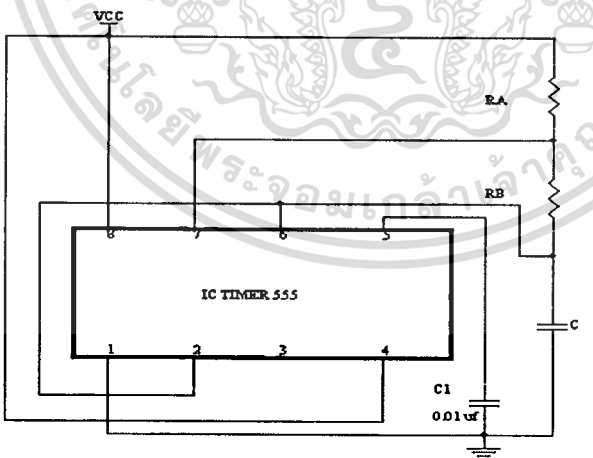
ค่าตัวเก็บประจุและตัวต้านทานมีค่ามากขึ้น ทำให้การประจุและคายประจุของตัวเก็บประจุต้องใช้เวลามากขึ้น ดังนั้นถ้าความถี่ของพัลส์ที่ป้อนเข้ามามีความถี่สูง การเปลี่ยนแปลงระดับของพัลส์เร็ว การประจุของตัวเก็บประจุ อาจไม่ถึงแรงดันที่ป้อน และการคายประจุของตัวเก็บประจุอาจคายประจุได้ไม่หมดทำให้ระดับแรงดันของสัญญาณดิฟเฟอร์เรนชิเอตที่ได้ออกมามีค่าลดลง

2.5.4 วงจรดิฟเฟอร์เรนชิเอเตอร์ที่มีค่าคงตัวเวลามาก

ค่าตัวเก็บประจุและตัวต้านทานมีค่ามากขึ้นมาก ทำให้การประจุและคายประจุของตัวเก็บประจุจะยิ่งใช้เวลามากขึ้นไปอีก ดังนั้นถ้าความถี่ของพัลส์ที่ป้อนเข้ามามีความถี่สูง แรงดันที่ ประจุได้จะลดลงไปอีกเมื่อเทียบกับกรณีค่าคงตัวเวลาปานกลาง และจะเห็นว่ายอดของสัญญาณดิฟเฟอร์เรนชิเอตจะเปลี่ยนแปลงแบบคลื่นเอียง

2.6 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์

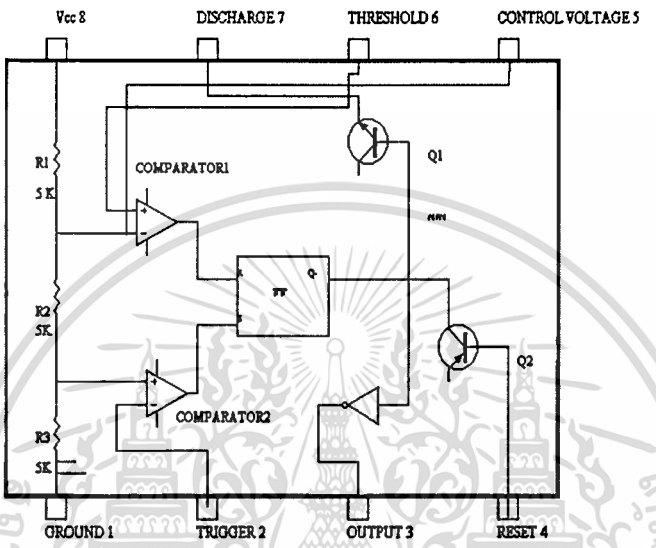
2.6.1 การทำงานของวงจร



รูปที่ 2.8 แสดงวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์จากไอ.ซี. 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

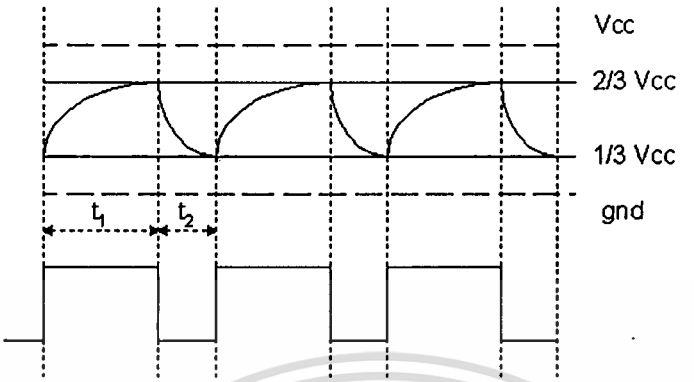
วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ (ASTABLE MULTIVIBRATOR) ที่ใช้ไอ.ซี.เบอร์ 555 ทำได้โดยต่อขา2 (TRIGGER INPUT) เข้ากับขา 6 (THRESHOLD) ซึ่งต่อ C อยู่ เพื่อให้แรงดันที่เปลี่ยนแปลงของ C ป้อนเข้ากระตุ้นการทำงานของวงจรแทนสัญญาณกระตุ้นภายนอก พิจารณาจากรูป 2.1 และเพิ่ม RA อนุกรมกับ RB เป็นตัวต้านทานที่ใช้ในการเก็บและคายประจุของ C โดยต่อเข้ากับขา 7 (DISCHARGE)



รูปที่ 2.9 แสดงวงจรภายในไอ.ซี 555

เมื่อ Vc ต่ำกว่า 1/3 Vcc แรงดันที่ขาลบของออปแอมป์เปรียบเทียบแรงดันตัวที่ 2 จะต่ำกว่าแรงดันที่ขาบวก (เพราะ Vc = 1/3 Vcc) เอาท์พุตของออปแอมป์ตัวที่ 2จะมีสถานะสูง และฟลิบฟลอบจะอยู่ในสภาวะเซต ทำให้ สถานะของ Q เป็นสถานะต่ำ ขณะนี้ทรานซิสเตอร์ Q1 จะไม่ทำงาน และ C จะเก็บประจุผ่าน RA และ RB เมื่อ C เก็บประจุจนแรงดันเท่ากับ 2/3 Vcc ที่ขาบวกของออปแอมป์เปรียบเทียบแรงดันตัวที่ 1 (ต่อกับ C ที่ขา 6) จะมีแรงดันต่ำกว่าที่ขาลบ (เท่ากับ $V_{(R2+R3)}$) = 2/3 Vcc) ออปแอมป์ตัวที่ 1 จะมีสถานะสูง ทำให้สถานะของฟลิปฟลอบเป็นรีเซต ผลคือ Q จะมีสถานะสูง และทรานซิสเตอร์ Q1 จะทำงาน ทำให้ C คายประจุผ่าน RB และ C จะคายประจุจนกระทั่ง แรงดัน Vc = 1/3 Vcc ที่จุดนี้เอาท์พุตของออปแแอมป์ตัวที่ 2 มีสถานะสูง ทำให้เอาท์พุตของฟลิบฟลอบมีสถานะต่ำ ทรานซิสเตอร์ Q1 จะไม่ทำงานอีกครั้ง กระบวนการนี้จะเกิดต่อเนื่องไปตลอด ผลที่ได้รับ คือ Vo ที่ขา 3 ของไอ.ซี. 555 เป็นรูปพัลซ์สี่เหลี่ยมที่มีความกว้างพัลซ์เท่ากับ T ดังรูป 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงแรงดันVc และแรงดันเอาท์พุต

2.6.2 การออกแบบวงจร

การออกแบบวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ที่ใช้ไอ.ซี. 555 คือการคำนวณค่า RA ,RB และ C ที่เหมาะสมกับความถี่ของ Vo ที่ต้องการ โดยพิจารณาที่ C เก็บประจุจะมีประจุ ผ่าน (Ra+Rb) จากแรงดัน 1/3 Vcc จนถึง 2/3 Vcc ดังรูป 2.3 ดังนั้น Eo (initial voltage) เท่ากับ 1/3 Vcc และ Ec = 2/3 Vcc และแรงดันที่จ่ายให้กับตัวเก็บประจุ E=Vcc จะได้ว่า

$$t_1 = 0.693C(Ra+Rb) \qquad (2.1)$$

และเมื่อ C คายประจุค่าของ Eo = 2/3 Vcc และ Ec = 2/3 Vcc และ E=0 เมื่อแทนค่าเหล่านี้ในสมการ จะได้ว่า

$$t_2 = 0.693CRb \qquad (2.2)$$

ช่วงเวลารวมระหว่างการสะสมและการคายประจุ คือ

$$T = t_1+t_2$$

ซึ่งค่า T ก็คือ ช่วงความกว้างของพัลซ์หนึ่งลูกคลื่น ดังนั้น ความถี่ของพัลซ์ที่เอาท์พุต ก็คือ

$$F = 1/T = (1.44)/(RA+2RB)C$$

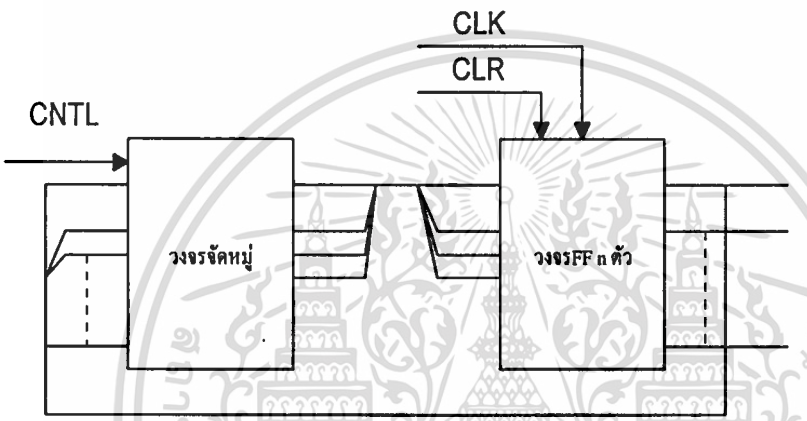
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิวตี้ไซเคิล (DUTY CYCLE) คือ อัตราส่วนของช่วงเวลาที่เอาท์พุตมีศักดาสูง กับช่วงเวลาทั้งหมดของพัลซ์หนึ่งลูกคลื่น และเขียนแทนด้วย D

$$D = t_1/T = (RA+RB)/(RA+2RB)$$

2.7 วงจรนับ

วงจรนับเป็นวงจรที่มีลำดับที่ทำการนับพัลซ์ขาเข้าและให้ผลลัพธ์เป็นรหัส ซึ่งมีวงจรดังรูปที่ 2.11



รูปที่ 2.11 แสดงโครงสร้างของวงจรนับ n บิต

โครงสร้างของวงจรสามารถเขียนได้ดังรูป 2.11 ในที่นี้ CLK, CLR และ CNTL คือตัวแปรขาเข้า Qn1.....Q1Q0 คือ ตัวแปรสถานะปัจจุบัน

จากรูปที่ 2.11 สังเกตได้ว่าสัญญาณ CNTL คือสัญญาณเข้าที่ใช้ในการควบคุม ถ้าไม่มีขั้วสำหรับสัญญาณ CNTL แสดงว่าวงจรมีภาคการทำงานภาคเดียว ถ้ามีสาย CNTL j สาย แสดงว่ามีภาคการทำงานได้ถึง 2^j ภาค โดยปกติภาคการทำงานอาจจะมี 2 ภาค คือ ภาคนับขึ้น และภาคนับลง

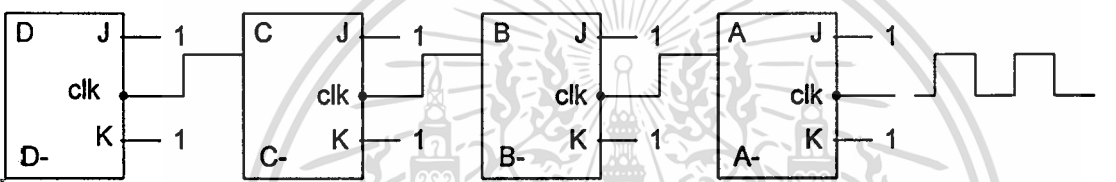
วงจรนับมีขั้วออก n ขั้ว ซึ่งเท่ากับจำนวนของฟลิบฟลอบ เราเรียกว่า วงจรนับ n บิต จำนวนสถานะสูงสุดที่วงจรนับ n บิตพึงมีได้ก็คือ 2^n สถานะ ซึ่งก็คือจำนวนมินเทอมของตัวแปร n ตัว Qn-1...Q1Q0 นั่นเอง วงจรนับวงจรหนึ่งไม่จำเป็นต้องมีสถานะครบถ้วนทั้ง 2n สถานะ หากแต่ให้รหัสขาออก Q = Qn-1...Q1Q0 เวียนกันไปเป็นวัฏจักร โดยมีจำนวนสถานะทั้งหมดเท่ากับ N เราเรียกว่าเป็นวงจรนับโมดูโล N หรือวงจรนับหาร N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรามักนึกเอาเองว่าวงจรนับหาร N น่าจะมีขั้วออกเพียงขั้วเดียว ซึ่งความถี่ของสัญญาณที่ขั้วนี้เท่ากับความถี่ของสัญญาณนาฬิกา fc หารด้วย N แต่อันที่จริงวงจรนับหาร N จะมีขั้วออกได้หลายขั้ว อย่างไรก็ดีจะมีขั้วออกขั้วหนึ่งเป็นอย่างน้อยที่ให้ความถี่เท่ากับ fc/N

รหัสขาออก Q = Qn-1...Q1Q0 ซึ่งก็คือรหัสของสถานะนั้นเรียงลำดับกันอย่างไรก็ได้ ถ้ารหัส Q เรียงลำดับแบบเลขฐานสองจากเล็กไปใหญ่ เมื่อครบเลขโมดูโลแล้วก็เวียนกลับมาตั้งต้นใหม่ วงจรนับเช่นนี้จะเรียกว่าวงจรนับขึ้นแบบเลขรหัสฐานสอง แต่ถ้าเลขสถานะเรียงจากใหญ่ไปเล็กจะเรียกว่าวงจรนับลง อย่างไรก็ดีรหัส Q อาจเรียงลำดับเป็นรหัสอื่นได้

ถ้าฟลิบฟลอบทั้ง n ตัวต่อเรียง โดยเอาขั้วของตัวหนึ่งต่อเป็นสัญญาณนาฬิกาของฟลิบฟลอบตัวถัดไป ดังรูป 2.12 วงจรนี้เป็นวงจรนับแบบอสมวาร คือ สัญญาณนาฬิกาของฟลิบฟลอบต่างๆจะมีความถี่ไม่เท่ากัน



รูปที่ 2.12 แสดงวงจรนับเลขฐานสองขนาด 4 บิต

ซึ่งสามารถอธิบายการทำงานได้ดังนี้

1. อินพุต CLK ของ FF A เท่านั้นที่ได้รับสัญญาณคล็อค ดังนั้นรูปคลื่นเอาท์พุตของ FF A จะท็อกเกิล(เปลี่ยนเป็นสถานะตรงข้าม) ทุกครั้งที่สัญญาณคล็อคเปลี่ยนจากสถานะสูงเป็นสถานะต่ำ

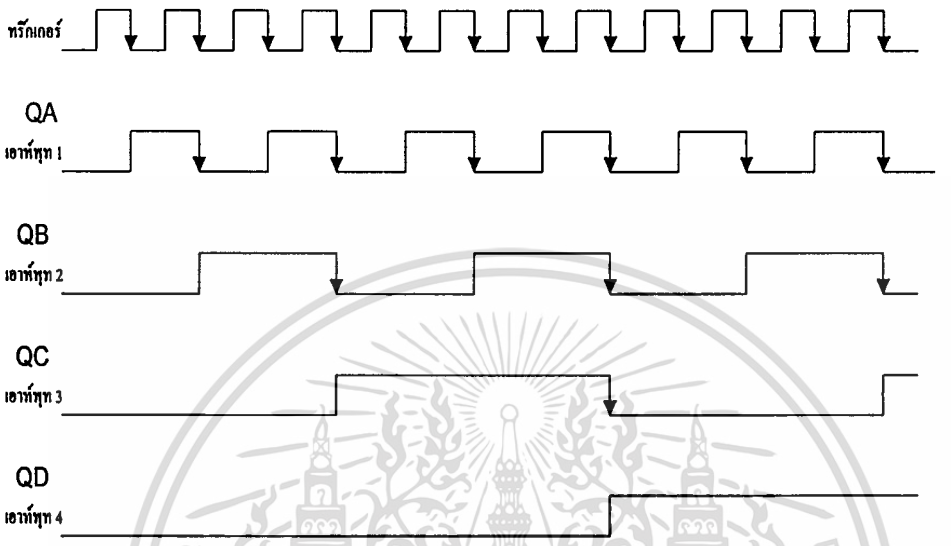
2. เอาท์พุตปกติของ FF A เป็นอินพุต CLK ของ FF B ดังนั้น รูปคลื่นเอาท์พุตของ FF B จะท็อกเกิลทุกครั้งที่เอาท์พุตของ FF A เปลี่ยนจาก 1 เป็น 0 ในทำนองเดียวกัน รูปคลื่นเอาท์พุตของ FF C จะท็อกเกิล

3. ถ้ากำหนดให้เอาท์พุตของฟลิบฟลอบ D,C,B และ A แสดงเลขจำนวนฐานสอง โดย เป็น MSB และ A เป็น LSB จะได้ลำดับการนับเลขฐานสองจาก 0000 ถึง 1111

4. หลังจากสัญญาณคล็อคที่ 15 ปรากฏขึ้นแล้ว FF ของวงจรนับจะแสดงสภาวะ 1111 นั่นคือวงจรนับทำการนับครบรอบ หรือครบไซเคิล (CYCLE) และเมื่อสัญญาณคล็อคที่ 16 ปรากฏ วงจรนับจะนับย้อนกลับ (RECYCLE) เป็น 0000 จากนั้นจึงเริ่มต้นการนับใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรนับชนิดนี้ มีลักษณะเป็นระลอก หรือริปเปิล (RIPPLE) กล่าวคือ รูปคลื่นเอาท์พุตของ FF แต่ละตัวต่อเข้ากับอินพุต CLK ของ FF ตัวถัดไป วงจรนับประเภทนี้จึงมักเรียกว่า วงจรนับแบบริปเปิล หรือเรียกว่า วงจรนับแบบ
อะซิงโครนัส

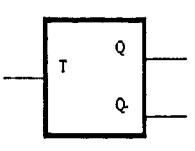


รูปที่ 2.13 แสดงรูปคลื่นของวงจรนับแบบนับขึ้น 4 ขั้น

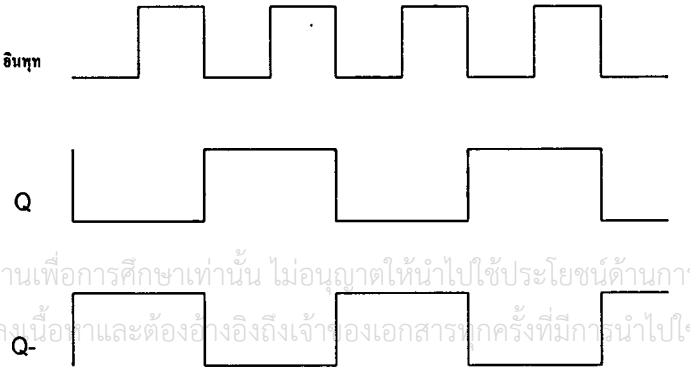
เห็นได้ชัดว่าลำดับการนับเป็นการนับเลขฐานสองเพิ่มขึ้นเรื่อยๆ ทุกๆ พัลซ์นาฬิกาอินพุต (0000,0001,0010,....1111,0000,.....) ดังนั้นวงจรนับในลักษณะนี้จึงเรียกว่า วงจรนับเลขฐานสองแบบนับขึ้น เอาท์พุตแต่ละขั้นจะเปลี่ยนจากสถานะจากขั้นต่ำๆ จะเป็นตัวทริกให้ขั้นสูงๆมีการเปลี่ยนแปลงสถานะไปเรื่อยๆมีลักษณะเหมือนการกระเพื่อมของคลื่น

2.8 ที ฟลิบฟลอบ (T FLIP-FLOP)

จำนวน PULSE ที่ป้อนเข้าขั้วทางออก Q จะลดลงครึ่งหนึ่ง เมื่อเทียบกับจำนวน PULSE ที่ทางเข้า T จากคุณสมบัตินี้ทำให้สามารถนำมาใช้ในการนับจำนวน และหารความถี่ PULSE ให้ลดลงได้ จึงเป็นองค์ประกอบสำคัญในการสร้างวงจรนับ



T-FF

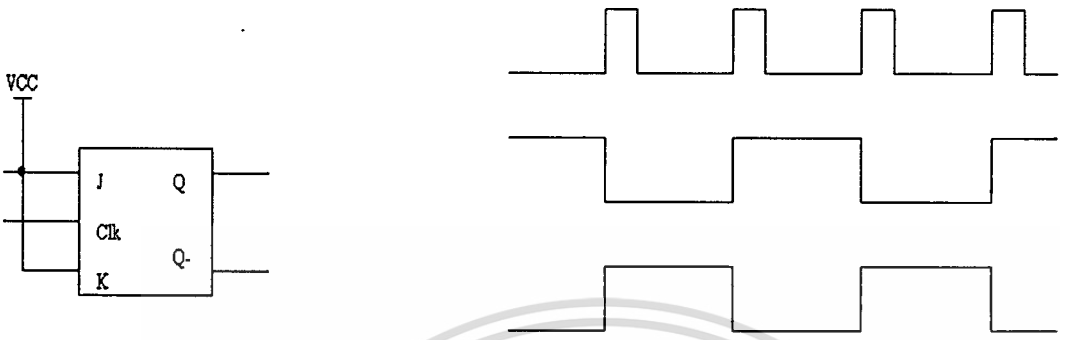


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รูปที่ 2.14 แสดง ที ฟลิบฟลอบ และรูปคลื่นของอินพุตและเอาท์พุต

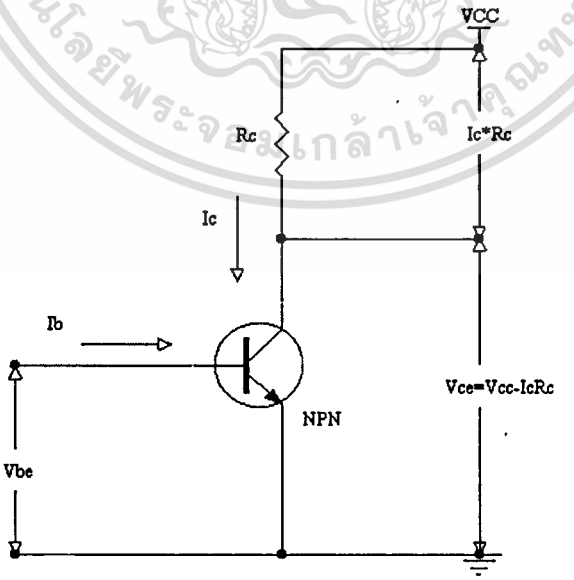
เจ-เค ฟลิบฟลอบ เป็นฟลิบลฟอบที่ใช้กันอย่างแพร่หลายมากที่สุด เราสามารถใช้เป็น ที ฟลิบฟลอบ โดยต่อฟลิบฟลอบดังรูป



รูปที่ 2.15 แสดงการใช้งาน ที ฟลิบฟลอบ จาก เจ-เค ฟลิบฟลอบ

การใช้งาน เจ-เค ฟลิบฟลอบ ให้ เจ-เค เป็น 1 เมื่อมีพัลซ์ป้อนเข้ามาที่ขั้ง clk จะทำให้ฟลิบฟลอบเปลี่ยนสถานะ เอาท์พุต Q และ $\overline{Q}$ จะมีสถานะต่ำและสูงสลับกันไป ตามสัญญาณพัลซ์ที่ clk จากรูปเป็นการทริก (trig) ที่ขอบขาขึ้นหรือลงของคล็อคขึ้นอยู่กับวงจรภายในของเจ-เค ฟลิบฟลอบ

2.9 การสวิตช์ของทรานซิสเตอร์ทางอุดมคติ



รูปที่ 2.16 แสดงวงจรสวิตช์ทรานซิสเตอร์แบบอิมิตเตอร์ร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.16 เป็นวงจรสวิตช์ทรานซิสเตอร์แบบอิมิตเตอร์ร่วม โดยต่อความต้านทานคอลเลคเตอร์ ระหว่างขาคอลเลคเตอร์กับแหล่งจ่ายไฟบวก (Vcc) และต่ออิมิตเตอร์ลงกราวนด์ ทรานซิสเตอร์ชนิด N-P-N ซึ่งจะทำการสวิตช์ได้ต้องมีการควบคุมแรงดันอินพุตระหว่างเบส และอิมิตเตอร์ (Vbe) เพื่อป้อนกระแสเบส (Ib) ให้กับทรานซิสเตอร์ ทรานซิสเตอร์จะทำงาน ผลก็คือ กระแสคอลเลคเตอร์ (Ic) จะไหลผ่าน Rc ทำให้เกิดแรงดันตกคร่อมรอยต่อคอลเลคเตอร์กับอิมิตเตอร์ (Vce) ดังสมการ 2.3

$$Vce = Vcc - IcRc \qquad (2.3)$$

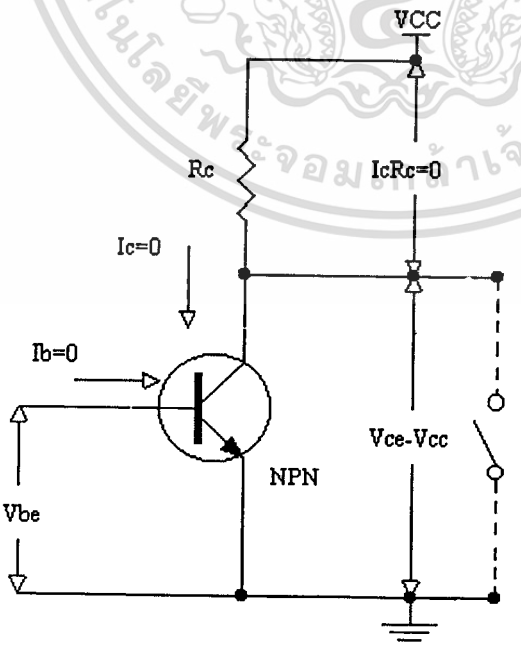
สมการ 2.3 คือ สมการแรงดันเอาท์พุตของทรานซิสเตอร์สวิตช์เมื่อทำงานในสภาวะสวิตช์ปิดวงจร (ON) เมื่อไม่ป้อนแรงดันอินพุตระหว่างเบสกับอิมิตเตอร์ Vbe = 0 V กระแส Ib จะเท่ากับศูนย์ด้วย เนื่องจากอัตราการขยายกระแสในวงจรอิมิตเตอร์ร่วม คือ

$$Ic = h_{fe} * Ib$$

จะได้ว่า $Ic = h_{fe} * 0 = 0A$

สมการแรงดันเอาท์พุตขณะที่ทรานซิสเตอร์สวิตช์ไม่ทำงาน (OFF) หรือสวิตช์เปิดเป็นดังสมการ

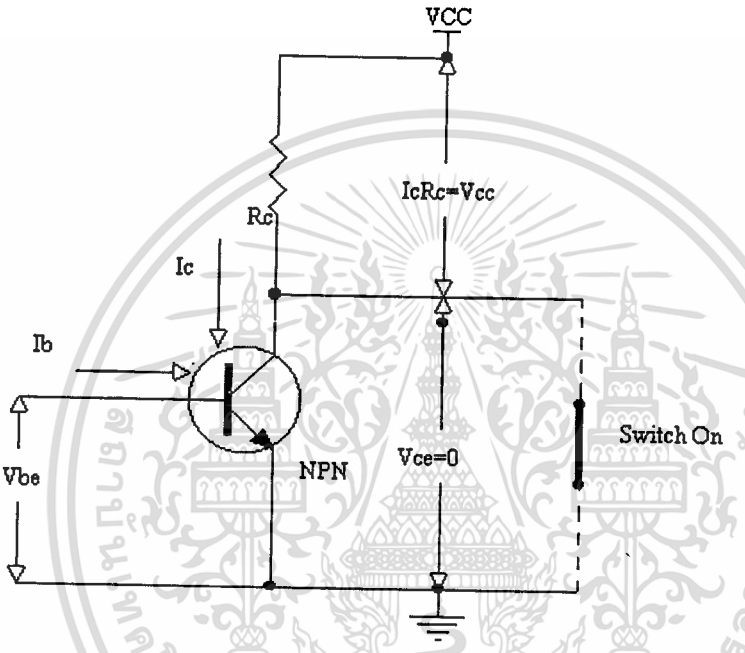
$$Vce = Vcc - (0 * Rc)$$
$$= Vcc$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปฝากขายในรูปแบบสื่ออิเล็กทรอนิกส์ หรือสื่อสิ่งพิมพ์ ครั้งที่มีการนำไปใช้

รูปที่ 2.17 แสดงวงจรสวิตช์ทรานซิสเตอร์ทางอุดมคติขณะที่ไม่ทำงาน (OFF)

สำหรับสวิตช์ทรานซิสเตอร์ทางอุดมคติ เมื่ออยู่ในสภาวะไม่ทำงาน เนื่องจากแรงดันอินพุต Vbe = 0V หรือ Ib = 0 A ผลคือแรงดันตกคร่อม Rc = 0V และ Vce = Vcc ดังรูป 2.10 คล้ายกับสวิตช์เปิดวงจร

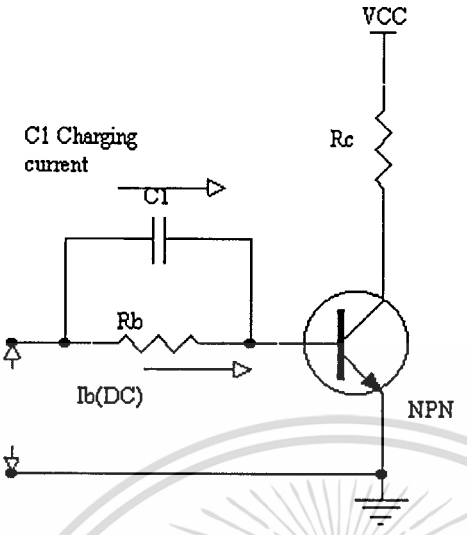


รูปที่ 2.18 แสดงวงจรสวิตช์ทรานซิสเตอร์ทางอุดมคติขณะที่ทำงาน (ON)

แต่ถ้าป้อน Vbe ให้กับสวิตช์ทรานซิสเตอร์ทางอุดมคติดังรูป 2.18 จะเกิดกระแสเบส (Ib) ไหลเข้าทำให้เกิดกระแสคอลเลคเตอร์ (Ic) ไหลผ่าน Rc แรงดันตกคร่อมรอยต่อระหว่างคอลเลคเตอร์ และอิมิตเตอร์เท่ากับศูนย์ (Vce = 0V) เปรียบเหมือนกับเป็นสวิตช์ทรานซิสเตอร์ปิดวงจร จะเห็นว่าไม่มีการพิจารณาแรงดันรอยต่อทั้งหมดของทรานซิสเตอร์ $Vbe_{(ON)}$ = 0.6 V , $Vce_{(ON)}$ = 0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.1 การลดค่าเวลาของสวิตช์ทรานซิสเตอร์

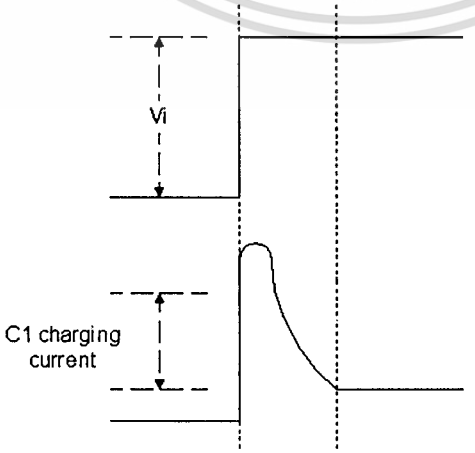


รูปที่ 2.19 แสดงวงจรสวิตช์ทรานซิสเตอร์ขณะคาพาซิเตอร์เก็บประจุ

การใช้สปีดอัพคาพาซิเตอร์ (Speed- up capacitor) คือ คาพาซิเตอร์ที่ต่อขนานกับ Rb ดังรูป 2.17 ทำหน้าที่ลดเวลาหน่วงลง ซึ่งสมการแรงดันของอินพุต คือ

$$Ib = (Vi-Vbe)/(Rs+Rb) \qquad (2.4)$$

เมื่อ Vbe คือ แรงดันตกคร่อมรอยต่อระหว่างเบสกับอิมิตเตอร์ R5 คือ ความต้านทานของแหล่งจ่ายสัญญาณอินพุต

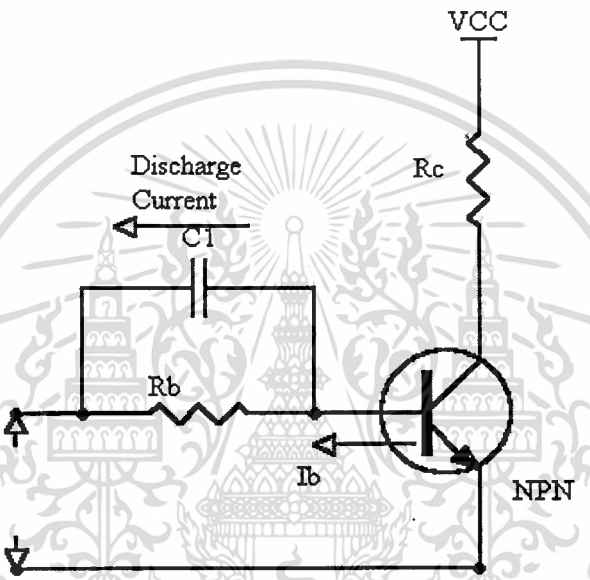


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

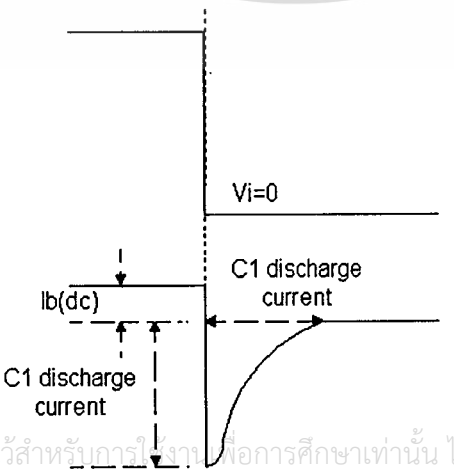
รูปที่ 2.20 แสดงแรงดันที่ขาเบสของทรานซิสเตอร์ เมื่อมี C ขณะ ON

C1 หรือ สปีดอัพคาพาซิเตอร์ จะช่วยให้กระแส Ib ขณะที่ทรานซิสเตอร์เริ่มสวิตช์มีค่าสูงขึ้นชั่วขณะ เพราะมีกระแสชาร์จจาก C1 (Charging current) และกระแสนี้จะลดลงเหลือเท่ากับ $Ib_{(dc)}$ อยู่ในสภาวะปกติในเวลาต่อมาการที่กระแส Ib สูงขึ้นชั่วขณะ จะเพิ่มประจุไฟฟ้าระหว่างเบสกับอิมิตเตอร์ เพื่อให้ทรานซิสเตอร์อิ่มตัวอย่างรวดเร็ว ผลคือ td จะลดลง

t_d คือ เวลาหน่วง (delay time) คิดจากค่า Ic = 0 จนถึง 10%



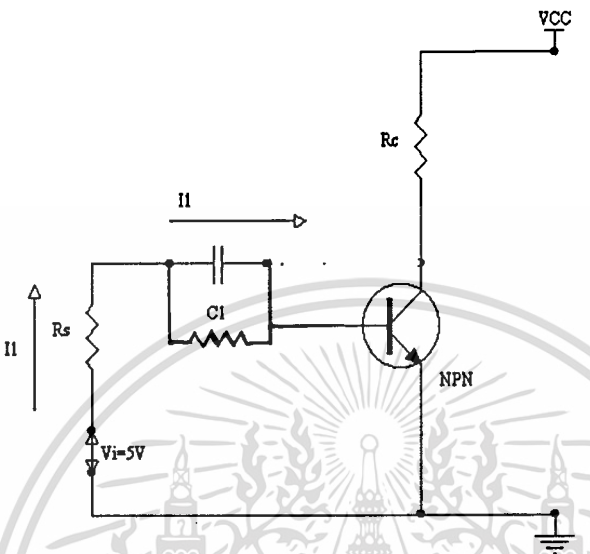
รูปที่ 2.21 แสดงวงจรสวิตช์ทรานซิสเตอร์ขณะคาพาซิเตอร์คายประจุ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.22 แสดงแรงดันที่เบสของทรานซิสเตอร์เมื่อมี C1 ขณะ OFF

ในขณะที่ทรานซิสเตอร์หยุดทำงาน ผลของ C1 จะทำให้เกิดกระแสดิสชาร์ตจากรอยต่อเบสผ่าน C1 ชั่วขณะเช่นกัน กระแสนี้จะทำให้เกิดแรงดันตกคร่อมรอยต่อ Vbe เป็นลบ โดยทั่วไปกำหนดค่าของ Vbe เป็น –0.5 V



รูปที่ 2.23 แสดงวงจรสมมูลย์ขณะทำงานของสวิตช์ทรานซิสเตอร์

ค่าของ C1 สูงสุดที่สามารถต่อให้วงจรทำงานได้นั้น ขึ้นอยู่กับค่าความถี่ของสัญญาณ Vi ด้วย ดังนั้นเมื่อพิจารณาจากรูปที่ 2.23 ทรานซิสเตอร์คัตออฟ จะเห็นว่า C1 ต้องใช้เวลาคายประจุ (Discharge time) ชั่วขณะหนึ่ง ซึ่งเรียกว่าเวลาคืนตัว (Recovery time,t_{rc}) ดังนั้นค่าของคาพาซิเตอร์ C1 คือ

$$C1(max) = t_{rc}/2.3Rb \qquad (2.5)$$

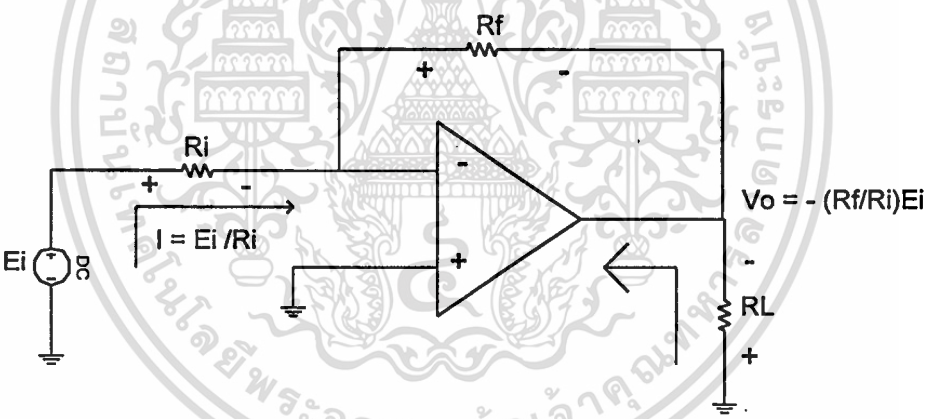
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 วงจรขยายแบบกลับศักดาสัญญาณ

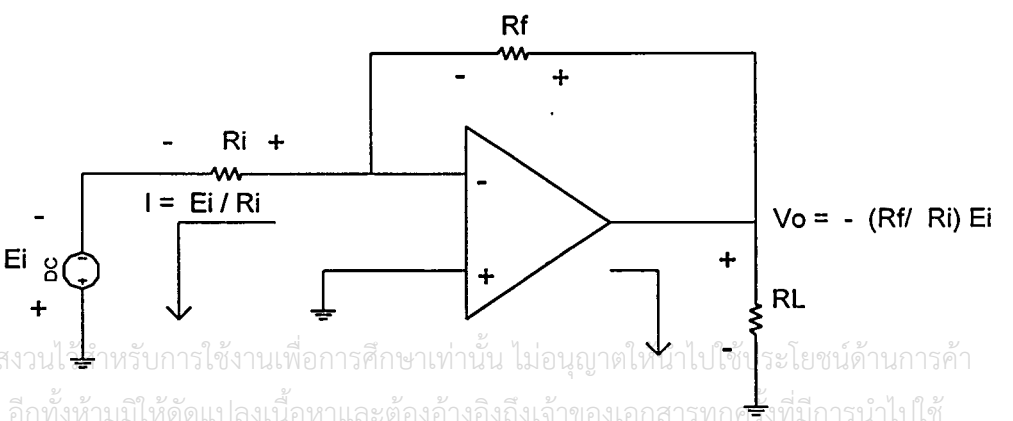
รูปที่ 2.24 แสดงวงจรขยายสัญญาณที่ใช้ออปแอมป์แพร่หลายมากที่สุด ค่าขยายศักดาสัญญาณวงจรปิดจะขึ้นอยู่กับความต้านทาน R_f และ R_i และวงจรสามารถจะขยายสัญญาณไฟสลับหรือไฟตรงก็ได้ เราจะสมมติว่า

1. ศักดา E_d ระหว่างขา (+) และขา (-) ของออปแอมป์มีค่าใกล้เคียงกับศูนย์ ทั้งนี้เพราะค่าขยายสัญญาณแบบลูปเปิดมีค่าสูงมาก
2. กระแสเข้าหรือออกจากขา (+) และขา (-) มีระดับต่ำมากจนถือได้ว่าเป็นศูนย์ ทั้งนี้เพราะว่าอิมพีแดนซ์จุดสัญญาณเข้าทั้งที่ขา (+) และขา (-) มีค่าสูงมาก

เหตุผลที่เรียกว่าเป็นวงจรขยายแบบกลับศักดาสัญญาณก็เพราะว่า ศักดาสัญญาณออกและเข้าจะมีเครื่องหมายต่างกัน ซึ่งในกรณีสัญญาณไฟสลับ หมายถึงว่าสัญญาณออกและสัญญาณเข้าจะมีเฟสต่างกัน 180 องศา



รูปที่ 2.24 แสดงวงจรขยายสัญญาณแบบกลับศักดาสัญญาณกรณีสัญญาณเข้ามีศักดาบวก

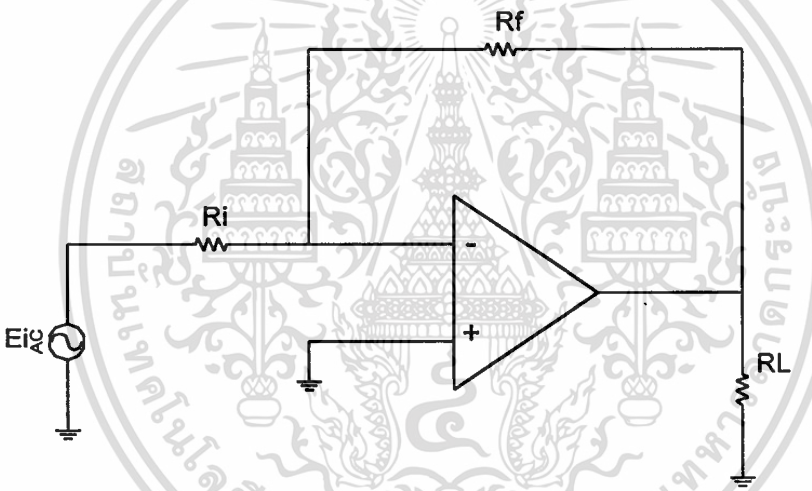


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.25 แสดงวงจรขยายสัญญาณแบบกลับศักดาสัญญาณกรณีสัญญาณเข้ามีศักดาลบ

2.10.1 **สัญญาณเข้าเป็นศักดาสลับ**

จากรูปที่ 2.26 แสดงกรณีที่สัญญาณเข้ามีศักดาสลับ ในกรณีสัญญาณเข้ามีระดับศักดาบวก ศักดาสัญญาณออกและทิศทางของกระแสจะเหมือนกับในกรณีที่สัญญาณเข้าเป็นไฟตรงศักดาบวก (รูปที่ 2.24) ส่วนขณะที่สัญญาณออกมีระดับศักดาลง ศักดาสัญญาณออกและทิศทางของกระแสจะเหมือนกับในกรณีที่สัญญาณเข้าเป็นไฟตรงศักดาลบ (รูปที่ 2.25) ดังนั้นสัญญาณออกจะมีเฟสแตกต่างไปจากสัญญาณเข้าเท่ากับ 180 องศา

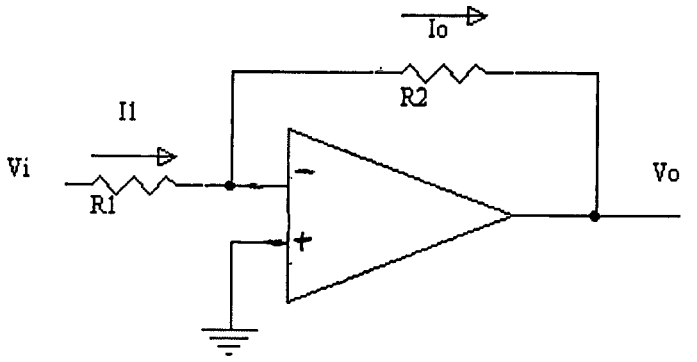


รูปที่ 2.26 แสดงวงจรขยายแบบกลับศักดาสัญญาณกรณีสัญญาณเข้าเป็นศักดาสลับ

2.11 แหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน

แหล่งจ่ายกระแสในอุดมคติ ซึ่งมีแรงดันอินพุต Vi ควบคุมกระแสเอาท์พุต Io เป็นดังรูป 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 แสดงวงจรแหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน

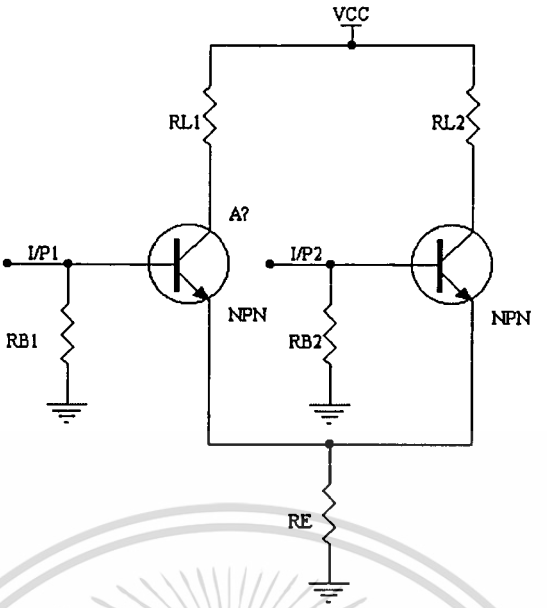
นำออปแอมป์มาประกอบเป็นวงจรได้ดังรูป 2.27 ค่าของกระแสเอาท์พุต ขึ้นอยู่กับค่าของแรงดันอินพุต Vi คูณด้วยค่าคงที่ K ซึ่งเขียนสมการหาค่ากระแสเอาท์พุต ที่ไหลผ่านตัวต้านทานโหลด ได้ดังนี้ คือ

$$Io = Vi/R1 = KVi$$

2.12 ดิฟเฟอเรนเชียลแอมปลิฟายเออร์

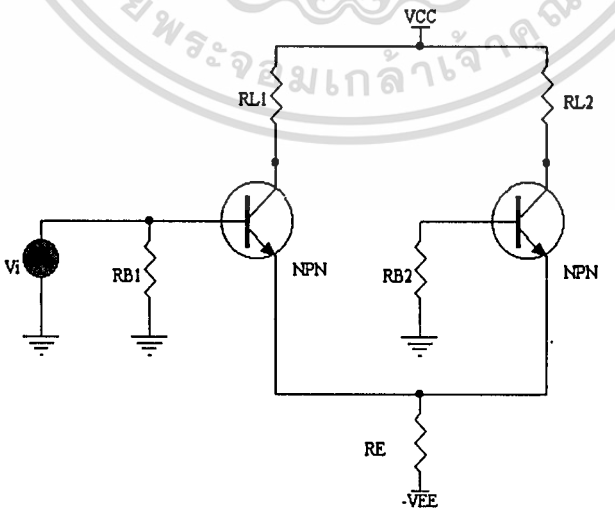
แอมปลิฟลายเออร์สามารถถูกออกแบบให้มีสัญญาณอินพุต 2 สัญญาณต่างกัน และเราเรียกว่า ดิฟเฟอเรนเชียลแอมปลิฟายเออร์ ซึ่งแสดงในรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงวงจรดิฟเฟอเรนเชียลแอมปลิฟายเออร์

รูปที่ 2.28 แสดงดิฟเฟอเรนเชียลแอมปลิฟายเออร์ที่ขับสัญญาณอินพุตเพียงสัญญาณเดียว สัญญาณเอาท์พุตจะเกิดขึ้นที่คอลเลคเตอร์ทั้งคู่ สมมุติว่าสัญญาณอินพุตขับมาที่เบสของ Q1 ในทิศทางบวก การนำไฟฟ้าใน Q1 จะเพิ่มขึ้น เนื่องจากเป็นแบบ NPN แรงดันตกคร่อมตัวต้านทานโหลดของ Q1 เพิ่มขึ้น เนื่องจากกระแสเพิ่มขึ้น ซึ่งทำให้คอลเลคเตอร์เป็นบวกเล็กน้อย ดังนั้นเอาท์พุตที่กลับเฟสเกิดขึ้นที่คอลเลคเตอร์ของ Q1



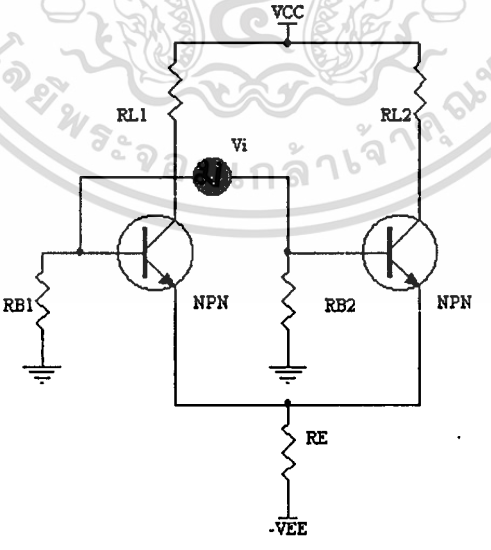
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.29 แสดงการขับสัญญาณของดิฟเฟอเรนเชียลแอมปลิฟายเออร์ที่มีอินพุตเดียว

ที่ Q1 ทำงานโดยอินพุตที่ไปทางบวก กระแสผ่าน Re จะเพิ่มขึ้น ซึ่งแรงดันตกคร่อม Re เพิ่มขึ้น อิมิตเตอร์ของทรานซิสเตอร์ทั้งคู่ จะไปในทิศทางบวกซึ่งทำให้อิมิตเตอร์ของ Q2 เป็นบวก และทำให้เบสเป็นลบ ดังนั้นทรานซิสเตอร์ Q2 นำกระแสได้น้อย แรงดันตกคร่อมตัวต้านทานโหลดน้อย และคอลเลคเตอร์ไปในทิศทางบวก

ในรูปที่ 2.29 ประกอบด้วยเอาท์พุตแบบไม่กลับเฟสและเอาท์พุตแบบกลับเฟส ซึ่งปรากฏจากกราวน์ไปยังขั้วคอลเลคเตอร์ของทรานซิสเตอร์แต่ละตัว และอาจเรียกว่า single-ended เอาท์พุตดิฟเฟอเรนเชียล เอาท์พุตสามารถหาได้โดยที่เอาท์พุตนี้มาจากคอลเลคเตอร์ของ Q1 ไปยังคอลเลคเตอร์ของ Q2 ดิฟเฟอเรนเชียลเอาท์พุตมีการแกว่งเป็น 2 เท่าของ single_ended ตัวอย่างเช่น คอลเลคเตอร์ของ Q1 มีค่า -2 V. และคอลเลคเตอร์ของ Q2 มีค่า 2 V. ดังนั้นความแตกต่าง คือ (+2)-(-2) = 4 V.

ในรูปที่ 2.30 แสดงแอมปลิฟายเออร์ที่ขับสัญญาณดิฟเฟอเรนเชียล ข้อดีของการต่อแบบนี้ ก็คือ สัญญาณฮัม (hum) และสัญญาณรบกวนลดลง ฮัมที่เกิดในสายไฟเป็นปัญหาโดยทั่วๆ ไปในอิเลกทรอนิคส์ โดยเฉพาะแอมปลิฟายเออร์ที่มีอัตราการขยายสูง มีการแผ่สัญญาณที่ซึ่งสามารถรับได้โดยวงจรอิเลคทรอนิคส์ที่มีความไว ถ้าฮัมเกิดขึ้นที่มีเอาท์พุตทั้งคู่ (เฟสเดียวกัน) ดังนั้นจะไม่มีผลต่อดิฟเฟอเรนเชียลเอาท์พุต



รูปที่ 2.30 แสดงการขับสัญญาณดิฟเฟอเรนเชียลขอลแอมปลิฟายเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณฮัมมีผลต่อสัญญาณที่ต้องการอย่างมาก ผลที่ได้คือ สัญญาณมีการรบกวน ทำให้สัญญาณมีคุณภาพแย่ ทำให้ฮัมและสัญญาณรบกวนมีค่ามากกว่าสัญญาณที่ต้องการ

สัญญาณดิฟเฟอเรนเชียลที่ได้รับการรบกวน เฟสของสัญญาณฮัมนั้นร่วมกัน โดยที่ฮัมไปทางบวก โดยตามสัญญาณอินพุตทั้งคู่ และต่อมาฮัมไปทางลบโดยตามอินพุตทั้งคู่ซึ่งเรียกว่า common-mode สัญญาณ common-mode สามารถถูกลดทอนได้มากในดิฟเฟอเรนเชียลแอมปลิฟายเออร์

สมมุติว่าสัญญาณ common-mode ขับสัญญาณอินพุตทั้งคู่ไปในทิศทางบวกที่เวลาเดียวกัน ซึ่งเพิ่มการนำไฟฟ้าในทรานซิสเตอร์ทั้งคู่ และแรงดันตกคร่อมตัวต้านทานโหลดทั้งคู่จะเพิ่มขึ้น และคอลเลคเตอร์ทั้งคู่จะไปในทิศทางลบ สมมุติว่าวงจรสมดุล ดิฟเฟอเรนเชียลโวลท์เตจจากคอลเลคเตอร์ของ Q1 ไปยังคอลเลคเตอร์ของ Q2 จะเป็นศูนย์ ความสามารถในการกำจัดฮัมและสัญญาณรบกวนที่ซึ่งอยู่ร่วมกับสัญญาณอินพุตทั้งคู่เป็นข้อดีของแอมปลิฟายเออร์

ในทางปฏิบัติ ดิฟเฟอเรนเชียลแอมปลิฟายเออร์จะไม่สมดุล ตัวอย่างเช่น ทรานซิสเตอร์ตัวหนึ่งอาจจะมีอัตราการขยายมากกว่าทรานซิสเตอร์อีกตัวเล็กน้อย ซึ่งหมายความว่าสัญญาณ common-mode บางส่วนจะปรากฏที่เอาท์พุต ความสามารถในการกำจัดสัญญาณ common-mode กำหนดโดยอัตราส่วนการกำจัดสัญญาณ common-mode (CMRR)

$$CMRR = A_{V(dif)} / A_{V(com)}$$

เมื่อ $A_{V(dif)}$ คืออัตราการขยายแรงดันของแอมปลิฟายเออร์สำหรับสัญญาณดิฟเฟอเรนเชียล

$A_{V(com)}$ คืออัตราการขยายแรงดันของแอมปลิฟายเออร์สำหรับสัญญาณ common-mode

สมมุติว่า สัญญาณ common-mode อินพุตมีค่า 1 V. และสร้างเอ่ท์พุตเท่ากับ 0.5 V. ดังนั้นอัตราการขยายแรงดัน common-mode คือ

$$A_{V(com)} = \text{สัญญาณออก / สัญญาณเข้า} = 0.05V. / 1\ V. = 0.05$$

สมมุติว่า สัญญาณดิฟเฟอเรนเชียลอินพุตมีค่า 0.1 V. และสร้างเอาท์พุต 10 V. ดังนั้นอัตราการขยายแรงดันดิฟเฟอเรนเชียล

$$A_{V(dif)} = \text{สัญญาณออก / สัญญาณเข้า} = 10\ V. / 0.1\ V. = 100$$

อัตราส่วนการกำจัด common-mode คือ

$$CMRR = 100 / 0.05 = 2000$$

แอมปลิฟายเออร์ที่อัตราการขยายของสัญญาณดิฟเฟอเรนเชียลเป็น 2,000 เท่าของอัตราการขยายสัญญาณ common-mode (ปกติ CMRR กำหนดในหน่วยเดซิเบล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$CMRR_{(dB)} = 20 * \log (2000) = 66\ dB$$

ดิฟเฟอเรนเชียลแอมปลิฟายเออร์บางอย่างมี CMRR มากกว่า 100 dB ซึ่งมีประสิทธิภาพในการกำจัดสัญญาณรบกวน common-mode มาก

2.13 ระบบอินเตอร์รัปของ 8051

การติดต่อระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอกมักจะทำโดยการตรวจสอบสภาวะของสัญญาณติดต่อระหว่างกัน การอินเตอร์รัปต์เป็นวิธีการหนึ่งที่นิยมนำมาใช้กับไมโครคอนโทรลเลอร์เพื่อสามารถจัดการตอบรับหรือบริการกับอุปกรณ์ต่าง ๆ ให้เป็นไปได้อย่างรวดเร็ว ความสามารถในการดำเนินการจัดการสัญญาณอินเตอร์รัปต์จากแหล่งกำเนิดสัญญาณหลายประเภทของ 8051 ถือได้ว่าเป็นลักษณะเด่นประการหนึ่ง

2.13.1 การอินเตอร์รัปต์

ลักษณะการอินเตอร์รัปต์เป็นการขัดจังหวะการทำงานอย่างใดอย่างหนึ่งซึ่งกำลังดำเนินอยู่ เหตุการณ์คล้ายกับการที่เรากำลังคุยกับเพื่อนของเราอยู่ แล้วมีเสียงกริ่งโทรศัพท์ดังขึ้นมาซึ่งจะมีผลให้เกิดการหันเหความสนใจของเราในการสนทนาไปยังเครื่องโทรศัพท์แทน การจัดการต่อเหตุการณ์นี้กระทำได้ในหลายลักษณะ เช่น

1. ไม่สนใจกับเสียงกริ่งโทรศัพท์ และยังคงดำเนินการสนทนาต่อไปเช่นเดิม
2. หยุดพักการสนทนากับเพื่อนไว้ชั่วขณะ และยกหูโทรศัพท์ขึ้นสนทนา
3. ขอจบการสนทนากับเพื่อนโดยทันที และยกหูโทรศัพท์ขึ้นสนทนา

ตัวอย่างข้างต้นแสดงให้เห็นถึงลักษณะของการอินเตอร์รัปต์ได้เป็นอย่างดี โดยเสียงกริ่งโทรศัพท์ทำ
หน้าที่เป็นสัญญาณอินเตอร์รัปต์ติดต่อเข้ามาหาเรา ซึ่งกำลังดำเนินงานอื่นอยู่และแม้ว่าเราจะจัดการตอบสนองการขออินเตอร์รัปต์นั้นในลักษณะใดก็ตามจนเสร็จสิ้นแล้ว ก็จะต้องกลับมาดำเนินงานที่ค้างต่อไปเช่นเดิม

2.13.2 ประเภทของการอินเตอร์รัปต์

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเตอร์รัปต์โดยจำแนกตามแหล่งที่มาของสัญญาณอินเตอร์รัปต์นั้น ๆ ได้แก่

สัญญาณอินเตอร์รัปต์จากภายนอก

การตรวจสอบสัญญาณที่เข้ามาอินเตอร์รัปต์นี้จะสามารถกำหนดให้มีการตรวจสอบในลักษณะเมื่อได้มีการเปลี่ยนแปลงระดับสัญญาณไปแล้ว หรือในช่วงเวลาขณะเริ่มมีการเปลี่ยนแปลงสัญญาณจากลอจิกสูงไปเป็นลอจิกต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินเตอร์รัปต์ภายใน

แหล่งกำเนิดของสัญญาณนี้จะเป็นวงจรภายในของไมโครคอนโทรลเลอร์เอง เช่น วงจรนับ/ จับเวลา วงจรเชื่อมต่อสัญญาณอนุกรม เป็นต้น

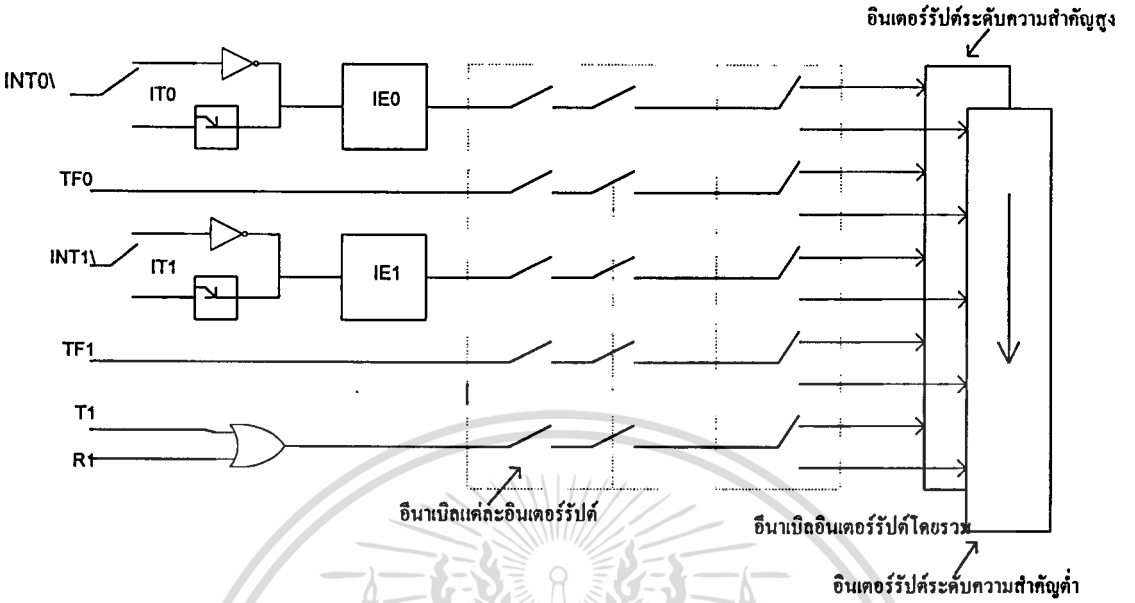
2.13.3 **โครงสร้างการอินเตอร์รัปต์**

สัญญาณที่เข้ามาทำการอินเตอร์รัปต์ 8051 เกิดขึ้นได้ 5 ลักษณะ คือ

สัญญาณ	ความหมาย
INT0	สัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณ P3.2 โดย 8051 จะทำการสุ่มตัวอย่างเมื่อสิ้นสุดทุกแมชชีนไซเคิล
INT1	สัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณ P3.3 โดย 8051 จะทำการสุ่มตัวอย่างทุกแมชชีนไซเคิล
Timer0	สัญญาณการเกิดโอเวอร์โฟล์วของ Timer0
Timer1	สัญญาณการเกิดโอเวอร์โฟล์วของ Timer1
พอร์ตอนุกรม	การเกิดอินเตอร์รัปต์ที่เกิดขึ้นจากการรับ/ ส่งข้อมูลอนุกรมทำให้มีผลต่อแฟล็กอินเตอร์รัปต์ R1 และ T1ตามลำดับ

จากแผนภาพโครงสร้างระบบอินเตอร์รัปต์ของ 8051 ในรูปที่ จะเห็นว่าเมื่อเกิดการอินเตอร์รัปต์สัญญาณต่าง ๆ ขึ้นจะส่งผลให้มีการควบคุมเพื่อสั่งให้โปรเซสเซอร์กระโดดไปทำงานที่ตำแหน่งแอดเดรสต่าง ๆ ตามประเภทของแหล่งกำเนิดสัญญาณอินเตอร์รัปต์ที่เกิดขึ้น ซึ่งปกติแล้วควรจะต้องมีการสร้างโปรแกรมที่ตำแหน่งเหล่านี้ไว้เพื่อทำหน้าที่เป็นโปรแกรมย่อยบริการอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 แผนภาพแสดงโครงสร้างระบบการอินเตอร์รัปต์ของ 8051

การกำหนดให้ 8051 สามารถตอบรับการอินเตอร์รัปต์แต่ละประเภท ทำได้โดยการกำหนดบิตของข้อมูลที่เกี่ยวข้องซึ่งมักจะอยู่ภายในรีจิสเตอร์ TCON และ SCON หากว่าได้มีการกำหนดค่าของบิตซึ่งอยู่ภายในรีจิสเตอร์ IE ด้วยแล้วก็จะสามารถตอบรับการอินเตอร์รัปต์ของสัญญาณนั้น ๆ ได้ นอกจากนี้แล้วตามแผนภาพในรูปที่ ยังแสดงให้เห็นว่าสัญญาณอินเตอร์รัปต์แต่ละประเภทยังสามารถกำหนดระดับความสำคัญของการอินเตอร์รัปต์ได้สองลักษณะคือ ระดับความสำคัญสูงหรือต่ำ กล่าวคือ ขณะที่กำลังประมวลผลอยู่ภายในส่วนของโปรแกรมย่อยบริการอินเตอร์รัปต์ของสัญญาณที่มีระดับความสำคัญต่ำอยู่ก็อาจจะถูกขัดจังหวะให้ไปประมวลผลของสัญญาณอินเตอร์รัปต์ที่มีระดับความสำคัญสูงกว่าได้ แต่หากว่าเป็นสัญญาณอินเตอร์รัปต์ที่มีระดับความสำคัญต่ำเช่นเดียวกันแล้วก็จะต้องรอให้เสร็จสิ้นการประมวลผลที่ดำเนินการอยู่ก่อน

2.13.4 การควบคุมอินเตอร์รัปต์

ตามโครงสร้างด้านการจัดการอินเตอร์รัปต์ของ 8051 สามารถกำหนดเลือกเพื่อยินยอมหรือไม่ยินยอมให้มีการอินเตอร์รัปต์ของแต่ละสัญญาณได้ โดยใช้วิธีการกำหนดค่าของบิตภายใน

เอกสารนี้เป็น ไม่อนุญาตให้ใช้เพื่อการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงต้นฉบับเมื่อมีการนำไปใช้

รีจิสเตอร์ IE ซึ่งจะมีทั้งแบบที่ระบุถึงอินเตอร์รัปต์โดยรวมทั้งหมด (บิตที่ 7) และอินเตอร์รัปต์แต่ละประเภทได้ ในกรณีที่กำหนดค่าข้อมูลเป็น 1 ให้กับบิตจะมีความหมายถึงการยินยอมให้มีการอินเตอร์รัปต์เกิดขึ้นได้และจะเป็นกรณีตรงข้ามกันสำหรับการกำหนดค่าข้อมูลที่เป็น 0 หากลองย้อนกลับไปพิจารณาแผนภาพในรูปที่ อีกครั้ง จะเห็นว่าจะต้องทำการกำหนดให้ยินยอมการอินเตอร์รัปต์ทั้งหมดให้เกิดขึ้นก่อนจึงจะมีผลทำให้การกำหนดบิตเพื่อยินยอมของแต่ละอินเตอร์รัปต์มีผลขึ้นได้

ชื่อบิต: IE ตำแหน่ง: A8h

EA	-	ET2	ES	ET1	EX1	ET0	EX0

ชื่อบิต	ตำแหน่ง	ความหมาย
EA	IE.7	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์โดยรวม
-	IE.6	
ET2	IE.5	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์
ES	IE.4	Timer2
ET1	IE.3	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์พอร์ตอนุกรม
EX1	IE.2	
ET0	IE.1	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์ Timer1
EX0	IE.0	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์ INT1
		อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์ Timer0
		อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปต์ INT0

รูปที่ 2.32 บิตต่าง ๆ ภายในรีจิสเตอร์ IE

2.13.5 ระดับความสำคัญของการอินเตอร์รัปต์

การกำหนดระดับความสำคัญให้กับสัญญาณอินเตอร์รัปต์แต่ละประเภทนั้น สามารถทำได้โดยการกำหนดข้อมูลที่มีค่าเป็น 1 หรือ 0 ให้กับบิตภายในรีจิสเตอร์ IP ดังแสดงในตารางข้างล่างโดยหากว่ามีค่าเป็น 1 ก็จะทำให้สัญญาณอินเตอร์รัปต์นั้น ๆ มีระดับความสำคัญสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลง เนื้อหาภายในเอกสารทั้งหมดห้ามมิให้ทำการคัดลอกเพื่อการค้า

และในกรณีตรงข้ามกันสำหรับการกำหนดค่าเป็น 0 กรณีที่สัญญาณที่เข้ามาอินเตอร์รัปต์มีระดับความสำคัญเดียวกันเกิดขึ้นพร้อมกันก็อาจจะทำให้เกิดปัญหาขึ้นได้แต่อย่างไรก็ตาม 8051 ก็มีโครงสร้างทางด้านฮาร์ดแวร์ในการพิจารณาตามลำดับของตารางดังนี้

ระดับความสำคัญ	สัญญาณ	ความหมาย
1	IE0	อินเตอร์รัปต์ภายนอก 0
2	TF0	วงจรนับ/จับเวลา 0
3	IE1	อินเตอร์รัปต์ภายนอก 1
4	TF1	วงจรนับ/จับเวลา 1
5	R1 หรือ T1	วงจรรับ/ส่งข้อมูลอนุกรม

-	-	PT2	PS	PT1	PX1	PT0	PX0

ชื่อบิต	ตำแหน่ง	ความหมาย
	IP.7	
	IP.6	
PT2	IP.5	ระดับความสำคัญของTimer2
PS	IP.4	ระดับความสำคัญของพอร์ตอนุกรม
PT1	IP.3	ระดับความสำคัญของ Timer1
PX1	IP.2	ระดับความสำคัญของ INT1
PT0	IP.1	ระดับความสำคัญของ Timer0
PX0	IP.0	ระดับความสำคัญของ INT0

รูปที่ 2.33 บิตต่าง ๆ ภายในรีจิสเตอร์ IP

2.13.6 การจัดการอินเตอร์รัปต์

เมื่อมีการอินเตอร์รัปต์เกิดขึ้น ไมโครคอนโทรลเลอร์จะทำคำสั่งที่กำลังดำเนินการอยู่ให้แล้วเสร็จ จากนั้นจึงจะทำการเก็บค่าตำแหน่งแอดเดรสของคำสั่งที่จะทำงานต่อไปไว้ยังบริเวณของหน่วยความจำที่ถูกกำหนดไว้ให้เป็นสแต็กและกระโดดไปยังตำแหน่งแอดเดรสที่ได้มีการกำหนดไว้แน่นอนตำแหน่งหนึ่งโดยอัตโนมัติ ตำแหน่งนี้เรียกว่า แอดเดรสของอินเตอร์รัปต์เวกเตอร์ ซึ่งผู้ใช้จะต้องทำการเขียนโปรแกรมย่อยยังตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสเหล่านี้ไว้ ซึ่งเรียกว่า โปรแกรมย่อยบริการอินเตอร์รัปต์ ตำแหน่งของแอดเดรสเหล่านี้ได้แก่

แหล่งกำเนิดสัญญาณ	สัญญาณ	ตำแหน่งแอดเดรส (hex)
IE0	อินเตอร์รัปต์ภายนอก 0	0003
TF0	วงจรนับ / จับเวลา 0	000B
IE1	อินเตอร์รัปต์ภายนอก 1	0013
TF1	วงจรนับ / จับเวลา 1	001B
R1 หรือ T1	วงจรรับส่งข้อมูลอนุกรม	0023

สิ่งที่ควรให้ความสนใจในการเขียนโปรแกรมย่อยบริการอินเตอร์รัปต์คือ

1. ส่วนเริ่มต้นของโปรแกรมย่อย ควรจะมีการเก็บค่าของรีจิสเตอร์หรือแฟล็กสถานะต่าง ๆ ที่จะต้องนำไปใช้ภายในโปรแกรมย่อย มิฉะนั้นอาจจะมีผลทำให้โปรแกรมปกติที่ทำอยู่ก่อนหน้าการมาทำงานโปรแกรมย่อยตอบสนองอินเตอร์รัปต์ทำงานผิดพลาดไปได้
2. บรรทัดสุดท้ายของโปรแกรมย่อยจะต้องสิ้นสุดด้วยคำสั่ง RETI เพื่อสั่งให้มีการนำค่าที่ได้เก็บไว้ก่อนหน้าการกระโดดมายังโปรแกรมย่อยบริการอินเตอร์รัปต์นี้ออกจากสแต็กและกลับไปทำงานเดิมต่อไป นอกจากนี้แล้วยังมีผลทำให้แฟล็กสถานะที่เกี่ยวข้องกับการอินเตอร์รัปต์นั้น ๆ ถูกรีเซตกลับไปเป็นค่าปกติเพื่อรอรับการอินเตอร์รัปต์ครั้งใหม่ต่อไปด้วย

2.14 การอินเตอร์รัปต์ภายนอก

การประยุกต์ใช้งานไมโครคอนโทรลเลอร์โดยการใช้เทคนิควิธีแบบอินเตอร์รัปต์ จัดได้ว่าเป็นสิ่งที่ควรให้ความสนใจมากเป็นพิเศษ เพราะจะเป็นการช่วยให้การออกแบบระบบเป็นไปได้อย่างสะดวกยิ่งขึ้น แม้ว่าการอินเตอร์รัปต์จะได้รับการจำแนกตามแหล่งที่มาของสัญญาณอินเตอร์รัปต์นั้น ๆ แต่โดยส่วนมากแล้วก็มักจะเป็นสัญญาณที่มาจากภายนอกระบบและผ่านเข้ามาทางขาสัญญาณของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14.1 ประเภทของสัญญาณอินเตอร์รัปภายนอก

8051 สามารถตอบรับสัญญาณอินเตอร์รัปต์จากภายนอกได้สองสัญญาณ ทางขาสัญญาณ INT0 และ INT1 โดยการรับรู้ถึงสัญญาณที่อินเตอร์รัปต์สามารถโปรแกรมเลือกให้เกิดขึ้นที่บริเวณช่วงขอบของสัญญาณที่เปลี่ยนแปลงจากระดับลอจิกสูงไปเป็นลอจิกต่ำหรือขณะที่ระดับของสัญญาณได้เปลี่ยนแปลงไปเป็นระดับลอจิกต่ำแล้ว

การเลือกประเภทของสัญญาณอินเตอร์รัปต์ภายนอก INT1 ใช้การกำหนดค่าข้อมูลที่ตำแหน่งบิต 2 ภายในรีจิสเตอร์ TCON ซึ่งเป็นตำแหน่งบิต IT1 โดยทำหน้าที่เป็นตัวกำหนดประเภทของสัญญาณอินเตอร์รัปต์ของ INT1 ถ้ามีค่าเป็น 0 จะเป็นลักษณะแบบทำงานที่ระดับสัญญาณ ในกรณีที่บิตนี้ได้รับการกำหนดให้มีค่าเป็น 1 ซึ่งเป็นลักษณะของการทำงานที่ขอบขาลงของสัญญาณจะมีแฟล็กสถานะ IE1 ซึ่งเป็นบิตภายในรีจิสเตอร์ TCON เข้ามาเกี่ยวข้องด้วย กล่าวคือเมื่อไรก็ตามที่ขาสัญญาณ INT มีการเปลี่ยนระดับสัญญาณจากลอจิกสูงเป็นลอจิกต่ำแล้ว แฟล็กสถานะ IE1 นี้ก็จะถูกกำหนดให้มีค่าเป็น 1 เช่นกัน

สำหรับการทำงานของสัญญาณอินเตอร์รัปต์ INT0 ก็มีลักษณะเดียวกับสัญญาณของอินเตอร์รัปต์ INT1 ข้างต้นเช่นกัน โดยบิต 0 ภายในของรีจิสเตอร์ TCON เป็นตำแหน่งของบิต IT0 และตำแหน่งของแฟล็กสถานะ IE0 จะอยู่ที่ตำแหน่งบิต 1 ภายในรีจิสเตอร์ TCON

2.14.3 การตอบรับสัญญาณอินเตอร์รัปต์ภายนอก

ซีพียูของ 8051 จะทำการตรวจสอบสถานะของสัญญาณอินเตอร์รัปต์ภายนอกนี้ปีนระยะ ๆ ทุกแมชชีนไซเคิลของการทำงาน ดังนั้นสัญญาณที่จะเข้ามาอินเตอร์รัปต์นี้จะต้องค้างสถานะไว้เป็นระยะเวลาไม่น้อยกว่า 12 คาบออสซิลเลเตอร์ มิฉะนั้นซีพียูจะตรวจไม่พบ

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

ชื่อบิต	ตำแหน่ง	ความหมาย
	TCON.7	
	TCON.6	
	TCON.5	
	TCON.4	
IE1	TCON.3	แฟล็กแสดงการอินเตอร์รัปต์ของ INT1
IT1	TCON.2	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IE0 IT0	TCON.1 TCON.0	INT1 แฟล็กแสดงการอินเตอร์รัปต์ INT0 บิตเลือกประเภทสัญญาณอินเตอร์รัปต์ INT0

การขออินเตอร์รัปต์ของสัญญาณดังกล่าว และกรณีที่มีการกำหนดให้อินเตอร์รัปต์ภายนอกทำงานที่ขอบขาลงของสัญญาณ จะต้องทำให้สัญญาณอินเตอร์รัปต์นั้นมีระดับลอจิกต่ำเป็นเวลาอย่างน้อยหนึ่งแมชชีนไซเคิลเช่นกัน และแหล่งกำเนิดสัญญาณอินเตอร์รัปต์นี้จะต้องทำให้สัญญาณกลับไปเป็นลอจิกสูงในเวลาก่อนที่ซีพียูจทำงานในโปรแกรมย่อยบริการอินเตอร์รัปต์เสร็จสิ้น มิฉะนั้นซีพียูจะมองเห็นว่ามีการอินเตอร์รัปต์ใหม่เข้ามา
อีกครั้งหนึ่งตำแหน่งของแอดเดรสที่ซีพียูจะกระโดดไปทำงานเมื่อมีการอินเตอร์รัปต์ภายนอกเกิดขึ้นแสดงดังรูป

สัญญาณ	ตำแหน่งอินเตอร์รัปต์เวกเตอร์
INT0	0003h
INT1	0013h

2.14 การอินเตอร์รัปต์ของวงจรนับ/ จับเวลา

การออกแบบระบบควบคุมด้วยไมโครคอนโทรลเลอร์ มักจะต้องการวงจรที่มีหน้าที่การเป็นฐานเวลาสำหรับการดำเนินงานหรือการนับบางอย่าง เช่น จำนวนพัลส์ที่เข้ามายังระบบ การหน่วงเวลาภายในโปรแกรม เป็นต้น ซึ่งโดยทั่วไปแล้วหากดำเนินการด้วยวิธีด้านซอฟต์แวร์ ก็มักจะเป็นการวนรอบนับหรือจับเวลาไปตลอด โปรเซสเซอร์จะต้องเสียเวลามาดูแลงานเหล่านี้มาก ดังนั้นเพื่อเป็นการลดภาระงานทางด้านนี้ หรือช่วยให้มีการทำงานที่เกี่ยวข้องกับจับเวลาได้แม่นยำมากขึ้น 8051 จึงได้มีวงจรนับ/จับเวลาอยู่ภายในตัวไอซีให้ใช้งานได้หลายชุด โดยที่สามารถกำหนดเลือกลักษณะการทำงานแบบต่าง ๆ ได้โดยใช้วิธีการซอฟต์แวร์ควบคุม

2.14.1 วงจรนับและจับเวลา

8051 ประกอบด้วยรีจิสเตอร์ขนาด 16 บิตจำนวนสองตัว คือ T0 (Timer 0) และ T1 (Timer1) ซึ่งสามารถนำไปใช้งานได้อย่างอิสระ โดยสามารถควบคุมให้ทำหน้าที่เป็นตัวจับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อนับจำนวนพัลส์สัญญาณนาฬิกาภายใน หรือควบคุมให้ทำหน้าที่เป็นตัวนับเพื่อนับจำนวนพัลส์ของระบบได้

ภายในรีจิสเตอร์แต่ละตัวยังสามารถแยกออกได้เป็นรีจิสเตอร์ขนาด 8 บิตคือ TH0 กับ TL0 สำหรับรีจิสเตอร์ T0 และ TH1 กับ TL1 สำหรับรีจิสเตอร์ T1 โดยยการทำงานของรีจิสเตอร์ทั้งสองตัวนี้มีผลมาจากการกำหนดค่าของบิตที่อยู่ภายในรีจิสเตอร์ TMOD (Timer mode control register) และรีจิสเตอร์ TCON(Timer/Counter control register)

GATE1	C/T1	M1	M0	GATE0	C/T0	M1	M0

ชื่อบิต	ตำแหน่ง	ความหมาย
GATE1	TMOD.7	บิตควบคุม GATE สำหรับ Timer1
C/T1	TMOD.6	บิตกำหนดการทำงานแบบตัวนับหรือจับเวลาของ Timer1 โดยถ้าเป็นค่า 0 จะทำหน้าที่เป็นตัวจับเวลา
M1	TMOD.5	บิตบนสำหรับการกำหนดโหมดทำงานของ Timer1
M0	TMOd.4	บิตล่างสำหรับการกำหนดโหมดทำงานของ Timer1
GATE0	TMOD.3	บิตควบคุม GATE สำหรับ Timer0
C/T0	TMOD.2	บิตกำหนดการทำงานแบบตัวนับหรือจับเวลาของ Timer0 หากเป็นค่า 0 จะทำหน้าที่เป็นตัวจับเวลา
M1	TMOD.1	บิตบนสำหรับการกำหนดโหมดทำงานของ Timer0
M0	TMOD.0	บิตล่างสำหรับการกำหนดโหมดทำงานของ Timer0

รูปที่ 2.34 บิตต่าง ๆ ภายในรีจิสเตอร์ TMOD (Timer / Counter Mode Control)

ตามโครงสร้างของบิตภายในรีจิสเตอร์ TMOD ในรูปที่ 2.34 จะเห็นได้ว่ามีการจัดแบ่งออกเป็นสองส่วนอย่างชัดเจน โดยบิตจำนวนสี่บิตทางด้านบนจะเป็นของรีจิสเตอร์ T1 และสี่บิตที่เหลือทางด้านล่างจะเป็นของรีจิสเตอร์ T0 การกำหนดประเภทของการทำงานทำได้โดยการกำหนดค่าภายในบิต C/T ที่ตำแหน่งบิต 6 และ 2 โดยหากเป็นข้อมูลที่มีค่า 0 จะทำหน้าที่เป็นตัวจับเวลาและหากมีค่าเป็น 1 จะทำหน้าที่เป็นตัวนับสัญญาณ

เมื่อกำหนดให้ทำงานเป็นตัวจับเวลา รีจิสเตอร์จะทำการเพิ่มค่าขึ้นทีละหนึ่งในทุก ๆ แมชชีนไซเคิลการทำงานของซีพียู ดังนั้นอาจจะกล่าวได้ในอีกลักษณะว่าการทำงานเป็นตัวจับเวลาก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการนับหน่วยเวลาซึ่งสร้างมาจากวงจรออสซิลเลเตอร์ของซีพียูเอง การคำนวณค่าระยะเวลาของหนึ่งแมชชีนไซเคิลจะใช้เวลานานเท่ากับคาบเวลาของออสซิลเลเตอร์จำนวน 12 คาบหรือคิดเป็นอัตราการนับในแต่ละครั้งจะใช้เวลาเท่ากับ 1/12 เท่าของความถี่ออสซิลเลเตอร์

กรณีกำหนดให้ทำงานเป็นการนับสัญญาณ รีจิสเตอร์จะเพิ่มค่าขึ้นทีละหนึ่งตามการเปลี่ยนแปลงสภาวะของสัญญาณทางขา T0 หรือ T1 การเปลี่ยนแปลงนี้จะเป็นในลักษณะของการเปลี่ยนจากระดับลอจิกสูงไปเป็นลอจิกต่ำซึ่งซีพียูจะทำการตรวจสอบสัญญาณนี้ทุก ๆ แมชชีนไซเคิล หากพบว่าแมชชีนไซเคิลแรกเป็นระดับลอจิกสูงและแมชชีนไซเคิลต่อไปเป็นระดับลอจิกต่ำจึงจะทำการเพิ่มค่าในรีจิสเตอร์ ดังนั้นซีพียูจะต้องใช้เวลาถึง 2 แมชชีนไซเคิลในการตรวจสอบสัญญาณซึ่งเป็นผลทำให้อัตราการเปลี่ยนแปลงของสัญญาณอินพุตภายนอกทางขา T0 หรือ T1 มีได้สูงสุดไม่เกินค่า 1/24 เท่าของความถี่ออสซิลเลเตอร์

การอินเตอร์รัปต์ของวงจรนับจับเวลาของ 8051 จำเป็นต้องทำการกำหนดค่าเริ่มต้นให้กับรีจิสเตอร์ T0 หรือ T1 ค่านี้จะเป็นค่าจำนวนของพัลส์ภายในที่ต้องการจะให้นับหรือค่าของจำนวนพัลส์ภายนอกที่เข้ามาทางขาสัญญาณ T0 และ T1 ค่าตัวเลขภายในรีจิสเตอร์นี้จะต้องลด ให้มีค่าน้อยกว่าค่าที่ต้องการอยู่หนึ่งค่า ทั้งนี้เนื่องจากการทำงานของรีจิสเตอร์จะเพิ่มค่าจากที่กำหนดไปเรื่อย ๆ จนถึงค่าสูงสุดของรีจิสเตอร์ และกลับไปเป็นค่าศูนย์เมื่อมีพัลส์สุดท้ายเกิดขึ้นซึ่งเรียกว่ามี การโอเวอร์โฟล์ว เกิดขึ้น ทำให้เกิดการกำหนดค่าของแฟล็กเพื่อแจ้งให้ซีพียูได้รับทราบ ดังนั้น โปรแกรมทั่วไปจึงมักจะใช้สภาวะของแฟล็กนี้ (TF0 และ TF1) ซึ่งเป็นบิตอยู่ภายในรีจิสเตอร์ TCON ดูรูปที่ เพื่อตรวจสอบว่ากระบวนการนับได้เสร็จสิ้นลงแล้ว หรือใช้เพื่อทำการอินเตอร์รัปต์โปรแกรมต่อไป

ชื่อบิต: TCON

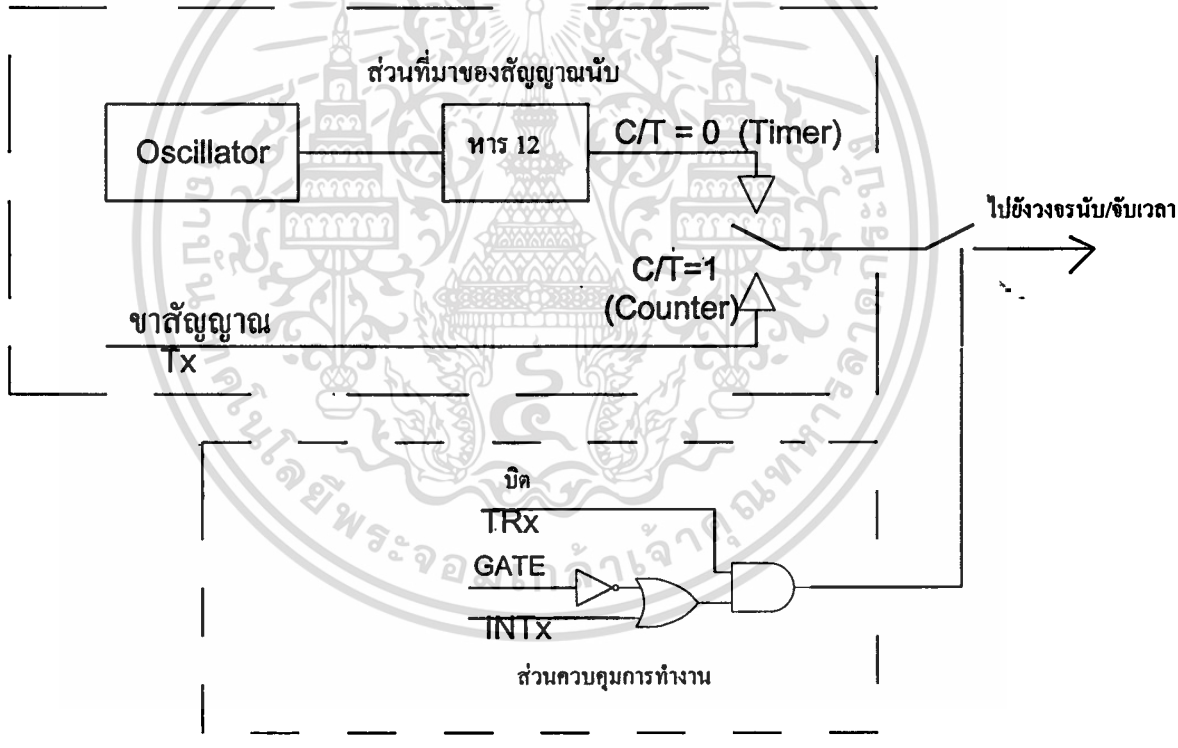
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

บิต	ตำแหน่ง	ความหมาย
TF1	TCON.7	แฟล็กแสดงการอินเตอร์รัปต์ของ Timer1
TR1	TCON.6	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์
TF0	TCON.5	Timer1
TR0	TCON.4	แฟล็กแสดงการอินเตอร์รัปต์ของ Timer0
IE1	TCON.3	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์
IT1	TCON.2	Timer0
IE0	TCON.1	แฟล็กแสดงการอินเตอร์รัปต์ของ INT1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IT0	TCON.0	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์ INT1 แฟล็กแสดงการอินเตอร์รัปต์ของ INT0 บิตเลือกประเภทสัญญาณอินเตอร์รัปต์ INT0

รูปที่ 2.36 บิตต่าง ๆ ภายในรีจิสเตอร์ TCON (Timer/Counter Control)



รูปที่ 2.37 ส่วนควบคุมการทำงานของวงจรนับ/จับเวลา ซึ่งประกอบด้วยส่วนของการกำหนดที่มาของสัญญาณ (Timer หรือ Counter) และบิตหรือขาสัญญาณสำหรับการหยุดหรือทำงานของวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

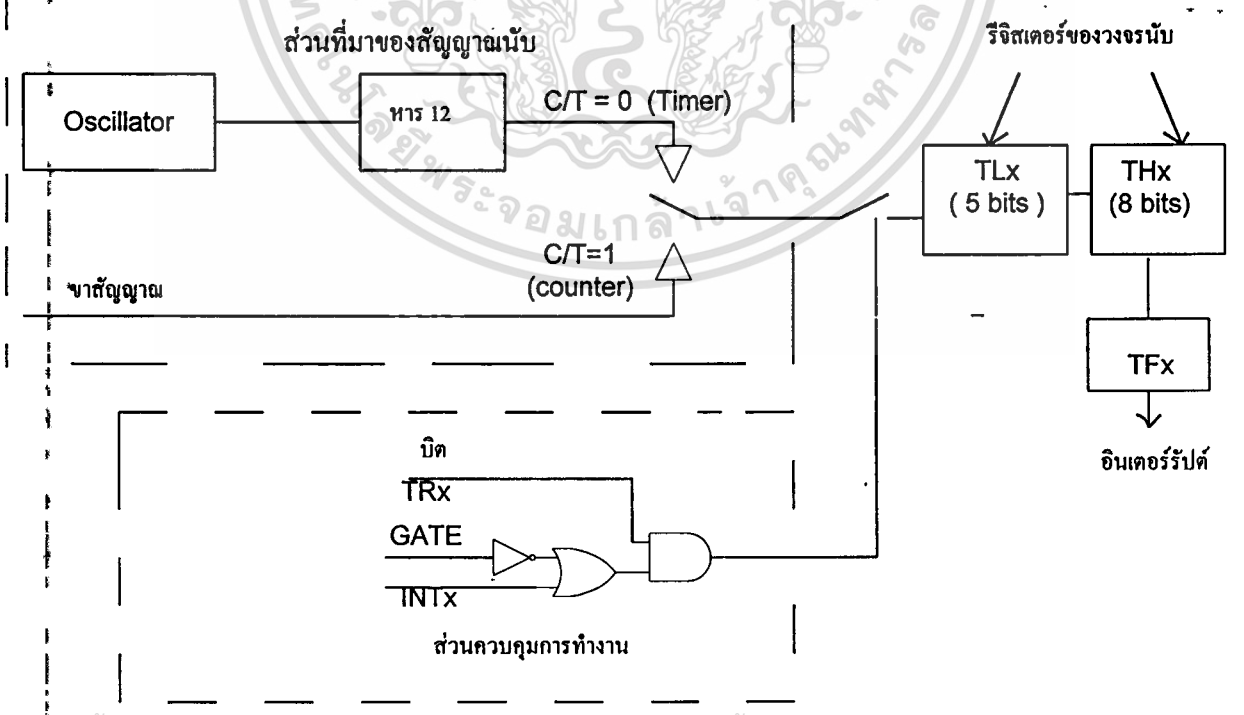
2.14.2 การทำงานเป็นตัวจับเวลา

เมื่อกำหนดให้ทำงานจับเวลา รีจิสเตอร์จะมีการเพิ่มค่าขึ้นทุก ๆ แมชชีนไซเคิล ซึ่งอาจกล่าวในอีกลักษณะได้ว่าเป็นการนับหน่วยเวลาของพัลส์นี้จะมาถึงวงจรนับ/ จับเวลาได้จะต้องทำการสวิตช์ให้อยู่ในลักษณะดังรูปเสียก่อน โดยการกำหนดค่าให้อยู่ในสภาวะเช่นในตารางต่อไปนี้

การกำหนดค่าบิต	รีจิสเตอร์	ความหมาย
C/T =0	TMOD	กำหนดให้เป็นการจับเวลา
TR1 หรือ TR0 = 1	TCON	กำหนดให้มีการทำงาน
GATE = 0	TMOD	กำหนดสภาวะการควบคุมการทำงาน
หรือระดับสัญญาณที่ขา INT0		
หรือ INT1 เป็นสภาวะลอจิกสูง		

2.14.3 การจับเวลาในโหมด 0

การทำงานในโหมด 0 นี้ วงจรนับ/จับเวลาจะทำหน้าที่เป็นตัวนับขนาด 13 บิต (โดยใช้รีจิสเตอร์ TH0 หรือ TH1 เป็นตัวนับขนาด 8 บิต และรีจิสเตอร์ TL0 หรือ TL1 มีขนาด 5 บิต) ตามลักษณะของแผนภาพในรูป



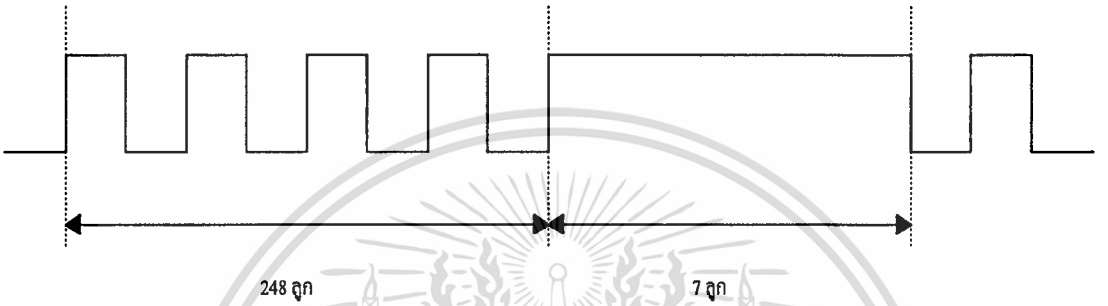
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

รูปที่ 2.38 การทำงานของ Timer/Counter 0 หรือ 1 ในโหมด 0

บทที่ 3
การออกแบบวงจร

3.1 หลักการออกแบบสัญญาณควบคุม

สัญญาณที่ทำการสร้าง จะเป็นสัญญาณที่เป็นลักษณะของขบวนพัลซ์สี่เหลี่ยม จำนวน 248 ลูก แล้วมีสัญญาณซิงค์พัลซ์ขึ้นไว้เป็นสัญญาณเปรียบเทียบ ดังรูป



รูปที่ 3.1 แสดงสัญญาณควบคุม

สัญญาณซิงค์จะเป็นตัวเปรียบเทียบให้เห็นว่า ขณะนี้สัญญาณพัลซ์ได้ครบ 248 ลูกแล้ว เมื่อสัญญาณซิงค์ได้ผ่านไปแล้ว สัญญาณลูกต่อไปจะเป็นสัญญาณลูกที่ 1 ของขบวนถัดไป

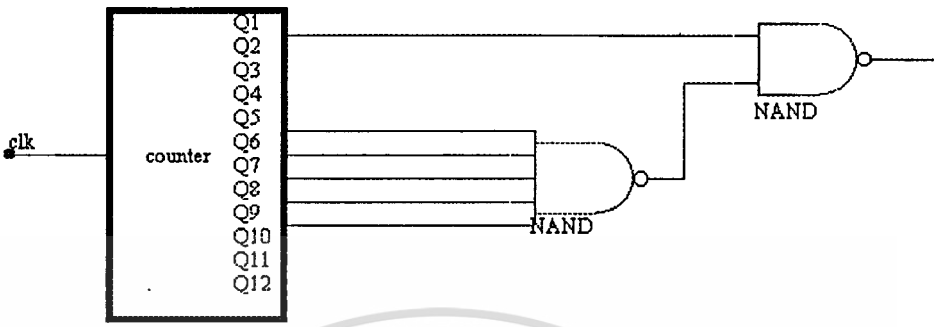
ในโครงงานนี้ได้กำหนดให้พัลซ์แต่ละลูกแทนหมายเลขเครื่องแต่ละเครื่องของสมาชิก เช่น พัลซ์ลูกที่ 3 จะเป็นตัวแทนของเครื่องสมาชิกเครื่องที่ 3

ในการออกแบบโครงงานระบบเสียงในห้องประชุม จะใช้ ไอ.ซี. 555 เป็นตัวสร้างสัญญาณนาฬิกา ให้กับวงจรสร้างสัญญาณควบคุม ซึ่งใช้ไอ.ซี.เคาน์เตอร์เบอร์ 74HC4040 พิจารณาสัญญาณที่เอาท์พุตของไอ.ซี.เคาน์เตอร์

สัญญาณที่ได้ออกมาที่เอาท์พุตของ ไอ.ซี.เคาน์เตอร์ จะเป็นการนับแบบอสมวาร โดยจะนับขึ้นทุกๆตัว ตั้งแต่ Q1-Q12 โดยเอาท์พุตที่เราต้องการใช้มีเพียง 9 ตัว (Q1-Q9) สัญญาณที่ต้องการ คือสัญญาณควบคุมจำนวน 248 ลูก และสัญญาณซิงค์ จำนวน 7 ลูก ดังนั้น สัญญาณเอาท์พุต Q5-Q9 จะถูกต่อเข้าแนนด์เกต (NAND GATE) และเอาท์พุตที่ได้จะถูกต่อเข้าแนนด์เกตกับสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 หลักการทำงานของวงจรสร้างสัญญาณควบคุม



รูปที่ 2.15 แสดงการออกแบบวงจรสัญญาณควบคุม

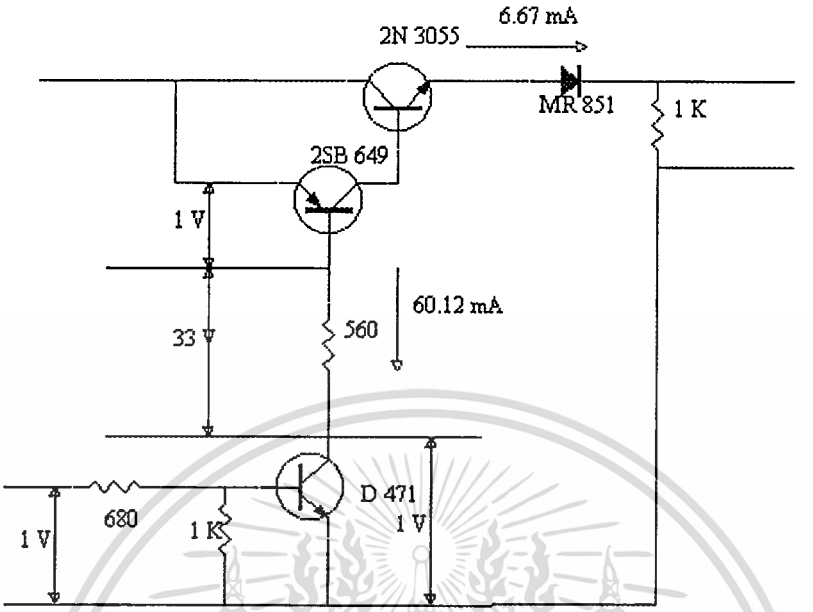
เมื่อป้อนสัญญาณคล็อคพัลซ์เข้ามาที่ไอ.ซี.เบอร์ 74HC4040 แล้วจะได้เอาท์พุตที่ขา Q1-Q9 เมื่อQ5-Q9 ยังไม่ได้เป็น 1 ทุกขา จะทำให้เอาท์พุตที่แนนด์เกต 5 อินพุตเป็น 1 ตลอด ดังนั้น สัญญาณที่
เอาท์พุตของแนนด์เกต 2 อินพุตจะมีค่าเป็น 1 และ 0 สลับกันไป เนื่องจากการแนนด์กับสัญญาณนาฬิกา จนกระทั่งสัญญาณ Q5-Q9 มีค่าเป็น 1 ที่เอาท์พุตทุกตัว จะทำให้เอาท์พุตของแนนด์เกต 5 อินพุตมีค่าเป็น 0 ทันที ดังนั้นสัญญาณเอาท์พุตของแนนด์เกต 2 อินพุคจะเป็น 1 ยาวตลอด และเมื่อเอาท์พุตของ Q5-Q9 ตัวใดตัวหนึ่งเป็น 0 อีกครั้ง จะทำให้เอาท์พุตของแนนด์เกต 2 อินพุตเป็น 1 และ0 สลับกัน และจะเป็นเช่นนี้ไปเรื่อยๆ

จากรูปวงจร จะเห็นได้ว่าสัญญาณนาฬิกาที่ป้อนให้กับวงจรเคาน์เตอร์ คือ 74HC4040 นั้น ไม่ควรถูกนำไปใช้เป็นอินพุตของแนนด์เกต 2 อินพุต เนื่องจากสัญญาณคล็อคของ ไอ.ซี. 555 เอาท์พุตไม่ใช่ 50%
ดิวตี้ไซเคิล เพื่อขจัดปัญหานี้จึงทำการเปลี่ยนวงจร โดยใช้สัญญาณนาฬิกาจากเอาท์พุต Q1 ของ 74HC4040 แทน ดังรูป 2.15

3.2 วงจรขยายสัญญาณควบคุมและไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 หลักการออกแบบวงจรขยายสัญญาณควบคุม



รูปที่ 3.3 แสดงวงจรขยายสัญญาณควบคุม

สัญญาณควบคุมจำเป็นต้องมีกระแสที่ส่งออกค่อนข้างสูง เนื่องจากสัญญาณควบคุมที่ส่งออกไปนั้น จะถูกนำไปใช้เป็นไฟเลี้ยงของทั้งระบบ และสัญญาณควบคุมนี้จะต้องถูกส่งผ่านสายนำสัญญาณ ซึ่งมีความยาวค่อนข้างมาก ถ้าหากว่ากำลังส่งของสายนำสัญญาณมีค่าน้อยจนเกินไป อาจจะถูกลดทอนจนหมด ทำให้สัญญาณไม่สามารถส่งไปถึงปลายทางได้ ดังนั้นจึงต้องมี วงจรที่ทำการขยายสัญญาณควบคุม ให้มีความแรงพอที่จะทำให้ทั้งระบบสามารถทำงานได้ เพื่อความแน่ใจควรเพิ่มวงจรทวนสัญญาณเข้าไปด้วย

ดังนั้น วงจรที่ใช้จึงใช้การต่อทรานซิสเตอร์แบบอินเวอร์สดาร์ลิงตัน (INVERSE DARLINGTON) การต่อแบบอินเวอร์สดาร์ลิงตัน คือ การต่อแบบ พี-เอ็น-พี (P-N-P) เพื่อขับทรานซิสเตอร์แบบเอ็น-พี-เอ็น (N-P-N) ซึ่งต่างจากการต่อทรานซิสเตอร์แบบดาร์ลิงตันที่ใช้ทรานซิสเตอร์ชนิด เอ็น-พี-เอ็น ขับทรานซิสเตอร์ชนิด เอ็น-พี-เอ็น

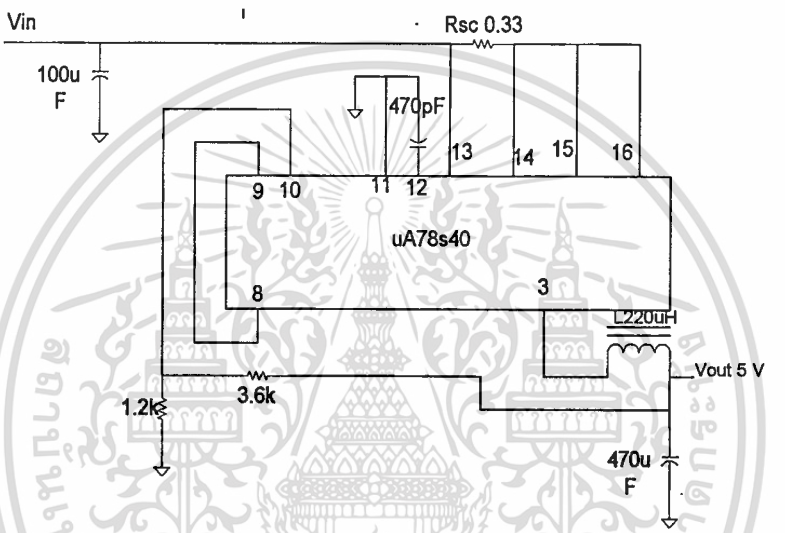
ก่อนที่สัญญาณควบคุมจะเข้าวงจรอินเวิร์สดาร์ลิงตัน จะถูกทำการขยายครั้งหนึ่งก่อน โดยทรานซิสเตอร์ชนิดเอ็น-พี-เอ็น ดังในรูปที่ 3.3 จะเห็นได้ว่า ถ้าคิดในรูปของกระแสเบส Ib ของ Q1 จะมีค่าไม่สูงมากนัก เมื่อผ่าน Q1 ก็จะทำให้มีกระแสสูงขึ้นด้วยค่า B_1 และเมื่อผ่านวงจรอินเวิร์สดาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

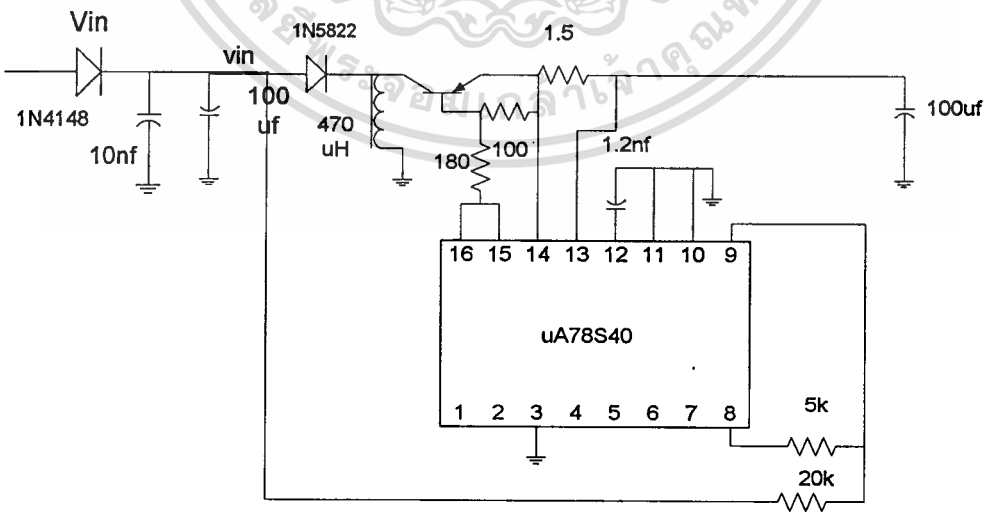
ลิงตัน ก็จะทำให้กระแสทางเอาท์พุตมีค่าสูงขึ้นด้วย B_2 และ B_3 จึงทำให้สัญญาณทางด้านเอาท์พุต มีค่าสูงขึ้นตามที่ต้องการ เพื่อลดค่าเวลาที่ใช้ในการไต่ขึ้นของสัญญาณ จึงควรมีสปีดอัพคาพาซิเตอร์ เพื่อให้ทรานซิสเตอร์สามารถนำกระแส หรือทำงานได้เร็วขึ้น โดยจะเพิ่มค่ากระแสเบส

สำหรับ R_2, R_4 และ R_5 จะทำหน้าที่ลด I_{cbo} ของทรานซิสเตอร์แต่ละตัว โดย R_2 จะลด I_{cbo} ของ Q_1 , R_4 จะลด I_{cbo} ของ Q_2 และ R_5 จะลด I_{cbo}ของ Q_3 ตามลำดับ

3.2.2 หลักการออกแบบวงจรไฟเลี้ยงและวงจรขยายสัญญาณควบคุม



รูปที่ 3.4 แสดงการออกแบบวงจรไฟเลี้ยงบวก 5 V.



รูปที่ 3.5 แสดงวงจรไฟเลี้ยงสวิตชิ่งลบ 5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรไฟเลี้ยงทั้งไฟบวก 5 V. และลบ 5 V.ของเครื่องประธานและเครื่องสมาชิกนั้น ใช้ไอ.ซี. เบอร์ uA78S40ซึ่งเป็นไอ.ซี.สวิชชิ่งเรคกูเลเตอร์ สำหรับไฟเลี้ยงบวก 5 V.นั้นใช้การต่อวงจรสวิตชิ่งแบบแปลงลง (step-down converter) และวงจรไฟเลี้ยงลบ 5 V. ใช้การต่อแบบแปลงกลับ (inverting converter) การออกแบบวงจรไฟเลี้ยง โดยใช้วงจรสวิชชิ่งมีข้อดี คือ ประหยัดค่าใช้จ่าย เพราะใช้แหล่งจ่ายไฟเพียงชุดเดียวในการจ่ายพลังงานให้กับระบบ และประหยัดพลังงานเพราะแหล่งจ่ายพลังงานแบบสวิชชิ่งนั้น ไม่ได้จ่ายพลังงานตลอดเวลา ดังรูปที่ 3.4 และ 3.5

หลักการออกแบบวงจรขยายสัญญาณควบคุม คือ ให้สมาชิก 1 ชุดใช้ไฟเท่ากับ 2 วัตต์ โดยสมมติให้มี Vcc เท่ากับ 12 โวลต์ ดังนั้นเครื่องสมาชิกแต่ละตัวจะใช้

$$I_{av} = 2W/12v = 0.1667\ A \qquad (3.1)$$

ให้เครื่องประธาน 1 ชุดสามารถใช้ได้กับเครื่องสมาชิก 20 ชุด

ดังนั้น $I_{main\ av} = 3.333\ A$

จาก $Ip = 2I_{av}$ (50% DUTY CYCLE)

จะได้ว่า $Ip = 6.667\ A_{peak}$

จากการออกแบบให้ ทรานซิสเตอร์เป็น SATURATE SWITCH มีอัตราการขยายเท่ากับ 10

$$Ib = Ip/(B+1) = (6.667\ A_{peak})/10+1$$
$$=606.1\ mA_{peak}$$

ขณะที่ทรานซิสเตอร์ Q1 และ Q2 ทำงาน

จะมี Vbe1 = Vbe2 = 1V และ Vce1 = 1V

ดังนั้นแรงดันที่ตกคร่อมที่ R 560 โอห์ม จะมีค่าประมาณ 33 V

จะได้ว่า $Ibq2 = 33/560 = 60\ mA_{peak}$

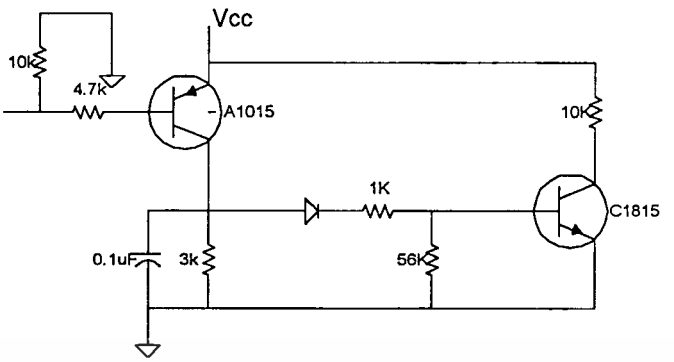
สัญญาณพัลซ์ควบคุมที่เข้ามายังขาเบสของทรานซิสเตอร์ Q1 มีค่าประมาณ 5 Vpeak

$$Ibq1 = (5-1)/680 = 6\ mA_{peak}$$

ซึ่งได้แสดงไว้ในรูปที่ 3.3

3.3 วงจรแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรแยกสัญญาณซิงค์

การทำงานอาศัยหลักการของวงจรอาร์ซีอินทิเกรเตอร์ซึ่งเป็นการกรองความถี่ต่ำแบบอาร์ซีนั่นเอง โดยที่สัญญาณควบคุมประกอบด้วยสัญญาณซิงค์ความกว้างเท่ากับจำนวนพัลส์ 8 ลูกนั่นคือสัญญาณซิงค์มีความถี่ต่ำจะถูกแยกออกมาได้ จากสมการเก็บประจุ

$$V_c = E - (E - V_0)e^{-t/RC}$$

เมื่อมีขบวนพัลส์ควบคุมเข้ามา C จะชาร์จประจุตามสมการดังกล่าว เนื่องจากช่วงเวลาที่สัญญาณซิงค์เข้ามามีค่าเวลา t มาก ทำให้ V_c มาก ส่วนสัญญาณพัลส์ลูกอื่น ๆ มีค่าเวลา t น้อย ทำให้ V_c น้อย เมื่อได้สัญญาณที่ตกคร่อมตัวเก็บประจุแล้วสัญญาณนี้จะถูกส่งไปยังทรานซิสเตอร์ c1815 ซึ่งจะ on ตอนช่วงเวลาสัญญาณซิงค์เพราะมีแรงดันสูงพอ จะ off ตอนสัญญาณพัลส์ลูกอื่นๆ จึงทำให้ได้เฉพาะสัญญาณซิงค์ออกมา

3.4 วงจรส่งสัญญาณที่ตำแหน่งพัลส์คู่หรือคี่ของสัญญาณควบคุม

การติดต่อระหว่างเครื่องสมาชิกกับเครื่องประธานจะใช้วิธีการส่งสัญญาณพัลส์ลบโดยกำหนดให้เครื่องสมาชิกส่งสัญญาณขอทำการพูดไปยังเครื่องประธานโดยส่งที่ตำแหน่งพัลส์คี่และประธานสามารถส่งสัญญาณตอบรับกลับได้ทันทีโดยส่งสัญญาณที่ตำแหน่งพัลส์คู่ วงจรการส่งสัญญาณพัลส์ลบที่ตำแหน่งพัลส์คี่สามารถแสดงให้เห็นได้ดังรูป ส่วนวงจรการส่งสัญญาณพัลส์ลบที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งพัลส์คู่ต่อในลักษณะเดียวกันเพียงแต่สัญญาณที่ต่อเข้าแอนด์เกทตัวที่ต่อกับสวิทช์เปลี่ยนจากขาเอาท์พุทอินเวอร์สของ JK ฟลิปฟลอปเป็นขาเอาท์พุทนอนอินเวอร์ส

3.5 เครื่องสมาชิก

ประกอบด้วยส่วนแยกสัญญาณซิงค์ ส่วนผลิตสัญญาณพัลส์ลบ ส่วนดีเทคสัญญาณพัลส์ลบ ส่วนไฟเลี้ยงวงจร

การตั้งรหัสหมายเลขเครื่องสมาชิกแต่ละเครื่องจะใช้การตั้งรหัสแบบ BCD 8421

การทำงานคือ จากสัญญาณควบคุมที่สร้างขึ้นนั้นประกอบด้วยสัญญาณซิงค์ความกว้างเท่ากับจำนวนพัลส์ 8 ลูกและสัญญาณพัลส์จำนวน 248 ลูก เราจะใช้สัญญาณพัลส์ที่ตำแหน่งพัลส์คี่แทนหมายเลขเครื่องแต่ละเครื่องดังนี้คือ สัญญาณพัลส์ลูกแรกที่ปรากฏต่อจากสัญญาณซิงค์แทนเครื่องหมายเลข 1 พัลส์ลูกที่สามแทนเครื่องหมายเลข 2 พัลส์ลูกที่ห้าแทนเครื่องหมายเลข 3 จนถึงเครื่องหมายเลข 99 ใช้พัลส์ลูกที่หนึ่งร้อยเก้าสิบเก้า จะใช้หลักการนับสัญญาณคล็อก(สัญญาณควบคุม) แล้วเปรียบเทียบกับค่ารหัส BCD ของเครื่องเพื่อให้หมายเลขเครื่องตรงกับตำแหน่งพัลส์ดังกล่าวข้างต้น ทำได้โดยแยกสัญญาณซิงค์ออกจากสัญญาณควบคุมก่อนแล้วใช้สัญญาณซิงค์เป็นสัญญาณรีเซตไอซีที่ใช้เป็นตัวนับ (74HC390) ทันทีที่สัญญาณซิงค์เปลี่ยนระดับเป็นศูนย์จะเริ่มนับคล็อก (สัญญาณควบคุม) ที่ป้อนเข้าขา 1 ของ 74HC390 นับจาก 1 ถึง 9 แต่เพื่อให้นับพัลส์ลูกที่สามเป็น 2 หรือให้สัญญาณควบคุมผ่านไปสองลูกถึงนับเพิ่มขึ้น 1 จึงต้องให้สัญญาณควบคุมผ่านวงจรหารสองก่อนโดยใช้ไอซี 7427 (JK Flipflop) ต่อเป็น T Flipflop แล้วนำเอาท์พุท Q ป้อนเข้าขา 1 ของ 74HC390ที่เครื่องประธาน เพื่อสร้างพัลซ์คู่ และนำเอาท์พุท Q ป้อนเข้าขา 1 ของ 74HC390 ที่เครื่องสมาชิก จากนั้นนำเอาท์พุทของ 74HC390 ป้อนเข้าไอซีเบอร์ 4585 (ตัวเปรียบเทียบ) ขา $A_0 - A_3$ ซึ่งจะทำการเปรียบเทียบกับค่ารหัส BCD ที่ตั้งไว้จากดิพสวิตช์ที่ขา $B_0 - B_3$ ดังนั้นจะได้หมายเลขเครื่องตรงกับตำแหน่งพัลส์ลูกที่ต้องการได้ เนื่องจากหมายเลขเครื่องสูงสุดใช้เลขสองหลักจึงต่อ 4585 คาสเคดกันได้ดังรูป โดยตัวบนแทนเลขหลักหน่วยตัวล่างแทนเลขหลักสิบ

การติดต่อกับประธานจะใช้วิธีส่งสัญญาณพัลส์ลบไป โดยเมื่อต้องการส่งสัญญาณขอทำการพูดทำได้โดยกดสวิทช์ ทันทีที่สวิทช์ on จะติดต่อกับวงจรสร้างสัญญาณพัลส์ลบทำให้เกิดสัญญาณพัลส์ลบตรงตำแหน่งพัลส์ลูกที่แทนเครื่องของตนได้ จากวงจรดีเทคสัญญาณพัลส์ลบที่เครื่องประธานประธานจะทราบได้ว่าสัญญาณมาจากเครื่องหมายเลขใดและสามารถส่งสัญญาณตอบรับได้ทันทีโดยส่งสัญญาณพัลส์ลบที่ตำแหน่งพัลส์เลขคู่ของสัญญาณควบคุม และที่เครื่อง

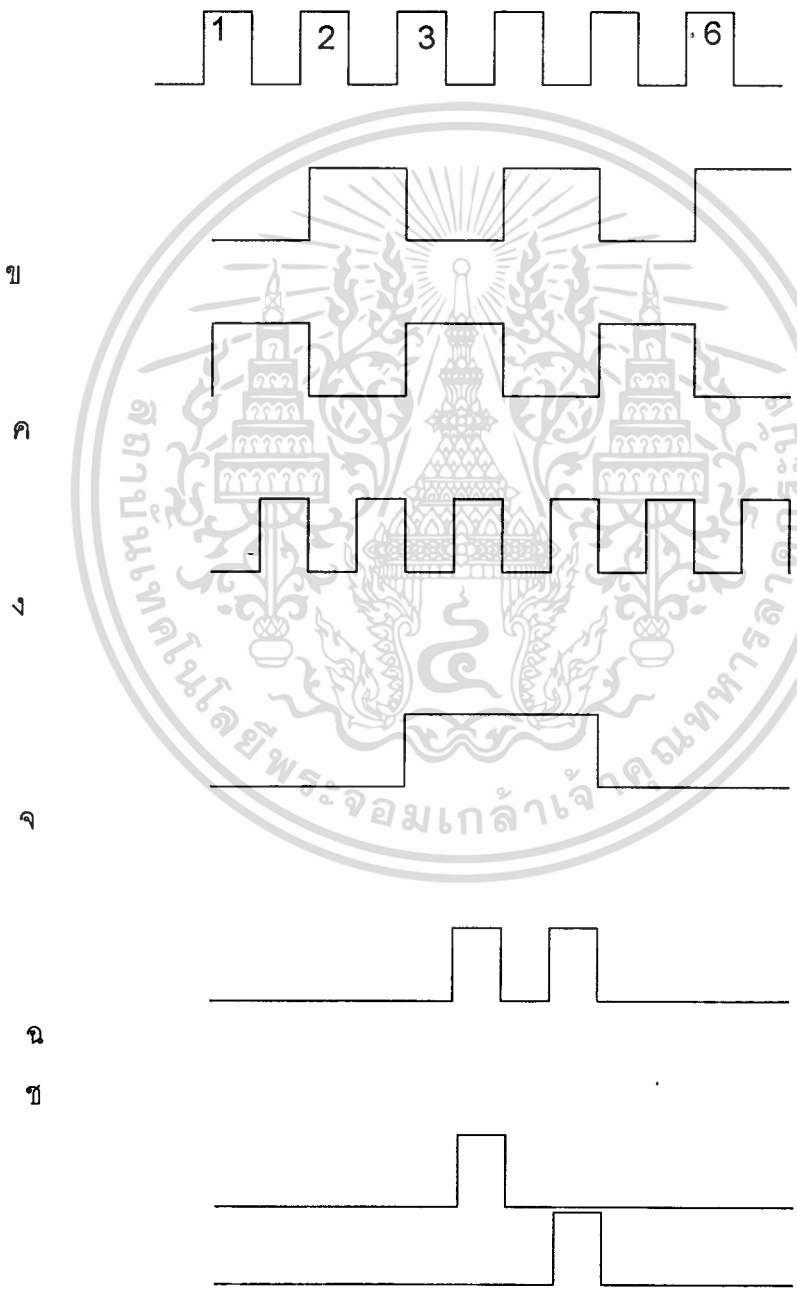
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมาชิกแต่ละเครื่องจะมีวงจรดีเทคสัญญาณพัลส์ลบเช่นกันเพื่อให้สามารถทราบได้ว่าประธานส่งสัญญาณตอบรับกับมายังเครื่องของตนหรือไม่

3.5.1 หลักการส่งสัญญาณที่ตำแหน่งพัลส์คี่ของสัญญาณควบคุม

สมมติว่าเครื่องที่ 2 ส่งสัญญาณขอทำการพูด ตำแหน่งที่จะเกิดพัลส์ลบคือตำแหน่งพัลส์ลูกที่ 3 ของสัญญาณควบคุม สามารถแสดงให้เห็นได้ดังรูป

ก สัญญาณคล็อก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 แสดงตำแหน่งพัลส์ที่จะเกิดพัลส์ลบซึ่งตรงกับพัลส์ลูกที่ 3

ก สัญญาณคล็อก ข สัญญาณคล็อกหารสอง ค สัญญาณคล็อกหารสองอินเวอร์ส

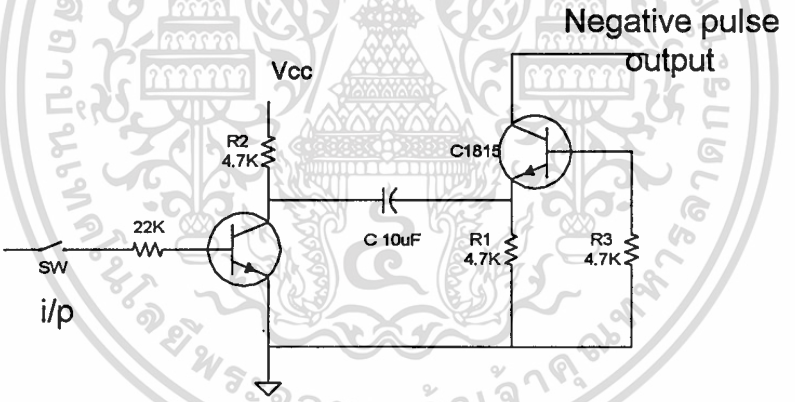
ง สัญญาณคล็อกอินเวอร์ส จ สัญญาณเอาท์พุทที่ขา A=B ของ 4585

ฉ สัญญาณคล็อกแอนด์กับสัญญาณคล็อกอินเวอร์ส

ช สัญญาณตรงตำแหน่งคล็อกลูกที่ 3 ซ สัญญาณตรงตำแหน่งคล็อกลูกที่ 4

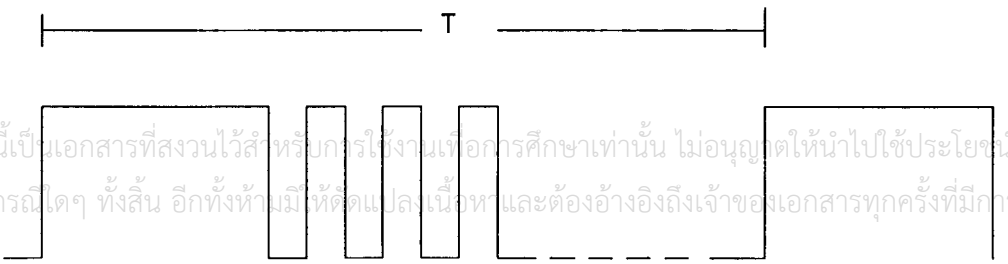
จากสัญญาณคล็อก (สัญญาณควบคุม) หารสอง (รูป ข) นำไปเข้าไอซีเคาน์เตอร์ (74HC390) เอาท์พุทที่ได้ นำไปเข้าไอซีคอมพาเรเตอร์ (4585) ได้เอาท์พุทที่ขา A=B ดังรูป จ เมื่อแอนด์กับสัญญาณคล็อกอินเวอร์ติงส์ได้สัญญาณดังรูป ฉ จากนั้นนำไปแอนด์กับสัญญาณ คล็อกหารสองอินเวอร์ติงส์จะได้สัญญาณดังรูป ช ซึ่งตรงกับตำแหน่งที่จะให้เกิดพัลส์ลบซึ่งจะนำไปเข้าวงจรส่วนสร้างพัลส์ลบต่อไป ถ้าต้องการให้ตำแหน่งที่จะเกิดพัลส์ลบตรงกับตำแหน่งพัลส์เลขคู่สามารถทำได้โดยนำสัญญาณรูป จ ไปแอนด์กับสัญญาณคล็อกหารสองจะได้สัญญาณดังรูป

3.6 วงจรสร้างสัญญาณพัลส์ลบ



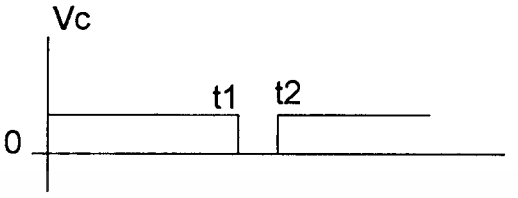
รูปที่ 3.8 แสดงวงจรสร้างสัญญาณพัลส์ลบ

ก สัญญาณควบคุม

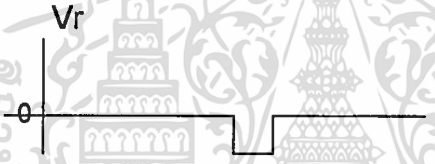


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข อินพุท



ค โวลต์คร่อมตัวเก็บประจุ



ง โวลต์คร่อมตัวต้านทาน

จ โวลต์คร่อมตัวต้านทานเมื่อมีค่าคงตัวเวลาน้อย

ฉ โวลต์คร่อมตัวต้านทานเมื่อมีค่าคงตัวเวลามาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 แสดงสัญญาณควบคุมและการเปลี่ยนแปลงของแรงดันตกคร่อมตัวเก็บประจุ แรงดันตกคร่อมตัวต้านทานเมื่อมีอินพุทเข้าวงจรสร้างพัลส์ลบ

ก่อนกดสวิทช์ $V_r = 0$ C ชาร์จประจุผ่าน R_2 และ R_1 จนมีแรงดันตกคร่อม V_c ประมาณ 95% ซึ่งจะใช้เวลาทั้งหมดเท่ากับ 5 เท่าของค่าคงตัวเวลา (5RC) หรือ

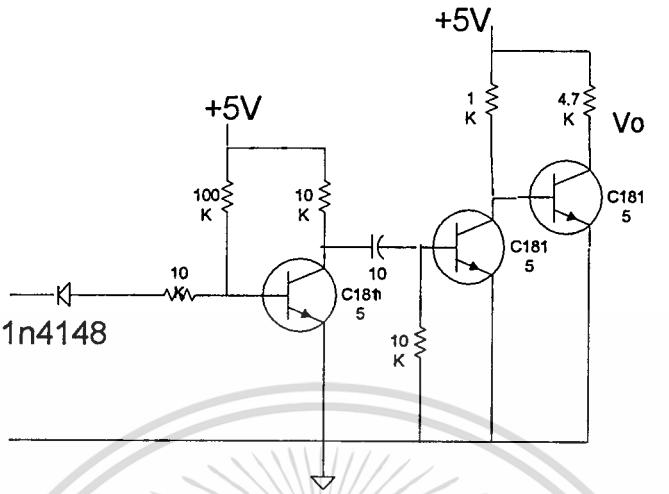
$C(R1+R2) = 0.02T$,T คาบเวลาพัลส์เทรน ประมาณ 50 ไมโครวินาที

เมื่อกดสวิทช์มีสัญญาณเข้าไปดังรูป ข แรงดันตกคร่อมตัวเก็บประจุจะเปลี่ยนไปดังรูป ค ที่เวลา t_1 V_c เปลี่ยนจากหนึ่งเป็นศูนย์ทันที ทำให้เกิดแรงดันตกคร่อมที่ตัวต้านทาน (R_2)มีค่าเป็นลบสูงสุดเท่ากับแรงดันที่ประจุในตัวเก็บประจุ จากนั้นตัวเก็บประจุจะเริ่มคายประจุทำให้แรงดันคร่อมตัวต้านทานลดลง จากสมการการเก็บประจุของตัวเก็บประจุถ้ามีค่าคงตัวเวลาน้อย ทำให้ตัวเก็บประจุประจุเต็มเร็วและคายประจุหมดเร็วรูปคลื่นที่ได้จึงมียอดแหลมดังรูป จ ถ้ามีค่าคงตัวเวลามาก ทำให้การประจุและคายประจุของตัวเก็บประจุใช้เวลานานมากขึ้นจะได้สัญญาณตามรูป ฉ ในการออกแบบวงจรเพื่อให้ได้สัญญาณพัลส์ลบใกล้เคียงกับรูป ง ต้องคำนึงถึงค่าคงตัวเวลาโดยเลือกค่าคงตัวเวลามาก นอกจากนี้ต้องคำนึงถึงตัวต้านทาน จากส่วนอื่นในระบบที่มาขนานกับ R1 ซึ่งมีผลต่อค่าคงตัวเวลา

3.7 วงจรดีเทคสัญญาณพัลส์ลบ

ถ้าแรงดันที่ขาแคโทดมากกว่าศูนย์ไดโอดจะอยู่ในสภาวะรีเวอร์สไบอัส ที่สภาวะนี้จะไม่มีสัญญาณเอาท์พุทเนื่องจากทรานซิสเตอร์ตัวที่หนึ่งทำงานเป็นผลให้ตัวเก็บประจุไม่มีการเก็บประจุดังนั้นทรานซิสเตอร์ตัวที่สองและตัวที่สามจะไม่ทำงาน ถ้าแรงดันที่ขาแคโทดน้อยกว่าศูนย์ไดโอดจะอยู่ในสภาวะฟอร์เวิร์ดไบอัสทรานซิสเตอร์ตัวที่หนึ่งจะไม่ทำงาน ส่งผลให้ตัวเก็บประจุมีการเก็บประจุและทรานซิสเตอร์ตัวที่สองและสามจะถูกขับให้ทำงานได้ตามลำดับ และให้สัญญาณเอาท์พุทออกมาเป็นพัลส์หนึ่งลูก เพราะฉะนั้นจึงสามารถตรวจจับสัญญาณพัลส์ลบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



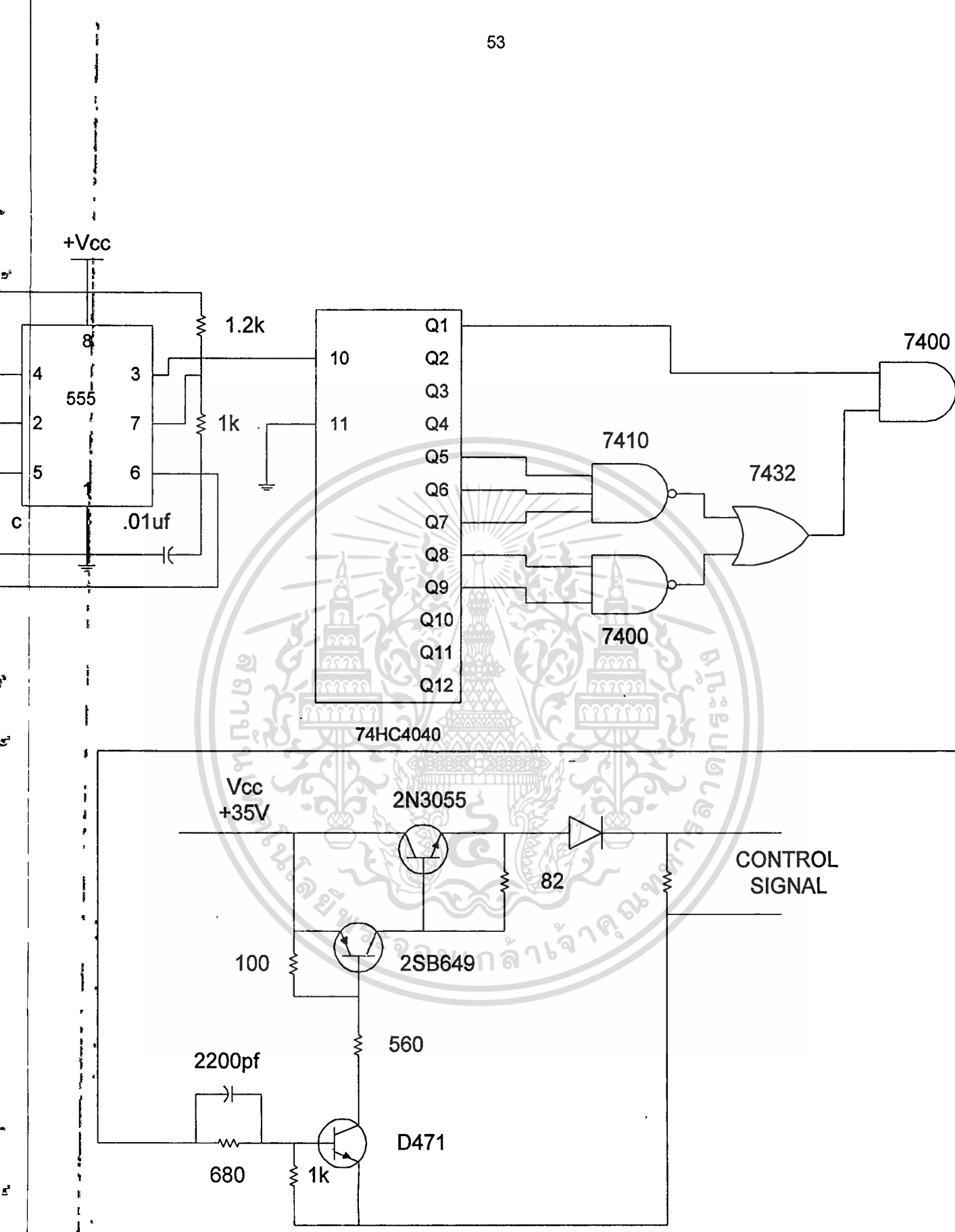
รูปที่ 3.10 แสดงวงจรดีเทคสัญญาณพัลส์ลบ

3.8 การติดต่อระหว่างเครื่องประธานและเครื่องสมาชิก

เมื่อเครื่องประธานตรวจจับพัลซ์ลบได้จากสัญญาณควบคุม จะนำสัญญาณที่ได้เข้าขาอินเทอรัพต์ของไมโครคอนโทรลเลอร์ และทำการหยุดการนับจำนวนพัลซ์สัญญาณควบคุม และนำนำหมายเลขพัลซ์ที่นับได้จากไทม์เมอร์เคาน์เตอร์-1 แสดงผลทาง 7-เซกเมนท์ ประธานสามารถอนุญาตให้สมาชิกหมายเลขเครื่องนั้นทำการพูดได้โดย กดหมายเลขเครื่องนั้นที่สวิตซ์คีย์ ซึ่งต่ออยู่กับไมโครคอนโทรลเลอร์ จะทำการแปลงหมายเลขเครื่องนั้นให้เป็นรหัส BCD แล้วทำการส่งพัลซ์ลบหมายเลขเครื่องนั้นลงไปบนสัญญาณควบคุม

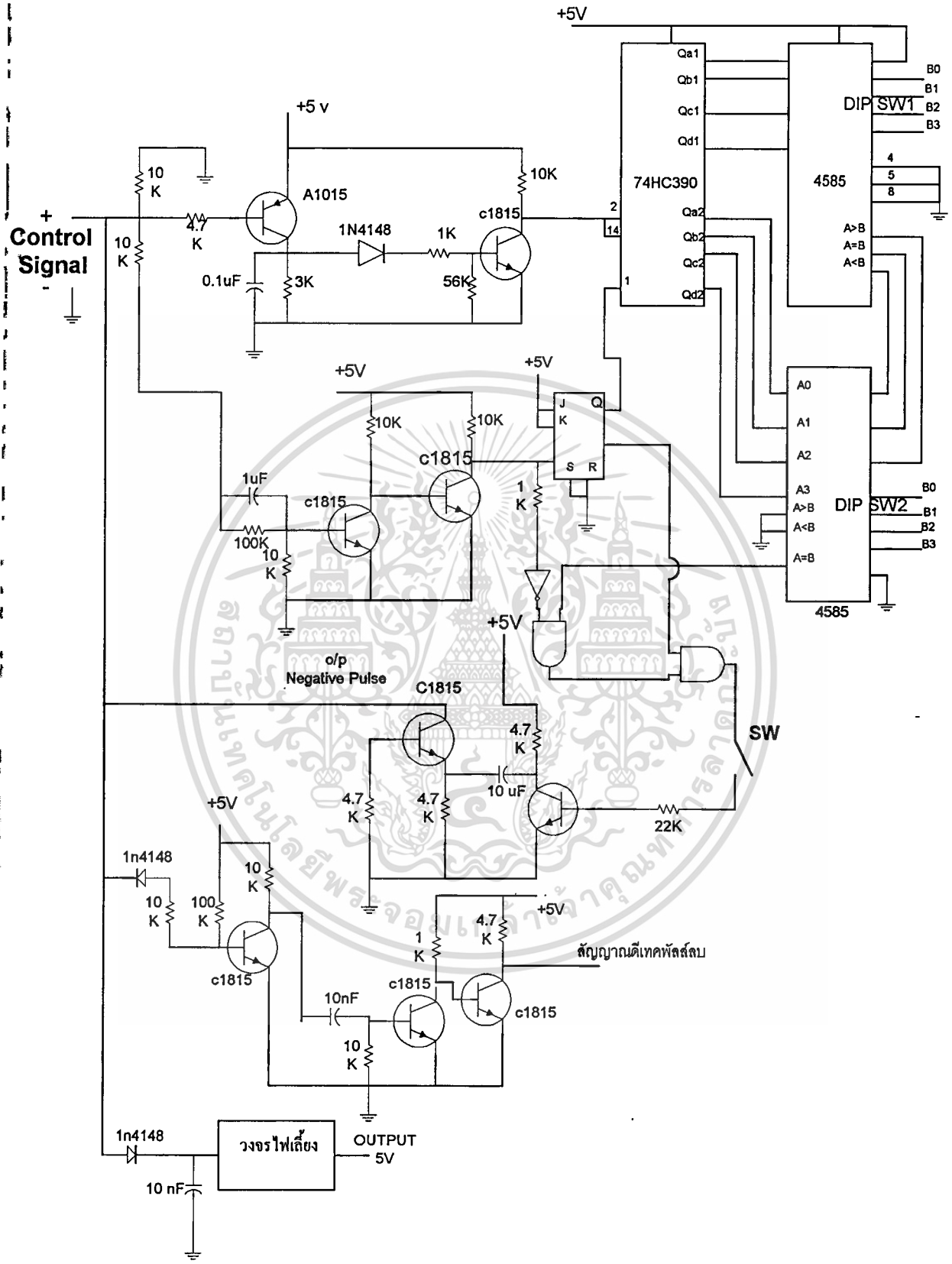
เมื่อเครื่องสมาชิกตรวจจับพัลซ์ลบจากเครื่องประธานได้ จะนำสัญญาณพัลซ์ลบไปทำให้ชุดพรีแอมป์สามารถทำงานได้ ทำให้สมาชิกหมายเลขนั้นทำการพูดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

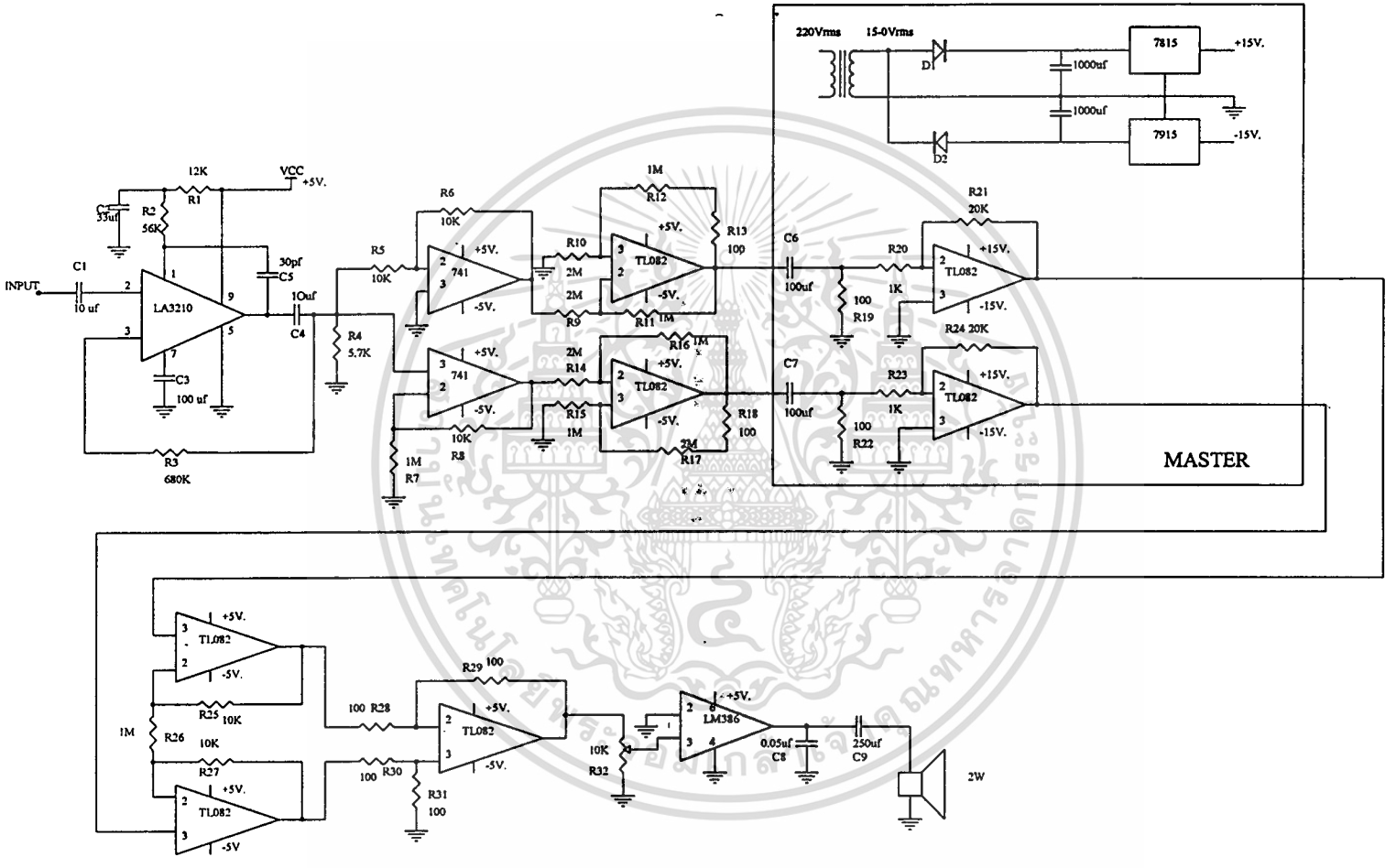


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 แสดงวงจรส่วนสร้างสัญญาณควบคุม

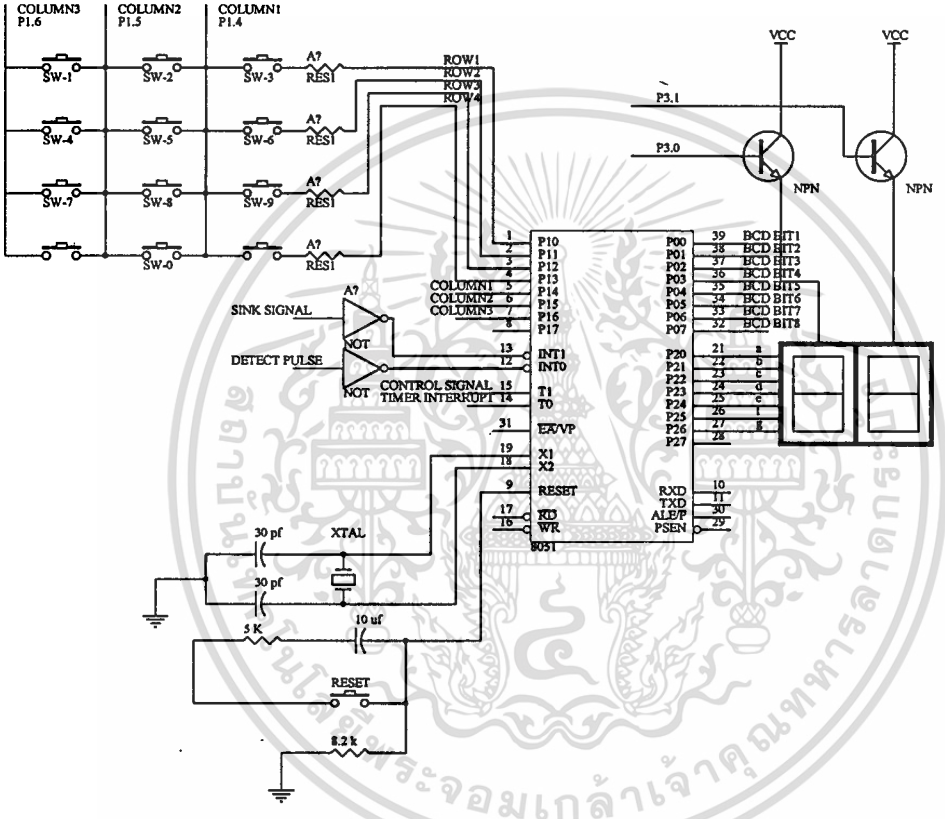


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

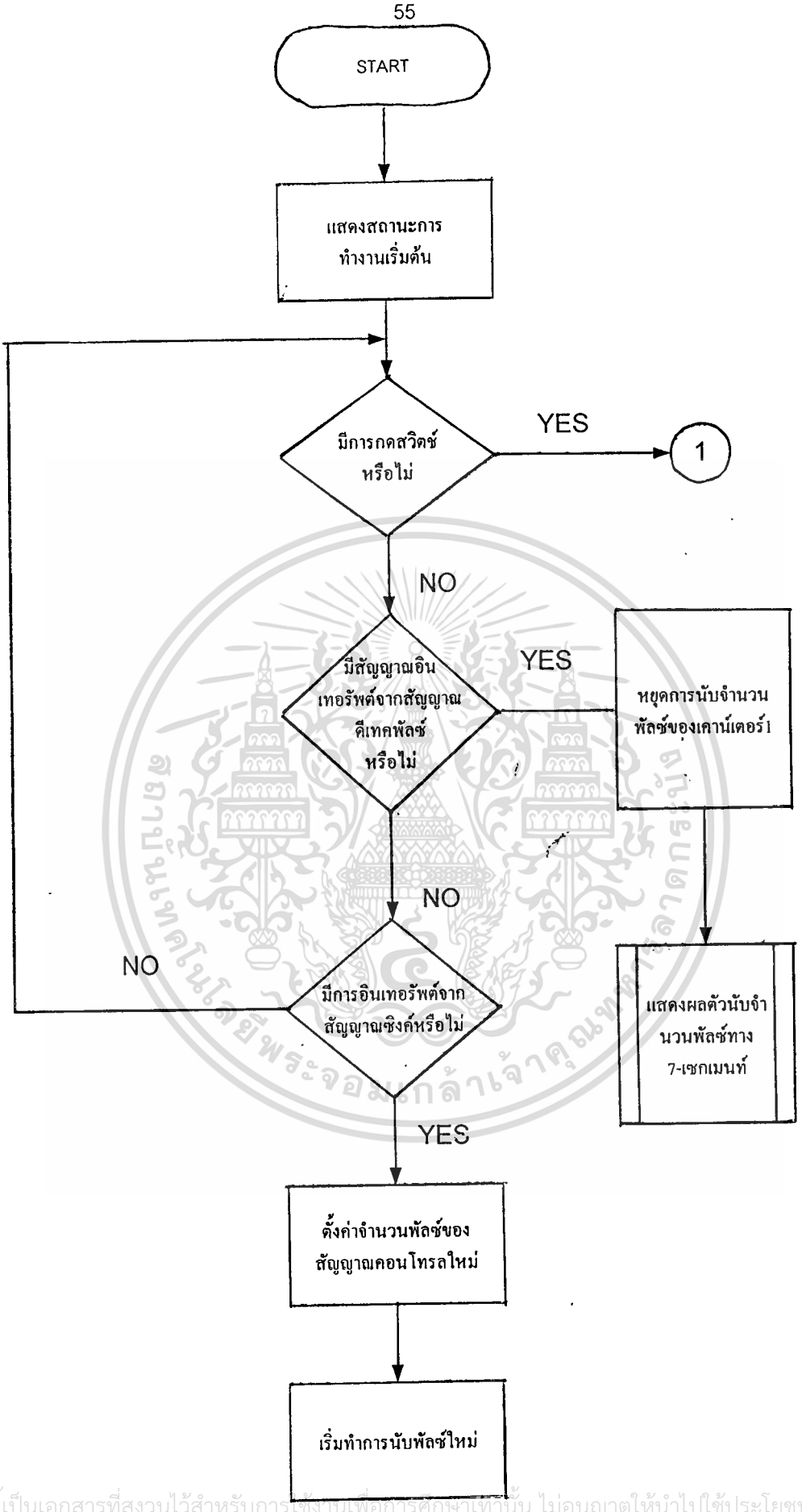


รูปที่ แสดงวงจรส่วนขยายสัญญาณเสียงแบบดิฟเฟอเรนเชียล

Title		
Size: B	Number	Revision
Date: 17-Mar-1999	Sheet of	
File: A:\Pre_Tpc.sch	Drawn By:	

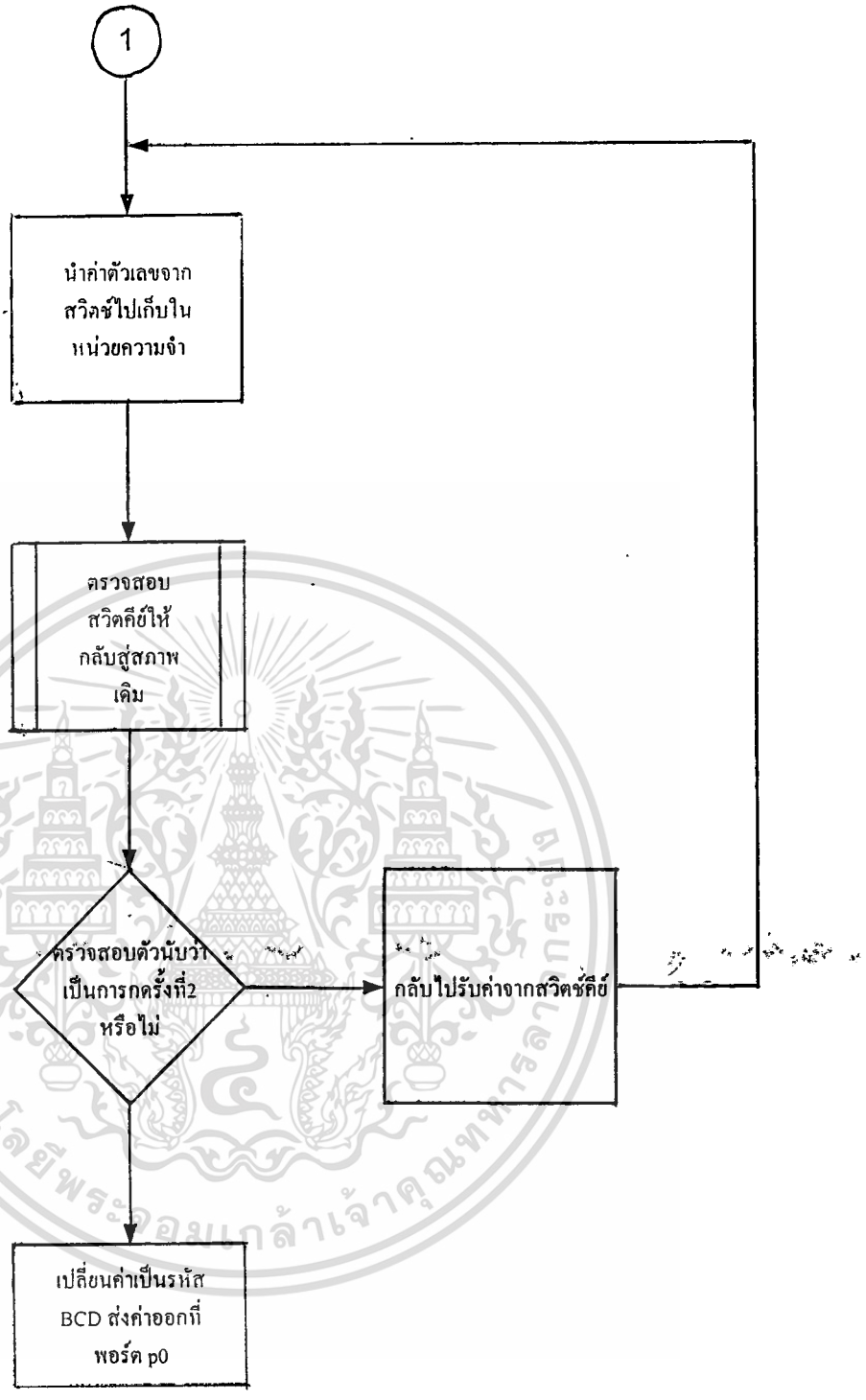


Title			
Size: B	Number		Revision
Date: 17-Mar-1999		Sheet of	
File: A:\Exelent.sch		Drawn By:	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังการทำงานของไมโครคอนโทรลเลอร์



แผนผังการทำงานของไมโครคอนโทรลเลอร์ส่วนของสวิตช์คีย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบและแสดงผลหมายเลขเครื่องสมาชิก

```
        ORG    0000H
        AJMP   MAIN

        ORG    0003H                ;INTERRUPT INT_0
        AJMP   INT_0
BACK:   RETI

        ORG    000BH                ;INTERRUPT TIMER0
        MOV    R3,#01H
        CLR    TR0
        RETI

        ORG    0013H                ;INTERRUPT INT_1
        CLR    TR1
        MOV    TL1,#85H
        MOV    TH1,#0FFH
        SETB   TR1
        RETI
;*****************************7-SEGMENT*********************************

        ORG    0100H
TBL:    DB     40H,79H,24H,30H,19H
        DB     12H,02H,78H,00H,10H

SEGMENT:MOV    A,R4
        MOV    B,#10D
        DIV    AB
        ACALL  OUT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB   P3.0
        ACALL  DELAY
        CLR    P3.0
        MOV    61H,B
        MOV    A,61H
        ACALL  OUT
        SETB   P3.1
        ACALL  DELAY
        CLR    P3.1
        RET

OUT:    MOVC   A,@A+DPTR
        MOV    P2,A
        RET

;*************************SCAN KEY*************************************

MAIN:   SETB   EA
        SETB   ET0
        SETB   EX0
        SETB   IT0
        SETB   PX0
        SETB   EX1
        CLR    PT0
        MOV    TMOD,#01010001B
        ACALL  COUNT
        MOV    DPTR,#0100H
        MOV    63H,#0FFH
        MOV    64H,#123D
        MOV    R1,#0FFH
        MOV    R2,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV   R3,#00H
        MOV   R4,#00H
        MOV   R6,#00H

KEY1:   ACALL  SEGMENT
        MOV   P1,#11101111B
        MOV   A,P1
        MOV   62H,A
        CJNE  A,#11101110B,KEY2
        MOV   R6,A
        ACALL  SEGMENT
        MOV   A,P1
        XRL   A,R6
        CJNE  A,#00H,KEY2
        MOV   R6,#00H
        INC   R2
        ACALL  STORE
        MOV   A,#01H
        MOV   @R0,A
        ACALL  SEGMENT
        ACALL  BLANK
        MOV   R0,#00H
        AJMP  CHECK
KEY2:   ACALL  SEGMENT
        MOV   A,62H
        CJNE  A,#11101101B,KEY3
        MOV   R6,A
        ACALL  SEGMENT
        MOV   A,P1
        XRL   A,R6
        CJNE  A,#00H,KEY3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    R6,#00H
        INC    R2
        ACALL  STORE
        MOV    A,#04H
        MOV    @R0,A
        ACALL  SEGMENT
        ACALL  BLANK
        MOV    R0,#00H
        AJMP   CHECK
KEY3:   ACALL  SEGMENT
        MOV    A,62H
        CJNE   A,#11101011B,KEY4
        MOV    R6,A
        ACALL  SEGMENT
        MOV    A,P1
        XRL    A,R6
        CJNE   A,#00H,KEY4
        MOV    R6,#00H
        INC    R2
        ACALL  STORE
        MOV    A,#07H
        MOV    @R0,A
        ACALL  SEGMENT
        ACALL  BLANK
        MOV    R0,#00H
        AJMP   CHECK

KEY4:   ACALL  SEGMENT
        MOV    P1,#11011111B
        MOV    A,P1
        MOV    62H,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE   A,#11011110B,KEY5
        MOV    R6,A
        ACALL  SEGMENT
        MOV    A,P1
        XRL    A,R6
        CJNE   A,#00H,KEY5
        MOV    R6,#00H
        INC    R2
        ACALL  STORE
        MOV    A,#02H
        MOV    @R0,A
        ACALL  SEGMENT
        ACALL  BLANK
        MOV    R0,#00H
        AJMP   CHECK

KEY5:   ACALL  SEGMENT
        MOV    A,62H
        CJNE   A,#11011101B,KEY6
        MOV    R6,A
        ACALL  SEGMENT
        MOV    A,P1
        XRL    A,R6
        CJNE   A,#00H,KEY6
        MOV    R6,#00H
        INC    R2
        ACALL  STORE
        MOV    A,#05H
        MOV    @R0,A
        ACALL  SEGMENT
        ACALL  BLANK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV   R0,#00H
        AJMP  CHECK
KEY6:   ACALL SEGMENT
        MOV   A,62H
        CJNE  A,#11011011B,KEY7
        MOV   R6,A
        ACALL SEGMENT
        MOV   A,P1
        XRL   A,R6
        CJNE  A,#00H,KEY7
        MOV   R6,#00H
        INC   R2
        ACALL STORE
        MOV   A,#08H
        MOV   @R0,A
        ACALL SEGMENT
        ACALL BLANK
        MOV   R0,#00H
        AJMP  CHECK
KEY7:   ACALL SEGMENT
        MOV   A,62H
        CJNE  A,#11010111B,KEY8
        MOV   R6,A
        ACALL SEGMENT
        MOV   A,P1
        XRL   A,R6
        CJNE  A,#00H,KEY8
        MOV   R6,#00H
        INC   R2
        ACALL STORE
        MOV   A,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV   @R0,A
        ACALL SEGMENT
        ACALL BLANK
        MOV   R0,#00H
        AJMP  CHECK

JUMP:   AJMP  KEY1

KEY8:   ACALL SEGMENT
        MOV   P1,#10111111B
        MOV   A,P1
        MOV   62H,A
        CJNE  A,#10111110B,KEY9
        MOV   R6,A
        ACALL SEGMENT
        MOV   A,P1
        XRL   A,R6
        CJNE  A,#00H,KEY9
        MOV   R6,#00H
        INC   R2
        ACALL STORE
        MOV   A,#03H
        MOV   @R0,A
        ACALL SEGMENT
        ACALL BLANK
        MOV   R0,#00H
        AJMP  CHECK
KEY9:   ACALL SEGMENT
        MOV   A,62H
        CJNE  A,#10111101B,KEY10
        MOV   R6,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ACALL   SEGMENT
        MOV     A,P1
        XRL     A,R6
        CJNE    A,#00H,KEY10
        MOV     R6,#00H
        INC     R2
        ACALL   STORE
        MOV     A,#06H
        MOV     @R0,A
        ACALL   SEGMENT
        ACALL   BLANK
        MOV     R0,#00H
        AJMP    CHECK
KEY10:  ACALL   SEGMENT
        MOV     A,62H
        CJNE    A,#10111011B,JUMP
        MOV     R6,A
        ACALL   SEGMENT
        MOV     A,P1
        XRL     A,R6
        CJNE    A,#00H,AGAIN
        MOV     R6,#00H
        INC     R2
        ACALL   STORE
        MOV     A,#09H
        MOV     @R0,A
        ACALL   SEGMENT
        ACALL   BLANK
        MOV     R0,#00H
        AJMP    CHECK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
STORE:  CJNE   R2,#01H,STORE1
        MOV    R0,#031H
        AJMP   RETURN
STORE1: MOV    R0,#32H
RETURN: RET

CHECK:  CJNE   R2,#01H,AGAIN
        AJMP   KEY1
AGAIN:  CLR    A
        MOV    A,31H
        SWAP   A
        ORL    A,32H
        MOV    P0,A
        MOV    31H,#00H
        MOV    32H,#00H
        MOV    R2,#00H
        AJMP   MAIN

;*********************************DETECT PULSE*****************************

INT_0:  MOV    A,TL1
        XCH    A,63H
        SUBB   A,63H
        INC    A
        INC    A
        XCH    A,64H
        SUBB   A,64H
        ACALL  TEST
        MOV    R4,A
CONT:   MOV    63H,#0FFH
        MOV    64H,#123D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

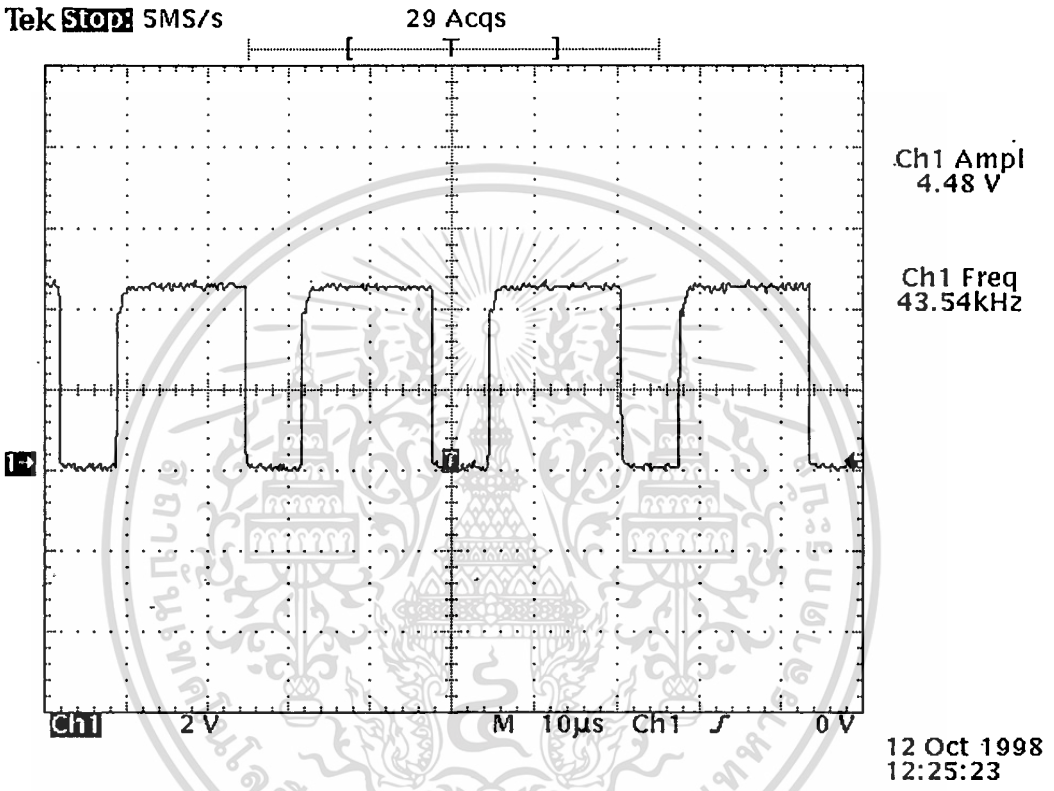
```
        AJMP    BACK

TEST:   CJNE    A,#100D,TEST1
        AJMP    SUB
TEST1:  JNC     SUB
        AJMP    BACK2
SUB:    SUBB    A,#100D
BACK2:  RET

;*******************************COUNT PULSE*********************************

COUNT:  MOV     TL1,#84H
        MOV     TH1,#0FFH
        SETB    TR1
        RET
;*******************************DELAY***************************************

DELAY:  MOV     TL0,#48H
        MOV     TH0,#0FFH
        SETB    TR0
LOOP:   CJNE    R3,#01,LOOP
        MOV     R3,#00H
        RET

;*******************************BLANK***************************************
BLANK:  MOV     P1,#11101111B
        MOV     A,P1
        ANL     A,#0FH
        CJNE    A,#0FH,BLANK
        MOV     P1,#11011111B
        MOV     A,P1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ANL    A,#0FH
CJNE   A,#0FH,BLANK
MOV    P1,#10111111B
MOV    A,P1
ANL    A,#0FH
CJNE   A,#0FH,BLANK
RET
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและสรุปผล

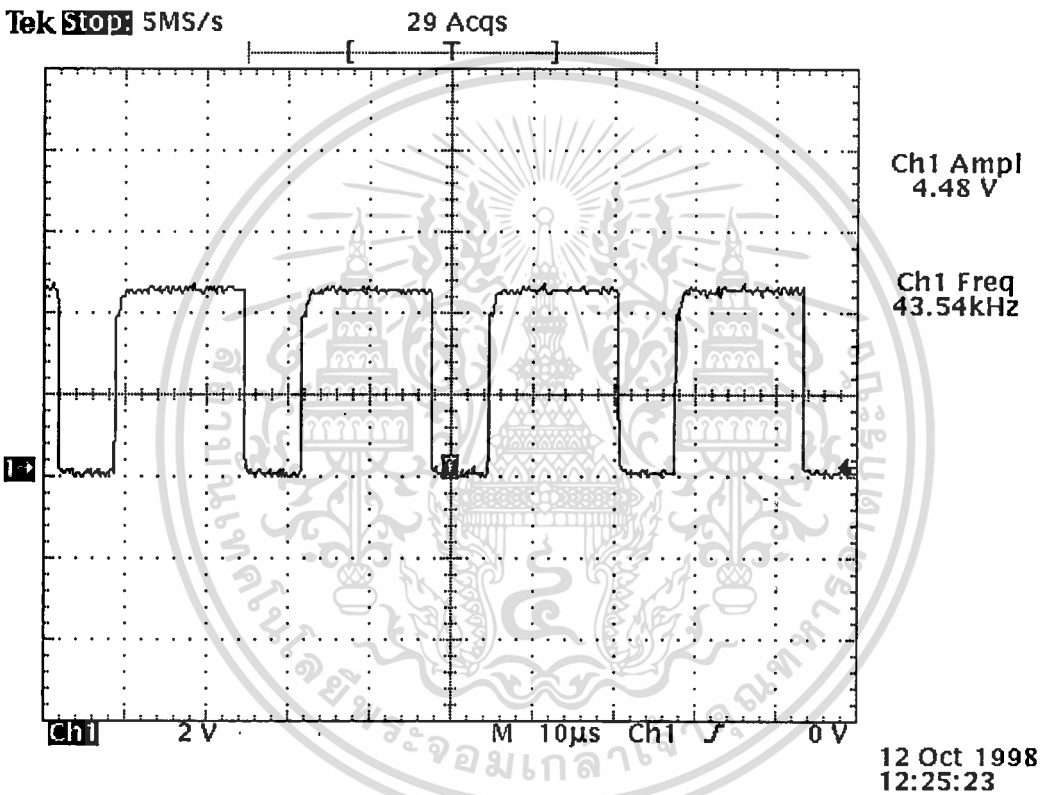


รูปที่ 4.1 แสดงแรงดันสัญญาณนาฬิการจากไอ.ซี.555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

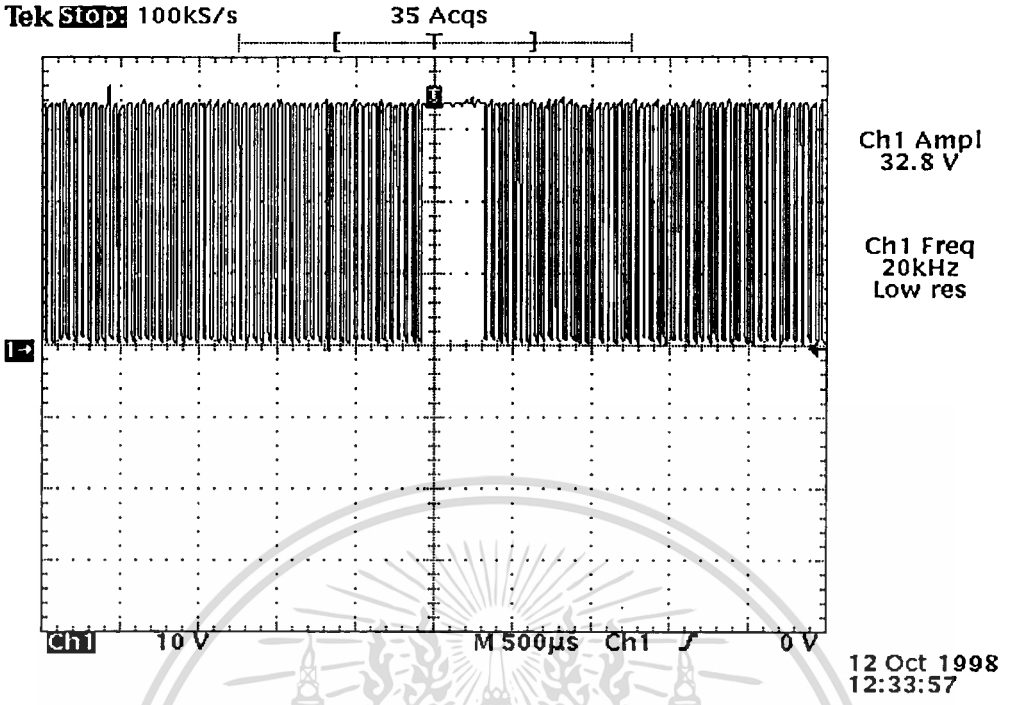
บทที่ 4
การทดลองและสรุปผล

4.1 การทดลอง

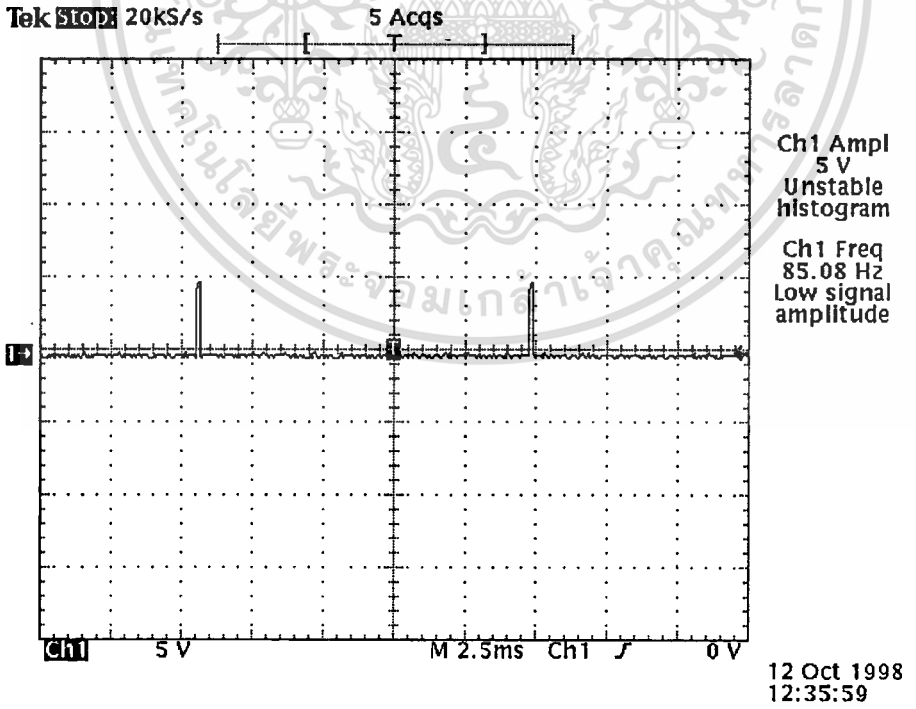


รูปที่ 4.1 แสดงสัญญาณนาฬิกาจากไอ.ซี. 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงสัญญาณควบคุมและสัญญาณซิงค์จากวงจรขยาย



รูปที่ 4.3 แสดงสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM386 Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

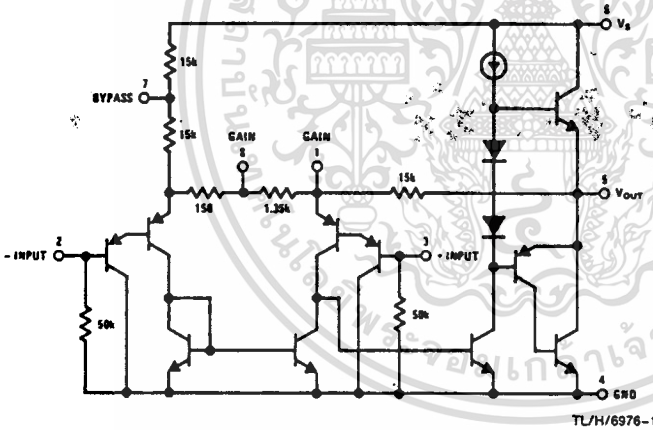
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range — 4V–12V or 5V–18V
- Low quiescent current drain — 4 mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Eight pin dual-in-line package

Applications

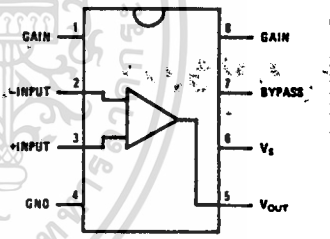
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



TL/H/6976–1

Dual-In-Line and Small Outline Packages



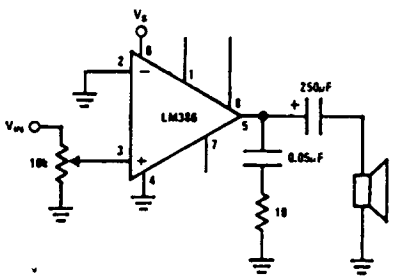
TL/H/6976–2

Top View

Order Number LM386M-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A or N08E

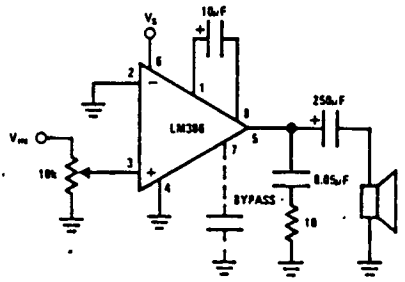
Typical Applications

Amplifier with Gain = 20
Minimum Parts



TL/H/6976–3

Amplifier with Gain = 200



TL/H/6976–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 1) (LM386N)	1.25W
(LM386M)	0.73W
Input Voltage	±0.4V
Storage Temperature	−65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec)	+260°C
Small Outline Package	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Thermal Resistance

θ_{JC} (DIP)	37°C/W
θ_{JA} (DIP)	107°C/W
θ_{JC} (SO Package)	35°C/W
θ_{JA} (SO Package)	172°C/W

Electrical Characteristics $T_A = 25°C$

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S)					
LM386N-1, -3, LM386M-1		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT})					
LM386N-1, LM386M-1	V_S = 6V, R_L = 8Ω, THD = 10%	250	325		mW
LM386N-3	V_S = 9V, R_L = 8Ω, THD = 10%	500	700		mW
LM386N-4	V_S = 16V, R_L = 32Ω, THD = 10%	700	1000		mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz		26		dB
	10 μF from Pin 1 to 8		46		dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW		0.2		%
	f = 1 kHz, Pins 1 and 8 Open				
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 μF		50		dB
	Pins 1 and 8 Open, Referred to Output				
Input Resistance (R_{IN})			50		kΩ
Input Bias Current (I_{BIAS})	V_S = 6V, Pins 2 and 3 Open		250		nA

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and 1) a thermal resistance of 80°C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170°C/W for the small outline package.

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the 1.35 kΩ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 kΩ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal 15 kΩ resistor). For 6 dB effective bass boost: R ≅ 15 kΩ, the lowest value for good stable operation is R = 10 kΩ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as 2 kΩ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

INPUT BIASING

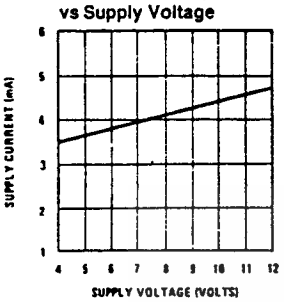
The schematic shows that both inputs are biased to ground with a 50 kΩ resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than 250 kΩ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than 10 kΩ, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the 1.35 kΩ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a 0.1 μF capacitor or a short to ground depending on the dc source resistance on the driven input.

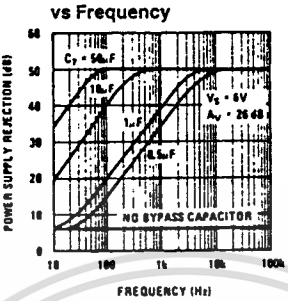
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

Typical Performance Characteristics

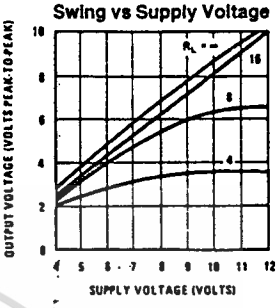
Quiescent Supply Current vs Supply Voltage



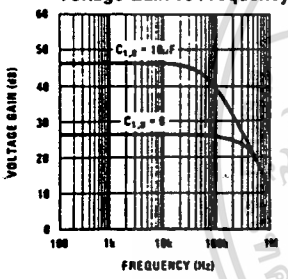
Power Supply Rejection Ratio (Referred to the Output) vs Frequency



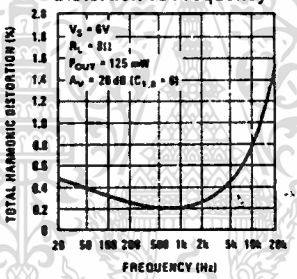
Peak-to-Peak Output Voltage Swing vs Supply Voltage



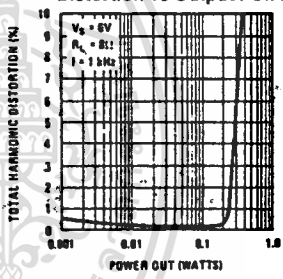
Voltage Gain vs Frequency



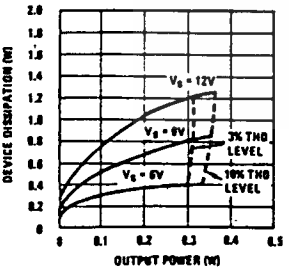
Distortion vs Frequency



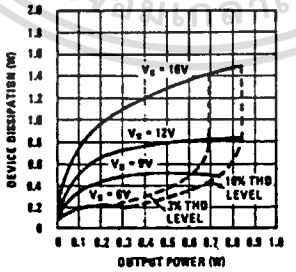
Distortion vs Output Power



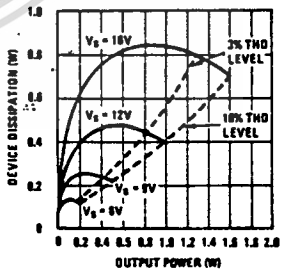
Device Dissipation vs Output Power—4Ω Load



Device Dissipation vs Output Power—8Ω Load



Device Dissipation vs Output Power—16Ω Load



TL/H/6976–5

MC54/74HC390

Dual 4-Stage Binary Ripple Counter with ÷ 2 and ÷ 5 Sections

High–Performance Silicon–Gate CMOS

The MC54/74HC390 is identical in pinout to the LS390. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two independent 4–bit counters, each composed of a divide–by–two and a divide–by–five section. The divide–by–two and divide–by–five counters have separate clock inputs, and can be cascaded to implement various combinations of ÷ 2 and/or ÷ 5 up to a ÷ 100 counter.

Flip–flops internal to the counters are triggered by high–to–low transitions of the clock input. A separate, asynchronous reset is provided for each 4–bit counter. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or strobes except when gated with the Clock of the HC390.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 620–10

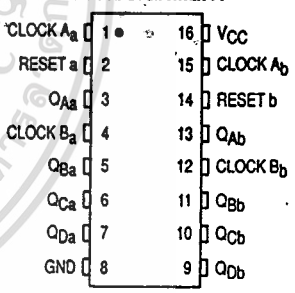
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

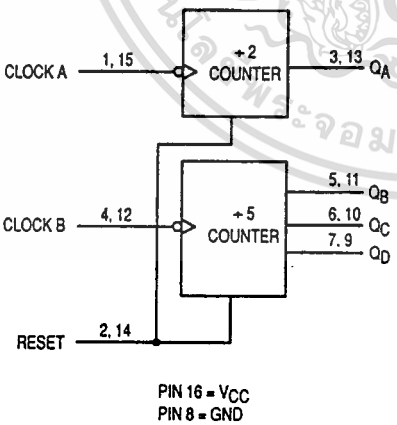
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

PIN ASSIGNMENT



LOGIC DIAGRAM



PIN 16 = V_{CC}
PIN 8 = GND

FUNCTION TABLE

Clock A	Clock B	Reset	Action
X	X	H	Reset ÷ 2 and ÷ 5
↘	X	L	Increment ÷ 2
X	↘	L	Increment ÷ 5

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic or SOIC DIP)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit – 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.43	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0 4.5 6.0	5.4 27 32	4.4 22 26	3.6 18 21	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QA (Figures 1 and 3)	2.0 4.5 6.0	120 24 20	150 30 26	180 36 31	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QC (QA connected to Clock B) (Figures 1 and 3)	2.0 4.5 6.0	290 58 49	365 73 62	435 87 74	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QB (Figures 1 and 3)	2.0 4.5 6.0	130 26 22	165 33 28	195 39 33	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QC (Figures 1 and 3)	2.0 4.5 6.0	185 37 31	230 46 39	280 56 48	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QD (Figures 1 and 3)	2.0 4.5 6.0	130 26 22	165 33 28	195 39 33	ns
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2.
2. Information on typical parametric values can be found in Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Counter)*	35	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock A or Clock B (Figure 2)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_w	Minimum Pulse Width, Clock A, Clock B (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

Clock A (Pins 1, 15) and Clock B (Pins 4, 15)

Clock A is the clock input to the ÷ 2 counter; Clock B is the clock input to the ÷ 5 counter. The internal flip–flops are toggled by high–to–low transitions of the clock input.

CONTROL INPUTS

Reset (Pins 2, 14)

Asynchronous reset. A high at the Reset input prevents counting, resets the internal flip–flops, and forces Q_A through Q_D low.

OUTPUTS

Q_A (Pins 3, 13)

Output of the ÷ 2 counter.

Q_B, Q_C, Q_D (Pins 5, 6, 7, 9, 10, 11)

Outputs of the ÷ 5 counter. Q_D is the most significant bit. Q_A is the least significant bit when the counter is connected for BCD output as in Figure 4. Q_B is the least significant bit when the counter is operating in the bi–quinary mode as in Figure 5.

SWITCHING WAVEFORMS

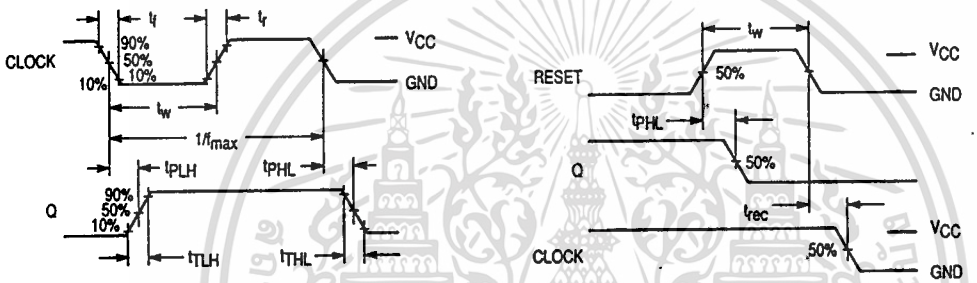
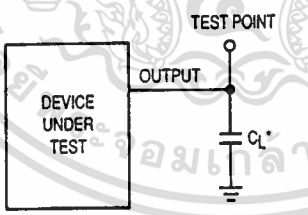


Figure 1.

Figure 2.

TEST CIRCUIT

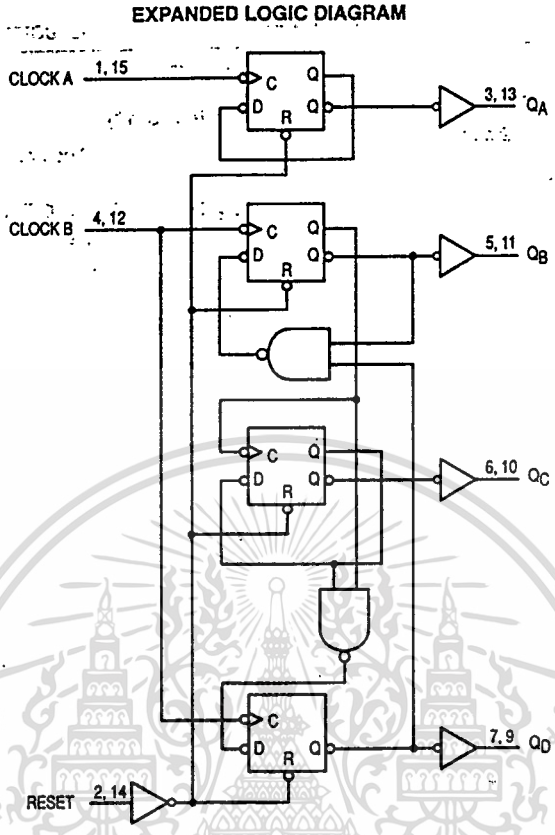


* Includes all probe and jig capacitance

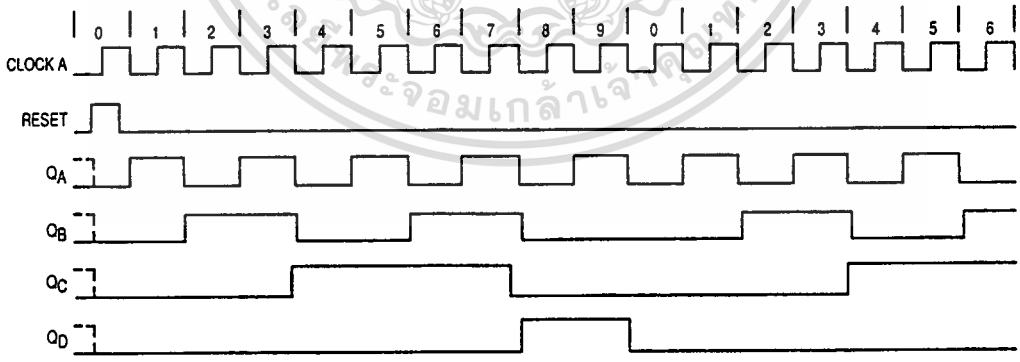
Figure 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM
(Q_A Connected to Clock B)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

μA78S40

3

Universal Switching Regulator Subsystem

The μA78S40 is a switching regulator subsystem, consisting of a temperature compensated voltage reference, controlled–duty cycle oscillator with an active current limit circuit, comparator, high–current and high–voltage output switch, capable of 1.5 A and 40 V, pinned–out power diode and an uncommitted operational amplifier, which can be powered up or down independent of the IC supply. The switching output can drive external NPN or PNP transistors when voltages greater the 40 V, or currents in excess of 1.5 A, are required. Some of the features are wide–supply voltage range, low standby current, high efficiency and low drift. The μA78S40 is available in commercial (0° to + 70°C), and automotive (–40° to + 85°C) temperature ranges.

Some of the applications include use in step–up, step–down, and inverting regulators, with extremely good results obtained in battery–operated systems.

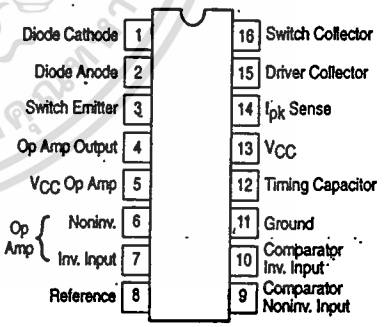
- Output Adjustable from 1.25 V to 40 V
- Peak Output Current of 1.5 A Without External Transistor
- 80 dB Line and Load Regulation
- Operation from 2.5 V to 40 V Supply
- Low Standby Current Drain
- High Gain, High Output Current, Uncommitted Op Amp

UNIVERSAL SWITCHING REGULATOR SUBSYSTEM

SEMICONDUCTOR TECHNICAL DATA

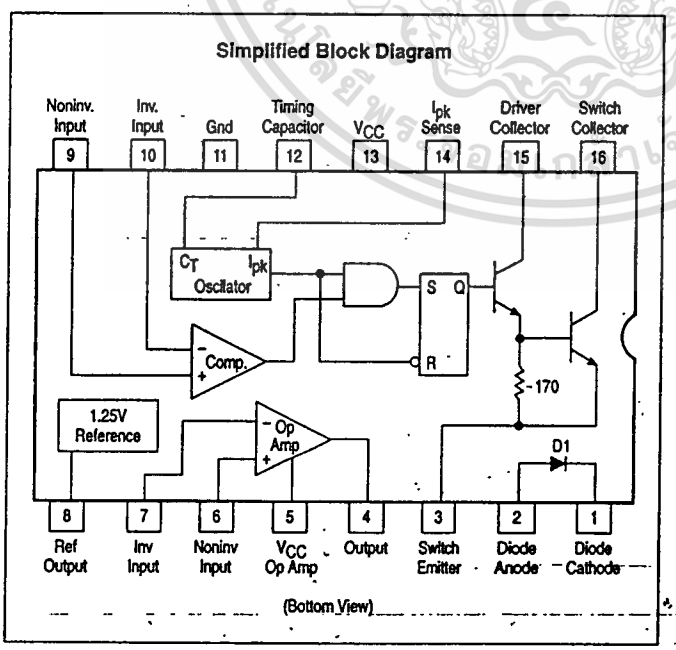
P SUFFIX
PLASTIC PACKAGE
CASE 648

PIN CONNECTIONS



(Top View)

Simplified Block Diagram



(Bottom View)

ORDERING INFORMATION

Device	Temperature Range	Package
μA78S40PC	T_A = 0° to +70°C	Plastic
μA78S40PV	T_A = –40° to +85°C	Plastic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	40	V
Op Amp Power Supply Voltage	V_{CC} (Op Amp)	40	V
Common Mode Input Range (Comparator and Op Amp)	V_{ICR}	−0.3 to V_{CC}	V
Differential Input Voltage (Note 2)	V_{ID}	± 30	V
Output Short Circuit Duration (Op Amp)		Continuous	–
Reference Output Current	I_{ref}	10	mA
Voltage from Switch Collectors to Gnd		40	V
Voltage from Switch Emitters to Gnd		40	V
Voltage from Switch Collectors to Emitter		40	V
Voltage from Power Diode to Gnd		40	V
Reverse–Power Diode Voltage	V_{DR}	40	V
Current through Power Switch	I_{SW}	1.5	A
Current through Power Diode	I_D	1.5	A
Power Dissipation and Thermal Characteristics: Plastic Package (T_A = + 25°C) Derate above + 25°C (Note 1)	P_D $1/R_{\theta JA}$	1500 14	mW mW/°C
Storage Temperature Range	T_{stg}	−65 to + 150	°C
Operating Temperature Range μA78S40V μA78S40C	T_A	−40 to +85 0 to +70	°C

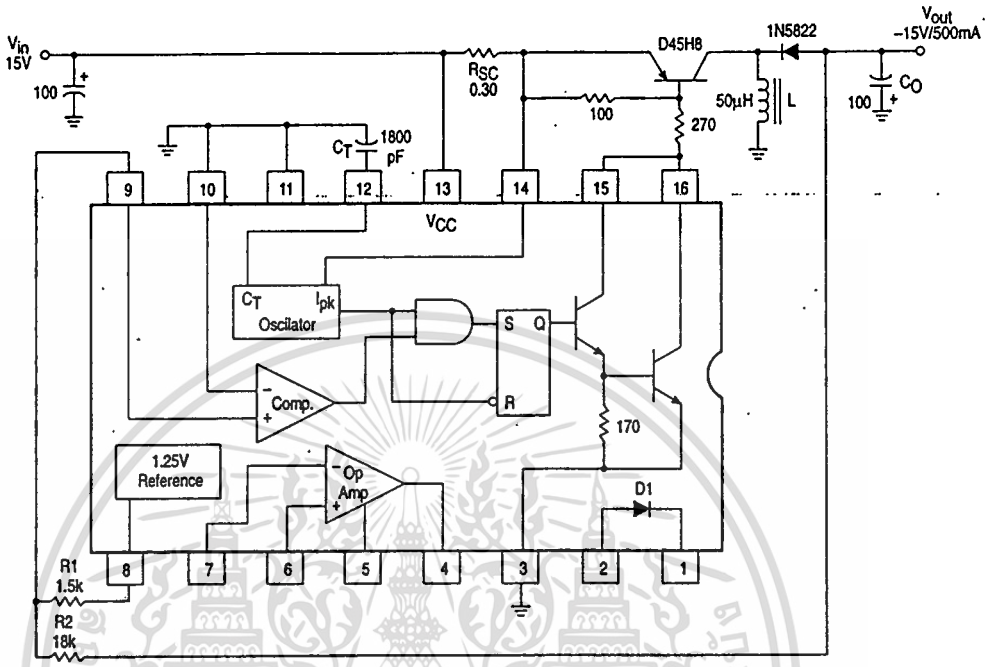
NOTES: 1. T_{low} = −40° for μA78S40PV = 0° for μA78S40PC T_{high} = +85° for μA78S40PV = +70° for μA78S40PC
2. For supply voltages less than 30 V the maximum differential input voltage (Error Amp and Op Amp) is equal to the supply voltage.

ELECTRICAL CHARACTERISTICS (V_{CC} = V_{CC} (Op Amp) 5.0 V, T_A = T_{low} to T_{high}, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
GENERAL					
Supply Voltage	V_{CC}	2.5	–	40	V
Supply Current (Op Amp V_{CC}, disconnected) (V_{CC} = 5.0 V) (V_{CC} = 40 V)	I_{CC}	– –	1.8 2.3	3.5 5.0	mA
Supply Current (Op Amp V_{CC}, connected) (V_{CC} = 5.0 V) (V_{CC} = 40 V)	I_{CC}	– –	– –	4.0 5.5	mA
REFERENCE					
Reference Voltage (I_{ref} = 1.0 mA)	V_{ref}	1.180	1.245	1.310	V
Reference Voltage Line Regulation (3.0 V ≤ V_{CC} ≤ 40 V, I_{ref} = 1.0 mA, T_A = 25°C)	Reg_{line}	–	0.04	0.2	mV/V
Reference Voltage Load Regulation (1.0 mA ≤ I_{ref} ≤ 10 mA, T_A = 25°C)	Reg_{load}	–	0.2	0.5	mV/mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7. Inverting Converter



Design Formula Table

Calculation	Step–Down	Step–Up	Inverting
$\frac{t_{on}}{t_{off}}$	$\frac{V_{out} + V_F}{V_{in(min)} - V_{sat} - V_{out}}$	$\frac{V_{out} - V_F \quad V_{in(min)}}{V_{in(min)} \quad V_{sat}}$	$\frac{V_{out} + V_F}{V_{in(min)} - V_{sat}}$
$(t_{on} + t_{off})$ max	$\frac{1}{f_{min}}$	$\frac{1}{f_{min}}$	$\frac{1}{f_{min}}$
C_T	$4 \times 10^5 t_{on}$	$4 \times 10^5 t_{on}$	$4 \times 10^5 t_{on}$
$I_{pk(switch)}$	$2 I_{out(max)}$	$2 I_{out(max)} \left(\frac{t_{on} - t_{off}}{t_{off}}\right)$	$2 I_{out(max)} \left(\frac{t_{on} + t_{off}}{t_{off}}\right)$
R_{SC}	$\frac{0.33}{I_{pk(switch)}}$	$\frac{0.33}{I_{pk(switch)}}$	$\frac{0.33}{I_{pk(switch)}}$
$L_{(min)}$	$\left(\frac{V_{in(min)} - V_{sat} - V_{out}}{I_{pk(switch)}}\right) t_{on(max)}$	$\left(\frac{V_{in(min)} - V_{sat}}{I_{pk(switch)}}\right) t_{on(max)}$	$\left(\frac{V_{in(min)} - V_{sat}}{I_{pk(switch)}}\right) t_{on(max)}$
C_O	$\frac{I_{pk(switch)} (t_{on} + t_{off})}{8 V_{ripple(pp)}}$	$\approx \frac{I_{out} t_{on}}{V_{ripple}}$	$\approx \frac{I_{out} t_{on}}{V_{ripple}}$

V_{sat} = Saturation voltage of the output switch. V_F = Forward voltage drop of the ringback rectifier.

The following power supply characteristics must be chosen:

V_{in} – Nominal input voltage. If this voltage is not constant, then use $V_{in(max)}$ for step–down and $V_{in(min)}$ for step–up and inverting convertor.

V_{out} – Desired output voltage: $V_{out} = 1.25 \left(1 + \frac{R_2}{R_1}\right)$ for step–down and step–up: $V_{out} = \frac{1.25 R_2}{R_1}$ for inverting.

I_{out} – Desired output current.

f_{min} – Minimum desired output switching frequency at the selected values for V_{in} and I_O.

$V_{ripple(pp)}$ – Desired peak–to–peak output ripple voltage. In practice, the calculated value will need to be increased due to the capacitor's equivalent series resistance and board layout. The ripple voltage should be kept to a low value since it will directly effect the line and load regulation.

See Application Note AN920 for further information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงมาได้ด้วยดีด้วยความช่วยเหลือของอาจารย์ที่ปรึกษาที่คอยให้ความรู้ ชี้แนะแนวทางการทำงานต่าง ๆ ให้คำปรึกษาในการแก้ปัญหาที่เกิดขึ้นจึงทำให้งานสำเร็จมาได้ ขอขอบพระคุณอาจารย์เป็นอย่างสูงไว้ ณ. ที่นี้

ขอขอบคุณภาควิชาวิศวกรรมคอมพิวเตอร์เป็นอย่างยิ่งที่เปิดโอกาสและให้ความสะดวกในการใช้เครื่องคอมพิวเตอร์และเครื่องพิมพ์ในการจัดทำรายงาน จนกระทั่งรายงานสำเร็จได้ด้วยดี ขอบคุณพี่บอมบ์ที่ได้ให้ความช่วยเหลือในด้านอุปกรณ์ที่ใช้ในโครงงาน เพื่อนๆ ทุกคนที่มีส่วนช่วยเหลือในเรื่องต่าง ๆ ตลอดทั้งทุกท่านที่ได้มีส่วนร่วมช่วยเหลือเรื่องอื่น ๆ ตลอดระยะเวลาการดำเนินงานซึ่งไม่อาจกล่าวถึงได้หมดในที่นี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร. โคทม อารียา "วงจรอิเล็กทรอนิกส์ เล่ม 1: วงจรเชิงเลข" , สำนักพิมพ์ซีเอ็ดยูเคชัน
2. ยืน ภู่วรวรรณ "ทฤษฎีและการใช้งานอิเล็กทรอนิกส์ เล่ม 3 " , สำนักพิมพ์ซีเอ็ดยูเคชัน
3. กฤษดา วิศวธีรานนท์ "ไอซีดิจิตอล" ,สำนักพิมพ์ซีเอ็ดยูเคชัน
4. บัณฑิต บัวบูชา และคณะ "ทฤษฎีและการออกแบบวงจรดิจิตอล เล่ม 2" , สำนักพิมพ์ฟิสิกส์เซ็นเตอร์
5. มงคล ทองสงคราม " ดิจิตอลเบื้องต้น " พิมพ์ครั้งที่ 7 ,วี. เจ พริ้นติ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้