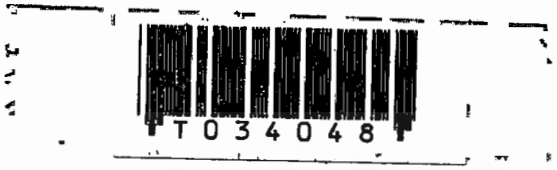
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุมสายโทรศัพท์ขนาดเล็ก

SMALL TELEPHONE EXCHANGE



โดย

นางสาวสมจิตร น้อยอามาตย์

นายสมศักดิ์ โลหะศาสตร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 34048
วัน, เดือน, ปี 1 ต.ค. 2542

ลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุมสายโทรศัพท์ขนาดเล็ก

SMALL TELEPHONE EXCHANGE

โดย

นางสาวสมจิตร น้อยอามาตย์ รหัส 39013212

นายสมศักดิ์ โลหะศาสตร์ รหัส 39013213

อาจารย์ที่ปรึกษา

รศ.ดร.มนัส สังวรศิลป์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ชุมสายโทรศัพท์ขนาดเล็ก

SMALL TELEPHONE EXCHANGE

ผู้จัดทำ

1. นางสาวสมจิตร น้อยอามาตย์ รหัส 39013212

2. นายสมศักดิ์ โลหะศาสตร์ รหัส 39013213

.....

(รศ.ดร.มนัส สังวรศิลป์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุมสายโทรศัพท์ขนาดเล็ก

นางสาวสมจิตร น้อยอามาตย์
นายสมศักดิ์ โลหะศาสตร์
รศ.ดร.มนัส สังวรศิลป์ (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2541

บทคัดย่อ

ระบบสื่อสารที่มีความสำคัญมากระบบหนึ่งในปัจจุบันนี้ได้แก่ระบบโทรศัพท์ ซึ่งมีชุมสายโทรศัพท์เป็นส่วนประกอบหลักของระบบ ด้วยวิวัฒนาการอันยาวนานทำให้ชุมสายโทรศัพท์ที่ใช้อยู่ในปัจจุบันได้รับการพัฒนาเป็นชุมสายโทรศัพท์ระบบดิจิตอล และความรู้เกี่ยวกับชุมสายโทรศัพท์ระบบดิจิตอลก็เป็นพื้นฐานสำคัญที่นำไปสู่การพัฒนาเป็นโครงข่ายร่วมระบบดิจิตอล (ISDN:Integrated Service Digital Network) และระบบโทรศัพท์เคลื่อนที่ที่ใช้กันอยู่ในปัจจุบัน

ปริญญานิพนธ์ฉบับนี้จัดทำขึ้นเพื่อศึกษาและสร้างชุมสายโทรศัพท์ระบบดิจิตอลขนาดเล็ก ซึ่งประกอบด้วย วงจรเชื่อมต่อผู้ใช้ (SLIC:Subscriber Line Interface Circuit) วงจรตัดต่อ (Switching) วงจรสร้างสัญญาณโทน (Tone Generator) วงจรตรวจจับสัญญาณเรียกแบบกดปุ่ม (DTMF Detector) ส่วนควบคุมและโปรแกรมสำหรับควบคุมระบบ โดยพยายามให้ระบบทำงานตามมาตรฐานของชุมสายโทรศัพท์ดิจิตอลที่ใช้อยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SMALL TELEPHONE EXCHANGE

Miss Somjit Noiamart

Mr. Somsak Lohasat

Assoc. Prof. Dr. Manas Sangworrasilp (Advisor)

2nd Semestor, Educational Year 1998

Abstract

A very important system in communication is the telephone which has the telephone exchange act as the heart of the system. It was developed for a long time and changed to be digital telephone exchange. Principle acknowledgment about digital telephone exchange may develop and apply to ISDN or mobile telephone

In this paper, principle theorem of digital telephone exchange which consist with SLIC (Subscriber Line Interface Circuit), switching circuit, tone generator, DTMF detector, control unit and program are studied. And two small telephone exchange were established to study it.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
สารบัญ	III
สารบัญรูปภาพ	V
สารบัญตาราง	VII
บทที่ 1 บทนำ	1
1.1 วิวัฒนาการของระบบโทรศัพท์	1
1.2 ระบบโทรศัพท์ในปัจจุบัน	2
1.2.1 ชุมสายโทรศัพท์แบบดิจิตอล	2
1.2.2 ชุมสาย ISDN	3
1.2.3 ชุมสายโทรศัพท์เคลื่อนที่	4
1.3 องค์กรที่กำหนดมาตรฐานโทรศัพท์	4
1.3.1 ITU	4
1.3.2 ETSI	6
บทที่ 2 การมัลติเพล็กซ์	7
2.1 FDM	7
2.2 TDM	7
2.3 การมัลติเพล็กซ์ในชุมสายโทรศัพท์ดิจิตอล	8
2.3.1 ระบบ T1	8
2.3.2 ระบบ E1	9
บทที่ 3 โครงสร้างของชุมสายโทรศัพท์	10
3.1 องค์ประกอบของชุมสายโทรศัพท์	10
3.2 ส่วนเชื่อมต่อกับผู้ใช้บริการ (LIC)	10
3.3 ส่วนตัดต่อวงจร (Switching Unit)	18
3.3.1 Space Switch	18
3.3.2 Time Switch	19
3.4 ระบบควบคุม (CPU)	20
3.5 ส่วนเชื่อมต่อระหว่างชุมสาย (Trunk Interface)	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
3.6 ส่วนสร้างฐานเวลา (Clock Generator)	21
บทที่ 4 การสื่อสารในระบบชุมสายโทรศัพท์	22
4.1 สัญญาณระหว่างชุมสายกับผู้ใช้บริการ	22
4.2 สัญญาณระหว่างชุมสายกับชุมสาย	24
4.2.1 CAS	24
4.2.2 CCS	25
4.3 การเชื่อมต่อวงจร	25
4.3.1 กรณีเรียกภายในชุมสายเดียวกัน	25
4.3.2 กรณีเรียกต่างชุมสาย	26
บทที่ 5 การทำงานของชุมสายโทรศัพท์ขนาดเล็ก	27
5.1 วงจรเชื่อมต่อกับผู้ใช้บริการ (LIC)	27
5.1.1 SLIC	27
5.1.2 CODEC	28
5.2 การทำงานของวงจรสวิตชิ่ง	29
5.3 การทำงานของวงจรสร้างสัญญาณนาฬิกาและกำหนดตำแหน่งไทม์สลอท	30
5.4 การทำงานของวงจรรับเลขหมายปลายทางที่ผู้เรียกเป็นผู้ส่งมาให้ชุมสาย	32
5.5 การทำงานของวงจรสร้างสัญญาณเรียก	32
5.6 การทำงานของวงจรสร้างสัญญาณ Dial Tone	32
5.7 การทำงานของวงจรควบคุมระบบ	33
บทที่ 6 ผลการทดลอง	35
บทที่ 7 สรุปและวิจารณ์	39
ภาคผนวก	
บรรณานุกรม	
กิตติกรรมประกาศ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 แสดงการส่งสัญญาณจากต้นทางไปปลายทางโดยผ่านชุมสายโทรศัพท์	3
รูปที่ 2.1 การส่งสัญญาณอนาลอกโดยใช้ TDM	7
รูปที่ 2.2 แสดงการนำสัญญาณหลายๆ อินพุทมามัลติเพล็กซ์แบบ TDM และรับ-ส่งโดยใช้ BUS ร่วมกัน	8
รูปที่ 3.1 บล็อกไดอะแกรมของชุมสายโทรศัพท์	10
รูปที่ 3.2 แสดงการทำงานของ LIC	11
รูปที่ 3.3 โครงสร้างของ CODEC	12
รูปที่ 3.5 แสดงช่วงความถี่ของสัญญาณเสียงที่ใช้ในโทรศัพท์	13
รูปที่ 3.6 แสดงการสุ่มสัญญาณแล้วปรับระดับ (Quantize)	13
รูปที่ 3.7 Signal to Quantizing Noise	14
รูปที่ 3.8 แสดงการเปรียบเทียบการเข้ารหัสแบบ Linear, μ law และ A law	15
รูปที่ 3.9 แสดงความสัมพันธ์ของสัญญาณอนาลอกอินพุทกับสัญญาณดิจิตอลเอาท์พุทของ μ law	15
รูปที่ 3.10 แสดงการเข้ารหัสเป็นสัญญาณดิจิตอลขนาด 8 บิท	16
รูปที่ 3.11 แสดงความสัมพันธ์ของสัญญาณอนาลอกอินพุทกับสัญญาณดิจิตอลเอาท์พุทของ A law	17
รูปที่ 3.12 เปรียบเทียบ Signal to Quantizing Noise ของ A law กับ μ law	18
รูปที่ 3.13 แสดงหลักการพื้นฐานของ Space Switch	19
รูปที่ 3.14 แสดงตัวอย่างของ Time Switch ที่มี Incoming highway เดียว	19
รูปที่ 4.1 การส่งสัญญาณเลขหมายแบบพัลซ์	23
รูปที่ 4.2 แสดงความถี่ที่ใช้ในการสร้างสัญญาณ DTMF	24
รูปที่ 4.3 แสดงสัญญาณโต้ตอบกรณีเรียกภายในชุมสายเดียวกัน	26
รูปที่ 4.4 แสดงสัญญาณพื้นฐานในการติดต่อระหว่างชุมสาย	26
รูปที่ 5.1 แสดงโครงสร้างไอซีเบอร์ MC33120	27
รูปที่ 5.2 โครงสร้างไอซีเบอร์ MC3419-1L	28
รูปที่ 5.3 โครงสร้างไอซีเบอร์ MC145557	29
รูปที่ 5.4 โครงสร้างไอซีเบอร์ MT8980D	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.5 วงจรสร้างสัญญาณนาฬิกาและกำหนดตำแหน่งไทม์สลอทในชุมสายที่เป็น Master 31
รูปที่ 5.6 วงจรสร้างสัญญาณนาฬิกาและกำหนดตำแหน่งไทม์สลอทในชุมสายที่เป็น Slave 31
รูปที่ 5.7 วงจรรับเลขหมายปลายทางที่ผู้เรียกเป็นผู้ส่งมาให้ชุมสาย 32
รูปที่ 5.8 วงจรสร้างสัญญาณเรียก (Ringing Circuit) 33
รูปที่ 5.9 วงจรควบคุมระบบ 34
รูปที่ 6.1 เปรียบเทียบสัญญาณที่ป้อนเข้าชุมสายกับสัญญาณที่ออกจากชุมสาย 35
รูปที่ 6.2 แสดงสัญญาณดิจิตอลทางด้านอินพุทและเอาท์พุทของไทม์สวิทช์ 35
รูปที่ 6.3 แสดงสัญญาณกำหนดตำแหน่งไทม์สลอทของผู้ใช้โทรศัพท์ 36
รูปที่ 6.4 ภาพขยายของสัญญาณกำหนดตำแหน่งไทม์สลอท 36
รูปที่ 6.5 แสดงสัญญาณกำหนดตำแหน่งไทม์สลอทและสัญญาณดิจิตอลบนไฮเวย์ 37
รูปที่ 6.6 เปรียบเทียบสัญญาณ Dial Tone ที่ได้จากการวัดและการจำลองด้วย Pspice 37
รูปที่ 6.7 แสดงสัญญาณ Ringing 38
รูปที่ 6.8 ภาพขยายแสดงจุดเริ่มต้นของสัญญาณ Ringing 38
รูปที่ 6.9 ภาพขยายแสดงจุดสิ้นสุดของสัญญาณ Ringing 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 1 แสดงค่าพารามิเตอร์ที่สำคัญสำหรับติดต่อกับเครื่องโทรศัพท์ 11

ตารางที่ 2 แสดงความถี่ของสัญญาณระหว่างชุมสายกับเครื่องโทรศัพท์ 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โทรศัพท์จัดเป็นสาธารณูปโภคที่จำเป็นต่อมนุษย์ในยุคปัจจุบันเป็นอย่างยิ่ง การมีโทรศัพท์เป็นเครื่องมือสื่อสารช่วยให้การสื่อสารกระทำได้สะดวกรวดเร็วยิ่งขึ้น อีกทั้งสามารถโต้ตอบกันได้ทันทีทันใดโดยใช้เสียง นอกจากนี้ยังสามารถพัฒนาให้เห็นภาพของคู่สนทนาได้โดยการพัฒนา เป็นโครงข่ายร่วมระบบดิจิตอล (ISDN:Integrated Service Digital Network) อีกทั้งมีการพัฒนาให้สามารถใช้ได้แทบทุกสถานที่ โดยติดต่อผ่านคลื่นวิทยุ (RF:Radio Frequency) ซึ่งก็คือโทรศัพท์เคลื่อนที่ (Mobile Telephone) นั่นเอง การที่จะพัฒนาไปสู่เทคโนโลยีระดับสูงนั้นจำเป็นอย่างยิ่งที่จะต้องมีพื้นฐานความรู้ของระบบที่ใช้งานอยู่ในปัจจุบันก่อน ซึ่งจะช่วยให้การศึกษากระทำได้ง่ายขึ้น เพราะโดยปกติแล้วระบบใหม่ก็จะต้องอ้างอิงระบบเดิมเป็นหลัก และยังทำให้สามารถเชื่อมต่อกับระบบเดิมได้อีกด้วย

1.1 วิวัฒนาการของระบบโทรศัพท์

หลังจาก Alexander Graham Bell ได้ทดลองและสร้างโทรศัพท์สำเร็จในปี ค.ศ.1876 การพัฒนาระบบของโทรศัพท์ก็เกิดขึ้นอย่างไม่หยุดยั้ง โดยในช่วงแรกมีการสร้างชุมสายเพื่อที่จะประหยัดจำนวนคู่สายและเพื่อความสะดวกในการใช้งาน ชุมสายแรกที่เริ่มใช้งานในปี ค.ศ. 1878 คือชุมสายแบบ Manual Control ซึ่งใช้พนักงานสลับสาย (Operator) เป็นผู้ต่อวงจรให้แก่ผู้ใช้บริการ

เมื่อจำนวนผู้ใช้บริการเพิ่มมากขึ้น จึงมีการพัฒนาเป็นชุมสายขึ้นใหม่ เป็นแบบที่เรียกว่า Setp-by-Step ซึ่งคิดค้นโดย Almon B.Strowger ในปี ค.ศ. 1891 ข้อจำกัดของชุมสายแบบ Step-by-Step มีดังนี้

1. เกิดการ Block (หมายถึงเครื่องปลายทางว่างอยู่ แต่ไม่สามารถต่อวงจรจากผู้เรียกไปหาผู้ถูกเรียกได้ เพราะเส้นทางเดินสัญญาณไม่ว่าง) ของวงจรมาก เนื่องจากต้องแบ่งกันใช้อุปกรณ์ในการเชื่อมต่อวงจร
2. ไม่สามารถใช้สัญญาณ DTMF ได้โดยตรง ทำให้ทำงานได้ช้า
3. เนื่องจากใช้กลไก (Mechanic) ในการทำงานมีความน่าเชื่อถือต่ำ และต้องมีการบำรุงรักษามาก
4. เปลี่ยนแปลงแก้ไขการทำงานของระบบยาก เพราะเป็นฮาร์ดแวร์ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากข้อจำกัดของชุมสายแบบ Step-by-Step เหล่านี้ ภายหลังสงครามโลกครั้งที่ 2 จึงมีการพัฒนาระบบสวิตชิ่งแบบใหม่ขึ้น และเรียกว่าชุมสาย Crossbar โดยอุปกรณ์สวิตชิ่งนี้ใช้เป็นรีเลย์ (Relay) ที่ต่อร่วมกันเป็นแผง เรียกว่า Crosspoint Array

การควบคุมการทำงานของรีเลย์จะควบคุมมาจากศูนย์กลางระบบ จึงเรียกการควบคุมแบบนี้ว่า Common Control การทำงานของศูนย์กลางระบบจะเป็นไปตามข้อมูลที่เก็บไว้ในโปรแกรม ซึ่งเรียกว่า Stored Program Controlled (SPC) หรือ Marker ต่อมาได้มีการพัฒนาจากการใช้ Relay มาเป็น Reed Relay ซึ่งมีข้อดีคือมีขนาดเล็กและใช้การจ่ายพัลซ์ (Pulse) เพื่อควบคุมให้ Reed Relay ตัดหรือต่อวงจรทำให้ประหยัดพลังงานได้มากยิ่งขึ้น (ไม่ต้องมีไฟไหลผ่านขดลวด (Coil) ตลอดเวลาที่ใช้งาน) นอกจากนี้ยังช่วยลดปัญหาฝุ่นละอองที่จะทำให้หน้าสัมผัส (Contact) สกปรกได้อีกด้วย เพราะตัวหน้าสัมผัสของ Reed Relay ถูกปิดผนึกมิดชิดอยู่ภายในกระเปาะแก้ว

ในปี ค.ศ. 1956 ได้มีการประดิษฐ์ทรานซิสเตอร์ได้สำเร็จ และได้มีการนำมาพัฒนาใช้เป็นอุปกรณ์สวิตชิ่งแทน Reed Relay ส่งผลให้อุปกรณ์สวิตชิ่งมีขนาดเล็กลงไปอีก

1.2 ระบบโทรศัพท์ในปัจจุบัน

ความก้าวหน้าของเทคโนโลยีด้านสารกึ่งตัวนำและคอมพิวเตอร์ส่งผลให้การพัฒนาด้านโทรคมนาคมเป็นไปอย่างรวดเร็ว อุปกรณ์สื่อสารรุ่นใหม่ ๆ มีประสิทธิภาพ ความสามารถและความเร็วสูงขึ้น ในขณะที่ราคาถูกลงและมีขนาดเล็กลง

1.2.1 ชุมสายโทรศัพท์แบบดิจิตอล

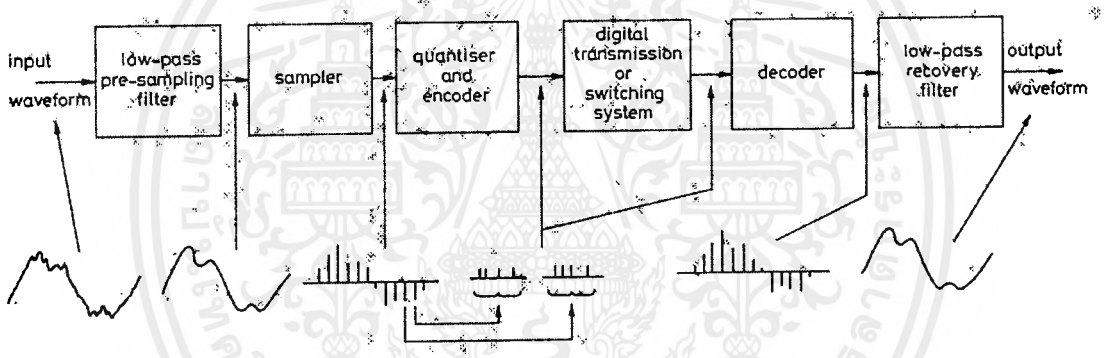
ความสำเร็จในการประดิษฐ์ทรานซิสเตอร์และอุปกรณ์สารกึ่งตัวนำชนิดอื่น ๆ ทำให้การมัลติเพล็กซ์โดยการแบ่งช่วงเวลา (TDM:Time Division Multiplex) สามารถทำได้ง่ายยิ่งขึ้น (ดูรายละเอียดเรื่อง TDM ได้ในบทที่ 2) และเนื่องจากข้อดีของสัญญาณดิจิตอลที่ทนต่อสัญญาณรบกวนได้ดีกว่าแบบอนาลอก ทำให้สามารถทวนสัญญาณ (Regenerate) ได้หลาย ๆ ครั้ง โดยที่ไม่ทำให้ระดับของสัญญาณรบกวนเพิ่มขึ้นดังเช่นการส่งสัญญาณแบบอนาลอก นอกจากนี้ในระบบดิจิตอลยังสามารถตรวจสอบความถูกต้องของข้อมูลได้ง่ายกว่าแบบอนาลอก ดังนั้นการพัฒนาอุปกรณ์ในระบบส่งผ่านสัญญาณ (Transmission) จึงหันมานิยมใช้ระบบ TDM แบบดิจิตอลกันมากขึ้น

ในส่วนของชุมสายโทรศัพท์นั้น แต่เดิมในส่วนของสัญญาณควบคุมก็เป็นแบบดิจิตอลอยู่แล้ว แต่ในส่วนของสัญญาณเสียงเป็นสัญญาณอนาลอกทำให้ต้องมีการแปลงเป็นสัญญาณดิจิตอลเมื่อต้องการส่งและแปลงกลับมาเป็นสัญญาณอนาลอกเมื่อถึงปลายทาง ในกรณีที่ชุมสายต้นทางและชุมสายปลายทางไม่มีวงจรเชื่อมโยงถึงกันโดยตรง (Direct Route) แต่สามารถเชื่อมต่อวงจรผ่านชุมสายอื่นได้ (Transit Route) จะพบว่าเมื่อมีการส่งสัญญาณจากชุมสายแรกไปให้ชุมสายส่งผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Transit Exchange) ชุมสายส่งผ่านจะตรวจดูหมายเลขของปลายทาง โดยแปลงสัญญาณดิจิตอลกลับมาเป็นอนาลอกก่อน จึงจะตรวจสอบได้ (การส่งสัญญาณบอกเลขหมายปลายทางในช่วงแรก ๆ ที่มีการใช้ Digital TDM จะส่งไปในช่วงสัญญาณเสียง โดยใช้สัญญาณความถี่ต่าง ๆ กัน) และแปลงกลับเป็นอนาลอก เพื่อส่งต่อไปให้ชุมสายปลายทาง ทำให้เกิดความยุ่งยาก วงจรมีความซับซ้อน และทำให้มีสัญญาณรบกวนมากขึ้น

การนำเทคนิคในการประมวลผลสัญญาณดิจิตอล (DSP:Digital Signal Processing) มาใช้ในชุมสายโทรศัพท์จะช่วยแก้ปัญหาดังกล่าวได้เป็นอย่างดี ทำให้ชุมสายโทรศัพท์ส่วนใหญ่ในปัจจุบันใช้เทคนิคดังกล่าวนี้ โดยสัญญาณจากเครื่องโทรศัพท์เมื่อเข้าไปในชุมสายแล้วจะถูกแปลงเป็นสัญญาณดิจิตอล และจะได้รับการแปลงกลับเป็นสัญญาณอนาลอกที่ชุมสายปลายทางก่อนที่จะส่งไปยังเครื่องโทรศัพท์ ซึ่งเรียกชุมสายที่ทำงานในลักษณะดังกล่าวนี้ว่า "ชุมสายโทรศัพท์แบบดิจิตอล"



รูปที่ 1.1 แสดงการส่งสัญญาณจากต้นทางไปปลายทางโดยผ่านชุมสายโทรศัพท์

1.2.2 ชุมสาย ISDN

ISDN (Integrated Service Digital Network) หรือโครงข่ายร่วมระบบดิจิตอล เป็นโครงข่ายสื่อสารที่สัญญาณที่ออกจากอุปกรณ์ของผู้ใช้บริการจะเป็นดิจิตอลทั้งหมด ทำให้การส่งข้อมูลสามารถส่งได้เร็วกว่าชุมสายโทรศัพท์ธรรมดา (PSTN:Public Switched Telephone Network) มาก โดย ISDN จะถูกแบ่งระดับตามอัตราการส่งข้อมูลดังนี้

1. Broadband ISDN (B-ISDN) ซึ่งใช้การส่งผ่านข้อมูลแบบ ATM (Asynchronous Transfer Mode) โดยมีความเร็วสูงถึง 155 Mbps
2. Narrowband ISDN ซึ่งมี 2 แบบ ได้แก่
   2.1 PRA (Primary Rate Access) คือ ระบบที่มีขนาดช่องสัญญาณสำหรับส่งข่าวสารและข้อมูลขนาด 1.92 Mbps + 64 Kbps หรือ 30B+D (B Channel หรือ Bearer Channel คือช่องสัญญาณขนาด 64 Kbps)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ PRI ของประเทศที่ใช้มาตรฐาน T1 (ดูในบทที่ 2) จะเป็นขนาด 23B+D

2.2 BRA (Basic Rate Access) คือระบบที่มีขนาดช่องสัญญาณสำหรับส่งข่าวสารและข้อมูลขนาด 144 Kbps หรือ 2B+D (D Channel หรือ Data Channel ของ BRI มีขนาด 16 Kbps)

จะเห็นว่าในส่วนของ Narrow Band ISDN นั้น ขนาดของช่องสัญญาณแต่ละช่อง จะมีขนาดเท่ากับช่องสำหรับส่งสัญญาณเสียง (Spech Channel) ของโทรศัพท์แบบเดิม ซึ่งทำให้ระบบสวิตชิ่งของชุมสายเดิมสามารถใช้เป็นสวิตชิ่งในชุมสาย ISDN ได้ แต่ต้องปรับปรุงวงจรเชื่อมต่อผู้ใช้บริการให้เป็นแบบดิจิตอล

1.2.3 ชุมสายโทรศัพท์เคลื่อนที่

ชุมสายโทรศัพท์เคลื่อนที่ (MTX:Mobile Telephone Exchange) เป็นชุมสายที่มีการทำงานในส่วนของสวิตชิ่งเหมือนในชุมสายโทรศัพท์ทั่วไป แต่ในส่วนควบคุมจะมีการทำงานที่ซับซ้อนกว่ามาก เพราะต้องมีการควบคุมหลายอย่าง เช่น การเปลี่ยนสถานีฐาน (Base Site or Cell Site) ที่ติดต่อกับเครื่องโทรศัพท์เคลื่อนที่ การควบคุมกำลังของเครื่องโทรศัพท์ เป็นต้น นอกจากนี้ส่วนที่ต้องสร้างเพิ่มในชุมสายโทรศัพท์เคลื่อนที่ก็คือ สถานีฐาน ซึ่งเป็นสถานีที่ติดต่อกับเครื่องโทรศัพท์โดยใช้คลื่นวิทยุ (การมัลติเพล็กซ์ในส่วนนี้มีหลายเทคนิค เช่น FDMA (Frequency Division Multiplex Access), TDMA (Time Division Multiplex Access) และ CDMA (Code Division Multiplex Access) เป็นต้น ซึ่งเทคนิคเหล่านี้ไม่ขอกล่าวในที่นี้)

จะเห็นได้ว่าความรู้เกี่ยวกับระบบชุมสายโทรศัพท์แบบดิจิตอล สามารถที่จะนำไปพัฒนาเป็นชุมสาย ISDN และชุมสายโทรศัพท์เคลื่อนที่ได้เป็นอย่างดี

1.3 องค์กรที่กำหนดมาตรฐานโทรศัพท์

เนื่องจากระบบโทรศัพท์เป็นระบบเครือข่ายสื่อสารที่จะต้องเชื่อมโยงถึงกันทั่วโลก หากไม่มีการกำหนดมาตรฐานก็จะมีผลทำให้เครื่องโทรศัพท์หรือชุมสายโทรศัพท์ที่ผลิตมาจากหลายบริษัทไม่สามารถใช้งานร่วมกันได้ เพื่อแก้ปัญหาดังกล่าว จึงได้มีการจัดตั้งองค์กรสากลเพื่อกำหนดมาตรฐาน นอกจากนั้นยังมีการรวมกลุ่มกันของผู้ผลิตเพื่อกำหนดมาตรฐานอีกด้วย องค์กรที่สำคัญได้แก่

1.3.1 ITU (International Telecommunication Union) เป็นองค์กรสังกัดองค์การสหประชาชาติ (UN:United Nations) มีการแบ่งหน่วยงานภายในดังนี้

- IFRB (International Frequency Registration Board) มีหน้าที่ในการบริหารความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ITU-T (Telecommunication Standardization Sector of ITU) ซึ่งแต่เดิมเรียกว่า CCITT (International Telephone and Telegraph Consultative Committee) มีหน้าที่ในการกำหนดมาตรฐานเกี่ยวกับระบบโทรศัพท์และโทรเลข

- ITU-R (Radio Sector of ITU) ซึ่งเดิมเรียกว่า CCIR (International Radio Consultative Committee) มีหน้าที่กำหนดมาตรฐานด้านวิทยุและดาวเทียม

สำหรับคณะกรรมการที่พิจารณาเพื่อกำหนดมาตรฐานนั้น จะเป็นตัวแทนของชาติต่างๆและผู้เชี่ยวชาญจากบริษัทต่างๆ โดยมีการรวมกลุ่มเพื่อศึกษา (Study group) และกำหนดมาตรฐานต่างๆ

ในส่วนของ ITU-T หรือ CCITT ซึ่งกำหนดเกี่ยวกับอุปกรณ์โทรคมนาคม, โครงข่ายและการบริการ ได้มีการกำหนดมาตรฐานต่าง ๆ โดยจัดเป็นหมวดหมู่ ดังนี้

A : Organization of the work of the ITU-T

B : Means of expression (definitions, symbols, classification)

C : General Telecommunication statistics

D : General tariff principles

E : Overall network operation (numbering, routing, network management, operational performance and traffic engineering); telephone service, service operation and human factors

F : Telecommunication services other than telephone (operations, quality of service, service definitions and human factors)

G : Transmission systems and media, digital systems and networks

H : Line transmission of non-telephone signals

I : Integrated Services Digital Networks (ISDN)

J : Transmission of sound programme and television signals

K : Protection against interference

L : Construction, installation and protection of cable and other elements of outside plant

M : Maintenance: international transmission systems, telephone circuits, telegraphy, facsimile and leased circuits

N : Maintenance: international sound programme and television transmission circuits

O : Specifications of measuring equipment

P : Telephone transmission quality, telephone installations, local line networks

Q : Switching and signalling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R : Telegraph transmission

S : Telegraph services terminal equipment

T : Terminal characteristics and higher layer protocols for telematic services, document architecture

U : Telegraph switching

V : Data communication over the telephone network

X : Data networks and open system communication

Z : Programming languages

1.3.2 ETSI (European Telecommunications Standards Institute) เป็นองค์กรที่จัดตั้งขึ้นเพื่อกำหนดมาตรฐานทางด้านโทรคมนาคมสำหรับยุโรป ซึ่งเดิม CEPT (European Conference of Posts and Telecommunications) เป็นผู้กำหนดมาตรฐานด้านโทรคมนาคมในยุโรป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การมัลติเพล็กซ์

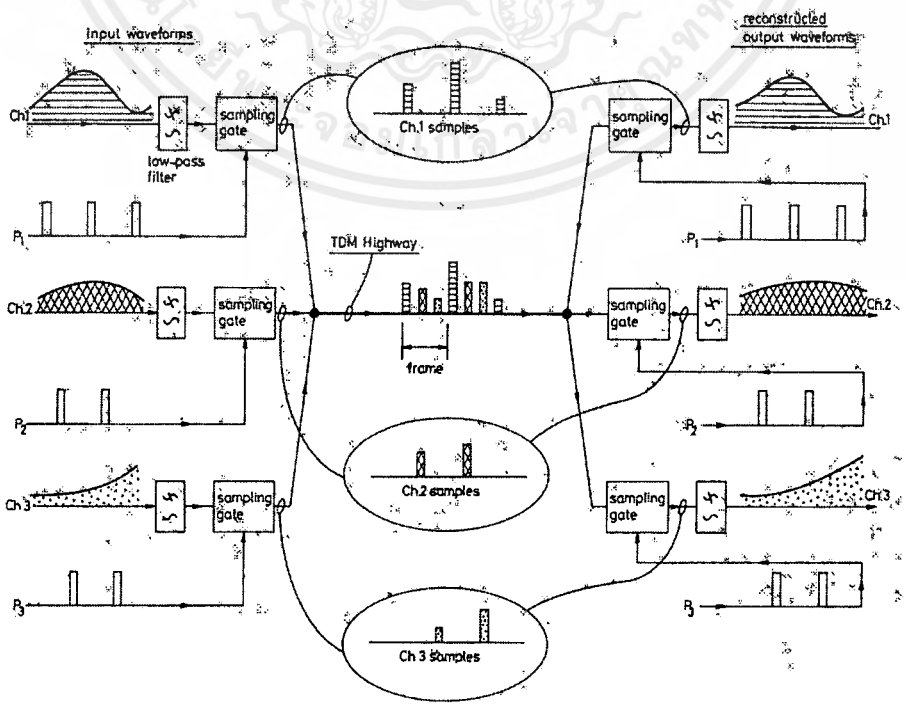
การมัลติเพล็กซ์ (Multiplexing)หมายถึง การนำสัญญาณหลาย ๆ สัญญาณมาส่งออกไปโดยผ่านตัวกลางเดียวกัน (ตัวกลางอาจเป็นสายนำสัญญาณหรือคลื่นวิทยุ) เพื่อที่จะลดค่าใช้จ่ายของสายนำสัญญาณลง ซึ่งวิธีที่นิยมใช้ได้แก่ การมัลติเพล็กซ์ความถี่ (FDM : Frequency Division Multiplex) และการมัลติเพล็กซ์เวลา (TDM:Time Division Multiplex)

2.1 FDM (Frequency Division Multiplex)

FDM เป็นการมัลติเพล็กซ์โดยการนำสัญญาณข่าวสารไปมอดูเลท (modulate) กับคลื่นพาห์ (carrier) โดยใช้คลื่นพาห์ที่มีความถี่ต่างกันสำหรับสัญญาณข่าวสารแต่ละอัน แล้วจึงนำสัญญาณที่มอดูเลทแล้วมารวมกัน และส่งออกไปยังเครื่องรับปลายทาง เพื่อนำไปแยกกลับ (Demodulate) เป็นสัญญาณเดิมที่ส่งมาจากต้นทางต่อไป

2.2 TDM (Time Division Multiplex)

TDM เป็นการมัลติเพล็กซ์โดยการนำสัญญาณข่าวสารหลาย ๆ อันมาสลับกันส่งไปในตัวกลาง (สายสัญญาณ หรือ คลื่นวิทยุ) เดียวกัน ดังรูปที่ 2.1



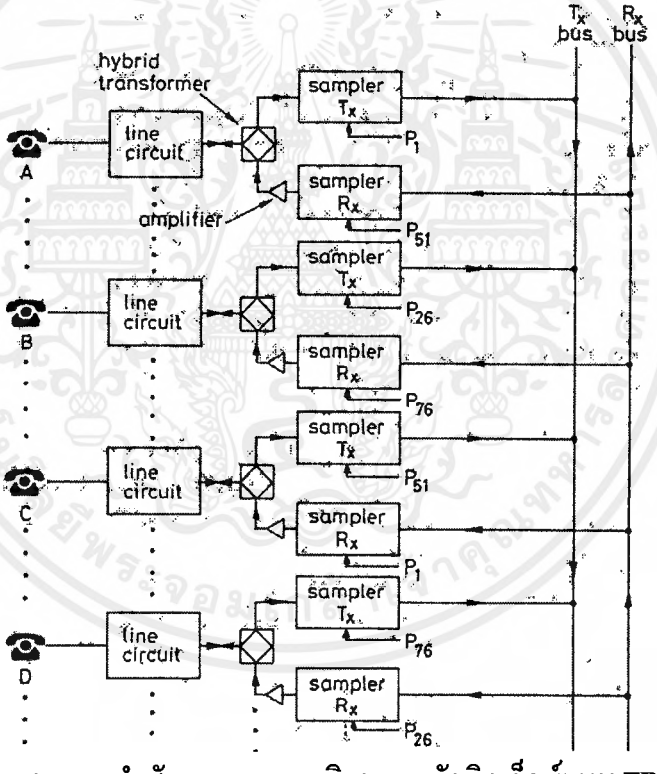
รูปที่ 2.1 การส่งสัญญาณอนาลอกโดยใช้ TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำ... ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งสำคัญสำหรับ TDM คือ การทำงานของสวิตซ์ที่ใช้เลือกช่องสัญญาณในภาคส่งและภาครับจะต้องทำงานพร้อมกัน (Synchronize) เพื่อให้ได้ข้อมูลที่ปรากฏในภาครับตรงกับที่ภาคส่งส่งมาให้

2.3 การมัลติเพล็กซ์ในชุมสายโทรศัพท์ดิจิตอล

เนื่องจาก TDM มีค่าใช้จ่ายในการสร้างต่ำกว่า FDM การมัลติเพล็กซ์แบบ TDM นี้จึงเป็นที่นิยมใช้กันอย่างกว้างขวาง และเพื่อให้การมัลติเพล็กซ์แบบ TDM มีความน่าเชื่อถือมากยิ่งขึ้น จึงมีการพัฒนาจากการส่งสัญญาณอนาลอกมาเป็นสัญญาณดิจิตอลแทน โดยนำสัญญาณอนาลอกมาสุ่มเป็นช่วงๆ (Sampling) แล้วแปลงเป็นสัญญาณดิจิตอลก่อนที่จะส่งไปในสายนำสัญญาณ (Transmission Line) ดังรูปที่ 2.2



รูปที่ 2.2 แสดงการนำสัญญาณหลายๆอินพุทมามัลติเพล็กซ์แบบ TDM และรับ-ส่งโดยใช้ BUS ร่วมกัน

CCITT ได้กำหนดมาตรฐานสำหรับการมัลติเพล็กซ์แบบ TDM (ดิจิตอล) ไว้ 2 ระบบ ได้แก่

2.3.1 T1 เป็นมาตรฐานที่กำหนดให้มัลติเพล็กซ์สัญญาณได้ 24 ช่อง ต่อ 1 ระบบโดยแต่ละช่องเป็นข้อมูลขนาด 64 Kbps ทำให้อัตราการส่งข้อมูลมีขนาด 24 × 64 kbps = 1536 kbps นอกจากนี้ ยังต้องมีบิทสำหรับ Synchronize อีก 8,000 บิทต่อวินาทีโดยบิทนี้จะเพิ่มในแต่ละเฟรม ทำให้อัตราการส่งข้อมูลรวมเป็น 1544 kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐาน T1 เป็นมาตรฐานที่ใช้อยู่ในอเมริกาเหนือและญี่ปุ่น ในกรณีที่ต้องการเชื่อมต่อข้อมูลที่มีขนาดมากกว่าที่ T1 จะรับได้ เราก็สามารถทำการมัลติเพล็กซ์ให้มีอันดับที่สูงขึ้นไปได้อีก โดยใช้เทคนิค PDH (Plesiochronous Digital Hierarchy) หรือใช้ SDH (Synchronous Digital Hierarchy) ซึ่งเป็นเทคนิคที่ใหม่กว่าและมีประสิทธิภาพสูงกว่า

2.3.2. E1 เป็นมาตรฐานที่กำหนดให้มัลติเพล็กซ์สัญญาณได้ 32 ช่อง หรือ 32 timeslot ต่อ 1 ระบบ โดยจัดให้เป็นช่องสำหรับส่งข้อมูลหรือสัญญาณเสียงขนาด 30 ช่อง (Channel) เป็น Synchronizing & Alarm 1 tsl (timeslot) และเป็นสัญญาณบอกสถานะของช่องสัญญาณ ต่าง ๆ (Line Signalling) 1 tsl โดยข้อมูลของแต่ละไทม์สลอทจะมีอัตรา 64 kbps ดังนั้นอัตราของข้อมูลรวมในสายนำสัญญาณ (Transmission Line) จะมีขนาดเป็น 32×64 kbps = 2.048 Mbps

มาตรฐาน E1 เป็นมาตรฐานที่ใช้ในยุโรป และประเทศต่างๆที่ไม่ได้ใช้มาตรฐาน T1 รวมทั้งประเทศไทยด้วย ในกรณีที่ต้องการเชื่อมต่อข้อมูลที่มีช่องสัญญาณมากกว่า 30 ช่องก็สามารถทำได้โดยมัลติเพล็กซ์ให้มีอันดับที่สูงขึ้นเช่นเดียวกับที่ใช้ใน T1

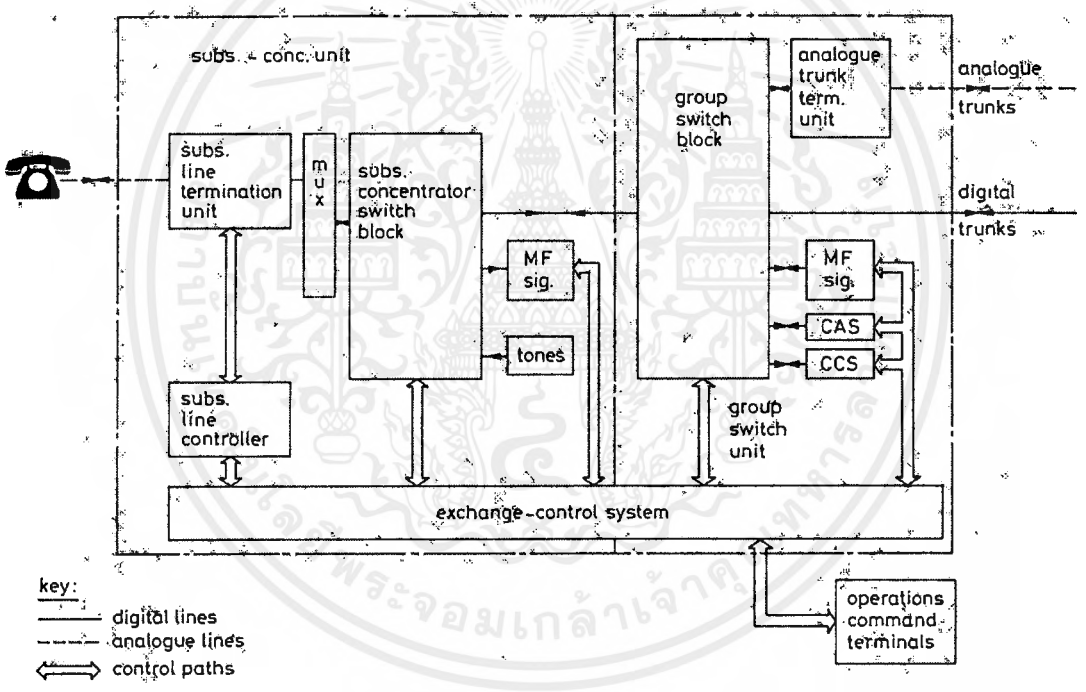
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้างของชุมสายโทรศัพท์

ชุมสายโทรศัพท์ที่มีการผลิตกันในปัจจุบัน โดยทั่วไปแล้วจะมีโครงสร้างพื้นฐานทางฮาร์ดแวร์ใกล้เคียงกัน

3.1 องค์ประกอบของชุมสายโทรศัพท์

โครงสร้างโดยทั่วไปของชุมสายโทรศัพท์เขียนเป็นบล็อกไดอะแกรมได้ ดังรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมของชุมสายโทรศัพท์

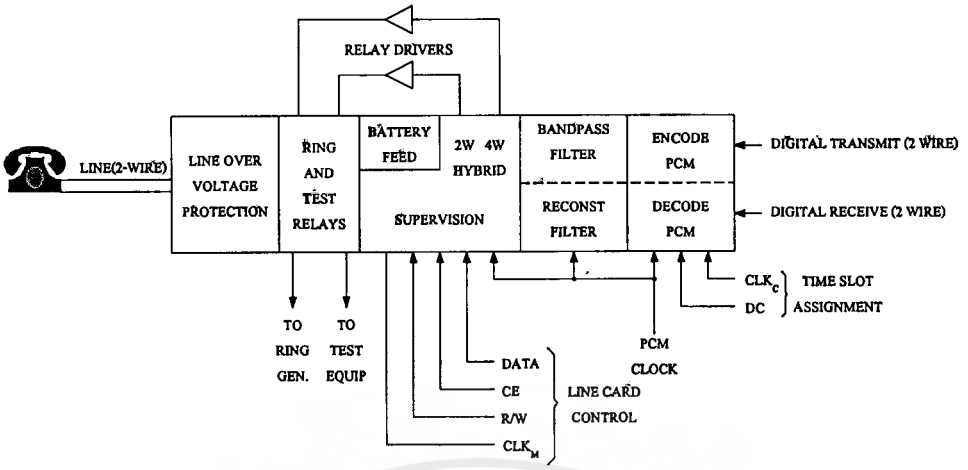
3.2 LIC (Line Interface Circuit)

LIC คือ ส่วนของวงจรที่เชื่อมต่อระหว่างเครื่องโทรศัพท์ของผู้ใช้บริการ (Subscriber) กับวงจรสวิตชิ่งภายในชุมสายโทรศัพท์ สำหรับในชุมสายโทรศัพท์ดิจิตอลเราสามารถแสดงรายละเอียดได้ ดังรูปที่ 3.2

หน้าที่หรือการทำงานของ LIC โดยทั่วไปเรียกกันว่า BORSCHT ฟังก์ชั่น ซึ่งเป็นคำย่อของส่วนประกอบต่าง ๆ ดังนี้

B : Battery feed หมายถึง ทำหน้าที่จ่ายไฟไปให้เครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงการทำงานของ LIC

ตารางที่ 1 แสดงค่าพารามิเตอร์ที่สำคัญสำหรับติดต่อกับเครื่องโทรศัพท์

Parameter	Typical U.S. Values	Operating Limits	Typical European Values
Common Battery Voltage	-48 VDC	-47 to -105 VDC	Same
Operating Current	20 to 80 mA	20 to 120 mA	Same
Subscriber Loop Resistance	0 to 1,300 Ohms	0 to 3,600 Ohms	
Loop Loss	8 dB	17 dB	Same
Distortion	-50 dB total	N.A.	
Ringing Signal	20 Hz, 90 Vrms	16 to 60 Hz 40 to 130 Vrms	16 to 50 Hz 40 to 130 Vrms
Receive Sound Pressure Level	70 to 90 dBspl*	130 dBspl	Varies
Telephone Set Noise		less than 15 dBrnC**	

* dBspl = dB sound pressure level

**dBrnC = dB value of electrical noise referenced to -90 dBm measured with C message weighting frequency response

O : Overvoltage Protection หมายถึง ป้องกันแรงดันเกิน ซึ่งอาจเกิดจากฟ้าผ่าลงมาในคู่สาย เป็นต้น

R : Ringing หมายถึง สร้างสัญญาณกระดิ่งไปให้กระดิ่งในเครื่องโทรศัพท์ทำงาน

S : Supervision หมายถึง สร้างสัญญาณเพื่อบอกสถานะต่างๆเช่น สัญญาณลูป (Loop) เป็นต้น

C : Coding หรือ CODEC หมายถึง มีหน้าที่ในการเข้ารหัส (Coding)จากสัญญาณอนาลอกให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณดิจิตอล และการถอดรหัส (Decoding) จากสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

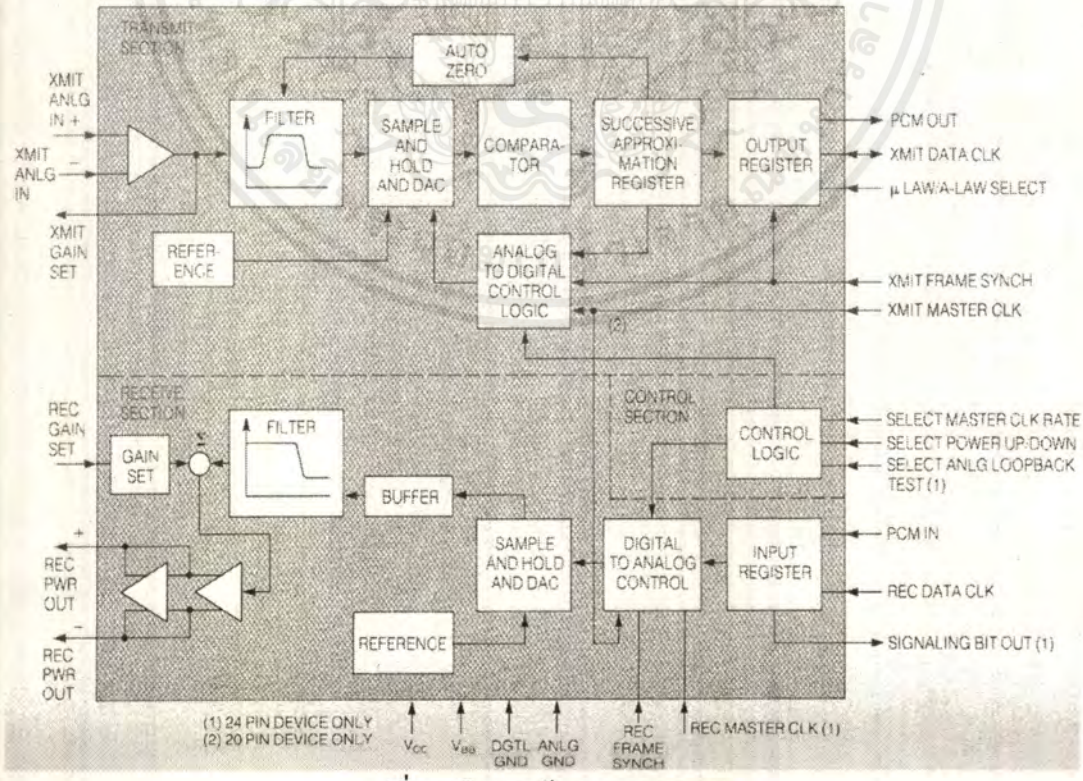
H : Hybrid หมายถึง ทำการเปลี่ยนสัญญาณ 2 Wire ให้เป็น 4 Wire สัญญาณ 2 Wire หมายถึง สัญญาณที่มาจากคู่สายโทรศัพท์ ซึ่งเป็นสัญญาณที่วิ่งสวนทางกันได้ สำหรับสัญญาณ 4 Wire หมายถึง สัญญาณที่แยกเป็นสัญญาณรับ (RX:Receiver) 1 คู่ และสัญญาณส่ง (TX:Transmitter) 1 คู่

T : Test หมายถึง สามารถทดสอบระบบได้เอง (Self Test) ว่าวงจรในส่วนต่าง ๆ ทำงานปกติหรือไม่

3.2.1 CODEC (Coder & Decoder)

CODEC จัดเป็นวงจรที่สำคัญมากวงจรหนึ่งของโทรศัพทระบบดิจิตอล โครงสร้างของ CODEC แสดงได้ดังรูปที่3.3

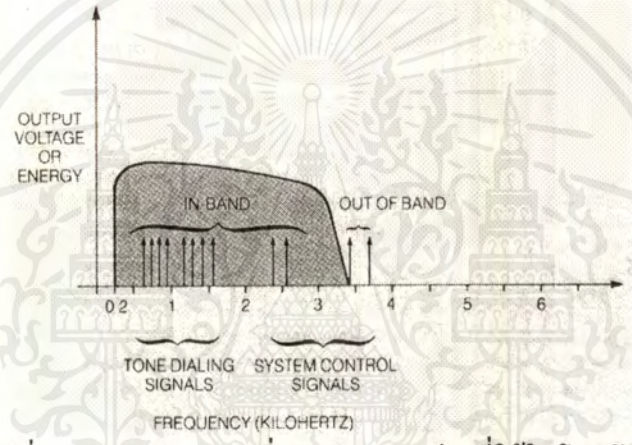
โดยทฤษฎีการสุ่ม (Sampling or Nyquist Theorem) ได้มีการกำหนดให้ความถี่ในการสุ่ม (fs:Sampling Frequency) มีค่ามากกว่าความถี่ของสัญญาณที่ป้อนเข้ามา (fin) อย่างน้อย 2 เท่า (หรือ $fs \geq 2\ fin$) จึงจะทำให้ข่าวสารที่ปลายทางได้รับ และคืนรูปกลับมามีความถูกต้อง ซึ่งในระบบโทรศัพท์ได้มีการกำหนดให้ความถี่สูงสุดของสัญญาณเสียงที่จะถูกสุ่มมีค่าเป็น 4 KHz จึงกำหนดให้อัตราการสุ่มเท่ากับ 8 KHz



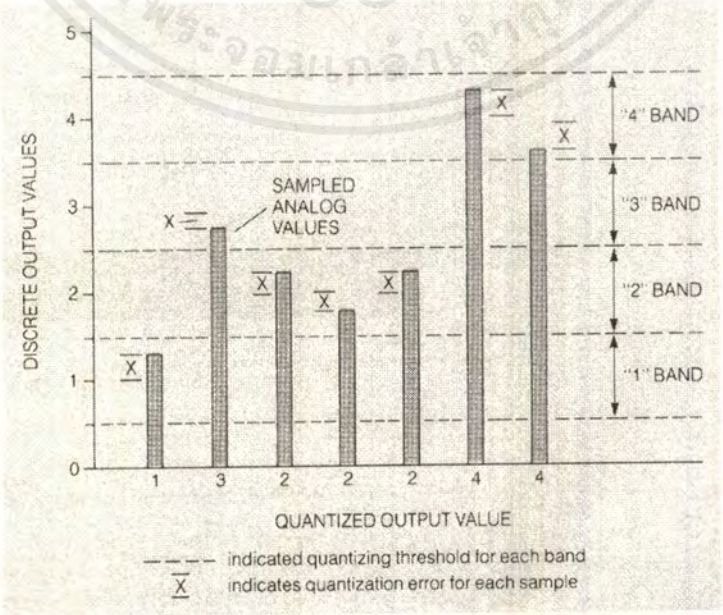
รูปที่ 3.3 โครงสร้างของ CODEC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนที่สัญญาณจะถูกสุ่มสัญญาณนั้น จะต้องผ่านวงจรกรองที่ยอมให้ความถี่ต่ำผ่าน (LPF:Low Pass Filter) เสียก่อน เพื่อกำจัดสัญญาณทรานส์เซียน (Transient) และสัญญาณความถี่สูงที่ปะปนเข้ามาออกไปก่อน เพื่อป้องกันไม่ให้เกิดความผิดเพี้ยนของข้อมูลที่สุ่ม (Aliasing Effect) โดยปกติสัญญาณเสียงที่ต้องการให้ผ่านเพื่อการรับฟังที่ชัดเจนจะอยู่ในช่วง 300-3,400 Hz ซึ่งเรียกว่าความถี่อินแบนด์ (Inband Frequency) ดังนั้นวงจรกรองความถี่ต่ำผ่าน (LPF) จะมีค่าความถี่คัทออฟ (Cutoff frequency) อยู่ที่ประมาณ 3,400 Hz เมื่อพิจารณาทางด้านความถี่ต่ำ พบว่าความถี่ที่ต่ำกว่า 300 Hz ลงมาไม่ได้ใช้งาน ดังนั้นเพื่อที่จะขจัดสัญญาณรบกวนความถี่ต่ำ ซึ่งอาจเกิดจากสัญญาณไฟฟ้ากระแสสลับที่ใช้อยู่หรือจากอุปกรณ์ชนิดอื่น จึงมีการกรองสัญญาณความถี่ต่ำออกไปด้วย ก่อนที่จะทำการสุ่มสัญญาณ



รูปที่ 3.5 แสดงช่วงความถี่ของสัญญาณเสียงที่ใช้ในโทรศัพท์



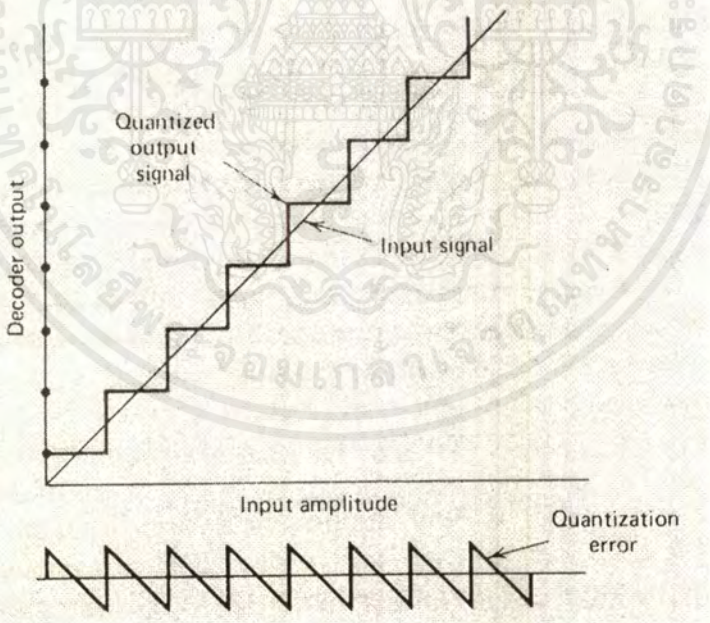
รูปที่ 3.6 แสดงการสุ่มสัญญาณแล้วปรับระดับ (Quantize)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่สุ่มจะถูกคงค่าไว้ (Hold) และทำการแปลงเป็นสัญญาณดิจิตอล ซึ่งการแปลงสัญญาณนี้จะต้องเสร็จทันก่อนที่สัญญาณที่สุ่ม (Sampling) ลูกต่อไปจะเข้ามา เนื่องจากสัญญาณที่เข้ามาเป็นสัญญาณอนาลอก ซึ่งมีความต่อเนื่องเมื่อจะเปลี่ยนเป็นสัญญาณดิจิตอลซึ่งไม่ต่อเนื่อง จึงต้องมีการปรับระดับก่อนแล้วจึงจะเข้ารหัสเป็นสัญญาณดิจิตอล ซึ่งเรียกกระบวนการปรับระดับสัญญาณนี้ว่า การควอนไตส์ (Quantization)

ในการเข้ารหัสสัญญาณที่ผ่านการควอนไตส์แล้ว จะมีวิธีการเข้ารหัส 2 วิธี คือ

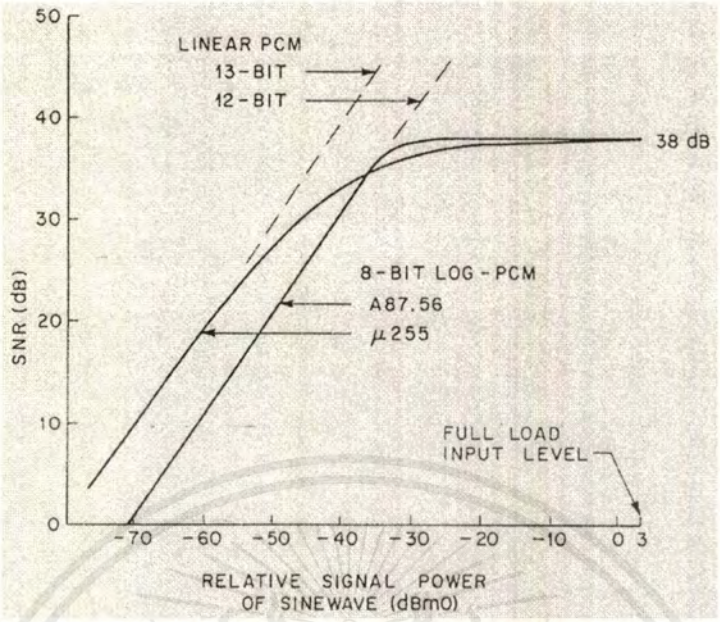
1. การเข้ารหัสแบบยูนิฟอร์ม (Uniform) หรือแบบเชิงเส้น (Linear) หมายถึง การเข้ารหัสโดยที่การเพิ่มขึ้นของสัญญาณดิจิตอลเป็นสัดส่วนโดยตรงกับสัญญาณอนาลอกที่ป้อนเข้ามา นั่นคือสัญญาณอนาลอกจะถูกแบ่งออกเป็นช่วง ๆ โดยแต่ละช่วงมีความแตกต่างของแรงดันเท่ากัน ข้อเสียของการเข้ารหัสแบบนี้คือ ที่ระดับสัญญาณอินพุท (อนาลอก) ต่ำ ๆ อัตราส่วนของสัญญาณ ต่อควอนส์ ไตส์นอยส์จะมีค่ามีค่าต่ำ ซึ่งโดยปกติมีการกำหนดให้มีค่ามากกว่า 30 dB การที่จะปรับปรุง SQR (SQR:Signal to Quantizing noise Ratio) ให้มีค่าสูงขึ้น สามารถทำได้โดยการเพิ่มจำนวนบิทของข้อมูล (ต้องใช้ถึง 13 บิท) แต่การเพิ่มจำนวนบิทก็จะส่งผลให้จำนวนข้อมูลที่ต้องส่งในสายส่งสัญญาณมีปริมาณมากขึ้น



รูปที่ 3.7 Sigmal to Quantizing Noise

2. การเข้ารหัสแบบนอนยูนิฟอร์ม (Non-Uniform) เป็นการเข้ารหัสโดยให้สัญญาณที่มีขนาดเล็กถูกแบ่งเป็นขั้นเล็ก ๆ ในขณะที่สัญญาณขนาดใหญ่จะแบ่งเป็นขั้นใหญ่ ๆ วิธีการนี้จะทำให้อัตราส่วนของสัญญาณต่อควอนไตส์น้อยส์มีค่าสูงขึ้นมาก ซึ่งการใช้ข้อมูลขนาด 8 บิทก็เป็นการเพียงพอที่จะทำให้ SQR มีค่าสูงกว่า 30 dB

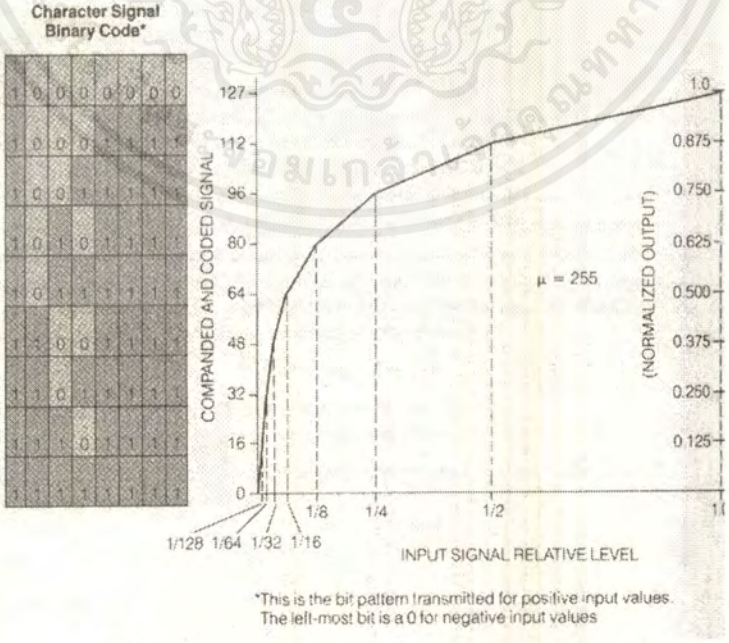
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงการเปรียบเทียบการเข้ารหัสแบบ Linear, μ law และ A law

เพื่อให้ระบบโทรศัพท์ที่ใช้อยู่ทั่วโลกสามารถเชื่อมต่อกันได้ CCITT จึงกำหนดมาตรฐานสำหรับการเข้ารหัสแบบนอนยูนิฟอร์มไว้ 2 ชนิด ดังนี้

1. μ-Law เป็นการเข้ารหัสที่ใช้มาตรฐาน T1 (ดูรายละเอียดมาตรฐาน T1 จาก 2.3.1) ซึ่งความสัมพันธ์ระหว่างอินพุทและเอาท์พุทจะเป็นเส้นโค้ง ดังรูปที่ 3.9



รูปที่ 3.9 แสดงความสัมพันธ์ของสัญญาณอนาลอกอินพุท
กับสัญญาณดิจิตอลเอาท์พุทของ μ - law

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ระหว่างอินพุทและเอาท์พุทหาได้จากสมการ

$$F\mu(x) = \text{sgn}(x)\frac{\ln(1+\mu|x|)}{\ln(1+\mu)}$$

เมื่อ x คือค่านอร์มอลไลซ์ (normalize) ของสัญญาณอินพุท (มีค่าระหว่าง -1 ถึง 1)

sgn(x) คือเครื่องหมายเพื่อบอกว่าสัญญาณอินพุทเป็นค่าบวกหรือลบ

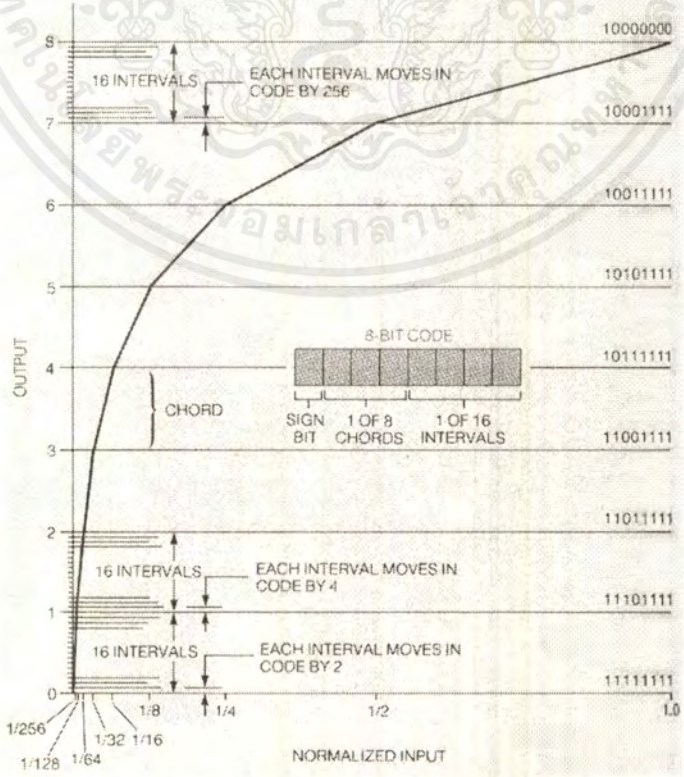
μ คือCompression Parameter

$F\mu(x)$ คือค่าของสัญญาณเอาท์พุทที่จะกำหนดเป็นค่าไบนารี่ของสัญญาณดิจิตอล

ค่า μ ที่ใช้คือ 255

ในทางปฏิบัติการเข้ารหัสจะใช้วิธีการแบ่งสัญญาณออกเป็นช่วง ๆ ดังแสดงในรูปที่ 3.10 ซึ่งทำให้การแปลงจากการเข้ารหัสระหว่าง μ law และ A law กระทำได้ง่าย

ในการเข้ารหัสเป็นสัญญาณดิจิตอลขนาด 8 บิทนี้จะใช้บิทซ้ายสุด (MSB:Most Significant Bit) เป็นบิทบอกขั้วหรือเครื่องหมาย (Sign) ของสัญญาณอินพุท โดยถ้าเป็น"1"หมายถึงอินพุทเป็นบวก และถ้าเป็น"0"หมายถึงอินพุทเป็นลบ สามบิทถัดมาบอกช่วงของสัญญาณเอาท์พุทซึ่งแบ่งออกเป็นด้านละ 8 ช่วงทั้งด้านบวกและลบของสัญญาณ เรียกแต่ละช่วงว่า Chord สี่บิทที่เหลือบอกถึงระดับของสัญญาณภายใน Chord ซึ่งแบ่งออกเป็น 16 ระดับเรียกว่า Interval ดังรูปที่ 3.10



รูปที่ 3.10 แสดงการเข้ารหัสเป็นสัญญาณดิจิตอลขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. A-Law เป็นการเข้ารหัสสัญญาณแบบนอนยูนิฟอร์มอีกแบบหนึ่งที่ CCITT กำหนดเป็นมาตรฐาน โดยใช้ในประเทศที่ใช้การมัลติเพล็กซ์แบบ E1 รวมทั้งประเทศไทย โดยความสัมพันธ์ของสัญญาณเอาท์พุทที่จะเปลี่ยนเป็นสัญญาณดิจิตอลจะมีความสัมพันธ์กับสัญญาณอินพุท ดังสมการ

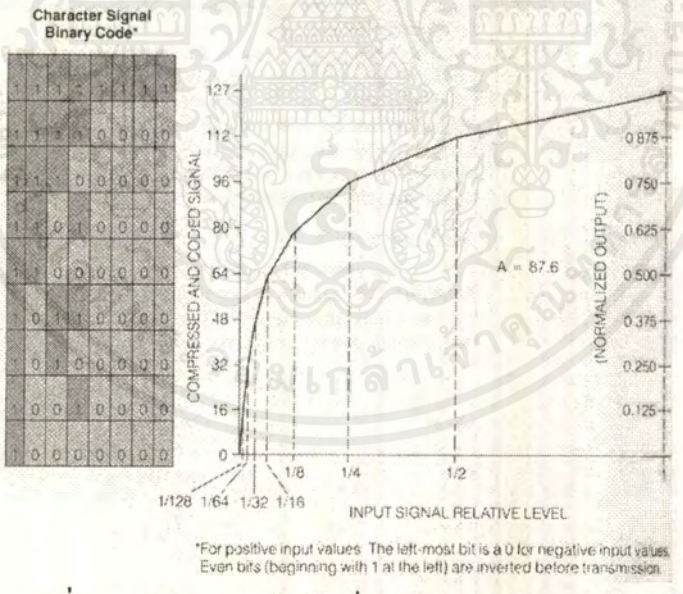
$$F(x)\begin{cases} \operatorname{sgn}(x)\dfrac{A|x|}{1+\ln(A)} & ;\ 0 \le |x| < \dfrac{1}{A} \\ \operatorname{sgn}(x)\dfrac{(1+\ln A|x|)}{(1+\ln(A)} & ;\ \dfrac{1}{A} \le |x| \le 1 \end{cases}$$

โดยที่ F(x) คือ สัญญาณเอาท์พุทที่จะเปลี่ยนเป็นสัญญาณดิจิตอล

sgn (x) คือ เครื่องหมายของอินพุท (x)

A คือ Compression Parameter

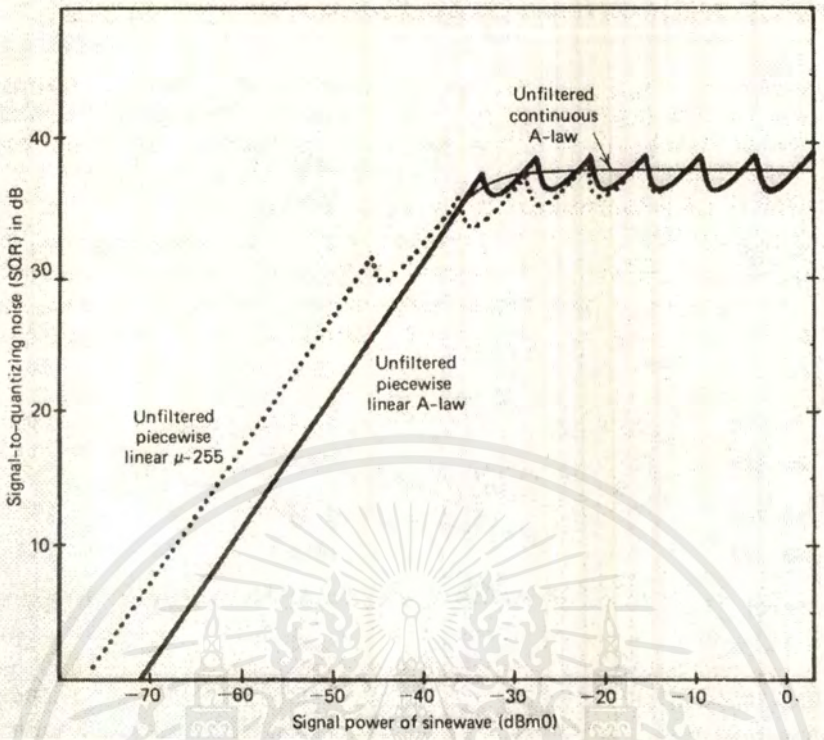
ค่า A ที่ใช้คือ A = 87.6 และในการใช้งานจะมีการแบ่งเป็นช่วง ๆ เช่นเดียวกับ μ -law แสดงดังรูปที่ 3.11



รูปที่ 3.11 แสดงความสัมพันธ์ของสัญญาณอนาลอกอินพุท
กับสัญญาณดิจิตอลเอาท์พุทของ A - law

ข้อดีของ A - Law เมื่อเทียบกับ μ -Law ก็คือ ที่สัญญาณอินพุทต่ำ ๆ จะให้ค่า signal to Noise Ratio ต่ำกว่า แต่ μ - Law มีข้อดีคือให้ Idle Channel Noise ต่ำกว่า จะเห็นว่าหน้าที่ของ CODEC (Coder & Decoder) ก็คือ การแปลงสัญญาณอนาลอกอินพุทให้เป็นสัญญาณดิจิตอล ซึ่งเรียกการแปลงสัญญาณนี้ว่า PCM (Pulse Code Modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 เปรียบเทียบ Signal to Quantizing Noise ของ A-law กับ μ - law

3.3 ส่วนเชื่อมต่อวงจร (Switching Unit)

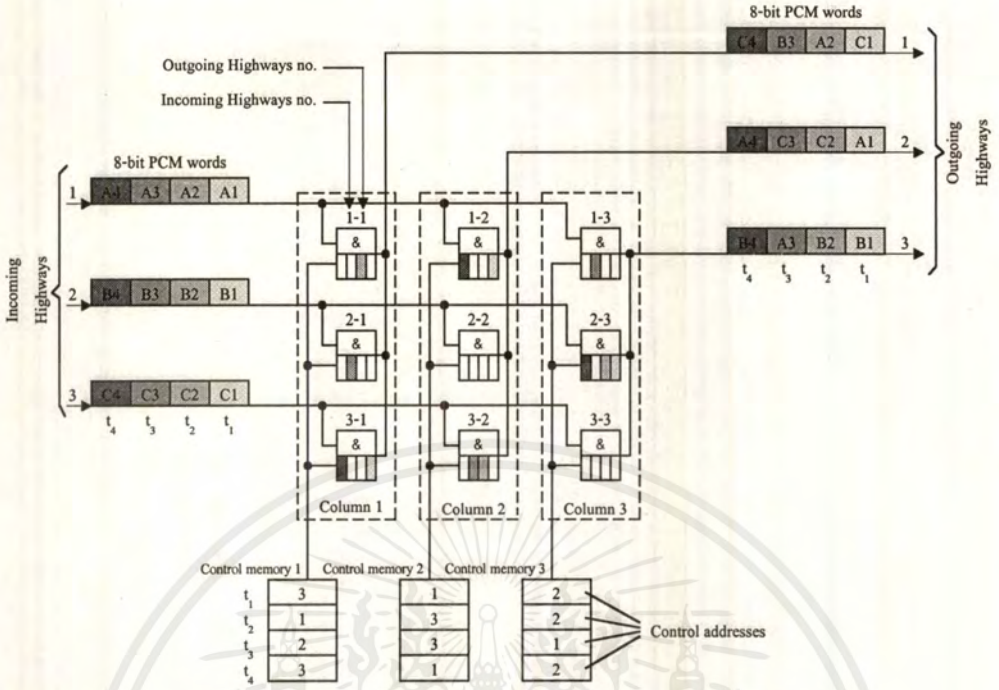
3.3.1 Space Switch

ในชุมสายโทรศัพท์รุ่นแรก ๆ การทำงานของวงจรเชื่อมต่อคู่สาย (Switching) ในชุมสายจะเป็นแบบที่เรียกว่าสเปซสวิทช์ (Space Switch) โดยตัวสวิทช์อาจทำด้วยหน้าสัมผัสโลหะที่ควบคุมด้วยกลไก (ในชุมสาย Step-by-Step) หรือเป็นรีเลย์, รีดรีเลย์ หรือทรานซิสเตอร์ ที่ใช้ในชุมสายครอส บาร์ (Crossbar) และในชุมสายโทรศัพท์ดิจิตอลก็ยังคงมีการใช้สเปซสวิทช์อยู่ แต่เปลี่ยนจากการใช้ทรานซิสเตอร์มาเป็นลอจิกเกทไอซี (Logic gate I.C.)

คุณสมบัติของ Space switch

- การสลับตำแหน่งข้อมูลโดยยังคงใช้ Time slot เดิม แต่สามารถเปลี่ยนไปออก Outgoing highway ใดๆก็ได้
- สามารถจัดเก็บแบบ Non blocking ถ้าให้ Incoming highway ≤ Outgoing highway
- Incoming PCM word ใดๆ สามารถสลับไปยัง Outgoing highway ใดๆ ก็ได้

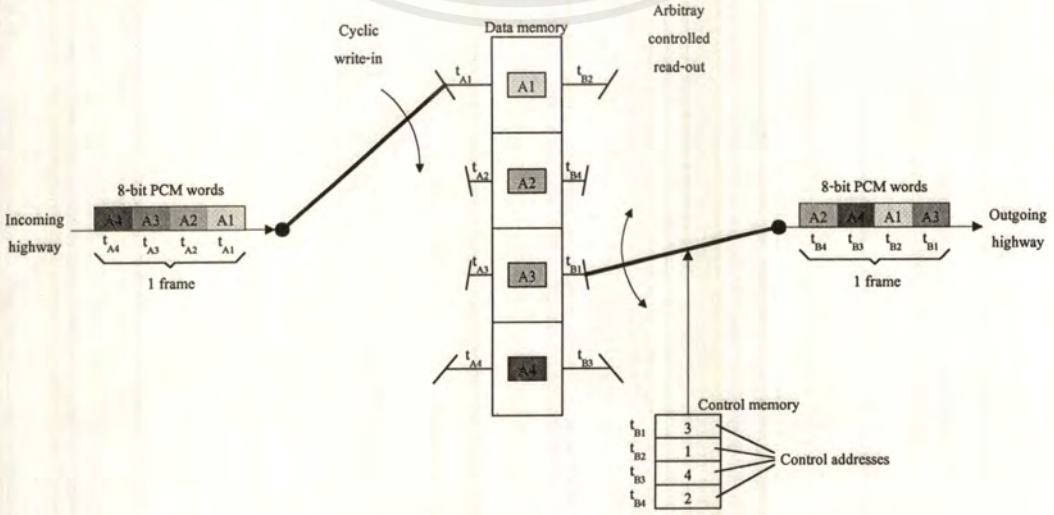
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงหลักการพื้นฐานของ Space Switch

3.3.2 Time Switch

เป็นระบบเชื่อมต่อวงจรที่มีใช้ในชุมสายดิจิตอลเท่านั้น (ไม่มีใช้ในชุมสายอนาลอก) มีการทำงานที่แตกต่างไปจากสเปซสวิทช์ โดยสัญญาณดิจิตอลอินพุทจะถูกอ่านมาพักไว้ในหน่วยความจำและถูกอ่านออกไปปรากฏอยู่ในไทม์สลอท (Time Slot) ทางด้านเอาท์พุทที่ต้องการ นั่นหมายถึงสัญญาณดิจิตอลด้านอินพุทจะถูกย้ายไทม์สลอทให้ไปปรากฏอยู่บนไทม์สลอทของคู่สนทนา หลักการของไทม์สวิทช์ได้รับการนำไปประยุกต์ใช้ได้อีกหลายด้าน เช่น DCCS (Digital Cross Connection System), อุปกรณ์มัลติเพล็กซ์สัญญาณแบบดิจิตอล (Digital MUX.) เป็นต้น



รูปที่ 3.14 แสดงตัวอย่างของ Time Switch ที่มี Incoming highway เดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากไทม์สวิทช์มีข้อดีสามารถออกแบบให้ไม่มีการบล็อกได้ง่าย (หมายถึงเครื่องโทรศัพท์ปลายทางว่างอยู่แต่ไม่สามารถเชื่อมต่อวงจรให้สนทนาได้เนื่องจากเส้นทางในอุปกรณ์เชื่อมต่อถูกเลือกใช้งานโดยผู้ใช้รายอื่นไปแล้ว) แต่ข้อเสียของไทม์สวิทช์ คือ จะก่อให้เกิดการหน่วงเวลาของสัญญาณ ดังนั้นในการใช้งานสำหรับชุมสายโทรศัพท์ขนาดใหญ่แล้ว จะนำสเปซสวิทช์มาต่อร่วมด้วย โดยมีชื่อเรียกแตกต่างกันไปตามที่สัญญาณจากต้นทางวิ่งผ่านไปจนถึงปลายทาง เช่น Time-Space-Time (TST) หรือ Time-Space-Space-Time (TSST) เป็นต้น

3.4 ระบบควบคุม (CPU:Central Processing Unit)

การควบคุมการทำงานของชุมสายจะเป็นไปตามโปรแกรมที่เขียนไว้ (SPC : Stored Program Control) ซึ่งหน้าที่โดยทั่วไปที่ระบบควบคุมจะต้องทำได้แก่ การตรวจสอบสถานะการใช้งาน, การตรวจสอบข้อผิดพลาด (error) ต่าง ๆ, การติดต่อกับผู้ควบคุมระบบ, การจัดเก็บระยะเวลาการใช้งานของเครื่องโทรศัพท์ที่เชื่อมต่ออยู่กับชุมสาย เป็นต้น

เนื่องจากหน้าที่ของระบบควบคุมมีมากมายในชุมสายโทรศัพท์โดยทั่วไป จึงมักจะใช้ CPU หลาย ๆ ตัว เพื่อทำในแต่ละงานและมี CPU หลักคอยติดต่อและควบคุมทั้งหมดอีกครั้งหนึ่ง

3.5 ส่วนเชื่อมต่อระหว่างชุมสาย (Trunk Interface)

การสนทนาระหว่างชุมสายสองชุมสายจะกระทำโดยผ่านดิจิตอลทรังค์ ซึ่งสัญญาณที่ได้จากการมัลติเพล็กซ์อินพุทหลาย ๆ ช่องเข้าด้วยกันแล้ว ก่อนที่จะทำการส่งไปยังอีกชุมสายหนึ่งนั้นจะต้องทำการเข้ารหัสสัญญาณเสียก่อน เรียกว่าไลน์โคด(Line Code) โดยมีจุดประสงค์ คือ

1. ให้ระดับแรงดันไฟกระแสตรง (DC) ในสายเป็นศูนย์โวลท์
2. แบนวิดธ์ (Bandwicth) ของสัญญาณต้องแคบ
3. ต้องสามารถส่งสัญญาณกำหนดเฟรม (Frame Alignment) ซึ่งจะนำไปใช้ในด้านรับได้
4. การตรวจจับข้อผิดพลาด (error) สามารถกระทำได้ง่าย
5. ครอสทอล์ค (Cross Talk) หรือสัญญาณที่แพร่ออกไปปรากฏในคู่สายอื่นมีค่าต่ำหรือไม่มีเลย

ไลน์โคด (Line Code) ที่ใช้งานในปัจจุบันมีอยู่มากมายหลายรูปแบบซึ่งแต่ละแบบก็มีข้อดีข้อเสียแตกต่างกันออกไป แต่ที่นิยมใช้กับสัญญาณ 2.048 Mbps (E1) ได้แก่ AMI (Alternative Mark Inversion) และ HDB3 (High-Density Binary Modulus 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ส่วนสร้างฐานเวลา (Clock Generator)

เนื่องจากการทำงานของชุมสายโทรศัพท์ขึ้นอยู่กับสัญญาณนาฬิกาเป็นหลัก ซึ่งในการเชื่อมต่อชุมสายเข้าด้วยกัน หากสัญญาณนาฬิกาของทั้งสองชุมสายไม่เท่ากันก็จะทำให้สนทนากันไม่รู้เรื่อง เพราะข้อมูลที่ด้านรับอาจจะไม่ตรงไทม์สลอทที่ด้านส่งต้องการจะส่งให้

ฐานเวลาที่ใช้ในชุมสายขนาดใหญ่จะได้จากธาตุซีเซียม (Caesium) ซึ่งมีความเที่ยงตรงสูง แต่มีราคาแพง สำหรับชุมสายโทรศัพท์ที่มีขนาดเล็กลงมาก็จะใช้การกู้ (Recover) สัญญาณ Clock จากชุมสายขนาดใหญ่ (เชื่อมต่อโดยให้ชุมสายใหญ่เป็น Master และชุมสายเล็กเป็น Slave) แต่ในขณะเดียวกันชุมสายขนาดเล็กก็จะต้องมีการสร้างสัญญาณนาฬิกาจากธาตุอื่นที่มีราคาถูกกว่าด้วย เพื่อให้มีสัญญาณนาฬิกาในกรณีที่ระบบเชื่อมโยงระหว่างชุมสายเกิดขัดข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การสื่อสารในระบบชุมสายโทรศัพท์

สัญญาณที่ใช้โต้ตอบระหว่างจุดสองจุดเรียกว่า Signalling ซึ่งในชุมสายโทรศัพท์จะแบ่งประเภทของสัญญาณออกเป็น 2 ประเภทคือ สัญญาณระหว่างชุมสายกับผู้ใช้บริการ และสัญญาณระหว่างชุมสายกับชุมสาย

4.1 สัญญาณระหว่างชุมสายกับผู้ใช้บริการ

สัญญาณระหว่างชุมสายกับผู้ใช้บริการ (Subscriber Signalling) ประกอบด้วยสัญญาณต่างๆ ดังนี้

1. สัญญาณบอกการยกหูโทรศัพท์ (Off-hook signal) เป็นสัญญาณที่สามารถตรวจจับได้จากการตรวจจับการไหลของกระแส (DC loop current) ในคู่สายโทรศัพท์
2. สัญญาณพร้อมรอรับเลขหมายปลายทางจากผู้เรียก (Dial tone) เป็นสัญญาณต่อเนื่องความถี่ประมาณ 400 Hz ส่งออกไปยังเครื่องรับโทรศัพท์ที่ยกหูโทรศัพท์ขึ้น สัญญาณนี้จะหยุดดัง เมื่อผู้ใช้กดปุ่มส่งเลขหมายแรกไปให้ชุมสาย หรือเปลี่ยนเป็นสัญญาณ Line Lock Out เมื่อผู้เรียกยกหูไว้นานเกินระยะเวลาที่กำหนดโดยไม่กดส่งเลขหมายใดๆ
3. Ring back tone เป็นสัญญาณที่ส่งกลับมาให้ผู้เรียกเพื่อบอกว่าเครื่องโทรศัพท์ปลายทางอยู่ในสภาวะว่างและรอให้เครื่องปลายทางรับสาย หากผู้ถูกเรียก(Called หรือ B-subscriber) ไม่รับสายภายใน 1.5 นาที ชุมสายโทรศัพท์จะเปลี่ยนเป็นสัญญาณไม่ว่าง (Busy tone) แทนสัญญาณ Ring back tone
4. สัญญาณเรียกหรือสัญญาณกระดิ่ง (Ringing) เป็นสัญญาณความถี่อยู่ในช่วง 16-63 Hz แรงดันอยู่ในช่วง 40-135 Vrms ซึ่งส่วนใหญ่จะใช้ 20 Hz 90 Vrms เป็นสัญญาณที่ส่งไปให้ผู้ถูกเรียกเพื่อให้กระดิ่งที่เครื่องของผู้ถูกเรียกทำงาน
5. สัญญาณบอกสถานะเครื่องปลายทาง (ที่ถูกเรียก)ไม่ว่าง (Busy tone) เป็นสัญญาณความถี่ประมาณ 400 Hz
6. สัญญาณบอกช่องสัญญาณสำหรับเชื่อมต่อระหว่างชุมสายไม่เพียงพอ (Congestion tone) มีความถี่เดียวกับ Busy tone แต่ช่วงเวลาในการดังและหยุดไม่เท่ากัน
7. สัญญาณแจ้งไม่มีหมายเลขปลายทางที่กดไปให้ชุมสาย (Number unobtainable tone) เป็นสัญญาณแจ้งให้ผู้เรียกทราบว่าหมายเลขดังกล่าวเป็นหมายเลขที่ยังไม่เปิดใช้บริการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ผู้เรียกทำการตรวจสอบหมายเลขใหม่ว่าถูกต้องหรือไม่ ซึ่งในชุมสายบางยี่ห้อได้เปลี่ยนไปใช้ Voice annoucement แทนเพื่อให้เกิดความเข้าใจแก่ผู้ใช้มากยิ่งขึ้น

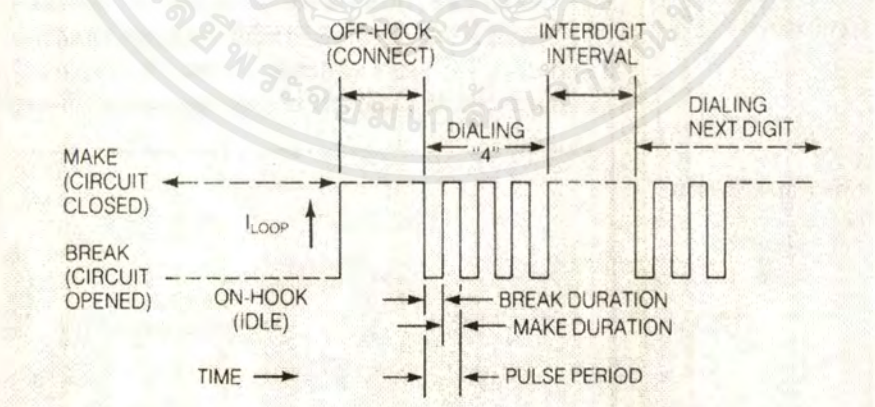
ตารางที่ 2 แสดงความถี่ของสัญญาณระหว่างชุมสายกับเครื่องโทรศัพท์

Tone	Frequency (Hz)	On Time (Sec)	Off Time (Sec)	Lever per frequency
Dial	350 + 440	Continuous		-13 dBm
Busy	480 + 620	0.5	0.5	-24 dBm
Ringback, Normal	440 + 480	2	4	-19 dBm
Ringback, PBX	440 + 480	1	3	-19 dBm
Congestion (Toll)	480 + 620	0.2	0.3	-24 dBm
Reorder (Local)	480 + 620	0.3	0.2	-24 dBm
Receiver Off-hook*	1400 + 2060 + 2450 + 2600	0.1	0.1	0dBm

*Receiver Off-hook is a very loud tone, 0 dBm per frequency

8. สัญญาณบอกเลขหมายปลายทางที่ต้องการให้ชุมสายเชื่อมต่อคู่สายให้มี 2 ระบบ ได้แก่

8.1 ระบบพัลซ์ เป็นระบบเดิมที่ยังคงมีใช้งานอยู่ ใช้หลักการส่งจำนวนพัลซ์ออกมาเพื่อให้ชุมสายนับและวิเคราะห์ว่าเป็นหมายเลขอะไรที่ผู้ใช้กดมา



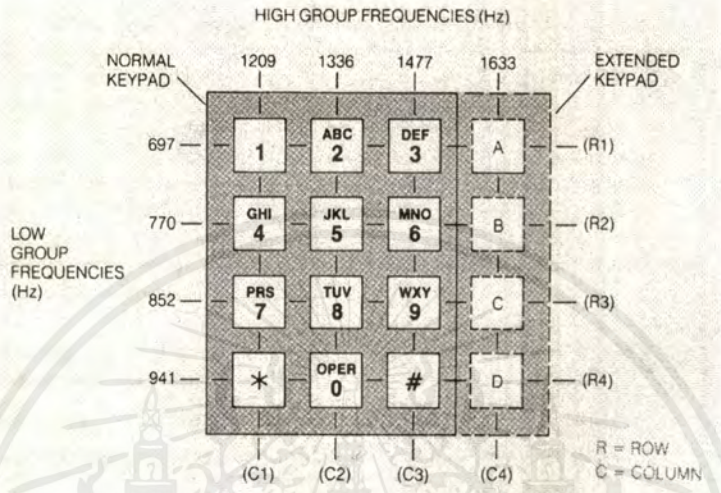
Dial Pulse Timing (for "4")

Pulse Period = Break Duration + Make Duration (100 Milliseconds Nominal)
Pulse Rate = Pulses Per Second = 1000 ÷ Pulse Period (MS)
Percent Break = 100 × Break Ratio
= 100 × Break Duration ÷ Pulse Period
Interdigit Interval = 700 Milliseconds Nominal (may range from 600 to 900 depending on system).

รูปที่ 4.1 การส่งสัญญาณเลขหมายแบบพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.2 ระบบโทนเป็นระบบที่นิยมใช้อย่างแพร่หลาย โดยใช้วิธีส่งโทน 2 ความถี่พร้อมกัน หรือ DTMF (Dual Tone MultiFrequency) เพื่อให้ชุมสายทำการวิเคราะห์ว่าผู้เรียกกดหมายเลขอะไรมาให้ชุมสาย



รูปที่ 4.2 แสดงความถี่ที่ใช้ในการสร้างสัญญาณ DTMF

ข้อดีของการใช้สัญญาณ DTMF เมื่อเปรียบเทียบกับระบบพัลซ์ คือ ระยะเวลาในการส่งเลขหมายจากเครื่องผู้เรียกมายังชุมสายจะใช้เวลาน้อยกว่า ทำให้ระยะเวลาในการเชื่อมต่อวงจร (Call setup time) ลดลง และเนื่องจากอุปกรณ์นี้ใช้ในการวิเคราะห์เลขหมาย (เช่น อุปกรณ์ตรวจจับสัญญาณ DTMF) มักจะได้รับการออกแบบให้ใช้งานร่วมกันได้หลายคน (ในช่วงเวลาที่ไม่ตรงกัน) เมื่อระยะเวลาในการเชื่อมต่อวงจรลดลง ก็จะทำให้อุปกรณ์เหล่านั้นมีช่วงเวลาที่ถูกเรียกใช้งานลดลง (มีเวลาว่างมากขึ้น) ทำให้สามารถลดจำนวนอุปกรณ์เหล่านี้ลงได้ ส่งผลให้ราคาของชุมสายลดลง

4.2 สัญญาณระหว่างชุมสายกับชุมสาย

สัญญาณระหว่างชุมสายกับชุมสาย (Inter-Exchange Signal) คือสัญญาณที่ใช้ติดต่อกันระหว่างชุมสายกับชุมสาย เพื่อให้ชุมสายที่ผลิตโดยผู้ผลิตแต่ละบริษัทสามารถเชื่อมต่อเข้าด้วยกันได้ CCITT จึงได้กำหนดมาตรฐานการเชื่อมต่อระหว่างชุมสาย โดยแบ่งแยกออกเป็น 2 ประเภท ตามลักษณะของการเดินของสัญญาณเสียง (Speech path) หรือข้อมูลข่าวสารกับสัญญาณโต้ตอบระหว่างชุมสาย (Signalling) ดังนี้

4.2.1 CAS (Channel Association Signalling)

CAS คือ การที่สัญญาณโต้ตอบระหว่างชุมสาย และสัญญาณเสียงหรือข่าวสารของผู้ใช้ถูกส่งไปในช่องสัญญาณ (Time slot) เดียวกันแต่อยู่คนละช่วงเวลา โดยสัญญาณโต้ตอบระหว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุมสายจะถูกส่งในช่วงแรกและช่วงที่จบการสนทนา (ดูรายละเอียดขั้นตอนการเชื่อมต่อวงจร ซึ่งจะได้กล่าวถึงต่อไป) รูปแบบของสัญญาณเชื่อมต่อที่จัดว่าเป็น CAS ได้แก่ MFC R2, CCITT NO.5 เป็นต้น

4.2.2 CCS (Common Channel Signalling)

CCS คือ การที่สัญญาณโต้ตอบระหว่างชุมสายและสัญญาณเสียงหรือข่าวสารของผู้ใช้ถูกแยกออกจากกันโดยเด็ดขาด (ไม่อยู่บน Time slot เดียวกัน) การจัดโครงสร้างแบบนี้ส่งผลให้ระยะเวลาในการเชื่อมต่อวงจรเร็วขึ้น ระบบมีความน่าเชื่อถือสูง สามารถเพิ่มเติมข่าวสารพิเศษ หรือบริการพิเศษได้ และช่วยลดจำนวนอุปกรณ์ที่ใช้ในการโต้ตอบระหว่างชุมสายได้ (รายละเอียดสามารถอ่านได้จากตำราเกี่ยวกับ Singalling ทั่วไป)

4.3 การเชื่อมต่อวงจร (Call Setup or Call Procedure)

4.3.1 กรณีเรียกภายในชุมสายเดียวกัน มีขั้นตอนดังนี้

1. เมื่อผู้เรียก (Calling or Sub.A) ยกหูโทรศัพท์ขึ้น (Off-hook) ชุมสายโทรศัพท์จะได้รับสัญญาณลูป (DC. loop) ชุมสายโทรศัพท์จะให้สัญญาณ Dial tone และรอรับเลขหมาย

2. เมื่อผู้เรียกส่งสัญญาณบอกเลขหมายปลายทาง (Registor signalling) ซึ่งอาจเป็นพัลซ์ (pulse) หรือโทน (DTMF) และชุมสายสามารถตรวจจับได้ ชุมสายจะหยุดส่งสัญญาณ Dial tone นับตั้งแต่ได้รับเลขหมายตัวแรกและจะรอรับเลขหมายตัวต่อไปจนครบ (ทราบได้โดยการเปรียบเทียบจำนวนตัวเลข (Digit) หรือรอจนกว่าผู้ใช้หยุดกดปุ่มสุดท้ายนานเกินระยะเวลาที่กำหนดไว้ (Time out))

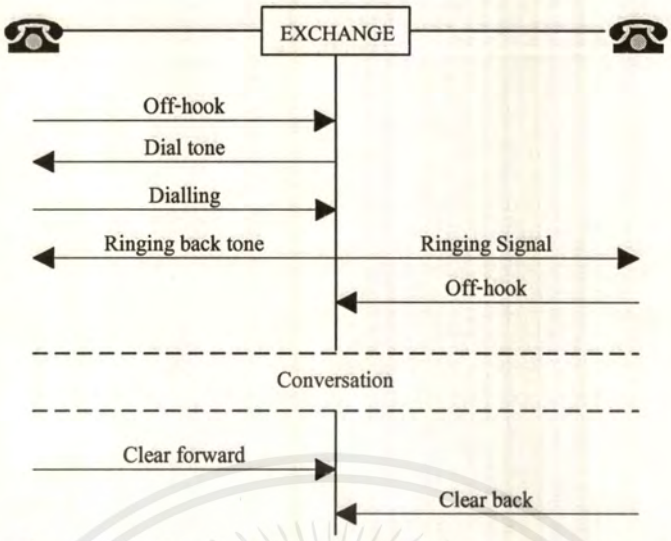
3. เมื่อชุมสายได้รับเลขหมายแล้วจะทำการวิเคราะห์เลขหมายปลายทางว่าเป็นเลขหมายในชุมสายหรือเลขหมายต่างชุมสาย ถ้าเป็นเลขหมายภายในชุมสายก็จะส่งสัญญาณเรียก (Ringing signal) ไปให้ผู้ถูกเรียก และส่งสัญญาณรอปลายทางรับสาย (Ringback Tone) ไปให้ผู้เรียก

4. เมื่อผู้ถูกเรียกยกหูโทรศัพท์ขึ้น ชุมสายจะทำการเชื่อมต่อวงจรเสียง (Speech Path) ของผู้เรียกและผู้ถูกเรียกเข้าหากัน เพื่อให้สามารถสนทนากันได้ (ถ้ามีระบบนับระยะเวลาการใช้งาน (Charging) ก็จะเริ่มนับในขณะนี้)

5. เมื่อการสนทนาเสร็จสิ้นลง และผู้ใช้วางหูโทรศัพท์ลง ชุมสายจะทำการยกเลิกการเชื่อมต่อวงจร

กระบวนการที่เกิดขึ้นสามารถเขียนเป็นไดอะแกรมได้ดังรูปที่ 4.3

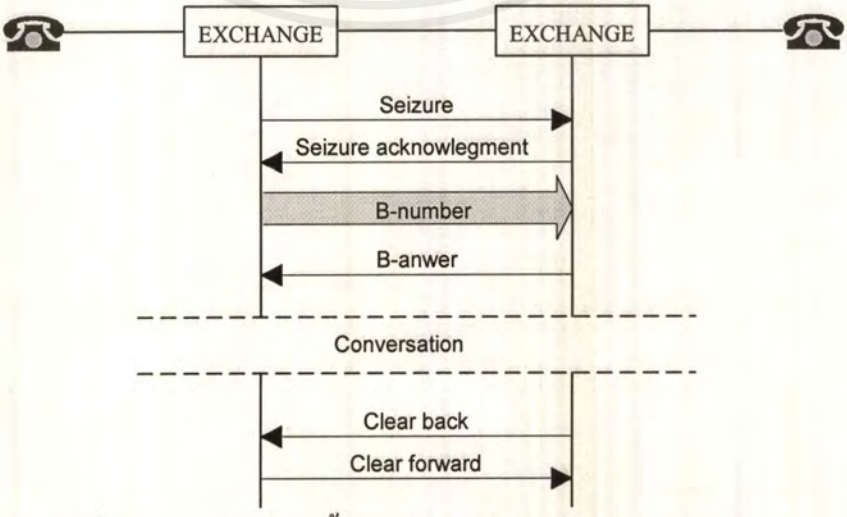
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงสัญญาณโต้ตอบกรณีเรียกภายในชุมสายเดียวกัน

4.3.2 กรณีเรียกต่างชุมสาย

ในการเรียกต่างชุมสายจะมีขั้นตอนคล้ายคลึงกับการเรียกในชุมสาย (ขั้นตอน 1,2) จะแตกต่างกันก็คือ ในขั้นตอนที่ 3 เมื่อชุมสายทำการวิเคราะห์เลขหมายแล้วทราบว่าเป็นเลขหมายของชุมสายอื่น (โดยตรวจสอบจาก Numbering plan) การติดต่อระหว่างชุมสายจะเกิดขึ้นทันที เริ่มจากการขอใช้ช่องสัญญาณ เมื่อชุมสายปลายทางมีช่องสัญญาณว่างแล้วตอบรับกลับมา ชุมสายต้นทางก็จะส่งเลขหมายปลายทางที่ต้องการติดต่อไปให้ชุมสายปลายทาง หากเครื่องโทรศัพท์ที่ถูกเรียกอยู่ในสภาวะว่างก็จะส่งสัญญาณเรียก (Ringing) ไปให้ผู้ถูกเรียก และส่ง Ringback tone กลับไปให้ผู้เรียก เมื่อผู้ถูกเรียกยกหูโทรศัพท์ก็จะต่อวงจรเสียงของทั้งสองฝ่ายเข้าด้วยกันเพื่อให้สามารถสนทนากันได้ เมื่อการสนทนาเสร็จสิ้นลง (ผู้ใช้วางหูโทรศัพท์) ก็จะทำการปลดวงจรที่ใช้งานออก เพื่อให้ผู้ใช้รายอื่นได้ใช้ต่อไป



รูปที่ 4.4 แสดงสัญญาณพื้นฐานในการติดต่อระหว่างชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

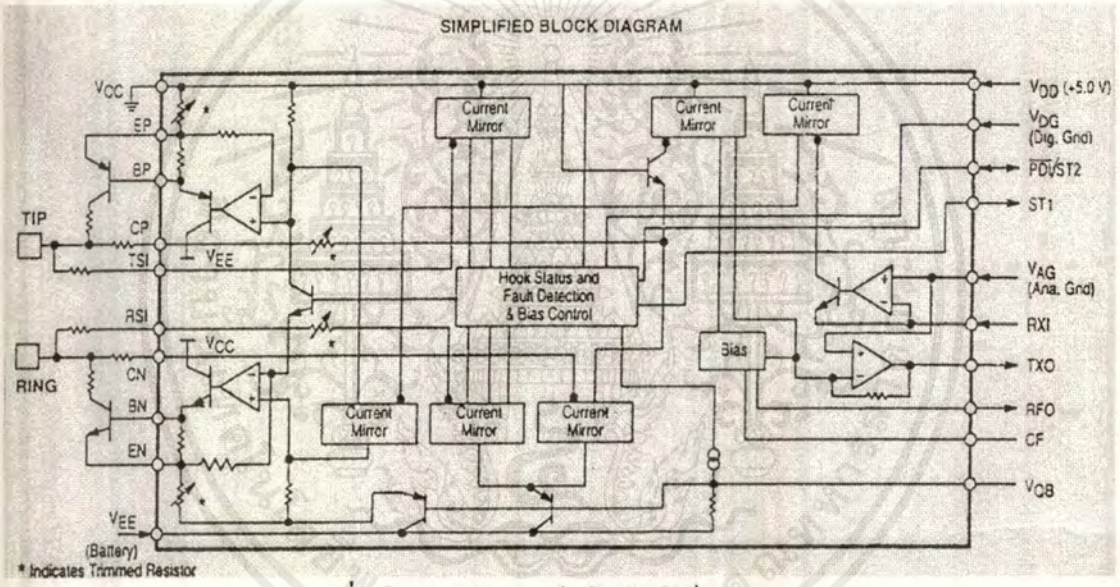
บทที่ 5
การทำงานของชุมสายโทรศัพท์ขนาดเล็ก

5.1 วงจรเชื่อมต่อกับผู้ใช้บริการ (LIC : Line Interface Circuit)

ส่วนเชื่อมต่อระหว่างผู้ใช้บริการ (Subscriber) กับชุมสายโทรศัพท์ มีหน้าที่ที่เรียกว่า BORSCHT ฟังก์ชั่น (ดูรายละเอียดในบทที่ 3.2) ในโครงงานนี้ขอแยกกล่าวเป็น 2 ส่วน ดังนี้

5.1.1 SLIC (Subscriber Line Interface Circuit)

ในโครงงานนี้ใช้ไอซีเบอร์ MC33120 ซึ่งมีโครงสร้างดังรูปที่ 5.1



รูปที่ 5.1 แสดงโครงสร้างไอซีเบอร์ MC33120

คุณสมบัติสำคัญของ SLIC เบอร์ MC33120 มีดังนี้

- สามารถกำหนดค่าสูงสุดของกระแสที่จ่ายไปยังเครื่องโทรศัพท์ได้ ทำให้ไม่เกิดความเสียหายเมื่อคู่สายเกิดลัดวงจร
- มีไดโอดภายในสำหรับป้องกันแรงดันสูงเกิน
- มีวงจรสำหรับเปลี่ยน 2 Wire เป็น 4 Wire หรือวงจร Hybrid อยู่ในตัวไอซี โดยสามารถกำหนด Return loss และ Transhybrid gain ได้จากอุปกรณ์ภายนอก

การทำงานของวงจรภายในตัวไอซี สามารถแบ่งได้เป็นส่วนสำคัญ 3 ส่วนคือ

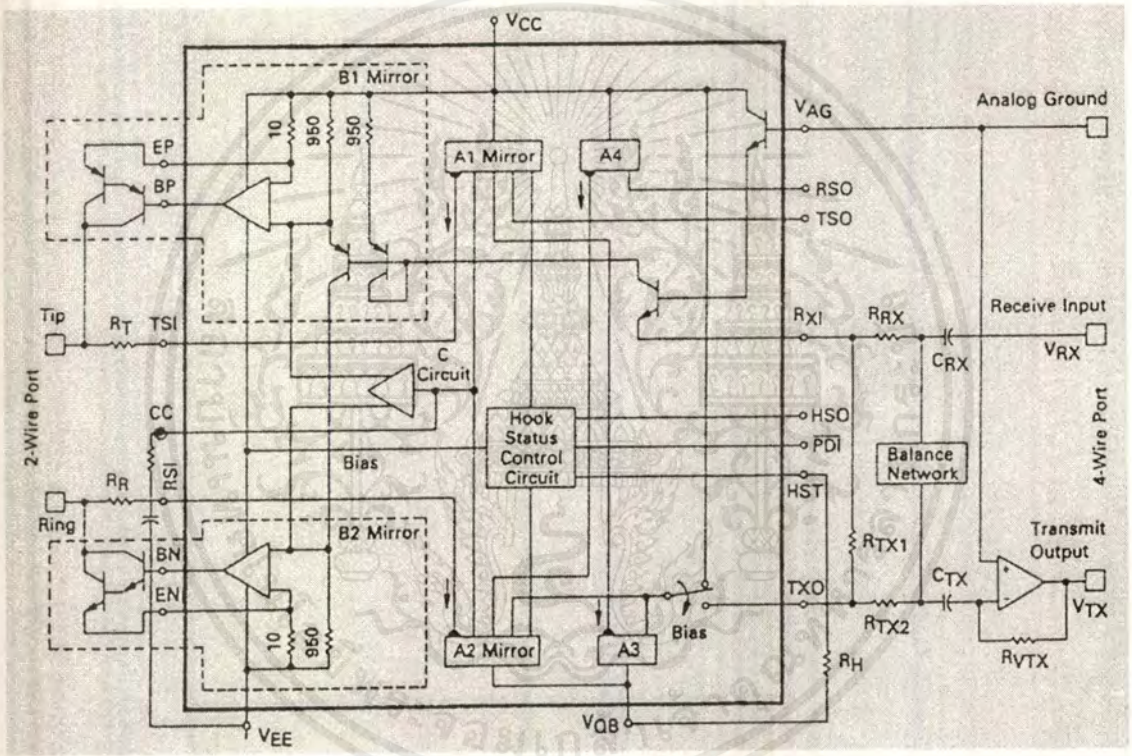
1. ภาคส่ง ทำหน้าที่รับสัญญาณจากขา Tip-Ring ผ่านเข้ามาทางขา CP และ CN เข้าวงจรบัฟเฟอร์ (Buffer) แล้วส่งออกไปที่ขา TXO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ภาครับ ทำหน้าที่รับสัญญาณจากขา RXI ทำการขยายแล้วส่งออกไปขับทรานซิสเตอร์ภายนอกที่ขา BP และ BN

3. วงจรตรวจสอบสถานะของคู่สายโทรศัพท์ ซึ่งให้เอาท์พุทเป็นระดับ TTL สำหรับส่งให้วงจรควบคุม

นอกจากไอซีเบอร์ MC33120 แล้ว โครงงานนี้ยังใช้ไอซีเบอร์ MC3419-1L ซึ่งทำหน้าที่เดียวกันแต่มีราคาถูกกว่า แต่ต้องใช้ทรานซิสเตอร์ภายนอกที่มีอัตราการขยายสูงกว่ามาก โดยมีโครงสร้าง ดังรูปที่ 5.2



รูปที่ 5.2 โครงสร้างไอซีเบอร์ MC3419-1L

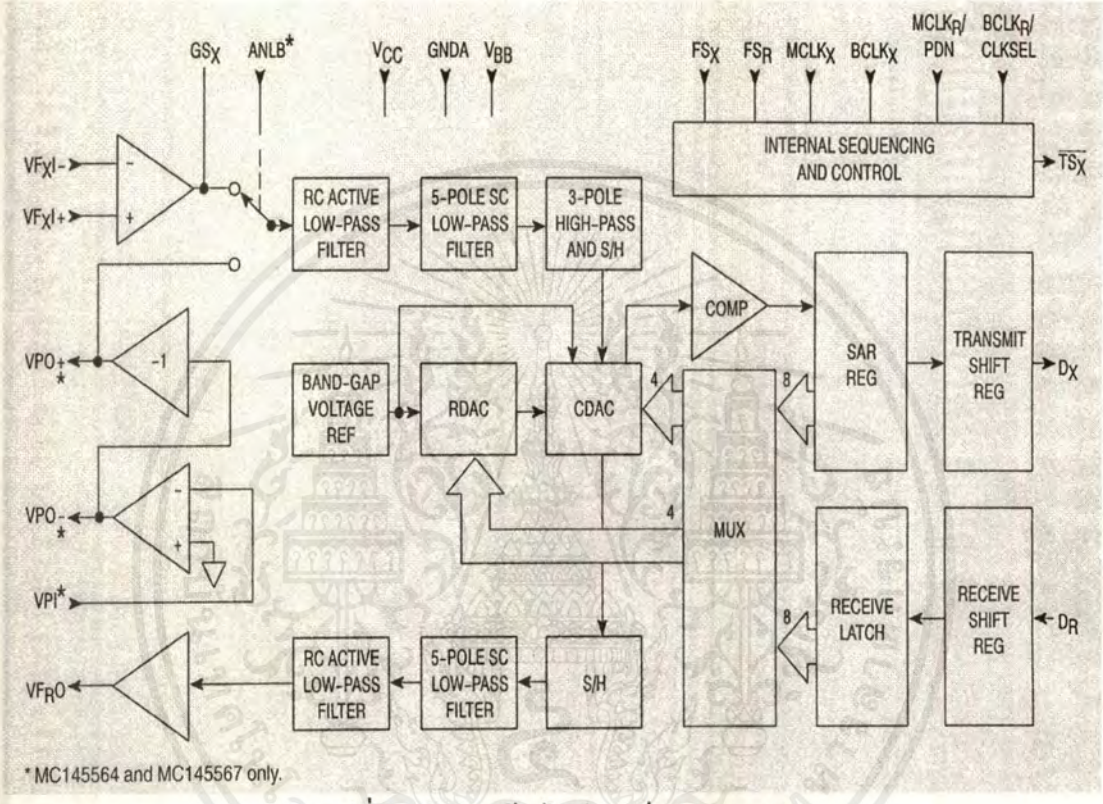
5.1.2 CODEC (Coder and Decoder)

โครงงานนี้ใช้ไอซีเบอร์ MC145557 ของ Motorola ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล (พัลซ์โค้ดมอดูเลต) โดยมีโครงสร้างภายในดังรูปที่ 5.3

จากรูปสัญญาณจากขา VFXI จะถูกขยาย แล้วผ่านวงจรกรองความถี่ต่ำผ่าน (RC Active low-pass filter) เพื่อขจัดสัญญาณรบกวนความถี่สูงออกไป จากนั้นผ่านวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) แบบสวิตซ์คาปาซิเตอร์ (Order 5) โดยมีความถี่คัตออฟอยู่ที่ 3.4 KHz เพื่อป้องกัน Aliasing ที่จะเกิดในการแปลงสัญญาณ จากนั้นผ่านวงจรกรองความถี่สูงผ่าน (High Pass Filter) แบบสวิตซ์คาปาซิเตอร์ (Order 3) ซึ่งมีจุดคัตออฟอยู่ที่ 200 Hz เพื่อขจัดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ต่ำ ๆ และสัญญาณที่เหนี่ยวนำมาจากไฟฟ้ากระแสสลับ จากนั้น จึงทำการแปลงเป็นสัญญาณเป็นดิจิตอล โดยใช้เทคนิคการแปลงแบบ Suceessive Approximation Conversion (เนื่องจากต้องการเข้ารหัสแบบ A-law หรือ μ - law ซึ่งเป็นแบบไม่เป็นเชิงเส้น จึงต้องมีการเลือกใช้ความต้านทานใน RDAC และค่าความจุใน CDAC ให้เหมาะสม) สัญญาณที่แปลงแล้วจะถูกส่งไปเก็บไว้ใน Transmit Shift Register เพื่อรอส่งออกไปยังขา DX ในช่วงเวลาที่ต้องการ



รูปที่ 5.3 โครงสร้างไอซีเบอร์ MC145557

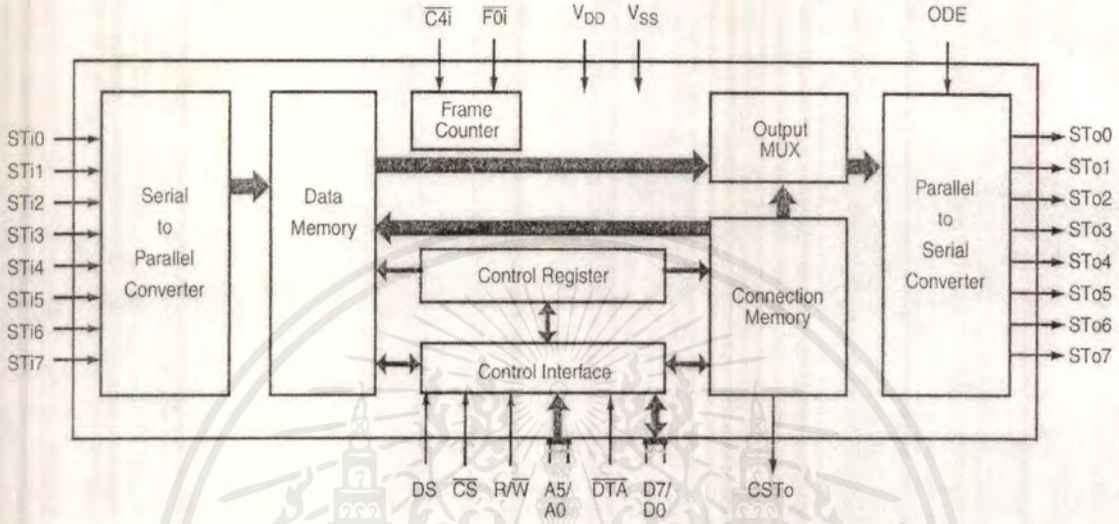
ในการรับสัญญาณเข้ามาโดยผ่านมาทางขา DR เข้ามาเก็บใน Receive Shift Register แล้วส่งไปยัง Receiver Latch จากนั้นทำการแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกผ่านไปยังวงจร Sampling & Hold (S/H) ผ่านวงจรกรองความถี่ต่ำ แบบสวิตซ์คาปาซิเตอร์ Order 5 โดยมีคัตออฟที่ 3400 Hz จากนั้นผ่าน RC Active Low-Pass Filter อีกครั้ง (Order 2) เพื่อขจัดสัญญาณรบกวนที่เกิดจากสวิตซ์ของสวิตซ์คาปาซิเตอร์ แล้วจึงส่งไปขยายและส่งออกไปยังขา VFRO ต่อไป

5.2 การทำงานของวงจรสวิตชิ่ง

เนื่องจากสัญญาณเสียงพูด (Speech signal) จากผู้ใช้แต่ละคนที่ถูกแยกออกเป็นด้านส่ง (TX:Transmit) และด้านรับ (RX:Receive) โดยอุปกรณ์ไฮบริด (Hybrid) ใน SLIC (Subscriber Line Interface Circuit) จากนั้นสัญญาณเสียงพูดด้านส่งถูกแปลงให้เป็นสัญญาณดิจิตอลโดย CODEC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Coder and Decoder) แล้วจะถูกมัลติเพล็กแบบ TDM (Time Division Multiplex) ไปในคู่สายเดียวกัน (จำนวน 32 ช่องสัญญาณต่อ 1 คู่สาย) สัญญาณของผู้ใช้สามารถส่งไปถึงคู่สนทนาที่อยู่ปลายทางได้โดยวงจรสวิตชิ่งที่ทำงานแบบไทม์สวิตซ์ (Time Switch) ในโครงงานนี้เลือกใช้ไอซีเบอร์ MT8980D ของบริษัท MITEL ซึ่งสามารถเชื่อมต่อวงจรได้ถึง 256 วงจร โดยมีโครงสร้างภายใน ดังรูปที่ 5.4



รูปที่ 5.4 โครงสร้างไอซีเบอร์ MT8980D

จากรูปสัญญาณอินพุทที่เป็น TDM ขนาด 32 ไทม์สลอต จะถูกส่งมาเข้าที่ขา STi (Serial Telecom input) ของ MT8980D โดยจะถูกแปลงเป็นข้อมูลแบบขนานแล้วเก็บลงใน Data Memory ขนาด 256 8 บิต จากนั้น Connection Memory ที่แต่ละตำแหน่งจะหมายถึงตำแหน่งของไทม์สลอตทางด้านเอาท์พุท จะถูกโปรแกรมให้เก็บตำแหน่งของ Data Memory หรือตำแหน่งของไทม์สลอตทางด้านอินพุทที่ต้องการเชื่อมต่อเข้าด้วยกัน เมื่อข้อมูลจาก Data Memory ถูกอ่านออกมาแล้วก็จะถูกแปลงกลับเป็นข้อมูลแบบอนุกรม (Parallel to Serial Converter) แล้วส่งออกไปยังเอาท์พุทที่ขา STo (Serial Telecom output)

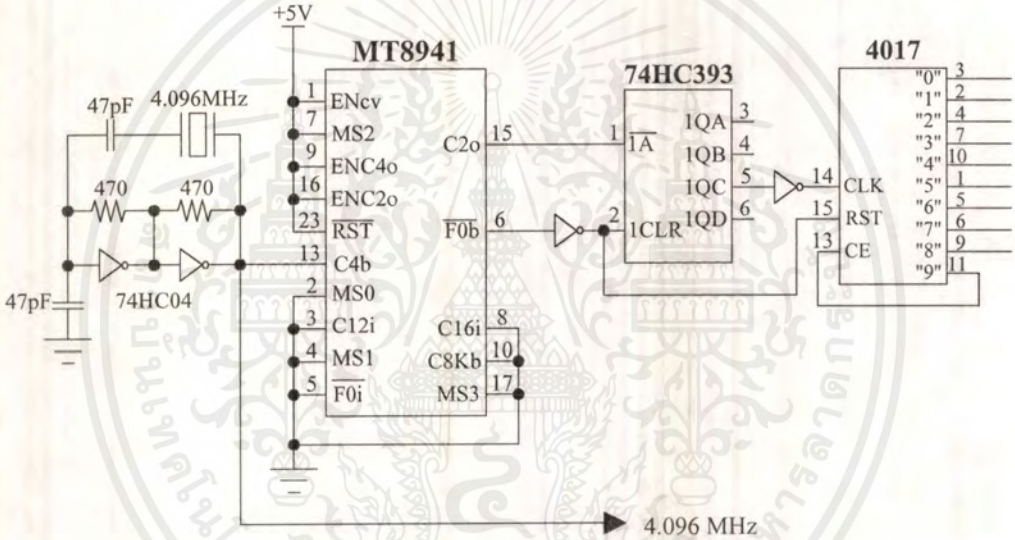
5.3 การทำงานของวงจรสร้างสัญญาณนาฬิกาและกำหนดตำแหน่งไทม์สลอท

ในการสร้างสัญญาณเวลาเพื่อให้ระบบทำงานได้อย่างถูกจังหวะจะใช้ไอซีเบอร์ MT8941 ซึ่งสามารถสร้างสัญญาณนาฬิกาความถี่ 4.096 MHz, 2.048 MHz และสัญญาณกำหนดจุดเริ่มต้นของเฟรมข้อมูล โดยวงจรสร้างสัญญาณนาฬิกาที่เป็นชุมสายที่ทำหน้าที่เป็น Master จะทำงานโดยนำสัญญาณนาฬิกา 4.096 MHz ที่ได้จากคริสตอลมาสร้างสัญญาณตามที่ต้องการ สำหรับชุมสายที่ทำหน้าที่เป็น Slave จะมีข้อแตกต่างบ้างเล็กน้อยกล่าวคือต้องการความถี่ 16.384 MHz เพื่อให้วงจร

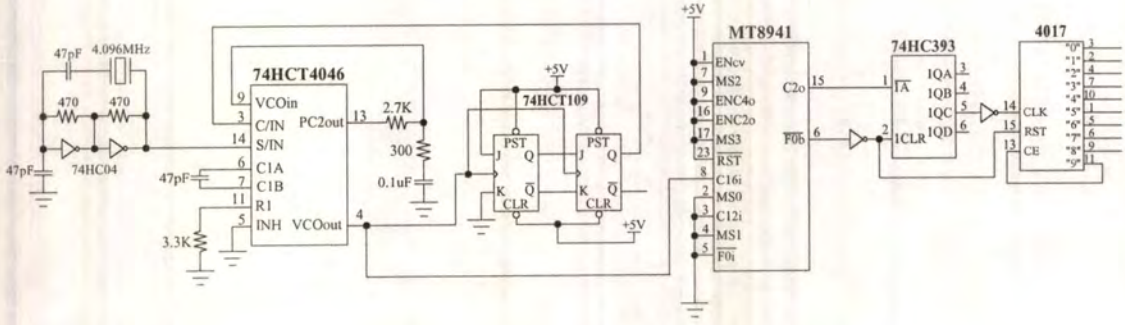
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลเฟสล็อคลูป (DPLL) ภายในไอซี MT8941 สร้างสัญญาณนาฬิกาให้มีความถี่เดียวกับชุมสาย Master สำหรับวงจรที่สร้างขึ้นนี้เนื่องจากไม่สามารถจัดหาคริสตอลความถี่ 16.384 MHz ได้ จึงต้องสร้างโดยใช้ความถี่ 4.096 MHz มาเป็นความถี่อ้างอิงให้วงจรเฟสล็อกลูปซึ่งใช้ไอซีเบอร์ 74HCT4046 เพื่อสร้างความถี่ 16.384 MHz ตามที่ต้องการ

สำหรับการสร้างสัญญาณกำหนดตำแหน่งไทม์สลอท (Timeslot Assignment) สำหรับแต่ละคู่สายสามารถทำได้โดยการนำสัญญาณความถี่ 2.048 MHz มาหารความถี่ลง 8 เท่าเหลือ 256 kHz ด้วย 74HC393 แล้วไอซี Decade Counter เบอร์ 4017 สร้างเป็นสัญญาณกำหนดตำแหน่งเพื่อให้ SLIC แต่ละชุดสามารถส่งข้อมูลเข้าไปในช่องสัญญาณเดียวกันได้ในช่วงเวลาที่แตกต่างกันทำให้ข้อมูลไม่เสียหาย



รูปที่ 5.5 วงจรสร้างสัญญาณนาฬิกาและและกำหนดตำแหน่งไทม์สลอทในชุมสายที่เป็น Master



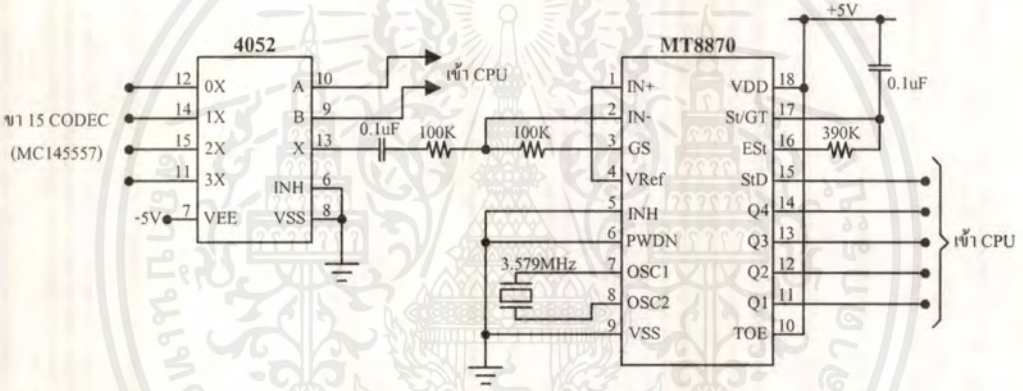
รูปที่ 5.6 วงจรสร้างสัญญาณนาฬิกาและและกำหนดตำแหน่งไทม์สลอทในชุมสายที่เป็น Slave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การทำงานของวงจรรับเลขหมายปลายทางที่ผู้เรียกเป็นผู้ส่งมาให้ชุมสาย

สัญญาณที่ผู้เรียกส่งมาให้ชุมสายเพื่อให้ชุมสายทำการเชื่อมต่อวงจรให้นั้นสามารถทำได้ 2 แบบ กล่าวคือ แบบพัลซ์และแบบโทน (DTMF) ซึ่งในชุมสายนี้ขั้นแรกจะทดลองให้รับสัญญาณ DTMF เท่านั้น ซึ่งในชุมสายขนาดใหญ่ที่นิยมใช้ในปัจจุบันนี้นิยมใช้อุปกรณ์ประมวลผลสัญญาณเชิงเลข (Digital Signal Processing) ในการตรวจจับเลขหมายที่ส่งเข้ามา แต่สำหรับใน ชุมสายที่ทดลองสร้างนี้จะใช้อนาลอกไอซีเบอร์ MT8870 ทำหน้าที่ดังกล่าวซึ่งสามารถทำได้ง่ายกว่าและนิยมใช้ในชุมสายขนาดเล็กและ PABX

จากวงจรสัญญาณจากเครื่องโทรศัพท์จะต่อเข้ามาที่ไอซี Multiplexer เบอร์ 4052 ซึ่งจะทำการเลือกต่อคู่สายคู่หนึ่งไปให้ไอซีตรวจจับเลขหมายเบอร์ MT8870 เอาท์พุทที่ออกจากไอซี นี้จะอยู่ในรูปของสัญญาณดิจิตอลซึ่งจะถูกส่งไปยัง CPU ต่อไป



รูปที่ 5.7 วงจรรับเลขหมายปลายทางที่ผู้เรียกเป็นผู้ส่งมาให้ชุมสาย

5.5 การทำงานของวงจรสร้างสัญญาณเรียก (Ringing Circuit)

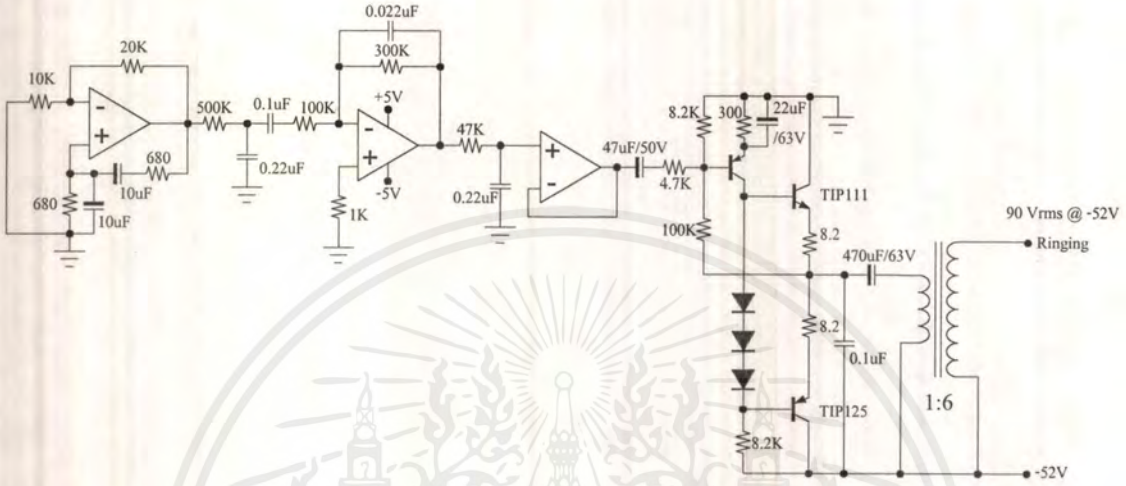
สัญญาณ Ringing ที่สร้างขึ้นเป็นสัญญาณความถี่ 23 Hz 88 Vrms @ -52V (ค่าที่นิยมใช้มากคือ 20Hz 90 Vrms @ -48 V) การทำงานของวงจรจะเริ่มจากวงจรผลิตความถี่ซึ่งใช้ Op-Amp เบอร์ MC3403 จัดวงจรเป็น Wien Bridge Oscillator ซึ่งจะให้เอาท์พุทเป็น Sinewave ที่มีความเพี้ยน (Distortion) ต่ำ สัญญาณเอาท์พุทที่ได้จะผ่านวงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ (Active Low Pass Filter) เพื่อช่วยลดความผิดเพี้ยนอีกครั้งหนึ่ง จากนั้นผ่านวงจรบัฟเฟอร์ (Buffer) แล้วทำการขยายโดยใช้ทรานซิสเตอร์อีกครั้ง จากนั้นจึงนำไปขับหม้อแปลงเพื่อเพิ่มแรงดันให้ได้ ค่าแรงดันตามที่ต้องการ

5.6 การทำงานของวงจรสร้างสัญญาณ Dial Tone

สัญญาณ Dial Tone ซึ่งเป็นสัญญาณที่แสดงว่าชุมสายพร้อมที่จะรับเลขหมายจากผู้เรียกสามารถสร้างได้โดยการโปรแกรมข้อมูลเก็บไว้ในหน่วยความจำของ CPU และให้ CPU ส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลนั้นให้ไอซีเบอร์ MT8980 (ซึ่งมีทำหน้าที่หลักในการตัดต่อวงจร) ทำการส่งข้อมูลนี้ไปให้วงจร CODEC ของเครื่องผู้เรียกทุกๆ 125 uS ซึ่ง CODEC จะทำการแปลงข้อมูลนี้ให้เป็นสัญญาณอนาลอกส่งไปให้ผู้เรียกต่อไป



รูปที่ 5.8 วงจรสร้างสัญญาณเรียก (Ringing Circuit)

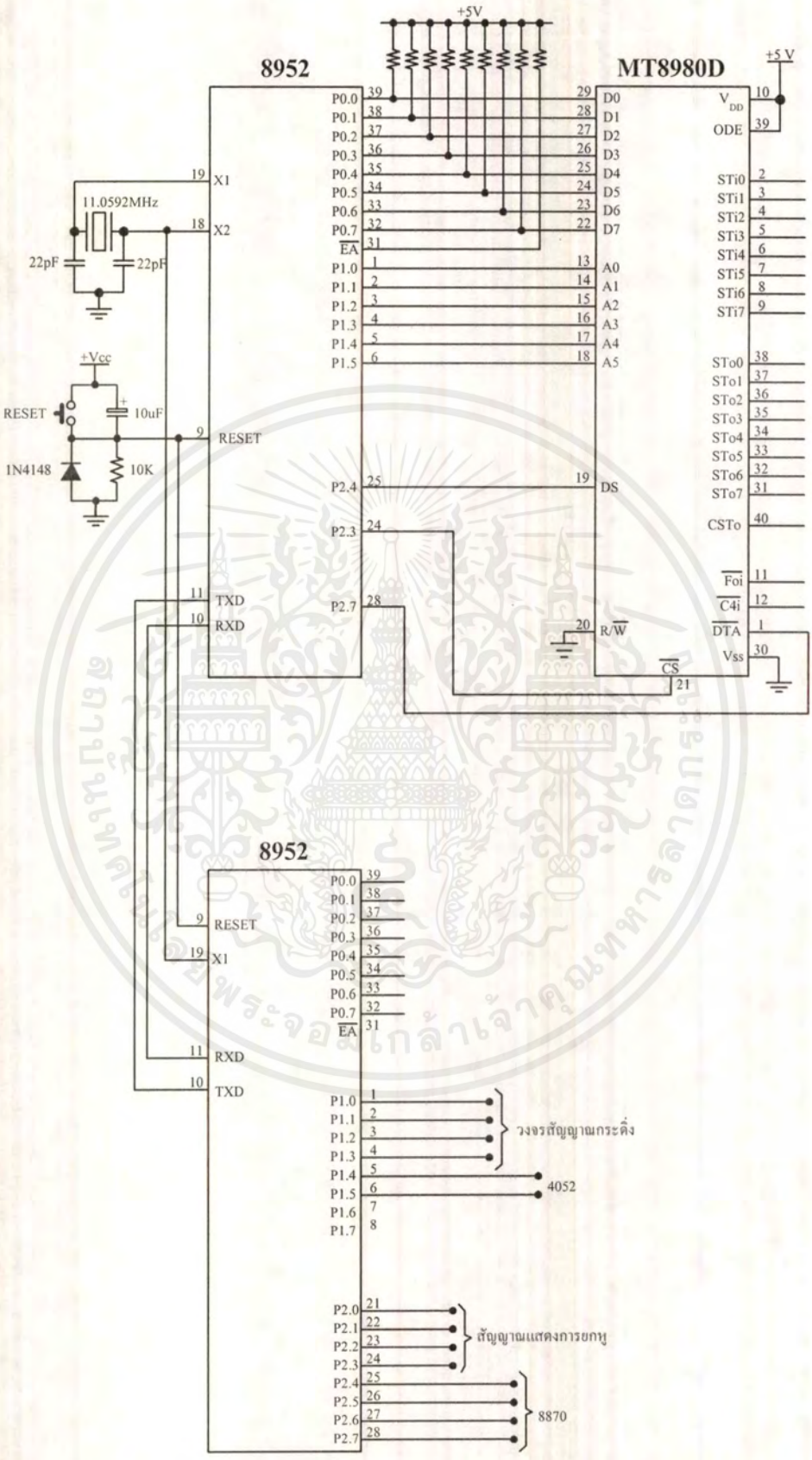
5.7 การทำงานของวงจรควบคุมระบบ

เนื่องจาก CPU มีงานหลายอย่างที่จะต้องทำและความต้องการใช้พอร์ตเพื่อติดต่อกับอุปกรณ์ต่างๆ ก็มีมาก ในการสร้างจึงใช้ CPU 2 ตัว โดย CPU ตัวที่ 1 (ให้เป็น Master) จะทำหน้าที่ในการตรวจสอบสถานะการยกหูหรือวางหูของเครื่องโทรศัพท์ รับและตรวจสอบเลขหมายที่ผู้ใช้ส่งเข้ามา เลือกต่อวงจรจากคู่สายต่างๆ ให้ไอซีที่ทำหน้าที่ตรวจจับสัญญาณเลขหมาย ควบคุมการปล่อยสัญญาณเรียก (Ringing) ไปให้เครื่องปลายทาง และส่งข้อมูลไปให้ CPU ตัวที่ 2 (ให้เป็น Slave) เพื่อทำการเชื่อมต่อวงจร

CPU ตัวที่ 2 มีหน้าที่ในการรับข้อมูลจาก CPU ตัวที่ 1 และส่งสัญญาณเชื่อมต่อและควบคุมสถานะของช่องสัญญาณไปให้ไอซีเบอร์ MT8980 ที่ทำหน้าที่เป็นตัวเชื่อมต่อวงจร นอกจากนี้ยังทำหน้าที่ในการนำข้อมูลในหน่วยความจำส่งไปให้ MT8980 ทุกๆ 125 uS เพื่อนำไปสร้างสัญญาณ Dial Tone ให้เครื่องโทรศัพท์ด้วย

CPU ที่เลือกใช้คือเบอร์ AT89C51 ของบริษัท Atmel ซึ่งมีจุดเด่นหลายประการ เช่น มีหน่วยความจำภายในเป็น Flash Memory ที่สามารถโปรแกรมซ้ำได้หลายครั้ง มีพอร์ตให้ใช้งานได้ถึง 4 พอร์ต สามารถสื่อสารแบบอนุกรมได้ ทำให้สามารถติดต่อกับเครื่องคอมพิวเตอร์หรือติดต่อระหว่าง CPU ในกรณีที่ใช้ CPU มากกว่า 1 ตัวกระทำได้ง่าย เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 วงจรควบคุมระบบ

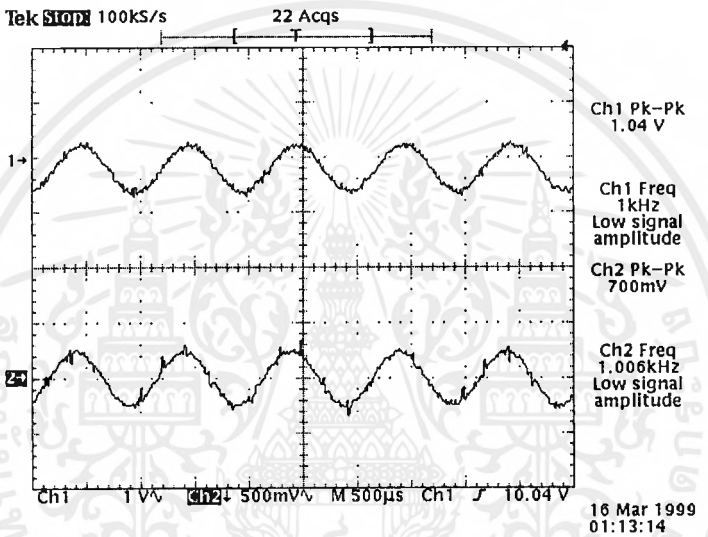
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ผลการทดลอง

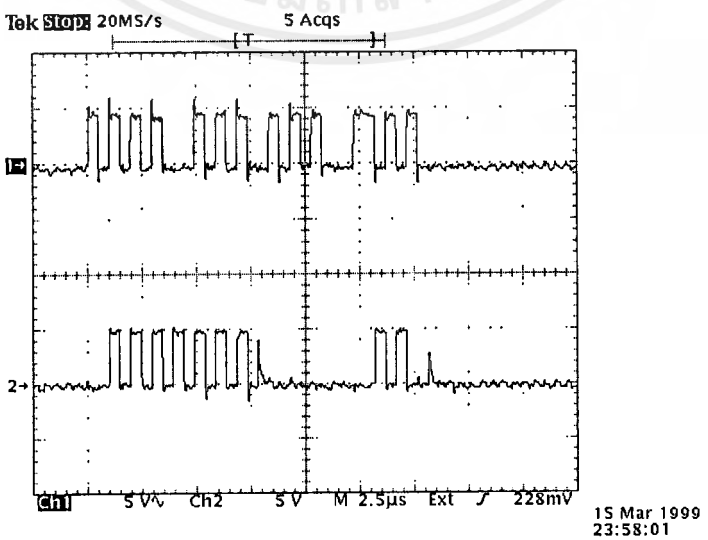
จากชุมสายโทรศัพท์ที่สร้างขึ้นจะได้ทำการทดสอบและวัดสัญญาณที่จุดต่างๆดังนี้

1. ทดลองป้อนสัญญาณ Sine Wave 1 kHz ขนาด 1 V_{p-p} แทนสัญญาณเสียงพูดจากเครื่องโทรศัพท์ แล้ววัดสัญญาณที่เครื่องโทรศัพท์ปลายทาง



รูปที่ 6.1 เปรียบเทียบสัญญาณที่ป้อนเข้าชุมสายกับสัญญาณที่ออกจากชุมสาย

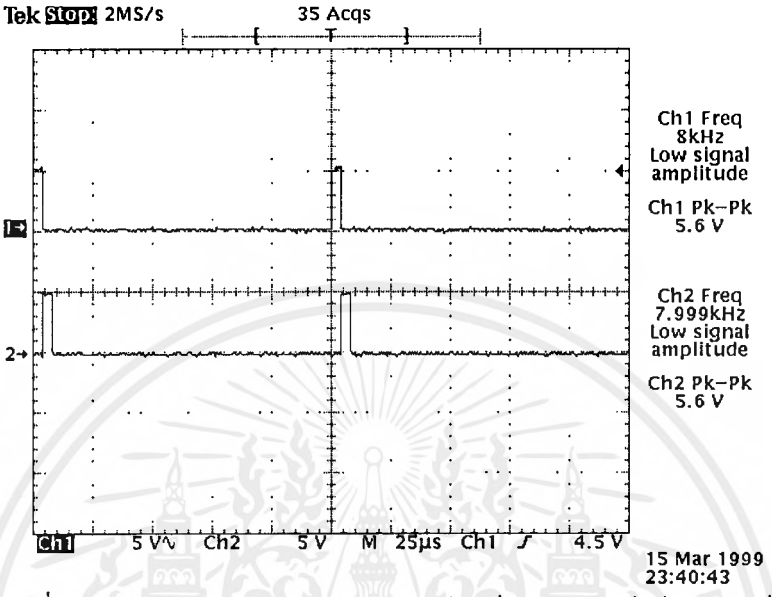
2. เปรียบเทียบสัญญาณข้อมูลดิจิตอลที่ด้านเข้าและด้านออกของไอซี (MT8980) ที่ทำหน้าที่เป็นไทม์สวิทช์ (Time Switch)



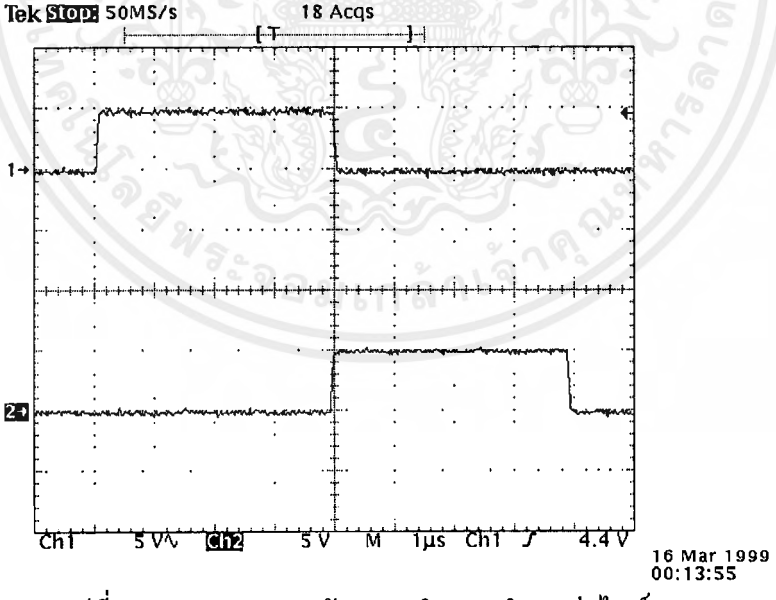
รูปที่ 6.2 แสดงสัญญาณดิจิตอลทางด้านอินพุทและเอาท์พุทของไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.วัดสัญญาณที่ใช้กำหนดช่องสัญญาณของผู้ใช้แต่ละคนหรือสัญญาณที่ใช้กำหนดตำแหน่งไทม์สลอท (Timeslot Assignment) ของผู้ใช้คนที่ 1 และ 2



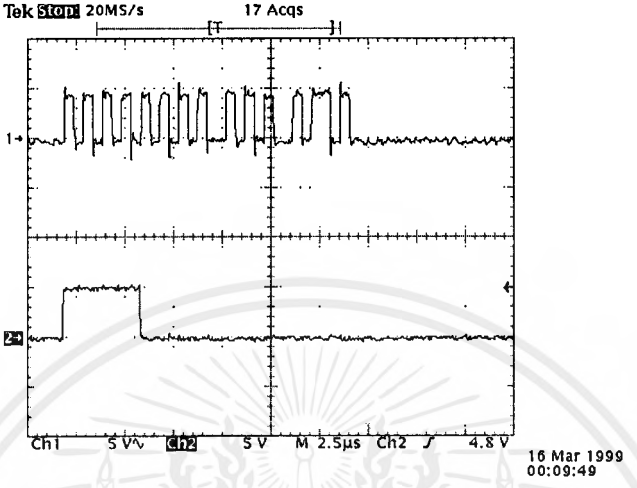
รูปที่ 6.3 แสดงสัญญาณกำหนดตำแหน่งไทม์สลอทของผู้ใช้โทรศัพท์



รูปที่ 6.4 ภาพขยายของสัญญาณกำหนดตำแหน่งไทม์สลอท

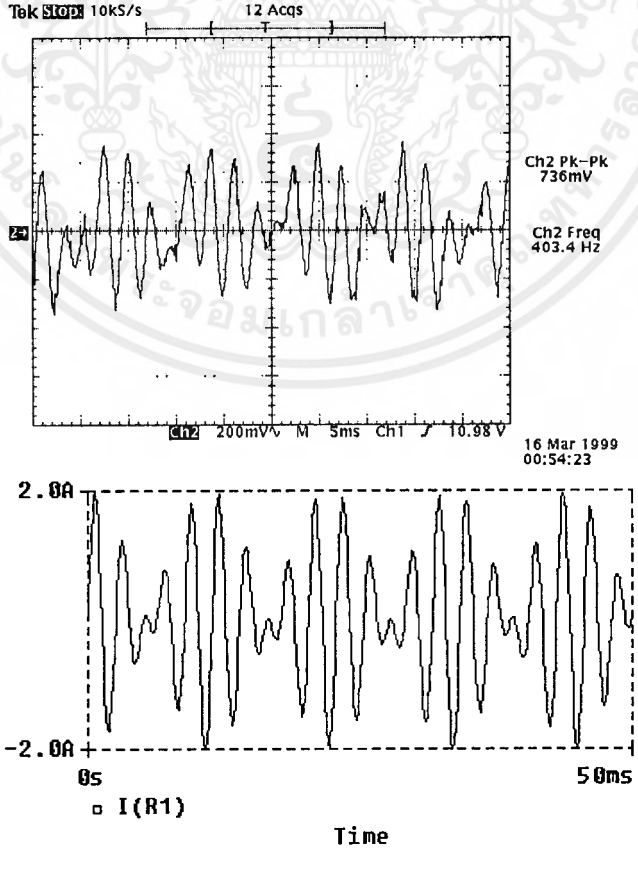
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วัดสัญญาณกำหนดตำแหน่งไทม์สลอท (Timeslot Assignment) และสัญญาณข้อมูลที่เป็นดิจิตอลบนไฮเวย์ (Highway) ที่เป็นทางเดินของช่องสัญญาณนั้น (ด้านที่เป็นเอาท์พุทของ CODEC)



รูปที่ 6.5 แสดงสัญญาณกำหนดตำแหน่งไทม์สลอทและสัญญาณดิจิตอลบนไฮเวย์

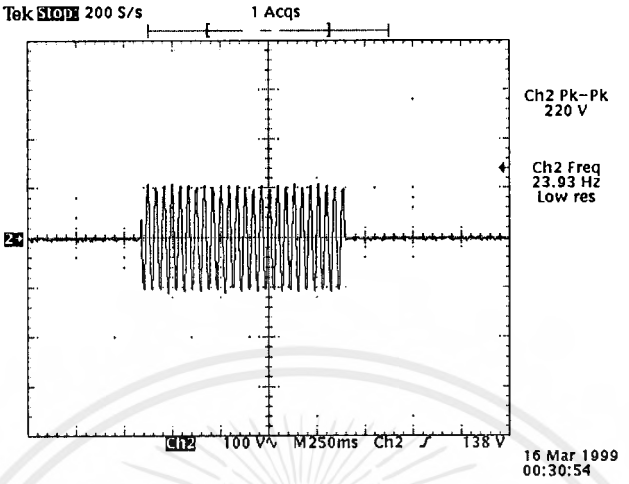
5. วัดสัญญาณ Dial Tone ที่ส่งไปให้ผู้เรียก (350 Hz + 440 Hz) เปรียบเทียบกับสัญญาณที่ได้จาก Pspice



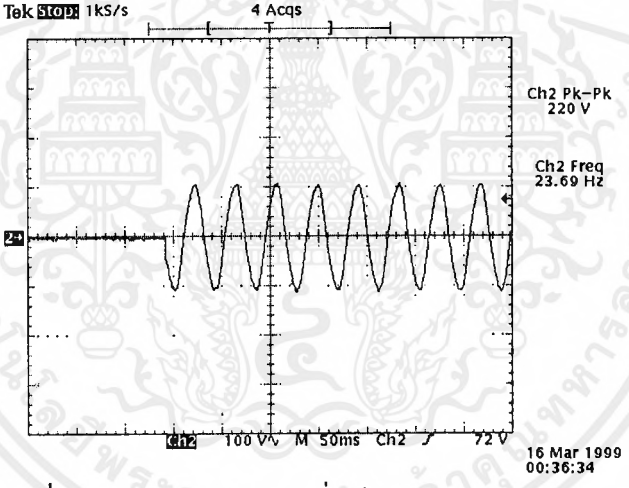
รูปที่ 6.6 เปรียบเทียบสัญญาณ Dial Tone ที่ได้จากการวัดและการจำลองด้วย Pspice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

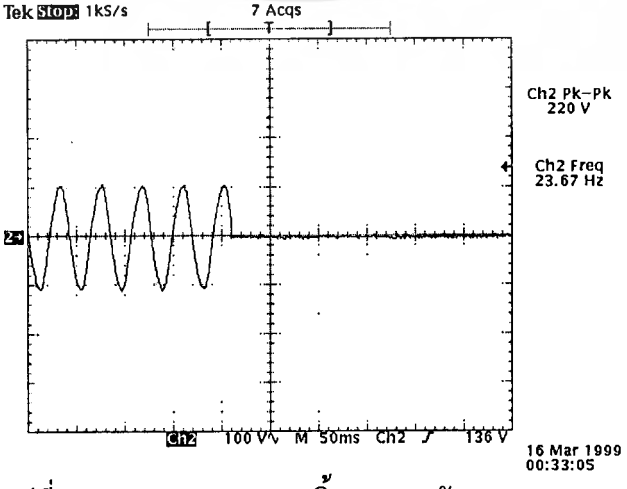
6. วัดสัญญาณเรียก (Ringing) ที่ส่งไปยังปลายทาง และวัดจุดเริ่มต้นและจุดสิ้นสุดของสัญญาณเรียก(Ringing)



รูปที่ 6.7 แสดงสัญญาณ Ringing



รูปที่ 6.8 ภาพขยายแสดงจุดเริ่มต้นของสัญญาณ Ringing



รูปที่ 6.9 ภาพขยายแสดงจุดสิ้นสุดของสัญญาณ Ringing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์ผลการทดลอง

จากการทดลองสร้างชุมสายโทรศัพท์ระบบดิจิตอล และทดลองทำการเชื่อมต่อวงจรของคู่สายต่างๆ พบว่าสามารถสนทนากันได้ชัดเจนดี แต่ยังคงมีข้อบกพร่องอีกหลายประการที่ควรจะได้รับการพัฒนาให้ดีขึ้นต่อไป โดยเฉพาะอย่างยิ่งในส่วนของโปรแกรมที่ใช้ในการควบคุมการทำงานของระบบ และการเชื่อมต่อเข้ากับระบบคอมพิวเตอร์เพื่อให้ผู้ดูแลระบบสามารถแก้ไขข้อมูลได้สะดวกยิ่งขึ้นในกรณีที่ขยายเป็นชุมสายขนาดใหญ่ นอกจากนี้ยังควรมีการเพิ่มอุปกรณ์บันทึกการใช้งานและอุปกรณ์เพื่อเพิ่มความสะดวกให้แก่ผู้ใช้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************************************************
;*              ตัวอย่างโปรแกรมที่ใช้ในการควบคุมการทำงานของวงจรสวิทชิ่ง (MT8980D)          *
;*****************************************************************************************
    CPU   "8051.TBL"
    HOF   "INT8"
    ORG   0000H

P0:   EQU   80H
SP:   EQU   81H
DPL:  EQU   82H
DPH:  EQU   83H
TL0:  EQU   8AH
TL1:  EQU   8BH
TH0:  EQU   8CH
TH1:  EQU   8DH
P1:   EQU   90H
P2:   EQU   0A0H
P3:   EQU   0B0H
TCON: EQU   88H
TMOD: EQU   89H
SCON: EQU   98H
SBUF: EQU   99H
IE:   EQU   0A8H
IP:   EQU   0B8H
PSW:  EQU   0D0H
ACC:  EQU   0E0H
B:    EQU   0F0H
PCON: EQU   87H
TR1:  EQU   8EH
RI:   EQU   98H
TI:   EQU   99H
P2.2: EQU   0A2H  ;LED Show
P2.3: EQU   0A3H  ;CS\ BIT
P2.4: EQU   0A4H  ;DS BIT
P2.7: EQU   0A7H  ;DTA\ BIT

;*****************************************************************************************
;*       กำหนดสถานะเริ่มต้นและให้ Output port ของ MT8980 อยู่ในสภาพ Hi impedance        *
;*****************************************************************************************
    CLR P2.4          ;กำหนดให้ขา DS มีสถานะเป็น low (Initial state)
    MOV A,#20H    ;กำหนดวงจรแรกที่ต้องการให้เป็น High impedance
START1: MOV P0,#18H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory High)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#0H    ;กำหนดสถานะ high impedance ให้ไทม์สลอทใน Highway ที่ 1
    MOV P1,A          ;(ใส่ค่า #0H ลงใน destination Channel (Connection Memory High))
    ACALL SEND
    INC A
    CJNE A,#40H,START1  ;ทำให้ทุกไทม์สลอทใน Highway ที่ 1เป็น High impedance ทั้งหมด
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************************************************
;*                          เชื่อมต่อวงจรที่ต้องการ                                      *
;*****************************************************************************************
    MOV P0,#10H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory Low)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#02H   ;กำหนด Channel ที่จะใช้เป็น input (ในที่นี้คือ Highway 0 Timeslot ที่ 3)
    MOV P1,#21H   ;เขียนลงใน destination Channel (Connection Memory Low)
    ACALL SEND
    MOV P0,#18H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory High)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#01H   ;ยกเลิกสถานะ high impedance ของทุกไทม์สลอทใน Highway ที่ 1
    MOV P1,#21H   ;(ใส่ค่า #01H ลงใน destination Channel (Connection Memory High))
    ACALL SEND


    MOV P0,#10H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory Low)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#01H   ;กำหนด Channel ที่จะใช้เป็น input (ในที่นี้คือ Highway 0 Timeslot ที่ 3)
    MOV P1,#22H   ;เขียนลงใน destination Channel (Connection Memory Low)
    ACALL SEND
    MOV P0,#18H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory High)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#01H   ;ยกเลิกสถานะ high impedance ของทุกไทม์สลอทใน Highway ที่ 1
    MOV P1,#22H   ;(ใส่ค่า #01H ลงใน destination Channel (Connection Memory High))
    ACALL SEND

;*****************************************************************************************
;*                              สร้าง Dial Tone                                          *
;*****************************************************************************************
    MOV P0,#18H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory High)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
    MOV P0,#05H   ;ยกเลิกสถานะ high impedance และ ให้เป็น Message Mode
    MOV P1,#23H   ;(ใส่ค่าลงใน destination Channel (Connection Memory High))
    ACALL SEND
    MOV P0,#10H   ;กำหนดค่าให้ control register (ต้องการติดต่อ Connection Memory Low)
    MOV P1,#0H    ;ส่งค่าให้ control register (บิท 5 เป็น Low)
    ACALL SEND
TONE_SET: MOV R3,#20
TONE:  MOV A,R3
    MOV DPTR,#TONE_TBL
    MOVC A,@A+DPTR  ;นำค่าข้อมูลจากตารางมาสร้างสัญญาณโทน
    MOV P0,A
    MOV P1,#23H   ;เขียนลงใน destination Channel (Connection Memory Low)
```

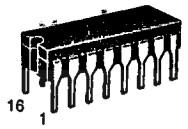
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    ACALL SEND
    DJNZ R3,TONE
    SJMP TONE_SET
    SJMP $

;*****************************************************************************************
;*                    โปรแกรมย่อยแสดงขั้นตอนการส่งข้อมูลออกพอร์ท                    *
;*****************************************************************************************
SEND:  CLR P2.3              ;CS\ active
    SETB P2.4          ;DS active
CHECK1:  JNB P2.7,NEXT1      ;wait for DTA\ change to low
    AJMP CHECK1
NEXT1:      CLR P2.4
CHECK2:     JB P2.7,NEXT2
    AJMP CHECK2
NEXT2:  SETB P2.3
    RET

;*****************************************************************************************
;*                          โปรแกรมย่อยสำหรับหน่วงเวลา                          *
;*****************************************************************************************
DL100US:   MOV   R7,#45
       DJNZ   R7,$
       RET
DELAY:   MOV   R6,#97
 LOOP:   ACALL  DL100US
         DJNZ   R6,LOOP
         RET
DL15MS:   MOV   R6,#146
  LOOP2:  ACALL  DL100US
       DJNZ   R6,LOOP2
       RET
DELAY1S:   MOV   R5,#67
 LOOP3:  ACALL  DL15MS
       DJNZ   R5,LOOP3
       RET

;*****************************************************************************************
;*                              ตารางสัญญาณโทน                                  *
;*****************************************************************************************
    ORG   512H
TONE_TBL: DB   8AH,0BAH,0A3H,0AFH,0A9H,0A9H,0ADH,0A7H,0B1H,0E3H
    DB    0AH,25H,22H,29H,2AH,2BH,2FH,21H,32H,10H

END
```

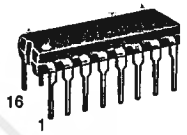
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCM Codec-Filter

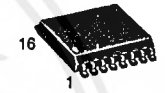
MC145554
MC145557
MC145564
MC145567



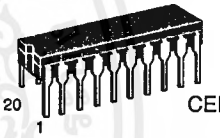
L SUFFIX
CERAMIC PACKAGE
CASE 620
MC145554/57



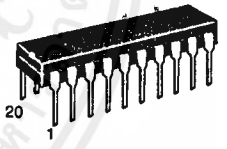
P SUFFIX
PLASTIC DIP
CASE 648
MC145554/57



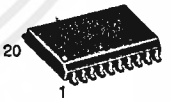
DW SUFFIX
SOG PACKAGE
CASE 751G
MC145554/57



L SUFFIX
CERAMIC PACKAGE
CASE 732
MC145564/67



P SUFFIX
PLASTIC DIP
CASE 738
MC145564/67



DW SUFFIX
SOG PACKAGE
CASE 751D
MC145564/67

The MC145554, MC145557, MC145564, and MC145567 are all per channel PCM Codec–Filters. These devices perform the voice digitization and reconstruction as well as the band limiting and smoothing required for PCM systems. They are designed to operate in both synchronous and asynchronous applications and contain an on–chip precision voltage reference. The MC145554 (Mu–Law) and MC145557 (A–Law) are general purpose devices that are offered in 16–pin packages. The MC145564 (Mu–Law) and MC145567 (A–Law), offered in 20–pin packages, add the capability of analog loopback and push–pull power amplifiers with adjustable gain.

These devices have an input operational amplifier whose output is the input to the encoder section. The encoder section immediately low–pass filters the analog signal with an active R–C filter to eliminate very–high–frequency noise from being modulated down to the pass band by the switched capacitor filter. From the active R–C filter, the analog signal is converted to a differential signal. From this point, all analog signal processing is done differentially. This allows processing of an analog signal that is twice the amplitude allowed by a single–ended design, which reduces the significance of noise to both the inverted and non–inverted signal paths. Another advantage of this differential design is that noise injected via the power supplies is a common–mode signal that is cancelled when the inverted and non–inverted signals are recombined. This dramatically improves the power supply rejection ratio.

After the differential converter, a differential switched capacitor filter band passes the analog signal from 200 Hz to 3400 Hz before the signal is digitized by the differential compressing A/D converter.

The decoder accepts PCM data and expands it using a differential D/A converter. The output of the D/A is low–pass filtered at 3400 Hz and sinX/X compensated by a differential switched capacitor filter. The signal is then filtered by an active R–C filter to eliminate the out–of–band energy of the switched capacitor filter.

These PCM Codec–Filters accept both long–frame and short–frame industry standard clock formats. They also maintain compatibility with Motorola's family of TSACs and MC3419/MC34120 SLIC products.

The MC145554/57/64/67 family of PCM Codec–Filters utilizes CMOS due to its reliable low–power performance and proven capability for complex analog/digital VLSI functions.

MC145554/57 (16–Pin Package)

- Fully Differential Analog Circuit Design for Lowest Noise
- Performance Specified for Extended Temperature Range of – 40 to + 85°C
- Transmit Band–Pass and Receive Low–Pass Filters On–Chip
- Active R–C Pre–Filtering and Post–Filtering
- Mu–Law Companding MC145554
- A–Law Companding MC145557
- On–Chip Precision Voltage Reference (2.5 V)
- Typical Power Dissipation of 40 mW, Power Down of 1.0 mW at ± 5 V

MC145564/67 (20–Pin Package) — All of the Features of the MC145554/57 Plus:

- Mu–Law Companding MC145564
- A–Law Companding MC145567
- Push–Pull Power Drivers with External Gain Adjust
- Analog Loopback

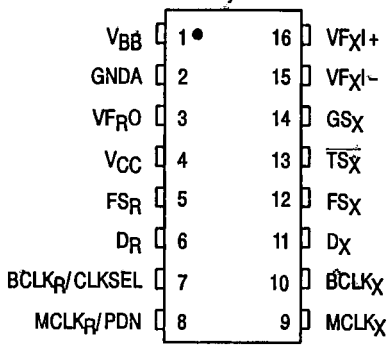
REV 1
9/95 (Replaces ADI1517)

© Motorola, Inc. 1995

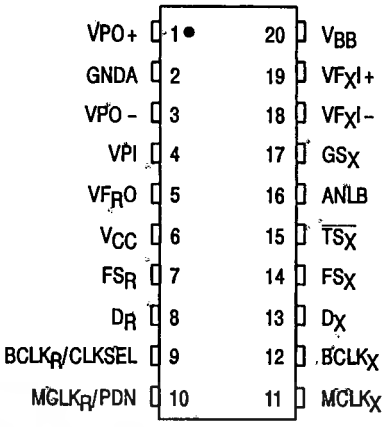
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS

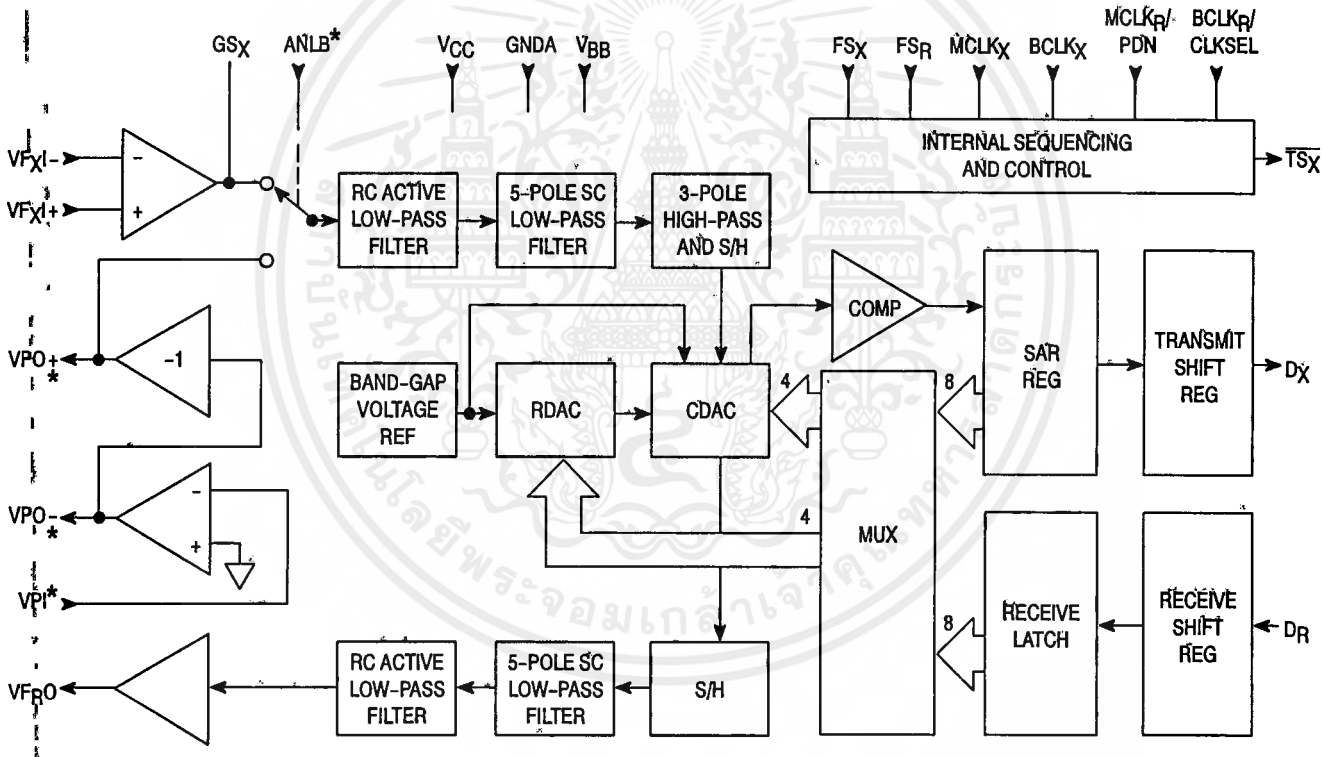
MC145554, MC145557



MC145564, MC145567



FUNCTIONAL BLOCK DIAGRAM



* MC145564 and MC145567 only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ISSUE 5 July 1993

Features

- Provides T1 clock at 1.544 MHz locked to an 8 kHz reference clock (frame pulse)
- Provides CEPT clock at 2.048 MHz and ST-BUS clock and timing signals locked to an internal or external 8 kHz reference clock
- Typical inherent output jitter (unfiltered)= 0.07 UI peak-to-peak
- Typical jitter attenuation at: 10 Hz=23 dB,100 Hz=43 dB, 5 to 40 kHz ≥ 64 dB
- Jitter-free "FREE-RUN" mode
- Uncommitted two-input NAND gate
- Low power CMOS technology

Applications

- Synchronization and timing control for T1 and CEPT digital trunk transmission links
- ST- BUS clock and frame pulse source

Ordering Information

MT8941AE	24 Pin Plastic DIP
MT8941AP	28 Pin PLCC

-40°C to +85°C

Description

The MT8941 is a dual digital phase-locked loop providing the timing and synchronization signals for the T1 or CEPT transmission links and the ST-BUS. The first PLL provides the T1 clock (1.544 MHz) synchronized to the input frame pulse at 8 kHz. The timing signals for the CEPT transmission link and the ST-BUS are provided by the second PLL locked to an internal or an external 8 kHz frame pulse signal.

The MT8941 offers improved jitter performance over the MT8940. The two devices also have some functional differences, which are listed in the section on "Differences between MT8941 and MT8940".

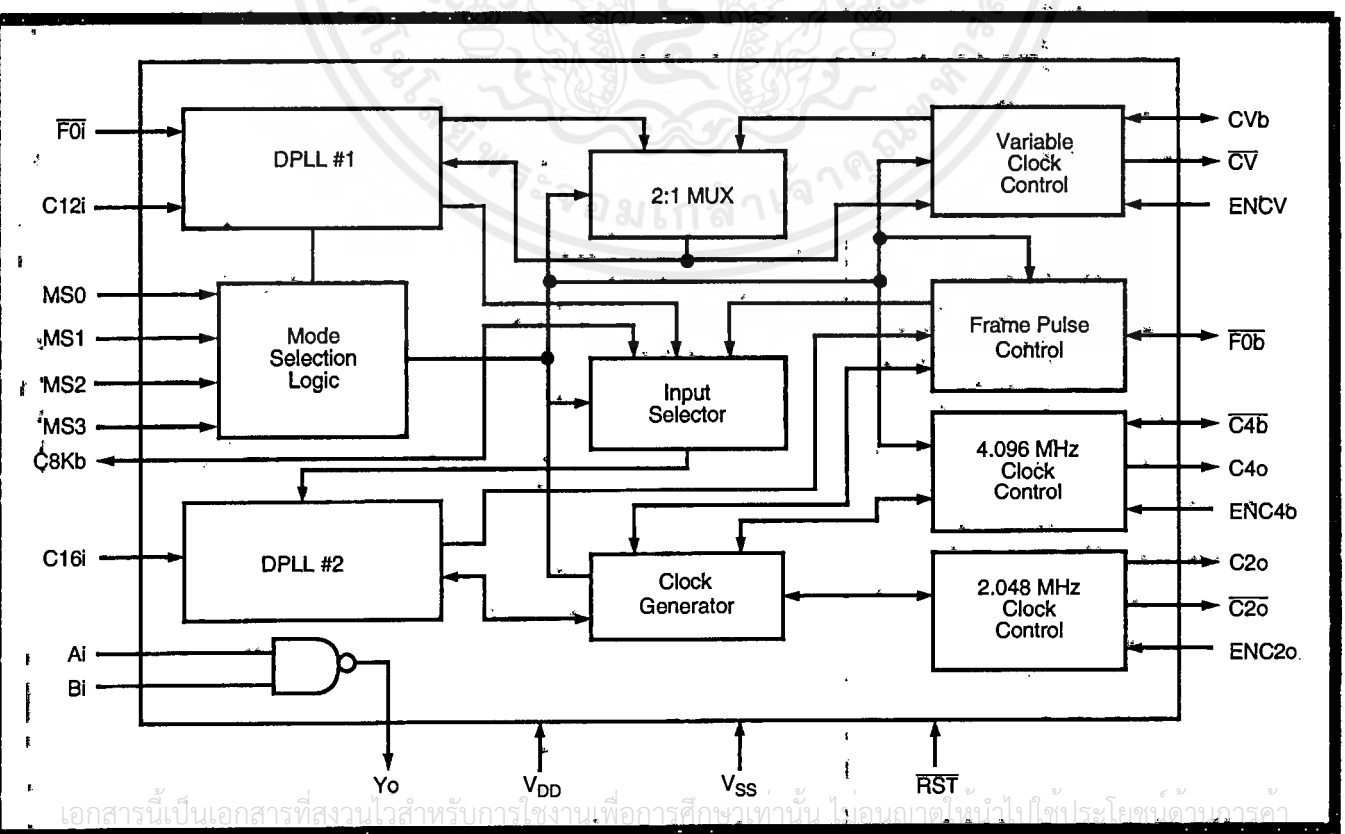


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

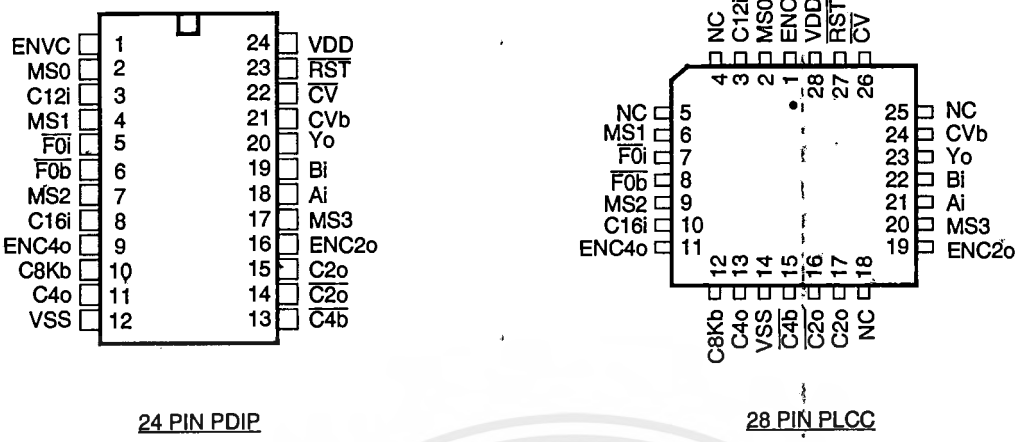


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
DIP	PLCC		
1	1	EN_{CV}	**Variable clock enable (TTL compatible input)** - This input directly controls the three states of CV (pin 22) under all modes of operation. When HIGH, enables $\overline{CV}$ and when LOW, puts it in high impedance condition. It also controls the three states of CVb signal (pin 21) if MS1 is LOW. When ENCV is HIGH, the pin CVb is an output and when LOW, it is in high impedance state. However, if MS1 is HIGH, CVb is always an input.
2	2	MS0	**Mode select '0' input (TTL compatible)** - This input in conjunction with MS1 (pin 4) selects the major mode of operation for both DPLLs. (Refer to Tables 1 and 2.)
3	3	C12i	**12.352 MHz Clock input (TTL compatible)** - Master clock input for DPLL #1.
4	6	MS1	**Mode select-1 input (TTL compatible)** - This input in conjunction with MS0 (pin 2) selects the major mode of operation for both DPLLs. (Refer to Tables 1 and 2.)
5	7	$\overline{F0i}$	**Frame pulse input (TTL compatible)** - This is the frame pulse input at 8 kHz. DPLL #1 locks to the falling edge of this input to generate T1 (1.544 MHz) clock.
6	8	$\overline{F0b}$	**Frame pulse Bidirectional (TTL compatible input and Totem-pole output)** - Depending on the minor mode selected for DPLL #2, it provides the 8 kHz frame pulse output or acts as an input to an external frame pulse.
7	9	MS2	**Mode select-2 input (TTL compatible)** - This input in conjunction with MS3 (pin 17) selects the minor mode of operation for DPLL #2. (Refer to Table 3.)
8	10	C16i	**16.384 MHz Clock input (TTL compatible)** - Master clock input for DPLL #2.
9	11	EN_{C4o}	**Enable 4.096 MHz clock (TTL compatible input)** - This active high input enables C4o (pin 11) output. When LOW, the output C4o is in high impedance condition.
10	12	C8Kb	**Clock 8 kHz Bidirectional (TTL compatible input and Totem-pole output)** - This is the 8 kHz input signal on the falling edge of which the DPLL #2 locks during its NORMAL mode. When DPLL #2 is in SINGLE CLOCK mode, this pin outputs an 8 kHz internal signal provided by DPLL #1 which is also connected internally to DPLL #2.
11	13	C4o	**Clock 4.096 MHz (Three state output)** - This is the inverse of the signal appearing on pin 13 (C4b) at 4.096 MHz and has a rising edge in the frame pulse ($\overline{F0b}$) window. The high impedance state of this output is controlled by ENC4o (pin 9).
12	14	V_{SS}	**Ground (0 Volt)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

in Description (continued)

Pin # DIP	Pin # PLCC	Name	Description
13	15	$\overline{C4b}$	**Clock 4.096 MHz- Bidirectional (TTL compatible input and Totem-pole output)** - When the mode select bit MS3 (pin 17) is HIGH, it provides the 4.096 MHz clock output with the falling edge in the frame pulse ($\overline{F0b}$) window. When pin 17 is LOW, $\overline{C4b}$ is an input to an external clock at 4.096 MHz.
14	16	$\overline{C2o}$	**Clock 2.048 MHz (Three state output)** - This is the divide by two output of $\overline{C4b}$ (pin 13) and has a falling edge in the frame pulse ($\overline{F0b}$) window. The high impedance state of this output is controlled by EN_{C2o} (pin 16).
15	17	C2o	**Clock 2.048 MHz (Three state output)** - This is the divide by two output of $\overline{C4b}$ (pin 13) and has a rising edge in the frame pulse ($\overline{F0b}$) window. The high impedance state of this output is controlled by EN_{C2o} (pin 16).
16	19	EN_{C2o}	**Enable 2.048 MHz clock (TTL compatible input)** - This active high input enables both $\overline{C2o}$ and C2o outputs (pins 14 and 15). When LOW, these outputs are in high impedance condition.
17	20	MS3	**Mode select 3 input (TTL compatible)** - This input in conjunction with MS2 (pin 7) selects the minor mode of operation for DPLL #2. (Refer to Table 3.)
18, 19	21, 22	Ai, Bi	**Inputs A and B (TTL compatible)** -These are the two inputs of the uncommitted NAND gate.
20	23	Y_o	**Output Y (Totem pole output)** - Output of the uncommitted NAND gate.
21	24	CVb	**Variable clock Bidirectional (TTL compatible input and Totem-pole output)** - When acting as an output (MS1-LOW) during the NORMAL mode of DPLL #1, this pin provides the 1.544 MHz clock locked to the input frame pulse $\overline{F0i}$ (pin 5). When MS1 is HIGH, it is an input to an external clock at 1.544 MHz or 2.048 MHz to provide the internal signal at 8 kHz to DPLL #2.
22	26	$\overline{CV}$	**Variable clock (Three state output)** - This is the inverse output of the signal appearing on pin 21, the high impedance state of which is controlled by EN_{CV} (pin 1).
23	27	$\overline{RST}$	**Reset (Schmitt trigger input)** - This input (active LOW) puts the MT8941 in its reset state. To guarantee proper operation, the device must be reset after power-up. The time constant for a power-up reset circuit (see Figures 9-13) must be a minimum of five times the rise time of the power supply. In normal operation, the $\overline{RST}$ pin must be held low for a minimum of 60nsec to reset the device.
24	28	V_{DD}	**V_{DD} (+5V)** Power supply.
	4, 5, 18, 25	NC	**No Connection.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSUE 7 May 1995

Features

- Single chip primary rate 2048 kbit/s CEPT transceiver with CRC-4 option
- Meets CCITT Recommendation G.704
- Selectable HDB3 or AMI line code
- Tx and Rx frame and multiframe synchronization signals
- Two frame elastic buffer with 32 µsec jitter buffer
- Frame alignment and CRC error counters
- Insertion and detection of A, B, C, D signalling bits with optional debounce
- On-chip attenuation ROM with option for ADI codecs
- Per channel, overall and remote loop around
- ST-BUS compatible

Ordering Information

MT8979AC	28 Pin Ceramic DIP
MT8979AE	28 Pin Plastic DIP
MT8979AP	44 Pin PLCC

-40° to 85°C

Applications

- Primary rate ISDN network nodes
- Multiplexing equipment
- Private network: PBX to PBX links
- High speed computer to computer links

Description

The MT8979 is a single chip CEPT digital trunk transceiver that meets the requirements of CCITT Recommendation G.704 for digital multiplex equipment.

The MT8979 is fabricated in Mitel's low power ISO-CMOS technology.

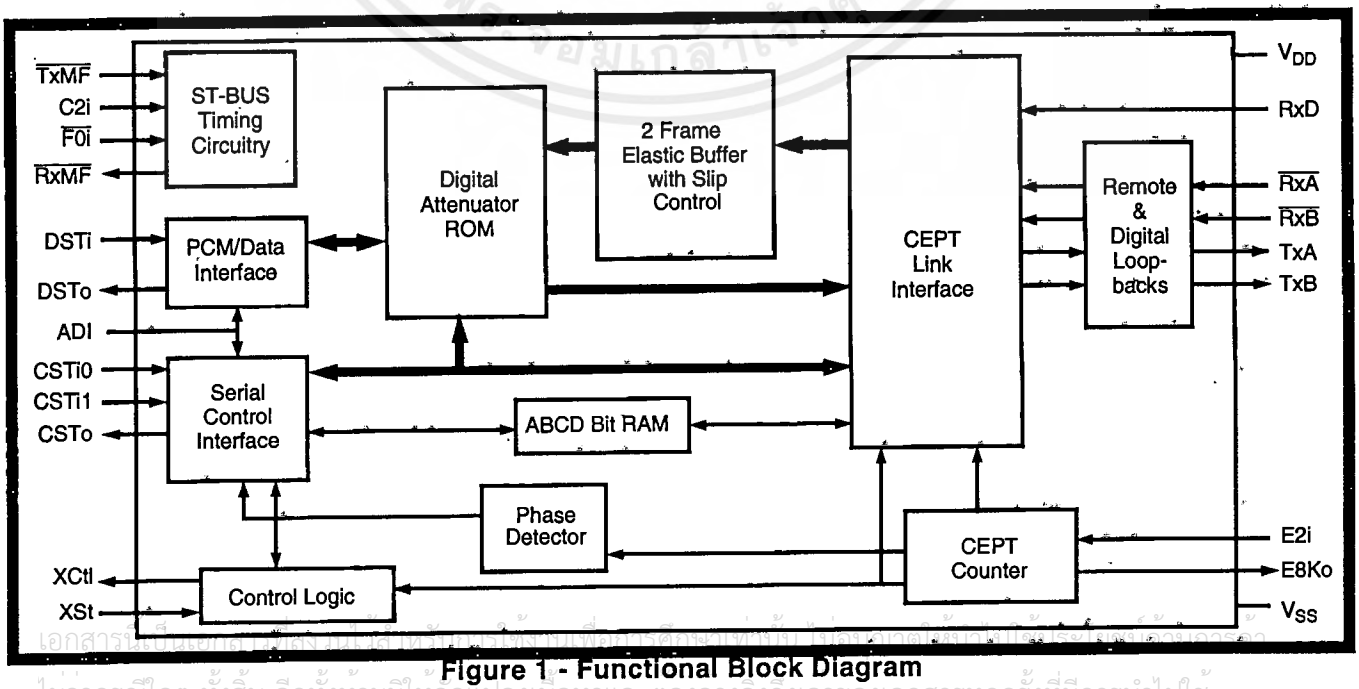


Figure 1 - Functional Block Diagram

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

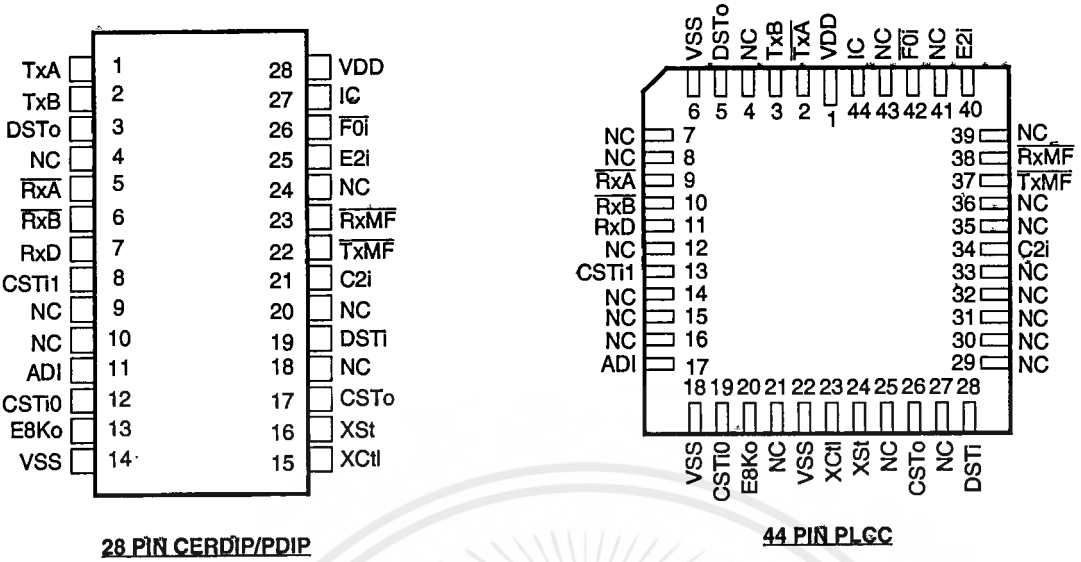


Figure 2 - Pin Connections

in Description

Pin #		Name	Description
P	PLCC		
1	2	**TxA**	**Transmit A (Output):** A split phase unipolar signal suitable for use with TxB and an external line driver and transformer to construct the bipolar line signal.
2	3	**TxB**	**Transmit B (Output:)** A split phase unipolar signal suitable for use with TxA and an external line driver and transformer to construct the bipolar line signal.
3	5	**DSTo**	**Data ST-BUS (Output)**: A 2048 kbit/s serial output stream which contains the 30 PCM or data channels received from the CEPT line.
4	4	**NC**	**No Connection.**
5	9	**$\overline{\text{RxA}}$**	**Receive A (Input)**: Received split phase unipolar signal decoded from a bipolar line receiver.
6	10	**$\overline{\text{RxB}}$**	**Receive B (Input)**: Received split phase unipolar signal decoded from a bipolar line receiver.
7	11	**RxD**	**Received Data (Input)**: Input of the unipolar data generated from the line receiver. This data may be NRZ or RZ.
8	13	**CSTi1**	**Control ST-BUS Input #1**: A 2048 kbit/s stream that contains channel associated signalling, frame alignment and diagnostic functions.
9		**NC**	**No Connection.**
10		**NC**	**No Connection.**
11	17	**ADI**	**Alternate Digit Inversion (Input)**: If this input is high, the CEPT timeslots which are specified on CSTi0 as voice channels are ADI coded and decoded. When this bit is low it disables ADI coding for all channels. This feature allows either ADI or non-ADI codecs to be used on DSTi and DSTo.
12	19	**CSTi0**	**Control ST-BUS Input #0**: A 2048 kbit/s stream that contains 30 per channel control words and two Master Control Words.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Pin # DIP	Pin # PLCC	Name	Description
13	20	E8Ko	**Extracted 8 kHz Clock (Output):** An 8 kHz output generated by dividing the extracted 2048 kHz clock by 256 and aligning it with the received CEPT frame. The 8 kHz signal can be used for synchronizing the system clock to the extracted 2048 kHz clock. Only valid when device achieves synchronization (goes low during a loss of signal or a loss of basic frame synchronization condition). E8Ko goes high impedance when 8kHzSEL = 0 in MCW2.
15	23	XCtl	**External Control (Output):** An uncommitted external output pin which is set or reset via bit 1 in Master Control Word 2 on CSTi0. The state of XCtl is updated once per frame.
16	24	XSt	**External Status:** The state of this pin is sampled once per frame and the status is reported in bit 1 of the Master Status Word 1 on CSTo.
17	26	CSTo	**Control ST-BUS Output:** A 2048 kbit/s serial control stream which provides the 16 signalling words, two Master Status Words, Phase Status Word and CRC Error Count.
18		NC	**No Connection.**
19	28	DSTi	**Data ST-BUS Input:** This pin accepts a 2048 kbit/s serial stream which contains the 30 PCM or data channels to be transmitted on the CEPT trunk.
20		NC	**No Connection.**
21	34	C2i	**2048 kbit/s System Clock (Input):** The master clock for the ST-BUS section of the chip. All data on the ST-BUS is clocked in on the falling edge of the C2i and output on the rising edge. The falling edge of C2i is also used to clock out data on the CEPT transmit link.
22	37	$\overline{\text{TxMF}}$	**Transmit Multiframe Boundary (Input):** This input can be used to set the channel associated and CRC transmitted multiframe boundary (clear the frame counters). The device will generate its own multiframe if this pin is held high.
23	38	$\overline{\text{RxMF}}$	**Received Multiframe Boundary (Output):** An output pulse delimiting the received Multiframe boundary. (This multiframe is not related to the received CRC multiframe.) The next frame output on the data stream (DSTo) is received as frame 0 on the CEPT link.
24		NC	**No Connection.**
25	40	E2i	**Extracted 2048 kHz Clock (Input):** The falling edge of this 2048 kHz clock is used to latch the received data (RxD). This clock input must be derived from the CEPT received data and must have its falling edge aligned with the center of the received bit (RxD).
26	42	$\overline{\text{F0i}}$	**Frame Pulse Input:** The ST-BUS frame synchronization signal which defines the beginning of the 32 channel frame.
27	44	IC	**Internal Connection:** Tie to V_{SS} (Ground) for normal operation.
28	1	V_{DD}	**Positive Power Supply Input** (+5 Volts).
14	6,8, 22	V_{SS}	**Negative Power Supply Input** (Ground).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Mitel ST-BUS compatible
- 8-line x 32-channel inputs
- 8-line x 32-channel outputs
- 256 ports non-blocking switch
- Single power supply (+5 V)
- Low power consumption: 30 mW Typ.
- Microprocessor-control interface
- Three-state serial outputs

ISSUE 7 August 19

Ordering Information

MT8980DC	40 Pin Ceramic DIP
MT8980DE	40 Pin Plastic DIP
MT8980DP	44 Pin PLCC

-40°C to +85°C

Description

This VLSI ISO-CMOS device is designed f switching PCM-encoded voice or data, und microprocessor control, in a modern digit exchange, PBX or Central Office. It provide simultaneous connections for up to 256 64 kbit channels. Each of the eight serial inputs and outpu consist of 32 64 kbit/s channels multiplexed to form 2048 kbit/s ST-BUS stream. In addition, the MT898 provides microprocessor read and write access individual ST-BUS channels.

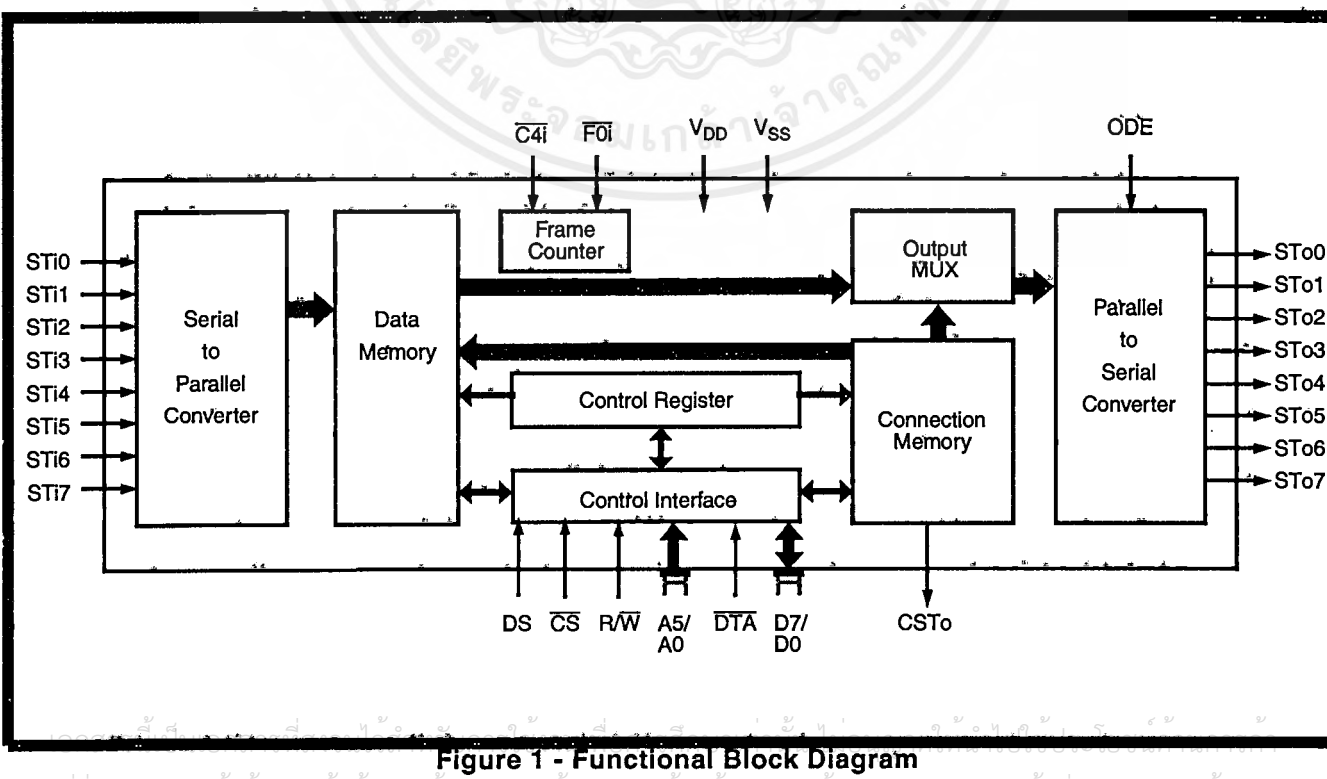


Figure 1 - Functional Block Diagram

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

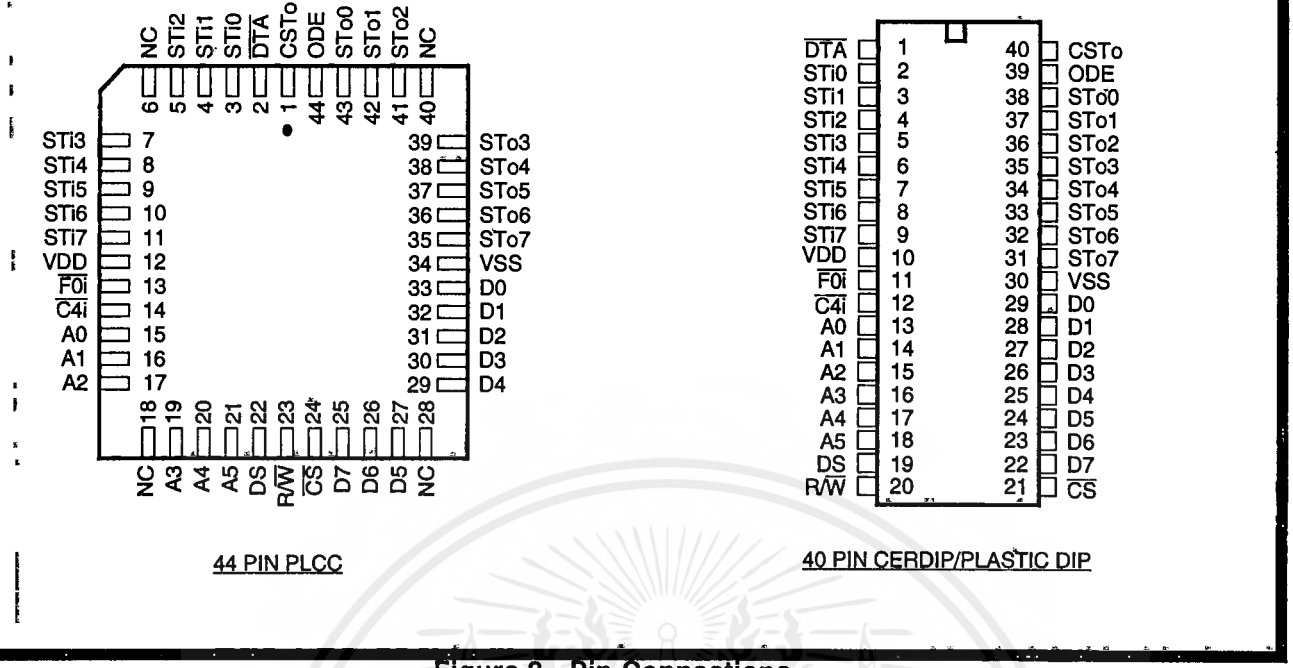


Figure 2 - Pin Connections

n Description

Pin #		Name	Description
40 DIP	44 PLCC		
1	2	$\overline{DTA}$	**Data Acknowledgement (Open Drain Output).** This is the data acknowledgement on the microprocessor interface. This pin is pulled low to signal that the chip has processed the data. A 909 Ω, 1/4W, resistor is recommended to be used as a pullup.
2-4	3-5	STi0-STi2	**ST-BUS Input 0 to 2 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
5-9	7-11	STi3-STi7	**ST-BUS Input 3 to 7 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
10	12	V_{DD}	**Power Input.** Positive Supply.
11	13	$\overline{F0i}$	**Framing 0-Type (Input).** This is the input for the frame synchronization pulse for the 2048 kbit/s ST-BUS streams. A low on this input causes the internal counter to reset on the next negative transition of $\overline{C4i}$.
12	14	$\overline{C4i}$	**4.096 MHz Clock (Input).** ST-BUS bit cell boundaries lie on the alternate falling edges of this clock.
13-15	15-17	A0-A2	**Address 0 to 2 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
16-18	19-21	A3-A5	**Address 3 to 5 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
19	22	DS	**Data Strobe (Input).** This is the input for the active high data strobe on the microprocessor interface.
20	23	R/$\overline{W}$	**Read or Write (Input).** This is the input for the read/write signal on the microprocessor interface - high for read, low for write.
21	24	$\overline{CS}$	**Chip Select (Input).** This is the input for the active low chip select on the microprocessor interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (continued)

Pin #		Name	Description
40 DIP	44 PLCC		
22-24	25-27	D7-D5	**Data 7 to 5 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
25-29	29-33	D4-D0	**Data 4 to 0 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
30	34	V_{SS}	**Power Input.** Negative Supply (Ground).
31-35	35-39	STo7-STo3	**ST-BUS Output 7 to 3 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
36-38	41-43	STo2-STo0	**ST-BUS Output 2 to 0 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
39	44	ODE	**Output Drive Enable (Input).** If this input is held high, the STo0-STo7 output drivers functio normally. If this input is low, the STo0-STo7 output drivers go into their high impedance state **NB:** Even when ODE is high, channels on the STo0-STo7 outputs can go high impedance under software control.
40	1	CSTo	**Control ST-BUS Output (Complementary Output).** Each frame of 256 bits on this ST-BU output contains the values of bit 1 in the 256 locations of the Connection Memory High.
	6, 18, 28, 40	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

In recent years, there has been a trend in telephony towards digital switching, particularly in association with software control. Simultaneously, there has been a trend in system architectures towards distributed processing or multi-processor systems.

In accordance with these trends, MITEL has devised the ST-BUS (Serial Telecom Bus). This bus architecture can be used both in software-controlled digital voice and data switching, and for interprocessor communications. The uses in switching and in interprocessor communications are completely integrated to allow for a simple general purpose architecture appropriate for the systems of the future.

The serial streams of the ST-BUS operate continuously at 2048 kbit/s and are arranged in 125 µs wide frames which contain 32 8-bit channels. MITEL manufactures a number of devices which interface to the ST-BUS; a key device being the MT8980 chip.

The MT8980 can switch data from channels on ST-BUS inputs to channels on ST-BUS outputs, and simultaneously allows its controlling microprocessor to read channels on ST-BUS inputs or write to channels on ST-BUS outputs (Message Mode). To the microprocessor, the MT8980 looks like a memory peripheral. The microprocessor can write to the MT8980 to establish switched connections between input ST-BUS channels and output ST-BUS channels, or to transmit messages on output ST-BUS channels. By reading from the MT8980, the microprocessor can receive messages from ST-BUS input channels or check which switched connections have already been established.

By integrating both switching and interprocessor communications, the MT8980 allows systems to use distributed processing and to switch voice or data in an ST-BUS architecture.

Hardware Description

Serial data at 2048 kbit/s is received at the eight ST-BUS inputs (STi0 to STi7), and serial data is transmitted at the eight ST-BUS outputs (STo0 to STo7). Each serial input accepts 32 channels of digital data, each channel containing an 8-bit word which may represent a PCM-encoded analog/voice sample as provided by a codec (e.g., MITEL's MT8964).

This serial input word is converted into parallel data and stored in the 256 X 8 Data Memory. Locations in the Data Memory are associated with particular channels on particular ST-BUS input streams. These locations can be read by the microprocessor which controls the chip.

Locations in the Connection Memory, which is split into high and low parts, are associated with particular ST-BUS output streams. When a channel is due to be transmitted on an ST-BUS output, the data for the channel can either be switched from an ST-BUS input or it can originate from the microprocessor. If the data is switched from an input, then the contents of the Connection Memory Low location associated with the output channel is used to address the Data Memory. This Data Memory address corresponds to the channel on the input ST-BUS stream on which the data for switching arrived. If the data for the output channel originates from the microprocessor (Message Mode), then the contents of the Connection Memory Low location associated with the output channel are output directly, and this data is output repetitively on the channel once every frame until the microprocessor intervenes.

The Connection Memory data is received, via the Control Interface, at D7 to D0. The Control Interface also receives address information at A5 to A0 and handles the microprocessor control signals $\overline{CS}$, $\overline{DTA}$, R/$\overline{W}$ and DS. There are two parts to any address in the Data Memory or Connection Memory.

A5	A4	A3	A2	A1	A0	HEX ADDRESS	LOCATION
0	X	X	X	X	X	00 - 1F	Control Register *
1	0	0	0	0	0	20	Channel 0†
1	0	0	0	0	1	21	Channel 1†
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	3F	Channel 31†

* Writing to the Control Register is the only fast transaction.
† Memory and stream are specified by the contents of the Control Register.

Figure 3- Address Memory Map

เอกสารนี้ใช้เอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The higher order bits come from the Control Register, which may be written to or read from via the Control Interface. The lower order bits come from the address lines directly.

The Control Register also allows the chip to broadcast messages on all ST-BUS outputs (i.e., to put every channel into Message Mode), or to split the memory so that reads are from the Data Memory and writes are to the Connection Memory Low. The Connection Memory High determines whether individual output channels are in Message Mode, and allows individual output channels to go into a high-impedance state, which enables arrays of MT8980s to be constructed. It also controls the CSTo pin.

All ST-BUS timing is derived from the two signals $\overline{C4i}$ and $\overline{F0i}$.

Software Control

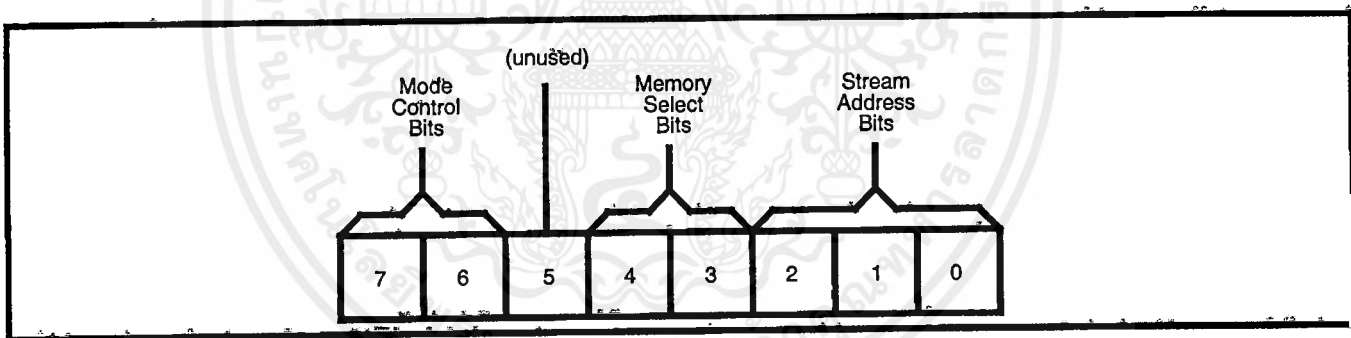
The address lines on the Control Interface give access to the Control Register directly or, depending on the contents of the Control Register, to the High or Low sections of the Connection Memory or to the Data Memory.

If address line A5 is low, then the Control Register is addressed regardless of the other address lines (see Fig. 3). If A5 is high, then the address lines A4-A0 select the memory location corresponding to channel 0-31 for the memory and stream selected in the Control Register.

The data in the Control Register consists of mode control bits, memory select bits, and stream address bits (see Fig. 4). The memory select bits allow the Connection Memory High or Low or the Data Memory to be chosen, and the stream address bits define one of the ST-BUS input or output streams.

Bit 7 of the Control Register allows split memory operation - reads are from the Data Memory and writes are to the Connection Memory Low.

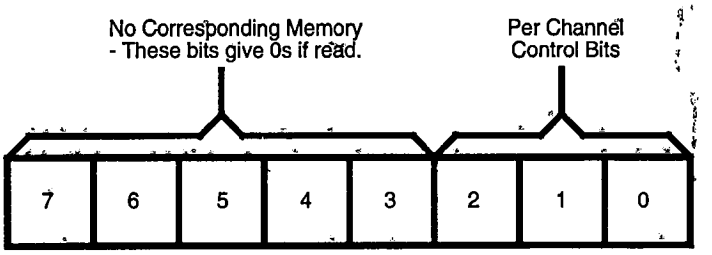
The other mode control bit, bit 6, puts every output channel on every output stream into active Message Mode; i.e., the contents of the Connection Memory Low are output on the ST-BUS output streams once every frame unless the ODE pin is low. In this mode the chip behaves as if bits 2 and 0 of every Connection Memory High location were 1, regardless of the actual values.



BIT	NAME	DESCRIPTION
7	Split Memory	When 1, all subsequent reads are from the Data Memory and writes are to the Connection Memory Low, except when the Control Register is accessed again. When 0, the Memory Select bits specify the memory for subsequent operations. In either case, the Stream Address Bits select the subsection of the memory which is made available.
6	Message Mode	When 1, the contents of the Connection Memory Low are output on the Serial Output streams except when the ODE pin is low. When 0, the Connection Memory bits for each channel determine what is output.
5	(unused)	
4-3	Memory Select Bits	0-0 - Not to be used 0-1 - Data Memory (read only from the microprocessor port) 1-0 - Connection Memory Low 1-1 - Connection Memory High
2-0	Stream Address Bits	The number expressed in binary notation on these bits refers to the input or output ST-BUS stream which corresponds to the subsection of memory made accessible for subsequent operations.

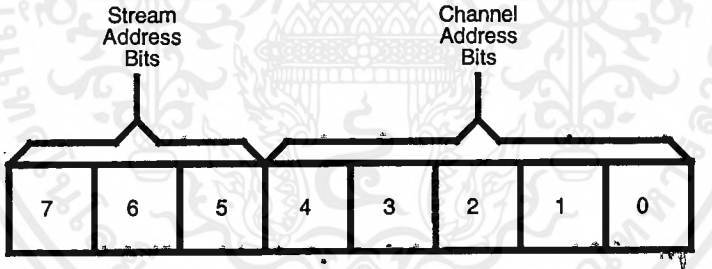
Figure 4 - Control Register Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BIT	NAME	DESCRIPTION
2	Message Channel	When 1, the contents of the corresponding location in Connection Memory Low are output on the location's channel and stream. When 0, the contents of the corresponding location in Connection Memory Low act as an address for the Data Memory and so determine the source of the connection to the location's channel and stream.
1	CSTo Bit	This bit is output on the CSTo pin one channel early. The CSTo bit for stream 0 is output first.
0	Output Enable	If the ODE pin is high and bit 6 of the Control Register is 0, then this bit enables the output driver for the location's channel and stream. This allows individual channels on individual streams to be made high-impedance, allowing switching matrices to be constructed. A 1 enables the driver and a 0 disables it.

Figure 5 - Connection Memory High Bits



BIT	NAME	DESCRIPTION
7-5*	Stream Address Bits*	The number expressed in binary notation on these 3 bits is the number of the ST-BUS stream for the source of the connection. Bit 7 is the most significant bit. e.g., if bit 7 is 1, bit 6 is 0 and bit 5 is 0, then the source of the connection is a channel on STi4.
4-0*	Channel Address Bits*	The number expressed in binary notation on these 5 bits is the number of the channel which is the source of the connection (The ST-BUS stream where the channel lies is defined by bits 7, 6 and 5.). Bit 4 is the most significant bit. e.g., if bit 4 is 1, bit 3 is 0, bit 2 is 0, bit 1 is 1 and bit 0 is 1, then the source of the connection is channel 19.

*If bit 2 of the corresponding Connection High location is 1 or if bit 6 of the Control Register is 1, then these entire 8 bits are output on the channel and stream associated with this location. Otherwise, the bits are used as indicated to define the source of the connection which is output on the channel and stream associated with this location.

Figure 6 - Connection Memory Low Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If bit 6 of the Control Register is 0, then bits 2 and 0 of each Connection Memory High location function normally (see Fig. 5). If bit 2 is 1, the associated ST-BUS output channel is in Message Mode; i.e., the byte in the corresponding Connection Memory Low location is transmitted on the stream at that channel. Otherwise, one of the bytes received on the serial inputs is transmitted and the contents of the Connection Memory Low define the ST-BUS input stream and channel where the byte is to be found (see Fig. 6).

If the ODE pin is low, then all serial outputs are high-impedance. If it is high and bit 6 in the Control Register is 1, then all outputs are active. If the ODE pin is high and bit 6 in the Control Register is 0, then the bit 0 in the Connection Memory High location enables the output drivers for the corresponding individual ST-BUS output stream and channel. Bit 0=1 enables the driver and bit 0=0 disables it (see Fig. 5).

Bit 1 of each Connection Memory High location (see Fig. 5) is output on the CSTo pin once every frame. To allow for delay in any external control circuitry the bit is output one channel before the corresponding channel on the ST-BUS streams, and the bit for stream 0 is output first in the channel; e.g., bit 1's for channel 9 of streams 0-7 are output synchronously with ST-BUS channel 8 bits 7-0.

Applications

Use in a Simple Digital Switching System

Figs. 7 and 8 show how MT8980s can be used with MT8964s to form a simple digital switching system. Fig. 7 shows the interface between the MT8980s and the filter/codecs. Fig. 8 shows the position of these components in an example architecture.

The MT8964 filter/codec in Fig. 7 receives and transmits digitized voice signals on the ST-BUS input D_R, and ST-BUS output D_X, respectively. These signals are routed to the ST-BUS inputs and outputs on the top MT8980, which is used as a digital speech switch.

The MT8964 is controlled by the ST-BUS input D_C originating from the bottom MT8980, which generates the appropriate signals from an output channel in Message Mode. This architecture optimizes the messaging capability of the line circuit by building signalling logic, e.g., for on-off hook detection, which communicates on an ST-BUS output. This signalling ST-BUS output is monitored by a microprocessor (not shown) through an ST-BUS input on the bottom MT8980.

Fig. 8 shows how a simple digital switching system may be designed using the ST-BUS architecture. This is a private telephone network with 256 extensions which uses a single MT8980 as a speech switch and a second MT8980 for communication with the line interface circuits.

A larger digital switching system may be designed by cascading a number of MT8980s. Fig. 9 shows how four MT8980s may be arranged in a non-blocking configuration which can switch any channel on any of the ST-BUS inputs to any channel on the ST-BUS outputs.

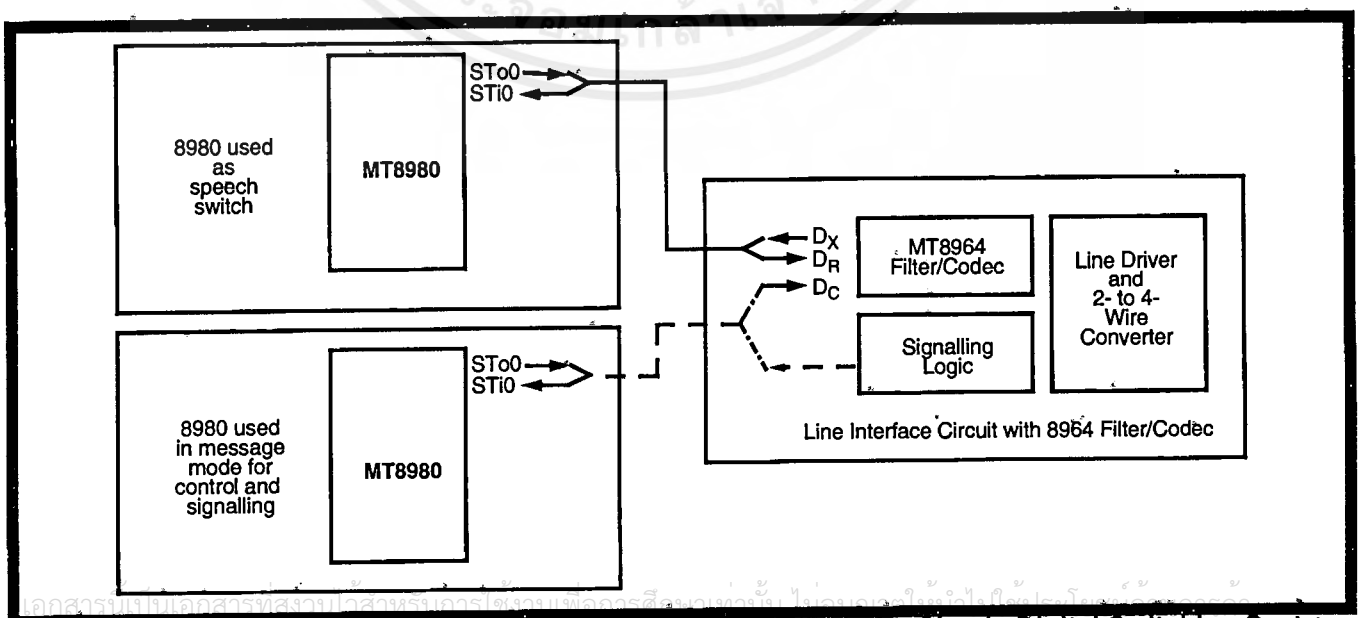


Figure 7 - Example of Typical Interface between 8980s and 8964s for Simple Digital Switching System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

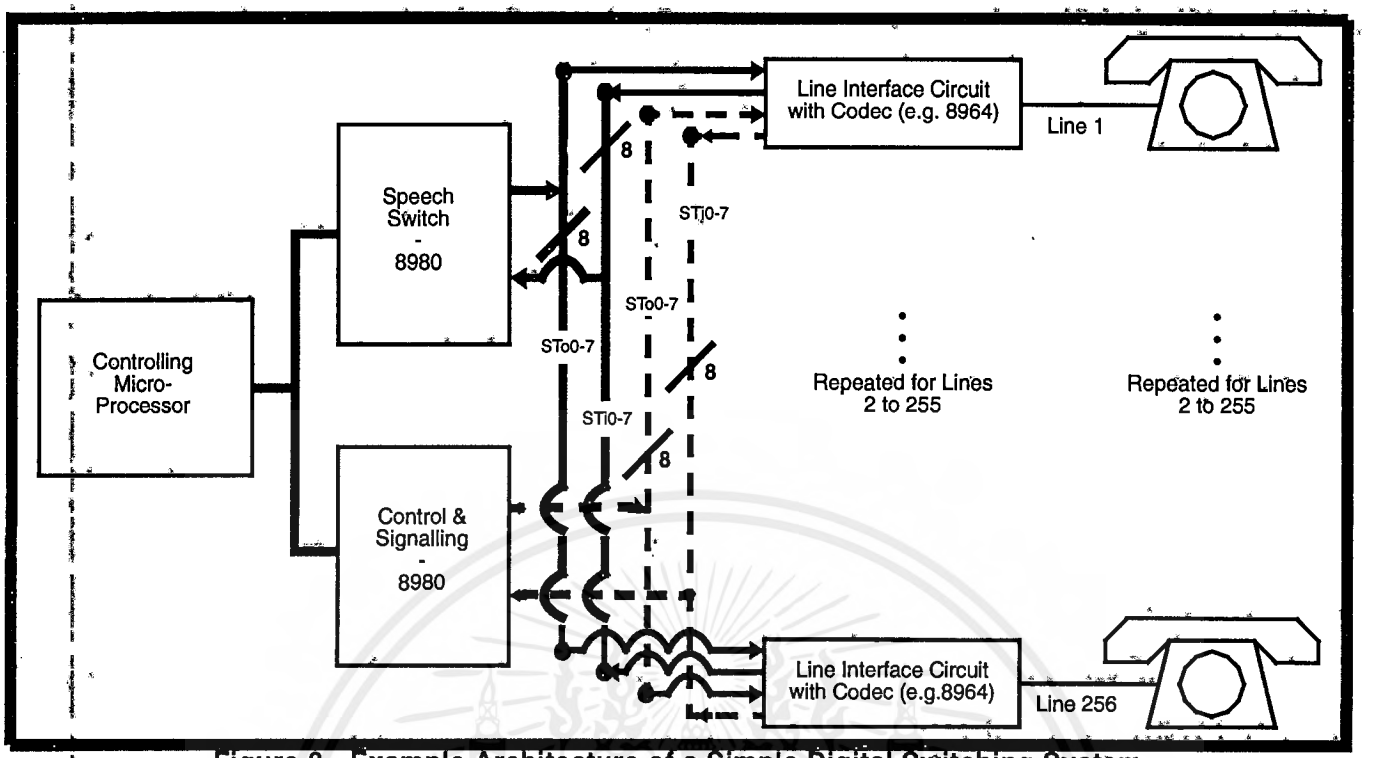


Figure 8 - Example Architecture of a Simple Digital Switching System

Application Circuit with 6802 Processor

Fig. 10 shows an example of a complete circuit which may be used to evaluate the chip.

For convenience, a 4 MHz crystal oscillator has been used rather than a 4.096 MHz clock, as both are within the limits of the chip's specifications. The RC delay used with the 393 counters ensures a sufficient hold time for the $\overline{FP}$ signal, but the values used may have to be changed if faster 393 counters become available.

The chip is shown as memory mapped into the MEK6802D3 system. Chip addresses 00-3F correspond to processor addresses 2000-203F. Delay through the address decoder requires the VMA signal to be used twice to remove glitches. The MEK6802D3 board uses a 10KΩ pullup on the MR pin, which would have to be incorporated into the circuit if the board was replaced by a processor.

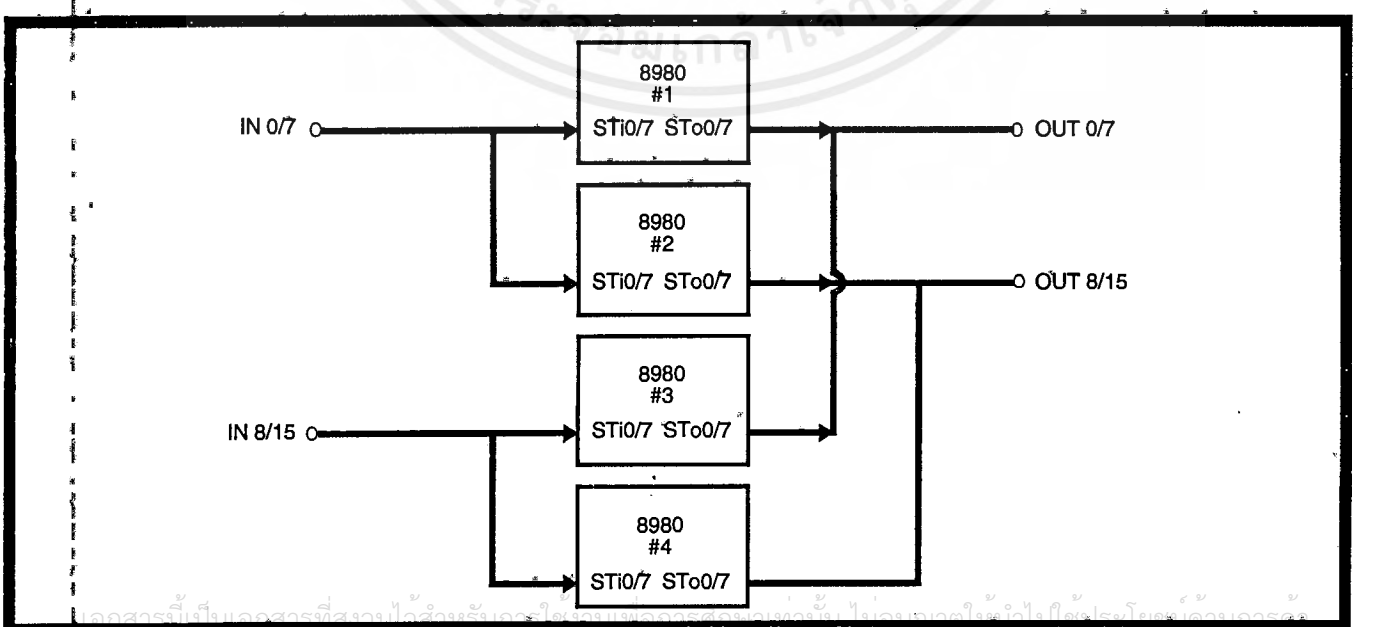


Figure 9 - Four 8980s Arranged in a Non-Blocking 16 x 16 Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

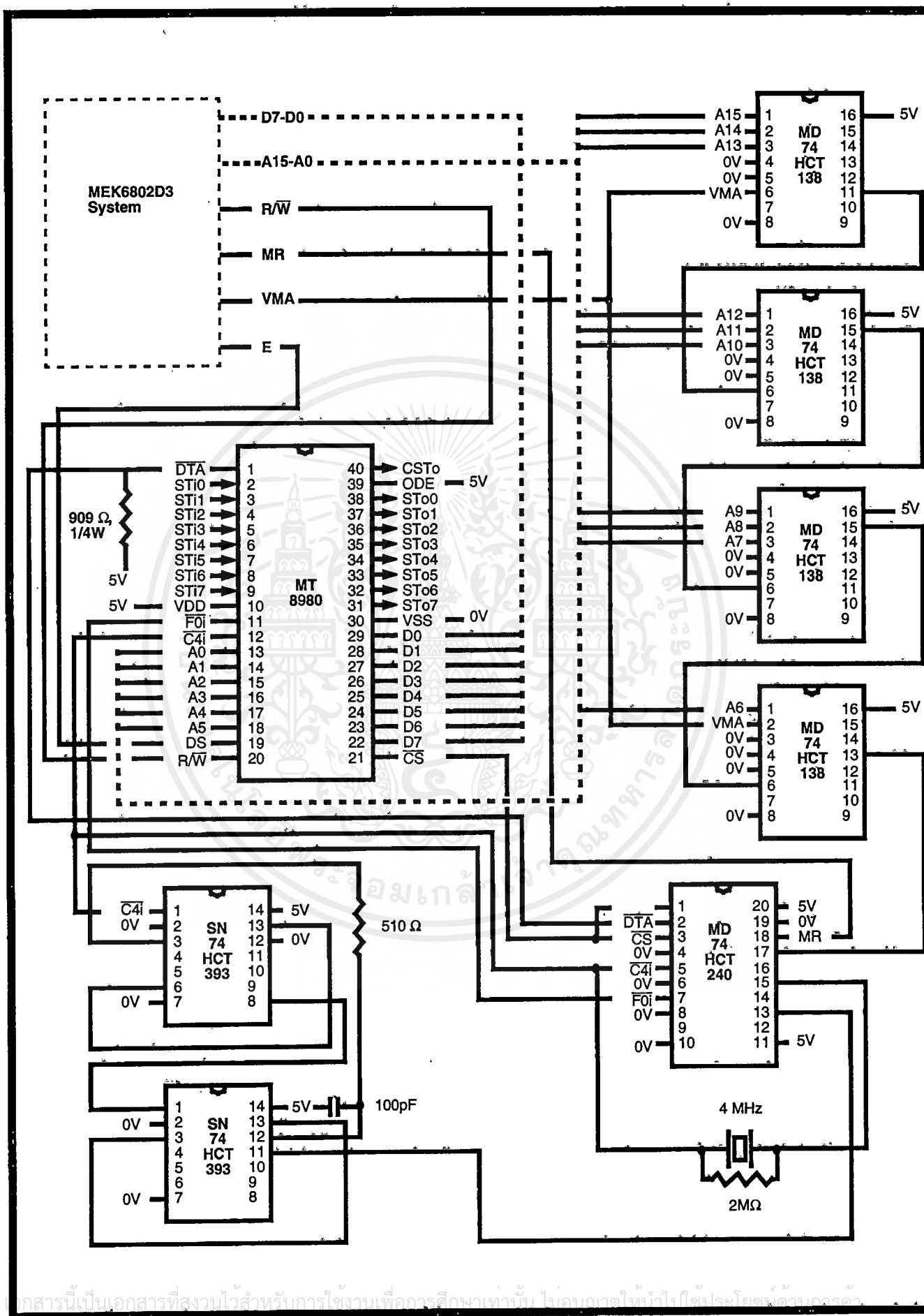


Figure 10 - Application Circuit with 6802

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	V_{DD} - V_{SS}		-0.3	7	V
2	Voltage on Digital Inputs	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Voltage on Digital Outputs	V_O	V_{SS}-0.3	V_{DD}+0.3	V
4	Current at Digital Outputs	I_O		40	mA
5	Storage Temperature	T_S	-65	+150	°C
6	Package Power Dissipation	P_D		2	W

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

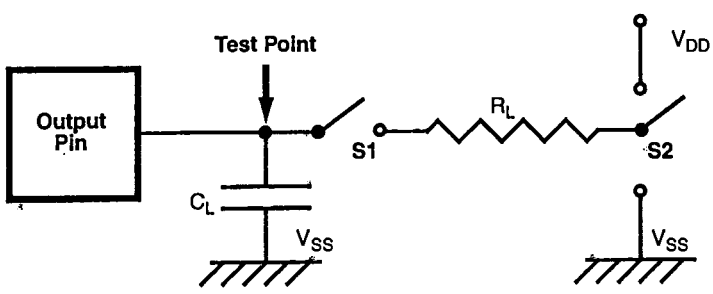
	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating Temperature	T_{OP}	-40		+85	°C	
2	Positive Supply	V_{DD}	4.75		5.25	V	
3	Input Voltage	V_I	0		V_{DD}	V	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡			
1	INPUTS	Supply Current	I_{DD}		6	10	mA	Outputs unloaded
2		Input High Voltage	V_{IH}	2.0			V	
3		Input Low Voltage	V_{IL}			0.8	V	
4		Input Leakage	I_{IL}			5	µA	V_I between V_{SS} and V_{DD}
5		Input Pin Capacitance	C_I		8		pF	
6	OUTPUTS	Output High Voltage	V_{OH}	2.4			V	I_{OH} = 10 mA
7		Output High Current	I_{OH}	10	15		mA	Sourcing. V_{OH}=2.4V
8		Output Low Voltage	V_{OL}			0.4	V	I_{OL} = 5 mA
9		Output Low Current	I_{OL}	5	10		mA	Sinking. V_{OL} = 0.4V
10		High Impedance Leakage	I_{OZ}			5	µA	V_O between V_{SS} and V_{DD}
11		Output Pin Capacitance	C_O		8		pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.



S1 is open circuit except when testing output levels or high impedance states.

S2 is switched to V_{DD} or V_{SS} when testing output levels or high impedance states.

Figure 11 - Output Test Load

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Clock Timing (Figures 12 and 13)

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	INPUTS	Clock Period*	t_{CLK}	220	244	300	ns	
2		Clock Width High	t_{CH}	95	122	150	ns	
3		Clock Width Low	t_{CL}	110	122	150	ns	
4		Clock Transition Time	t_{CTT}		20		ns	
5		Frame Pulse SetupTime	t_{FPS}	20		200	ns	
6		Frame Pulse Hold Time	t_{FPH}	0.020		50	µs	
7		Frame Pulse Width	t_{FPW}		244		ns	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* Contents of Connection Memory are not lost if the clock stops, however, ST-BUS outputs go into the high impedance state.
NB: Frame Pulse is repeated every 512 cycles of $\overline{C4i}$.

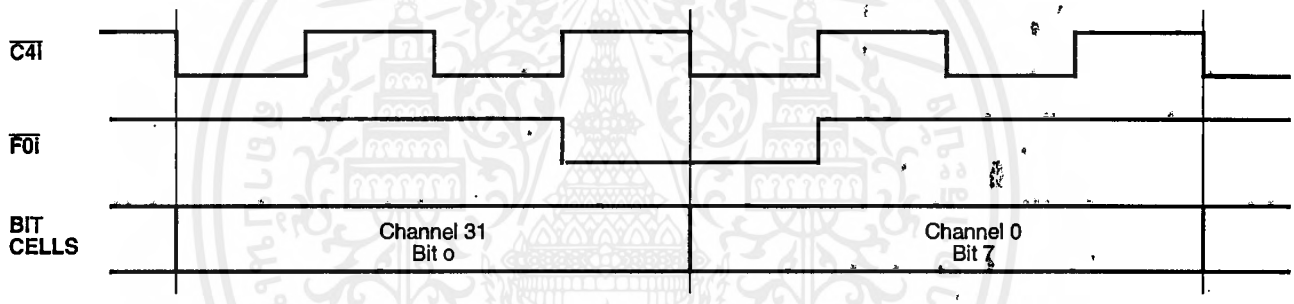


Figure 12 - Frame Alignment

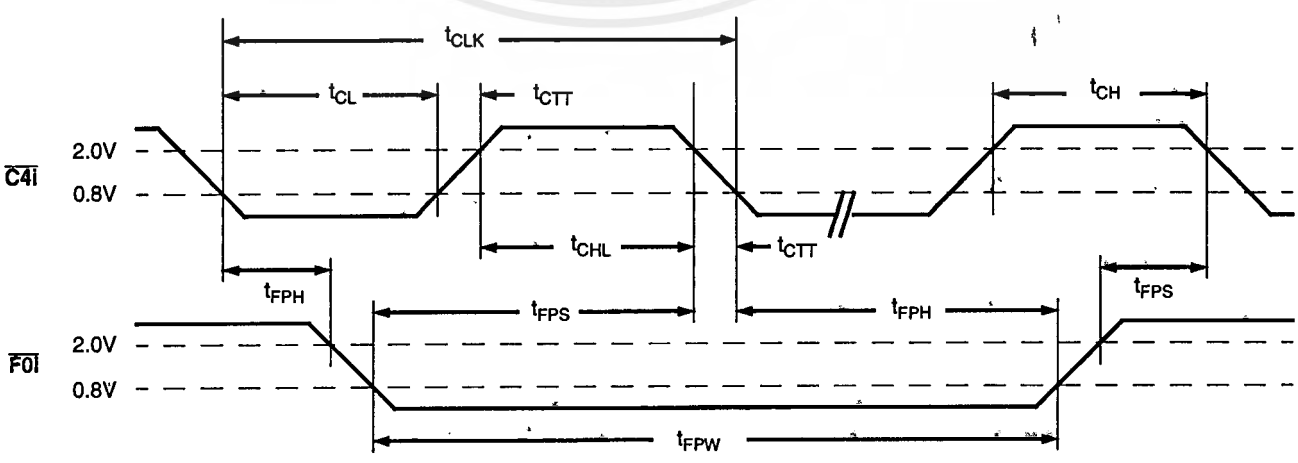


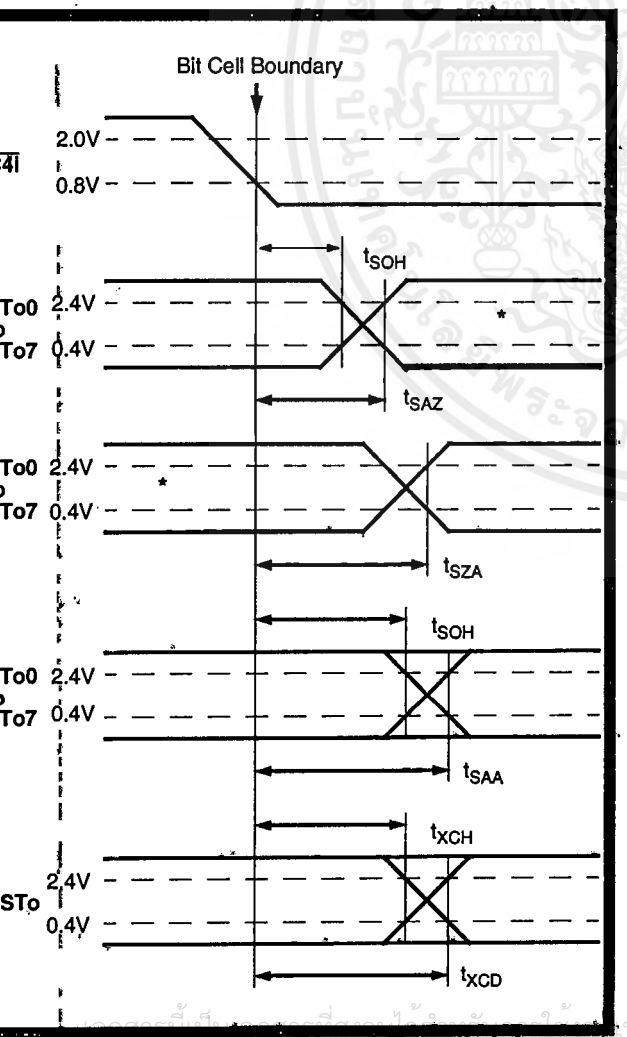
Figure 13 - Clock Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C Electrical Characteristics† - Serial Streams (Figures 11, 14, 15 and 16)

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	O	STo0/7 Delay - Active to High Z	t_{SAZ}	20	50	80	ns	R_L=1 KΩ*, C_L=150 pF
2	U	STo0/7 Delay - High Z to Active	t_{SZA}	25	60	125	ns	C_L=150 pF
3	T	STo0/7 Delay - Active to Active	t_{SAA}	30	65	125	ns	C_L=150 pF
4	P	STo0/7 Hold Time	t_{SOH}	25	45		ns	C_L=150 pF
5	U	Output Driver Enable Delay	t_{OED}		45	125	ns	R_L=1 KΩ*, C_L=150 pF
6	T	External Control Hold Time	t_{XCH}	0	50		ns	C_L=150 pF
7	S	External Control Delay	t_{XCD}		75	110	ns	C_L=150 pF
8	I	Serial Input Setup Time	t_{SIS}		-40	-20	ns	
9	N	Serial Input Hold Time	t_{SIH}	90			ns	

Timing is over recommended temperature & power supply voltages.
Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
High Impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.



gure 14 - Serial Outputs and External Control

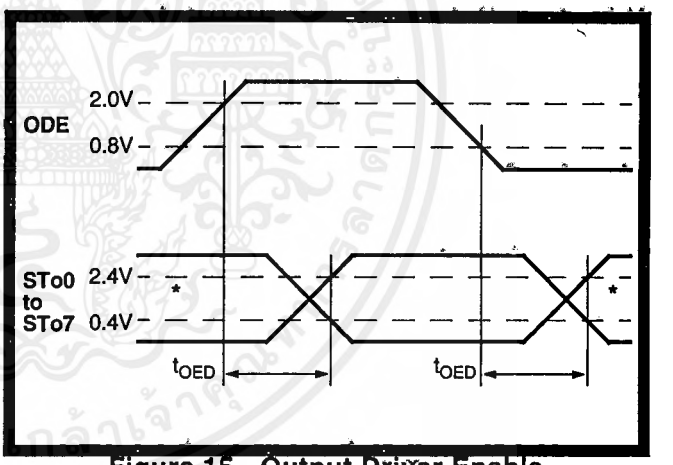


Figure 15 - Output Driver Enable

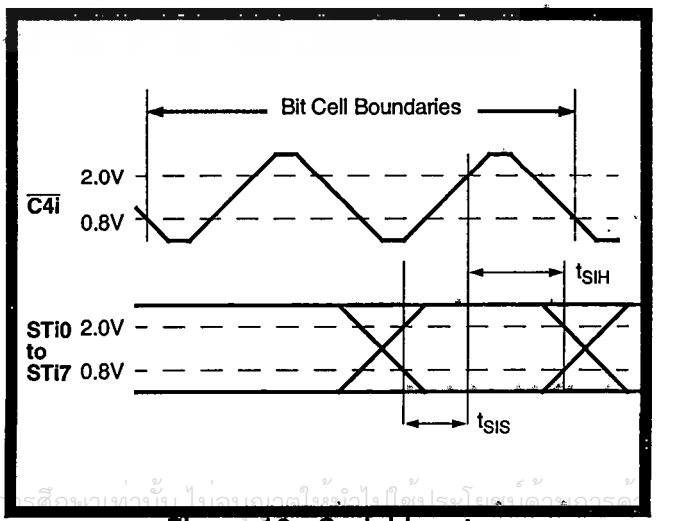


Figure 16 - Serial Inputs

ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Processor Bus (Figures 11 and 17)

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Chip Select Setup Time	t_{CSS}	20	0		ns	
2	Read/Write Setup Time	t_{RWS}	25	5		ns	
3	Address Setup Time	t_{ADS}	25	5		ns	
4	Acknowledgement Delay Fast	t_{AKD}		40	100	ns	C_L=150 pF
	Slow	t_{AKD}	2.7		7.2	cycles	$\overline{C4i}$ cycles①
5	Fast Write Data Setup Time	t_{FWS}	20			ns	
6	Slow Write Data Delay	t_{SWD}		2.0	1.7	cycles	$\overline{C4i}$ cycles①
7	Read Data Setup Time	t_{RDS}			0.5	cycles	$\overline{C4i}$ cycles①, C_L= 150 pF
8	Data Hold Time Read	t_{DHT}	20			ns	R_L=1 KΩ*, C_L=150 pF
	Write	t_{DHT}	20	10		ns	
9	Read Data To High Impedance	t_{RDZ}		50	90	ns	R_L=1 KΩ*, C_L=150 pF
10	Chip Select Hold Time	t_{CSH}	0			ns	
11	Read/Write Hold Time	t_{RWH}	0			ns	
12	Address Hold Time	t_{ADH}	0			ns	
13	Acknowledgement Hold Time	t_{AKH}	10	60	80	ns	R_L=1 KΩ*, C_L=150 pF

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High Impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.
① Processor accesses are dependent on the $\overline{C4i}$ clock, and so some timings are expressed as multiples of the $\overline{C4i}$ clock period.

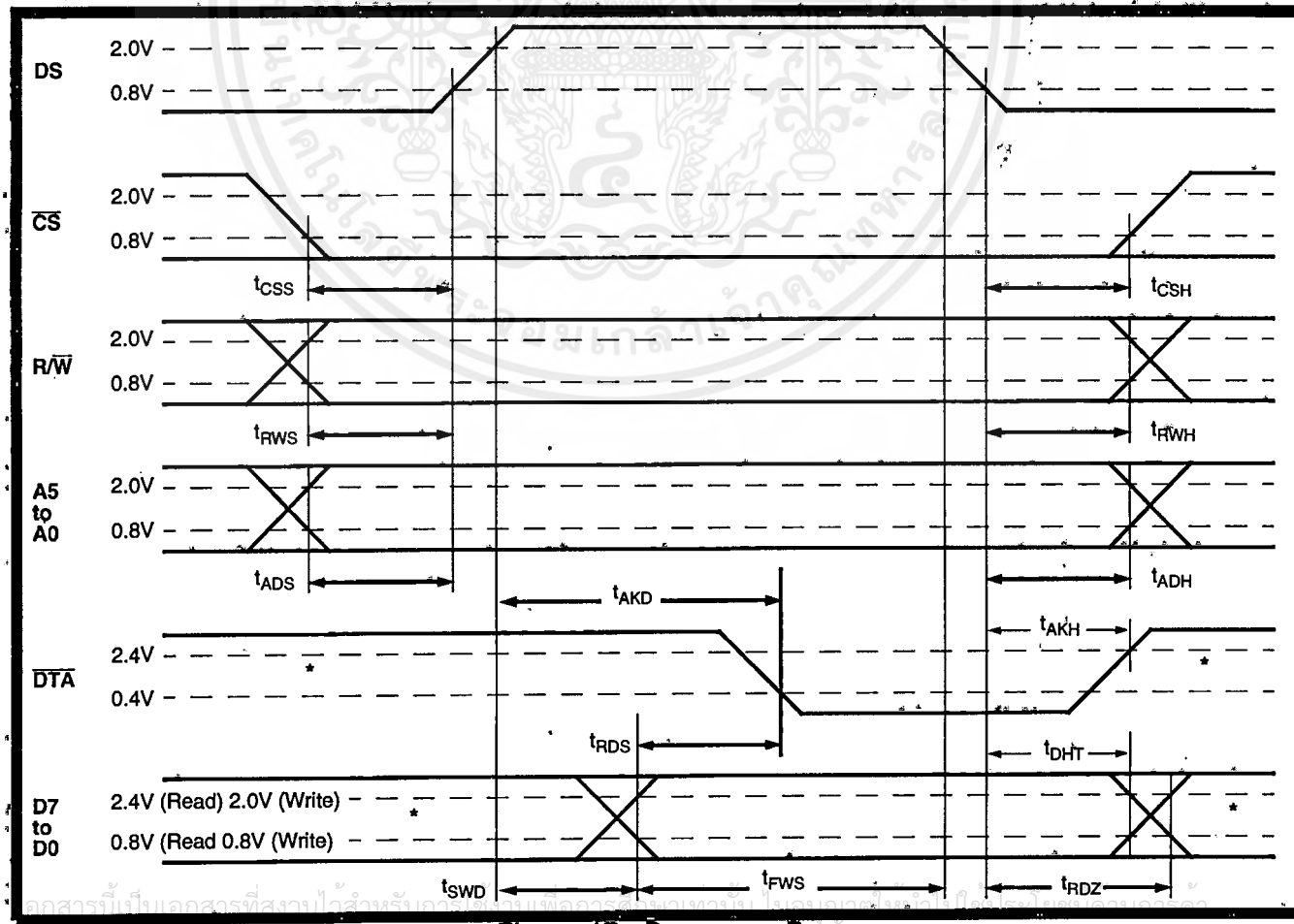


Figure 17 - Processor Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. John L. Fike, George E. Friend **Understanding Telephone Electronics** Sams (A Division of Macmillan Computer Publishing)
2. Winston D. Gayler **Telephone Voice Transmission : Standards and Measurement** Prentice Hall
3. Bernhard E. Keiser, Eugene Strange **Digital Telephony and Network Integration** Van Nostrand Reinhold Company
4. Felix J. Redmill, Andy R. Valdar **SPC Digital Telephone Exchanges** Peter Peregrinus Ltd.
5. Stanley E. Bush, Charles R. Parsons **Private Branch Exchange Systems and Applications**
6. John Bellamy **Digital Telephony** John Wiley &-Sons, Inc.
7. Whitham D. Reeve **Subscriber Loop Signaling and Transmission Handbook** IEEE Press
8. British Telecommunications Systems Limited **Introducing System X**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สำเร็จลุล่วงได้ดีด้วยได้รับความช่วยเหลือและชี้แนะจากหลายท่าน ผู้จัดทำขอขอบพระคุณอาจารย์ที่ปรึกษาท่าน รศ.ดร.มนัส สังวรศิลป์ ที่ช่วยเหลือให้คำแนะนำ และทุกท่านที่ได้เอื้อเฟื้อข้อมูลและเอกสารต่างๆ อันเป็นประโยชน์ยิ่งไว้ ณ ที่นี้

นางสาวสมจิตร น้อยอามาตย์

นายสมศักดิ์ โลหะศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้