สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสื่อสารข้อมูลด้วยคลื่น VHF

VHF DATA COMMUNICATION

โดย

นายจักรกฤษณ์ ยิ่งทุนดี 39013192

นายวทัญญู พรมดาว 39013202

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

เลขหมู่.....
เลขทะเบียน.....34022.....
วัน, เดือน, ปี- 1 ต.ค. 2542

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การสื่อสารข้อมูลด้วยคลื่น VHF

ผู้จัดทำ

1. นายจักรกฤษณ์ ยิ่งทุนดี เลขประจำตัว 39013192
2. นายวทัญญู พรมดาว เลขประจำตัว 39013202

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

กิตติกรรมประกาศ

ผู้จัดทำรายงานขอขอบพระคุณอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาในการเริ่มต้นทำโครงงานชิ้นนี้ ตลอดจนข้อคิดเห็นในทางปฏิบัติและแนวทางในการแก้ไขปัญหาต่าง ๆ จนสำเร็จมาได้ด้วยดี และอาจารย์ในภาควิชาอิเล็กทรอนิกส์ที่ให้คำแนะนำในการปฏิบัติงานต่าง ๆ โดยผู้จัดทำรายงานได้นำความรู้ที่เรียนผ่านมาในแต่ละเทอม นำมาประยุกต์และนำมาแก้ไขปัญหาต่าง ๆ ซึ่งเป็นประโยชน์อย่างมากทำให้สามารถแก้ไขปัญหาต่าง ๆ จนสำเร็จลงได้ด้วยดี ซึ่งถ้าขาดบุคคลดังกล่าวมาแล้วผู้จัดทำรายงานก็คงไม่สามารถที่จะทำงานให้สำเร็จลงได้ และในสุดท้ายนี้ผู้จัดทำรายงานใคร่ขอขอบพระคุณบุคคลที่ได้กล่าวถึงเป็นอย่างสูง ผู้จัดทำรายงานขอระลึกถึงด้วยความขอบคุณยิ่ง

.....

(นายจักรกฤษณ์ ยิ่งทุนดี)

.....

(นายวทัญญู พรมดาว)

การสื่อสารข้อมูลด้วยคลื่น VHF

นายจักรกฤษณ์ ยิ่งทุนดี
นายวทัญญู พรมดาว
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2541

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้รายงานการศึกษา และสร้างเครื่องส่งข้อมูลระหว่าง computer สัญญาณข่าวสารจากเครื่อง computer เครื่องหนึ่งไปสู่ computer อีกเครื่องหนึ่ง โดยใช้ อัตราเร็วในการส่งข้อมูล 9600 บิทต่อวินาที (baud rate) ผ่านพอร์ตอนุกรมของเครื่อง computer ผ่านการเข้ารหัสแบบ FSK ก่อนนำสัญญาณข่าวสารส่งออกอากาศแบบ Full duplex ด้วยเครื่องส่งวิทยุแบ็บ FM โดยใช้ความถี่ของพาหะในการส่งเท่ากับ 46/49 MH_Z เข้าสู่เครื่องรับแบบ FM แล้วทำการถอดรหัส FSK ได้เป็นสัญญาณข่าวสารเข้าสู่พอร์ตอนุกรม computer ของเครื่องรับ

VHF DATA COMMUNICATION

Mr. Chakkrit Yingthundee

Mr. Watanyoo Promdow

Assist. Prof. Prapagon Suwanna (Advisor)

1998

Abstract

This thesis present design and construction of data communication between computers. The intelligence signal from a computer is sent to another with baud rate of 9600 bit per second. Data is transmitted through computer serial port and then coded by frequency shift keying method. After that procedure, data is brought into RF transmitter which has 46/49 MH_Z carrier frequency and sent to communication channel by full duplex communication. Next, RF receiver get signal from antenna before sent to frequency shift keying decoder in order to recover information. Finally, the same data with respect to data from transmitted computer is brought to received computer through its serial port.

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
สารบัญรูป	VII
บทที่ 1 บทนำ	1
บทที่ 2 พื้นฐานระบบสื่อสาร	2
2.1 บทนำ	2
2.2 ระบบสื่อสาร	2
2.2.1 ระบบสื่อสารแบบอนาลอก	3
2.2.2 ระบบสื่อสารแบบดิจิตอล	5
2.3 การสื่อสารข้อมูล (Data Communication)	6
2.4 การรับส่งข้อมูลแบบขนาน (Parallel Transmission)	7
2.5 การรับส่งข้อมูลแบบอนุกรม (Serial Transmission)	8
2.5.1 การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)	9
2.5.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)	10
2.6 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	12
2.7 การส่งสัญญาณ (Transmission)	12
2.7.1 การส่งผ่านแบบทิศทางเดียว	12
2.7.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน	13
2.7.3 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน	13
บทที่ 3 การมอดดูเลตทางความถี่และเครื่องรับ	14
3.1 บทนำ	14
3.2 การมอดดูเลตทางความถี่ (Frequency Modulator)	15
3.3 คัชนีการมอดูเลต	16
3.4 ไซด์แบนด์ FM	17
3.5 แบนด์วิดธ์ของสัญญาณ FM	20
3.6 Phase - Lock Loops (PLL)	21

3.6.1 การนำ PLL ไปใช้ในการสังเคราะห์ความถี่ 22

3.7 เครื่องรับ FM 23

3.7.1 วงจร RF Amplifier 23

3.7.2 มิกเซอร์ 23

3.7.3 โลคอลออสซิเลเตอร์ 24

3.7.4 วงจร IF Amplifier 25

3.7.5 ลิมิตเตอร์ 25

3.7.6 ดวอดดราเจอร์ดีเทคเตอร์ 25

บทที่ 4 การมอดดูเลตสัญญาณแบบดิจิตอล 28

4.1 บทนำ 28

4.2 การมอดดูเลตสัญญาณแบบดิจิตอล 28

4.2.1 การมอดดูเลตดิจิตอลทางขนาด (Amplitude Shift Keying) 28

4.2.2 การมอดดูเลตดิจิตอลทางเฟส (Phase Shift Keying) 29

4.2.3 การมอดดูเลตดิจิตอลทางความถี่ (Frequency Shift Keying) 31

บทที่ 5 พอร์ต RS-232 36

5.1 บทนำ 36

5.2 พอร์ต RS-232 36

5.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C 37

5.3.1 สถานะ 37

5.3.2 วงจรขับสัญญาณ 38

5.3.3 ความต้านทาน 38

5.3.4 ความไวของการเปลี่ยนแปลงระดับของสัญญาณ 38

5.4 ลักษณะสมบัติเชิงกลของข้อต่อ (Connector) 38

5.5 DB-25 และ DB-9 41

5.6 การเชื่อมต่อคอมพิวเตอร์กับคอมพิวเตอร์โดยตรง (Null Modem) 41

บทที่ 6 หลักการทำงานของวงจร 43

6.1 บทนำ 43

6.2 วงจรภาครับ FM 44

6.3 วงจรภาคส่ง FM 46

6.3.1วงจร Oscillator และ Modulator 46

6.3.2 RF Amplifier 48

6.4 การเลือกความถี่ที่ Oscillate 49

6.5 วงจรแปลงระดับสัญญาณ RS-232C 50

6.6 การทำงานของ FSK Modulator และ Demodulator 51

6.6.1 FSK Modulator 51

6.6.2 FSK Demodulator 53

6.6.3 การออกแบบวงจร 54

บทที่ 7 ผลการวัดสัญญาณและโปรแกรมทดสอบการรับส่งข้อมูล 58

7.1 บทนำ 58

7.2 ผลการวัดสัญญาณทางภาคส่ง 58

7.2.1 PORT RS-232C 58

7.2.2 FSK Modulator 59

7.2.3 FSK Demodulator 61

7.2.4 RF Amplifier 62

7.3 ผลการวัดสัญญาณทางภาครับ 63

7.3.1 FM Receiver 63

7.3.2 FSK Demodulator 64

7.4 ผลการทดลองคุณสมบัติของวงจรภาครับและภาคส่ง FM 64

7.4.1 ผลการทดสอบการทำงานภาค VCO ของ IC เบอร์ MC13135 (ภาครับ) 64

7.4.2 ผลการทดสอบการทำงานภาค VCO ของภาคส่ง FM 65

7.4.3 การทดสอบการทำงานของวงจรสังเคราะห์ความถี่ (ภาครับและภาคส่ง) 66

7.4.4 การทดสอบ Bandwidth ของภาครับ FM 68

7.5 ผลการวัด Harmonics ของเครื่องส่ง 71

7.6 โปรแกรมทดสอบการรับส่งข้อมูล 72

7.6.1 หน้าต่างหลักของโปรแกรมการทดสอบ 72

7.6.2 การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล 73

7.7 ผลการทดลองโปรแกรมการทดสอบการรับส่งข้อมูล 75

บทที่ 8 บทสรุป 79

บรรณานุกรม 80

ภาคผนวก 81

สารบัญรูป

	หน้า
รูปที่ 2.1 ระบบสื่อสารพื้นฐาน	2
รูปที่ 2.2 แสดงแบบต่างๆ ของสื่อกลาง	2
รูปที่ 2.2 (ต่อ) แสดงแบบต่างๆ ของสื่อกลาง	3
รูปที่ 2.3 แสดงการกำหนดค่าความกว้างแถบความถี่	4
รูปที่ 2.4 (ก) แสดงระบบสื่อสารแบบอนาลอกระบบ Base band	4
รูปที่ 2.4 (ข) แสดงระบบสื่อสารแบบอนาลอกระบบ Broad band	5
รูปที่ 2.5 แสดงระบบสื่อสารทั้งแบบอนาลอกและดิจิตอล	6
รูปที่ 2.6 แสดงการส่งผ่านข้อมูลโดยใช้รหัส	7
รูปที่ 2.7 การส่งข้อมูลแบบขนาน	8
รูปที่ 2.8 การส่งข้อมูลแบบอนุกรม	8
รูปที่ 2.9 แสดงการส่งข้อมูลแบบซิงโครนัส	9
รูปที่ 2.10 แสดงรูปแบบข้อมูลแบบซิงโครนัส	10
รูปที่ 2.11 แสดงการส่งข้อมูลแบบอะซิงโครนัส	11
รูปที่ 2.12 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส	11
รูปที่ 2.13 การส่งผ่านแบบทิศทางเดียว	12
รูปที่ 2.14 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน	13
รูปที่ 2.15 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน	13
รูปที่ 3.1 การมอดดูเลตทางความถี่	15
รูปที่ 3.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM	18
รูปที่ 3.3 ตารางแสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดดูเลตค่าต่างๆ	19
รูปที่ 3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลตเท่ากับ 0,0.5,1,1.5,2,3	19
รูปที่ 3.5 Block Diagram Phase - Look Loop (PLL)	21
รูปที่ 3.6 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่	22
รูปที่ 3.7 Block Diagram ของเครื่องรับ FM	23
รูปที่ 3.8 PLL Controlled Wide band FM Receiver at 46 / 49 MH_z	24
รูปที่ 3.9 หลักการทำงานของวงจรลิมิตเตอร์	25
รูปที่ 3.10 แสดงการเทียบเฟสของวงจรควอดดราเจอร์ดีเทคเตอร์	26
รูปที่ 3.11 แสดงการใช้ IC MC3356 ทำหน้าที่เป็น IF Amp , Limiter และQuadrature Detector	27

หน้า

รูปที่ 4.1 แสดงรูปการมอดดูเลตดิจิตอลทางขนาด 29
รูปที่ 4.2 แสดงรูปการมอดดูเลตดิจิตอลทางเฟส 30
รูปที่ 4.3 แสดงสัญญาณในแบบ BPSK 30
รูปที่ 4.4 แสดงการมอดดูเลตดิจิตอลทางความถี่ 31
รูปที่ 4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฟลูดูเพล็กซ์ 32
รูปที่ 4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์ 32
รูปที่ 4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK 33
รูปที่ 5.1 การใช้ RS-232C เชื่อมต่ออุปกรณ์ 36
รูปที่ 5.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C 37
รูปที่ 5.3 การกำหนดข้อต่อของ RS-232C 39
รูปที่ 5.4 แสดงขาที่ใช้งานของ DB-9 และ DB-25 ในการรับส่งข้อมูลแบบอนุกรม 41
รูปที่ 5.5 การต่อ RS-232C ระหว่างคอมพิวเตอร์อย่างง่าย ๆ 42
รูปที่ 5.6 การต่อคอมพิวเตอร์ผ่าน RS-232C แบบมี Hand Shake 42
รูปที่ 6.1 รูปแบบของการรับส่งข้อมูลด้วยคลื่น VHF 43
รูปที่ 6.2 วงจร FM Receiver 45
รูปที่ 6.3 วงจร Limitter & Detector โดยใช้ IC เบอร์ MC3356 46
รูปที่6.4 วงจร Oscillator และ Modulator 47
รูปที่ 6.5 วงจร RF Amplifier 48
รูปที่ 6.6 ตารางคุณสมบัติของ IC เบอร์MC145166 49
รูปที่ 6.7 วงจรแปลงระดับสัญญาณ RS-232C 50
รูปที่ 6.8 แสดงวงจรภายในของ XR 2206 52
รูปที่ 6.9 แสดงวงจร FSK Modulator โดยใช้ IC เบอร์ XR 2206 52
รูปที่ 6.10 แสดงวงจรภายในของ XR2211 53
รูปที่ 6.11 แสดงวงจรที่ใช้งานของ XR 2211 54
รูปที่7.1 สัญญาณของ RS-232C ที่ผ่านวงจรแปลงระดับสัญญาณ 58
รูปที่7.2 (ก) DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM 59
รูปที่7.2 (ข),(ค) DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM 60

หน้า

รูปที่7.2 (ง) DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM 61
รูปที่ 7.3(ก) DATA I/P และ DATA O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM 61
รูปที่ 7.3(ข) DATA I/P และ DATA O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM 62
รูปที่7.4 สัญญาณ IF 10.7 MH_z 63
รูปที่7.5 แสดงการเปรียบเทียบสัญญาณ DATA I/P และ DATA O/P (ตัวอักษร A) 64
รูปที่7.6 ตารางแสดงการทำงานของภาค VCO ของ IC เบอร์ MC13135 65
รูปที่7.7 ตารางแสดงการทำงานของภาค VCO ของภาคส่ง FM 66
รูปที่7.8 แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COM. # 1) 67
รูปที่7.9 แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COM.# 2) 67
รูปที่7.9(ต่อ) แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COM. # 2) 68
รูปที่7.10 VHF DATA COM. # 1 (ชุดรับ) และ VHF DATA COM. # 2 (ชุดส่ง) 68
รูปที่7.10(ต่อ) VHF DATA COM. # 1 (ชุดรับ) และ VHF DATA COM. # 2 (ชุดส่ง) 69
รูปที่7.11 VHF DATA COM. # 2 (ชุดรับ) และ VHF DATA COM. # 1 (ชุดส่ง) 69
รูปที่7.12 ผลตอบสนองความถี่ของเครื่องรับ VHF DATA COM. # 1 70
รูปที่7.13 ผลตอบสนองความถี่ของเครื่องรับ VHF DATA COM. # 2 70
รูปที่ 7.14 ผลการวัด Harmonics ของเครื่องส่ง FM 71
รูปที่ 7.15 หน้าต่างหลักของโปรแกรมการทดสอบ 72
รูปที่7.16(ก) การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล 73
รูปที่7.16(ข) การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล 74
รูปที่7.17 VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้ส่งข้อมูล 75
รูปที่7.18 VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้รับข้อมูล 76
รูปที่7.19 VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้ส่งข้อมูล 77
รูปที่7.20 VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้รับข้อมูล 78

บทที่ 1
บทนำ

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญอย่างมากต่อชีวิตประจำวัน โดยเฉพาะอย่างยิ่งการสื่อสารข้อมูลระหว่างคอมพิวเตอร์ ในการสื่อสารข้อมูลระหว่างเครื่องคอมพิวเตอร์ส่วนใหญ่จะเป็นโมเด็มผ่านโครงข่ายโทรศัพท์ และจะมีความเร็วแตกต่างกันขึ้นอยู่กับชนิดของการมอดดูเลตของข้อมูล ซึ่งรูปแบบการมอดดูเลตมีอยู่หลายรูปแบบด้วยกัน ยกตัวอย่างเช่น โมเด็มที่ใช้การมอดดูเลตแบบ FSK(Frequency Shift Keying) จะใช้ในช่วงอัตราเร็วข้อมูลจากต่ำไปถึงปานกลางที่ใช้ได้ถึง 1200 บิท / วินาที จากตัวอย่างดังกล่าวทำให้เกิดแนวความคิดในการพัฒนาการส่งข้อมูลที่ใช้การมอดดูเลตแบบ FSK ให้มีอัตราเร็วในการส่งข้อมูลสูงขึ้น โดยการสื่อสารข้อมูลผ่านคลื่นวิทยุแทนที่การสื่อสารข้อมูลผ่านสายโทรศัพท์และจะช่วยให้เกิดความคล่องตัวในการใช้งานคือสะดวกในการติดตั้งและเคลื่อนย้าย เนื่องจากไม่ต้องใช้สาย รายงานฉบับนี้จะประกอบไปด้วยเนื้อหาและรายละเอียดที่เกี่ยวกับการสื่อสารข้อมูล โดยจะเน้นไปที่การมอดดูเลตของสัญญาณแบบ FM และการมอดดูเลตสัญญาณแบบดิจิตอล โดยแบ่งเนื้อหาออกเป็นบท ๆ ได้ดังต่อไปนี้

บทที่ 2 พื้นฐานระบบสื่อสาร

บทที่ 3 การมอดดูเลตทางความถี่และเครื่องรับ FM

บทที่ 4 การมอดดูเลตสัญญาณแบบดิจิตอล

บทที่ 5 พอร์ต RS-232C

บทที่ 6 หลักการทำงานของวงจร

บทที่ 7 ผลการวัดสัญญาณและโปรแกรมทดสอบการรับส่งข้อมูล

ในส่วนสุดท้ายของรายงานนั้นจะเป็นการสรุปเกี่ยวกับการทดลองคุณสมบัติต่าง ๆ ของวงจร รวมไปถึงภาคผนวก ซึ่งจะเป็นเนื้อหาที่เกี่ยวกับ Data Sheet และคุณสมบัติต่าง ๆ ของอุปกรณ์ที่สำคัญ

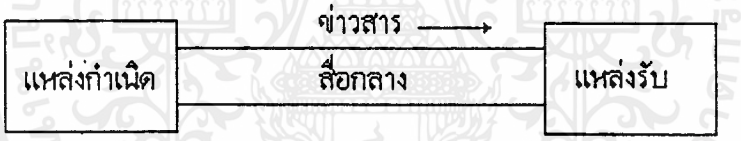
บทที่ 2
พื้นฐานระบบสื่อสาร

2.1 บทนำ

ระบบสื่อสาร (COMMUNICATION SYSTEM) มีความหมายกว้างขวาง การส่งข่าวสารทางสายก็เป็นชนิดหนึ่งของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ ๆ 3 ส่วนคือ

1. ตัวส่งข่าวสาร (TRANSMITTER)
2. ตัวกลางในการส่งข่าวสาร (MEDIUM)
3. ตัวรับข่าวสาร (RECEIVER)

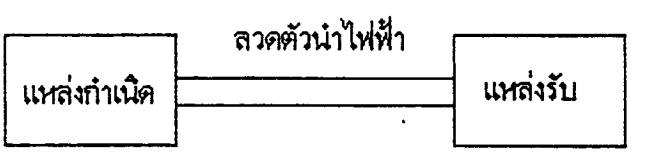
แต่ละส่วนจะมีความสัมพันธ์กันดังรูปที่ 2.1



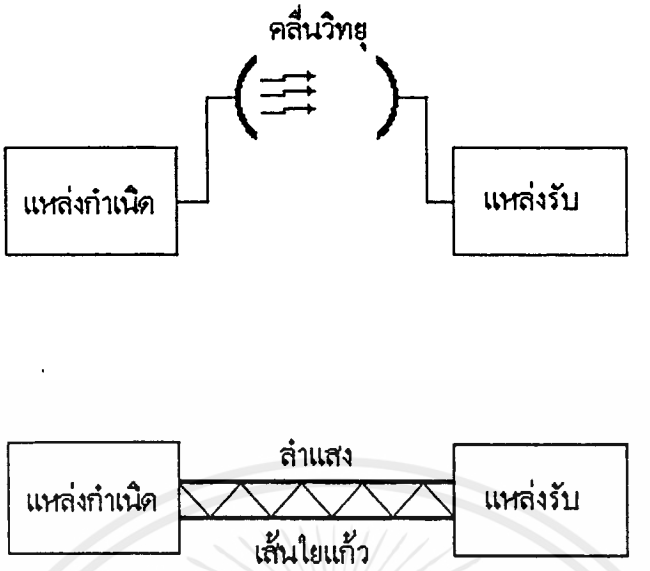
รูปที่ 2.1 ระบบสื่อสารพื้นฐาน

2.2 ระบบสื่อสาร

ในระบบสื่อสารสื่อกลางของการสื่อสารสามารถที่จะมีได้หลายรูปแบบ โดยเฉพาะในงานทางด้านโทรคมนาคมเราใช้สื่อกลางเป็นลวดตัวนำหรือคลื่นวิทยุก็ได้ ซึ่งแสดงให้เห็นในรูปที่ 2.2



รูปที่2.2 แสดงแบบต่าง ๆ ของสื่อกลาง



รูปที่2.2 (ต่อ) แสดงแบบต่าง ๆ ของสื่อกลาง

ที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาลอก
- แบบสัญญาณดิจิตอล

เราจะพิจารณาทีละแบบดังต่อไปนี้

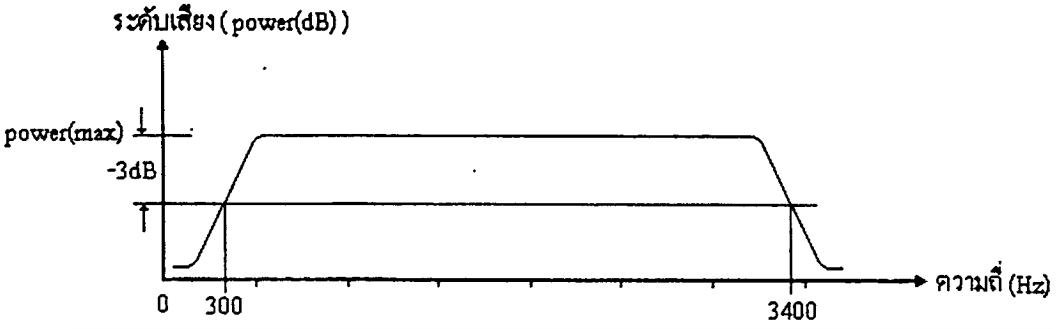
2.2.1 ระบบสื่อสารแบบอนาลอก

สิ่งที่ใช้พิจารณาถึงขีดความสามารถของระบบนี้คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N (Signal - to - Noise ratio)

ถ้าค่า S/N สูง แสดงว่าระบบมีประสิทธิภาพดี

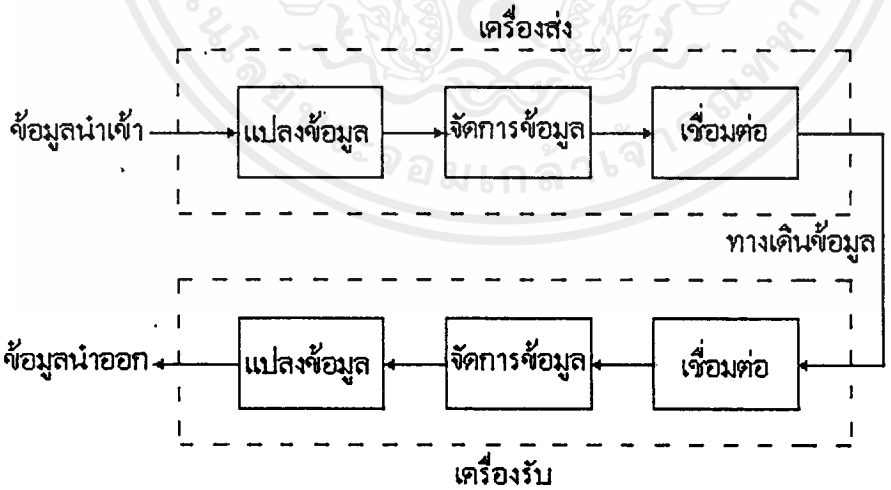
ถ้าค่า S/N ต่ำ แสดงว่าระบบมีประสิทธิภาพไม่ดี

และอีกประเด็นสำคัญที่จะต้องนำมาพิจารณาด้วยคือ ค่าความกว้างแถบ (Band width) ซึ่งค่าความกว้างแถบจะหมายถึง ช่วงความถี่ที่ครอบคลุมกำลังส่วนมากหรือช่วงความถี่ที่มีค่าอัตราขยาย หรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลาง ๆ ของความกว้างแถบ โดยทั่วไปมักกำหนดขอบเขตของความกว้างแถบที่จุด $-3\ dB$ หรือครึ่งหนึ่งของกำลังงานสูงสุด เพื่อให้มองเห็นภาพแสดงดังรูปที่ 2.3 ค่าความกว้างแถบของสัญญาณเสียง ซึ่งมีค่าความกว้างแถบเท่ากับ 3000 H_z (เลือกที่จุด $-3\ dB$)



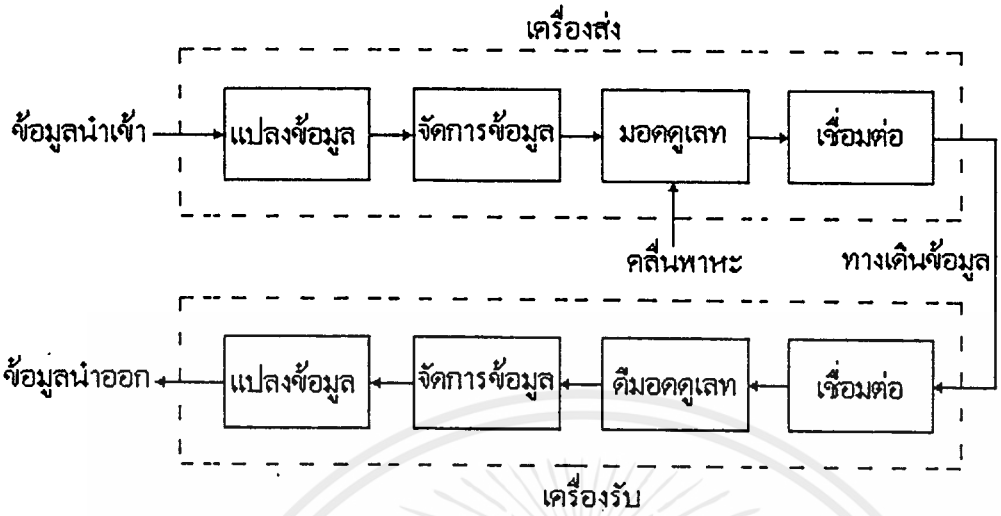
รูปที่2.3 แสดงการกำหนดค่าความกว้างแถบความถี่

เราจะเห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อมีความกว้างแถบความถี่ไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่จะทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดกรณีนี้ว่าความเพี้ยน(Distortion) เมื่อถึงจุดนี้ขอให้ลองพิจารณาระบบสื่อสารแบบอนาลอกในรูปที่ 2.4 ซึ่งมีการทำงานภายในต่างกันแต่มีจุดหลักที่เหมือนกันคือ การรับและส่งข้อมูลในแบบอนาลอกเช่น เสียงหรือภาพที่มองเห็นได้



(ก) ระบบ Baseband

รูปที่2.4 แสดงระบบสื่อสารแบบอนาลอก



(ข) ระบบ Broadband

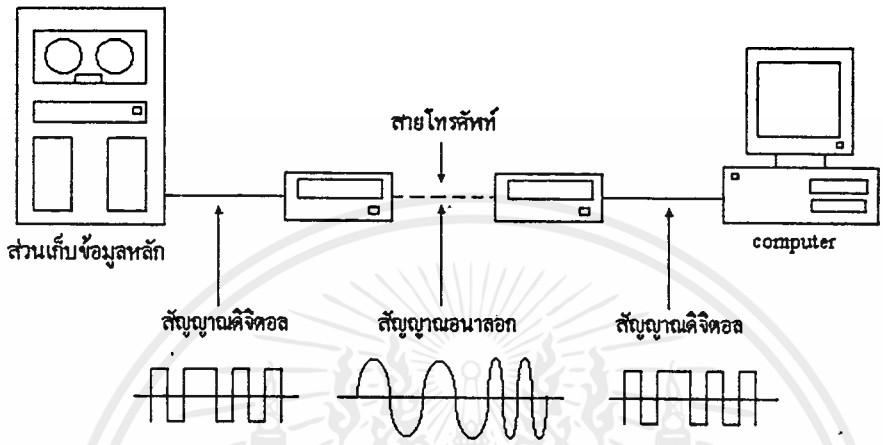
รูปที่2.4(ต่อ) แสดงระบบสื่อสารแบบอนาลอก

จากรูปที่2.4 (ก) แสดงให้เห็นถึงระบบเบสแบนด์ (Base band) ที่มีลักษณะสำคัญคือ รูปสัญญาณที่ส่งออกมาจะมีรูปสเปคตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ ซึ่งหมายถึงไม่มีการมอดดูเลท (Modulate) กับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่งอาจมีการขยายสัญญาณการกรองความถี่ หรือการแมชชิ่งอิมพีแดนซ์ เพื่อลดการสูญเสียในการส่งและรับ ส่วนรูปที่2.4 (ข) แสดงถึงระบบสื่อสารแบบบรอดแบนด์ (Broadband) ที่มีการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (Modulate and Demoulate) อธิบายได้ว่าการรวมหรือแยกสัญญาณจะใช้การเปลี่ยนรูปสเปคตรัมความถี่ของสัญญาณให้เข้ากันกับช่วงความถี่ที่ได้เลือกไว้หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นแทรกเข้ามาในช่วงความถี่เดียวกัน ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลายคือ การกระจายเสียงวิทยุในแบบ AM และ FM

2.2.2 ระบบสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรหัส “1” หรือ “0” เช่นเลขฐานสอง เลขฐานสิบหกเป็นต้น บางครั้งเราอาจมีความต้องการส่งสัญญาณอนาลอกผ่านระบบดิจิตอล จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อน เราเรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (Binary code) ที่สามารถจัดการ

ตามเทคนิคทางดิจิตอลได้ ตัวอย่างเช่น การส่งข้อมูลแบบขนานหรืออนุกรมและแบบสัมพันธ์หรือไม่สัมพันธ์เป็นต้น แสดงดังรูปที่ 2.5



รูปที่2.5 แสดงการสื่อสารทั้งแบบอนาลอกและดิจิตอล

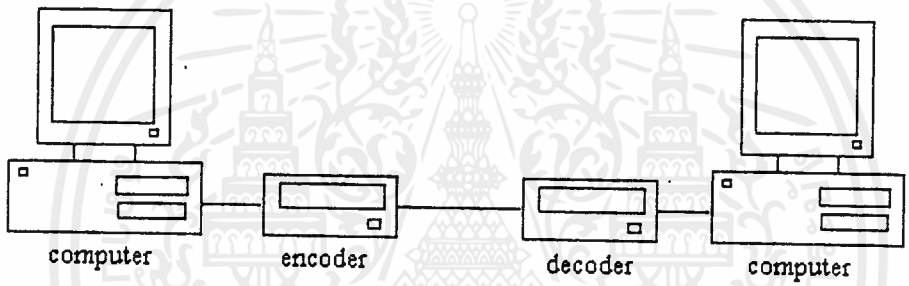
จากรูปที่ 2.5 แสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์ โดยมีอุปกรณ์โมเด็ม (Modem) ทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ให้สามารถรับและส่งข้อมูลผ่านทางสายโทรศัพท์ได้ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าในด้านส่งและแปลงกลับอีกทางด้านรับ ซึ่งวิธีการแปลงสัญญาณคอมพิวเตอร์เป็นสัญญาณไฟฟ้าเรียกว่า การมอดดูเลท (Modulate) และวิธีการแปลงสัญญาณไฟฟ้าเป็นสัญญาณคอมพิวเตอร์เรียกว่า การดีมอดดูเลท (Demodulate) ประเด็นหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอลคือประสิทธิภาพของระบบ โดยที่จะพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate :BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง ถ้า BER มีค่าต่ำจะหมายถึงระบบมีประสิทธิภาพสูง เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย และประเด็นอื่นที่เกี่ยวข้องก็มีอัตราความเร็วในการสื่อสารข้อมูล เป็นต้น

2.3 การสื่อสารข้อมูล (Data Communication)

ในการส่งข้อมูลขนาดของข้อมูลหนึ่งตัวอักษรนั้นจะขึ้นอยู่กับอุปกรณ์การสื่อสารที่ใช้ ซึ่งจะมีความยาวอยู่ระหว่าง 7-8 บิต ตัวอักษรนั้นเกิดจากการกำหนดความหมายให้กับกลุ่มของตัวเลขฐานสอง ซึ่งจะมีการแปลออกมาเป็นอักขระ,ตัวเลข,ตัวเลข หรือเครื่องหมายวรรคตอนอย่าง

ใดก็ได้ หรือไม่เช่นนั้นก็อาจจะเป็นตัวกำหนดหน้าที่ควบคุมการทำงานของอุปกรณ์ เช่นอาจเป็นคำสั่งให้เครื่องพิมพ์เลื่อนบรรทัดหรือขึ้นหน้าใหม่ ชุดของกลุ่มของเลขฐานสองที่มีการกำหนดความหมายต่าง ๆ มีรหัส (Code) จำนวนมากมายที่ใช้กันอยู่ในปัจจุบันในอุปกรณ์การสื่อสารซึ่งจะถูกออกแบบมาให้ใช้ได้เฉพาะกับรหัสชนิดต่าง ๆ ขึ้นอยู่กับวัตถุประสงค์ของผู้ออกแบบและใช้งาน

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องคอมพิวเตอร์จะไม่มีความสามารถเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่สามารถตีความได้คือ ในสถานะของเลขฐานสอง ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส (Decoder) มาใช้ในการรับส่งข้อมูลระหว่างเครื่องจักรด้วยกัน แสดงดังรูปที่ 2.6

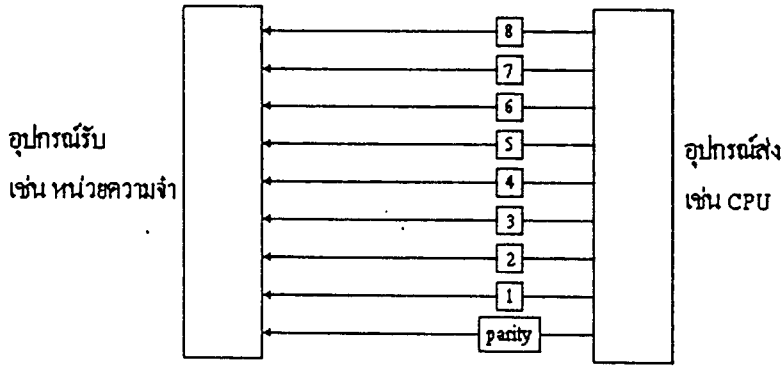


รูปที่2.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส

2.4 การรับส่งข้อมูลแบบขนาน (Parallel Transmission)

ลักษณะของการส่งข้อมูลแบบขนาน ทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบต์ คือ 8 บิต จากอุปกรณ์ส่งไปยังอุปกรณ์รับตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางให้ข้องมูลเดินทางอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตังกลางชนิดอื่นเนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของสาย ระยะทางระหว่าง 2 เครื่องไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ก็คือ ระดับของกราวนด์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกทางฝ่ายรับ

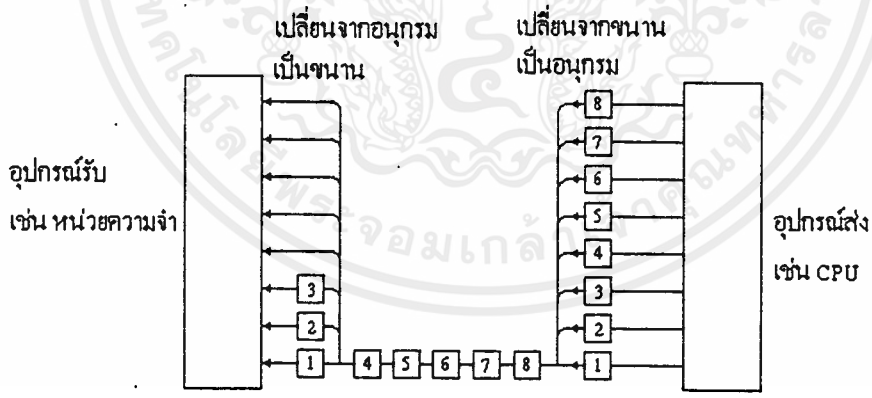
นอกจากสายที่เป็นทางเดินของข้อมูลแล้วอาจจะมีทางเดินของสัญญาณควบคุมอื่น ๆ อีก เป็นต้นว่า บิตที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทาง หรือสายที่ควบคุมการโต้ตอบ (Hand shake) จะเห็นได้ว่าการส่งแบบขนานส่วนมากจะทำในระยะใกล้ ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 สายและอุปกรณ์ที่ติดต่อแบบขนานกับคอมพิวเตอร์ก็เห็นจะได้แก่เครื่องพิมพ์ดังกล่าวมาแล้ว



รูปที่2.7 การส่งข้อมูลแบบขนาน

2.5 การรับส่งข้อมูลแบบอนุกรม (Serial Transmission)

การส่งข้อมูลแบบอนุกรมข้อมูลถูกส่งออกมาทีละบิตระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนาน เพราะตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือสายเพียงคู่เดียว ค่าใช้จ่ายในสื่อกลางจะต้องถูกกว่าแบบขนานอย่างแน่นอนสำหรับการส่งระยะทางไกล ๆ โดยเฉพาะเมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่จะทำการติดต่อสื่อสารที่ละ 8 ช่อง แบบขนาน



รูปที่2.8 การส่งข้อมูลแบบอนุกรม

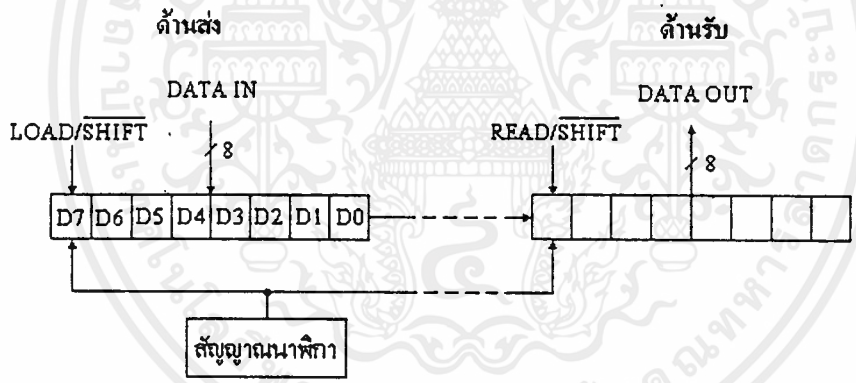
จากรูปที่ 2.8 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกที่ละบิตไปยังจุดรับ ณ จุดที่รับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งมาทีละบิตให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือบิต “ 1 ” ลงที่บัสข้อมูลเส้นที่

1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมที่ละบิตให้ลงพอดีนั้นจำเป็นจะต้องมีลักษณะการส่งที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับ ลักษณะการส่งที่เหมาะสมแบ่งเป็น 2 แบบ คือ

- การส่งข้อมูลแบบซิงโครนัส
- การส่งข้อแบบอะซิงโครนัส

2.5.1 การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)

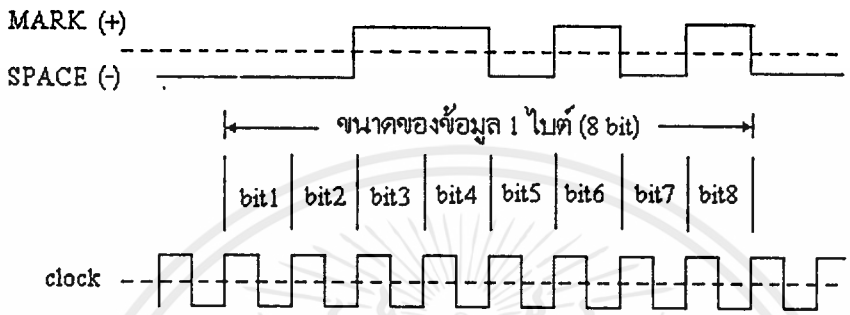
การส่งข้อมูลแบบซิงโครนัสหรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบสัมพันธ์ หมายถึง การที่ด้านรับอ่านข้อมูลเข้ามาในจังหวะเดียวกับด้านส่ง โดยใช้สัญญาณนาฬิกาเห็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ทั้งสองให้ทำงานสัมพันธ์กัน วงจรกำเนิดสัญญาณนาฬิกาจะติดตั้งภายในด้านส่ง แสดงดังรูปที่ 2.9



รูปที่2.9 แสดงการส่งข้อมูลแบบซิงโครนัส

นอกจากนี้เมื่อจังหวะเวลาถูกตั้งให้ซิ้งกับด้านรับได้แล้ว ข้อมูลจะถูกส่งไปบนทางติดต่อในแบบบิตต่อบิต ต่อเนื่องกันไปอาศัยช่วงเวลาระหว่างบิตต่อบิตมีค่าเท่ากัน โดยไม่ต้องมีบิตเริ่มหรือบิตจบคอยกำกับทำให้ความเร็วในการส่งข้อมูลมีสูง นอกจากนี้ทางด้านรับต้องมีวงจรเฟสล็อคลูป (PLL) ทำหน้าที่รับข้อมูลจังหวะเวลาจากด้านส่งและสร้างสัญญาณนาฬิกาขึ้นใหม่ในด้านรับเพื่อให้เกิดการซิ้งขึ้น ข้อมูลแบบสัมพันธ์นี้จะถูกจัดการให้อยู่ในรูปของชุดข้อมูล (block of data) ที่มีลักษณะพิเศษ คือ ช่วงระยะเวลาระหว่างตัวอักษรด้วยกันจะไม่มี ทำให้การส่งข้อมูลเป็นไปอย่างต่อเนื่อง ข้อเสียของการส่งแบบสัมพันธ์คือการที่ต้องมีสัญญาณนาฬิกาขนานไปกับข้อมูล

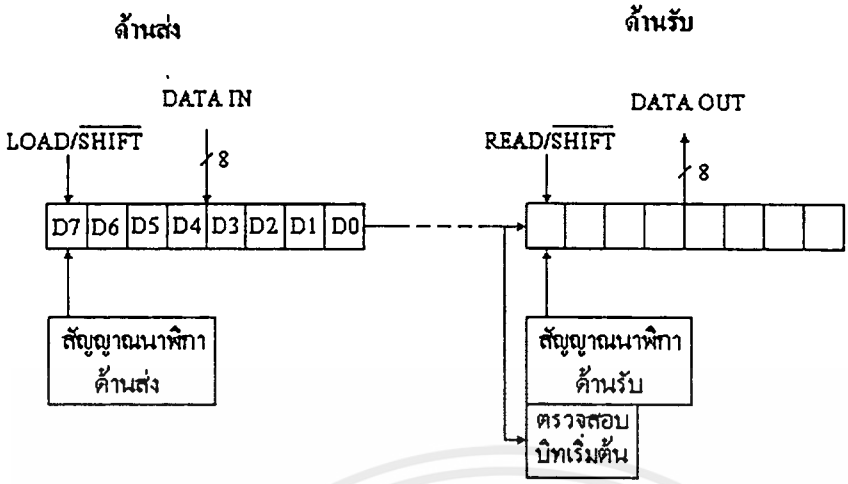
ทำให้ต้องการทางติดต่อช่องที่สองเพิ่ม. โดยเฉพาะกรณีระยะทางไกล ๆ เป็นการยากมากที่จัดหาทางติดต่อแยกต่างหากสำหรับสัญญาณนาฬิกา แสดงตัวอย่างข้อมูลที่ส่งแบบสัมพันธ์พร้อมสัญญาณนาฬิกาได้ดังรูปที่ 2.10



รูปที่2.10 แสดงรูปแบบข้อมูลแบบซิงโครนัส

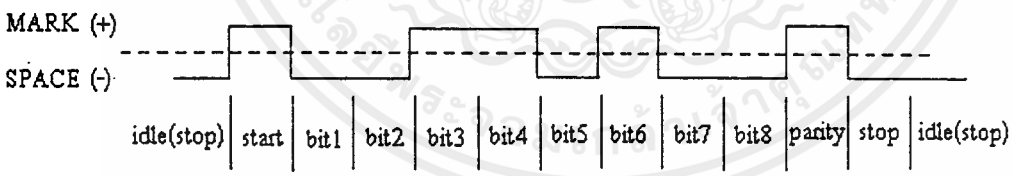
2.5.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Tranmission)

การส่งข้อมูลแบบอะซิงโครนัส หรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบไม่สัมพันธ์ จะแตกต่างกับแบบซิงโครนัส ตรงที่ไม่จำเป็นต้องมีการซิงโครนัสกันตลอดเวลาบนทางติดต่อข้อมูล โดยจะซิ้งก็ต่อเมื่อมีข้อมูลที่จะรับหรือส่งเท่านั้น ในการส่งสัญญาณแบบอะซิงโครนัสการส่งตัวอักษรสามารถเริ่มจากเวลาใดก็ได้เมื่อสายว่าง แต่อย่างไรก็ตามเพื่อให้ระบบสามารถที่จะทำงานได้จะต้องมีสภาวะบางอย่างที่จะใช้บอกกับเครื่องรับให้รู้ว่า ในช่วงเวลาใดกำลังมีข้อมูลตัวอักษรปรากฏอยู่บนสายสภาวะที่ใช้บอกนั้นก็คือ บิตเริ่มต้น (Start bit) บิตเริ่มต้นไม่ใช่บิตข้อมูลแต่เป็นสัญญาณควบคุมที่จุดเริ่มต้นสถานะของสายส่งข้อมูลจะเปลี่ยนจาก " 1 " (Mark) มาเป็น " 0 " (Space) และถัดจากบิตเริ่มต้นและก็จะเป็นบิตข้อมูลตัวอักษร ซึ่งจะเป็นเนื้อหาข้อมูลของตัวอักษรแต่ละตัวที่ถูกส่งบิตที่มีนัยสำคัญน้อยสุด (LSB) จะถูกส่งตามบิตเริ่มต้นออกมา และหลังจากบิตข้อมูลส่งออกมาครบแล้วจะตามด้วย บิตสิ้นสุด (Stop bit) โดยที่สถานะของสายส่งข้อมูลจะถูกบังคับกลับเป็นมาร์คอีกครั้งหนึ่ง หน้าที่ของบิตสิ้นสุดก็เพื่อบอกการสิ้นสุดของข้อมูลที่รับส่งโดยมีขนาด 1-2 บิต แสดงดังรูปที่ 2.11



รูปที่2.11 แสดงการส่งข้อมูลแบบอะซิงโครนัส

จากการที่กำหนดให้ช่วงเวลาของบิตสิ้นสุด (Stop bit) มีค่าระหว่าง 1-2 บิต ก็เพื่อกรณีบิตสุดท้ายของตัวอักษรตัวเก่า มีสถานะเป็นสเปซ " 1 " แล้วสถานะเริ่มต้นของบิตเริ่มต้นที่สังเกตจากการเปลี่ยนแปลงสถานะของสายจากมาร์ค " 0 " มาเป็นสเปซ " 1 " ก็จะไม่มีความชัดเจน สำหรับรูปสัญญาณในวิธีแบบอะซิงโครนัสแสดงได้ดังรูปที่ 2.12



รูปที่2.12 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส

เนื่องจากการส่งข้อมูลแบบอะซิงโครนัสมีการเพิ่มบิตลงในข้อมูล ทำให้ความเร็วในการส่งข้อมูลช้ากว่าแบบซิงโครนัส การส่งข้อมูลแบบซิงโครนัสเหมาะสำหรับงานประเภทการป้อนข้อมูลเข้าเพื่อส่ง มีลักษณะไม่ต่อเนื่องอย่างเช่น จากแป้นพิมพ์ (key board) ส่วนในการส่งไฟล์ข้อมูลที่มีขนาดใหญ่มาก ๆ ควรใช้วิธีแบบซิงโครนัส

2.6 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรมมีหน่วยเป็น บิตต่อวินาที (bps) ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรต (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณ 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิท ก็ได้ ถ้าเขียนในรูปของสมการคณิตศาสตร์จะได้

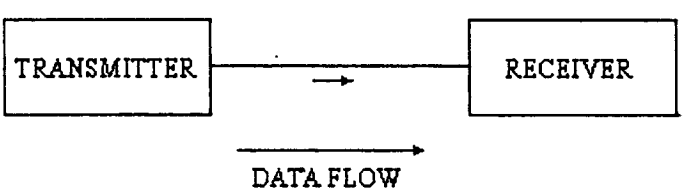
อัตราบิต (bit rate) = อัตราบอด (baud rate) × (บิตใน 1 บอด)

2.7 การส่งสัญญาณ (Transmission)

การส่งสัญญาณในที่นี้หมายถึง การนำสัญญาณจากจุดหนึ่งไปยังอีกจุดหนึ่งโดยผ่านสื่อกลางและวิธีการทางไฟฟ้า ในการรับส่งข้อมูลระหว่างกันนั้นก็จะมีความหมายเดียวกับการส่งสัญญาณ อาจแบ่งตามลักษณะและการส่งได้เป็น 3 วิธีใหญ่คือ

2.7.1 การส่งผ่านแบบทิศทางเดียว (Simplex)

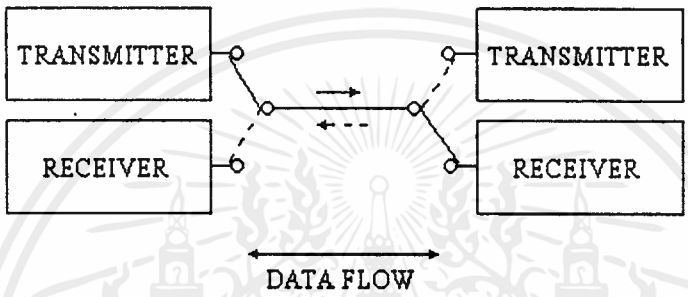
รูปแบบการส่งสัญญาณให้ด้านรับได้ฝ่ายเดียว โดยไม่สามารถโต้ตอบผ่านทางติดต่อได้ตัวอย่างเช่น การกระจายเสียงของวิทยุหรือสัญญาณโทรทัศน์ ซึ่งทางด้านเครื่องรับวิทยุหรือเครื่องรับโทรทัศน์จะทำหน้าที่รับสัญญาณเพียงอย่างเดียวจะส่งข่าวหรือภาพกลับมายังสถานีส่งไม่ได้ เราจึงไม่ค่อยนิยมใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องมีการโต้ตอบระหว่างการรับส่งข้อมูลหรือบางที่ก็เปลี่ยนจากผู้รับเป็นผู้ส่งซึ่งจะทำไม่ได้ในการส่งผ่านแบบทิศทางเดียว นอกจากจะใช้สำหรับส่งโทรทัศน์และวิทยุกระจายเสียงแล้ว เครื่องโทรพิมพ์บางสำนักพิมพ์บางชนิดอาจใช้การติดต่อแบบนี้เช่นกันในการรับข่าวสารจากที่อื่น ๆ เพียงอย่างเดียว แสดงตัวอย่างการส่งผ่านแบบทิศทางเดียวได้ดังรูปที่ 2.13



รูปที่2.13 การส่งผ่านแบบทิศทางเดียว

2.7.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน (Half-duplex)

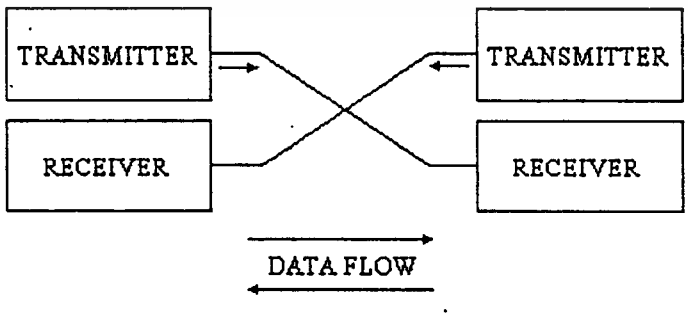
การส่งแบบ Half-duplex สามารถส่งและรับสัญญาณระหว่างกันได้ แต่ว่าต้องสลับกันส่ง โดยฝ่ายหนึ่งเป็นตัวส่งและอีกฝ่ายหนึ่งเป็นตัวรับจะส่งพร้อมกันสองด้านไม่ได้ ตัวอย่างเช่น การใช้วิทยุสมัครเล่นที่สามารถโต้ตอบกันได้ แต่ไม่พร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางแต่ต่างเวลากันดังรูปที่ 2.14



รูปที่2.14 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน

2.7.3 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน (Full -duplex)

การส่งแบบ Full-duplex จะเป็นในลักษณะที่ ผู้รับและผู้ส่งสามารถรับและส่งพร้อม ๆ กันในเวลาเดียวกันได้ ไม่จำเป็นต้องรอให้อีกฝ่ายหนึ่งส่งเสร็จเสียก่อน เช่น การสื่อสารทางโทรศัพท์ เราสามารถที่จะพูดโต้ตอบพร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางที่เวลาเดียวกันได้ดังรูปที่ 2.15



รูปที่2.15 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน

บทที่ 3
การมอดดูเลตทางความถี่ และเครื่องรับ FM

3.1 บทนำ

ในขบวนการมอดดูเลต เราใช้คลื่นรูปซายน์ที่มีความถี่สูงเป็นพาหะแล้วเปลี่ยนคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร โดยทั่วไปสัญญาณข่าวสารได้แก่ สัญญาณออดิโอ (เสียงพูด) , สัญญาณภาพ หรือข่าวสารอื่น ๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เราเรียกว่า การมอดดูเลต

คลื่นรูปซายน์ที่เราใช้เป็นพาหะนั้นเราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A\sin(\omega t + \varnothing)$$

เมื่อ e คือค่าแรงดัน (หรือกระแส) ของคลื่นพาหะใด ๆ
A คือแอมพลิจูด (หรือขนาด) สูงสุดของคลื่นพาหะ
ω คือความถี่เชิงมุม
t คือเวลา
$\varnothing$ คือเฟสหรือมุมทางไฟฟ้า

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดดูเลตได้ คือ แอมพลิจูด (A) , ความถี่เชิงมุม(ω) และเฟส ($\varnothing$)

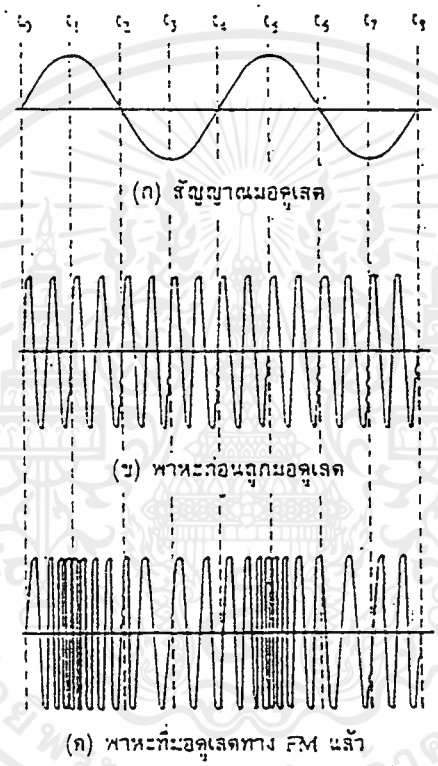
การมอดดูเลตให้กับคลื่นพาหะแบ่งออกได้เป็น 3 แบบคือ

1. การมอดดูเลตทางแอมพลิจูด (Amplitude Modulation ; AM)
2. การมอดดูเลตทางความถี่ (Frequency Modulation ; FM)
3. การมอดดูเลตทางเฟส (Phase Modulation ; PM)

แต่ในที่นี้จะขอกล่าวถึงการมอดดูเลตทางความถี่อย่างเดียว

3.2 การมอดดูเลตทางความถี่ (Frequency Modulation ; FM)

การมอดดูเลตทางความถี่สามารถอธิบายได้ดังรูปที่ 3.1 โดยรูปที่ 3.1 (ค) จะเป็นสัญญาณที่ถูกมอดดูเลตด้วยคลื่นพาหะกับสัญญาณที่นำมามอดดูเลต จากรูปจะเห็นว่าที่เวลา t_0 สัญญาณอยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดดูเลตมีค่าทางบวกสูงสุดความถี่ของพาหะจะเพิ่มขึ้นสูงสุด ที่เวลา t_1



รูปที่3.1 การมอดูเลตทางความถี่

ที่เวลา t_2 สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางดังเดิม หลังจากสัญญาณมอดูเลตมีค่าตกลงต่ำกว่าศูนย์กลายเป็นลบ ความถี่สัญญาณพาหะจะลดลงต่ำกว่าความถี่กลางและเมื่อสัญญาณมอดดูเลตกลับเป็นศูนย์อีกครั้งหนึ่ง ความถี่ของพาหะก็จะกลับมายังความถี่กลางดังเดิม และเช่นกันความถี่ t_4-t_8 ก็จะซ้ำแบบเดิมเรื่อย ๆ

ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลางเรียกว่า ความถี่เบี่ยงเบน (frequency deviation) หรือ ดิวิเอชั่น ตัวอย่างเช่น พาหะมีความถี่ 100 MH_z ลดลงต่ำสุดเป็น 99.9 MH_z และเพิ่มขึ้นสูงสุดเป็น 100.1 MH_z สลับไปมาเช่นนี้ หมายความว่าช่วงความถี่เบี่ยงเบนเท่ากับ ± 0.1 MH_z หรือ ± 100 MH_z

อัตราการเบี่ยงเบนความถี่ของสัญญาณ FM ขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามอดูเลต ตัวอย่างเช่น ถ้าสัญญาณที่เข้ามามอดูเลต (สัญญาณเสียง) ความถี่ 1000 H_z อัตราการเบี่ยงเบนความถี่ของสัญญาณ FM จะเท่ากับ 1000 ครั้งต่อวินาที ถ้าสัญญาณที่เข้ามามอดูเลตเพิ่มความถี่เป็น 10 kH_z โดยคงค่าแอมพลิจูดเท่าเดิม ช่วงความถี่เบี่ยงเบนก็ยังคงเท่าเดิม คือเท่ากับ ± 100 kH_z แต่อัตราการเบี่ยงเบนจะเพิ่มเป็น 10,000 ครั้งต่อวินาที นั่นคือความถี่ของสัญญาณที่เข้ามอดูเลตเป็นตัวกำหนดอัตราการเบี่ยงเบนความถี่

สำหรับแอมพลิจูดของสัญญาณมอดูเลตจะเป็นตัวกำหนดช่วงความถี่เบี่ยงเบน ตัวอย่างเช่น สัญญาณเสียงที่มีแอมพลิจูดสูงจะทำให้ความถี่เบี่ยงเบนไป ± 100 kH_z สัญญาณเสียงที่มีแอมพลิจูดน้อยลงจะทำให้ความถี่เบี่ยงเบนไป ± 50 kH_z

กล่าวโดยสรุป สัญญาณ FM มีคุณสมบัติที่สำคัญดังนี้

- มีแอมพลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนตามสัญญาณที่เข้ามามอดูเลต
- อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะมีค่าเท่ากับความถี่ของสัญญาณที่เข้ามอดูเลต
- ช่วงความถี่เบี่ยงเบนหรือดีวิเอชั่นเป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามอดูเลต

3.3 ดัชนีการมอดูเลต

ในระบบ FM เราวัดเปอร์เซ็นต์การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = \frac{f_d}{f_m}$$

เมื่อ f_d คือช่วงความถี่เบี่ยงเบน

f_m คือความถี่ของสัญญาณที่เข้ามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 kH_z สมมติว่าเราใช้สัญญาณเสียง 1 kH_z มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีมอดูเลตจะเป็น

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$m = \frac{75kH_z}{1kH_z} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดดูเลต ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด ($f_{d\max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดูเลต ($f_{m\max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

$$\Delta = \frac{f_{d\max}}{f_{m\max}}$$

$$= \frac{75kH_z}{15kH_z} = 5$$

ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน $75\,kH_z$ ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ $75\,kH_z$ แสดงว่าเรามอดูเลต 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = \frac{f_d}{f_{d\max}} \times 100$$

ในที่นี้ f_d คือความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดูเลต

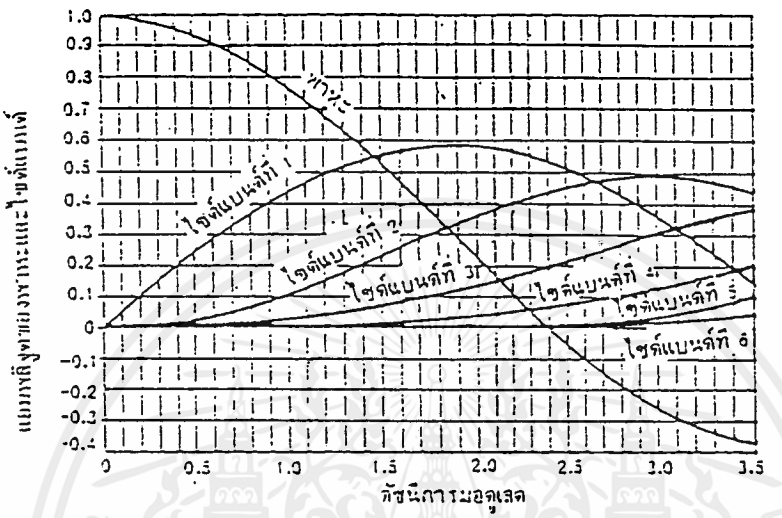
$f_{d\max}$ คือความถี่เบี่ยงเบนสูงสุดของระบบ

3.4 ไซด์แบนด์ FM

จากการมอดูเลตแบบ FM ถ้าเรามอดูเลตด้วยสัญญาณซายน์ก็จะเกิดไซด์แบนด์จำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมาก ๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดูเลต

34022

เนื่องจากดัชนีการมอดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญและแอมพลิจูดของพาหะกับไซด์แบนด์ต่าง ๆ



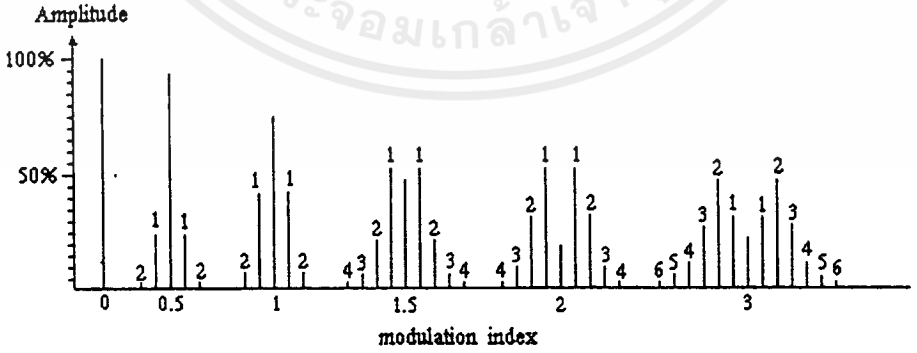
รูปที่3.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM

ในรูปที่ 3.2 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ จะเห็นว่าเมื่อดัชนีการมอดูเลตเป็นศูนย์จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์เมื่อดัชนีการมอดูเลตเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก คลื่นพาหะก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรก เช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ -0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีอยู่หลายจุด

กราฟในรูปที่ 3.2 เขียนได้เป็นตารางดังแสดงในรูปที่ 3.3 และเพื่อให้ดูง่ายขึ้น ในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดูเลต) ออกไปโดยไม่คำนึงถึงเช่น เมื่อดัชนีการมอดูเลตเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดูเลตสูงขึ้นการกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 3.3

ดัชนีการมอดดูเลท	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	1	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.25	0.98	0.12	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.5	0.94	.0.24	0.03	_	_	_	_	_	_	_	_	_	_	_	_	_	_
1	0.77	0.44	0.11	0.02	_	_	_	_	_	_	_	_	_	_	_	_	_
1.5	0.51	0.56	0.23	0.06	0.01	_	_	_	_	_	_	_	_	_	_	_	_
2	0.22	0.58	0.35	0.13	0.03	_	_	_	_	_	_	_	_	_	_	_	_
2.5	-0.05	0.5	0.45	0.22	0.07	0.02	_	_	_	_	_	_	_	_	_	_	_
3	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	_	_	_	_	_	_	_	_	_	_
4	-0.4	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	_	_	_	_	_	_	_	_	_
5	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	_	_	_	_	_	_	_	_
6	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	_	_	_	_	_	_	_
7	0.3	0	-0.3	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	_	_	_	_	_	_
8	0.17	0.23	-0.11	-0.29	-0.1	0.19	0.34	0.32	0.22	0.13	0.06	0.03	_	_	_	_	_
9	-0.09	0.24	0.14	-0.18	-0.27	-0.26	0.2	0.33	0.3	0.21	0.12	0.06	0.03	0.01	_	_	_
10	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.2	0.12	0.06	0.03	0.01	_	_
12	-0.05	-0.22	-0.08	0.2	0.18	-0.17	-0.24	-0.17	0.05	0.23	0.3	0.27	0.2	0.12	0.07	0.03	0.01
15	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.1	0.24	0.28	0.25	0.18	0.12

รูปที่3.3 ตารางแสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ



รูปที่3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดูเลตเท่ากับ 0 ,0.5, 1, 1.5, 2, 3

3.5 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดูเลต กล่าวคือไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$,... ฯลฯ ฉนั้นแบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือแบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามอดูเลต แต่ดัชนีการมอดูเลตเท่ากับ f_d / f_m

ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลตเราก็สามารถคำณวนหาแบนด์วิดท์ได้ ตัวอย่างเช่นความถี่ของสัญญาณเสียงที่เข้ามอดูเลตเท่ากับ $3\,kH_Z$ ความถี่เบี่ยงเบนเท่ากับ $18\ kH_Z$ เราคำณวนค่าดัชนีการมอดูเลตได้ดังนี้

$$m = \frac{f_d}{f_m}$$
$$= \frac{18kH_Z}{3kH_Z} = 6$$

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางในรูปที่ 3.3 จะเห็นว่าเมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3kH_Z \times 9 \times 2$$
$$= 54kH_Z$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบบประมาณจากค่า $f_{d\max}$ และ $f_{m\max}$ เลยไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\max}$$

หรือ $BW = 2(f_{d\max} + f_{m\max})$, เมื่อ $m = \dfrac{f_{d\max}}{f_{m\max}}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า

$$BW = 2 \times (6+1) \times 3$$

$$= 42kH_z$$

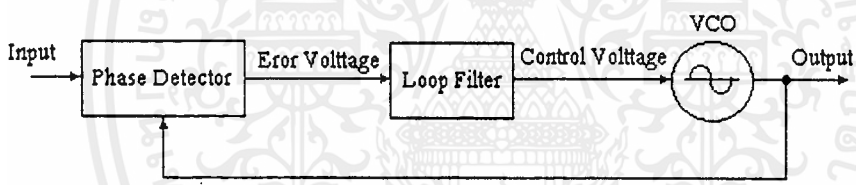
หรือ $$BW = 2 \times (18 + 3)$$

$$= 42kH_z$$

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

3.6 Phase - Lock Loops (PLL)

เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยวงจรสำคัญ 3 วงจรคือวงจรเทียบเฟสหรือเฟสดีเทคเต่อร์ (phase detector) , วงจรลูปฟิลเตอร์ (loop filter) และวงจร VCO ดังรูปที่ 3.5



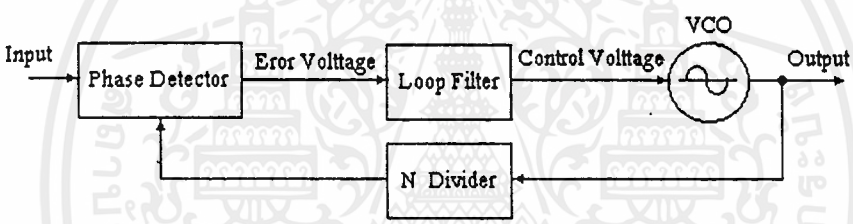
รูปที่3.5 Block Diagram ของ Phase - Lock Loops (PLL)

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุตวงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณ VCO เอาท์พุตที่ได้จากวงจรเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่าง ๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิเลทของ VCO ต่อไป เมื่อลูปอยู่ในสภาวะล็อค ความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันวงจรเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุตของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

เราสามารถนำเฟสล็อคลูปไปใช้งานได้หลายอย่างด้วยกันเช่น ในการดีมอดสัญญาณ FM หรือใช้ในสังเคราะห์ (ผลิต) ความถี่ที่มีความเที่ยงตรงเทียบเท่าสัญญาณอ้างอิง

3.6.1 การนำ PLL ไปใช้ในการสังเคราะห์ความถี่

ความหมายของการสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่และให้มีความถี่ตามที่เรากำหนดคือสั่งหรือโปรแกรมได้ โดยหลักการทำงานเหมือนกับ PLL เพียงแต่เพิ่มวงจร N Divider เข้าไป วงจร N Divider หรือหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้(Programmable Divider) สัญญาณอ้างอิงจะมาจากวงจรกำเนิดความถี่โดยใช้คริสตอลออสซิเลเตอร์หรือเป็นสัญญาณอื่น ๆ (Reference Generator)



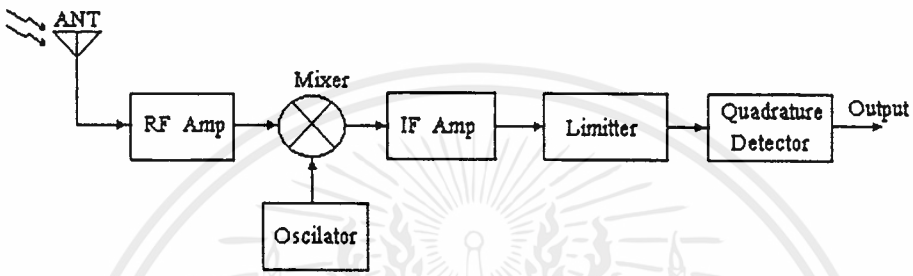
รูปที่3.6 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่

จากรูปที่3.6 สัญญาณที่อินพุตของวงจรเฟสดีเทคเตอร์จะมีด้วยกัน 2 สัญญาณก็คือ สัญญาณจากวงจร VCO ที่มีความถี่เท่ากับ F_O / N และจากสัญญาณอ้างอิงกำหนดให้มีความถี่เท่ากับ F_R เอาท์พุตจากวงจรเฟสดีเทคเตอร์ก็คือผลต่างระหว่างสัญญาณ F_O / N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิเลตของวงจร VCO ให้ทำการปรับแก้ความถี่ (เฟส) ให้ตรงจนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค ความถี่ของวงจร VCO เมื่อผ่านวงจรหาร N จะมีค่าเท่ากับ $F_O = N F_R$ หรือเอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง วงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N ทำงานได้เท่านั้น

3.7 เครื่องรับ FM

เครื่องรับ FM มีความคล้ายคลึงกับเครื่องรับ AM แต่จะแตกต่างกันตรงขบวนการดีเทคเท่านั้น ซึ่งการทำงานของเครื่องรับ FM สามารถที่จะอธิบายได้ตาม Block Diagram ดังรูปที่ 3.7 นี้



รูปที่3.7 Block Diagram ของเครื่องรับ FM

การทำงานของวงจรเครื่องรับ FM สามารถอธิบายได้ดังต่อไปนี้

3.7.1 วงจร RF Amplifier

จาก Block Diagram ของเครื่องรับ FM สัญญาณที่รับได้จากสายอากาศจะป้อนเข้าสู่วงจร RF Amplifier โดยที่วงจร RF Amplifier จะทำหน้าที่ขยายสัญญาณ RF ที่รับได้จากสายอากาศให้สัญญาณมีขนาดใหญ่ขึ้น วงจร RF Amplifier ที่ดีควรมีนอยส์ต่ำ ซึ่งจะทำให้ความไวของวงจรในการรับสัญญาณสูงขึ้น ถ้าหากเราไม่ใช้วงจร RF Amplifier ในเครื่องรับ FM โดยที่นำสัญญาณ RF ที่รับได้จากเสาอากาศไปเข้าที่วงจร Mixer นอยส์ที่เกิดขึ้นจากวงจรมิกเซอร์ก็จะกลบทับสัญญาณ RF จนหมด ทำให้เครื่องรับ FM ไม่สามารถทำงานได้

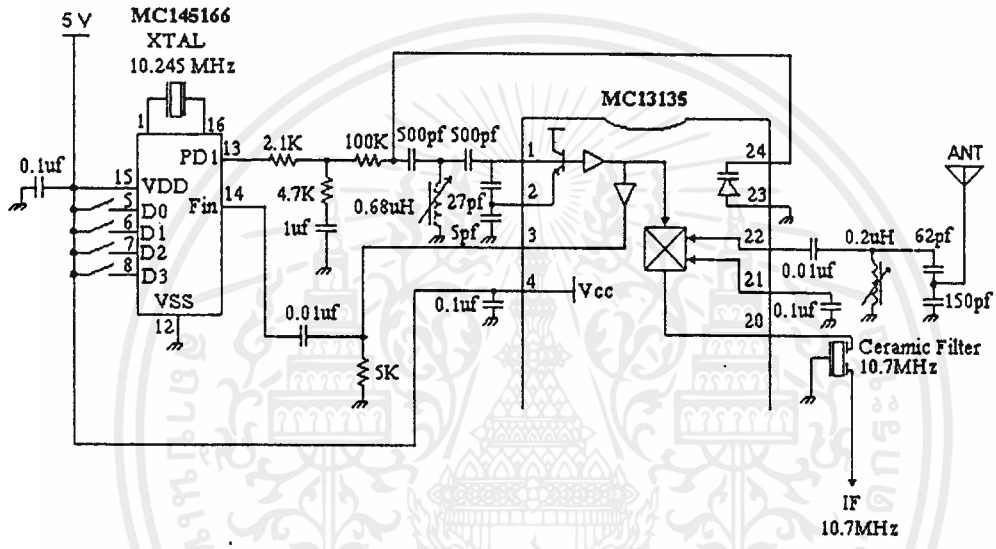
3.7.2 มิกเซอร์

วงจรมิกเซอร์ (Mixer) จะมีหน้าที่ผสมสัญญาณจากวงจร RF Amplifier กับสัญญาณจากวงจรโลคอลออสซิเลเตอร์ วงจรมิกเซอร์นี้ออกแบบให้ทำงานในช่วงที่ไม่เป็นลิเนียร์ ทำให้เกิดผลลัพธ์เป็นสัญญาณความถี่ผลต่างกับสัญญาณความถี่ผลรวมซึ่งจะตัดสัญญาณความถี่ผลรวมทิ้งไป จะคงเหลือความถี่ผลต่างซึ่งมีค่าเท่ากับความถี่ IF ที่ป้อนเข้าสู่วงจรขยาย IF

3.7.3 โลคอลออสซิลเตอร์

ทำหน้าที่กำเนิดสัญญาณความถี่สูงที่มีความถี่พอเหมาะในการผสมสัญญาณที่วงจรมิกเซอร์

ซึ่งจากหัวข้อ 3.7.1, 3.7.2 และ 3.7.3 สามารถที่จะยกตัวอย่างวงจรที่ใช้งานได้จริงแสดงดังรูปที่ 3.8



รูปที่3.8 PLL Controlled Wide band FM Receiver at 46/49 MH_z

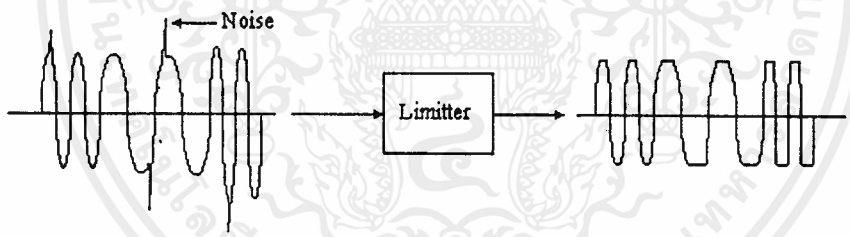
สัญญาณ RF ที่รับได้จากเสาอากาศจะมาเข้าที่วงจร RF Amplifier ที่ขา 22 ของ IC เบอร์ MC13135 จากนั้นสัญญาณ RF ที่ผ่านการขยายสัญญาณแล้ว จะมาเข้าที่วงจรมิกเซอร์โดยที่วงจรมิกเซอร์จะทำหน้าที่ผสมสัญญาณ RF ที่ผ่านการขยายสัญญาณแล้วกับสัญญาณออสซิเลเตอร์ที่สร้างมาจากวงจรสังเคราะห์ความถี่ ได้เป็นสัญญาณความถี่ 10.7 MH_z ออกมาที่ขา 20 ของ IC MC13135 จากหัวข้อที่ 3.6 IC MC145166 จะทำหน้าที่เป็นวงจรสังเคราะห์ความถี่โดยใช้หลักการของ PLL ความถี่ของสัญญาณอ้างอิงได้มาจากคริสตอลออสซิเลเตอร์ 10.245 MH_z วงจรเฟสดีเทคเตอร์และวงจรหาร N จะอยู่ภายในตัว IC MC145166 วงจรลูปฟิลเตอร์ก็คือ วงจรโลพาสฟิลเตอร์ที่ใช้ตัวต้านทานและตัวเก็บประจุค่า 2.1 $k\Omega$, 4.7 $k\Omega$ และ 1 μF ตามลำดับ ส่วนวงจรออสซิเลเตอร์จะใช้ทรานซิสเตอร์ซึ่งอยู่ภายในตัว IC MC13135 โดยที่ต่ออยู่กับตัวเก็บประจุ ,วาริแคปไดโอดและตัวอินดัคเตอร์ปรับค่าได้ ความถี่ที่ออสซิเลทสามารถควบคุมได้ด้วยแรงดันรีเวิร์สที่ป้อนให้กับวาริแคปไดโอด ในการเปลี่ยนค่า N ทำได้โดยปรับสวิทช์ที่ขา 5,6,7 และ 8 ของ IC MC145166

3.7.4 วงจร IF Amplifier

วงจร IF Amplifier จะทำหน้าที่ขยายสัญญาณ IF ให้สัญญาณมีขนาดใหญ่ขึ้น วงจร IF Amplifier เป็นวงจรขยายเลือกความถี่ที่มีค่าความถี่ศูนย์กลางคงที่ เนื่องจากวงจร IF Amplifier ทำงานที่ความถี่คงที่ ดังนั้นจึงเป็นการง่ายที่เราจะออกแบบให้มีคุณสมบัติตามที่เราต้องการได้ โดยปกติวงจร IF Amplifier มักออกแบบให้มีอัตราขยายสูงและควบคุมให้แบนด์วิดท์มีลักษณะไม่เปลี่ยนแปลงตามการจูนรับสัญญาณ

3.7.5 ลิมิตเตอร์

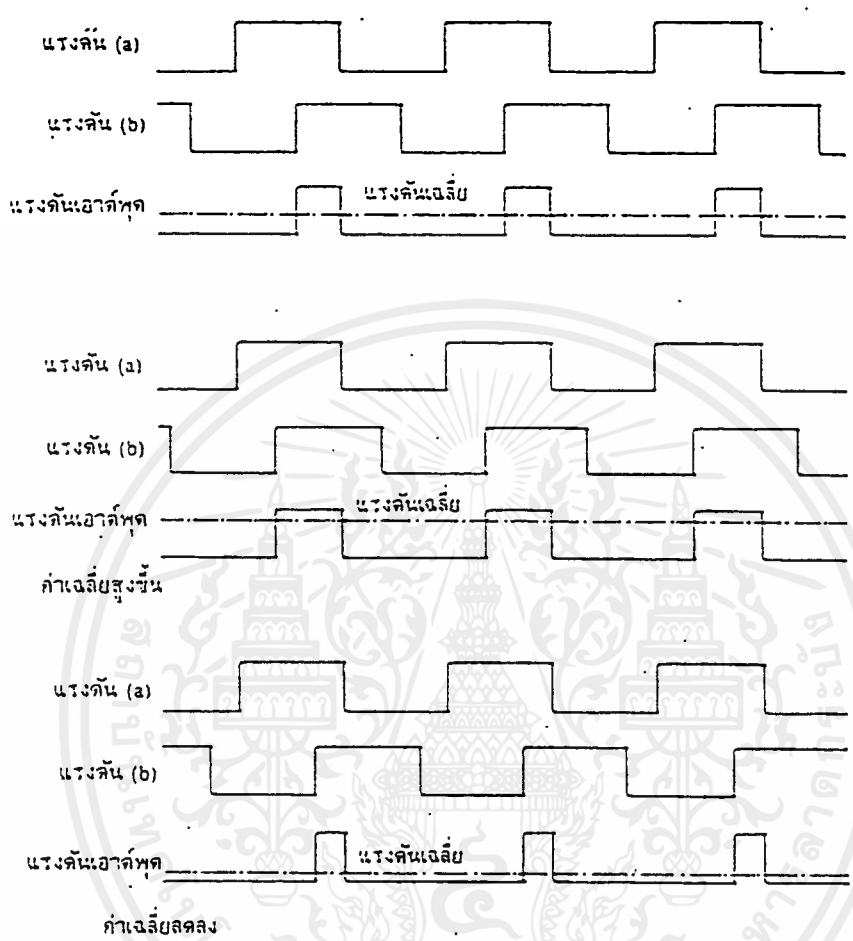
สัญญาณจากวงจร IF Amplifier หรือสัญญาณ FM (มีความถี่เท่ากับ IF) อาจมีนอยส์ปะปนมาด้วย วงจรลิมิตเตอร์จะทำหน้าที่ขลิบสัญญาณทั้งด้านบวกและลบรวมทั้งนอยส์ก็จะถูกกำจัดทิ้งไปด้วย สังเกตว่าความถี่ของสัญญาณ FM ก่อนและหลังลิมิตเตอร์ไม่เปลี่ยนแปลง หลักการของวงจรลิมิตเตอร์นี้คือ ป้อนสัญญาณที่มีแอมพลิจูดเกินช่วงทำงานของวงจรจนกระทั่งวงจรขยายอิ่มตัวหรือคัตออฟ ถ้าสัญญาณ IF ที่ป้อนมามีแอพลิจูดน้อยเอาต์พุตจากลิมิตเตอร์จะมีนอยส์ปนออกมาทางเอาท์พุต ถ้าป้อนแอมพลิจูดมาแรง ๆ นอยส์ก็จะหายไป



รูปที่3.9 หลักการทำงานของวงจรลิมิตเตอร์

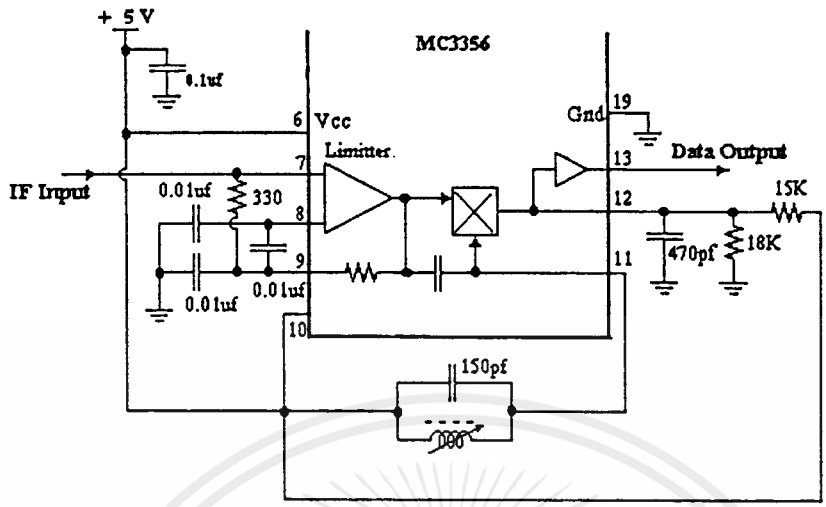
3.7.6 ควอดดราเจอร์ดีเทกเตอร์

วงจรดีเทกเตอร์ชนิดนี้อาศัยหลักการคูณสัญญาณ FM กับสัญญาณ FM ตัวเดิมแต่เลื่อนเฟสไป 90 องศา หรือทำหน้าที่เสมือนวงจรเทียบเฟสของสัญญาณ FM 2 สัญญาณซึ่งมีเฟสต่างกัน 90 องศา ผลลัพธ์ที่ได้จะเป็นสัญญาณมอดูเลทหรือสัญญาณเสียง สามารถอธิบายได้ดังรูปที่ 3.10 ในที่นี้เราจะเขียนเป็นพัลส์เพื่อความสะดวก สังเกตว่าค่าเฉลี่ยจะเป็นสัดส่วนโดยตรงกับความถี่เบี่ยงเบนของพาหะ (เพราะเมื่อสัญญาณ FM มีความถี่ต่ำลง พัลส์เอาท์พุตจะแคบลง ค่าเฉลี่ยจะน้อยลง) นั่นคือค่าเฉลี่ยจะเปลี่ยนแปลงไปตามสัญญาณมอดูเลทหรือสัญญาณเสียง



รูปที่3.10 แสดงการเทียบเฟสของวงจรดวอดดราเจอร์ดีเทกเตอร์

จากหัวข้อ 3.7.4 , 3.7.5 และ 3.7.6 สามารถยกตัวอย่างวงจรที่ใช้งานจริงได้ดังรูปที่ 3.11 ในที่นี้จะใช้งานร่วมกับวงจรในรูปที่ 3.8 โดยใช้ IC เบอร์ MC3356 สัญญาณ IF ที่ได้จากวงจรมิกเซอร์จะมาเข้าวงจร IF Amplifier ที่ขา 7 ของ IC MC3356 สัญญาณ IF ที่ผ่านการขยายแล้วจะผ่านวงจรลิมิตเตอร์และวงจร Quadrature Detector ก็จะได้สัญญาณมอดดูเลทออกมาที่ขา 13 ของ IC MC3356



รูปที่3.11 แสดงการใช้ IC เบอร์ MC3356 ทำหน้าที่เป็น IF Amp , Limiter และ Quadrature Detector

บทที่ 4
การมอดดูเลตสัญญาณแบบดิจิตอล

4.1 บทนำ

ในบทนี้จะทำการอธิบายเนื้อหาเกี่ยวกับการมอดดูเลตสัญญาณแบบดิจิตอล ซึ่งมีอยู่ด้วยกันหลายวิธีเช่น การมอดดูเลตแบบ ASK, FSK และ PSK ซึ่งแต่ละวิธีจะอาศัยหลักการทำงานที่แตกต่างกันออกไป ในบทนี้เราจะเน้นเนื้อหาเกี่ยวกับการมอดดูเลตแบบ FSK เพราะเกี่ยวข้องกับโครงงานที่ได้จัดทำ ซึ่งจะอธิบายโดยละเอียดดังจะกล่าวต่อไปนี้

4.2 การมอดดูเลตสัญญาณดิจิตอล

การมอดดูเลตข้อมูลที่เป็นดิจิตอลจะมีหลักการพื้นฐานอยู่ 3 แบบด้วยกันคือ

1. การมอดดูเลตดิจิตอลทางขนาด (Amplitude Shift Keying ;ASK)
2. การมอดดูเลตดิจิตอลทางเฟส (Phase Shift Keying ;PSK)
3. การมอดดูเลตดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

จากสมการทางคณิตศาสตร์ของคลื่นรูปซายน์ที่เราใช้เป็นพาหะ

$$e = A\sin(\omega t + \varnothing) \qquad (1)$$

คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดูเลตได้ คือ แอมพลิจูด (A) ความถี่เชิงมุม (ω) และเฟส ($\varnothing$)

สัญญาณดิจิตอลเบสแบนด์เป็นรูปสี่เหลี่ยมแสดงรหัสไบนารี " 1 " และ " 0 " ในการมอดูเลตสัญญาณดิจิตอลนี้ จากคุณสมบัติประจำตัวของคลื่นรูปซายน์ (คลื่นพาหะ) ซึ่งสามารถเปลี่ยนแปลงได้คือ แอมพลิจูด , ความถี่เชิงมุมและเฟสจะเปลี่ยนไปตามสถานะ " 1 " และ " 0 " ของสัญญาณเบสแบนด์

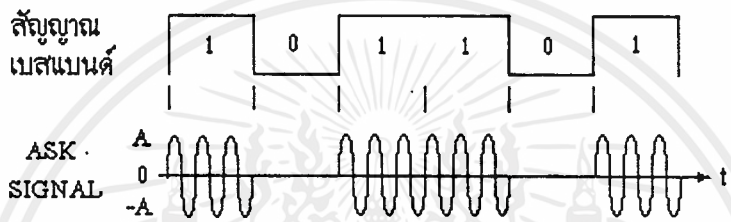
4.2.1 การมอดดูเลตดิจิตอลทางขนาด (Amplitude Shift Keying ; ASK)

ในการมอดดูเลตดิจิตอลทางขนาดบางครั้งเรียกว่า OOK (on-off keying) เพราะว่า คลื่นพาหะถูก *on / off* ตามสัญญาณที่เป็น " 1 " หรือ " 0 " ถ้าคลื่นพาหะกำหนดโดยสมการที่ (1)

ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= 0 \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 4.1



รูปที่4.1 แสดงรูปการมอดดูเลตดิจิตอลทางขนาด

การมอดดูเลตดิจิตอลทางขนาดจัดว่ามีประสิทธิภาพต่ำสุด และมีความผิดพลาดในการส่งข้อมูลสูงและใช้ในสายสื่อสารที่ต้องการความเร็วของข้อมูลต่ำ (น้อยกว่า 100 บิท /วินาที) ส่วน หลักการอื่น ๆ ของ ASK จะเหมือนกับแบบ AM

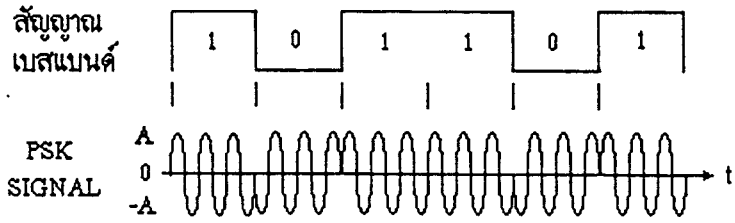
4.2.2 การมอดดูเลตดิจิตอลทางเฟส (Phase Shift Keying ; PSK)

การมอดดูเลตดิจิตอลทางเฟสจะใช้เฟสของสัญญาณอนาลอกแทนสัญญาณดิจิตอล สัญญาณลอจิก “ 1 ” จะให้เฟสของสัญญาณอนาลอกเฟสหนึ่ง ในขณะเดียวกันสัญญาณลอจิก “ 0 ” ก็จะให้เฟสของสัญญาณอนาลอกอีกเฟสหนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ (1)

ดังนั้นสัญญาณ PSK จะกำหนดได้เป็น (ในกรณีที่ส่งครั้งละหนึ่งบิท)

$$e = A\sin 2\pi f_c t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= A\sin(2\pi f_c t + \pi) \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 4.2



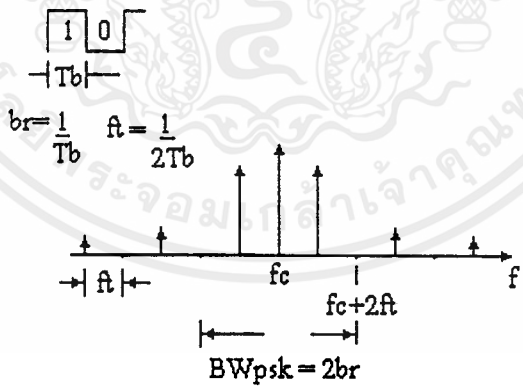
รูปที่4.2 แสดงรูปการมอดูเลตดิจิตอลทางเฟส

รูปแบบที่ง่ายที่สุดของการมอดดูเลตแบบ PSK คือ Binary PSK (BPSK) แสดงดังรูปที่ 4.3 ที่ค่าเฟสของสัญญาณจะมี 2 ค่า คือ 0 องศา และ 180 องศา

สมการของสัญญาณที่ได้จากการมอดดูเลตแล้วได้เป็น

$$V_{PSK} = V_b \sin(2\pi f_c t) + \bar{V}_b \sin(2\pi f_c t + \pi)$$

เมื่อ V_b แทนค่าสถานะของบิท คือ " 1 " และ " 0 "



รูปที่4.3 แสดงสัญญาณในแบบ BPSK

ถ้าคิดให้อัตราเร็วบิทเท่ากันแบบ PSK มีค่าความกว้างแถบน้อยกว่าแบบ FSK (แต่ราคาของวงจร PSK สูงกว่า) เราใช้วิธีการมอดูเลตแบบ PSK ในโมเด็มที่มีอัตราเร็วบิทเท่ากับ 2400 บิท/วินาที และ 4800 บิท/วินาทีเพราะว่าวิธีการมอดูเลตแบบ FSK ไม่สามารถทำได้โดยผ่านเครือข่ายโทรศัพท์

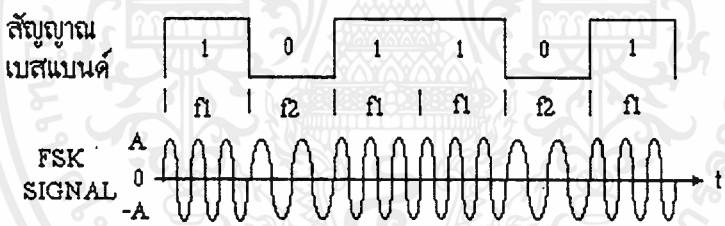
4.2.3 การมอดดูเลตดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

การมอดดูเลตดิจิตอลทางความถี่เมื่อข้อมูลเป็นลอจิก " 1 " ก็จะได้สัญญาณอนาลอกความถี่หนึ่งและเมื่อเป็นลอจิก " 0 " ก็จะได้สัญญาณอนาลอกอีกความถี่หนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ 1

ดังนั้นกรณีของการมอดูเลทแบบ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณที่เป็นลอจิก " 1 " และความถี่ f_2 สำหรับสัญญาณที่เป็นลอจิก " 0 " แสดงดังสมการข้างล่าง

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะบิทเป็น " 1 "}$$
$$= A\sin 2\pi f_2 t \quad ; \text{เมื่อสถานะบิทเป็น " 0 "}$$

แสดงดังรูปที่ 4.4

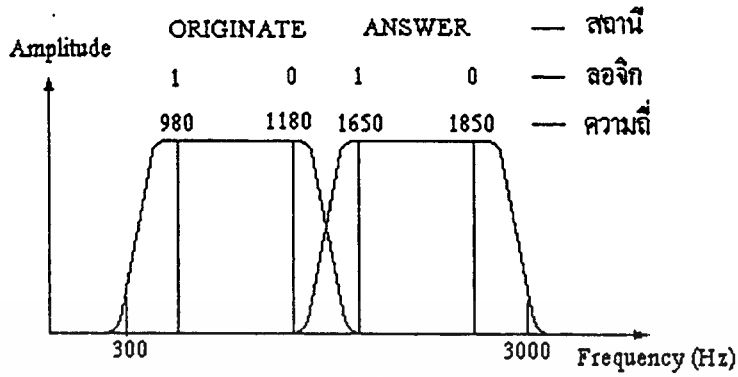


รูปที่4.4 แสดงการมอดดูเลตดิจิตอลทางความถี่

ในการส่งข้อมูลแบบ FSK ที่ใช้งานจริงสามารถแบ่งได้ 2 แบบ

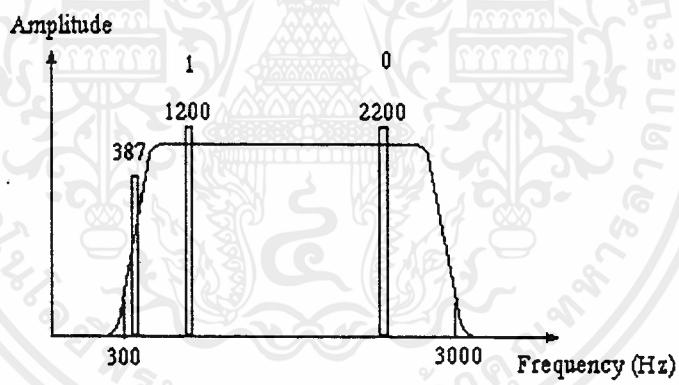
- ชนิดที่ใช้ในการส่งข้อมูลในระบบฟูลดูเพลกซ์

การส่งข้อมูลแบบนี้จะแบ่งแบนด์วิดธ์ของช่องสัญญาณเสียงออกเป็น 2 แบนด์เท่า ๆ กัน โดยแบนด์หนึ่งใช้ในการส่งข้อมูลส่วนอีกแบนด์หนึ่งจะใช้ในการรับข้อมูล ทำให้สามารถส่งข้อมูลเข้าไปในสายได้พร้อม ๆ กัน ผลตอบสนองความถี่สำหรับการรับส่งข้อมูลแบบนี้แสดงดังรูปที่ 4.5



รูปที่4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฟูลดูเพล็กซ์

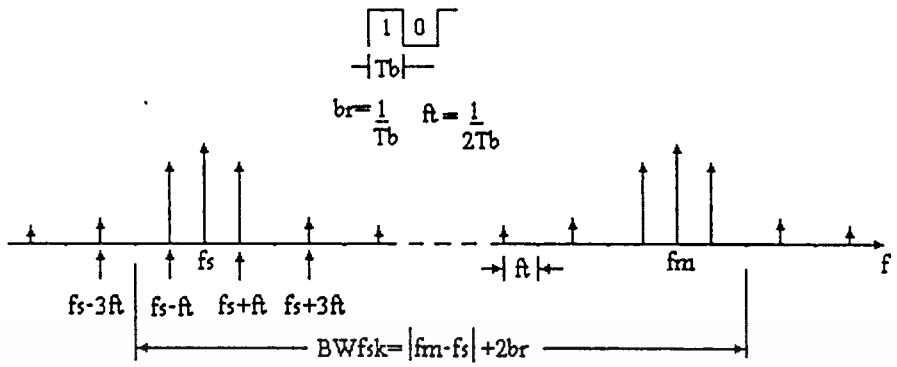
- ชนิดที่ใช้ในการส่งข้อมูลในระบบฮาล์ฟดูเพล็กซ์



รูปที่4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์

การส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์จะมีแบนด์วิดธ์ 2 แบนด์เหมือนกัน แต่ความกว้างของแบนด์วิดธ์ทั้งสองจะไม่เท่ากัน แบนด์วิดธ์ที่กว้างกว่าจะใช้ในการส่งข้อมูลส่วนแบนด์วิดธ์ที่แคบจะใช้ในการส่งสัญญาณแนะนำควบคุม (Supervisory Signal) ของตัวรับไปยังตัวส่งเพื่อใช้ในการตรวจสอบสภาพการส่งข้อมูลว่าถูกต้องหรือไม่เราเรียกแบนด์วิดธ์แบบนี้ว่าช่องสัญญาณย้อนกลับ (Reverse Channel) ผลตอบสนองความถี่ของการรับส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์แสดงดังรูปที่ 4.6

เราสามารถที่จะอธิบายความหมายของความกว้างแถบ (bandwidth) ในแบบ FSK ได้โดยพิจารณาจากรูปที่ 4.7



รูปที่4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK

จากรูปที่ 4.7 กำหนดให้ b_r = อัตราเร็วบิท (บิท/ วินาที)

T_b = ช่วงเวลาใน 1 บิท

จะได้ $T_b = \frac{1}{b_r}$ วินาที

สมมติให้สัญญาณข้อมูลมีสถานะ " 1 " และ " 0 " สลับกันเป็นคลื่นสี่เหลี่ยม (square wave) ให้มีความถี่พื้นฐานเท่ากับ f_f

จะได้ $$f_f = \frac{1}{2T_b} = \frac{b_r}{2} \quad H_Z \qquad (2)$$

จากสมการที่ (2) หมายถึงค่าความถี่พื้นฐานที่มากที่สุดของสัญญาณข้อมูล มีค่าเท่ากับครึ่งหนึ่งของอัตราเร็วบิท สำหรับรูปสมการของสัญญาณที่ได้จากการมอดดูเลตแบบ FSK แล้วมีค่าดังสมการข้างล่าง .

$$V_{FSK} = V_b \sin(2\pi f_m t) + \bar{V}_b \sin(2\pi f_s t)$$

โดยค่า V_b = ค่าของบิทมีค่าหนึ่งและศูนย์ ขึ้นอยู่กับสถานะของข้อมูลนั้น

f_m = ค่าความถี่ของสถานะมาร์ค (1)

f_s = ค่าความถี่ของสถานะสเปซ (0)

รูปสเปคตรัมของสมการ V_{FSK} ประกอบด้วยคลื่นพาหะและแถบความถี่ข้างจำนวนหลายคู่ ซึ่งในการคิดของค่าความกว้างแถบของแบบ FSK กำหนดจากความถี่ 2 ตัวที่อยู่ระหว่างตรงกลางของแถบความถี่ฮาร์โมนิกลำดับที่ 1 และ 3 แสดงในรูปสมการได้ว่า

$$BW_{FSK} = (f_m + 2f_f) - (f_s - 2f_f)$$

$$= (f_m - f_s + 4f_f) \qquad H_Z \qquad (3)$$

หรือ $$BW_{FSK} = |f_m - f_s| + 2b_r \qquad H_Z \qquad (4)$$

สรุปความหมายจากสมการที่ (3) และ (4) ได้ว่า ค่าโดยประมาณของความกว้างแถบเท่ากับค่าแตกต่างระหว่าง ความถี่ของมาร์คกับสเปซบวกด้วยสองเท่าของอัตราเร็วบิท

สำหรับการออกแบบภาคดีมอดดูเลต มีข้อแนะนำในการหาค่าความถี่กลางของ FSK และค่าแตกต่างระหว่างความถี่ของมาร์คกับสเปซไว้ว่า

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r \qquad (5)$$

$$|f_m - f_s| > \frac{2b_r}{3} \qquad (6)$$

f_{FSK} = ความถี่กลาง FSK (ระหว่าง f_m และ f_s)

- ตัวอย่าง ในการคำนวณหาค่า f_{FSK} และค่าความกว้างแถบ (BW) ของช่องสัญญาณFSK

กำหนดให้โมเด็มชนิดมีอัตราเร็ว 600 บิท / วินาที ต้องการใช้ความถี่มาร์คเท่ากับ 1500 H_Z และความถี่สเปซเท่ากับ 2000 H_Z

จากสมการที่ (4)

$$BW_{FSK} = |f_m - f_s| + 2b_r$$
$$= |2000 - 1500| + 2(600)$$
$$= 1700 \qquad H_Z$$

จากสมการที่ (5)

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r$$

$$\frac{(1500+2000)}{2} \geq 3(600)$$

$$1750H_z \geq 1800H_z$$

จากสมการที่ (6)

$$|f_m - f_s| > \frac{2b_r}{3}$$

$$|1500-2000| > \frac{2(600)}{3}$$

$$500H_z > 400H_z$$

จากการคำนวณสมการที่ (5) และ (6) เปรียบเทียบกัน ถ้าพิจารณาข้อแนะนำในการออกแบบภาคดีมอดดูเลตพบว่าจากที่ระบุในสมการที่ (5) ก็ยังไม่ดีเท่าที่ควรเพราะว่าค่าที่คำนวณได้ 1750 H_z น้อยกว่า 1800 H_z ส่วนในสมการที่ (6) เราจะพบว่าใช้ได้ดีเพราะว่าค่า 500 H_z ที่คำนวณได้มากกว่าสองในสามของ 600 H_z (400 H_z)

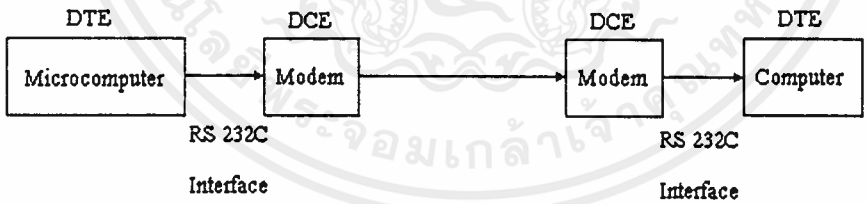
บทที่ 5
พอร์ต RS-232

5.1 บทนำ

การสื่อสารหรือการติดต่อระหว่างเครื่องไมโครคอมพิวเตอร์ ส่วนมากจะเป็นการสื่อสารข้อมูลแบบอะซิงโครนัส โดยปกติเครื่องไมโครคอมพิวเตอร์จะมีพอร์ตที่เป็นอนุกรมเรียกชื่อกันว่า RS-232C อยู่ในตัวมันเอง ซึ่งในการติดต่อระหว่างเครื่องไมโครคอมพิวเตอร์จะติดต่อผ่านทางพอร์ต RS-232C

5.2 พอร์ต RS-232C

พอร์ต RS-232C ทำหน้าที่รับและส่งข้อมูลแบบอนุกรมเรียกว่า Universal Asynchronous Adapter เนื่องจาก EIA ได้กำหนดมาตรฐานของอุปกรณ์แบบอนุกรมเอาไว้ภายใต้ชื่อว่า RS-232C ความจริงมาตรฐานของการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐาน แต่ที่นิยมใช้กันมากที่สุดสำหรับไมโครคอมพิวเตอร์ก็คือ RS-232C คำว่า " RS " ย่อมาจาก " Recommened Standard " ส่วน " 232 " เป็นหมายเลขบ่งบอกมาตรฐาน และ " C " เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานตัวนี้



รูปที่5.1 การใช้ RS-232C เชื่อมต่ออุปกรณ์

จุดประสงค์ของมาตรฐานตัวนี้ ก็เพื่อบรรยายคุณลักษณะของการเชื่อมต่ออุปกรณ์รับส่งข้อมูลปลายทาง (Data Terminal Equipment :DTE) กับอุปกรณ์สื่อสารข้อมูล (Data Communication Equipment :DCE) สำหรับผู้ใช้ไมโครคอมพิวเตอร์ DTE หมายถึงตัวไมโครคอมพิวเตอร์และ DCE หมายถึง Modem หรืออุปกรณ์อื่น ๆ เช่น เครื่องพิมพ์ที่รับสัญญาณแบบอนุกรมอาจเป็นได้ทั้ง DTE และ DCE ขึ้นอยู่กับผู้ผลิต ความเร็วและระยะทางของการเชื่อมต่อ RS-232C สามารถเชื่อมต่อการถ่ายโอนข้อมูลได้จาก 0 - 20,000 บิตต่อวินาที ซึ่งเพียงพอสำหรับไมโครคอมพิวเตอร์ที่มีขนาด

อัตราบอด 110 - 9600 บอด ความยาวของสายเชื่อมต่อโดยสัญญาณตามมาตรฐานของ RS-232C จำกัดอยู่แค่ 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารไมโครคอมพิวเตอร์กับอุปกรณ์รอบนอก

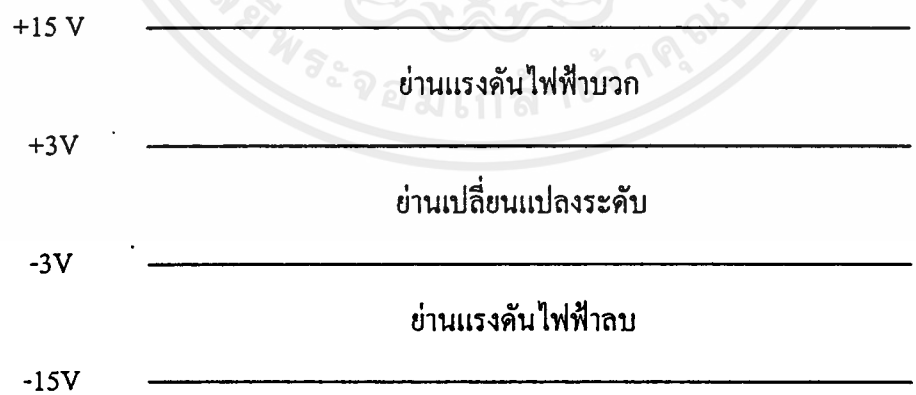
5.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

เพื่อเป็นหลักประกันว่าข้อมูลถูกส่งออกไปอย่างถูกต้องและอุปกรณ์ถูกควบคุมอย่างถูกต้อง จำเป็นจะต้องมีข้อตกลงกันในเรื่องของสัญญาณที่ใช้ ซึ่งลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C สามารถแบ่งเป็นหัวข้อดังต่อไปนี้

5.3.1 สถานะ

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้าจะกำหนดไว้ดังตารางมาตรฐานแรงดันไฟฟ้าในรูปที่ 5.2 แรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 V และ Open Circuit Voltage ต้องไม่เกิน 2 V (วัดเทียบกับ Signal Ground)

มาตรฐานของการใช้แรงดันแรงดันไฟฟ้า			
แรงดันไฟฟ้า	ลอจิก	สัญญาณ	ฟังก์ชันในการควบคุม
บวก	0	Space	ON
ลบ	1	Mark	OFF



รูปที่5.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C

5.3.2 วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อคู่ใด ๆ จะต้องมีกระแสลัดวงจรไม่เกิน 0.5 A และแรงดันที่ DCE ต้องไม่เกิน 25 V เมื่อถอด Connector

5.3.3 ความต้านทาน

เมื่อมองจากด้านจุด Interface Point ไปยัง DCE จะต้องมีค่า $3k\Omega - 7k\Omega$

5.3.4 ความไวของการเปลี่ยนแปลงระดับของสัญญาณ

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (-3 V ถึง +3 V) ภายในเวลาไม่เกิน 1 $m$sec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 $m$sec หรือ 4 เปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

5.4 ลักษณะสมบัติเชิงกลของข้อต่อ (Connector)

มาตรฐานของ RS-232C ไม่ได้กำหนดว่าต้องใช้ Connector รูปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไปคือ DB-25 Connector ซึ่งแต่ละขาของข้อต่อกำหนดไว้ดังรูปที่ 5.3 สัญญาณต่าง ๆ ถูกมอบหมายให้ทำหน้าที่ดังต่อไปนี้

- Protective Ground (PG ขาที่ 1)

หมายถึงตัวถังของเครื่องหรือสายดิน

- Transmit Data (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานภาพของลอจิกจะมีค่าเท่ากับ " 1 " สภาวะ " OFF " หรือเทียบเท่ากับ Stop bit และไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ Request To Sent (RTS) , Clear To Send (CTS) , Data Set Ready (DSR) และData Terminal Ready (DTR) ทั้งหมดนี้อยู่ในสภาวะ " ON " อยู่

- Receive Data (RD ขาที่ 3)

เป็นทางของสัญญาณที่เข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขานี้จะมีสถานภาพทางลอจิกเป็น " 1 " หรือสภาวะ " OFF "

- Request To Send (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ " ON " คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

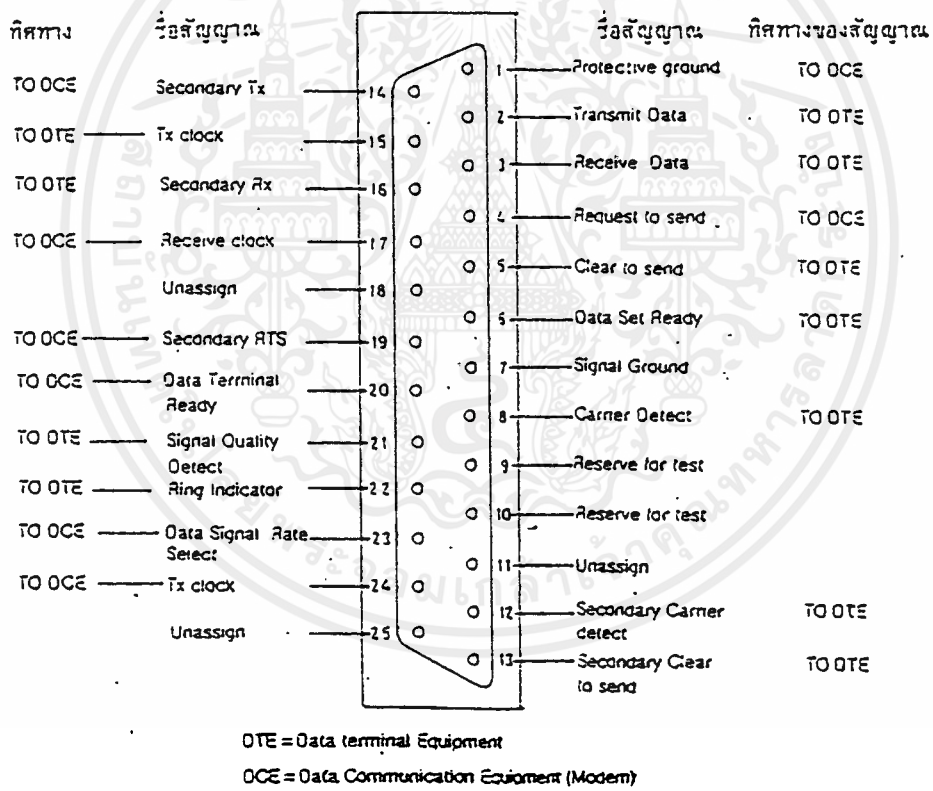
สภาวะ " OFF " คือบังคับให้ DCE อยู่ใน Reciving Mode ต่อไป

การเปลี่ยนจาก " OFF " เป็น " ON " เป็นการบอกให้ DCE จัดการกับระบบสื่อสารเพื่อให้ช่องทางต่อเชื่อมและให้สัญญาณ Clear To Send (CTS) กลับมาบอกว่าสามารถส่งได้

การเปลี่ยนจาก " ON " เป็น " OFF " เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องสื่อสารให้หมดแล้วกลับไปอยู่ใน Reciving Mode หรืออยู่เฉย ๆ พร้อมกับให้ Clear To Send (CTS) เป็น " 0 "

- Clear To Send (CTS ขาที่ 5)

จาก DCE ไป DTE สภาวะ " ON " หมายความว่า ข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องสื่อสาร(โมเด็มส่งข้อมูลออกสายโทรศัพท์)ทันที CTS จะ " ON " หลังจาก DSR และ RTS อยู่ในสภาวะ " ON " และการต่อเชื่อมวงจรสื่อสาร(ชุมสายโทรศัพท์)เสร็จแล้ว



รูปที่5.3 การกำหนดข้อต่อของ RS-232C

-Data Set Ready (DSR ขาที่ 6)

จาก DCE ไป DTE คือความพร้อมของโมเด็มนั่นเองจะเป็น " ON " ก็ต่อเมื่อ DCE (โมเด็ม)เปิดเครื่องอยู่จะอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์) , DCE ไม่อยู่ใน test mode

และ DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ " ON " เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้วและพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ " OFF " หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่น ๆ ยกเว้น Ring Indicator

-Signal Ground (SG ขาที่ 7)

SGทำหน้าที่เป็นระดับแรงดันอ้างอิงสำหรับทุกสายของสัญญาณจะมีแรงดันเป็น " 0 " เมื่อเทียบกับสัญญาณตัวอื่น

-Carrier Detect (CD ขาที่ 8)

จาก DCE ไป DTE

สภาวะ " ON " หมายความว่า DCE จับสัญญาณพาหะในช่องทางสื่อสารที่จะทำการ Demodulate ได้

สภาวะ " OFF " หมายความว่า DCE ไม่ได้รับสัญญาณอะไรเลยหรือได้รับสัญญาณแต่ไม่สามารถทำการ Demodulate เอาข้อมูลออกมาได้

-Data Terminal Ready (DTR ขาที่ 20)

จาก DTE ไป DCE

สภาวะ " ON " หมายความว่า DCE ทำการเตรียมเพื่อเชื่อมต่อกับตัวอื่น และรักษาช่องทางติดต่อไว้ต่อไป (การเชื่อม Channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก(Call)ได้ ก็ให้ตอบรับ(Answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR อยู่ในสภาวะ " ON "

สภาวะ " OFF " คือวางหูและเมื่อ " OFF " แล้วต้องไม่ " ON " อีกจนกว่า DSR จะ "OFF"

-Ring Indicator (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์แต่เป็นดิจิตอล ใช้ในระบบตอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ " ON " เมื่อมีสัญญาณกระดิ่งเข้ามาและจะ " OFF " ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่น ๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมาแล้วและบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2,3,4,5,6,7,8,20 และ22 ยกเว้นการต่อใช้งานบางอย่างถึงจะต่อครบทุกเส้น

5.5 DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขาเราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเราเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้นและการใช้งานคล่องตัวขึ้น สัญญาณต่าง ๆ ของข้อต่อแบบ DB-9บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางเปรียบเทียบดังรูปที่5.4

DB-25 Pin	DB-9Pin	Assignment / Function
8	1	Carrier Detect (CD)
3	2	Receive Data (RD)
2	3	Transmit Data (TD)
20	4	Data Terminal Ready (DTR)
7	5	Signal Ground (SG)
6	6	Data Set Ready (DSR)
4	7	Request To Send (RTS)
5	8	Clear To Send (CTS)
22	9	Ring Indicator (RI)

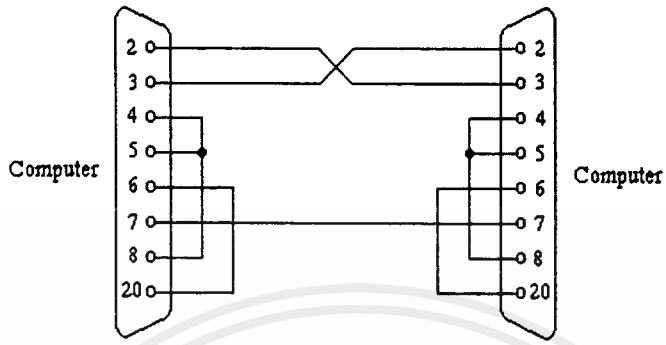
รูปที่5.4 แสดงขาที่ใช้งานของ DB-9 และ DB-25 ในการรับส่งข้อมูลแบบอนุกรม

5.6 การเชื่อมต่อคอมพิวเตอร์กับคอมพิวเตอร์โดยตรง (Null Modem)

การต่อเครื่องคอมพิวเตอร์เข้าด้วยกันโดยใช้ RS-232C แล้วถ่ายโอนข้อมูลจากเครื่องหนึ่งไปอีกเครื่องหนึ่ง วิธีการต่อแบบนี้เรียกว่า Null Modem ก็คือการต่อโดยไม่ใช้โมเด็มนั้นเอง วิธีการต่อ RS-232C เข้าระหว่างเครื่องคอมพิวเตอร์โดยตรงมีอยู่หลายวิธีตามแต่ขบวนการที่จะใช้ ถ้าไม่ต้องการมีการตรวจสอบสัญญาณกันก็ต่อ RD เข้า TD ของอีกเครื่องหนึ่ง สายกราวด์ต่อถึงกัน แสดงดังรูปที่ 5.5 ก็สามารถใช้งานถ่ายโอนข้อมูลได้แล้ว

ปกติ OS ที่ให้บริการเกี่ยวกับพอร์ต RS-232C จะส่งสัญญาณ Request To Sent (RTS) ออกมาที่ขา 4 ก่อน เมื่อ Clear To Send (CS) ที่ขา 5 เป็นลอจิก " 1 " จึงจะเริ่มทำการส่งข้อมูลที่โอเปอเรเตอร์บอกให้ส่งออกไปที่ขา 2 ในกรณีที่เป็นการต่อแบบง่าย ๆ ในรูปที่ 5.5 จึงถือว่าเป็นการ

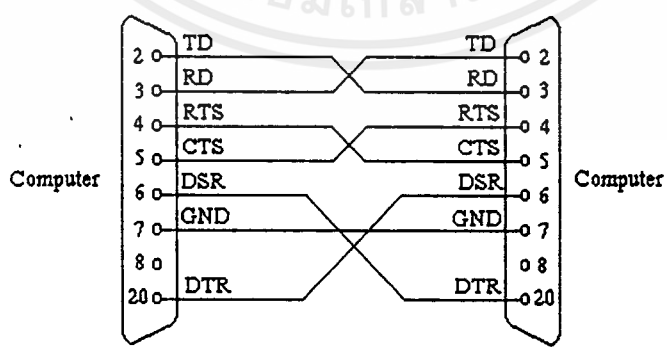
หลอดคอมพิวเตอร์ โดยเอาขา 4 (RTS) ต่อเข้ากับขา 5 (CTS) เพื่อให้คอมพิวเตอร์ส่งข้อมูลได้ทันที โดยไม่ต้องการความเรียบร้อยของฝ่ายรับ



รูปที่5.5 การต่อ RS-232C ระหว่างคอมพิวเตอร์อย่างง่าย ๆ

สำหรับขา 6 Data Set Ready (DSR) ต่อเข้ากับขาที่ 20 Data Terminal Ready (DTR) ก็ทำนองเดียวกัน โดยปกติคอมพิวเตอร์จะถามอุปกรณ์ที่มาต่อพ่วงกับ RS-232C ว่าพร้อมที่จะส่งหรือยัง โดยส่งสัญญาณถามที่ขา 20 และรอคำตอบที่ขา 6 จะได้รับคำตอบกลับที่ขา 6 ทันที ในการต่อแบบนี้ฝ่ายรับจะต้องรอรับอยู่ก่อนแล้ว ก่อนที่ฝ่ายส่งจะเป็นผู้ส่งไม่เช่นนั้นข้อมูลที่ออกมาจะหายไป เพราะฝ่ายส่งไม่ได้ตรวจสอบความเรียบร้อยของฝ่ายรับก่อน

เราอาจจะต่อสายให้มีการตรวจสอบสัญญาณโต้ตอบ (Hand Shake) ได้ดังรูปที่ 5.5 ซึ่งกรณีนี้จะมีการโต้ตอบที่ดีขึ้น เมื่อฝ่ายรับยังไม่พร้อมที่จะรับก็จะยังไม่มีสัญญาณ RTS ออกมา ฝ่ายส่งซึ่งถือเอา RTS ของฝ่ายรับเป็น CTS ก็จะยังไม่ส่ง

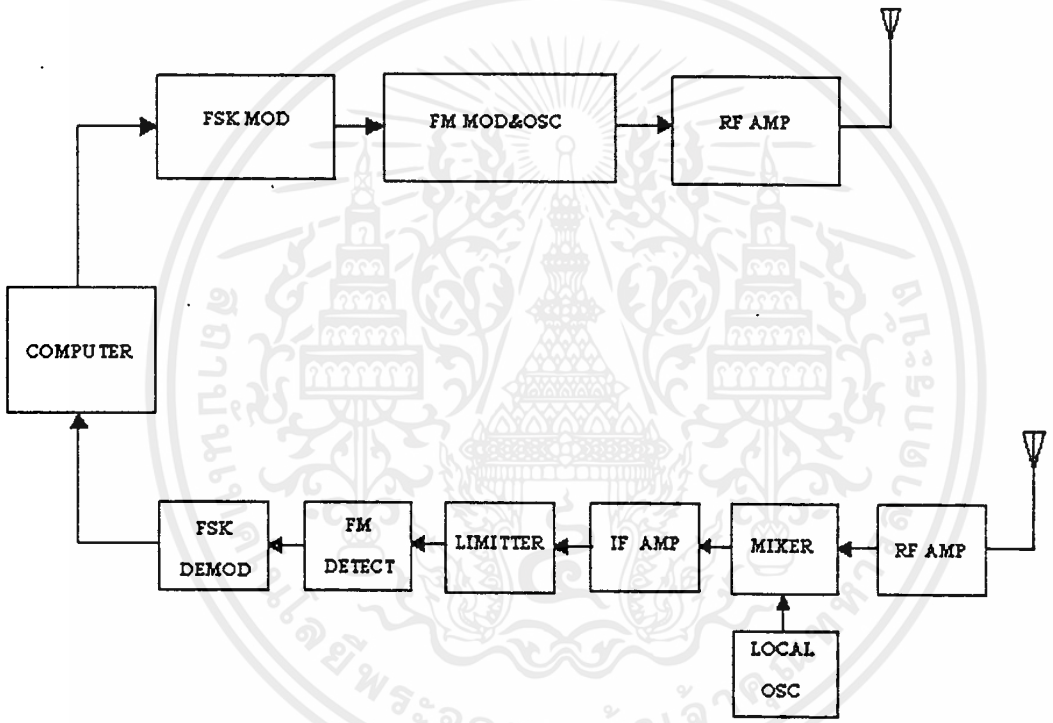


รูปที่ 5.6 การต่อคอมพิวเตอร์ผ่าน RS-232C แบบมี Hand Shake

บทที่ 6
หลักการทำงานของวงจร

6.1 บทนำ

ในบทนี้จะกล่าวถึงการทำงานของวงจร โดยโครงสร้างของโครงงานทั้งหมดจะเป็นดังรูปที่ 6.1



รูปที่6.1 รูปแบบของการรับส่งข้อมูลด้วยคลื่น VHF

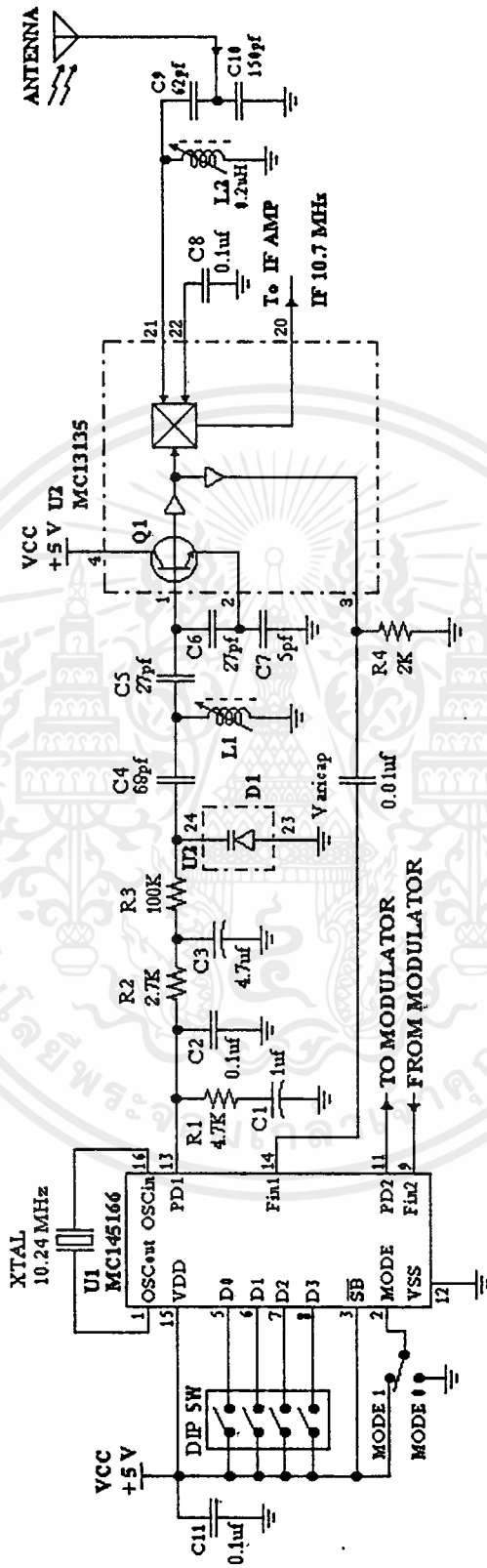
จากรูปที่ 6.1 สามารถที่จะแบ่งการทำงานออกเป็น 2 ส่วนด้วยกัน โดยในส่วนแรกก็คือการส่งข้อมูล ข้อมูลจากเครื่อง computer ซึ่งเป็นสัญญาณแบบดิจิตอลจะถูกมอดดูเลตให้เป็นสัญญาณอนาลอก โดยใช้วงจร FSK Modulator แล้วนำความถี่ FSK ที่ได้มามอดูเลทรวมกับสัญญาณพาหะ ซึ่งเป็นการมอดดูเลตแบบ FM แล้วนำไปขยายสัญญาณส่งออกอากาศไป ในส่วนที่ 2 ก็คือการรับข้อมูล สัญญาณที่รับได้จากสายอากาศของเครื่องรับแบบ FM จะผ่านวงจรภาครับ FM แล้วนำสัญญาณที่ดีเทคออกมาได้ซึ่งเป็นสัญญาณ FSK ไปทำการ Demodulate กลับเป็นสัญญาณดิจิตอลดังเดิม

จากที่ได้กล่าวมาแล้วโครงงานทั้งหมดจะประกอบด้วยคอมพิวเตอร์ 2 เครื่อง ในแต่ละเครื่องจะมีชุดส่งข้อมูลและชุดรับข้อมูล ดังรูปแบบในรูปที่ 6.1 ซึ่งรายละเอียดของวงจรต่าง ๆ จะกล่าวถึงในหัวข้อต่อ ๆ ไป

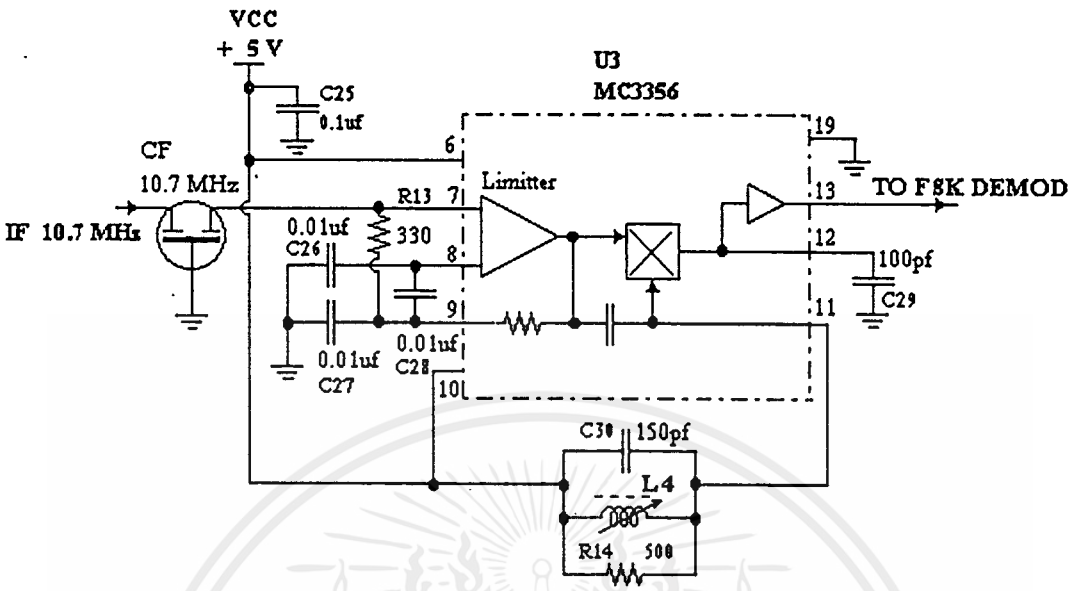
6.2 วงจรภาครับ FM

การทำงานของภาครับจะใช้ IC เบอร์ MC 13135 เป็นวงจรของเครื่องรับ FM ซึ่งจะรับสัญญาณ RF เข้ามาที่ขา 22 แล้วนำไป MIX รวมกับความถี่ที่สร้างขึ้นมาจากวงจรสังเคราะห์ความถี่ได้เป็นสัญญาณความถี่ 10.7 MH_Z วงจรแสดงดังรูปที่ 6.2

การทำงานของวงจรสังเคราะห์ความถี่จะเริ่มในส่วนของภาค VCO โดยมีทรานซิสเตอร์ (Q1) ทำหน้าที่เป็นออสซิลเลเตอร์ โดยมี L_1 (ปรับค่าได้) ต่อคร่อมกับ D_1และ C_4 โดยเป็นวงจรจูนรวมกับ C_6 และ C_7 ความถี่ที่ Oscillate (ขา 3 MC 13135) สามารถควบคุมได้ด้วยแรงดันรีเวิร์สที่ป้อนให้กับ D_1 ซึ่งแรงดันได้มาจากภาค Loop Filter หรือ Low Pass Filter จะประกอบด้วย R_1, R_2,R_3,C_1,C_2 และ C_3 เมื่อแรงดัน Loop Filter เปลี่ยนแปลงความถี่ก็เปลี่ยนแปลงด้วย ทรานซิสเตอร์ (Q_1) ต่อในลักษณะ Common Collector สัญญาณที่ออกจากขา E จะถูกป้อนกลับแบบบวกกลับมาที่ขา B เพื่อช่วยเสริมสัญญาณออสซิลเลเตอร์ที่จะขาดหายไปและจะทำหน้าที่ควบคุมความถี่ให้คงที่ โดยใช้ IC เบอร์ MC 145166 ซึ่งจะทำหน้าที่เป็น PLL Frequency Synthesizes โดยจะนำความถี่ที่ได้จาก ทรานซิสเตอร์ (Q_1) ไปทำการหารด้วยค่า N ซึ่งค่า N จะขึ้นอยู่กับการเซ็ท Dip Switch เราจะนำสัญญาณที่ได้จากการหาร N ไปทำการเปรียบเทียบกับความถี่อ้างอิงในภาค Phase Detector ซึ่งความถี่อ้างอิงได้จากความถี่ที่เกิดจากคริสตอลหารด้วย 2048 จากวงจรจะใช้คริสตอลความถี่ 10.24 MH_Z จะได้ความถี่อ้างอิงประมาณ 5 kH_Z ซึ่งในภาค Phase Detector นี้จะให้แรงดันคลาดเคลื่อนออกมาอยู่ในช่วง 0-5 V แล้วส่งไปยังภาค Loop Filter กรองเฉพาะความถี่ต่ำ เพื่อที่จะป้อนแรงดันไฟตรงที่ได้จาก Loop Filter นี้ให้แก่ D_1 เพื่อควบคุมความถี่ออสซิเลเตอร์เอาท์พุทให้ได้ตามต้องการ ซึ่งถ้าสัญญาณที่รับมาจาก VCO เมื่อผ่านภาค N-Divider แล้วจะมีค่ามากกว่าความถี่ที่อ้างอิง ภาค Phase Detector จะให้แรงดันคลาดเคลื่อนที่มีค่าต่ำ ๆ ออกมา เป็นผลให้แรงดันรีเวิร์สไบอัสที่ป้อนให้ D_1 ลดลง ความถี่ออสซิเลเตอร์ก็ลดลงด้วยจนกระทั่งเมื่อความถี่ที่รับมาจากภาค N-Divider เท่ากับความถี่อ้างอิงก็จะให้แรงดันคลาดเคลื่อนที่คงที่ออกมา ความถี่ออสซิลเลเตอร์ก็จะคงที่ด้วย แต่ถ้าความถี่ที่รับมาจาก VCO ที่ผ่านภาค N-Divider แล้วมีค่าน้อยกว่าความถี่ที่อ้างอิงภาค Phase Detector ก็จะให้แรงดันค่ามาก ๆ ออกมา ความถี่ออสซิเลดก็จะเพิ่มขึ้น จนกระทั่งความถี่ออสซิเลเตอร์ที่ได้มีค่าคงที่ ไม่เปลี่ยนแปลงหรืออยู่ในสภาวะล็อคความถี่นั่นเอง



รูปที่6.2 วงจร FM Receiver



รูปที่6.3 วงจร Limitter & Detector โดยใช้ IC เบอร์ MC3356

จากรูปที่ 6.3 สัญญาณ IF 10.7 MH_Z ที่ได้จะนำไปผ่านเซรามิกฟิลเตอร์ 10.7 MH_Z เพื่อให้เฉพาะความถี่ IF 10.7 MH_Z ผ่านไปได้ แล้วส่งไปให้ภาค Limitter & Detector โดยใช้ IC เบอร์ MC3356 ซึ่งจะทำหน้าที่ Limitter , IF AMP และ Detector ซึ่งเป็นแบบ Quadrature Detector ในส่วนของ Limitter และ IF AMP จะขยายสัญญาณ IF ให้แรงขึ้นและขลิบสัญญาณอยู่ในช่วง เพื่อกำจัดสัญญาณรบกวนที่ปนมาและส่งไปยังภาค Quadrature Detector ซึ่งมี C_{12} และ L_2 (ปรับค่าได้) ในส่วนภาค Quadrature Detector จะทำการ Shift Phase สัญญาณ IF ไป 90 องศาแล้วนำไปรวมกับสัญญาณ IF เดิม ก็จะได้สัญญาณเอาท์พุทออกมา

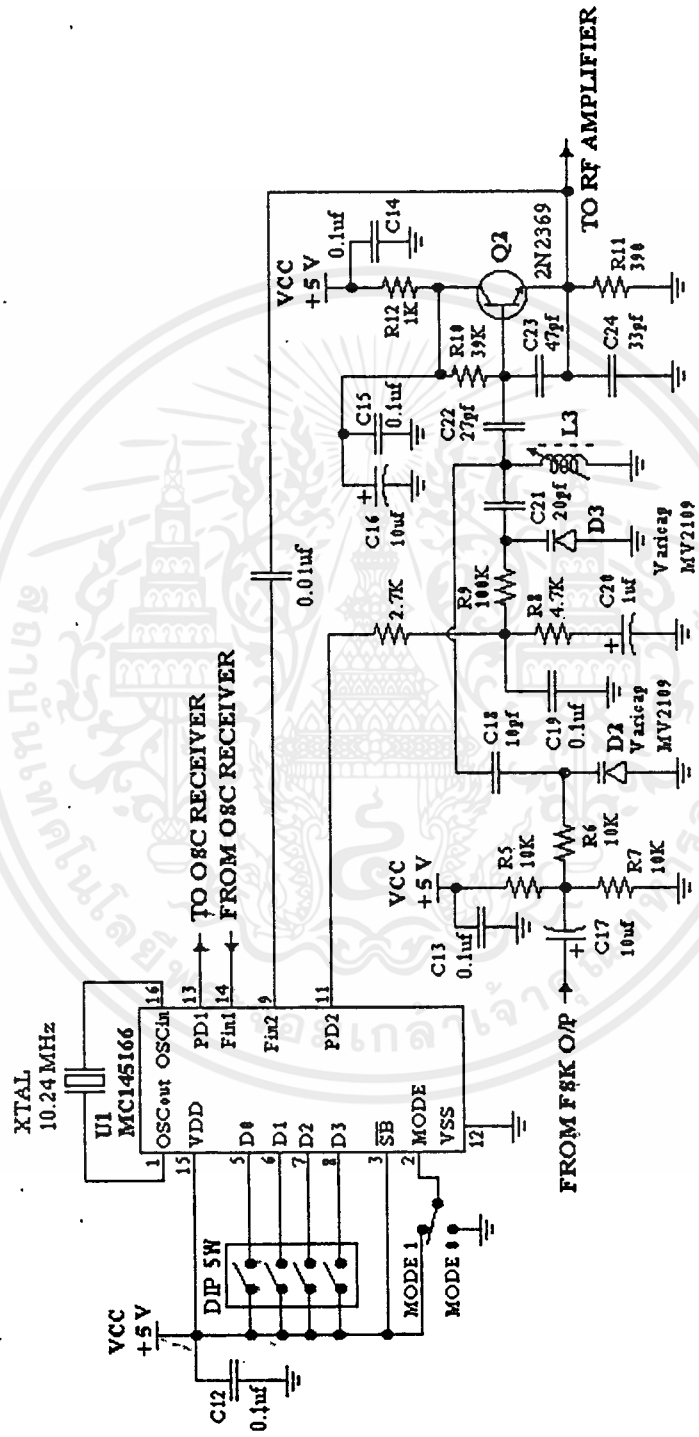
6.3 วงจรภาคส่ง FM

วงจรภาคส่ง FM จะประกอบไปด้วยวงจร Oscillator , Modulator และRF Amplifier การทำงานของแต่และวงจรอธิบายตามหัวข้อดังต่อไปนี้

6.3.1 วงจร Oscillator และ Modulator

จากรูปที่ 6.4 วงจรสังเคราะห์ความถี่จะมีการทำงานเหมือนกับในส่วนของภาครับ FM แต่จะมีส่วนที่เพิ่มมาก็คือ วงจร Modulator โดยใช้ Varicap Diode (D_2)ในการมอดูเลทแบบ FM

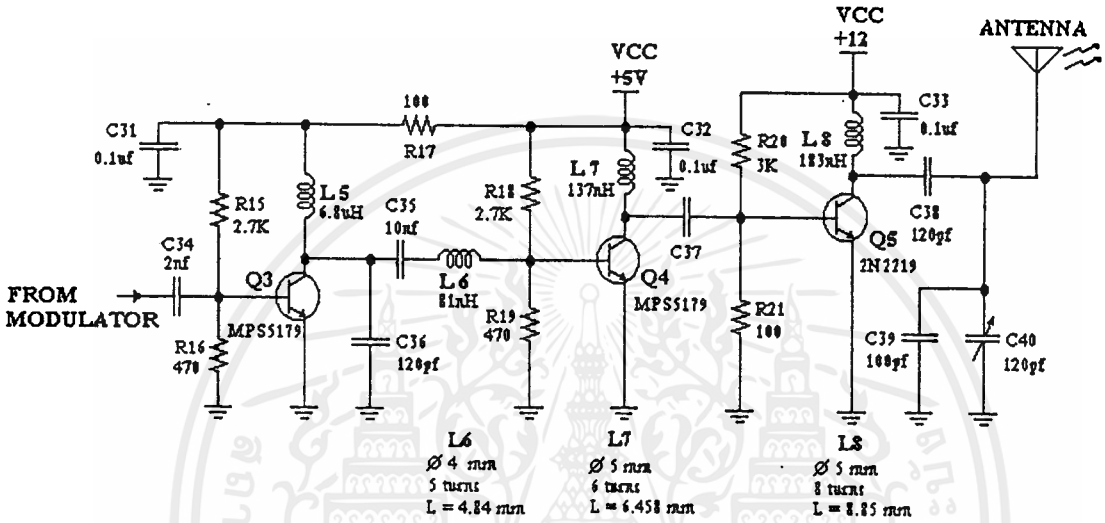
เนื่องจากสัญญาณที่นำมามอดูเลทเป็นสัญญาณ Sine wave จึงต้องมี R_5 และ R_7 ทำหน้าที่แบ่งแรงดันให้เป็นครึ่งหนึ่งของแหล่งจ่าย เพื่อไม่ให้เกิดการ clip สัญญาณเนื่องจาก D_2



รูปที่6.4 วงจร Oscillator และ Modulator

6.3.2. RF Amplifier

สัญญาณที่ได้จากการ Modulator แบบ FM (วงจรรูปที่ 6.4) จะนำมาขยายสัญญาณที่วงจร RF Amplifier เพื่อส่งออกอากาศไป โดยที่การทำงานวงจร RF Amplifier สามารถอธิบายได้ดังต่อไปนี้



รูปที่6.5 วงจร RF Amplifier

จากรูปที่ 6.5 วงจร RF Amplifier จะประกอบไปด้วยส่วนขยายสัญญาณ 3 ส่วนด้วยกัน โดยที่จะใช้ทรานซิสเตอร์เบอร์ MPS5179 (Q_3 ,Q_4) และ 2N2219 (Q_5) ทำหน้าที่ขยายสัญญาณและ R15 ,R16,R1,R19,R20 และR21 จะทำหน้าที่ Bias ให้กับตัวทรานซิสเตอร์แต่ละตัว L5,L7และL8 จะทำหน้าที่เป็น RFC ก็คือเป็นตัวป้องกันสัญญาณ RF ที่ขยายในแต่ละส่วนไม่ให้ไปรบกวนวงจรภาคต่าง ๆ เช่น ภาคจ่ายไฟ และภาครับ เป็นต้น C35,C36,C37,C38,C39,C40,L6,L7และL8 จะทำหน้าที่เป็นวงจรแมทชิ่งให้ O/P Impedance ของวงขยายเท่ากับ I/P Impedance ของวงจรขยายอีกวงจรหนึ่ง C40 จะทำหน้าที่จูนภาคเอาท์พุทเข้ากันเสาอากาศ C31,C32 และ C33 จะทำหน้าที่ป้องกันไม่ให้วงจรขยายสัญญาณ RF แต่ละภาคเกิดการออสซิเลทขึ้นในตัวมันเองในความถี่ที่ไม่ต้องการ ซึ่งจะทำให้วงจรทั้งหมดทำงานอย่างมีเสถียรภาพมากยิ่งขึ้น

6.4 การเลือกความถี่ที่ Oscillate

จากรูปที่6.2 และรูปที่ 6.4 IC MC145166 จะทำหน้าที่เป็น Phase Lock Loop(PLL) และจากโครงสร้างของตัว IC MC145166 สามารถที่จะต่อกับวงจรออสซิเลทได้ 2 วงจร จึงทำให้ความถี่ที่ออสซิเลทจะมีอยู่ด้วยกัน 2 ความถี่ก็คือ f_{in1} และ f_{in2} (ขา 14 และขา 9 ของ MC145166) เราสามารถที่จะเลือกความถี่ที่ออสซิเลทได้ โดยทำการ Set Mode ได้ที่ขา 2 ของ MC 145166 ในการ Set Mode จะมีอยู่ด้วยกัน 2 Mode ด้วยกันก็คือ Mode 0 และ Mode 1 เมื่อเราต่อขา 2 ลง Ground จะเป็น Mode 0 และเมื่อเราต่อขา 2 กับแหล่งจ่ายจะเป็น Mode 1 ความหมายของ Mode 0 และ Mode 1 ก็คือเมื่อเรา Set Mode ไว้ที่ Mode 0 IC MC145166 ที่ต่ออยู่กับวงจรออสซิเลท 2 วงจรจะได้ความถี่ที่ออสซิเลท 2 ความถี่(ขา 14 และ 9 ของ MC145166) ความถี่ที่ออสซิเลทจากการเซ็ท Mode 0 และ Mode 1 จะมีค่าไม่เท่ากันและในแต่ละ 2 ความถี่นั้นสามารถที่จะทำให้แบ่งออกไปได้อีก 10 ความถี่ด้วยกัน โดยทำการ Set Dip Switch เพื่อที่จะให้เข้าใจยิ่งขึ้นสามารถดูได้จากตารางคุณสมบัติของ MC145166 ในรูปที่ 6.6

Channels					Handset(Mode=0)				Handset(Mode=1)			
					Transmit		Receive		Transmit		Receive	
D3	D2	D1	D0	CH#	fin2(MHz)	N	fin1(MHz)	N	fin2(MHz)	N	fin1(MHz)	N
0	0	0	1	1	49.67	9934	35.915	7183	46.61	9322	38.975	7795
0	0	1	0	2	49.845	9969	35.935	7187	46.63	9326	39.15	7830
0	0	1	1	3	49.86	9972	35.975	7195	46.67	9334	39.165	7833
0	1	0	0	4	49.77	9954	36.015	7203	46.71	9342	39.075	7815
0	1	0	1	5	49.875	9975	36.035	7207	46.73	9346	39.18	7836
0	1	1	0	6	49.83	9966	36.075	7215	46.77	9354	39.135	7827
0	1	1	1	7	49.89	9978	36.135	7227	46.83	9366	39.195	7839
1	0	0	0	8	49.93	9986	36.175	7235	46.87	9374	39.235	7847
1	0	0	1	9	49.99	9998	36.235	7247	46.93	9386	39.295	7859
1	0	1	0	10	49.97	9994	36.275	7255	46.97	9394	39.275	7855

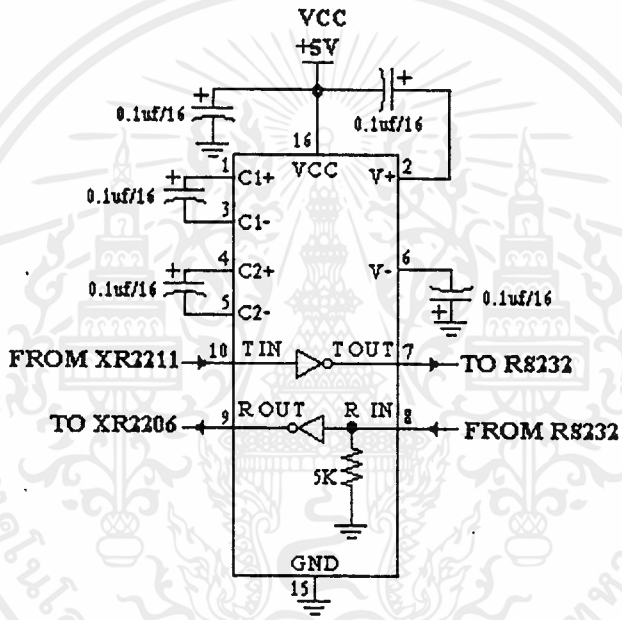
รูปที่6.6 ตารางคุณสมบัติของ IC เบอร์MC145166

จากตารางคุณสมบัติของ IC เบอร์ MC145166 และจากหัวข้อ 6.1 ในโครงงานเราจะใช้ชุดรับส่ง FM ด้วยกัน 2 ชุดและจะเซ็ท Mode การทำงานของ MC145166 ไว้ไม่เหมือนกัน ดังนั้น

สามารถที่จะกำหนดรูปแบบการส่งสัญญาณติดต่อกันระหว่างคอมพิวเตอร์ได้ โดยที่ในโครงงานลักษณะการรับส่งข้อมูลจะเป็นแบบ Full Duplex

6.5 วงจรแปลงระดับสัญญาณ RS-232C

ในการนำสัญญาณจาก PORT RS-232C ที่มีค่าแรงดัน $\pm 12\ V$ มาใช้งานจะต้องผ่านวงจรแปลงระดับแรงดันของสัญญาณให้เหลือเป็นสัญญาณ TTL ที่มีค่าแรงดัน $0-5\ V$ แสดงดังรูปที่6.7



รูปที่6.7 วงจรแปลงระดับสัญญาณ RS-232C

จากรูปที่ 6.7 สัญญาณจาก PORT RS-232C จะมาเข้าที่ขา 8 ของ IC เบอร์ MAX232E ซึ่งจะทำหน้าที่แปลงระดับสัญญาณ RS-232C เป็นสัญญาณ TTL โดยจะทำให้สัญญาณ RS-232C +12 V เป็นสัญญาณ TTL + 5 V และสัญญาณ RS-232C -12 V เป็นสัญญาณ TTL 0 V สัญญาณ TTL ที่ได้จะเป็นอินพุทของวงจร FSK Modulator และเมื่อผ่านการรับส่งข้อมูล สัญญาณที่ผ่านการ Demodulate เป็นสัญญาณ TTL จะต้องผ่านวงจรแปลงระดับสัญญาณจากสัญญาณ TTL เป็นสัญญาณ RS-232C $\pm 12V$ ก่อน โดยนำสัญญาณ TTL ที่ได้จาก FSK Demodulator มาเข้าที่ขา 10 ของ IC เบอร์ MAX232E ก็จะได้สัญญาณ RS-232C $\pm 12V$ ออกมาที่ขา 7 ของ IC MAX232E

6.6 การทำงานของ FSK Modulator และ Demodulator

ในการใช้งาน FSK Modulator จะใช้ IC เบอร์ XR 2206 ส่วน FSK Demodulator จะใช้ IC เบอร์ XR 2211 การทำงานและการออกแบบสามารถอธิบายได้ดังต่อไปนี้

6.6.1 FSK Modulator

เราใช้ไอซีเบอร์ XR 2206 ซึ่งเป็น Monolithic Function Generator ทำหน้าที่ในการมอดดูเลตสัญญาณดิจิตอล ซึ่งสามารถใช้ได้กับอินพุทที่เป็น TTL หรือ CMOS ก็ได้ สามารถที่จะให้ค่ารูปคลื่นซายน์เอาท์พุทได้ประมาณ 3 V_{P-P} และค่าความผิดเพี้ยนของสัญญาณที่เกิดขึ้นจะอยู่ระหว่าง 0.5 % ถึง 2.5%

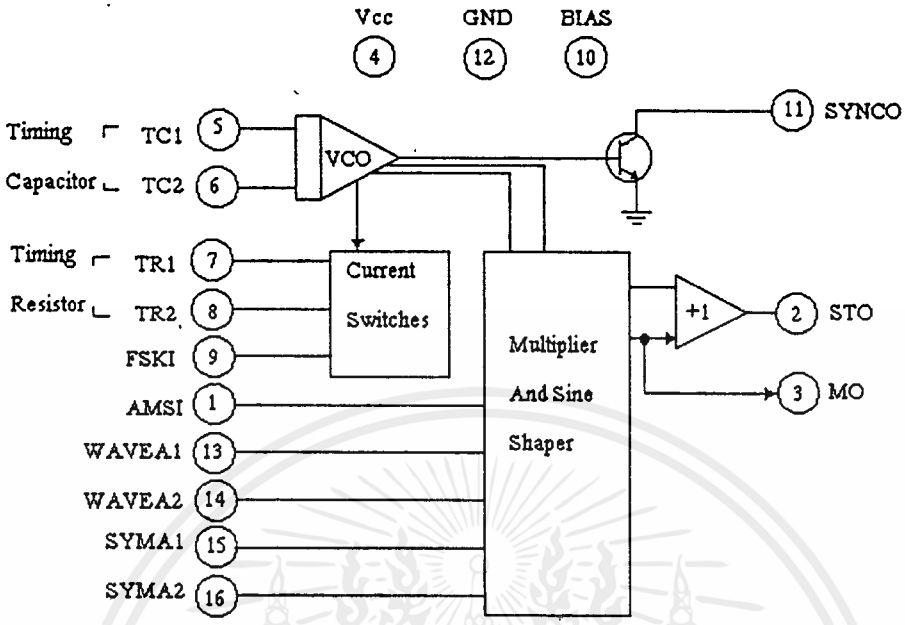
วงจรภายในของ XR 2206 จะประกอบด้วย 4 วงจรสามารถอธิบายเป็น Block Diagram ได้ดังรูปที่ 6.8 จะประกอบไปด้วย วงจร VCO ,วงจรคูณอนาลอก ,วงจรปรับสัญญาณซายน์ , Buffer และสวิทช์กระแส VCO จะผลิตเอาท์พุทความถี่ที่เป็นสัดส่วนกับกระแสอินพุท ซึ่งสามารถกำหนดได้โดยตัวต้านทานที่ต่อเข้าที่ขาที่เกี่ยวข้องกับเวลาลงกราวด์ เนื่องจากมี 2 ขาที่เกี่ยวข้องกับเวลา ดังนั้นจึงสามารถสร้างสัญญาณได้ 2 ความถี่สำหรับการกำเนิดสัญญาณ FSK โดยใช้ขา FSK Input control ค่า FSK Input control จะไปควบคุมวงจรภายในส่วนสวิทช์กระแส เพื่อให้เกิดการเลือกขาที่ต่อตัวต้านทานสำหรับวงจร VCO

วงจรที่ใช้งานแสดงดังรูปที่ 6.9 โดยที่นำสัญญาณดิจิตอล TTL จากวงจรแปลงระดับสัญญาณ RS-232C มาเข้าที่ขา 9 ของ XR 2206 ระดับศักดาไฟตรงของ FSK O/P ที่ขา 2 ประมาณเท่ากับศักดาไฟตรงที่ไบอัสเข้าที่ขา 3 ของ XR 2206 ซึ่งจากรูปที่ 6.8 จะพบว่า ขา 3 ถูกไบอัสด้วยครึ่งหนึ่งของค่า VCC ดังนั้นจะได้ว่าศักดาไฟตรงที่เอาท์พุทจะเท่ากับ VCC / 2 เราสามารถปรับค่าศักดาไฟตรงที่เอาท์พุทได้โดยใช้ VR3 ในส่วนของ VR1 มีไว้เพื่อปรับความผิดเพี้ยนของสัญญาณให้มีการผิดเพี้ยนน้อยที่สุด และ VR2 จะเอาไว้ปรับความสมมาตรของสัญญาณซายน์

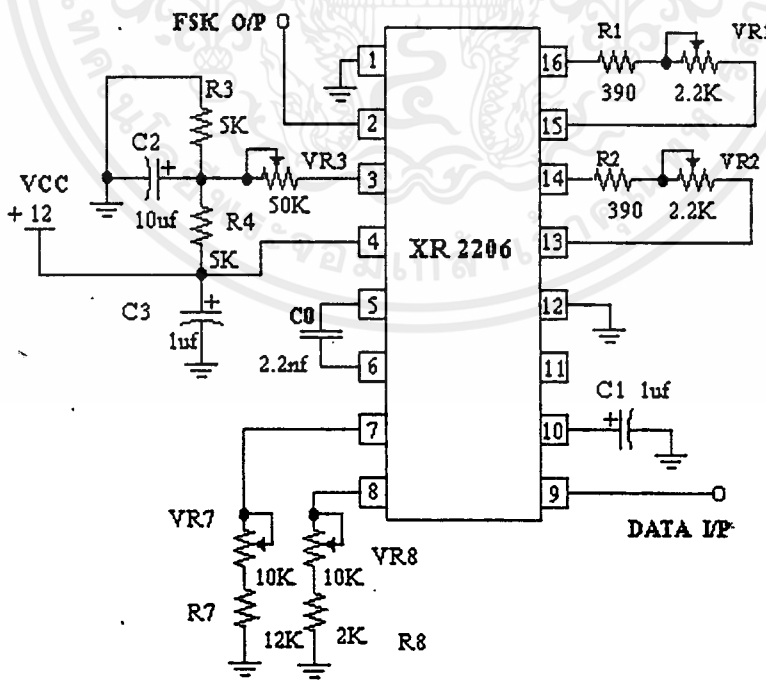
ในส่วนของความถี่ f_s เมื่อลอจิกเป็น " 0 " (Space) และ f_m เมื่อลอจิกเป็น " 1 " (Mark) เราสามารถที่จะกำหนดได้ว่าให้ความถี่ f_s และ f_m เป็นเท่าใดก็ได้ โดยหาได้จากสมการดังต่อไปนี้

$$f_m = \frac{1}{R_8 C_O} \qquad \text{และ} \qquad f_s = \frac{1}{R_7 C_0}$$

หรือเราจะเรียก f_m ว่า f_H และ f_s ว่า f_L ก็ได้ จากวงจรในรูปที่ 6.9 ในการคำนวณหาค่าของ C_0, VR_7, VR_8, R_7 และ R_8 จะขอกล่างถึงในตัวอย่างการออกแบบวงจร



รูปที่6.8 แสดงวงจรภายในของ XR 2206

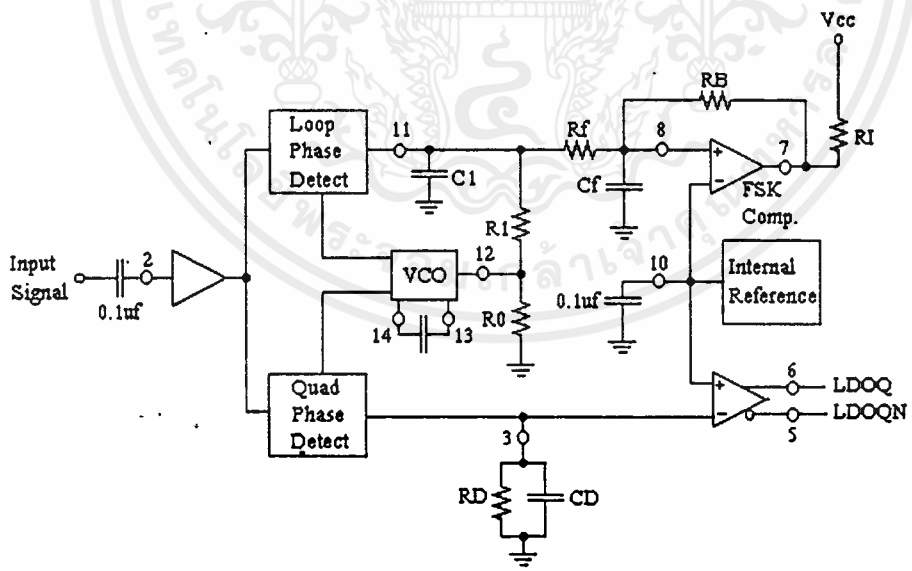


รูปที่6.9 แสดงวงจร FSK Modulator โดยใช้ IC เบอร์ XR 2206

6.6.2 FSK Demodulator

FSK Demodulator จะใช้ IC XR 2211 เป็นตัว Demodulate สัญญาณ IC XR 2211 มีลักษณะทั่วไปก็คือเป็นวงจรเฟสล็อคลูปแบบโมโนลิทิก ทำงานในช่วงกว้างของไฟเลี้ยง 4.5 V ถึง 20 V และมีช่วงความถี่กว้างโดยอยู่ในช่วง 0.01 H_Z - 300 kH_Z สามารถใช้สัญญาณอนาลอกได้ในช่วง 2 mV - 3 V อีกทั้งยังสามารถอินเตอร์เฟสได้กับวงจรลอจิกตระกูลดีทีแอล , ทีทีแอลและอีซีแอล

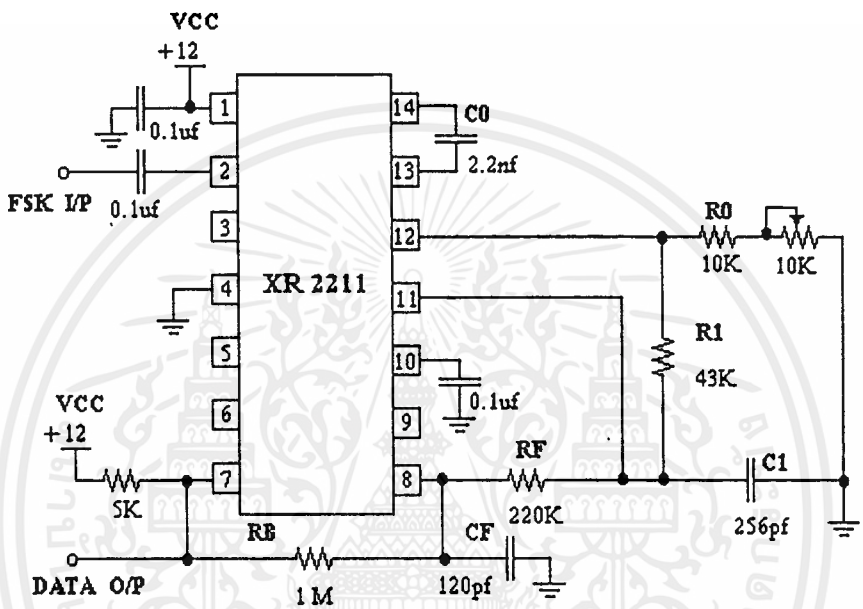
วงจรภายในของ XR 2211 แสดงดังรูปที่ 6.10 โดยที่มีการทำงานดังต่อไปนี้ เอาท์พุทของเฟสดีเท็กเตอร์ให้สัญญาณผลบวกและผลต่างความถี่ของสัญญาณอินพุทกับสัญญาณจาก VCO นั่นก็คือความถี่เอาท์พุทจะเป็น $f_{in} + f_{VCO}$ และ $f_{in} - f_{VCO}$ ดังนั้นในขณะล็อคความถี่สัญญาณเอาท์พุทจะเป็น $2f_{in}$ และ $0H_Z$ โดยการต่อตัวเก็บประจุคร่อมสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ก็คือใส่วงจรกรองความถี่ต่ำนั่นเอง จะทำให้สัญญาณความถี่สูง ($f_{in} + f_{VCO}$) ถูกลดทอนหายไป ทำให้เหลือเพียงศักดากระแสตรงที่เกิดจากความต่างเฟสของความถี่ทั้งสอง จะเกิดเช่นนี้ไปเรื่อย ๆ ทำให้ VCO ติดตามความถี่ของสัญญาณอินพุทได้ ในส่วนที่เหลือของ XR 2211 ทำงานดังนี้คือ หาก VCO ถูกขับด้วยความถี่ที่เหนือกว่าหรือต่ำกว่าความถี่ศูนย์กลางแล้ว วงจรเปรียบเทียบแรงดันจะสร้างสัญญาณเอาท์พุทลอจิกสูง และสัญญาณเอาท์พุทลอจิกต่ำเมื่อเฟสล็อคลูปหลักอยู่ในช่วงล็อค



รูปที่6.10 แสดงวงจรภายในของ XR2211

วงจรใช้งานจริงจะแสดงดังรูปที่ 6.11 ซึ่งจะอธิบายหน้าที่การทำงานอย่างเดียว ในส่วนรายละเอียดของการคำนวณจะขอกล่าวถึงในหัวข้อตัวอย่างการออกแบบวงจร R0 และ C0

จะกำหนดความถี่ศูนย์กลางของเฟสล็อคลูป , R1 กำหนดแถบความถี่ของระบบ (Band with) , C1 จะกำหนดค่าเวลาคงตัวในวงจรกรองของวงรอบ (loop damping factor) , CFและ RF กำหนด one-pole post-detection filter สำหรับข้อมูลเอาท์พุทของสัญญาณ FSK ตัวต้านทาน RB จากขา 7 ไปขา 8 มีไว้เพื่อเป็นการป้อนกลับแบบบวกสำหรับตัวเปรียบเทียบแรงดันของสัญญาณ FSK เพื่อทำให้เกิดความรวดเร็วในการเปลี่ยนสถานะของลอจิก



รูปที่6.11 แสดงวงจรที่ใช้งานของ XR 2211

6.6.3 การออกแบบวงจร

มีข้อกำหนดดังต่อไปนี้

- ความเร็วในการส่งข้อมูล 9600 baud data rate
- ให้ความถี่ mark และ space มีอัตราส่วนต่อกัน 4 :2 และมีความสัมพันธ์ดังสมการข้างล่าง

$$\frac{mark - space \quad frequency \quad difference\ (H_z)}{\text{max}imum\ data\ rate\ (baud)} \geq 83\ \%$$

XR 2211

- คำนวณหาค่าความถี่ f_H (mark) ได้ดังต่อไปนี้

$$\frac{1}{9600} = 104.2\ \mu S$$

แล้วหารด้วยอัตราส่วนจำนวนสัญญาณ Sine

$$\frac{104.2\ \mu S}{4} = 26.05\ \mu S$$

$$\therefore \quad f_H = \frac{1}{26.05\ \mu S} = 38.4\ kH_z$$

- คำนวณหาค่าความถี่ f_L (space) ได้ดังต่อไปนี้

$$\frac{1}{9600} = 104.2\ \mu S$$

แล้วหารด้วยอัตราส่วนจำนวนสัญญาณ Sine

$$\frac{104.2\ \mu S}{2} = 52.1\ \mu S$$

$$\therefore \quad f_L = \frac{1}{52.1\ \mu S} = 19.2\ kH_z$$

- เลือกค่าของตัวต้านทานกำหนดเวลา R_0 ให้อยู่ในช่วง 10 k ถึง 100 k สามารถเลือกค่าได้ตามใจชอบ สำหรับค่าอ้างอิงของ R_0 เป็น 20 k โดยจะใช้ VR 10 k สำหรับปรับค่าละเอียด

$$R_O = R_O + \frac{R_X}{2}$$

$$= 10\ k\Omega + \frac{10\ k\Omega}{2} = 15\ k\Omega$$

- คำนวณหาค่า C_0 จากสมการ

$$C_0 = \frac{1}{f_0 R_0}$$

$$= \frac{1}{(27.15\ kH_z)(15\ k\Omega)} \cong 2200\ pF$$

- คำนวณหาค่า R_1 เพื่อกำหนด ความเบี่ยงเบนของความถี่มาร์คและสเปซ

$$R_1 = 2R_0 \left(\frac{f_0}{\Delta f}\right)$$

$$= 2(15\ k\Omega)\left(\frac{27.15\ kH_z}{19.2\ kH_z}\right) \cong 43\ k\Omega$$

- คำนวณค่า C_1 เพื่อกำหนด loop damping โดยค่า loop damping มีค่าอ้างอิง เท่ากับ ½ ดังนั้นจะได้

$$C_1 = \frac{1250\ C_0}{(0.5)^2\ R_1} = \left(\frac{1250\,(2200\,pF)}{(0.5)^2\,(43\ k\Omega)}\right) \cong 256\ pF$$

- คำนวณหาค่า R_F (ควรมีค่ามากกว่า R_1 ประมาณ 5 เท่า)

$$R_F = 5R_1 = 5(43\ k\Omega) \cong 220\ k\Omega$$

- คำนวณหาค่า R_B (ควรมีค่ามากกว่า R_F ประมาณ 5 เท่า)

$$R_B = 5R_F = 5(220\ k\Omega) \cong 1\ M\Omega$$

- คำนวณหาค่า R_{SUM}

$$R_{SUM} = \frac{(R_F + R_1)R_B}{(R_F + R_1 + R_B)} = \frac{(220k\Omega + 43k\Omega)(1M\Omega)}{(220k\Omega + 43k\Omega + 1M\Omega)} = 208.2\ k\Omega$$

- คำนวณตัวเก็บประจุกรองข้อมูล C_F

$$C_F = \frac{0.25}{(baud\ rate \times R_{SUM})}\ \mu F$$
$$= \frac{0.25}{(9600 \times 208..2\ k\Omega)}\ \mu F \cong 120\ \rho F$$

XR 2206

- กำหนดให้ C_0 ของ XR 2211 มีค่าเท่ากับ C_0 ของ XR 2206

$$R_7 = \frac{1}{f_L C_0} = \frac{1}{(19.2\ kH_z)(2200\ \rho F)} \cong 24\ k\Omega$$

$$R_8 = \frac{1}{f_H C_0} = \frac{1}{(38.4\ kH_z)(2200\ \rho F)} \cong 12\ k\Omega$$

- BW_{FSK}

$$BW_{FSK} = |f_H - f_L| + 2b_r$$
$$= |38.4\ kH_z - 19.2\ kH_z| + 2(9600)$$
$$= 38.4\ kH_z$$

สังเกตว่า ค่าที่ได้จากการคำนวณจะไม่ตรงกับค่าอุปกรณ์ที่มีอยู่จริง จึงต้องอาศัยการประมาณค่าให้มีค่าใกล้เคียงกับค่าที่มีอยู่จริง

บทที่ 7
ผลการวัดสัญญาณและโปรแกรมทดสอบการรับส่งข้อมูล

7.1 บทนำ

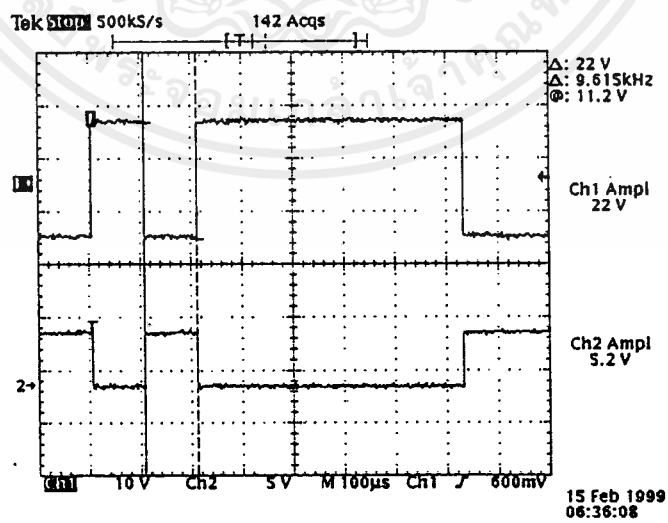
ผลการวัดสัญญาณวงจรทางภาครับและวงจรทางภาคส่ง แบ่งออกเป็นการวัดสัญญาณและการทดลองคุณสมบัติของวงจรทางภาครับและภาคส่ง โดยที่จะรวมไปถึงโปรแกรมที่จะใช้ในการทดสอบการรับส่งข้อมูล ในการทดสอบการรับส่งข้อมูลจะใช้ตัวอักษรภาษาไทยและตัวอักษรภาษาอังกฤษ รูปแบบของสัญญาณจะเป็นไปตามรหัส ASCII ซึ่งภาษาไทยจะใช้จำนวนบิทในการส่ง 8 บิท และภาษาอังกฤษ 7 บิท โดยที่ในการทดสอบสามารถส่ง Parity bit ไปกับจำนวนบิทของตัวอักษรได้ ซึ่งจะกล่าวถึงโดยละเอียดในหัวข้อโปรแกรมการทดสอบ

7.2 ผลการวัดสัญญาณทางภาคส่ง

ผลการวัดสัญญาณทางภาคส่งแบ่งออกตามหัวข้อดังต่อไปนี้

7.2.1 PORT RS-232C

รูปที่ 7.1 เป็นสัญญาณที่วัดจาก PORT RS-232C ซึ่งมีระดับแรงดันของสัญญาณ $\pm 12\ V$

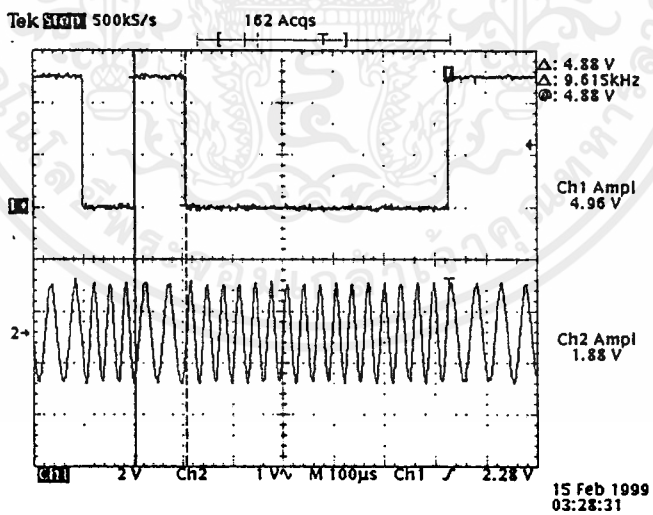


รูปที่7.1 สัญญาณของ RS-232C ที่ผ่านวงจรแปลงระดับสัญญาณ

ในการนำไปใช้งานจะต้องแปลงระดับแรงดันของสัญญาณ RS-232C ให้เป็นระดับแรงดัน TTL ก่อน ซึ่งจากรูปที่ 7.1 จะเห็นว่าสัญญาณของ RS-232C บิท " 1 " จะให้สภาวะแรงดันที่เป็น " 0 " และที่บิท " 0 " จะให้สภาวะแรงดันที่เป็น " 1 " ฉนั้นเมื่อผ่านวงจรแปลงระดับแรงดันจะทำให้มีการกลับเฟสของสัญญาณ สัญญาณ TTL ที่ได้นี้จะเป็นสัญญาณอินพุทของวงจร FSK Modulator

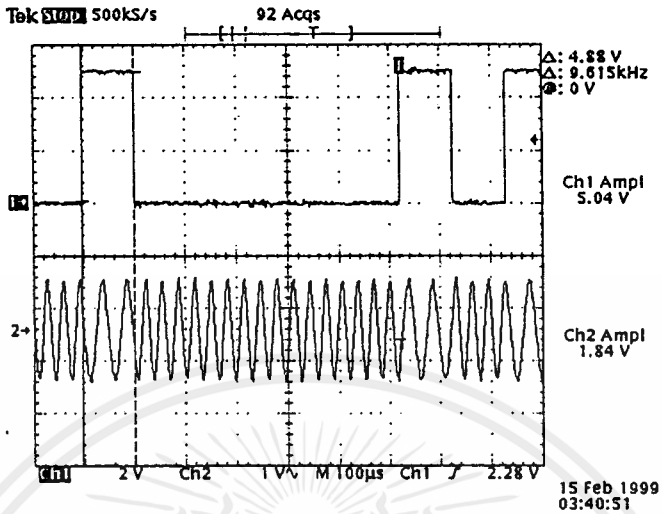
7.2.2 FSK Modulator

รูปที่ 7.2 (ก) , (ข) , (ค) และ (ง) เป็นสัญญาณที่จุด DATA I/P (ขา 9 ของ XR2206) กับสัญญาณ FSK O/P (ขา 2 ของXR2206) โดยจะเป็นการเปรียบเทียบสัญญาณ DATA I/P กับสัญญาณ FSK O/P ขณะที่ยังไม่นำสัญญาณ FSK O/P ไปทำการ Modulate แบบ FM สัญญาณ DATA I/P ก็คือสัญญาณที่ออกมาจาก RS-232C นั่นเอง ซึ่งจะแบ่งออกเป็นตัวอักษรภาษาไทยและภาษาอังกฤษ โดยจะมี Parity bit ในแต่ละตัวอักษร ตัวอักษรภาษาอังกฤษแสดงดังรูปที่ 7.2 (ก)และ (ข) และ ตัวอักษรภาษาไทยแสดงดังรูปที่ 7.2 (ค) และ (ง)

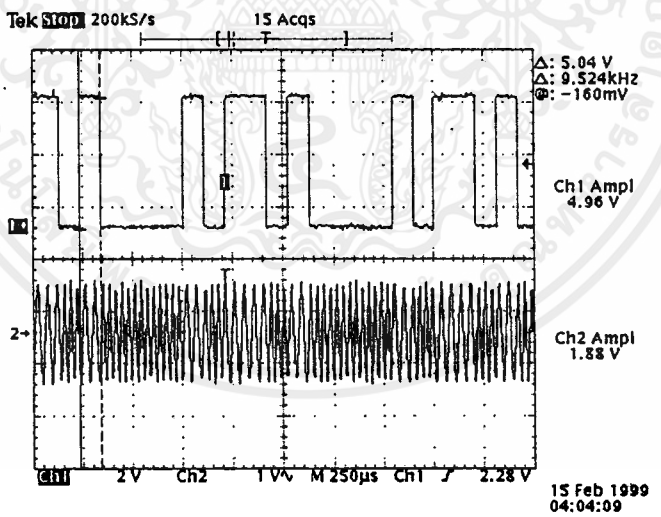


(ก) ตัวอักษร A ซึ่งมีรหัส ASCII $(1000001)_2$

รูปที่7.2 DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM

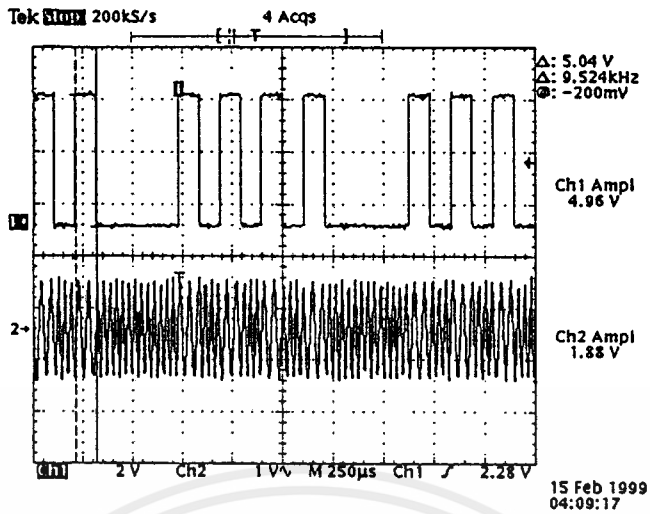


(ข) ตัวอักษร A มี Even Parity ซึ่งมีรหัส ASCII $(1000001)_2$



(ค) ตัวอักษร ก ซึ่งมีรหัส ASCII $(10100001)_2$

รูปที่7.2 (ต่อ) DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM

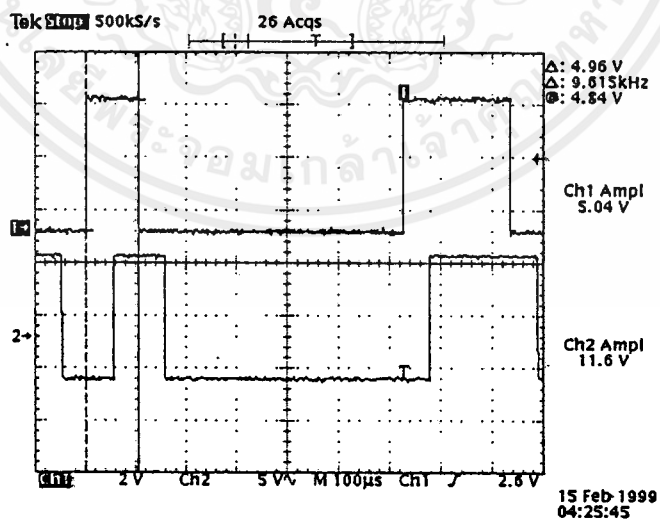


(ง) ตัวอักษร ก มี Odd Parity ซึ่งมีรหัส ASCII $(10100001)_2$

รูปที่7.2 (ต่อ) DATA I/P และ FSK O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM

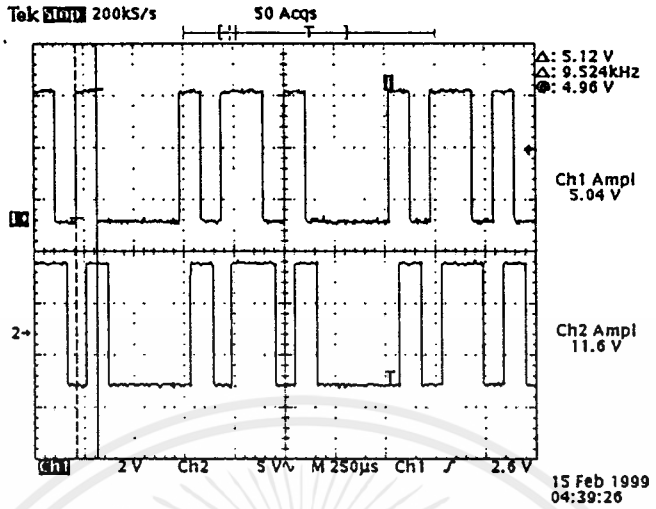
7.2.3 FSK Demodulator

รูปที่ 7.3 (ก) และ (ข) เป็นสัญญาณที่วัดจากจุด DATA I/P (ขา 9 ของ XR2206) กับสัญญาณ DATA O/P (ขา 7 ของ XR2211) สัญญาณที่ได้เป็นการต่อระหว่าง XR 2206 กับ XR 2211 โดยตรง โดยที่ยังไม่นำสัญญาณ FSK O/P ไปทำการ Modulate แบบ FM



(ก) ตัวอักษร A

รูปที่ 7.3 DATA I/P และ DATA O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM



(ข) ตัวอักษร ก

รูปที่ 7.3 (ต่อ) DATA I/P และ DATA O/P ขณะที่ยังไม่ผ่านขบวนการมอดูเลทแบบ FM

7.2.4 RF Amplifier

เราสามารถที่จะวัดดูว่าวงจร RF Amplifier ที่ใช้นั้นมีอัตราการขยายเท่าไร โดยที่จะวัดจากขา E ของทรานซิสเตอร์ Q_2 (V_{in}) ในรูปที่ 6.4 เทียบกับเอาท์พุทของ RF Amplifier (V_{out}) ในรูปที่ 6.5 โดยวัดขณะที่ไม่ได้ต่อโหลดกับวัดขณะที่ต่อโหลด 50 Ω เปรียบเทียบกัน ผลการทดลองแสดงได้ดังต่อไปนี้

- VHF DATA COMUNICATION # 1

$$V_{in} = 1.24\ V_{p-p}$$
$$V_{out} = 16.12\ V_{p-p}$$
$$V_{out(50\Omega)} = 14.3\ V_{p-p}$$

ทำให้ได้อัตราการขยายดังต่อไปนี้

$$Av = \frac{V_{out}}{V_{in}} = 13 \qquad , Av = \frac{V_{out(50\Omega)}}{V_{in}} = 11.53$$

- VHF DATA COMUNICATION # 2.

$$V_{in} = 1 \ V_{p-p}$$
$$V_{out} = 16 \ V_{p-p}$$
$$V_{out(50\Omega)} = 13.8 \ V_{p-p}$$

ทำให้ได้อัตราการขยายดังต่อไปนี้

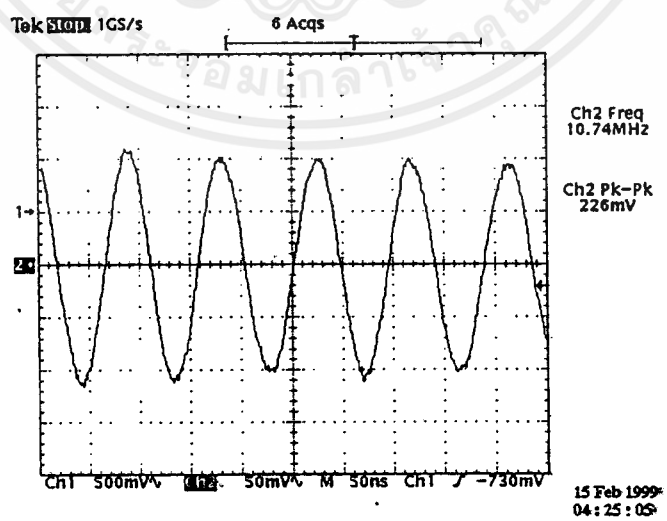
$$Av = \frac{V_{out}}{V_{in}} = 16 \qquad , Av = \frac{V_{out(50\Omega)}}{V_{in}} = 13.8$$

7.3 ผลการวัดสัญญาณทางภาครับ

สามารถแบ่งออกเป็นหัวข้อได้ดังต่อไปนี้

7.3.1 FM Receiver

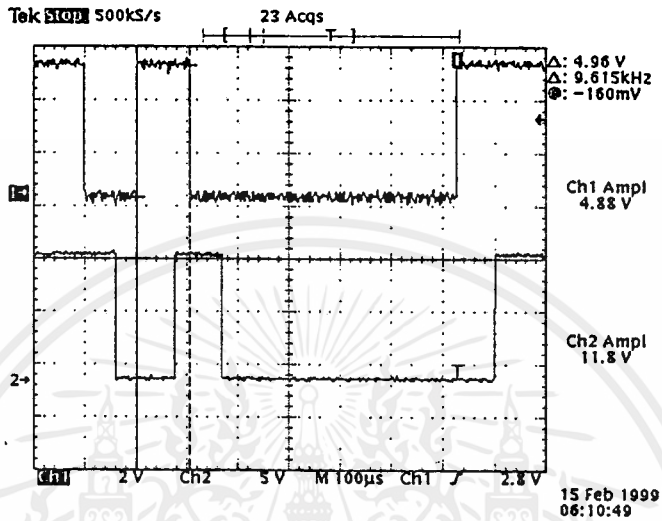
รูปที่ 7.4 เป็นสัญญาณ IF 10.7 MH_Z โดยวัดจากขาที่ 20 ของ IC เบอร์ MC 13135 ซึ่งทำหน้าที่เป็น FM Receiver เมื่อต่อวงจรตามรูปที่ 6.2 โดยผ่านขบวนการมอดูเลทแบบ FM ได้สัญญาณ RF ออกมา



รูปที่7.4 สัญญาณ IF 10.7 MH_Z

7.3.2 FSK Demodulator

รูปที่ 7.5 เป็นการวัดสัญญาณเปรียบเทียบระหว่าง DATA I/P (ขา 2 ของ XR2206) กับ DATA O/P (ขา 7 ของ XR2211) เมื่อผ่านขบวนการมอดูเลทแบบ FM เป็นที่เรียบร้อย



รูปที่7.5 แสดงการเปรียบเทียบสัญญาณ DATA I/P และ DATA O/P (ตัวอักษร A)

จากรูปที่ 7.5 จะเห็นว่าสัญญาณของ FSK O/P มีการเลื่อนเฟส ซึ่งสามารถเป็นไปได้ เพราะสัญญาณที่นำมามอดูเลทได้ผ่านขบวนการทางความถี่ต่าง ๆ เช่นการมอดูเลท ,การดีเทคสัญญาณ และ Low Pass Fillter

7.4 ผลการทดลองคุณสมบัติของวงจรภาครับและภาคส่ง FM

ภาครับ FMที่ใช้ในโครงงานจะประกอบไปด้วย IC 3 ตัว ซึ่งประกอบไปด้วย IC เบอร์ MC 13135 , MC 145166 และ MC 3356 ในส่วนภาคส่ง FM จะประกอบไปด้วย IC 1 ตัว เบอร์ MC 145166 และตัวทรานซิสเตอร์ โดยที่การทำงานของแต่ละตัวอธิบายไว้แล้วในบทที่ 6 และจากหัวข้อ 6.1 จะเห็นว่าวงจรที่ใช้ในโครงงานจะมีอยู่ด้วยกันสองชุด ฉนั้นการทดลองจึงแบ่งออกเป็นสองชุดด้วยกัน โดยที่แต่ละชุดจะมีวงจรที่เหมือนกัน

7.4.1 ผลการทดสอบการทำงานภาค VCO ของ IC เบอร์ MC13135 (ภาครับ)

ทดสอบโดยทำการปลด IC MC 145166 ออก แล้วป้อนแรงดัน $0-5\ V_{dc}$ แทนที่ขา 13 หรืออินพุทของ Loop Filter (วงจรในรูปที่ 6.2) แล้ววัดหาค่า f_{osc} (ขา 3 IC เบอร์ MC13135)

เพื่อทดสอบดูว่าภาค VCO สามารถกำเนิดความถี่อยู่ในช่วงความถี่ที่ต้องการใช้งานได้หรือไม่ ซึ่งผลการทดลองจะได้ผลตามตารางในรูปที่ 7.6

VHF DATA COMUNICATION # 1		VHF DATA COMUNICATION # 2	
V_{dc} (V)	f_{OSC} (MH_Z)	V_{dc} (V)	f_{OSC} (MH_Z)
0	37.352	0	34.162
0.5	37.592	0.5	34.789
1	38.368	1	35.439
1.5	38.876	1.5	35.983
2	39.278	2	36.279
2.5	39.594	2.5	36.570
3	39.874	3	36.819
3.5	40.045	3.5	37.023
4	40.218	4	37.307
4.5	40.393	4.5	37.571
5	40.577	5	37.781

รูปที่7.6 ตารางแสดงการทำงานของภาค VCO ของ IC เบอร์ MC13135

7.4.2 ผลการทดสอบการทำงานภาค VCO ของภาคส่ง FM

ทดสอบโดยทำการปลด IC MC 145166 ออก แล้วป้อนแรงดัน $0-5\ V_{dc}$ แทนที่ขา 11 หรืออินพุทของ Loop Filter แล้ววัดหาค่า f_{OSC} ที่ขา E ของทรานซิสเตอร์ Q2 (วงจรในรูปที่ 6.4) เพื่อทดสอบดูว่าภาค VCO สามารถกำเนิดความถี่อยู่ในช่วงความถี่ที่ต้องการใช้งานได้หรือไม่ ซึ่งผลการทดลองจะได้ผลตามตารางในรูปที่ 7.7

VHF DATA COMUNICATION # 1		VHF DATA COMUNICATION # 2	
V_{dc} (V)	f_{OSC} (MH_Z)	V_{dc} (V)	f_{OSC} (MH_Z)
0	46.359	0	49.171
0.5	47.132	0.5	49.471
1	47.435	1	49.837
1.5	47.688	1.5	50.135
2	47.889	2	50.383
2.5	48.117	2.5	50.603
3	48.262	3	50.783
3.5	48.411	3.5	50.975
4	48.561	4	51.115
4.5	48.705	4.5	51.266
5	48.832	5	51.393

รูปที่7.7 ตารางแสดงการทำงานของภาค VCO ของภาคส่ง FM

7.4.3 การทดสอบการทำงานของวงจรสังเคราะห์ความถี่ (ภาครับและภาคส่ง)

ทดสอบโดยการ SET DIP SWITCH ตามตาราง แล้ววัดความถี่ที่ได้จากภาค VCO ก็คือที่ขา 3 ของ IC เบอร์ MC13135 (วงจรในรูปที่ 6.2) และที่ขา E ของทรานซิสเตอร์ Q2 (วงจรในรูปที่ 6.4) โดยที่การทดลองสามารถทำได้โดย ปรับ DIP SWITCH ตามตารางข้างล่าง แล้วใช้ Scope จับไปที่ขา 3 ของ IC เบอร์ MC13135 และที่ขา E ของทรานซิสเตอร์ Q2 สังเกตการเปลี่ยนของความถี่เมื่อปรับ DIP SWITCH นำผลการทดลองที่ได้ไปเปรียบเทียบกับค่าจริงของสเป็ค IC เบอร์ MC145166 ได้ผลตามตารางในรูปที่ 7.8 และรูปที่ 7.9

VHF DATA COMUNICATION # 1 (MODE = 1)								
CHANNELS					TRANSMIT		RECEIVE	
					ค่าจริง	ผลจากการวัด	ค่าจริง	ผลจากการวัด
D3	D2	D1	D0	CH#	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$
0	0	0	1	1	46.610	46.666	38.975	39.022
0	0	1	0	2	46.630	46.686	39.150	39.197
0	0	1	1	3	46.670	46.726	39.165	39.212
0	1	0	0	4	46.710	46.766	39.075	39.122
0	1	0	1	5	46.730	46.786	39.180	39.227
0	1	1	0	6	46.770	46.826	39.135	39.182
0	1	1	1	7	46.830	46.886	39.195	39.242
1	0	0	0	8	46.870	46.926	39.235	39.282
1	0	0	1	9	46.930	46.986	39.295	39.342
1	0	1	0	10	46.970	47.026	39.275	39.322

รูปที่7.8 แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COMUNICATION # 1)

VHF DATA COMUNICATION # 2 (MODE = 0)								
CHANNELS					TRANSMIT		RECEIVE	
					ค่าจริง	ผลจากการวัด	ค่าจริง	ผลจากการวัด
D3	D2	D1	D0	CH#	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$
0	0	0	1	1	49.670	49.730	35.915	35.958
0	0	1	0	2	49.845	49.905	35.935	35.978
0	0	1	1	3	49.860	49.920	35.975	36.018
0	1	0	0	4	49.770	49.830	36.015	36.058
0	1	0	1	5	49.875	49.935	36.035	36.078
0	1	1	0	6	49.830	49.890	36.075	36.118
0	1	1	1	7	49.890	49.950	36.135	36.178

รูปที่7.9 แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COMUNICATION # 2)

VHF DATA COMUNICATION # 2 (MODE = 0)								
CHANNELS					TRANSMIT		RECEIVE	
					ค่าจริง	ผลจากการวัด	ค่าจริง	ผลจากการวัด
D3	D2	D1	D0	CH#	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$	$f_{osc}(MH_Z)$
1	0	0	0	8	49.930	49.990	36.175	36.218
1	0	0	1	9	49.990	50.050	36.235	36.278
1	0	1	0	10	49.970	50.030	36.275	36.318

รูปที่7.9(ต่อ) แสดงการทำงานของวงจรสังเคราะห์ความถี่ (VHF DATA COMUNICATION # 2)

7.4.4 การทดสอบ Bandwidth ของภาครับ FM

เป็นการทดสอบเพื่อหา Bandwidth ของภาครับ FM โดยใช้วงจรในรูปที่ 6.2 , 6.3 และ 6.4 การทดสอบทำได้โดยใช้ VHF DATA COMUNICATION # 1 และ VHF DATA COMUNICATION # 2 ผลัดกันเป็นทำงานเป็นชุดส่ง FM การทดสอบทำได้โดยทำการปลด IC เบอร์ XR2206 (รูปที่ 6.4) แล้วทำการป้อนสัญญาณ Sine wave ความถี่ $1-80\ kH_Z$ $1\ V_{p-p}$ เข้าไปแทน แล้ววัดสัญญาณเอาท์พุทจากขาที่ 13 ของ IC เบอร์ MC 3356 (รูปที่ 6.3) ผลการทดลองแสดงดังตารางในรูปที่ 7.10 และรูปที่ 7.11

Frequency (kH_Z)	Output (V_{p-p})
1	2
5	2
10	1.4
15	1
20	0.76
25	0.6
30	0.5
35	0.45

รูปที่7.10 VHF DATA COM. # 1 (ชุดรับ) และ VHF DATA COM. # 2 (ชุดส่ง)

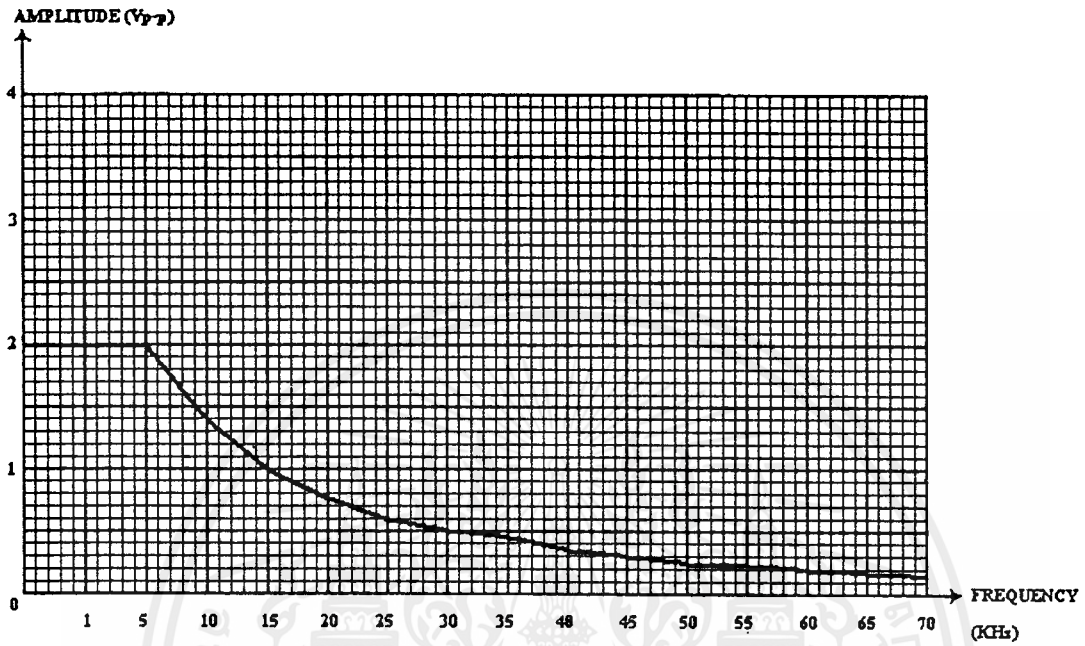
Frequency (kH_z)	Output (V_{p-p})
40	0.36
45	0.3
50	0.25
55	0.22
60	0.2
65	0.18
70	0.15

รูปที่7.10(ต่อ) VHF DATA COM. # 1 (ชุดรับ) และ VHF DATA COM. # 2 (ชุดส่ง)

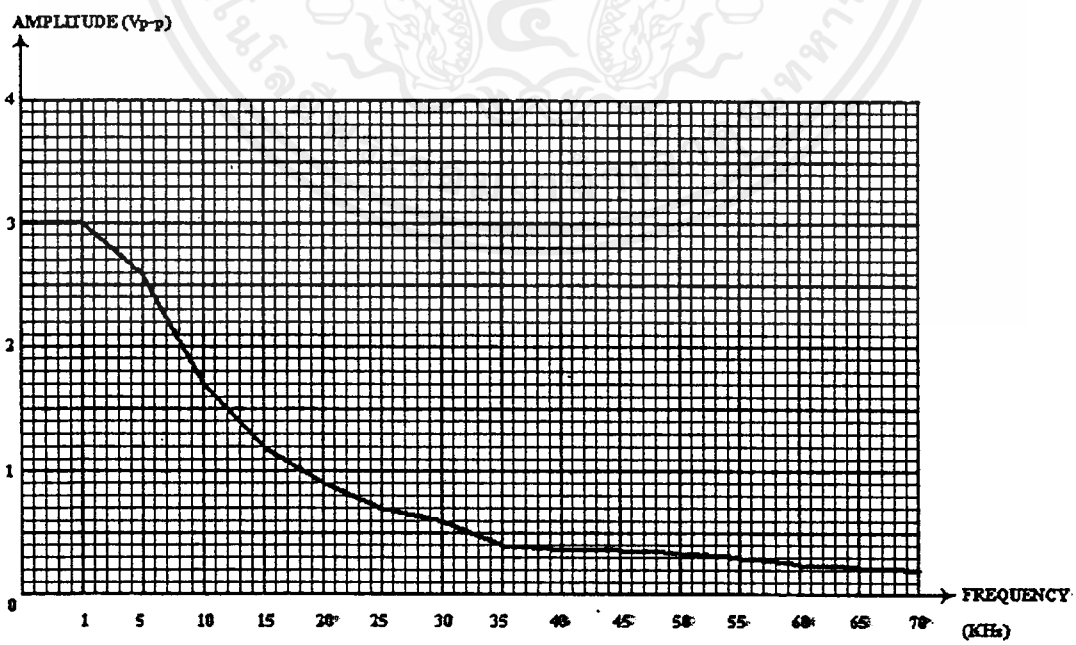
Frequency (kH_z)	Output (V_{p-p})
1	3
5	2.6
10	1.7
15	1.2
20	0.9
25	0.7
30	0.6
35	0.4
40	0.36
45	0.36
50	0.32
55	0.3
60	0.25
65	0.22
70	0.2

รูปที่7.11 VHF DATA COM. # 2 (ชุดรับ) และ VHF DATA COM. # 1 (ชุดส่ง)

จากตารางในรูปที่ 7.10 และ 7.11 สามารถนำมาเขียนเป็นรูปผลตอบสนองความถี่ของภาครับได้ดังรูปที่ 7.12 และ 7.13

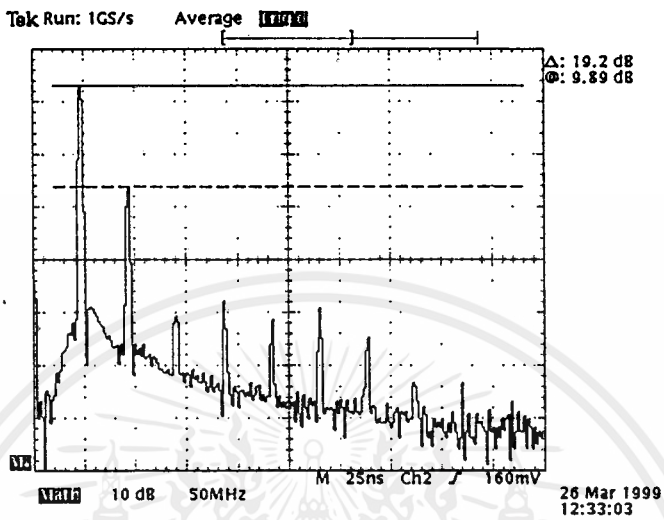


รูปที่7.12 ผลตอบสนองความถี่ของเครื่องรับ VHF DATA COMUNICATION # 1

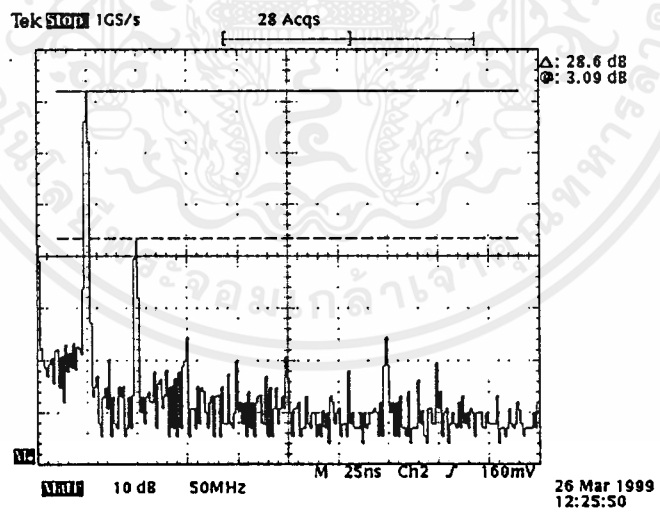


รูปที่7.13 ผลตอบสนองความถี่ของเครื่องรับ VHF DATA COMUNICATION # 2

7.5 ผลการวัด Harmonics ของเครื่องส่ง



(ก) VHF DATA COMUNICATION # 1



(ข) VHF DATA COMUNICATION # 2

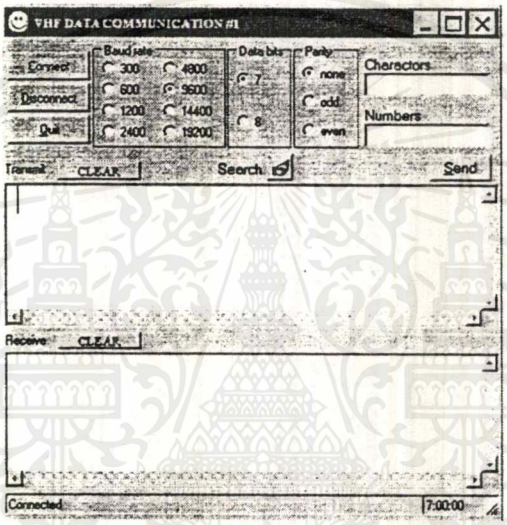
รูปที่ 7.14 ผลการวัด Harmonics ของเครื่องส่ง FM

7.6 โปรแกรมทดสอบการรับส่งข้อมูล

โปรแกรมที่ใช้ในการทดสอบการรับส่งข้อมูลจะใช้ การโปรแกรมด้วยเดลไฟ (Delphi) ซึ่งรูปแบบของโปรแกรมและการทำงานอธิบายได้ดังต่อไปนี้

7.6.1 หน้าต่างหลักของโปรแกรมการทดสอบ

เมื่อเปิดใช้โปรแกรมการทดสอบจะแสดงหน้าต่างดังรูปที่ 7.14 ประกอบไปด้วยส่วนต่าง ๆ ดังนี้



รูปที่7.15 หน้าต่างหลักของโปรแกรมการทดสอบ

- Connect

ใช้ในการติดต่อกับพอร์ตอนุกรมเพื่อให้เครื่องคอมพิวเตอร์พร้อมที่จะรับส่งข้อมูล

- Disconnect

ใช้ในการยกเลิกการติดต่อกับพอร์ตอนุกรม

- Quit

ออกจากโปรแกรมการทดสอบการรับส่งข้อมูล

- Baud rate

กำหนดอัตราความเร็วในการรับส่งข้อมูล

- Data bits

กำหนดจำนวนบิทของข้อมูล

- Parity

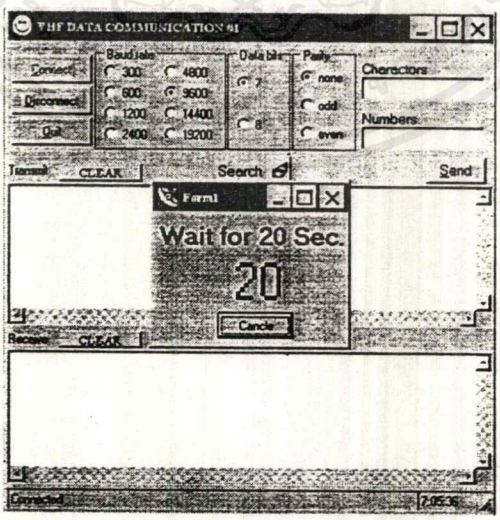
กำหนดรูปแบบของบิทตรวจสอบ

- Search

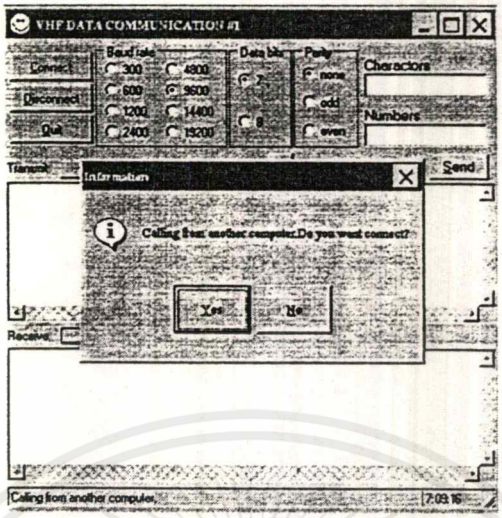
ใช้ในการติดต่อกับคอมพิวเตอร์เครื่องอื่นเพื่อให้รู้ว่าต้องการจะติดต่อด้วย

7.6.2 การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล

การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล ขั้นแรกต้องทำการเซ็ท Baud rate ,Data bits และ Parity ให้มีค่าเหมือนกันก่อน เพื่อให้คอมพิวเตอร์พร้อมที่จะทำการรับส่งข้อมูล คลิ๊กเม้าส์ที่ปุ่ม Connect จากนั้นเมื่อต้องการจะติดต่อกับคอมพิวเตอร์ปลายทางคลิ๊กเม้าส์ที่ปุ่ม Search หน้าต่างของโปรแกรมการทดสอบจะมีสภาวะดังรูปที่ 7.15 (ก) สัญญาณจะถูกส่งไปที่คอมพิวเตอร์ปลายทาง โดยที่คอมพิวเตอร์ต้นทางจะรอสัญญาณการตอบกลับเพื่อยืนยันว่าคอมพิวเตอร์ปลายทางพร้อมที่จะทำการติดต่อแล้ว ย้อนกลับไปตอนเริ่มต้นเมื่อผู้ที่ต้องการจะติดต่อกับคอมพิวเตอร์ปลายทางคลิ๊กเม้าส์ที่ปุ่ม Search หน้าต่างของคอมพิวเตอร์ปลายทางจะมีสภาวะดังรูปที่ 7.15 (ข) ถ้าทางผู้ใช้คอมพิวเตอร์ปลายทางถ้าต้องการจะติดต่อก็คลิ๊กเม้าส์ที่ปุ่ม Yes หน้าต่าง Form 1 ทางคอมพิวเตอร์ต้นทางจะหายไป และถ้าผู้ใช้คอมพิวเตอร์ปลายทางไม่ต้องการจะติดต่อก็คลิ๊กเม้าส์ที่ปุ่ม No หน้าต่าง Form 1 ทางคอมพิวเตอร์ต้นทางจะหายไป แต่จะมีบาร์แสดงสถานะบอกให้ทราบว่าคอมพิวเตอร์ปลายทางไม่ต้องการจะติดต่อ



รูปที่7.16(ก) การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล



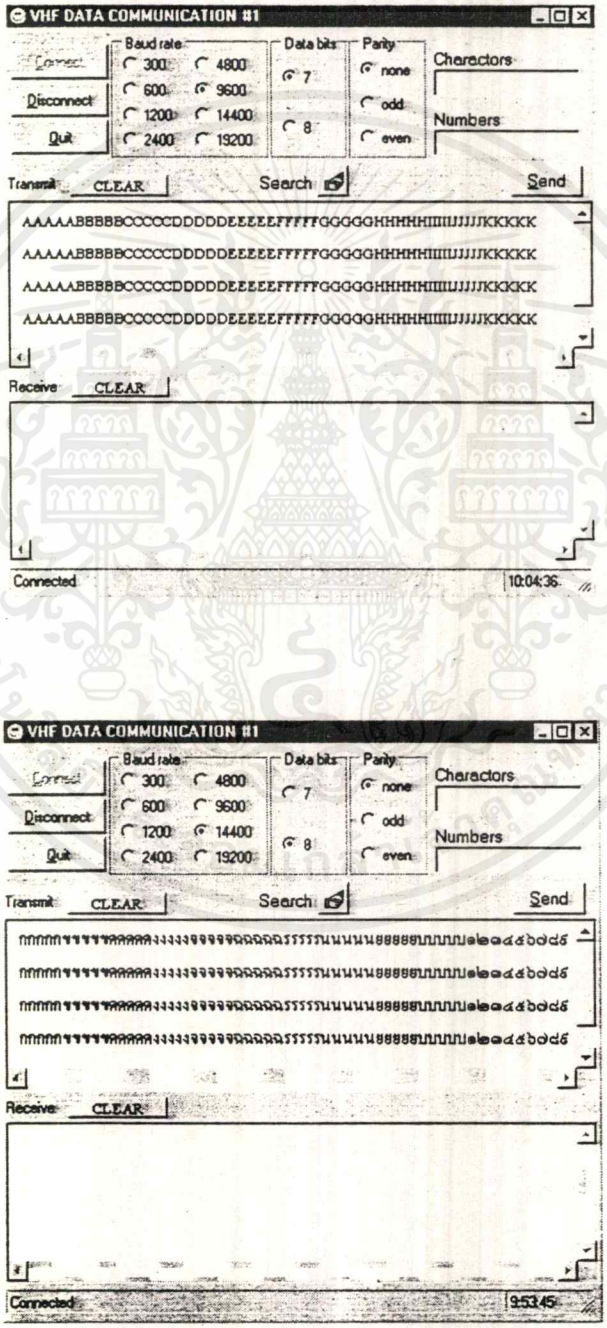
รูปที่7.16 (ข) การทำงานของโปรแกรมการทดสอบการรับส่งข้อมูล

เมื่อทางคอมพิวเตอร์ปลายทางตอบรับว่าต้องการจะติดต่อก็จะสามารถติดต่อกันได้โดย พิมพ์ข้อความไปที่กรอบ Transmit เมื่อพิมพ์ข้อความเสร็จแล้วก็กด Enter ข้อความจะถูกส่งออกไป และจะไปปรากฏที่กรอบ Receive ของคอมพิวเตอร์ปลายทาง และถ้าคอมพิวเตอร์ปลายทางต้องการจะส่งข้อมูลให้คอมพิวเตอร์ต้นทางก็กระทำในรูปแบบเดียวกัน

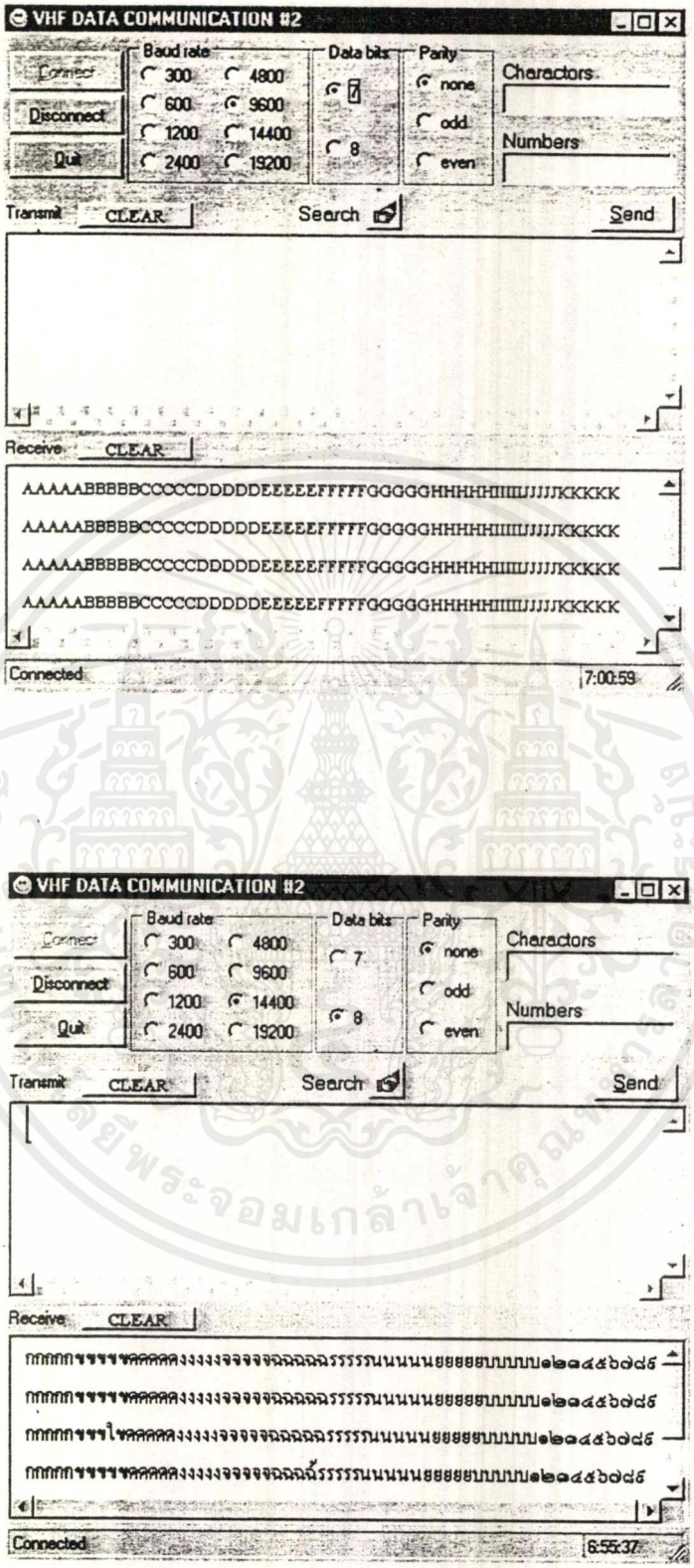
7.7 ผลการทดลองโปรแกรมการทดสอบการรับส่งข้อมูล

การทดลองจะจำลองรูปแบบการทำงานให้สลับกันเป็นผู้รับและผู้ส่งข้อมูล ผลการทดลองแสดงดังต่อไปนี้

- VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้ส่งข้อมูล และ VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้รับข้อมูล

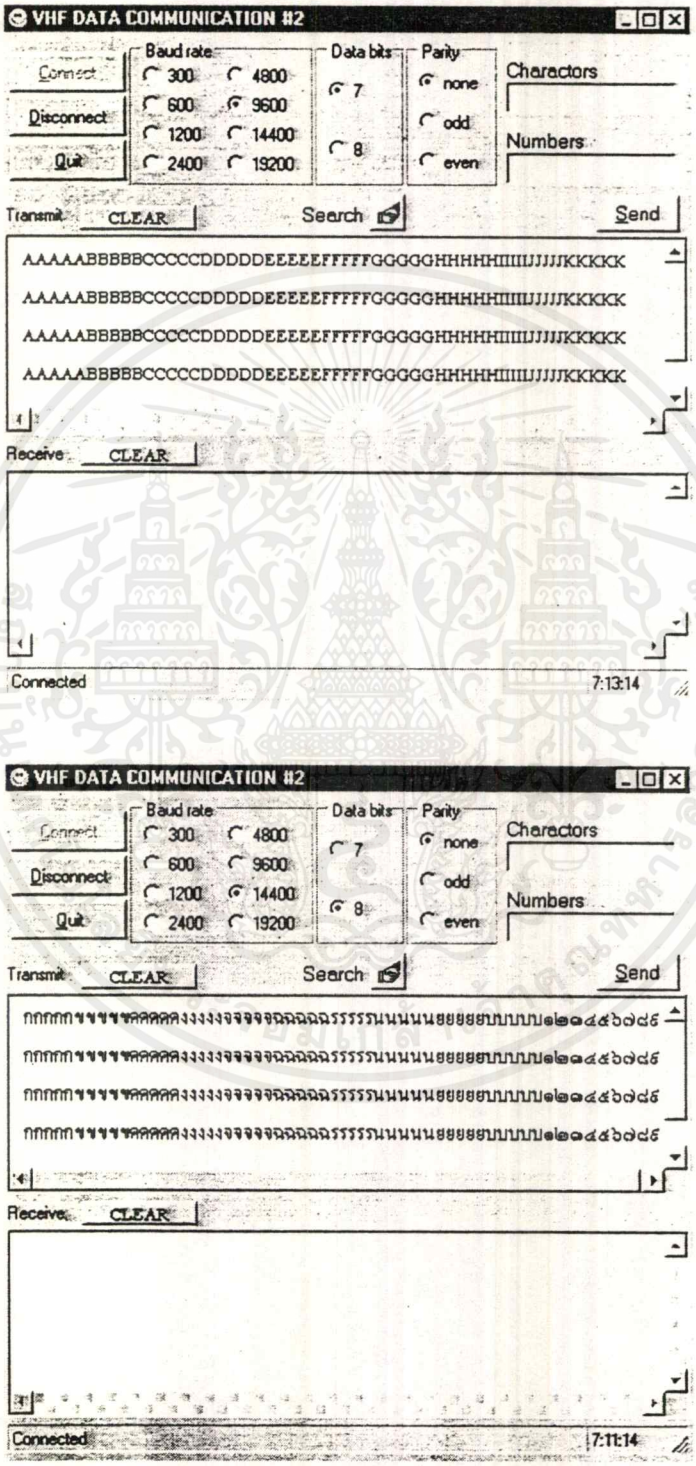


รูปที่7.17 VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้ส่งข้อมูล

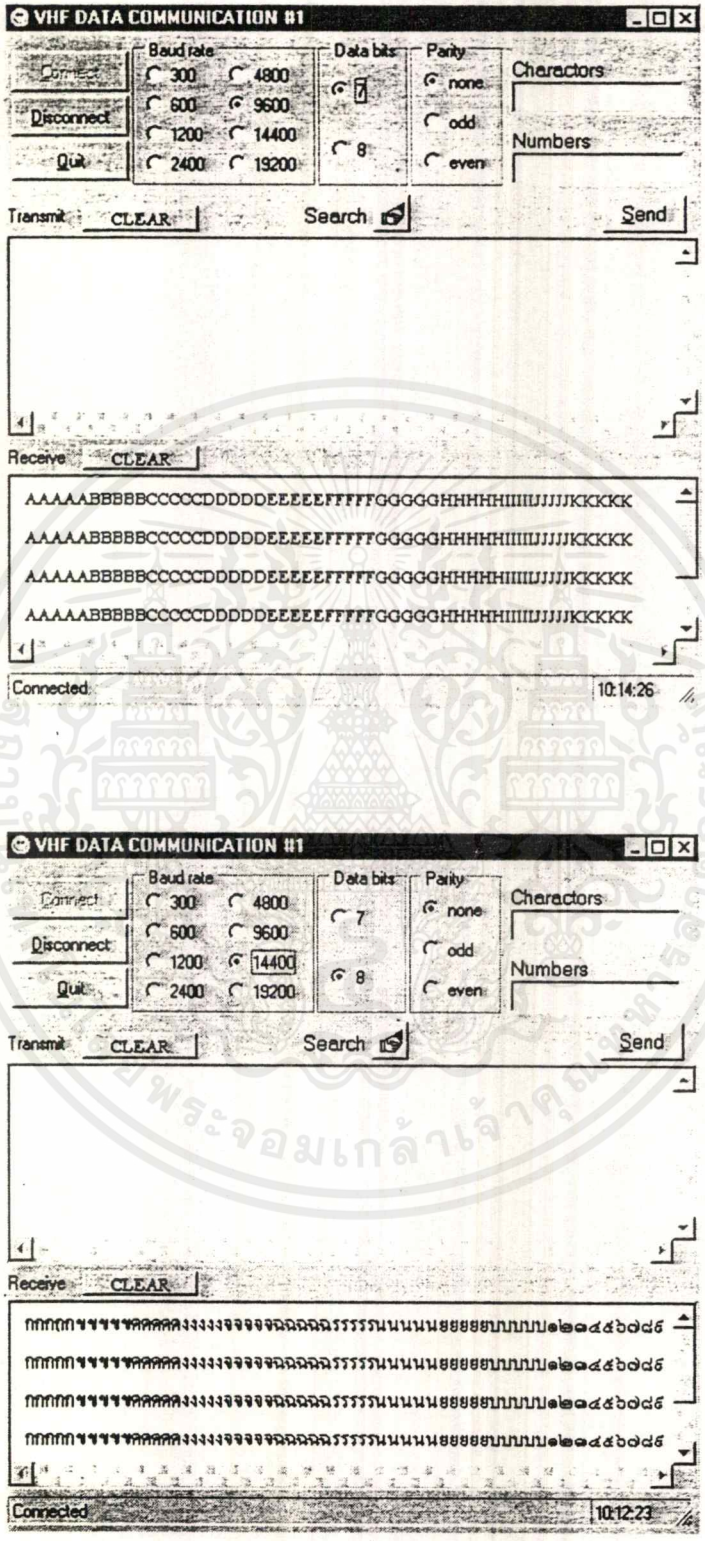


รูปที่7.18 VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้รับข้อมูล

- VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้ส่งข้อมูล และ VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้รับข้อมูล



รูปที่7.19 VHF DATA COMUNICATION # 2 ทำหน้าที่เป็นผู้ส่งข้อมูล



รูปที่7.20 VHF DATA COMUNICATION # 1 ทำหน้าที่เป็นผู้รับข้อมูล

บทที่ 8
บทสรุป

วัตถุประสงค์ของโครงงานนี้เป็นการสื่อสารข้อมูลระหว่างคอมพิวเตอร์ โดยใช้การมอดดูเลตข้อมูลแบบ FSK (Frequency Shift Keying) แล้วนำสัญญาณ FSK ที่ได้ไปมอดูเลตแบบ FM เพื่อส่งออกอากาศ ในส่วนของโครงงานทั้งหมดจะประกอบไปด้วยคอมพิวเตอร์ 2 เครื่อง โดยที่แต่ละเครื่องจะมีวงจรที่ใช้ในการรับส่งข้อมูล ซึ่งจะมีวงจรแปลงระดับสัญญาณ RS-232C วงจรภาครับ FM วงจรภาคส่ง FM วงจรมอดูเลทข้อมูล และโปรแกรมทดสอบการรับส่งข้อมูล ในการทดลองการรับส่งจะกำหนดให้มีการรับและส่งข้อมูลสลับกันไป

จากการทดลองสามารถที่จะทำการรับส่งข้อมูลที่อัตราการส่งข้อมูล 9600 bps โดยที่ต่ำกว่า 9600 bps จะไม่เกิด Error ขึ้นเลย และที่อัตราการส่งข้อมูล 14,400 bps จะเกิด Error ขึ้นเล็กน้อย Errorที่เกิดขึ้นนี้เกิดจากสัญญาณรบกวนที่เกิดขึ้นจากวงจรในภาคต่าง ๆ ซึ่งอาจจะมีหลายสาเหตุด้วยกันยกตัวอย่างเช่น การออกแบบลายวงจร การใช้พื้นที่กราวด์ ค่า L,C เกิดการคลาดเคลื่อนมีค่าเปอร์เซ็นความผิดพลาดอาจทำให้ค่าความถี่เปลี่ยนแปลงเป็นต้น ในการทดลองสามารถทำการรับส่งข้อมูลได้ในระยะใกล้ ๆ (เนื่องจากไม่มีการ Matching ของเสาอากาศ) จึงทำให้ไม่เห็นข้อผิดพลาดมากนักและ Band width ของ FM Receiver ยังแคบกว่าที่ควรจะเป็น สำหรับแนวทางในการพัฒนาโครงงานต่อไป ในการรับส่งข้อมูลควรมีโปรแกรมที่ใช้ในการตรวจสอบความผิดพลาดที่อาจจะเกิดขึ้นได้ในการรับส่งข้อมูล ปรับปรุงวงจรทางด้านส่งและด้านรับให้มีประสิทธิภาพมากขึ้น การMatching ของเสาอากาศและ Band width ของ FM Receiver ต้องได้รับการปรับปรุงให้ดีขึ้น อีกทั้งการออกแบบวงจร การเดินสายในวงจร การใช้พื้นที่กราวด์ ให้สัญญาณรบกวนมีผลกระทบให้น้อยที่สุด

บรรณานุกรม

1. สุชาติ กังวารจิตต์ , " เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร " , ซีเอ็ดยูเคชั่น , 387 หน้า , 2521
2. ดร.ไพศาล สงวนหมู่ และ รศ.ยืน ภู่วรวรรณ , " การสื่อสารข้อมูลและไมโครคอมพิวเตอร์เนตเวิร์ค " , ซีเอ็ดยูเคชั่น , 2529
3. บุญเลิศ เอี่ยมทัศนา , " Delphi " , ซีเอ็ดยูเคชั่น , 345 หน้า , 2539
4. Frederick F.Driscoll , " Data Communication " , Wentworth Institute of Technology , 313 p., 1992
5. EXAR INTEGRATED SYSTEM , " Modem Design Handbook " , 1983

ภาคผนวก

MOTOROLA

FM Communications Receivers

MC13135
MC13136

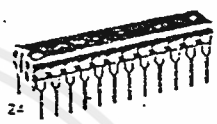
DUAL CONVERSION NARROWBAND FM RECEIVERS

The MC13135/MC13136 are the second generation of single chip, dual conversion FM communications receivers developed by Motorola. Major improvements in signal handling, RSSI and first oscillator operation have been made. In addition, recovered audio distortion and audio drive have improved. Using Motorola's MOSAIC™ 1.5 process, these receivers offer low noise, high gain and stability over a wide operating voltage range.

Both the MC13135 and MC13136 include a Colpitts oscillator, VCO tuning diode, low noise first and second mixer and LO, high gain limiting IF, and RSSI. The MC13135 is designed for use with an LC quadrature detector and has an uncommitted op amp that can be used either for an RSSI buffer or as a data comparator. The MC13136 can be used with either a ceramic discriminator or an LC quad coil and the op amp is internally connected for a voltage buffered RSSI output.

These devices can be used as stand–alone VHF receivers or as the lower IF of a triple conversion system. Applications include cordless telephones, short range data links, walkie–talkies, low cost land mobile, amateur radio receivers, baby monitors and scanners.

- Complete Dual Conversion FM Receiver – Antenna to Audio Output
- Input Frequency Range – 200 MHz
- Voltage Buffered RSSI with 70 dB of Usable Range
- Low Voltage Operation – 2.0 to 6.0 Vdc (2 Cell NiCad Supply)
- Low Current Drain – 3.5 mA Typ
- Low Impedance Audio Output < 25 Ω
- VHF Colpitts First LO for Crystal or VCO Operation
- Isolated Tuning Diode
- Buffered First LO Output to Drive CMOS PLL Synthesizer



P SUFFIX
PLASTIC PACKAGE
CASE 724

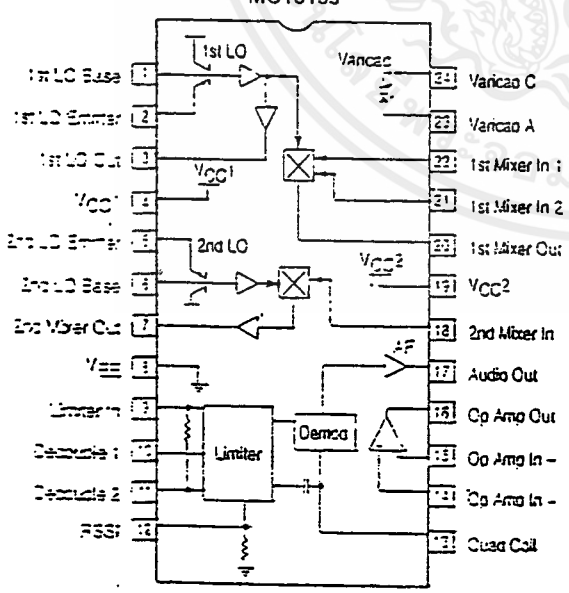
DW SUFFIX
PLASTIC PACKAGE
CASE 751E
(SO–24L)

ORDERING INFORMATION

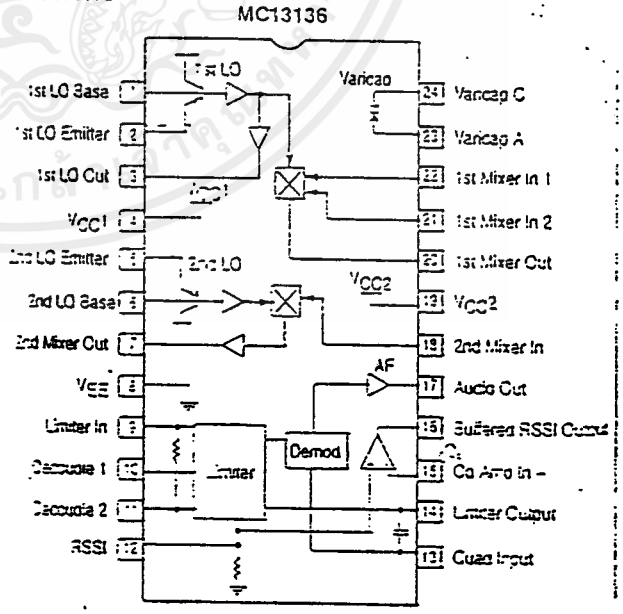
Device	Operating Temperature Range	Package
MC13135P	T_A = –40° to +85°C	Plastic DIP
MC13135DW		SO–24L
MC13136P		Plastic DIP
MC13136DW		SO–24L

PIN CONNECTIONS

MC13135



MC13136



Each device contains 142 active transistors.

© Motorola, Inc. 1995

MAXIMUM RATINGS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC} (max)	6.5	Vdc
RF Input Voltage	22	RF_{in}	1.0	Vrms
Junction Temperature	–	T_J	+150	°C
Storage Temperature Range	–	T_{stg}	−65 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC}	2.0 to 6.0	Vdc
Maximum 1st IF	–	f_{IF1}	21	MHz.
Maximum 2nd IF	–	f_{IF2}	3.0	MHz
Ambient Temperature Range	–	T_A	−40 to +85	°C

ELECTRICAL CHARACTERISTICS (T_A=25°C, V_{CC}=4.0 Vdc, f_O=49.7 MHz, f_{MOD}=1.0 kHz, Deviation=±3.0 kHz, f_{1stLO}=39 MHz, $f_{2nd LO}$=10.245 MHz, IF1=10.7 MHz, IF2=455 kHz, unless otherwise noted. All measurements performed in the test circuit of Figure 1.)

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Total Drain Current	No Input Signal	I_{CC}	–	4.0	6.0	mAdc
Sensitivity (Input for 12 dB SINAD)	Matched Input	V_{SIN}	–	1.0	–	μVrms
Recovered Audio MC13135 MC13136	V_{RF} = 1.0 mV	AF_O	 170 215	 220 265	 300 365	mVrms
Limiter Output Level (Pin 14, MC13136)		V_{LIM}	–	130	–	mVrms
1st Mixer Conversion Gain	V_{RF} = −40 dBm	MX_{gain1}	–	12	–	dB
2nd Mixer Conversion Gain	V_{RF} = −40 dBm	MX_{gain2}	–	13	–	dB
First LO Buffered Output	–	V_{LO}	–	100	–	mVrms
Total Harmonic Distortion	V_{RF} = −30 dBm	THD	–	1.2	3.0	%
Demodulator Bandwidth	–	BW	–	50	–	kHz
RSSI Dynamic Range	–	RSSI	–	70	–	dB
First Mixer 3rd Order Intercept (Input)	 Matched Unmatched	TOI_{Mix1}	 – –	 −17 −7	 – –	dBm
Second Mixer 3rd Order Intercept (RF Input)	Matched Input	TOI_{Mix2}	–	−27	–	dBm
First LO Buffer Output Resistance	–	R_{LO}	–	–	–	Ω
First Mixer Parallel Input Resistance	–	R	–	722	–	Ω
First Mixer Parallel Input Capacitance	–	C	–	3.3	–	pF
First Mixer Output Impedance	–	ZO	–	330	–	Ω
Second Mixer Input Impedance	–	ZI	–	40	–	kΩ
Second Mixer Output Impedance	–	ZO	–	1.3	–	kΩ
Detector Output Impedance	–	ZO	–	25	–	Ω

TEST CIRCUIT INFORMATION

Although the MC13136 can be operated with a ceramic discriminator, the recovered audio measurements for both the MC13135 and MC13136 are made with an LC quadrature detector. The typical recovered audio will depend on the external circuit; either the Q of the quad coil, or the RC matching network for the ceramic discriminator. On the MC13136, an external capacitor between Pins 13 and 14 can be used with a quad coil for slightly higher recovered audio. See Figures 10 through 13 for additional information.

Since adding a matching circuit to the RF input increases the signal level to the mixer, the third order intercept (TOI) point is better with an unmatched input (50 Ω from Pin 21 to Pin 22). Typical values for both have been included in the Electrical Characterization Table. TOI measurements were taken at the pins with a high impedance probe/spectrum analyzer system. The first mixer input impedance was measured at the pin with a network analyzer.

Figure 1a. MC13135 Test Circuit

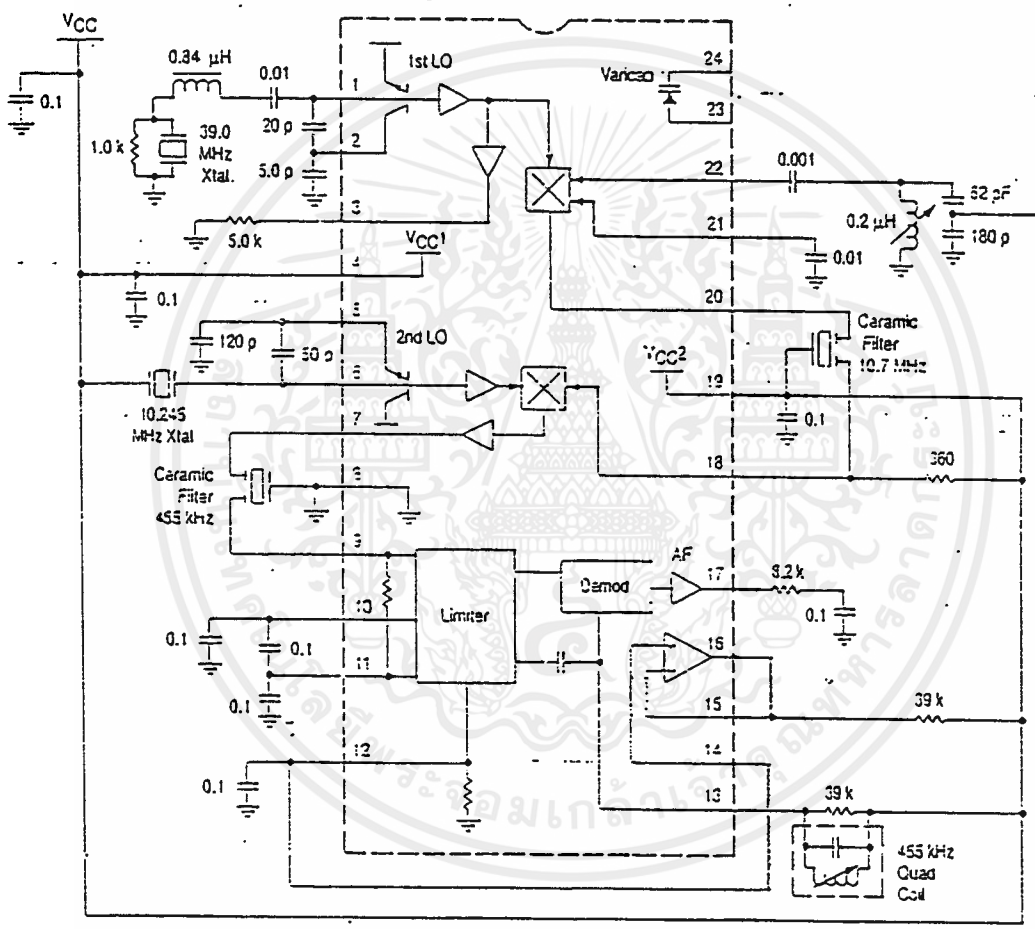
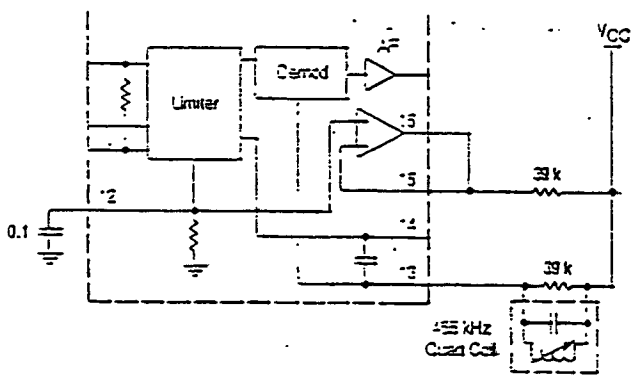


Figure 1b. MC13136 Quad Detector Test Circuit



CIRCUIT DESCRIPTION

The MC13135/13136 are complete dual conversion receivers. They include two local oscillators, two mixers, a limiting IF amplifier and detector, and an op amp. Both provide a voltage buffered RSSI with 70 dB of usable range, isolated tuning diode and buffered LO output for PLL operation, and a separate V_{CC} pin for the first mixer and LO. Improvements have been made in the temperature performance of both the recovered audio and the RSSI.

V_{CC}

Two separate V_{CC} lines enable the first LO and mixer to continue running while the rest of the circuit is powered down. They also isolate the RF from the rest of the internal circuit.

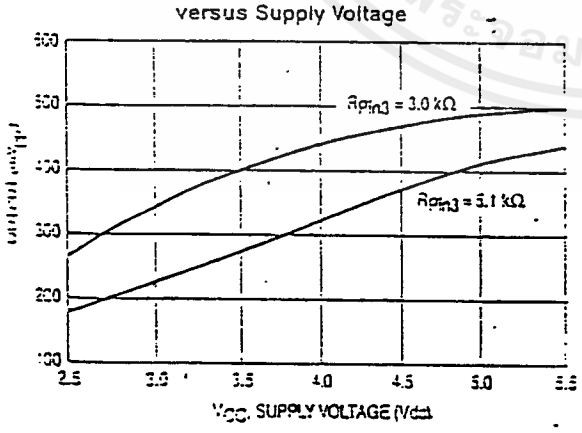
Local Oscillators

The local oscillators are grounded collector Colpitts, which can be easily crystal–controlled or VCO controlled with the on–board varactor and external PLL. The first LO transistor is internally biased, but the emitter is pinned–out and I_Q can be increased for high frequency or VCO operation. The collector is not pinned out, so for crystal operation, the LO is generally limited to 3rd overtone crystal frequencies; typically around 60 MHz. For higher frequency operation, the LO can be provided externally as shown in Figure 16.

Buffer

An amplifier on the 1st LO output converts the single–ended LO output to a differential signal to drive the mixer. Capacitive coupling between the LO and the amplifier minimizes the effects of the change in oscillator current on the mixer. Buffered LO output is pinned–out at Pin 3 for use with a PLL. With a typical output voltage of 320 mV_{pp} at V_{CC} = 4.0 V and with a 5.1 k resistor from Pin 3 to ground. As seen in Figure 14, the buffered LO output varies with the supply voltage and a smaller external resistor may be needed for low voltage operation. The LO buffer operates up to 60 MHz, typically. Above 60 MHz, the output at Pin 3 rolls off at approximately 6.0 dB per octave. Since most PLLs require about 200 mV_{pp} drive, an external amplifier may be required.

Figure 14. Buffered LO Output Voltage versus Supply Voltage



Mixers

The first and second mixer are of similar design. Both are double balanced to suppress the LO and input frequencies to give only the sum and difference frequencies out. This configuration typically provides 40 to 60 dB of LO suppression. New design techniques provide improved mixer linearity and third order intercept without increased noise. The gain on the output of the 1st mixer starts to roll off at about 20 MHz, so this receiver could be used with a 21 MHz first IF. It is designed for use with a ceramic filter, with an output impedance of 330 Ω. A series resistor can be used to raise the impedance for use with a crystal filter, which typically has an input impedance of 4.0 kΩ. The second mixer input impedance is approximately 4.0 kΩ; it requires an external 360 Ω parallel resistor for use with a standard ceramic filter.

Limiting IF Amplifier and Detector

The limiter has approximately 110 dB of gain, which starts rolling off at 2.0 MHz. Although not designed for wideband operation, the bandwidth of the audio frequency amplifier has been widened to 50 kHz, which gives less phase shift and enables the receiver to run at higher data rates. However, care should be taken not to exceed the bandwidth allowed by local regulations.

The MC13135 is designed for use with an LC quadrature detector, and does not have sufficient drive to be used with a ceramic discriminator. The MC13136 was designed to use a ceramic discriminator, but can also be run with an LC quad coil, as mentioned in the Test Circuit Information section. The data shown in Figures 12 and 13 was taken using a muRata CDB455C34 ceramic discriminator which has been specially matched to the MC13136. Both the choice of discriminators and the external matching circuit will affect the distortion and recovered audio.

RSSI/Op Amp

The Received Signal Strength Indicator (RSSI) on the MC13135/13136 has about 70 dB of range. The resistor needed to translate the RSSI current to a voltage output has been included on the internal circuit, which gives it a tighter tolerance. A temperature compensated reference current also improves the RSSI accuracy over temperature. On the MC13136, the op amp on board is connected to the output to provide a voltage buffered RSSI. On the MC13135, the op amp is not connected internally and can be used for the RSSI or as a data slicer (see Figure 17c).

Figure 2. Supply Current versus Supply Voltage

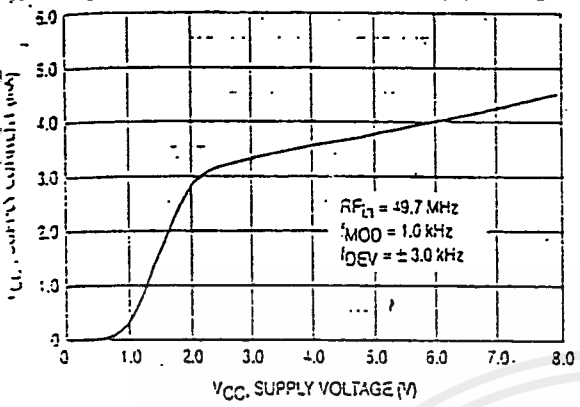


Figure 3. RSSI Output versus RF Input

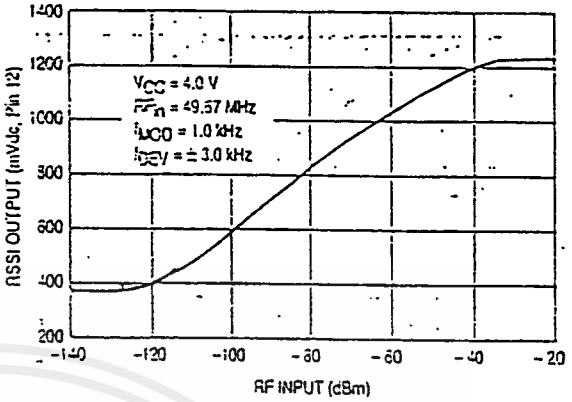


Figure 4. Varactor Capacitance, Resistance versus Bias Voltage

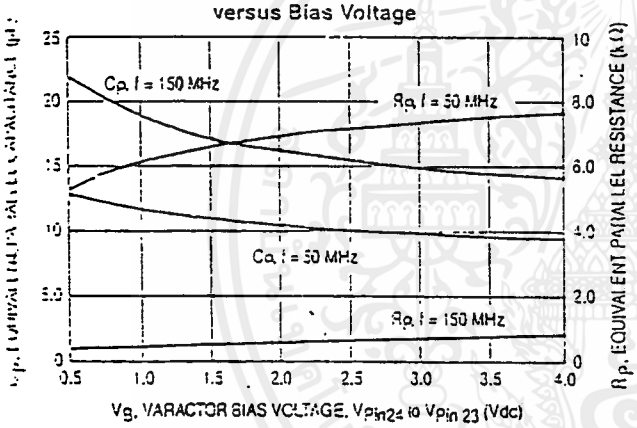


Figure 5. Oscillator Frequency versus Varactor Bias

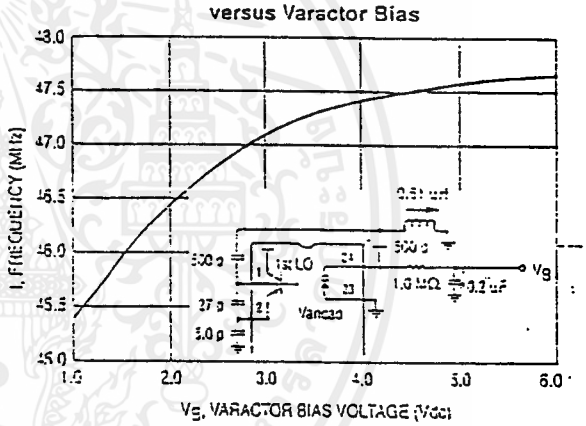


Figure 6. Signal Levels versus RF Input

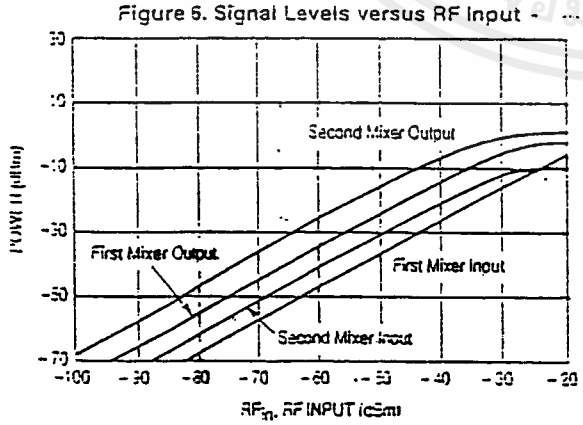


Figure 7. Signal + Noise, Noise, and AM Rejection versus Input Power

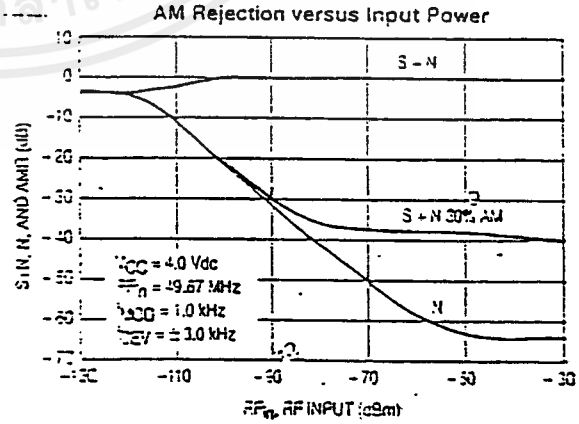


Figure 8. Op Amp Gain and Phase versus Frequency

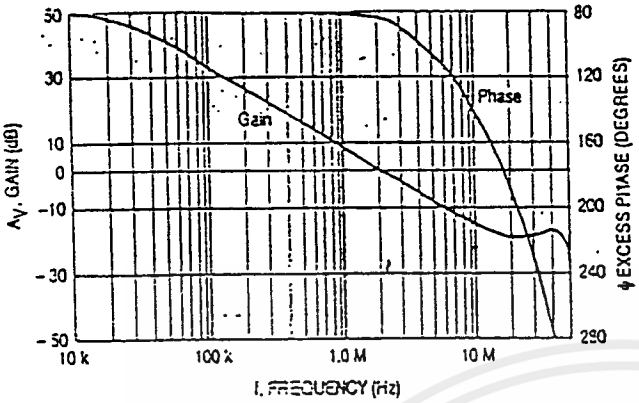


Figure 9. First Mixer Third Order Intermodulation (Unmatched Input)

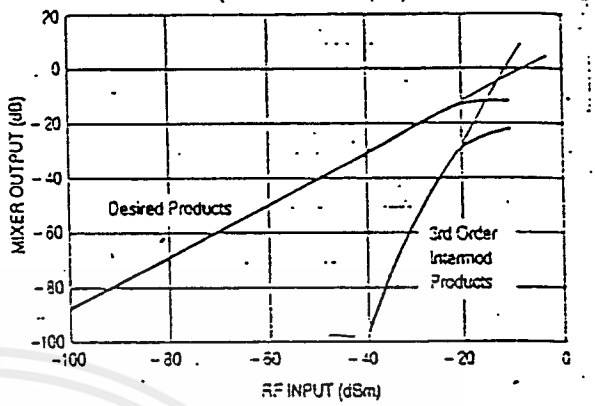


Figure 10. Recovered Audio versus Deviation for MC13135

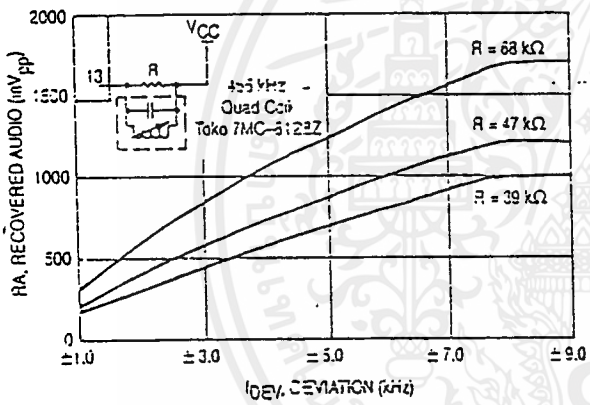


Figure 11. Distortion versus Deviation for MC13135

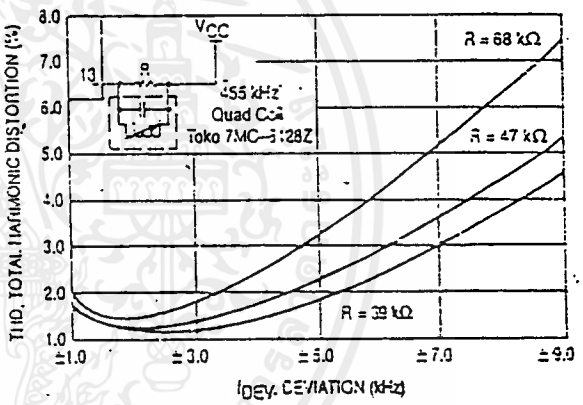


Figure 12. Recovered Audio versus Deviation for MC13136

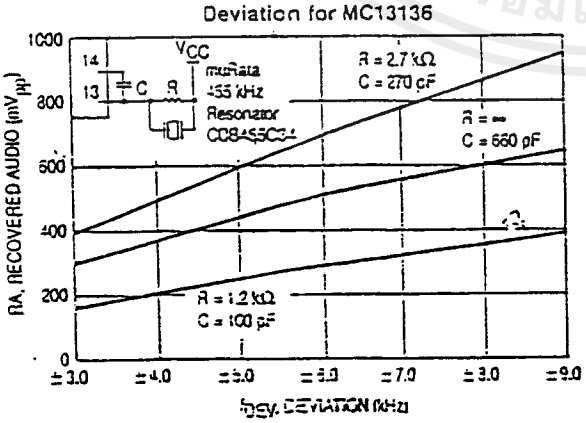


Figure 13. Distortion versus Deviation for MC13136

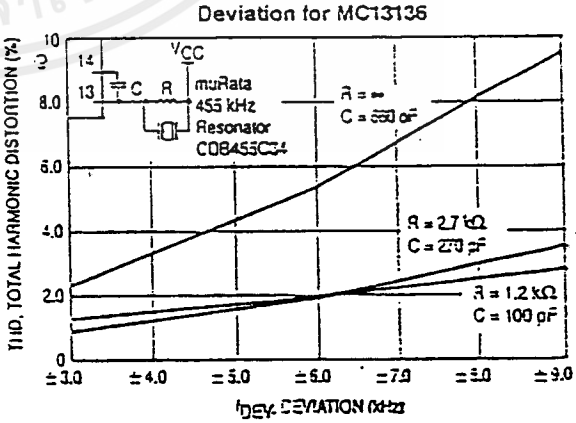


Figure 15. PLL Controlled Narrowband FM Receiver at 46/49 MHz

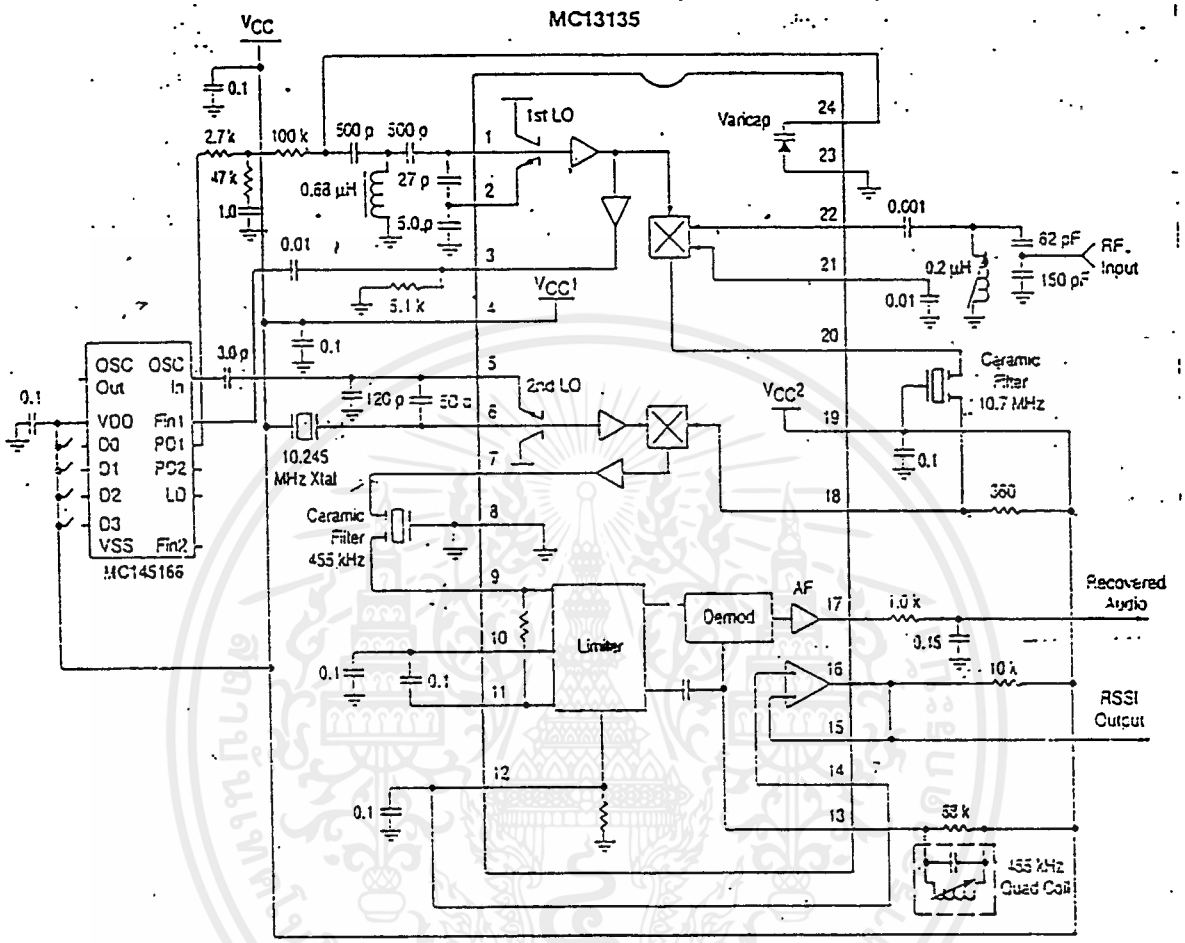
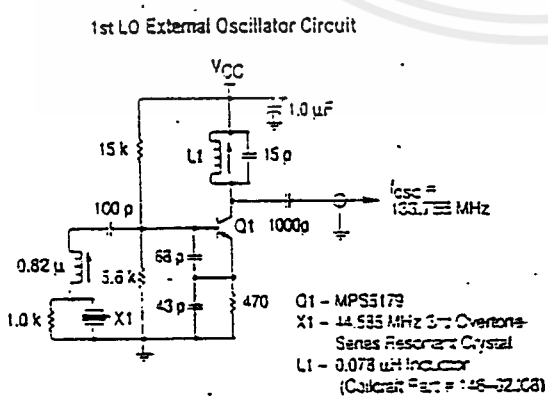
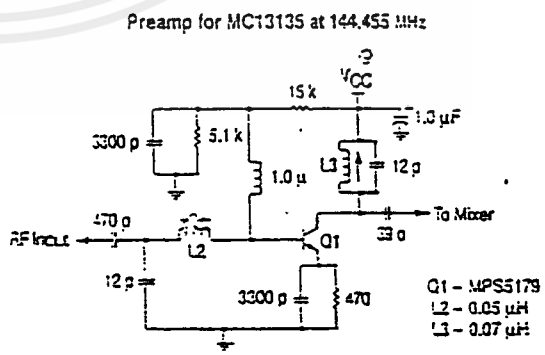


Figure 16. 144 MHz Single Channel Application Circuit





MC145166
MC145167

Advance Information

Dual PLLs for 46/49 MHz Cordless Telephones

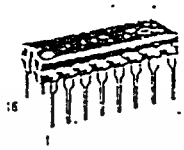
CMOS

These devices are dual phase–locked loop (PLL) frequency synthesizers intended for use primarily in 46/49 MHz cordless phones with up to 10 channels. These parts contain two mask–programmable counter ROMs for receive and transmit loops with two independent phase detect circuits. A common reference oscillator and reference divider are shared by the receive and transmit circuits.

Frequency selection is accomplished via a 4–bit parallel input for the MC145166. The MC145167 utilizes a serial interface.

Other features include a lock detect circuit for the transmit loop, illegal code default, and a 5 kHz tone output.

- Synthesizes Up to Ten Channel Pairs
- Maximum Operating Frequency: 60 MHz @ V_{in} = 200 mV p–p
- Operating Temperature Range: – 40 to + 75°C
- Operating Voltage Range: 2.5 to 5.5 V
- On–Chip Oscillator Circuit Supports External Crystal
- Lock Detect Signal
- Operating Power Consumption: 3.0 mA @ 3.0 V
- Standby Mode for Power Savings: 1.5 mA @ 3.0 V



P SUFFIX
PLASTIC DIP
CASE 648

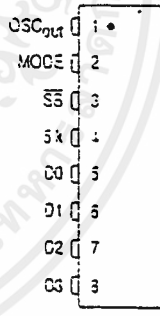
DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

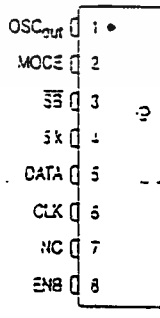
MC145166P	Plastic DIP
MC145166DW	SOG Package
MC145167P	Plastic DIP
MC145167DW	SOG Package

PIN ASSIGNMENTS

MC145166P
MC145166DW



MC145167P
MC145167DW

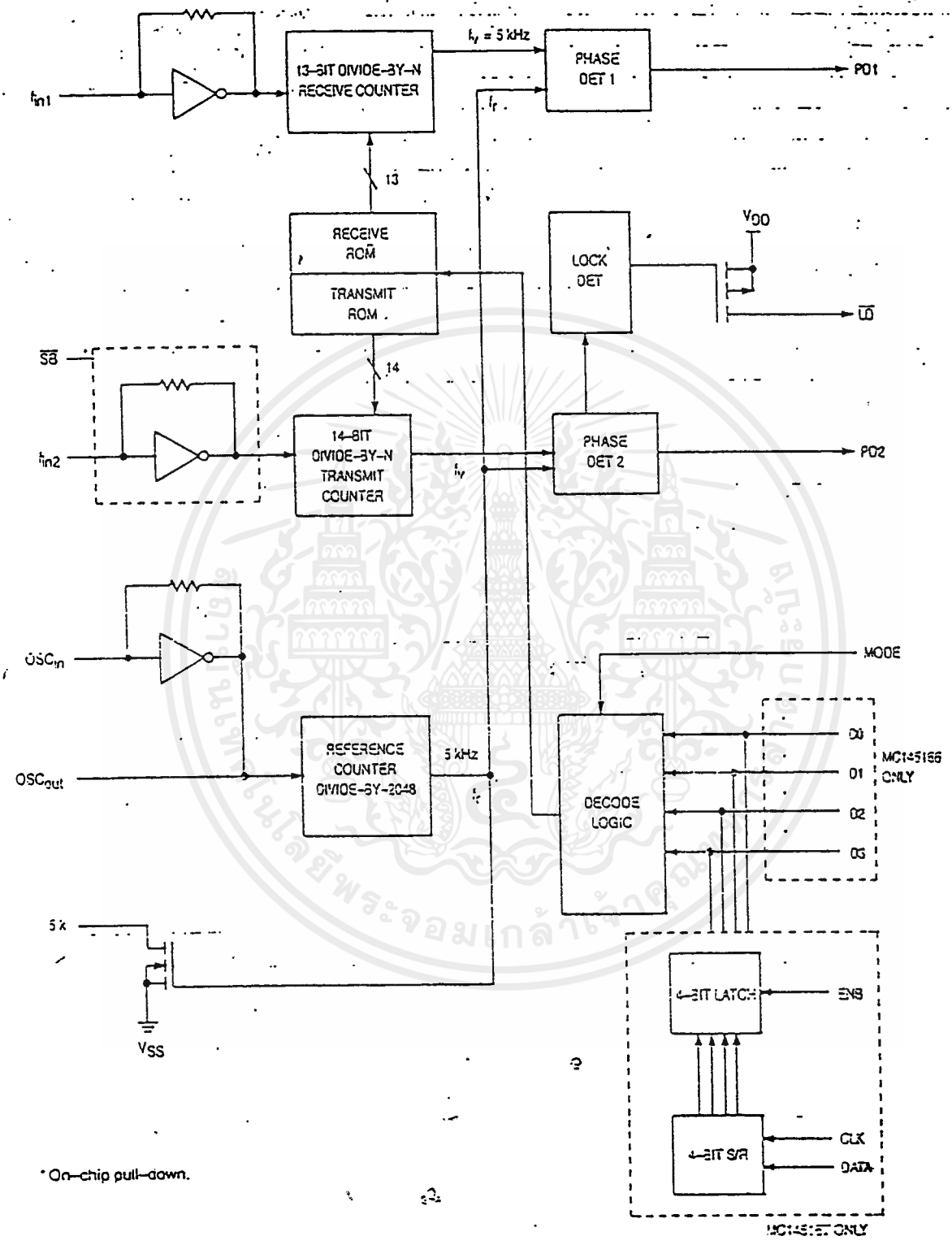


NC = NO CONNECTION

This document contains information on a new product. Specifications and information herein are subject to change without notice.

REV 1
8/95
Replaces MC145160/D

BLOCK DIAGRAM



* On-chip pull-down.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +6.0	V
V_{in}	Input Voltage, All Inputs	−0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	±10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	−65 to +150	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
* Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic		V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
V_{DD}	Power Supply Voltage Range		—	2.5	5.5	V
V_{OL}	Output Voltage (I_{out} = 0)	0 Level	2.5 5.5	— —	0.05 0.05	V
V_{OH}	(V_{in} = V_{DD} or 0)	1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage (V_{out} = 0.5 V or V_{DD} − 0.5 V)	0 Level	2.5 5.5	— —	0.75 1.65	V
V_{IH}		1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) (V_{out} = 5.0 V)	Source	2.5 5.5	−0.18 −0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) (V_{out} = 0.5 V)	Sink	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0)	OSC_{in}, f_{in1}, f_{in2}	2.5 5.5	— —	−30 −66	μA
		DATA, $\overline{SS}$, Mode	2.5 5.5	— —	−0.05 −0.11	
I_{IH}	(V_{in} = V_{DD} − 0.5)	OSC_{in}, f_{in1}, f_{in2}	2.5 5.5	— —	30 66	μA
		DATA, $\overline{SS}$, Mode	2.5 5.5	— —	50 121	
C_{in}	Input Capacitance		—	—	14.0	pF
C_{out}	Output Capacitance		—	—	8.0	pF
I_{DD}	Standby Current, $\overline{SS}$ = V_{SS} or Open		2.5 5.5	— —	1.4 3.8	mA
I_{dd}	Operating Current (200 mV p−p input at f_{in1} and f_{in2}, $\overline{SS}$ = V_{DD})		2.5 5.5	— —	2.3 6.2	mA
I_{OZ}	Three-State Leakage Current (V_{out} = 0 or 5.5 V)		5.5	—	±1.0	μA

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic	Figure No.	V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
t_{TLH}	Output Rise Time	1, 5	3.0 5.0	— —	200 100	ns
t_{THL}	Output Fall Time	1, 5	3.0 5.0	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time, OSC_{in}	2	3.0 5.0	— —	5.0 4.0	µs
f_{max}	Input Frequency OSC_{in} Input = Sine Wave 200 mV p–p f_{in1} f_{in2}		3.0 – 5.0 3.0 – 5.0 3.0 – 5.0	— — —	12 60 50	MHz
t_{su}	Setup Time (MC145167) DATA to CLK	3	3.0 5.0	100 50	— —	ns
	ENB to CLK		3.0 5.0	200 100	— —	
t_h	Hold Time (MC145167), CLK to DATA	3	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time (MC145167), ENB to CLK	3	3.0 5.0	80 40	— —	ns
t_w	Input Pulse Width (MC145167), CLK and ENB	4	3.0 5.0	80 60	— —	ns

SWITCHING WAVEFORMS

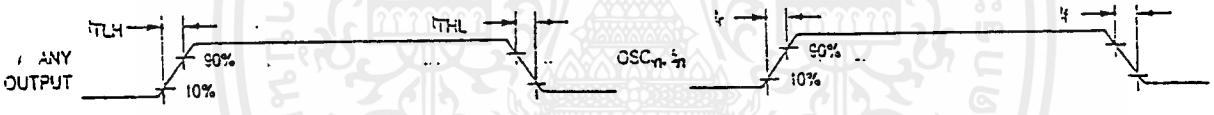


Figure 1.

Figure 2.

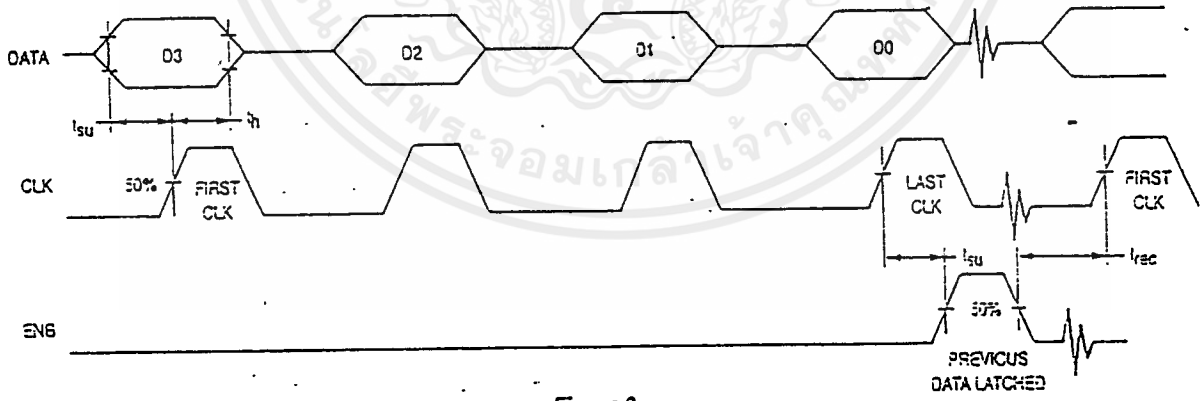


Figure 3.

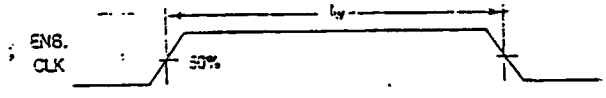


Figure 4.

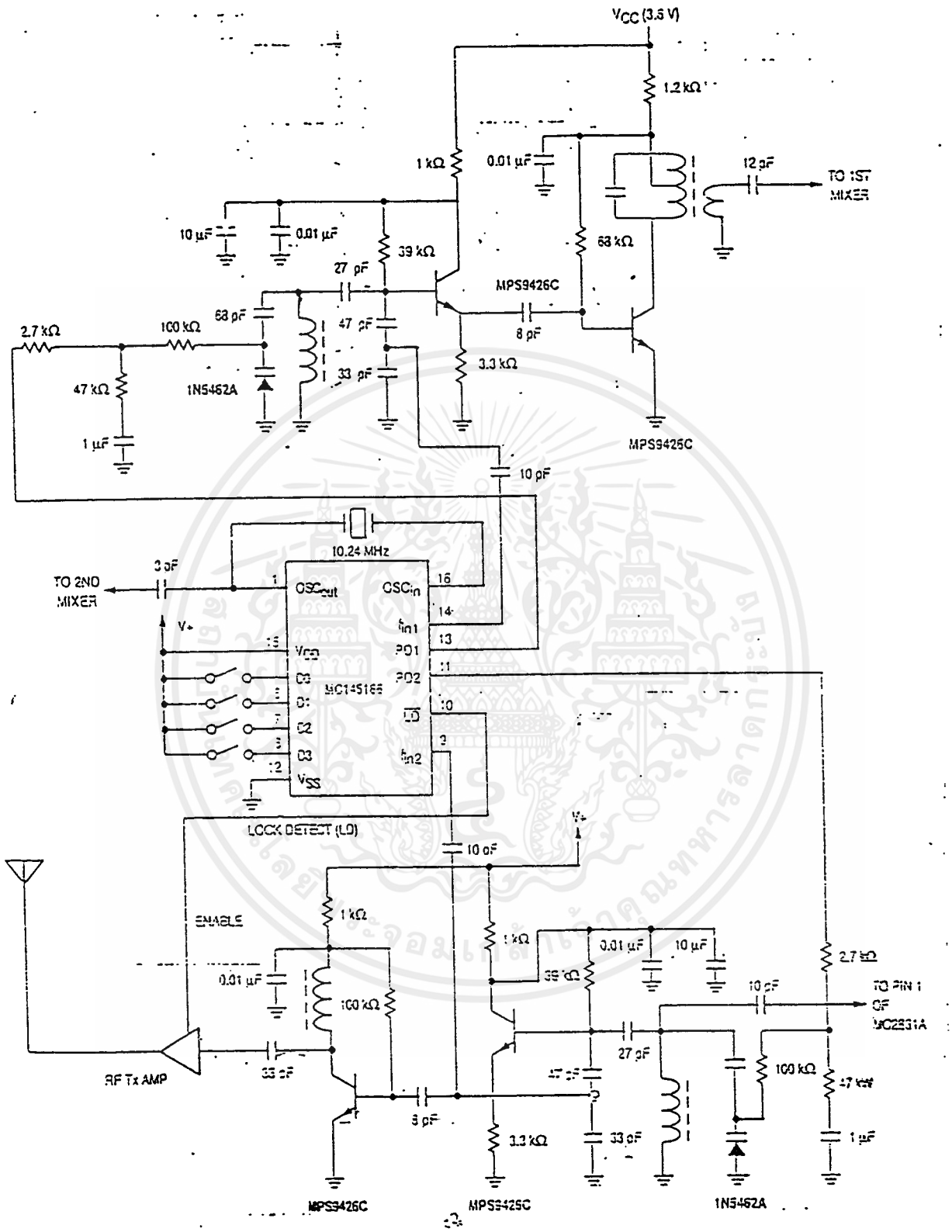


Figure 5. MC145166 Circuit Example

PIN DESCRIPTIONS

INPUT PINS

SC_{in}/OSC_{out}
Reference Oscillator Input/Output (Pins 1,16)

These pins form a reference oscillator when connected to an external parallel–resonant crystal. For a 46/49 MHz cordless phone application, a 10.24 MHz crystal is needed. SC_{in} may also serve as input for an externally generated reference signal. This signal is typically ac coupled to SC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required for OSC_{out}.

MODE
Mode Select (Pin 2)

Mode is for determining whether the part is to be used in the base or handset of a cordless phone. Internally, this pin is used in the decoding logic for selecting the ROM address. When high, the device is set in the base mode, and when low, it is set in the handset mode. This input has an internal pull–down device.

$\overline{STB}$
Standby Input (Pin 3)

The standby pin is used to save power when not transmitting. When high, both the transmit and receive loops are in operation. When low, the transmit loop is disabled, thereby reducing power consumption. This input has an internal pull–down device.

D0 – D3
Data Inputs (MC145166 — Pins 5 – 8)

These inputs provide the BCD code for selecting the one of ten channels to be locked in both the transmit and receive loop. When address data other than 1 – 10 are input, the decoding logic defaults to channel 10. The frequency assignments with reference to Mode and D0 – D3 are shown in Table 1. These inputs have internal pull–down devices.

f_{in1}, f_{in2}
Frequency Inputs (Pins 14, 9)

f_{in1} and f_{in2} are inputs to the divide–by–N receive and transmit counters, respectively. These signals are typically derived from the loop VCO and are ac coupled. For larger amplitude signals (standard CMOS logic levels), dc coupling may be used. The minimum input level is 200 mV p–p.

CLK, DATA
Clock, Data (MC145167 — Pins 5, 6)

These pins provide the BCD input by using serial channel programming instead of parallel. Logical high represents a 1. Each low–to–high transition of the clock shifts one bit of data into the on–chip shift register.

ENB
Enable (MC145167 — Pin 8)

The enable pin controls the data transfer from the shift register to the 4–bit latch. A positive pulse latches the data.

OUTPUT PINS

5 k
5 kHz Tone Signals (Pin 4)

The 5 kHz tone signals are N–channel, open–drain outputs derived from the reference oscillator.

$\overline{LD}$
Lock Detect Signal (Pin 10)

The lock detect signal is associated with the transmit loop. The lock output goes high to indicate an out–of–lock condition. This is a P–channel open–drain output.

PD1, PD2
Phase Detector Outputs (Pins 13, 11)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals. Phase detector gain is $V_{DD}/4\pi$ volts per radian.

Frequency $f_V > f_r$ or f_V leading: Output = Negative pulses
Frequency $f_V < f_r$ or f_V lagging: Output = Positive pulses
Frequency $f_V = f_r$ and phase coincidence: Output = High–impedance state

POWER SUPPLY

V_{SS}
Negative Power Supply (Pin 12)

This pin is the negative supply potential and is usually ground.

V_{DD}
Positive Power Supply (Pin 15)

This pin is the positive supply potential and may range from + 2.5 to + 5.5 V with respect to V_{SS}.

Table 1. MC145166/67 Divide Ratios and VCO Frequencies

Channels					Handset (Mode = 0)				Base (Mode = 1)			
					Transmit		Receive		Transmit		Receive	
D3	D2	D1	D0	CH#	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N
0	0	0	1	1	49.670	9934	35.915	7183	46.610	9322	38.975	7795
0	0	1	0	2	49.845	9969	35.935	7187	46.630	9326	39.150	7830
0	0	1	1	3	49.860	9972	35.975	7195	46.670	9334	39.165	7833
0	1	0	0	4	49.770	9954	36.015	7203	46.710	9342	39.075	7815
0	1	0	1	5	49.875	9975	36.035	7207	46.730	9346	39.180	7836
0	1	1	0	6	49.830	9966	36.075	7215	46.770	9354	39.135	7827
0	1	1	1	7	49.890	9978	36.135	7227	46.830	9366	39.195	7839
1	0	0	0	8	49.930	9986	36.175	7235	46.870	9374	39.235	7847
1	0	0	1	9	49.990	9998	36.235	7247	46.930	9386	39.295	7859
1	0	1	0	10	49.970	9994	36.275	7255	46.970	9394	39.275	7855

NOTES:
1. Other input combinations will be defaulted to channel 10.
2. 0 = logic low, 1 = logic high.

MOTOROLA

MC3356

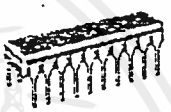
Wideband FSK Receiver

The MC3356 includes Oscillator, Mixer, Limiting IF Amplifier, Quadrature Detector, Audio Buffer, Squelch, Meter Drive, Squelch Status output, and Data Shaper comparator. The MC3356 is designed for use in digital data communciations equipment.

- Data Rates up to 500 kilobaud
- Excellent Sensitivity: −3 dB Limiting Sensitivity
  30 µVrms @ 100 MHz
- Highly Versatile, Full Function Device, yet Few External Parts are Required
- Down Converter Can be Used Independently — Similar to NE602

WIDEBAND
FSK
RECEIVER

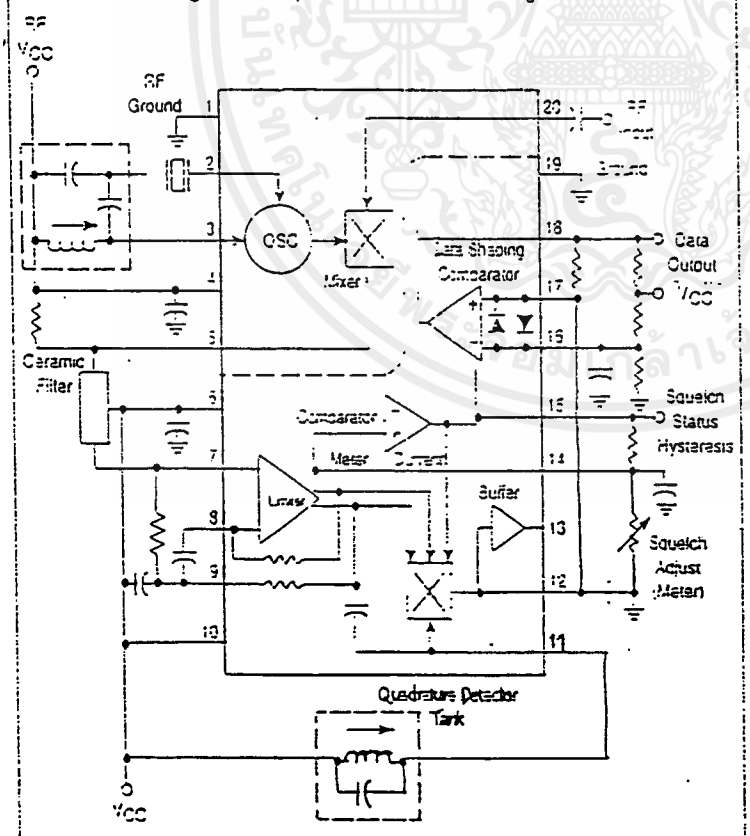
SEMICONDUCTOR
TECHNICAL DATA



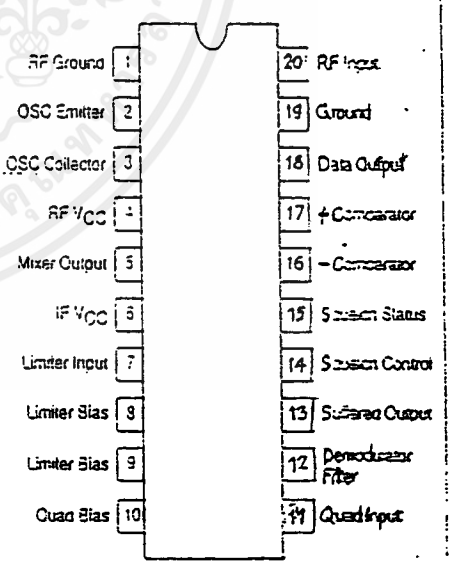
P SUFFIX
PLASTIC PACKAGE
CASE 738

DW SUFFIX
PLASTIC PACKAGE
CASE 751D
(SO−20L)

Figure 1. Representative Block Diagram



PIN CONNECTIONS



ORDERING INFORMATION*

Device	Operating Temperature Range	Package
MC3356DW	T_A = − 40 to +85°C	SO−20L
MC3356P		Plastic DIP

MAXIMUM RATINGS

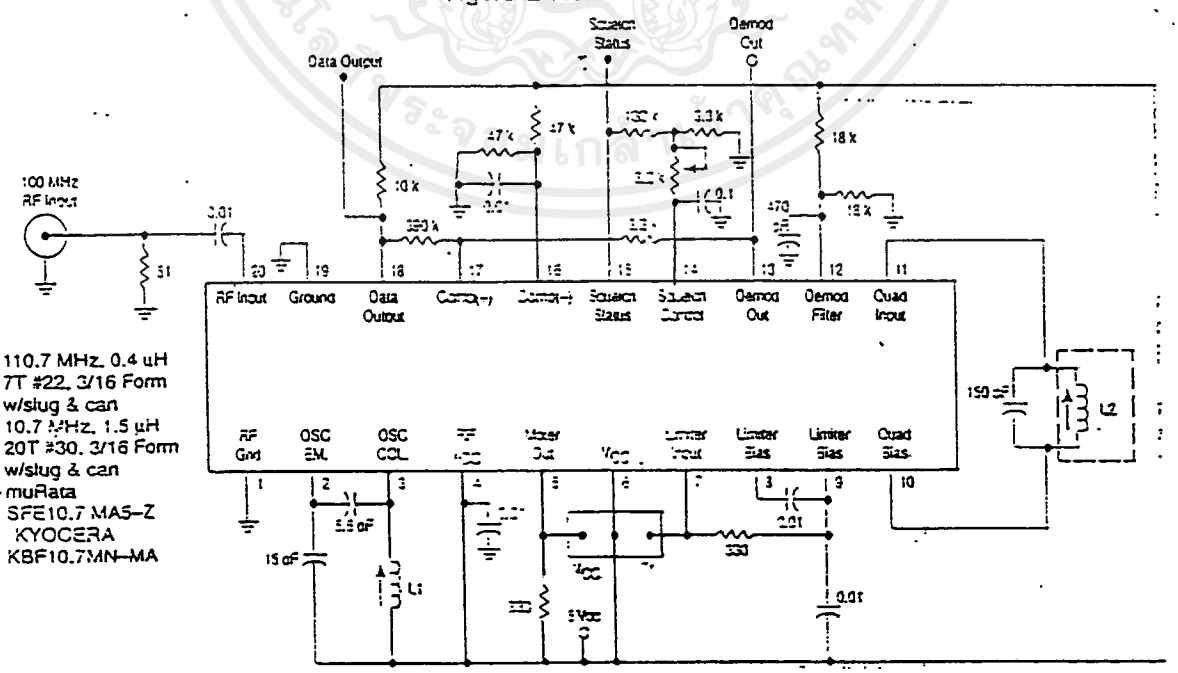
Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC(max)}$	15	Vdc
Operating Power Supply Voltage Range (Pins 6, 10)	V_{CC}	3.0 to 9.0	Vdc
Operating RF Supply Voltage Range (Pin 4)	RF V_{CC}	3.0 to 12.0	Vdc
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
Power Dissipation, Package Rating	P_D	1.25	W

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc, f_o = 100 MHz, f_{osc} = 110.7 MHz, Δf = ±7.5 kHz, f_{mod} = 1.0 kHz, 50 Ω source, T_A = 25°C, test circuit of Figure 2, unless otherwise noted.)

Characteristics	Min	Typ	Max	Unit
Drain Current Total, RF V_{CC} and V_{CC}	–	20	25	mAdc
Input for −3 dB limiting	–	30	–	µVrms
Input for 50 dS quieting $\left(\frac{S+N}{N}\right)$	–	60	–	µVrms
Mixer Voltage Gain, Pin 20 to Pin 5	2.5	–	–	
Mixer Input Resistance, 100 MHz	–	260	–	Ω
Mixer Input Capacitance, 100 MHz	–	5.0	–	pF
Mixer/Oscillator Frequency Range (Note 1)	–	0.2 to 150	–	MHz
IF/Quadrature Detector Frequency Range (Note 1)	–	0.2 to 50	–	MHz
AM Rejection (30% AM, RF V_{in} = 1.0 mVrms)	–	50	–	dB
Demodulator Output, Pin 13	–	0.5	–	Vrms
Meter Drive	–	7.0	–	µA/dB
Squelch Threshold	–	0.8	–	Vdc

NOTE: 1. Not taken in Test Circuit of Figure 2; new component values required.

Figure 2. Test Circuit



L1 – 110.7 MHz, 0.4 µH
7T #22, 3/16 Form
w/slug & can
L2 – 10.7 MHz, 1.5 µH
20T #30, 3/16 Form
w/slug & can
T1 – muRata
SFE10.7 MA5–Z
or KYOCERA
KBF10.7MN–MA

Figure 3. Output Components of Signal, Noise, and Distortion

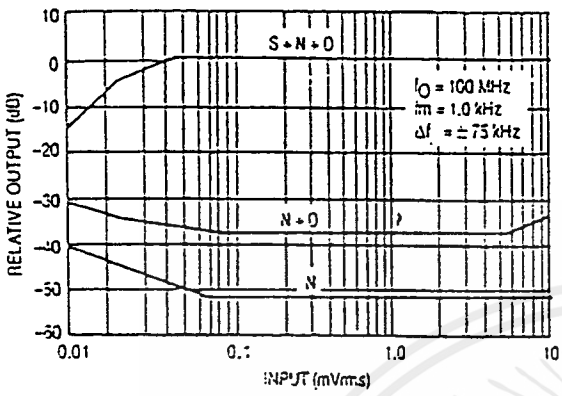
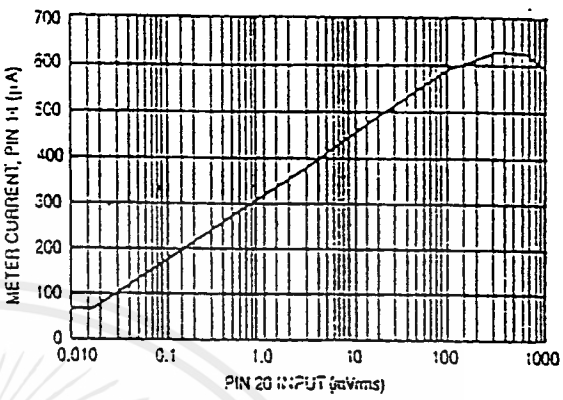


Figure 4. Meter Current versus Signal Input



GENERAL DESCRIPTION

This device is intended for single and double conversion VHF receiver systems, primarily for FSK data transmission up to 500 K baud (250 kHz). It contains an oscillator, mixer, limiting IF, quadrature detector, signal strength meter drive, and data shaping amplifier.

The oscillator is a common base Colpitts type which can be crystal controlled, as shown in Figure 1, or L–C controlled as shown in the other figures. At higher V_{CC}, it has been operated as high as 200 MHz. A mixer/oscillator voltage gain of 2 up to approximately 150 MHz, is readily achievable.

The mixer functions well from an input signal of 10 μVrms, below which the squelch is unpredictable, up to about 10 mVrms, before any evidence of overload. Operation up to 1.0 Vrms input is permitted, but non–linearity of the meter output is incurred, and some oscillator pulling is suspected. The AM rejection above 10 mVrms is degraded.

The limiting IF is a high frequency type, capable of being operated up to 50 MHz. It is expected to be used at 10.7 MHz in most cases, due to the availability of standard ceramic resonators. The quadrature detector is internally coupled to the IF, and a 5.0 pF quadrature capacitor is internally provided. The –3dB limiting sensitivity of the IF itself is approximately 30 μV (at Pin 7), and the IF can accept signals up to 1.0 Vrms without distortion or change of detector quiescent dc level.

The IF is unusual in that each of the last 5 stages of the 6 state limiter contains a signal strength sensitive, current sinking device. These are parallel connected and buffered to produce a signal strength meter drive which is fairly linear for IF input signals of 10 μV to 100 mVrms (see Figure 4).

A simple squelch arrangement is provided whereby the meter current flowing through the meter load resistance flips a comparator at about 0.8 Vdc above ground. The signal strength at which this occurs can be adjusted by changing the meter load resistor. The comparator (+) input and output are available to permit control of hysteresis. Good positive action can be obtained for IF input signals of above 30 μVrms. The 130 kΩ resistor shown in the test circuit provides a small amount of hysteresis. Its connection between the 3.3 k resistor to ground and the 3.0 k pot, permits adjustment of squelch level without changing the amount of hysteresis.

The squelch is internally connected to both the quadrature detector and the data shaper. The quadrature detector output, when squelched, goes to a dc level approximately equal to the zero signal level unsquelched. The squelch causes the data shaper to produce a high (V_{CC}) output.

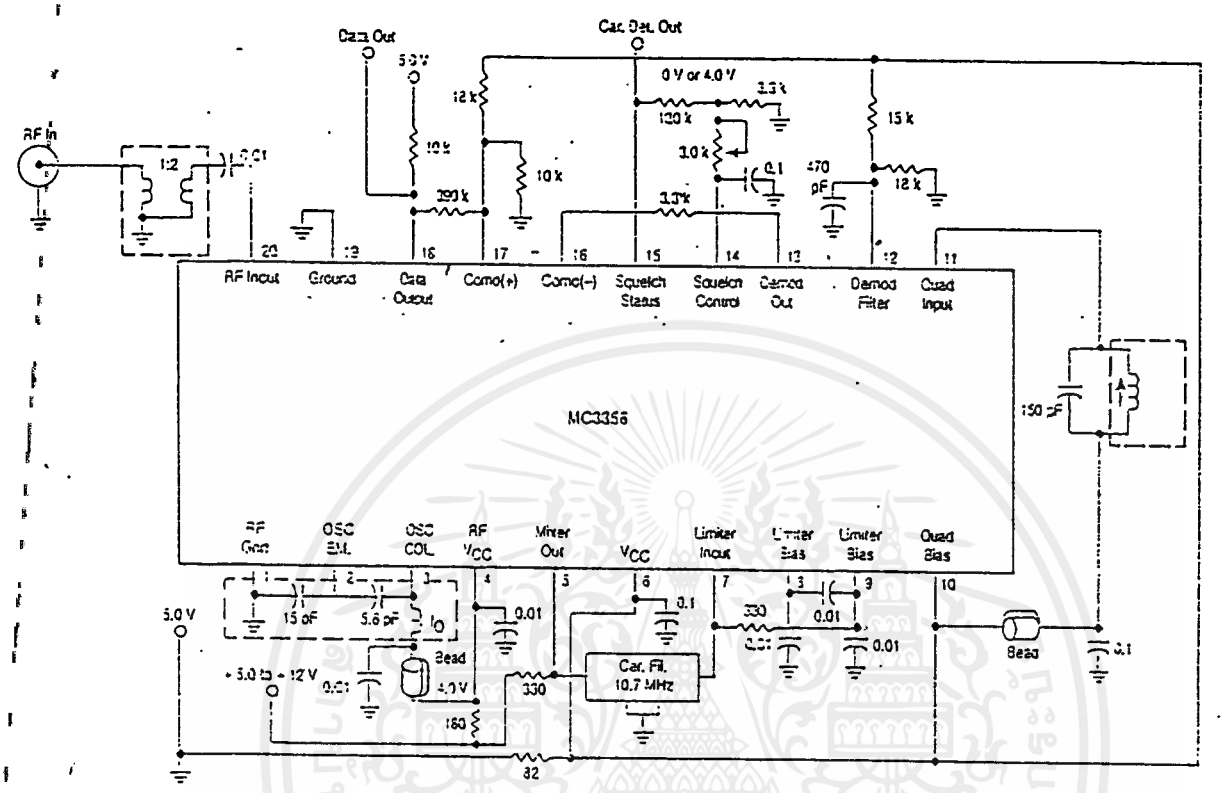
The data shaper is a complete "floating" comparator, with back to back diodes across its inputs. The output of the quadrature detector can be fed directly to either input of this amplifier to produce an output that is either at V_{CC} or V_{EE}, depending upon the received frequency. The impedance of the biasing can be varied to produce an amplifier which "follows" frequency detuning to some degree, to prevent data pulse width changes.

When the data shaper is driven directly from the demodulator output, Pin 13, there may be distortion at Pin 13 due to the diodes, but this is not important in the data application. A useful note in relating high/low input frequency to logic state: low IF frequency corresponds to low demodulator output. If the oscillator is above the incoming RF frequency, then high RF frequency will produce a logic low (input to (+) input of Data Shaper as shown in Figures 1 and 2).

APPLICATION NOTES

The MC3356 is a high frequency/high gain receiver that requires following certain layout techniques in designing a stable circuit configuration. The objective is to minimize or eliminate, if possible, any unwanted feedback.

Figure 5. Application with Fixed Bias on Data Shaper



APPLICATION NOTES (continued)

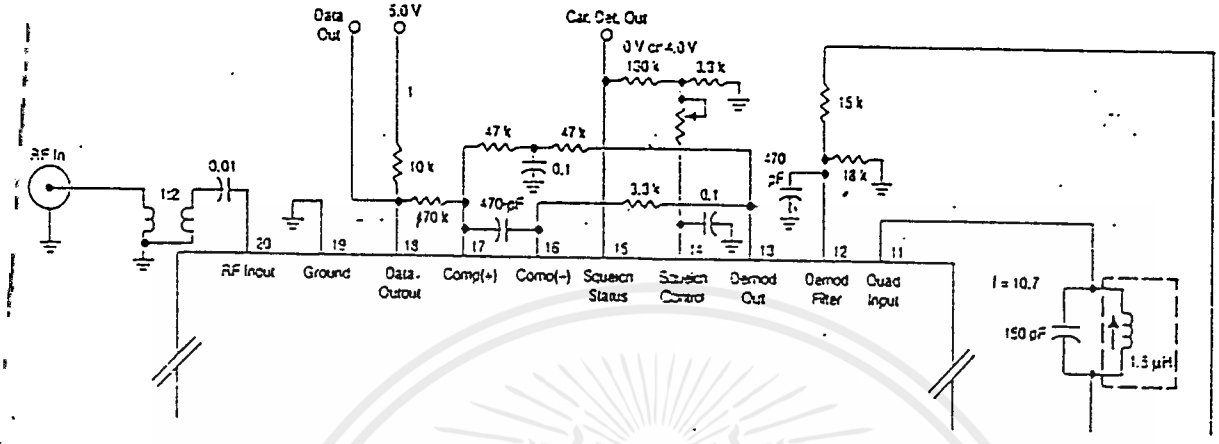
Shielding, which includes the placement of input and output components, is important in minimizing electrostatic or electromagnetic coupling. The MC3356 has its pin connections such that the circuit designer can place the critical input and output circuits on opposite ends of the chip. Shielding is normally required for inductors in tuned circuits.

The MC3356 has a separate V_{CC} and ground for the RF and IF sections which allows good external circuit isolation by minimizing common ground paths.

Note that the circuits of Figures 1 and 2 have RF, Oscillator, and IF circuits predominantly referenced to the plus supply rails. Figure 5, on the other hand, shows a suitable means of ground referencing. The two methods produce identical results when carefully executed. It is important to treat Pin 19 as a ground node for either approach. The RF input should be "grounded" to Pin 1 and then the input and the mixer/oscillator grounds (or RF V_{CC} bypasses) should be connected by a low inductance path to Pin 19. IF and detector sections should also have their bypasses returned by a separate path to Pin 19. V_{CC} and RF V_{CC} can be decoupled to minimize feedback, although the configuration of Figure 2 shows a successful implementation on a common 5.0 V supply. Once again, the message is: define a supply node and a ground node and return each section to those nodes by separate, low impedance paths.

The test circuit of Figure 2 has a 3 dB limiting level of 30 µV which can be lowered 6 db by a 1:2 untuned transformer at the input as shown in Figures 5 and 6. For applications that require additional sensitivity, an RF amplifier can be added, but with no greater than 20 db gain. This will give a 2.0 to 2.5 µV sensitivity and any additional gain will reduce receiver dynamic range without improving its sensitivity. Although the test circuit operates at 5.0 V, the mixer/oscillator optimum performance is at 8.0 V to 12 V. A minimum of 8.0 V is recommended in high frequency applications (above 150 MHz), or in PLL applications where the oscillator drives a prescaler.

Figure 6. Application with Self–Adjusting Bias on Data Shaper



APPLICATION NOTES (continued)

Depending on the external circuit, inverted or noninverted data is available at Pin 18. Inverted data makes the higher frequency in the FSK signal a "one" when the local oscillator is above the incoming RF. Figure 5 schematic shows the comparator with hysteresis. In this circuit the dc reference voltage at Pin 17 is about the same as the demodulated output voltage (Pin 13) when no signal is present. This type circuit is preferred for systems where the data rates can drop to zero. Some systems have a low frequency limit on the data rate, such as systems using the MC3850 ACIA that has a start or stop bit. This defines the low frequency limit that can appear in the data stream. Figure 5 circuit can then be changed to a circuit configuration as shown in Figure 6. In Figure 6 the reference voltage for the comparator is derived from the demodulator output through a low pass circuit where f is much lower than the lowest frequency data rate. This and similar circuits will compensate for small tuning changes (or drift) in the quadrature detector.

Squelch status (Pin 15) goes high (squelch off) when the input signal becomes greater than some preset level set by the resistance between Pin 14 and ground. Hysteresis is added to the circuit externally by the resistance from Pin 14 to Pin 15.

XR-2206

Monolithic Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972
EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

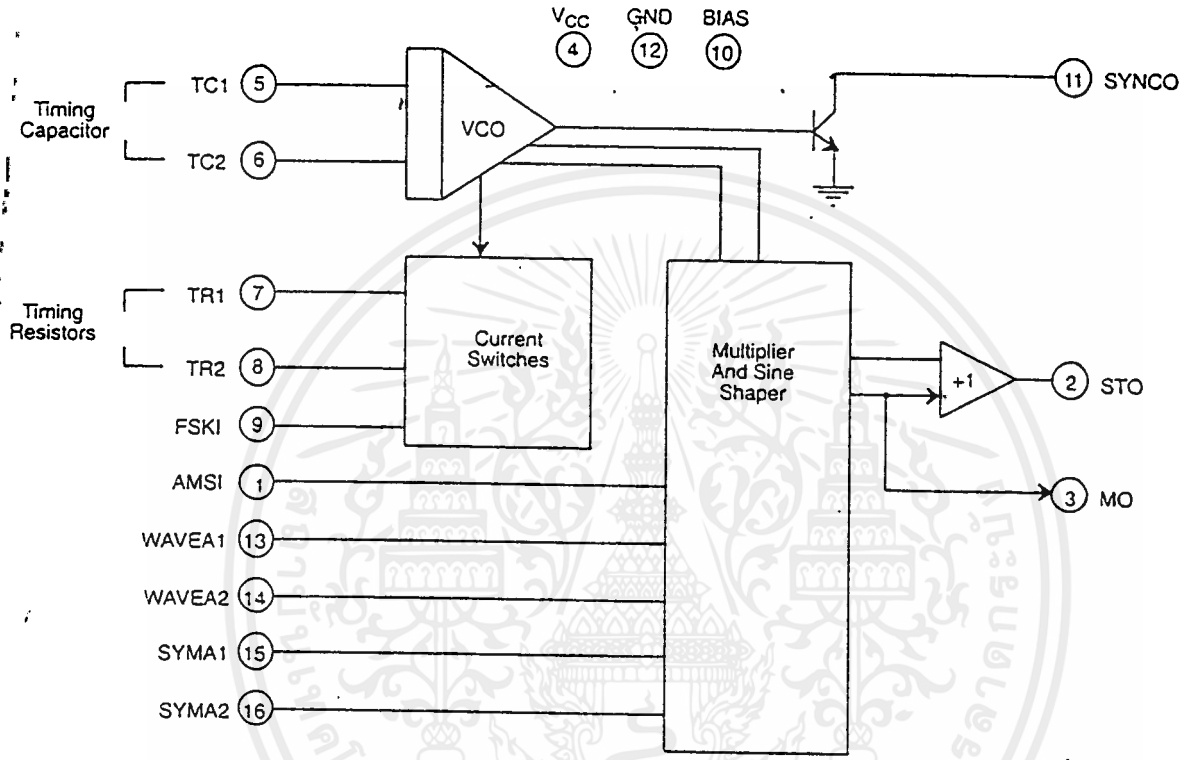


Figure 1. XR-2206 Block Diagram

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	±50		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

ELECTRICAL CHARACTERISTICS (CONT'D)

ameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
plitude Modulation								
t Impedance	50	100		50	100		kΩ	
dulation Range		100			100		%	
rier Suppression		55	-		55		dB	
arity		2			2		%	For 95% modulation
uare-Wave Output								
plitude		12			12		Vp-p	Measured at Pin 11.
e Time		250			250		ns	C_L = 10pF
Time		50			50		ns	C_L = 10pF
uration Voltage		0.2	0.4		0.2	0.6	V	I_L = 2mA
kage Current		0.1	20		0.1	100	µA	V_{CC} = 26V
K Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
erence Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

es

tput amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
r maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
l face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

SOLUTE MAXIMUM RATINGS

ér Supply 26V
er Dissipation 750mW
ite Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

STEM DESCRIPTION

XR-2206 is comprised of four functional blocks; a age-controlled oscillator (VCO), an analog multiplier sine-shaper; a unity gain buffer amplifier; and a set of ent switches.

VCO produces an output frequency proportional to nput current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

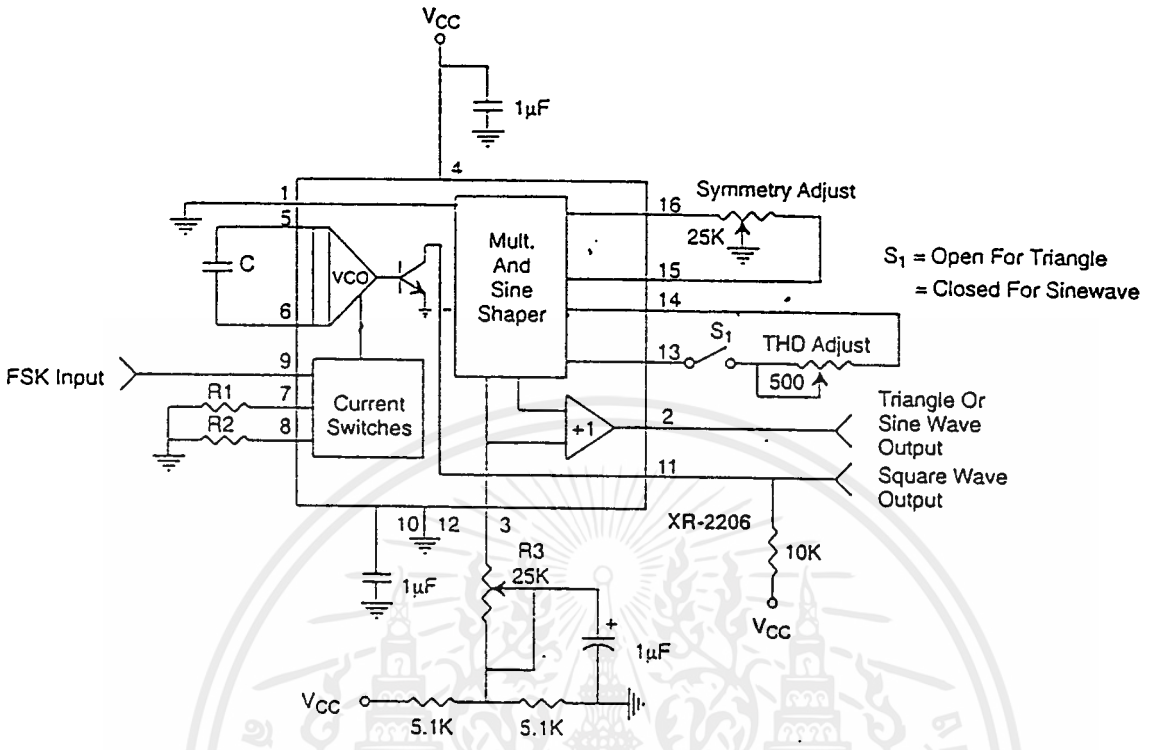


Figure 2. Basic Test Circuit

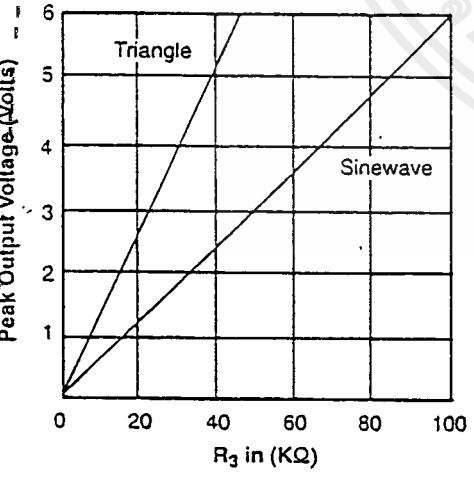


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

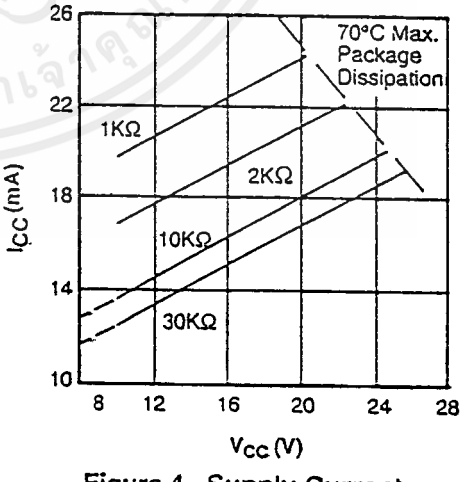


Figure 4. Supply Current vs Supply Voltage, Timing, R

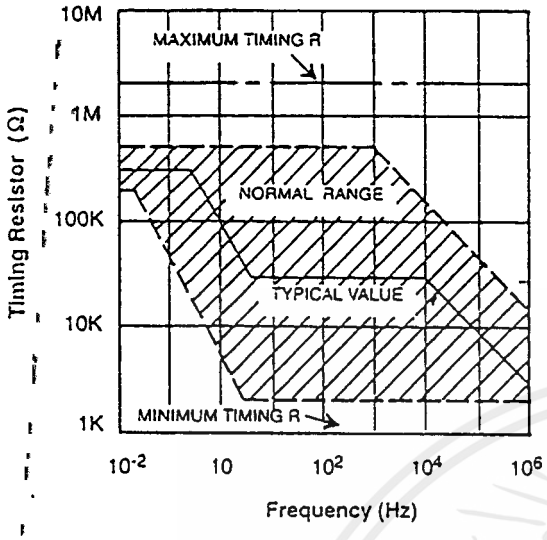


Figure 5. R versus Oscillation Frequency.

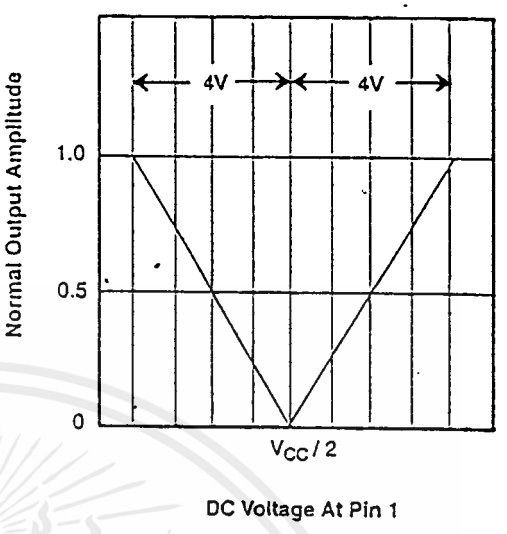


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

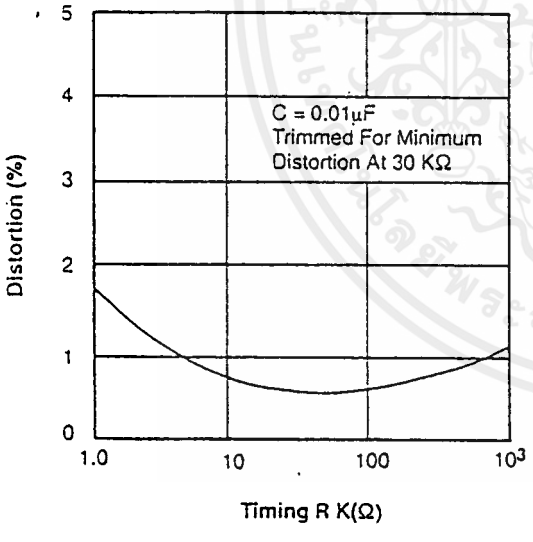


Figure 7. Trimmed Distortion versus Timing Resistor.

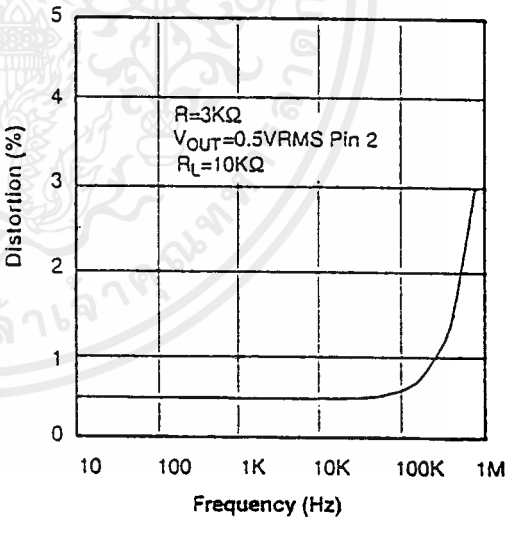


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

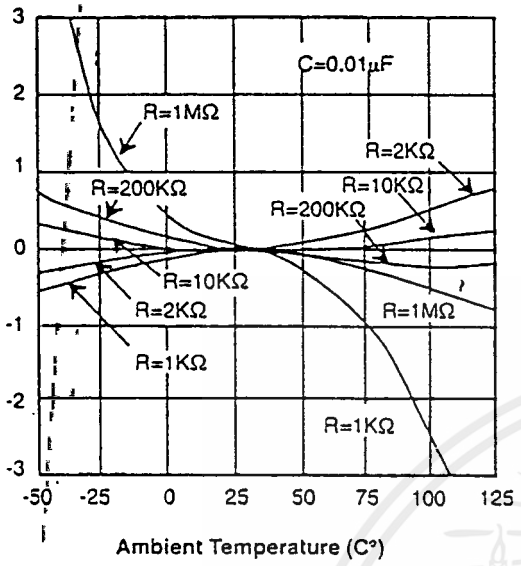


Figure 9. Frequency Drift versus Temperature.

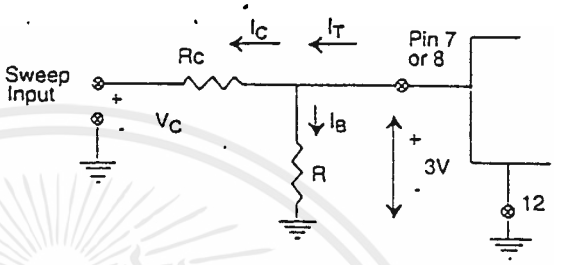


Figure 10. Circuit Connection for Frequency Sweep.

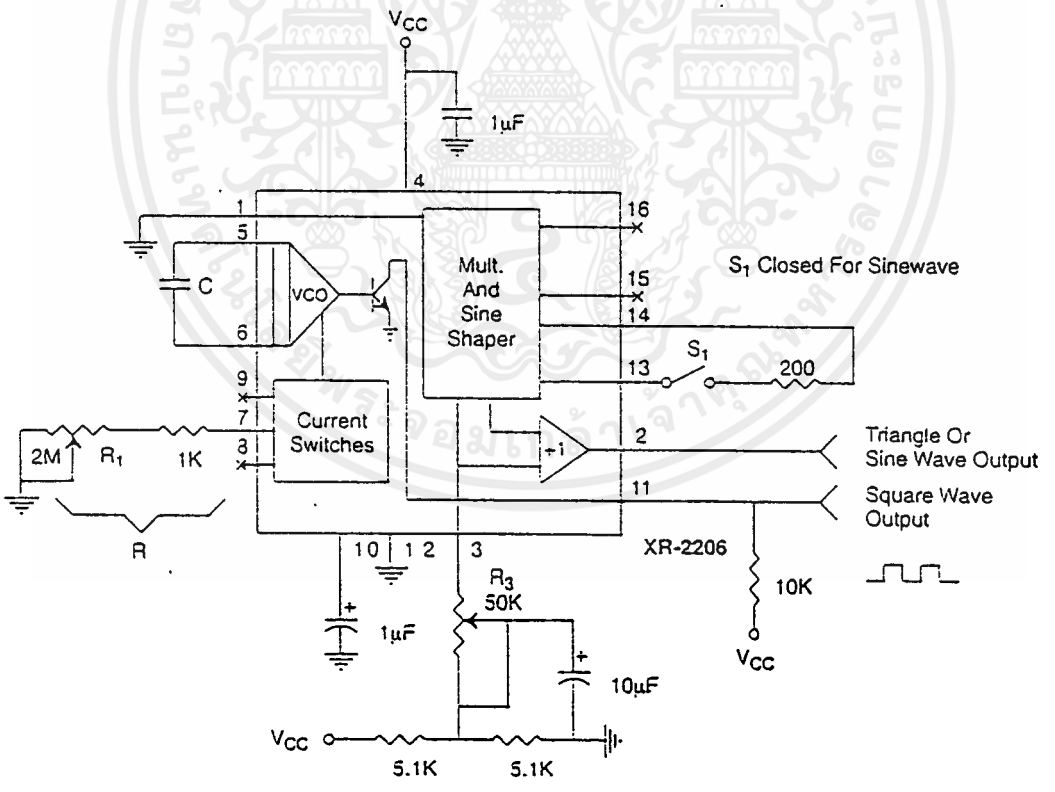


Figure 11. Circuit tor Sine Wave Generation without External Adjustment.
(See *Figure 3* for Choice of R_3)

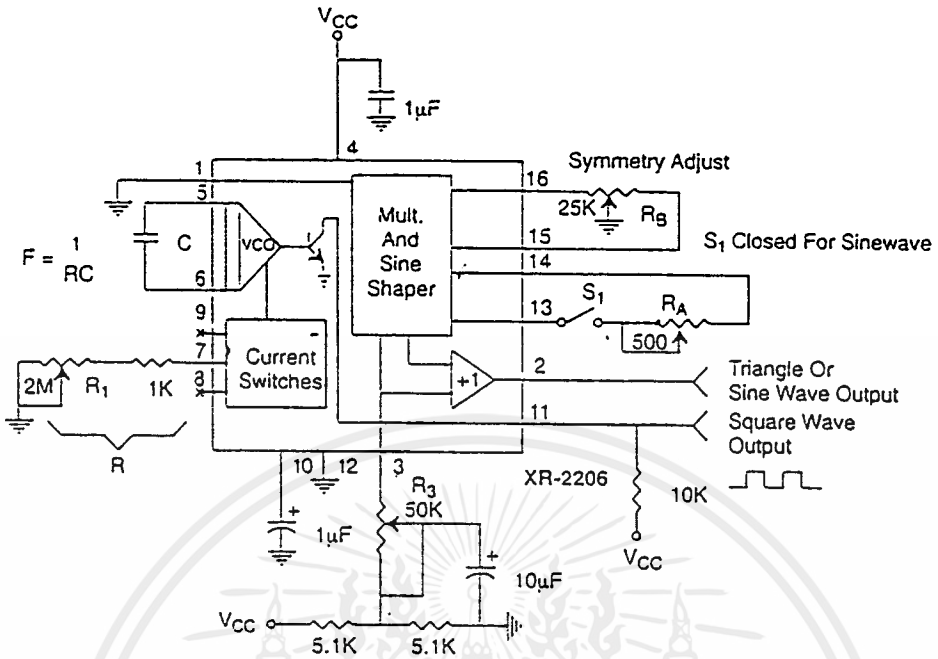


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

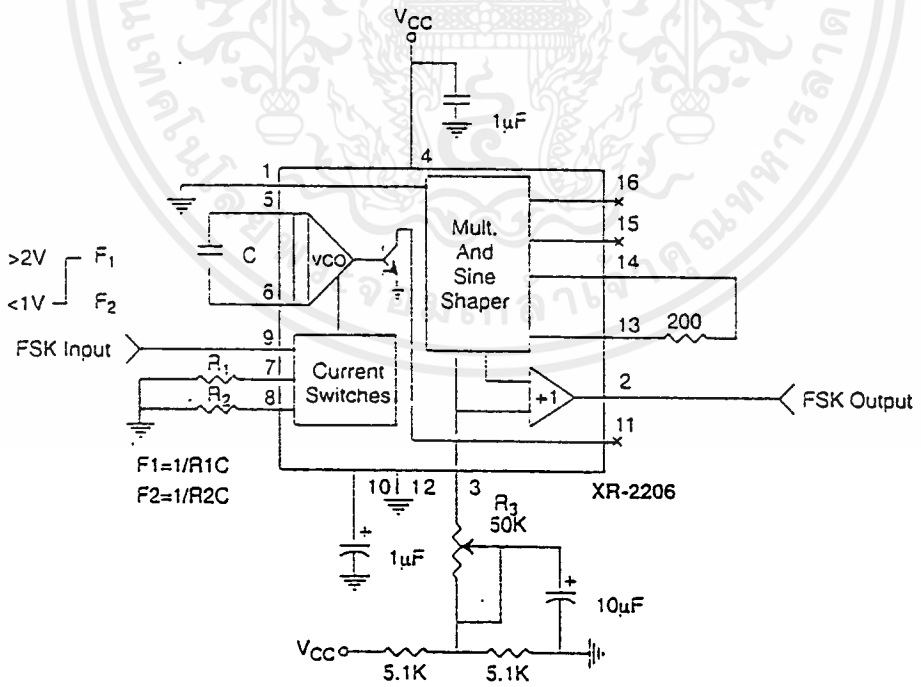
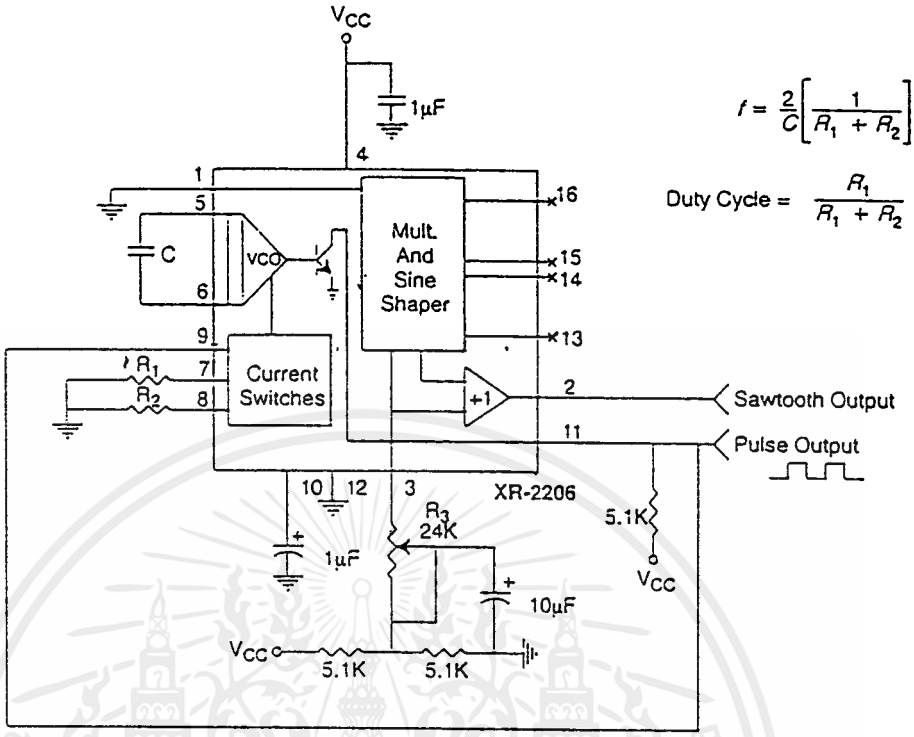


Figure 13. Sinusoidal FSK Generator



$$f = \frac{2}{C}\left[\frac{1}{R_1 + R_2}\right]$$

$$\text{Duty Cycle} = \frac{R_1}{R_1 + R_2}$$

Figure 14. Circuit for Pulse and Ramp Generation.

equency-Shift Keying

e XR-2206 can be operated with two separate timing istors, R_1 and R_2, connected to the timing Pin 7 and 8, pectively, as shown in *Figure 13*. Depending on the arity of the logic signal at Pin 9, either one or the other these timing resistors is activated. If Pin 9 is en-circuited or connected to a bias voltage $\geq$ 2V, only is activated. Similarly, if the voltage level at Pin 9 is V, only R_2 is activated. Thus, the output frequency can keyed between two levels. f_1 and f_2, as:

$= 1/R_1C$ and $f_2 = 1/R_2C$

split-supply operation, the keying voltage at Pin 9 is erenced to V⁻.

tput DC Level Control

e dc level at the output (Pin 2) is approximately the me as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *ure 13*, Pin 3 is biased midway between V+ and ound, to give an output dc level of $\approx$ V⁺/2.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than V⁺/2, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V⁻. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ~0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V⁻.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_c}\left(1 - \frac{V_c}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_c = -\frac{0.32}{R_c C}\ \ Hz/V$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3mA.

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC}.

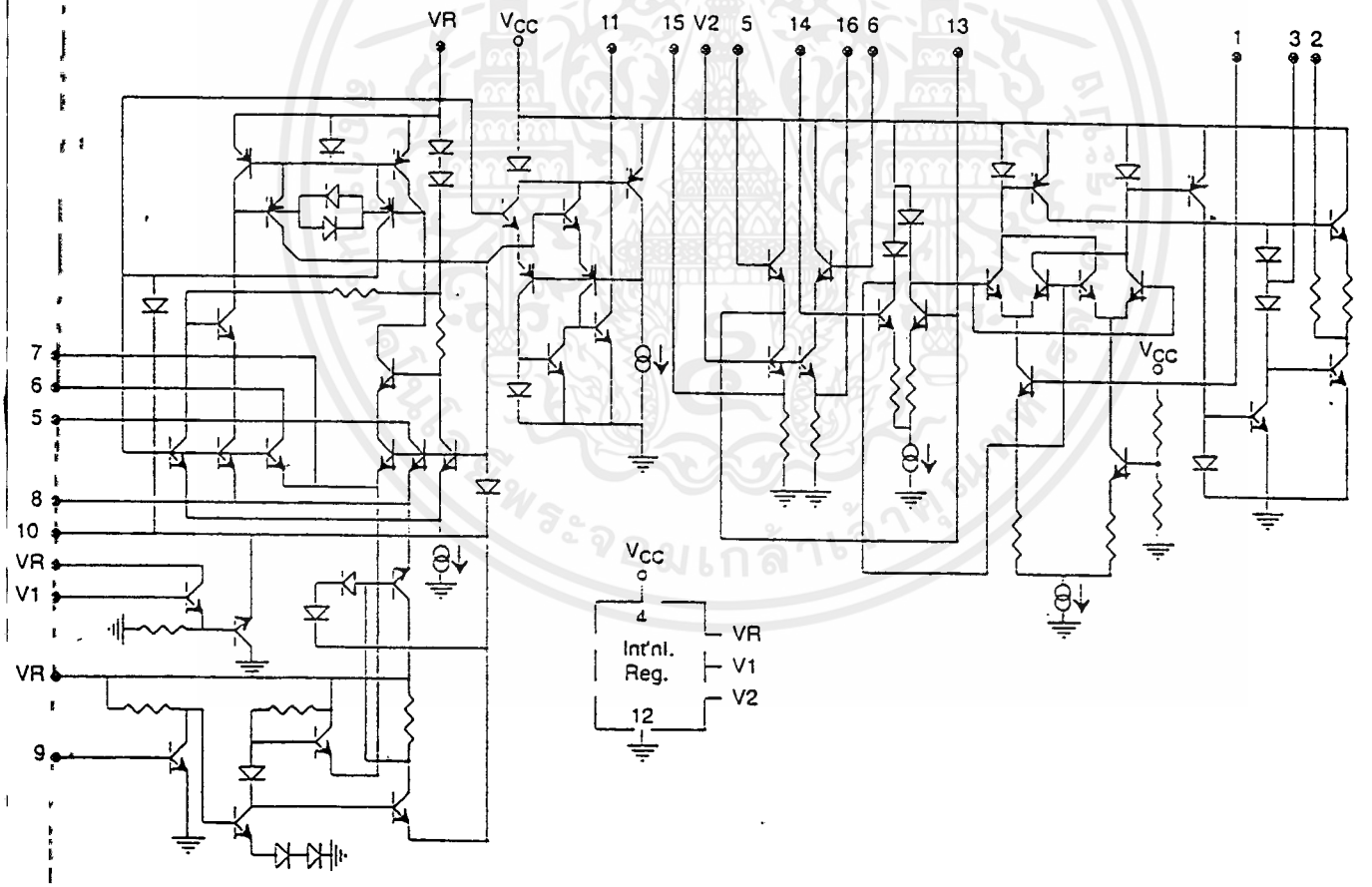


Figure 15. Equivalent Schematic Diagram

XR-2211

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

BLOCK DIAGRAM

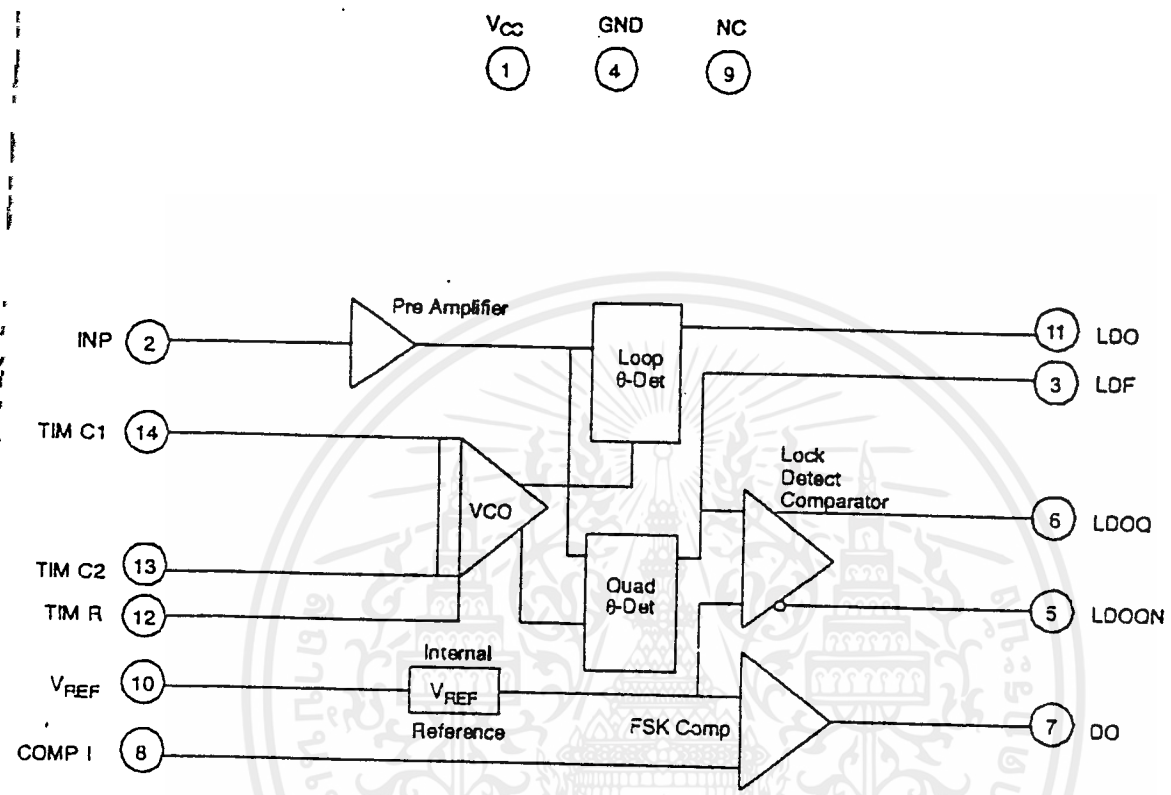
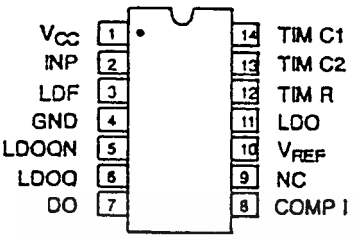
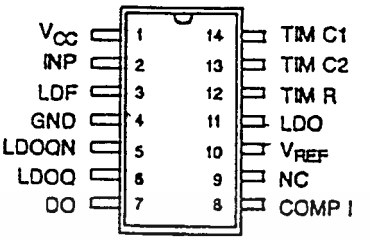


Figura 1. XR-2211 Block Diagram

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		**Positive Power Supply.**
2	INP	I	**Receive Analog Input.**
3	LDF	O	**Lock Detect Filter.**
4	GND		**Ground Pin.**
5	LDOQN	O	**Lock Detect Output Not.** This output will be low if the VCO is in the capture range.
6	LDOQ	O	**Lock Detect Output.** This output will be high if the VCO is in the capture range.
7	DO	O	**Data Output.** Decoded FSK output.
8	COMP I	I	**FSK Comparator Input.**
9	NC		**Not Connected.**
10	V_{REF}	O	**Internal Voltage Reference.** The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	**Loop Detect Output.** This output provides the result of the quadrature phase detection.
12	TIM R	I	**Timing Resistor Input.** This pin connects to the timing resistor of the VCO.
13	TIM C2	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13.

ELECTRICAL CHARACTERISTICS

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	4.5		20	V	
Supply Current		4	7	mA	$R_O \geq$ 10KΩ. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±1	±3	%	Deviation from $f_O = 1/R_O C_O$
Frequency Stability					
Temperature		±20	±50	ppm/°C	See *Figure 8.*
Power Supply		0.05	0.5	%/V	V_{CC} = 12 ±1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5V. See *Figure 7.*
Upper Frequency Limit	100	300		kHz	R_O = 8.2KΩ, C_O = 400pF
Lowest Practical Operating Frequency			0.01	Hz	R_O = 2MΩ, C_O = 50μF
Timing Resistor, R_O - See *Figure 5*					
Operating Range	5		2000	KΩ	
Recommended Range	5			KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	±150	±200	±300	μA	Measured at Pin 11
Output Offset Current		1		μA	
Output Impedance		1		MΩ	
Maximum Swing	±4	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current	100	300		μA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes:

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033µF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	500	mV	I_C = 3mA
Output Leakage Current		0.01	10	µA	V_O = 20V
Internal Reference					
Voltage Level	4.9	5.3	5.7	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		µA	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Package Power Dissipation Ratings
CDIP 750mW
Derate Above T_A = 25°C ..... 8mW/°C
PDIP 800mW
Derate Above T_A = 25°C ..... 60mW/°C
SOIC 390mW
Derate Above T_A = 25°C ..... 5mW/°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are f_{IN}+ f_{VCO} (2 times f_{IN} when in lock) and f_{IN} - f_{VCO} (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R_D and C_D (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

Lock Detect Output, Q (Pin 6): The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V_{CC} for proper operation. At "low" state, it can sink up to 5mA of load current.

Lock Detect Complement, (Pin 5): The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V_{CC} for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R_F and C_F (see *Figure 3*.) The threshold voltage of the comparator is set by the internal reference voltage, V_{REF}, available at pin 10.

Reference Voltage, V_{REF} (Pin 10): This pin is internally biased at the reference voltage level, V_{REF}: $V_{REF}=V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to pin 11 (see *Figure 3*.) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V_{REF}. The peak to peak voltage swing available at the phase detector output is equal to $2 \times V_{REF}$.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_O, is:

$$f_O = \frac{1}{R_0 \cdot C_0} \; Hz$$

where C_0 is the timing capacitor across pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10KΩ to 100KΩ (see *Figure 9*.)

This terminal is a low impedance point, and is internally biased at a DC level equal to V_{REF}. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see *Figure 6*.) C_0 must be non-polar, and in the range of 200pF to 10μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at pin 12 (see *Figure 10*.)

VCO Free-Running Frequency, f_O: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting R_0, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f_O value is accurately referenced to the mark and space frequencies.

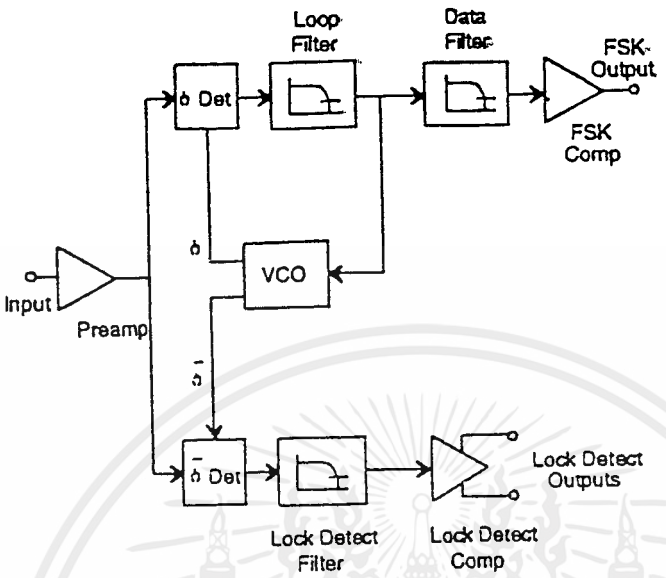


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

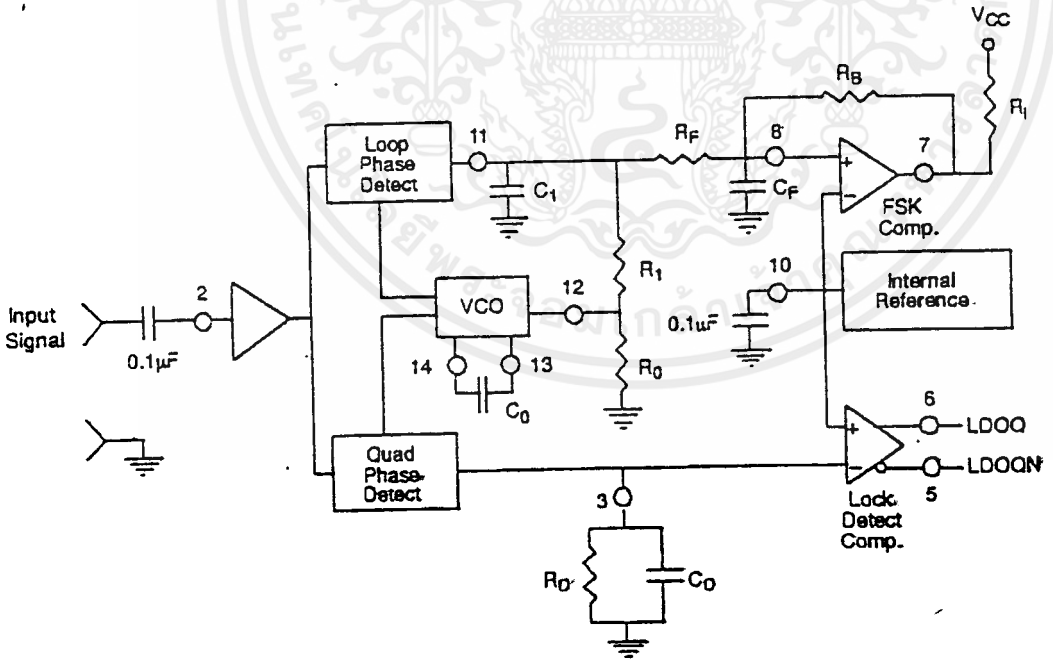


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, f_O:

$$f_O = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, V_{REF} (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if R_F is ∞ or C_F reactance is ∞, then $R_{PP} = R1$

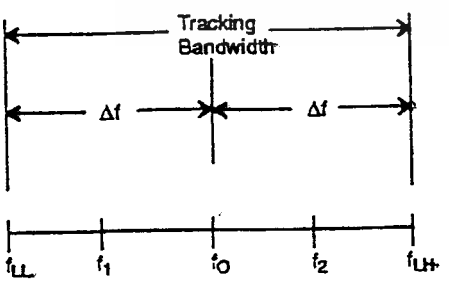
4. Loop Damping, ς:

$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



6. FSK Data filter time constant, tF:

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \text{ (seconds)}$$

7. Loop phase detector conversion gain, Kd: (Kd is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{volt}{radian}\right]$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

8. VCO conversion gain, Ko: (Ko is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_o = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{radian/second}{volt}\right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + SR_1 \cdot C_1} \text{ at 0 Hz.} \qquad S = j\omega \text{ and } \omega = 0$$

10. Total loop gain. K_T:

$$K_T = K_o K_d F(s) = \left(\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)}\right)\left[\frac{1}{seconds}\right]$$

11. Peak detector current I_A:

$$I_A = \frac{V_{REF}}{20,000} \quad (V_{REF} \text{ in volts and } I_A \text{ in amps})$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

APPLICATIONS INFORMATION

FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_O and f_1, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, f_O:

$$f_O = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor R_0, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

$$R_O = R_O + \frac{R_X}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*.

$$C_O = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN}\ minimum\ (peak) = V_a - V_b = \Delta V \pm 2.8mV\ offset = V_{REF}\frac{20,000}{(20,000 + R_x)}\ or\ R_x = 20,000\left(\frac{V_{REF}}{\Delta V} - 1\right)$$

V_{IN} minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

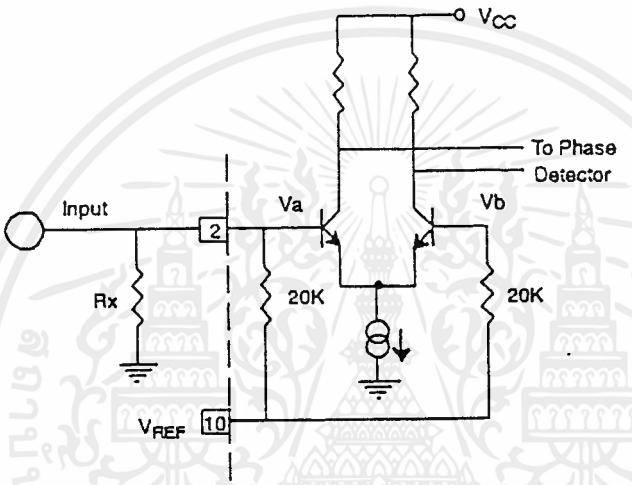


Figure 4. Desensitizing Input Stage

g) Calculate Data Filter Capacitance, C_F:

$$R_{sum} = \frac{(R_F + R_1)\cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum} \cdot Baud\ Rate)} \qquad Baud\ rate\ in\ \frac{1}{seconds}$$

Note: *All values except R_B can be rounded to nearest standard value.*

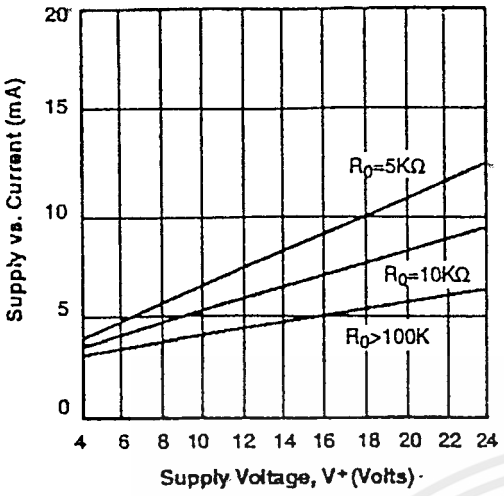


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

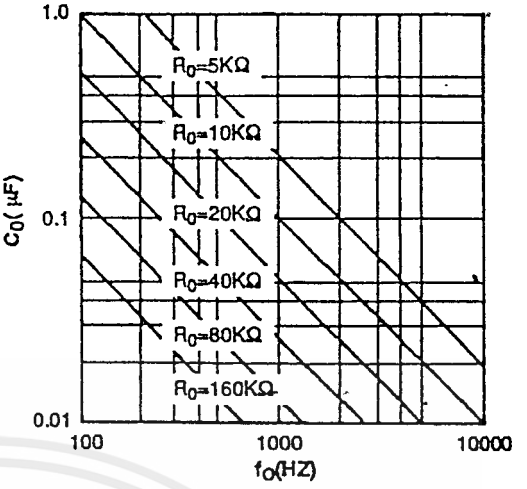


Figure 6. VCO Frequency vs. Timing Resistor

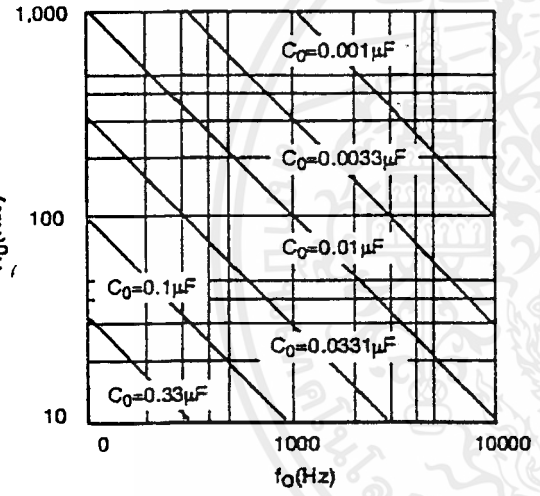


Figure 7. VCO Frequency vs. Timing Capacitor

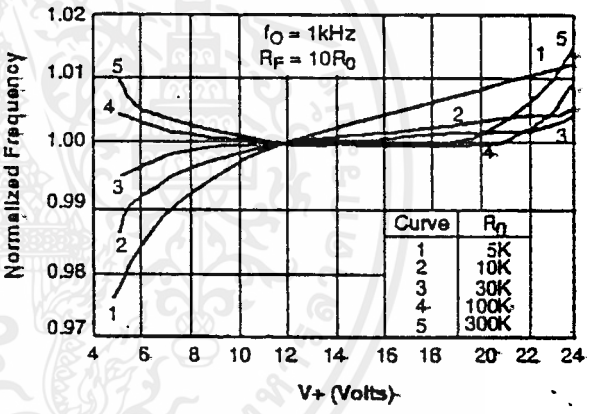


Figure 8. Typical f_O vs. Power Supply Characteristics

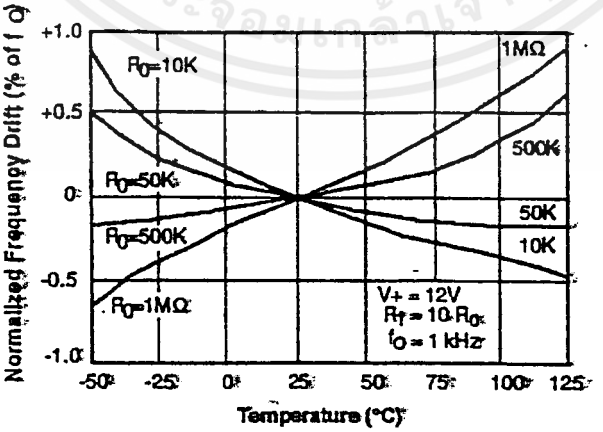


Figure 9. Typical Center Frequency Drift vs. Temperature

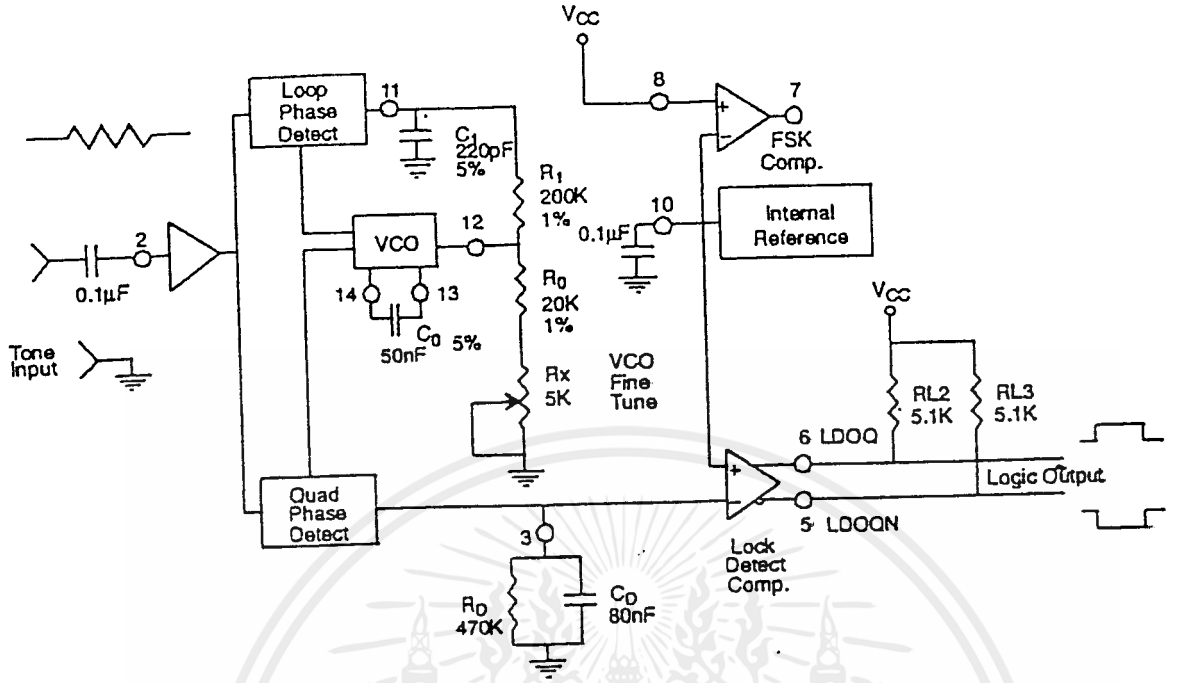


Figure 12. Circuit Connection for Tone Detection

FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in *Figure 11*. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

Note: *Data Output is "Low" When No Carrier is Present.*

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta fc$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta fc > \Delta f/2$. For $R_D = 470K\Omega$, the approximate minimum value of C_D can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F \text{ and } f \text{ in Hz.}$$

C in µF and f in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output. For Caller I.D. applications choose $C_D = 0.1\mu F$.

Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L2} and R_{L3}, as shown in *Figure 12*.

With reference to *Figure 3* and *Figure 12*, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor.

Design Instructions:

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:
(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 7* $f_S = f_O$:

$$C_O = \frac{1}{R_0 f_S}$$

c) Calculate R_1 to set the bandwidth ±Δf (See design equation 5):

$$R_1 = \frac{R_0 f_0 2}{\Delta f}$$

Note: *The total detection bandwidth covers the frequency range of* $f_O \pm \Delta f$

d) Calculate value of C_1 for a given loop damping factor:

Normally, $\zeta = 0.5$ is recommended:

$$C_1 = \frac{1250 \cdot C_0}{R_1 \zeta^2}$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D. To avoid chatter at the logic output, with R_0 = 470KΩ, C_D must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of ± 100Hz:

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is R_0 = 20 KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 6* $f_S = f_O$:

$$C_0 = \frac{1}{R_0 f_S} = \frac{1}{20{,}000 \cdot 1{,}000} = 50nF$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_O \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$

d) Calculate value of C_0 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with R_D = 470KΩ, C_D must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing C_D slows down the logic output response time.

f) Fine tune center frequency with 5KΩ potentiometer, R_X.

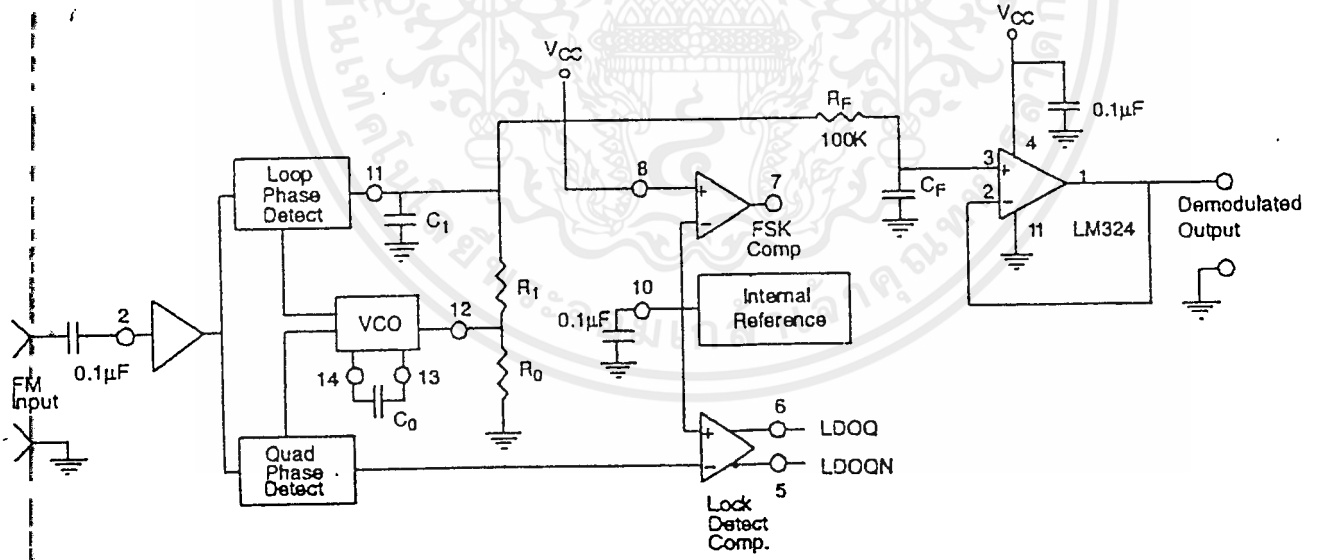


Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp. (See Section on Design Equation for Component Values.)

Linear FM Detection

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in *Figure 13*. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in *Figure 13*.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where VR is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see the section on design equations.

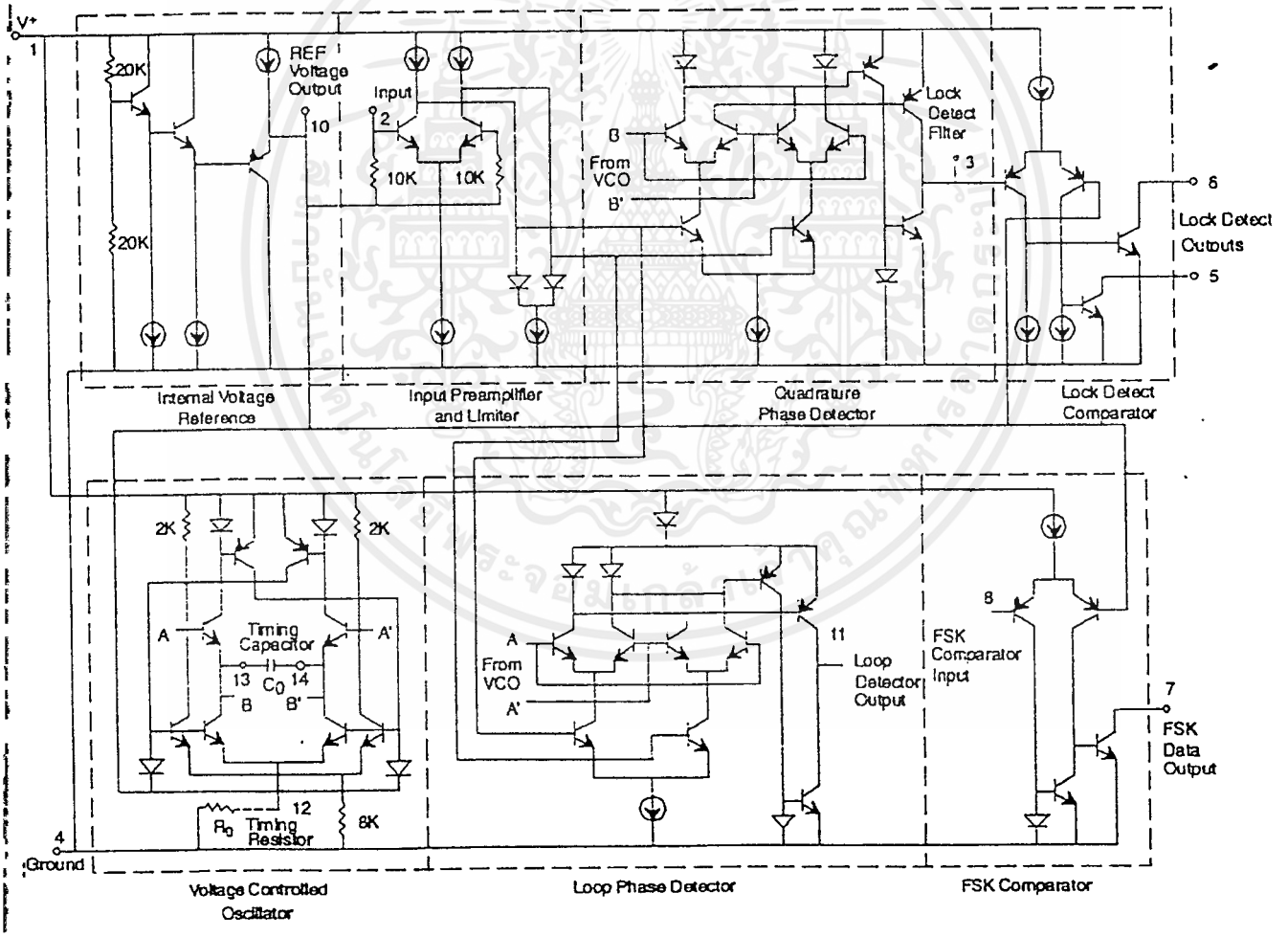


Figure 14. Equivalent Schematic Diagram