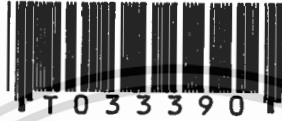


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

คุณสมบัติเมตาสเตเบิลและการประมาณค่าของวงจรถักสถิตินิคมอส

METASTABLE CHARACTERISTICS AND EVALUATION OF
CMOS STATIC LATCH CIRCUIT



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2542

ISBN 974-622-497-2

เลขหมู่.....
เลขทะเบียน..... 33390
วัน, เดือน, ปี - 2 ส.ค. 2542

สงวนลิขสิทธิ์... ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
เปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**METASTABLE CHARACTERISTICS AND EVALUATION OF
CMOS STATIC LATCH CIRCUIT**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1999

ISBN 974-622-497-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1999

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	คุณสมบัติเมตาสเตเบิลและการประมาณค่าของวงจรถลัทธ์ สเตติคชนิดซิมอส
นักศึกษา	นางสาวฐิตินาฏ ปิยาวรานนท์
รหัสประจำตัว	39061062
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

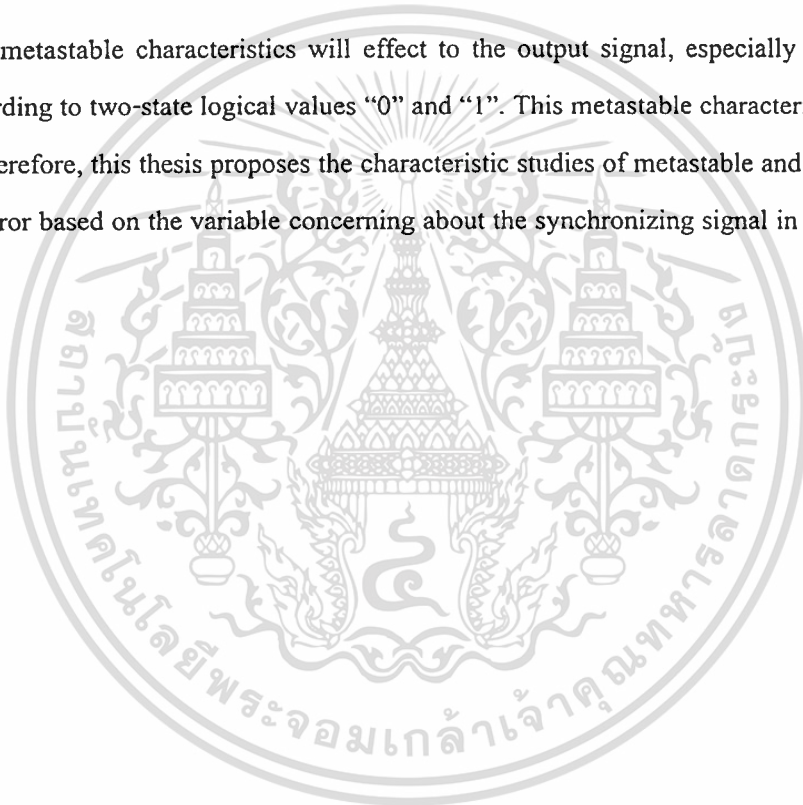
คุณสมบัติเมตาสเตเบิลที่เกิดขึ้น มีผลทำให้เกิดความผิดพลาดขึ้นกับสัญญาณขาออกได้ เนื่องจากอุปกรณ์ที่ใช้โดยทั่วไปนั้นมักเป็นอุปกรณ์แบบไบสเตเบิลคือมีค่าสถานะคงที่ 2 ค่า คือ 1 และ 0 ซึ่งในความเป็นจริงนั้นจะมีช่วงเมตาสเตเบิลซึ่งคือช่วงที่ไม่ทราบแน่ชัดว่าสัญญาณอยู่ในสถานะใด

วิทยานิพนธ์ฉบับนี้ ศึกษาคุณสมบัติเมตาสเตเบิลและแนวทางเพื่อลดค่าความผิดพลาดที่เกิดขึ้นในรูปของการหาค่าตัวแปรใด ๆ ที่เกี่ยวข้องกับการซิงโครไนส์สัญญาณดังกล่าว ที่เกี่ยวข้องกับวงจรถลัทธ์สเตติคชนิดซิมอสในวงจรรวม

Thesis Title	Metastable characteristics and evaluation of CMOS static latch circuit
Student	Thitinart Piyawaranont
Student ID.	39061062
Degree	Master of Engineering
Programme	Electrical Engineering
Year	1999
Thesis Advisor	Assoc.Prof.Dr.Kobchai Dejhan

ABSTRACT

The metastable characteristics will effect to the output signal, especially with bistable devices according to two-state logical values “0” and “1”. This metastable characteristic occurs at any time. Therefore, this thesis proposes the characteristic studies of metastable and carries out to reduce the error based on the variable concerning about the synchronizing signal in CMOS VLSI static latch.



กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้ด้วยดี เพราะได้รับคำแนะนำ และความอนุเคราะห์จากอาจารย์รองศาสตราจารย์ ดร.กอบชัย เดชหาญ ซึ่งได้ให้คำปรึกษาจนผู้วิจัยสามารถเขียนวิทยานิพนธ์ฉบับนี้สำเร็จได้ ขอกราบขอบพระคุณมา ณ ที่นี้

ขอขอบพระคุณคุณไพบูรณ์ ผู้ประภาย ที่คอยช่วยเหลือ ให้คำแนะนำและจัดการดูแลรายละเอียดเกี่ยวกับวิทยานิพนธ์ฉบับนี้

ขอขอบคุณบุพการี พี่ ๆ และเพื่อน ๆ ที่คอยให้กำลังใจสนับสนุนจนผู้วิจัยมาโดยตลอด

และขอขอบคุณบัณฑิตวิทยาลัยและภาควิชาวิศวกรรมโทรคมนาคมของสถาบันที่ได้เอื้ออำนวยความสะดวกเกี่ยวกับวิทยานิพนธ์ทุกขั้นตอน

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอบแต่ผู้มีพระคุณทุกท่าน และหวังว่าวิทยานิพนธ์นี้จะเป็นประโยชน์บ้าง ไม่น่าก็น้อยในการทำวิจัยและนำไปประยุกต์ใช้ประโยชน์ต่อไป

จิตินาฏ ปิยาวรานนท์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII
บทที่ 1 บทนำ.....	1
1.1 บทนำ.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 ขอบเขตของวิทยานิพนธ์.....	2
บทที่ 2 วงจรเลขชี้.....	3
2.1 บทนำ.....	3
2.2 วงจรอินเวอร์เตอร์ซิมอส.....	4
2.2.1 Noise Margin.....	8
2.3 สเตติกซิมอสเลขชี้.....	9
2.3.1 การทำงานของวงจรซิมอสสเตติกเลขชี้.....	22
บทที่ 3 การอปติไมเซชัน.....	14
3.1 บทนำ.....	14
3.2 พื้นที่.....	16
3.3 ความเร็วในการทำงาน.....	17
3.4 กำลังงานสูญเสีย.....	18
3.5 ความสัมพันธ์ระหว่างอปติไมซ์เฟลคเตอร์.....	19
3.6 การอปติไมเซชันวงจรสเตติกเลขชี้.....	21
3.6.1 การปรับปรุงแบบจำลองการอปติไมเซชัน.....	21
3.7 ขั้นตอนการอปติไมเซชัน.....	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 4 เมตาสเตเบิล.....	24
4.1 บทนำ.....	24
4.2 สภาวะเมตาสเตเบิล.....	24
4.2.1 สภาวะที่หลีกเลี่ยงไม่ได้.....	25
4.3 การพิจารณาการทำงานของแลตซ์ในช่วงเมตาสเตเบิล.....	26
บทที่ 5 ผลลัพธ์การเลียนแบบด้วยโปรแกรม Pspice.....	30
5.1 บทนำ.....	30
5.1.1 การทดสอบการทำงานของวงจรสแตติกแลตซ์.....	30
5.2 การทดสอบปัญหาเมตาสเตเบิล.....	45
บทที่ 6 บทสรุปและวิจารณ์.....	49
6.1 สรุปผลการทดสอบ.....	49
เอกสารอ้างอิง.....	50
ภาคผนวก.....	52
ภาคผนวก ก.....	53
ภาคผนวก ข.....	62
ภาคผนวก ค.....	64
ประวัติผู้เขียน.....	75

สารบัญตาราง

ตารางที่

หน้า

5.1 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level-2).....30



สารบัญภาพ

ภาพที่	หน้า
2.1 (ก) แสดงวงจรอินเวอร์เตอร์ซีมอส และ (ข) กราฟคุณสมบัติส่งผ่าน (Transfer characteristic)..4	
2.2 วงจรสมมูลการทำงานของท่านซิสเตอร์ในอินเวอร์เตอร์.....5	
2.3 (ก) สแตติกแลทซ์ที่ต่ออินเวอร์เตอร์แบบ Cross- Coupled แบบเต็มส่วน (ข) สแตติกแลทซ์ครึ่งส่วนและค่าความจุที่เกี่ยวข้อง.....9	
2.4 (ก) Cross-Couple Inverter (ข) แสดงกราฟ transfer characteristic ของวงจรแลทซ์.....10	
2.5 Cross - Coupled Inverters (ก) แบบจำลองทางไฟฟ้า (ข) แบบจำลองในระบบควบคุม.....11	
2.6 การส่งผ่านสัญญาณภายในรูปปิด.....13	
3.1 ความสัมพันธ์ระหว่างออปติไมซ์แฟคเตอร์.....14	
3.2 การวัดกำลังงานสูญเสียทางอ้อม.....19	
4.1 การลู่เข้าสถานะสุดท้ายของวงจรแลทซ์.....27	
4.2 การเปลี่ยนสถานะและการลู่เข้าสถานะสุดท้ายของแลทซ์เมื่อ setup time เปลี่ยนไป.....28	
5.1 แสดงวงจรที่ใช้ทดสอบ.....30	
5.2 แสดงการทำงานของวงจรสแตติกแลทซ์ซีมอส ที่ $C_L = 1 \text{ pF}$31	
5.3 ค่า Delay time เมื่อเพิ่มค่า C_L ที่ค่า W_{p1} ต่าง ๆ เมื่อ $L_{p1} = 0.8 \text{ }\mu\text{m}$31	
5.4 ค่า Power Dissipation เมื่อเพิ่มค่า C_L ที่ค่า W_{p1} ต่าง ๆ เมื่อ $L_{p1} = 0.8 \text{ }\mu\text{m}$32	
5.5 ค่า Delay time เมื่อเพิ่มค่า C_L และ W_{p1} เมื่อ $L_{p1} = 0.8 \text{ }\mu\text{m}$33	
5.6 ค่า Power Dissipation เมื่อเพิ่มค่า C_L และ W_{p1} เมื่อ $L_{p1} = 0.8 \text{ }\mu\text{m}$34	
5.7 ค่า Delay time เมื่อเพิ่มค่า C_L ที่ค่า L_{p1} ต่าง ๆ เมื่อ $W_{p1} = 4 \text{ }\mu\text{m}$35	
5.8 ค่า Power Dissipation เมื่อเพิ่มค่า C_L ที่ค่าของ L_{p1} ต่าง ๆ เมื่อ $W_{p1} = 4 \text{ }\mu\text{m}$36	
5.9 ค่า Delay time เมื่อเพิ่มค่า C_L และ L_{p1} เมื่อ $W_{p1} = 4 \text{ }\mu\text{m}$37	
5.10 ค่า Power Dissipation เมื่อเพิ่มค่า C_L และ L_{p1} เมื่อ $W_{p1} = 4 \text{ }\mu\text{m}$38	
5.11 ค่า Delay time เมื่อเพิ่มค่า W_{p1} และ L_{p2} เมื่อ $C_L = 1\text{pF}$39	
5.12 ค่า Power Dissipation เมื่อเพิ่มค่า W_{p1} และ L_{p2} เมื่อ $C_L = 1\text{pF}$40	
5.13 ค่า Delay Time เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ต่าง ๆ เมื่อ $C_L = 1 \text{ pF}$41	
5.14 ค่า Power Dissipation เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ค่าต่าง ๆ เมื่อ $C_L = 1 \text{ pF}$42	
5.15 ค่า Delay Time เมื่อเพิ่มค่า L_{p1} และ W_{p1} เมื่อ $C_L = 1 \text{ pF}$43	
5.16 ค่า Power Dissipation เมื่อเพิ่มค่า L_{p1} และ W_{p1} เมื่อ $C_L = 1 \text{ pF}$44	
5.17 แสดงค่า γ ต่อ C_L ที่ W_{p1} ค่าต่าง ๆ.....45	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
5.18 แสดงค่า γ เมื่อเพิ่มค่า W_{p1} และ L_{p2} เมื่อ $C_L = 1\text{pF}$	46
5.19 แสดงค่า γ โดยเปลี่ยน W_{p1} ที่ $L_{p2} = 0.8, 1.0, 1.2, 1.4, 1.6 \mu\text{m}$ และ $C_L = 1 \text{ pF}$	47
5.20 แสดงค่า γ โดยเปลี่ยน W_{p1} ที่ $C_L = 0.1-1.0 \text{ pF}$ และ $L_{p1} = 0.8 \mu\text{m}$	48



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 กล่าวนำ

เนื่องจากส่วนประกอบหนึ่งที่มีขาดไม่ได้ในวงจรลอจิกทุก ๆ วงจร คือ รีจิสเตอร์ (register) โดยที่รีจิสเตอร์เป็นหน่วยความจำที่มีความเร็วสูงมีหน้าที่รักษาค่าสัญญาณข้อมูลให้คงอยู่ในช่วงเวลาหนึ่ง ๆ และส่วนประกอบโดยพื้นฐานที่มีอยู่ภายในรีจิสเตอร์ ก็คือแลตช์ (Latch) นั่นเอง ถ้าพิจารณาจากการทำงานของแลตช์และส่วนประกอบภายในของแลตช์นั้นสามารถแบ่งได้เป็น 2 ชนิด คือ สแตติกแลตช์ และไดนามิกแลตช์ ซึ่งจะกล่าวถึงความแตกต่างในรายละเอียดต่อไปนั้น แต่ในส่วน of วิทยานิพนธ์นี้ได้นำเสนอเฉพาะแลตช์ชนิดที่เป็นสแตติกที่สร้างขึ้นมาจากเทคโนโลยี 0.8 μm ของซีมอสว่ามีการทำงาน และมีคุณสมบัติอย่างไรจึงจะทำให้การเก็บรักษาข้อมูลเข้าเพื่อให้ได้ค่าข้อมูลขาออกที่มีค่าถูกต้องและมีประสิทธิภาพได้ และสาเหตุที่ทำให้การทำงานของวงจรรแลตช์เกิดความผิดพลาดคือปัญหาเมตาสเตเบิลลิตี (Metastability) ซึ่งการทำงานในสภาวะนี้สัญญาณเอาต์พุตที่ได้จะไม่สามารถที่จะบอกว่าจะมีสัญญาณเป็น 0 หรือ 1 ปัญหานี้ได้มีการเสนอทฤษฎีต่าง ๆ และการวัดค่า เพื่อให้เข้าใจถึงปรากฏการณ์ที่เกิดขึ้น [1-6] และพิจารณาถึงตัวแปรในวงจรโดยใช้ small signal model [7-9] นอกจากนี้ยังศึกษาคุณสมบัติทางด้าน mismatch [11-12, 15-18] เพื่อทำนายการเกิดสภาวะเมตาสเตเบิลลิตีในสภาวะสุดท้ายและศึกษาปรากฏการณ์อื่น ๆ เช่น Miller effect ของอินพุต คาปาซิแตนซ์ [12] รวมถึงความต้านทานลบ พิจารณาการออปติไมซ์ซึ่งหลายบทความได้ทำมาก่อนหน้านี้ โดยในบทความนี้จะทำการกล่าวถึงวิธีการออปติไมซ์โดยการเปลี่ยนค่า W/L เพื่อหาค่าที่เหมาะสมที่สุดเพื่อให้ห่างจากโอกาสในการเกิดสภาวะเมตาสเตเบิลลิตี ในการออกแบบจะกระทบกับผังวงจรมีที่น้อยที่สุด [13] นอกจากนี้พิจารณาถึงความเร็วในการทำงานและกำลังงานที่สูญเสีย

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

ในวิทยานิพนธ์นี้จะพิจารณาเลือกใช้วงจรรแลตช์ชนิดสแตติกนั้น เนื่องจากว่าแลตช์ชนิดนี้สามารถรักษาค่าสัญญาณไว้ได้ขณะที่วงจรไม่ต้องมีค่าไฟเลี้ยงไหลผ่านวงจรอยู่โดยตลอด ซึ่งเป็นข้อดีกว่า วงจรรแลตช์ชนิดไดนามิกและมีข้อดีเพิ่มมากขึ้นเมื่อใช้วงจรรที่ได้ออกแบบให้สร้างขึ้นโดยใช้เทคโนโลยีซีมอส ซึ่งทำให้ได้วงจรมีขนาดเล็กยิ่งขึ้น โดยวิทยานิพนธ์นี้ได้นำเสนอรายละเอียดตามวัตถุประสงค์ที่ได้กำหนดไว้ดังนี้

1. ศึกษาค้นคว้าในเรื่องของเทคโนโลยีซีมอสและการนำมาใช้ในการสร้างวงจรรแลตช์ต่างๆ

2. ศึกษาคุณสมบัติของสถานะเมตาสเตเบิลที่เกิดขึ้นในวงจรแลตซ์ชนิดสเตติก ที่มีโครงสร้างของการป้อนกลับสัญญาณซึ่งอยู่ในส่วนของการคงค่าข้อมูลที่รักษาค่าของขาเข้าให้คงอยู่จนกระทั่งมีสัญญาณอีกค่าหนึ่งมากระตุ้นให้เกิดการเปลี่ยนค่าไป

3. ใช้สมการทางด้านคณิตศาสตร์มาสนับสนุนเพื่อหารายละเอียดในส่วนต่าง ๆ ของวงจรสเตติกแลตซ์ที่สร้างขึ้นจากเทคโนโลยีซีมอส เพื่อหลีกเลี่ยงปัญหาความผิดพลาดที่เกิดจากสถานะเมตาสเตเบิลเพื่อให้ได้วงจรที่มีประสิทธิภาพมากที่สุด

1.3 ขอบเขตของวิทยานิพนธ์

วัตถุประสงค์ของวิทยานิพนธ์ฉบับนี้ คือ เพื่อศึกษาโครงสร้างพื้นฐาน, หลักการทำงานของวงจรซีมอสสเตติกแลตซ์ และการเกิดเกิดสภาวะเมตาสเตเบิลขึ้นในวงจร โดยศึกษาเทียบกับผลลัพธ์การเลียนแบบด้วยโปรแกรม

รายละเอียดของเนื้อหาในวิทยานิพนธ์ แบ่งเป็นบทตามลำดับดังนี้

1. บทนำ
2. วงจรแลตซ์ กล่าวถึงโครงสร้าง การทำงานของอินเวอร์เตอร์ และ โครงสร้างรวมถึงการทำงานของซีมอสสเตติกแลตซ์ ที่มีอินเวอร์เตอร์ป้อนกลับด้วย
3. การออปติไมเซชัน กล่าวถึงการออกแบบวงจรให้มีประสิทธิภาพดี พิจารณาทั้งเรื่องพื้นที่ความเร็วในการทำงาน และ กำลังงานที่สูญเสีย ซึ่งต้องพิจารณาให้อยู่ในจุดที่สมดุลกันทั้ง 3 ด้าน และยังคงกล่าวถึงการออปติไมซ์วงจรสเตติกแลตซ์อีกด้วย
4. เมตาสเตเบิล กล่าวถึงสภาวะเมตาสเตเบิลที่เกิดขึ้นในวงจรแลตซ์
5. ผลลัพธ์การเลียนแบบด้วยโปรแกรม Pspice เป็นผลที่ได้จากการเลือกที่จะแปรค่าตัวแปรใดตัวแปรหนึ่ง ที่เป็นองค์ประกอบของวงจร เพื่อที่จะดูพฤติกรรมที่จะเกิดขึ้นของวงจร และหาจุดที่เหมาะสมที่สุดที่จะไม่เกิดสภาวะเมตาสเตเบิล และวงจรทำงานได้อย่างมีประสิทธิภาพมากที่สุด
6. สรุปผลจากการเลียนแบบด้วยโปรแกรม Pspice

บทที่ 2

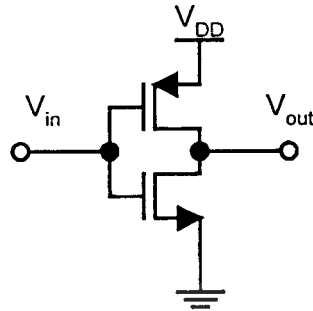
วงจรถ่าย

2.1 บทนำ

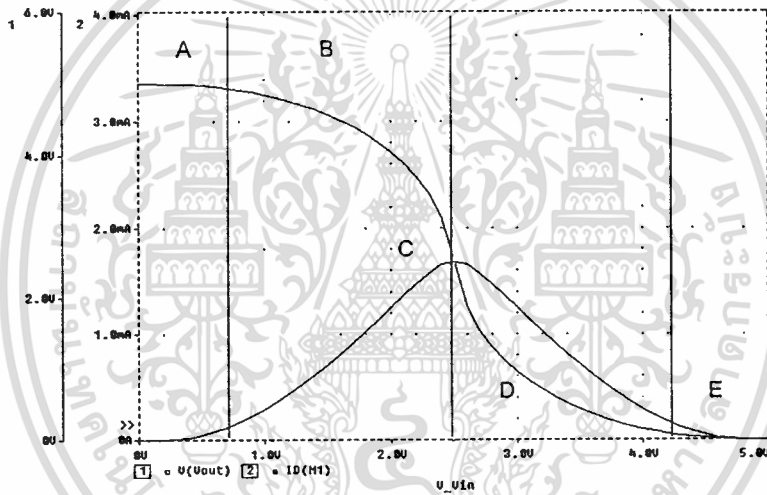
ในการออกแบบวงจรรวมที่มีซึ่งประกอบด้วยส่วนของวงจรมอดูลและสัญญาณมากมายทั้ง อินพุตเอาต์พุต การจัดการสัญญาณนาฬิกาเพื่อให้ทุกส่วนสามารถทำงานร่วมกันอย่างมีจังหวะอย่าง ถูกต้อง โดยเฉพาะวงจรมีโครงสร้างแบบท่อส่งข้อมูล หรือการประมวลผลแบบขนาน และยังช่วย ให้ระบบขึ้นตอนตามเวลา (Finite state machine :FSM) ซึ่งต้องมีการเก็บและประมวลข้อมูล ใน ลักษณะของ Current state, Next state, สัญญาณอินพุตและเอาต์พุต ให้ทำงานอย่างถูกต้องตามที่ กำหนดหรือออกแบบไว้ โดยปกติ เทคนิคการจัดการสัญญาณนาฬิกา (Clocking strategy) สามารถ แบ่งออกเป็น ระบบสัญญาณนาฬิกาเฟสเดียว สอง สาม และ สี่เฟส แต่ละระบบก็เหมาะสมสำหรับรูปแบบวงจรถ่าง ๆ แม้ว่าการออกแบบระบบสัญญาณนาฬิกาเฟสเดียวจะมีข้อยุ่งยาก แต่เนื่องจากใช้ สัญญาณนาฬิกาเพียงเฟสเดียวทำให้ไม่เกิดปัญหาในการเดินสายสัญญาณนาฬิกา และลดปัญหา clock skew และ transparency ของสัญญาณ ทำให้สามารถเพิ่มความถี่ของสัญญาณนาฬิกาให้สูงขึ้น ได้ ทั้งหมดนี้ทำให้ระบบสัญญาณนาฬิกาเฟสเดียวมีความเร็วในการประมวลสัญญาณสูงและนิยม ใช้ในวงจรรวม VLSI ในส่วนวงจรมีต้องการความเร็วสูงอีกด้วย

นอกจากสัญญาณนาฬิกา อุปกรณ์เก็บค่าประเภทต่าง ๆ เช่น Latch, register หรือ Edge-triggered D-flip-flop (ETDFF) ก็เป็นสิ่งจำเป็นในการจัดการสัญญาณต่าง ๆ ให้สอดคล้องกับสัญญาณ นาฬิกา ด้วยเหตุนี้ วงจรที่ทำหน้าที่เก็บค่านี้จึงปรากฏในทุกส่วนของวงจรมีสัญญาณนาฬิกา ดังนั้น ในการทดสอบแนวความคิดในการออกแบบไมซ์ด้วยเทคนิคที่นำเสนอ วงจรสเตติกแลทซ์จึงถูก เลือกมาใช้ในการทดสอบ เหตุผลอีกประการหนึ่ง นอกเหนือจากเป็นวงจรมีพบมากในส่วนต่าง ๆ ของวงจรรวม คือ วงจรสเตติกแลทซ์มักมีขนาดใหญ่และกินกำลังมาก ดังนั้นผลการทดสอบจึง พิสูจน์แนวความคิดที่นำเสนอได้เป็นอย่างดี

2.2 วงจรอินเวอร์เตอร์ซีมอส



(ก)



(ข)

รูป 2.1 (ก) รูปแสดงวงจรอินเวอร์เตอร์ซีมอส

(ข) กราฟคุณสมบัติส่งผ่าน (Transfer characteristic)

กราฟรูปที่ 2.1(ข) เป็นกราฟคุณสมบัติการส่งผ่านของอินเวอร์เตอร์ (Inverter transfer characteristic) โดยแสดงช่วงการทำงานของทรานซิสเตอร์ทั้งสองชนิด

วิเคราะห์จากการทำงานของทรานซิสเตอร์ สามารถแบ่งช่วงกราฟคุณสมบัติการส่งผ่านได้เป็นช่วง A, B, C, D และ E ซึ่งมีความหมายในแต่ละช่วง ดังนี้

1. ช่วง A สักดาขาเข้าเป็นบวกน้อย ๆ ($0 \leq V_{in} \leq V_{TN}$)

NMOS : คัทออฟ

PMOS : เชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากกระแสเป็นค่าเดียวกัน เพราะทรานซิสเตอร์ทั้งสองต่ออนุกรมกันอยู่ ทำให้กระแสเป็นศูนย์ โดยทรานซิสเตอร์ที่มีลักษณะคล้ายความต้านทานเพราะทำงานในช่วงลิเนียร์ ส่วนทรานซิสเตอร์อื่นเปิดวงจรอยู่ คักดาขาออกในกรณีนี้หาได้จากสมการ $V_{DSP} = V_{out} - V_{DD}$ แต่ $V_{DSP} = 0$

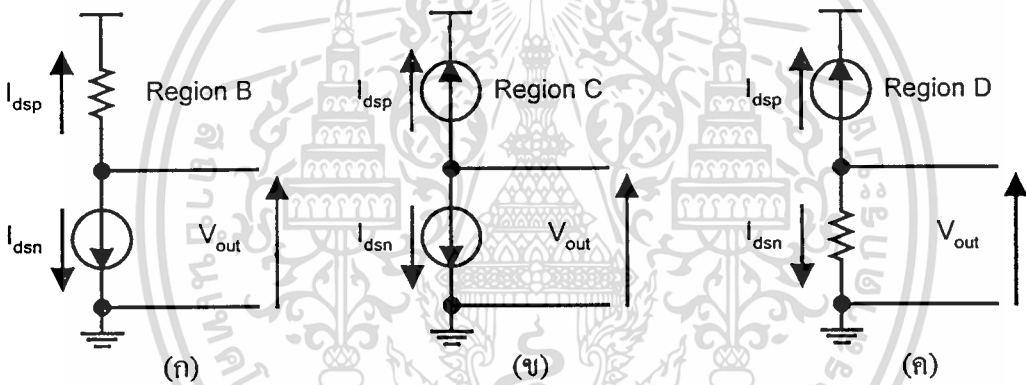
ดังนั้น $V_{out} = V_{DD}$

2. ช่วง B คักดาขาเข้ามีลักษณะดังนี้ ($V_{TN} \leq V_{in} \leq V_{DD}/2$)

NMOS : อิ่มตัว

PMOS : เชิงเส้น

สามารถแทนทรานซิสเตอร์อื่นด้วยแหล่งจ่ายกระแส และทรานซิสเตอร์พีด้วยความต้านทาน ดังวงจรสมมูลรูป 2.2 (ก)



รูป 2.2 วงจรสมมูลการทำงานของทรานซิสเตอร์ในอินเวอร์เตอร์

กระแสอิ่มตัว $I_{D_{SN}}$ ได้จากการให้ $V_{GS} = V_{in}$ ซึ่งมีสมการดังนี้

$$I_{SDN} = \beta_N \frac{(V_{in} - V_{TN})^2}{2} \tag{2.1}$$

เมื่อ $\beta_N = \frac{\mu_N \epsilon}{t_{ox}} \left(\frac{W_N}{L_N} \right)$

สำหรับทรานซิสเตอร์พีนั้น ซอสต่อกับ V_{DD} V_{GS} จึงมีค่าเป็น $V_{in} - V_{DD}$ ส่วน V_{DS} ก็เช่นกันมีค่าเป็น $V_{out} - V_{DD}$ คักดาทั้งสองนี้ที่เป็นลบกระแส I_{D_S} เขียนได้ดังนี้

$$I_{D_{SP}} = -\beta_P \left[(V_{in} - V_{DD} - V_{TP})(V_{out} - V_{DD}) - \frac{1}{2}(V_{out} - V_{DD})^2 \right] \tag{2.2}$$

$$\text{เมื่อ } \beta_p = \frac{\mu_p \epsilon}{t_{ox}} \left(\frac{W_p}{L_p} \right)$$

แทนค่า $I_{DSP} = -I_{DSN}$ เขียนสมการของ V_{out} จะได้

$$V_{out} = (V_{in} - V_{TP}) + \sqrt{(V_{in} - V_{TP})^2 - 2 \left(V_{in} - \frac{V_{DD}}{2} - V_{TP} \right) V_{DD} - \frac{\beta_N}{\beta_p} (V_{in} - V_{TN})^2} \quad (2.3)$$

3. ช่วง C ทรานซิสเตอร์ NMOS และ PMOS : อิมิต์ว ค้างวงจรสมมูลรูป 2.2 (ข)

เขียนสมการกระแสอิมิต์วได้ดังนี้

$$I_{DSP} = -\frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{TP})^2 \quad (2.4)$$

$$I_{DSN} = \frac{1}{2} \beta_N (V_{in} - V_{TN})^2 \quad (2.5)$$

เมื่อแทน $I_{DSP} = -I_{DSN}$ จะได้

$$V_{in} = \frac{V_{DD} + V_{TP} + V_{TN} \sqrt{\frac{\beta_N}{\beta_p}}}{1 + \sqrt{\frac{\beta_N}{\beta_p}}} \quad (2.6)$$

ถ้าให้ $\beta_N = \beta_p$ และ $V_{TN} = V_{TP}$ จะได้

$$V_{in} = \frac{V_{DD}}{2} \quad (2.7)$$

นั่นคือช่วง C จะเกิดที่ค่า V_{in} เฉพาะค่าเดียวโดย V_{out} หาได้จาก

$$\text{NMOS : } V_{in} - V_{out} < V_{TN} \rightarrow V_{out} > V_{in} - V_{TN}$$

$$\text{PMOS : } V_{in} - V_{out} > V_{TP} \rightarrow V_{out} < V_{in} - V_{TP}$$

$$\text{ดังนั้น } V_{in} - V_{TN} < V_{out} < V_{in} - V_{TP} \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $V_{in} = V_{DD}/2$ จะทำให้ V_{out} เปลี่ยนไปมาได้ในช่วงที่แสดงบนกราฟ อีกนัยหนึ่งอธิบายได้ว่า ทรานซิสเตอร์ทั้งสองมีลักษณะเป็นแหล่งจ่ายกระแสสองตัวต่ออนุกรมกัน และอยู่ในสถานะไม่เสถียร คักดาขาเข้าเพียงเล็กน้อยสามารถทำให้คักดาขาออกเปลี่ยนได้ในช่วงกว้าง อย่างไรก็ตามทรานซิสเตอร์ทั้งสองไม่ได้เป็นแหล่งจ่ายกระแสอุดมคติ ซึ่งในทางปฏิบัติ I_{DSS} ยังคงเปลี่ยนแปลงตาม V_{DS} บ้างเล็กน้อย เส้นกราฟในช่วง C จึงยังคงมีความชันที่หาค่าได้อยู่ (ไม่ใช่เส้นตั้งในแนวตั้ง) สมการของการทำงานในช่วง C นี้ใช้อธิบายค่าคักดาเริ่มของเกท (Gate threshold voltage หรือ V_{invt}) ซึ่งหมายถึงคักดาขาเข้าที่ทำให้ $V_{in} = V_{out}$ พอดี

4. ช่วง D PMOS : อิมิตัว

NMOS : เชิงเส้น

เกิดเมื่อ $V_{DD}/2 < V_{in} \leq V_{DD} - V_{TP}$

ดังวงจรสมมูลรูปที่ 2.2 (ค)

$$I_{DSP} = -\frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{TP})^2 \quad (2.9)$$

$$I_{DSN} = \beta_n \left[(V_{in} - V_{TN}) V_{out} - \frac{V_{out}^2}{2} \right] \quad (2.10)$$

เมื่อแทน $I_{DSP} = -I_{DSN}$ จะได้

$$V_{out} = (V_{in} - V_{TN}) - \sqrt{(V_{in} - V_{TN})^2 - \frac{\beta_p}{\beta_n} (V_{in} - V_{DD} - V_{TP})^2} \quad (2.11)$$

5. ช่วง E PMOS : คัทออฟ

NMOS : เชิงเส้น

เกิดเมื่อ $V_{in} \geq V_{DD} - V_{TP}$ ทรานซิสเตอร์พีคัทออฟ คือมี $I_{DSP} = 0$ ในกรณีนี้มี $V_{GSP} = V_{in} - V_{DD}$ และเป็นบวกมากกว่า V_{TP} ส่วนคักดาเข้าออก

$$V_{out} = 0 \quad (2.12)$$

จากกราฟคุณสมบัติการส่งผ่านเห็นได้ว่า กราฟช่วง C มีความชันมาก ซึ่งหมายถึงให้ค่าป้อน

กันการรบกวน (Noise immunity) มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 Noise Margin

เกทที่สามารถทนต่อสัญญาณรบกวนได้ดีนั้น หมายถึงถ้ามีสัญญาณรบกวนเข้ามาจะมีผลต่อสัญญาณ ทำให้สัญญาณนั้นมีค่าเบี่ยงเบนไปจากเดิม แต่ถ้ายังอยู่ในช่วง ๆ หนึ่งสัญญาณนั้นก็ยังคงรักษาสถานะนั้น ๆ ไว้ได้ ซึ่งช่วงหรือค่าความไวของเกทต่อสัญญาณรบกวนนั้น แสดงโดย Noise Margin ซึ่งมี 2 ชนิด คือ NM_L (noise margin low) และ NM_H (noise margin high) ที่แสดงสถานะ “0” และ “1” ตามลำดับ โดยที่

$$NM_H = V_{OH\min} - V_{IH\min} \quad (2.13)$$

$$NM_L = V_{IL\max} - V_{OL\max} \quad (2.14)$$

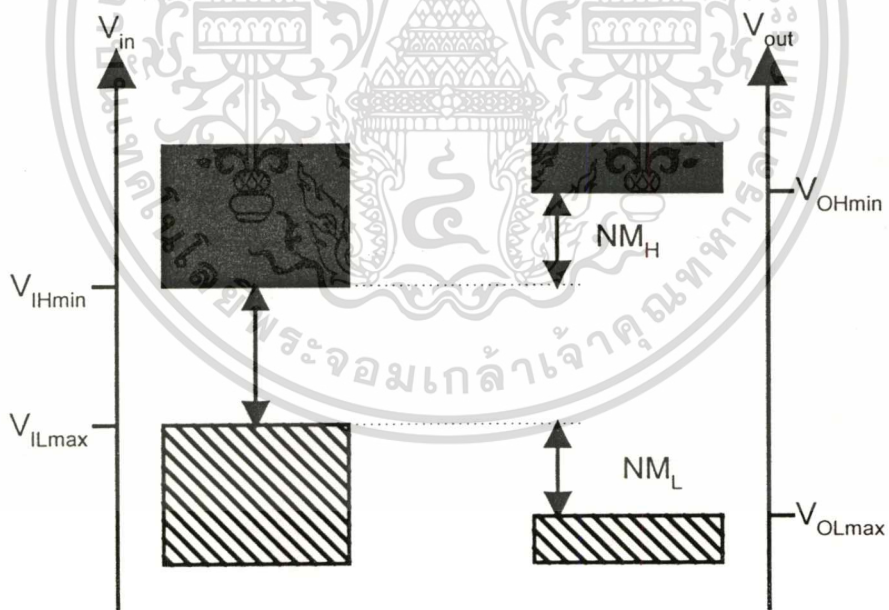
เมื่อ

$V_{OH\min}$ = minimum HIGH output voltage

$V_{OL\min}$ = minimum LOW output voltage

$V_{IH\max}$ = maximum HIGH output voltage

$V_{IL\max}$ = maximum LOW output voltage

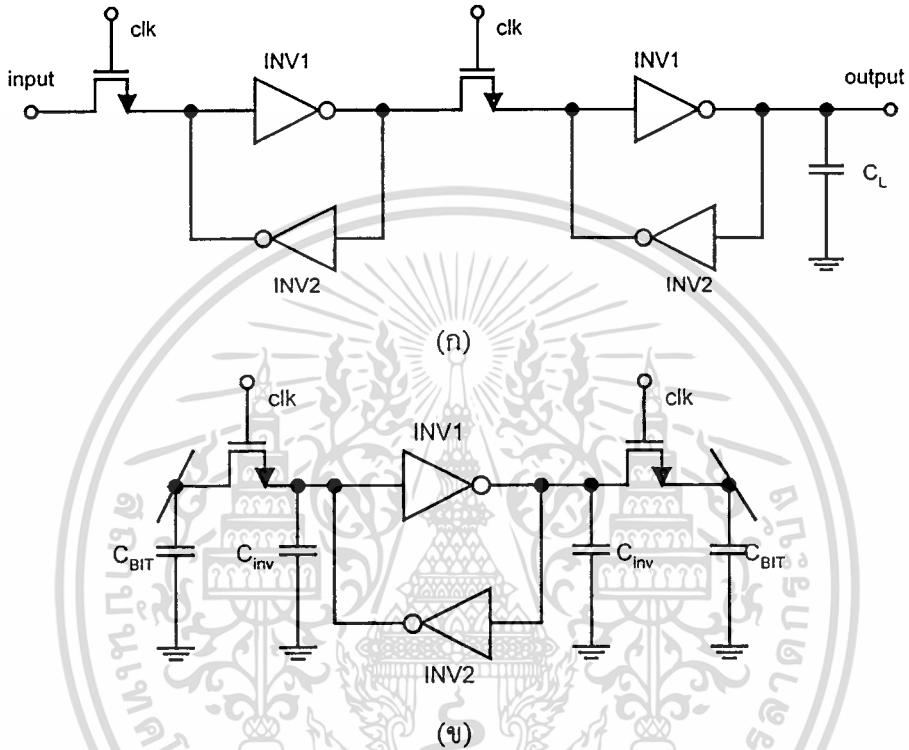


รูปที่ 2.3 แสดงค่า noise margins

ค่าทั้งสองนี้สามารถใช้พิจารณาการส่งผ่านและรับสัญญาณระหว่างอุปกรณ์ได้ด้วย ซึ่งแสดงได้ดังรูปที่ 2.3 จะเห็นว่าค่า NM_H และ NM_L จะต้องมีค่าเป็นบวกเสมอ และควรมีขนาดใหญ่ที่สุดเท่าที่จะเป็นไปได้

2.3 สแตติกซีมอสแลทช์ (Static CMOS Latch)

วงจรสแตติกแลทช์ถูกนำมาใช้มากในการออกแบบวงจรรวม VLSI โดยทำหน้าที่เก็บค่าระดับสัญญาณ และหน่วงเวลาในวงจรประมวลสัญญาณต่าง ๆ โครงสร้างของวงจรประกอบด้วยทรานซิสเตอร์ผ่านและซีมอสอินเวอร์เตอร์ซึ่งต่อกันอยู่แบบ Cross-Couple



รูปที่ 2.3

(ก) สแตติกแลทช์ที่ต่ออินเวอร์เตอร์แบบ Cross-Coupled แบบเต็มส่วน
(ข) สแตติกแลทช์ครึ่งส่วนและค่าความจุที่เกี่ยวข้อง

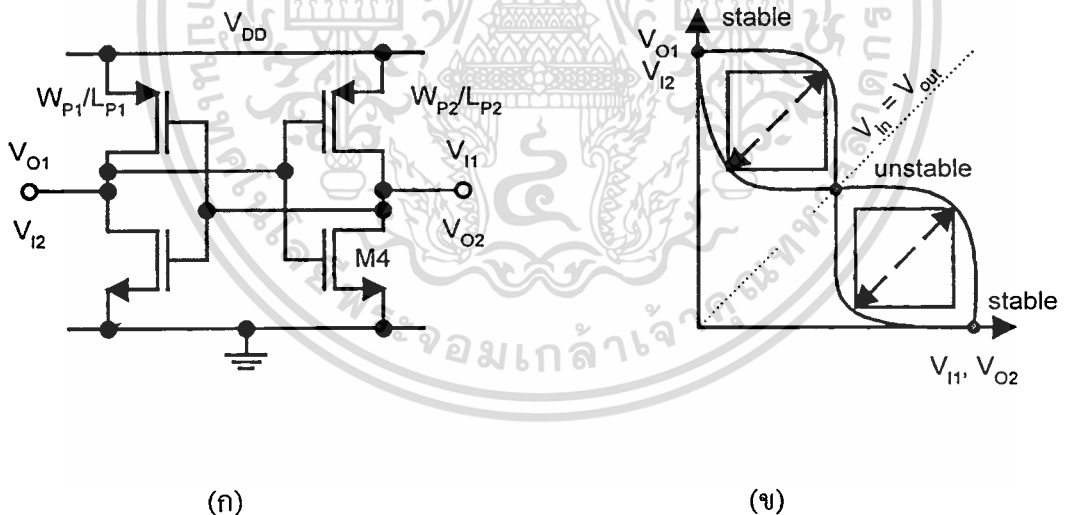
สำหรับวงจรหน่วยความจำหรือวงจรคงค่าระดับสัญญาณ จำเป็นต้องมีการนิยามค่าหน่วงเวลาเพิ่มเติม เพื่อใช้ในการอธิบายพฤติกรรมของวงจร จากรูปสัญญาณเอาต์พุตจะเปลี่ยนตามสัญญาณอินพุตเมื่อ clk มีค่าเป็น '1' สัญญาณอินพุตจะต้องคงที่ก่อนการเปลี่ยนค่าสัญญาณนาฬิกา ซึ่งเรียกว่า ช่วง setup time ซึ่งปกติจะมีค่าต่ำ นอกจากนี้ช่วงหน่วงเวลาระหว่างสัญญาณอินพุตจนถึงโหนดที่เก็บค่าสัญญาณและสามารถคงค่านั้นไว้ได้ เรียกว่า ช่วง Hold time ช่วงเวลานี้เป็นช่วงที่สัญญาณอินพุตต้องคงที่ หลังจากที่มีการเปลี่ยนสัญญาณนาฬิกา

วงจรในรูป 2.3(ข) แสดงวงจรสแตติกแลทช์ที่พิจารณาเพียงครึ่งส่วน อินเวอร์เตอร์ตัวล่างจะเป็น weak inverter ใช้ในการป้อนกลับสัญญาณ คุณสมบัติทางสแตติก ระดับสัญญาณที่จะมีค่าคงที่ ปรากฏที่สัญญาณรบกวนยังอยู่ในช่วงของ Signal noise margin ขนาดของอินเวอร์เตอร์ป้อนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับควรมีค่า W/L ต่ำ ทั้งเอ็นมอสและพีมอสทรานซิสเตอร์ เนื่องจากมีการป้อนกลับตลอดเวลา การเปลี่ยนสถานะ สัญญาณอินพุตจะต้องสามารถสามารถขับให้อินเวอร์เตอร์ตัวบนเปลี่ยนสถานะได้ โดยสามารถเอาชนะสัญญาณป้อนกลับ นอกจากนี้ อินเวอร์เตอร์ป้อนกลับจะต้องมีการออกแบบอย่างดี เพื่อให้มี fanout สูงสุด

2.3.1 การทำงานของวงจรซีมอสสแตติกแลตซ์

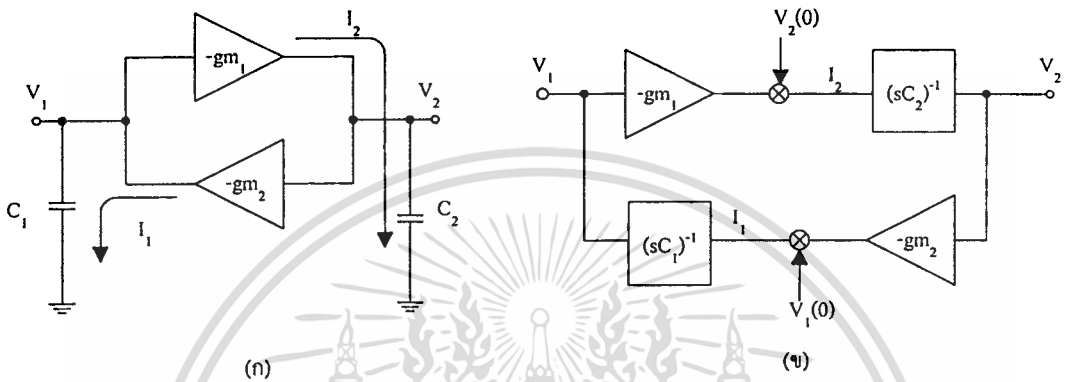
การทำงานของวงจรสแตติกแลตซ์ เริ่มจากทรานซิสเตอร์ผ่าน ซึ่งทำหน้าที่เป็นสวิทช์ผ่าน สัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย มักใช้เอ็นมอสทรานซิสเตอร์โดยจะนำกระแสเมื่อป้อน “1” เข้าที่ขาเกต ทรานซิสเตอร์ผ่านชนิดนี้ส่งผ่านสัญญาณลอจิก “0” ได้ดี แต่การส่งผ่านสัญญาณลอจิก “1” จะถูกลดทอนด้วยค่าแรงดันเทรชโฮลด์ (V_{TH}) เพื่อทำให้เกิดช่องทางเดินกระแสบริเวณขาออก เนื่องจากการเชื่อมต่อที่ปลายซอสและเดรนเป็นลักษณะสมมาตรสองทิศทาง ดังนั้นศักดาที่ปลายทั้งสองจึงขึ้นกับอิมพีแดนซ์ที่ปลายแต่ละข้าง โดยปกติมักกำหนดให้ด้านหนึ่งมีอิมพีแดนซ์สูง และด้านหนึ่งมีอิมพีแดนซ์ต่ำ เมื่อสัญญาณที่ขาเกตเป็น “1” ระดับสัญญาณที่ปลายซอสและเดรน จะเท่ากับศักดาที่ปลายด้านที่มีอิมพีแดนซ์ต่ำ



รูปที่ 2.4 (ก) Cross-Couple Inverter (ข) แสดงกราฟ transfer characteristic ของวงจรแลตซ์

เมื่อ $clk = 0$ โดยพิจารณาว่า สัญญาณนาฬิกาทำให้ทรานซิสเตอร์ซึ่งทำหน้าที่เป็นสวิทช์เกิดการนำกระแสเต็มที่ ดังนั้นเพื่อให้การวิเคราะห์วงจรทำได้สะดวกขึ้น จึงพิจารณาเพียงคู่ซีมอสอินเวอร์เตอร์ สำหรับคู่ซีมอสอินเวอร์เตอร์ดังรูปที่ 2.4 (a) ศักดาขาออก INV1 จะมีค่าเท่ากับศักดาขาเข้าของ INV2 และศักดาขาออกของ INV2 ก็มีค่าเท่ากับศักดาขาเข้าของ INV1 ดังนั้นผลการตอบสนองสัญญาณของ INV1 และ INV2 แสดงให้เห็นดังรูป 2.4(b) ซึ่งคุณสมบัติการถ่ายโอนศักดาทำให้เกิดเอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดตัด 3 จุด INV1 และ INV2 จะเกิดการเปลี่ยนระดับสัญญาณจากจุดที่มีความเสถียร ผ่านจุดที่ไม่มี ความเสถียร และเข้าสู่จุดที่มีความเสถียรอีกครั้งหนึ่ง เมื่อสัญญาณขาเข้ามีค่ามากกว่าค่า static noise margins (SNM) ซึ่งกำหนดจากค่าการถ่วงโอนแรงดัน หรือความชันกราฟซึ่งมีค่าเท่ากับ 1 ดังนั้นค่า SNM จึงแสดงความสามารถในการกำจัดหรือทนต่อสัญญาณรบกวน



รูปที่ 2.5 Cross - Coupled Inverters

(ก) แบบจำลองทางไฟฟ้า

(ข) แบบจำลองในระบบควบคุม

การทำงานของวงจรในรูปที่ 2.4(ก) สามารถแทนด้วยแบบจำลองในรูปที่ 2.5(ก) ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็ก โดยค่า gm แทนค่าทรานคอนดักแตนซ์ของซีมอสอินเวอร์เตอร์ เนื่องจากคุณสมบัติอินพุตอิมพีแดนซ์สูงของวงจรซีมอส กระแสป้อนกลับ (I_1) ทั้งหมดจึงป้อนเข้าสู่ C_1 เช่นเดียวกัน I_2 ก็ไหลเข้าสู่ C_2 โดยที่ C_1 แทน C_{G1} และ ความจุขาออกของซีมอสอินเวอร์เตอร์ตัวล่าง และ C_2 แทนโหนดคาปาซิแตนซ์ (C_L), C_{G2} และความจุขาออกของซีมอสอินเวอร์เตอร์ตัวบน ดังนั้น

$$-gm_2 V_2 = C_1 \frac{dV_1}{dt} \quad (2.15)$$

$$-gm_1 V_1 = C_2 \frac{dV_2}{dt} \quad (2.16)$$

เมื่อทำการแปลง Laplace โดยกำหนดให้ศักดาเริ่มแรกมีค่าเท่ากับ $V_1(0)$ และ $V_2(0)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} S & \frac{gm_2}{C_1} \\ \frac{gm_1}{C_2} & S \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} V_1(0) \\ V_2(0) \end{bmatrix}$$

$$\therefore V_2(s) = \frac{sV_2(0) - \frac{gm_1}{C_2} V_1(0)}{s^2 - (1/\tau)^2} \quad (2.17)$$

เมื่อกำหนดช่วงเวลาคงที่ (τ) เท่ากับ $(\frac{C_1 C_2}{gm_1 gm_2})^{1/2}$ เมื่อทำการแปลงอินเวอร์ต Laplace

$$V_2(t) = \frac{1}{2} [V_2(0) - (\frac{C_1 gm_1}{C_2 gm_2})^{1/2} V_1(0)] e^{\frac{t}{\tau}} + \frac{1}{2} [V_2(0) + (\frac{C_1 gm_1}{C_2 gm_2})^{1/2} V_1(0)] e^{-\frac{t}{\tau}} \quad (2.18)$$

และ

$$V_1(t) = \frac{1}{2} [V_1(0) - (\frac{C_2 gm_2}{C_1 gm_1})^{1/2} V_2(0)] e^{\frac{t}{\tau}} + \frac{1}{2} [V_1(0) + (\frac{C_2 gm_2}{C_1 gm_1})^{1/2} V_2(0)] e^{-\frac{t}{\tau}} \quad (2.19)$$

ดังนั้น เมื่อเวลาผ่านไป ($t \gg \tau$)

$$V_2(t) \approx \frac{1}{2} [V_2(0) - (\frac{C_1 gm_1}{C_2 gm_2})^{1/2} V_1(0)] e^{\frac{t}{\tau}} \quad (2.20)$$

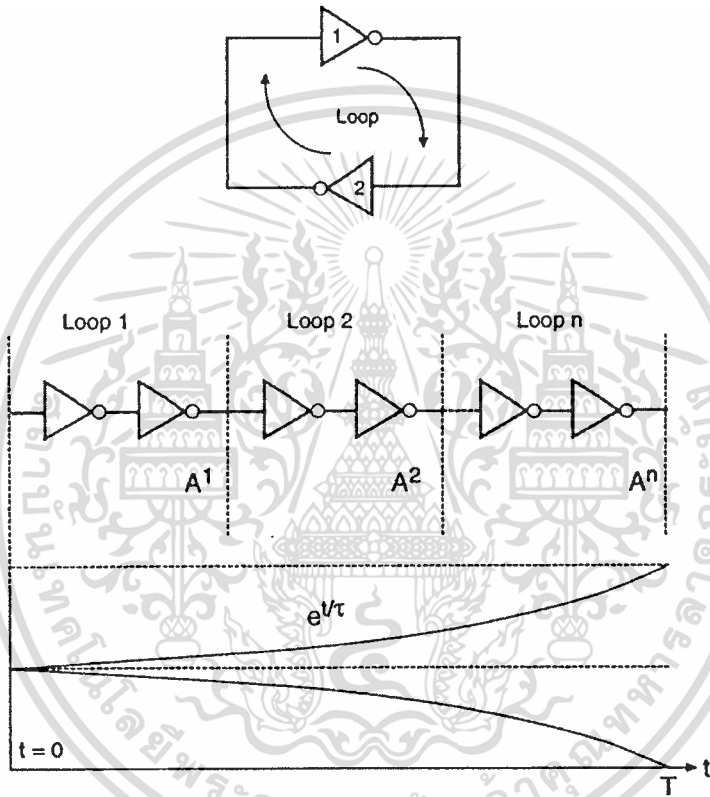
$$V_1(t) \approx \frac{1}{2} [V_1(0) - (\frac{C_2 gm_2}{C_1 gm_1})^{1/2} V_2(0)] e^{\frac{t}{\tau}} \quad (2.21)$$

สมการข้างต้นเป็นจริงเมื่อทรานซิสเตอร์ผ่านยุคนำกระแส และแลทซ์เข้าสู่ช่วงการคงค่าระดับสัญญาณ ดังนั้น ศักดาแรกเริ่ม $V_1(0)$ และ $V_2(0)$ จึงแทนด้วยค่าศักดาที่ปลายทั้งสองทันทีที่สัญญาณ clk เข้าสู่ '0'

จากแบบจำลองเงื่อนไขต่างๆ ในการออปติไมซ์ ซึ่งได้แสดงให้เห็นว่าเป็นฟังก์ชันกับขนาดของพีทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่าย อย่างไรก็ตาม โครงสร้างวงจรซึ่งเป็นตัวกำหนดพฤติกรรมของการตอบสนองสัญญาณยังส่งให้ความสัมพันธ์ระหว่างออปติไมซ์เฟลคเตอร์เปลี่ยนไปพิจารณาได้จากแบบจำลองค่าหน่วยเวลาที่ได้กล่าวถึง อาศัยแนวคิดในการส่งผ่านสัญญาณและค่าหน่วยเวลาจากค่าคงที่เวลา RC เมื่อนำมาเปรียบเทียบกับวงจรตัวอย่างในรูปที่ 2.3 จะพบว่าแบบจำลองค่าหน่วยเวลาจะเป็นจริงก็เฉพาะเมื่อ clk มีค่าเท่ากับ '1' เท่านั้น และเมื่อ clk มีค่าเท่ากับ '0'

โครงสร้างของวงจรเปลี่ยนไป เกิดการป้อนกลับสัญญาณทำให้แบบจำลองค่าหน่วยเวลาเปลี่ยนไป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยขึ้นกับระบบป้อนกลับ เนื่องจาก การป้อนกลับทำให้เกิดภาวะกึ่งเสถียร (metastable) และปรากฏการณ์อื่น ๆ เช่น Miller effect [16] หรือ Bootstrapping [15] ของอินพุตคาปาซิแตนซ์ รวมทั้งความต้านทานลบ ดังนั้นค่าหน่วยเวลาจึงขึ้นกับค่าคงที่เวลาในการเข้าสู่ของสัญญาณ ดังรูป 3.4 ค่าหน่วยเวลาที่เพิ่มขึ้น ทำให้เกิดช่วงสภาวะกึ่งเปิดกึ่งปิดของเกท ดังนั้นกระแสลัดวงจรเป็นผลให้เกิดกำลังงานสูญเสียเพิ่มขึ้นด้วย



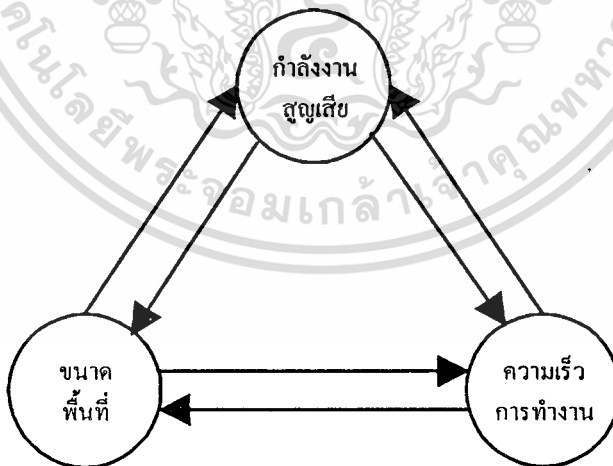
รูปที่ 2.6 การส่งผ่านสัญญาณภายในลูปปิด

บทที่ 3

การอปติไมเซชัน

3.1 บทนำ

เทคนิคในการอปติไมเซชันสำหรับวงจรรวม มีด้วยกันหลายเทคนิคซึ่งอาจแบ่งได้ตามขั้นตอนหรือลำดับการออกแบบและกระบวนการสร้างวงจรรวม เช่นการอปติไมซ์ในระดับกระบวนการผลิต (Process Level) ด้วยการลดขนาด (Scaling) และการเพิ่มชั้นบูรีรี่ หรือการอปติไมซ์ในระดับขั้นการออกแบบวงจร (Circuit design level) เช่นการลดขนาดแหล่งจ่ายหรือช่วงแกว่งสัญญาณ, การกำหนดขนาดคักคาเทรตโวล (multi- V_{TH} circuit) โดยเฉพาะอย่างยิ่งการกำหนดขนาดทรานซิสเตอร์ (Transistor Sizing) เนื่องจากปัจจุบันการจำลองและการเลียนแบบการทำงานโดยอาศัยเครื่องคอมพิวเตอร์เข้ามามีบทบาทมากขึ้น ทำให้การพิจารณาปัญหาอปติไมเซชัน ด้วยวิธีดังกล่าวทำได้ง่ายขึ้น และเป็นไปอย่างกว้างขวาง ทั้งนี้เพื่อให้ได้วงจรที่มีประสิทธิภาพสูงสุด คือมีความเร็วในการทำงานสูง มีขนาดเล็ก และกำลังงานต่ำ แต่เนื่องจากเงื่อนไขในการอปติไมซ์ทั้ง 3 ดังกล่าวมีความสัมพันธ์ในลักษณะขัดแย้งกัน ดังรูป 3.1 การเลือกจุดทำงานที่ดีที่สุดจึงเป็นการประนีประนอม (Compromize) เงื่อนไขดังกล่าวนอกจากนี้ วิธีการอปติไมซ์เซชันยังขึ้นกับคุณสมบัติ และการทำงานของวงจรด้วย



รูปที่ 3.1 ความสัมพันธ์ระหว่างอปติไมซ์แฟคเตอร์

อย่างไรก็ตาม ความสำคัญของแต่ละเงื่อนไข ในแต่ละวงจรรวมย่อมแตกต่างกันไปตามหน้าที่ เช่น วงจรที่ใช้พลังงานจากแบตเตอรี่ ย่อมต้องการวงจรที่มีการสูญเสียกำลังต่ำ หรือวงจร

ประเภทพหุภาพ ก็ต้องการลักษณะที่กระตัดรัดขนาดเล็ก ซึ่งแต่ละระดับการออกแบบก็มีวิธีในการออกแบบไมซ์เงื่อนไขต่าง ๆ ในระดับของตน อาทิเช่น

-การออกแบบไมซ์ในระดับการออกแบบระบบ ด้วยการแบ่งส่วนระบบที่มีความเร็วในการทำงานต่างกันออกจากกัน โดยสัญญาณนาฬิกาความถี่สูงสร้างจากวิธี PLL (Phase Lock Loop) หรือ ring oscillators สำหรับระบบในส่วนที่มีความเร็วสูง หรือการรวมส่วนต่าง ๆ ของวงจร เช่น หน่วยความจำ หรือวงจรรวมที่มีหน้าที่เฉพาะ และสนับสนุนการทำงานของระบบโดยรวม ให้อยู่บนชิปเดียวกัน

-การออกแบบไมซ์ในระดับการออกแบบระเบียบวิธี เช่น การลดจำนวนการทำงานหรือขั้นตอนการทำงาน ทั้งนี้เพื่อลดจำนวนอุปกรณ์ที่ต้องใช้ หรือการเข้ารหัสสัญญาณ เพื่อลดการสวิตช์ของสัญญาณ

-การออกแบบไมซ์ในระดับโครงสร้าง ด้วยการใช้เทคนิคการจัดการกำลังงานในส่วนระบบที่ทำงาน และสงบนิ่ง หรือการออกแบบให้มีโครงสร้างการทำงานแบบขนาน (parallel) และแบบท่อส่งข้อมูล (pipeline) เป็นต้น

-การออกแบบไมซ์ในระดับกระบวนการผลิต ด้วยการลดขนาด (Scaling) และการเพิ่มชั้นนุริยที่ฐานรอง (buried layer)

-การออกแบบไมซ์ในระดับการออกแบบวงจร เช่น การลดขนาดแหล่งจ่ายหรือช่วงแวงสัญญาณ, การกำหนดขนาดสัปดาห์ทรานซิสเตอร์ (multi-Threshold circuit) และการกำหนดขนาดทรานซิสเตอร์ (Transistors sizing) เป็นต้น

Glasser และ Hoyte [25] สรุปว่าเทคนิคการออกแบบไมซ์ขั้นในระดับขั้นตอนการออกแบบวงจร (Circuit design level) มีอยู่ 6 วิธี คือ

1. การเปลี่ยนความกว้างและความยาวของทรานซิสเตอร์หลายตัวในวงจร วิธีนี้เป็นเทคนิคโดยตรงและมีผลกระทบเล็กน้อยกับการวางผัง
2. การเพิ่มวงจรบัฟเฟอร์ (Buffer) หนึ่งวงจรหรือมากกว่านั้น ไว้ระหว่างแหล่งจ่ายที่มี Impedance สูง (High Impedance Source) กับตัวรับที่มี Impedance ต่ำ (Low Impedance Source) จำนวนของบัฟเฟอร์ควรมีจำนวนที่เหมาะสม
3. ตำแหน่งของโหลด ซึ่งมีค่าคาปาซิแตนซ์มาก และการออกแบบไมซ์ขั้นแต่ละส่วนของผลลัพธ์ที่แยกออกจากกัน โดยเทคนิคแบบนี้สามารถทำได้โดยการจ่ายพลังงานในส่วนที่สำคัญเพียงโหลดเดียวในส่วนที่สำคัญ
4. การใช้บัฟเฟอร์ในรูปแบบสัญญาณนาฬิกา Clock buffer) นำมาใช้ในช่วงคุณสมบัติของ Impedance ต่ำ ในระบบที่ใช้สัญญาณนาฬิกาเทคนิค

5. การใช้วงจรพรีชาร์จ (Precharged) ทำให้ความเร็วในการทำงานของวงจรมอสดีขึ้นในช่วงสัญญาณขาออก ขึ้นและลง
6. การใช้วงจรเฉพา วงจรที่ใช้จะมีค่า fanout สูง และค่าคาปาซิแตนซ์ทางด้านอินพุตสูง หรือที่ fan-out มีค่าคาปาซิแตนซ์สูง

วิธีที่นำมาใช้ในวิทยานิพนธ์นี้คือ การเปลี่ยนแปลงความกว้าง และความยาวของทรานซิสเตอร์ในวงจร ในการใช้เทคนิคนี้จะทำการเปลี่ยนแปลงความกว้างและความยาวของเกต (Gate) ในทรานซิสเตอร์เพียงตัวเดียวในวงจร [19] ส่วนทรานซิสเตอร์ที่เหลือจำกัดขนาดไว้ที่ค่าต่ำสุดของขบวนการออกแบบ โดยเทคนิคนี้สามารถแยกเป็นการพิจารณาความกว้างของเกต และพิจารณาความยาวของเกต สำหรับส่วนที่เป็นการออกแบบไมครอน (micron) และส่วนย่อยไมครอน (Submicron) แต่อย่างไรก็ตาม เป็นเรื่องยากที่จะออกแบบหลายวัตถุประสงค์ เทคนิคสำหรับการพิจารณาออกแบบไมครอนและส่วนย่อยไมครอน สำหรับการออกแบบเซมิคอนดักเตอร์ซิมอส ซึ่งมีวัตถุประสงค์ทั้งสามอย่าง คือ การออกแบบเซมิคอนดักเตอร์เพื่อให้ขนาดของทรานซิสเตอร์จะต้องเล็กที่สุด ขนาดของทรานซิสเตอร์ที่เล็กที่สุดจะต้องมาจากขนาดของพื้นที่ของทรานซิสเตอร์ที่เล็กที่สุด การออกแบบเซมิคอนดักเตอร์กำลังงานสูญเสียไดนามิก ขึ้นอยู่กับค่าทรานคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์ซิมอส ซึ่งถูกควบคุมโดยค่าความกว้างและความยาวของเกต และแสดงอยู่ในรูปของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ วัตถุประสงค์สุดท้าย คือ การออกแบบเซมิคอนดักเตอร์ความเร็วในการทำงานหรือความล่าช้าของวงจร ซึ่งขึ้นอยู่กับค่า RC Delay ค่าความต้านทานจะมีค่าผกผันกับค่าความกว้างของเกต ด้วยเทคนิคนี้จะสามารถออกแบบได้ตามวัตถุประสงค์ทั้งสามข้อในเวลาเดียวกัน

3.2 พื้นที่

บทความบางฉบับ ได้แสดงให้เห็นว่าขนาดของวงจรรวม จะขึ้นอยู่กับขนาดของมอสทรานซิสเตอร์ต่าง ๆ ภายในวงจร [26]

$$Area \propto \sum W_i * L_i \quad (3.1)$$

เมื่อ W และ L แทนความกว้าง และความยาวเกตของมอสทรานซิสเตอร์ เพราะฉะนั้น ในการออกแบบวงจรจึงมักกำหนดให้ทรานซิสเตอร์มีขนาดเล็กที่สุดตามกฎการออกแบบ (design rule) อย่างไรก็ตาม ในการกำหนดเงื่อนไขต่าง ๆ พร้อมกัน จำเป็นต้องปรับเปลี่ยนขนาดของอุปกรณ์ต่าง ๆ เพิ่มขึ้น เพื่อให้วงจรมีประสิทธิภาพสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ความเร็วในการทำงาน

ความเร็วหรือความถี่ในการทำงานขึ้นอยู่กับค่าหนึ่งวงเวลาผ่านเกต (signal propagation gate delay-time) ซึ่งมักเกิดจากค่าความต้านทานและค่าความจุแฝงที่รอยต่อภายในอุปกรณ์ ตลอดจนบริเวณหน้าสัมผัสต่าง ๆ ซึ่งค่าหนึ่งวงเวลาผ่านเกตนี้เป็นเงื่อนไขหนึ่งในการกำหนดประสิทธิภาพการทำงานของวงจรรวม จากรูป 2.3 เมื่อสัญญาณ $clk = 1$ หรือช่วงเวลาที่ทรานซิสเตอร์ผ่านนำกระแส พีมอสและเอ็นมอสทรานซิสเตอร์ภายใน INV1 จะถูกกำหนดโดย ค่าความจุขาออก (output capacitance) และวงจรส่วนป้อนกลับ ซึ่งมีค่าคงที่เวลาการชาร์จและดิสชาร์จ [15] คือ

$$\tau_{ch} = \frac{C_L + C_{G2}}{\beta_p (V_{DD} - |V_{Tp}|)} \quad (3.2)$$

$$\tau_{dis} = \frac{C_L + C_{G2}}{\beta_n (V_{DD} - |V_{Tn}|)} \quad (3.3)$$

โดยที่ $\beta_n = \frac{\mu_n \epsilon}{t_{OX}} \left(\frac{W_{n1}}{L_{n1}} \right)$ และ $\beta_p = \frac{\mu_{pm} \epsilon}{t_{OX}} \left(\frac{W_{p1}}{L_{p1}} \right)$ ขณะที่ C_{G2} คือ ค่าความจุเกตของ INV2 ซึ่งแปรผันตาม $W_2 L_2 (C_{OX})$

เมื่อสัญญาณนาฬิกามีค่าเท่ากับ 0 ทรานซิสเตอร์จะหยุดนำกระแส ความเร็วในการทำงานจะขึ้นอยู่กับอัตราการสลูว์ (slewing rate) ของสัญญาณขาออก จากสมการ 2.4 เมื่อพิจารณาว่าวงจรถูกทำงานอย่างถูกต้อง ดังนั้นจึงไม่ละเลยไม่พิจารณาในพจน์แรก ดังนั้นความเร็ว (slewing speed) หรืออัตราการเปลี่ยนแปลงของสัญญาณเมื่อเทียบกับเวลา

$$\text{ความเร็ว} \propto \frac{dV_2(t)}{dt} \approx -2 \left(\frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{1/2} V_1(0) \times \frac{1}{\tau} e^{-\frac{t}{\tau}} \quad (3.4)$$

นั่นคือ ความเร็วจะเพิ่มขึ้น เมื่อ $\frac{1}{\tau} \left(\frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{1/2}$ เพิ่มขึ้น และจาก $\tau = \left(\frac{C_1 C_2}{g_{m1} g_{m2}} \right)^{1/2}$ ดังนั้น

$$\begin{aligned} \text{ความเร็ว} &\propto \frac{g_{m1}}{C_2} \\ \text{หรือ} &\propto \left[\frac{W_1 / L_1}{W_2 L_2} \right] \end{aligned} \quad (3.5)$$

จากสมการที่ (3.5) ซึ่งแสดงความสัมพันธ์ระหว่างความเร็วในการทำงานและขนาดของทรานซิสเตอร์ ดังนั้นเพื่อให้วงจรมีความเร็วในการทำงานสูงขึ้น จึงนิยามออกแบบให้ W_1/L_1 มีค่าสูงๆ และออกแบบให้ W_2/L_2 มีค่าต่ำสุดตามกฎการออกแบบ หรือ

$$\text{Speed} \propto \left[\frac{W_1}{L_1} \right] \quad (3.6)$$

3.4 กำลังงานสูญเสีย (Power Dissipation)

กำลังงานสูญเสียในวงจรซีมอสประกอบไปด้วยกำลังงานสูญเสียสแตติก ซึ่งขึ้นอยู่กับกระแสรั่ว อันเนื่องมาจากกระบวนการผลิตและกำลังงานสูญเสียไดนามิก ซึ่งขึ้นอยู่กับค่าทรานเซียนของการสวิทชิงของวงจร รวมทั้งการอัดและคายประจุของตัวเก็บประจุโหลด

$$P_d = (C_L + C_{int})(\Delta V_S)^2 f_p \quad (3.7)$$

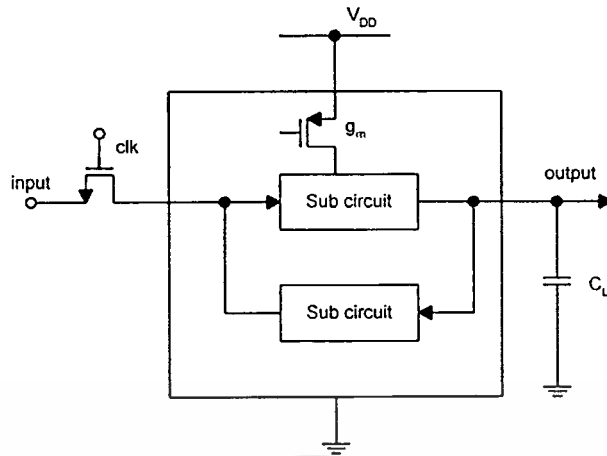
เมื่อ C_{int} ค่าความจุไฟฟ้าภายใน, ΔV_S คือช่วงแวงของสัญญาณ และ f_p คือ ความถี่ในการทำงาน หลักการคือพยายามลดค่า C_{int} เพื่อให้ได้ค่ากำลังงานต่ำสุด ค่าการเก็บประจุมีผลโดยตรงต่อการคงค่าและการเปลี่ยนสถานะโลจิก และเป็นผลอันเนื่องมาจากค่าเก็บประจุหลาย ๆ อย่างของโครงสร้างทรานซิสเตอร์

นอกจากการวัดค่ากำลังงานสูญเสียในวงจรรวมดังกล่าวซึ่งทำได้ยากในทางปฏิบัติ ในการหาค่าความจุภายในวงจรย่อยแต่ละวงจร ดังนั้นด้วยวิธีการวัดทางอ้อม โดยอาศัย current-controlled current source หรือ voltage-controlled current source และค่ากระแสจากแหล่งจ่ายไฟซึ่งเป็นสัดส่วนกับค่าอัตราขยายกระแส β และค่าทรานคอนดักแตนซ์ g_m ดังรูปที่ 3.2 จากการใช้วิธีการของ Kang [20] ค่ากำลังงานคือ ค่าออร์มัลไรซ์ของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ คูณกับ g_m กับ V_{DD} ดังนั้นการลดกำลังงานสูญเสียคือการลดค่า g_m ของมอสทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่ายไฟ หรือ $P \propto g_m$

ค่าสูญเสียกำลังลัดวงจรไดนามิก เป็นองค์ประกอบกำลังที่สำคัญอีกตัวหนึ่งในการวิเคราะห์วงจรสแตติกแลทซ์ เอนมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ภายในวงจร จะทำงานอยู่ในสถานะกึ่งเปิดกึ่งปิดอันเป็นผลมาจากการป้อนกลับ ก่อนที่จะเข้าสู่สถานะที่เสถียรอีกครั้ง ดังนั้นการลดเวลาที่ใช้ในการลู่เข้านี้ หรือลด L_1/W_1 จากสมการข้างต้น ทำให้ค่ากำลังสูญเสียรวมของวงจรลดลง

$$P_{dp} \propto \left(\frac{L_1}{W_1} \right) \left(\frac{W_2}{L_2} \right) \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การวัดกำลังงานสูญเสียทางอ้อม

3.5 ความสัมพันธ์ระหว่างออปติไมซ์แฟกเตอร์

ในการปรับปรุงประสิทธิภาพวงจร เมื่อพิจารณาถึงความเร็วในการทำงาน กำลังงานสูญเสีย และพื้นที่วงจรพร้อม ๆ กัน จะพบว่า จากแบบจำลองซึ่งแทนเงื่อนไขดังกล่าว ต่างประกอบขึ้นหรือเป็นฟังก์ชันของขนาดทรานซิสเตอร์ ซึ่งเป็นตัวกำหนดค่าทรานคอนดักแตนซ์ ความต้านทานช่องทางเดินกระแส ความจุแฝง ตลอดจนคุณสมบัติอื่น ๆ ที่เกี่ยวข้องกับการทำงานของวงจร

สำหรับวงจรรวมแบบ VLSI สิ่งที่สำคัญคือ พื้นที่วงจรที่น้อยที่สุด เมื่อพิจารณาถึงโครงสร้างพื้นที่วงจรจะสัมพันธ์กับความกว้าง (L) และความยาวทรานซิสเตอร์ (W) ดังนั้นในทางเทคนิคโดยปกติจึงมักกำหนดให้ค่าความยาวของเกทมีค่าต่ำสุด (L_{min}) ตามการออกแบบจากสมการที่ 3.1 จะได้

$$Area \propto W \times L$$

และเมื่อนำแนวความคิดของ Kang ในการวัดกำลังงานสูญเสีย ซึ่งได้แสดงให้เห็นว่า กำลังงานสูญเสียแปรผันตรงกับกระแสจากแหล่งจ่ายและค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ ซึ่งต่ออยู่กับแหล่งจ่ายไฟ และเมื่อพิจารณาถึงพลังงานสูญเสียด้วยแล้วจะพบว่า พลังงานสูญเสียครั้งหนึ่งในการเปลี่ยนสถานะก็เกิดขึ้นที่วงจรพีมอสในส่วน pull-up ซึ่งต่ออยู่กับแหล่งจ่าย

$$R = \left(\frac{L}{W} \right) \frac{2t_{ox}}{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)} \quad (3.9)$$

$$g_m = \left(\frac{W}{L}\right) \frac{\mu \epsilon_0 \epsilon_{OX} (V_{GS} - |V_T|)}{t_{OX}} \quad (3.10)$$

$$P \propto \left(\frac{W}{L}\right) \quad (3.11)$$

ดังนั้นจึงกล่าวได้ว่า ในการลดกำลังสูญเสียของวงจรมอส ทำได้โดยการปรับขนาดทรานซิสเตอร์ เฉพาะที่ต่ออยู่กับแหล่งจ่าย

เงื่อนไขประการสุดท้ายคือ ความเร็วในการทำงาน ซึ่งมักถูกกำหนดโดยค่าหน่วงเวลาของวงจรมอส โดยมีองค์ประกอบหลักคือ ค่าคงที่เวลาอันเนื่องมาจากความจุแฝงภายในและค่าคงที่เวลาจากความจุโหลด ซึ่งอาจเป็นความจุนอกชิป หรือผลรวมของความจุขาเข้าของวงจรมอสก็ได้

$$t_d \propto R(C_{int} + C_{Load})$$

$$R = \left(\frac{L}{W}\right) \frac{2t_{OX}}{\mu \epsilon_0 \epsilon_{OX} (V_{GS} - |V_T|)} \quad (3.12)$$

หรือ

$$t_d \propto \frac{L}{W} (W \times L + C_{Load}) \quad (3.13)$$

ดังนั้นเมื่อพิจารณาเฉพาะความสัมพันธ์ค่าหน่วงเวลากับขนาดทรานซิสเตอร์ สามารถแยกได้เป็น 2 กรณี คือ

$$t_d \propto \begin{cases} L^2 & : C_{int} \gg C_{Load} \\ L & : C_{int} \ll C_{Load} \end{cases} \quad (3.14)$$

โดยสรุปจะเห็นว่าทั้ง 3 เงื่อนไขต่างก็ขึ้นอยู่กับความกว้างและความยาวของทรานซิสเตอร์ ในลักษณะที่แตกต่างกัน การปรับเปลี่ยนขนาดอาจทำให้บางเงื่อนไขขัดแย้ง แต่บางเงื่อนไขก็สอดคล้องกัน ซึ่งบางเงื่อนไขอาจเหมาะสมกับวงจรหนึ่ง ๆ เช่น วงจรที่ใช้เบตเตอร์เป็นแหล่งจ่ายหรือวงจรมอสประเภทพกพา ซึ่งต้องออกแบบให้มีลักษณะที่กินกำลังงานต่ำและขนาดเล็กเป็นสำคัญ ในขณะที่วงจรมอสประเภทประมวลสัญญาณก็ต้องการลักษณะที่มีความเร็วสูง นอกจากนี้ การปรับเปลี่ยนพารามิเตอร์ (W, L) อาจทำให้บางเงื่อนไขเพิ่มขึ้นเพียงเล็กน้อย แต่บางเงื่อนไขกลับลดลงอย่างรวดเร็ว ทั้งนี้เนื่องจากความไม่เป็นเชิงเส้นของวงจรมอส ดังนั้นผู้ออกแบบจึงต้องกำหนดเงื่อนไขที่ต้องการหรือขอบเขตที่ยอมรับได้ให้เหมาะสมกับประเภทการทำงานหรือชนิดวงจรมอสที่กำลังออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากกำหนดให้เงื่อนไขต่าง ๆ ในการออกแบบไมซ์ ซึ่งสัมพันธ์กับขนาดทรานซิสเตอร์ มีลักษณะเป็นฟังก์ชันเชิงเส้น โดยกำหนดให้เงื่อนไขหรือแฟคเตอร์ กำลังสูญเสีย ความเร็ว และพื้นที่มีค่าคงที่อื่น ๆ ในฟังก์ชัน ของเป็น K_p , K_d และ K_A ตามลำดับ และให้ค่าเริ่มต้นก่อนมีการปรับเปลี่ยนขนาดทรานซิสเตอร์เป็น P_{d0} , t_{d0} และ A_0 ตามลำดับ ดังนั้นนักออกแบบสามารถกำหนดจุดทำงานภายใต้ขอบเขตที่ยอมรับได้ ดังแสดงในรูป 3.1

3.6 การออกแบบเซชันวงจรสแตติกแลทซ์

เมื่อพิจารณาการทำงานของวงจรแลทซ์ ตลอดจนปรากฏการณ์ที่เกิดขึ้นในบทยกก่อนหน้านี้ ทำให้วิธีการออกแบบเซชันตามแบบจำลองที่เสนอในบทยกก่อนหน้าต้องปรับเปลี่ยนไป เนื่องจากแบบจำลองกำหนดช่วงเวลาถูกจำกัดโดยเฉพาะวงจรที่มีลักษณะการทำงานแบบส่งผ่านสัญญาณ หรือในลักษณะ RC-tree delay แต่สำหรับวงจรที่มีการป้อนกลับสัญญาณ กำหนดเวลาของวงจรมองจากจะขึ้นอยู่กับค่าคงที่เวลา RC ภายในแล้ว ยังขึ้นอยู่กับขบวนการป้อนกลับ หรือการลู่เข้าของสัญญาณ ดังนั้นจึงต้องมีการปรับปรุงวิธีการออกแบบเซชันเพื่อให้ครอบคลุมถึงปรากฏการณ์อื่น ๆ

3.6.1 การปรับปรุงแบบจำลองการออกแบบเซชัน

ปรากฏการณ์ที่เกิดขึ้นจากการป้อนกลับสัญญาณซึ่งแสดงอยู่ในรูปของ metastable เป็นตัวกำหนดค่าช่วงเวลาในการลู่เข้า เมื่อพิจารณาว่าวงจรทำงานได้อย่างถูกต้อง (มีระดับสัญญาณขาออกถูกต้อง) จากสมการที่ 2.20 ซึ่งแสดงการตอบสนองของวงจร cross-coupled inverters เมื่อ $\text{clk1} = 0$ และ $\text{clk2} = 1$ ความเร็วในการทำงานจึงกำหนดได้จากอัตราการลู่เข้า (slew rate) หรืออัตราการเปลี่ยนแปลงสัญญาณขาออกเมื่อเทียบกับเวลา

$$\text{ความเร็ว} \propto \frac{dV_2(t)}{dt} \approx -2 \left(\frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{1/2} V_1(0) \times \frac{1}{\tau} e^{-\frac{t}{\tau}} \quad (3.15)$$

นั่นคือ ความเร็วจะเพิ่มขึ้น เมื่อ $\frac{1}{\tau} \left(\frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{1/2}$ เพิ่มขึ้น และจาก $\tau = \left(\frac{C_1 C_2}{g_{m1} g_{m2}} \right)^{1/2}$ ดังนั้น

$$\text{ความเร็ว} \propto \frac{g_{m1}}{C_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$\propto \left[\frac{W_1/L_1}{W_2L_2} \right] \quad (3.16)$$

จากสมการที่ (3.17) ซึ่งแสดงความสัมพันธ์ระหว่างความเร็วในการทำงานและขนาดของทรานซิสเตอร์ ดังนั้นเพื่อให้วงจรมีความเร็วในการทำงานสูงขึ้น จึงนิยามออกแบบให้ $\left[\frac{W_1}{L_1} \right]$ มีค่าสูง ๆ และออกแบบให้ W_2L_2 มีค่าต่ำสุดตามกฎการออกแบบดังสมการที่ 3.6

$$Speed \propto \frac{W_1}{L_1}$$

นอกจากแบบจำลองกำหนดวงเวลาที่เปลี่ยนไปอันเนื่องจากภาวะ metastable แบบจำลองกำลังสูญเสียที่เปลี่ยนไปด้วย เนื่องจากแบบจำลองกำลังที่เสนอไว้ พิจารณาจากกำลังสูญเสียไดนามิก ซึ่งเป็นองค์ประกอบกำลังที่สำคัญที่สุด ในขณะที่เลขที่จะพิจารณากำลังสูญเสียลัตวางจร โดยพิจารณาจากวงจรที่ส่งผ่านสัญญาณปกติเช่นเดียวกับแบบจำลองกำหนดวงเวลา เมื่อพิจารณาถึงวงจรป้อนกลับซึ่งกำหนดวงเวลาพิจารณาจากการช่วงเวลาในการลู่เข้าของสัญญาณช่วงเวลาดังกล่าวทำให้วงจรอยู่ในสถานะกึ่งเปิดกึ่งปิด กำลังสูญเสียวงจรจึงกลับเป็นองค์ประกอบสำคัญในการลดกำลังสูญเสีย

ดังนั้น เมื่อต้องการลดสัญญาณสูญเสียของวงจรลงจำเป็นต้องลดกำหนดวงเวลาดังด้วย เงื่อนไขนี้ทำให้แบบจำลองกำลังสูญเสียเปลี่ยนไปโดยรวมเอาปรากฏการณ์ metastable ไว้ จะได้ดังสมการที่ 3.8

$$P_{dp} \propto \left(\frac{L_1}{W_1} \right) \left(\frac{W_2}{L_2} \right)$$

3.7 ขั้นตอนการออกแบบไมเซชัน

จากสมการที่ (3.1), (3.6) และ (3.8)

$$\begin{aligned} Area &\propto \sum W_i L_i \\ Speed &\propto \frac{W_1}{L_1} \\ P_{dp} &\propto \left(\frac{L_1}{W_1} \right) \left(\frac{W_2}{L_2} \right) \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นเงื่อนไขในการออปติไมซ์ ซึ่งมีค่าเปลี่ยนแปลงตามขนาดของทรานซิสเตอร์เฉพาะที่มีการเชื่อมโยงกับแหล่งจ่าย ซึ่งอาศัยข้อสังเกตจากการวัดกำลังงานสูญเสียด้วยวิธีของ Kang นอกจากนี้ ได้แสดงให้เห็นว่าการเพิ่ม W มีผลต่อการเพิ่มพื้นที่มากกว่าการเพิ่ม L

จากสมการข้างต้น สังเกตว่าการเพิ่ม (W_1 / L_1) ทำให้วงจรมีความเร็วสูงขึ้นในขณะเดียวกัน กำลังสูญเสียจะลดลงด้วย ซึ่งสามารถทำได้โดยการเพิ่ม W_1 หรือลด L_1 นอกจากนี้การลดกำลังสูญเสียยังสามารถทำได้โดยการลด (W_2 / L_2) ด้วยการลด W_2 หรือเพิ่ม L_2 ทำให้กำลังสูญเสียลดลงด้วย แต่สิ่งที่สำคัญคือต้องออกแบบให้วงจรทำงานได้อย่างถูกต้องหรือโอกาสเกิดปัญหา metastable น้อยที่สุด

ดังนั้นสามารถสรุปขั้นตอนในการออกแบบได้ดังนี้

1. กำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเล็กที่สุดตามกฎการออกแบบ
2. เพิ่ม L_2 เพื่อป้องกันวงจรทำงานผิดพลาดและลดกำลังสูญเสียลง และ/หรือ
3. ทำการเพิ่ม W_1 เพื่อเพิ่มความเร็ว และลดกำลังสูญเสีย



บทที่ 4

เมตาสเตเบิล

4.1 บทนำ

วงจรดิจิทัลจำนวนมากที่มีสัญญาณขาเข้าเป็นไม่เข้าจังหวะ (Asynchronous input) ซึ่งวงจรจะเกิดความผิดพลาดที่สัญญาณขาออกอันเนื่องมาจากเกิด “สถานะเมตาสเตเบิล” [1-8] ขึ้นในวงจร เมื่อสัญญาณขาเข้าที่เข้ามาในวงจรมีการเข้าจังหวะกับสัญญาณนาฬิกาที่ไม่เหมาะสม (marginal triggering) ในสถานะเมตาสเตเบิลนี้วงจรจะต้องใช้เวลาในการตัดสินใจว่าสัญญาณขาออกควรจะเป็นค่าที่เสถียรค่าใด ซึ่งนั่นหมายถึงว่าวงจรจะต้องใช้เวลาในการตัดสินใจว่าสัญญาณขาออกเป็นค่าใด ซึ่งระยะเวลาที่นี่จะไม่สามารถทราบค่าที่แน่นอน อีกทั้งไม่ทราบว่าเกิดสถานะนี้เมื่อใด ดังนั้นจึงเป็นปรากฏการณ์ที่หลีกเลี่ยงไม่ได้

ในทางปฏิบัติ จะมีความแตกต่างของช่วงเวลาระหว่างสัญญาณขาเข้าและขาออก และจะต้องมีสัญญาณขาออกเพียงค่าเดียวเท่านั้นจากวงจร ซึ่งสัญญาณขาออกควรมีค่าตรงกันข้ามกับสัญญาณขาเข้าเนื่องจากผ่านอินเวอร์เตอร์ออกมา เนื่องจากช่วงเวลาที่วงจรรับสัญญาณขาเข้าจะเกิดการเปลี่ยนแปลงของสัญญาณอย่างต่อเนื่อง ดังนั้นสัญญาณขาเข้าจึงสามารถเป็นจุดใดก็ได้ที่อยู่ในลูกคลื่นสัญญาณ แต่เมื่อพิจารณาแล้วจะพบว่า การเข้าจังหวะของสัญญาณจะมีประสิทธิภาพดีที่สุดคือ สัญญาณของคลื่นขาเข้าควรมีลักษณะขอบที่ไม่กำหนด (knife-edge) แต่ในความเป็นจริงแล้วจะมีข้อจำกัดในลักษณะทางกายภาพของวงจรที่ไม่สามารถทำได้ในช่วงเวลาที่กำหนด

การออกแบบวงจรที่มีสัญญาณขาเข้าเป็นแบบไม่เข้าจังหวะ ไม่สามารถพิจารณาอย่างตรง ๆ ได้ ตัวอย่างเช่น ช่วงเวลาขึ้น (set-up time) และ เวลาคงค่า (hold time) จะมีสภาพที่ไม่สามารถกำหนดค่าที่แน่นอนได้โดยตรง ในที่มีสัญญาณขาเข้าแบบไม่เข้าจังหวะและต้องการสัญญาณนาฬิกาด้วย สัญญาณขาเข้าจะเปลี่ยนไปก็ต่อเมื่อได้รับสัญญาณนาฬิกาที่ควบคุมของวงจร เมื่อสัญญาณขาเข้าเปลี่ยนไปในช่วงระหว่างเวลาที่กำหนดโดยช่วงเวลาขึ้น และช่วงเวลาคงค่าที่มีค่าไม่เหมาะสม ก็เกิดปัญหาตามมา ยิ่งไปกว่านั้นสัญญาณขาเข้าแบบไม่เข้าจังหวะอาจจะทำให้เกิดสัญญาณที่มีค่าไม่ปกติ ที่เรียกว่า runt pulse ได้

4.2 สถานะเมตาสเตเบิล

พิจารณาแลทซ์ภายใต้สภาวะการเข้าจังหวะที่ไม่เหมาะสม (marginal triggering) ในวงจรทั่ว ๆ ไป ซึ่งมีสถานะที่เสถียรอย่างน้อย 2 สถานะ และมีสัญญาณขาเข้า 2 ค่าที่จะขับให้วงจรอยู่ในสถานะที่เสถียรอันใดอันหนึ่ง วงจรมีการเข้าจังหวะที่ไม่เหมาะสม เมื่อสัญญาณขาออกไม่สามารถเข้าสู่ช่วงที่ระบุค่าได้แน่นอน (0 หรือ 1) ภายในค่าห้วงเวลาปกติที่มากที่สุด (maximum normal) ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

delay time) กำหนดเวลานี้ เป็นช่วงเวลาที่มากที่สุดที่สัญญาณต้องการ เพื่อให้สัญญาณขาออกเข้าสู่ค่าที่เสถียรภายใต้ข้อกำหนดเฉพาะที่ระบุไว้ เช่น ช่วงเวลาขาขึ้น และ ช่วงเวลาคงค่า ค่าเหล่านี้มากที่สุดที่ยอมรับได้มีผลมาจากองค์ประกอบของวงจรลอจิก และจากการกำหนดช่วงเวลาขาขึ้นและช่วงเวลาคงค่าที่เหมาะสม

ภายใต้สภาวะการเข้าจังหวะสัญญาณที่ไม่เหมาะสม วงจรสามารถตกอยู่ในสภาวะเมตาสเตเบิลได้ [10-14, 17-18] นั่นคือ วงจรจะอยู่ในสภาวะสมดุลของความไม่เสถียร สัญญาณขาออกจะมีค่าอยู่ระหว่าง 0 และ 1 การทำให้วงจรเคลื่อนที่ออกไปจากสมดุลนี้ สามารถทำได้โดยมีแรงมาทำให้สมดุลนี้หายไปและไม่กลับมาอยู่ในสมดุลนี้อีก อย่างไรก็ตามการไม่ให้สัญญาณรบกวนมีผลเพียงเล็กน้อยในสภาวะเมตาสเตเบิลนี้

Catt [1] ได้แสดงให้เห็นปริมาณสภาวะสมดุลของความไม่เสถียรที่เกิดในวงจรแบบที่มีค่าเสถียร 2 ค่า (bistable circuit) ว่าสามารถเหนี่ยวนำมาได้จากสภาวะการเข้าสัญญาณที่ไม่เหมาะสมวิกฤต และสภาวะเมตาสเตเบิลในวงจรจะเกิดขึ้นโดยที่ไม่สามารถกำหนดได้

สัญญาณขาออกที่อันเนื่องมาจากการเข้าจังหวะสัญญาณที่ไม่เหมาะสมสามารถอธิบายและแสดงได้จากการทดลองของ Chaney และ Molnar [2] ที่กล่าวว่าวงจรลอจิกที่มีอัตราส่วนของ propagation-time ต่อช่วงเวลาขาขึ้นต่ำ สัญญาณขาออกจะมีการเคลื่อนไหวน้อย ๆ อยู่ใกล้ ๆ 0 หรือ 1 ก่อนที่จะเข้าสู่ค่าใดค่าหนึ่ง ในขณะที่ ถ้าวงจร ลอจิกใด มีค่าอัตราส่วนระหว่าง propagation-time ต่อช่วงเวลาขาขึ้นมาก ๆ สัญญาณขาออกจะแกว่งไปมากก่อนที่จะเข้าสู่ค่าที่เสถียรค่าใดค่าหนึ่ง

4.2.1 สภาวะที่หลีกเลี่ยงไม่ได้

การออกแบบวงจรลำดับ (sequential circuit) ด้วยสัญญาณขาเข้าแบบไม่เข้าจังหวะ (asynchronous input) จะประกอบไปด้วยวงจรลำดับแบบสัญญาณเข้าจังหวะ (synchronous sequential circuit) และ สัญญาณขาเข้าแบบไม่เข้าจังหวะ และมี interface ระหว่างสองส่วนนี้ interface จะเปลี่ยนสัญญาณขาเข้าแบบไม่เข้าจังหวะให้เป็นสัญญาณแบบเข้าจังหวะ โดยใช้วิธีการเลือกสุ่ม (sampling) ด้วยสัญญาณนาฬิกาของระบบ กระบวนการเลือกสุ่มนี้ เรียกว่าการเข้าจังหวะ (synchronization) และตัว interface เรียกว่า ตัวเข้าจังหวะ (synchronizer) ปัญหาของการออกแบบตัวเข้าจังหวะให้ทำงานได้ดี และมีประสิทธิภาพ คือไม่ให้ตกอยู่ในสภาวะเมตาสเตเบิล ซึ่งนั่นเท่ากับปัญหาของวงจรที่มีสัญญาณขาเข้าแบบไม่เข้าจังหวะ ระบบได้ถูกสมมติให้อธิบายถึงสถานะของระบบ และยังเป็นเครื่องแสดงได้จากการเปลี่ยนฟังก์ชันของสถานะที่มีสถานะเริ่มแรกของระบบ สัญญาณขาเข้าของระบบ และเวลา เป็นตัวสนับสนุน ค่าของฟังก์ชันการเปลี่ยนค่าของสถานะเป็นสถานะที่ให้ในช่วงเวลาที่ให้ ฟังก์ชันการเปลี่ยนสถานะถูกสมมติให้ยอมรับในเหตุผลได้หลาย ๆ อย่างที่สอดคล้องกับสมบัติทางกายภาพของระบบดังนี้

1. สถานะของระบบไม่ขึ้นกับสัญญาณขาเข้าในสถานะถัดไป
2. สถานะถัดไปจะมีคุณสมบัติที่ขึ้นกับสถานะปัจจุบัน และสัญญาณขาเข้าที่กำลังจะเข้ามา โดยมีความสัมพันธ์กับเวลาที่มีการเปลี่ยนไป
3. ฟังก์ชันการเปลี่ยนสถานะจะเป็นไปอย่างต่อเนื่อง โดยมีความเกี่ยวข้องกับสถานะเริ่มต้นและเวลา (แต่ไม่มีความจำเป็นกับฟังก์ชันสัญญาณขาเข้าของระบบ)

ทั้งหมดนี้อยู่ภายใต้สมมติฐานที่ว่าในช่วงที่มีความเสถียรอย่างน้อย 2 สถานะ ของสถานะที่มีอยู่ภายใต้ สัญญาณขาเข้าปกติ และสัญญาณขาเข้ามีการเคลื่อนที่เปลี่ยนระหว่างสถานะที่เสถียรหนึ่งไปยังอีกสถานะหนึ่ง

4.3 การพิจารณาการทำงานของแลทซ์ในช่วงเมตาสเตเบิล

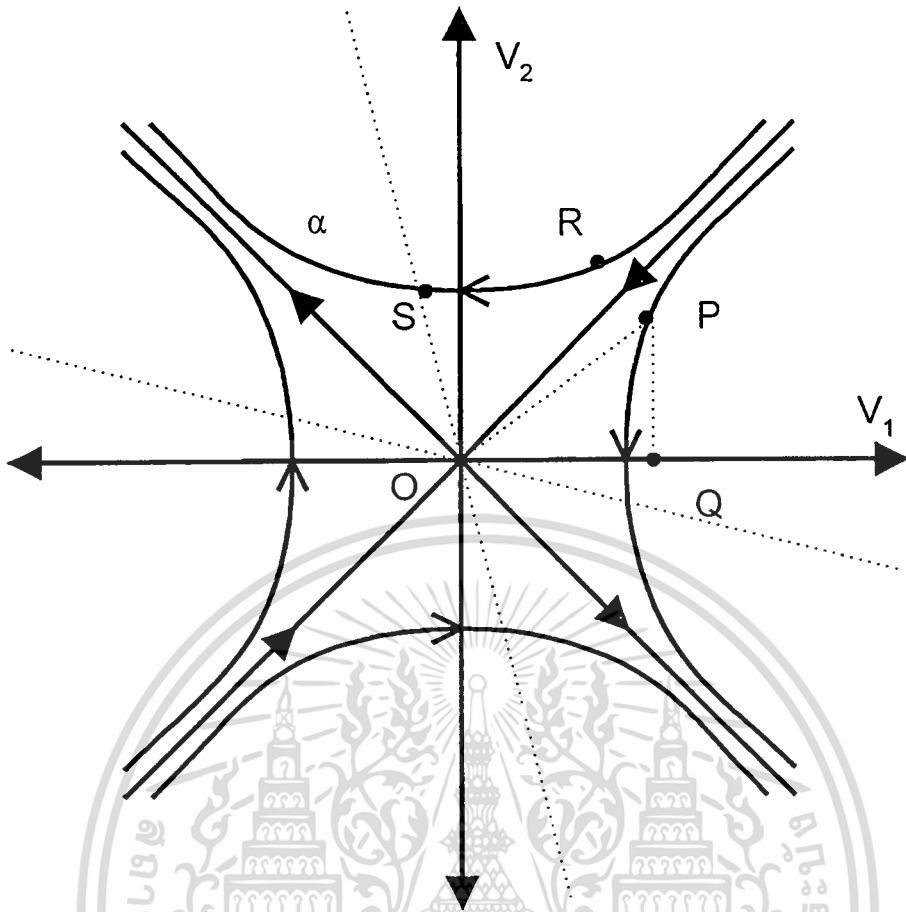
จากการทำงานของวงจรสแตติกแลทซ์ เมื่อ $\text{clk} = 0$ วงจรจะถูกป้อนกลับในลักษณะ cross-coupled inverters ซึ่งปกติวงจร จะทำหน้าที่เก็บระดับสัญญาณ โดยให้ระดับสัญญาณเอาต์พุตตรงข้ามกับอินพุต จากสมการที่ 2.1 และ 2.2 ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็ก สามารถเขียนอยู่ในรูปของฟังก์ชันไฮเปอร์โบลิก ดังสมการที่ 4.1 และ 4.2 ตามลำดับ

$$V_2(t) = V_2(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g m_1}{c_2 g m_2}\right)^{1/2} V_1(0) \sinh\left(\frac{t}{\tau}\right) \quad (4.1)$$

$$V_1(t) = V_1(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_2 g m_2}{c_1 g m_1}\right)^{1/2} V_2(0) \sinh\left(\frac{t}{\tau}\right) \quad (4.2)$$

เมื่อวิเคราะห์เป็นพารามตริกฟังก์ชันขึ้นกับเวลา (normalized time : $\frac{t}{\tau}$) ได้ดังรูปที่ 4.1

จากรูปที่ 4.1 แสดงการลู่เข้าสู่สถานะสุดท้ายของ V_1 และ V_2 ถ้าสถานะเริ่มแรกเป็นจุด R ทั้ง V_1 และ V_2 จะลดพร้อมกัน จนกระทั่ง V_1 มีค่าต่ำสุดที่จุด S จากนั้น V_1 เริ่มมีค่าเพิ่มขึ้น ในขณะที่ V_2 ยังคงลดลงต่อไป จนเมื่อเวลาผ่านไป $V_1 \rightarrow -\infty$ และ $V_2 \rightarrow \infty$ แต่จากความไม่เป็นเชิงเส้นของวงจร (ขนาดของแหล่งจ่าย) ทำให้ V_1 และ V_2 เข้าสู่สถานะสุดท้ายที่ V_{ss} และ V_{dd} ตามลำดับในที่สุด



รูปที่ 4.1 การลู่เข้าสถานะสุดท้ายของวงจรถ่าย

ช่วงเวลาที่ V_1 และ V_2 มีการเปลี่ยนแปลงในลักษณะเดียวกัน เช่น ช่วงเวลาตั้งแต่ $R \rightarrow S$ ซึ่ง V_1 และ V_2 จะลดลงพร้อมกัน การทำงานของวงจรถ่ายในลักษณะนี้ ถูกกำหนดเป็นการทำงานแบบ Common mode ในขณะที่เมื่อ V_1 และ V_2 มีการเปลี่ยนแปลงต่างกัน (เช่น $t > S$) การทำงานจะอยู่ในลักษณะ Differential mode จากรูป 2.20 จะพบว่าบางกรณีเมื่อเวลาผ่านไป $V_1(\infty)$ และ $V_2(\infty)$ สถานะสุดท้ายของระบบไม่ได้ลู่เข้าทั้ง V_{DD} และ V_{SS} ในลักษณะ Differential mode แต่จะลู่เข้าสู่ค่าระหว่าง V_{DD} และ V_{SS} หรือคี่ค่า 0 V. (ทาง AC) ดังนั้น

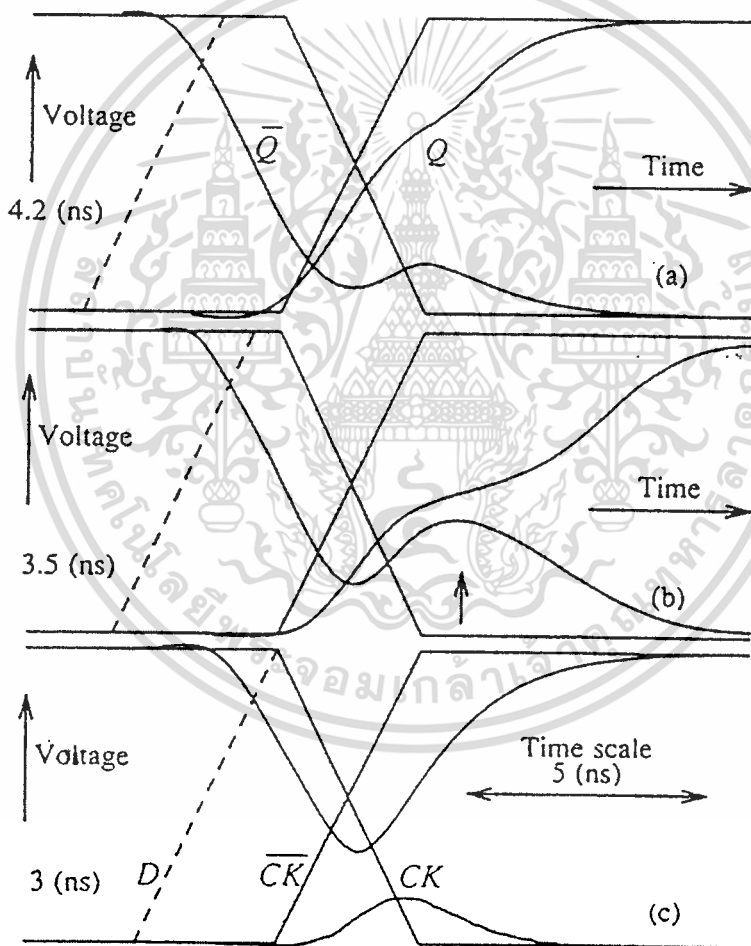
$$\lim_{t \rightarrow \infty} V_2(t) = V_2(0) \lim_{t \rightarrow \infty} \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} V_1(0) \lim_{t \rightarrow \infty} \sinh\left(\frac{t}{\tau}\right) = 0$$

$$\frac{V_2(0)}{V_1(0)} = \left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} = \gamma \quad (4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อ t ผ่านไป V_2 และ V_1 จะค้างอยู่ในจุด Q หรือเกิดสถานะกึ่งเสถียร (metastable) อย่างไรก็ตามวงจรไม่สามารถจะอยู่ในสถานะนี้ได้เนื่องจากความไม่เสถียรภาพของระบบ สัญญาณรบกวนจะเป็นตัวกระตุ้นให้ V_2 และ V_1 เปลี่ยนไป ทำให้ สถานะสุดท้ายเข้าสู่ V_{SS} หรือ V_{DD} โดยไม่สามารถควบคุมหรือทำนายได้

นอกจากโครงสร้างของระบบจะเป็นตัวกำหนดพฤติกรรมและสถานะสุดท้ายของระบบ สถานะแรกเริ่ม ($V_2(0)$ และ $V_1(0)$) ยังเป็นตัวกำหนดสถานะสุดท้ายด้วย ค่าแรกเริ่มนี้ถูกกำหนดจาก Setup time ของวงจรแลตซ์ ดังรูป 4.2



รูปที่ 4.2 การเปลี่ยนสถานะและการลู่เข้าสถานะสุดท้ายของแลตซ์เมื่อ setup time เปลี่ยนไป

อย่างไรก็ตาม เมื่อพิจารณาว่า วงจรมี setup time เพียงพอที่ทำให้วงจรทำงานได้อย่างถูกต้อง ดังนั้นจากสมการ 4.3 วงจรจะทำงานอย่างถูกต้องเมื่อเทอมที่ 2 มีค่ามากกว่าเทอมแรก โดยสังเกตได้จากค่าศักดาลบที่ได้เมื่อเวลาผ่านไป ซึ่งแสดงถึงการกลับเฟสของสัญญาณอินพุต ดังนั้นเพื่อให้วงจรทำงานได้อย่างถูกต้องจึงมักออกแบบให้ $(\frac{C_1 gm_1}{C_2 gm_2})^{1/2} \gg 1$ โดยองค์ประกอบหลักของ C_1 และ C_2 คือ C_{G1} และ $(C_{G2}+C_L)$ ตามลำดับ นอกจากนี้ C_G และ gm ยังมีค่าไม่คงที่ซึ่งเปลี่ยนแปลงขึ้นกับช่วงการทำงานของทรานซิสเตอร์

$$C_G \propto WLC_{ox}$$

$$gm \propto \beta \text{ หรือ } gm \propto \frac{W}{L} \left(\frac{\mu \varepsilon}{t_{ox}} \right)$$

ดังนั้นในการออกแบบให้วงจรทำงานได้อย่างถูกต้องจำเป็นต้องออกแบบให้ $C_{G1} gm_1 \gg (C_{G2}+C_L) gm_2$ นั้นหมายถึงต้องออกแบบให้วงจรมีค่า

$$W_1 \gg W_2 \quad (4.4)$$

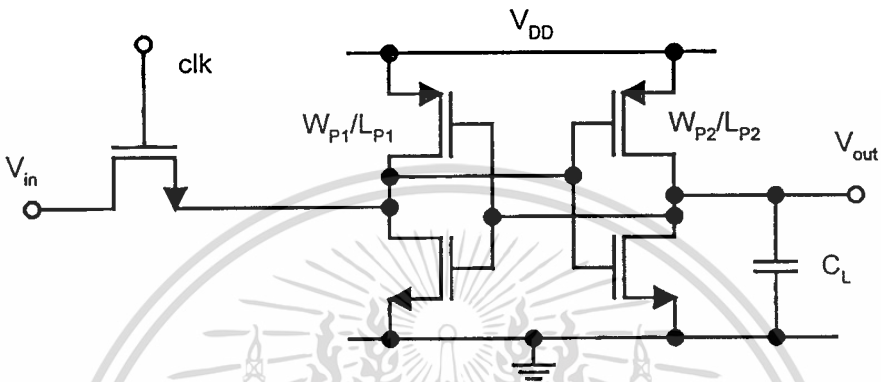
ในกรณีที่ C_L มีค่าต่ำๆ คือ $C_L \ll C_{G2}$ และต้องออกแบบให้

$$C_{G1} \frac{W_1}{L_1} \gg C_L \frac{W_2}{L_2} \text{ (ในกรณีที่ } C_L \text{ มีค่าสูง)} \quad (4.5)$$

บทที่ 5

ผลลัพธ์การเลียนแบบด้วยโปรแกรม Pspice

5.1 บทนำ



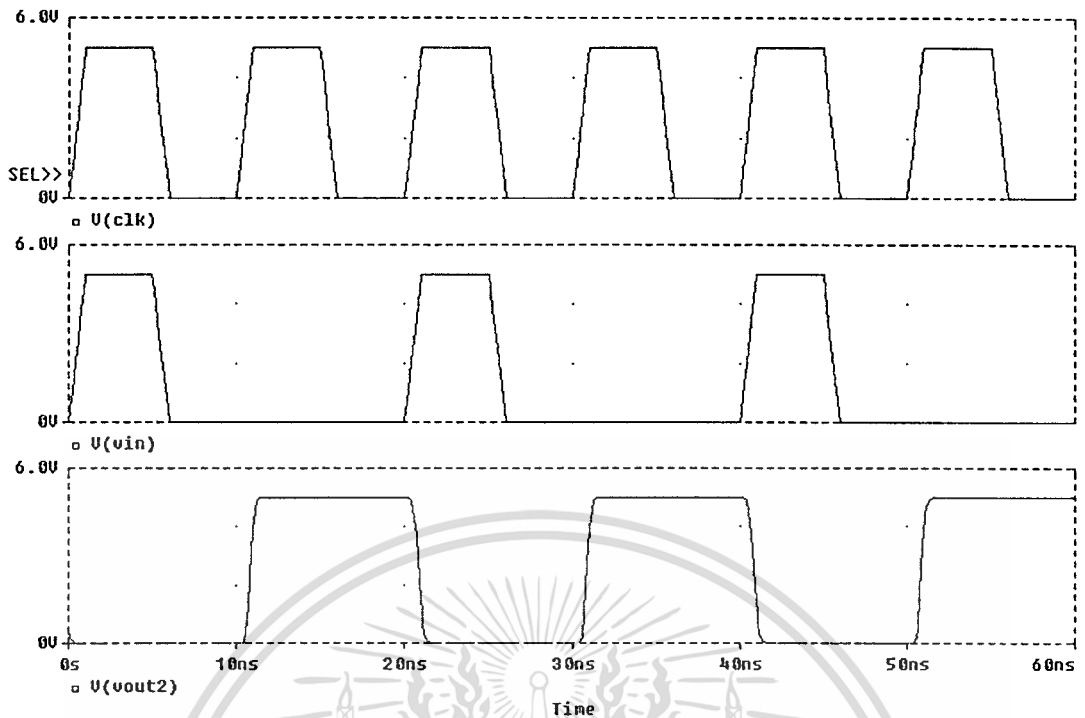
รูปที่ 5.1 แสดงวงจรที่ใช้ทดสอบ

ตารางที่ 5.1 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level-2)

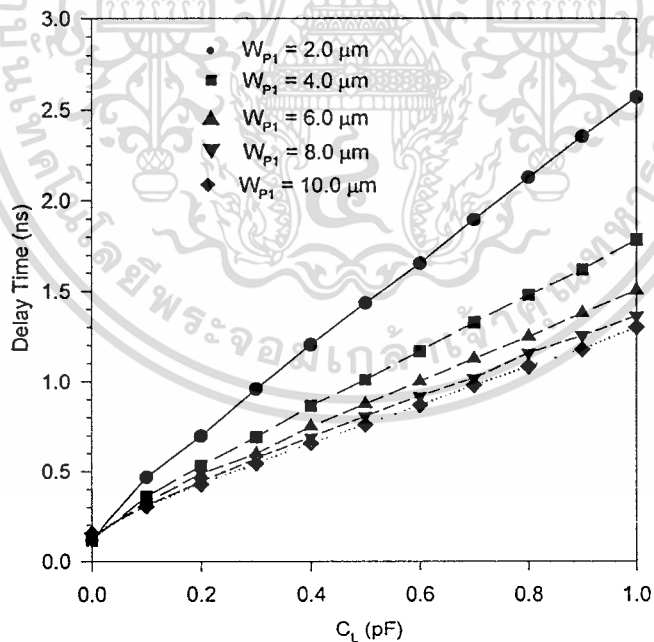
Device	Pspice Parameter
NMOS	LEVEL = 2, VTO = 0.8, UO = 500, TOX = 250, NSUB = 10E16, XJ = 0.2E-6, LD = 0.15, CGSO = 350P, CGDO = 350P, CJ = 0.33E-3, MJ = 0.5
PMOS	LEVEL = 2, VTO = -0.8, UO = 250, TOX = 250, NSUB = 10E16, XJ = 0.2E-6, LD = 0.15, CGSO = 350P, CGDO = 350P, CJ = 0.33E-3, MJ = 0.5

5.1.1 การทดสอบการทำงานของวงจรสแตติกแลตช์

จากรูปที่ 5.1 การทดสอบที่ความถี่ 100 MHz ด้วยสัญญาณขาเข้า $V_{in} = 1, 0, 1, 0, \dots$ ด้วยค่าเวลาขาขึ้น และค่าเวลาขาลง = 1ns ด้วยเทคโนโลยีซีมอส $L_{min} = 0.8 \mu m$ และ $W_{min} = 1.0 \mu m$ และมีค่าตัวแปรของอุปกรณ์ตามตารางที่ 5.1 ที่อุณหภูมิ $85^\circ C$

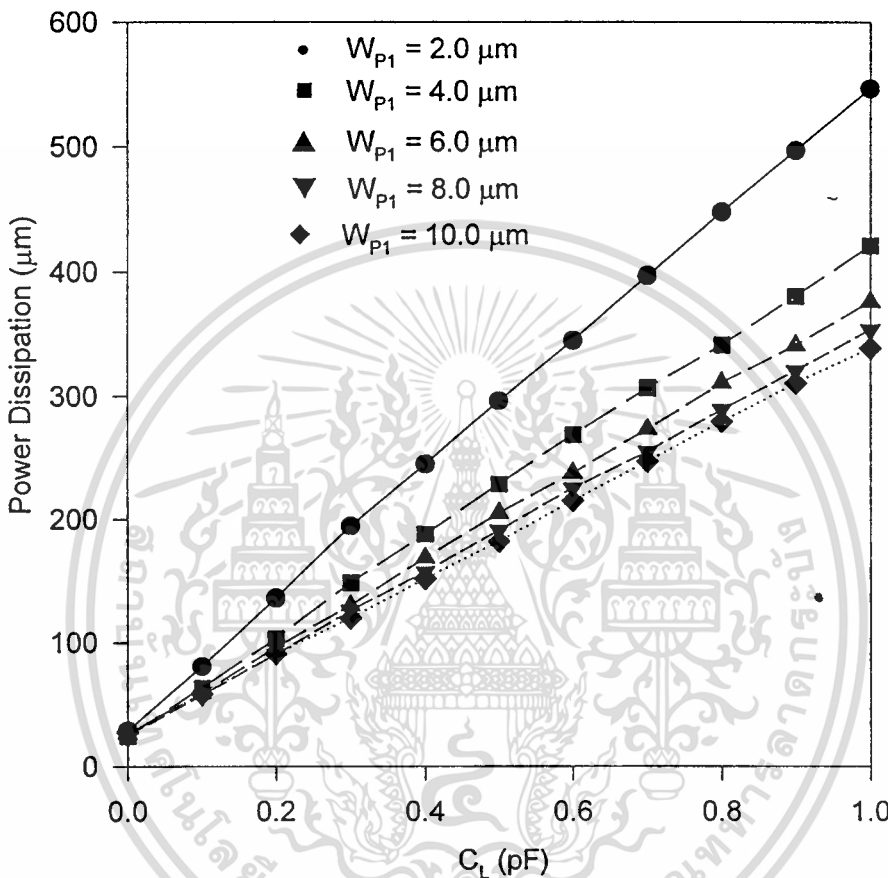


รูปที่ 5.2 แสดงการทำงานของวงจรสแตติกแลตซ์ซีมอส ที่ $C_L = 1$ pF



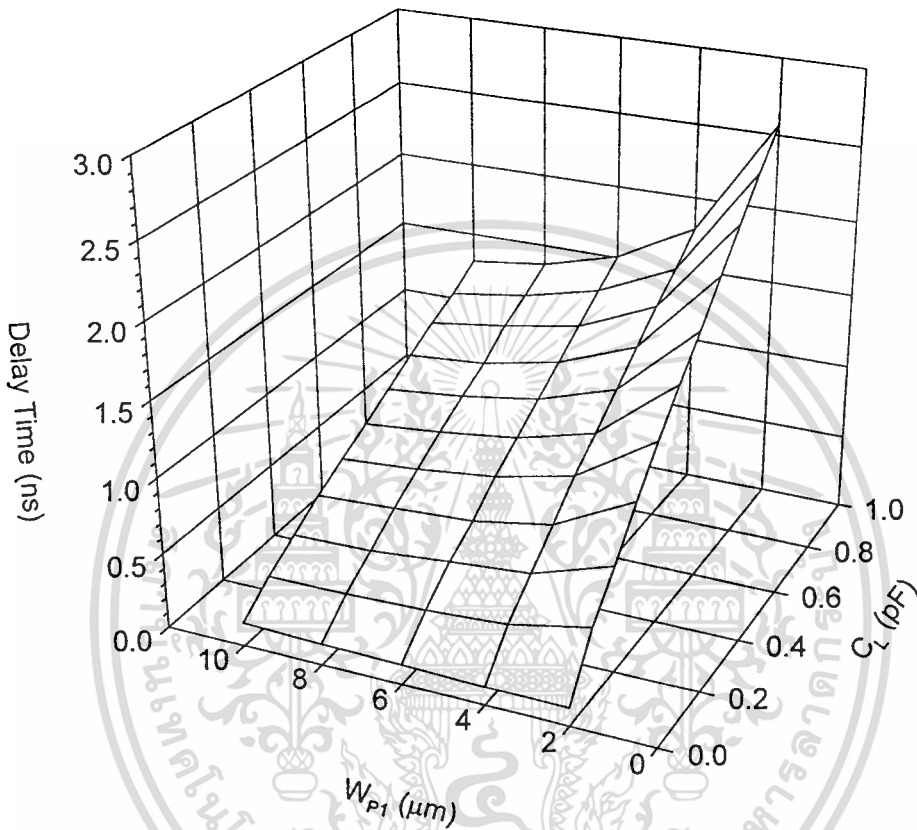
รูปที่ 5.3 ค่า Delay Time เมื่อเพิ่มค่า C_L ที่ค่า W_{p1} ต่าง ๆ เมื่อ $L_{p1} = 0.8 \mu\text{m}$

จากรูปที่ 5.3 แสดงค่า Delay Time จะมีค่าเพิ่มมากขึ้นเมื่อค่าความจุโหลดมีค่าเพิ่มขึ้น และกราฟจะมีความชันที่ลดลงเมื่อค่าของ W_{p1} มีค่าเพิ่มมากขึ้น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



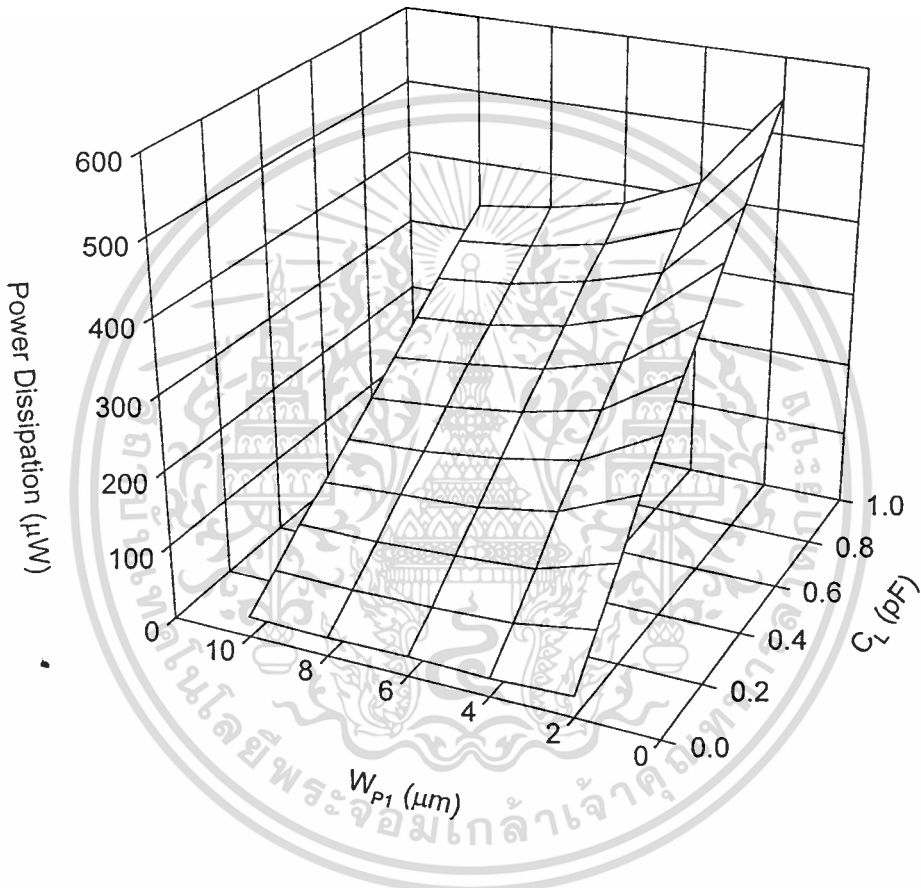
รูปที่ 5.4 ค่า Power Dissipation เมื่อเพิ่มค่า C_L ที่ค่า W_{p1} ต่าง ๆ เมื่อ $L_{p1} = 0.8 \mu\text{m}$

จากรูปที่ 5.4 แสดงค่า Power Dissipation ที่ใช้วิธีการวัดของ Kang [20] จะมีการเปลี่ยนแปลงค่าไปในแนวทางเดียวกับ ค่า Delay Time คือเมื่อค่าความจุโหลดเพิ่มขึ้น และกราฟจะมีความชันที่ลดลงเมื่อค่าของ W_{p1} มีค่าเพิ่มมากขึ้นจนกราฟที่ได้มีค่าใกล้เคียงกันมาก



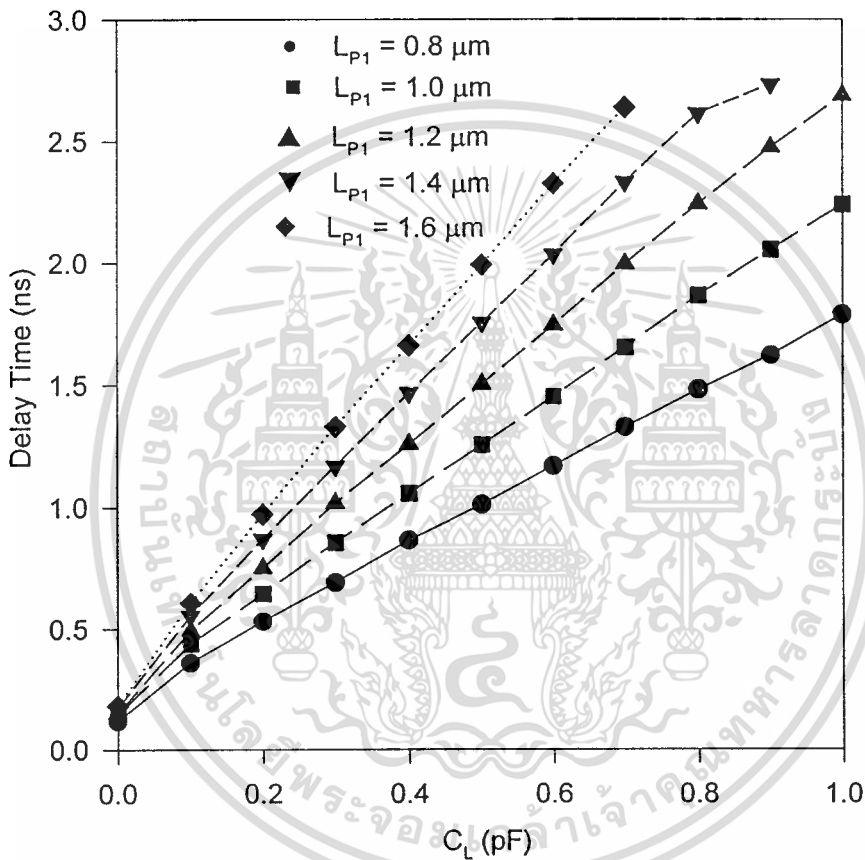
รูปที่ 5.5 ค่า Delay Time เมื่อเพิ่มค่า C_L และ W_{p1} เมื่อ $L_{p1} = 0.8 \mu\text{m}$

จากรูปที่ 5.5 เมื่อนำค่าที่ได้จากรูปที่ 5.3 มาเขียนลงในกราฟ 3 มิติ จะเห็นได้ชัดเจนว่า ค่า Delay Time จะเพิ่มขึ้นอย่างรวดเร็วเมื่อค่าความจุโหลดมีค่าเพิ่มขึ้น ซึ่งจะสวนทางกันกับในด้านของ W_{p1} ที่ Delay Time มีค่าลดลงเมื่อค่า W_{p1} เพิ่มมากขึ้น



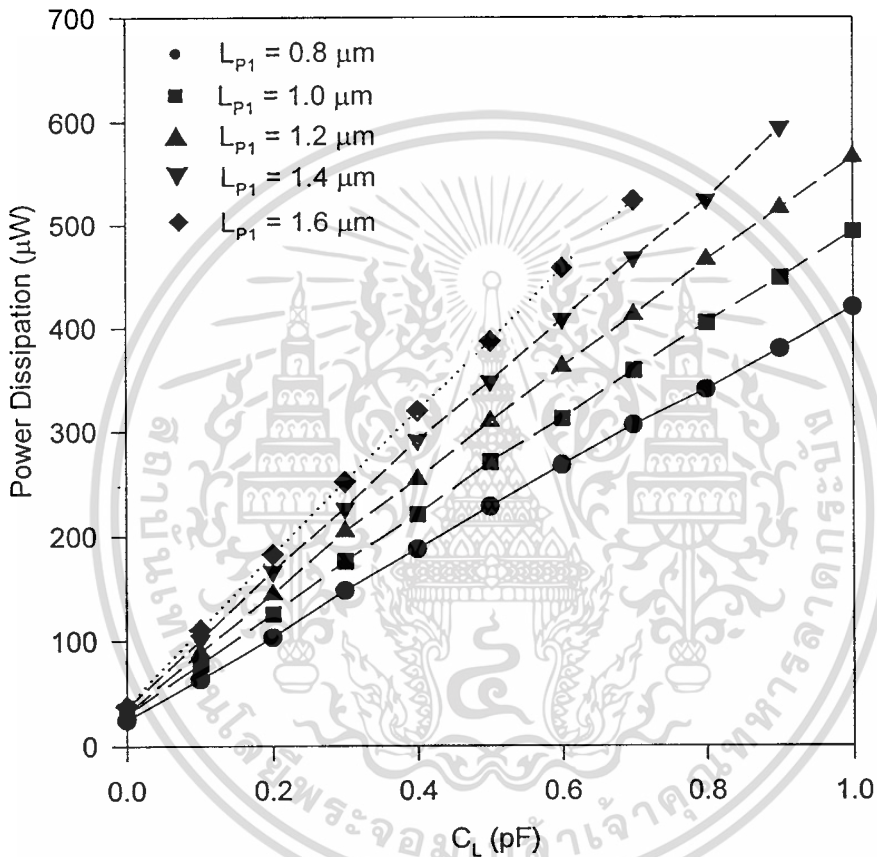
รูปที่ 5.6 ค่า Power Dissipation เมื่อเพิ่มค่า C_L และ W_{p1} เมื่อ $L_{p1} = 0.8 \mu\text{m}$

จากรูปที่ 5.6 แสดงค่า Power Dissipation ซึ่งได้รับผลจากการเปลี่ยนแปลงค่าความจุโหลด และค่า W_{p1} แต่ค่า Power Dissipation จะมีค่าเพิ่มขึ้นตามค่าความจุโหลด และค่า Power Dissipation มีค่าลดลงเมื่อค่า W_{p1} เพิ่มมากขึ้น



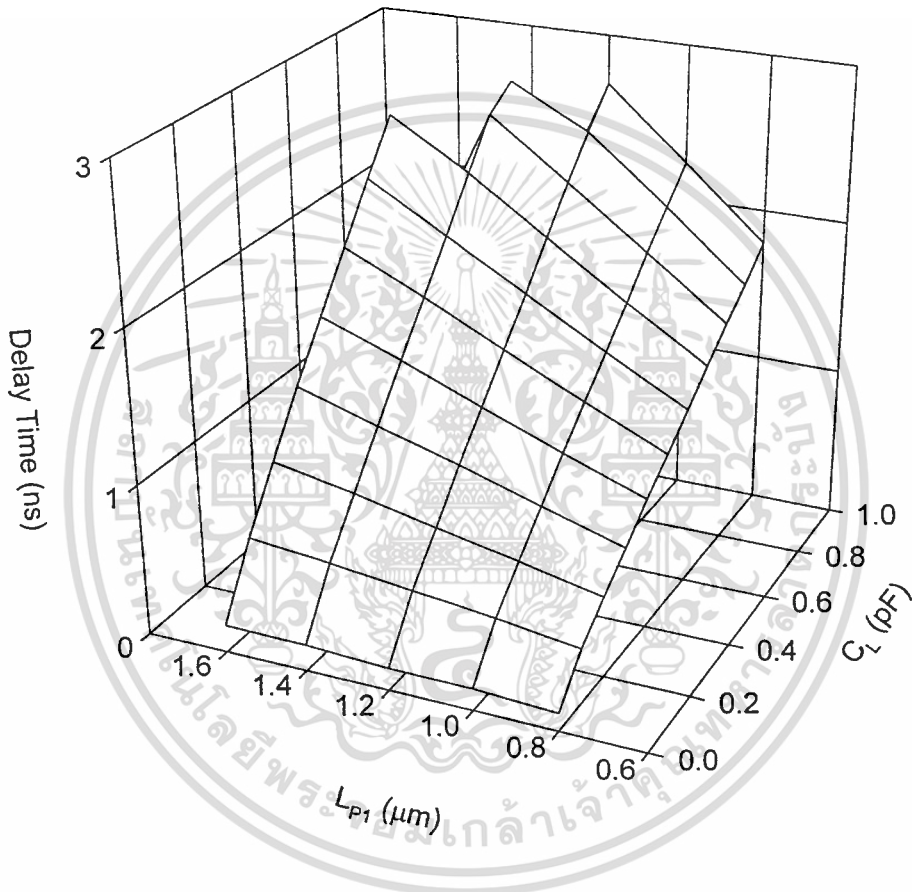
รูปที่ 5.7 ค่า Delay Time เมื่อเพิ่มค่า C_L ที่ค่า L_{P1} ต่าง ๆ เมื่อ $W_{P1} = 4 \mu\text{m}$

จากรูปที่ 5.7 แสดงค่า Delay Time เมื่อเพิ่มค่า C_L ที่ค่า L_{P1} ต่าง ๆ ซึ่งจะพบว่าเมื่อค่า C_L มีค่าเพิ่มขึ้นค่า Delay Time ก็มีค่าเพิ่มขึ้นเช่นกัน แต่เมื่อลดค่า L_{P1} ค่า Delay Time จะลดลง



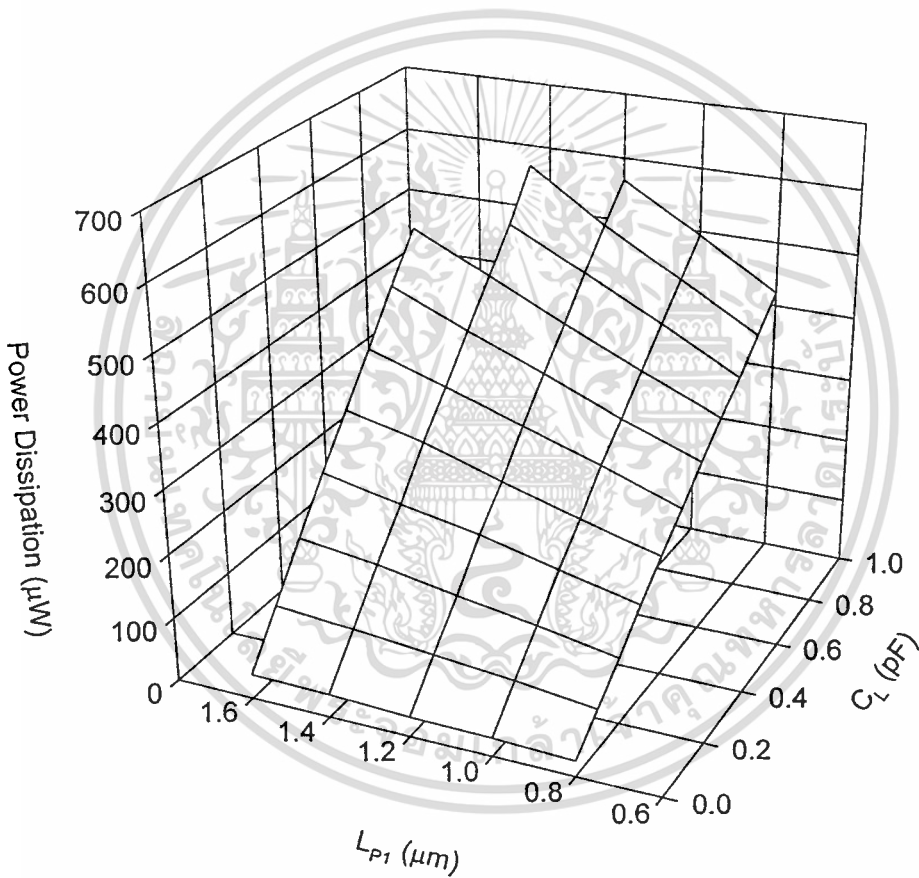
รูปที่ 5.8 ค่า Power Dissipation เมื่อเพิ่มค่า C_L ที่ค่าของ L_{p1} ต่าง ๆ เมื่อ $W_{p1} = 4 \mu\text{m}$

จากรูปที่ 5.8 ค่า Power Dissipation เมื่อเพิ่มค่า C_L ที่ค่าของ L_{p1} ต่าง ๆ จะพบว่าค่า Power Dissipation จะมีค่าเพิ่มขึ้นเมื่อเพิ่ม ค่า C_L และค่าของ L_{p1} ด้วย



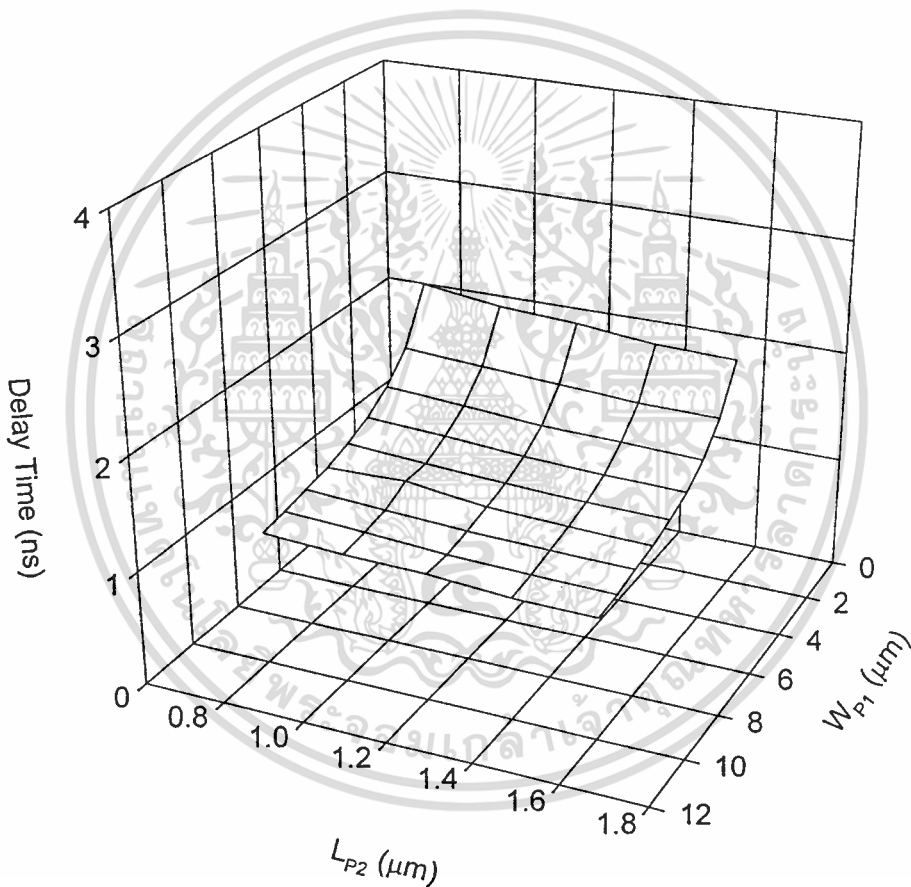
รูปที่ 5.9 ค่า Delay Time เมื่อเพิ่มค่า C_L และ L_{p1} เมื่อ $W_{p1} = 4 \mu\text{m}$

จากรูปที่ 5.9 แสดงค่า Delay Time เมื่อเพิ่มค่า C_L และ L_{p1} ซึ่งจะพบว่าเมื่อลดค่า C_L และค่า L_{p1} แล้ว ค่า Delay Time จะมีค่าลดลง ส่วนค่า C_L เท่ากับ 1 pF และค่า L_{p1} เท่ากับ 1.4 μm ไม่สามารถวัดค่า Delay Time ได้เนื่องจากที่จุดนั้นเอาท์พุทที่ได้เข้าสู่สถานะเมตาสเตเบิลแล้ว



รูปที่ 5.10 ค่า Power Dissipation เมื่อเพิ่มค่า C_L และ L_{p1} เมื่อ $W_{p1} = 4 \mu\text{m}$

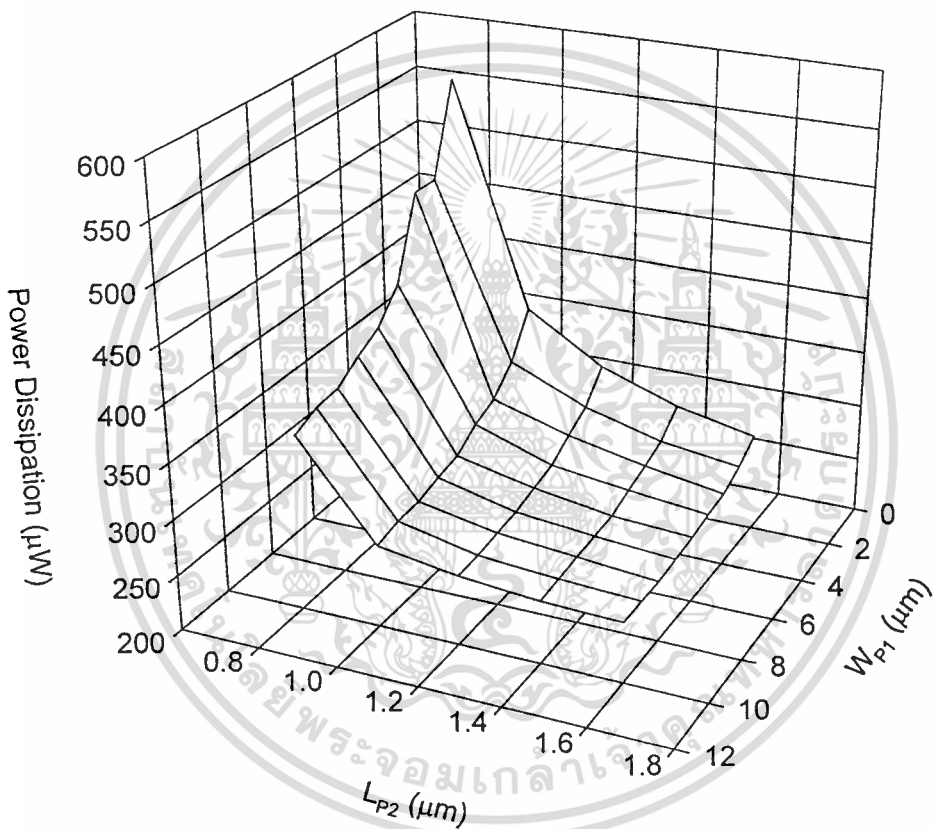
จากรูปที่ 5.10 แสดงค่า Power Dissipation เมื่อเพิ่มค่า C_L และ L_{p1} ซึ่งจะพบว่าเมื่อลดค่า C_L และค่า L_{p1} จะได้ค่า Power Dissipation ที่น้อยที่สุด ส่วนค่า C_L เท่ากับ 1 pF และค่า L_{p1} เท่ากับ 1.4 μm ไม่สามารถวัดค่า Power Dissipation ได้เนื่องจากเอาท์พุตเข้าสู่สภาวะเมตาสเตเบิลแล้ว



รูปที่ 5.11 ค่า Delay Time เมื่อเพิ่มค่า W_{P1} และ L_{P2} เมื่อ $C_L = 1\text{pF}$

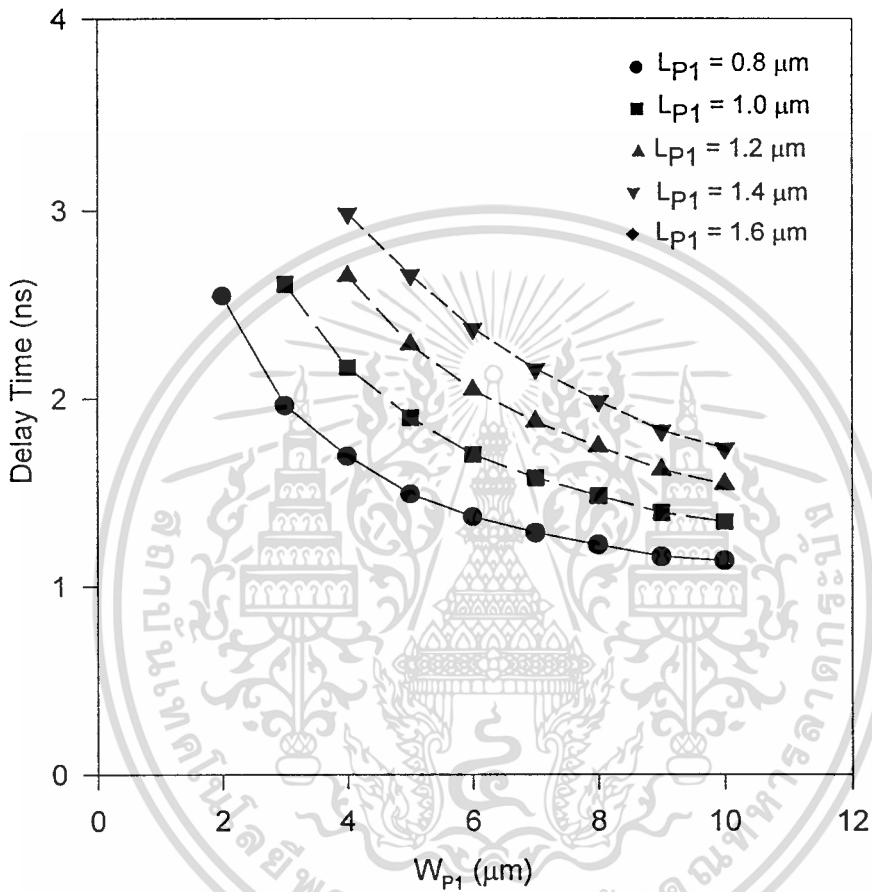
จากรูปที่ 5.11 แสดงค่า Delay Time จะมีค่าเพิ่มมากขึ้นเมื่อ W_{P1} มีค่าเพิ่มขึ้น โดยที่การเพิ่มของค่า L_{P2} จะไม่ค่อยมีผลกระทบต่อค่าการเพิ่มของ Delay Time เท่าไรนัก เมื่อคิดเทียบกับค่าความจุโหลดมีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



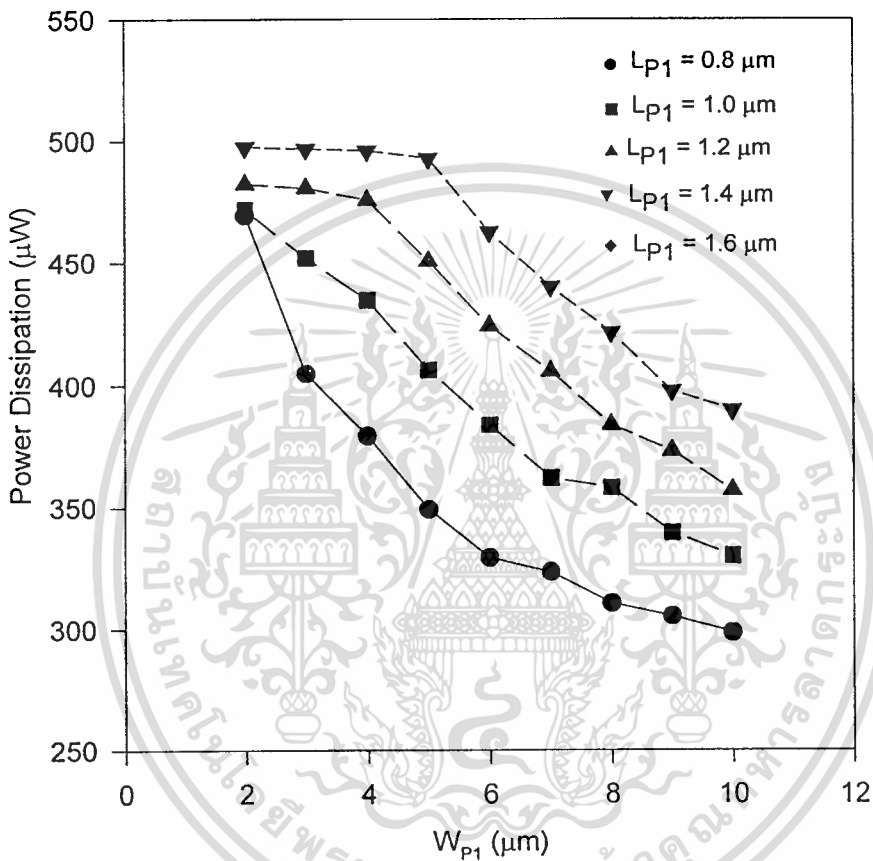
รูปที่ 5.12 ค่า Power Dissipation เมื่อเพิ่มค่า W_{p1} และ L_{p2} เมื่อ $C_L = 1\text{pF}$

จากรูปที่ 5.12 แสดงค่า Power dissipation เมื่อเพิ่มค่า W_{p1} และ L_{p2} พร้อมกันจะพบว่า W_{p1} และ L_{p2} ควรที่จะมีค่าที่สูงด้วย เพื่อให้ได้กำลังที่ต่ำ



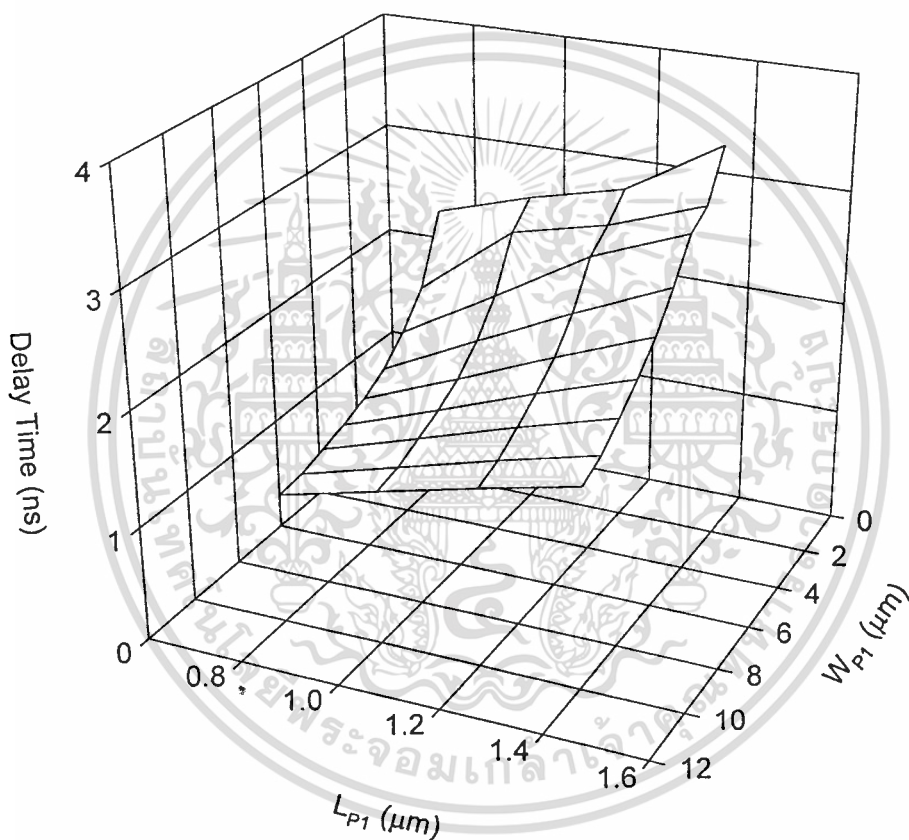
รูปที่ 5.13 ค่า Delay Time เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ต่าง ๆ เมื่อ $C_L = 1 \text{ pF}$

จากรูปที่ 5.13 แสดงค่า Delay Time เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ต่าง ๆ ซึ่งจะพบว่าค่า Delay Time จะมีค่าลดลงเมื่อ ค่า W_{p1} มีค่าเพิ่มขึ้น แต่จะมีค่าเพิ่มขึ้นเมื่อค่า L_{p1} มีค่าเพิ่มขึ้นด้วย



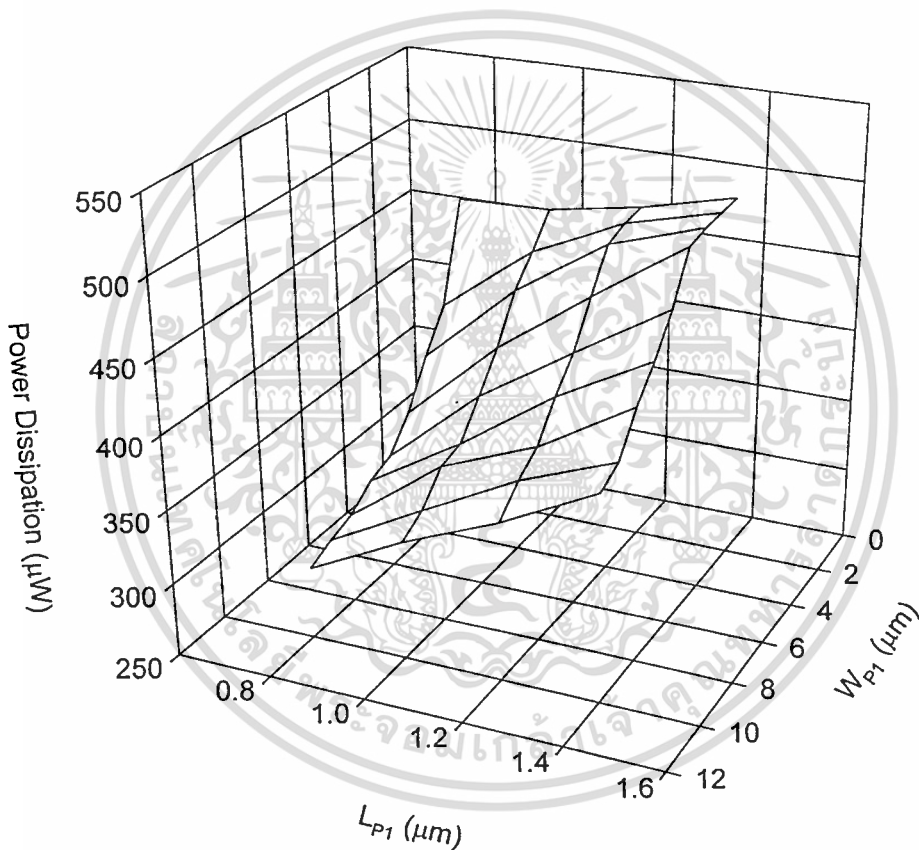
รูปที่ 5.14 ค่า Power Dissipation เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ค่าต่าง ๆ เมื่อ $C_L = 1 \text{ pF}$

จากรูปที่ 5.14 แสดงค่า Power Dissipation เมื่อเพิ่มค่า W_{p1} ที่ค่า L_{p1} ค่าต่าง ๆ ซึ่งพบว่าค่า Power Dissipation จะแปรผันตามกันทั้งต่อการเปลี่ยนแปลงของ L_{p1} และ W_{p1}



รูปที่ 5.15 ค่า Delay Time เมื่อเพิ่มค่า L_{p1} และ W_{p1} เมื่อ $C_L = 1 \text{ pF}$

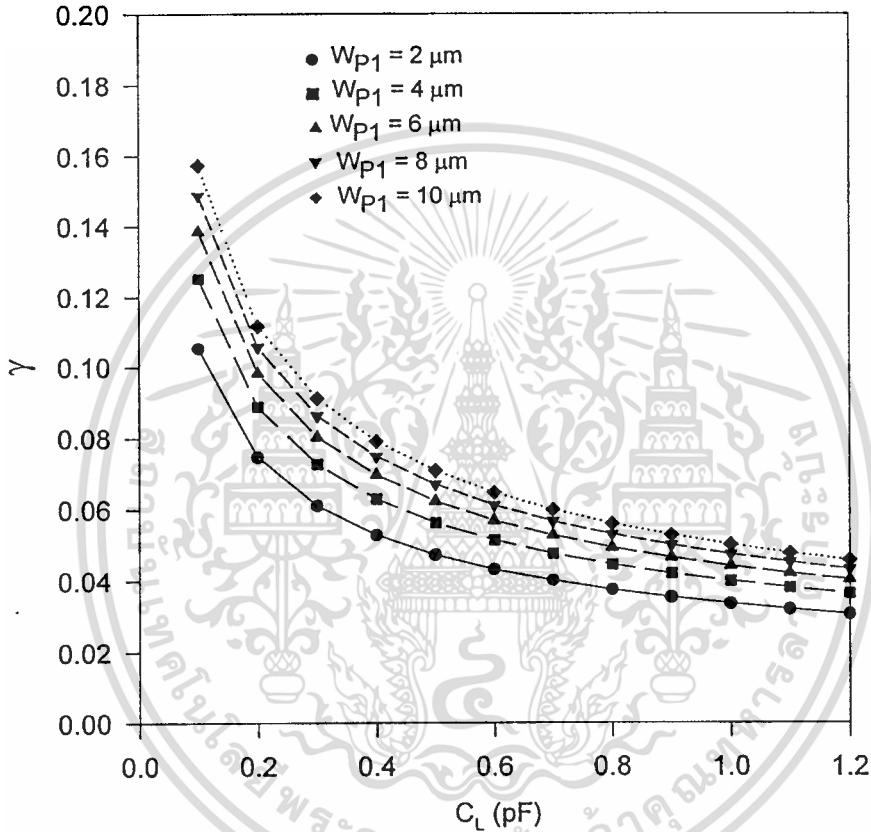
จากรูปที่ 5.15 แสดงค่า Delay Time เมื่อเพิ่มค่า L_{p1} และ W_{p1} ซึ่งค่า Delay Time นั้นมีการแปรผันตามค่า L_{p1} แต่ ซึ่งจะสวนทางกันกับค่าของ W_{p1} ซึ่ง Delay Time มีค่าลดลงเมื่อค่า W_{p1} เพิ่มมากขึ้น



รูปที่ 5.16 ค่า Power Dissipation เมื่อเพิ่มค่า L_{p1} และ W_{p1} เมื่อ $C_L = 1 \text{ pF}$

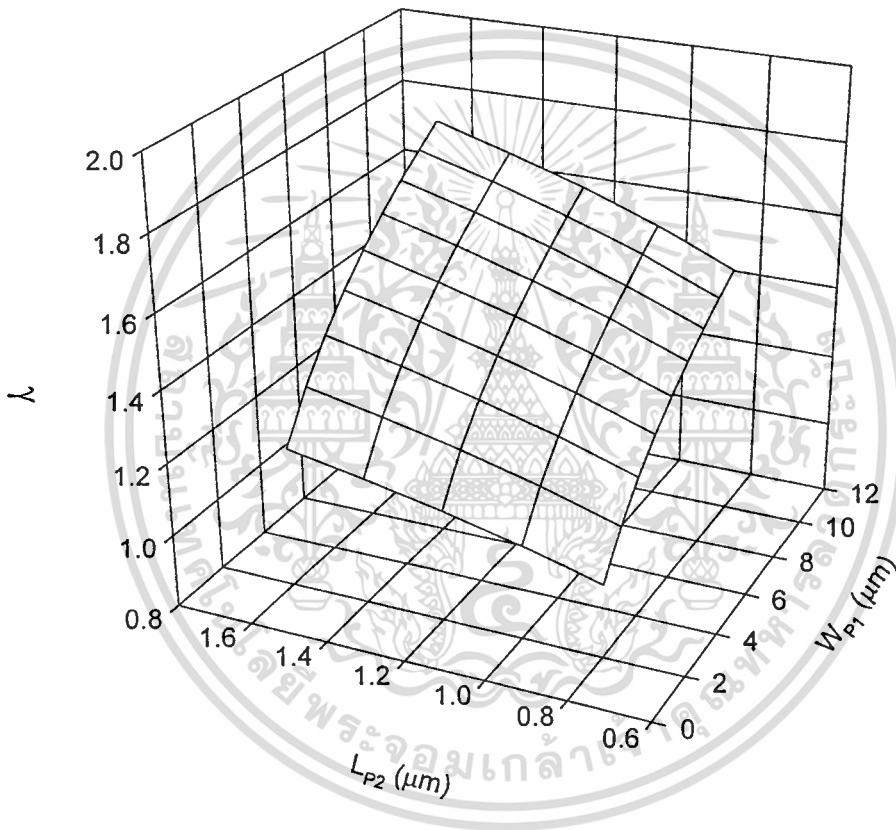
จากรูปที่ 5.16 แสดงค่า Power Dissipation เมื่อเพิ่มค่า L_{p1} และ W_{p1} ค่า Power Dissipation จะได้รับผลจากการเปลี่ยนค่า L_{p1} โดยค่า Power Dissipation จะมีค่าเพิ่มขึ้นตามค่า L_{p1} แต่ที่ W_{p1} มีค่าน้อย Power Dissipation จะมีค่ามากกว่าที่ W_{p1} มาก ๆ

5.2 การทดสอบปัญหาเมตาสเตบิล



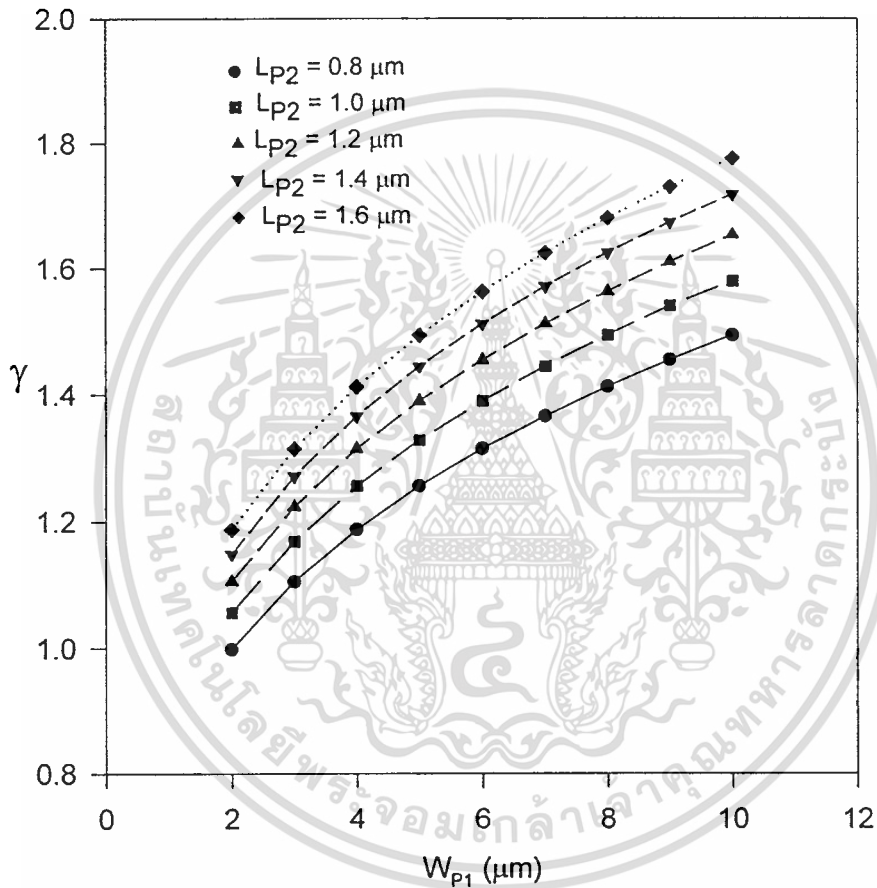
รูปที่ 5.17 แสดงค่า γ ต่อ C_L ที่ W_{p1} ค่าต่าง ๆ

จากรูปที่ 5.17 แสดงค่า γ ต่อ C_L จะพบว่าเมื่อต้องการให้ค่า γ มีค่ามากที่สุดค่า C_L ควรจะมีค่าน้อยและ W_{p1} ควรมีค่าที่สูง



รูปที่ 5.18 ค่า γ เมื่อ เมื่อเพิ่มค่า W_{p1} และ L_{p2} เมื่อ $C_L = 1\text{pF}$

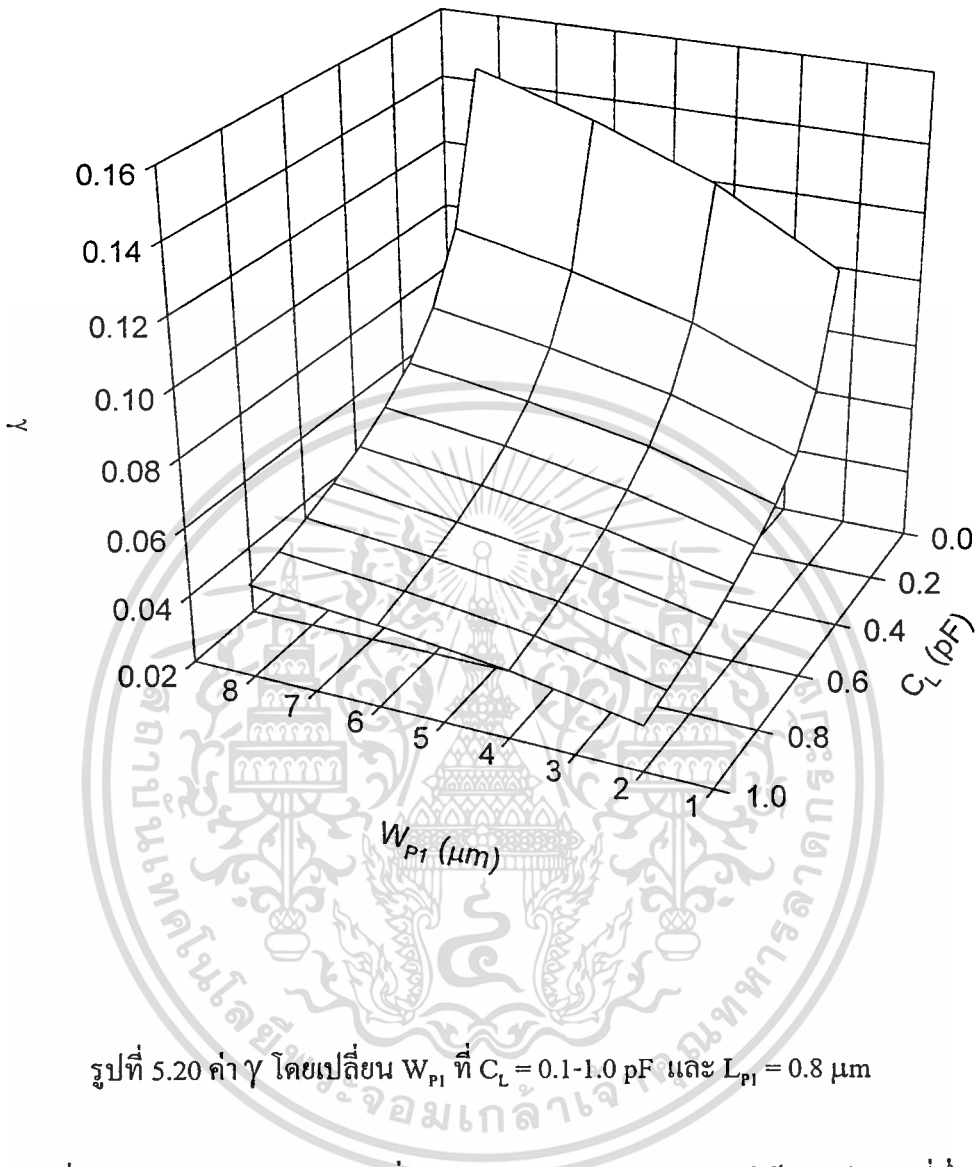
จากรูปที่ 5.18 ค่า γ แปรตามการเพิ่มขึ้นของทั้งค่า W_{p1} และ L_{p2} โดยแปรไปในแนวทางเดียวกัน คือค่า W_{p1} น้อย ค่า γ ก็มีค่าน้อยตาม เช่นเดียวกันกับในกรณีของค่า L_{p2}



รูปที่ 5.19 แสดงค่า γ โดยเปลี่ยน W_{p1} ที่ $L_{p2} = 0.8, 1.0, 1.2, 1.4, 1.6 \mu\text{m}$ และ $C_L = 1 \text{ pF}$

จากรูปที่ 5.19 จะพบว่า ค่า γ จะมีค่ามากขึ้นเมื่อ W_{p1} มีค่ามากขึ้น และ L_{p2} มีค่ามากขึ้น

ด้วย



รูปที่ 5.20 ค่า γ โดยเปลี่ยน W_{p1} ที่ $C_L = 0.1-1.0$ pF และ $L_{p1} = 0.8$ μm

รูปที่ 5.20 แสดงค่า γ โดยการเปลี่ยนค่า W_{p1} และ C_L โดยกำหนดให้ L_{p1} มีค่าคงที่ซึ่งจะพบว่าเมื่อค่า C_L มีค่าน้อยลง ค่า γ จะมีค่ามากขึ้นและเช่นเดียวกับค่า W_{p1} ด้วย

บทที่ 6

บทสรุปและวิจารณ์

6.1 สรุปผลการทดสอบ

ผลการออปติไมเซชันที่ได้จากการจำลองวงจรจากโปรแกรม PSpice มีการแปรค่าของความกว้าง, ความยาว และขนาดของความจุโหลด เมื่อพิจารณาค่า γ จะพบว่า เมื่อต้องการค่า γ ที่มีค่าสูง ๆ W_{p1} และ L_{p2} ต้องมีค่าสูงด้วย ส่วน C_L ควรมีค่าน้อย เพื่อที่จะหลีกเลี่ยงการเกิดสถานะเมตาสเตเบิล และในการจำลองวงจรในวิทยานิพนธ์ฉบับนี้ ยังคำนึงถึงการออปติไมเซชันเพื่อให้วงจรทำงานได้อย่างมีประสิทธิภาพมากที่สุดด้วย

ปัญหาเมตาสเตเบิลเป็นปัญหาที่บางครั้งไม่ได้รับการสนใจ แต่ถ้าหากเกิดขึ้นแล้วจะทำให้ระบบเกิดการทำงานของวงจรเกิดความผิดพลาด ซึ่งวิธีการที่เสนอนี้เป็นวิธีการหนึ่ง เพื่อที่จะลดโอกาสการเกิดสถานะเมตาสเตเบิล ซึ่งบางครั้งอาจพิจารณาในรูปของ MTBF (Mean Time Between Failure) ซึ่งเป็นค่าทางสถิติที่จะบอกโอกาสของการเกิดสถานะเมตาสเตเบิล ค่า Gain Bandwidth และ ค่า Metastability Window ซึ่งเป็นตัวแปรอีกตัวหนึ่งซึ่งใช้ในการหาโอกาสในการเกิดสถานะเมตาสเตเบิล

เอกสารอ้างอิง

- [1] I. Catt, "Time loss through gating of asynchronous logic signal pulses," *IEEE Trans. Electron. Computers*, vol. EC-15, pp. 108-111, Feb. 1966.
- [2] T. J. Chaney and C. E. Molnar, "Anomalous behavior of synchronizer and arbiter circuits," *IEEE Trans. Computers*, vol. C-22, no. 4, pp. 421-422, Apr. 1973.
- [3] G. R. Couranz and D. F. Wann, "Theoretical and experimental behavior of synchronizers operation in the metastable region," *IEEE Trans. Computers*, vol. C-24, no. 6, pp. 604-616, June 1975.
- [4] M. Pechoucek, "Anomalous response times of input synchronizers," *IEEE Trans. Computers*, vol. C-25, no. 2, pp. 133-139, Feb. 1976.
- [5] G. Elineau and W. Wisebeck, "A new J-K flip flop for synchronizers," *IEEE Trans. Computers*, vol. C-26, pp. 1277-1278, Dec. 1977.
- [6] B. Liu and N. C. Gallagher, "On the Metastable Region of Flip-Flop Circuit," *Proc. IEEE*, pp. 581-583, April 1977.
- [7] W. Fleischhammer and O. Dortak, "The anomalous behavior of flip-flops in synchronizer circuits," *IEEE Trans. Comput.*, vol. C-28, pp. 273-276, Dec. 1979.
- [8] H. J. M. Veendrick, "The behavior of flip-flops used as synchronizers and prediction of their failure rate," *IEEE J. Solid-State Circuits*, vol. SC-15, no. 2, pp. 169-176, Apr. 1980.
- [9] L. R. Marino, "General theory of metastable operation," *IEEE Trans. Computers*, vol. C-30, no. 2, pp. 107-115, Feb. 1981.
- [10] F. Rosenberger and T. J. Chaney, "Flip-Flop Resolving Time Test Circuit," *IEEE J. Solid-State Circuits*, vol. SC-17, no. 4, Aug. 1982.
- [11] J. H. Hohl, W. R. Larsen and L. C. Schooley, "Prediction of error probabilities of integrated digital synchronizer," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 2, pp. 236-244, Apr. 1984.
- [12] S. T. Flanagan, "Synchronization reliability in CMOS technology," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 4, pp. 880-882, Aug. 1985.
- [13] T. Karprzak and A. Albiicki, "Analysis of metastable operation in RS CMOS flip-flops," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 1, pp. 57-64, Feb. 1987.

- [14] T. Sakurai, "Optimization of CMOS arbiter and synchronizer circuits with submicrometer MOSFET's," *IEEE J. Solid-State Circuits*, vol. SC-23, no. 4, pp. 901-906, Aug. 1988.
- [15] M. Shoji, *CMOS Digital Circuit Technology*, Englewood Cliffs, NJ: Prentice-Hall, 1988.
- [16] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 1993.
- [17] J. U. Horstmann, H. J. W. Eichel and R. L. Coates, "Metastability behavior of CMOS ASIC flip-flops in theory and test," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 146-157, Feb. 1989.
- [18] L. S. Kim, and R. W. Dutton, "Metastability of CMOS Latch/Flip-Flop," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 942-951, Aug. 1990.
- [19] K. Dejhan, F. Cheevasuvit, S. Junnapiya and B. Chalermpanich, "Micron and Submicron design considerations of CMOS transistor optimization for VLSI design," *Proc. of The 5th International Symposium on IC Technology, Systems & Applications*, Singapore, pp. 279-283, Sep. 1993.
- [20] S. M. Kang, "Accurate Simulation of Power Dissipation VLSI Circuits," *IEEE J. Solid-State Circuits*, vol. 21, no. 5, pp. 889-891, Oct. 1986.
- [21] W. A. M. Van Noije, W. T. Liu and J. Navarro S. Jr., "Precise final state determination of mismatched CMOS latches," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 607-611, May 1995.
- [22] R. C. Jaeger and R. M. Fox, "Analytic expressions for the critical charge in CMOS static RAM cells," *IEEE Trans. Nucl. Sci.*, vol. NS-30, no. 6, pp. 4616-4619, Dec. 1983.
- [23] M. Buehler and R. Allen, "An analytical method for predicting CMOS SRAM upsets with application to asymmetrical memory cells," *IEEE Trans. Nucl. Sci.*, vol. NS-33, no. 6, pp. 1637-1641, Dec. 1986.
- [24] K. O. Jeppson, "Comments on the Metastable Behavior of Mismatched CMOS Latches," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 275-277, Feb. 1996.
- [25] L. A. Glasser and L.P.J. Hoyte, "Delay and Power Optimization in VLSI Circuits," *Proc. 21st ACM/IEEE Design Automation Conf.*, pp. 529-535, 1984.
- [26] K. Dejhan and F. Cheevasuvit, "Area power trade-off for CMOS latch VLSI array architectures," *Proc. of the 6th International Symposium on IC Technology, Systems & Applications*, Singapore, pp. 84-86, Sep. 1995.



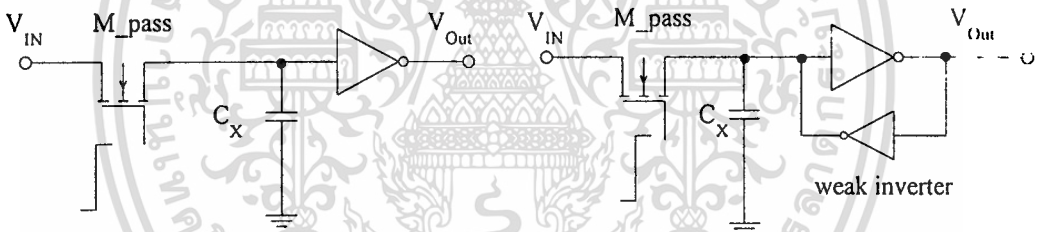
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ทรานซิสเตอร์ผ่าน (Pass transistor)

จากรูปที่ ก.1 แสดงวงจรไดนามิกและสแตติกแลตช์ ซึ่งประกอบด้วยทรานซิสเตอร์ผ่าน และวงจรอินเวอร์เตอร์ การทำงานของทรานซิสเตอร์ผ่าน (M_{pass}) จะถูกป้อนด้วยสัญญาณนาฬิกา (clk) ซึ่งทำหน้าที่เป็น access switch ทำการชาร์จและคายประจุความจุแฝง (C_x) ขึ้นกับสัญญาณอินพุตที่ป้อน ดังนั้นการทำงานของทรานซิสเตอร์ผ่านในช่วง active ($clk = 1$) สามารถแบ่งได้เป็น 2 กรณี คือ การส่งผ่านลอจิก '1' (หรือการชาร์จ C_x จนมีลอจิก high) และการส่งผ่านลอจิก "0" (หรือการคายประจุ C_x จนมีลอจิก low) ทั้งสองกรณีสัญญาณเอาต์พุตของวงจรแลตช์จะมีค่าลอจิกขึ้นอยู่กับสัปดาห์ที่ V_x



รูปที่ ก.1 ไดนามิกแลตช์และ สแตติกแลตช์

สังเกตได้ว่า ทรานซิสเตอร์ผ่าน (M_{pass}) จะทำหน้าที่เพียงเป็นทางผ่านของกระแสระหว่างอินพุต และ ความจุ โหนด x เมื่อ $clk = 1$ และ ทรานซิสเตอร์ผ่านจะหยุดการนำกระแส เมื่อ $clk = 0$ ประจุซึ่งถูกเก็บไว้ที่ C_x จะเป็นตัวกำหนดระดับสัญญาณเอาต์พุตต่อไป

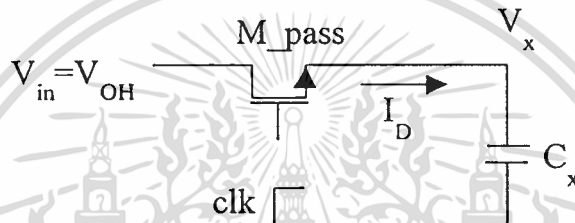
การส่งผ่านลอจิก '1'

สมมติว่าเริ่มแรกสัปดาห์ที่ V_x มีค่าเท่ากับ 0 V และลอจิก '1' ถูกป้อนเข้าที่อินพุตของวงจร ($V_{in} = V_{ih}$) เมื่อสัญญาณนาฬิกาเปลี่ยนจาก 0 เป็น 1 ที่เวลา $t=0$ ทรานซิสเตอร์ผ่านจะนำกระแสและชาร์จที่สัญญาณนาฬิกายังคง active ($clk = 1$)

จาก $V_{GS} = V_{DD}$ ในขณะที่ $V_{DS} = V_{in} = V_{DD}$ หรือ $V_{DD} - V_{BE}$ เมื่อวงจรภาคก่อนหน้าเป็นแบบ Full swing และ partial swing ตามลำดับ ดังนั้นสามารถแบ่งการทำงานได้ดังนี้

เมื่อเอาต์พุต previous stage = $\begin{cases} \text{Full swing ; } M_{\text{pass}} \text{ ทำงานในย่านอิ่มตัว (} V_{DS} > V_{GS} - V_{th} \text{)} \\ \text{Partial swing ; } M_{\text{pass}} \text{ ทำงานในย่านอิ่มตัวเมื่อ } V_{BE} < V_{th} \\ \text{และ ทำงานในย่านเชิงเส้นเมื่อ } V_{BE} > V_{th} \end{cases}$

เพื่อสะดวกต่อการวิเคราะห์ห้วงจรสมมูลย์แสดงการส่งผ่านสัญญาณลจิก 1 แสดงดังรูป



รูปที่ ก.2 วงจรสมมูลย์การถ่ายโอนลจิก “1”

พิจารณาเมื่อทรานซิสเตอร์ผ่าน M_{pass} ทำงานในย่านอิ่มตัว โดยทำการชาร์จ C_x

$$C_x \frac{dV_x}{dt} = \frac{k_n}{2} (V_{DD} - V_x - V_{th})^2 \quad (\text{ก.1})$$

สังเกตว่าศักดาเทรตโฮลด์ (V_{th}) ของทรานซิสเตอร์ผ่าน ยังขึ้นอยู่กับศักดา V_x อันเนื่องมาจากปรากฏการณ์ Body effect หรือการไบอัสที่ฐานรอง และเพื่อให้ง่ายต่อการวิเคราะห์ในที่นี้จึงจะเลยผลดังกล่าวก่อน โดยพิจารณาว่าศักดาเทรตโฮลด์มีค่าคงที่ และเมื่ออินทิเกรตสมการ ก.1

$$\begin{aligned} \int_0^{V_x} dt &= \frac{2C_x}{k_n} \int_0^{V_x} \frac{dV_x}{(V_{DD} - V_x - V_{th})^2} \\ &= \frac{2C_x}{k_n} \left(\frac{1}{V_{DD} - V_x - V_{th}} \right) \Bigg|_0^{V_x(t)} \end{aligned} \quad (\text{ก.2})$$

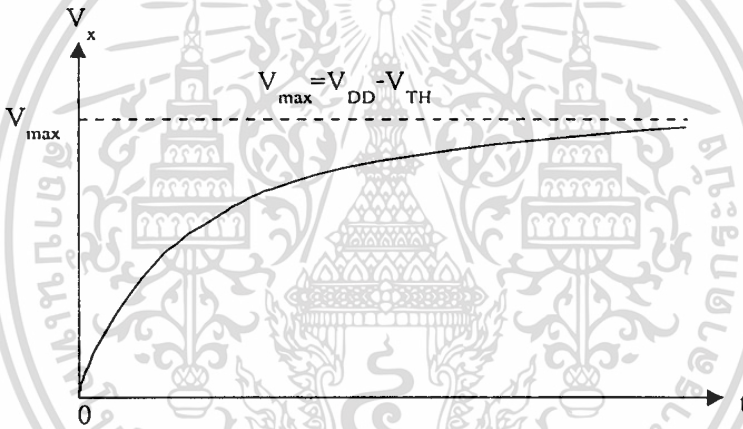
$$t = \frac{2C_x}{k_n} \left[\left(\frac{1}{V_{DD} - V_x(t) - V_{th}} \right) - \left(\frac{1}{V_{DD} - V_{th}} \right) \right] \quad (\text{ก.3})$$

ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_x(t) = (V_{DD} - V_{Th}) \frac{\left(\frac{k_n(V_{DD} - V_{Th})}{2C_x} \right) t}{1 + \left(\frac{k_n(V_{DD} - V_{Th})}{2C_x} \right) t} \quad (ก.4)$$

รูป ก.3 แสดงการเปลี่ยนแปลง V_x ในสมการ ก.4 ซึ่งเป็นฟังก์ชันของเวลา V_x จะเริ่มจาก 0 และเพิ่มขึ้นเมื่อเวลาเพิ่มขึ้น แต่จะต่ำกว่า $V_{max} = (V_{DD} - V_{Th})$ เสมอ ซึ่งรวมทั้งกรณีที่ตัดคาเอาต์พุตของภาคก่อนที่เป็นแบบ Partial swing ($V_{BE} < V_{Th}$) จากนั้นทรานซิสเตอร์ผ่าน M_{pass} จะหยุดนำกระแส เมื่อ $V_x = V_{max}$ เนื่องจาก $V_{GS} = V_{Th}$ ดังนั้นศักดาที่โนด x จึงมีค่าต่ำกว่า V_{DD} เสมอ สังเกตว่าสำหรับวงจรไบซีมอสแลตซ์ซึ่งใช้ทรานซิสเตอร์ผ่านเป็นสวิตช์ ศักดาเอาต์พุตของ previous stage จะไม่ส่งผลกระทบต่อเชื่อมโยงทางลจิก



รูปที่ ก.3 การเปลี่ยนแปลง V_x ตามเวลา ในระหว่างการส่งผ่านลจิก “1”

เมื่อข้อมกลับมาพิจารณาผลของปรากฏการณ์ Body effect ดังนั้น ศักดา V_x สูงสุดที่เป็นไปได้จากการเพิ่มขึ้นของศักดาเทรตโฮลด์ คือ

$$\begin{aligned} V_{max} &= V_x|_{t \rightarrow \infty} = V_{DD} - V_{Th} \\ &= V_{DD} - V_{Th0} - \gamma (\sqrt{|2\phi_F| + V_{max}} - \sqrt{|2\phi_F|}) \end{aligned} \quad (ก.5)$$

$$\text{เมื่อ } \gamma = \frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{ox}} \quad V^{1/2}$$

$$\phi_F = \frac{KT}{q} \ln \frac{N_A}{N_i} \quad V.$$

ดังนั้น rise time ของศักดา V_x ซึ่งได้จากสมการ ก.3 โดยไม่พิจารณาผลจาก Body effect จะมีค่าต่ำกว่า rise time จริง ซึ่งรวมผลของปรากฏการณ์การนำด้วย ทั้งนี้เนื่องจากการลดลงของกระแสทรานซิสเตอร์ซึ่งไหลผ่านเอ็นมอสทรานซิสเตอร์ จากการเพิ่มขึ้นของศักดาเทรตโฮลด์

จากสมการ ก.3 น่วงเวลาผ่านเกต (propagation gate delay : t_d) พิจารณาจาก

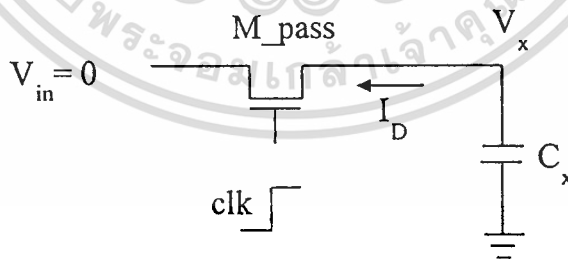
$$V_x(t_d) = \frac{V_{DD}}{2} \text{ ดังนั้น}$$

$$t_d \approx \frac{2C_x}{k_n(V_{DD} - V_{Th})} = R_{CH}C_x \quad (\text{ก.6})$$

เมื่อ R_{CH} : equivalent channel resistance

การส่งผ่านลอจิก '0'

เริ่มแรกกำหนดให้ ศักดา V_x มีลอจิก '1' โดยวิเคราะห์ต่อจากการส่งผ่านลอจิก '1' ที่ผ่านมา ดังนั้น $V_x(t=0) = V_{max} = (V_{DD} - V_{Th})$ จากนั้นลอจิก '0' ถูกป้อนเข้าที่อินพุต ซึ่งมีค่า $V_{in} = 0$ หรือ V_{BE} ขึ้นกับการสวิงสัญญาณเอาต์พุตของภาคก่อน เมื่อสัญญาณนาฬิกาเปลี่ยนจาก 0 เป็น 1 ที่เวลา $t = 0$ ทรานซิสเตอร์ผ่านจะเริ่มนำกระแสและคราบเท่าที่สัญญาณนาฬิกายังคง active ($clk = 1$) กระแสทรานซิสเตอร์ซึ่งไหลผ่าน M_{pass} จะมีทิศทางตรงข้ามกับกรณีในการส่งผ่าน ลอจิก "1" ซึ่งหมายความว่าขณะนี้ที่โนด x ทำหน้าที่เป็นครน และอินพุตโนดจะทำหน้าที่เป็นซอร์สของทรานซิสเตอร์ผ่าน โดยมีค่า $V_{GS} = V_{DD}$ และ $V_{DS} = V_{max}$ สังเกตว่าทรานซิสเตอร์จะทำงานในย่านเชิงเส้นตลอดช่วงเวลานี้โดยไม่ขึ้นกับช่วงสวิงสัญญาณของภาคก่อน เนื่องจาก $V_{DS} < V_{GS} - V_{Th}$ เสมอ



รูปที่ ก.4 วงจรสมมุทธ์เมื่อทำการส่งผ่านลอจิก "0"

จากการทำงานย่านเชิงเส้นของทรานซิสเตอร์ โดยการคายประจุที่สะสมใน C_x ดังนั้น

$$-C_x \frac{dV_x}{dt} = \frac{k_n}{2} (2(V_{DD} - V_{Th})V_x - V_x^2) \quad (\text{ก.7})$$

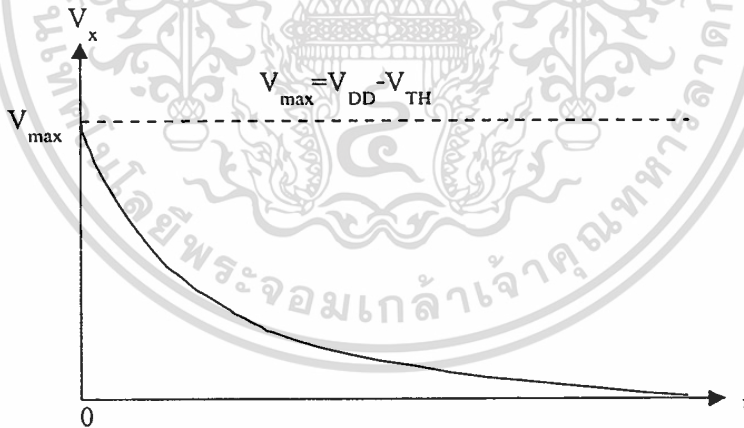
$$dt = \frac{-2C_x}{k_n} \frac{dV_x}{2(V_{DD} - V_{Th})V_x - V_x^2} \quad (\text{ก.8})$$

สังเกตว่า ศักดาที่ซอร์สของเอ็นมอสทรานซิสเตอร์ผ่านมีค่า 0 V. (หรือ V_{BE}) ดังนั้น จึงไม่เกิดการไบอัสฐานรอง ซึ่งมีผลให้ศักดาเทรคโวลต์ของ M_{pass} มีค่าคงที่ตลอดเวลาส่งผ่านลอจิก '0' ทำการอินทิเกรตสมการ ก.8

$$\int_0^t dt = \frac{2C_x}{k_n} \int_{V_{DD}-V_{Th}}^{V_x} \left(\frac{1}{2(V_{DD} - V_{Th}) - V_x} + \frac{1}{2(V_{DD} - V_{Th}) + V_x} \right) dV_x \quad (\text{ก.9})$$

$$t = \frac{C_x}{k_n(V_{DD} - V_{Th})} \left[\ln \left(\frac{2(V_{DD} - V_{Th}) - V_x}{V_x} \right) \right]_{V_{DD}-V_{Th}}^{V_x} \quad (\text{ก.10})$$

$$= \frac{C_x}{k_n(V_{DD} - V_{Th})} \ln \left(\frac{2(V_{DD} - V_{Th}) - V_x}{V_x} \right) \quad (\text{ก.11})$$



รูปที่ ก.5 การเปลี่ยนแปลงศักดา V_x ตามเวลา

ศักดา V_x จะลดลงจาก V_{max} จนมีศักดาเท่ากับ 0 V. (หรือ V_{BE}) และจากสมการที่ ก.11 ารดคำนวณ fall time ของสัญญาณ V_x โดยพิจารณาจากเวลา $t_{90\%}$ จนถึง $t_{10\%}$ ซึ่ง V_x มีค่าเท่ากับ $0.9V_{max}$ และ $0.1 V_{max}$ ตามลำดับ

$$\begin{aligned}
 t_{90\%} &= \frac{C_x}{k_n(V_{DD} - V_{Th})} \ln\left(\frac{(2-0.9)(V_{DD} - V_{Th})}{0.9(V_{DD} - V_{Th})}\right) \\
 &= \frac{C_x}{k_n(V_{DD} - V_{Th})} \ln\left(\frac{1.1}{0.9}\right)
 \end{aligned} \tag{ก.12}$$

และ

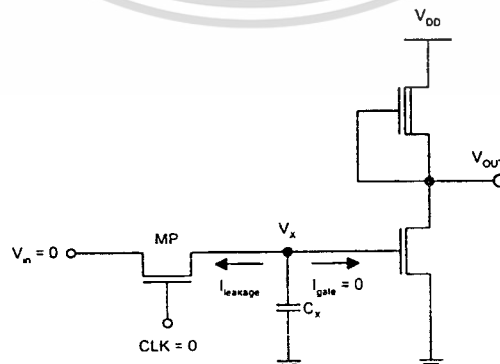
$$t_{10\%} = \frac{C_x}{k_n(V_{DD} - V_{Th})} \ln\left(\frac{1.9}{0.1}\right) \tag{ก.13}$$

ดังนั้น

$$\begin{aligned}
 \therefore t_{full} &= t_{10\%} + t_{90\%} \\
 &= 2.74 \frac{C_x}{k_n(V_{DD} - V_{Th})}
 \end{aligned} \tag{ก.14}$$

ช่วงคงค่าสัญญาณ

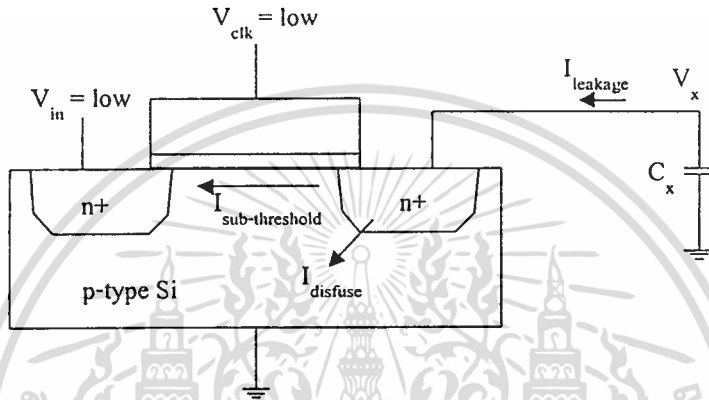
สำหรับวงจรไดนามิกเลขที่ ระดับสัญญาณเอาต์พุตจะขึ้นกับจำนวนประจุที่สะสมใน C_x โดยเฉพาะเมื่อสัญญาณนาฬิกา (clk = 0) เนื่องจากกระแสรั่วไหล ($I_{leakage}$) ดังแสดงในรูปที่ ก.6 สมมติว่าลอจิก '1' ได้ถูกส่งผ่านไปยังโหนด x ในช่วงเวลาที่สัญญาณนาฬิกา active จากนั้นทั้งสัญญาณนาฬิกาและอินพุตมีเท่ากับ 0 ประจุที่สะสมไว้ใน C_x จะเริ่มรั่วไหล โดยเฉพาะ $I_{leakage}$ ซึ่งไหลผ่านทรานซิสเตอร์ผ่าน (M_{pass}) ซึ่งในทางปฏิบัติจะละเอียดในการพิจารณา กระแสรั่วไหลที่เข้าสู่เกตของภาคถัดไป (I_{gate}) เมื่อภาคถัดไปมีอินพุตเป็นมอสทรานซิสเตอร์ เนื่องจากมีค่าต่ำเมื่อเทียบกับ $I_{leakage}$



รูปที่ ก.6 ประจรรั่วไหลจากโหนด x

รูปที่ ก.7 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ และความจุแฝง C_x ซึ่งพบว่า กระแสรั่วไหลจะประกอบด้วยองค์ประกอบสำคัญ 2 ตัว คือ subthreshold channel current และ reverse conduction current ที่รอยต่อเดรน - ฐานรอง

$$I_{leakage} = I_{subthreshold}(M_{pass}) + I_{reverse}(M_{pass}) \quad (ก.15)$$



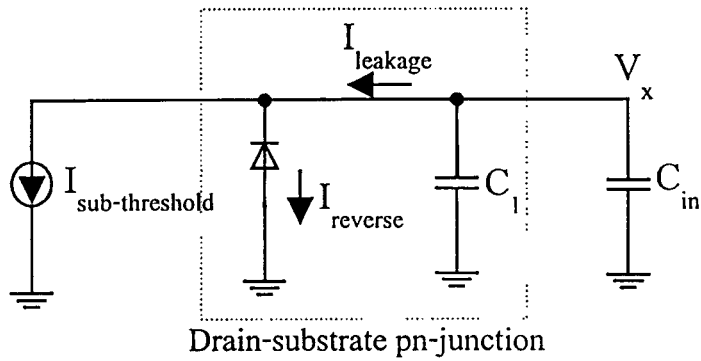
รูปที่ ก.7 ภาพตัดขวางเอ็นมอสทรานซิสเตอร์ ผ่านแสดงกระแสรั่วไหลจาก C_x

สังเกตว่า ความจุแฝงที่ประกอบขึ้นเป็น C_x ส่วนหนึ่งเป็นความจุแฝงที่รอยต่อเดรน - ฐานรองซึ่งเป็นฟังก์ชันกับศักดา V_x ส่วนองค์ประกอบอื่นๆ เป็นความจุ oxide ของอินเวอร์เตอร์ในภาคถัดไป กำหนดให้ความจุแฝง (C_{in}) มีค่าคงที่โดยพิจารณาว่าอินเวอร์เตอร์ยังไม่เกิดการเปลี่ยนแปลงหรือวงจรยังคงค่าที่ถูกต้อง ดังนั้นสามารถแยกจำนวนประจุที่สะสมในความจุส่วนต่างๆ ได้ดังรูป ก.8

$$Q = Q_j(V_x) + Q_{in}$$

เมื่อ $Q_{in} = C_{in} \cdot V_x$

$$C_{in} = C_{gb} + C_{poly} + C_{metal} \quad (ก.16)$$



รูปที่ ก.8 วงจรสมมูลย์สำหรับวิเคราะห์การรั่วไหลของประจุที่โนด x

ดังนั้นกระแสรั่วไหลมีค่าเท่ากับ

$$\begin{aligned}
 I_{leakage} &= \frac{dQ}{dt} \\
 &= \frac{dQ_j(V_x)}{dt} + \frac{dQ_{in}}{dt} \\
 &= \frac{dQ_j(V_x)}{dV_x} \frac{dV_x}{dt} + C_{in} \frac{dV_x}{dt}
 \end{aligned} \tag{ก.17}$$

เมื่อ

$$\begin{aligned}
 \frac{dQ_j(V_x)}{dV_x} &= C_j(V_x) = A \cdot \sqrt{\frac{q\epsilon_{Si}N_A}{2(\phi_0 + V_x)}} \\
 &= \frac{A \cdot C_0}{\sqrt{1 + \frac{V_x}{\phi_0}}}
 \end{aligned} \tag{ก.18}$$

และ
$$\phi_0 = \frac{kT}{q} \ln\left(\frac{N_D \cdot N_A}{n_i^2}\right) \tag{ก.19}$$

$$C_{j0} = \sqrt{\frac{q\epsilon_{Si}N_A N_D}{2(N_A + N_D)\phi_0}} \approx \sqrt{\frac{q\epsilon_{Si}N_A}{2\phi_0}} \tag{ก.20}$$

จากสมการ ก.17 กระแส $I_{reverse}$ จากรอยต่อพีเอ็นที่เดรน - ฐานรอง จะเป็นองค์ประกอบสำคัญที่สุดเมื่อเทียบกับ $I_{subthreshold}$ โดย $I_{reverse}$ พิจารณาได้เป็นกระแสเสริมตัวย้อนกลับ (I_0) ซึ่งมีค่าคงที่และกระแสที่เกิดจากการเปลี่ยนแปลงศักกาคตกคร่อมรอยต่อซึ่งเปลี่ยนแปลงตามศักกาค V_x ดังนั้นในการหาช่วงเวลาที่ใช้การรั่วไหลจนสถานะลอคจิกผิดพลาดไป จำเป็นต้องหาผลเฉลยสมการดิฟเฟอเรนเชียล ก.17 ซึ่งต้องพิจารณาจากความจุแฝง (C_{db}) ซึ่งเปลี่ยนแปลงตามศักกาคและกระแสรั่วไหลเชิงเส้นซึ่งเป็นเรื่องยุ่งยาก ดังนั้นเพื่อให้่ายในการประมาณช่วงเวลาการคงค่า (t_{hold})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ความจุแฝงต่ำสุดมีค่าเท่ากับ

$$C_{x,\min} = C_{gh} + C_{poly} + C_{metal} + C_{db,\min} \quad (ก.21)$$

เมื่อ $C_{db,\min}$ เป็นค่าความจุต่ำสุดที่รอยต่อ เมื่อ $V_x = V_{\max}$ จากสมการ ก.18 ดังนั้น

$$C_{db,\min} = \frac{C_{db}}{\sqrt{1 + \frac{V_{\max}}{\phi_0}}}$$

ดังนั้นช่วงเวลาคงค่าต่ำสุดมีค่าเท่ากับ

$$t_{hold} = \frac{\Delta Q_{critical,\min}}{I_{leakage,\max}} \quad (ก.22)$$

เมื่อ

$$\begin{aligned} \Delta Q_{critical,\min} &= C_{x,\min} (V_{\max} - V_{gate_threshold}) \\ &= C_{x,\min} \left(V_{\max} - \frac{V_{DD}}{2} \right) \end{aligned} \quad (ก.23)$$

ภาคผนวก ข

การวัดกำลังสูญเสียทางอ้อม

เนื่องจากการคำนวณกำลังสูญเสียรวม ไม่สามารถรวมปรากฏการณ์อื่น ๆ ที่ทำให้เกิด glitching power dissipation ได้ การวัดกำลังสูญเสียทางอ้อม โดยการคำนวณจากกระแสทั้งหมดที่ไหลจากแหล่งจ่ายไฟ โดยอาศัย Current-Controlled Current Source หรือ Voltage-Controlled Current Source และค่ากระแสที่ถูกลดจากแหล่งจ่ายไฟเป็นสัดส่วนกันกับค่าพารามิเตอร์ของอัตราขยายกระแส (β) หรือค่าทรานคอนดักแตนซ์ (g_m) ตามลำดับดังในรูปที่ ข.1 Kang [15] เสนอการวัดนี้เพื่อวัดกำลังงานสูญเสีย โดยพิจารณากระแสที่ดึงจากแหล่งจ่ายไฟและวงจรและมิเตอร์วัดกำลังนี้ต้องไม่มีผลกระทบใดๆ เกิดขึ้นกับวงจร ดังนั้นมิเตอร์วัดกำลังจะเป็นวงจรร้อย ซึ่งสามารถพิจารณาได้โดยใช้ Current-Controlled dependent source หรือ Voltage-Controlled dependent source และค่ากำลังงานที่วัดได้จะถูกลดด้วยไรซ์โดยค่า V_{DD} และสรุปได้ดังรูปที่ 1 ข

- กรณี Current-Controlled Current Source

$$\beta = V_{DD} C_y f \quad (\text{ข.1})$$

โดย β เป็นพารามิเตอร์ของอัตราขยายกระแสคร่อม C_y ในวงจรร้อย

- กรณี Voltage-Controlled Current Source

$$g_m = V_{DD} C_y f / V_X \quad (\text{ข.2})$$

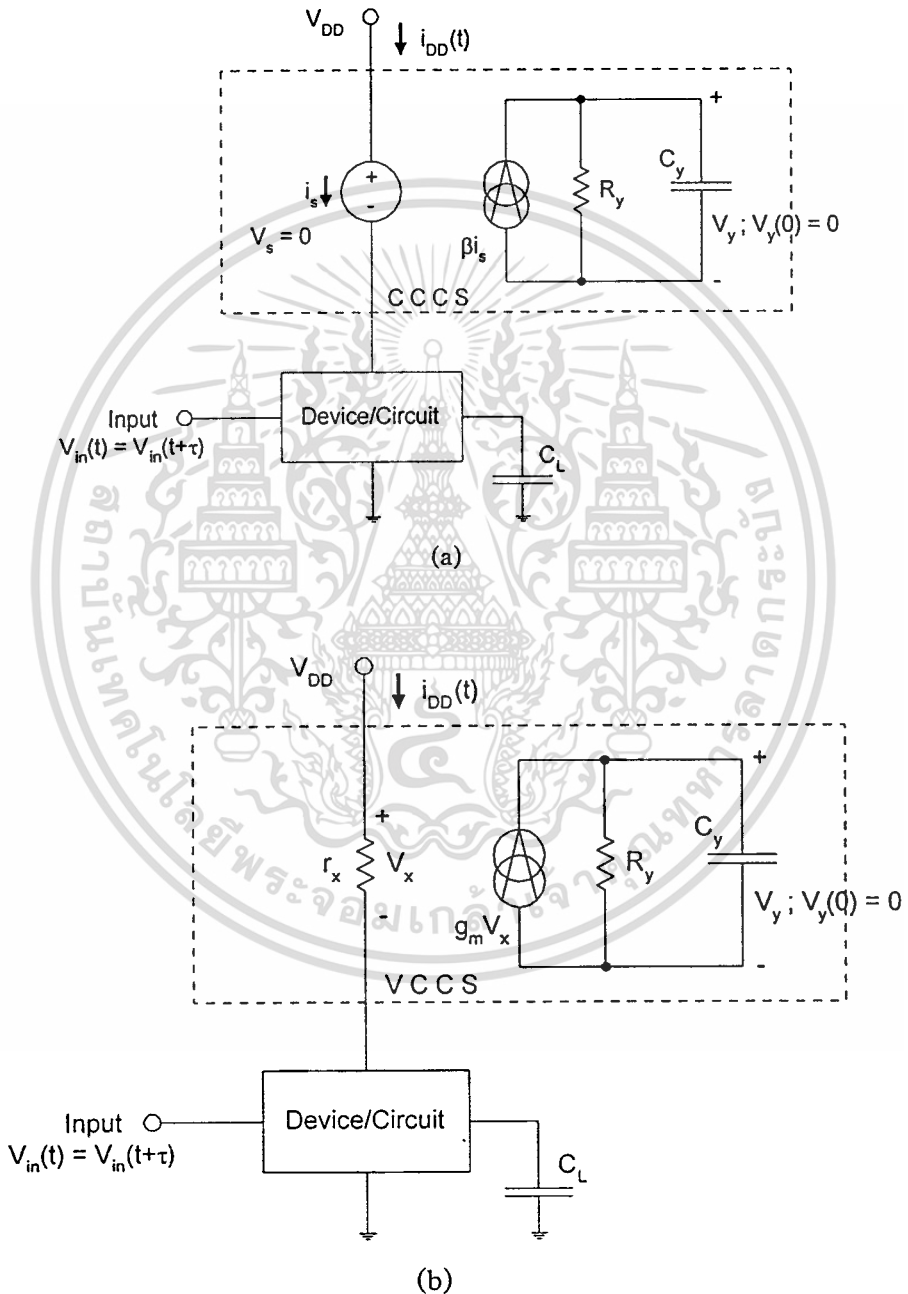
โดยที่ g_m เป็นค่าทรานคอนดักแตนซ์และ r_X เป็นค่าความต้านทานอนุกรมต่อระหว่างแหล่งจ่ายไฟกับวงจรที่จะวัด

ทั้งสองกรณีเป็นการวัดกำลังงาน ที่ถูกลดด้วยไรซ์โดยค่า V_{DD} หมายความว่าค่ากำลังงานที่แท้จริงคือ การคูณ β กับ g_m ด้วย V_{DD}

ในเรื่องของรูปจำลองขนาดใหญ่ (macro model) ของกำลังงานสามารถประมาณค่าขยายได้ โดยดูพื้นที่สัมผัสของวงจร Helund เสนอพื้นที่สัมผัสจะเป็นค่าผลงานของความกว้างของทรานซิสเตอร์และค่ากำลังงานสูญเสียไดนามิกจะลดลง โดยการแปรผันตรงกับพื้นที่สัมผัสเงื่อนไขนี้ หมายถึงความยาวของทรานซิสเตอร์ไม่เปลี่ยนหรือถูกกำหนดไว้ที่ค่าใดค่าหนึ่ง โดยเฉพาะเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ต่ำสุด (L_{min}) ของกระบวนการผลิตโดยทั่วไปแล้วพื้นที่สัมผัสของวงจรถูกเพิ่มโดยแปรผันตรงกับจำนวนของทรานซิสเตอร์

การใช้วิธีการของ Kang [20] ค่ากำลังงานคือ ค่าอิมพีแดนซ์ของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ ซึ่งเห็นได้ว่าการลดกำลังงานสูญเสียคือการลดค่า g_m ดังสมการที่ ข.1 และค่า g_m นี้ก็เป็นค่าคอนดักแตนซ์ของมิเตอร์วัดกำลังสูญเสียนั่นเอง



รูปที่ ข.1 แสดงมิเตอร์วัดกำลังงานสูญเสีย

(a) วงจรย่อยพร้อม Current-Controlled Current Source

(b) วงจรย่อยพร้อม Voltage-Controlled Current Source

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Performance Optimization Simulations of BiCMOS Latch

Sompong Wisetphanichkij

Kobchai Dejhan, Fusak Cheevasuvit

Paiboon Tooprakai, Thitinart Piyawaranont, Krit Angkaew

Faculty of Engineering and Research Center for Communications and Information
Technology

King Mongkut's Institute of Technology Ladkrabang

Bangkok 10520, Thailand

Tel : 66-2-3269967, 66-2-3269081

Fax : 66-2-3269086

Email : kobchai@telelan.telecom.eng.kmitl.ac.th

Chatcharin Soonyeean

Faculty of Engineering, Kasem Bundit University

Pattanakarn Road, Bangkok 10250, Thailand

Abstract

This paper proposes the latch design for VLSI. Both of dynamic and static latch circuit designs are presented. This paper proposes also the optimization procedure in order to obtain the optimum performances by simulating based on PSpice with 0.8 μm BiCMOS technology. The proposed technique will save the computational time for the simulations.

presents both dynamic latch and static latch based on BiCMOS technology. This paper describes more general model and sophisticated model to optimize the multiobjective optimization from PSpice simulations. The latch is widely used not only for the integrated circuit design but also for custom integrated circuit, usually for signal processing applications as storage or delay element. The latch takes more power and area. Thus, the computer simulation is used to evaluate the possibilities to reduce area, power and increase the speed, the high speed means the small value. This paper is limited the discussion only to digital BiCMOS integrated circuits.

1. Introduction

To design the electronic circuits, especially for the VLSI design, there is a great need for the simulation about the performances and characteristics of the circuit before implementing. The simulation is very necessary for the very large scale integration. The circuit optimization is the second step in order to obtain the optimum parameter for using in the circuit design. Therefore, the circuit optimization has been treated by using various techniques. The computer simulation involves in the integrated circuit concerning about the speed (or delay time), power dissipation and circuit area (or chip area) [1]. All of three parameters are so called three constraints and they relate each other. There are six general circuit optimization techniques [1-15] but it is difficult to optimize the multiobjective problems. This paper proposes a method to optimize the performances of BiCMOS latch by simulating. This paper also

2. Theory

The structure of VLSI comprises of the finite state machine (FSM) and pipeline system [16] as shown in Fig.1 (a) and (b), respectively.

All operation as shown in Fig.1(a) and (b) must be synchronized by using clock signal. The input data has to synchronize with the time in order to avoid the clock race and clock skew. The synchronization failure or metastability is an important problem that it should be avoided.

There are two types of latch as shown in Fig. 2

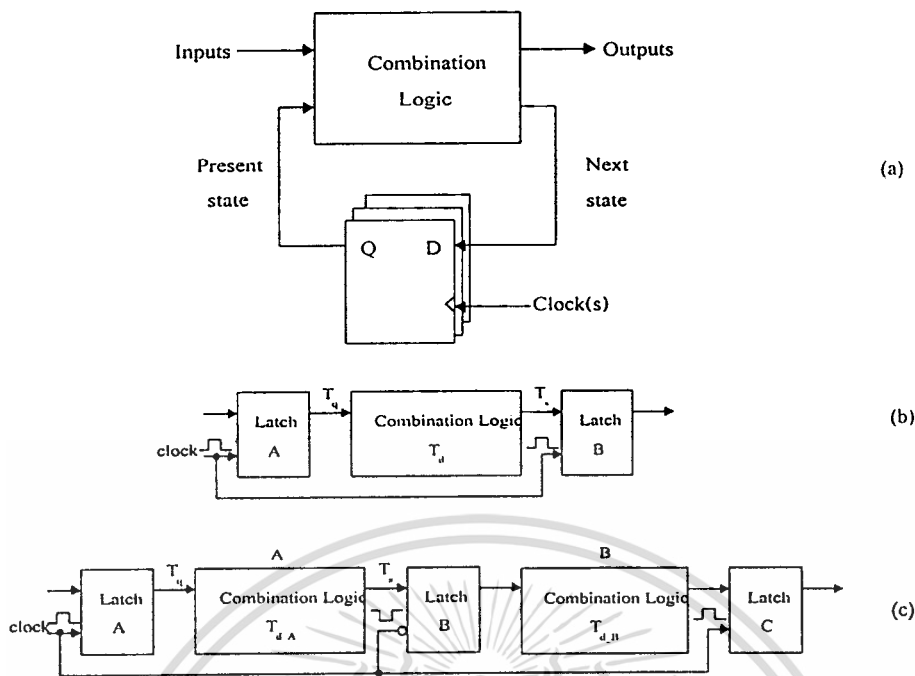


Fig.1 (a). FSM system with clock signal (b), (c) Pipeline system with clock signal

The static latch is more difficult to design than the dynamic latch according to the feedback inverter, it may have the metastable problem. The CMOS circuit is replaced by BiCMOS circuit in order to accelerate the speed as the performances and characteristics of the circuit maintain the same.

$$P_s = \sum I_{LK} * V_{DD} \tag{1}$$

I_{LK} is leakage current of device and V_{DD} is supply voltage.

3. Optimization Constraints

Three constraints are power dissipation, chip area and speed of the circuit, they relate each other as shown in Fig.3

3.1 Total power dissipation

The total power dissipation in the BiCMOS circuit [17] consists of static power dissipation (P_s), dynamic power dissipation (P_d) and dynamic short circuit power dissipation (P_{sc}). The total power dissipation is the sum of all power dissipation ($P_{total} = P_s + P_d + P_{sc}$).

3.1.1 Static power dissipation

This static power dissipation depends on the leakage current which is due to the process. Thus, the equation can be written as:

3.1.2 Dynamic power dissipation

The dynamic power dissipation occurs in the rise time (t_r) and fall time (t_f) when the period time (t_p) is more longer than rise time and fall time. Thus, the dynamic power dissipation can be written as:

$$P_d = \frac{1}{t_p} \int_0^{t_p/2} I_{E1}(t) V_{out} dt + \frac{1}{t_p} \int_{t_p/2}^{t_p} I_{E2}(t) (V_{DD} - V_{out}) dt$$

I_{E1} = instantaneous emitter current as the output - data changes from logical "1" to "0"

$$= (C_L + C_{int}) \frac{dV_0}{dt}$$

I_{E2} = instantaneous emitter current as the output - data changes from logical "0" to "1"

$$= (C_L + C_{int}) \frac{d(V_{DD} - V_0)}{dt}$$

C_L = load capacitance
 C_{int} = internal capacitance of device

ΔV_s = increment of signal swing
 f_p = frequency

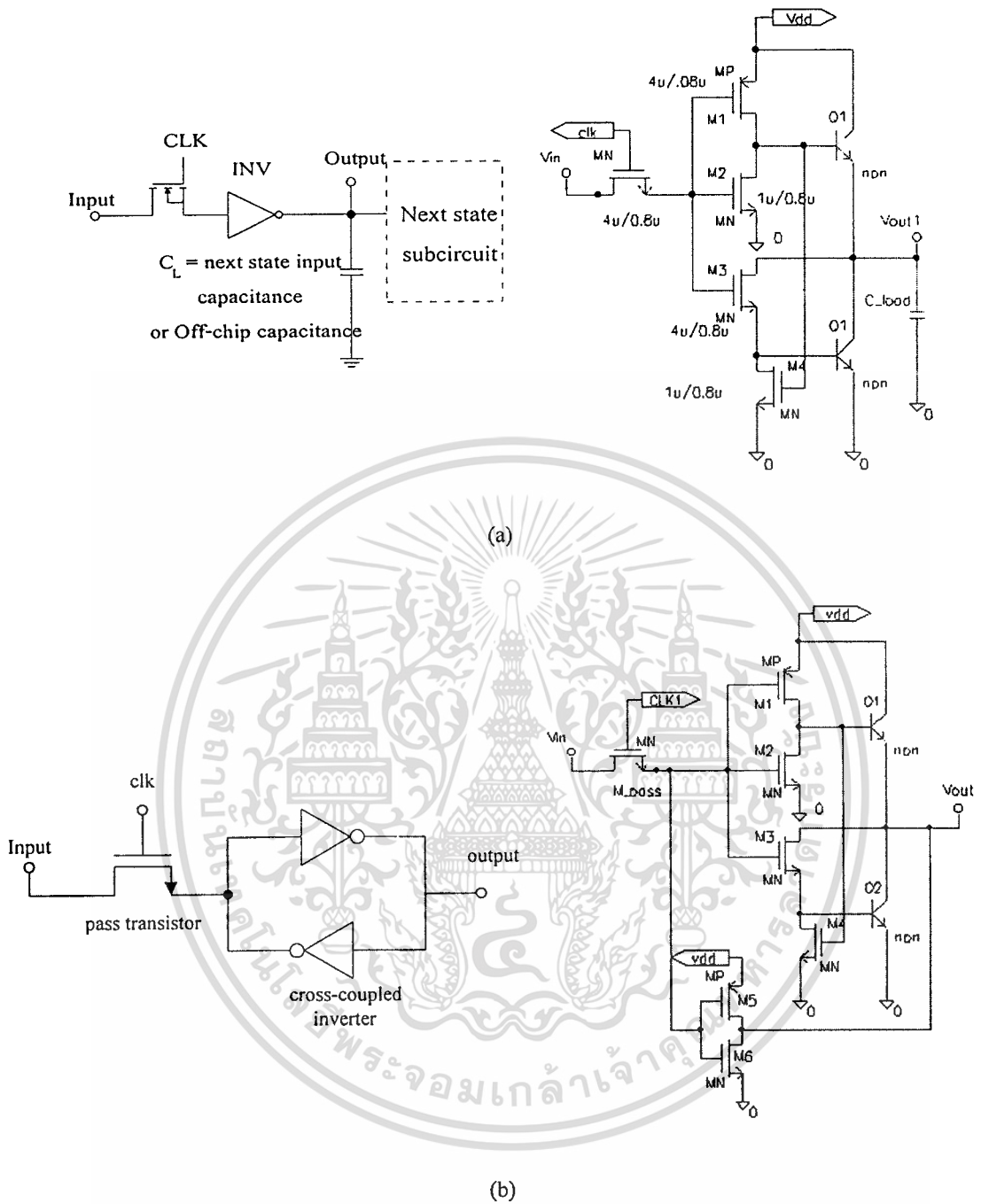


Fig.2 (a) dynamic latch (b). static latch

The simplification of the dynamic power dissipation can be done as shown in Eq.(2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_d = (C_L + C_{int})(\Delta V_S)^2 \cdot f_p \quad (2)$$

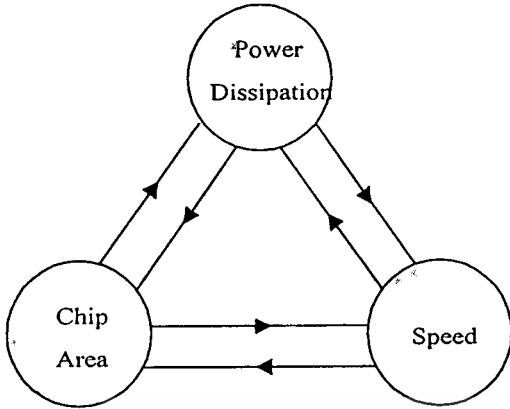


Fig.3 Relation of three constraints

3.1.3 Dynamic short-circuit power dissipation

This power occurs as BiCMOS logic gate is going to change the state. The nMOS and pMOS transistors in the first stage of the circuit and bipolar transistors in the second stage of circuit are semi “on” and “off” for a very short period before moving to the steady state. This status seems to short circuit from power supply to ground, the short-circuit is happened. The total power dissipation reduction depends on the factor in Eq.(1) and (2). However, the total power dissipation calculation is quite complicated because of internal stray capacitance, internal resistance and operating frequency of each subcircuit. Thus, the average power dissipation (P_{AV}) of the circuit [18] is carried out by using current-controlled current source or voltage-controlled current source to measure the average current drawn from the power supply as shown in Fig.4. The power dissipation is proportional to the current gain (β) or the transistor transconductance (g_m).

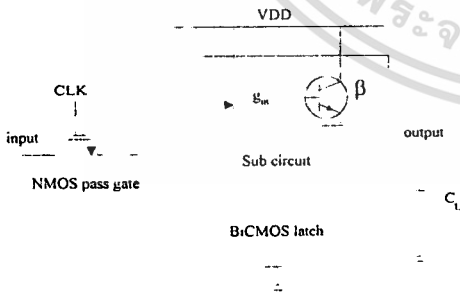


Fig.4 Power dissipation measurement

The switching analysis shows that the MOS transistor operate in linear region as shown in Eq. (3).

$$g_{m_linear} = 2 \frac{\mu \epsilon W}{L} (V_{GS} - V_{th}) \quad (3)$$

Thus, $P \propto \frac{W}{L} \quad (4)$

3.2 Area

The chip area or circuit area depends on the device size [13,19], the Eq.(5) shows the chip area (A) relation.

$$Area \propto (\sum W.L + \sum A_E) \quad (5)$$

W, L = width and length of MOS transistor gate
 A_E = emitter area of bipolar transistor

Thus, W, L and A_E should be minimum, however the optimum constraint can be obtained by changing the devices size [20] and depending on micron or submicron design.

3.3 Speed

The operating speed depends on the signal propagation gate delay time (t_d) and it is up to the resistance, stray capacitance at the junction and contact of the devices.

The Eq.(6) shows the relation between parameters.

$$t_d \propto \frac{\pi}{2} \sqrt{R_{CH} \tau_F (C_L + C_{int})} \quad (6)$$

where $R_{CH} = \frac{2L}{W_{\mu P} C_{OX} (V_{DD} - |V_{TP}|)}$

$$C_{int} \approx C_G = (L \cdot W) C_{OX}$$

for $C_{int} \gg C_L; \quad t_d \propto L \quad (7)$

and $C_{int} \ll C_L; \quad t_d \propto \sqrt{\frac{L}{W}} \quad (8)$

Thus, L should be minimum to obtain the high speed [21] for both Eq.(7) and (8).

The emitter area of bipolar transistor is an important parameter, the delay time is related to emitter area as shown in Eq.(9).

$$t_d \propto \frac{1}{\sqrt{A_E}} \quad (9)$$

In the case of high load capacitance, time at a level and cannot decrease although the emitter area is increased. The emitter area increment increases the stray capacitance. At the small value of load capacitance, the delay time is proportional to emitter area as shown in Eq.(10).

$$t_d \propto A_E \quad (10)$$

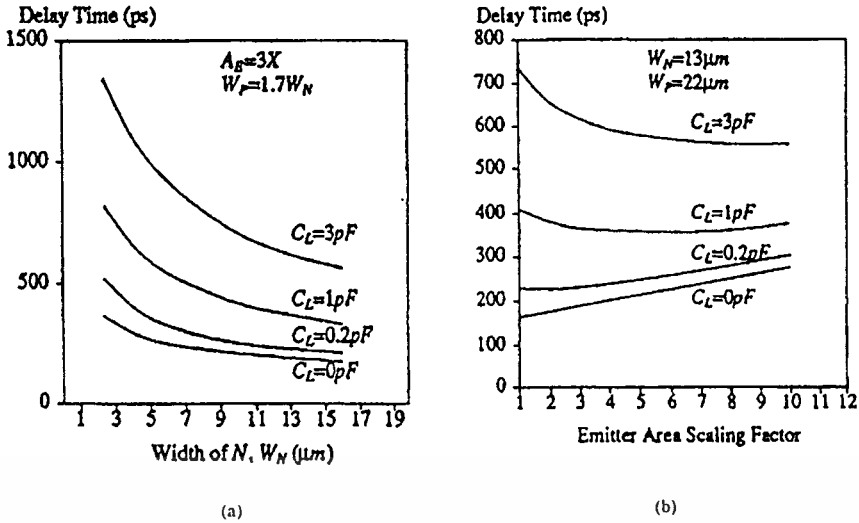


Fig.5 Relation of delay time with MOS transistor width (W) and emitter area (A_E)

4. Optimum optimization

To obtain the multiobjective optimization, the area and power dissipation effect with the speed or delay time. The proposed technique has a small effect with layout area by changing W , L of MOS transistor and A_E of bipolar transistor which is connected to the power supply. The optimum optimization procedures are carried out for both dynamic and static latch.

Small C_L ($C_L \leq 1\text{pF}$)

From Eq.(4) and (7), the relations are

$$P \propto \frac{W}{L} \text{ and } t_d \propto L$$

L of $M1$ is increased in order to obtain the acceptable values of power dissipation and speed of the circuit.

High C_L ($C_L \geq 1\text{pF}$)

From Eq.(4), (8), (9), the relations are

$$P \propto \frac{W}{L}, t_d \propto \sqrt{\frac{L}{W}} \text{ and } t_d \propto \frac{1}{\sqrt{A_E}}$$

A_E is increased, t_d is decreased (= high speed) but emitter area is large.

Therefore, it is convenient to increase W and decrease L in order to obtain the smaller circuit area. Although, the power dissipation is increased but not so much.

The BiCMOS static latch design is different

from dynamic latch because of the feedback inverter. The operating speed depends on the power dissipation reduction but it may cause the metastability. The static latch optimization must not increase the delay time. The relation of output data and input data is obviously shown in Eq.(11).

$$V_{\text{out}}(t) = \frac{-V_{\text{in}}}{g_{m2} R_{\text{CH}}} \left(\exp \frac{-t}{R_{\text{CH}} C_1} - 1 \right) \quad (11)$$

It is noted that the increases of transistor width and transistor length, the speed of the circuit is slow because of $C_1 = C_{\text{ox}}(W.L)$. However, the reduction of R_{CH} , the speed of the circuit is high. It is obviously shown that A_E has no effects with the speed of the circuit. The feedback inverter should have longer L when compared with the normal design, or W/L should be minimum in order to drive feedback inverter at any signal level.

5. Results

5.1 Characteristics

The characteristics of dynamic and static latch have been carried out as shown in Fig.6 and 7, respectively. The simulations have been carried out by using pulse train signal as input data (1 0 1 0), 40 ns period, 2.5 ns rise time and fall time, 50 MHz clock frequency, 0.8 μ BiCMOS technology.

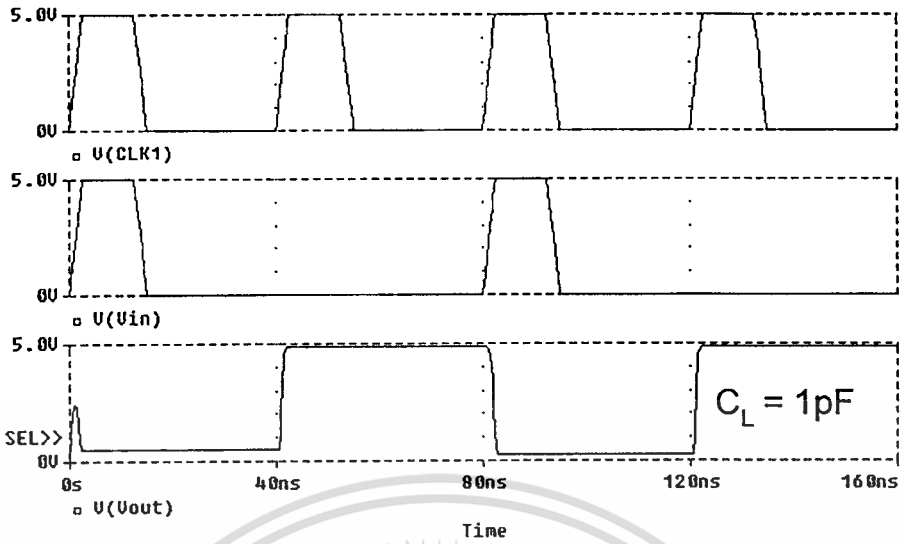


Fig.6 Signals of dynamic latch inverting phase.

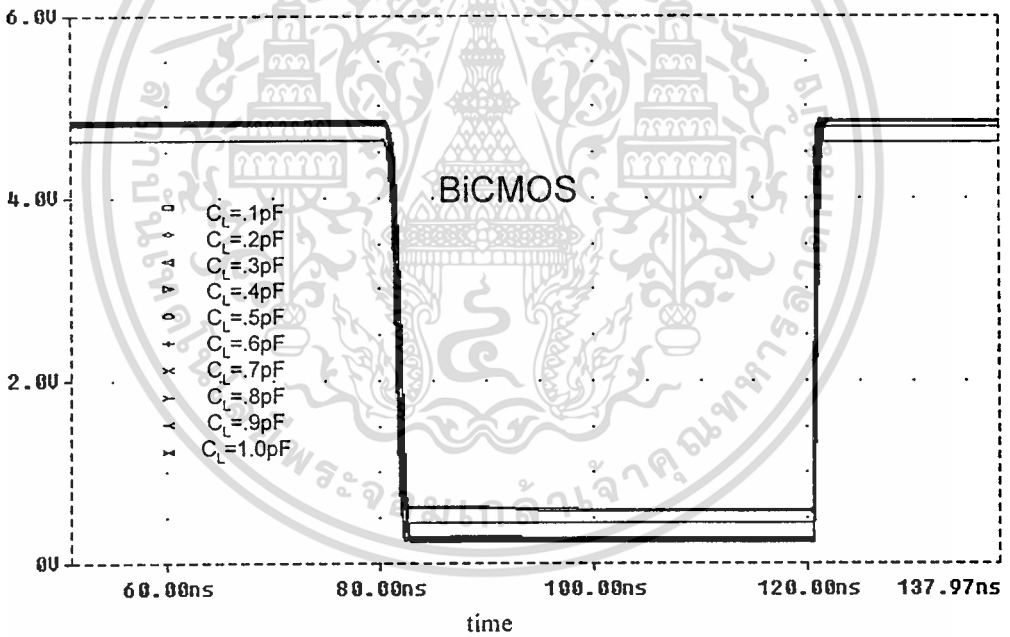


Fig.7 Output response of dynamic latch for $C_L = 0 \rightarrow 1 pF$

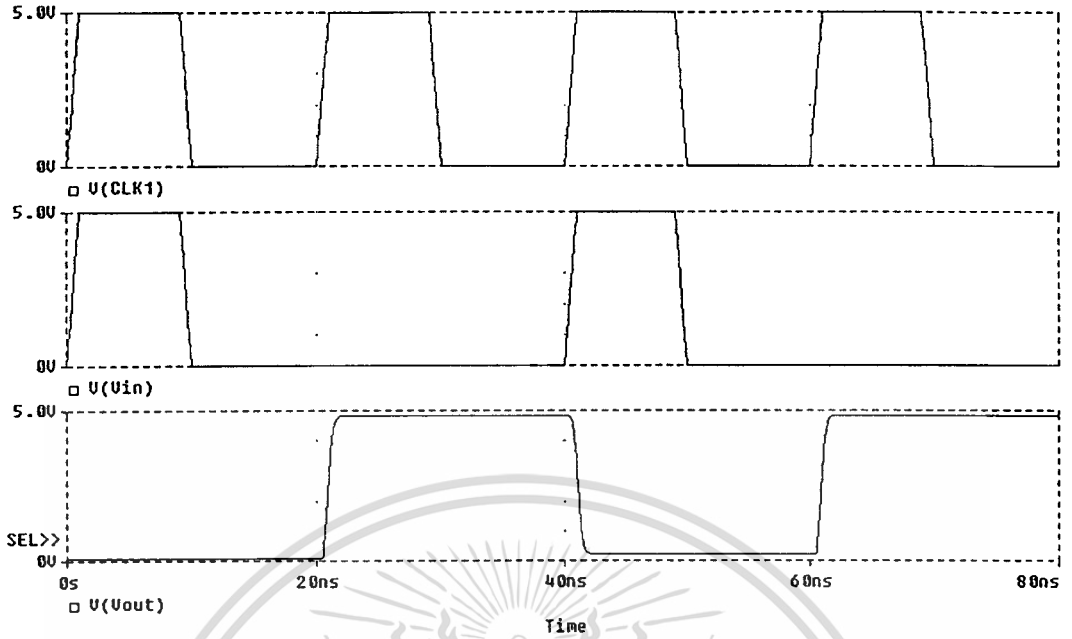


Fig.8 Signals of static latch inverting phase.

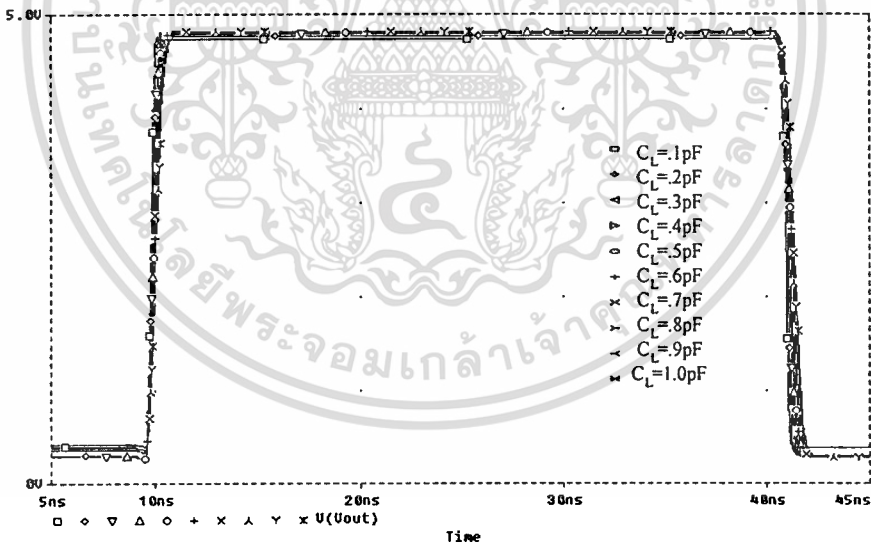


Fig.9 Output response of static latch for CL = 0→1 pF

5.2 Performance Optimization

The performance of dynamic and static latch have been carried out by using the same condition as shown in topic 5.1 . The simulation results are

shown in Fig.10, 11, 12 and 13, respectively.

Small CL (CL ≤ 1pF)

The optimization procedure has been done by varying L. (Fig.10).

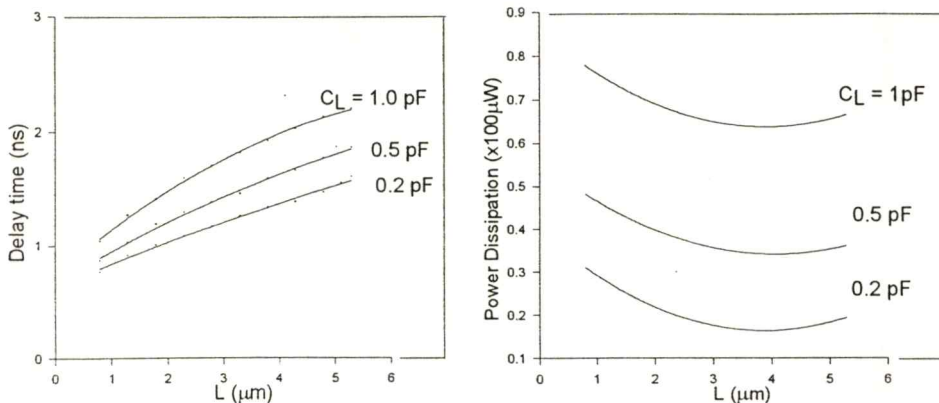


Fig.10 Variation of L of dynamic latch versus delay time and power dissipation

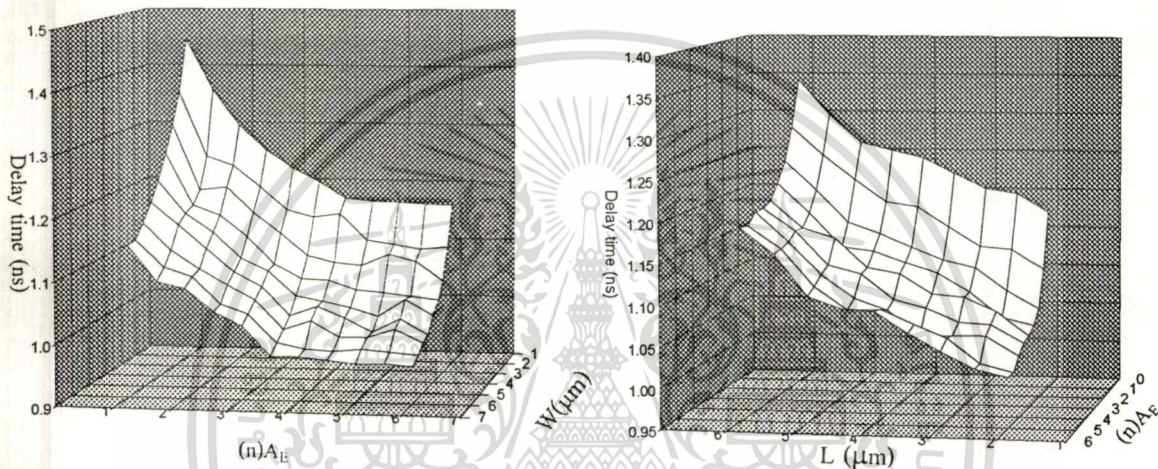


Fig.11 Speed variation of dynamic latch versus W and (n)AE, L and (n)AE.

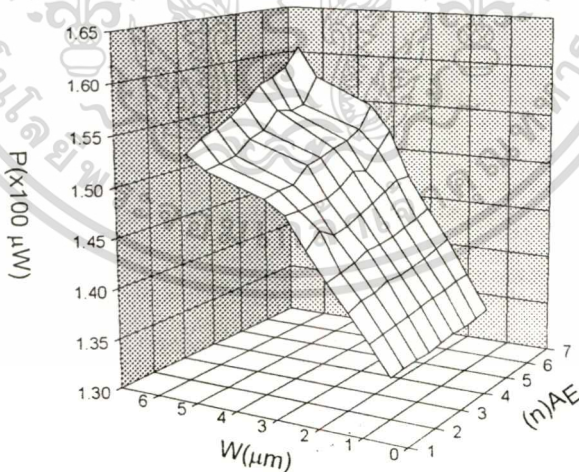


Fig.12 Power dissipation variation of dynamic latch versus W and AE.

High C_L ($C_L \geq 1 \text{ pF}$)

The optimization procedure has been done by increasing A_E , W and decreasing L at $C_L = 2 \text{ pF}$ and

suppose that n is the positive integer of A_E . (Fig. 11 and 12).

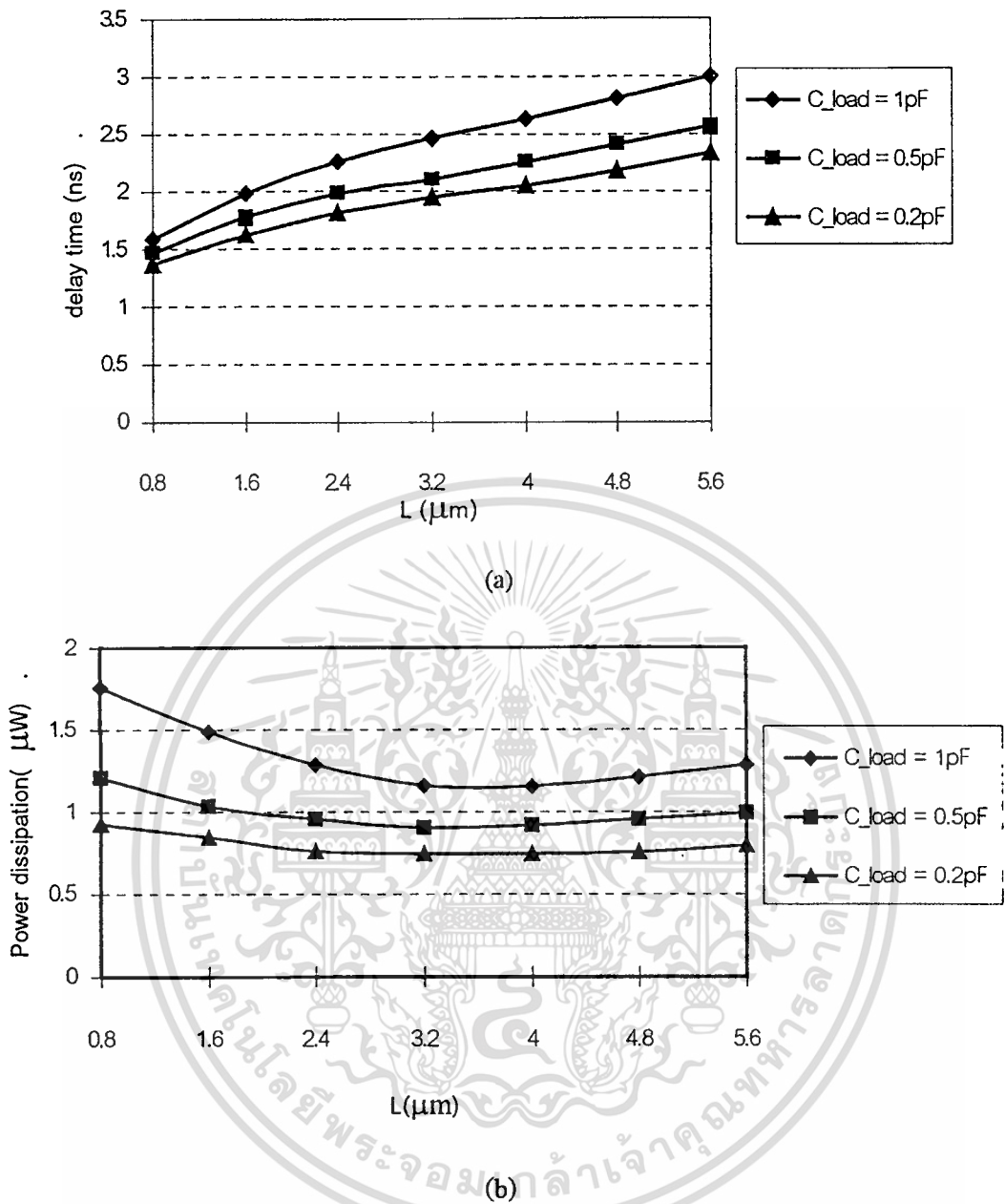


Fig.13 Static latch (a). Speed variation versus gate length variation.
 (b). Power dissipation versus gate length variation.

6. Conclusion and discussion

The proposed method in this paper can be used for the circuit designer to save the time to simulate the circuit after determining the constraints. The designer can improve and adjust the technique for suitable condition. The simulation results show the ability of the designed circuit for obtaining the high performances and high frequency. The proposed optimization procedure will increase the circuit efficiency, speed, power dissipation and chip area with a small effect to layout design. Although, the proposed technique is not able to obtain the high efficiency for all parameters, but the optimum optimization can be obtained. This proposed technique is simple and can be widely applied for BiCMOS and CMOS VLSI. Therefore, the proposed technique is a choice of optimization.

7. References

- [1] R.K. Brayton, G.D. Hachtel and A.L. Sangiovanni-Vincentelli, "A Survey of Optimization Techniques for Integrated-Circuit Design", Proc. IEEE, vol.69, no.10, october 1981, pp.1334-1362.
- [2] C. Longway and R. Sigfred, "A Doughnut Layout Style for Improved Switching Speed with CMOS VLSI Gates", IEEE J. Solid-State Circuits, vol.24, no.1, february 1989, pp.194-198.
- [3] K. Nagai and Y. Hayashi, "Performance Optimization of Thin-Gate Oxide MOSFETs", Solid-State Electronics, vol.33, no.2, 1990, pp.223-226.
- [4] A. Kanuma, "CMOS Circuit Optimization", Solid-State Electronics, vol.26, no.1, 1983, pp.47-58.
- [5] M.D. Matson, "Macromodeling of Digital MOS VLSI Circuits", Proc. 22nd ACM/IEEE Design Automation Conf., 1985, pp.144-151.
- [6] M.D. Matson and L. Glasser, "Macromodeling and Optimization of Digital MOS VLSI Circuits", IEEE Trans. Computer-Aided Design, vol.5, no.4, october, 1986, pp.659-678.
- [7] K.S. Hedlund, "Aesop : A Tool for Automated Transistor Sizing", Proc. 24th ACM/IEEE Design Automation Conf., 1987, pp.114-120.
- [8] S. Trimberger, "Automated Performance Optimization of Custom Integrated Circuits", IEEE Int. Sym. Circuits and Systems, 1983, pp.194-197.
- [9] M. Hofmann and J.K. Kim, "Delay Optimization of Combinational Static CMOS Logic", Proc. 24th ACM/IEEE Design Automation Conf., 1987, pp.125-132.
- [10] M.A. Cirit, "Transistor sizing in CMOS circuits", Proc. 24th ACM/IEEE Design Automation Conf., 1987, pp.121-124.
- [11] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique", IEEE J. Solid-State, vol.24, no. 1, february 1989, pp.62-70.
- [12] C.G. Sodini, P.-K. Ko and J.J. Moll, "The Effect of High Fields on MOS Device and Circuit Performance", IEEE Trans. Electron Devices, vol.31, no.10, october 1984, pp.1386-1393.
- [13] L.A. Glasser and L.P.J. Hoyte, "Delay and Power Optimization in VLSI Circuits". Proc. 21st ACM/IEEE Design Automation Conf. . 1984, pp.529-535.
- [14] E.T. Lewis, "Optimization of Device Area and Overall Delay for CMOS VLSI Designs". Proc. IEEE, vol.72, no.6, june 1984, pp.670-689.
- [15] M. Kakumu, M. Kinugama and K. Hashimoto, "Choice of Power-Supply Voltage for Half-Micrometer and Lower Submicrometer CMOS Devices", IEEE Trans. Electron Devices, vol.37, no.5, , may 1990 pp.1334-1342.
- [16] N.H.E. Weste and K. Eshragian, Principles of CMOS VLSI Design - A System Perspective, 1st Edn. p.140, Reading, Massachuset : Addison-Wesley, 1985.
- [17] A. Bellaouar and M.I. Elmasry, "Low - Power Digital VLSI Design Circuits and Systems", 1st Ed., Boston, Kluwer Academic Publishers, 1995.
- [18] S. M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits", IEEE J. Solid-State Circuits, vol.21, no.5, october 1986, pp.889-891.
- [19] L. Wissel and Elliot L. Gould, "Optimal Usage of CMOS within a BiCMOS Technology", IEEE J. Solid - State Circuits, Vol.27, No.3, march 1992.
- [20] K. Dejhan, F. Cheevasuvit, S. Junnapiya and B. Chalermphanich, "Micron and Submicron design considerations of CMOS transistor optimization of VLSI design", ISIC - 93, Singapore, september 1993, pp.279 - 283.
- [21] J. M. Rabaey, Digital Integrated Circuits, Prentice-Hall, Inc., 1996.

ประวัติผู้เขียน

นางสาวฐิตินาฏ ปิยาวรานนท์ เกิดวันเมื่อวันที่ 7 สิงหาคม 2517 ที่จังหวัดพิษณุโลก สำเร็จ
การศึกษาวิทยาศาสตร์บัณฑิต (วิศวกรรม) จากมหาวิทยาลัยเชียงใหม่ ปีการศึกษา 2537

ปี พ.ศ. 2540 เข้าทำงานในบริษัทไทยเซลล์อิเล็กทรอนิกส์ แอนด์โปรดักชั่น แผนก EPD ฝ่าย
Petrophysic ในตำแหน่ง Technical Assistance

ผลงานที่ได้รับการตีพิมพ์

1. S. Wisetphanichkij, K. Dejhan, F. Cheevasuvit, P. Tooprakai, T. Piyawaranont, K. Angkaew, C. Soonyekan, "Performance Optimization Simulations of BiCMOS Latch," HPC-Technology Driver for Academia, Business and Industry, Singapore, 23-25 Sep. 1998.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้