

การศึกษาและวิจัยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดิน
กระแสรูปรี่

THE STUDY AND RESEARCH OF V-CHANNEL CMOIS STRUCTURE
TRANSISTORS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน..... 34572
วัน, เดือน, ปี 1.6 พ.ย. 2542

พ.ศ.2542

ISBN 974-622-580-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**THE STUDY AND RESEARCH OF V-CHANNEL CMOIS STRUCTURE
TRANSISTORS**



SUPPAKUN WATTANAKAROON

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1999

ISBN 974-622-580-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1999

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การศึกษาและวิจัยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปรี่
นักศึกษา	นายศุภกัลย์ วัฒนการุณ
รหัสประจำตัว	40061071
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ.จิววัฒน์ ปานกลาง

บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ได้ทำการเสนอการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS โดยทำการออกแบบช่องทางเดินกระแสให้มีทิศทางของกระแสในแนวตั้ง มีจุดประสงค์เพื่อเพิ่มประสิทธิภาพของสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ซึ่งโครงสร้างแบบนี้สามารถเพิ่มความหนาแน่นของอุปกรณ์ในวงจรที่ทำการออกแบบบนพื้นผิวของซิลิกอนโดยที่คุณสมบัติทางไฟฟ้าของวงจรวงศ์เดิม เนื่องจากการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS แบบเดิมจะออกแบบให้กระแสที่ไหลในช่องทางเดินกระแสไหลในทิศทางขนานกับผิวของแผ่นผลึก แต่โครงสร้างแบบใหม่ได้ทำการออกแบบให้ทิศทางกระแสไหลของกระแสในช่องทางเดินกระแสในแนวตั้ง ดังนั้น ด้วยขนาดด้านบนของทรานซิสเตอร์ที่เท่ากัน โครงสร้างแบบใหม่นี้ค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้าง (k') ของทรานซิสเตอร์จะมีค่าสูงขึ้นเนื่องจากค่าความคล่องตัวของประจุพาหะมีค่าสูงกว่า นอกจากนี้ได้ทำการศึกษาคุณสมบัติทางไฟฟ้าของทรานซิสเตอร์โครงสร้างนี้ในด้านต่าง ๆ เพื่อเปรียบเทียบคุณสมบัติกับโครงสร้างแบบเดิม คือ ค่าแรงดันขีดเริ่มและเทคนิคในการควบคุมค่าแรงดันขีดเริ่ม การพิสูจน์กระทำโดยเทียบประสิทธิภาพของวงจรรีเลย์อินเวอร์เตอร์และวงจรรอสซิทเลเตอร์แบบวงแหวนทางด้านารตอบสนองต่อสัญญาณชั่วคราวระหว่างโครงสร้างแบบเดิมและโครงสร้างแบบใหม่

Thesis Title	The Study and Research of V-Channel CMOIS Structure Transistors
Student	Mr.Suppakun Wattanakaroon
Student ID.	40061071
Degree	Master of Engineering
Programme	Electrical Engineering
Year	1999
Thesis Advisor	Assist. Prof. Jirawath Panklang

ABSTRACT

The new structure of CMOIS (Complementary Metal Oxide Intrinsic Semiconductor) transistors is proposed using vertical channel of the transistors to enhance the capability of the CMOIS technology. This structure gives improved devices density of the circuit over conventional planar CMOIS with equivalent electrical circuit performance. Because of the former type of CMOIS technology, the current path of the transistors flow parallel to the surface of the silicon wafer. But this new type of the channel, the current path of the transistors flow to the bulk of the surface of the wafer. So the k' (process transconductance parameter) of the transistors is higher than the conventional CMOIS technology because of the higher channel mobility of the carrier. The others electrical characteristics of the transistors are study too that is the threshold voltage and its control technique. Basic digital inverter and ring oscillator circuit were used to evaluate the switching performance of the new CMOIS structure and to compared with the planar CMOIS transistors.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจาก ผศ.จิรวัดน์ ปานกลาง ซึ่งเป็นอาจารย์ที่ปรึกษา ผู้วิจัยขอขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รศ.ดร. สมเกียรติ สุภเดช และอาจารย์สุรศักดิ์ เนียมเจริญ ที่ได้ให้การสนับสนุนงานวิจัยฉบับนี้ตลอดมา

ขอขอบพระคุณอาจารย์ทุกท่านที่ประสิทธิ์ประสาทวิชาเพื่อเป็นความรู้ในการวิจัย

ขอขอบพระคุณพี่ ๆ เพื่อน ๆ ณ ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง ที่ได้ให้ความช่วยเหลือทางด้านเครื่องมือที่ใช้ในการสร้างและทดสอบอุปกรณ์เป็นอย่างดี

สุดท้ายขอขอบพระคุณ คุณพ่อ คุณแม่ที่ได้ให้การสนับสนุนการเรียนมาโดยตลอดจนถึงทุกวันนี้

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

ศุภกัลย์ วัฒนการุณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญภาพ	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 ทฤษฎีและแนวความคิดที่ใช้ในการวิจัย	1
1.4 รายละเอียดวิทยานิพนธ์	2
บทที่ 2 ทรานซิสเตอร์ชนิดผลของสนามไฟฟ้า โครงสร้างแบบ CMOIS	4
2.1 โครงสร้างและการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสแบบขนานกับผิวของผลึก	4
2.1.1 ทรานซิสเตอร์ชนิดพีแชนแนลเอนแฮนซ์เมนต์โฮมด (PMOIS)	5
2.1.2 ทรานซิสเตอร์ชนิดเอ็นแชนแนลเอนแฮนซ์เมนต์โฮมด (NMOIS)	6
2.1.3 ทรานซิสเตอร์ชนิดคู่คอมพลิเมนต์ (CMOIS)	7
2.1.4 การทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสแบบขนานกับผิวของผลึก	10
2.2 การเปรียบเทียบทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดิน กระแสแบบที่มีช่องทางเดินกระแสในแนวตั้งกับแบบขนานกับผิวของผลึก	12
2.3 คุณสมบัติของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดิน กระแสในแนวตั้ง	14
2.3.1 ค่าทรานส์คอนดักแตนซ์และการควบคุมค่าอัตราขยาย (β) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดิน กระแสในแนวตั้ง	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

2.3.2	แรงดันขีดเริ่ม (V_p) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	15
2.3.3	ปรากฏการณ์ channel length modulation ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	20
2.4	ขนาดของโครงสร้างที่เหมาะสมของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	23
2.4.1	ขนาดของความกว้างช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	23
2.4.2	ขนาดของความยาวช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	26
2.5	การวิเคราะห์คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรมินิเวจเตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	30
2.6	การสกัดแผ่นผลึกซิลิกอนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์	36
บทที่ 3	การออกแบบและการสร้าง	38
3.1	การออกแบบเพื่อหาขนาดของโครงสร้างที่เหมาะสมของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	38
3.1.1	พิจารณาความกว้างของช่องทางเดินกระแสที่เหมาะสม	38
3.1.2	พิจารณาความยาวของช่องทางเดินกระแสที่เหมาะสม	40
3.2	การออกแบบวงจรมินิเวจเตอร์เพื่อเปรียบเทียบการทำงานของวงจร	41
3.3	การออกแบบวงจรถิลเลเตอร์แบบวงแหวนเพื่อเปรียบเทียบการทำงานของวงจร	42
3.4	การออกแบบกระบวนการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	45
บทที่ 4	การทดลองและผลการทดลอง	49
4.1	แรงดันขีดเริ่ม (V_p) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	49

สารบัญ(ต่อ)

หน้า

4.2	Channel length modulation ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	52
4.3	ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	56
4.4	กฎระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	57
4.4.1	ขนาดของความกว้างช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	57
4.4.2	ขนาดของความยาวช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	59
4.5	คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรรินเวอร์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	61
บทที่ 5	การวิเคราะห์ผลการทดลอง	64
5.1	การวิเคราะห์ค่าแรงดันขีดเริ่ม (V_p) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก	64
5.2	channel length modulation ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	65
5.3	การวิเคราะห์ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก	66
5.4	การวิเคราะห์กฎระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	68
5.5	คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรรินเวอร์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	69
บทที่ 6	สรุปและบทวิจารณ์	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

เอกสารอ้างอิง	73
ภาคผนวก ก การเติมอะตอมสารเจือทองคำ	75
ภาคผนวก ข การประยุกต์ใช้งานเบื้องต้นของวงจรถอดสวิตเตอร์แบบวงแหวน	78
ภาคผนวก ค ลวดลายวงจรที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้าง ทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง	81
ภาคผนวก ง สัญลักษณ์	84
ประวัติผู้เขียน	86



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 ขนาดความยาวของช่องทางเดินกระแสและความลึกจากผิวหน้าจากขบวนการ สกัดร่องรูปตัววี	37
3.1 ค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ ในวงจรรินเวอร์เตอร์	42
3.2 ค่าแรงดันการเปลี่ยนสถานะของวงจรรินเวอร์เตอร์ที่ค่าแรงดันไฟเลี้ยงต่าง ๆ	42
4.1 ค่า k' ของทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	57
4.2 ผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรรินเวอร์เตอร์	62
4.3 ผลการทดสอบการตอบสนองต่อสัญญาณชั่วคราวของวงจรรินเวอร์เตอร์	63
5.1 ค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแส ในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแส ในแนวขนานกับผิวผลึก	65
5.2 ค่าตัวแปรการหดตัวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็น และทรานซิสเตอร์ชนิดพี	66
5.3 ค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึก	68
5.4 การออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เพื่อให้ผลของความกว้างและความยาวของช่องทางเดินกระแสน้อย ๆ กระทบต่อ แรงขีดเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์	69
5.5 ความสามารถตอบสนองความถี่สูงที่สุดของสัญญาณนาฬิกาที่ป้อนที่จุด แรงดันขาเข้าเฉลี่ย	70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1 โครงสร้างแบบ MOIS	4
2.2 โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิด PMOS	6
2.3 การให้ศักดาไบอัสทรานซิสเตอร์ชนิด PMOS	6
2.4 โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิด NMOS	7
2.5 การให้ศักดาไบอัสทรานซิสเตอร์ชนิด NMOS	7
2.6 โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOS	8
2.7 การจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOS	9
2.8 โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS	9
2.9 การจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOIS	10
2.10 กราฟความสัมพันธ์ระหว่างกระแสและแรงดันของทรานซิสเตอร์ โครงสร้างแบบ MOIS	12
2.11 ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีทิศทางของช่องทางเดิน กระแสในแนวตั้ง	13
2.12 โครงสร้างที่เหมาะสมของช่องทางเดินกระแสในแนวตั้งสำหรับ ทรานซิสเตอร์โครงสร้างแบบ CMOIS	13
2.13 แผนภาพการใช้พลังงาน $2\phi_f$ ในการเปลี่ยนประจุในช่องทางเดินกระแสของ ทรานซิสเตอร์โครงสร้างแบบ MOS ให้เป็นประจุชนิดตรงกันข้ามกับฐานรอง	17
2.14 ค่าพลังงาน ϕ_f ที่ใช้ในการเหนี่ยวนำช่องทางเดินกระแสของ ทรานซิสเตอร์โครงสร้างแบบ MOIS	18
2.15 จุดเริ่มในการทำงานในช่วงอิมิตัวของทรานซิสเตอร์โครงสร้างแบบ MOIS	21
2.16 ปรากฏการณ์การเกิด channel length modulation	21
2.17 คุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS ขณะเกิดปรากฏการณ์ channel length modulation	23
2.18 การออกแบบขั้วโลหะเหนือบริเวณช่องทางเดินกระแส และประจุที่ ถูกเหนี่ยวนำขึ้นมาบริเวณผิวเนื่องจากโลหะที่เกินช่องทางเดินกระแสออกมา	24
2.19 ความยาวช่องทางเดินกระแสจริง (L_{eff}) ของทรานซิสเตอร์ โครงสร้างแบบ CMOIS	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

ภาพที่	หน้า
2.20 การขยายของขอบช่วงปลอกประจุพาหะของรอยต่อสารกึ่งตัวนำ ขั้วแคโรนและขั้วซอสของทรานซิสเตอร์กับฐานรอง	28
2.21 วงจรมอสอินเวอร์เตอร์แบบต่าง ๆ (ก) มอสอินเวอร์เตอร์แบบพีแชนแนล (ข) มอสอินเวอร์เตอร์แบบเอ็นแชนแนล (ค) มอสอินเวอร์เตอร์แบบซีมอส	31
2.22 คุณสมบัติโดยทั่ว ๆ ไป ระหว่างแรงดันอินพุตกับเอาต์พุตของมอสอินเวอร์เตอร์	31
2.23 วงจรอินเวอร์เตอร์ที่ใช้ทรานซิสเตอร์โครงสร้างแบบ MOIS	33
2.24 ภาพตัดขวางของร่องตัววี	37
3.1 พื้นที่หน้าตัดของประจุส่วนเกินช่องทางเดินกระแส	39
3.2 กราฟแสดงความสัมพันธ์ระหว่างความยาวของช่องทางเดินกระแสที่ออกแบบ กับค่า $1/\beta$	40
3.3 วงจรออสซิลเลเตอร์แบบวงแหวน โครงสร้างแบบ CMOIS	43
3.4 แผ่นผลึกซิลิกอนที่ทำความสะอาดและสร้างชั้นฉนวนซิลิกอนไดออกไซด์ ปกคลุมผิว	45
3.5 การสร้างขั้วซอสและแคโรนของทรานซิสเตอร์ชนิด PMOIS	46
3.6 การสร้างขั้วซอสและแคโรนของทรานซิสเตอร์ชนิด NMOIS	46
3.7 การสกัดชั้นซิลิกอนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองชนิด	47
3.8 การสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่เกต	47
3.9 การแพร่สารเจือทองคำเข้าไปในฐานรองของทรานซิสเตอร์	47
3.10 โครงสร้างของทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง ที่สร้างเสร็จแล้ว	48
4.1 การทดสอบอุปกรณ์ที่สร้างเสร็จเรียบร้อยด้วยเครื่องทดสอบคุณสมบัติ กระแสและแรงดันของ Hewlett Packard	49
4.2 วงจรในการหาค่าแรงดันขีดเริ่มทรานซิสเตอร์ MOIS	50
4.3 ตัวอย่างผลการทดสอบค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	51
4.4 ความสัมพันธ์ระหว่างช่องทางเดินกระแสกับค่าแรงดันขีดเริ่มของ ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	52

สารบัญญภาพ(ต่อ)

ภาพที่	หน้า
4.5 การคํอวงจรเพื่อทดสอบคุณสมบัติกระแสตรงและแรงคํนตรงของทรานซิสเตอร์	53
4.6 ตัวอย่างผลการทดสอบคํากระแสและแรงคํนของทรานซิสเตอร์ โครงสร้าง MOIS ที่มีชํองทางเดินกระแสในแนวคํง	54
4.7 ผลการทดสอบคํา Channel length modulation factor ของทรานซิสเตอร์	55
4.8 ความสัมพันธ์ระหว่างคําแรงคํนขีคเริ่มของทรานซิสเตอร์กับคํา ความกว้างของชํองทางเดินกระแสของทรานซิสเตอร์	58
4.9 ความสัมพันธ์ระหว่างคํา $1/\beta$ กับคําความยาวของชํองทางเดินกระแส ของทรานซิสเตอร์ชนิด PMOIS	60
4.10 วงจรทดสอบการส่งผ่านสัญญาณแรงคํนของวงจรรวมอินเวอร์เตอร์	61
4.11 ตัวอย่างผลการทดสอบการส่งผ่านสัญญาณของวงจรรวมอินเวอร์เตอร์ ที่ออกแบบและสร้างขี้น	62
4.12 ตัวอย่างผลการทดสอบการตอบสนองต่อสัญญาณขั้วครุ่ของวงจรรวมอินเวอร์เตอร์	63
5.1 ลวดลายอลูมิเนียมที่มีการเหลื่อมออกไปจากบริเวณเกต	67
5.2 การลดลงของความยาวของชํองทางเดินกระแส	67
ก.1 แผ่นผลึกซิลิกอนที่ได้รับการเคลือบด้วยอะตอมทองคำ	75
ก.2 สัมประสิทธิ์การแพร่ของสารเจือต่าง ๆ ในเนื้อสารซิลิกอน	77
ข.1 ลักษณะของสัญญาณขาออกของวงจรรวมอินเวอร์เตอร์แบบวงแหวน	78
ข.2 ความสัมพันธ์ระหว่างความถี่ขาออกของวงจรรวมอินเวอร์เตอร์แบบ วงแหวนกับคําแรงคํนไฟเลี้ยงของทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มี ชํองทางเดินกระแสในแนวคํง	79
ข.3 ความสัมพันธ์ระหว่างความถี่ขาออกของวงจรรวมอินเวอร์เตอร์แบบ วงแหวนกับคําแรงคํนไฟเลี้ยงของทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มี ชํองทางเดินกระแสนานกับผิวผลึก	79
ค.1 ทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มีชํองทางเดินกระแสในแนวคํง	81
ค.2 ลายวงจรรวมอินเวอร์เตอร์	81
ค.3 ลายวงจรรวมอินเวอร์เตอร์แบบวงแหวนที่มีจํานวนชุดของวงจรรวม อินเวอร์เตอร์ 3 ชุด	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญภาพ(ต่อ)

ภาพที่	หน้า
ค.4	
ลายวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่มีจำนวนชุดของวงจร อินเวอร์เตอร์ 5 ชุด	82
ค.5	
ลายวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่มีจำนวนชุดของวงจร อินเวอร์เตอร์ 7 ชุด	83
ค.6	
ลายวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่มีจำนวนชุดของวงจร อินเวอร์เตอร์ 9 ชุด	83



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ทรานซิสเตอร์โครงสร้างแบบ CMOIS (Complementary Metal Oxide Intrinsic Semiconductor) ซึ่งเป็นทรานซิสเตอร์ที่อาศัยผลของสนามไฟฟ้าควบคุมการนำกระแสในช่องทางเดินกระแส นั้น ต้องทำการเติมสารเจือของค่าเพื่อเปลี่ยนแปลงคุณสมบัติของแผ่นผลึกฐานรองซิลิกอนชนิดเอ็นระนาบ <100> ของทรานซิสเตอร์ให้มีคุณสมบัติใกล้เคียงกับสารกึ่งตัวนำบริสุทธิ์ (intrinsic like) และใช้คุณสมบัตินี้ของฐานรองในการแยกทรานซิสเตอร์ชนิดเอ็นและชนิดพีออกจากฐานรองโดยไม่จำเป็นต้องใช้โครงสร้างของบ่อแยก ทำให้สามารถเพิ่มความหนาแน่นของอุปกรณ์บนแผ่นผลึกฐานรองซิลิกอน แต่ในการลดขนาดของทรานซิสเตอร์ทำให้กระแสขาออกซึ่งขึ้นอยู่กับขนาดทางเรขาคณิตของทรานซิสเตอร์มีค่าลดลงทำให้ไม่สามารถพัฒนาเข้าสู่การประยุกต์ใช้งานทางสัญญาณนอกที่ต้องใช้กระแสสูงในการทำงานได้อย่างมีประสิทธิภาพ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วัตถุประสงค์ของการวิจัยคือการเพิ่มกระแสขาออกของทรานซิสเตอร์เพื่อสามารถทำการลดขนาดของอุปกรณ์ลงได้โดยไม่ทำให้ประสิทธิภาพในด้านต่าง ๆ ของทรานซิสเตอร์ลดลง และยังเป็น การเพิ่มประสิทธิภาพในการตอบสนองความถี่ที่สูงขึ้นของทรานซิสเตอร์อีกด้วย สิ่งที่สามารถแก้ไขได้คือ ลดความยาวช่องทางเดินกระแส ซึ่งจะสามารถลดได้เหลือแค่ค่าหนึ่งเท่านั้น ขึ้นกับเทคโนโลยีในการผลิตซึ่งเกิดจากข้อจำกัดของคุณสมบัติทางแสงของขบวนการโฟโตลิโทกราฟฟี อีกวิธีหนึ่งคือการลดความหนาของชั้นซิลิกอนไดออกไซด์ที่บริเวณช่องทางเดินกระแส ซึ่งวิธีนี้จะทำให้ทรานซิสเตอร์ทนแรงดันพังทลายขั้วเกตได้ต่ำลง สิ่งหนึ่งที่สามารถทำได้คือการเพิ่มค่าทรานคอนดักแตนซ์ของกระบวนการสร้าง (k') ซึ่งจะทำให้ค่ากระแสขาออกมีค่าสูงขึ้นด้วย

1.3 ทฤษฎีและแนวความคิดที่ใช้ในการวิจัย

ในการคัดเลือกระนาบของแผ่นผลึกซิลิกอนเพื่อสร้างเป็นอุปกรณ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้าที่ต้องการให้กระแสไหลในแนวผิวของผลึก จำเป็นต้องเลือกระนาบของผลึกเป็น <100> เนื่องจากเป็นระนาบที่เหมาะสมที่สุด เนื่องจากการเกาะเกี่ยวกันของพันธะซิลิกอนที่น้อยกว่าในระนาบ <111> บริเวณผิวจะจับอะตอมแปลกปลอมได้น้อยกว่า เช่นอะตอมของโซเดียม ซึ่งอาจทำให้เกิดกระแสรั่วที่ขั้วเกตได้ ในทำนองเดียวกันในการสร้างทรานซิสเตอร์โครงสร้างแบบ

CMOIS แผ่นผลึกเริ่มต้นเป็นแผ่นผลึกซิลิกอนชนิดเอ็นที่มีระนาบ <100> และดำเนินการสร้างการคำนวณคร่าวๆ ไม่ว่าการคำนวณทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์เพื่อประยุกต์ใช้งานในด้านต่าง ๆ และเพื่อปรับปรุงคุณสมบัติทางไฟฟ้าของวงจรที่สร้างขึ้นด้วยทรานซิสเตอร์โครงสร้างดังกล่าวนี้ จำเป็นอย่างยิ่งที่จะพัฒนาค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างให้มีค่าสูงขึ้น เพื่อเป็นการปรับปรุงค่ากระแสขาออกของทรานซิสเตอร์ให้มีค่าสูงขึ้น ซึ่งการเพิ่มขึ้นของค่าทรานส์คอนดักแตนซ์จะขึ้นอยู่กับค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแส แนวทางในการพัฒนาที่ดีคือดำเนินการสร้าง โดยทำให้แนวทางการเคลื่อนของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์เปลี่ยนจากแนวระนาบผิวของผลึกเป็นแนวตั้ง เนื่องจากค่าความคล่องตัวของประจุพาหะในแนวระนาบ <111> มีค่ามากกว่าในแนวระนาบ <100> ดังนั้นในทรานซิสเตอร์โครงสร้างแบบใหม่นี้สามารถทำการลดขนาดของรูปทรงทางเรขาคณิตลงได้โดยยังคงให้ผลของกระแสขาออกเท่าเดิมซึ่งจะทำให้ทรานซิสเตอร์สามารถตอบสนองความถี่ได้สูงขึ้นด้วย ในวิทยานิพนธ์ฉบับนี้ได้เสนอการวิจัยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสแนวตั้ง ซึ่งทำให้กระแสไหลในแนวผิวผลึกระนาบ <111>

1.4 รายละเอียดวิทยานิพนธ์

รายละเอียดต่าง ๆ ในวิทยานิพนธ์ฉบับนี้พอสรุปเป็นบทได้ดังนี้

บทที่ 1 คือบทนำโดยจะกล่าวถึงความเป็นมาและความสำคัญของงานวิจัย วัตถุประสงค์ที่ทำงานวิจัยนี้ และทฤษฎีที่ใช้ในการศึกษาเบื้องต้นเพื่อเป็นแนวทางให้กับผู้อ่าน

บทที่ 2 จะเป็นการกล่าวถึงโครงสร้างของทรานซิสเตอร์แบบ MOIS ทั้งชนิดเอ็น (NMOIS) และชนิดพี (PMOIS) และโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่ประกอบด้วยทรานซิสเตอร์ชนิดเอ็นและพีอยู่ร่วมกันบนฐานรองซิลิกอนชนิดเอ็นที่เดิมอะตอมทองคำ นอกจากนี้จะทำการเปรียบเทียบทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสขนานกับผิวของผลึกกับโครงสร้างใหม่ที่มีช่องทางเดินกระแสในแนวตั้ง และในบทนี้ยังพิจารณาคุณสมบัติทางไฟฟ้าต่าง ๆ ของทรานซิสเตอร์ อาทิเช่นค่าทรานส์คอนดักแตนซ์และการควบคุม ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่มีช่องทางเดินกระแสในแนวตั้งเป็นต้น และยังอธิบายปรากฏการณ์อื่น ๆ ที่มีผลต่อการทำงานของทรานซิสเตอร์ในวงจรรวม ขนาดที่เล็กที่สุดของทรานซิสเตอร์เมื่อพิจารณาถึงความกว้างและความยาวของช่องทางเดินกระแส และวิเคราะห์คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรรวมอินเวอร์เตอร์ที่สร้างขึ้น ในตอนท้ายได้นำเสนอการสกัดผลึกซิลิกอนบริเวณช่องทางเดินกระแสเพื่อให้ได้ทรานซิสเตอร์ที่มีช่องทางเดินกระแสในแนวตั้ง

บทที่ 3 กล่าวถึงการออกแบบทรานซิสเตอร์ โดยจะทำการหาค่าความกว้างและความยาวของช่องทางเดินกระแสที่เหมาะสม อีกทั้งการออกแบบวงจรรวม เช่นวงจรรวมอินเวอร์เตอร์ และวงจรรอสซิลเลเตอร์ และในตอนท้ายของบท ได้กล่าวถึงกระบวนการสร้างที่เหมาะสมในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง ซึ่งถือเป็นกระบวนการสร้างมาตรฐานที่ใช้ในการสร้างดินแบบเพื่อหาข้อมูลของวิทยานิพนธ์ฉบับนี้

บทที่ 4 เป็นการนำเสนอข้อมูลที่ได้จากการทดลองสร้างสิ่งประดิษฐ์สารกึ่งตัวนำที่ได้นำเสนอในบทที่ 3 โดยนำเสนอข้อมูลเกี่ยวกับการออกแบบ รวมทั้งผลการหาค่าพารามิเตอร์ต่าง ๆ ของทรานซิสเตอร์ที่ใช้ในการควบคุมคุณสมบัติทางไฟฟ้าของวงจร เพื่อใช้ในการออกแบบวงจรรวมต่อไป

บทที่ 5 จะเป็นการวิเคราะห์ผลการทดลองในแง่ต่าง ๆ ที่ได้ทดลองในบทที่ 4 อาทิเช่น ค่าแรงดันขีดเริ่ม ค่าทรานส์คอนดักแตนซ์ และค่า channel length modulation เป็นต้น

บทที่ 6 จะเป็นการสรุปผลการสร้างที่ได้จากการทดลองและวิจารณ์ เพื่อเป็นแนวทางในการพัฒนาสิ่งประดิษฐ์สารกึ่งตัวนำประเภทนี้ต่อไป



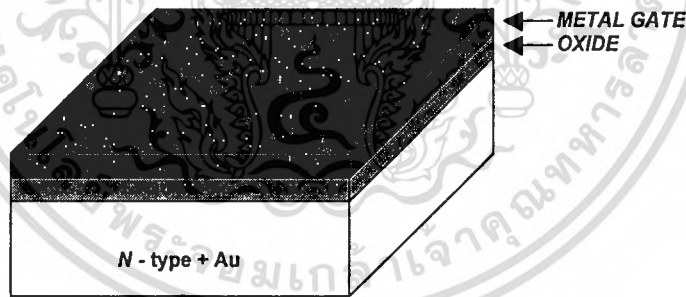
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทรานซิสเตอร์ชนิดผลของสนามไฟฟ้าโครงสร้างแบบ CMOIS

2.1 โครงสร้างและการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสแบบขนานกับผิวของผลึก

โครงสร้างของทรานซิสเตอร์แบบ MOIS (Metal Oxide Intrinsic Semiconductor) [1] แสดงได้ดังรูปที่ 2.1 โดยมีส่วนประกอบที่สำคัญ 3 ชั้น คือ ชั้นฐานรองจะเป็นสารกึ่งตัวนำชนิดเอ็นระนาบ <100> ที่ทำการเติมอะตอมทองคำอย่างเหมาะสม ชั้นที่ 2 คือ ชั้นของฉนวนซึ่งในเทคโนโลยีที่ใช้ซิลิกอนในการผลิตมักนิยมใช้ซิลิกอนไดออกไซด์เป็นฉนวน และชั้นโลหะตัวนำจะเป็นชั้นสุดท้ายซึ่งจะใช้โลหะอลูมิเนียม อะตอมทองคำที่เติมที่ชั้นฐานรองนี้จะทำหน้าที่จับประจุอิเล็กตรอนซึ่งเป็นประจุส่วนมากในเนื้อสาร ทำให้พิกัดความต้านทานในชั้นฐานรองมีค่าสูงขึ้น นอกจากนี้อะตอมทองคำยังทำให้อิเล็กตรอนในเนื้อสารมีค่าระดับพลังงานเฟอร์มิอยู่ที่ระดับ 0.62 eV เทียบกับระดับพลังงานวาเลนซ์ของสารกึ่งตัวนำซิลิกอน ดังนั้นอาจกล่าวได้ว่าสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสมจะทำให้คุณสมบัติทางไฟฟ้าคล้ายสารกึ่งตัวนำบริสุทธิ์ได้



รูปที่ 2.1 โครงสร้างแบบ MOIS

นอกจากลักษณะโครงสร้างของ MOIS กับ MOS มีลักษณะเหมือนกันแล้วลักษณะการทำงานยังเหมือนกันอีกด้วย กล่าวคือการทำงานของทรานซิสเตอร์โครงสร้าง MOIS จะอาศัยผลของสนามไฟฟ้าเพื่อเหนี่ยวนำให้เกิดช่องทางเดินกระแสขึ้น โดยถ้าต้องการให้ช่องทางเดินกระแสมีประจุไหลในการนำกระแสของทรานซิสเตอร์ชนิดพี (PMOIS) กระทำโดยการป้อนค่าแรงดันลบเมื่อเทียบกับฐานรอง ในบริเวณที่เป็นส่วนของโลหะด้านบนสุด ประจุลบบริเวณโลหะจะเหนี่ยวนำประจุไหลในเนื้อสารซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำให้ขึ้นมาอยู่บริเวณรอยต่อสารกึ่งตัวนำและฉนวนซิลิกอนไดออกไซด์ และในทางตรงกันข้ามถ้าต้องการให้ทางเดินกระแสเป็นประจุอิเล็กตรอนในไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำกระแสของทรานซิสเตอร์ชนิดเอ็น (NMOIS) จะต้องป้อนแรงดันไฟฟ้าบวกเมื่อเทียบกับฐานรอง เข้าไปที่โลหะด้านบน ซึ่งประจุบวกที่ชั้นโลหะจะเหนี่ยวนำประจุอิเล็กตรอนในชั้นฐานรองให้ขึ้นมาอยู่ที่บริเวณรอยต่อสารกึ่งตัวนำกับฉนวนซิลิกอนไดออกไซด์

จากที่กล่าวมาพบว่าปรากฏการณ์การเกิดประจุพาหะของทรานซิสเตอร์โครงสร้าง MOIS ใช้สนามไฟฟ้าในการควบคุมปริมาณประจุพาหะ ดังนั้น โครงสร้างทรานซิสเตอร์แบบ MOIS จึงเป็นโครงสร้างที่มีข้อดีเช่นเดียวกับทรานซิสเตอร์โครงสร้าง MOS คือ

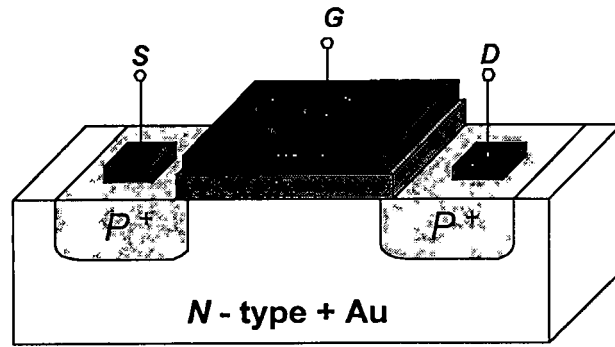
1. มีค่าความต้านทานขาเข้าของทรานซิสเตอร์สูงมากเนื่องจาก โครงสร้างของส่วนควบคุมการนำกระแสจะถูกกั้นด้วยชั้นฉนวนซิลิกอนไดออกไซด์
2. ขาเดรนและขาซอสสามารถสลับกันได้ โดยการทำงานของทรานซิสเตอร์ยังคงไม่แตกต่างกันเนื่องจากเป็น โครงสร้างแบบสมมาตร (Bilaterally Symetric)
3. ไม่เกิดปรากฏการณ์วิ่งหนีความร้อน (Thermal Runaway) ภายในอันเนื่องมาจากผลของอุณหภูมิที่เพิ่มขึ้นน้อยมาก
4. ค่าแรงดันขีดเริ่ม (V_T) สามารถเปลี่ยนแปลงได้จากการจ่ายแรงดันไฟฟ้าระหว่างซอสและฐานรอง
5. ประหยัดพื้นที่ในการสร้างเพราะสามารถสร้างทั้ง PMOIS และ NMOIS บนฐานรองเดียวกัน โดยไม่ต้องมีบ่อแยก [2]

แต่อย่างไรก็ตามทรานซิสเตอร์โครงสร้างแบบ MOIS ก็ยังมีข้อเสียบางประการเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ MOS คือ

1. ไม่สามารถทำงานโดยใช้กระแสในการควบคุมการไหลของกระแสได้
2. มีการทำงานที่กำกวมต่ำ ๆ เท่านั้นหรือทนต่อการใช้งานที่กำกวมสูง ๆ ไม่ได้
3. มีความเร็วในการทำงานต่ำ (เมื่อเทียบกับอุปกรณ์ประเภทไบโพลาร์) เนื่องจากความจุไฟฟ้าขาเข้าของวงจรมีค่าสูง
4. มีค่าทรานคอนดักแตนซ์ (Transconductance (g_m)) ต่ำ

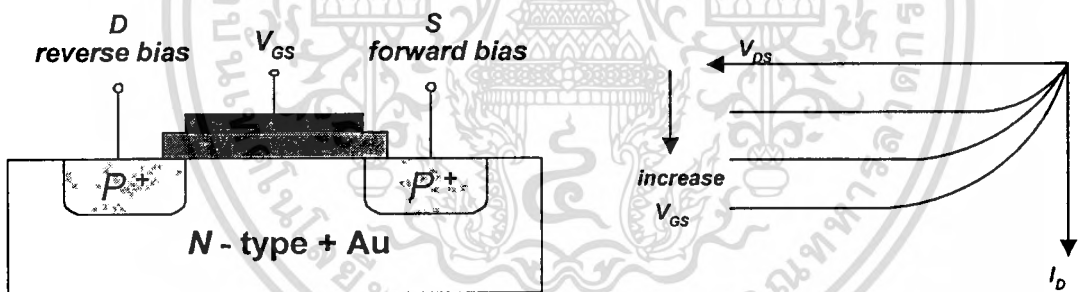
2.1.1 ทรานซิสเตอร์ชนิดพีแชนแนลเอ็นเอชเอ็มทีโหมด (PMOIS)

การสร้างทรานซิสเตอร์ชนิดพีแชนแนลเอ็นเอชเอ็มทีโหมด สามารถสร้างได้โดยเติมอะตอมสารเจือชนิดพีเพื่อสร้างเป็นขั้วซอสและเดรนของทรานซิสเตอร์ชนิดพี ลงบนฐานรองซิลิกอนชนิดเอ็น โดยให้ได้ค่าความเข้มข้นของสารเจือชนิดพีมีค่าประมาณ 10^{15} ถึง 10^{16} อะตอมต่อลูกบาศก์เซนติเมตร หลังจากนั้นจึงเติมสารเจือทองคำเข้าไปที่ฐานรอง โดยมีโครงสร้างภาคตัดขวางแสดงดังรูปที่ 2.2



รูปที่ 2.2 โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิด PMOS

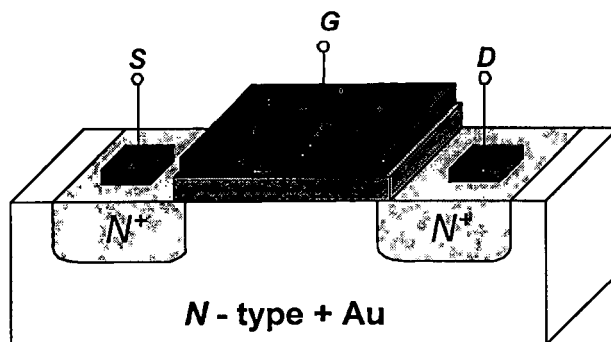
จากรูปของโครงสร้างจะประกอบด้วยขั้วเดรนและซอร์สซึ่งจะเลือกขั้วใดเป็นขั้วเดรนหรือขั้วซอร์สก็ได้ และขั้วเกตออกไซด์ และขั้วฐานรอง การใช้งานจะกระทำโดยป้อนศักดาไฟฟ้าที่ขั้วเกตมีศักดาต่ำกว่าฐานรอง ทำให้ประจุโฮลถูกเหนี่ยวนำให้ขึ้นมาอยู่ในช่องทางเดินกระแสทำให้เกิดช่องทางเดินกระแส ถ้าศักดาไฟฟ้าที่เดรนมีค่าต่ำกว่าศักดาไฟฟ้าที่ซอร์สก็จะเกิดกระแสไหลจากขั้วซอร์สไปขั้วเดรนได้ การทำงานของทรานซิสเตอร์ในลักษณะนี้เรียกว่าการทำงานแบบเอนแฮนซ์เมนต์โหมดซึ่งแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 การให้ศักดาไบอัสทรานซิสเตอร์ชนิด PMOS

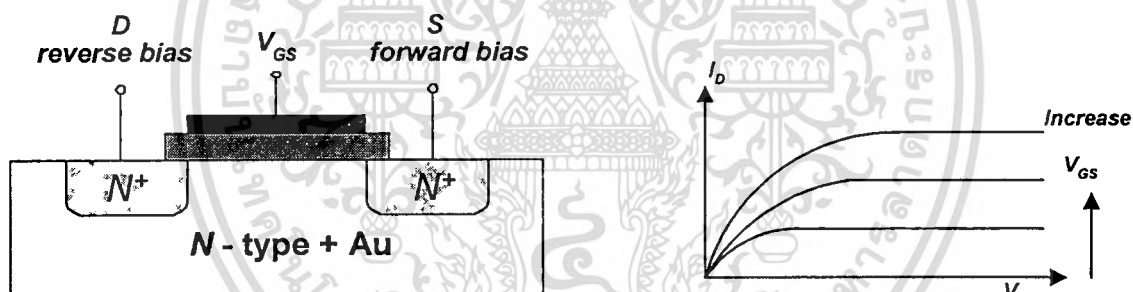
2.1.2 ทรานซิสเตอร์ชนิดเอ็นแซนแนลเอนแฮนซ์เมนต์โหมด (NMOIS)

การสร้างทรานซิสเตอร์ชนิดเอ็นแซนแนลเอนแฮนซ์เมนต์โหมด สามารถสร้างได้โดยเติมอะตอมสารเจือชนิดเอ็น เพื่อสร้างเป็นขั้วซอร์สและเดรนของทรานซิสเตอร์ชนิดเอ็นลงบนฐานรองซิลิกอนชนิดเอ็น โดยให้ได้ค่าความเข้มข้นของสารเจือชนิดเอ็นมีค่าประมาณ 10^{15} ถึง 10^{16} อะตอมต่อลูกบาศก์เซนติเมตร หลังจากนั้นจึงเติมสารเจือของค่าเข้าไปที่ฐานรอง โครงสร้างภาพตัดขวางแสดงดังรูปที่ 2.4



รูปที่ 2.4 โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิด NMOIS

จากรูปของโครงสร้างจะพบว่าทรานซิสเตอร์ชนิด NMOIS มีขั้วไฟฟ้าต่าง ๆ เช่นเดียวกับทรานซิสเตอร์ชนิด PMOIS แต่การใช้งานจะเป็นไปในทางตรงกันข้ามกล่าวคือ ป้อนศักดาไฟฟ้าบวกที่ขั้วเกตเมื่อเทียบกับขั้วฐานรอง จะทำให้อิเล็กตรอนมาสะสมทำให้เกิดช่องทางเดินกระแสขึ้น ถ้าศักดาไฟฟ้าที่ขั้วเดรนมีค่าสูงกว่าที่ขั้วซอร์สก็จะเกิดกระแสไหลจากขั้วซอร์สไปขั้วเดรน ดังรูปที่ 2.5



รูปที่ 2.5 การให้ศักดาไบอัสทรานซิสเตอร์ชนิด NMOIS

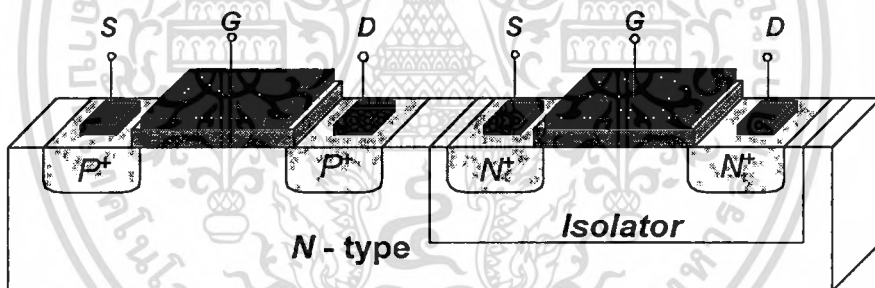
จากลักษณะโครงสร้างทรานซิสเตอร์ทั้งสองแบบจะเห็นได้ว่าการจ่ายศักดาไบอัสที่ขั้วเดรนจะเป็นการจ่ายศักดาไบอัสย้อนกลับ (reverse bias) และการจ่ายศักดาไบอัสที่ขั้วซอร์สจะเป็นการจ่ายศักดาไบอัสตรง (forward bias) ซึ่งเป็นไปในลักษณะเดียวกันกับทรานซิสเตอร์โครงสร้างแบบ MOS

2.1.3 ทรานซิสเตอร์ชนิดคู่คอมพลิเมนต์ (CMOIS)

ทรานซิสเตอร์ชนิดคู่คอมพลิเมนต์ (CMOIS) จะประกอบด้วยทรานซิสเตอร์ชนิด NMOIS ทำงานร่วมกับทรานซิสเตอร์ชนิด PMOIS โดยการทำงานจะเหมือนกับทรานซิสเตอร์โครงสร้าง

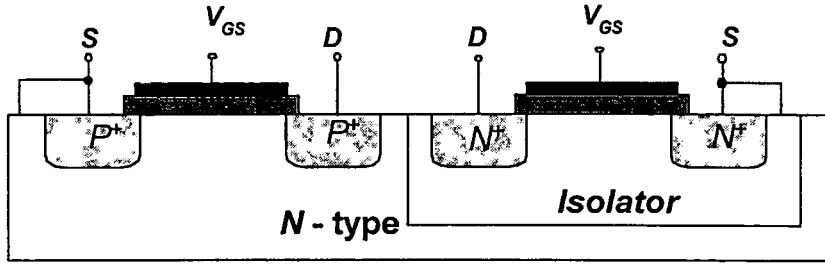
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ CMOS ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NMOS ทำงานร่วมกับทรานซิสเตอร์ชนิด PMOS เนื่องจากทรานซิสเตอร์ โครงสร้างดังกล่าวมีข้อดีของวงจรถือว่าวงจรถือจะใช้พลังงานไฟฟ้าในการทำงานต่ำ กล่าวคือวงจรถือต้องการใช้พลังงานไฟฟ้าต่ำเมื่อเกิดการเปลี่ยนแปลงสถานะแรงดันขาออกของวงจรถือเท่านั้น ในสถานะที่วงจรถือสถานะแรงดันขาออกวงจรถือไม่ต้องการพลังงานใด ๆ ทั้งสิ้น ข้อดีของวงจรถือนี้แตกต่างจากวงจรถือรวม โครงสร้างแบบไบโพลาร์หรือวงจรถือรวม โครงสร้างแบบเอ็มมอส ดังนั้นการพัฒนาวงจรถือรวม โครงสร้างแบบ CMOS ให้มีประสิทธิภาพสูงขึ้นจึงสมควรได้รับการพัฒนาต่อไป ในกระบวนการสร้างวงจรถือรวม โครงสร้างแบบ CMOS จำเป็นต้องสร้างทรานซิสเตอร์ชนิดเอ็มมอสร่วมกับทรานซิสเตอร์ชนิดพีมอสบนฐานรองอันเดียวกัน ดังนั้นเทคโนโลยีในการสร้างวงจรถือรวมแบบ CMOS จึงจำเป็นต้องสร้างบ่อแยกเพื่อแยกทรานซิสเตอร์ทั้งสองออกจากกัน โดยถ้าแผ่นซิลิกอนที่ใช้เป็นฐานรองเป็นสารกึ่งตัวนำซิลิกอนชนิดเอ็น จำเป็นต้องสร้างบ่อแยกชนิดพีเพื่อแยกทรานซิสเตอร์ชนิดเอ็นออกจากฐานรอง และในทางตรงกันข้ามถ้าฐานรองเป็นสารกึ่งตัวนำซิลิกอนชนิดพีก็จำเป็นต้องสร้างบ่อแยกชนิดเอ็นเพื่อแยกทรานซิสเตอร์ชนิดพีออกจากฐานรอง ที่เป็นเช่นนี้เพราะทรานซิสเตอร์ โครงสร้างแบบ MOS จำเป็นต้องสร้างให้ชนิดของทรานซิสเตอร์มีความแตกต่างจากฐานรอง ดัง โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOS ดังรูปที่ 2.6



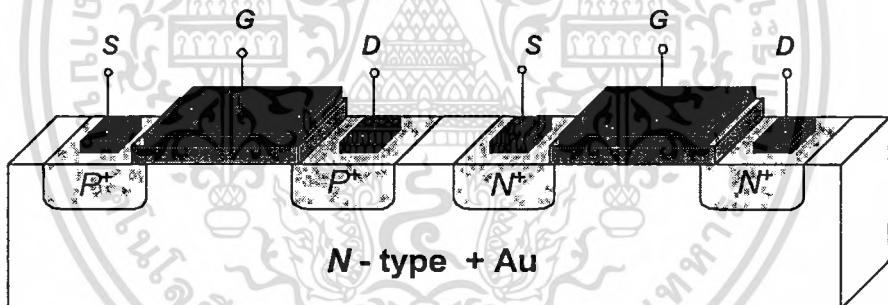
รูปที่ 2.6 โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOS

ตัวอย่างการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์ โครงสร้างแบบ CMOS ในวงจรถือรวมแสดงดังรูปที่ 2.7 ซึ่งพบว่าขาขอของทรานซิสเตอร์ทั้งสองจำเป็นต้องต่อร่วมกับขั้วฐานรองของทรานซิสเตอร์นั้น ๆ เพื่อป้องกันการเกิดปรากฏการณ์แล็ชอัป (latch up) คือปรากฏการณ์การเกิดไบโพลาร์ทรานซิสเตอร์แฝงในโครงสร้างทรานซิสเตอร์แบบ CMOS ขึ้นในวงจรถือ และจากรูปแบบของการไบอัสจะพบว่าขั้วฐานรองของทรานซิสเตอร์ชนิดเอ็นจะได้รับการไบอัสแบบย้อนกลับกับขั้วฐานรองของทรานซิสเตอร์ชนิดพี ดังนั้นขั้วฐานรองของทรานซิสเตอร์ทั้งสองจะแยกจากกันโดยสมบูรณ์



รูปที่ 2.7 การจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOS

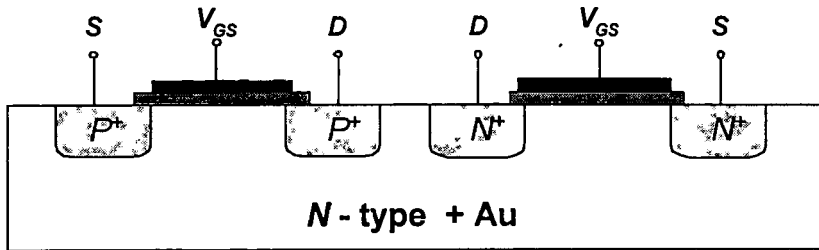
แต่ในกรณีของทรานซิสเตอร์ชนิดคู่คอมพลิเมนต์ (CMOS) ทั้งทรานซิสเตอร์ชนิดพีและชนิดเอ็น โครงสร้างแบบ MOIS สามารถสร้างได้โดยใช้ฐานรองซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสม[1] ดังนั้นการประกอบทรานซิสเตอร์ชนิดพีเพื่อทำงานร่วมกับทรานซิสเตอร์ชนิดเอ็นบนแผ่นซิลิกอนชั้นเดียวกัน สามารถกระทำได้โดยไม่ต้องอาศัยบ่อแยกทรานซิสเตอร์ออกจากกันดังรูปที่ 2.8 จุดนี้เป็นข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOS ที่จะได้รับการพัฒนาเป็นวงจรรวมขนาดใหญ่ขึ้นเพื่อแทนที่สิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS



รูปที่ 2.8 โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS

การแบ่งขั้วของทรานซิสเตอร์แบบ CMOIS เพื่อใช้ในการคำนวณคุณสมบัติทางไฟฟ้าของวงจรรวมจำเป็นต้องพิจารณาการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์ ขั้วเดรนของทรานซิสเตอร์จะเป็นขั้วที่ถูกจ่ายศักดาไฟฟ้าแบบย้อนกลับ และในทางตรงกันข้ามขั้วซอสของทรานซิสเตอร์จะเป็นขั้วที่ถูกจ่ายศักดาไฟฟ้าแบบตรง และการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์แบบ CMOIS ในวงจรรวมจะทำการต่อศักดาไฟฟ้าเข้าที่ขั้วฐานรองไม่ได้ดังรูปที่ 2.9 (ซึ่งสิ่งนี้ตรงกันข้ามกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS) เนื่องจากฐานรองทรานซิสเตอร์ทั้งสองเป็นฐานรองชนิดเดียวกัน ดังนั้นถ้าทำการต่อขั้วซอสของทรานซิสเตอร์ทั้งสองกับขั้วฐานรองแล้วจะทำให้กระแส

ไหลจากแหล่งจ่ายไฟเลี้ยงลงสู่จุดที่มีแรงดันต่ำกว่าโดยผ่านฐานรองที่ใช้สร้างทรานซิสเตอร์เท่านั้น ทำให้ทรานซิสเตอร์ไม่ทำงานตามฟังก์ชันของวงจรที่ต้องการ



รูปที่ 2.9 การจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOIS

2.1.4 การทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสแบบขนานกับผิวของผลึก

การพิจารณาคูณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ CMOIS ในที่นี้จะพิจารณาเฉพาะทรานซิสเตอร์ชนิด NMOIS เท่านั้น ส่วนทรานซิสเตอร์ชนิด PMOIS นั้นจะมีคุณสมบัติการทำงานในลักษณะเดียวกันแต่เครื่องหมาย (หรือทิศทาง) ที่ใช้จะเป็นไปในทางตรงกันข้าม สมการกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS จะมีลักษณะเช่นเดียวกันกับสมการกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOS

การทำงานของทรานซิสเตอร์โครงสร้างแบบ MOIS นั้นสามารถพิจารณาการทำงานออกได้เป็น 3 ช่วงการทำงาน โดยพิจารณาจากค่าแรงดันตกคร่อมขั้วเกตกับขั้วซอส (V_{GS}) ค่าแรงดันตกคร่อมขั้วเดรนและขั้วซอส (V_{DS}) และค่าแรงดันขีดเริ่ม (V_T) เป็นสำคัญ ดังต่อไปนี้

1. ช่วงที่ทรานซิสเตอร์ไม่ทำงาน (Cutoff Region)

การทำงานของทรานซิสเตอร์ในช่วงเวลานี้เกิดขึ้นเนื่องจากค่าแรงดันตกคร่อมขั้วเกตและขั้วซอสมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ ดังนั้นแรงดันขาเข้าที่เกตจึงไม่สามารถเหนี่ยวนำประจุในฐานรองให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสได้ จึงไม่เกิดการไหลของกระแสจากขั้วเดรนไปยังขั้วซอสได้ถึงแม้ว่าจะจ่ายศักดาไบอัสที่ขั้วเดรนและซอสไปแล้วก็ตาม สมการการไหลของกระแสของทรานซิสเตอร์จะเป็นดังสมการที่ 2.1

$$I_D = 0 \quad ; \quad V_{GS} < V_T \quad (2.1)$$

2. ช่วงที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว (Nonsaturated Region)

การทำงานในช่วงนี้บางครั้งอาจเรียกว่าการทำงานในช่วงเชิงเส้น (Linear Region) จะเกิดขึ้นเมื่อจ่ายศักดาไบอัสให้ค่าแรงดันตกคร่อมขั้วเดรนและซอสน้อยกว่าค่าแรงดันตกคร่อมขั้วเกตกับขั้วซอสลบด้วยค่าแรงดันขีดเริ่ม การไหลของกระแสของทรานซิสเตอร์ในช่วงนี้จะมีลักษณะเป็นเชิงเส้นกับค่าแรงดันตกคร่อมขั้วเดรนและซอสที่เพิ่มขึ้น ค่าความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์จะขึ้นกับค่าแรงดันที่ป้อนเข้าที่ขั้วเกต ดังนั้นการทำงานในช่วงนี้ทรานซิสเตอร์จะแสดงพฤติกรรมทางไฟฟ้าเหมือนตัวต้านทานไฟฟ้าตัวหนึ่ง ซึ่งสมการการไหลของกระแสเป็นดังสมการที่ 2.2

$$I_D = \frac{\beta}{2} \left[2(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right] \quad ; V_{DS} < V_{GS} - V_T \quad (2.2)$$

โดยที่ตัวแปรค่าต่าง ๆ มีค่าดังต่อไปนี้คือ

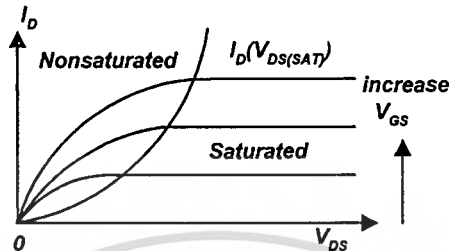
- I_D คือค่ากระแสที่ไหลผ่านช่องทางเดินกระแสของทรานซิสเตอร์
- β คือค่า devices transconductance parameter มีค่า = $k'(W/L)$
- k' คือค่า process transconductance parameter มีค่า = $\mu_{AU} \cdot C_{OX}$
- μ_{AU} คือค่าความคล่องตัวของประจุพาหะที่ผิวที่ใช้ในการนำกระแสของทรานซิสเตอร์
- C_{OX} คือค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่ มีค่า = $\epsilon_0 \epsilon_{OX} / T_{OX}$
- ϵ_{OX} คือค่าคงที่ไดอิเล็กตริกของฉนวนซิลิกอนไดออกไซด์ มีค่า 3.9
- ϵ_0 คือค่าสภาพยอมของสุญญากาศ (Permittivity of free space) มีค่า $8.854 \times 10^{-14} \text{ F/cm}$
- T_{OX} คือค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่บริเวณช่องทางเดินกระแสของทรานซิสเตอร์
- W คือค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์
- L คือค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์

3. ช่วงที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturated Region)

การทำงานในช่วงนี้จะเกิดขึ้นเมื่อค่าแรงดันตกคร่อมขั้วเดรนกับขั้วซอสมีค่ามากกว่าค่าแรงดันตกคร่อมเกตกับขั้วซอสลบด้วยค่าแรงดันขีดเริ่มของทรานซิสเตอร์ ช่วงนี้ปริมาณของประจุพาหะในช่องทางเดินกระแสมีค่าคงที่ตลอดเวลาแม้ว่าแรงดันตกคร่อมขั้วเดรนกับขั้วซอสจะเพิ่มขึ้น ค่ากระแสที่ไหลผ่านช่องทางเดินกระแสจะมีค่าคงที่ ที่ค่าแรงดันตั้งแต่ $V_{DS} = (V_{GS} - V_T)$ ดังนั้นจึงเรียกช่วงนี้ว่าช่วงอิ่มตัว ซึ่งมีสมการการไหลของกระแสเป็นดังสมการที่ 2.3

$$I_D = \left(\frac{\beta}{2}\right)[V_{GS} - V_T]^2 \quad ; \quad V_{DS} \geq V_{GS} - V_T \quad (2.3)$$

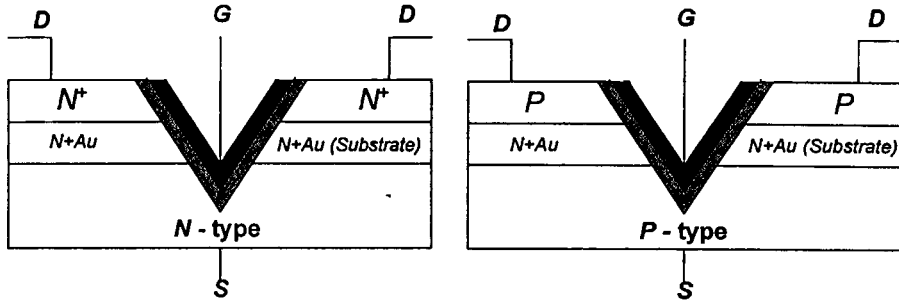
กราฟแสดงความสัมพันธ์ระหว่างค่ากระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS จะเป็นดังรูปที่ 2.10



รูปที่ 2.10 กราฟความสัมพันธ์ระหว่างกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS

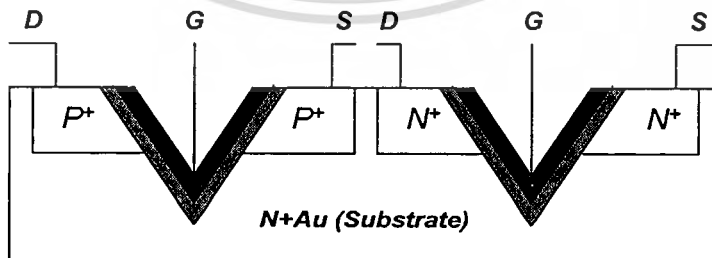
2.2 การเปรียบเทียบทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งกับแบบขนานกับผิวของผลึก

เป็นที่ทราบกันดีว่าในการคัดเลือกระนาบของแผ่นผลึกซิลิกอนเพื่อสร้างเป็นอุปกรณ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้าที่ต้องการให้กระแสไหลในแนวผิวของผลึก จำเป็นต้องเลือกระนาบของผลึกเป็น $\langle 100 \rangle$ เนื่องจากเป็นระนาบที่เหมาะสมที่สุด ซึ่งเกิดจากการเกาะเกี่ยวกันของพันธะซิลิกอนที่น้อยกว่าในระนาบ $\langle 111 \rangle$ บริเวณผิวจะจับอะตอมแปลกปลอมได้น้อยกว่า เช่นอะตอมของโซเดียม ซึ่งอาจทำให้เกิดกระแสรั่วได้ ในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ก็เช่นเดียวกัน แผ่นผลึกเริ่มต้นเป็นแผ่นผลึกซิลิกอนชนิดเอ็นที่มีระนาบ $\langle 100 \rangle$ และดำเนินการสร้างทรานซิสเตอร์ซึ่งแสดงดังรูปที่ 2.8 ดังที่ได้กล่าวไปแล้ว เพื่อประยุกต์ใช้งานในด้านต่าง ๆ และเพื่อปรับปรุงคุณสมบัติทางไฟฟ้าของวงจรที่สร้างขึ้นด้วยทรานซิสเตอร์โครงสร้างดังกล่าวนี้ จำเป็นอย่างยิ่งที่จะพัฒนาค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างให้มีค่าสูงขึ้น แนวทางในการพัฒนาที่ดีคือดำเนินการสร้างโดยทำให้แนวทางการเคลื่อนของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์เปลี่ยนจากแนวระนาบผิวของผลึกเป็นแนวตั้งดังรูปที่ 2.11 เนื่องจากค่าความคล่องตัวของประจุพาหะในแนวระนาบ $\langle 111 \rangle$ มีค่ามากกว่าในระนาบ $\langle 100 \rangle$



รูปที่ 2.11 ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีทิศทางของช่องทางเดินกระแสในแนวดิ่ง

ในการสร้างทรานซิสเตอร์เพื่อให้แนวการเคลื่อนที่ของประจุพาหะเคลื่อนที่ในแนวดิ่งสามารถสร้างโดยใช้โครงสร้างของมอสเฟตกำลังแบบวีมอส ซึ่งแสดงดังรูปที่ 2.11 โดยประจุพาหะในช่องทางเดินกระแสจะเคลื่อนที่ในแนวระนาบ $\langle 111 \rangle$ ซึ่งทำให้ค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสมีค่าสูงขึ้น และสามารถสังเกตได้ว่าผลของการออกแบบรูปทรงทางเรขาคณิตลักษณะนี้ทำให้ค่าความยาวของช่องทางเดินกระแสจะมีค่าลดลง เมื่อความยาวช่องทางเดินกระแสลดลงแล้วสามารถทำให้ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์มีค่าสูงขึ้นไปด้วย แต่ทรานซิสเตอร์โครงสร้างแบบ CMOIS ไม่สามารถสร้างโดยใช้โครงสร้างดังรูปที่ 2.11 ได้ เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS จำเป็นต้องทำการเติมสารเจือทองคำเข้าไปที่ฐานรอง ซึ่งสารเจือดังกล่าวจำเป็นต้องเคลื่อนที่เข้าไปในช่องทางเดินกระแสด้วย ดังนั้นแนวทางอันหนึ่งที่เป็นไปได้คือทำการสร้างช่องทางเดินกระแสให้เป็นรูปตัววีแทนแสดงดังรูปที่ 2.12 ซึ่งวิธีนี้เป็นวิธีที่เหมาะสมกับทรานซิสเตอร์โครงสร้างแบบ CMOIS เพราะในบริเวณช่องทางเดินกระแสสามารถเติมสารเจือทองคำเข้าไปได้ โดยวิธีดังกล่าวนี้สามารถลดค่าความยาวของช่องทางเดินกระแสลงได้ขึ้นกับขบวนการขั้วลึก



รูปที่ 2.12 โครงสร้างที่เหมาะสมของช่องทางเดินกระแสในแนวดิ่งสำหรับทรานซิสเตอร์โครงสร้างแบบ CMOIS

2.3 คุณสมบัติของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

ในการออกแบบวงจรรวมโครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง (หรือโครงสร้างแบบ CMOS ทั่ว ๆ ไป) จำเป็นต้องทราบคุณสมบัติทางไฟฟ้าของทรานซิสเตอร์เพื่อใช้ในการกำหนดคุณสมบัติทางไฟฟ้าของวงจรรวมให้เป็นไปตามที่ผู้ใช้ต้องการ โดยคุณสมบัติต่าง ๆ จะแสดงดังต่อไปนี้

2.3.1 ค่าทรานส์คอนดักแตนซ์และการควบคุมค่าอัตราขยาย (β) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

ค่าอัตราขยาย (β) Devices Transconductance Parameter) เป็นค่าตัวแปรหนึ่งที่สามารถควบคุมค่ากระแสที่ไหลผ่านทรานซิสเตอร์แต่ละตัวในวงจร ซึ่งสามารถกำหนดได้จากการออกแบบตัวทรานซิสเตอร์ โดยค่าอัตราขยายมีสมการความสัมพันธ์กับรูปทรงเรขาคณิตของการออกแบบทรานซิสเตอร์ดังสมการที่ 2.4 [3][4][5]

$$\beta = k' \frac{W}{L} \quad (2.4)$$

จากสมการพบว่าสามารถออกแบบให้ทรานซิสเตอร์มีค่าอัตราขยายตามที่ต้องการ โดยการออกแบบค่าอัตราส่วนความกว้าง (W) ต่อความยาว (L) ของช่องทางเดินกระแสของทรานซิสเตอร์ให้มีค่าตามความต้องการ และจากสมการค่า k' (Process Transconductance Parameter) ซึ่งเป็นค่าคงที่ของทรานซิสเตอร์มีความสัมพันธ์ดังสมการที่ 2.5

$$k' = \mu_{Au} \frac{\epsilon_o \epsilon_{ox}}{T_{ox}} \quad (2.5)$$

โดยที่ μ_{Au} คือค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้ง มีค่า $256 \text{ cm}^2/\text{V}\cdot\text{sec}$ สำหรับประจุโฮล และมีค่า $113 \text{ cm}^2/\text{V}\cdot\text{sec}$ สำหรับประจุอิเล็กตรอน [6]

ϵ_{ox} คือค่าคงที่ไดอิเล็กตริกของฉนวนซิลิกอนไดออกไซด์ มีค่า 3.9

ϵ_o คือค่าสภาพยอมของสูญญากาศ มีค่า $8.854 \times 10^{-14} \text{ F/cm}$

T_{ox} คือค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแส

จากสมการข้างต้นพบว่า การควบคุมค่าอัตราขยายนอกจากสามารถควบคุมได้จากค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แล้ว ยังสามารถควบคุมได้จากค่า

ความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ในช่องทางเดินกระแสอีกวิธีหนึ่ง แต่การควบคุมทั้งสองวิธียังมีข้อจำกัดคือ

1. ค่าความกว้างและค่าความยาวของช่องทางเดินกระแสจะต้องมีค่ามากกว่าค่าต่ำสุดของอุปกรณ์ชนิดนั้น ๆ เพื่อหลีกเลี่ยงผลของขนาดของช่องทางเดินกระแสที่เล็กมาก
2. ค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์จะต้องมีความหนาพอที่จะทนแรงดันไฟฟ้าที่ป้อนเข้ามาที่ขั้วเกตได้ โดยความหนาของซิลิกอนไดออกไซด์ 1 ไมโครเมตรสามารถทนแรงดันได้ 600 โวลต์

ดังนั้นถ้าสามารถหาค่า k' ของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวคิ่งได้ จะสามารถควบคุมค่าอัตราขยายของทรานซิสเตอร์ให้เป็นไปตามต้องการได้

2.3.2 แรงดันขีดเริ่ม (V_T) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวคิ่ง

แรงดันขีดเริ่ม (V_T) คือแรงดันที่ให้ไบอัสที่เกตเพื่อเหนี่ยวนำให้เกิดชั้นกลับ (inversion layer) พอดี โดยค่าแรงดันขีดเริ่มเป็นค่าตัวแปรอันหนึ่งที่ใช้ในการควบคุมพฤติกรรมทางไฟฟ้าของวงจร ดังนั้นถ้าสามารถควบคุมค่าแรงดันนี้ได้ก็จะสามารถออกแบบวงจรให้มีคุณสมบัติตามที่ผู้ใช้ต้องการได้

พิจารณาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวคิ่ง ซึ่งเป็นความสัมพันธ์ที่มีลักษณะคล้ายคลึงกับค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOS ทั้ง ๆ [2][3] ไปดังสมการที่ 2.6

$$V_T = V_{FB} + \phi_F + \frac{1}{C_{ox}} \sqrt{2q\epsilon_0\epsilon_{Si}N(\phi_F)} \quad (2.6)$$

โดยที่ V_{FB} คือ แรงดันแถบราบ (flat band voltage) มีค่า $\phi_{Ms} - \frac{1}{C_{ox}}(Q_{ox} + Q_{sv})$

C_{ox} คือ ค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่ มีค่า $\epsilon_0\epsilon_{ox} / T_{ox}$

ϵ_{Si} คือ ค่าคงที่ไดอิเล็กตริกของซิลิกอน มีค่า 11.7

q มีค่า 1.6×10^{-19} คูลอมบ์ (C)

N คือจำนวนประจุในฐานรอง (ประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่กำลังพิจารณาอยู่)

ϕ_F คือค่าพลังงานจากระดับพลังงานของฐานรองถึงระดับพลังงานที่อิเล็กตรอนหรือโฮลที่กำลังนำกระแสอยู่

จากสมการข้างต้นพบว่าค่าพารามิเตอร์ต่าง ๆ ของสมการมีลักษณะคล้ายคลึงกับสมการที่ใช้ในการพิจารณาค่าแรงดันขั้วเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOS แต่จากการวิจัยพบว่าสิ่งที่ทรานซิสเตอร์โครงสร้างแบบ MOIS แตกต่างจากทรานซิสเตอร์โครงสร้างแบบ MOS ทั้ง ๆ ไปคือ

1. ค่าปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ (N)
2. ค่าพลังงาน ϕ_F

เนื่องจากผลของอะตอมทองคำที่ถูกเติมเข้าไปในแผ่นผลึกซิลิกอนชนิดเอ็นที่ใช้เป็นฐานรองของทรานซิสเตอร์ ทำให้คุณสมบัติทางไฟฟ้าของแผ่นผลึกเปลี่ยนแปลงไป เช่น ทองคำจะสร้างระดับพลังงานค่าหนึ่งในสารกึ่งตัวนำซิลิกอนชนิดเอ็นมีค่าประมาณ 0.62 eV เทียบกับระดับพลังงานของวาเลนซ์อิเล็กตรอน ระดับพลังงานนี้จะทำหน้าที่เสมือนระดับพลังงานผู้รับ (acceptor like level) [2] ดังนั้นอิเล็กตรอนในสารกึ่งตัวนำซิลิกอนชนิดเอ็นจะสามารถลงมาอยู่ที่ระดับพลังงานนี้ได้ ทำให้อิเล็กตรอนที่ใช้ในการนำกระแสของทรานซิสเตอร์มีปริมาณน้อยลงเป็นต้น ดังนั้นในการคำนวณค่าแรงดันขั้วเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้งจำเป็นต้องทราบปริมาณของประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่เหลืออยู่หลังจากการเติมอะตอมทองคำแล้วมีปริมาณเท่าใด และค่าระดับพลังงานเฟอร์มิของแผ่นผลึกฐานรองมีค่าระดับพลังงานระดับใด และหลังจากที่ประจุพาหะในแผ่นผลึกฐานรองถูกดึงขึ้นไปทีบริเวณผิวจะอยู่ที่ระดับพลังงานใด

การพิจารณาปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์

การพิจารณาปริมาณประจุและชนิดของประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้งที่เหลือในแผ่นผลึกซิลิกอนชนิดเอ็นหลังจากเติมอะตอมทองคำเข้าไปแล้ว สามารถตรวจสอบได้จากเครื่องมือ four - point probe ซึ่งจะทราบชนิดของประจุที่ใช้ในการนำกระแสและสภาพความต้านทานของชั้นสาร โดยพบว่าอิเล็กตรอนยังคงเป็นประจุพาหะส่วนใหญ่ในเนื้อสารอยู่ นำค่าสภาพความต้านทานของชั้นสารมาคำนวณค่าปริมาณอิเล็กตรอนในเนื้อสาร โดยแทนค่าสภาพความต้านทานลงในสมการ 2.7

$$N_e = (\rho q \mu_{Au})^{-1} \quad (2.7)$$

โดยที่ N_e คือปริมาณของประจุอิเล็กตรอนในเนื้อสาร

ρ คือค่าสภาพความต้านทานของชั้นสาร

q คือค่าประจุอิเล็กตรอนมีค่า 1.6×10^{-19} C

μ_{Au} คือค่าความคล่องตัวของประจุพาหะอิเล็กตรอนในเนื้อสารซิลิกอนชนิดเอ็นที่เติม

เอกสารนี้เป็นเอกสาร อะตอมทองคำกับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.7 เมื่อแทนค่าตัวแปรต่าง ๆ เรียบร้อยแล้วจะทำให้ทราบถึงปริมาณประจุพาหะอิเล็กตรอนที่อยู่ในเนื้อสาร และใช้ในการคำนวณค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และนำค่าประจุอิเล็กตรอนที่หาได้แทนค่าในสมการ 2.8 เพื่อหาค่าประจุพาหะโฮล

$$N_h = \frac{n_i^2}{N_e} \quad (2.8)$$

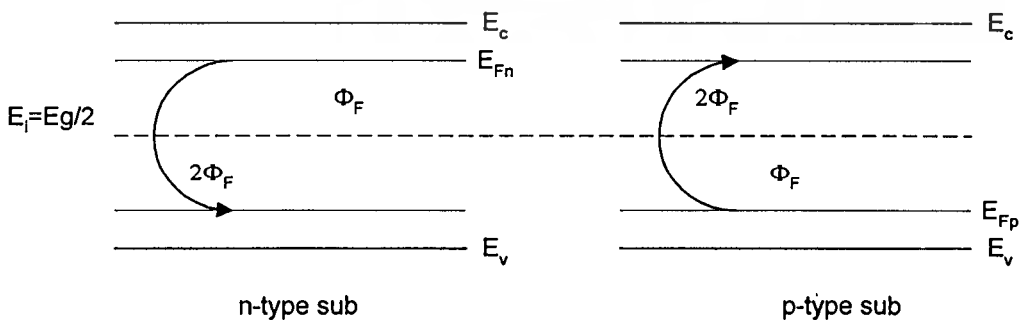
โดยที่ N_h คือปริมาณของประจุพาหะโฮลในเนื้อสารกึ่งตัวนำ

n_i คือปริมาณของประจุพาหะอิเล็กตรอนหรือโฮลในเนื้อสารกึ่งตัวนำซิลิกอนบริสุทธิ์ มีค่า 1.45×10^{10} อะตอม/ลูกบาศก์เซนติเมตร

ค่าปริมาณของประจุพาหะอิเล็กตรอนและโฮลที่หาได้จะสามารถนำไปแทนค่าในสมการพิจารณาค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นและชนิดพีโครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้งได้

การพิจารณาค่า ϕ_F ของแผ่นผลึกซิลิกอนชนิดเอ็นหลังจากเติมอะตอมทองคำ

ϕ_F ในระบบ MOS คือค่าความแตกต่างของพลังงานระหว่างระดับพลังงานเฟอร์มีที่มีอิเล็กตรอนหรือโฮลอยู่กับระดับพลังงานเฟอร์มีของสารกึ่งตัวนำซิลิกอนบริสุทธิ์ และในสมการการคำนวณค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOS เทอม ϕ_F ในสมการ 2.6 นี้จะแทนด้วยค่า $2\phi_F$ เนื่องจากการเหนี่ยวนำประจุในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้าง MOS จำเป็นต้องเหนี่ยวนำประจุในช่องทางเดินกระแสให้เป็นประจุตรงกันข้ามกับชนิดของประจุในฐานรองทรานซิสเตอร์ดังรูปที่ 2.13 ตัวอย่างเช่นถ้าฐานรองทรานซิสเตอร์ชนิดเอ็นโครงสร้าง MOS เป็นสารกึ่งตัวนำชนิดพี ค่าพลังงาน $2\phi_F$ คือพลังงานที่ใช้ในการผลิตประจุพาหะโฮลในฐานรอง $1\phi_F$ และเป็นพลังงานที่ใช้ในการดึงประจุอิเล็กตรอนในฐานรองอีก $1\phi_F$ ดังนั้นพลังงานรวมจึงมีค่า $2\phi_F$ เป็นต้น



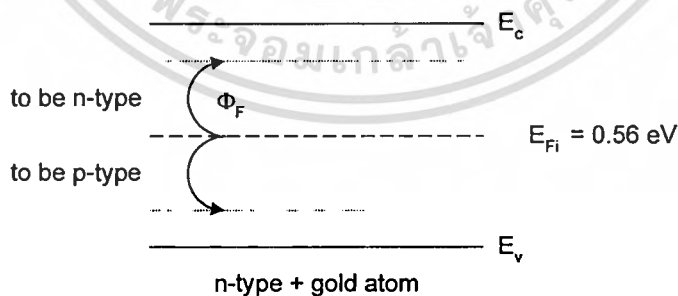
รูปที่ 2.13 แผนภาพการใช้พลังงาน $2\phi_F$ ในการเปลี่ยนประจุในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ MOS ให้เป็นประจุชนิดตรงกันข้ามกับฐานรอง

ในสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ใช้ฐานรอกทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีอันเดียวกัน ซึ่งที่ผ่านมาพบว่าแผ่นซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำจะมีระดับพลังงานเฟอร์มิอยู่ที่ระดับ 0.62 eV เทียบกับระดับพลังงานวาเลนซ์อิเล็กตรอนของซิลิกอน โดยในการพิจารณาค่าระดับพลังงานเฟอร์มิของสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำ จะต้องพิจารณาจากปริมาณประจุพาหะส่วนใหญ่ในเนื้อสาร โดยพบว่าอิเล็กตรอนยังคงเป็นประจุพาหะส่วนใหญ่ในเนื้อสาร โดยแสดงคังสมการที่ 2.7 และค่าปริมาณประจุพาหะดังกล่าวสามารถหาค่าของระดับพลังงานของประจุอิเล็กตรอนได้โดยแทนค่าประจุอิเล็กตรอนที่ได้ในสมการที่ 2.9

$$E_{F_n} = E_c + kT \ln \frac{N_{electron}}{N_c} \quad (2.9)$$

โดยที่ E_c คือค่าระดับพลังงานของชั้น conduction band ของสารกึ่งตัวนำซิลิกอนมีค่า 1.12 eV
 N_c คือปริมาณของประจุที่อยู่ในชั้น conduction band โดยทั่วไปในแผ่นผลึกซิลิกอนจะมีประมาณ 2.9×10^{19} ประจุ
 k คือค่าคังของโบสแมนต์มีค่า 1.38×10^{-23} J/K
 T คือค่าของอุณหภูมิ (K)

ดังนั้นถ้าต้องการทราบว่าค่าพลังงานที่ต้องใช้เพื่อให้ช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิดมีประจุที่ใช้ในการนำกระแสอยู่ จำเป็นต้องทราบว่าประจุที่อยู่บริเวณช่องทางเดินกระแสที่ใช้ในการนำกระแสของทรานซิสเตอร์นั้นมีค่าระดับพลังงานเฟอร์มิที่ระดับใด ดังรูปที่ 2.14



รูปที่ 2.14 ค่าพลังงาน Φ_F ที่ใช้ในการเหนี่ยวนำช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ MOIS

แนวทางการหาระดับพลังงานเฟอร์มิของประจุในช่องทางเดินกระแสเป็นดังนี้คือ ถ้าพิจารณากราฟคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ดังรูปที่ 2.10 เส้นกราฟในช่วงที่ทรานซิสเตอร์ทำงานในสถานะไม่อิ่มตัว (nonsaturated region) ช่วงนี้สามารถหาค่าความต้านทานของช่องทางเดินกระแสได้ (R_{on}) และเมื่อทราบค่าความต้านทานของช่องทางเดินกระแสแล้วสามารถหาจำนวนประจุในช่องทางเดินกระแสได้ดังนี้คือ

พิจารณาความสัมพันธ์

$$R = \rho \frac{l}{a} \quad (2.10)$$

เนื่องจากค่าความต้านทานในช่องทางเดินกระแสที่วัดได้เกิดจากประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์บริเวณผิวของแผ่นผลึก ดังนั้นค่าสภาพความต้านทาน (ρ) ในสมการจะเป็นค่าสภาพความต้านทานแผ่น (sheet resistance ρ_s) เท่านั้น

$$\rho_s = (Nq\mu_{Au})^{-1} \quad (2.11)$$

โดยที่ ρ_s คือค่าสภาพความต้านทานแผ่น
 N คือปริมาณประจุพาหะที่ผิว
 μ_{Au} คือค่าความคล่องตัวของประจุพาหะที่พิจารณา
 แทนค่า ρ_s ที่ได้จากสมการที่ 2.11 ลงในสมการที่ 2.10 จะได้

$$R_{on} = (Nq\mu_{Au})^{-1} \left(\frac{L}{W} \right) \quad (2.12)$$

หลังจากแทนค่าต่าง ๆ ลงในสมการแล้วจะได้ค่าปริมาณประจุพาหะอิเล็กตรอนหรือโฮลในช่องทางเดินกระแส และค่าปริมาณประจุพาหะดังกล่าวสามารถหาค่าของระดับพลังงานของประจุอิเล็กตรอนได้โดยแทนค่าประจุอิเล็กตรอนที่หาได้ในสมการที่ 2.9 และในทำนองเดียวกันค่าระดับพลังงานของโฮลในช่องทางเดินกระแสสามารถหาได้โดยแทนค่าปริมาณประจุโฮลลงในสมการที่ 2.13

$$E_{Fp} = E_c - kT \ln \frac{N_{hole}}{N_v} \quad (2.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ E_v คือค่าระดับพลังงานของชั้น valence band ของสารกึ่งตัวนำซิลิกอนมีค่า 0 eV

N_v คือปริมาณของประจุที่อยู่ในชั้น valence band โดยทั่วไปในแผ่นผลึกซิลิกอนจะมีค่าประมาณ 1.04×10^{19} ประจุ

เมื่อทราบค่าระดับพลังงานเฟอร์มิของประจุอิเล็กตรอนหรือโฮลในช่องทางเดินกระแสแล้วจะสามารถหาค่าพลังงานที่ใช้ในการดึงประจุอิเล็กตรอนในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เดิมอะตอมของค่าให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสคือ

$$\phi_{Fe} = E_{Fn} - 0.56 \quad (2.14)$$

และค่าพลังงานที่ใช้ในการดึงประจุโฮลในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เดิมอะตอมของค่าให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสคือ

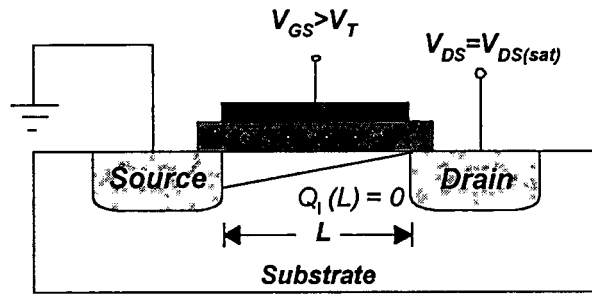
$$\phi_{Fh} = 0.56 - E_{Fp} \quad (2.15)$$

ค่าพลังงาน ϕ_F ที่หาได้นี้จะแทนค่าลงในสมการที่ 2.6 เพื่อหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้งต่อไป

2.3.3 ปรัชญาการ channel length modulation ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

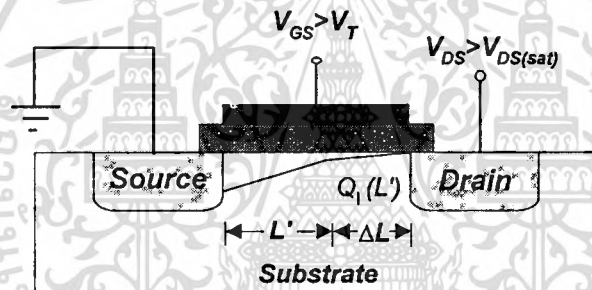
ปรัชญาการ channel length modulation เป็นปรัชญาการที่เกิดขึ้นในทรานซิสเตอร์โครงสร้างแบบ MOS [9][10][11] และเกิดขึ้นกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งด้วยแต่ปรัชญาการที่เกิดขึ้นในทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งค่อนข้างมากกว่าทรานซิสเตอร์โครงสร้างแบบ MOS

ขณะที่ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งทำงานในช่วงอิ่มตัว กระแสที่ไหลผ่านทรานซิสเตอร์จะไม่ขึ้นกับการเปลี่ยนแปลงค่าแรงดัน V_{DS} แต่กระแสจะคงที่ตลอดตามการพิจารณาจากสมการการไหลของกระแสเดรนของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่ได้อธิบายไปแล้ว แต่ในความเป็นจริงค่ากระแสดังกล่าวยังคงเพิ่มขึ้นอีกเล็กน้อยตามค่าแรงดัน V_{DS} ที่เพิ่มสูงขึ้น ในการอธิบายปรัชญาการดังกล่าว จะทำการพิจารณารูปตัดขวางของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึก ขณะที่ทรานซิสเตอร์กำลังทำงานในช่วงอิ่มตัว ซึ่งจะเป็นไปในลักษณะเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง [12] ดังรูปที่ 2.15 ซึ่งเป็นทรานซิสเตอร์โครงสร้างแบบ NMOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึก โดยการไบอัสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว



รูปที่ 2.15 จุดเริ่มในการทำงานในช่วงอิมิตัวของทรานซิสเตอร์โครงสร้างแบบ MOIS

จากรูปจะพบว่าที่จุดปลายสุดของช่องทางเดินกระแส (L) จะไม่มีปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์เหลืออยู่ $Q_1(L) = 0$ แต่เมื่อเพิ่มค่าแรงดัน V_{DS} แก่ทรานซิสเตอร์อีก จุดที่ไม่มีประจุนี้จะเปลี่ยนแปลงไป $Q_1(L') = 0$ ดังรูปที่ 2.16



รูปที่ 2.16 ปรากฏการณ์การเกิด channel length modulation

ดังนั้นจะพบว่าค่าความยาวของช่องทางเดินกระแสจะเสมือนมีค่าสั้นลง โดยช่องทางเดินกระแสที่ประจุถูกเหนี่ยวนำด้วยแรงดันที่ป้อนที่ขั้วเกตในช่วงชั้นกลับจะมีความยาวเพียง L' เท่านั้น ดังนั้นความยาวช่องทางเดินกระแส L' จะมีค่าดังสมการที่ 2.16

$$L' = L - \Delta L \quad (2.16)$$

ในการพิจารณาจะกำหนดให้แรงดัน V_{DS} ที่จ่ายจากแหล่งกำเนิดคกร่วมในช่องทางเดินกระแสทั้งหมด แสดงดังสมการที่ 2.17

$$V_{DS} = V(L') \quad (2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความยาว ΔL นี้สามารถประมาณได้จากการขยายของช่วงปลอดพาหะ (depletion region) ของรอยต่อ p-i หรือ n-i โดยค่าแรงดันที่ตกคร่อมรอยต่อมีค่า $V_{DS} - V_{DS(sat)}$ ดังนั้นจะได้ว่าค่า ΔL จะมีค่าดังสมการที่ 2.18

$$\Delta L = \sqrt{\frac{2\epsilon_{Si}}{qN} (V_{DS} - V_{DS(sat)})} \quad (2.18)$$

ค่าของตัวแปรต่าง ๆ ยังคงเป็นเช่นเดียวกับการพิจารณารอยต่อพีเอ็น และค่า N ในสมการคือปริมาณของประจุที่ตรงกันข้ามกับประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่กำลังพิจารณาอยู่ เช่นถ้าทรานซิสเตอร์ที่กำลังพิจารณาใช้ประจุอิเล็กตรอนในการนำกระแส ประจุ N ในสมการคือประจุโฮลที่อยู่ในฐานรองซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมของกำเป็นต้น และเมื่อพิจารณาสมการความสัมพันธ์ระหว่างกระแสเดรนและแรงดันต่าง ๆ ของทรานซิสเตอร์โครงสร้าง MOIS เมื่อค่าความยาวของช่องทางเดินกระแสเป็น L' จะเป็นดังสมการที่ 2.19

$$I_{DS} = \frac{k'W}{2L'} (V_{GS} - V_T)^2 \quad (2.19)$$

แทนค่า $L' = L - \Delta L$ ลงในสมการที่ 2.19 จะได้

$$I_{DS} = \frac{I_{D0}}{1 - (\Delta L/L)} \quad (2.20)$$

โดยที่ I_{D0} คือค่ากระแสเดรนที่ได้จากสมการพิจารณาค่าความยาวของช่องทางเดินกระแสแบบปกติ และจะเห็นได้ว่าการหาค่ากระแสเดรนจะมีความยุ่งยากมากขึ้น ดังนั้นในการคำนวณจึงไม่นิยมใช้สมการที่ 2.20 ในการคำนวณ และถ้าพิจารณาสมการที่ 2.18 จะพบว่าค่า ΔL นี้จะเป็นฟังก์ชันที่ขึ้นกับค่าแรงดัน V_{DS} ของวงจร ดังนั้นจะแทนผลของปรากฏการณ์นี้ด้วยตัวแปรตัวหนึ่งดังสมการที่ 2.21

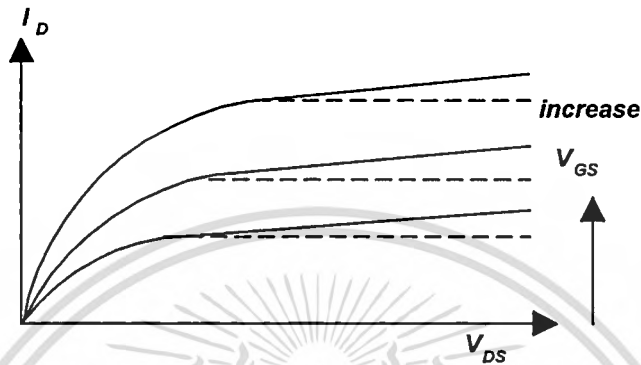
$$1 - \frac{\Delta L}{L} = (1 + \lambda V_{DS})^{-1} \quad (2.21)$$

โดยที่ λ คือค่า channel length modulation factor มีหน่วยเป็น V^{-1} ดังนั้นสมการกระแสของทรานซิสเตอร์โครงสร้างแบบ MOIS ในช่วงอิมิตคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.22)$$

จากสมการจะพบว่าค่ากระแสเดรนในช่วงอิมตัวมีค่าไม่คงที่ ดังนั้นความสัมพันธ์ระหว่างกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS จะเป็นดังรูปที่ 2.17



รูปที่ 2.17 คุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS ขณะเกิดปรากฏการณ์ channel length modulation

2.4 ขนาดของโครงสร้างที่เหมาะสมของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

ขนาดโครงสร้างทางเรขาคณิตของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง ที่จะกล่าวถึงในหัวข้อนี้จะประกอบด้วยค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ ซึ่งเป็นพารามิเตอร์ตัวหนึ่งในการกำหนดค่าอัตราขยายของทรานซิสเตอร์ตัวนั้น ๆ ที่ปรากฏอยู่ในสมการพิจารณาค่ากระแสเดรนที่ไหลผ่านขั้วเดรนและขั้วซอสของทรานซิสเตอร์ที่ได้กล่าวมาแล้วในตอนต้น และหลังจากที่ได้ออกแบบวงจรและได้ค่าอัตราขยายของทรานซิสเตอร์แต่ละตัวในวงจร จากนั้นจึงทำการเลือกค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสเพื่อให้ได้อัตราขยายตามต้องการ เมื่อได้ค่าอัตราส่วนดังกล่าวแล้ว จึงทำการเลือกค่าความกว้างและค่าความยาวของช่องทางเดินกระแสที่เหมาะสมต่อไป

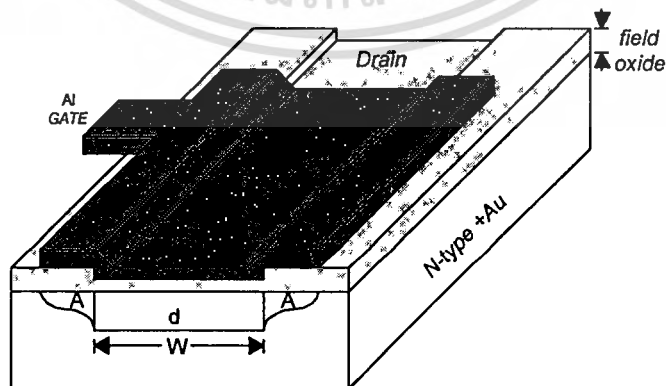
2.4.1 ขนาดของความกว้างช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

จากความประสงค์ของผู้ออกแบบทรานซิสเตอร์บนแผ่นผลึกซิลิกอนที่ต้องการลดขนาดของทรานซิสเตอร์ลงเพื่อบรรจุปริมาณของทรานซิสเตอร์ให้มากที่สุดบนพื้นที่จำกัดค่าหนึ่ง และใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลดพื้นที่ลงนั้น ค่าความกว้างของช่องทางเดินกระแสเป็นพารามิเตอร์หนึ่งที่ได้รับ ความสนใจในการลดขนาดลงเป็นอย่างมาก แต่ในการลดความกว้างของช่องทางเดินกระแสลงเพื่อให้ทรานซิสเตอร์มีขนาดเล็กนี้ จะส่งผลให้เกิดปรากฏการณ์ผลของความกว้างช่องทางเดินกระแสที่แคบๆ (Narrow width effect) ซึ่งเป็นปรากฏการณ์ที่ส่งผลกระทบต่อค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่ออกแบบไว้โดยปรากฏการณ์นี้มีลักษณะดังนี้คือ [9]

ในการออกแบบขั้วโลหะที่ใช้เป็นส่วนเหนี่ยวนำช่องทางเดินกระแสบริเวณขั้วเกตของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง จะมีลักษณะเหมือนกับทรานซิสเตอร์โครงสร้าง CMOIS ทั่ว ๆ ไป ซึ่งจำเป็นต้องทำการสร้างขั้วโลหะนี้ออกนอกบริเวณที่เป็นส่วนของทางเดินกระแสจริงเล็กน้อย (gate overlap design) ดังรูป 2.18 เพื่อให้ขั้วโลหะส่วนเกตปกคลุมทั่วทั้งบริเวณช่องทางเดินกระแสทั้งหมด และมีส่วนทำให้กระบวนการสร้างเกิดความผิดพลาดน้อยที่สุด นอกจากนี้ขั้วโลหะส่วนนี้ยังถูกสร้างขึ้นเพื่อใช้ในการนำแรงดันจากบริเวณภายนอกส่วนเกตให้เข้ามาเหนี่ยวนำช่องทางเดินกระแส หรือนำไปเชื่อมต่อกับทวดลายวงจรบริเวณอื่น ๆ เพื่อสร้างเป็นวงจรรวมขึ้น ดังนั้นขั้วโลหะส่วนนี้จึงถูกลากไปบนชั้นฉนวนซิลิกอนไดออกไซด์ส่วนอื่น ๆ ที่ไม่ใช่ส่วนช่องทางเดินกระแสของทรานซิสเตอร์ด้วย ทำให้ทวดลายที่เดินนี้สามารถที่จะเหนี่ยวนำประจุอิเล็กตรอนหรือประจุโฮลในเนื้อของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ขึ้นมาที่บริเวณผิวได้ ประจุต่าง ๆ ที่ถูกดึงขึ้นมาในบริเวณใกล้เคียงหรือติดกับช่องทางเดินกระแสของทรานซิสเตอร์นี้จะมีจำนวนน้อยมากเมื่อเปรียบเทียบกับประจุที่อยู่บริเวณช่องทางเดินกระแสของทรานซิสเตอร์ที่มีช่องทางเดินกระแสที่กว้าง ๆ แต่เมื่อทรานซิสเตอร์ดังกล่าวถูกลดค่าความกว้างของช่องทางเดินกระแสลงจนมีขนาดเล็กมาก ๆ ประจุที่ถูกเหนี่ยวนำบริเวณใกล้เคียงกับช่องทางเดินแสดนี้จะมีปริมาณมากเมื่อเทียบกับปริมาณประจุในช่องทางเดินกระแส และมีผลทำให้การพิจารณาค่าแรงดันขีดเริ่มของทรานซิสเตอร์ตัวนั้น เปลี่ยนแปลงไปจากที่ได้เคยอธิบายไว้ในตอนต้น



รูปที่ 2.18 การออกแบบขั้วโลหะเหนือบริเวณช่องทางเดินกระแส และประจุที่ถูกเหนี่ยวนำขึ้นมาบริเวณผิวเนื่องจากโลหะที่เกินช่องทางเดินกระแสออกมา

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่าแรงดันขีดเริ่มที่เปลี่ยนแปลงเนื่องจากผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ พิจารณาดังนี้คือ ปริมาณประจุที่อยู่ในช่องทางเดินกระแสบริเวณพื้นที่ $W \times L$ เนื่องจากถูกเหนี่ยวนำด้วยแรงดันไฟฟ้าที่ขั้วเกต (Q_B) มีค่า (เมื่อไม่คิดส่วนขั้วโลหะที่เกินส่วนเกต)

$$Q_B LW = qNdWL \quad (2.23)$$

โดยที่ Q_B คือ ประจุในบริเวณช่องทางเดินกระแส

N คือ ปริมาณประจุที่บริเวณช่องทางเดินกระแส (โฮลหรืออิเล็กตรอน)

d คือ ความกว้างของชั้นกลับ

ถ้าพิจารณาให้ประจุที่ถูกเหนี่ยวนำโดยส่วนขั้วโลหะบริเวณช่องทางเดินกระแสที่เกินออกไปมีพื้นที่หน้าตัด A มีปริมาณมากเมื่อเทียบกับปริมาณประจุที่อยู่บริเวณช่องทางเดินกระแส ดังรูปที่ 2.18 ดังนั้นประจุที่ถูกเหนี่ยวนำทั้งหมดมีค่า

$$Q_B LW = qNL(dW + 2A) \quad (2.24)$$

แต่โดยทั่วๆ ไปการกล่าวถึงปริมาณประจุในบริเวณช่องทางเดินแเสนี้มักนิยมทำค่าให้เป็นอิสระจากค่าอัตราส่วนทางเรขาคณิตของทรานซิสเตอร์ตัวนั้น ดังนั้นถ้านำค่าความจุไฟฟ้าที่ช่องทางเดินกระแสของทรานซิสเตอร์ $C_g = C_{ox} \times (WL)$ ทารสมการที่ 2.24 ข้างต้นจะได้

$$\frac{Q_B}{C_{ox}} = \left[\frac{qNd}{C_{ox}} \right] g \quad (2.25)$$

เรียกค่า g ว่าค่าตัวแปรของปรากฏการณ์ความกว้างช่องทางเดินกระแสที่น้อยๆ (channel width effect factor) ซึ่งมีค่า

$$g = 1 + \left(\frac{2A}{dW} \right) \quad (2.26)$$

จากสมการ 2.26 จะพบว่าค่า g จะมีค่ามากกว่า 1 เสมอ และในกรณีที่ค่าแรงดันที่ขั้วฐานของทรานซิสเตอร์มีค่าเป็นศูนย์ (ทรานซิสเตอร์โครงสร้าง CMOIS ต่อศักดาไฟฟ้าแก่ฐานรองไม่ได้) เมื่อแทนค่า d แล้วจะได้ค่า Q_B ในสมการ 2.25 คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_B = \sqrt{2q\epsilon_{si}N\phi_F} (g) \quad (2.27)$$

ดังนั้นค่าแรงดันขั้วเริ่มของทรานซิสเตอร์เมื่อมีผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ จะมีค่าดังสมการที่ 2.28 โดยแทนค่า Q_B ที่มีผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ จากสมการที่ 2.27 ลงในสมการพิจารณาค่าแรงดันขั้วเริ่มที่ได้พิจารณาไปแล้วในตอนต้นจะได้

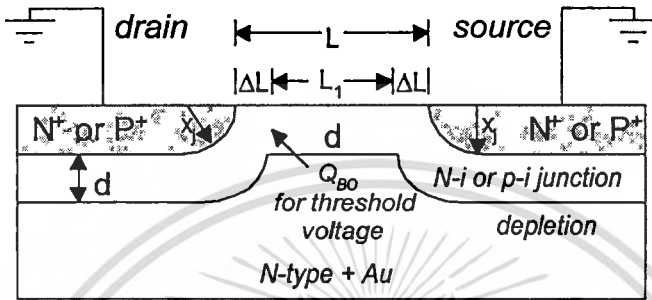
$$V_T = V_{FB} + \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}N\phi_F} (g) + \phi_F \quad (2.28)$$

จากสมการแสดงค่าแรงดันขั้วเริ่มสมการที่ 2.28 พบว่าค่าแรงดันขั้วเริ่มจะเปลี่ยนแปลงเนื่องจากค่า g ที่เพิ่มเข้ามาในสมการ โดยที่ทรานซิสเตอร์ที่ถูกผลกระทบของปรากฏการณ์นี้จะมีผลทำให้ค่าแรงดันขั้วเริ่มมีค่ามากขึ้น (เนื่องจากค่า g มีค่ามากกว่า 1 เสมอ) และเมื่อพิจารณาค่า g ดังสมการที่ 2.26 พบว่าถ้าขนาดของความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์มีค่ามากกว่าค่าความลึกของชั้นกลับบริเวณช่องทางเดินกระแส และค่าพื้นที่ของขั้วโลหะที่เกินบริเวณช่องทางเดินกระแสมีค่าน้อย (ทำให้ค่า A น้อย) จะทำให้เทอมที่สองของค่า g มีค่าเข้าใกล้ศูนย์ ดังนั้นเทอมของ g ในสมการพิจารณาค่าแรงดันขั้วเริ่มสมการที่ 2.28 จะมีค่าเป็นหนึ่ง ซึ่งไม่มีผลต่อการเปลี่ยนแปลงค่าแรงดันขั้วเริ่ม ดังนั้นในการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง จึงจำเป็นต้องออกแบบให้ค่าความกว้างของช่องทางเดินกระแสมีค่าสูงกว่าค่าความลึกของชั้นกลับในช่องทางเดินกระแส และในทำนองเดียวกันส่วนขั้วโลหะของช่องทางเดินกระแสที่เกินช่องทางเดินกระแสออกไปควรมีค่าน้อย ๆ เมื่อเทียบกับค่าความกว้างของช่องทางเดินกระแส ซึ่งในการกำหนดค่าต่าง ๆ เหล่านี้จะขึ้นกับเทคโนโลยีในการผลิตวงจรรวมนั้น ๆ ด้วย

2.4.2 ขนาดของความยาวช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

การลดขนาดของทรานซิสเตอร์บนแผ่นผลึกซิลิกอน นอกจากทำการลดค่าความกว้างของช่องทางเดินกระแสแล้ว ค่าความยาวของช่องทางเดินกระแสก็เป็นพารามิเตอร์หนึ่งที่นิยมกันคิดว่า และวิจัยเพื่อทำการลดค่าให้ได้ค่าน้อยที่สุด เนื่องจากการลดค่าความยาวของช่องทางเดินกระแสจะทำให้ทรานซิสเตอร์มีค่าอัตราขยายสูงขึ้นในขณะที่ค่าความกว้างของช่องทางเดินกระแสมีค่าเท่าเดิม แต่ในการลดค่าความยาวของช่องทางเดินกระแสลงมาก ๆ จะทำให้ค่าแรงดันขั้วเริ่มของทรานซิสเตอร์มีค่าเปลี่ยนแปลงเช่นเดียวกับการลดค่าความกว้างของช่องทางเดินกระแสเรียกปรากฏการณ์นี้ว่าปรากฏการณ์ Short channel effect [9]

ผลกระทบของปรากฏการณ์นี้เกิดขึ้นเมื่อค่าความยาวของช่องทางเดินกระแสมีค่าน้อยลงมาก ๆ จนมีค่าเข้าใกล้ค่าความลึกของชั้นกลับได้ช่องทางเดินกระแส เนื่องจากประจุในช่วงปลอดพาหะของรอยต่อระหว่างขั้วเดรนหรือขั้วซอสกับฐานรองที่ใช้ในการสร้างวงจรรวมส่งผลกระทบต่อประจุในช่องทางเดินกระแสทำให้ช่องทางเดินกระแสที่ออกแบบไว้กับช่องทางเดินกระแสจริงเกิดความแตกต่างกันมากยิ่งขึ้นดังรูปที่ 2.19



รูปที่ 2.19 ความยาวช่องทางเดินกระแสจริง (L_{eff}) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS

จากรูปที่ 2.19 พบว่าความสัมพันธ์ของช่องทางเดินกระแสที่ออกแบบไว้ (L) กับช่องทางเดินกระแสที่ถูกผลกระทบจากประจุในช่วงปลอดพาหะของขั้วเดรนและขั้วซอสของทรานซิสเตอร์ ขณะที่ทรานซิสเตอร์กำลังทำงานจะเป็นไปดังสมการ 2.29

$$L = L_1 + 2(\Delta L) \quad (2.29)$$

โดยที่ค่าความยาว ΔL คือค่าการขยายของช่วงปลอดพาหะของรอยต่อขั้วเดรนและขั้วซอสกับฐานรอง และในกรณีที่ขั้วเดรนและขั้วซอสของทรานซิสเตอร์มีค่าเป็นศูนย์จะได้ว่า

$$\Delta L = \frac{(L - L_1)}{2} \quad (2.30)$$

ดังนั้นกรณีที่แรงดันที่ขั้วเดรนและขั้วซอสเป็นศูนย์ จะได้ค่าความยาวช่องทางเดินกระแสของทรานซิสเตอร์ที่แท้จริง (L_{eff}) มีค่า

$$L_{eff} = L - 2(\Delta L) \quad (2.31)$$

ดังนั้นปริมาณประจุที่ขึ้นมาอยู่บริเวณผิวในบริเวณช่องทางเดินกระแสมีค่าลดลงเนื่องจากความยาวของช่องทางเดินกระแสมีขนาดเล็กลง จะมีค่า

$$\left(\frac{Q_B WL}{C_{OX} WL} \right) = \frac{1}{C_{OX}} \sqrt{2q \epsilon_{si} N \phi_F} (\gamma) \quad (2.32)$$

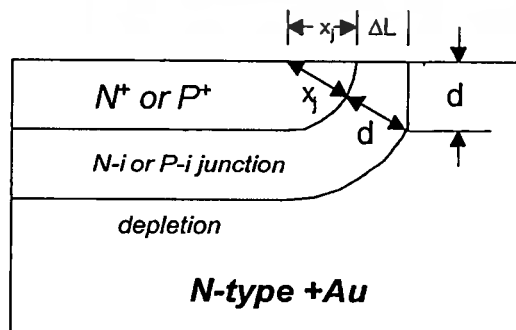
โดย γ คือ ค่าตัวแปรที่ขึ้นกับรูปทรงทางเรขาคณิตของทรานซิสเตอร์มีค่า

$$\gamma = 1 - \left(\frac{2(\Delta L)}{L} \right) \quad (2.33)$$

ดังนั้นค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่มีผลกระทบของความยาวช่องทางเดินกระแสค่าน้อย สามารถหาได้โดยแทนค่าประจุที่หาได้ลงในสมการพิจารณาค่าแรงดันขีดเริ่มที่ได้กล่าวมาแล้วในต้น มีค่า

$$V_T = V_{FB} + \frac{1}{C_{OX}} \sqrt{2q \epsilon_{si} N \phi_F} (\gamma) + \phi_F \quad (2.34)$$

การพิจารณาค่า γ เพื่อดูผลกระทบของค่าความยาวช่องทางเดินกระแสที่น้อย ๆ ว่าจะเริ่มต้นมีผลเมื่อใดนั้น สามารถพิจารณาได้โดยการประมาณค่าว่าขั้วเกรนและขั้วซอสของทรานซิสเตอร์ซึ่งสร้างจากการเติมสารเจือชนิดเอ็นหรือสารเจือชนิดพีลงบนแผ่นผลึกซิลิกอนจะมีขอบของรอยต่อเป็นส่วนหนึ่งของวงกลมและการขยายของช่วงปลอดประจุพาหะของรอยต่อขยายเล็กน้อยไปในเนื้อของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์นั้น ดังนั้นรูปแบบของการขยายของช่วงปลอดประจุพาหะจะเป็นไปดังรูปที่ 2.20



รูปที่ 2.20 การขยายของขอบช่วงปลอดประจุพาหะของรอยต่อสารกึ่งตัวนำขั้วเกรนและขั้วซอสของทรานซิสเตอร์กับฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการคำนวณค่า ΔL ในสมการที่ 2.33 สามารถประมาณจากสามเหลี่ยมในรูปที่ 2.20 ดังนี้คือ

$$(x_j + d)^2 = d^2 + (x_j + \Delta L)^2 \quad (2.35)$$

โดยที่ x_j คือค่าความลึกของรอยต่อขั้วเดรนและขั้วชอสกับฐานรอง
จักรุปสมการใหม่จะได้

$$\Delta L^2 + 2x_j \Delta L - 2x_j d = 0 \quad (2.36)$$

จะเห็นได้ว่าสมการที่ 2.36 เป็นสมการกำลังสองธรรมดา ดังนั้น ΔL มีค่า

$$\Delta L = -x_j + \sqrt{x_j^2 + 2x_j d} \quad (2.37)$$

แทนค่า ΔL ลงในสมการที่ 2.33 จะได้

$$\gamma = 1 - \left(\frac{2x_j}{L} \right) \left[\sqrt{1 + \left(\frac{2d}{x_j} \right)} - 1 \right] \quad (2.38)$$

จากที่กล่าวมาจะพบว่า การออกแบบเพื่อหลีกเลี่ยง ไม่ให้เกิดผลของช่องทางเดินกระแสที่แคบๆ จำเป็นต้องออกแบบให้ทรานซิสเตอร์มีความยาวของช่องทางเดินกระแสมีค่ามากกว่าค่าความลึกของรอยต่อระหว่างขั้วเดรนและขั้วชอสของทรานซิสเตอร์กับฐานรองที่ใช้สร้างทรานซิสเตอร์มาก ๆ จึงจะทำให้ค่า γ มีค่าใกล้เคียง 1 ซึ่งทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ไม่เปลี่ยนแปลงแต่จากสมการมีเทอมของตัวแปร x_j และ d อยู่ซึ่งไม่สามารถหาค่าที่ถูกต้องได้ (ในสิ่งประดิษฐ์ประเภท CMOIS) ดังนั้นการพิจารณาค่าความยาวช่องทางเดินกระแสที่เหมาะสมจะเป็นค่าใดจึงพิจารณาวิธีการทางอ้อมแทน โดยพิจารณาค่าความกว้างของช่วงปลอดประจุพาหะที่ขยายจากขั้วเดรนหรือขั้วชอสของทรานซิสเตอร์แทนดังนี้

พิจารณาค่าอัตราขยายของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งที่เกิดผลของช่องทางเดินกระแสที่ลดลงเนื่องจากการขยายของช่วงปลอดประจุพาหะของขั้วเดรนและชอสกับฐานรองซึ่งทำให้ช่องทางเดินกระแสที่ออกแบบไว้มีค่าลดลง ดังสมการที่ 2.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta = \mu_{An} C_{ox} \frac{W}{L_{eff}} \quad (2.39)$$

โดยที่ L_{eff} คือค่าความยาวของช่องทางเดินกระแสที่แท้จริงของทรานซิสเตอร์

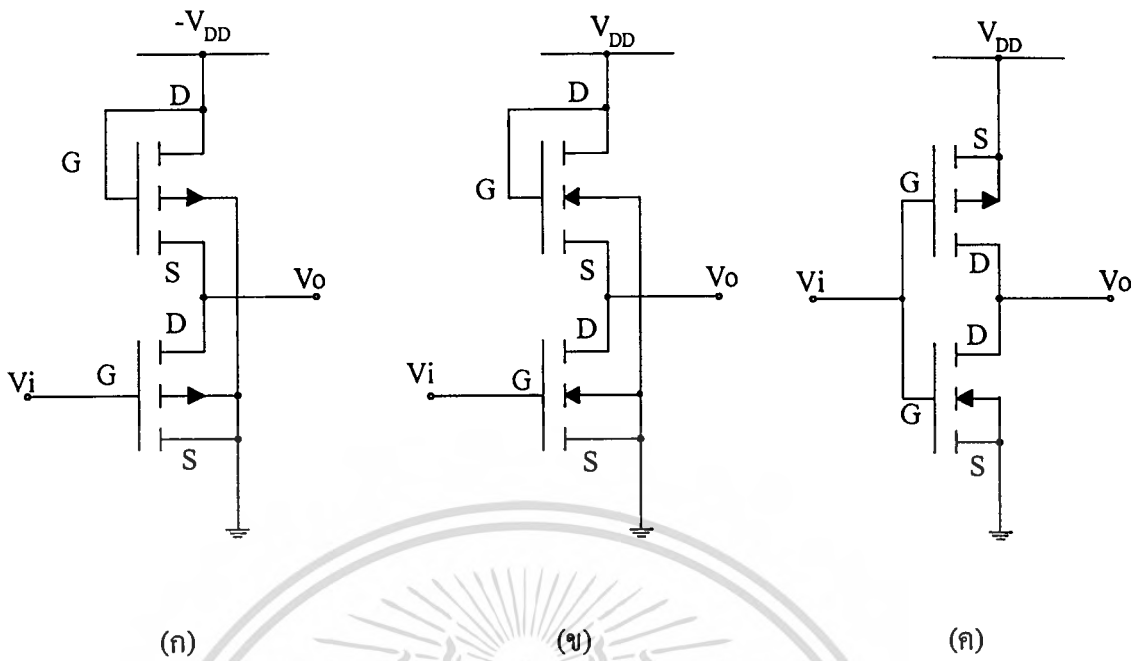
ถ้าให้ตัวแปรทุกตัวของสมการที่ 2.39 เป็นค่าคงที่ยกเว้นค่า L_{eff} ดังนั้นค่าอัตราขยายจะแปรผกผันกับค่าความยาวของช่องทางเดินกระแสดังกล่าวตามสมการที่ 2.40

$$\frac{1}{\beta} = L_{eff} \quad (2.40)$$

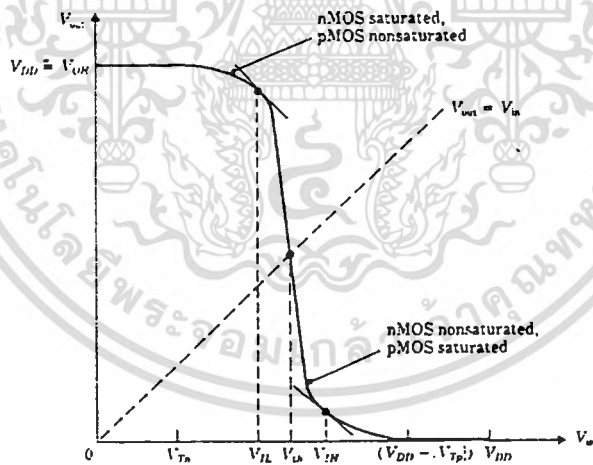
ดังนั้นในกรณีที่ค่า L_{eff} มีค่าเป็นศูนย์ซึ่งหมายความว่าช่วงปลอดประจุพาหะของขั้วเดรนและขั้วซอร์สของทรานซิสเตอร์ชนกันพอดีจะทำให้ค่า $1/\beta$ มีค่าเท่ากับศูนย์ ถ้าทำการเขียนกราฟแสดงความสัมพันธ์ระหว่างความยาวของช่องทางเดินกระแสที่ออกแบบไว้กับค่า $1/\beta$ จุดตัดบนแกนความยาวช่องทางเดินกระแสคือจุดที่ช่วงปลอดประจุพาหะดังกล่าวชนกันพอดีทำให้ทราบว่าค่าความกว้างของช่วงปลอดประจุพาหะดังกล่าวมีค่าเป็นเท่าใด

2.5 การวิเคราะห์คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรรวมอินเวอร์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

มอสอินเวอร์เตอร์เป็นวงจรรวมเบื้องต้น ที่มีประกอบรวมอยู่ในวงจรรวมอื่น ๆ อยู่เสมอ โดยตัววงจรจะประกอบด้วยมอสเฟต 2 ตัวคือ มอสตัวโหนด และมอสตัวขับกระแส ซึ่งมอสเฟตทั้งสองตัวนี้จะเป็นแบบเซนแนลเหมือนกันหรือต่างกันได้ ถ้าใช้ PMOS ทั้งสองตัวจะเรียกว่า มอสอินเวอร์เตอร์แบบพีเซนแนลซึ่งมีวงจรแสดงดังรูปที่ 2.21 ก หรือถ้าเป็น NMOS ทั้งสองตัวจะเรียกว่ามอสอินเวอร์เตอร์แบบเอ็นเซนแนล ซึ่งมีวงจรแสดงดังในรูปที่ 2.21 ข และถ้าเซนแนลต่างกันจะเรียกเป็นมอสอินเวอร์เตอร์แบบซีมอส ซึ่งมีวงจรแสดงดังในรูปที่ 2.21 ค สำหรับคุณสมบัติทางไฟฟ้าของมอสตัวโหนดจะแตกต่างไปจากมอสตัวขับ โดยมอสโหนดจะต้องมีค่าความต้านทานของเซนแนลสูงกว่ามอสตัวขับ จึงจะได้คุณสมบัติของอินเวอร์เตอร์ที่ดี



รูปที่ 2.21 วงจรมอสอินเวอร์เตอร์แบบต่าง ๆ (ก) มอสอินเวอร์เตอร์แบบพีเชนแนล (ข) มอสอินเวอร์เตอร์แบบเอ็นเชนแนล (ค) มอสอินเวอร์เตอร์แบบซีมอส



รูปที่ 2.22 คุณสมบัติโดยทั่ว ๆ ไป ระหว่างแรงดันอินพุตกับเอาต์พุตของมอสอินเวอร์เตอร์

คุณสมบัติของมอสอินเวอร์เตอร์ จะให้ระดับแรงดันไฟฟ้าทางเอาต์พุต (V_{out}) ตรงกันข้ามกับทางอินพุต (V_{in}) เช่นถ้าอินพุตมีระดับแรงดันไฟฟ้าต่ำทางเอาต์พุตจะมีระดับแรงดันไฟฟ้าสูงดังรูปที่ 2.22 และค่าแรงดันต่าง ๆ ที่นิยามในระบบวงจรรวมทางตรรกสามารถสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1) ค่าสัญญาณขาออกสถานะสูง (V_{OH}) และสถานะต่ำ (V_{OL}) จะมีลักษณะเช่นเดียวกันกับสถานะของสัญญาณขาเข้า ซึ่งค่าของสถานะสัญญาณนี้จะต้องตอบสนองต่อฟังก์ชันทางตรรกศาสตร์ โดยพบว่าช่วงขอบเขตของสถานะสัญญาณขาเข้ามีค่า

$$\text{logic 1} = V_{IH} \text{ ถึง } V_{DD}$$

$$\text{logic 0} = 0 \text{ ถึง } V_{IL}$$

และสถานะสัญญาณขาออกของวงจรมีค่า

$$\text{logic 1} = V_{OH} \text{ ถึง } V_{DD}$$

$$\text{logic 0} = 0 \text{ ถึง } V_{OL}$$

- 2) ค่าแรงดันต่าง ๆ จะต้องอยู่ในช่วงขอบเขตที่ใช้งานได้โดยผู้ออกแบบจำเป็นต้องปรับปรุงวงจรให้ได้ค่าสถานะแรงดันที่บอกไม่ได้ว่าเป็นฟังก์ชันอะไรให้น้อยที่สุด
- 3) ค่าสัญญาณขาออกสถานะสูงและสถานะต่ำของวงจร คือจุดที่ลากจากจุดซึ่งเส้นกราฟส่งผ่านสัญญาณแรงดันมีความชันเป็น -1 มาตั้งฉากกับแกนแรงดันขาออก และในทำนองเดียวกันค่าสัญญาณขาเข้าสถานะสูงและสถานะต่ำของวงจร คือจุดที่ลากจากจุดซึ่งเส้นกราฟส่งผ่านสัญญาณแรงดันมีความชันเป็น -1 มาตั้งฉากกับแกนแรงดันขาเข้า
- 4) ค่าแรงดันการเปลี่ยนสถานะของวงจร (threshold voltage V_{th}) คือจุดตัดระหว่างเส้นตรงที่มีสมการ $V_{in} = V_{out}$ กับเส้นกราฟส่งผ่านสัญญาณแรงดัน
- 5) ค่าความสามารถทนต่อสภาวะรบกวน (noise margin) ของวงจรจะมีค่าดังสมการที่ 2.41 สำหรับสัญญาณรบกวนในขณะที่วงจรมีสถานะสูง และสมการที่ 2.42 สำหรับสัญญาณรบกวนในขณะที่วงจรมีสถานะต่ำ

$$NM_H = V_{OH} - V_{IH} \quad (2.41)$$

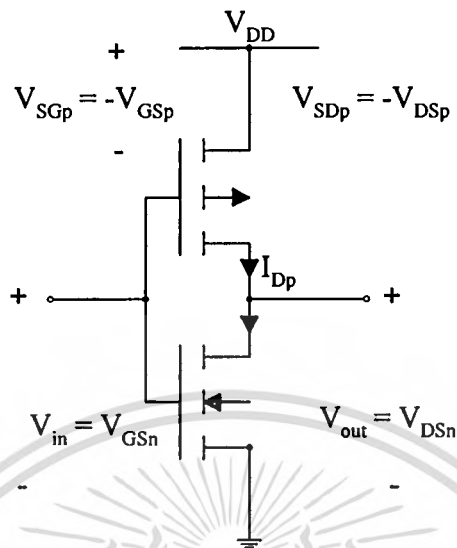
$$NM_L = V_{IL} - V_{OL} \quad (2.42)$$

ค่าความสามารถทนต่อสภาวะรบกวนจะเป็นค่าที่แสดงประสิทธิภาพของวงจรในการทำงานที่สภาวะรบกวนสูงได้ดีเพียงใดและในการออกแบบวงจรรวมเพื่อให้ใช้งานได้ทั้งสถานะสูงและสถานะต่ำมีความสามารถทนค่าแรงดันของสัญญาณรบกวนได้ดีเท่ากัน จะต้องออกแบบให้ค่าความสามารถทนต่อสภาวะรบกวนมีค่าเท่ากันทั้งสถานะสูงและสถานะต่ำ

ในวิทยานิพนธ์ฉบับนี้จะนำเสนอเฉพาะมอสอินเวอร์เตอร์แบบซีมอส ซึ่งใช้ทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้ง โดยวงจรจะประกอบด้วย PMOIS และ NMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง โดยลักษณะการทำงานของวงจรจะเหมือนกับมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์แบบซีมอส ซึ่งใช้ทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก ดังในรูปที่ 2.23



รูปที่ 2.23 วงจรอินเวอร์เตอร์ที่ใช้ทรานซิสเตอร์โครงสร้างแบบ MOIS

จากรูปจะเห็นได้ว่าขั้วเกตของทรานซิสเตอร์ทั้งสองตัวจะถูกต่อเข้าด้วยกันเป็นอินพุต โดยที่แรงดันอินพุตกำหนดได้ดังนี้

$$V_{in} = V_{GSn} = V_{DD} - V_{SGp} \quad (2.43)$$

ในขณะเดียวกันในการจ่ายแรงดันไฟเลี้ยง (V_{DD}) ที่สูงกว่าค่าแรงดันอ้างอิง (GND) จะทำให้ขั้วของทรานซิสเตอร์ชนิดพีที่ต่ออยู่กับแรงดันไฟเลี้ยงคือขั้วซอส ดังนั้นขั้วที่เหลือของ PMOS จึงเป็นขั้วเดรน และในทำนองเดียวกันขั้วทรานซิสเตอร์ชนิดเอ็นที่ต่อกับกราวด์ ก็เป็นขั้วซอสและขั้วที่ต่อกับทรานซิสเตอร์ชนิดพีเป็นขั้วเดรน โดยถูกกำหนดให้เป็นแรงดันเอาต์พุตดังนี้

$$V_{out} = V_{DSn} = V_{DD} - V_{SDp} \quad (2.44)$$

กำหนดให้ทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOS ในวงจรมีค่าอัตราขยายและแรงดันขีดเริ่มเป็น β_n , β_p , V_{Tn} และ V_{Tp} ตามลำดับ การวิเคราะห์ว่าค่าแรงดันที่จุดต่าง ๆ ของกราฟการส่งผ่านสัญญาณแรงดันในรูปที่ 2.22 พิจารณาได้ดังนี้คือ เมื่อ $V_{in} < V_{Tn}$ ขณะนี้ทรานซิสเตอร์ชนิด NMOIS กำลังอยู่ในสภาวะหยุดนำกระแส ดังนั้นจึงไม่มีกระแสเดรนไหลผ่าน

ทรานซิสเตอร์ชนิด NMOIS แต่ขณะนี้ทรานซิสเตอร์ชนิด PMOIS เกิดขึ้นกลับบริเวณช่องทางเดินกระแสแล้วและกำลังทำงานในช่วงอิมิตัว ดังนั้นค่าแรงดันขาออกของวงจรมีค่าดังสมการที่ 2.45

$$V_{out} = V_{OH} = V_{DD} - V_{SDp} = V_{DD} \quad (2.45)$$

เมื่อ V_{in} เพิ่มสูงมากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS เล็กน้อยจะทำให้ทรานซิสเตอร์เริ่มทำงานในช่วงอิมิตัว และทรานซิสเตอร์ชนิด PMOIS กำลังเข้าสู่การทำงานในช่วงไม่อิมิตัวและในขณะนี้มีกระแสไหลผ่านวงจรเนื่องจากทรานซิสเตอร์ชนิด NMOIS เริ่มนำกระแสแล้ว และเมื่อพิจารณาจากวงจรพบว่า กระแสที่ไหลในวงจรคือ ค่ากระแสเดรนจากทรานซิสเตอร์ชนิด PMOIS ผ่านไปยังทรานซิสเตอร์ NMOIS ดังนั้นกระแสของทรานซิสเตอร์ทั้งสองจึงมีค่าเท่ากัน และถ้าคิดว่าไม่มีกระแสเสรั้งจากทรานซิสเตอร์ทั้งสองแล้ว จะได้

$$\frac{\beta_n}{2} (V_{in} - V_{Tn})^2 = \frac{\beta_p}{2} [2(V_{DD} - V_{in} - V_{Tp})(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2] \quad (2.46)$$

เมื่อถึงจุดนี้ค่าแรงดันขาออกของวงจรจะมีค่าลดลงจนถึงจุด $(V_{DD} - V_{out}) > (V_{DD} - V_{in} - V_{Tp})$ ทำให้ทรานซิสเตอร์ทั้งสองทำงานในสภาวะอิมิตัวพร้อมกัน เรียกจุดนี้ว่าจุดเปลี่ยนสถานะของวงจร (Threshold voltage ; V_T) ในช่วงนี้กระแสของทรานซิสเตอร์ทั้งสองยังคงเท่ากันดังนั้น

$$\frac{\beta_n}{2} (V_{in} - V_{Tn})^2 = \frac{\beta_p}{2} (V_{DD} - V_{in} - V_{Tp})^2 \quad (2.47)$$

เมื่อแรงดันขาออกมีค่าลดลงจนถึงจุด $V_{out} < V_{in} - V_{Tn}$ ทรานซิสเตอร์ NMOIS จะทำงานในช่วงไม่อิมิตัว และทรานซิสเตอร์ PMOIS จะทำงานในช่วงอิมิตัว ดังนั้น

$$\frac{\beta_n}{2} [2(V_{in} - V_{Tn})V_{out} - V_{out}^2] = \frac{\beta_p}{2} (V_{DD} - V_{in} - V_{Tp})^2 \quad (2.48)$$

จนกระทั่งแรงดันขาเข้าของวงจรเพิ่มมากขึ้นจนถึงจุด $(V_{DD} - V_{in}) < V_{Tp}$ แล้วทรานซิสเตอร์ PMOIS จะเข้าสู่สภาวะหยุดนำกระแส ดังนั้นกระแสที่ไหลในวงจรจึงเป็นศูนย์ ทำให้ค่าแรงดันขาออกมีค่าดังสมการที่ 2.49

$$V_{out} = V_{OL} = V_{SDn} = 0 \quad (2.49)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการวิเคราะห์วงจรจะพบว่า วงจรจะมีกระแสไหลผ่านเมื่อทรานซิสเตอร์ทั้งสองของ วงจรกำลังนำกระแสพร้อม ๆ กันซึ่งเป็นลักษณะเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS และในการออกแบบวงจรอินเวอร์เตอร์จะพิจารณาจุดที่วงจรเปลี่ยนแปลงสถานะเป็นสำคัญ เนื่องจากในทางทฤษฎีที่ได้วิเคราะห์แล้วข้างต้นพบว่า ค่าแรงดันขาออกสถานะสูงและค่าแรงดันขาออกสถานะต่ำของวงจรมีค่าเท่ากับค่าแรงดันไฟเลี้ยงและค่าแรงดันกราวด์ตามลำดับ และค่าแรงดันการเปลี่ยนแปลงสถานะของวงจรจะพิจารณาที่จุด $V_{in} = V_{out} = V_{th}$ ของวงจร ดังนั้นในขณะที่ ทรานซิสเตอร์ทั้งสองกำลังทำงานในช่วงอิมิตัวคังสมการที่ 2.45 เมื่อแทนค่า $V_{in} = V_{out} = V_{th}$ ลงใน สมการแล้วจัดรูปสมการใหม่จะได้

$$V_{th} = \frac{V_{Tn} + \sqrt{(\beta_p / \beta_n)(V_{DD} - V_{Tp})}}{1 + \sqrt{(\beta_p / \beta_n)}} \quad (2.50)$$

กรณีที่พิจารณาการตอบสนองต่อสัญญาณชั่วคราวจะพิจารณาให้วงจรดังกล่าวมีตัวเก็บประจุ ต่ออยู่ที่จุดแรงดันขาออกของวงจร ซึ่งให้แทนค่าความจุในสถานะต่อไปส่วนทางด้านจุดแรงดันขาเข้าของวงจรตัวเก็บประจุที่แผงอยู่คือค่าความจุไฟฟ้าของขั้วเกตออกไซด์ของทรานซิสเตอร์ ทั้งสองตัว ซึ่งจะส่งผลให้สัญญาณขาเข้าของวงจรมีการหน่วงสัญญาณ เริ่มต้นพิจารณาจะสมมติ ให้ตัวเก็บประจุที่แผงอยู่ในวงจรไม่มีประจุไฟฟ้าอยู่ ดังนั้นขณะที่แรงดันขาออกของวงจรเปลี่ยน จากแรงดันต่ำเป็นแรงดันสูงทรานซิสเตอร์ชนิดพีจะนำกระแส ทำให้กระแสไหลจากแหล่งจ่ายไฟ เข้าประจุตัวเก็บประจุที่จุดแรงดันขาออก ค่าเวลาการเปลี่ยนแปลงจากจุด 10 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง (V_0) ถึงจุด 90 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง (V_1) เรียกว่าเวลา Rise time (T_{LH}) มีค่า ดังสมการที่ 2.51

$$T_{LH} = \tau_p \left\{ \frac{2|V_{Tp}|}{(V_1 - |V_{Tp}|)} + \ln \left[\frac{2(V_1 - |V_{Tp}|)}{V_0} - 1 \right] \right\} \quad (2.51)$$

โดยที่

$$\tau_p = \frac{C_{OUT}}{\beta_p (V_1 - |V_{Tp}|)} \quad (2.52)$$

และในขณะที่สัญญาณขาออกของวงจรเปลี่ยนแปลงจากแรงดันสูงไปสู่แรงดันต่ำ โดยทรานซิสเตอร์ ชนิดเอ็นจะทำงาน ประจุในตัวเก็บประจุที่จุดแรงดันขาออกของวงจรจะคายประจุผ่าน ทรานซิสเตอร์ชนิดเอ็นลงสู่ระดับแรงดันอ้างอิงของวงจร ช่วงเวลาการเปลี่ยนแปลงค่าแรงดันจาก

จุด 90 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง (V_1) ไปสู่จุด 10 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง (V_0) เรียกว่า Fall time (T_{HL}) มีค่าดังสมการที่ 2.53

$$T_{HL} = \tau_n \left\{ \frac{2V_{Tn}}{(V_1 - V_{Tn})} + \ln \left[\frac{2(V_1 - V_{Tn})}{V_0} - 1 \right] \right\} \quad (2.53)$$

โดยที่

$$\tau_n = \frac{C_{out}}{\beta_n (V_1 - V_{Tn})} \quad (2.54)$$

จากสมการการออกแบบทั้งหมด พบว่าในการออกแบบวงจรรวมอินเวอร์์ทางตรรกะที่ต้องการให้ตอบสนองต่อสัญญาณชั่วคราวได้ดี จะต้องทำการออกแบบให้ค่าอัตราขยายของทรานซิสเตอร์ทั้งสองมีค่ามาก และค่าอัตราส่วนของอัตราขยายต้องมีค่าที่เหมาะสมเพื่อให้จุดเปลี่ยนสถานะของวงจรมีที่จุดกึ่งกลางไฟเลี้ยงพอดี

2.6 การสกัดแผ่นผลึกซิลิกอนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ [4]

การสกัดแผ่นผลึกซิลิกอนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ให้เป็นร่องวินั้น จะใช้สารละลาย KOH 93 กรัม ต่อ น้ำ DI 200 ลูกบาศก์เซนติเมตร ที่อุณหภูมิคงที่ที่ 74 องศาเซลเซียส โดยมีอัตราการสกัด 1 ไมโครเมตรต่อนาที ซึ่งสารละลายตัวนี้มีคุณสมบัติการกัดแบบแอนไอโซทรอปิก โดยมีอัตราการกัดในผลึกซิลิกอนระนาบต่าง ๆ เรียงลำดับดังนี้ (100) > (110) > (111) เป็นผลให้ผนังด้านข้างเกิดเป็นลาดเอียง 54.74° กับแนวระดับ และจะใช้ซิลิกอนไดออกไซด์เป็นฉนวนป้องกันการกัดของสารละลายเนื่องจากอัตราการกัดซิลิกอนไดออกไซด์มีอัตราเร็วที่ช้ากว่า การออกแบบจะดำเนินการออกแบบรูปทรงทางเรขาคณิตด้านบนของทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง ในลักษณะเช่นเดียวกับทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวระนาบผิวของผลึก ค่าความยาวของช่องทางเดินกระแสรูปตัววีที่เกิดขึ้นสามารถคำนวณได้ดังสมการที่ 2.55 และรูปที่ 2.24

$$L = \frac{D_1}{\cos 54.74} \quad (2.55)$$

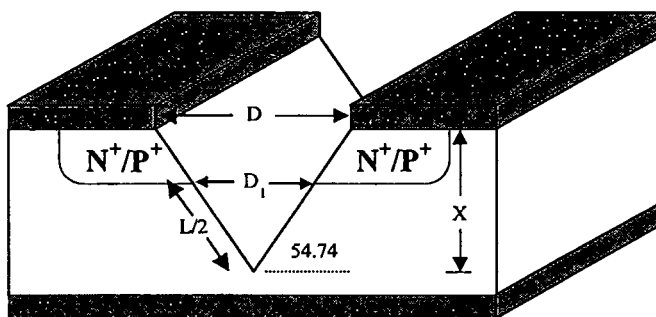
โดยที่ L คือ ความยาวของช่องทางเดินกระแส (μm)

D คือ ขนาดของช่องต้นแบบ (μm)

D_1 คือ ขนาดในการพิจารณาความยาวของช่องทางเดินกระแส (μm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

X คือ ความลึกจากผิวหน้า (μm)



รูปที่ 2.24 ภาพตัดขวางของร่องตัววี

ในการทดลองได้ทำการกำหนดค่าขนาดของช่องคั่นแบบเป็นขนาดต่าง ๆ คือ 20 , 30 , 40 และ 50 ไมโครเมตร โดยขนาดของช่องคั่นแบบจะสัมพันธ์กับบริเวณแพร่สารเจือเข้าไปด้านละ 5 ไมโครเมตร ทำให้ขนาดในการพิจารณาความยาวของช่องทางเดินกระแส (D_1) เป็น 10 , 20 , 30 และ 40 ไมโครเมตร โดยสามารถสรุปขนาดความยาวของช่องทางเดินกระแสและความลึกจากผิวหน้าได้ดังตารางที่ 2.1

ตารางที่ 2.1 ขนาดความยาวของช่องทางเดินกระแสและความลึกจากผิวหน้าจากขบวนการสกัดร่องรูปตัววี

ขนาดของช่องคั่นแบบ (D)	ความยาวของช่องทางเดินกระแส (L)	ความลึกจากผิวหน้า (X)
20 μm	17.322 μm	14.144 μm
30 μm	34.644 μm	21.217 μm
40 μm	51.967 μm	28.289 μm
50 μm	69.290 μm	35.361 μm

บทที่ 3

การออกแบบและการสร้าง

การออกแบบทรานซิสเตอร์เพื่อสร้างวงจรรวมโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งมีลักษณะคล้ายคลึงกับการออกแบบวงจรรวมด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ดังที่ได้กล่าวไปแล้วในบทที่ 2 ดังนั้นการกำหนดค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรจึงเป็นจุดเริ่มต้นของการออกแบบ จากนั้นจึงนำผลที่ได้จากการกำหนดขนาดของทรานซิสเตอร์ทำการกำหนดขนาดของวงจรต่าง ๆ ต่อไป

3.1 การออกแบบเพื่อหาขนาดของโครงสร้างที่เหมาะสมของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

ขนาดของทรานซิสเตอร์ที่เหมาะสมจะต้องมีขนาดความกว้างและความยาวของช่องทางเดินกระแสมีผลต่อค่าแรงดันขีดเริ่มน้อยที่สุด กล่าวคือผลของช่องทางเดินกระแสที่แคบ ๆ และปรากฏการณ์ผลของช่องทางเดินกระแสที่สั้น ๆ จะต้องมีผลต่อแรงดันขีดเริ่มของทรานซิสเตอร์น้อยที่สุด เนื่องจากการออกแบบวงจรที่ดีมีความต้องการค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละตัวในวงจรมีค่าเท่ากันในกรณีที่เป็นทรานซิสเตอร์ชนิดเดียวกัน เพื่อสะดวกในการวิเคราะห์และออกแบบวงจรซึ่งในทางปฏิบัติมีความเป็นไปได้ค่อนข้างยาก ดังนั้นผู้ออกแบบวงจรจึงจำเป็นต้องกำหนดขอบเขตของการเปลี่ยนแปลงของพารามิเตอร์ต่าง ๆ ที่จะเกิดขึ้นเนื่องจากกระบวนการสร้างที่สามารถยอมรับได้ ในวิทยานิพนธ์ฉบับนี้ได้กำหนดขอบเขตของการเปลี่ยนแปลงของพารามิเตอร์ที่สามารถยอมรับได้มีค่าไม่เกิน 10 เปอร์เซ็นต์ของค่าที่ต้องการ

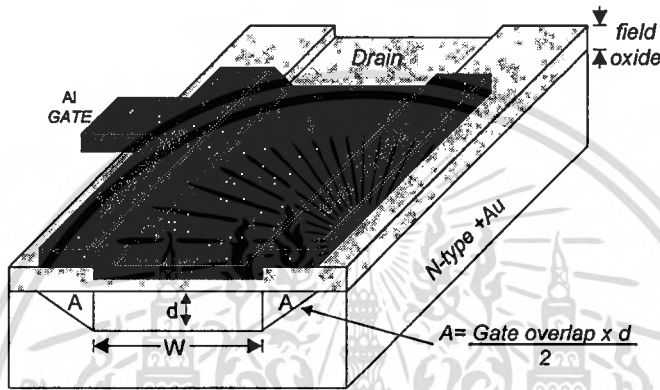
3.1.1 พิจารณาความกว้างของช่องทางเดินกระแสที่เหมาะสม

ช่องทางเดินกระแสที่เหมาะสมต่อการออกแบบวงจรด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง จะต้องมีความแรงดันขีดเริ่มของทรานซิสเตอร์มีค่าสูงกว่าค่าแรงดันขีดเริ่มปกติไม่เกิน 10 เปอร์เซ็นต์ตามความยอมรับที่ได้กล่าวมาข้างต้น ดังนั้นถ้าพิจารณาสมการของค่าแรงดันขีดเริ่มที่มีผลกระทบจากค่าความกว้างของช่องทางเดินกระแสที่น้อย ๆ ดังสมการที่ 2.28 จะพบว่าค่าแรงดันขีดเริ่มจะเปลี่ยนแปลงจากค่าแรงดันขีดเริ่มปกติในสมการที่ 2.6 เนื่องจากเทอม g ที่เพิ่มเข้ามาในสมการ และถ้าให้การเปลี่ยนแปลงของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่ออกแบบไว้เกิดจากค่า g ทั้งหมด ดังนั้นค่า g จึงเป็นค่าที่ใช้ในการวิเคราะห์หาขนาดของความกว้างที่น้อยที่สุดที่ยอมรับได้ [9]

พิจารณาความสัมพันธ์ของค่า g กับความกว้างของช่องทางเดินกระแส W ดังสมการที่ 3.1

$$g = 1 + \frac{2A}{dW} \quad (3.1)$$

จากสมการที่ 3.1 ถ้าพิจารณาว่าประจุที่ถูกเหนี่ยวนำเนื่องจากโลหะส่วนที่เกินของช่องทางเดินกระแสออกไปบริเวณฐานรองที่ใช้สร้างทรานซิสเตอร์มีพื้นที่หน้าตัดเป็นรูปสามเหลี่ยมดังรูปที่ 3.1



รูปที่ 3.1 พื้นที่หน้าตัดของประจุส่วนเกินช่องทางเดินกระแส

จากรูปที่ 3.1 จะพบว่าค่าพื้นที่หน้าตัด A คือค่าพื้นที่รูปสามเหลี่ยมธรรมดาที่มีค่า

$$A = \frac{GO \times d}{2} \quad (3.2)$$

โดยที่ GO คือค่าความยาวของโลหะที่เกินช่องทางเดินกระแสออกไปบริเวณฐานรอง และเมื่อแทนค่า A จากสมการที่ 3.2 ลงในสมการที่ 3.1 จะได้

$$g = 1 + \frac{GO}{W} \quad (3.3)$$

ในกรณีที่สามารถยอมรับค่าผิดพลาดของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ให้เพิ่มขึ้นได้ 10 เปอร์เซ็นต์อันเนื่องจากผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ ดังนั้นค่า g จึงมีค่าไม่เกิน 1.1 (เนื่องจากค่า g มีค่ามากกว่า 1 เสมอและผลของปรากฏการณ์นี้ทำให้ค่าแรงดันขีดเริ่มสูงขึ้น) และเทคโนโลยีที่ใช้ในการสร้างในวิทยานิพนธ์ฉบับนี้จำเป็นต้องสร้างขั้วโลหะเกินช่องทางเดิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสไปบนฐานรองที่ใช้ในการสร้างทรานซิสเตอร์มีค่า 10 ไมโครเมตร ดังนั้นเมื่อทำการแทนค่าต่าง ๆ ที่ได้กล่าวมาลงในสมการที่ 3.3 แล้วจะได้ความกว้างของช่องทางเดินกระแสที่เกิดผลของปรากฏการณ์ผลกระทบจากค่าความกว้างของช่องทางเดินกระแสน้อย ๆ ต่ำกว่า 10 เปอร์เซ็นต์จะต้องออกแบบให้ค่าความกว้างของช่องทางเดินกระแสมีค่ามากกว่า 100 ไมโครเมตร

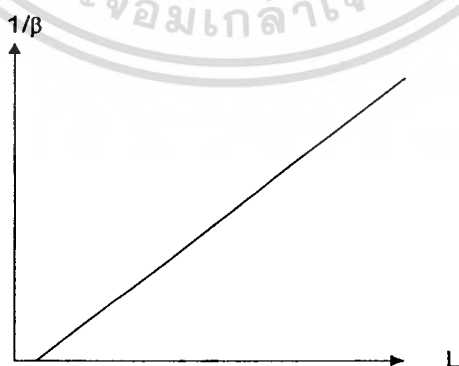
ดังนั้นในการออกแบบทรานซิสเตอร์เพื่อพิสูจน์แนวความคิดนี้จึงทำการออกแบบทรานซิสเตอร์ที่มีค่าความกว้างของช่องทางเดินกระแสเป็น 60 , 80 , 100 และ 120 ไมโครเมตร โดยที่ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวมีค่า 51.967 ไมโครเมตร

3.1.2 พิจารณาความยาวของช่องทางเดินกระแสที่เหมาะสม

การพิจารณาค่าความยาวช่องทางเดินกระแสที่เหมาะสมจะพิจารณาค่าความกว้างของช่วงปลอดประจุพาหะที่ขยายจากขั้วเดรนหรือขั้วซอร์สของทรานซิสเตอร์ โดยค่าอัตราขยายของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งที่เกิดผลของช่องทางเดินกระแสที่ลดลงเนื่องจากการขยายของช่วงปลอดประจุพาหะของขั้วเดรนและซอร์สกับฐานรองซึ่งทำให้ช่องทางเดินกระแสที่ออกแบบไว้มีค่าลดลง จะแปรผกผันกับค่าความยาวของช่องทางเดินกระแสที่แท้จริงของทรานซิสเตอร์ ดังสมการที่ 3.4

$$\frac{1}{\beta} = L_{eff} \quad (3.4)$$

โดยถ้าทำการเขียนกราฟแสดงความสัมพันธ์ระหว่างความยาวของช่องทางเดินกระแสที่ออกแบบไว้กับค่า $1/\beta$ ดังรูปที่ 3.2



รูปที่ 3.2 กราฟแสดงความสัมพันธ์ระหว่างความยาวของช่องทางเดินกระแสที่ออกแบบไว้กับค่า $1/\beta$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดตัดบนแกนความยาวช่องทางเดินกระแสคือจุดที่ช่วงปลอดประจุพาหะดังกล่าวชนกันพอดีทำให้ทราบว่าค่าความกว้างของช่วงปลอดประจุพาหะดังกล่าวมีค่าเป็นเท่าใด ดังนั้นจึงสามารถกำหนดได้ว่าค่าความยาวของช่องทางเดินกระแสที่ทำการออกแบบจะต้องมีค่ามากกว่าค่าความกว้างของช่วงปลอดประจุพาหะดังกล่าวมากกว่า 10 เท่า

3.2 การออกแบบวงจรมินิเวอ์เตอร์เพื่อเปรียบเทียบการทำงานของวงจร[13]

จากการวิเคราะห์คุณสมบัติของการตอบสนองต่อสัญญาณชั่วคราวของวงจรมินิเวอ์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวคิ่งคิ่งที่ได้กล่าวไปแล้วในบทที่ 2 การออกแบบวงจรมินิเวอ์เตอร์จะพิจารณาจุดที่วงจรเปลี่ยนแปลงสถานะเป็นสำคัญ โดยแรงดันของการเปลี่ยนแปลงสถานะของวงจรมีค่าเป็น

$$V_{th} = \frac{V_{Tn} + \sqrt{(\beta_p / \beta_n)}(V_{DD} - V_{Tp})}{1 + \sqrt{(\beta_p / \beta_n)}} \quad (3.5)$$

ในการออกแบบวงจรมินิเวอ์เตอร์ต้องการให้วงจรมีแรงดันของสัญญาณรบกวนดีเท่ากันทั้งขณะที่วงจรมีค่ากำลังกลางของแรงดันไฟเลี้ยง ($V_{th} = V_{dd}/2$) แทนค่าดังกล่าวลงในสมการที่ 3.5 แล้วจัดรูปสมการใหม่จะได้

$$\sqrt{\frac{\beta_n}{\beta_p}} = \frac{\frac{V_{dd}}{2} - |V_{Tp}|}{\frac{V_{dd}}{2} - V_{Tn}} \quad (3.6)$$

จากสมการที่ 3.8 พบว่าถ้าทรานซิสเตอร์ทั้งสองมีค่าแรงดันขีดเริ่มเท่ากันแล้ว จะทำให้ค่าอัตราขยายของทรานซิสเตอร์ชนิดเอ็นเท่ากับทรานซิสเตอร์ชนิดพี โดยที่ค่าแรงดันการเปลี่ยนแปลงสถานะของวงจรมินิเวอ์เตอร์จะไม่เปลี่ยนแปลงไปจากจุดกึ่งกลางของแรงดันไฟเลี้ยงของวงจรมินิเวอ์เตอร์ไม่ว่าจะเปลี่ยนแปลงค่าแรงดันไฟเลี้ยงเป็นเท่าใด แต่ทรานซิสเตอร์ที่ทำการออกแบบด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวคิ่งคิ่งในวิธานิพนธ์ มีค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นเท่ากับ 1.5 โวลต์ ในขณะที่ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพีเท่ากับ -3 โวลต์ ดังนั้นในการออกแบบวงจรมินิเวอ์เตอร์จำเป็นต้องทำการกำหนดค่าแรงดันไฟเลี้ยงที่แน่นอน เพื่อกำหนดค่าอัตราขยายของทรานซิสเตอร์ทั้งสอง และถ้าให้แรงดันไฟเลี้ยงขณะใช้งานมีค่า 10 โวลต์ ดังนั้นค่าอัตราขยายของทรานซิสเตอร์ทั้งสองจะมีความสัมพันธ์คือ β_n / β_p มีค่า 0.33 ทำให้สามารถกำหนดเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองได้ดังตารางที่ 3.1 และเมื่อทำการแทนค่าต่าง ๆ ลงในสมการที่ 3.5 แล้วจะสามารถหาค่าแรงดันการเปลี่ยนสถานะของวงจรถูกที่ค่าแรงดันไฟเลี้ยงต่าง ๆ คือ 5 , 10 และ 15 โวลต์ ดังตารางที่ 3.2

ตารางที่ 3.1 ค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรอินเวอร์เตอร์

วงจรถูกที่	NMOIS		PMOIS		β_n / β_p
	W(μm)	L(μm)	W(μm)	L(μm)	
1	80	17.322	100	17.322	0.35
2	60	17.322	80	17.322	0.33
3	80	17.322	120	17.322	0.29
4	100	34.644	80	17.322	0.28
5	100	51.967	60	17.322	0.25
6	60	34.644	120	34.644	0.22

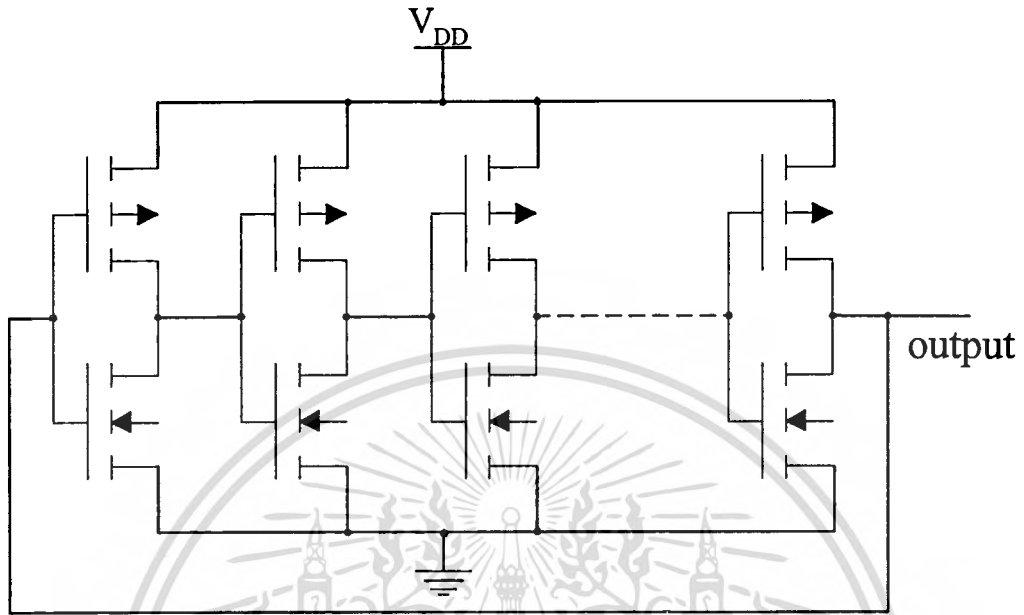
ตารางที่ 3.2 ค่าแรงดันการเปลี่ยนสถานะของวงจรถูกที่ค่าแรงดันไฟเลี้ยงต่าง ๆ

วงจรถูกที่	แรงดันการเปลี่ยนสถานะ (V_{th})		
	5 โวลต์	10 โวลต์	15 โวลต์
1	1.81	4.96	8.10
2	1.82	4.99	8.17
3	1.83	5.08	8.33
4	1.83	5.10	8.37
5	1.83	5.17	8.50
6	1.84	5.24	8.65

3.3 การออกแบบวงจรรอสซิลเลเตอร์แบบวงแหวนเพื่อเปรียบเทียบการทำงานของวงจรถูกที่ [14]

วงจรรอสซิลเลเตอร์แบบวงแหวนคือวงจรกำเนิดความถี่ชนิดหนึ่ง ลักษณะของวงจรถูกที่ประกอบด้วยวงจรถูกที่ต่ออนุกรมกัน โดยมีจำนวนของวงจรถูกที่เป็นจำนวนคี่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วนำสัญญาณเอาต์พุตของวงจรมินเวอเตอร์เตอร์ชุดสุดท้ายป้อนกลับเป็นสัญญาณขาเข้าของวงจรมินเวอเตอร์เตอร์ชุดที่ 1 ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรออสซิลเลเตอร์แบบวงแหวน โครงสร้างแบบ CMOIS

จากรูปการใช้งานจะทำการจ่ายแรงดันไฟเลี้ยงแก่วงจรค่าหนึ่งและวงจรจะกำเนิดสัญญาณความถี่ออกมา จุดเริ่มต้นของการทำงานของวงจรถือจุดที่แรงดัน V_{SG} ของทรานซิสเตอร์ชนิด PMOIS ของวงจรมินเวอเตอร์เตอร์สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS นั้น (แรงดันขาเข้าของวงจรมินเวอเตอร์เตอร์ทุกชุดมีค่าเป็นศูนย์เมื่อเริ่มพิจารณา) เมื่อทรานซิสเตอร์ชนิด PMOIS ของวงจรมินเวอเตอร์เตอร์ทุกชุดนำกระแสในขณะที่ทรานซิสเตอร์ชนิด NMOIS ของวงจรมินเวอเตอร์เตอร์ทุกชุดเช่นเดียวกันยังไม่นำกระแส ดังนั้นค่าแรงดันขาออกของวงจรมินเวอเตอร์เตอร์ทุกชุดที่ประกอบเป็นวงจรรอสซิลเลเตอร์แบบวงแหวนจะมีสถานะสูง และค่าแรงดันขาออกของวงจรมินเวอเตอร์เตอร์ชุดที่ 1 นี้จะทำให้แรงดันขาออกของวงจรมินเวอเตอร์เตอร์ชุดที่ 2 มีค่าเป็นศูนย์ โดยใช้เวลาในการเปลี่ยนสถานะเท่ากับเวลาหน่วง (propagation delay time) ของวงจรมินเวอเตอร์เตอร์ชุดที่ 2 และส่งผลต่อแรงดันขาออกต่อวงจรมินเวอเตอร์เตอร์ในสถานะต่อ ๆ ไปจนถึงวงจรมินเวอเตอร์เตอร์ชุดสุดท้าย และในขณะที่วงจรมินเวอเตอร์เตอร์ชุดที่ 1 ส่งสถานะสัญญาณขาออกของวงจรไปยังวงจรมินเวอเตอร์เตอร์ชุดที่ 2 ให้ทำงาน วงจรมินเวอเตอร์เตอร์ชุดที่ 1 ก็จะถูวงจรมินเวอเตอร์เตอร์ชุดสุดท้ายส่งสถานะสัญญาณขาออกสถานะสูงมาที่สัญญาณขาเข้าของวงจรด้วย ดังนั้นวงจรมินเวอเตอร์เตอร์ชุดที่ 1 จึงเกิดการเปลี่ยนสถานะในทันทีที่วงจรมินเวอเตอร์เตอร์ชุดสุดท้ายส่งสถานะสัญญาณขาออกไปยังวงจรมินเวอเตอร์เตอร์ชุดที่ 2 ดังนั้นสรุปได้ว่าค่าแรงดันขาออกของวงจรมินเวอเตอร์เตอร์ชุดเลขคี่จะมีค่าแรงดันตรงกันข้ามกับแรงดันขาเข้า

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ในช่องทางใด ๆ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรชุดที่ 1 เมื่อวงจรอินเวอร์เตอร์ทุกชุดทำงานตามสถานะที่ส่งมาจากวงจรอินเวอร์เตอร์ชุดที่ 1 ครบเรียบร้อยแล้ว ค่าแรงดันขาออกของวงจรจะเปลี่ยนแปลงตลอดเวลาเกิดเป็นสัญญาณความถี่ค่าหนึ่ง

ค่าความถี่ของวงจรที่ได้ออกมาสามารถวิเคราะห์ได้ดังนี้คือสัญญาณขาออกสถานะสุดท้ายของวงจรออสซิลเลเตอร์แบบวงแหวนจะช้ากว่าสัญญาณขาออกของวงจรอินเวอร์เตอร์ในชุดที่ 1 เท่ากับช่วงเวลาหนึ่งสัญญาณของวงจรอินเวอร์เตอร์แต่ละชุดรวมกัน กล่าวคือ

$$T_{total} = Nt_p \quad (3.7)$$

โดยที่ T_{total} คือค่าเวลาหนึ่งของวงจรออสซิลเลเตอร์แบบวงแหวน
 N คือจำนวนชุดของวงจรอินเวอร์เตอร์
 t_p คือค่าเวลาหนึ่งของวงจรอินเวอร์เตอร์ 1 ชุด

ค่าเวลา T_{total} ที่กล่าวนี้คือเวลาที่สัญญาณขาออกของวงจรออสซิลเลเตอร์แบบวงแหวนเปลี่ยนแปลงจากสถานะสูงไปเป็นสถานะต่ำ หรือเปลี่ยนแปลงจากสถานะต่ำไปเป็นสถานะสูง ซึ่งค่าความต่างเฟสของสัญญาณขาออกมีค่า 180 องศา ดังนั้นเวลาที่สัญญาณขาออกเปลี่ยนแปลงไปครบ 360 องศาคือ $2T_{total}$ จะได้ค่าความถี่ของสัญญาณขาออกของวงจรออสซิลเลเตอร์แบบวงแหวนมีค่า

$$f = (2T_{total})^{-1} \quad (3.8)$$

ในการออกแบบวงจรออสซิลเลเตอร์แบบวงแหวนจึงต้องทำการออกแบบให้วงจรมีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ การออกแบบให้ทรานซิสเตอร์แต่ละตัวในวงจรมีค่าอัตราขยายสูงเพื่อจ่ายประจุแก่ตัวเก็บประจุที่แฝงในวงจรได้อย่างรวดเร็ว นอกจากนี้ถ้าคำนึงถึงความสมมาตรของสัญญาณขาออกของวงจรระหว่างช่วงเวลาในการเปลี่ยนแปลงสถานะสูงไปสถานะต่ำ หรือช่วงเวลาในการเปลี่ยนสถานะต่ำไปสถานะสูงให้มีค่าเท่ากัน นั่นคือจะต้องออกแบบให้จุดเปลี่ยนแปลงสถานะของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรออสซิลเลเตอร์แบบวงแหวนเปลี่ยนแปลงที่จุดกึ่งกลางของแรงดันไฟเลี้ยง

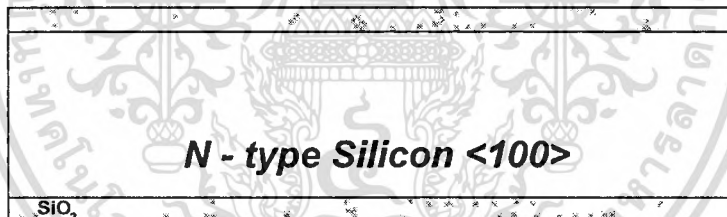
ในวิทยานิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรออสซิลเลเตอร์แบบวงแหวนซึ่งประกอบด้วยจำนวนชุดของวงจรอินเวอร์เตอร์มีค่า 3 , 5 , 7 และ 9 ชุด โดยมีค่าความกว้างของช่องทางเดินกระแสของวงจรอินเวอร์เตอร์แต่ละชุดเป็น 60 ไมโครเมตร ในขณะที่ค่าความยาวของช่องทางเดิน

กระแสรูปวีของทรานซิสเตอร์ชนิดพีมีค่า 51.9 ไมโครเมตร ส่วนทรานซิสเตอร์ชนิดเอ็นค่าความยาวของช่องทางเดินกระแสมีค่า 51.9 ไมโครเมตร

3.4 การออกแบบกระบวนการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง[4]

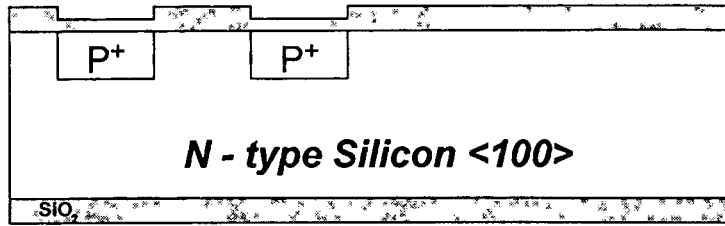
ในกระบวนการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง ในวิทยานิพนธ์ฉบับนี้ใช้กระบวนการสร้างที่ได้ดำเนินการวิจัยและสรุปว่าเป็นการสร้างที่เหมาะสม โดยขั้นตอนการสร้างแสดงดังต่อไปนี้

ขั้นที่ 1 เลือกแผ่นผลึกเดี่ยวของซิลิกอนขนาดพิคัดความต้านทาน 8-12 โอห์ม เซนติเมตร หนาของผลึกคือ $<100>$ ทำความสะอาดผิวหน้าด้วยกรดไนตริกเพื่อกำจัดโลหะที่ผิวหน้าของแผ่นผลึกออก จากนั้นทำการละลายไขมันต่าง ๆ ด้วยน้ำยาไตรคลอโรเอธิลีน และทำการล้างน้ำยาไตรคลอโรเอธิลีนด้วยน้ำยาอะซีโตนและน้ำบริสุทธิ์ที่ไม่มีไอออน จากนั้นทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์เพื่อปกคลุมผิวของแผ่นผลึกทั้งหมดให้ได้ค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่เหมาะสม ดังรูปที่ 3.4



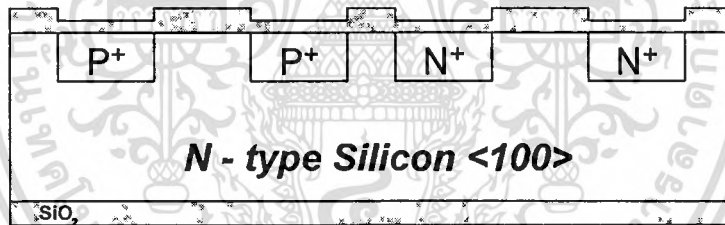
รูปที่ 3.4 แผ่นผลึกซิลิกอนที่ทำความสะอาดและสร้างชั้นฉนวนซิลิกอนไดออกไซด์ปกคลุมผิว

ขั้นที่ 2 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์ออกเพื่อทำการแพร่สารเจือชนิดพี (ในวิทยานิพนธ์ฉบับนี้ใช้สารเจือโบรอน) โดยกระบวนการทางแสง แล้วทำการแพร่สารเจือชนิดพีเพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลา 20 นาที จากนั้นทำการขัปลีกพร้อมสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 30 นาที หลังจากทำการขัปลีกแล้วควรมีค่าประมาณของอะตอมสารเจือที่ผิวประมาณ $10^{15} - 10^{16}$ อะตอมต่อลูกบาศก์เซนติเมตร ดังรูปที่ 3.5



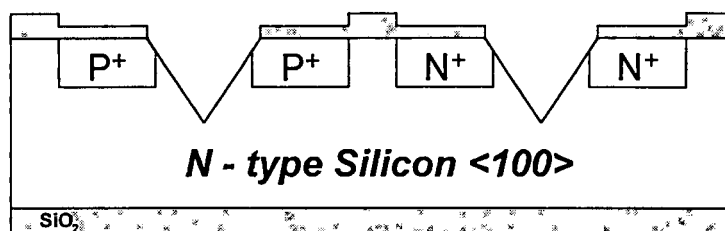
รูปที่ 3.5 การสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOS

ขั้นที่ 3 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์ออกเพื่อทำการแพร่สารเจือชนิดเอ็น (ในวิทยานิพนธ์ฉบับนี้ใช้สารเจือฟอสฟอรัส) โดยกระบวนการทางแสง แล้วทำการแพร่สารเจือชนิดเอ็นเพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลา 40 นาที จากนั้นทำการขั้วลึกร่วมสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 30 นาที หลังจากทำการขั้วลึกร่วมแล้วควรมีค่าประมาณของอะตอมสารเจือที่ผิวประมาณ $10^{15} - 10^{16}$ อะตอมต่อลูกบาศก์เซนติเมตร ดังรูปที่ 3.6



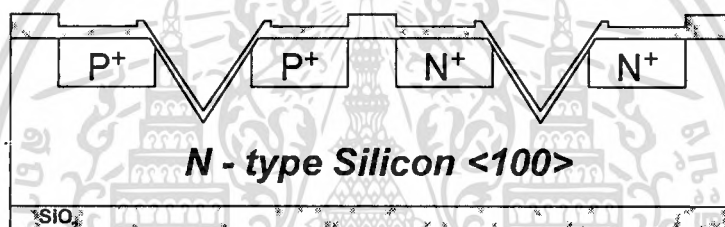
รูปที่ 3.6 การสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS

ขั้นที่ 4 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์เพื่อทำการสกัดชั้นซิลิกอนให้เกิดช่องทางเดินกระแสในแนวดิ่ง โดยกระบวนการทางแสง แล้วทำการสกัดชั้นซิลิกอนด้วยสารละลาย KOH 93 กรัม ต่อ น้ำ DI 200 ลูกบาศก์เซนติเมตร ที่อุณหภูมิคงที่ที่ 74 องศาเซลเซียส โดยจะมีอัตราการกัด 1 ไมโครเมตรต่อนาที ดังรูปที่ 3.7



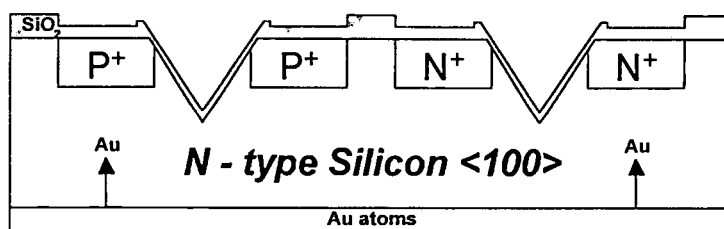
รูปที่ 3.7 การสกัดชั้นซิลิกอนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองชนิด

ขั้นที่ 5 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองชนิด โดยกระบวนการทางแสง แล้วทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์ชั้นใหม่ให้ความหนาประมาณ 1200 อังสตรอม โดยใช้อุณหภูมิ 1100 องศาเซลเซียส ดังรูปที่ 3.8



รูปที่ 3.8 การสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่เกต

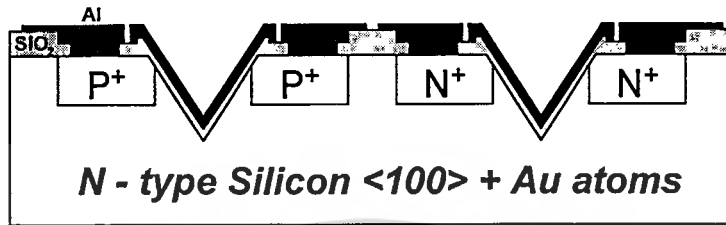
ขั้นที่ 6 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์ด้านตรงข้ามกับผิวหน้าที่ใช้ในการสร้างทรานซิสเตอร์ทั้งหมด แล้วทำการเคลือบด้วยโลหะทองคำด้วยเครื่องเคลือบโลหะในสุญญากาศ จากนั้นทำการขัปลึททองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 90 นาที จะทำให้ฐานรองที่ใช้ในการสร้างทรานซิสเตอร์เปลี่ยนแปลงคุณสมบัติ ดังรูปที่ 3.9



รูปที่ 3.9 การแพร่สารเจือทองคำเข้าไปในฐานรองของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 7 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณขั้วซอสและแคโรนของทรานซิสเตอร์ทุกตัวในวงจร แล้วทำการเคลือบด้วยโลหะอะลูมิเนียมด้วยเครื่องเคลือบโลหะในสุญญากาศ จากนั้นทำการกัดลวดลายวงจรตามที่ได้ออกแบบไว้แล้วทำการอบเพื่อให้รอยสัมผัสต่าง ๆ เกิดเป็นรอยสัมผัสโอห์มมิก ดังรูปที่ 3.10



รูปที่ 3.10 โครงสร้างของทรานซิสเตอร์แบบ CMOS ที่มีช่องทางเดินกระแสในแนวตั้งที่สร้างเสร็จแล้ว

หลังจากดำเนินการสร้างเสร็จเรียบร้อยแล้วจึงนำวงจรที่สร้างเสร็จแล้วไปทดสอบคุณสมบัติทางไฟฟ้าของวงจรต่อไป

บทที่ 4

การทดลองและผลการทดลอง

จากการออกแบบทรานซิสเตอร์และการออกแบบวงจรรวมและดำเนินการสร้างด้วยกระบวนการสร้างมาตรฐานดังที่ได้อธิบายไว้ในบทที่ 3 เสร็จเรียบร้อยแล้ว ในบทนี้จะกล่าวถึงการทดสอบคุณสมบัติของทรานซิสเตอร์และวงจรต่าง ๆ ที่ได้ทำการสร้างขึ้น พร้อมทั้งเสนอผลการทดสอบสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ในด้านต่าง ๆ ดังที่ได้อธิบายไว้ในก่อนหน้าทั้งหมด ซึ่งผลการทดสอบจะแบ่งออกเป็นสองส่วนคือ การทดสอบทรานซิสเตอร์ตัวเดียว ๆ เพื่อหาค่าพารามิเตอร์ต่าง ๆ ที่ต้องการ และการทดสอบวงจรรวมเพื่อพิจารณาคุณสมบัติในการใช้งานเป็นวงจรรวมต่อไป

4.1 แรงดันขั้วเริ่ม (V_T) ของทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

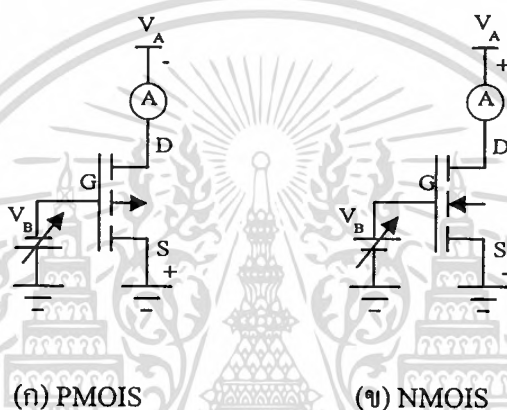
หลังจากดำเนินการสร้างด้วยกระบวนการมาตรฐานที่ได้นำเสนอไว้ในบทที่ 3 เสร็จเรียบร้อยแล้วจึงทำการทดสอบด้วยเครื่องทดสอบค่ากระแสและแรงดันของ Hewlett Packard รุ่น 4061A Semiconductor/Component Test System ดังรูปที่ 4.1



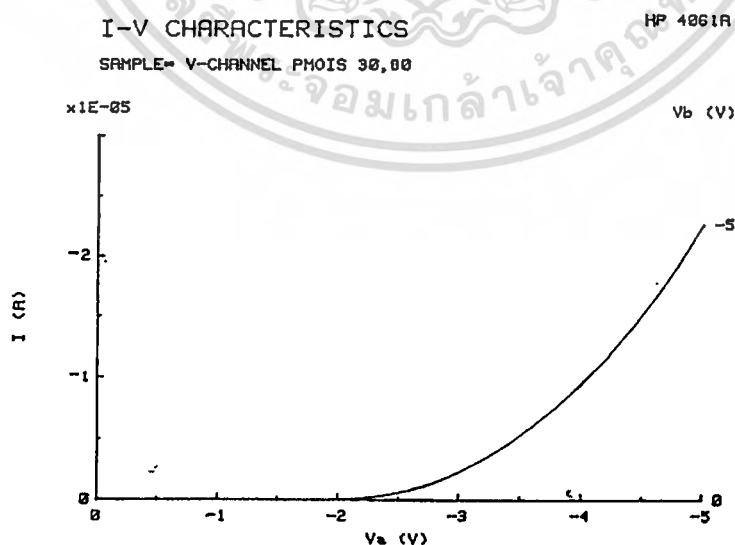
รูปที่ 4.1 การทดสอบอุปกรณ์ที่สร้างเสร็จเรียบร้อยแล้วด้วยเครื่องทดสอบคุณสมบัติกระแสและแรงดันของ Hewlett Packard

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของเครื่องที่ใช้การหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์จะประกอบด้วยแหล่งจ่ายไฟเลี้ยง 2 ค่า (V_A และ V_B) และเครื่องวัดกระแส (Amp Meter) ในการทดสอบคุณสมบัติดังกล่าวทำการต่อวงจรดังรูปที่ 4.2 ในการทดสอบจะทำการจ่ายค่าแรงดันไฟเลี้ยงเดรนขอสถ่วงวงจรที่ค่าหนึ่ง (5 โวลต์ สำหรับทรานซิสเตอร์ชนิด PMOIS และทรานซิสเตอร์ชนิด NMOIS) จากนั้นทำการเปลี่ยนแปลงค่าแรงดันที่ขั้วเกตของทรานซิสเตอร์จาก 0 โวลต์ไปสู่ค่าแรงดันไฟเลี้ยง เครื่องจะทำการบันทึกค่ากระแสที่ไหลผ่านทรานซิสเตอร์แต่ละครั้งที่ทำการเปลี่ยนค่าแรงดันและเก็บค่าต่าง ๆ ไว้ จากนั้นทำการแสดงผลด้วยเครื่องไมโครคอมพิวเตอร์ ตัวอย่างของผลการทดสอบแสดงไว้ดังรูปที่ 4.3



รูปที่ 4.2 วงจรในการหาค่าแรงดันขีดเริ่มทรานซิสเตอร์ MOIS



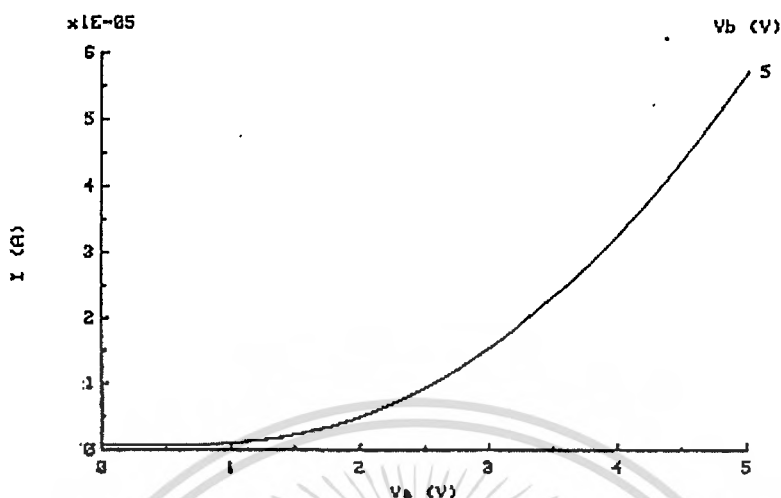
(ก) PMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I-V CHARACTERISTICS

HP 4061A

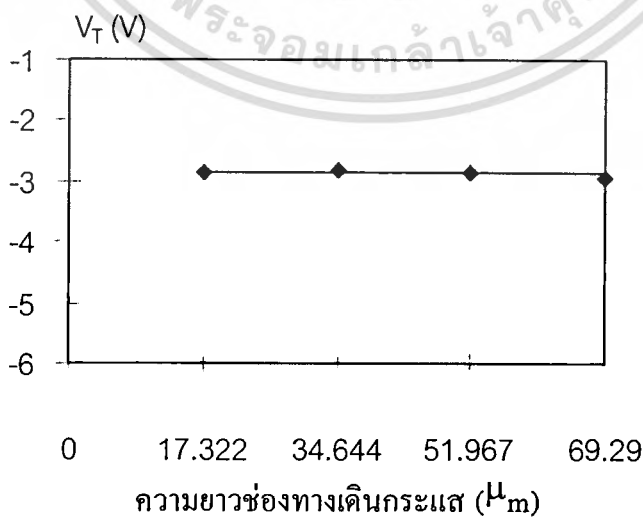
SAMPLE- V-CHANNEL NMOIS 30,80



(ข) NMOIS

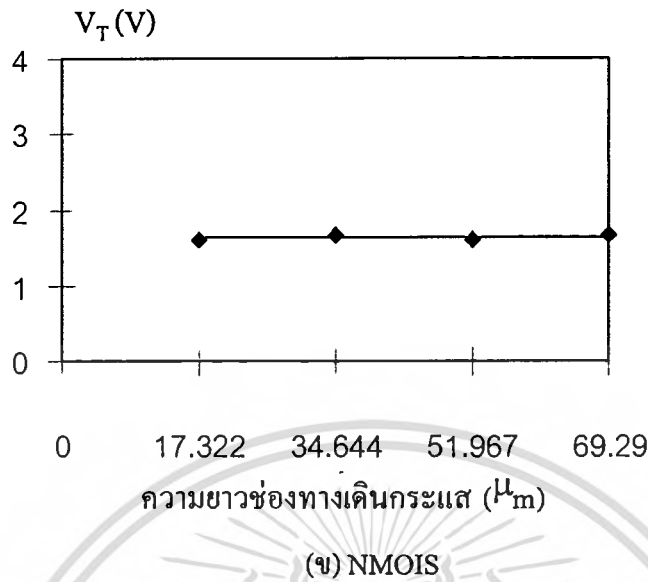
รูปที่ 4.3 ตัวอย่างผลการทดสอบค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

นำผลการทดลองค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น และ ชนิดพีที่มีช่องทางเดินกระแสในแนวดิ่งที่ได้มาแสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มที่เปลี่ยนแปลงไปกับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ ผลการทดลองแสดงได้ดังรูปที่ 4.4



(ก) PMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ความสัมพันธ์ระหว่างช่องทางเดินกระแสกับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

จากผลการทดลองที่ได้พบว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างนี้มีค่าคงที่ ซึ่งควรจะมีการเปลี่ยนแปลงเมื่อขนาดความยาวของช่องทางเดินกระแสที่ออกแบบไว้มีขนาดเล็กพอที่จะพบความเปลี่ยนแปลงได้

4.2 Channel length modulation factor (λ) ของทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

จากที่ได้กล่าวไว้ในบทที่ 2 ถึงปรากฏการณ์ channel length modulation ซึ่งเป็นผลให้กระแสเดรนของทรานซิสเตอร์ขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัวมีค่าสูงขึ้นเมื่อเพิ่มค่าแรงดัน V_{DS} แก่ทรานซิสเตอร์ และทำให้กระแสเดรนช่วงอิ่มตัวเป็นไปตามสมการที่ 4.1

$$I_D = (\beta/2)(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \quad (4.1)$$

จากสมการที่ 4.1 พบว่ากระแสเดรนที่เพิ่มขึ้นขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัวเกิดจากตัวแปร $(1 + \lambda V_{DS})$ ที่เพิ่มเข้าไปในสมการ และการหาค่า λ ของทรานซิสเตอร์แต่ละชนิดสามารถพิจารณาได้ดังต่อไปนี้คือ

เอกสารนี้พิจารณาความสัมพันธ์ของสมการเส้นตรงซึ่งมีค่าความชัน m ดังสมการที่ 4.2 ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$y = mx + C$$

(4.2)

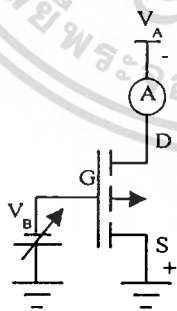
โดยที่ x และ y คือตัวแปรของสมการ

m คือค่าความชันของสมการ

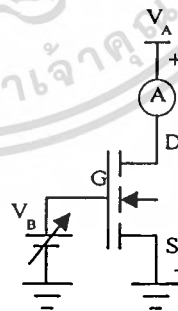
C คือค่าคงที่

เปรียบเทียบสมการที่ 4.1 และ 4.2 จะพบว่าความชันของกระแสเดรนที่เพิ่มขึ้นคือค่า $\lambda [(\beta/2)(V_{GS} - V_T)^2]$ ในสมการนั่นเอง ดังนั้นหลังจากที่สร้างทรานซิสเตอร์เสร็จเรียบร้อยแล้ว นำทรานซิสเตอร์ทำการทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนซอส และค่าแรงดันขีดเริ่มของทรานซิสเตอร์เสร็จเรียบร้อยแล้ว นำกราฟความสัมพันธ์มาหาค่าความชันของกระแสเดรนในช่วงที่กระแสเดรนอิ่มตัวแล้ว สามารถหาค่า λ ของทรานซิสเตอร์ในสมการที่ 4.1 ได้

ในการทดสอบค่ากระแสเดรนและค่าแรงดันเดรนซอสของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้งที่สร้างเสร็จเรียบร้อยแล้ว จะทำการทดสอบด้วยเครื่องวัดกระแสและแรงดันของ Hewlett Packard รุ่น 4061A Semiconductor / Component Test System ส่วนประกอบของเครื่องมือที่ใช้ในการวัดค่ากระแสและแรงดันของทรานซิสเตอร์ประกอบด้วย แหล่งจ่ายไฟเลี้ยง 2 ค่า (V_A และ V_B) และเครื่องวัดกระแส (Amp Meter) ในการวัดค่ากระแสและแรงดันจะทำการต่อวงจรดังรูปที่ 4.5 โดยจัดตำแหน่งให้แรงดัน V_B ของเครื่องจ่ายแรงดันแก่ขั้วเกตของทรานซิสเตอร์ และให้แรงดัน V_A ของเครื่องจ่ายแรงดันเดรนซอสของทรานซิสเตอร์ จากนั้นจะทำการวัดค่ากระแสที่ไหลผ่านทรานซิสเตอร์ในขณะที่แรงดันทั้งสองมีค่าต่าง ๆ



(ก) PMOS

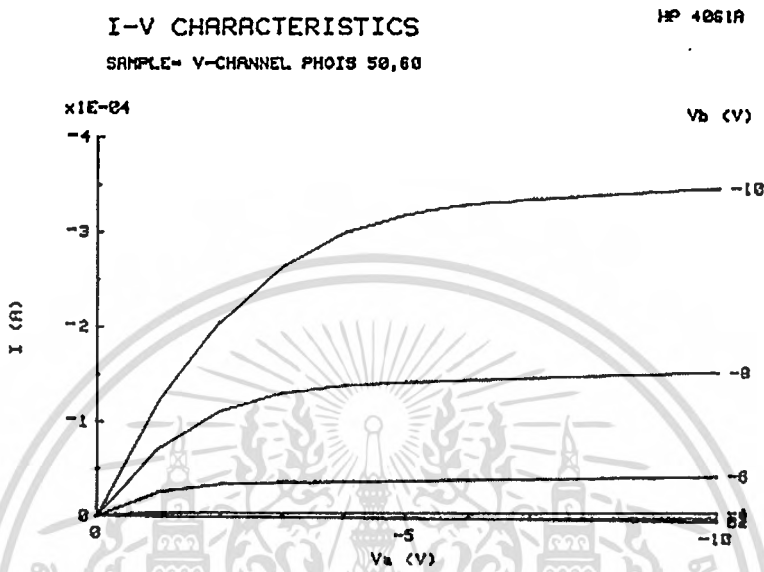


(ข) NMOS

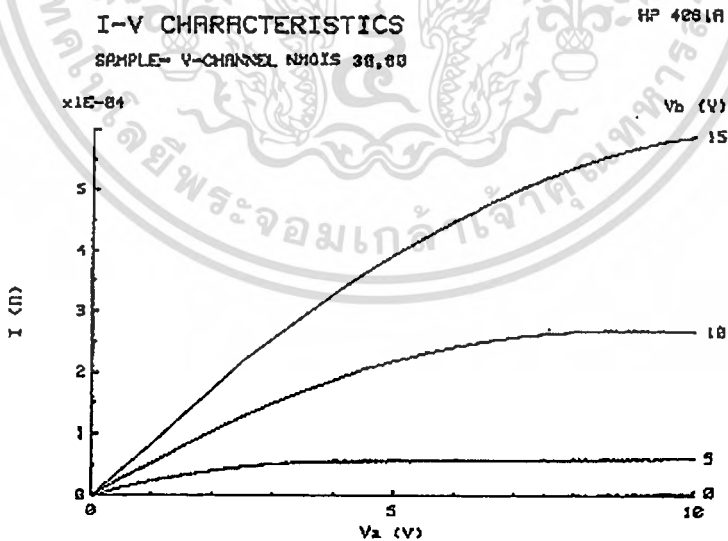
รูปที่ 4.5 การต่อวงจรเพื่อทดสอบคุณสมบัติกระแสเดรนและแรงดันเดรนซอสของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องจะจ่ายแรงดัน V_B ที่ขั้วเกตเป็นแรงดันคงที่ และทำการเปลี่ยนแปลงค่าแรงดัน V_A ที่จ่ายแก่ขั้วเดรนและซอสของทรานซิสเตอร์ ในขณะที่เปลี่ยนแปลงค่าแรงดันไฟเลี้ยงแต่ละครั้ง เครื่องจะทำการบันทึกค่ากระแสที่ไหลผ่านและเก็บข้อมูลคู่ลำดับกระแสและแรงดันไว้เพื่อแสดงผลด้วยเครื่องไมโครคอมพิวเตอร์ ตัวอย่างของผลการทดสอบแสดงดังรูปที่ 4.6 (ก) และ (ข)



(ก) PMOIS



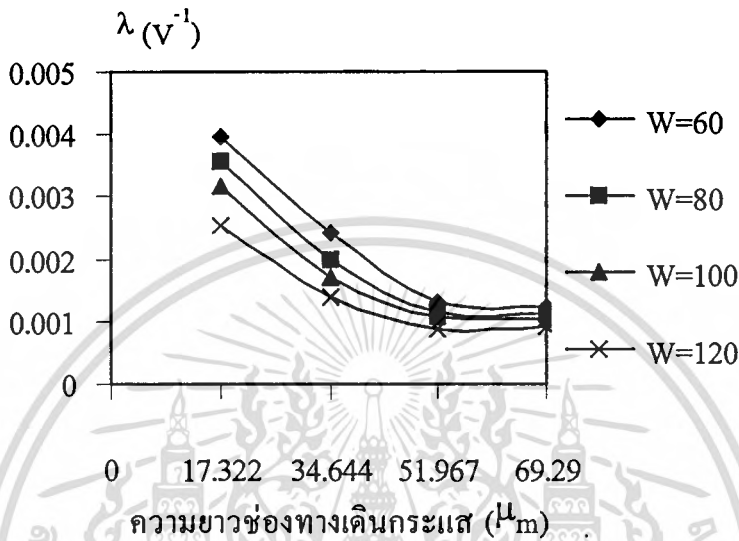
(ข) NMOIS

รูปที่ 4.6 ตัวอย่างผลการทดสอบค่ากระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ที่มี

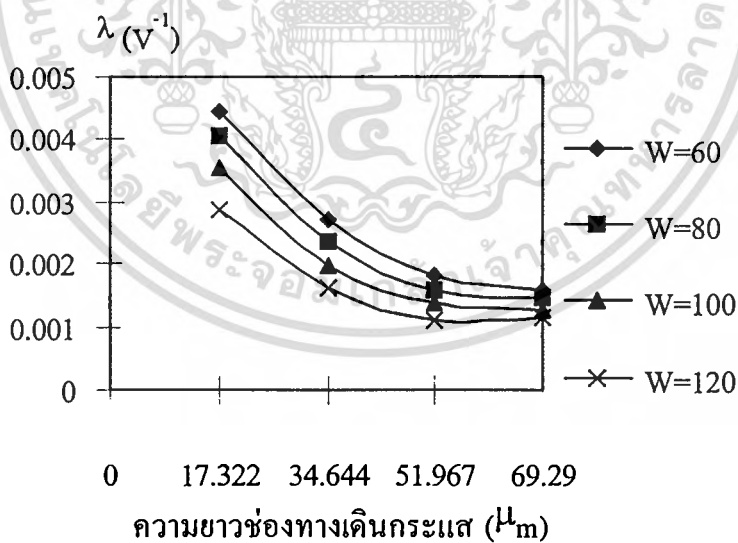
ช่องทางเดินกระแสในแนวตั้ง

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยทางโรงเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.6 สามารถหาค่าความชันของกราฟในช่วงที่ทรานซิสเตอร์ทำงานในช่วงอิมิต์ว ซึ่งค่าความชันของกราฟนี้จะแสดงค่า λ ของทรานซิสเตอร์แต่ละตัวที่ทำการศึกษา ดังที่ได้อธิบายไว้ในหัวข้อที่ 2.3.5 ซึ่งจะพบว่าค่า λ ของทรานซิสเตอร์แต่ละตัวจะขึ้นกับความยาวของช่องทางเดินกระแสที่ทำการออกแบบไว้ดังผลการทดสอบในรูปที่ 4.7 (ก) และ (ข) จะพบว่าค่า λ ของทรานซิสเตอร์จะมีค่าลดลงเมื่อความยาวของช่องทางเดินกระแสมีค่าเพิ่มขึ้น



(ก) PMOIS



(ข) NMOIS

รูปที่ 4.7 ผลการทดสอบค่า Channel length modulation factor ของทรานซิสเตอร์

4.3 ค่าทรานส์คอนดักแตนซ์ k' ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

จากแนวทางในการควบคุมค่าอัตราขยายของทรานซิสเตอร์โครงสร้างแบบ CMOIS ดังที่ได้กล่าวมาแล้วในหัวข้อที่ 2.3.1 สามารถควบคุมได้จากค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแส และสามารถควบคุมได้ด้วยค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสได้อีกวิธีหนึ่งด้วย โดยค่าความหนาของซิลิกอนไดออกไซด์นี้จะต้องมีความหนาพอที่จะทนแรงดันขณะใช้งานได้ และในกระบวนการสร้างที่ได้นำเสนอไว้ในบทที่ 3 ทำการสร้างฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสที่มีความหนา 1200 อังสตรอม

การหาค่า k' กระทำโดยนำทรานซิสเตอร์ที่ทำการออกแบบและสร้างเสร็จเรียบร้อยแล้วทำการวัดคุณสมบัติกระแสและแรงดันเช่นเดียวกับหัวข้อที่ 4.2 ด้วยเครื่องวัดกระแสและแรงดันของ Hewlett Packard เพิ่มเติม จากนั้นทำการคำนวณโดยนำค่ากระแสและแรงดันที่ได้จากกราฟคุณสมบัติกระแสและแรงดันแทนค่าลงในสมการกระแสและแรงดันทรานซิสเตอร์โครงสร้างแบบ MOIS ดังสมการที่ 4.3 ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว และสมการที่ 4.4 ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงอิมไมต์ว

$$k' = \frac{2I_D L_{eff}}{W(V_{GS} - V_T)^2} \quad (4.3)$$

$$k' = \frac{2I_D L_{eff}}{W[2(V_{GS} - V_T)V_{DS} - V_{DS}^2]} \quad (4.4)$$

ผลการคำนวณ k' ของทรานซิสเตอร์ทั้งชนิด NMOIS และ ทรานซิสเตอร์ PMOIS กับค่าพารามิเตอร์ต่าง ๆ ของทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่งแสดงได้ดังตารางที่ 4.1

ตารางที่ 4.1 ค่า k' ของทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

ทรานซิสเตอร์ชนิด PMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง				ทรานซิสเตอร์ชนิด NMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง			
W(μm)	L(μm)	W/L	$k' (A/V^2)$	W(μm)	L(μm)	W/L	$k' (A/V^2)$
60	17.322	3.464	10.21×10^{-6}	60	17.322	3.464	7.15×10^{-6}
80	17.322	4.618	9.36×10^{-6}	80	17.322	4.618	5.15×10^{-6}
100	17.322	5.773	8.01×10^{-6}	100	17.322	5.773	3.65×10^{-6}
120	17.322	6.928	7.39×10^{-6}	120	17.322	6.928	3.25×10^{-6}
120	17.322	6.928	7.39×10^{-6}	120	17.322	6.928	3.25×10^{-6}
120	34.644	3.464	7.69×10^{-6}	120	34.644	3.464	3.75×10^{-6}
120	51.967	2.309	9.10×10^{-6}	120	51.967	2.309	3.95×10^{-6}
120	69.290	1.732	10.49×10^{-6}	120	69.290	1.732	4.41×10^{-6}

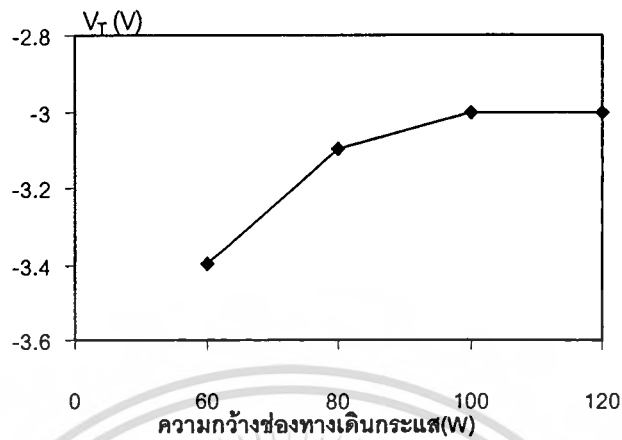
4.4 กฎระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

นอกจากพารามิเตอร์ต่าง ๆ ในหัวข้อที่ 4.1 ถึง 4.3 ซึ่งเป็นตัวแปรที่ใช้ในการคำนวณค่ากระแสครนของทรานซิสเตอร์ดังที่ได้กล่าวมาแล้ว กฎระเบียบในการออกแบบต่าง ๆ ที่ได้เสนอไว้ในบทที่ 3 ก็เป็นสิ่งจำเป็นในการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่งเช่นกัน

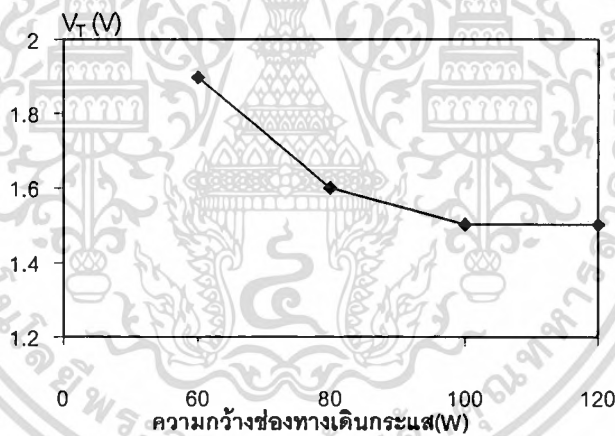
4.4.1 ขนาดความกว้างช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

จากหัวข้อที่ 3.1.1 ที่ยินยอมให้ที่ทรานซิสเตอร์แต่ละตัวแต่ละชนิดถูกผลกระทบของความกว้างของช่องทางเดินกระแสแคบ ๆ ต่อค่าแรงดันขีดเริ่มของทรานซิสเตอร์ปกติที่ต้องการต่ำกว่า 10 เปรอร์เซ็นต์ ดังนั้นในการหาค่าขีดจำกัดของความกว้างของช่องทางเดินกระแสดังกล่าวกระทำโดยนำทรานซิสเตอร์ชนิดเอ็นและชนิดพีที่สร้างเสร็จเรียบร้อยแล้วที่มีความกว้างของช่องทางเดินกระแส 60 , 80 , 100 และ 120 ไมโครเมตร ทำการวัดค่าแรงดันขีดเริ่มของทรานซิสเตอร์ด้วยเครื่อง Hewlett Packard เช่นเดียวกับหัวข้อที่ 4.1 แล้วทำการหาความสัมพันธ์ระหว่างค่าแรงดัน

ขีดเริ่มของทรานซิสเตอร์ทั้งสองที่เปลี่ยนแปลงกับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์นั้น ผลการทดลองได้ดังรูปที่ 4.8



(ก) PMOIS



(ข) NMOIS

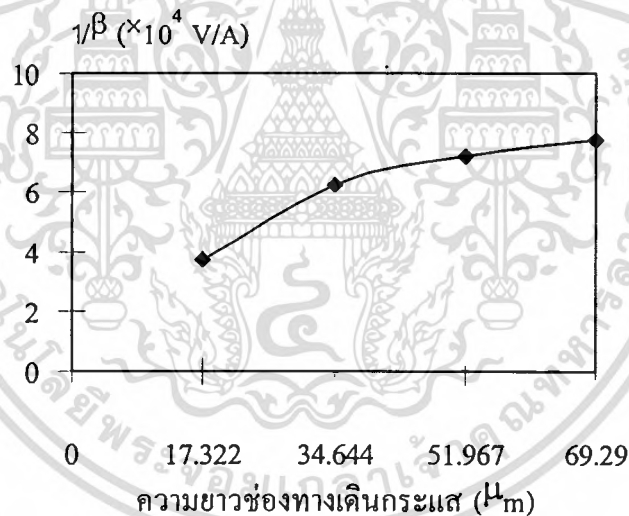
รูปที่ 4.8 ความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์กับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์

จากกราฟความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มและค่าความกว้างของช่องทางเดินกระแสพบว่าค่าแรงดันขีดเริ่มมีการเปลี่ยนแปลงในทางที่เพิ่มขึ้นทั้งในทรานซิสเตอร์ชนิด PMOIS (ไม่คิดเครื่องหมาย) และทรานซิสเตอร์ชนิด NMOIS เนื่องจากเทอมของ g ที่เพิ่มขึ้นมาในสมการของค่าแรงดันขีดเริ่มที่พิจารณาผลของปรากฏการณ์ช่องทางเดินกระแสแคบ ๆ

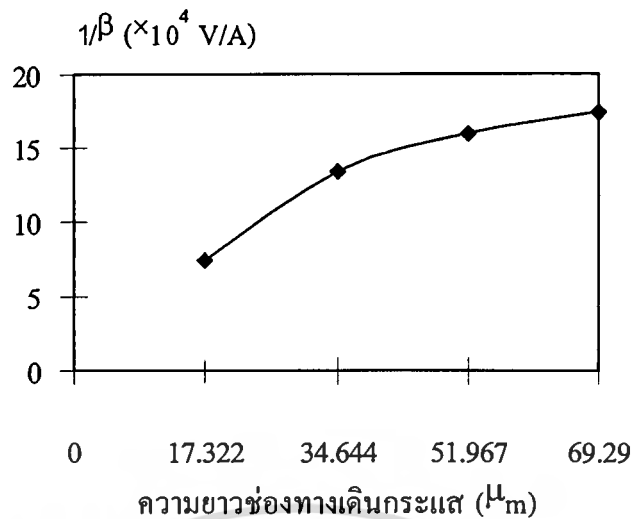
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 ขนาดความยาวของช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวดิ่ง

จากที่ได้กล่าวมาแล้วในหัวข้อที่ 3.1.2 ว่าการพิจารณาค่าความยาวของช่องทางเดินกระแสที่เหมาะสมนี้จะทำการพิจารณาทางอ้อมโดยอาศัยความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ เพื่อหาค่าระยะของการขยายของช่องปลอดประจุพาหะของขั้วเดรนที่ชนกับขั้วซอสพอดี ดังนั้นในการทดลองจึงทำการคำนวณค่าของอัตราขยายของทรานซิสเตอร์แต่ละชนิดจากกราฟคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวดิ่งที่มีค่าความกว้างของช่องทางเดินกระแสขนาด 120 ไมโครเมตร โดยมีค่าความยาวของช่องทางเดินกระแสเป็น 17.32 , 32.64 , 51.96 และ 69.29 ไมโครเมตร จากนั้นจึงทำการหาความสัมพันธ์ระหว่าง $1/\beta$ กับค่าความยาวของช่องทางเดินกระแส เพื่อหาจุดที่ช่วงปลอดประจุพาหะของขั้วเดรนและซอสของทรานซิสเตอร์ชนกันพอดี ทำให้ค่า $1/\beta$ มีค่าเป็นศูนย์ ผลการทดลองแสดงได้ดังรูปที่ 4.9 (ก) และ (ข)



(ก) PMOIS



(ข) NMOIS

รูปที่ 4.9 ความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOIS

จากกราฟความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสจะได้ค่าของจุดตัดบนแกนความยาวของช่องทางเดินกระแส ซึ่งเป็นตำแหน่งที่ช่วงปลอดประจุพาหะของขั้วเดรนชนกับขั้วซอสพอดี้ โดยการประมาณจุดตัดบนแกนความยาวของช่องทางเดินกระแสด้วยวิธีการประมาณฟังก์ชันแบบ Least – Squares (1st order polynomial) โดยจะเป็นการประมาณฟังก์ชันของข้อมูลที่มีอยู่เป็นดังสมการที่ 4.5

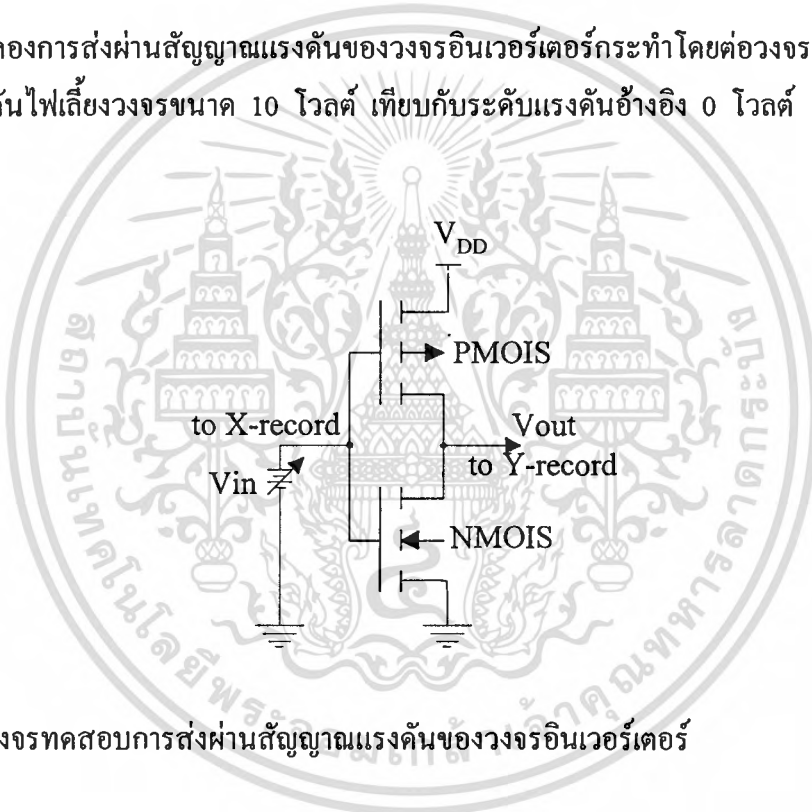
$$P(x) = a_0 + a_1x \quad (4.5)$$

เพื่อหาค่าสัมประสิทธิ์ a_0 และ a_1 ที่ทำให้ผลคำตอบ $P(x)$ ในสมการที่ 4.5 มีค่าเข้าใกล้ผลลัพธ์ของข้อมูลที่มีอยู่มากที่สุด โดยค่าของฟังก์ชันที่ได้สามารถพิจารณาหาจุดตัดบนแกนความยาวของช่องทางเดินกระแสมีค่าเป็น 2 ไมโครเมตร และ 3 ไมโครเมตร สำหรับทรานซิสเตอร์ชนิด PMOIS และทรานซิสเตอร์ชนิด NMOIS ตามลำดับ

4.5 คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรมินิเวอ์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

วงจรรวมทางตรรกะที่ได้นำเสนอในบทที่ 3 คือวงจรมินิเวอ์เตอร์ โดยจะทำการสร้างวงจรรวมนี้ด้วยกระบวนการสร้างมาตรฐาน เสร็จแล้วจึงนำวงจรไปทดสอบคุณสมบัติการส่งผ่านสัญญาณแรงดัน (Voltage Transfer Characteristic Curve) เพื่อหาค่าแรงดัน V_{IL} V_{IH} V_{OL} V_{OH} และ V_{th} ของวงจร และนำค่าระดับสัญญาณแรงดันที่ได้มาคำนวณค่าความสามารถทนสัญญาณรบกวนของวงจร (noise margin) และทำการเปรียบเทียบค่าแรงดันการเปลี่ยนสถานะของวงจรที่คำนวณได้กับค่าที่ได้จากการทดลองเพื่อหาความแตกต่างระหว่างการคำนวณและผลการทดลองที่ได้สร้างจริง

การทดลองการส่งผ่านสัญญาณแรงดันของวงจรมินิเวอ์เตอร์กระทำโดยต่อวงจรดังรูปที่ 4.10 และจ่ายแรงดันไฟเลี้ยงวงจรขนาด 10 โวลต์ เทียบกับระดับแรงดันอ้างอิง 0 โวลต์

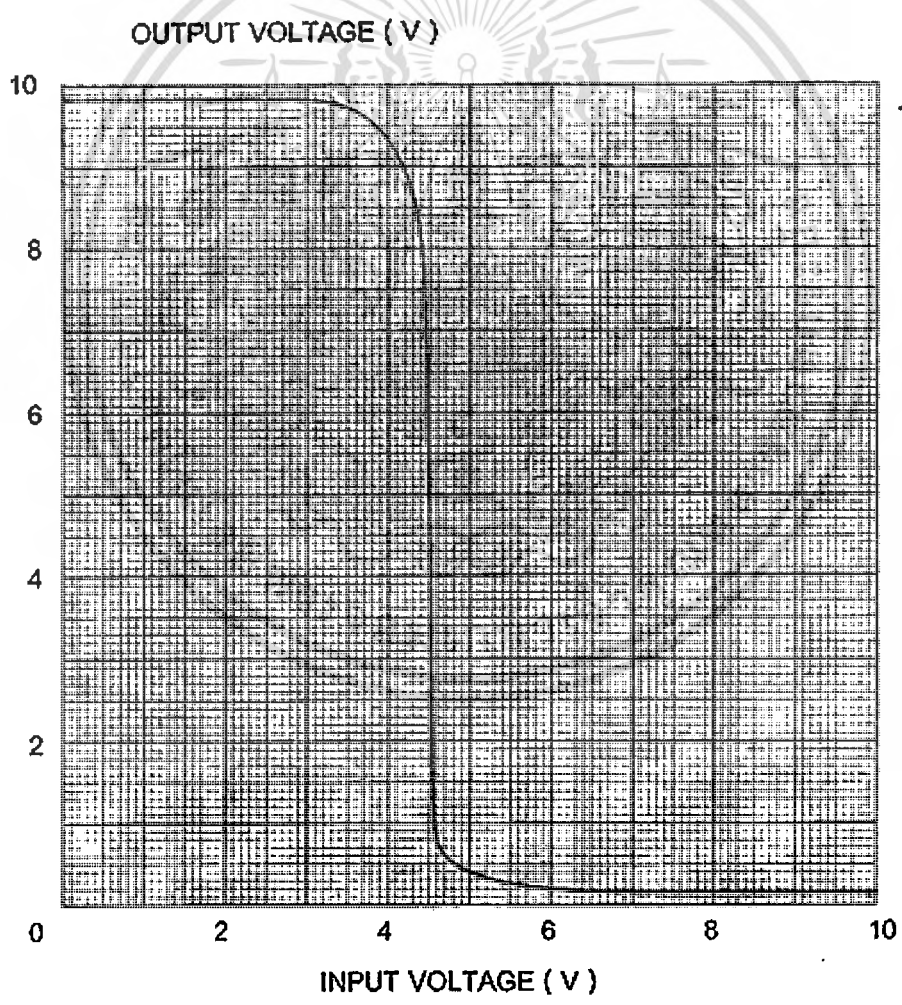


รูปที่ 4.10 วงจรทดสอบการส่งผ่านสัญญาณแรงดันของวงจรมินิเวอ์เตอร์

หลังจากต่อวงจรเรียบร้อยแล้วทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจรจากแรงดัน 0 โวลต์ ไปสู่ค่าแรงดันไฟเลี้ยงของวงจร ทำการบันทึกค่าแรงดันขาเข้าของวงจรและแรงดันขาออกของวงจรด้วยเครื่องบันทึกสองแกน (xy recorder) โดยแกน x ของเครื่องจะแสดงค่าแรงดันขาเข้าและแกน y ของเครื่องจะทำการบันทึกค่าแรงดันขาออก ตัวอย่างของผลการทดสอบแสดงได้ดังรูปที่ 4.11 จากนั้นนำกราฟคุณสมบัติที่ได้จากเครื่องทำการหาค่าแรงดันต่าง ๆ ผลการทดสอบวงจรแสดงได้ดังตารางที่ 4.2

ตารางที่ 4.2 ผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรมินิเวอ์เตอร์

วงจรที่	β_n/β_p	V_{IH} (V)	V_{IL} (V)	V_{OH} (V)	V_{OL} (V)	V_{th} (ทดลอง)	V_{th} (คำนวณ)	NM_H (V)	NM_L (V)
1	0.35	4.8	4.0	9.1	0.6	4.6	4.96	4.3	3.4
2	0.33	4.7	4.0	9.0	0.5	4.5	4.99	4.3	3.5
3	0.29	5.3	4.5	9.3	0.6	5.1	5.08	4.0	3.9
4	0.28	5.2	4.3	9.4	0.6	5.0	5.10	4.2	3.7
5	0.25	5.3	4.3	9.3	0.7	5.1	5.17	4.0	3.6
6	0.22	6.0	4.8	9.4	0.7	5.8	5.24	3.4	4.1



รูปที่ 4.11 ตัวอย่างผลการทดสอบการส่งผ่านสัญญาณของวงจรมินิเวอ์เตอร์ที่ออกแบบและสร้างขึ้น

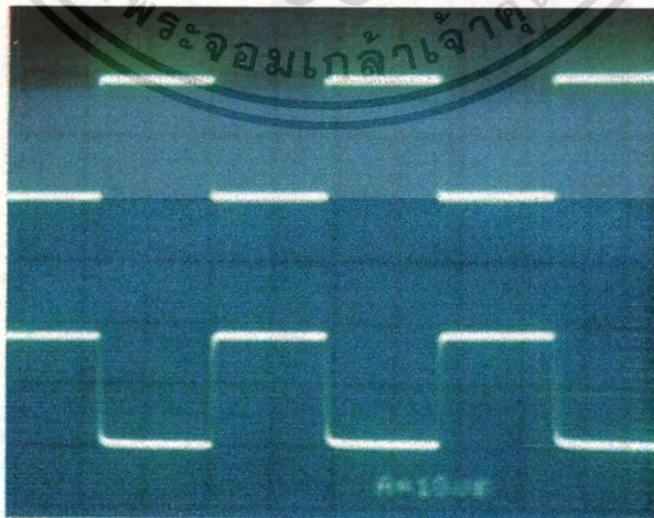
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางจะพบว่าค่าแรงดันการเปลี่ยนแปลงสถานะของวงจรมีค่าแตกต่างจากที่คำนวณไม่เกิน 11 เปอร์เซ็นต์

จากนั้นทำการทดสอบคุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรรีเลย์ โดยทำการเปลี่ยนค่าแรงดันขาเข้าเป็นเครื่องกำเนิดสัญญาณทางไฟฟ้า (Function generator) และใช้ออสซิลอสโคปในการบันทึกค่าแรงดันขาออกของวงจร โดยกำหนดค่าไฟเลี้ยงของวงจรมีค่า 10 โวลต์ และทำการจ่ายค่าแรงดันขาเข้าวงจรด้วยสัญญาณนาฬิกาที่มีค่าเวลาขาขึ้นและขาลงไม่เกิน 20 นาโนวินาที ทำการทดลองวัดค่าเวลาต่าง ๆ ของวงจรแสดงดังตารางที่ 4.3 และตัวอย่างของผลการทดลองแสดงดังรูปที่ 4.12

ตารางที่ 4.3 ผลการทดสอบการตอบสนองต่อสัญญาณชั่วคราวของวงจรรีเลย์

วงจรที่	ประสิทธิภาพของวงจร (μ s)				Max.Clock Freq. (MHz)
	T_{LH}	T_{HL}	T_{PHL}	T_{PLH}	
1	0.20	0.37	0.10	0.17	1.720
2	0.20	0.38	0.10	0.18	1.724
3	0.13	0.41	0.07	0.20	1.851
4	0.13	0.41	0.06	0.19	1.859
5	0.13	0.42	0.07	0.20	1.865
6	0.11	0.42	0.06	0.20	1.886



รูปที่ 4.12 ตัวอย่างผลการทดสอบการตอบสนองต่อสัญญาณชั่วคราวของวงจรรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การวิเคราะห์ผลการทดลอง

จากการทดลองและผลการทดลองวัดค่าคุณสมบัติต่าง ๆ ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งสามารถวิเคราะห์ผลการทดลองต่าง ๆ ได้ดังนี้ เพื่อเป็นค่ามาตรฐานในการออกแบบวงจรรวมต่อไป

5.1 การวิเคราะห์ค่าแรงดันขีดเริ่ม (V_T) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก

ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ที่ได้จากการทดลองพบว่า ค่าแรงดันขีดเริ่มไม่มีการเปลี่ยนแปลงเมื่อขนาดความยาวของช่องทางเดินกระแสมีการเปลี่ยนแปลงไป โดยค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ที่มีช่องทางเดินกระแสในแนวตั้งมีค่าดังตารางที่ 5.1 โดยค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างนี้ควรจะมีการเปลี่ยนแปลงเมื่อขนาดความยาวของช่องทางเดินกระแสที่ออกแบบไว้มีขนาดเล็กพอที่จะพบความเปลี่ยนแปลงได้ เมื่อเปรียบเทียบค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างนี้กับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึกพบว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ PMOIS ที่มีช่องทางเดินกระแสในแนวตั้งจะมีค่าที่สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ NMOIS ที่มีช่องทางเดินกระแสแบบเดียวกัน (ไม่คิดเครื่องหมาย) และสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ PMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก ที่เป็นเช่นนี้เพราะแผ่นผลึกฐานรองรับเริ่มต้นที่ใช้เป็นแผ่นผลึกซิลิกอนชนิดเอ็น และทำการเติมอะตอมของค่าเพื่อให้เป็นฐานรองที่มีคุณสมบัติคล้ายสารกึ่งตัวนำบริสุทธิ์ แต่เมื่อทำการเติมอะตอมของค่าแล้วก็ยังพบว่าอิเล็กตรอนยังคงเป็นพาหะส่วนมาก ดังนั้นในการเหนี่ยวนำให้เกิดช่องทางเดินกระแสของทรานซิสเตอร์ PMOIS จะต้องใช้แรงดันที่มากกว่าทรานซิสเตอร์ NMOIS (ไม่คิดเครื่องหมาย) แต่ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ PMOIS ที่มีช่องทางเดินกระแสในแนวตั้งมีค่าแรงดันขีดเริ่มที่สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ PMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึกเพราะการเติมอะตอมของค่าที่ไม่ดีพอ และความสะอาดในระหว่างการการสักร่องวีทำให้เกิดประจุที่รอยต่อระหว่างสารกึ่งตัวนำและฉนวนซิลิกอนไดออกไซด์

ตารางที่ 5.1 แสดงค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวนานกับผิวผลึก

	ทรานซิสเตอร์ชนิดเอ็น	ทรานซิสเตอร์ชนิดพี
ทรานซิสเตอร์โครงสร้างแบบ CMOIS ช่องทางเดินกระแสในแนวตั้ง	1.5 V	-3.0 V
ทรานซิสเตอร์โครงสร้างแบบ CMOIS ช่องทางเดินกระแสในแนวนานกับผิวผลึก	1.5 V	-2.5 V

5.2 channel length modulation ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

จากผลการทดลองสามารถสังเกตได้ว่า ทรานซิสเตอร์ชนิดเอ็นมีค่า Channel Length Modulation Factor สูงกว่าทรานซิสเตอร์ชนิดพี เนื่องจากขณะที่ทรานซิสเตอร์ชนิดเอ็นทำงานในช่วงอิ่มตัว กระแสเดรนจะมีค่าเปลี่ยนแปลงเมื่อแรงดันเดรนซอสมีค่าเพิ่มมากขึ้น และมีการเปลี่ยนแปลงมากเมื่อเทียบกับทรานซิสเตอร์ชนิดพี ที่เป็นเช่นนี้เนื่องจาก ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่ทำการวิจัยอยู่นี้สร้างขึ้นบนฐานรองซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมของกำมะถันเรียบร้อยแล้ว ทำให้ประจุพาหะอิเล็กตรอนในแผ่นผลึกมีค่าน้อยลงจนเกือบมีคุณสมบัติเหมือนกับสารกึ่งตัวนำบริสุทธิ์ แต่ในกรณีที่มีการเติมสารเจืออะตอมของกำมะถันมีความสมบูรณ์ไม่พอ อาจทำให้ประจุอิเล็กตรอนมีจำนวนยังมากอยู่ ทำให้ในบริเวณช่องทางเดินกระแสยังคงมีปริมาณของประจุอิเล็กตรอนอยู่มาก เมื่อแรงดันที่ปรากฏที่ขั้วเกตของทรานซิสเตอร์ชนิดเอ็นจนทำให้ทรานซิสเตอร์นำกระแสในช่วงอิ่มตัวแล้ว เพิ่มค่าแรงดันที่ขั้วเดรนซอสให้เพิ่มมากขึ้น ช่วงปลอดประจุพาหะระหว่างขั้วเดรนและฐานรองของทรานซิสเตอร์ชนิดเอ็นจะมีการขยายตัวเพิ่มขึ้นเรื่อย ๆ ในด้านฐานรอง เนื่องจากประจุบวกในฐานรองที่ข้ามช่วงปลอดประจุพาหะมาอยู่ในสารกึ่งตัวนำชนิดเอ็น ขั้วเดรนมีปริมาณน้อย ทำให้ไม่เกิดจุดสมดุลที่มีสนามไฟฟ้าเพียงพอที่จะทำให้เกิดสมดุลย์ของช่วงปลอดประจุพาหะได้ ผลที่ได้จึงทำให้ค่าตัวแปรการหดตัวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็นมีค่าสูงกว่าทรานซิสเตอร์ชนิดพีเล็กน้อย แต่จากผลการทดลอง สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

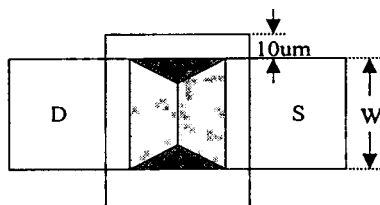
สังเกตได้ว่าค่าตัวแปรการหดตัวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิดมีค่าไม่คงที่ ขึ้นกับค่าความยาวของช่องทางเดินกระแสด้วย โดยเมื่อค่าความยาวของช่องทางเดินกระแสมีค่าสูงขึ้นไปแล้ว พบว่าความแตกต่างของข้อมูลมีอัตราลดลง ดังนั้นในการสรุปค่าตัวแปรการหดตัวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิดจะใช้วิธีการใช้ค่าฐานนิยมของข้อมูล พบว่าทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีมีค่าตัวแปรการหดตัวของช่องทางเดินกระแสเป็นดังตารางที่ 5.2

ตารางที่ 5.2 แสดงค่าตัวแปรการหดตัวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพี

	ทรานซิสเตอร์ชนิดเอ็น	ทรานซิสเตอร์ชนิดพี
ค่าตัวแปรการหดตัวของช่องทางเดินกระแส (λ)	0.0015 V^{-1}	0.0010 V^{-1}

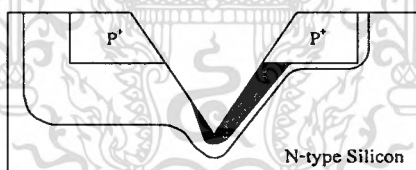
5.3 การวิเคราะห์ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวนานกับผิวผลึก[4]

จากผลการทดลองพบว่าค่าทรานส์คอนดักแตนซ์จะมีการเปลี่ยนแปลงขึ้นอยู่กับค่าความกว้างของช่องทางเดินกระแสและค่าความยาวของช่องทางเดินกระแส นั่นคือถ้าเพิ่มความกว้างของช่องทางเดินกระแสจะทำให้ค่าทรานส์คอนดักแตนซ์ลดลง และถ้าเพิ่มความยาวของช่องทางเดินกระแสจะทำให้ค่าทรานส์คอนดักแตนซ์เพิ่มขึ้น ซึ่งค่าที่ได้ควรจะมีค่าคงที่ไม่ขึ้นกับค่าความกว้างของช่องทางเดินกระแสและค่าความยาวของช่องทางเดินกระแส ซึ่งผลการทดลองที่เป็นเช่นนี้สามารถอธิบายได้ว่า การที่ค่าทรานส์คอนดักแตนซ์เปลี่ยนแปลงกับค่าความกว้างของช่องทางเดินกระแสเนื่องจากว่าในกระบวนการสร้างขณะทำลวดลายอลูมิเนียมและชั้นฉนวนออกไซด์ได้ทำการซ้อนทับ (overlap) ออกไปจากบริเวณเกต 10 ไมโครเมตร ซึ่งจะมีผลต่อค่าทรานส์คอนดักแตนซ์แต่ในกรณีที่ค่าความกว้างของช่องทางเดินกระแสมีค่าเพิ่มขึ้นจะสามารถทำให้ค่านัยสำคัญของผลดังกล่าวลดลง แสดงดังรูปที่ 5.1



รูปที่ 5.1 แสดงลวดลายอลูมิเนียมที่มีการเชื่อมออกไปจากบริเวณเกต

โดยจะพบว่าค่าความกว้างของช่องทางเดินกระแสสูงขึ้นมากกว่าระยะซ้อนทับมาก ๆ จะทำให้ค่าทรานส์คอนดักแตนซ์เริ่มเข้าใกล้ค่าคงที่ค่าหนึ่งซึ่งเป็นค่าที่มีความถูกต้อง สำหรับค่าทรานส์คอนดักแตนซ์เปลี่ยนแปลงกับค่าความยาวของช่องทางเดินกระแส นั้นสามารถอธิบายได้ว่าในการวัดค่าทรานส์คอนดักแตนซ์ได้ทำการวัดในช่วงอิมิตัวซึ่งช่องทางเดินกระแสจะถูกสนามไฟฟ้าของช่วงปลอดพาหะผลัดกันออกทำให้แคบลงและหดสั้นกว่าปกติมากดังรูปที่ 5.2 ทำให้ค่าทรานส์คอนดักแตนซ์มีค่ามากขึ้นที่ค่าความยาวของช่องทางเดินกระแสมากขึ้น แต่ที่ค่าความยาวของช่องทางเดินกระแสลดลงสามารถลดผลจากการขยายตัวของช่วงปลอดประจุได้ ซึ่งค่าทรานส์คอนดักแตนซ์ที่ได้จะมีค่าเข้าใกล้ค่าคงที่ค่าหนึ่ง ซึ่งเป็นค่าคงที่ที่มีความถูกต้อง



รูปที่ 5.2 การลดลงของความยาวของช่องทางเดินกระแส

จากการทดลองพบว่าค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์ โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้งเปรียบเทียบกับทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึกทั้งชนิดพีและเอ็นเป็นดังตารางที่ 5.3

ตารางที่ 5.3 แสดงค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์โครงสร้าง MOIS ที่มีช่องทางเดินกระแสในแนวตั้งเทียบกับทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึก [4]

	ทรานซิสเตอร์ชนิดเอ็น	ทรานซิสเตอร์ชนิดพี
ค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์ที่มีช่องทางเดินกระแสในแนวตั้ง	$3.25 \times 10^{-6} \text{ A/V}$	$7.39 \times 10^{-6} \text{ A/V}$
ค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนานกับผิวผลึก[2]	$1.87 \times 10^{-6} \text{ A/V}$	$4.32 \times 10^{-6} \text{ A/V}$
เปอร์เซ็นต์ของค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างที่สูงขึ้น	73.79 เปอร์เซ็นต์	71.06 เปอร์เซ็นต์

5.4 การวิเคราะห์ที่ถูกระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

จากผลการทดลองวัดขนาดความกว้างของช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง พบว่าถ้ายอมรับการเปลี่ยนแปลงของค่าแรงดันขั้วเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์ จะต้องออกแบบให้ทรานซิสเตอร์มีความกว้างของช่องทางเดินกระแสเป็นดังตารางที่ 5.4 จึงจะได้ค่าแรงดันขั้วเริ่มของทรานซิสเตอร์ตามต้องการ

และจากผลการทดลองวัดขนาดความยาวของช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง ในรูปที่ 4.10 พบว่าช่วงปลอดประจุพาหะของขั้วเดรนชนกับช่วงปลอดประจุพาหะของขั้วซอสของทรานซิสเตอร์ชนิด NMOIS และ PMOIS มีค่า 3 และ 2 ไมโครเมตร ตามลำดับ ดังนั้นในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เพื่อให้ผลของความยาวช่องทางเดินกระแสน้อย ๆ กระทบต่อแรงขั้วเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์ จะต้องออกแบบให้มีความยาวของช่องทางเดินกระแสเป็นดังตารางที่ 5.4 จึงจะให้ค่าแรงดันขั้วเริ่มของทรานซิสเตอร์ถูกผลกระทบจากรูปทรงทางเรขาคณิตที่เล็ก ๆ (small size effect) ของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์

ตารางที่ 5.4 แสดงการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เพื่อให้ผลของความกว้างและความยาวของช่องทางเดินกระแสน้อย ๆ กระทบต่อแรงขีดเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์

	ทรานซิสเตอร์ชนิดเอ็น	ทรานซิสเตอร์ชนิดพี
ความกว้างช่องทางเดินกระแส	80 ไมโครเมตร	70 ไมโครเมตร
ความยาวช่องทางเดินกระแส	30 ไมโครเมตร	20 ไมโครเมตร

5.5 คุณสมบัติการตอบสนองต่อสัญญาณชั่วคราวของวงจรมินิเวอ์เตอร์ของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

จากผลการทดลองพบว่าค่าแรงดันการเปลี่ยนสถานะของวงจรมีค่าเป็นไปตามสมการที่ 5.1

$$\sqrt{\frac{\beta_n}{\beta_p}} = \frac{\frac{V_{dd}}{2} - |V_{Tp}|}{\frac{V_{dd}}{2} - V_{Tn}} \quad (5.1)$$

และจากผลการทดลองจะสังเกตได้ว่าช่วงแรงดันของสัญญาณรบกวนที่วงจรสามารถทนได้มีค่ามากกว่า 35 เปอร์เซ็นต์ สามารถกล่าวได้ว่า ค่าความชันของช่วงการเปลี่ยนแปลงจากแรงดันสูงไปสู่แรงดันต่ำมีค่ามาก (ไม่คิดเครื่องหมาย) ซึ่งในการออกแบบวงจรที่ดี จำเป็นต้องพยายามให้ค่าความชันดังกล่าวมีค่าสูงที่สุดเท่าที่จะเป็นไปได้ และส่งผลให้วงจรสามารถทนแรงดันของสัญญาณรบกวนได้ดี นอกจากนี้ แรงดันไฟเลี้ยงของวงจรสามารถลดต่ำลงได้มากกว่า 35 เปอร์เซ็นต์ เช่นเดียวกัน สถานะทางตรรกของวงจรยังสามารถถูกแยกได้ด้วยวงจรที่ออกแบบและสร้างเป็นอย่างดี ซึ่งแนวทางในการปรับปรุงคุณสมบัติข้อนี้ของวงจรจะต้องพยายามสร้างให้ทรานซิสเตอร์ทั้งสองมีค่าแรงดันขีดเริ่มเท่ากัน (ไม่คิดเครื่องหมาย)

จากผลการทดลองการตอบสนองต่อสัญญาณชั่วคราวของวงจรพบว่าวงจรมินิเวอ์เตอร์สามารถตอบสนองความถี่สูงสุดของสัญญาณนาฬิกาที่ป้อนที่จุดแรงดันขาเข้าเฉลี่ยเป็นดังตารางที่ 5.5

ตารางที่ 5.5 แสดงความสามารถตอบสนองความถี่สูงสุดของสัญญาณนาฬิกาที่ป้อนที่จุดแรงดันขาเข้าเฉลี่ย [3]

ความสามารถตอบสนองความถี่สูงสุดของสัญญาณนาฬิกาที่ป้อนที่จุดแรงดันขาเข้าเฉลี่ยของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง	1.81 MHz
ความสามารถตอบสนองความถี่สูงสุดของสัญญาณนาฬิกาเฉลี่ยของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึก	1.00 MHz
เปอร์เซ็นต์ความสามารถตอบสนองความถี่สูงสุดของสัญญาณนาฬิกาที่ป้อนที่จุดแรงดันขาเข้าที่สูงขึ้น	81 เปอร์เซ็นต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและบทวิจารณ์

ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เป็นทรานซิสเตอร์ที่มีโครงสร้างหลักและมีลักษณะการทำงานคล้ายคลึงกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ทั่ว ๆ ไป แตกต่างตรงการเคลื่อนที่ของประจุพาหะในช่องทางเดินกระแสซึ่งจะเคลื่อนที่ในแนวตั้ง โดยค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสมีค่าสูงกว่า โดยความคล่องตัวของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOS และทรานซิสเตอร์ชนิด NMOS มีค่า 256 $\text{cm}^2/\text{V}\cdot\text{sec}$ และ 113 $\text{cm}^2/\text{V}\cdot\text{sec}$ ตามลำดับ ทำให้ค่ากระแสขาออกของทรานซิสเตอร์มีค่าสูงขึ้น ทำให้สามารถพัฒนาเข้าสู่การประยุกต์ใช้งานทางสัญญาณอนาล็อกที่ต้องใช้กระแสสูงในการทำงานได้อย่างมีประสิทธิภาพ การสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง โดยเริ่มต้นเลือกใช้แผ่นผลึกเดี่ยวของซิลิกอนขนาดพิคกความต้านทาน 8-12 โอห์ม เซนติเมตร หนาของผลึกคือ <100> ทำความสะอาดผิวหน้าเพื่อกำจัดโลหะและไขมันที่ผิวหน้าของแผ่นผลึกออก จากนั้นทำการแพร่สารเจือชนิดพีเพื่อสร้างขั้วขอสและแคโรนของทรานซิสเตอร์ชนิด PMOS ทำการขั้วลึง หลังจากทำการขั้วลึงแล้วทำการแพร่สารเจือชนิดเอ็นเพื่อสร้างขั้วขอสและแคโรนของทรานซิสเตอร์ชนิด NMOS ทำการขั้วลึง จากนั้นทำการสกัดชั้นซิลิกอนด้วยสารละลาย KOH ทำให้เกิดร่องรูปตัววีเพื่อให้เกิดช่องทางเดินกระแสในแนวตั้ง แล้วทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์ขึ้นใหม่ให้มีความหนา 1200 อังสตรอม ทำการเคลือบด้วยโลหะทองคำด้วยเครื่องเคลือบโลหะในสุญญากาศ จากนั้นทำการขั้วลึงทองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 90 นาที ในบรรยากาศไนโตรเจนบริสุทธิ์จะทำให้ฐานรองที่ใช้ในการสร้างทรานซิสเตอร์เปลี่ยนแปลงคุณสมบัติคล้ายกับสารกึ่งตัวนำบริสุทธิ์ แล้วทำการเคลือบด้วยโลหะอลูมิเนียมด้วยเครื่องเคลือบโลหะในสุญญากาศ จากนั้นทำการกัดลวดสายวงจรตามที่ได้ออกแบบไว้แล้วทำการอบเพื่อให้ออกไซด์ต่าง ๆ เกิดเป็นออกไซด์โอห์มิก หลังจากดำเนินการสร้างเสร็จเรียบร้อยแล้วจึงนำวงจรที่สร้างเสร็จแล้วไปทดสอบคุณสมบัติทางไฟฟ้าของวงจร โดยทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้งที่สร้างเสร็จสมบูรณ์จะมีค่าแรงดันขีดเริ่มสำหรับทรานซิสเตอร์ชนิด PMOS และทรานซิสเตอร์ชนิด NMOS มีค่า -3.0 โวลต์ และ 1.5 โวลต์ตามลำดับ และขนาดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เมื่อค่าความกว้างของช่องทางเดินกระแสมีค่าลดลงจะทำให้ค่าแรงดันขีดเริ่มมีค่าสูงขึ้นทั้งในทรานซิสเตอร์ชนิด PMOS (ไม่คิดเครื่องหมาย) และทรานซิสเตอร์ชนิด NMOS เนื่องจากค่าแรงดันขีดเริ่มของทรานซิสเตอร์ถูกผลกระทบจากรูปทรงเรขาคณิตเล็ก ๆ ของทรานซิสเตอร์ ซึ่งทำให้ต้องใช้แรงดันที่สูงขึ้นในการไบอัสให้ทรานซิสเตอร์ทำงาน และค่าความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ในช่องทางอื่นใด
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยาวของช่องทางเดินกระแสสำหรับทรานซิสเตอร์ชนิด PMOS และทรานซิสเตอร์ชนิด NMOS ที่ทำให้ช่วงปลอดประจุพาหะของขั้วเดรนชนกับขั้วซอสพอดมีค่า 2 ไมโครเมตร และ 3 ไมโครเมตร ตามลำดับ และค่า Channel Length Modulation Factor ซึ่งจะทำให้กระแสเดรนมีค่าเปลี่ยนแปลงเมื่อแรงดันเดรนซอสมีค่าเพิ่มมากขึ้น ขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว โดยทรานซิสเตอร์ชนิด PMOS และทรานซิสเตอร์ชนิด NMOS มีค่า $0.0010 \text{ โวลต์}^{-1}$ และ $0.0015 \text{ โวลต์}^{-1}$ ตามลำดับ และค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้ง สำหรับทรานซิสเตอร์ชนิด PMOS และทรานซิสเตอร์ชนิด NMOS มีค่า 7.39 ไมโครแอมแปร์ต่อโวลต์ และ 3.25 ไมโครแอมแปร์ต่อโวลต์ตามลำดับ และการตอบสนองต่อสัญญาณขั้วครู่ของวงจรถบว่าวงจรถบสามารถตอบสนองความถี่สูงสุดที่สุดของสัญญาณพิกษาที่ป้อนที่จุดแรงดันขาเข้าเฉลี่ย มีค่า 1.81 MHz และความสามารถตอบสนองความถี่สูงสุดที่สุดของสัญญาณพิกษาที่ป้อนที่จุดแรงดันขาเข้าที่สูงขึ้น 81 เปอร์เซ็นต์

ผลที่ได้จากการทำวิจัยทำให้ทราบถึงปัญหาที่สำคัญในการสร้างของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง คือการเติมอะตอมทองคำบริสุทธิ์เข้าในฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ เพื่อให้ฐานรองมีคุณสมบัติคล้ายสารกึ่งตัวนำบริสุทธิ์ โดยจะต้องทำการควบคุมปริมาณทองคำที่แพร่เข้าในฐานรองของผลึกซิลิกอนในแต่ละครั้งของการสร้างมีค่าคงที่ อีกทั้งในกระบวนการสร้างในขั้นตอนอื่น ๆ เพื่อให้คุณสมบัติต่าง ๆ ของทรานซิสเตอร์มีค่าคงที่ และถูกต้องดังที่ได้กล่าวไว้ในตอนต้น

ในการพัฒนาสิ่งประดิษฐ์สารกึ่งตัวนำประเภท MOIS ที่มีช่องทางเดินกระแสในแนวตั้งสามารถนำไปใช้งานในวงจรรวมต่าง ๆ เพื่อเพิ่มประสิทธิภาพของวงจรรวมนั้น ๆ จำเป็นต้องควบคุมกระบวนการสร้างให้เหมาะสมต่อไป

เอกสารอ้างอิง

- [1] Pamklang J., Titiroongruang W., Supadech S., Iida M. and Kurosu T. "Electrical Characteristics of Au Doped Di CMOS FET's without Isolation Layer." Proceedings of the School of Engineering, Tokai University, Vol. XX, 1995. pp. 37 – 43.
- [2] จิรวัดน์ ปานกลาง. "การศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็ก." วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2535.
- [3] จิรวัดน์ ปานกลาง, มนชนก ศรีเสื่อขาม, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ สุภเดช "คู่มือพลีเม้นท์ที่สมมาตรของสิ่งประดิษฐ์ประเภท CMOIS." การประชุมใหญ่ทางวิชาการประจำปี 2534 วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์, พฤศจิกายน 2534. หน้า 27-31.
- [4] จิรวัดน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง, สุภกัตย์ วัฒนการุณ และ ชีรพร มลทวีไพศาล "การออกแบบและการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปวี." วารสารวิจัยและพัฒนา มจร., ปีที่ 21, ฉบับที่ 1, มกราคม-มิถุนายน 2541. หน้า 33-46.
- [5] The Engineering Staff of American Micro-System Inc. **MOS Integrated Circuit Theory, Fabrication, Design and System Application of MOS LSI.** Van Nostrand Reinhold Company. 1992.
- [6] จิรวัดน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง, สุภกัตย์ วัฒนการุณ และ สรัญญา ญาติเสมอ "ค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสรูปวีของทรานซิสเตอร์โครงสร้างแบบ CMOIS." วารสารฟิสิกส์ไทย, ปีที่ 15, ฉบับที่ 1, ธันวาคม 2540. หน้า 9-12.
- [7] วิสุทธิ์ ฐิติรุ่งเรือง, จิรวัดน์ ปานกลาง และ สุภกัตย์ วัฒนการุณ "การวิเคราะห์ค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้าง MOIS." วิศวกรรมลาดกระบัง, ปีที่ 14, ฉบับที่ 1, เมษายน 2541. หน้า 66-74.
- [8] S.M. Sze. **Physics of Semiconductor Devices.** John Wiley & Sons, Inc. 1969.
- [9] John P. Uyemura. **Fundamental of MOS Digital Integrated Circuits.** Addison-Wesley Publishing Co.,Ltd. 1988.
- [10] Edward S. Yang. **Microelectronic Device.** McGraw-Hill Book Company. 1988.
- [11] Randall L. Geiger, Phillip E. Allen, Noel R. Strader. **VLSI Design Techniques for Analog and Digital Circuit.** McGraw-Hill International Edition. 1990.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [12] จิรวัดน์ ปานกลาง, ศุภกัลย์ วัฒนการุณ และ วันชนะ ทองทั้งสาย “ผลค่าความยาวช่องทางเดินกระแสรูปวีขนาดสั้นของทรานซิสเตอร์โครงสร้างแบบ CMOIS.” วารสารพีสิกส์ไทย, ปีที่ 16, ฉบับที่ 1, กรกฎาคม 2541. หน้า 17-26.
- [13] จิรวัดน์ ปานกลาง, ศุภกัลย์ วัฒนการุณ และ ฝั่งน่าน แ้วนแก้ว “การออกแบบวงจรรวมอินเวอร์เตอร์ทางตรรกโดยใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปวี.” วารสารสำนักงานคณะกรรมการวิจัยแห่งชาติ, ปีที่ 29, ฉบับที่ 1, มกราคม-มิถุนายน 2540. หน้า 79-90.
- [14] ศุภกัลย์ วัฒนการุณ, อนงค์ ลิ่นทอง, จิรวัดน์ ปานกลาง และ วิสุทธิ์ จูติรุ่งเรือง “วงจรกำเนิคความถี่แบบริงโครงสร้างทรานซิสเตอร์แบบ VCMOIS.” วิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1, มีนาคม 2542. หน้า 37-42.



ภาคผนวก ก.

การเติมอะตอมสารเจือทองคำ

โดยทั่ว ๆ ไปกระบวนการแพร่สารเจือชนิดต่าง ๆ ในแผ่นผลึกสารกึ่งตัวนำซิลิกอนสามารถแบ่งออกเป็น 2 ขั้นตอนคือ กระบวนการ predeposition และกระบวนการ drive in โดยการทำ predeposition เป็นการแพร่สารเจือโดยไม่จำกัดปริมาณของสารเจือ และกระบวนการ drive in เป็นการแพร่สารเจือแบบจำกัดปริมาณของสารเจือ และมักจะเกิดขึ้นพร้อม ๆ กับการสร้างชั้นฉนวนซิลิกอนไดออกไซด์เพื่อปกคลุมแผ่นผลึก เพื่อป้องกันการแพร่ซึมของสารเจือออกนอกแผ่นผลึก และในการทำการ drive in ตัวแปรอุณหภูมิและระยะเวลาจะเป็นตัวกำหนดความลึกของสารเจือที่สามารถเข้าไปในแผ่นผลึกได้

การแพร่สารเจือทองคำในวิทยานิพนธ์ฉบับนี้กระทำโดยการเคลือบโลหะทองคำที่บริเวณผิวด้านตรงกันข้ามกับบริเวณที่สร้างทรานซิสเตอร์ และทำการขับเคลื่อนทองคำที่อุณหภูมิ 1100 องศาเซลเซียสเป็นเวลา 90 นาที ดังนั้นจึงอาจกล่าวได้ว่า การเคลือบโลหะทองคำด้วยการเคลือบโลหะในสูญญากาศ เป็นกระบวนการ predeposition และกระบวนการต่อมาเป็นกระบวนการ drive in เมื่อทำการเคลือบโลหะทองคำเสร็จเรียบร้อยแล้ว แผ่นผลึกมีลักษณะดังรูปที่ ก.1



รูปที่ ก.1 แผ่นผลึกซิลิกอนที่ได้รับการเคลือบด้วยอะตอมทองคำ

ดังนั้นในการหาค่าความลึกที่ทองคำสามารถแพร่ซึมเข้าไปในเนื้อสารซิลิกอนที่ระยะต่าง ๆ สามารถวิเคราะห์ใช้คณิตศาสตร์การแพร่ซึมเฉพาะช่วง drive in เท่านั้น ดังสมการที่ ก.1

$$N(x,t) = [Q / \text{sqr}(\pi Dt)] \exp -(x)^2 / 4Dt \quad (\text{ก.1})$$

โดยที่ $N(x,t)$ คือความหนาแน่นของอะตอมสารเจือที่ระยะ x ลึกลงไปจากผิวของแผ่นผลึก

Q คือจำนวนอะตอมสารเจือที่แพร่ในกระบวนการ predeposition

D คือสัมประสิทธิ์การแพร่ของอะตอมสารเจือที่อุณหภูมิการ drive in

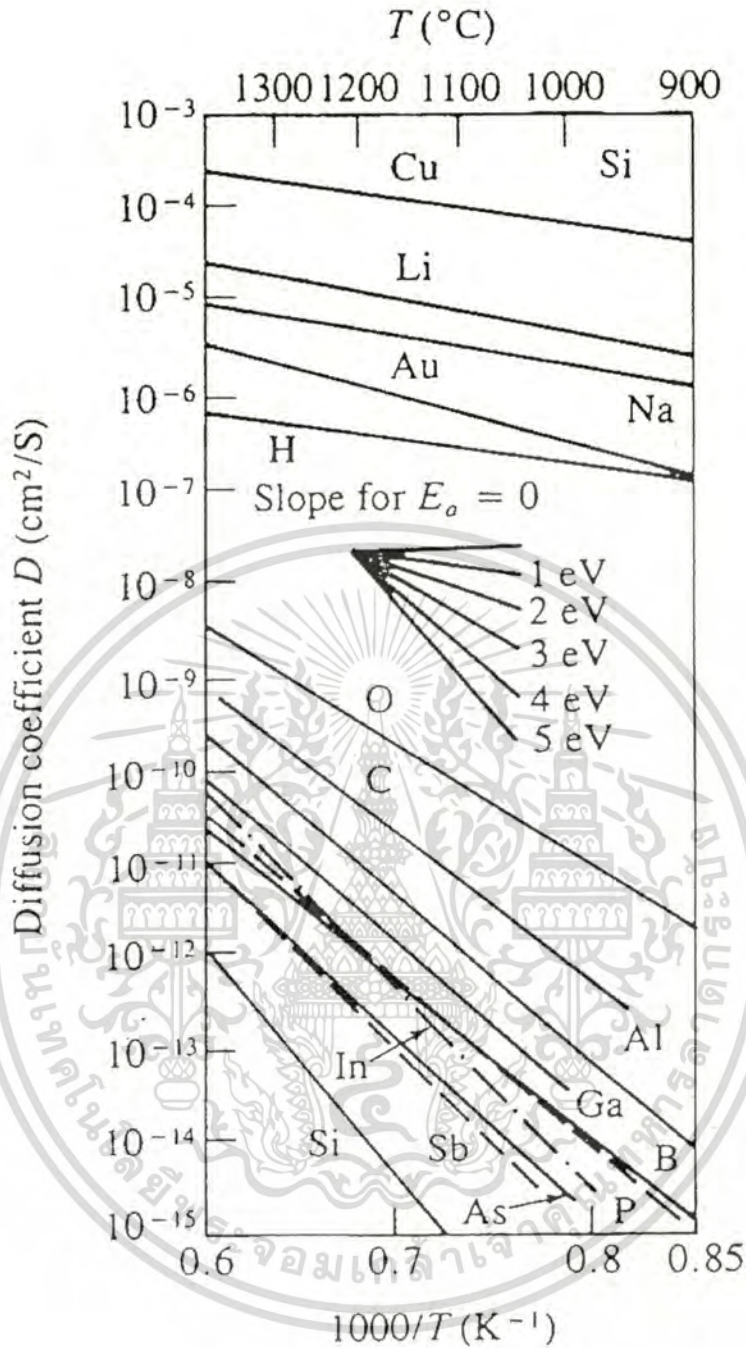
t คือเวลาที่ใช้ในการแพร่ในกระบวนการ drive in

e คือค่าคงที่ 2.71828

x คือระยะลึกลงไปในแผ่นผลึกจากด้านที่อะตอมสารเจือเกาะอยู่

จากสมการจะพบว่าตัวแปร D ที่ต้องการทราบเพื่อใช้ในการคำนวณสามารถหาค่าได้จากกราฟดังรูปที่ ก.2 ที่อุณหภูมิ 1100 องศาเซลเซียส มีค่า $2 \times 10^{-6} \text{ cm}^2/\text{sec}$ และค่าเวลา t ที่ใช้ในการแพร่ทองคำมีค่า 5400 วินาที ส่วนค่า Q ซึ่งเป็นปริมาณของอะตอมทองคำที่เคลือบผิวของแผ่นผลึกซิลิกอนสามารถพิจารณาได้ดังนี้คือ ทองคำบริสุทธิ์มีน้ำหนักอะตอม 1 โมลอะตอม (มีปริมาณอะตอมทั้งหมด 6.02×10^{23} อะตอม) เท่ากับ 196.967 กรัม ดังนั้นถ้าทราบน้ำหนักของอะตอมทองคำที่เคลือบอยู่บริเวณของแผ่นผลึกซิลิกอนหลังการเคลือบทองคำเรียบร้อยแล้ว จะสามารถคำนวณปริมาณของอะตอมทองคำที่ผิวได้ และสามารถใส่ค่าปริมาณอะตอมทองคำนี้แทนค่าลงในสมการที่ ก.1 ได้ เพื่อหาว่าอะตอมทองคำสามารถแพร่ลึกลงไปได้เท่าใด ในการหาน้ำหนักของทองคำใช้วิธีการดังนี้คือ ก่อนการเคลือบทองคำบนแผ่นผลึกซิลิกอนให้นำแผ่นผลึกซิลิกอนซึ่งน้ำหนักเพื่อหาน้ำหนักของแผ่นผลึกซิลิกอนก่อน จากนั้นนำแผ่นผลึกซิลิกอนดังกล่าวเคลือบด้วยโลหะทองคำบริสุทธิ์ตามกระบวนการที่ได้นำเสนอในบทที่ 3 เมื่อทำการเคลือบทองคำเสร็จเรียบร้อยแล้วนำแผ่นผลึกซึ่งน้ำหนักอีกครั้งหนึ่ง น้ำหนักของแผ่นผลึกที่เพิ่มขึ้นคือน้ำหนักของทองคำที่เคลือบบนผิวของแผ่นผลึกนั่นเอง

โดยผลของความสามารถที่อะตอมทองคำแพร่ลึกลงไปในแผ่นผลึกอย่างน้อยที่สุดจะต้องเท่ากับความหนาของแผ่นผลึกซิลิกอนที่ใช้ในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำทรานซิสเตอร์ โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง เพื่อให้แน่ใจได้ว่าทั่วทั้งแผ่นผลึกซิลิกอนมีอะตอมทองคำกระจายอยู่เต็มทั้งหมด



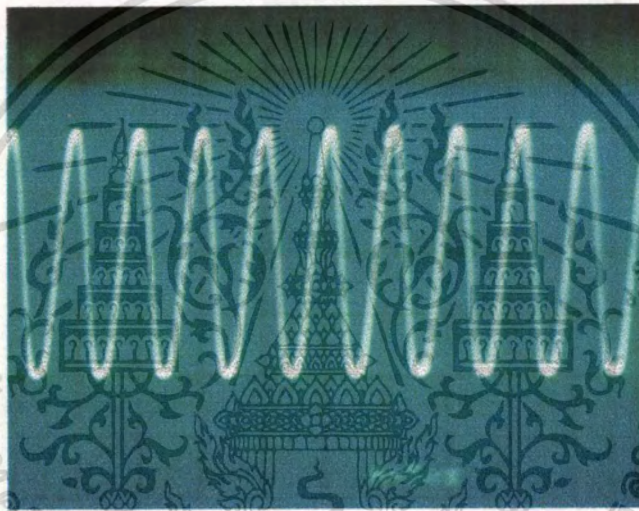
รูปที่ ก.2 สัมประสิทธิ์การแพร่ของสารเจือต่าง ๆ ในเนื้อสารซิลิกอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

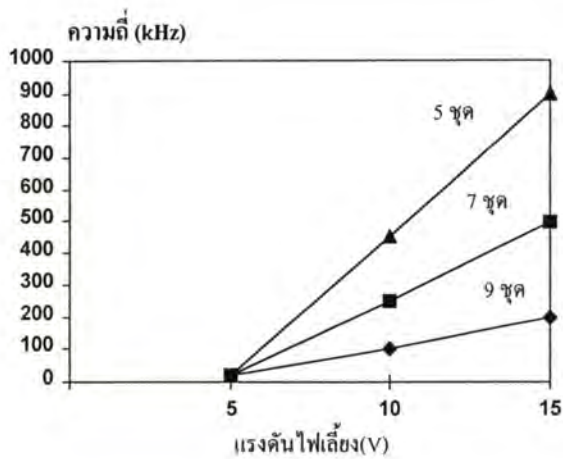
การประยุกต์ใช้งานเบื้องต้นของวงจรออสซิลเลเตอร์แบบวงแหวน

วงจรรวมเชิงเส้นที่ได้กล่าวมาในบทที่ 3 คือวงจรรวมออสซิลเลเตอร์แบบวงแหวน ซึ่งเป็นวงจรรวมที่ให้สัญญาณความถี่ ในการใช้งานวงจรจะทำการจ่ายไฟเลี้ยงแก่วงจรค่าหนึ่งที่มีค่ามากกว่าค่าแรงดันขีดเริ่มของวงจรถนึ่งถึงค่าแรงดันสูงสุดที่สามารถใช้งานวงจรได้ ลักษณะของสัญญาณความถี่ของวงจรแสดงได้ดังรูปที่ ข.1

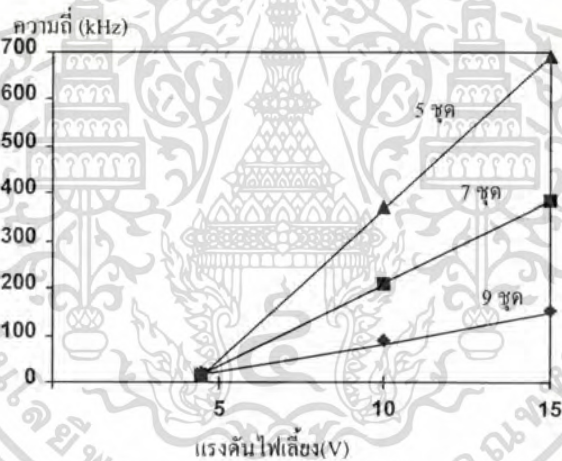


รูปที่ ข.1 ลักษณะของสัญญาณขาออกของวงจรออสซิลเลเตอร์แบบวงแหวน

ดังนั้นในการทดสอบวงจรรวมออสซิลเลเตอร์แบบวงแหวนจึงทำการทดสอบความสัมพันธ์ระหว่างค่าความถี่ของวงจรที่ได้ ออกมากับพารามิเตอร์ต่าง ๆ คือ แรงดันไฟเลี้ยงของวงจร และค่าจำนวนภาคของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรออสซิลเลเตอร์แบบวงแหวนคือ 5 , 7 และ 9 ชุดต่ออนุกรมกัน และนำผลที่ได้เปรียบเทียบกับระหว่างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งกับทรานซิสเตอร์โครงสร้างแบบเดียวกันที่มีช่องทางเดินกระแสในแนวนอนกับผิวผลึกผลของความสัมพันธ์ที่ได้เป็นดังรูปที่ ข.2 และ ข.3 ตามลำดับ



รูปที่ ข.2 ความสัมพันธ์ระหว่างความถี่ขาออกของวงจรรวมออสซิลเลเตอร์แบบวงแหวนกับค่าแรงดันไฟเลี้ยงของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง



รูปที่ ข.3 ความสัมพันธ์ระหว่างความถี่ขาออกของวงจรรวมออสซิลเลเตอร์แบบวงแหวนกับค่าแรงดันไฟเลี้ยงของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสขนานกับผิวผลึก

จากความสัมพันธ์พบว่าวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้งจะมีค่าความถี่ของสัญญาณขาออกของวงจรเพิ่มขึ้นมากกว่าการใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวขนานกับผิวผลึกมาสร้างเป็นวงจรรวมออสซิลเลเตอร์แบบวงแหวนร้อยละ 30

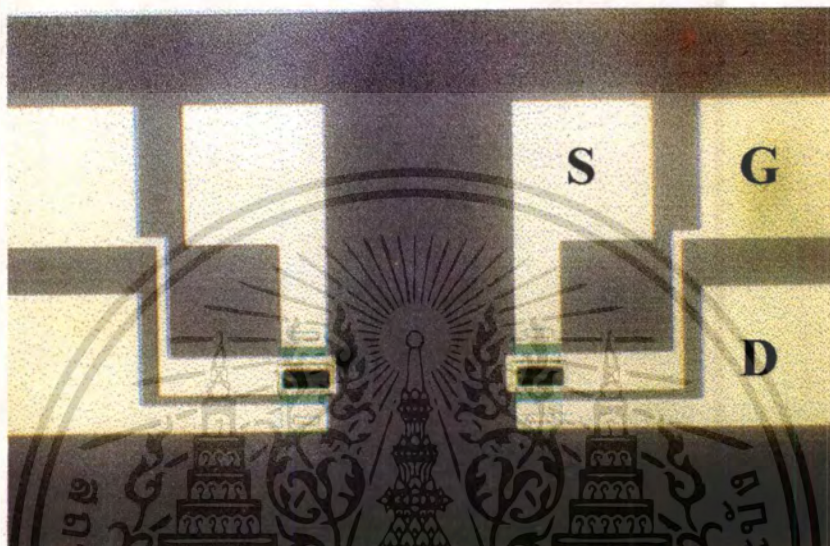
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง จึงมีความเหมาะสมที่จะนำไปประยุกต์ใช้งานในวงจรที่ต้องการการตอบสนองความถี่สูงได้เป็นอย่างดี แต่ผลของความสัมพันธ์พบว่าสิ่งที่ต้องทำการปรับปรุงคุณภาพของสัญญาณขาออกของวงจรคือระดับสัญญาณแรงดันขาออกของวงจรรอสซิลเลเตอร์แบบวงแหวนที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง จะมีค่าแรงดันออฟเซตสูงกว่าวงจรรอสซิลเลเตอร์แบบวงแหวนที่ใช้ทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนานกับผิวผลึก ซึ่งเกิดขึ้นเนื่องจากกระบวนการสกัดช่องทางเดินกระแสรูปวี โดยใช้สารละลาย KOH ที่มีความบริสุทธิ์เพียง 85 เปอร์เซ็นต์ ส่งผลให้เกิดประจุที่รอยต่อซิลิกอนไดออกไซด์กับซิลิกอน ซึ่งเป็นประจุที่ส่งผลต่อค่ากระแสรั่วของทรานซิสเตอร์รวมทั้งส่งผลให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละตัวเกิดการเปลี่ยนแปลงไป โดยแรงดันขีดเริ่ม PMOIS ที่มีโครงสร้างของช่องทางเดินกระแสในแนวตั้งจะมีค่าแรงดันขีดเริ่มสูงกว่า PMOIS ที่มีโครงสร้างของช่องทางเดินกระแสขนานกับผิวผลึก ดังนั้นประจุที่บริเวณรอยต่อซิลิกอนกับซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสควรจะเป็นประจุอิเล็กทรอนิกส์ ดังนั้นค่าแรงดันขีดเริ่มของการเกิดสัญญาณความถี่ของวงจรรอสซิลเลเตอร์แบบวงแหวนที่ใช้ทรานซิสเตอร์ที่มีช่องทางเดินกระแสในแนวตั้งจึงมีค่าสูงกว่าวงจรรอสซิลเลเตอร์แบบวงแหวนที่ใช้ทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนานกับผิวผลึก เนื่องจากจุดเริ่มต้นของการเกิดสัญญาณความถี่จะเริ่มเกิดขึ้นเมื่อค่าแรงดันไฟเลี้ยงซึ่งต่ออยู่ที่ขาของทรานซิสเตอร์ชนิด PMOIS มีค่าสูงกว่าค่าแรงดันขีดเริ่มจึงจะทำให้แรงดันขาออกของวงจรเริ่มการเปลี่ยนแปลง

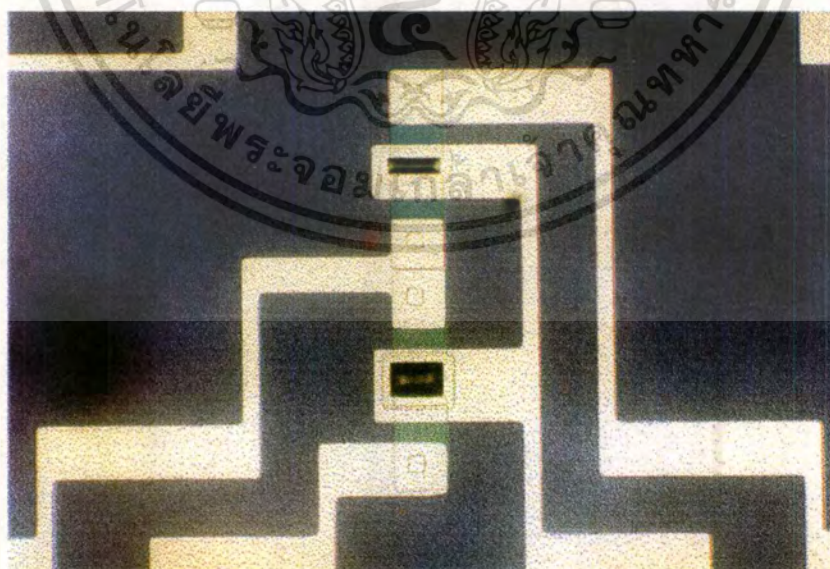
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ลวดลายวงจรที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้าง
ทรานซิสเตอร์แบบ CMOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

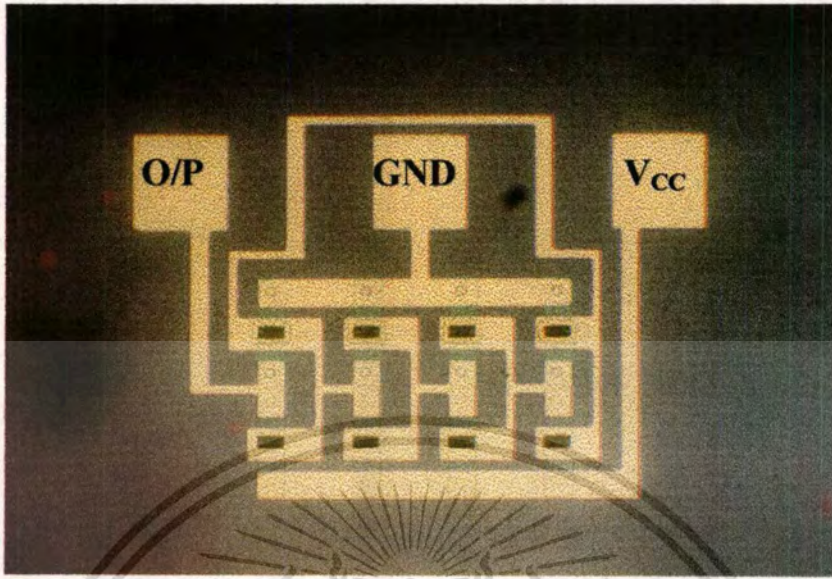


รูปที่ ก.1 ทรานซิสเตอร์โครงสร้างแบบ MOIS ที่มีช่องทางเดินกระแสในแนวตั้ง

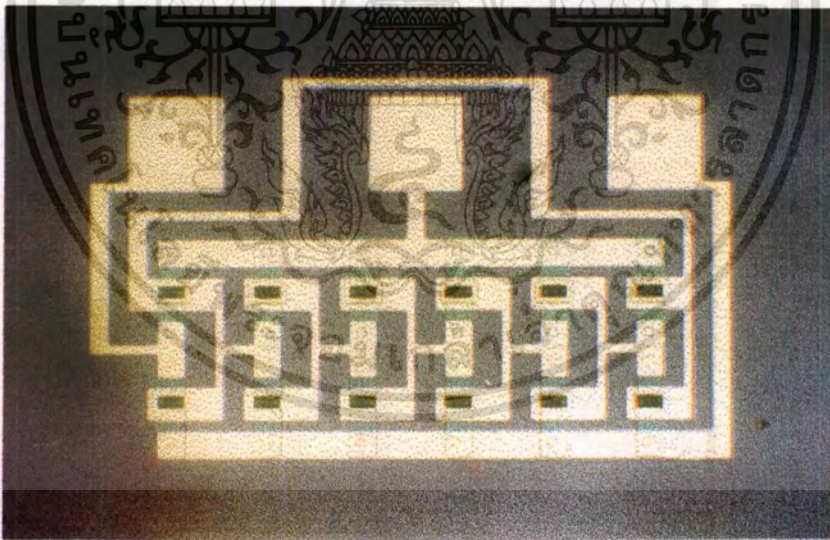


รูปที่ ก.2 ลายวงจรรวมอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

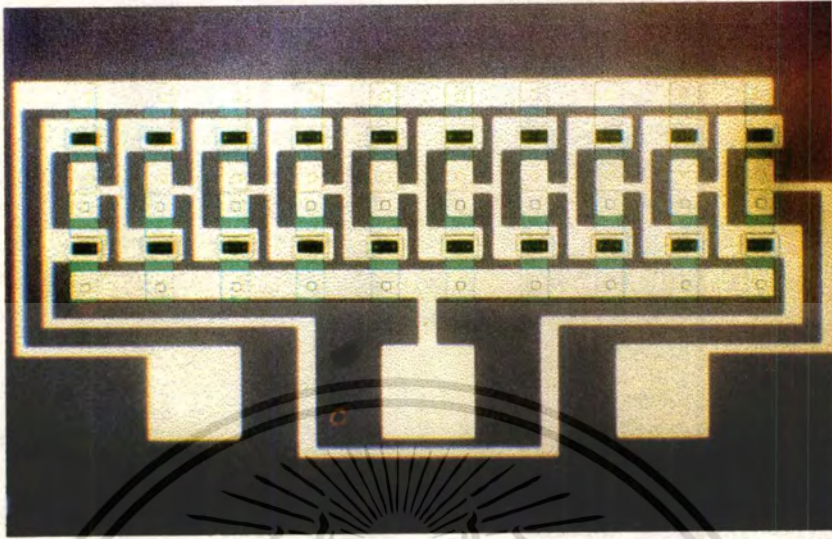


รูปที่ ค.3 ภาพถ่ายรวมของสวิตช์บอร์ดแบบวงแหวนที่มีจำนวนชุดของวงจรถืออินเวอร์เตอร์ 3 ชุด



รูปที่ ค.4 ภาพถ่ายรวมของสวิตช์บอร์ดแบบวงแหวนที่มีจำนวนชุดของวงจรถืออินเวอร์เตอร์ 5 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.5 ลายวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่มีจำนวนชุดของวงจรรีนาเวอร์เตอร์ 7 ชุด



รูปที่ ค.6 ลายวงจรรวมออสซิลเลเตอร์แบบวงแหวนที่มีจำนวนชุดของวงจรรีนาเวอร์เตอร์ 9 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

สัญลักษณ์

สัญลักษณ์	ความหมาย	หน่วย
C_{ox}	พิกัดความจุไฟฟ้าที่เกตออกไซด์	F/cm^2
d	ความหนาของช่องทางเดินกระแส	cm
E_c	ระดับพลังงานของแถบความนำ	eV
E_v	ระดับพลังงานของแถบวาเลนซ์	eV
E_{Fn}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็น	eV
E_{Fp}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดพี	eV
f	ตัวแปรผลของความยาวช่องทางเดินกระแสสั้น ๆ	-
g	ตัวแปรผลของความกว้างช่องทางเดินกระแสแคบ ๆ	-
I_{DS}	กระแสเดรนขอส	A
k'	ทรานคอนดัคแตนซ์ของกระบวนการสร้าง	AV^2
L	ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์	μm
L_{eff}	ค่าความยาวของช่องทางเดินกระแสที่แท้จริง	μm
N_c	ปริมาณประจุอิเล็กตรอนในชั้นความนำ	C
N_e	ปริมาณของประจุอิเล็กตรอน	C
N_h	ปริมาณของประจุโฮล	C
n_i	ปริมาณของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์	C
N_v	ปริมาณของประจุอิเล็กตรอนในชั้นวาเลนซ์	C
NM_H	ขอบเขตของสัญญาณรบกวนที่วงจรถนได้ขณะมีศักดาสูง	V
NM_L	ขอบเขตของสัญญาณรบกวนที่วงจรถนได้ขณะมีศักดาต่ำ	V
Q_i	จำนวนประจุในช่วงตีฟลีสซัน	C
Q_B	ค่าประจุในช่องทางเดินกระแสของทรานซิสเตอร์	C
q	ค่าประจุอิเล็กตรอน	C
R	ค่าความต้านทาน	ohm
T	อุณหภูมิสัมบูรณ์	K
T_p	ค่าเวลาหน่วงของวงจรถ	sec
T_{ox}	ค่าความหนาของชั้นฉนวนในบริเวณช่องทางเดินกระแส	\AA
D	ขนาดของช่องต้นแบบในการสร้างร่องวี	μm
V_{th}	ค่าแรงดันการเปลี่ยนสถานะของวงจรถ	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{OH}	ค่าแรงดันขาออกสถานะสูงของวงจร	V
V_{OL}	ค่าแรงดันขาออกสถานะต่ำของวงจร	V
V_{IH}	ค่าแรงดันขาเข้าสถานะสูงของวงจร	V
V_{IL}	ค่าแรงดันขาเข้าสถานะต่ำของวงจร	V
V_{IN}	ค่าแรงดันขาเข้าของวงจร	V
V_{OUT}	ค่าแรงดันขาออกของวงจร	V
V_{GS}	ค่าแรงดันเกตซอส	V
V_{DS}	ค่าแรงดันเดรนซอส	V
V_T	ค่าแรงดันขีดเริ่มของทรานซิสเตอร์	V
V_{FB}	ค่าแรงดันแตกต่างฟังก์ชันของซิลิกอนกับซิลิกอน	V
W	ค่าความกว้างของช่องทางเดินกระแส	μm
X_j	ค่าความลึกของรอยต่อสารกึ่งตัวนำ	μm
β	ค่าอัตราขยายของทรานซิสเตอร์	AV^2
ϵ_0	ค่าสภาพยอมของสูญญากาศ	F/cm
ϵ_{OX}	ค่าคงที่ไดอิเล็กตริกของฉนวนซิลิกอนไดออกไซด์	
ϵ_{Si}	ค่าคงที่ไดอิเล็กตริกของซิลิกอน	
μ_{nAu}	ความคล่องตัวของอิเล็กตรอนในซิลิกอนที่เติมอะตอมทองคำ	$\text{cm}^2/\text{V-sec}$
μ_{pAu}	ความคล่องตัวของโฮลในซิลิกอนที่เติมอะตอมทองคำ	$\text{cm}^2/\text{V-sec}$
ρ	สภาพความต้านทานของชั้นสาร	ohm-cm
σ	สภาพความนำไฟฟ้า	$(\text{ohm-cm})^{-1}$
φ_{Fe}	ความต่างศักรระหว่างระดับพลังงานอินทรินซิกกับระดับพลังงานเฟอร์มิที่อิเล็กตรอนอยู่	V
φ_{Fh}	ความต่างศักรระหว่างพลังงานอินทรินซิกกับพลังงานเฟอร์มิที่โฮลอยู่	V
λ	ตัวแปร channel length modulation	V^{-1}
γ	ตัวแปรผลกระทบของความกว้างช่องทางเดินกระแสที่น้อย ๆ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายสุภกัลย์ วัฒนการุณ เกิดเมื่อวันที่ 30 สิงหาคม 2517 สำเร็จการศึกษาระดับปริญญาตรี (ฟิสิกส์ประยุกต์) จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2538

ผลงานวิจัยที่ได้รับการตีพิมพ์ในวารสารทางวิชาการขณะกำลังศึกษามีดังนี้

- 1.) การออกแบบและการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปีวารสารวิจัยและพัฒนา มจร., ปีที่ 21, ฉบับที่ 1, มกราคม-มิถุนายน 2541. หน้า 33-46.
- 2.) ค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสรูปีของทรานซิสเตอร์โครงสร้างแบบ CMOIS วารสารฟิสิกส์ไทย, ปีที่ 15, ฉบับที่ 1, ธันวาคม 2540. หน้า 9-12.
- 3.) การวิเคราะห์ค่าความคล่องตัวของประจุพาหะในช่องทางเดินกระแสของทรานส์ดิวเซอร์โครงสร้าง MOIS วิศวกรรมลาดกระบัง, ปีที่ 14, ฉบับที่ 1, เมษายน 2541. หน้า 66-74.
- 4.) ผลค่าความยาวช่องทางเดินกระแสรูปีขนาดสั้นของทรานซิสเตอร์โครงสร้างแบบ CMOIS วารสารฟิสิกส์ไทย, ปีที่ 16, ฉบับที่ 1, กรกฎาคม 2541. หน้า 17-26.
- 5.) การออกแบบวงจรรวมอินเวอร์เตอร์ทางตรรกโดยใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปี วารสารสำนักงานคณะกรรมการวิจัยแห่งชาติ, ปีที่ 29, ฉบับที่ 1, มกราคม-มิถุนายน 2540. หน้า 79-90.
- 6.) วงจรกำเนิดความถี่แบบริง โครงสร้างทรานซิสเตอร์แบบ VCMOIS วิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1, มีนาคม 2542. หน้า 37-42.

ปัจจุบันเป็นอาจารย์ประจำภาควิชาฟิสิกส์ มหาวิทยาลัยเทคโนโลยีมหานคร กรุงเทพฯ