สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดทดลอง TDM-PCM

TDM-PCM DEMONSTRATOR

นายเด่นชัย สีวิชาสร้อย
นายไพศาล แซ่ลิ้ม
นายวิศักดิ์ บุญพรหมธีรกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน.....34005
วัน, เดือน, ปี.....27 ก.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลอง TDM-PCM

TDM-PCM DEMONSTRATOR

นายเด่นชัย สีวิชาสร้อย
นายไพศาล แซ่ลิ้ม
นายวิศักดิ์ บุญพรหมธีรกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ชุดทดลอง TDM-PCM
	TDM-PCM DEMONSTRATOR
ชื่อนักศึกษา	นาย เด่นชัย สีวิชาสร้อย
	นาย ไพศาล แซ่ลิ้ม
	นาย วิศักดิ์ บุญพรหมธีรกุล
อาจารย์ที่ปรึกษา	รศ. ดร. กนก เจนจิระพงศ์เวช
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์	3
1.2 ขอบเขตของโครงงาน	3
1.3 ประโยชน์ที่คาดว่าจะได้รับ	4
1.4 ข้อกำหนดของโครงงาน	4
1.5 ข้อดีของการสื่อสารระบบ PCM	4
1.6 ข้อเสียของการสื่อสารระบบ PCM	5
บทที่ 2 ทฤษฎีและหลักการของระบบ PCM	6
2.1 การมอดูเลตรหัสพัลส์ (Pulse Code Modulation)	6
2.2 การสุ่มตัวอย่าง (Sampling)	9
2.2.1 การสุ่มตัวอย่างธรรมชาติ (Natural Sampling)	9
2.2.2 การสุ่มตัวอย่างขณะหนึ่ง (Instantaneous Sampling)	10
2.2.3 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing Distortion)	12
2.2.4 การพราเพี้ยนเกิดจากการสอดแทรก(Interpolation Distortion)	12
2.3 การจัดระดับ (Quantization)	13
2.4 คอมแพนดิ้ง (Companding)	14
2.5 การเข้ารหัส (Coding)	19
2.6 การมัลติเพลกซ์และการซิงโครไนซ์(Multiplex and Synchronization)	20
2.6.1 บิทซิงโครไนเซชั่น (Bit Synchronization)	20
2.6.2 เฟรมซิงโครไนเซชั่น (Frame Synchronuzation)	22
2.6.3 เฟรมอะไลน์เมนท์ (Frame Alignment)	23
2.6.4 การค้นหาเฟรมอะไลน์เมนท์ (Frame Alignment Searching)	23
2.7 วิธีการซิงโครไนซ์ในระบบดิจิตอลมัลติเพลกซ์	26
2.7.1 การซิงโครไนซโครงข่าย (Network Synchrinization)	26
2.7.2 การซิงโครไนซ์วิธีสตัฟพัลส์ (Stuffed-Pulse Synchronization)	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
2.8 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)	28
2.9 เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (Regenerative Repeater)	29
2.10 ระบบ PCM ขั้นแรก (First Order PCM System)	31
2.11 การส่งสัญญาณดิจิตอลที่ใช้คลื่นพาห์	33
บทที่ 3 หลักการทำงานของเครื่องส่ง - รับระบบ TDM-PDM	37
3.1 หลักการทำงานของเครื่องส่ง	37
3.1.1 Sign Determinator	41
3.1.2 Staircase Generator	42
3.1.3 Parallel to Serial Converter	42
3.1.4 Timing Circuits	43
3.1.5 Synch. Word Generation	45
3.2 หลักการทำงานของเครื่องรับ	46
3.2.1 Serial to Parallel Converter	46
3.2.2 Digital to Analog Converter	46
3.2.3 Low Pass Filter	47
3.2.4 Timing Diagram	48
3.2.5 Synch. Word Detection	49
บทที่ 4 วงจรและผลการทดลอง	51
4.1 วงจร	51
- ชุดสาธิต A	51
- ชุดสาธิต B	54
- ชุดสาธิต C	56
- ชุดสาธิต D	58
- ชุดสาธิต E	60
- ชุดสาธิต F	62
4.2 การต่อวงจร TDM-PCM Mod และ TDM-PCM Demod	64
บทที่ 5 บทสรุป	89
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

เรื่อง	หน้า
รูปที่ 1.1 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM	1
รูปที่ 1.2 หลักการเบื้องต้นของระบบ TDM-PCM	2
รูปที่ 2.1 ระบบพีซีเอ็ม	7
รูปที่ 2.2 ขบวนการเปลี่ยนสัญญาณในระบบ PCM	8
รูปที่ 2.3 การสุ่มตัวอย่าง (Sampling)	9
รูปที่ 2.4 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Natural Sampling	10
รูปที่ 2.5 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Flat-Flop Sampling	11
รูปที่ 2.6 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน	12
รูปที่ 2.7 การพร่าเพี้ยนเกิดจากการสสอดแทรก	13
รูปที่ 2.8 การจัดระดับ	15
รูปที่ 2.9 การควอนไทซ์และควอยไทซิ่งนอยซ์	16
รูปที่ 2.10 คุณลักษณะการจัดระดับด้วยคอมเพรสชั่นและเอกซ์แพนเดอร์	16
รูปที่ 2.11 คุณลักษณะคอมเพรสชั่นของไดโอด	16
รูปที่ 2.12 แบบอย่างคุณลักษณะของคอมเพรสชั่น	17
รูปที่ 2.13 คุณลักษณะของคอมแพนดิ้งเมื่อ A = 87.6	17
รูปที่ 2.14 ความสัมพันธ์ระหว่างระดับอินพุตต่อ S/N_Q เมื่อใช้คอมแพนดิ้งวิธีต่างๆ	18
รูปที่ 2.15 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)	19
รูปที่ 2.16 การเข้ารหัส (coding)	19
รูปที่ 2.17 หลักการเบื้องต้น TDM-PCM	21
รูปที่ 2.18 สวิทช์หมุนจะหมุนไปพร้อมกันเพื่อต่อสายให้กับช่องสัญญาณด้านส่งและด้านรับตรงช่องกัน	21
รูปที่ 2.19 บิทซิงโครไนเซชั่น	22
รูปที่ 2.20 เฟรมซิงโครไนเซชั่นกระทำได้โดยใส่เฟรมอะไลน์เมนท์พัลส์เพื่อกำหนดตำแหน่งเริ่มต้นของเฟรม	22
รูปที่ 2.21 เฟรมอะไลน์เมนท์ของระบบ PCM-30	24
รูปที่ 2.22 กระบวนการค้นหาเฟรมอะไลน์เมนท์	25
รูปที่ 2.23 ชนิดของการซิงโครไนซ์เครือข่าย	26
รูปที่ 2.24 การซิงโครไนซ์วิธีสตัฟพัลส์	28
รูปที่ 2.25 Block Diagram ของ Regenerative Repeater	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
รูปที่ 2.26 Waveshape ใน Regenerative Repeater	30
รูปที่ 2.27 โครงสร้างของ 30 Voice Channel PCM Multiplex	32
รูปที่ 2.28 โครงสร้างของ 24 Voice Channel PCM Multiplex	33
รูปที่ 2.29 สัญญาณเบสแบนด์ดิจิตอล	34
รูปที่ 2.30 เปรียบเทียบวิธีการมอดูเลตแบบดิจิตอลและแอนะลอก	34
รูปที่ 2.31 Amplitude Shift Keying	35
รูปที่ 2.32 Frequency Shift Keying	36
รูปที่ 2.33 Phase Shift Keying	36
รูปที่ 3.1 แสดงถึงบล็อกไดอะแกรมของ TDM-PCM Modulation	37
รูปที่ 3.2 บล็อกไดอะแกรมของ TDM-PCM ที่ใช้ในโครงงาน	38
รูปที่ 3.3 การมัลติเพลกซ์สัญญาณ 2 ช่อง พร้อมด้วยการาสุ่มตัวอย่าง	38
รูปที่ 3.4 แสดงถึงวงจร TDM-PCM Multiplex และ Modulation	39
รูปที่ 3.5 ไดอะแกรมของ สัญญาณเวลา John Decade	40
รูปที่ 3.6 เป็นการแสดงรูปคลื่นในระบบดิจิตอลที่เป็นแบบขั้นบันได ของการแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอล	40
รูปที่ 3.7 แสดงถึงวงจร Sign Determinator	41
รูปที่ 3.8 แสดงถึงวงจร Staircase Genarator	42
รูปที่ 3.9 แสดงถึงวงจร Parallel to Serial Convertor	42
รูปที่ 3.10 แสดงถึง Timing Diagram ของ TDM-PCM Modulator	43
รูปที่ 3.11 แสดงถึง Oscillator ที่ผลิตสัญญาณ Square Wave ความถี่ 320 kH_z	44
รูปที่ 3.12 แสดงถึงวงจรหารความถี่	45
รูปที่ 3.13 แสดงถึงวงจรสร้างสัญญาณซิงโครไนซ์	45
รูปที่ 3.14 แสดงถึงบล็อกไดอะแกรม ของ TDM-PCM Demodulator	46
รูปที่ 3.15 แสดงถึงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก	47
รูปที่ 3.16 แสดงถึงวงจร Low Pass Filter แบบ Butterworth	47
รูปที่ 3.17 แสดงถึงการต่อวงจร Latch ใน TDM-PCM Demodulator	48
รูปที่ 3.18 แสดงถึง Timing Diagram ของ TDM-PCM Demodulator	48
รูปที่ 3.19 แสดงถึงวงจร Latch Counter	49
รูปที่ 3.20 แสดงถึงวงจร Synch. Word Detection	49
รูปที่ 3.21 แสดงถึงวงจร Detection Circuit	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
รูปที่ 3.22 แสดงถึงวงจร TDM-PCM Demultiplexer และ Demodulator	50
รูปที่ 4.1 แสดงวงจร Clock Generator และ Shift Register	52
รูปที่ 4.2 แสดงวงจร Switch, Low Pass Filter. Data Decoder, Manual Clock and S/N Seperator	53
รูปที่ 4.3 แสดงวงจร Modulation Timing Counter	53
รูปที่ 4.4 แสดงวงจร Sampling Rate Pulse	54
รูปที่ 4.5แสดงวงจร Data Encoder	55
รูปที่ 4.6 Demodulator Timing Counter	56
รูปที่ 4.7 แสดงวงจร Mod-8 Counter, Mod-4 Counter, Synch. Indicator และMonostable รูปที่ 4.8 แสดงวงจร Gate และ Shift Register	57
รูปที่ 4.8 แสดงวงจร Gate และ Shift Register	57
รูปที่ 4.9 แสดงวงจร PCM Mode, 7 Stage Shift Register และStaircase Generator	58
รูปที่ 4.10 แสดงวงจร Amplifier และ Comparator	59
รูปที่ 4.11 แสดงวงจร Binary Counter และ Parallel to Serial Converter	60
รูปที่ 4.12 แสดงวงจร AND Gate, Not Gate และ Nor Gate	61
รูปที่ 4.13 แสดงวงจร Switch และ Amplifier	62
รูปที่ 4.14 แสดงวงจร BCD-Decimal Converter และ Current Source	63
รูปที่ 4.15 แสดงวงจร Serial to Parallel Converter และ Latch	63
รูปที่ 4.16 แสดงวงจร TDM-PCM Multiplex and Modulation	64
รูปที่ 4.17 แสดงวงจร TDM-PCM Demultiplex และ Demodulation	65
รูปที่ 4.18 แสดงผลการวัดที่อินพุต	66
รูปที่ 4.19 แสดงผลการวัดที่ภาค Multiplexing	67
รูปที่ 4.20 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter	68
รูปที่ 4.21 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter	69
รูปที่ 4.22 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter	70
รูปที่ 4.23 แสดงผลการวัดที่ภาค TDM-PCM Modulation Timing	71
รูปที่ 4.24 แสดงผลการวัดที่ภาค TDM-PCM Modulation Timing	72
รูปที่ 4.25 แสดงผลการวัดที่ภาค Synch. Word Detector	73
รูปที่ 4.26 แสดงผลการวัดที่ภาค Synch. Word Detector	74
รูปที่ 4.27 แสดงผลการวัดที่ภาค Synch. Word Detector	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
รูปที่ 4.28 แสดงผลการวัดที่ภาค Synch. Word Detector	85
รูปที่ 4.29 แสดงผลการวัดที่ภาค Timing Counter	86
รูปที่ 4.30 แสดงผลการวัดที่ภาค Staircase Generator ที่ Determinator Circuit	87
รูปที่ 4.31 แสดงผลการวัดที่ภาค Binary Counter	88
รูปที่ 4.32 แสดงผลการวัดค่าที่ภาค Binary Counter	89
รูปที่ 4.33 แสดงผลการวัดที่ภาค Parallel to Serial Converter	90
รูปที่ 4.34 แสดงผลการวัดเปรียบเทียบ Input และ Output	91
รูปที่ 4.35 แสดงผลการวัดที่ Shift Register	92
รูปที่ 4.36 แสดงผลการวัดที่ภาค Demodulation ที่ Serial to parallel Converter	93
รูปที่ 4.37 แสดงผลการวัดค่าที่ภาค Demodulation ที่ Latch	94
รูปที่ 4.38 แสดงผลการวัดค่าที่ภาค Demodulation ที่ BCD-Decimal	95
รูปที่ 4.39 แสดงผลการวัดค่าที่ภาค Demodulation ที่ Output ของ Current Source	96
รูปที่ 4.40 แสดงผลการวัดที่ Input	97
รูปที่ 4.41 แสดงผลการวัดที่ Output	98
รูปที่ 4.42 แสดงผลการวัดที่ Output	99
รูปที่ 5.1 แสดงภาพจริงของเครื่อง TDM-PCM ภาคส่ง	102
รูปที่ 5.2 แสดงภาพจริงของเครื่อง TDM-PCM ภาครับ	103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลอง TDM-PCM

โดย นาย เด่นชัย สีวิชาสร้อย
นาย ไพศาล แซ่ลิ้ม
นาย วิศักดิ์ บุญพรหมธีรกุล
อาจารย์ที่ปรึกษา รศ. ดร. กนก เจนจิระพงศ์เวช
ปีการศึกษา 2541

บทคัดย่อ

โครงงานนี้เป็นการสร้างเครื่องส่ง-เครื่องรับ TDM-PCM (TDM-PCM transmitter and receiver) โดยอยู่ในรูปของชุดทดลอง เพื่อเป็นการศึกษาระบบสื่อสารแบบดิจิตอลที่สามารถส่งสัญญาณพร้อมๆ กันได้หลายช่อง ในระบบ PCM นี้จะส่งสัญญาณแบบดิจิตอลจึงเกิดการผิดเพี้ยนของสัญญาณน้อยกว่าการส่งสัญญาณแบบแอนะลอก(analog communication) ความผิดเพี้ยนที่เกิดขึ้นได้ เช่น ความผิดเพี้ยนในการจัดระดับ (quantizing error) เป็นต้น หลักการของ TDM-PCM คือ ข่าวสาร (massage) ที่ต้องการส่งในแต่ละช่อง ซึ่งเป็นสัญญาณแอนะลอก (analog signal) จะถูกมัลติเพลกซ์ (Multiplex) รวมเป็นช่องเดียวจากนั้นทำการสุ่มตัวอย่าง (sampling) , จัดระดับ (quantizing) , เข้ารหัส (encoding) และใส่สัญญาณซิงค์ (synch. word) จากนั้นจะทำการส่งออกไปแบบอนุกรม (serial) ทางภาครับก็จะแยกสัญญาณซิงค์ออกและทำการถอดรหัส (decoding) จากนั้นทำการดีมัลติเพลกซ์ (Demultiplex) เพื่อแยกสัญญาณแต่ละช่องออกมา ดังนั้นจึงได้สัญญาณเอาต์พุตจากภาครับที่เป็นสัญญาณแอนะลอก (analog output signal) ในรูปแบบที่ใกล้เคียงกับสัญญาณแอนะลอกที่ส่งมา (original analog signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDM-PCM DEMONSTRATOR

BY MR. DENCHAI SEVICHASOI
MR. PHAISAN SAELIM
MR. WISAK BOONPROMTHIRAKUL

ADVISOR Associate. Prof. Dr. KANOK JENJIRAPONGVEJ
YEAR 1998

ABSTRACT

This project describes the Time Division Multiplex-Pulse Code Modulation (TDM-PCM) for both transmitter and receiver for demonstrator purposed. As it is known that the digital communication system with multi-channel transmission system, the PCM has more stability and less Quantizing error than does the analog transmission system. The PCM system play an important role in various telecommunication applications such as voice and video transmission.

The basic principle of TDM-PCM produce consist of multiplexing massage , sampling , quantizing , encoding with synch.word added before transmitted. At the receiver side , PCM signalling is converted into PAM and demultiplexed and pass throught the low pass filter. The experimental results are quite agree with the theorical results.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดี โดยการร่วมมือจากเพื่อนสมาชิกในกลุ่มและได้รับการแนะนำจากอาจารย์ที่ปรึกษาทางด้านข้อมูลตลอดจนแนวความคิดต่างๆเสมอมา

ขอขอบพระคุณ รศ. ดร. กนก เจนจิระพงศ์เวช ซึ่งเป็นอาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำรายละเอียดและขอบเขตของโครงงาน ตลอดจนการให้ความเอื้อเฟื้อเครื่องมืออุปกรณ์และห้องปฏิบัติการในการทำโครงงานครั้งนี้ด้วย

ขอขอบคุณ นาวาอากาศโท วิโรจน์ แก้วจันทร์ ที่ให้คำแนะนำปรึกษาเกี่ยวกับวงจรและที่จะลืมเสียมิได้คือ บิดา มารดา พี่ น้องและเพื่อนๆทุกคนที่คอยให้กำลังใจเสมอมา จึงขอขอบคุณมา ณ โอกาสนี้ด้วย

นาย เด่นชัย สีวิชาสร้อย
นาย ไพศาล แซ่ลิ้ม
นาย วิศักดิ์ บุญพรหมธีรกุล

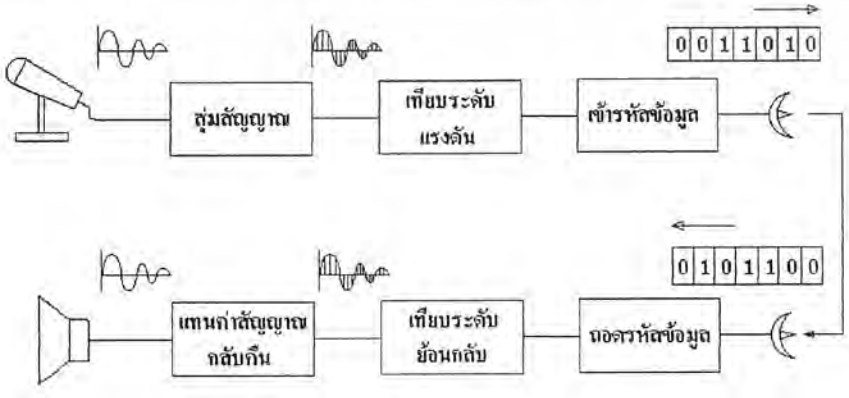
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบการสื่อสารโทรคมนาคมโดยเฉพาะอย่างยิ่งสำหรับการสื่อสารข้อมูล การเลือกรูปแบบการส่งที่สามารถรองรับปริมาณข้อมูลจำนวนมาก จากหลายแหล่งข้อมูลนับเป็นการประหยัดในแง่การลงทุนอย่างดียิ่ง ในปัจจุบันวิธีการส่งข้อมูลแบบดิจิตอลมัลติเพลกซิ่ง นับเป็นวิธีที่ได้รับการนิยมอย่างมากทั่วโลก

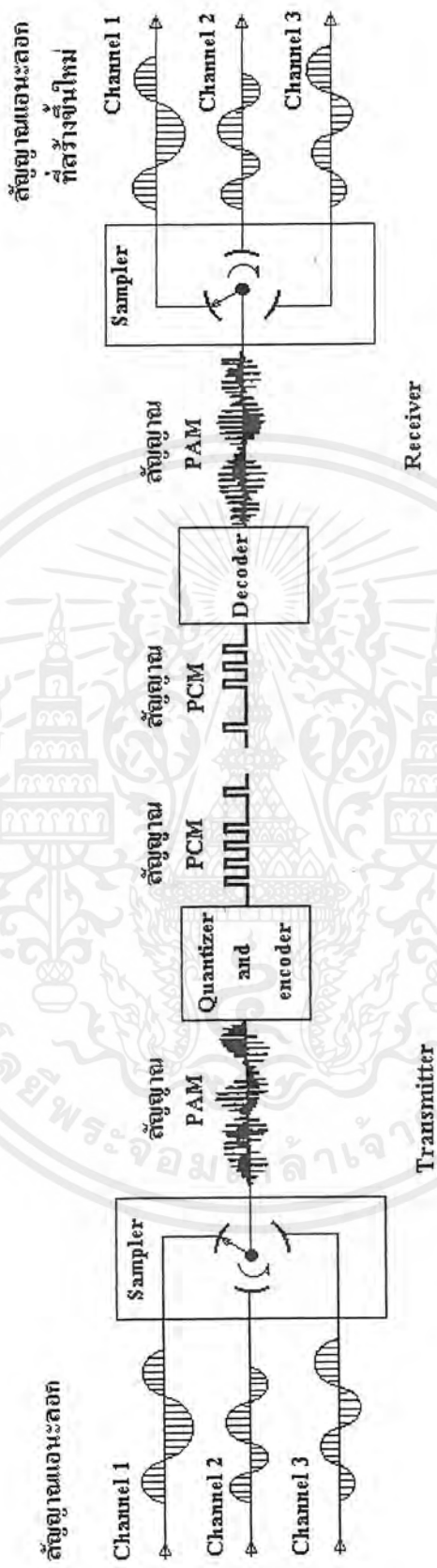
พีซีเอ็ม (PCM) เป็นชื่อย่อของ Pulse Code Modulation คิดค้นโดย Sir Alec Reeves ในปี 1939 ซึ่งเป็นการส่งสัญญาณแอนะลอก โดยเปลี่ยนให้อยู่ในรูปของข้อมูลดิจิตอล ที่ถูกเข้ารหัสอยู่ผ่านเครือข่ายสื่อสารระบบดิจิตอล ข้อดีของการส่งข้อมูลในรูปดิจิตอล คือการป้องกันการรบกวนจากสภาพแวดล้อม ทั้งนี้เนื่องจากสัญญาณดิจิตอลเป็นสัญญาณที่มีระดับของแรงดันเพียง 2 สถานะ คือ สูง (High) และต่ำ (Low) เท่านั้น และยังสามารถลดปัญหาการผิดเพี้ยนของรูปร่างของสัญญาณที่เกิดขึ้นระหว่างการส่งได้ ทั้งที่เกิดจากการลดทอนสัญญาณตามระยะทาง ที่เกิดจากสัญญาณรบกวน ซึ่งจะถูกแก้ไขเมื่อถึงเครื่องรับปลายทาง โดยใช้การเปรียบเทียบค่าระดับแรงดันของสัญญาณที่มาถึงปลายทางกับระดับแรงดันเทรชโฮลด์ (Threshold Voltage) หากแรงดันที่ได้รับมาค่าสูงกว่าแรงดันเทรชโฮลด์เครื่องรับจะกำหนดให้เป็นลอจิกสูง และในทางตรงกันข้ามเครื่องรับก็จะกำหนดให้สัญญาณที่ได้รับเป็นลอจิกต่ำ หากมีระดับสัญญาณต่ำกว่าเทรชโฮลด์

การเปลี่ยนสัญญาณแอนะลอกให้เป็นข้อมูลพีซีเอ็มประกอบไปด้วย 3 กระบวนการหลักๆ คือ การสุ่มตัวอย่าง (Sampling) การเทียบระดับแรงดัน (Quantization) และการเข้ารหัสข้อมูล (Encoding) หลังจากนั้นจึงทำการส่งข้อมูลผ่านเครือข่าย และเมื่อข้อมูลดังกล่าวไปถึงปลายทางก็จะผ่านกระบวนการย้อนกลับ (Decoding) การเทียบระดับแรงดันย้อนกลับ และการแทนค่าสัญญาณกลับคืน (Recovering) ซึ่งกระบวนการทั้งหมดแสดงดังในรูปที่ 1.1



รูปที่ 1.1 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 หลักการเบื้องต้นของระบบ TDM-PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรวมสัญญาณชนิดเดียวกันจำนวนหลายๆ วงจร หรือหลายๆ ช่องให้สามารถส่งผ่านตัวกลางได้พร้อมกันโดยปราศจากการรบกวนซึ่งกันและกันนั้น เราเรียกว่า การมัลติเพลกซ์ (Multiplexing Technique) วิธีการมัลติเพลกซ์ซึ่งนิยมใช้กันมาก่อนคือ การมัลติเพลกซ์แบบแบ่งความถี่ (Frequency Division Multiplex) กล่าวคือเป็นการรวมสัญญาณชนิดเดียวกันหลายๆ สัญญาณด้วยวิธีแบ่งความถี่กัน แต่หลักการของพัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation) นั้นจะใช้กรรมวิธีของการมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplex) กล่าวคือเราจะทำการแบ่งเวลาออกเป็นช่องเวลา (Time Slot) และกำหนดช่องเวลาหนึ่งๆ สำหรับสัญญาณแต่ละวงจรที่ต้องการรวมกัน การรวมสัญญาณชนิดเดียวกันหลายๆ วงจรหรือหลายๆ ช่องด้วยวิธีแบ่งเวลากันและจัดการส่งด้วยวิธีการส่งของ Pulse Code Modulation (PCM) เราเรียกว่าระบบ Time Division Multiplex-Pulse Code Modulation (TDM-PCM) หลักการเบื้องต้นของระบบ TDM-PCM แสดงดังในรูปที่ 1.2

1.1 <u>วัตถุประสงค์ของโครงงาน</u>

1. เพื่อศึกษาถึงขั้นตอนการสื่อสารแบบดิจิตอล (Digital Communication) ในระบบพัลส์โค้ดมอดูเลชั่น (PCM)
2. เพื่อเป็นแนวทางในการออกแบบและสร้างการสื่อสารแบบหลายช่องโดยใช้การมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplexing)
3. เพื่อศึกษาถึงวิธีการทางด้านส่งและด้านรับของการสื่อสารร่วมกันระหว่างระบบพัลส์โค้ดมอดูเลชั่น และการมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplexing)

1.2 <u>ขอบเขตของโครงงาน</u>

ทางด้านเครื่องส่ง สามารถที่จะมัลติเพลกซ์สัญญาณแอนะลอกได้ 2 ช่อง โดยใช้การมัลติเพลกซ์แบบแบ่งเวลาและเปลี่ยนสัญญาณแอนะลอกให้เป็นสัญญาณดิจิตอล โดยใช้ระบบพัลซ์โค้ดมอดูเลชั่น ทำการส่งแบบ 4 บิท โดย 1 บิทจะเป็นบิทที่แสดงถึงค่าของสัญญาณว่าเป็นค่าบวกหรือค่าลบ ส่วนอีก 3 บิทจะเป็นค่าบอกขนาดสัญญาณที่นำไปเปรียบเทียบกับระดับขั้นบันได (Staircase Generator) ซึ่งมี 7 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านเครื่องรับ จะทำวงจรดีมอดูเลเตอร์เพื่อทำหน้าที่แปลงข้อมูลที่ส่งมาแบบดิจิตอลให้เป็นสัญญาณแอนะลอกหรือสัญญาณข่าวสารตามที่ได้ส่งมาจากเครื่องส่งและทำการดีมัลติเพลกซ์เพื่อให้ได้สัญญาณ 2 ช่องตามเดิม

1.3 ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำไปใช้ในการศึกษาการสื่อสารแบบดิจิตอล (Digital Communication)
2. เป็นพื้นฐานของเครื่องส่ง - เครื่องรับแบบ TDM-PCM
3. เป็นต้นแบบเพื่อการขยายไปสู่ระบบ TDM-PCM แบบหลายช่อง (Multi - Channel)
4. เป็นต้นแบบเพื่อการขยายไปสู่การสื่อสารระยะไกล

1.4 ข้อกำหนดของโครงงาน

1. ใช้อุปกรณ์ที่สามารถหาซื้อได้ง่าย
2. สร้าง ประกอบและซ่อมแซมในภายหลังได้
3. ใช้งานได้สะดวกและง่าย
4. มีความละเอียดและความแม่นยำพอสมควร

1.5 ข้อดีของการสื่อสารระบบ PCM

1. ในการสื่อสารระยะทางไกลๆ สัญญาณ PCM สามารถที่จะถูกทวนให้สมบูรณ์ได้ในระหว่างทางโดยใช้ตัวทวนสัญญาณ (Repeater) เพราะสิ่งที่ถูกส่ง (Information) จะอยู่ในรูปของรหัส (Code) สัญญาณรบกวนในการส่ง (Transmission) จะไม่มีผลและไม่มีการสะสมมากขึ้นเพราะถูกกำจัดออกไปโดยตัวทวนสัญญาณ (Repeater) ที่อยู่ถัดกันไประหว่างทาง
2. วงจรมอดูเลชั่น (Modulation and Demodulation Circuit) ล้วนแต่เป็นดิจิตอล ดังนั้นจึงมีความเชื่อถือได้ (Reliability) และเสถียรภาพสูงและยังสามารถออกแบบโดยใช้ไอซี (Integrated Circuit) ได้โดย ง่าย
3. ที่เอาต์พุตจะมีค่า S/N (Signal to Noise Ratio) ดีกว่าการใช้แอนะลอกมอดูเลชั่น
4. สัญญาณสามารถจะถูกเก็บไว้ได้อย่างมีประสิทธิภาพ เช่น บนดาวเทียม ข้อมูล PCM จะถูกกำเนิดขึ้นมาทีละหนึ่งครั้งตลอดช่วงเวลา 90 นาที แล้วจึงทำการส่งลงมายังภาคพื้นดินครั้งหนึ่งโดยใช้เวลาเพียงไม่กี่วินาที
5. การใช้รหัสที่มีประสิทธิภาพสามารถลดความฟุ่มเฟือยในข่าวสารได้
6. สามารถที่จะส่งโดยใช้เส้นใยนำแสงหรือส่งในท่อ Waveguideก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. สะดวกในการใช้อิเล็กทรอนิกส์สวิทชิ่ง (Electronic Switching) สำหรับสัญญาณดิจิตอล (Digital Signal) เพื่อเลือกกลุ่มสัญญาณ (Group of Digit) ลักษณะนี้เรียกว่า "Packet Switching"

1.6 ข้อเสียของการสื่อสารระบบ PCM

PCM เป็นการสื่อสารแบบดิจิตอล (Digital Communication) จึงมีข้อเสียดังนี้

1. ต้องการช่องความถี่ (Bandwidth) ที่กว้าง เช่น Audio channel ปกติต้องใช้ Analog Bandwidth 4 KH_z แต่ในระบบ PCM (ในโครงงานนี้) ต้องการถึง 32 KH_z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

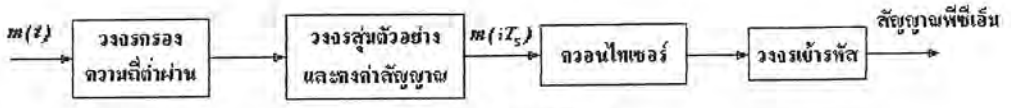
บทที่ 2
ทฤษฎีและหลักการของระบบ PCM

2.1 การมอดูเลตรหัสพัลส์

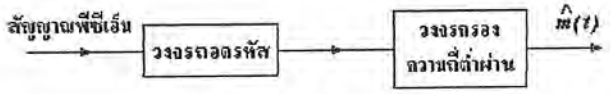
การมอดูเลตรหัสพัลส์ (Pulse Code Modulation) นิยมเรียกย่อว่า พีซีเอ็ม (PCM) เป็นการมอดูเลตที่ให้สัญญาณลัพธ์ออกมาเป็นสัญญาณดิจิตอลโดยสมบูรณ์ จึงได้รับความนิยมใช้กันมาก ในปัจจุบันระบบดิจิตอลมีความน่าใช้กว่าระบบแอนะลอกก็เพราะว่าสัญญาณดิจิตอลมีภูมิต้านทานต่อสัญญาณรบกวนและความผิดเพี้ยนที่ดีกว่า ข้อได้เปรียบที่สุดของระบบดิจิตอล ก็คือ สามารถที่จะใช้ **เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (Regenerative Repeater)** ได้ จึงทำให้ไม่เกิดการสะสมความผิดเพี้ยนขึ้นในระบบสื่อสารนั้น ทำให้สามารถส่งข้อมูลได้ตลอดระยะทางไกลด้วยความถูกต้องสูง ซึ่งในระบบแอนาลอกไม่มีวิธีที่จะหลีกเลี่ยงการสะสมของสัญญาณรบกวนและความผิดเพี้ยนที่เกิดขึ้นได้เลย ทำให้เกิดการสะสมความผิดเพี้ยนของสัญญาณมากขึ้นในการสื่อสารระยะทางไกล จึงทำให้คุณภาพของสัญญาณเลวลง

ในระบบพีซีเอ็มจะทำการแปลงสัญญาณแอนะลอกสู่สัญญาณดิจิตอลโดยกระบวนการสำคัญ 3 กระบวนการ คือการสุ่มตัวอย่าง (Sampling) การเทียบระดับแรงดัน (Quantization) และการเข้ารหัสข้อมูล (Encoding) ในลำดับแรกสัญญาณแอนะลอกจะถูกสุ่มตัวอย่างตามทฤษฎีการสุ่มตัวอย่างที่ช่วงเวลาห่างเท่าๆ กัน และจะนำค่าตัวอย่างนั้นไปประมาณเข้ากับระดับสัญญาณที่ใกล้เคียงที่สุดในระดับที่จัดเตรียมไว้แล้ว n ระดับที่อยู่ห่างกันแบบดิสครีต (สัญญาณที่สุ่มตัวอย่างออกมานั้นเกิดที่เวลาห่างกันเป็นห้วงๆ ไม่ติดต่อกัน เรียกว่า สัญญาณดิสครีต) ที่เรียกว่า การเทียบระดับแรงดัน (Quantization Level) กระบวนการประมาณค่าจัดแบ่งระดับสัญญาณเช่นนี้ เรียกว่า **การควอนไทซ์ (Quantize)** สัญญาณ จากนั้นก็จะเป็นการเข้ารหัสให้กับสัญญาณที่ได้รับการควอนไทซ์ มาแล้วให้เป็นรหัสดิจิตอล ซึ่งโดยทั่วไปแล้วจะเป็นรหัสไบนารี และรหัสดิจิตอลนี้ ก็จะถูกแทนด้วยพัลส์ที่มีรูปแบบแน่นอน เพื่อใช้ส่งผ่านช่องสื่อสารต่อไป รูประบบพีซีเอ็ม โดยสังเขปมีดังแสดงในรูป 2.1 ซึ่งมีขั้นตอนที่สรุป อธิบายได้เป็นข้อๆ ดังต่อไปนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ระบบส่งสัญญาณพีซีเอ็ม



(ข) ระบบรับสัญญาณพีซีเอ็ม

รูปที่ 2.1 ระบบพีซีเอ็ม

1) สัญญาณแอนะลอกอินพุต m(t) จะถูกกรองด้วยวงจรกรองความถี่ต่ำ เพื่อขจัดองค์ประกอบของสัญญาณที่มีความสูงกว่า f_m เฮิรตซ์ ที่เกินความจำเป็นในการสื่อสารออก เพื่อป้องกันการเกิดเอเลียซิง (Aliasing) อันอาจจะมีเกิดขึ้นได้ในกระบวนการสุ่มตัวอย่างสัญญาณ

2) สัญญาณที่มีย่านความถี่จำกัดที่ได้จากขั้นตอน (1) จะถูกสุ่มตัวอย่างด้วยอัตราความถี่ f_s โดยเงื่อนไข $f_s \geq 2f_m$

3) ค่าตัวอย่างสัญญาณ $m(iT_s)$, ($i = 0, \pm1, \pm2, \ldots$) จะถูกรักษาระดับในวงจรสุ่มตัวอย่างและคงค่าระดับสัญญาณในระหว่างช่วงสัญญาณ $T_s = 1/f_s$

4) ในช่วงเวลา T_s ที่วงจรสุ่มตัวอย่างและคงค่าระดับสัญญาณ ทำการรักษาค่าระดับของค่าสัญญาณตัวอย่างอยู่นี้ วงจรทำควอนไทซ์ ซึ่งเรียกว่าควอนไทเซอร์ (Quantizer) นั้นก็จะทำการแปลงค่าระดับของค่าตัวอย่างสัญญาณ ซึ่งเป็นค่าเชิงแอนะลอกให้เป็นค่าระดับเชิงดิสครีต ในกระบวนการนี้อาจเกิดความแตกต่างของค่าเชิงแอนะลอกและเชิงดิสครีตบ้าง ค่าความคลาดเคลื่อนนี้จะมีค่าลดลง หากระดับดิสครีตของควอนไทซ์มีจำนวนเพิ่มขึ้น สัญญาณที่มีค่าเฉพาะเท่ากับระดับเชิงดิสครีต หรือระดับการควอนไทซ์นี้ เรียกว่าสัญญาณดิจิตอล

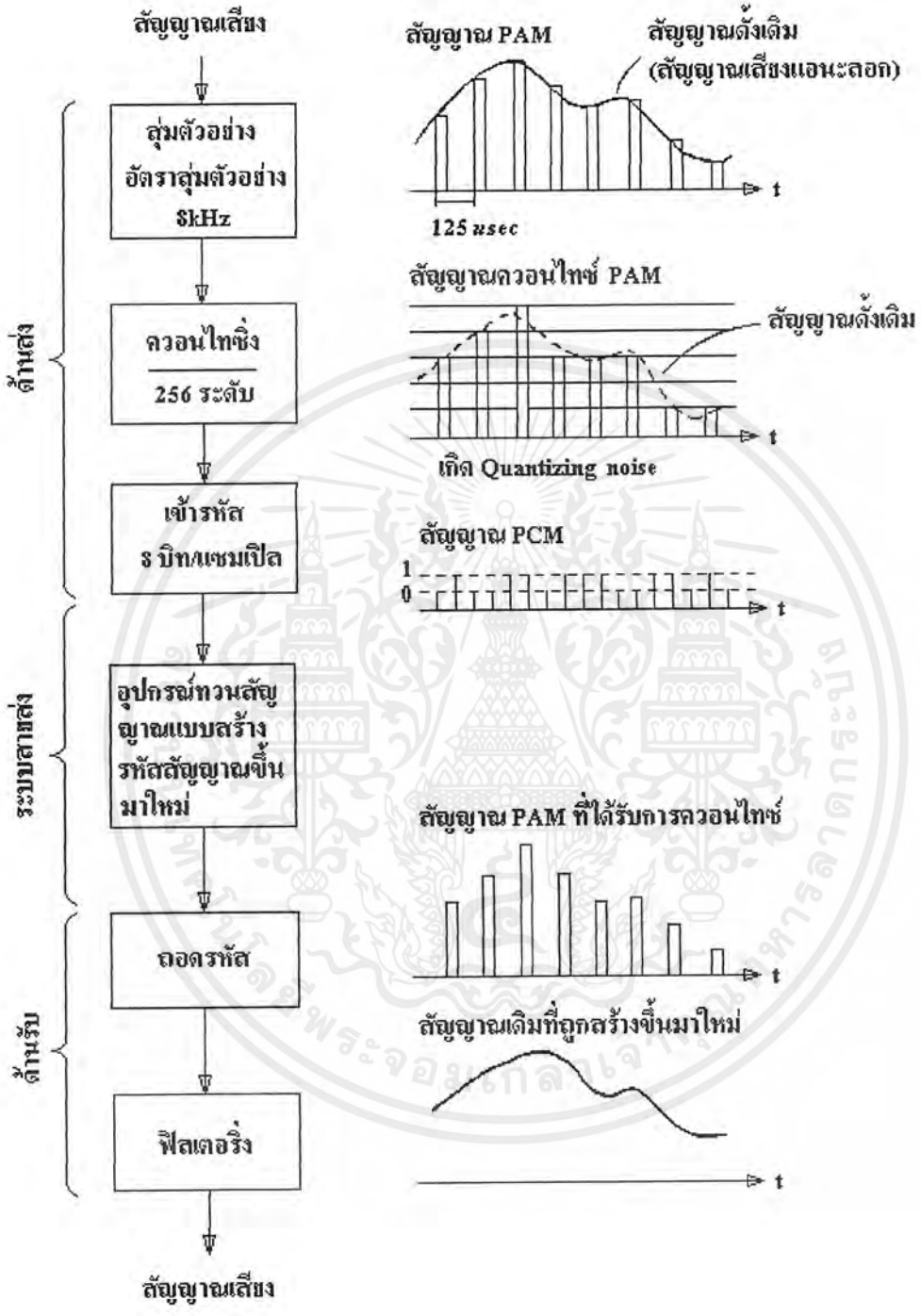
5) วงจรเข้ารหัสจะเปลี่ยนค่าแอมพลิจูดของสัญญาณจากควอนไทซ์ให้เป็นกลุ่มของรหัสพัลส์ ขึ้นอยู่กับผู้ออกแบบที่ต้องการว่าจะส่งสัญญาณผ่านช่องสัญญาณแบบใด

6) วงจรถอดรหัส จะทำการเปลี่ยนรหัสพัลส์กลับเป็นระดับความแรงสัญญาณ ที่ได้ถูกควอนไทซ์มา และจะส่งผ่านไปยังวงจรกรองความถี่ต่ำผ่าน

7) วงจรกรองความถี่ต่ำผ่าน จะขจัดองค์ประกอบความถี่สูงของสัญญาณที่ได้จากวงจรถอดรหัสออก ทำให้ได้ค่าสัญญาณเอาต์พุต m(t) ซึ่งเป็นค่าประมาณของสัญญาณ m(t) เดิมออกมา

ดังนั้นภาพรวมของระบบการมอดูเลตรหัสพัลส์ (PCM) ทั้งทางด้านส่งและทางด้านรับได้แสดงไว้ในรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

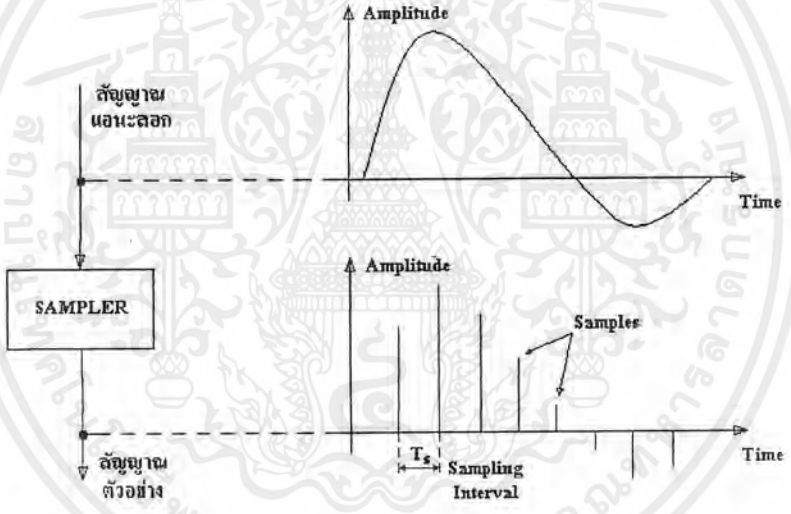


รูปที่ 2.2 ขบวนการเปลี่ยนสัญญาณในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การสุ่มตัวอย่าง (Sampling)

การสุ่มตัวอย่าง (Sampling) หมายถึงการเลือกเอาค่าแอมพลิจูด ที่จุดใดๆ ของสัญญาณแอนะลอกที่มีช่วงเวลาที่เท่ากัน ตัวอย่างที่สุ่มมาได้ก็คือ ขบวนพัลส์ (Pulse Train) หรือเรียกว่าPAM Sample จำนวนการสุ่มตัวอย่างต่อวินาทีคือ อัตราการสุ่มตัวอย่าง (Sampling Rate) จากทฤษฎีการสุ่มตัวอย่าง ที่กล่าวไว้ว่า "ถ้าได้ทำการสุ่มตัวอย่าง (Sampling) สัญญาณแอนะลอกด้วยช่วงเวลาที่สม่ำเสมอในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นๆ แล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน" ในระบบพีซีเอ็ม สัญญาณโทรศัพท์ที่ใช้ความถี่ในช่วงระหว่าง 300 ถึง 3400 Hz จะถูกสุ่มตัวอย่างด้วยอัตราการสุ่มตัวอย่าง 8000 ครั้งต่อวินาที หรือถูกสุ่มตัวอย่างทุกๆ 125 ไมโครวินาที ซึ่งเรียกว่าระยะห่างระหว่างการสุ่มตัวอย่าง(Sampling Interval) ดังแสดงตามรูปที่ 2.3



รูปที่ 2.3 การสุ่มตัวอย่าง (Sampling)

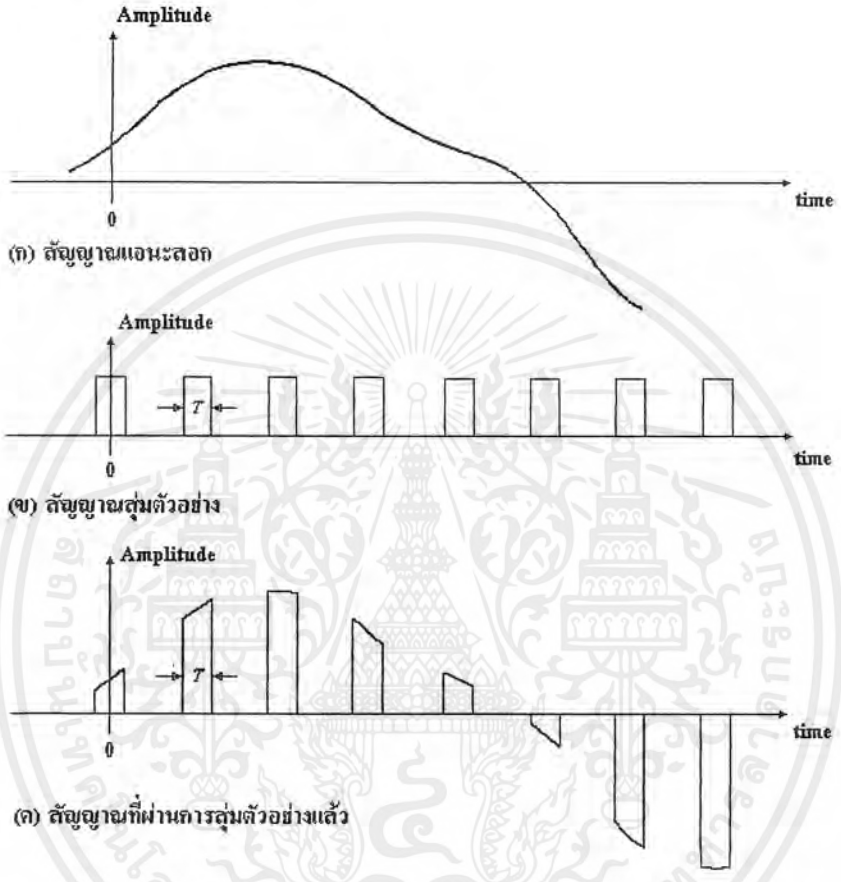
การสุ่มตัวอย่างเพื่อให้ได้สัญญาณ PAM มานั้น สามารถทำได้โดยกระบวนการมอดูเลตสัญญาณแอนะลอกกับดิจิตอลพัลส์ สัญญาณ PAM ที่ได้จะมีลักษณะคล้ายกับรูปสัญญาณแอนะลอก ซึ่งเราจะมีกรรมวิธีในการสุ่มตัวอย่างอยู่ 2 แบบคือ

2.2.1 การสุ่มตัวอย่างแบบธรรมชาติ (Natural Sampling)

สัญญาณ PAM ที่ได้จากการสุ่มตัวอย่างแบบนี้ จะง่ายต่อการสร้างเพียงแค่ใช้สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอนะลอกก็สามารถทำได้ ลักษณะของสัญญาณจะเห็นได้ดังรูปที่ 2.4 ซึ่งจะเห็นว่าสัญญาณ PAM ที่ได้มียอดของพัลส์เปลี่ยนไปตามสัญญาณแอนะลอก

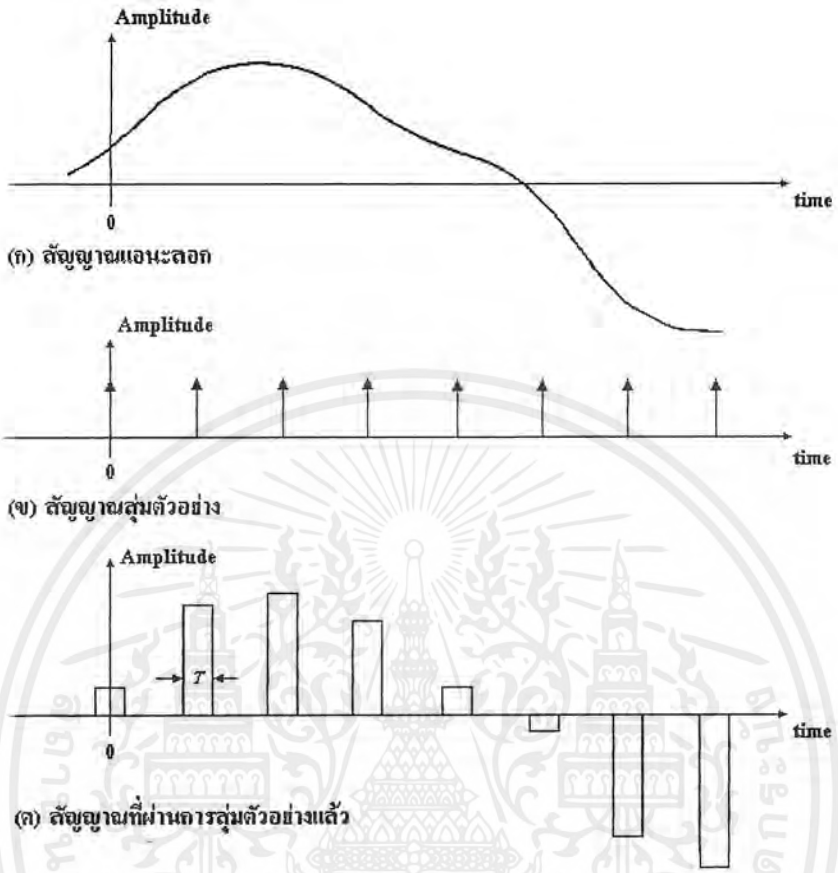


รูปที่ 2.4 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Natural Sampling

2.2.2 การสุ่มตัวอย่างขณะหนึ่ง(Instantaneous Sampling)

สัญญาณที่ได้จากการสุ่มตัวอย่างนี้ เรียกว่า Flat-Top PAM ซึ่งสัญญาณแอนะลอกถูกแปลงโดยการใช้ Flat-Top Sampling ดังแสดงในรูป 2.5 ซึ่งจะเห็นว่าสัญญาณ PAM ที่ได้จะมียอดของพัลส์ที่เรียบตลอดทุกๆ พัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Flat-Top Sampling

การสุ่มตัวอย่างนี้ จะแปลงสัญญาณแอนะลอกให้เป็นขบวนพัลส์ซึ่งเรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

1) สัญญาณอินพุตต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f_m

2) ขบวนพัลส์ที่ใช้สำหรับสุ่มตัวอย่างจะต้องเป็นพัลส์ซึ่งมีความกว้าง 0 และมีแอมพลิจูดเป็นอนันต์

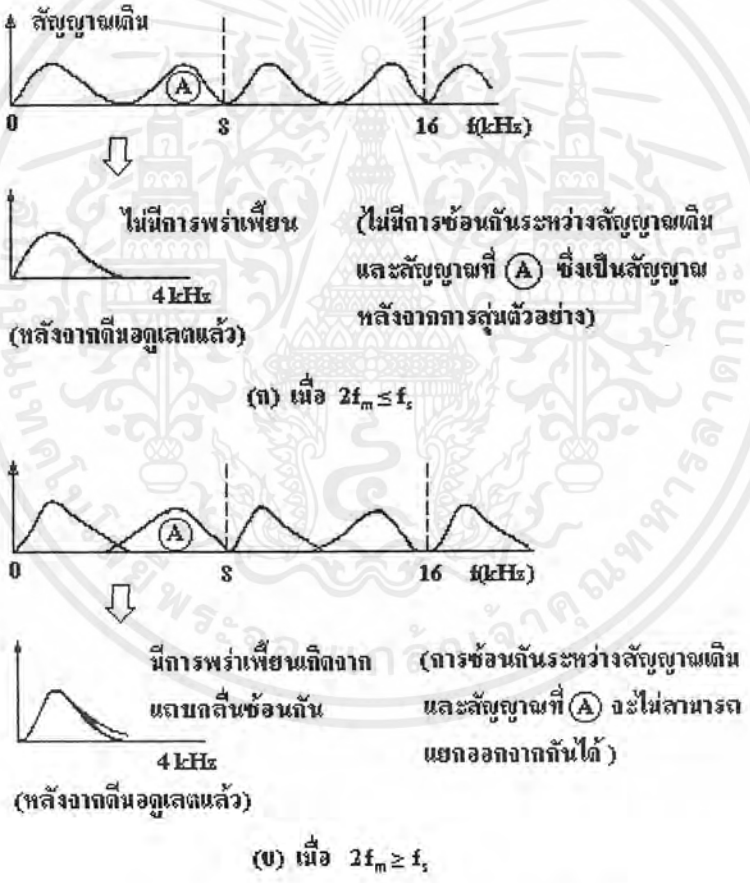
3) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ (Ideal Low Pass Filter) ซึ่งยอมให้ความถี่ต่ำกว่า f_m ผ่านได้ทั้งหมด

แต่อย่างไรก็ตาม ในทางปฏิบัตินั้น จะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าวข้างต้นได้อย่างสมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดความพร่าเพี้ยน (Distortion) ต่างๆ ขึ้น คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing Distortion)

ถ้าความถี่สูงสุดของสัญญาณอินพุตเป็น f_m และความถี่ที่ใช้สุ่มตัวอย่างเป็น f_s เมื่อ $f_s \geq 2f_m$ วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า f_m ออกทำให้ง่ายต่อการทำสัญญาณเดิมให้กลับคืนมาได้ ตามรูปที่ 2.6 (ก) แต่ถ้าสัญญาณอินพุตมีองค์ประกอบความถี่สูงกว่า $f_s/2$ รวมอยู่ด้วยขบวนพัลส์ PAM ที่ได้รับจะมีสเปคตรัมเกิดขึ้นดังแสดงในรูปที่ 2.6 (ข) จะเห็นได้ว่ามีความถี่สเปคตรัมซ้อนกันระหว่างสัญญาณเดิมกับ LSB จึงเป็นการลำบากที่จะทำให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า f_m ออกแล้วก็ตามก็ยังคงเหลือนอยส์ปนอยู่กับสัญญาณที่ได้ดีมอดูเลตแล้ว ปรากฏการณ์เช่นนี้เรียกว่า Aliasing Distortion

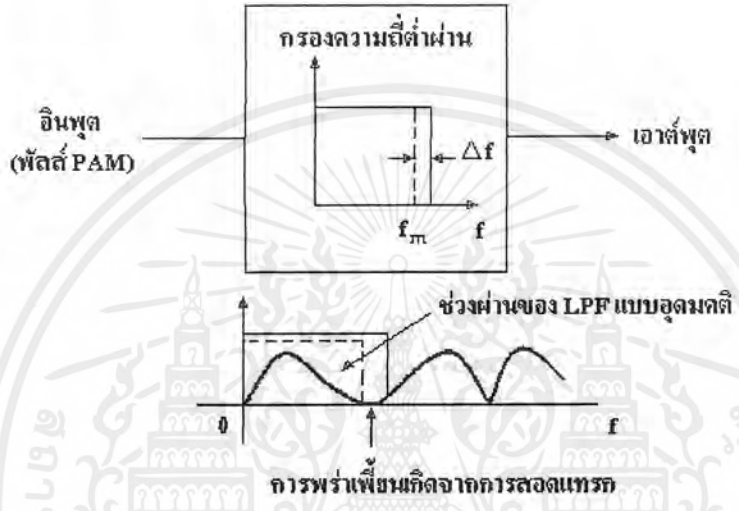


รูปที่ 2.6 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน

2.2.4 การพร่าเพี้ยนเกิดจากการสอดแทรก (Interpolaton Distortion)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

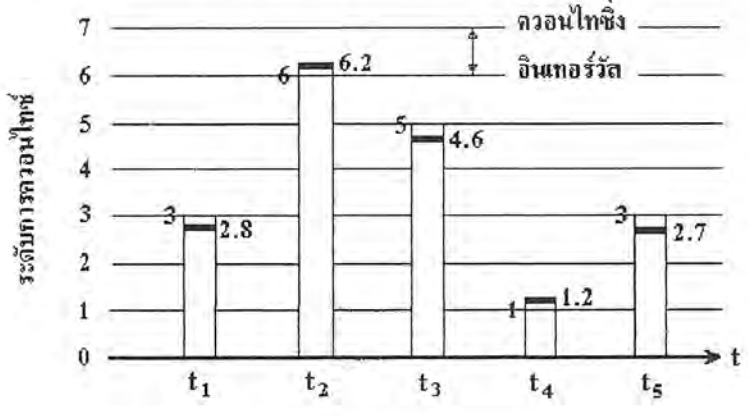
การดีมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า f_m และฮาร์โมนิกต่างๆ ออกไปได้ตามที่แสดงไว้ในรูปที่ 2.7 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการดีมอดูเลตจึงเป็นผลทำให้เกิดการพร่าเพี้ยนซึ่งเรียกว่า Interpolating Distortion



รูปที่ 2.7 การพร่าเพี้ยนเกิดจากการสอดแทรก

2.3 การจัดระดับ (Quantizing)

ขบวนพัลส์ PAM ที่ผ่านการสุ่มตัวอย่างมาแล้ว ยังถือว่าเป็นแอนะลอก คือมันจะมีแอมพลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วงๆ การจัดกระบวนการที่เปลี่ยนแอมพลิจูดของ PAM เหล่านั้นให้เป็นค่าตัวเลขแบบดิสครีตตามที่แสดงไว้ในรูปที่ 2.8



รูปที่ 2.8 การจัดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.8 แอมพลิจูดของตัวอย่างทุกตัวอย่างของ PAM จะถูกจัดให้เป็นระดับซึ่งเรียกว่าระดับควอนไทซ์ (Quantizing Level) โดยมีระยะห่างระหว่างระดับข้างเคียง เรียกว่าควอนไทซิ่งอินเทอร์วัล (Quantizing Interval) หรือควอนไทซิ่งสเต็พนั้นเท่ากัน กรณีนี้เรียกว่าจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของตัวอย่างทุกตัว จะแสดงด้วยค่าระดับควอนไซ์ที่ใกล้เคียงที่สุด เช่นขนาดของตัวอย่างที่ $t = t_1$ คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าตัวอย่างที่ $t = t_2$ มีขนาด 6.2 จะจัดเป็น 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่ถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณแอนะลอกเท่านั้น ดังนั้นส่วนเกินและส่วนขาดจากการจัดระดับจึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ได้จัดระดับ ซึ่งค่าผิดพลาดนี้เรียกว่าควอนไทซิ่งนอยส์ (Quantizing Noise) หรือความพร่าเพี้ยนจากการควอนไทซ์ (Quantizing Distorrion)

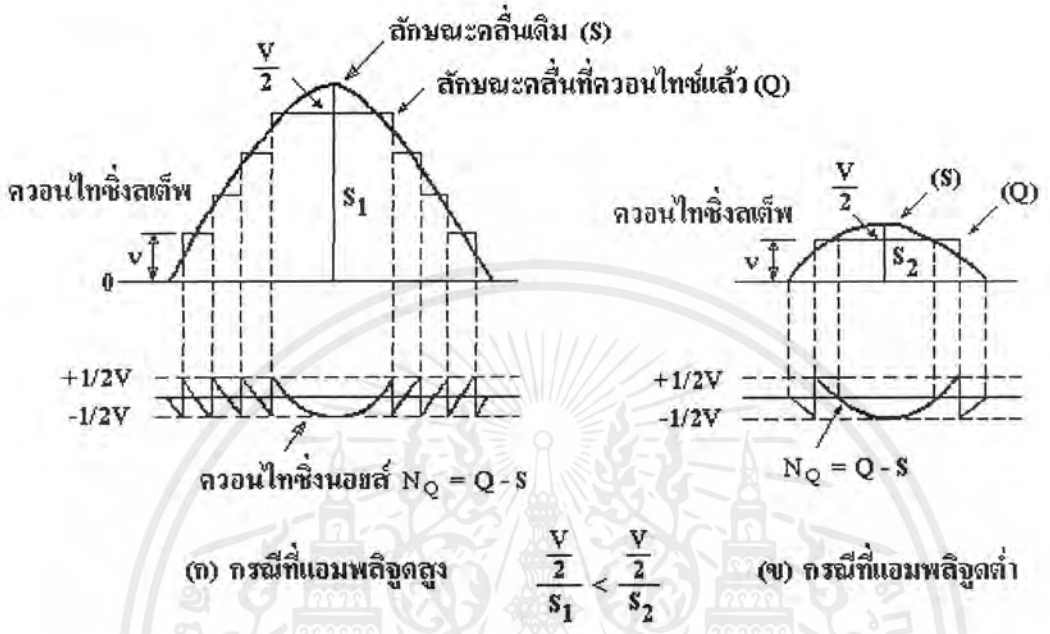
อนึ่ง จากหลักการที่กล่าวมานี้ ทางปฏิบัติไม่สามารถหลีกเลี่ยงควอนไทซิ่งนอยส์ได้ แต่เพื่อรักษาคุณภาพของเสียงในการสนทนาให้ดี จึงจำเป็นต้องทำให้นอยส์นี้ลดลง ในเบื้องต้นคือการลดควอนไทซิ่งอินเทอร์วัลให้แคบลงอย่างพอเพียงก็สามารถจะลดควอนไทซิ่งนอยซ์ได้ในระดับหนึ่ง อย่างเช่นถ้าลดอินเทอร์วัลลงครึ่งหนึ่ง ปริมาณของควอนไทซิ่งนอยส์จะลดลงเป็น ¼ และการลดอินเทอร์วัลให้เหลือครึ่งหนึ่งนั้นจะสอดคล้องกับการเพิ่มจำนวนบิทอีก 1 บิท นั่นคือพาวเวอร์ของควอนไทซิ่งนอยส์จะลดลง 6 dB ทุกๆ การเพิ่ม 1 บิท

2.4 คอมแพนดิ้ง (Companding)

ตามที่ได้กล่าวมาแล้วว่าเราไม่สามารถหลีกเลี่ยงควอนไทซิ่งนอยซ์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง โดยการลดควอนไทซิ่งอินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิทที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิตอลให้สูงขึ้น ตามปกติควอนไทซิ่งนอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับแอมพลิจูดของสัญญาณเดิมหรืออีกนัยหนึ่งคือ พาวเวอร์ของควอนไทซิ่งนอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียงจะใช้อัตราส่วนของสัญญาณ S ต่อควอนไทซิ่งนอยส์ N_Q เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N_Q จะดีกว่ากรณีของสัญญาณซึ่งมีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาควอนไทซิ่งนอยซ์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นตามรูปที่ 2.9 กรณีที่เป็นการจัดระดับแบบฟอร์มจะเห็นได้ว่า เมื่อสัญญาณมีพาวเวอร์ต่ำ นอยส์จะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณจึงทำให้ S/N_Q เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือแบบน็อน-ยูนิฟอร์ม (Non-Uniform Quantizing) คือบริเวณที่สัญญาณมีแอมพลิจูดต่ำจะใช้ควอนไทซิ่งสเต็พแคบๆ และในทางตรงกันข้ามบริเวณที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณมีแอมพลิจูดสูงจะใช้ควอนไทซิ่งสเต็พกว้างๆ ซึ่งการทำให้เป็นแบบน็อน-ยูนิฟอร์มนั้นจะใช้หลักการของ Companding เข้าช่วย

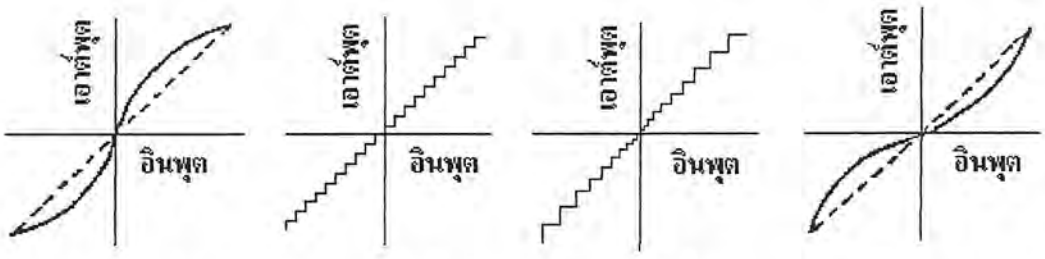


รูปที่ 2.9 การควอนไทซ์และควอนไทซิ่งนอยส์

คอมแพนดิ่งเป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอกซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ คุณสมบัติของวงจรนี้จะกล่าวในภายหลัง อย่างไรก็ตามตัวอย่างการจัดระดับควอนไทซ์แบบน็อน-ยูนิฟอร์ม ได้แสดงไว้ในรูปที่ 2.10 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีคุณลักษณะของอินพุต/เอาต์พุตตามรูปที่ 2.10 (ก) แล้วทำการจัดระดับแบบยูนิฟอร์มตามรูปที่ 2.10 (ข) ก็จะได้การจัดระดับแบบน็อนยูนิฟอร์มตามรูป 2.10 (ค) สำหรับทางด้านรับนั้นสัญญาณ PCM ผ่านขั้นตอนการถอดรหัสแล้วก็ผ่านไปยังวงจรเอกซ์แพนเดอร์ซึ่งมีคุณลักษณะตรงกันข้ามกับคอมเพรสเซอร์ตามรูปที่ 2.10 (ง)

อนึ่งกรณีที่จัดระดับแบบยูนิฟอร์มนั้นจะใช้ประมาณ 2,000 ระดับ จึงจะรักษาคุณภาพของเสียงให้ดีในการเข้ารหัสจะต้องใช้ถึง 11 บิทต่อตัวอย่าง 1 ตัว แต่ถ้าใช้แบบน็อน-ยูนิฟอร์มแล้วจะใช้เพียง 7 บิท ซึ่งมีระดับเพียง 128 เท่านั้น ก็เพียงพอที่จะทำให้ S/N_Q ใกล้เคียงกับการจัดระดับแบบยูนิฟอร์ม CCITT กำหนดให้ใช้ 8 บิทต่อตัวอย่าง 1 ตัว และระดับการควอนไทซ์ 256 ก็จะเป็นการรับรองว่าเสียงพูดจะมีคุณภาพที่ดี

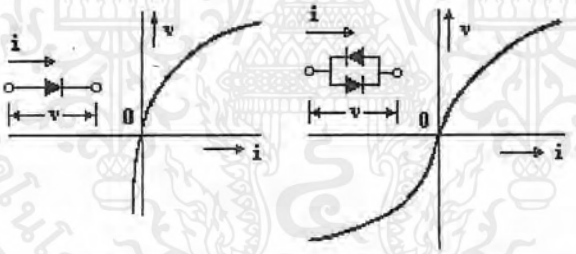
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) คอมเพรสชั่น (ข) การควอนไทซ์แบบสม่ำเสมอ (ค) การควอนไทซ์แบบไม่สม่ำเสมอ (ง) เอ็กซ์แพนชั่น

รูปที่ 2.10 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์

สำหรับคุณลักษณะของคอมเพรสเซอร์นั้นจะเป็นแบบลอการิทึม รูปแบบโดยทั่วไปจะใช้คุณสมบัติของ V-I ของไดโอด ตามรูป 2.11 กรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกระแส i เป็นอินพุต โวลเตจ V เป็นเอาต์พุตสำหรับกรณีที่ใช้เป็นเอกซ์แพนเดอร์จะมีโวลเตจเป็นอินพุต และกระแส i เป็นเอาต์พุต



(ก) ไดโอดตัวเดียว (ข) ไดโอดหลายตัว

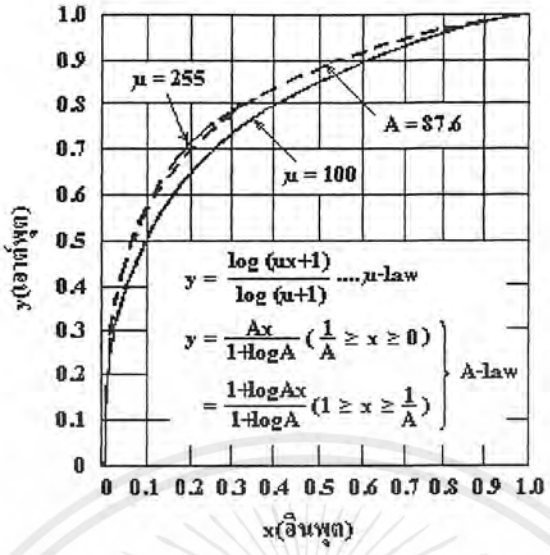
รูปที่ 2.11 คุณลักษณะคอมเพรสชั่นของไดโอด

คุณลักษณะของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบัน คือ μ-law ซึ่งใช้ใน Hierachy ของระบบ 1.5 Mb/s และ A-law ใช้ใน Hierachy ของระบบ 2 Mb/s คุณลักษณะทั้ง 2 แบบนี้แสดงไว้ในรูป 2.12 เฉพาะกรณีของ $\mu = 100$, $\mu = 255$ และ $A = 87.6$

กรณีที่ $\mu = 100$ จะใช้วงจรคอมเพรสเซอร์ตามรูป 2.11 แต่กรณี $\mu = 255$ และ $A = 87.6$ จะใช้วงจรคอมเพรสเซอร์ที่มีคุณลักษณะเป็นเส้นตรง โดยแยกเป็นส่วนๆ ซึ่งมีคุณลักษณะใกล้เคียงกับในรูป 2.12 ตามปกติในวงจรเข้ารหัสจะมีหน้าที่นี้ร่วมอยู่ด้วยแล้วนำการกด (Compress) และเข้ารหัสไปพร้อมๆ กันวงจรเข้ารหัสนี้ถูกเรียกว่า Broken Line Encoder

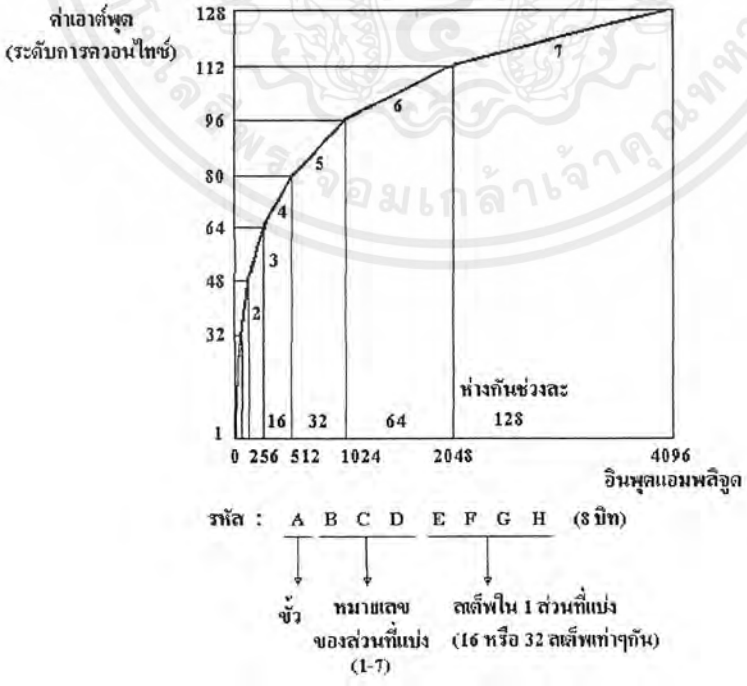
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.12 แบบอย่างคุณลักษณะของคอมเพรสชั่น

อนึ่ง กรณีที่ใช้ $\mu = 255$ จะประมาณด้วยเส้นตรง 15 เส้นสำหรับกรณีที่ใช้ A= 87.6 จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law นี้แสดงไว้ในรูป 2.13 ซึ่งแสดงคุณลักษณะเฉพาะทางบวกเท่านั้นอินพุตแอมพลิจูด 4096 จะสอดคล้องกับสัญญาณซึ่งมีพาวเวอร์ 3.14 dBm0 สำหรับเอาต์พุตนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งด้านบวกและลบ) คือใช้ 8 บิทต่อตัวอย่าง 1ตัว



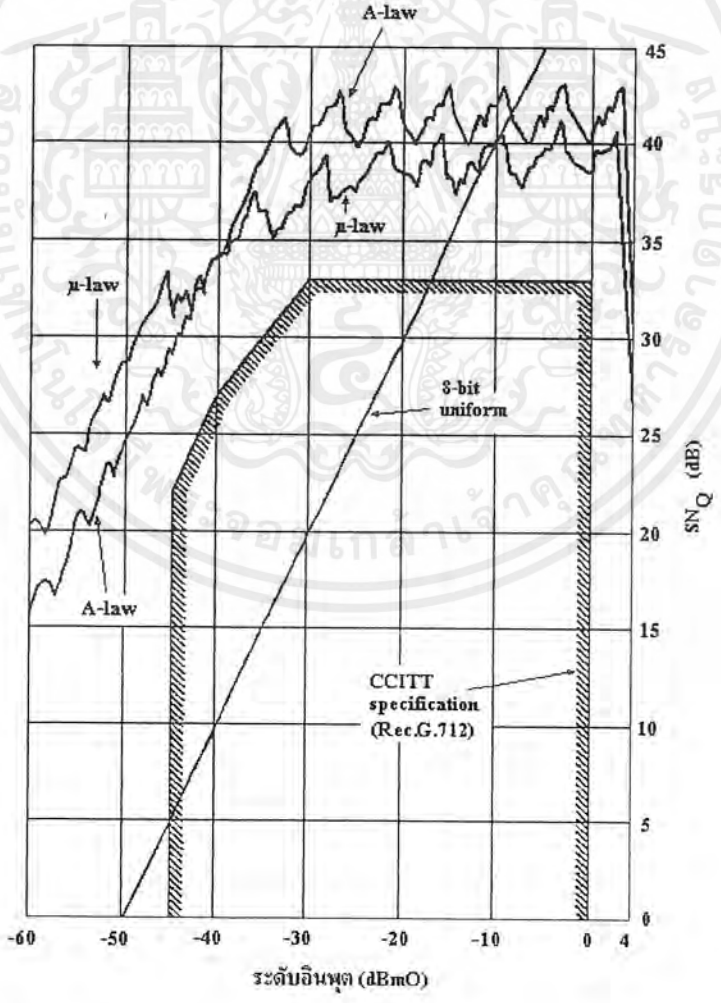
รูปที่ 2.13 คุณลักษณะของคอมแพนดิ้งเมื่อ A= 87.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34005

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ μ-law ที่เกี่ยวข้องกับ S/N_Q ตามรูปที่ 2.14 จะเห็นได้ว่า คุณลักษณะของทั้ง A-law และ μ-law จะเป็นแบบฟันเลื่อยเนื่องจากส่วนโค้งของคอมแพนเดอร์ถูกประมาณค่าให้เป็นเส้นตรงส่วนย่อยๆ และจะเห็นได้ว่าส่วนที่สัญญาณมีพาวเวอร์สูง A-law จะมี S/N_Q ดีกว่า ในทางตรงกันข้ามส่วนที่สัญญาณมีพาวเวอร์ต่ำจะมี S/N_Q ด้อยกว่า ทั้งนี้เนื่องจาก กรณีแรกควอนไทซิ่งอินเทอร์วัลของ A-law มีขนาดแคบกว่าของ μ-law สำหรับกรณีหลังของ A-law จะกว้างกว่า แต่อย่างไรก็ตามทั้ง A-law และ μ-law นั้นพิจารณาได้ว่าจะมี S/N_Q สูง และเกือบคงที่แม้ว่าสัญญาณจะมีพาวเวอร์ต่ำ

จากหลักการที่ได้กล่าวมาแล้วนี้จะเข้าใจได้ว่า การปรับปรุง S/N_Q ในบริเวณสัญญาณซึ่งมีพาวเวอร์ต่ำโดยใช้วิธีจัดระดับแบบน็อนยูนิฟอร์มจะมีผลดีกว่าแบบยูนิฟอร์มเป็นอย่างมาก

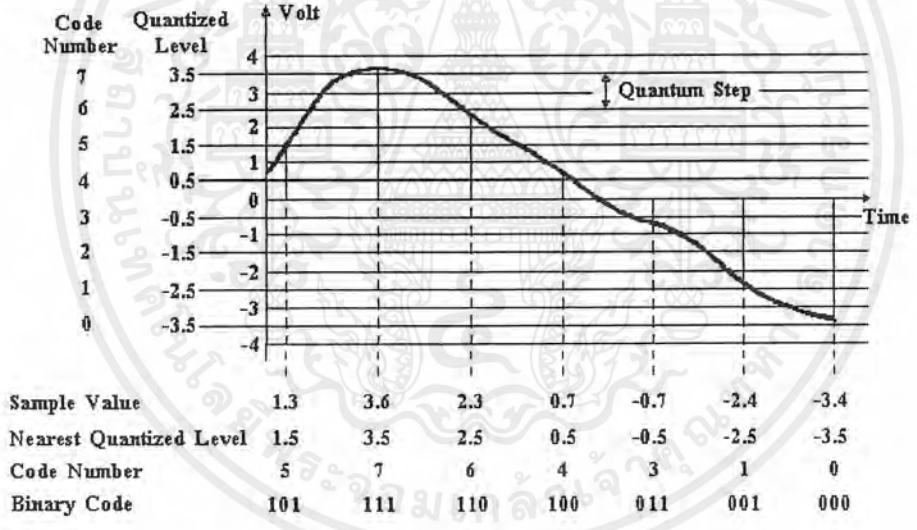


รูปที่ 2.14 ความสัมพันธ์ระหว่างระดับอินพุตต่อ S/N_Q เมื่อใช้คอมแพนดิ้งวิธีต่างๆ

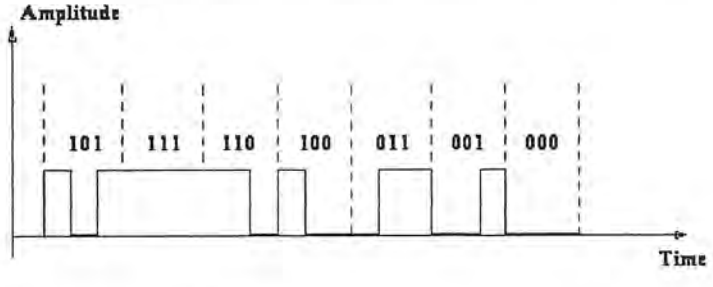
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การเข้ารหัส (Coding)

เมื่อได้ทำการสุ่มตัวอย่างสัญญาณแอนะลอกเรียบร้อยแล้ว เราก็จะได้สัญญาณ PAM ที่มีขนาดของแอมพลิจูดต่างๆ กัน ส่งเข้าไปยังตัวควอนไทซ์ โดยกำหนดให้ระดับการควอนไทซ์อันใดซึ่งตรงกันหรือใกล้เคียงที่สุดกับระดับของแอมพลิจูดที่สุ่มมาได้ ตัวเข้ารหัส (Coder) ก็จะผลิตสัญญาณรหัสไบนารี (Binary Code Signal) ตรงตามระดับการควอนไทซ์นั้นๆ แล้วจึงจะส่งออกไปในสายส่งจากรูปที่ 2.15 สมมุติว่าเราได้กำหนดค่าของรหัส (Code Number) ที่ใช้กับระดับการควอนไทซ์ที่ระดับต่างๆ คือ –3.5, -2.5, -1.5, ….., 3.5 โวลท์ เป็น 0, 1, 2, ….., 7 ตามลำดับแล้ว ตัวอย่างที่สุ่มมาได้ อันแรกคือ 1.3 โวลท์ ระดับการควอนไทซ์ที่ใกล้เคียงที่สุดของมันคือ 1.5 โวลท์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้นรหัสที่ส่งออกไปเป็นคำรหัส (Code Word) ขนาด 3 บิท คือ 101 ตัวอย่างที่สุ่มมาได้อันที่สองคือ 3.6 โวลท์ ระดับการควอนไทซ์ที่ใกล้เคียงที่สุดคือ 3.5 โวลท์ ซึ่งตรงกับค่าของรหัส 7 ดังนั้นรหัสที่ส่งออกไปเป็นคำรหัสคือ 111 เช่นนี้เป็นต้น ดังแสดงตามรูปที่ 2.16



รูปที่ 2.15 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)



รูปที่ 2.16 การเข้ารหัส (Coding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การมัลติเพลกซ์และการซิงโครไนซ์ (Multiplex and Synchronization)

ก่อนอื่นจะกล่าวถึงหลักการเบื้องต้นของระบบมัลติเพลกซ์แบ่งตามเวลา (TDM) ว่าเป็นอย่างไร กล่าวคือตามรูป 2.17 (ก) ทางด้านส่งและด้านรับจะมีสวิทซ์หมุนด้านละ 1 ตัวซึ่งหมุนไปเป็นจังหวะเท่าๆ กัน ในช่วงเวลาหนึ่ง ช่องสัญญาณที่ 1 ของทั้ง 2 ด้านก็จะต่อกันได้โดยสวิทซ์หมุน อาศัยหลักการนี้แซมปลิ้งพัลส์ที่ส่งมาจากทุกช่องสัญญาณทางด้านส่งก็สามารถส่งผ่านสายส่งเพียงคู่เดียวและสามารถกระจายไปยังช่องสัญญาณที่สอดคล้องกันที่ด้านรับได้

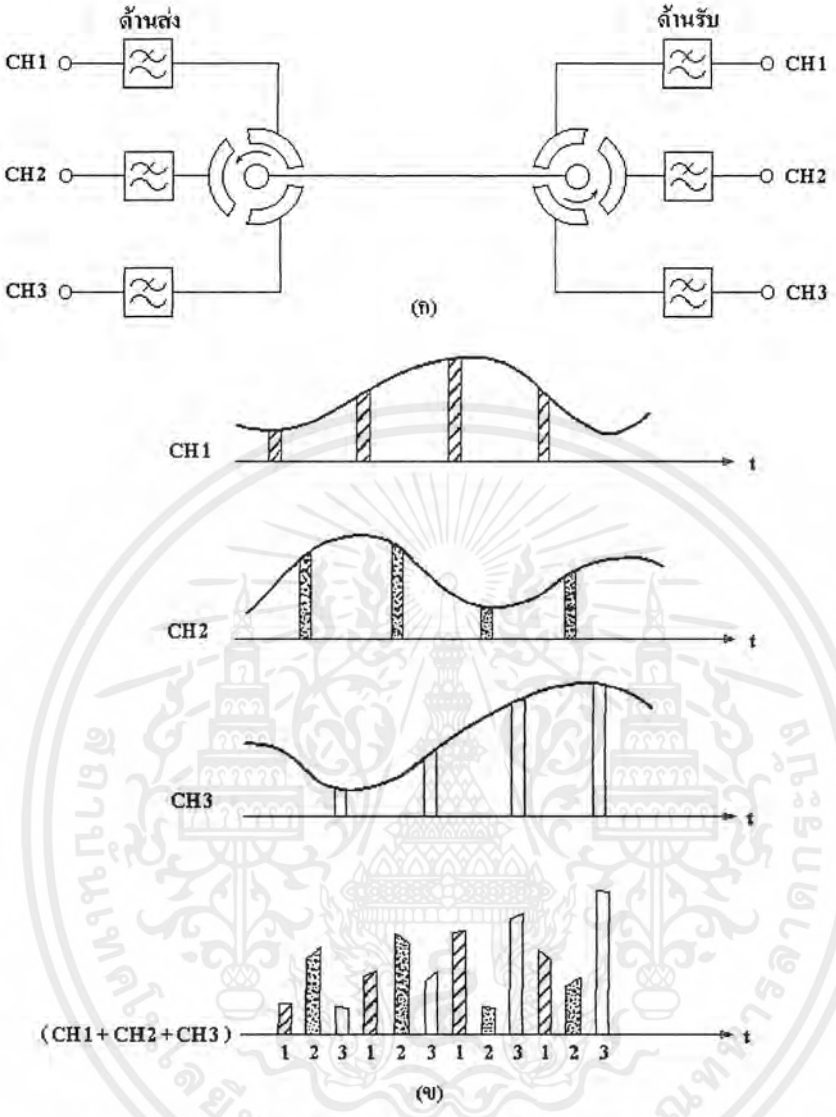
จากรูป 2.17 (ข) แสดงพัลส์ที่มาจากทุกช่องสัญญาณซึ่งมีเฟสเคลื่อนไปเล็กน้อยและนำมาแทรกกันไว้ระหว่างกันตามแกนเวลากล่าวคือแซมเปิ้ลของช่องสัญญาณที่ 2 และช่องสัญญาณที่ 3 จะถูกใส่ไว้ระหว่างแซมเปิ้ลตัวแรกและตัวที่ 2 ของช่องสัญญาณที่ 1 โดยแบ่งตามช่วงเวลา ดังนั้นวิธีการนี้จึงเรียกว่าระบบมัลติเพลกซ์แบบแบ่งตามเวลา

การสื่อสารระบบ TDM โดยเฉพาะระบบ PCM นั้น เป็นสิ่งที่แน่นอนว่า เมื่อทางด้านรับได้รับสัญญาณแล้วต้องทำให้แน่ใจว่าสัญญาณแต่ละบิทของช่องสัญญาณเดียวกันมีความถูกต้อง และยังต้องแยกสัญญาณพัลส์แต่ละกลุ่มไปสู่ช่องสัญญาณที่สอดคล้องกันได้อย่างถูกต้องด้วย ด้วยเหตุนี้จึงมีกระบวนการหนึ่งที่จะทำให้สวิทซ์หมุนทำงานตามที่ได้กล่าวมาแล้ว กระบวนการนี้เรียกว่า การซิงโครไนซ์ (synchronization) ตามรูป 2.18

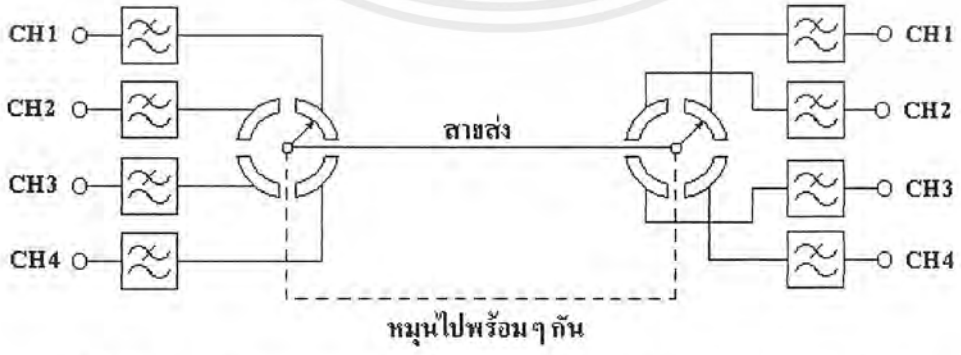
2.6.1 บิทซิงโครไนเซชั่น (Bit synchronization)

กระบวนการการสุ่มตัวอย่าง การเข้ารหัสและการเข้ามัลติเพลกซ์ที่ด้านส่งตลอดทั้งการดีมัลติเพลกซ์และการถอดรหัสทางด้านรับจะต้องมีคล็อคพัลส์ (clock pulse) เป็นตัวควบคุมให้สอดคล้องกันอย่างบิทต่อบิทตามบล็อกไดอะแกรมอย่างกว้างๆ ในรูป 2.19 และการที่จะได้บิทซิงโครไนซ์ที่ถูกต้องนั้นโดยทั่วไปทางด้านรับจะมีวงจรสร้างคล็อคพัลส์ขึ้นใหม่โดยอาศัยขบวนพัลส์ที่ได้รับ ดังนั้นจะทำให้กระบวนการระหว่างด้านส่งและด้านรับเป็นไปด้วยความถูกต้องในช่วงเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

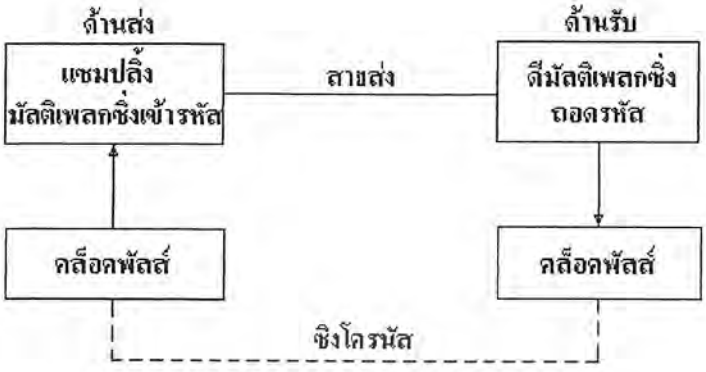


รูปที่ 2.17 หลักการเบื้องต้น TDM



รูปที่ 2.18 สวิทซ์หมุนจะหมุนไปพร้อมกันเพื่อต่อสายให้กับช่องสัญญาณด้านส่ง และด้านรับตรงช่องกัน

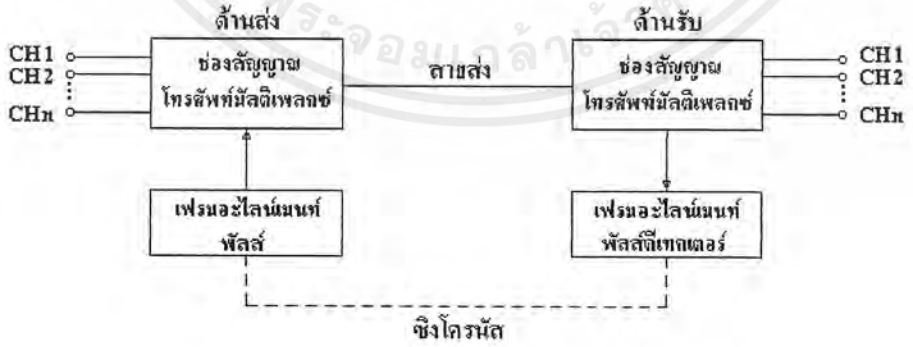
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 บิทซิงโครไนเซชั่น

2.6.2 เฟรมซิงโครไนเซชั่น (Frame Synchronization)

ทางด้านรับต้องกำหนดให้แน่ชัดว่าขบวนพัลส์ชุดใดจะเป็นของช่องสัญญาณใด ดังนั้นจึงจำเป็นต้องกำหนดเฟรมให้ได้ก่อน (เฟรมคือระยะเวลาที่สวิทช์หมุนไปครบ 1 รอบ) คือต้องมีเฟรมซิงโครไนซ์ โดยมีหลักการตามรูป 2.20 ทางด้านส่งจะส่งพัลส์ชุดเฉพาะเพื่อบอกให้ด้านรับรู้ว่าจุดเริ่มต้นของเฟรมจะอยู่ที่ใด การซิงโครไนซ์วิธีนี้เป็นการกระทำแบบเฟรมต่อเฟรม ถึงแม้ว่าจะมีบิทซิงโครไนซ์แล้วก็ตาม ถ้าหากไม่แยกรหัสของสัญญาณเสียงของแต่ละช่องสัญญาณมัลติเพลกซ์ได้อย่างถูกต้องแล้ว อาจเกิดการรบกวนเนื่องจากการแทรกซ้อนจากช่องสัญญาณอื่นซึ่งเรียกว่า ครอสทอล์ค (crosstalk) ได้ ส่วนทางด้านรับก็จะค้นหาพัลส์เฉพาะนี้และนำขบวนพัลส์ที่ตามมาแยกไปตามช่องสัญญาณต่างๆ ต่อไป



รูปที่ 2.20 เฟรมซิงโครไนเซชั่นกระทำได้โดยใส่เฟรมอะไลน์เมนท์พัลส์เพื่อกำหนดตำแหน่งเริ่มต้นของเฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 เฟรมอะไลน์เมนท์ (Frame Alignment)

ในระบบ TDM นั้น สัญญาณ (พัลส์) ของแต่ละช่องสัญญาณจะรวมกันเข้าเป็นมัลติเพลกซ์ และในขณะเดียวกันในช่วงเวลาหนึ่งจะใส่พัลส์ 1 ลูก หรือพัลส์ที่มี pattern เฉพาะ (ขึ้นอยู่กับการออกแบบ) ไว้ทุกๆ รอบ ซึ่งรอบหนึ่งๆ เรียกว่าเฟรม การใส่พัลส์เฉพาะลงไปนี้เรียกว่า เฟรมอะไลน์เมนท์ทางด้านรับจะดีเทคพัลส์เหล่านี้เพื่อกำหนดช่วงเวลา (time slot) ให้แก่ช่องสัญญาณต่างๆ ตามรูป 2.21 แสดงโครงสร้างของเฟรมในระบบ PCM-30 ใน 1 เฟรมจะมีคาบเวลา 125 μs กล่าวคือใน 1 เฟรม จะมีค่าแซมเปิ้ลของทุกช่องสัญญาณ จะเห็นได้ว่ามีทั้งหมด 32 time slot (TS) ซึ่ง 30 TS จะใช้สำหรับ 30 ช่องสัญญาณ PCM ซึ่งเข้ารหัสด้วย 8 บิท อีก 2 TS นั้นใช้สำหรับการส่งสัญญาณ (signalling) 1 TS และที่เหลืออีก 1 TS ใช้ร่วมกันเป็นเฟรมอะไลน์เมนท์สลับกับการบำรุงรักษาและการควบคุมต่างๆ

ในการส่งสัญญาณระบบ PCM นั้น สิ่งที่จะบอกให้ทราบว่ามีอัตราการส่งช้าหรือเร็วเพียงใดนั้น จะใช้ค่าบิทเรทเป็นเครื่องวัด ซึ่งเป็นอัตราที่บอกให้ทราบว่าใน 1 วินาทีสามารถส่งสัญญาณได้กี่บิท คือแสดงเป็นหน่วย bit/sec ดังนั้นถ้าคำนวณบิทเรทของระบบดังกล่าวจะได้ดังนี้

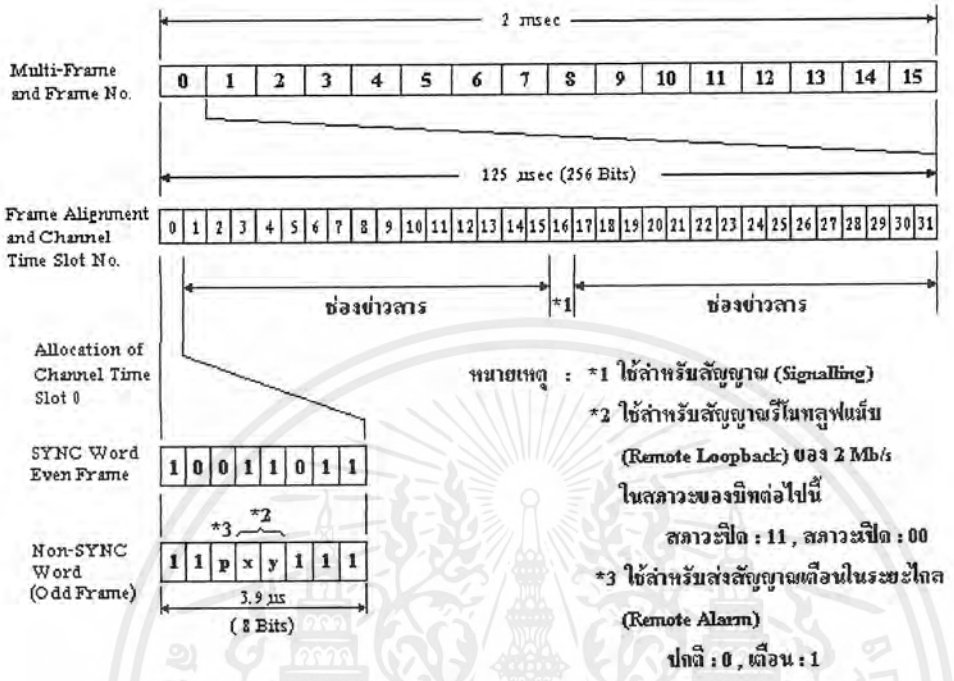
เพราะว่าจำนวนบิทใน 1 เฟรมจะมี 32 x 8 = 256 บิท
และใน 1 เฟรม จะใช้เวลา = 125 μs
ดังนั้นใน 1 วินาทีจะส่งได้ 256/125 = 2.048 Mb
นั่นคือบิทเรทของระบบนี้ = 2.048 Mb/s

อนึ่ง ในทางปฏิบัตินั้นจะใช้พัลส์ซึ่งมีดิวตี้ไซเกิ้ล (duty cycle) 50% ดังนั้นจากการคำนวณข้างต้นจะทราบว่า 1 บิทจะใช้เวลา 125/256 = 0.488 μs และความกว้างของพัลส์ 1 ลูก จะเท่ากับ 0.488/2 = 0.244 μs

2.6.4 การค้นหาเฟรมอะไลน์เมนท์

ถ้าทางด้านรับค้นหาเฟรมไม่พบ ก็จะไม่สามารถเข้ากระบวนการถอดรหัสได้ ดังนั้นจึงต้องมีวิธีการค้นหาเฟรมอะไลน์เมนท์ตามที่แสดงไว้ในรูป 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



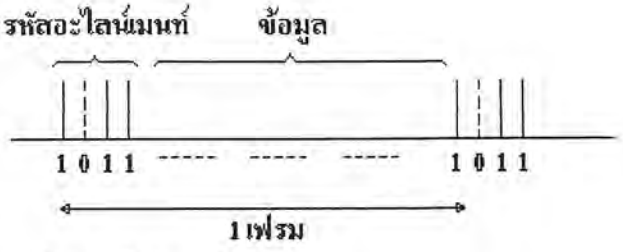
การจัดตำแหน่งของ Time Slot 16

Channel time slot 16 of frame 0		Channel time slot 16 of frame 1		Channel time slot 16 of frame 2		Channel time slot 16 of frame 15	
0 0 0 0	1 A 1 1 *4	a b c d Channel 1	a b c d Channel 16	a b c d Channel 2	a b c d Channel 17	a b c d Channel 15	a b c d Channel 30

หมายเหตุ : *4 "A" เป็นบิทที่ใช้สำหรับการส่งสัญญาณเตือนใน
กรณีเมื่อไม่ได้รับนัลติเฟรมอะไลน์เมนท์ (ปกติ : 0, เตือน : 1)
*5 a, b, c และ d เป็นบิทที่ใช้สำหรับสัญญาณ

รูปที่ 2.21 เฟรมอะไลน์เมนท์ของระบบ PCM-30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) โครงสร้างของเฟรม

(ข) กระบวนการค้นหารหัสเฟรมอะไลน์เมนท์

รูปที่ 2.22 กระบวนการค้นหาเฟรมอะไลน์เมนท์

สมมติว่าเฟรมอะไลน์เมนท์พัลส์ถูกกำหนดให้มี 4 บิทซึ่งเป็นรหัส "1011" ทุกๆ เฟรมตามรูป 2.22 (ก) และถ้าอินพุตพัลส์จากตำแหน่ง a-i มีรหัสตามรูป (ข) ในการค้นหานั้นตอนแรกรหัสในตำแหน่ง a-d จะถูกตรวจก่อน ถ้ารหัสที่ b เป็น "1" พัลส์กลุ่มนี้ก็จะไม่เป็นอะไลน์เมนท์พัลส์ จากนั้นจะเคลื่อน (shift) ไป 1 บิทถึงตำแหน่ง e แล้วทำการตรวจรหัสจาก b-e ตามตัวอย่างก็จะทราบว่าไม่ใช่อะไลน์เมนท์พัลส์เช่นเดียวกัน ในทำนองเดียวกันเมื่อทำเช่นนี้ต่อไปเรื่อยๆ จะเห็นว่ารหัสจากตำแหน่ง c-f, d-g และ e-h ก็จะไม่ใช่อะไลน์เมนท์พัลส์อีกผลสุดท้ายก็จะพบว่าระหว่าง f-i จะเป็นอะไลน์เมนท์พัลส์ แต่อย่างไรก็ตามอาจจะเป็นการบังเอิญก็ได้ เพื่อให้แน่ใจว่าเป็นอะไลน์เมนท์พัลส์จริง จึงจำเป็นต้องตรวจที่ตำแหน่งเดียวกันในเฟรมถัดมาด้วยว่ามีหรือไม่

เพื่อทำให้เวลาในการค้นหาเฟรมนั้นสั้นเข้าอาจกระทำได้โดยเพิ่มจำนวนอะไลน์เมนท์พัลส์ใน 1 เฟรมหรือทำให้เฟรมสั้นลงพร้อมทั้งเพิ่มจำนวนอะไลน์เมนท์พัลส์ โดยให้สัมพันธ์กับพัลส์ข้อมูล (data pulses) ก็ได้ อย่างไรก็ตามการทำโดยวิธีดังกล่าวอาจทำให้ประสิทธิภาพในการส่งลดลงได้ ดังนั้นจึงต้องพิจารณาให้มีสภาพที่เหมาะสมด้วย

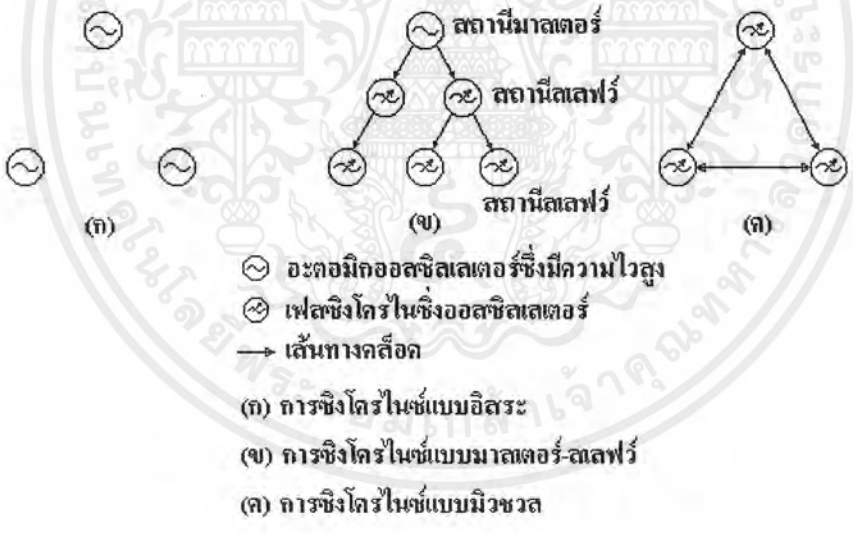
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วิธีการซิงโครไนซ์ในระบบดิจิตอลมัลติเพลกซ์

การซิงโครไนซ์ที่ได้กล่าวมาข้างต้นนั้นเป็นการซิงโครไนซ์ของ PCM มัลติเพลกซ์เพื่อให้สัญญาณเสียง ซึ่งถูกเปลี่ยนเป็นดิจิตอลแล้วถูกส่งไปในสายส่งโดยตรง และด้านรับก็จะรับสัญญาณแต่ละช่องได้อย่างถูกต้องด้วย สำหรับการซิงโครไนซ์ที่จะกล่าวต่อไปนี้เป็นวิธีการในระบบดิจิตอลมัลติเพลกซ์ ซึ่งเกิดจากการนำสัญญาณดิจิตอลหลายๆ ช่องมารวมกันเพื่อที่จะทำให้มีช่องสัญญาณมากขึ้น โดยทั่วไปสัญญาณดิจิตอลที่จะนำไปเข้ามัลติเพลกซ์จะถูกสร้างจากอุปกรณ์มัลติเพลกซ์ต่างชุดกัน ดังนั้นบิทเรทจะแตกต่างกันบ้าง ด้วยเหตุนี้จึงต้องมีการซิงโครไนซ์เพื่อให้สัญญาณดิจิตอลเหล่านั้นรวมไปด้วยกันได้ ซึ่งกระทำได้เป็น 2 วิธีดังนี้

2.7.1 การซิงโครไนซ์โครงข่าย (Network Synchronization)

เป็นการทำให้ความถี่ของ clock ทุกๆ สถานีและอุปกรณ์ต่างๆ มีมาตรฐานเป็นอย่างเดียวกันตลอดโครงข่ายการส่งสัญญาณแบบดิจิตอล การซิงโครไนซ์วิธีนี้แบ่งได้เป็น 3 ชนิดตามรูป 2.23



รูปที่ 2.23 ชนิดของการซิงโครไนซ์โครงข่าย

ก) การซิงโครไนซ์แบบอิสระ (Independent Synchronization)

วิธีนี้จะใช้ออสซิลเลเตอร์ที่มีความไวสูงติดตั้งไว้แต่ละสถานีอย่างอิสระ (ดังนั้นอาจคิดได้ว่าทุกสถานีจะมีความถี่ clock ที่เท่ากัน) จึงเหมาะสมสำหรับการที่จะขยายงานใหม่ เปลี่ยนแปลงแบบใหม่หรือยกเลิกโครงข่ายเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข) การซิงโครไนซ์แบบมาสเตอร์-สเลฟว์ (Master-Slave Synchronization)

วิธีนี้จะกำหนดให้สถานีหนึ่งเป็นมาสเตอร์โดยมี clock ที่มีเสถียรภาพดีจ่ายไปยังสถานีอื่นๆ ซึ่งเรียกว่าสเลฟว์ไปตามโครงข่ายการจ่าย clock สถานีอื่นก็จะรับ clock นี้ เพื่อนำไปใช้ในการซิงโครไนซ์ได้ แต่วิธีนี้จะมีปัญหาคือ สถานีที่เป็นสเลฟว์จะได้รับการรบกวนและเหตุการณ์ซึ่งเกิดขึ้นโดยบังเอิญจากเส้นทางการจ่าย clock ดังนั้นสถานีที่เป็นสเลฟว์จะต้องมีวิธีรักษาความถี่ของ clock ให้ใกล้เคียงกับของสถานีที่เป็นมาสเตอร์ไว้เสมอ

ค) การซิงโครไนซ์แบบมิวชวล (Mutual Synchronizaition)

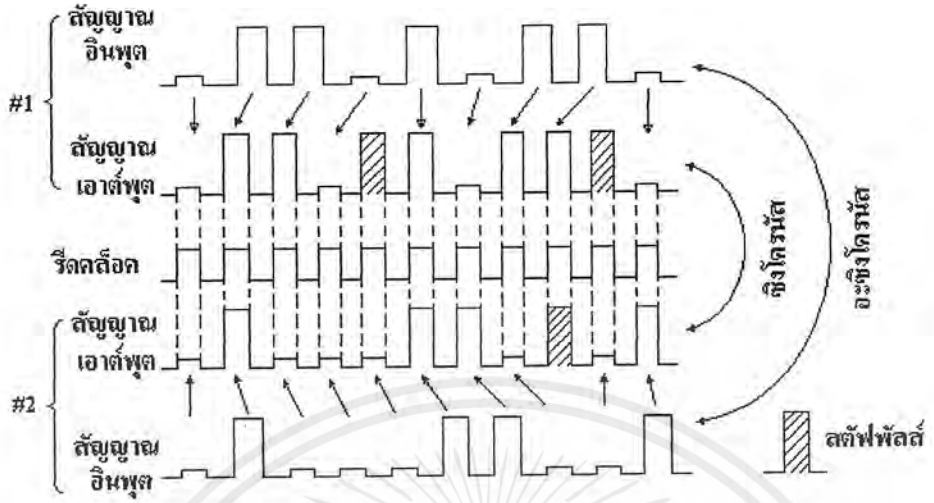
วิธีนี้ทุกสถานีจะมีออสซิลเลเตอร์ซึ่งเปลี่ยนความถี่ได้ภายใต้การควบคุมซึ่งกันและกันของ clock จากสถานีอื่นๆ การทำงานในลักษณะเช่นนี้ทุกสถานีในโครงข่ายจะมีความถี่อย่างเดียวกัน จึงไม่จำเป็นต้องใช้ออสซิลเลเตอร์ที่มีเสถียรภาพสูงนักสำหรับการผลิตความถี่ และจะไม่มีความสัมพันธ์ระหว่างสถานีอย่างในกรณีของมาสเตอร์-สเลฟว์ แต่อย่างไรก็ดีการซิงโครไนซ์วิธีนี้เมื่อเปรียบเทียบกับวิธีอื่นแล้วระบบการควบคุมจะยุ่งยากกว่า ถ้าหากสถานีหนึ่งในโครงข่ายมีเหตุขัดข้องก็จะทำให้สถานีอื่นๆ มีผลตามไปด้วย

2.7.2 การซิงโครไนซ์วิธีสตัฟพัลส์ (Stuffed-pulse Synchronization)

การซิงโครไนซ์วิธีนี้เป็นการทำให้สัญญาณดิจิตอลที่สร้างจากอุปกรณ์ต่างๆ มีความเร็วเท่ากันกล่าวคือสัญญาณดิจิตอลที่มาจากอุปกรณ์แต่ละชุดจะถูกเก็บไว้ในหน่วยความจำ เป็นการชั่วคราวก่อน จากนั้นจะมีสัญญาณ clock เดียวกัน Read สัญญาณเหล่านั้นออกมา เนื่องจาก clock นี้จะมีความเร็วกว่าของสัญญาณดิจิตอลเหล่านั้นเล็กน้อย จึงกล่าวได้ว่าเป็นการเปลี่ยนสัญญาณเหล่านั้นให้มีความเร็วเท่ากัน และเนื่องจากพัลส์ทั้ง 2 ชนิดมีตำแหน่งที่แตกต่างกันอยู่จึงสามารถเพิ่มพัลส์พิเศษลงไป (เรียกว่า สตัฟพัลส์) ในตำแหน่งที่จำเป็นในบางครั้งตามรูป 2.24 สำหรับทางด้านรับก็จำเป็นต้องรู้ตำแหน่งของสตัฟพัลส์นี้ โดยทั่วไปการที่ทำให้รู้ว่ามีสตัฟพัลส์หรือไม่นั้นจะกระทำโดยการกำหนดช่องเวลา (time slot) ไว้ข้างหน้าก่อน และเรียกพัลส์นี้ว่า Stuffing control pulse

อนึ่ง การเข้ามัลติเพลกซ์ที่อาศัยวิธีการซิงโครไนซ์ของโครงข่ายนั้นเรียกว่า ซิงโครนัสมัลติเพลกซิ่ง (Synchronous Multiplexing) และที่อาศัยวิธีการซิงโครไนซ์โดยใช้สตัฟพัลส์เรียกว่า อะซิงโครนัสมัลติเพลกซิ่ง (Asynchronous Multiplexing) โดยทั่วไปถ้าสัญญาณมีความเร็วสูงการซิงโครไนซ์ของโครงข่ายจะกระทำได้ยาก แต่อย่างไรก็ตาม ในแง่ของการประหยัดแล้ว จะนำไปใช้กับสัญญาณที่มีความเร็วต่ำอย่างอุปกรณ์ระบบมัลติเพลกซ์ในอันดับที่ 2 (8.448 Mb/s) หรือต่ำกว่า สำหรับการซิงโครไนซ์โดยใช้สตัฟพัลส์นั้นจะนำไปใช้กับอุปกรณ์ระบบมัลติเพลกซ์อันดับที่สูงกว่านี้ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 การซิงโครไนซ์วิธีสตัฟพัลส์

2.8 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)

การส่งสัญญาณ PCM ในรูปของไบนารีพัลส์จะมีข้อเสียบางประการอย่างเช่นถ้าพัลส์นั้นมีแต่ "0" และ "+" จะมีองค์ประกอบความถี่ต่ำซึ่งอาจเป็นสาเหตุของการรบกวนสายส่งคู่อื่นๆ ในเคเบิ้ลเดียวกันได้ นอกจากนั้นสัญญาณไบนารีเหล่านั้นยังมี DC ปนอยู่ด้วยจึงไม่เป็นสิ่งที่ปรารถนาด้วยเหตุผลดังกล่าวก่อนที่จะส่งสัญญาณพัลส์ออกไปยังสายส่ง จะสร้างรหัสของพัลส์ขึ้นใหม่จากสัญญาณ PCM เดิม ซึ่งสัญญาณนี้ก็จะถูกเปลี่ยนเป็นสัญญาณ PCM เดิมที่อินพุตของอุปกรณ์ทางด้านรับ อย่างไรก็ตามเหตุผลที่ต้องทำรหัสใหม่เพื่อส่งออกไปในสายส่งนั้นมีดังต่อไปนี้

1) แยกไทมิ่งพัลส์ (timing pulses) ออกมาได้ง่าย

อุปกรณ์ทวนสัญญาณก็ดี และอุปกรณ์ทางด้านรับจะต้องสร้าง clock pulses เพื่อใช้เป็นบิทซิงโครไนซ์จากขบวนพัลส์ที่ส่งมา การที่จะแยกไทมิ่งพัลส์ออกมาได้อย่างถูกต้องและมีเสถียรภาพนั้น ขบวนพัลส์ที่ส่งมาต้องไม่มี "0" ต่อเนื่องกันนานเกินไป

2) ไม่มีองค์ประกอบ DC

ในระบบ PCM จะมีอุปกรณ์ทวนสัญญาณติดตั้งไว้ในระหว่างสายส่งเป็นระยะๆ และโดยทั่วไปทางต้นทางหรือปลายทางจะจ่ายกระแสตรงให้กับอุปกรณ์ทวนสัญญาณเหล่านั้นโดยส่งไปในสายส่งเดียวกัน หรือกล่าวอีกนัยหนึ่งคือในย่านความถี่ต่ำจะถูกใช้สำหรับป้อนกระแสไฟ (power feeding) ดังนั้นจะต้องส่งข่าวสารแบบดิจิตอลในแถบความถี่ซึ่งอยู่นอกเหนือจากนี้

3) แบนด์วิดธ์ในการส่งแคบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าสัญญาณครอบคลุมไปถึงย่านความถี่สูงมาก อัตราส่วนสัญญาณต่อการรบกวน (S/N) จะเลวลงเนื่องมาจากการลดทอนของสัญญาณและครอสทอล์คระหว่างคู่สายจะเป็นรากที่ 2 ของความถี่ของสัญญาณ ดังนั้นจึงต้องทำรหัสสัญญาณใหม่เพื่อไม่ให้มีองค์ประกอบความถี่สูงเกินไปที่จะใช้สำหรับส่งสัญญาณ PCM

4) สามารถตรวจสอบความถูกต้องในขณะบริการได้

ถ้ารหัสที่ทำขึ้นใหม่มีกฎเกณฑ์ที่แน่นอนแล้ว การตรวจสอบความถูกต้องจะกระทำได้ที่ด้านรับโดยการตรวจสอบหาสิ่งที่ผิดแปลกไปจากกฎเกณฑ์ที่กำหนดไว้ อย่างเช่นกรณีของรหัส AMI (Alternate Mark Inversion) จะต้องมีพัลส์ทางบวกและทางลบหรือตรงกันข้ามสลับกันไป ถ้าตรวจพบว่าไม่เป็นเช่นนี้ ก็แสดงว่ามีการผิดพลาด (error) เกิดขึ้นในสายส่ง

2.9 เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (Regenerative Repeater)

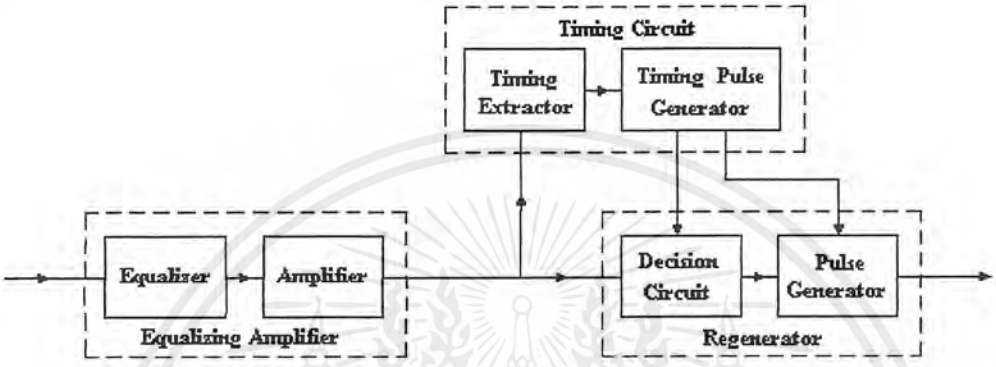
สัญญาณ PCM ที่ถูกส่งออกไปจะถูกลดทอน (Attenuation) และเกิดความเพี้ยน (Distortion) ขึ้นในระหว่างการรับส่งสัญญาณ นอกจากนี้ยังจะมีสิ่งรบกวน (Noise) แทรกซ้อนเข้ามา ดังนั้นในการรับส่งสัญญาณ PCM จึงต้องมีอุปกรณ์ในการทำให้สัญญาณ PCM กลับมาให้อยู่ในสภาพเดิม อุปกรณ์นี้เรียกว่าเครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (Regenerative Repeater) ซึ่งมีหน้าที่ในการผลิตสัญญาณ PCM ขึ้นมาใหม่ โดยให้มีลักษณะเช่นเดียวกับสัญญาณ PCM ที่ส่งมาจากต้นทาง โดยทั่วไปแล้วเราจะใส่รีเจนเนอร์เรทีฟว์รีพีทเตอร์ ไว้ในเส้นทางการส่งสัญญาณ ณ จุดที่ค่าสูงสุด (Peak) ของสิ่งรบกวนมีขนาดไม่เกินครึ่งหนึ่งของระดับสูงสุดของขบวนพัลส์ที่รับเข้ามา

ในระบบ PCM สัญญาณแอนะลอกจะถูกแทนด้วยรหัสไบนารี (Binary Code) ก็คือการมีพัลส์หรือไม่มีพัลส์ ณ เวลาที่กำหนดให้ การเปลี่ยนแปลงรูปร่างของพัลส์ เนื่องจากระบบรับส่งจะไม่ทำให้เกิดผลเสียใดๆ ขึ้น หากการเปลี่ยนแปลงนั้นมีไม่มากเกินไปที่จะทำให้เกิดความสับสนในการจำแนกว่ามีพัลส์หรือไม่มีพัลส์ และเมื่อตัดสินการมีพัลส์หรือไม่มีพัลส์ได้ถูกต้องที่รีเจนเนอร์เรทีฟว์รีพีทเตอร์ก็ย่อมจะสามารถผลิตพัลส์ขึ้นมาใหม่เหมือนกับพัลส์ที่ส่งออกมาได้ โดยใช้เครื่องกำเนิดพัลส์ (Pulse Generator)

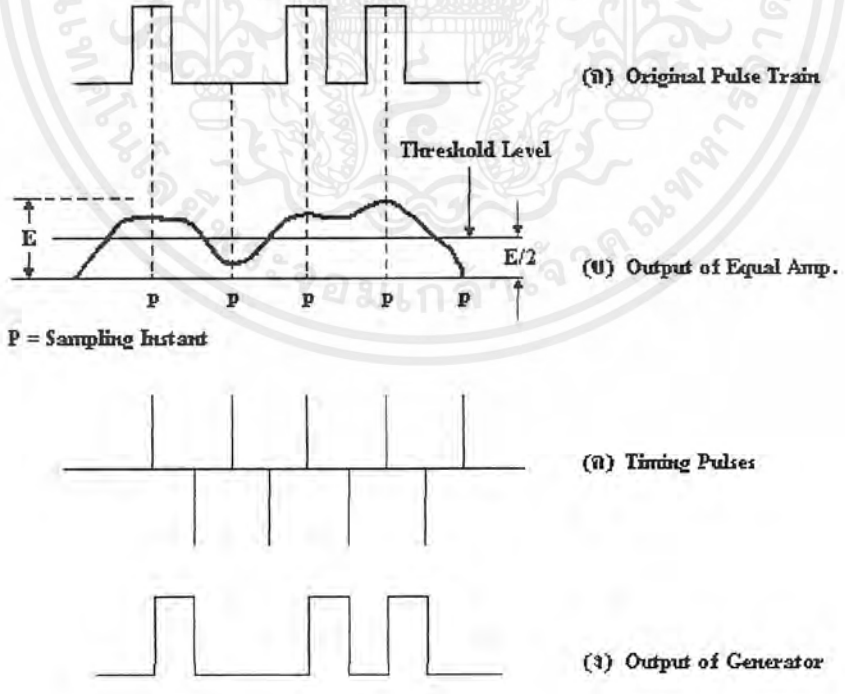
ในการตัดสินว่ามีพัลส์หรือไม่มีพัลส์นั้น สามารถทำได้โดยการเปรียบเทียบแอมพลิจูดของสัญญาณที่รับเข้ามากับระดับอ้างอิง (Reference Level หรือ Threshold Level) ตามทฤษฎีระดับอ้างอิงจะมีค่าเท่ากับครึ่งหนึ่งของพัลส์ที่สูงสุดของสัญญาณที่รับมา การเปรียบเทียบจะกระทำที่เวลาเมื่อพัลส์ที่สูงสุดเกิดขึ้นโดยปราศจากการรบกวนใดๆ และที่เวลานี้เรียกว่า Decision หรือ Sampling Instant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมของรีเจนเนอร์เรทีฟว์รีพีทเตอร์ แสดงตามรูปที่ 2.25 ประกอบด้วยส่วนสำคัญ 3 ส่วนคือ Equalizing Amplifier, Timing Circuit และ Regenerator สำหรับรูปร่างของสัญญาณทางด้านอินพุตและเอาต์พุต รวมทั้งหลักการของรีเจนเนอร์เรทีฟว์รีพีทเตอร์ แสดงในรูปที่ 2.26



รูปที่ 2.25 บล็อกไดอะแกรมของ Regenerative Repeater



รูปที่ 2.26 Waveshape ใน Regenerative Repeater

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

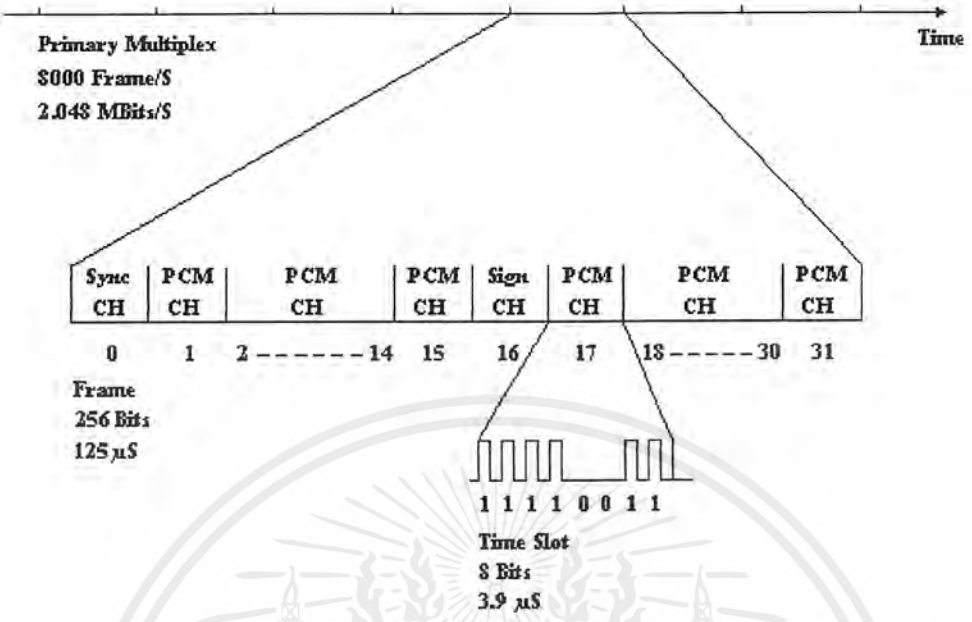
ขบวนพัลส์ที่ส่งมาจากต้นทาง (ตามรูปที่ 2.26 ก.) ย่อมจะเกิดความเพี้ยนขึ้นและมีสัญญาณรบกวนเสริมเข้ามาตลอดเส้นทางการส่ง ขบวนพัลส์ดังกล่าวจะถูกส่งเข้ามายังรีเจนเนอร์เรทีฟว์รีพีทเตอร์ ที่ภาคอิควอไลซิ่งแอมปลิฟายเออร์ซึ่งภาคนี้จะทำการปรับปรุงรูปร่างของขบวนพัลส์ที่ได้รับเพื่อให้พัลส์นั้นๆ อยู่ในช่วงเวลา (time slot) ของมันหลังจากการปรับปรุงรูปร่างแล้ว พัลส์ดังกล่าวจะได้รับการขยายถึงระดับที่สามารถตัดสินระหว่างการมีพัลส์หรือไม่มีพัลส์ได้ ดังแสดงตามรูปที่ 2.26 ข. เอาต์พุตของอิควอไลซิ่งแอมปลิฟายเออร์ ทางหนึ่งจะส่งไปยังภาครีเจนเนอร์เรเตอร์และอีกทางหนึ่งจะส่งไปยังภาควงจรไทมิ่ง ซึ่งปรับตั้งความถี่ไว้เท่ากับบิทเรทของระบบ ภาควงจรไทมิ่งนี้จะทำการผลิตไทมิ่งพัลส์ (Timing Pulses) ที่มีความถี่เดียวกับบิทเรท ดังแสดงตามรูปที่ 2.26 ค. ไทมิ่งพัลส์จากวงจรไทมิ่ง และขบวนพัลส์จากเอาต์พุตของอิควอไลซิ่งแอมปลิฟายเออร์จะป้อนไปยังภาครีเจนเนอร์เรเตอร์ที่ Decision Circuit ซึ่งเป็น AND Gate โดยจะผลิตพัลส์ออกมาเมื่อเอาต์พุตของอิควอไลซิ่งแอมปลิฟายเออร์มีขนาดสูงกว่าระดับเทรชโฮลด์ และมีไทมิ่งพัลส์พร้อมกันด้วย ช่วงเวลาของพัลส์ที่ผลิตออกมาใหม่จะถูกกำหนดด้วยช่วงว่างของเวลาระหว่างไทมิ่งพัลส์ รูปร่างลักษณะ (Waveshape) ของขบวนพัลส์ที่ผลิตขึ้นมาใหม่โดยเครื่องกำเนิดพัลส์ก็จะเหมือนกับขบวนพัลส์ที่ส่งมาจากต้นทาง

2.10 ระบบ PCM ชั้นแรก (First Order PCM System)

CCITT ได้ออกข้อกำหนดสำหรับระบบ PCM ชั้นแรก ที่ใช้กับโทรศัพท์ไว้ 2 แบบคือแบบ 30/32 ช่อง และแบบ 24 ช่อง ซึ่งระบบ PCM ชั้นแรก จะเป็นรากฐานของระบบ PCM ที่มีชั้นสูงกว่า อุปกรณ์ในระบบ PCM แบ่งออกเป็น 2 ส่วนคืออุปกรณ์มัลติเพลกซ์ PCM หรือเรียกว่า PCM Terminal กับ PCM Transmission Line โดยที่อุปกรณ์มัลติเพลกซ์ PCM จะมีหน้าที่เปลี่ยนสัญญาณแอนะลอกจำนวนหนึ่งคือ 24 หรือ 30 ช่องสัญญาณ ให้เป็นสัญญาณดิจิตอลออกไปทางด้านส่ง ส่วน PCM Transmission Line จะนำพาสัญญาณดิจิตอลไปในระหว่างอุปกรณ์มัลติเพลกซ์จำนวน 2 ชุด คือทางด้านส่งและด้านรับ

สัญญาณดิจิตอลจะถูกแบ่งออกเป็นเฟรม โดยมีอัตราการทวนซ้ำ (Repetition Rate) 8000 เฟรมต่อวินาที (เนื่องจาก Sampling Rate = 8000 Hz) เฟรมเหล่านี้ประกอบด้วยรหัสไบนารีของแต่ละสัญญาณแอนะลอก สำหรับในกรณีของการมัลติเพลกซ์แบบ 30 ช่องสัญญาณ แต่ละเฟรมประกอบด้วย 32 Time Slots โดยแต่ละ Time Slots จะถูกบรรจุไว้ด้วยรหัสไบนารีจำนวน 8 บิท จาก Time Slot เหล่านี้จำนวน 30 Time Slots คือ Time Slot ที่ 1 ถึง 15 และ Time Slot ที่ 17 ถึง 31 จะใช้สำหรับ PCM Voice Channel ส่วนอีก 2 Time Slots คือ Time Slot ที่ 0 ใช้สำหรับการซิงโครไนซ์และ Time Slot ที่ 16 ใช้สำหรับ Signalling ดังแสดงตามรูปที่ 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 โครงสร้างของ 30 Voice Channels PCM Multiplex

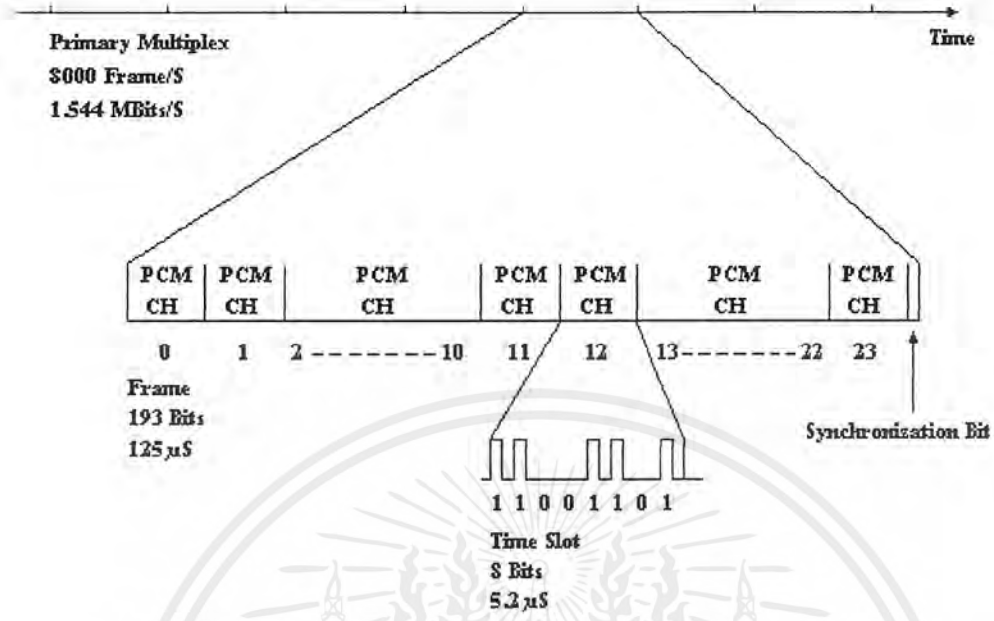
ช่องที่ใช้ซิงโครไนซ์ที่ Time Slot 0 ของแต่ละเฟรมประกอบด้วยรหัส 8 บิท ซึ่งใช้สำหรับการกำหนดสัญญาณการยอมรับ (Recognition Signal) เพื่อให้ทางด้านรับกับทางด้านส่งเกิดการซิงโครไนซ์ซึ่งกันและกัน อันเป็นการทำให้สัญญาณ PCM แต่ละช่องถูกวิเคราะห์ได้อย่างถูกต้อง ส่วน Time Slot ที่ 16 ของแต่ละเฟรม ซึ่งเป็น Signalling Channel ใช้สำหรับการรับส่ง Channel Associated Signalling หรือส่ง Multiframes ที่ตรงกันกับในแต่ละ PCM Channel

จากรูปที่ 2.27 จะเห็นว่าในแต่ละ Time Slot (3.9 ไมโครวินาที) จะถูกบรรจุไว้ด้วยรหัสไบนารีเป็นจำนวน 8 บิท ดังนั้นใน 1 เฟรม (125 ไมโครวินาที) จึงมีจำนวนรหัสไบนารีเป็น 32 x 8 = 256 บิท นั่นคือในจำนวน 8000 เฟรม (1 วินาที) จึงมีอัตราเร็วในการส่งรหัสไบนารีเท่ากับ 8000 x 256 = 2.048 MBits/S

สำหรับระบบ PCM แบบ 24 ช่องนั้นก็คงมีหลักการเช่นเดียวกับระบบ PCM แบบ 30/32 ช่อง แต่ต่างกันที่โครงสร้างเพียงเล็กน้อย ดังแสดงตามรูปที่ 2.28

เนื่องจากระบบ PCM แบบ 24 ช่องนั้นจะไม่มี Time Slot ที่ใช้สำหรับการรับส่ง Signalling ดังนั้นการรับส่ง Signalling จึงสามารถกระทำได้โดยใช้บิทที่ 8 ซึ่งเป็นบิทที่มีความสำคัญต่ำสุด (LSB) ของทุกๆ Time Slot ในเฟรมที่ 6 และเฟรมที่ 12 เป็นบิทที่ใช้สำหรับรับส่ง Signalling และสำหรับการซิงโครไนซ์จะใช้บิทพิเศษอีก 1 บิท ใส่เข้าไปในทุกๆ เฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 โครงสร้างของ 24 Voice Channels PCM Multiplex

จากรูปที่ 2.28 จะเห็นว่าในแต่ละ Time Slot (5.2 ไมโครวินาที) จะถูกบรรจุไว้ด้วยรหัสไบนารีเป็นจำนวน 8 บิท และในแต่ละเฟรมจะเพิ่มบิทพิเศษเข้าไปอีก 1 บิท เพื่อการซิงโครไนซ์ ดังนั้นใน 1 เฟรม (125 ไมโครวินาที) จึงประกอบด้วยรหัสไบนารีเป็นจำนวน (24 x 8) + 1 = 193 บิท นั่นคือในจำนวน 8000 เฟรม (1 วินาที) จึงมีอัตราเร็วในการส่งรหัสไบนารีเท่ากับ 8000 x 193 = 1.544 MBits/S

2.11 การส่งสัญญาณดิจิตอลที่ใช้คลื่นพาห์

เท่าที่ผ่านมาเราได้กล่าวถึง สัญญาณดิจิตอลในแบนด์มูลฐานเท่านั้น ไม่ได้กล่าวถึงการส่งสัญญาณประเภทที่มีการย้ายสเปกตรัมของสัญญาณดิจิตอลเดิมเลย เนื่องจากสัญญาณดิจิตอลในแบนด์มูลฐาน มีองค์ประกอบของสัญญาณที่มีความถี่ต่ำอยู่เป็นส่วนใหญ่ จึงเหมาะสมที่จะใช้กับระบบสื่อสารที่ใช้สายโดยตรง แต่ไม่เหมาะที่จะใช้ส่งผ่านระบบที่ไม่ยอมให้ความถี่ต่ำผ่านไปได้ เช่น ระบบโทรศัพท์ที่ต้องผ่านชุมสาย และไม่เหมาะกับการส่งสัญญาณนั้นโดยตรงด้วยคลื่นในย่านความถี่วิทยุเป็นต้น จึงจำเป็นที่ต้องใช้การมอดูเลตมาช่วยเพื่อย้ายสเปกตรัมของสัญญาณดิจิตอลในแบนด์มูลฐานให้สูงขึ้นให้เหมาะสมกับการใช้งานนั้น ดังนั้นจะกล่าวเกี่ยวกับรูปแบบของการส่งสัญญาณดิจิตอลที่ใช้คลื่นพาห์ไว้เป็นสังเขป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลตสัญญาณดิจิตอลนี้มี 3 แบบด้วยกันคือ

1. Amplitude Shift Keying (ASK)
2. Frequency Shift Keying (FSK)
3. Phase Shift Keying (PSK)

คลื่นพาหะในย่านความถี่วิทยุ หรือไมโครเวฟสามารถกำหนดได้โดย

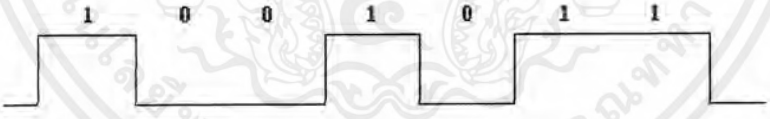
$$\text{คลื่นพาหะ} = A \cos(2\pi f_c t + \sigma)$$

ในที่นี้ A : แอมพลิจูดของคลื่นพาหะ

f_c : ความถี่คลื่นพาหะ

σ : initial phase

สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการมอดูเลตสัญญาณดิจิตอลนี้หนึ่งในสามพารามิเตอร์คือ แอมพลิจูด ความถี่ หรือเฟสของคลื่นพาหะจะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์



รูปที่ 2.29 สัญญาณเบสแบนด์ดิจิตอล

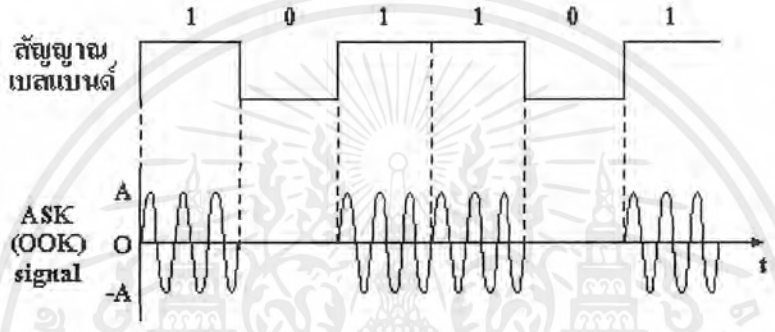
การมอดูเลตแบบดิจิตอล	การมอดูเลตแบบแอนะลอก
ASK Amplitude Shift Keying	AM
FSK Frequency Shift Keying	FM
PSK Phase Shift Keying	PM

รูปที่ 2.30 เปรียบเทียบวิธีการมอดูเลตแบบดิจิตอลและแอนะลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีของ ASK บางครั้งเรียกว่า OOK (on-off keying) เพราะว่า คลื่นพาหะถูกสวิทซ์ on/off ตามสัญญาณที่เป็น 1 หรือ 0 ถ้าคลื่นพาหะกำหนดโดย A cos $2\pi f_c t$ ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$S(t) = \begin{cases} A \cos 2\pi f_c t & \text{เมื่อสัญญาณเป็น 1} \\ 0 & \text{เมื่อสัญญาณเป็น 0} \end{cases}$$



รูปที่ 2.31 amplitude shift keying

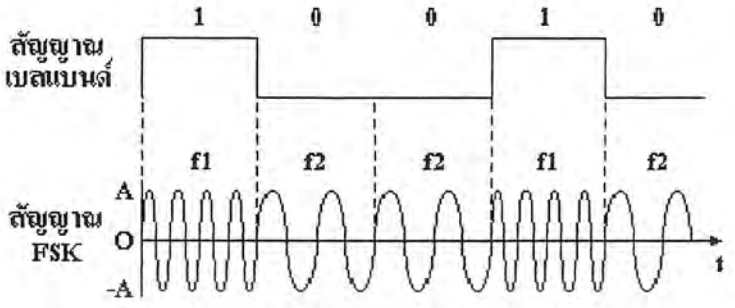
สำหรับกรณีของ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณที่เป็น 1 และความถี่ f_2 สำหรับสัญญาณที่เป็น 0

$$S(t) = \begin{cases} A \cos 2\pi f_1 t & \text{สำหรับสัญญาณเป็น 1} \\ A \cos 2\pi f_2 t & \text{สำหรับสัญญาณเป็น 0} \end{cases}$$

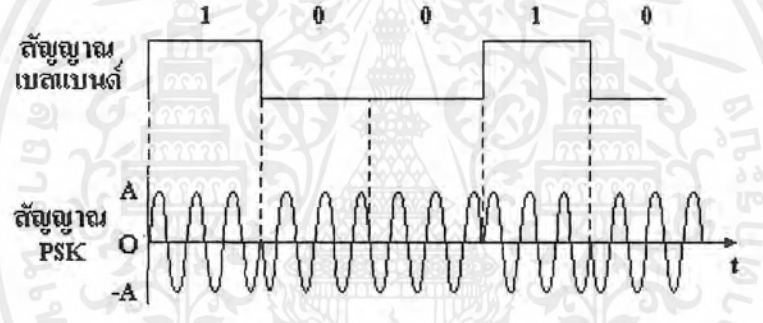
ส่วนกรณีของ PSK แอมพลิจูดและความถี่จะคงที่แต่เฟสเริ่มต้น (initial phase) จะต่างกัน สำหรับสัญญาณที่เป็น 1 หรือ 0 คือเฟสของคลื่นพาหะ A cos $(2\pi f_c t + \sigma)$ จะเปลี่ยนไปตามสถานะของสัญญาณ เช่น เฟส σ เป็น 0 กรณีสัญญาณมีสถานะเป็น 1 และเฟส σ เป็น π กรณีสัญญาณมีสถานะเป็น 0

$$S(t) = \begin{cases} A \cos 2\pi f_c t & \text{กรณีสัญญาณเป็น 1} \\ A \cos (2\pi f_c t + \pi) & \text{กรณีสัญญาณเป็น 0} \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 frequency shift keying



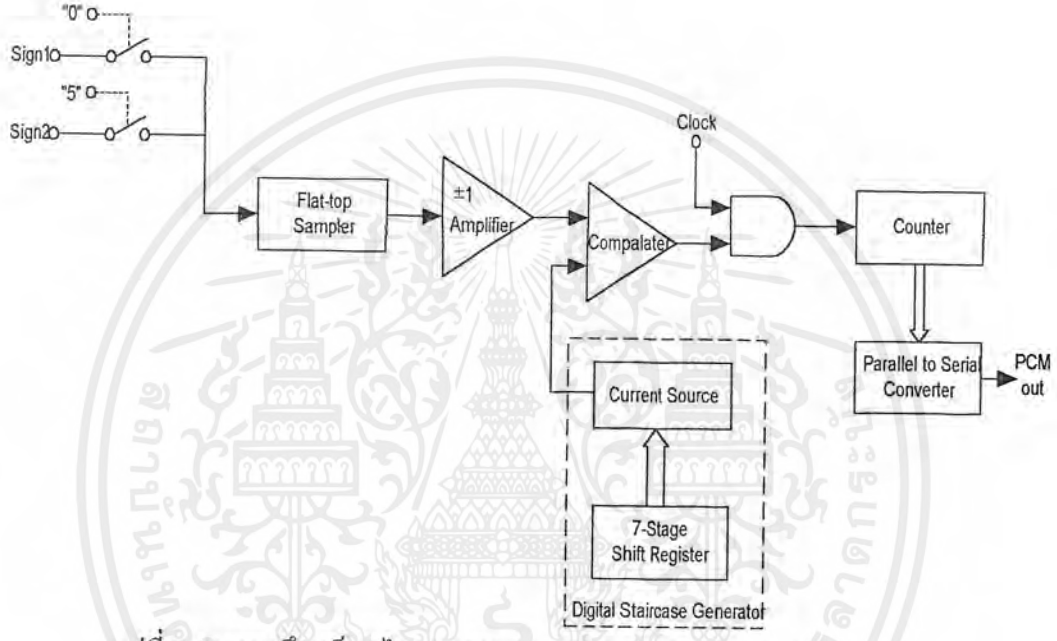
รูปที่ 2.33 phase shift keying

สำหรับการสื่อสารดาวเทียม PSK เป็นแบบที่เหมาะสมที่สุดสำหรับการสื่อสารดาวเทียมแบบดิจิตอลเมื่อเทียบกับแบบอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการทำงานของเครื่องส่ง-เครื่องรับ TDM-PCM

ทางด้านเครื่องส่ง (TDM-PCM Modulation) สามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.1



รูปที่ 3.1 แสดงถึงบล็อกไดอะแกรมของ TDM-PCM Modulation

3.1 หลักการทำงานของเครื่องส่ง ต้องประกอบไปด้วย

1. Multiplexing (การมัลติเพลกซ์)
2. Sampling (การสุ่มตัวอย่าง)

โดยส่วนของการมัลติเพลกซ์ และการสุ่มตัวอย่าง ในโครงงานนี้จะกระทำไปพร้อมๆ กันในคราวเดียวโดยใช้ Modulation Timimg Counter เป็นตัวสุ่มตัวอย่างที่เวลาต่างกันโดยจะทำให้ได้สัญญาณที่เป็นสัญญาณ PAM ออกมา 2 สัญญาณ และใช้สวิทช์อิเล็กทรอนิกส์ (ไอซี CD 4066BE) ช่วยในการมัลติเพลกซ์ และการสุ่มตัวอย่างไปด้วย

3. Quantizing (การจัดระดับ)
4. Parallel to Serial Convertor (การแปลงข้อมูลจากการส่งแบบขนานไปเป็นการส่งแบบอนุกรม)
5. Timing Circuit (วงจรกำเนิดสัญญาณเวลา)

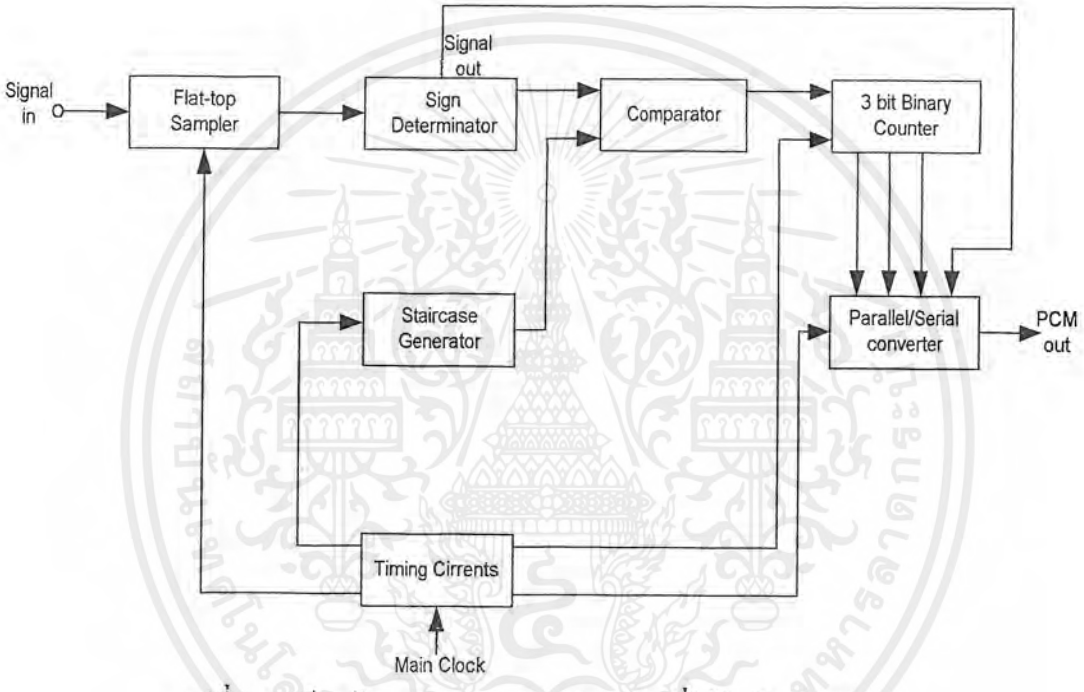
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Synch. Word Generation (วงจรกำเนิดสัญญาณซิงโครไนซ์)

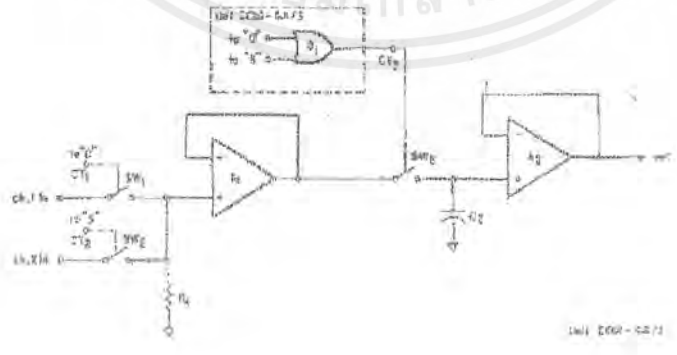
เป็นส่วนสำคัญในการติดต่อสื่อสารในระบบ TDM-PCM นั้นสามารถทำงานได้ คือจะเป็นส่วนที่ทำให้ทางด้านรับสามารถนำเอาสัญญาณกลับคืนมาใช้งานได้

โดย TDM-PCM Modulator นี้เป็นการเปลี่ยนแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิตอลที่มาจากแหล่งกำเนิดสัญญาณ 2 ช่องสัญญาณ ซึ่งมีขนาดของสัญญาณไม่เท่ากัน แต่มีความถี่เท่ากัน(เพื่อให้สามารถกระทำใดๆ กับสัญญาณได้เหมือนๆกัน) ดังตัวอย่างในรูปที่ 3.3

บล็อกไดอะแกรมตัวอย่างที่ใช้ในโครงงานแสดงดังรูปที่ 3.2



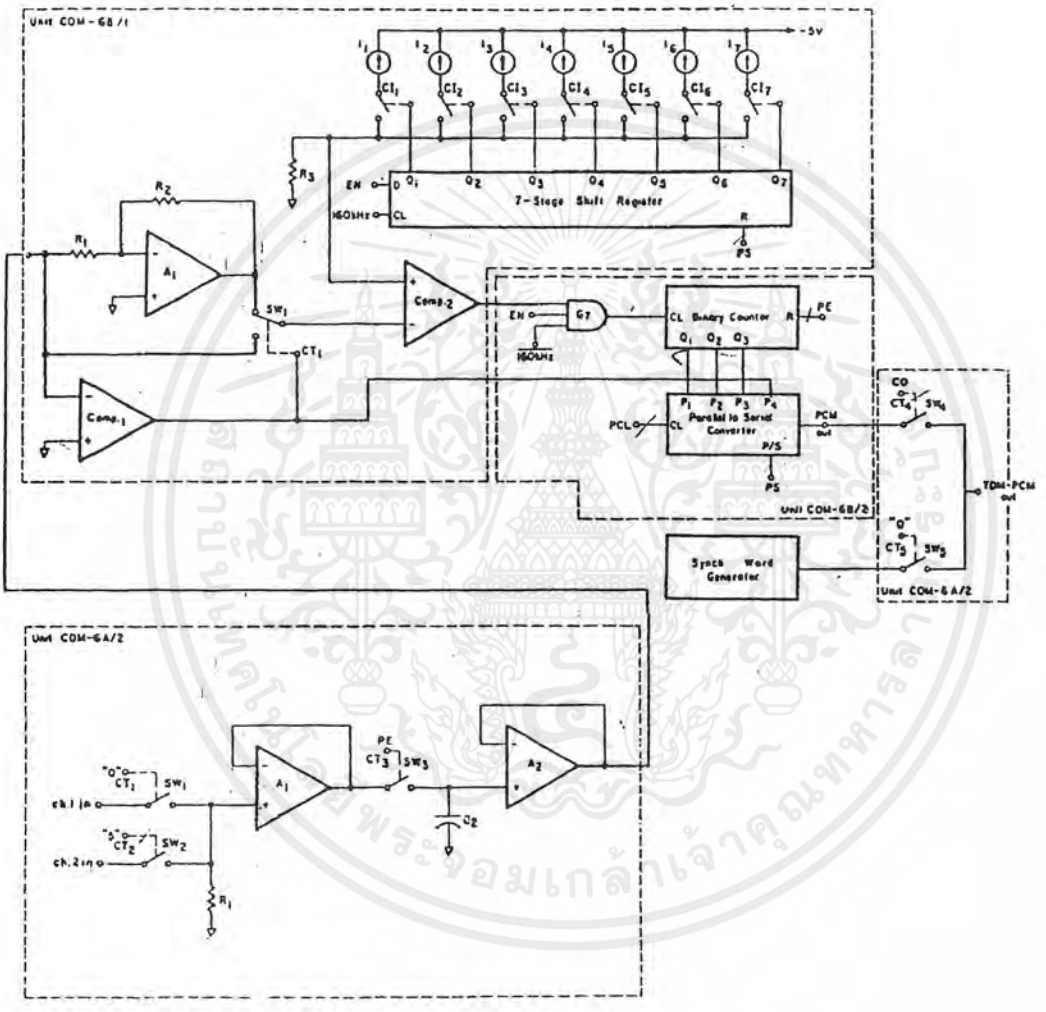
รูปที่ 3.2 บล็อกไดอะแกรมของ TDM-PCM ที่ใช้ในโครงงาน



รูปที่ 3.3 การมัลติเพลกซ์สัญญาณ 2 ช่อง พร้อมด้วยการาสุ่มตัวอย่าง

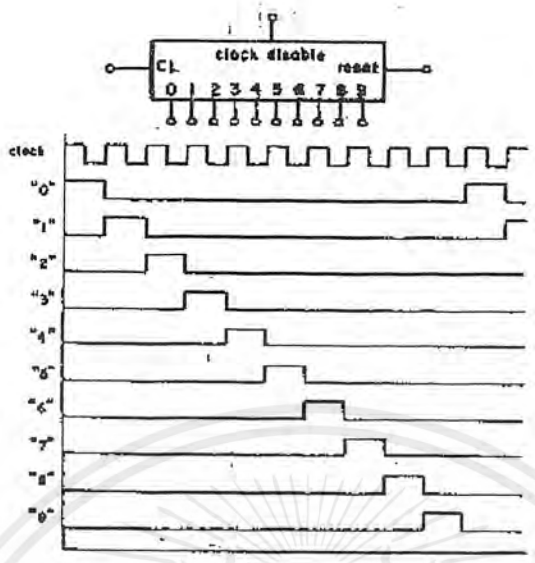
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปสัญญาณจาก ch.1 และ ch.2 จะเข้ามาที่สวิทช์อิเล็กทรอนิกส์ของแต่ละตัว ส่วนนี้สัญญาณทั้ง 2 จะถูกสุ่มตัวอย่างจากสัญญาณนาฬิกาที่เข้ามาทาง CT_1 และ CT_2 สัญญาณเวลานี้จะได้มาจากไอซีผลิตสัญญาณเวลาดังรูปที่ 3.5 ซึ่งเกิดจากการป้อนสัญญาณนาฬิกาที่มีความถี่ 80 kHz ให้ได้สัญญาณเวลาออกมาในการสุ่มตัวอย่างมีความถี่ประมาณ 7 kHz ออกมาเป็นสัญญาณที่ถูกสุ่มตัวอย่างและมัลติเพลกซ์ในเวลาเดียวกัน วงจรที่ใช้ในทางปฏิบัติในโครงงานนี้เป็นดังรูปที่ 3.4



รูปที่ 3.4 แสดงถึงวงจร TDM-PCM Multiplex และ Modulation

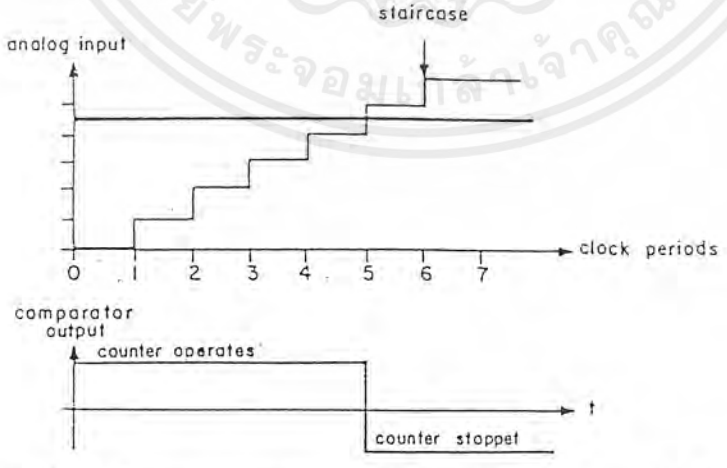
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ไดอะแกรมของ สัญญาณเวลา John Decade

โดยสัญญาณที่ได้จะเป็นพัลส์ในแนวราบเช่นเดียวกับสัญญาณ PCM คือจะเกิดจาก Staircase Generator , Comparator และBinary Counter โดยในส่วนของ A/D จะทำงานที่สัญญาณแอนะลอกที่มีขั้วเดียว (Unipolar) และเป็น Synchoronous Counter

การเปลี่ยนจะกระทำดังนี้ ที่จุดเริ่มต้นของการเปลี่ยนแปลงของการนับเลขไบนารี่ คือการ Set ค่าเป็น 0000 และ Staircase Generator จะมี Output เท่ากับ 0 โวลท์ ซึ่งแต่ละสัญญาณนาฬิกา จะเลื่อนไปข้างหน้า โดยเครื่องนับจะเลื่อนไป 1 บิท และจะเพิ่มค่าแรงดันของสัญญาณขั้นบันไดไป 1 ขั้น ดังรูปที่ 3.6



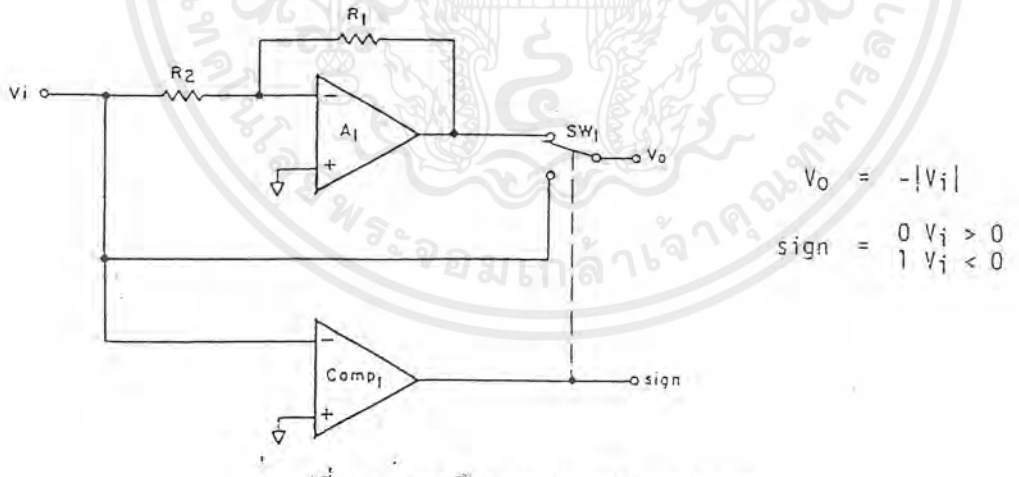
รูปที่ 3.6 เป็นการแสดงรูปคลื่นในระบบดิจิตอลที่เป็นแบบขั้นบันได
ของการแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแรงดันของขั้นบันไดมากกว่าแรงดันของสัญญาณแอนาลอกที่ส่งเข้ามา Comparator (ตัวเปรียบเทียบ) จะทำการเปลี่ยนสถานะและทำให้ Counter หยุดการนับ เลขในวงจรนับก็คือค่าดิจิตอลที่แทนค่าของแรงดันอินพุตแอนะลอกโดนเครื่องส่งในโครงงานนี้สามารถทำงานได้ที่ด้านบวกด้านเดียว หรือด้านลบด้านเดียว แต่โดยธรรมชาติสัญญาณแอนาลอกจะมีค่าทั้งซีกบวกและซีกลบ ดังนั้นสัญญาณอินพุตที่เป็นแอนาลอกจะต้องแปลงจากสัญญาณที่มี 2 ขั้ว (Bipolar Signal) ไปเป็นสัญญาณที่มีขั้วเดียว (Unipolar Signal) เอาท์พุตของเครื่องส่งคือรหัสในรูปของรหัส BCD ที่บอกทั้งเครื่องหมายและขนาด ซึ่งรหัส 3 บิททางขวามือจะเป็นรหัสที่แทนขนาด ส่วนรหัส 1 บิทที่อยู่ด้านซ้ายจะแสดงถึงความเป็นค่าบวกและค่าลบของรหัสเช่น 0011 จะหมายถึงมีขนาดเท่ากับ 3 (011) และมีค่าเป็นบวก ซึ่งก็คือ +3 นั่นเอง

3.1.1 Sign Determinator

หลังจากการสุ่มตัวอย่างและการมัลติเพลกซ์ สัญญาณดังกล่าวจะถูกส่งมายังส่วนที่จะแยกเอาเครื่องหมายนั่นคือ การเอาบิททางด้านซ้ายของรหัส BCD ออกมาจากสัญญาณ เป็นตัวบอกสถานะของสัญญาณว่าเป็นบวกหรือเป็นลบ โดยจะเป็นตัวแปลงสถานะที่เป็นบวกหรือลบไปเป็นรหัส 0 หรือ 1 โดยแสดงวงจร ดังรูปที่ 3.7



รูปที่ 3.7 แสดงถึงวงจร Sign Determinator

ซึ่งวงจรนี้จะผลิตเอาท์พุตที่เป็นลบออกมา

ถ้า Vi > 0 เอาท์พุต ที่ Comparator จะเป็น Logic 0 และ Vo จะขึ้นอยู่กับอัตราขยายของออปแอมป์นั่นคือ $Vo = -(R_1/R_2) \times Vi$

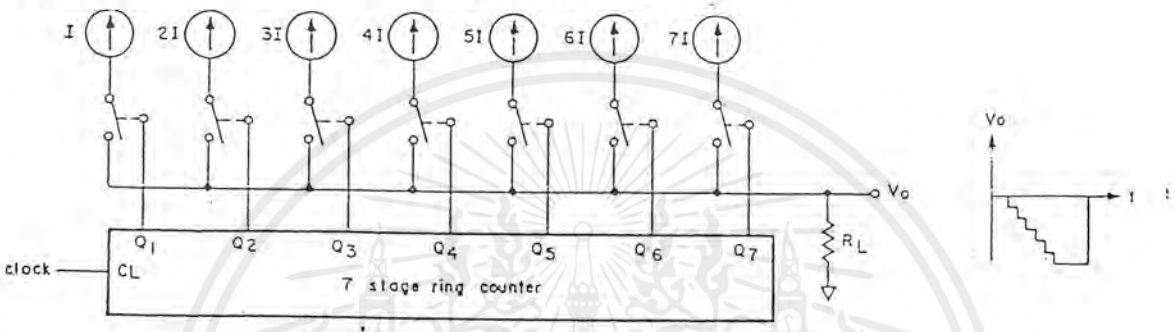
และถ้า Vi < 0 เอาท์พุตที่ Comparator จะเป็น Logic 1 และ Vo จะต่อตรงกับ Vi

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น Vo = - | Vi | และ เอาท์พุตของ Comparator จะให้เครื่องหมายของสัญญาณอินพุต ตามเครื่องหมายและขนาดของรหัสคือ 0 จะหมายถึง Vi > 0 และ 1 หมายถึง Vi < 0

3.1.2 Staircase Generator

โดยจะประกอบด้วยแหล่งจ่ายกระแสที่สามารถทำหน้าที่เป็นสวิทช์ต่อกับตัวต้านทานและจะทำงานเป็นวงจรนับแบบวงแหวน 7 Stage ดังแสดงในรูปที่ 3.8



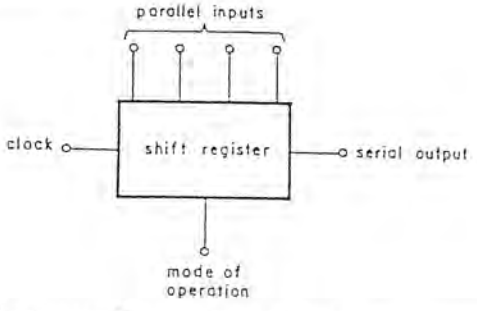
รูปที่ 3.8 แสดงถึงวงจร Staircase Genarator

โดยแรงดันเอาท์พุตจะเกิดจากขั้นบันไดของแหล่งจ่ายกระแส ซึ่งเท่ากับ $-1xR_L$ ในวงจรนี้สวิทช์จะปิดได้ทีละตัว ซึ่งมันสามารถที่จะสร้างขั้นบันไดด้วยแหล่งจ่ายกระแสทั้ง 7 โดยเอาท์พุตจะต่อในลักษณะขนานและจะทำการรวมค่าบน R_L

3.1.3 Parallel to Serial Convertor

โดยเอาท์พุตของวงจรนับเลขฐานสอง จะต่อไปยังอินพุตของ Parallel to Serial Convertor เมื่อ Comparator หยุดทำการนับ ผลลัพธ์ที่เป็น 3 ใน 4 ของ Shift Register จะทำงานแบบการส่งในรูปขนาน โดย Stage ที่ 4 จะทำการส่งบิทที่แสดงเครื่องหมาย ซึ่งได้มาจาก Sign Determinator

Shift Register จะทำงานในขณะที่มีการส่งอนุกรม และตัวเลขจะทำการปล่อยบิทต่อบิท โดย Parallel to Serial Convertor แสดงไว้ในรูปที่ 3.9

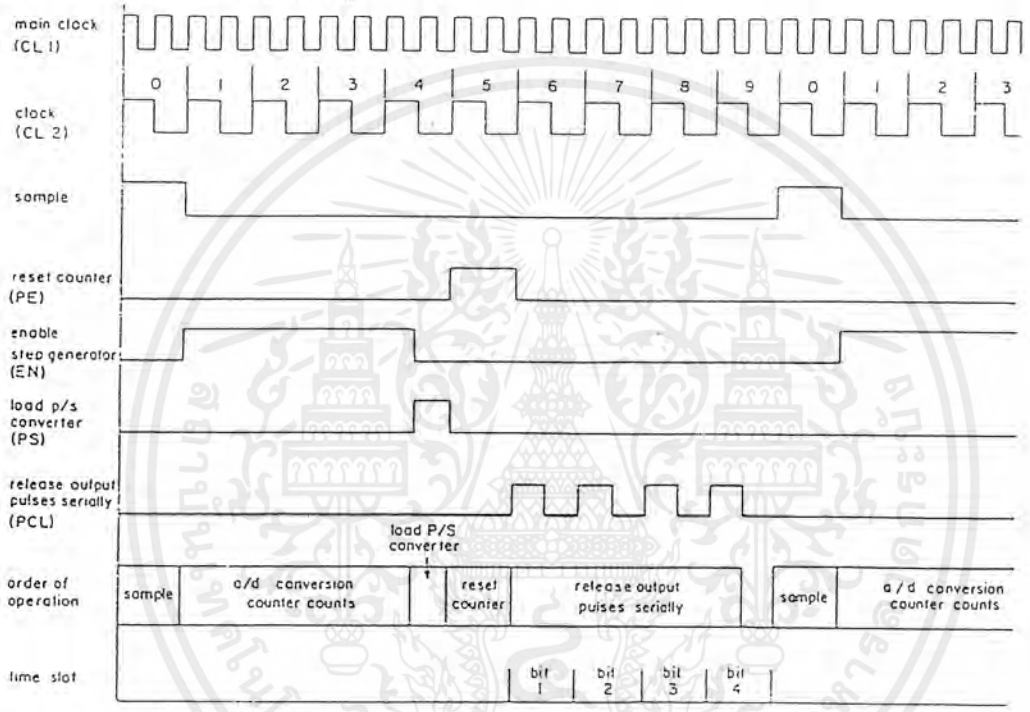


รูปที่ 3.9 แสดงถึงวงจร Parallel to Serial Convertor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 Timing Circuit

ซึ่งส่วนที่มีความสำคัญของการ Modulation แบบ TDM-PCM รองลงมาจาก Synchronous Word Generation ซึ่งมี 2 เหตุผล คือ ประการที่ 1 ตั้งแต่ Modulation เป็นระบบดิจิตอลที่เป็น Synchronous มันจะขึ้นอยู่กับการเปลี่ยนสัญญาณนาฬิกา เพื่อการทำงานที่ถูกต้อง ประการที่ 2 คือ พัลส์เอาท์พุตจะต้องมีเวลาที่เหมาะสมกับระบบการสื่อสารแบบดิจิตอล ซึ่ง Timing Diagram ของ TDM-PCM Modulator แสดงในรูปที่ 3.10



รูปที่ 3.10 แสดงถึง Timing Diagram ของ TDM-PCM Modulator

โดยเวลาจะมีฐานของเวลา 2 ตัว (Two Clock) ให้เป็น CL_1 และ CL_2 ซึ่ง $CL_2 = (CL_1/2)$ โดยคาบเวลาของ CL_2 จะแบ่งเป็นตัวเลขจาก 0 ถึง 9 ใน 1 คาบ ที่สมบูรณ์ของแอนะลอกที่ใช้ส่งในระบบ TDM-PCM จะมี 10 คาบ (10 CL_2)

จากรูปที่ 3.10 จะประกอบด้วย Step ดังนี้

คาบเวลาที่ 0 สัญญาณแอนะลอกจะทำการแซมเปิ้ลและทำการหาเครื่องหมายว่าเป็นบวกหรือลบ

คาบเวลาที่ 1 , 2 , 3 และครึ่งหนึ่งของคาบเวลาที่ 4 สัญญาณขั้นบันไดที่เป็นแบบดิจิตอลจะเป็นแบบหรือเป็นตัวเปรียบเทียบกับสัญญาณ Input วงจรนับจะทำการนับที่อัตราของ CL_1 จน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทั่ง Comparator สามารถตรวจจับสัญญาณขั้นบันได ซึ่งก็คือ การที่สัญญาณขั้นบันไดมีค่าเป็นลบมากกว่าสัญญาณ Input

คาบเวลาที่เหลืออีกครึ่งหนึ่งของคาบเวลาที่ 4 ผลลัพธ์ที่เกิดในวงจรรับจะถูกอ่านเข้าไปยัง Parallel to Serial Converter

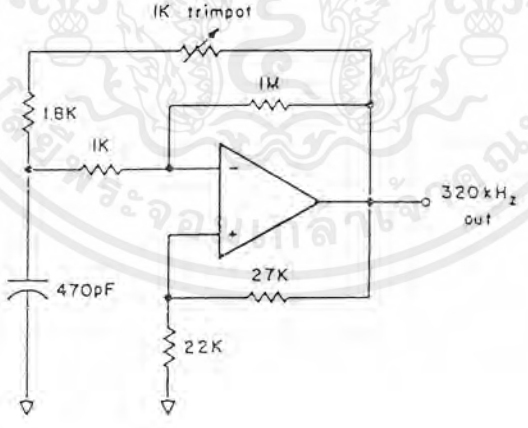
คาบเวลาที่ 5 วงจรนับจะถูก Reset ให้เป็น 0

คาบเวลาที่ 6 , 7 , 8 และครึ่งหนึ่งของคาบเวลาที่ 9 สัญญาณ PCM จะถูกปล่อยส่งออกมาในรูปของการส่งแบบอนุกรมโดย Parallel to Serial Converter

คาบเวลาที่ 10 = คาบเวลาที่ 0 จะทำการเริ่ม Cycle ใหม่

ระหว่างคาบเวลาที่ 0 , 1 , 2 , 3 และ 4 วงจร Sample , Sign Determinator , Step Generator และวงจรนับจะเป็นผู้กระทำ หรือปฏิบัติการ ขณะที่ Parallel to Serial Converter ยังไม่ทำงานและในขณะที่เกิดคาบเวลาที่ 5 , 6 , 7 , 8 และ 9 จะเกิดการ Reset ของวงจรนับและวงจร Parallel to Serial Converter จะทำงานเพียงตัวเดียว ผลลัพธ์ขณะที่ Parallel to Serial Converter ทำงาน คือ การปล่อยพัลส์ PCM ออกมาและเวลาส่วนที่เหลือของ Modulator สามารถที่จะรอตัวแซมเปิ้ลในตัวถัดไป

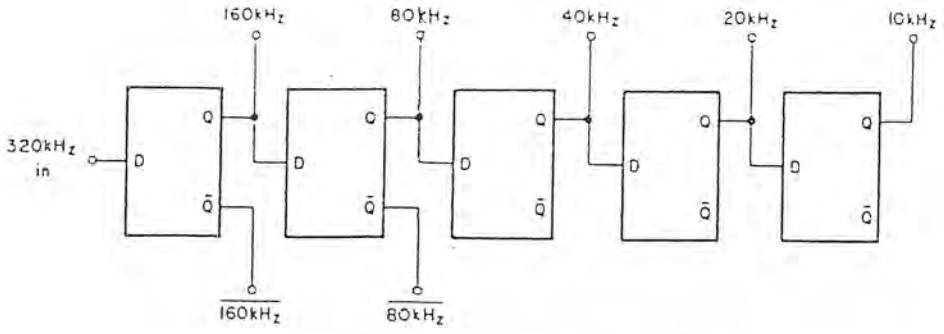
ซึ่งวงจรผลิตสัญญาณนาฬิกา อาจจะประกอบขึ้นด้วยสัญญาณ Square Wave ความถี่ 320 KH_z ดังแสดงในรูปที่ 3.11



รูปที่ 3.11 แสดงถึง Oscillator ที่ผลิตสัญญาณ Square Wave ความถี่ 320 kH_z

และความถี่ 320 kH_z จะถูกหารความถี่ โดยใช้ Flip-Flop 5 ตัว ดังแสดงในรูปที่ 3.12 ซึ่งจะให้ความถี่ออกมาเป็น 160 kH_z , 80 kH_z , 40 kH_z , 20 kH_z และ 10 kH_z ตามลำดับ

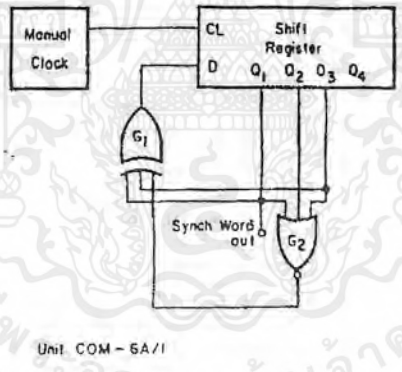
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงถึงวงจรหารความถี่

3.1.5 Synch. Word Generation

เป็นวงจรที่จะมีผลทำให้ทางด้านรับสามารถถอดรหัสสัญญาณจากที่เครื่องส่ง ได้ส่งออกไปกลับออกมาเป็นสัญญาณที่มีลักษณะเหมือนสัญญาณต้นกำเนิดให้มากที่สุด โดยจะเป็นสัญญาณที่ถูกสร้างขึ้นโดยวงจรสร้างสัญญาณซิงโครไนซ์ ดังในรูปที่ 3.13

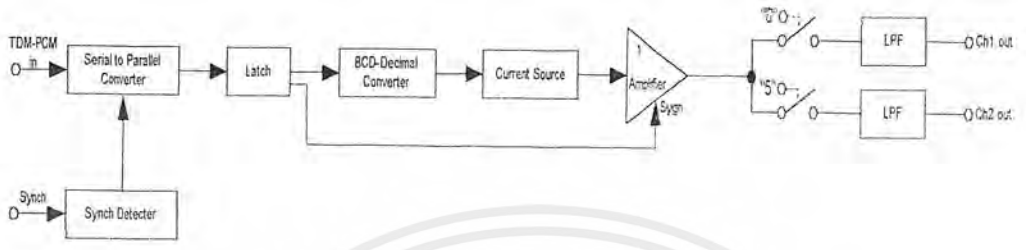


รูปที่ 3.13 แสดงถึงวงจรสร้างสัญญาณซิงโครไนซ์

สัญญาณที่ได้จะเป็นสัญญาณพัลส์ขั้วเดียว (Unipolar) ที่มีลักษณะเป็นขบวนพัลส์ที่เหมือนกัน โดยในวงจรนี้เป็นวงจรที่ได้มีการปรับปรุงแก้ไข ในเรื่องของการที่เครื่องรับไม่สามารถถอดรหัสสัญญาณที่ถูกส่งมาได้เมื่อมีสัญญาณพัลส์ 0 หรือ 1 ที่ซ้ำกันมากๆ โดยตัวLogic XOR G_1 จะเป็นตัวป้อนข้อมูลย้อนกลับให้กับตัว Shift Register เพื่อแก้ไขการถอดรหัสสัญญาณไม่ได้ดังกล่าว CL จะเป็นอินพุตของตัว Shift Register โดยจากรูปเราจะใช้สัญญาณเวลา "0" ที่ได้จากตัวกำเนิดสัญญาณเวลา เพื่อให้เกิดเป็น Synch. Word ขึ้นใช้ในการส่งไปยังทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปจะเป็นการแสดงถึงบล็อกไดอะแกรมของภาคเครื่องรับ(TDM-PCM Demodulation) ได้ดังรูปที่ 3.14



รูปที่ 3.14 แสดงถึงบล็อกไดอะแกรม ของ TDM-PCM Demodulator

3.2 หลักการทำงานของเครื่องรับ ต้องประกอบไปด้วย

1. Synch. Word Detection (การถอดรหัสสัญญาณซิงโครไนซ์)

เช่นเดียวกับวงจร Synch. Word Generator แต่จะทำงานตรงกันข้าม เพื่อนำเอาสัญญาณไปในในการช่วยถอดรหัสสัญญาณที่ส่งมาให้ทางด้านรับแปลงกลับเป็นสัญญาณที่เหมือนสัญญาณต้นกำเนิด

2. Serial to Parallel Converter (การแปลงข้อมูลจากการส่งแบบขนานไปเป็นการส่งแบบอนุกรม)

3. Digital to Analog (การแปลงข้อมูลแบบดิจิตอลไปเป็นแบบแอนะลอก)

4. Low Pass Filter (กรองความถี่ต่ำผ่าน)

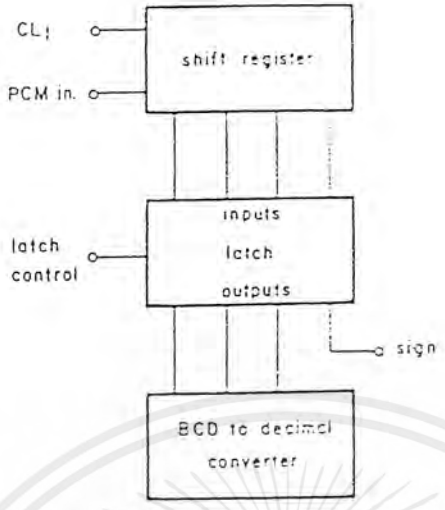
3.2.1 Serial to Parallel Converter

จะเป็นวงจรที่ใช้แปลงข้อมูลที่ส่งมาในรูปแบบขนานให้เป็นแบบอนุกรม

3.2.2 Digital to Analog Converter

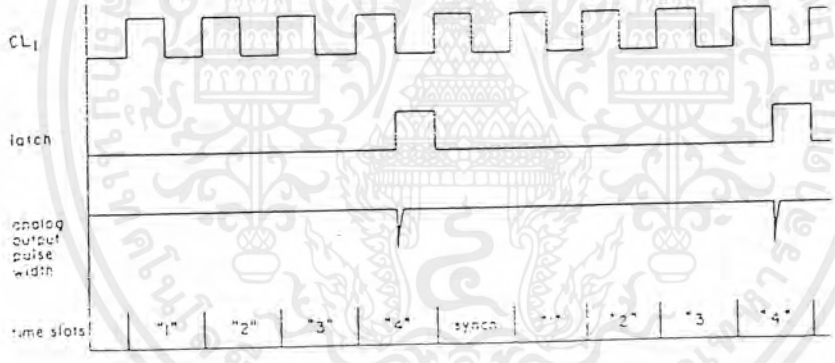
จะเป็นการแปลงข้อมูลที่เป็นดิจิตอลให้เป็นแบบแอนะลอก ซึ่งจะเป็นการแปลงตามรหัสที่ส่งมาจากทางด้านส่ง โดยจะใช้เป็น ไอซีในการแปลงค่า โดยก่อนหน้านั้นจะใช้การแปลงจาก BCD ไปเป็น Decimal 9 ระดับ แล้วจึงแปลงสัญญาณนั้นให้เป็นสัญญาณแอนะลอก และทำการสลับขั้วของสัญญาณให้เกิดเป็นสัญญาณที่เป็นทั้งบวกและลบ นั่นคือเป็นสัญญาณไซน์นั่นเอง ดังแสดงในรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 แสดงถึงการต่อวงจร Latch ใน TDM-PCM Demodulator

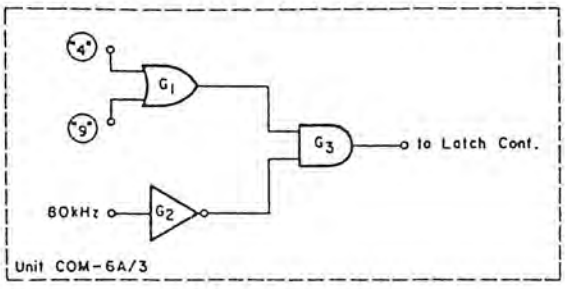
3.2.4 Timing Diagram ของ TDM-PCM Demodulator แสดงในรูปที่ 3.18



รูปที่ 3.18 แสดงถึง Timing Diagram ของ TDM-PCM Demodulator

ซึ่งในรูปที่ 3.18 จะเห็นว่า ความกว้างของพัลซ์ (Pulse Width) จะสามารถทำให้กว้างขึ้นได้ โดยการเก็บแต่ละคำของ PCM ที่เป็นค่ารวมของข้อมูล 2 ช่อง ซึ่งเท่ากับ 5 ช่องเวลาในวงจร จะเรียกว่า การ Latch (การค้างข้อมูล) โดยวงจรที่ให้สัญญาณ Latch จะเป็นวงจร Gate ธรรมดา แต่จะมีสัญญาณเวลา และสัญญาณนาฬิกาเข้าเกี่ยวข้อง ดังรูปที่ 3.19

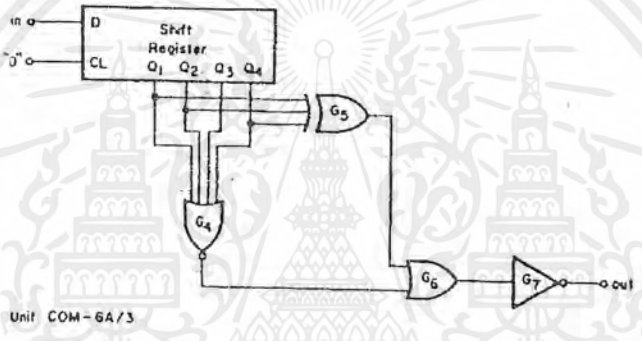
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 แสดงถึงวงจร Latch Counter

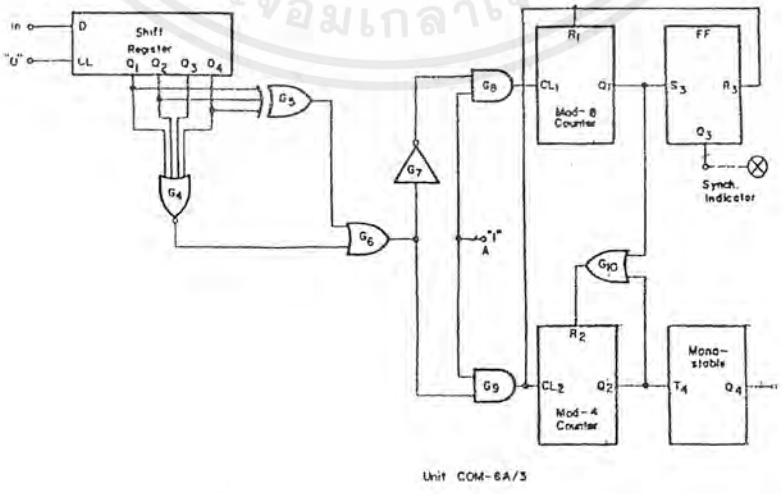
3.2.5 Synch Word Detection

เป็นวงจรหลักที่สำคัญในการสื่อสารระบบ TDM-PCM คือจะเป็นสัญญาณที่ทำให้ทางด้านส่งและทางด้านรับทำงานได้เหมือนกัน โดยวงจรในการถอดรหัสสัญญาณซิงโครไนซ์จะมีดังรูปที่ 3.20



รูปที่ 3.20 แสดงถึงวงจร Synch. Word Detection

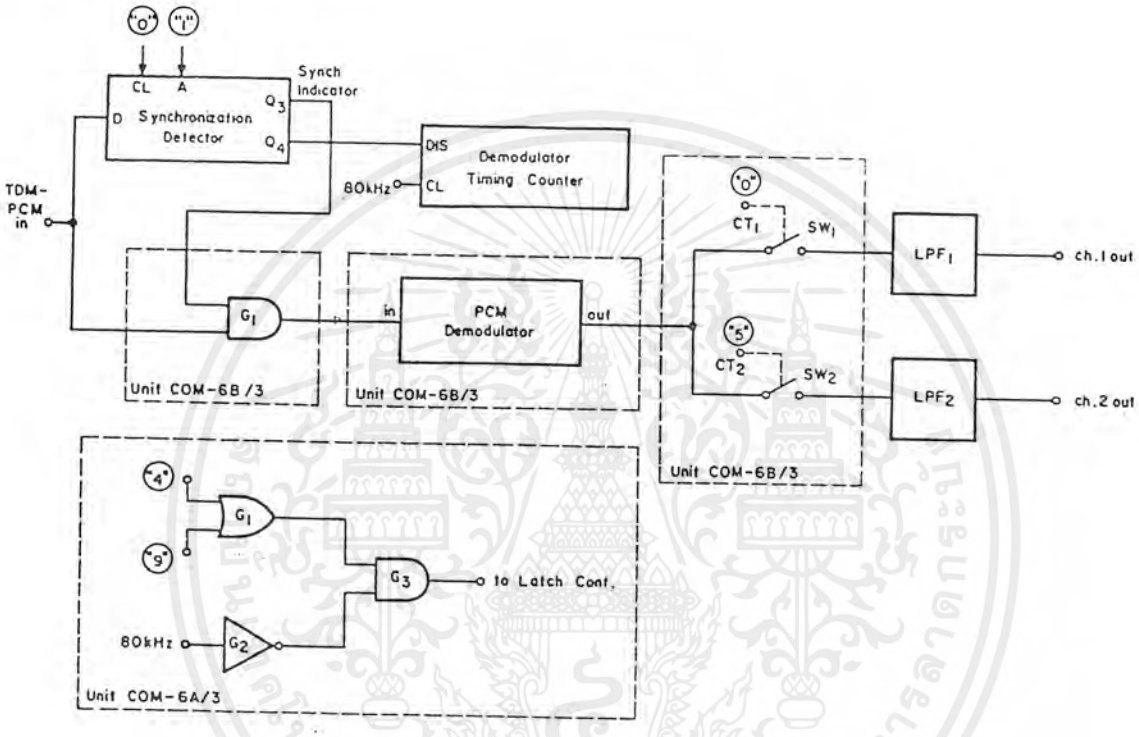
แต่จะยังไม่สามารถที่จะนำสัญญาณนี้ไปใช้ได้ จะต้องมีการผ่านวงจร Flip-Flop ในการจัดแรงสัญญาณ ดังรูปที่ 3.21



รูปที่ 3.21 แสดงถึงวงจร Detection Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากวงจร Logic G_2 จะเป็นตัวป้อนสัญญาณนาฬิกาให้กับ Flip-Flop ชุดที่จะผลิตสัญญาณซิงโครไนซ์ออกมาเป็นสัญญาณบวก เพื่อใช้ถอดรหัสข้อมูลของสัญญาณที่รับเข้ามาที่ภาครับ และ Logic G_3 จะเป็นตัวป้อนสัญญาณนาฬิกาเช่นกันให้กับชุดที่ผลิตสัญญาณออกไปยัง Timing Counter ทางด้านรับให้สามารถป้อนสัญญาณเวลาให้กับวงจรด้านรับได้ โดยวงจรที่สมบูรณ์ของทางด้านรับจะเป็นดังรูปที่ 3.22



รูปที่ 3.22 แสดงถึงวงจร TDM-PCM Demultiplexer และ Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรและผลการทดลอง

4.1 วงจร

ในชุดการทดลองระบบ PCM นี้ได้แบ่งเป็น 6 ชุดคือชุด A,B,C,D,E และ F ซึ่งสามารถอธิบายเป็นชุดๆไปดังนี้

ชุด A คือ Synch. Word Gen. & Signal Processing Circuits ซึ่งจะประกอบไปด้วยวงจร Clock Generator และ Shift Register ดังรูปวงจรที่ 4.1

จากรูปที่ 4.1 จะผลิตสัญญาณนาฬิกา โดยไอซีเบอร์ 4060 ซึ่งเป็นไอซีเป็นวงจรหารความถี่โดยใช้ Flip-Flop ต่ออนุกรมกัน จะได้ความถี่ที่นำมาใช้คือ 160 kH_z ,80 kH_z , 40 kH_z , 20 kH_z และ 10 kH_z ส่วนเอาท์พุตของ Shift Register จะถูกสร้างขึ้นจากไอซี 4015 ส่วนไอซี

ชุดสาธิต A ยังประกอบไปด้วย ภาค Switch , Low Pass Filter , Data Decoder , Manual Clock และ Signal to noise Separator หลักการทำงาน คือ ที่ Manual Clock จะใช้ J-K ฟลิปฟลอบเป็นตัวสร้าง คือ ขณะปกติยังไม่กดสวิทช์ จะถูกทำการต่อ +5V เข้าที่ขา J แต่เมื่อทำการกดสวิทช์ ก็จะเหมือนทำการต่อไฟเข้าขา K เหมือนเป็นตัว Reset ทำให้ได้สัญญาณเป็นพัลส์ ไอซีที่ใช้คือเบอร์ 4027 ส่วน switch จะเป็นสวิทช์แอนะลอก โดยใช้ไอซี C-MOS เป็นตัวทำเป็นสวิทช์ ไอซีที่ใช้คือเบอร์ 4066 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) จะทำการต่อแบบ Butterworth ที่ 3 dB ของ 3.4 kH_z ในวงจรใช้ไอซีเบอร์ LM 348 ซึ่งเป็น Op - Amp มาทำการต่อแบบ Butterworth ส่วน Data - Decoder จะใช้ D F/F เป็นตัวเลือกช่อง (I or II) ขณะที่ใช้ D f/F ที่ 2 ตัวในการเก็บข้อมูลที่เป็นพัลส์จะใช้ไอซีเบอร์ 4013 นอกจากนั้นแล้วยังใช้ AND-GATE ทำหน้าที่เชื่อมต่อ ข้อมูลที่ถอดรหัสไปที่ Synch. Word และยังใช้ป้อนข้อมูลเข้าสู่การถอดรหัส ถ้าไม่มีการเชื่อมต่อในขณะนั้น ไอซีที่ใช้คือเบอร์ 4081 ที่ Signal to noise Separator จะเป็นวงจร band Pass Filter คือ วงจรให้ความถี่เฉพาะผ่านโดยมีความถี่เฉพาะของความถี่ 2 ความถี่คือ มีค่าประมาณ 710 H_z และ 2.3 kH_z ขึ้นอยู่กับว่าเลือกค่าความถี่ใด สัญญาณอินพุตจะถูกปรับ โดยตัวต้านทานปรับค่าได้ โดยแต่ละความถี่จะมีค่าการป้อนกลับ หรือ เกณฑ์การขยายเท่ากับ 1 ที่ความถี่กลาง สำหรับอินพุตที่เป็น Sine Wave ขนาด 300 mV_{rms} ภาคนี้จะใช้ไฟเลี้ยง + 12V , - 12V , +5V , -5V และ Ground ดูรูปวงจรที่แสดงดังรูปที่ 4.2

นอกจากนี้แล้ว ชุด A ยังมีภาค Modulator Timing Counter ซึ่งเป็นการต่อวงจรนับสิบแบบ Johnson โดยใช้ไอซี 4017 ซึ่งเป็นไอซีที่ใช้ต่อวงจรนับสิบและใช้ต่อวงจรหารได้ด้วย เอาท์พุตจะมี

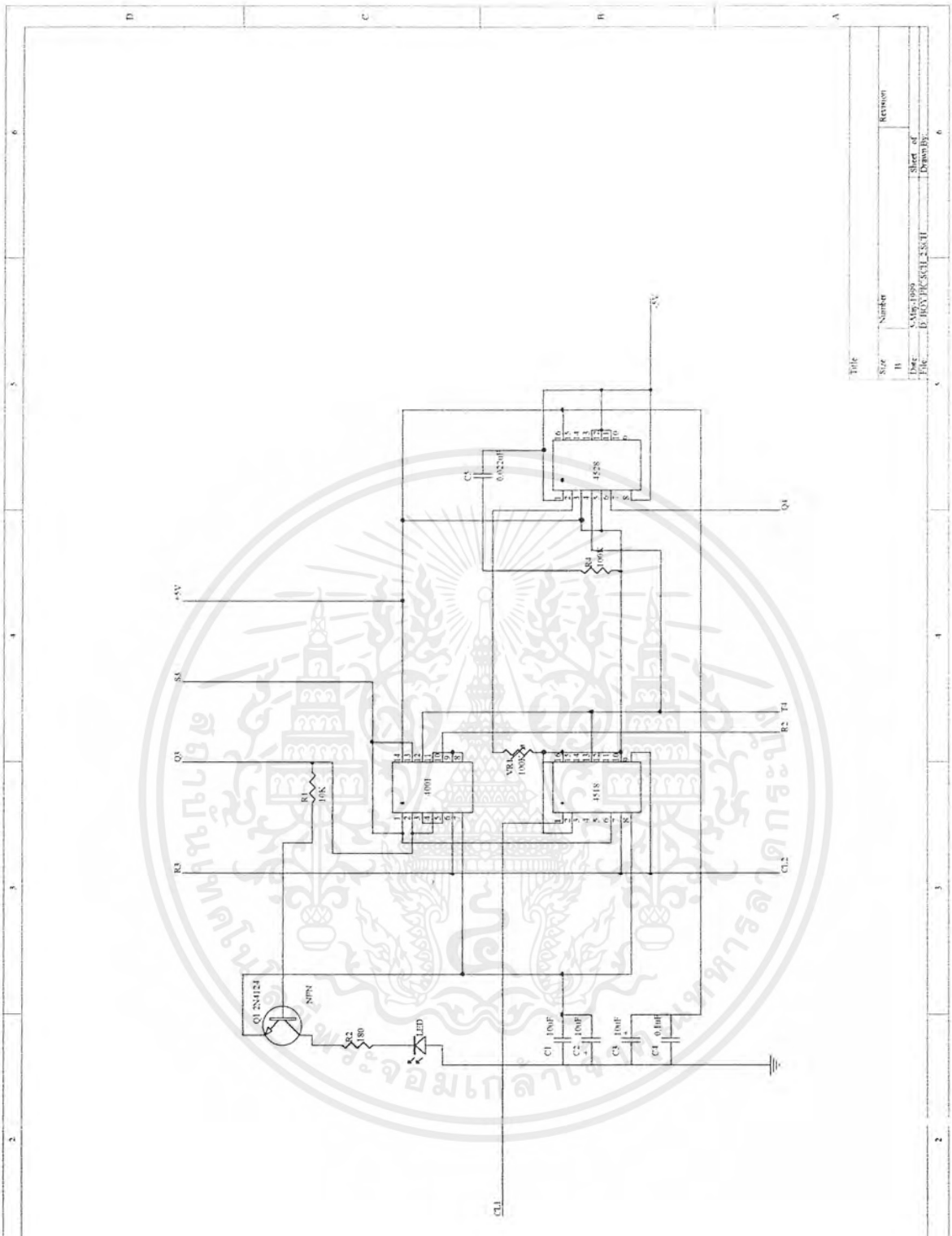
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า 0 ถึง 9 โดยในภาค Modulator Timing Counter จะใช้ไฟเลี้ยง +5V , -5V และ Ground วงจรจะแสดงดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1แสดงวงจร Clock Generator และ Shift Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2แสดงวงจร Switch, Low Pass Filter, Data Decoder, Manual Clock and S/N Seperator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

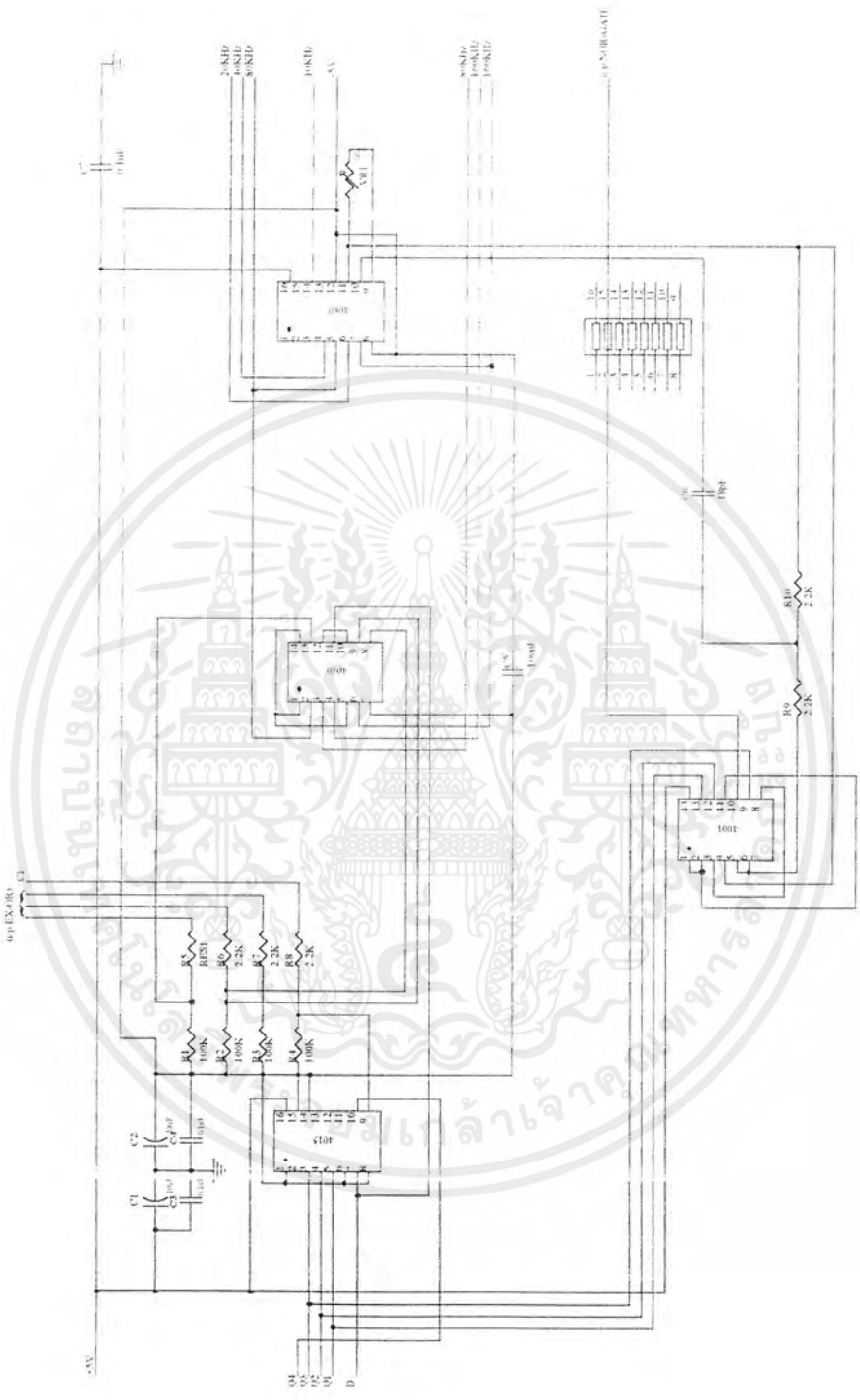
รูปที่ 4.3 แสดงวงจร Modulation Timing Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดสาธิต B คือ Sampling & Multiplexing Circuit จะแบ่งออกเป็นวงจรย่อยได้ดังนี้คือ ภาค Switch และ Sampling Rate Pulser โดย Sampling Rate Pulser จะประกอบด้วยตัวกำเนิดสัญญาณสี่เหลี่ยมที่ปรับค่าได้และวงจรโมโนสเตเบิล มัลติไวเบร์เตอร์ที่ใช้ปรับค่าความกว้างของพัลส์ โดยวงจรโมโนสเตเบิลจะใช้ไอซี 4528 เป็นตัวผลิต ส่วนวงจรกำเนิดสัญญาณคลื่นสี่เหลี่ยมจะสร้างโดยใช้ไอซี 4001 ส่วน Switch จะใช้ไอซีเบอร์ 4066 เป็นตัวผลิตสวิทช์ ส่วนภาคขยาย จะใช้ไอซีเบอร์ LM 318 ซึ่งเป็น Op-Amp ทำเป็นภาคขยาย ในภาคนี้จะใช้ไฟเลี้ยง+12V , -12V , +5V , -5V และ Ground แสดงวงจรดังรูปที่ 4.4

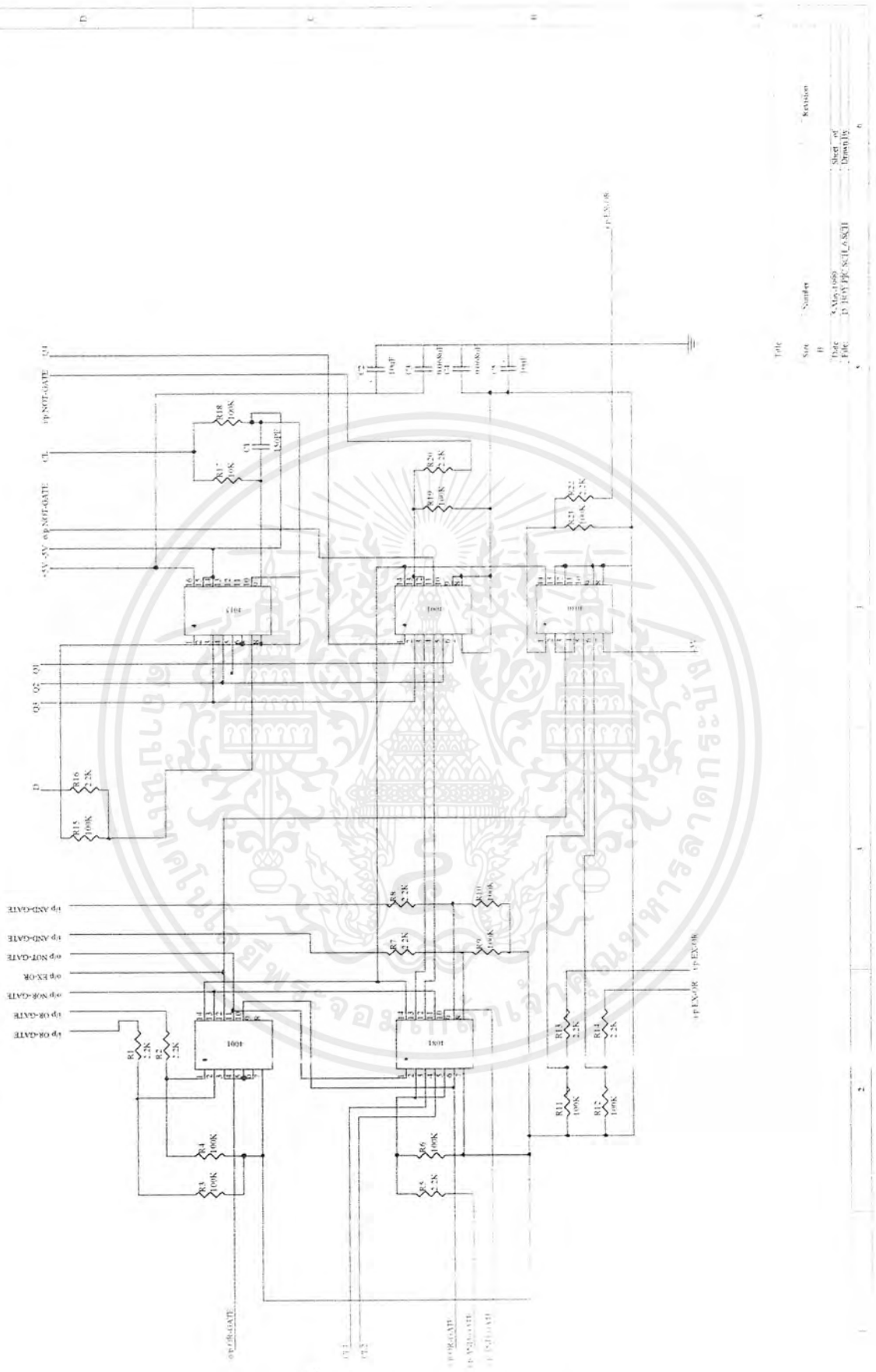
นอกจากภาค Switch และ Sampling Rate Pulser แล้วยังประกอบไปด้วยภาค Data Encoder ซึ่งทำการต่อรวมเอาท์พุตของสวิทช์กด (I และ II) โดยทำการซิงค์โครไนซ์เอาท์พุตกับ Sync.Word โดยจะใช้ฟลิบฟลอป คือ D F/F ทำการต่อกับเอาท์พุตแล้ว Set ให้เป็น 1 (G = 1) โดย Setจากเอาท์พุต AND-GATE ส่วน D F/F ที่เหลือจะทำการต่อ กับสวิทช์กด เพื่อรอรับคำสั่ง D F/F จะใช้ไอซีเบอร์ 4013 โดยเอาท์พุตของ D F/F จะต่อเข้ากับ AND GATE (ใช้ไอซีเบอร์ 4081) และเอาท์พุตของ AND GATE จะไปเข้าอินพุตของ OR GATE (ใช้ไอซีเบอร์ 4001) เอาท์พุตที่ได้จะเป็นเอาท์พุตของการเข้ารหัส ดูดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงวงจร Sampling Rate Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5แสดงวงจร Data Encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

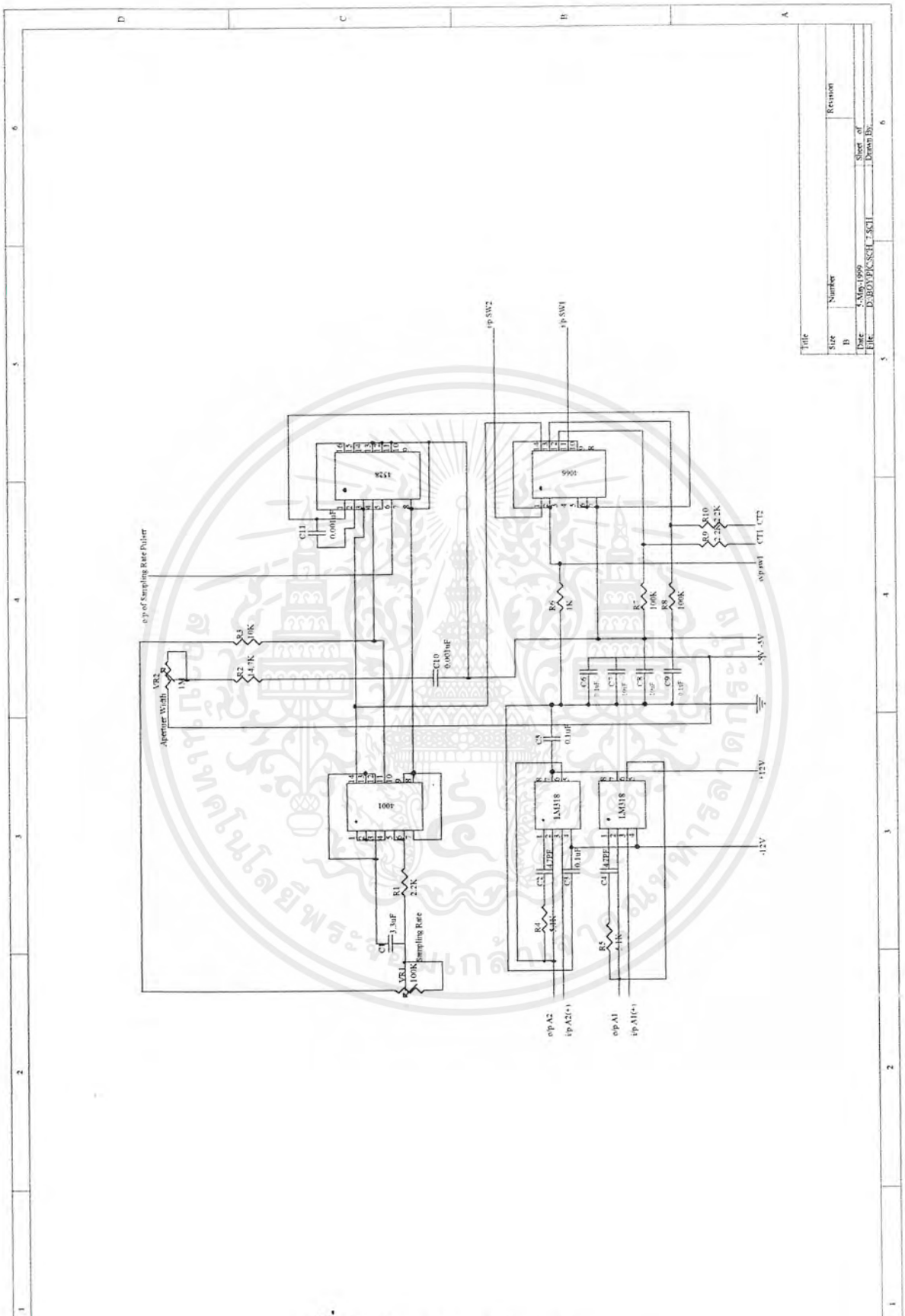
ชุดสาธิต C คือ Synchronization Circuits แบ่งออกแบ่งส่วนย่อยๆได้คือ

ภาค Demodulator Timing Counter จะใช้ไอซีเบอร์ 4017 ทำหน้าที่เป็นวงจรนับสิบ คือ นับ 0 ถึง 9 ใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงดังรูปที่ 4.6

ภาค Mod - 8 Counter , Synch Indicator , Mod - 4 Counter , Monostable โดยในภาคนี้ Mod - 4 Counter จะเป็นวงจรนับไบนารี 4 สเตท โดยเอาท์พุตของ Mod - 8 Counter จะอยู่ที่ Q4 ของเลขไบนารี ส่วนเอาท์พุตของ Mod - 4 Counter จะอยู่ที่ Q3 ของเลขไบนารี โดย Output ของ Mod - 4 จะต่อกับขา Reset ของตัวมันเอง ในวงจรใช้ไอซีเบอร์ 4001 ต่อรวมกับ 4518 โดยมีวงจร Monostable อยู่ด้วย (ใช้ไอซีเบอร์ 4528) วงจรภาคนี้ใช้ไฟเลี้ยง +5V , -5V และ Ground ดังแสดงในรูปที่ 4.7

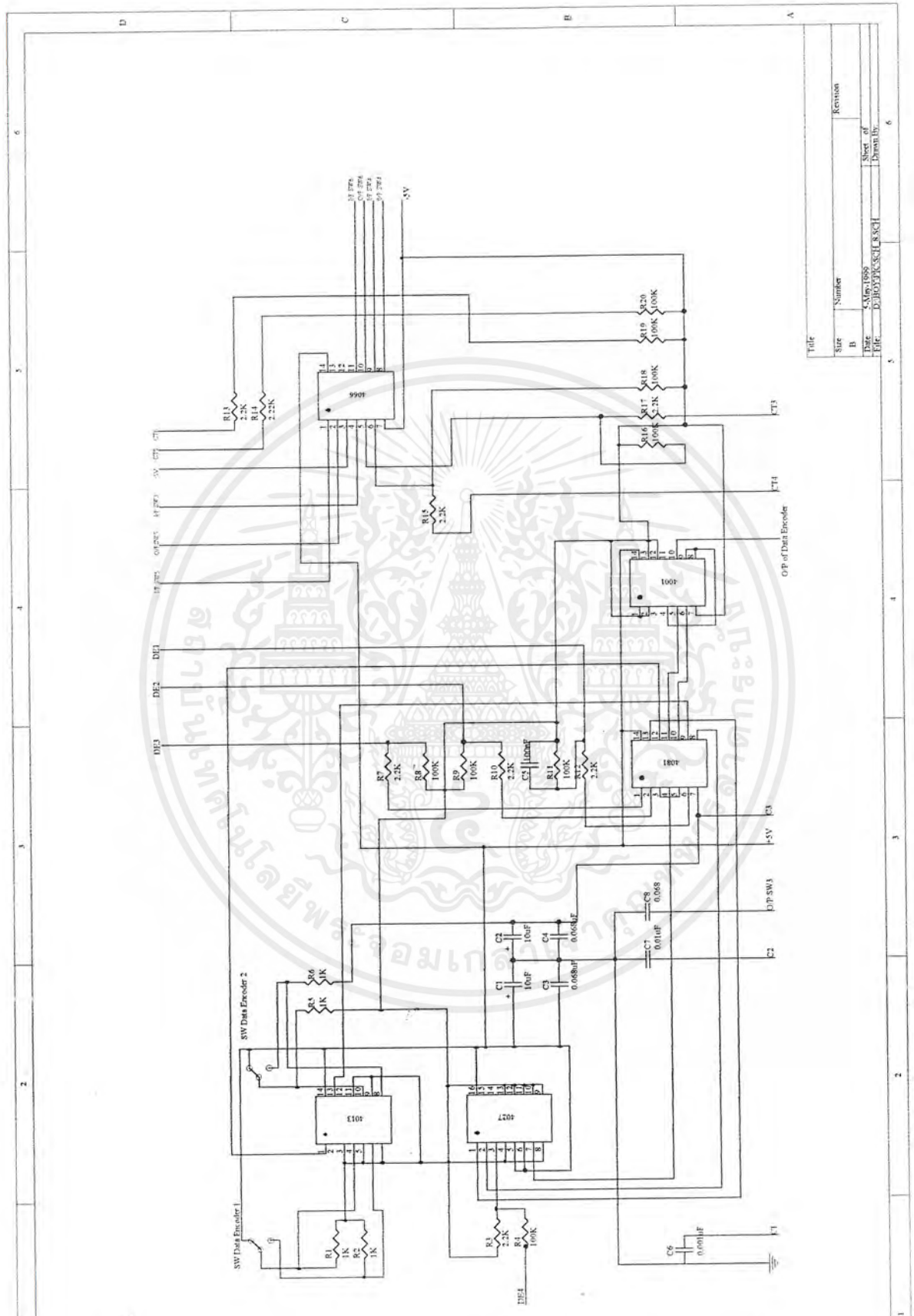
ภาค Gate และ Shift Register โดยในภาคนี้จะใช้ Nor Gate (ใช้ไอซีเบอร์ 4001) , Inverter (ใช้ไอซีเบอร์ 4001) , AND GATE (ใช้ไอซีเบอร์ 4081) , Ex - OR GATE (ใช้ไอซีเบอร์ 4030) แล้วยังมี OR GATE (ใช้ไอซีเบอร์ 4001) ส่วน Shift Register จะใช้ไอซี 4015 วงจรนี้ใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงในรูปที่ 4.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



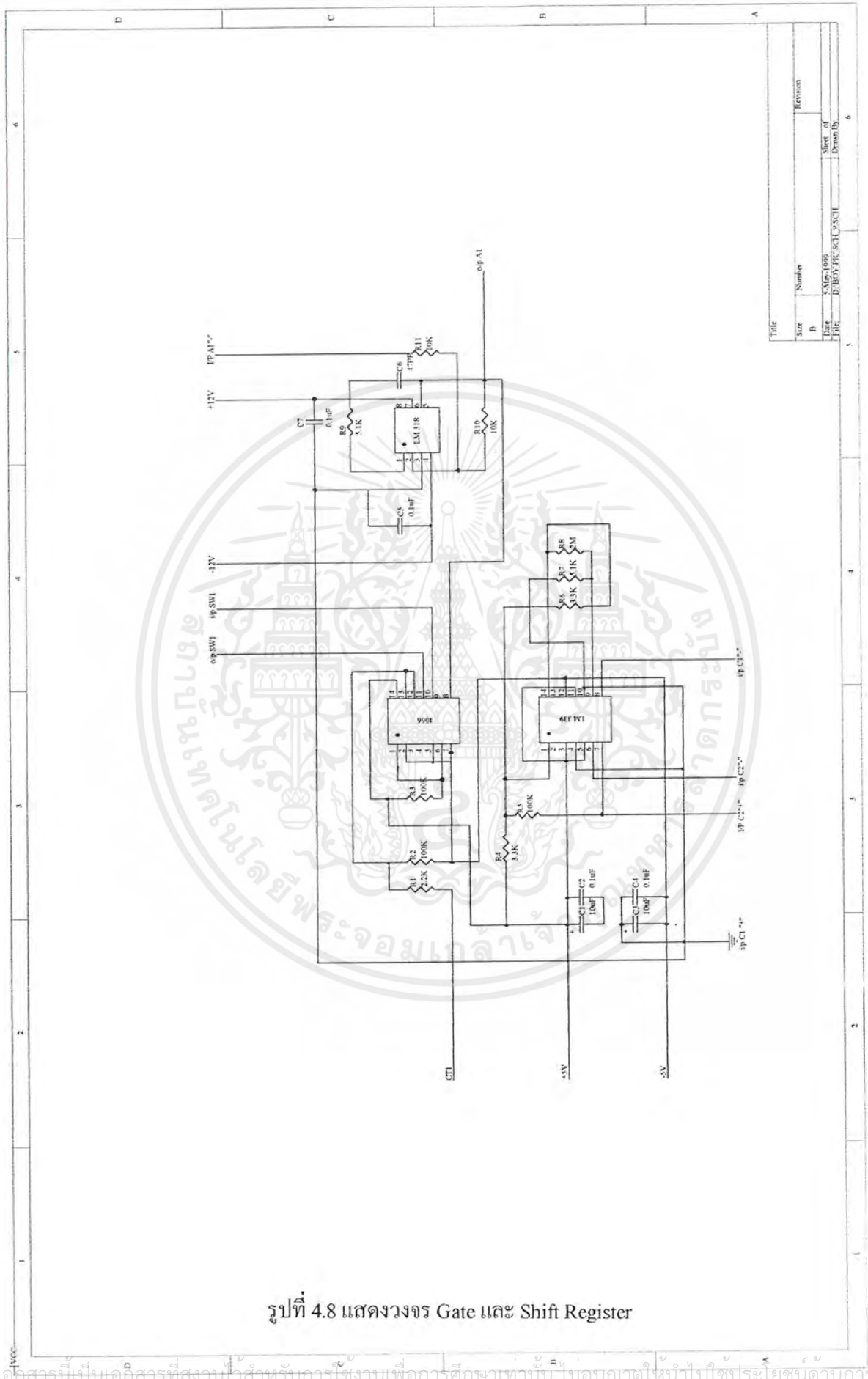
รูปที่ 4.6 Demodulator Timing Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงวงจร Mod-8 Counter, Mod-4 Counter, Synch. Indicator และ Monostable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงวงจร Gate และ Shift Register

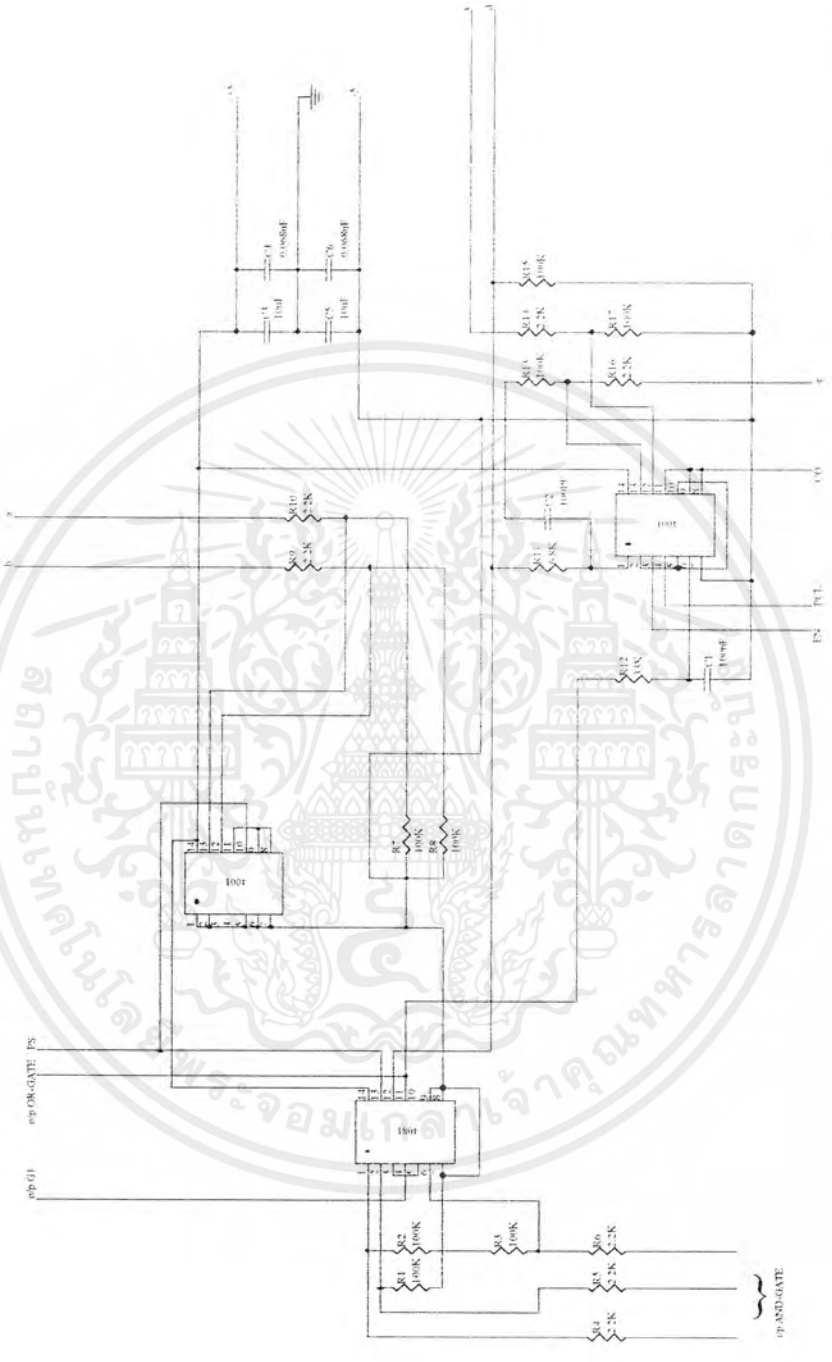
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดสาธิต D คือ PCM Modulator แบ่งเป็นส่วนย่อยๆได้ คือ

ภาค PCM MODE , 7 - stage Shift Register และ Staircase Generator โดยจะใช้ไอซีเบอร์ 4015 เป็นตัวทำ Shift Register ส่วน Staircase Generator จะใช้ทรานซิสเตอร์ในการเป็นแหล่งจ่ายกระ-แส และเป็นสวิทช์กระแส I แหล่งจ่าย ที่เกิดจากการทำงานของทรานซิสเตอร์ จะให้ค่าตำแหน่งของสวิทช์ PCM MODE โดยจะมีไอซี 3082 เป็นตัวช่วยขับกำลังงานของทรานซิสเตอร์ แสดงวงจรดังรูป 4.9

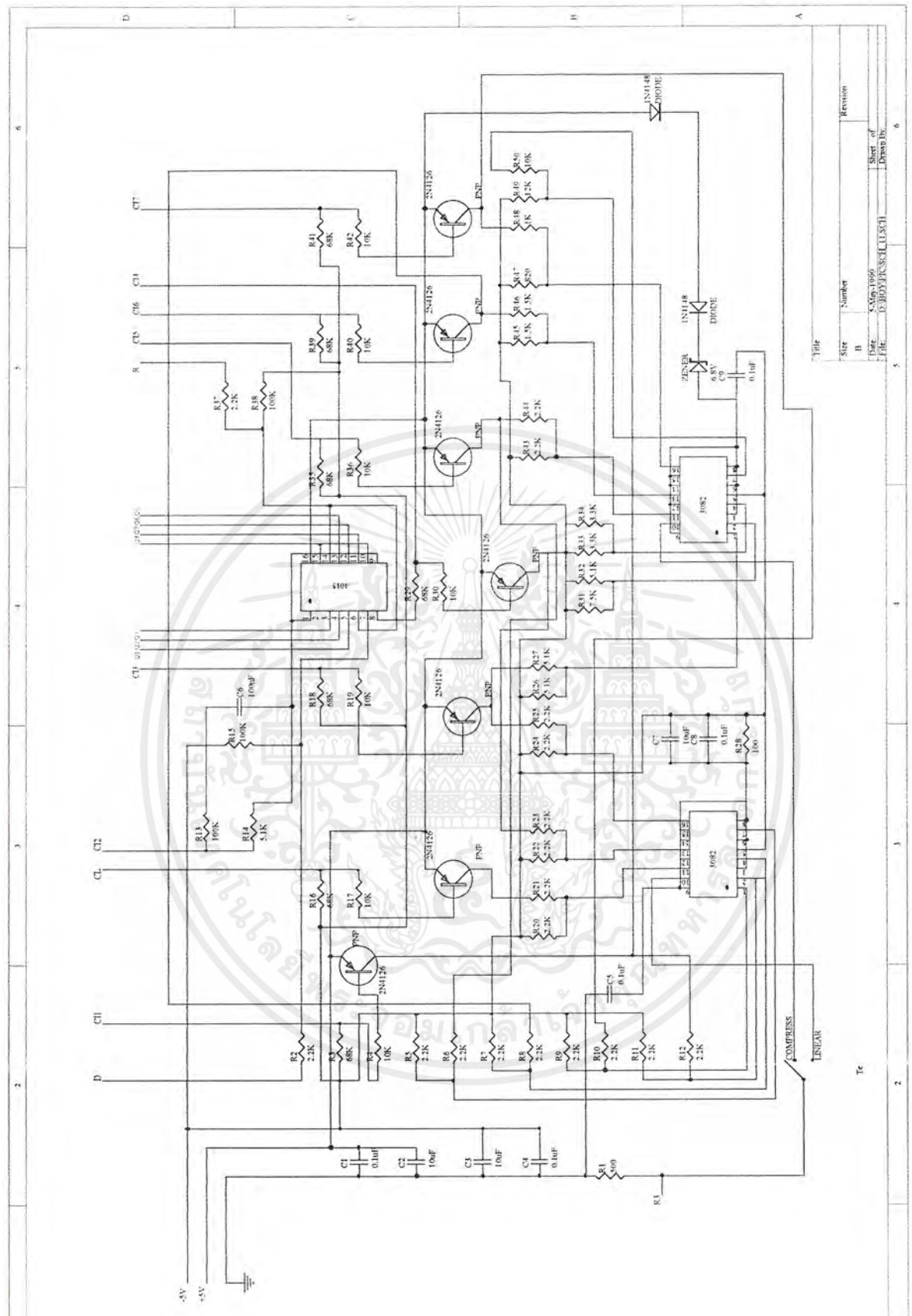
ภาคขยายและเปรียบเทียบ (Amplifier and Comparater) จะใช้ไอซี LM 318 จะใช้เป็น Op-Amp ในการขยายสัญญาณ ในวงจรนี้จะมีไอซี 4066 ทำหน้าที่สร้างสวิทช์แอนะลอก วงจรนี้จะใช้ไฟเลี้ยง +12V , -12V , +5V , -5V และ Ground แสดงวงจรดังรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงวงจร PCM Mode, 7 Stage Shift Register และ Staircase Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



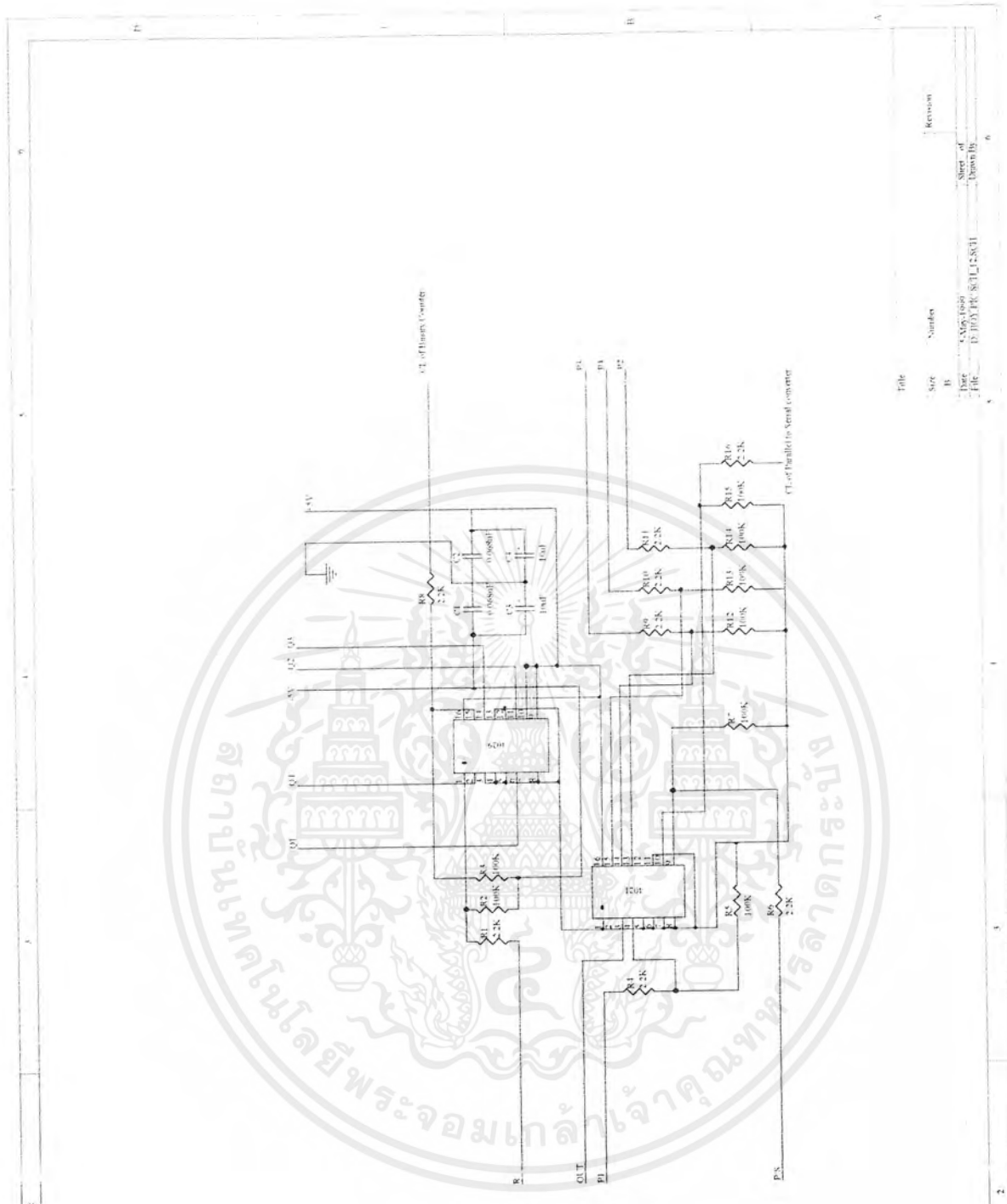
รูปที่ 4.10 แสดงวงจร Amplifier และ Comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดสาธิต E คือ PCM Modulator Timing & Output Circuits แบ่งเป็นส่วนย่อยได้ดังนี้ ภาค Binary Counter และ Parallel to Serial Converter โดยวงจรนับเลขไบนารีจะใช้ไอซีเบอร์ 4029 ส่วนวงจร Parallel to Serial converter หรือวงจรแปลงจากขนานไปส่งแบบอนุกรม จะใช้ไอซีเบอร์ 4021 วงจรนี้ใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงวงจรดังรูปที่ 4.11

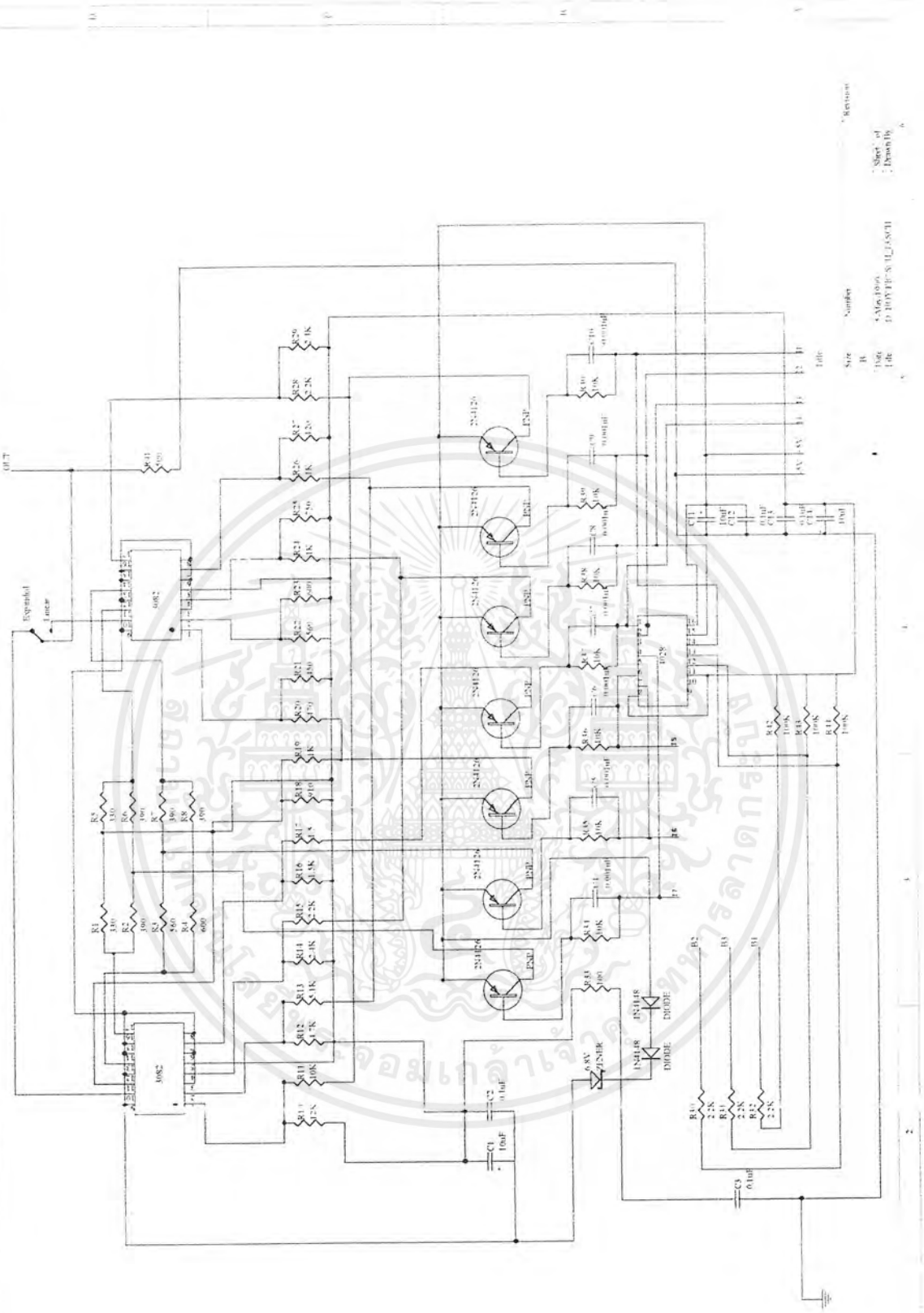
ภาค Gate ต่างๆ โดย Nor Gate จะใช้ไอซีเบอร์ 4001 . AND GATE ใช้ไอซีเบอร์ 4081 . ส่วน NOT GATE ก็จะใช้ NOR GATE 2 ตัวมาต่อกัน ใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงวงจรดังรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงวงจร Binary Counter และ Parallel to Serial Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงวงจร AND Gate, Not Gate และ Nor Gate

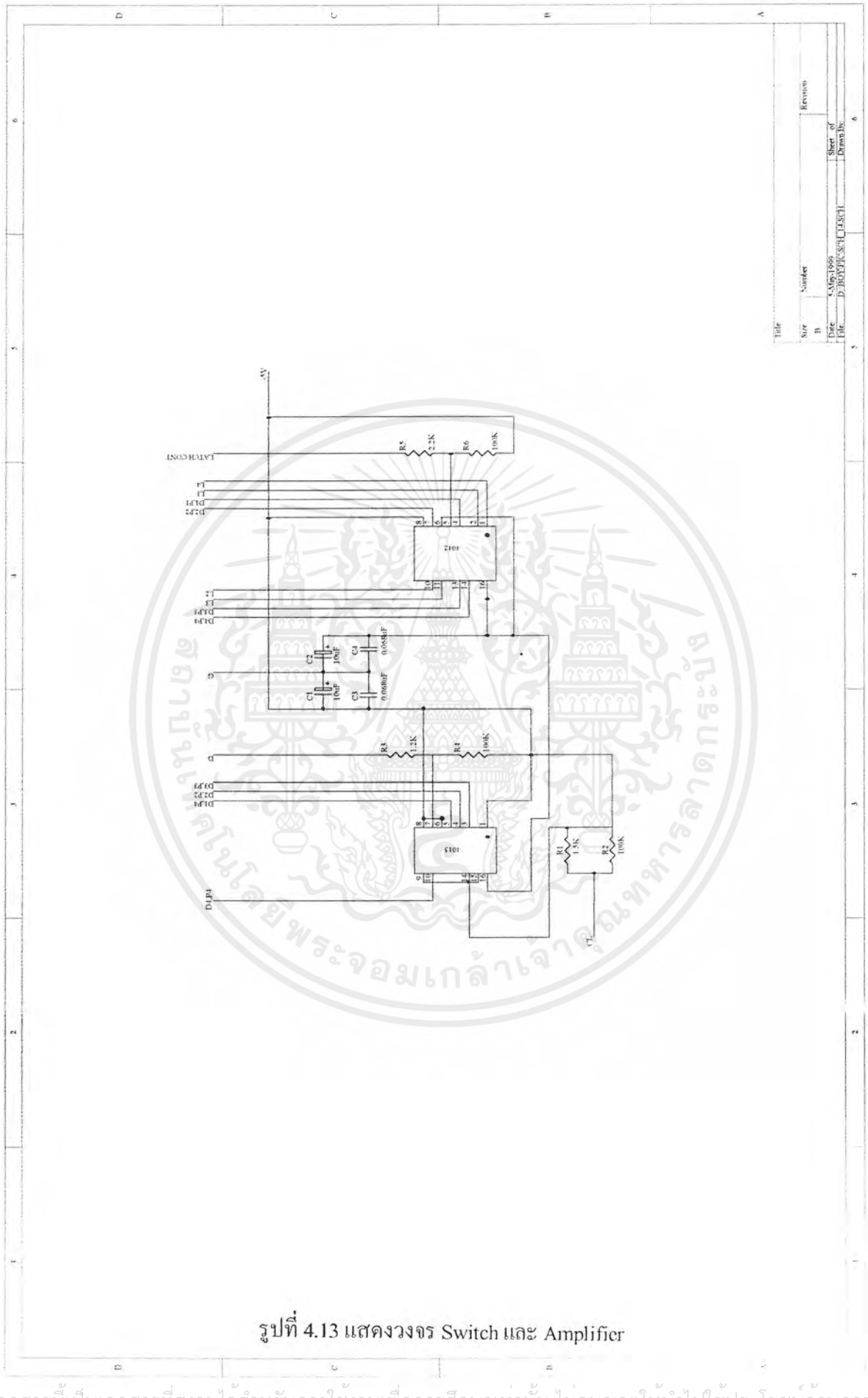
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดสุดท้ายคือชุดสาธิต F ซึ่งก็คือ PCM DEMODULATOR แบ่งเป็นส่วนย่อยๆได้ดังนี้ ภาค Switch และ Amplifier ซึ่งจะใช้ไอซีเบอร์ 4066 สร้างสวิทช์ขึ้นมา และใช้ Op - Amp จากไอซีเบอร์ LM318 ในการต่อเป็นวงจรขยาย วงจรนี้จะใช้ไฟเลี้ยง +5V , -5V , +12V , -12V และ Ground แสดงวงจรดังรูปที่ 4.13

ภาค Binary Code Decimal - Decimal Converter และ Current Source โดยจะใช้ไอซีเบอร์ 4028 ในการแปลงจาก BCD ไปเป็นเลขฐานสิบ ส่วนวงจร Current Source จะใช้ทรานซิสเตอร์ โดยใช้ไอซีเบอร์ 3082 ช่วยขับกำลัง วงจรนี้ใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงดังรูปที่ 4.14

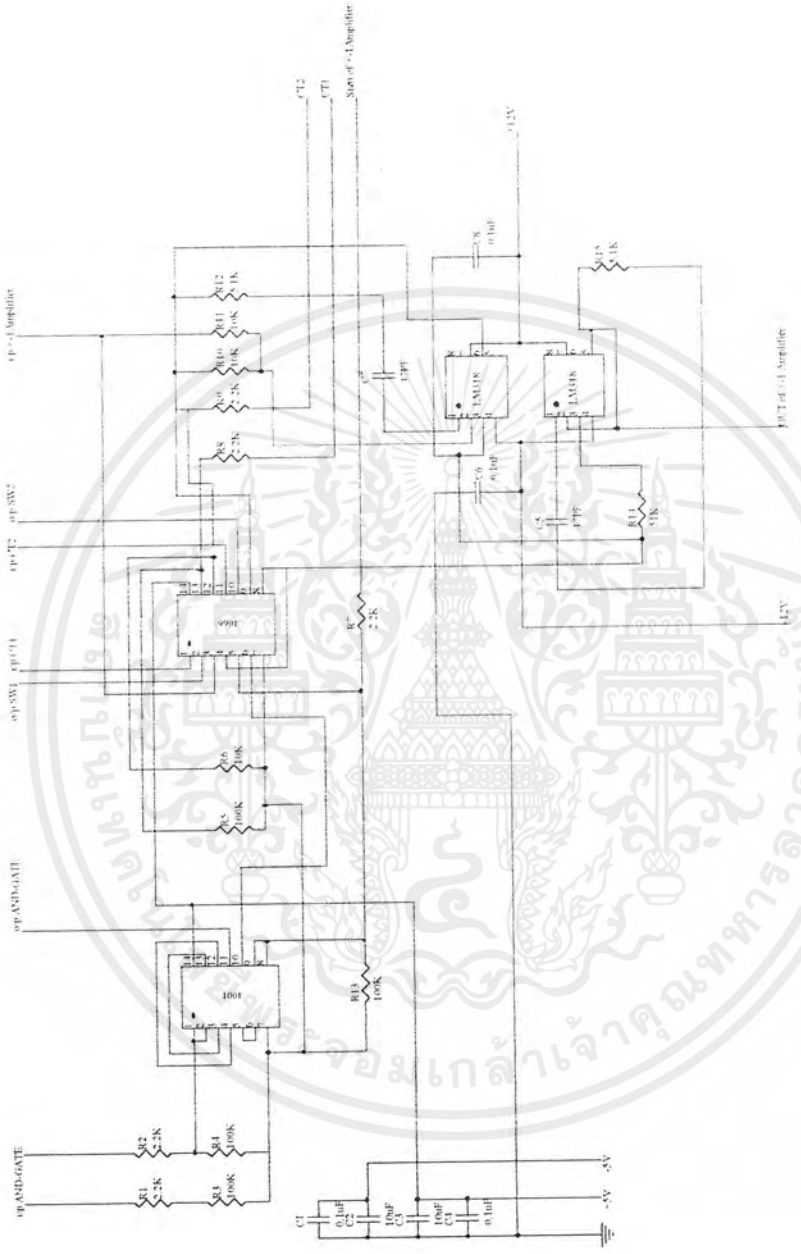
ภาค Serial to Parallel Converter , Latch โดย Serial to Parallel Converter จะใช้ไอซีเบอร์ 4015 ส่วนในวงจร Latch จะใช้ไอซีเบอร์ 4042 ทำหน้าที่หน่วง เพื่อให้สัญญาณที่ส่งเข้ามาแล้วถูกส่งออกไปทางเอาท์พุตพร้อมกัน วงจรนี้จะใช้ไฟเลี้ยง +5V , -5V และ Ground แสดงวงจรดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



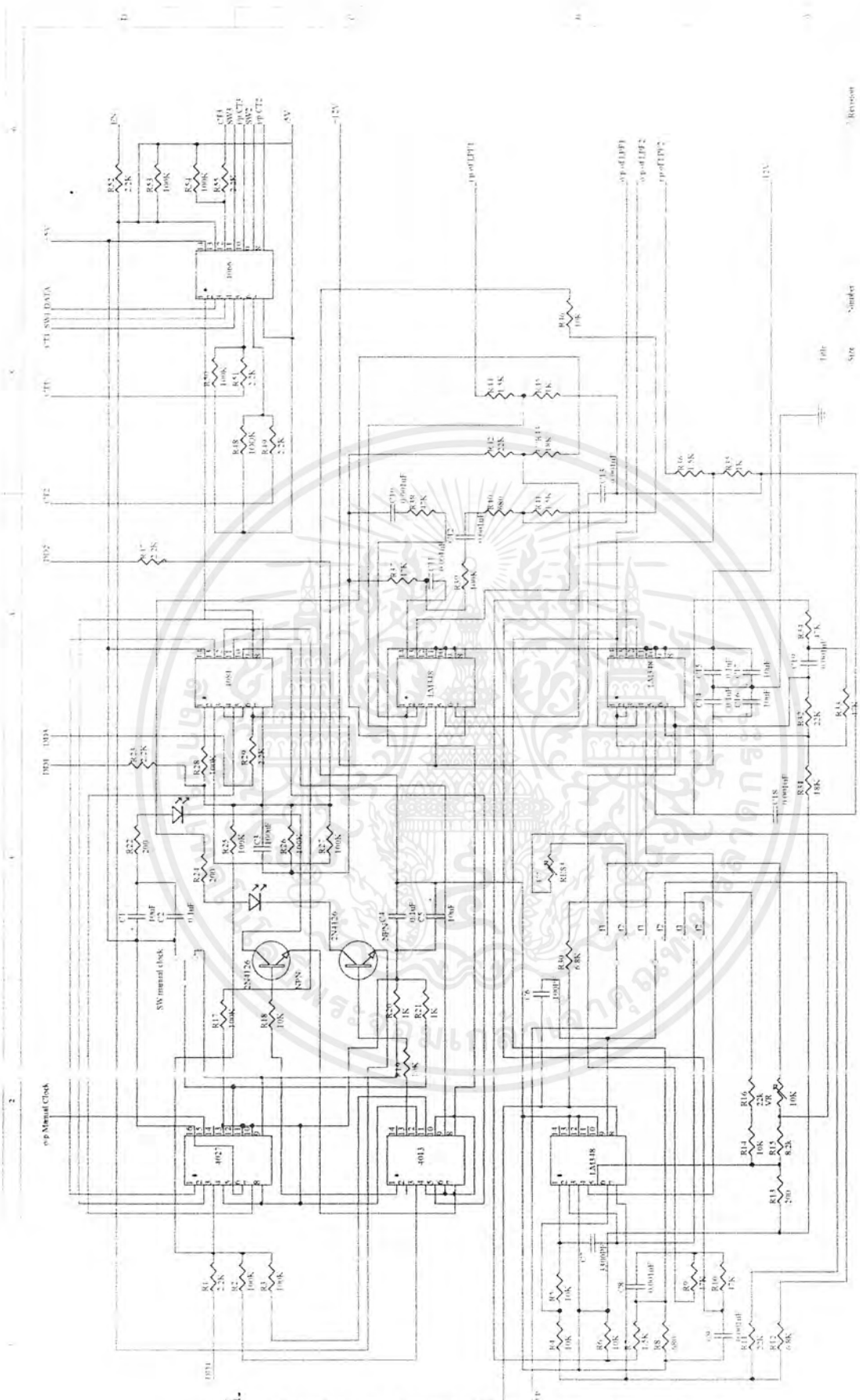
รูปที่ 4.13 แสดงวงจร Switch และ Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงวงจร BCD-Decimal Converter และ Current Source

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

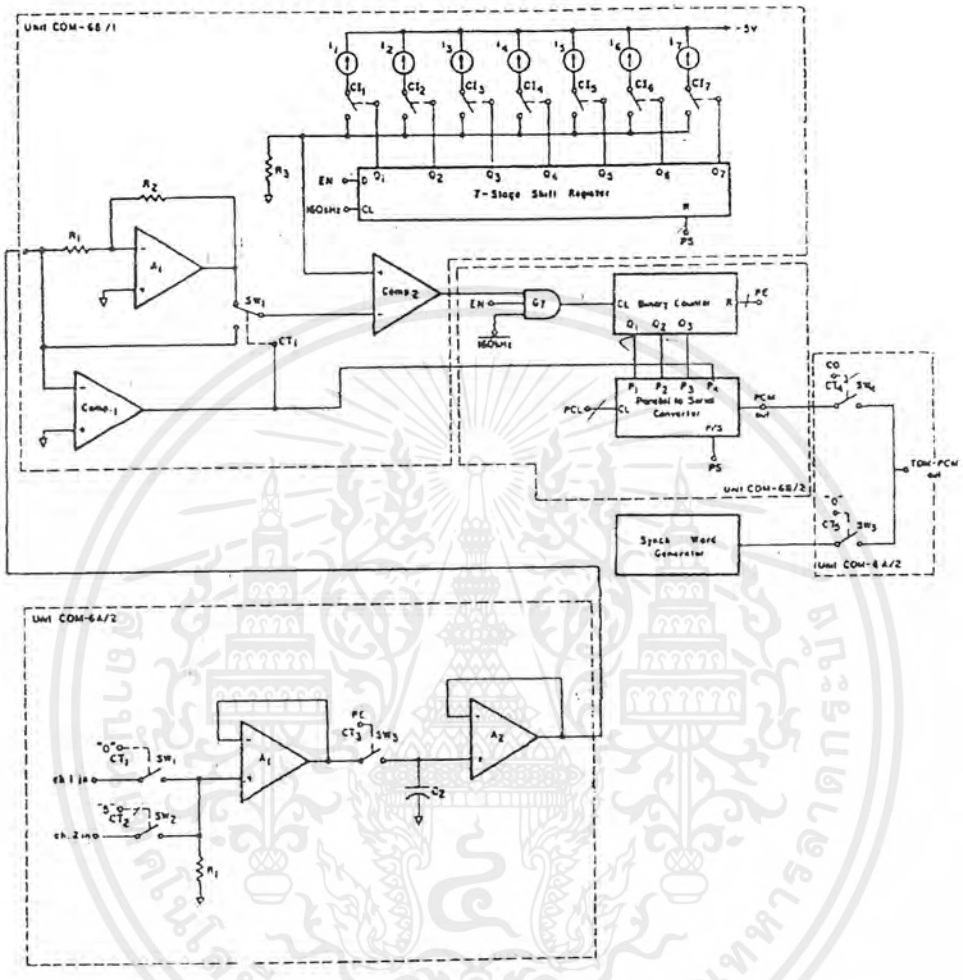


รูปที่ 4.15 แสดงวงจร Serial to Parallel Converter และ Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การต่อชุดวงจรทดลอง

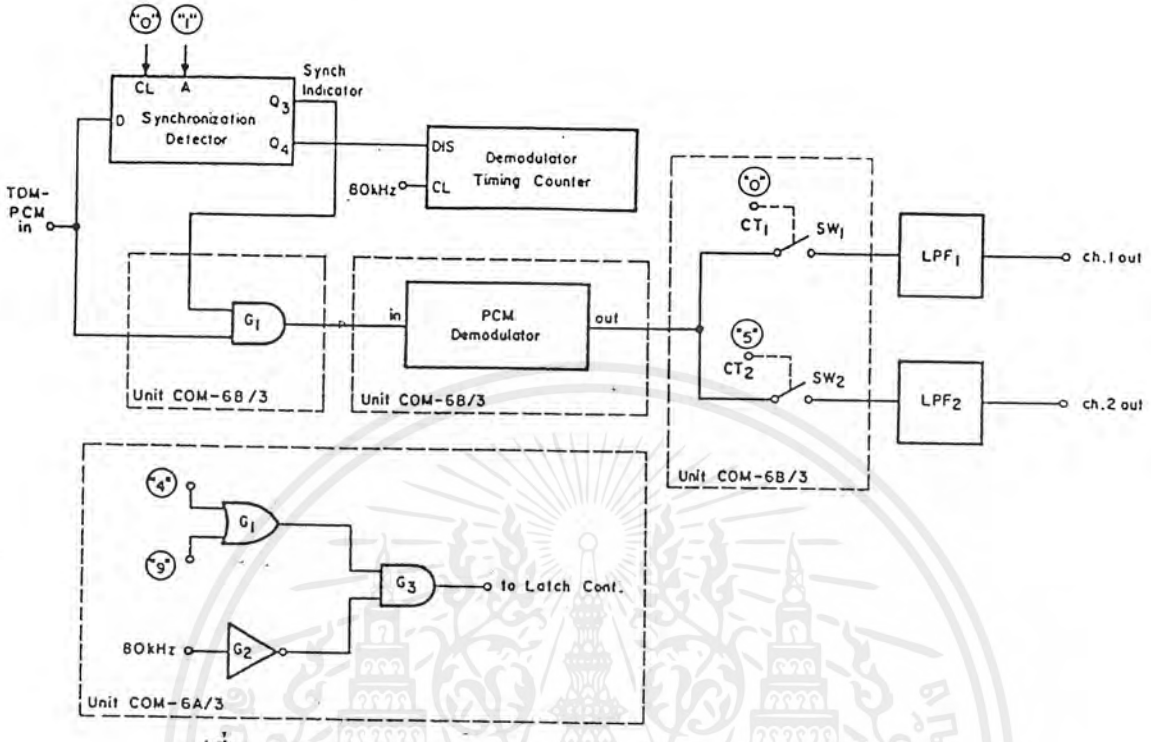
ดังรูปที่ 4.16 วงจรที่ใช้ในการทดลอง TDM-PCM Multiplex และ Modulation



รูปที่ 4.16 แสดงวงจร TDM-PCM Multiplex and Modulation

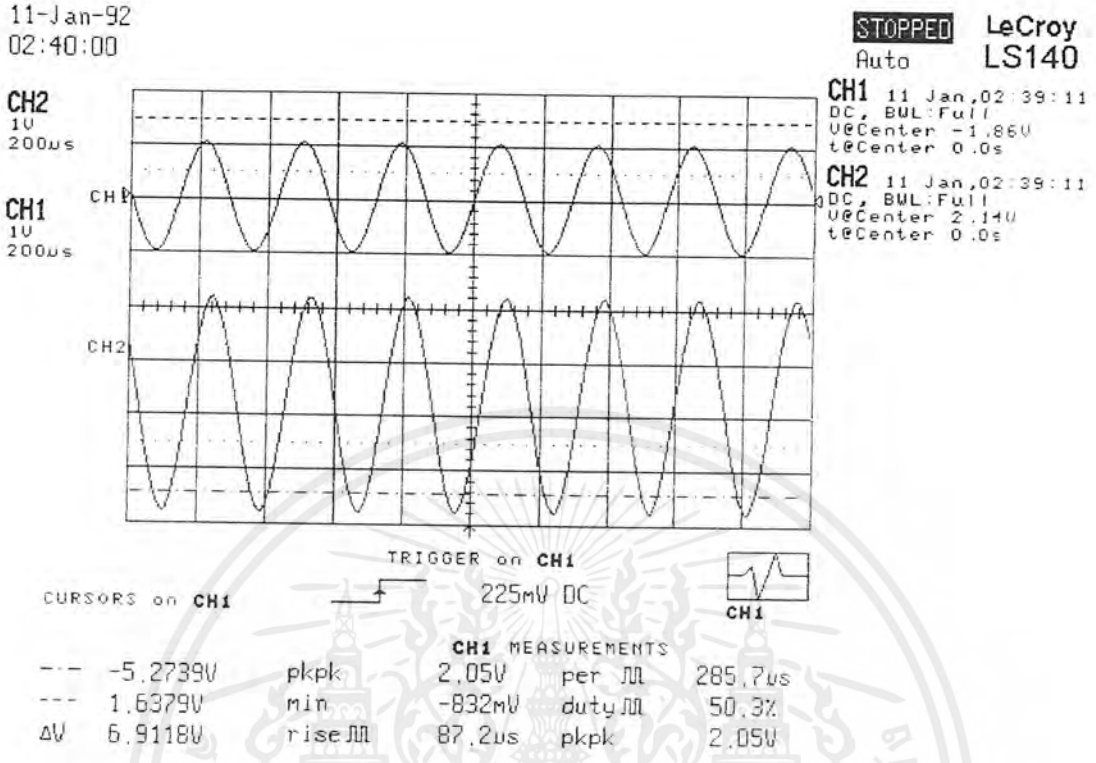
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อวงจรที่ใช้ในการทดลอง TDM-PCM Demultiplex และ Demodulation



รูปที่ 4.17 แสดงวงจร TDM-PCM Demultiplex และ Demodulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

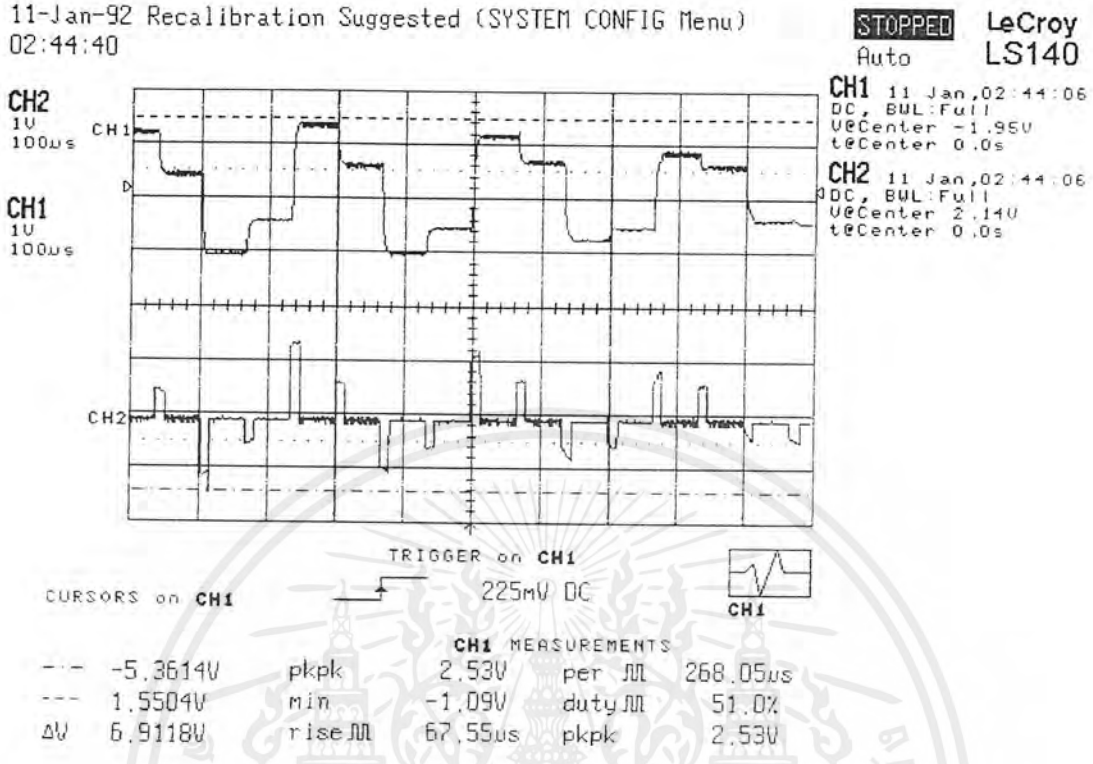


รูปที่ 4.18 แสดงผลการวัดที่อินพุต

Ch1 คือ สัญญาณ Input 2 Vp-p

Ch2 คือ สัญญาณ Input 4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

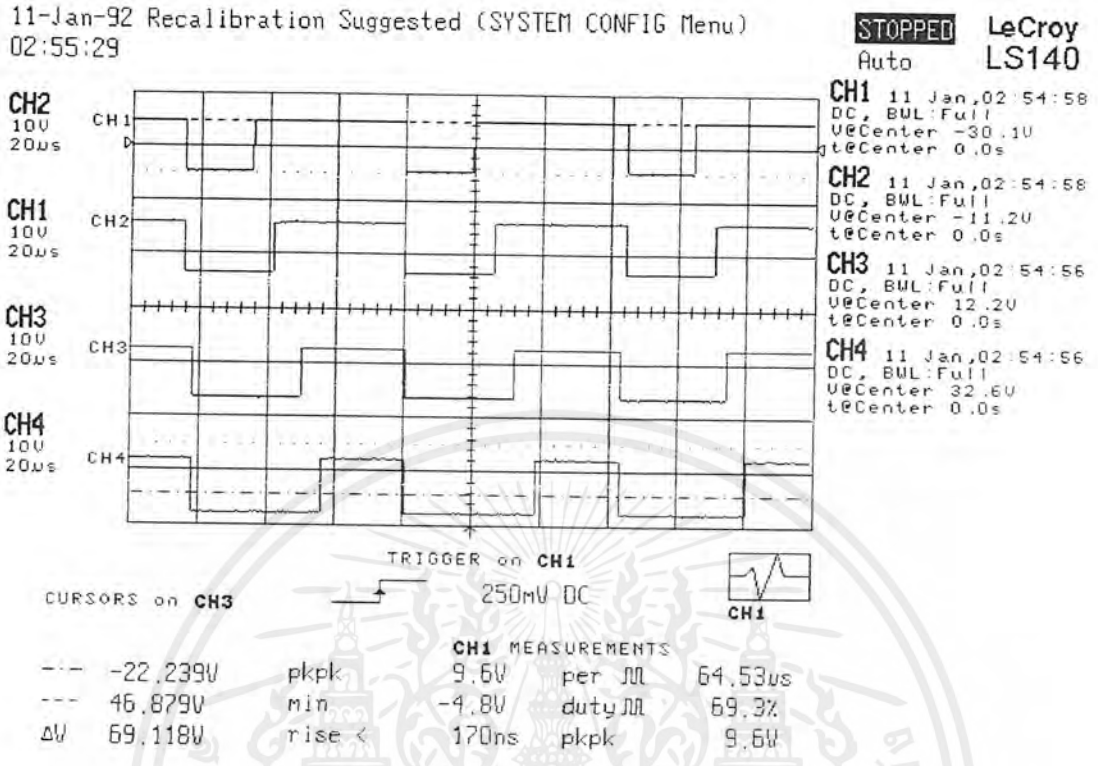


รูปที่ 4.19 แสดงผลการวัดที่ภาค Multiplexing

Ch1 คือ Output ของ Op-Amp A2

Ch2 คือ Output ของ การมัลติเพลกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter

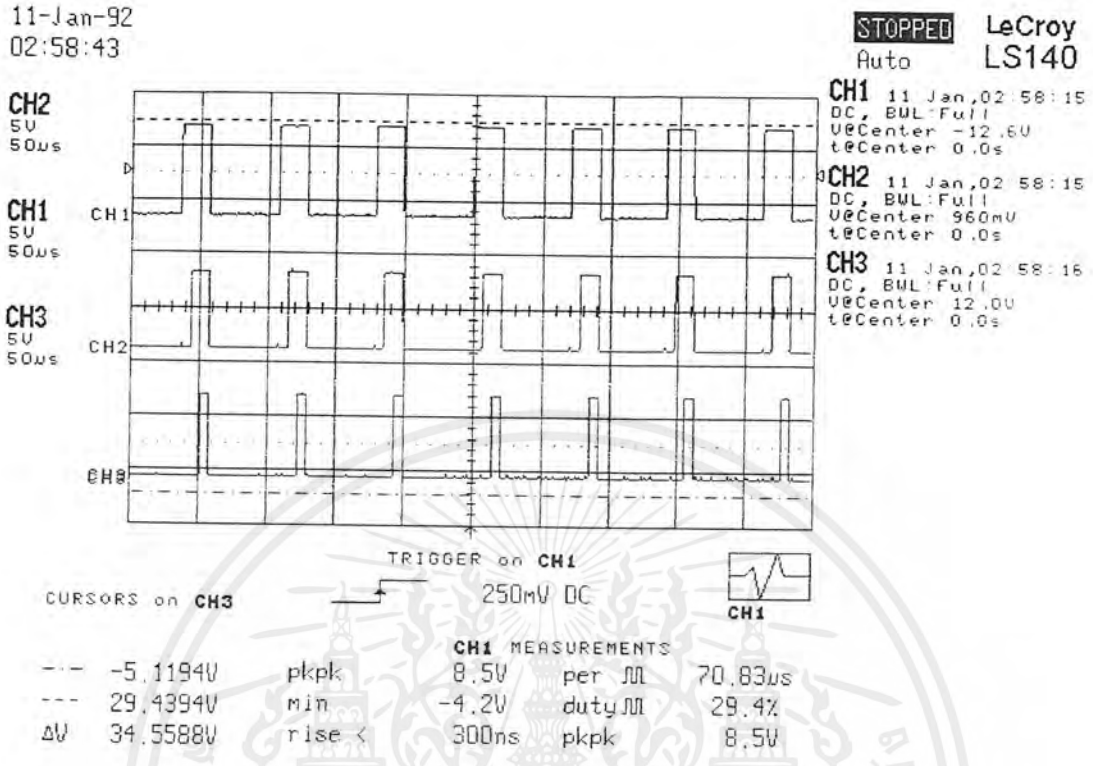
Ch1 คือ สัญญาณกระแส Q1

Ch2 คือ สัญญาณกระแส Q2

Ch3 คือ สัญญาณกระแส Q3

Ch4 คือ สัญญาณกระแส Q4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



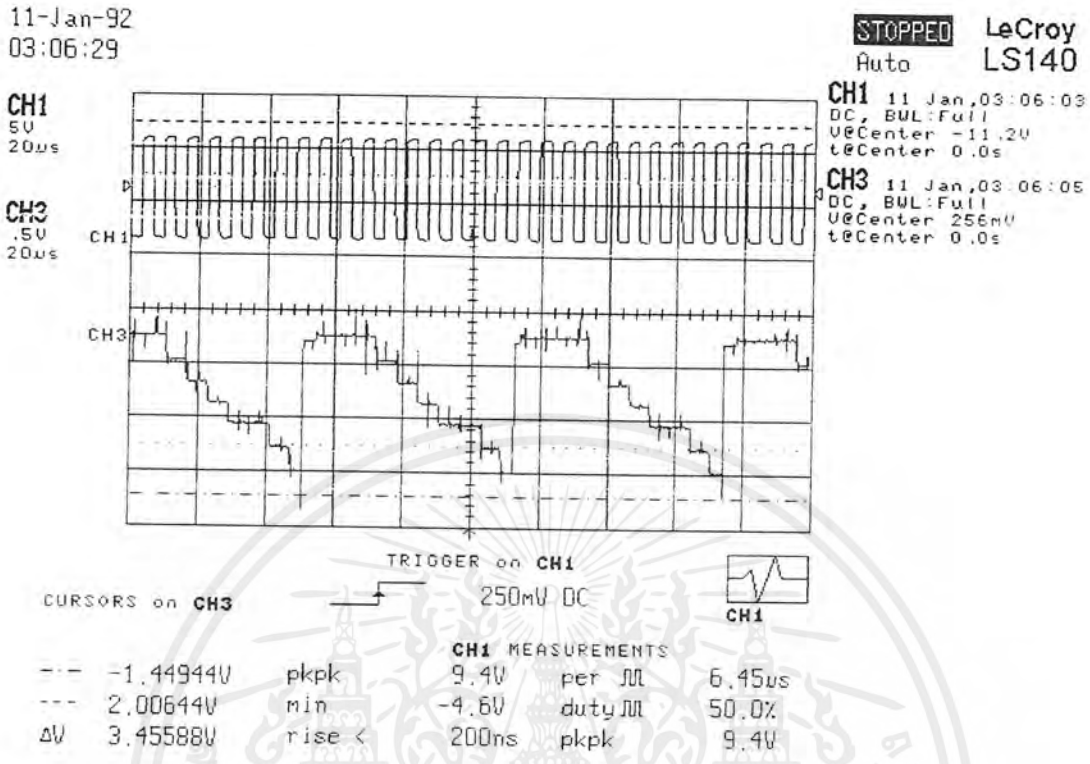
รูปที่ 4.21 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter

Ch1 คือ สัญญาณกระแส Q5

Ch2 คือ สัญญาณกระแส Q6

Ch3 คือ สัญญาณกระแส Q7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

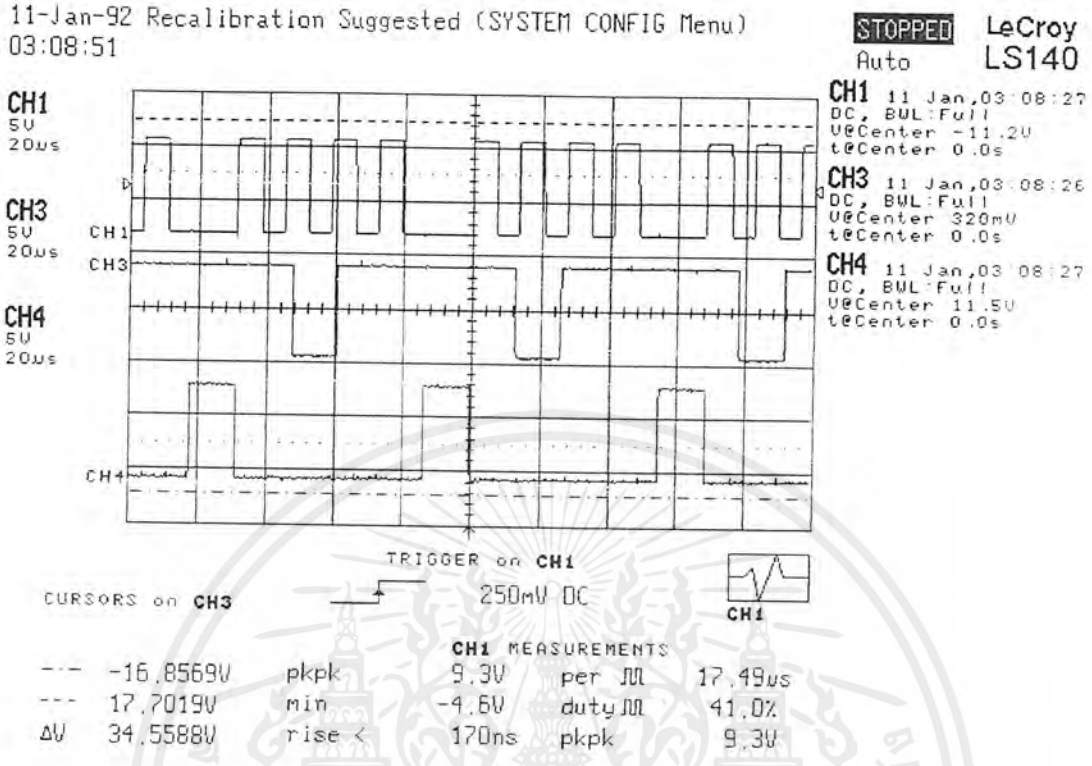


รูปที่ 4.22 แสดงผลการวัดที่ภาค Staircase Generator ที่ 7 Stage Ring Counter

Ch1 คือ สัญญาณนาฬิกา 160 kHz

Ch2 คือ สัญญาณที่ Output ของ 7 Stage Ring Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



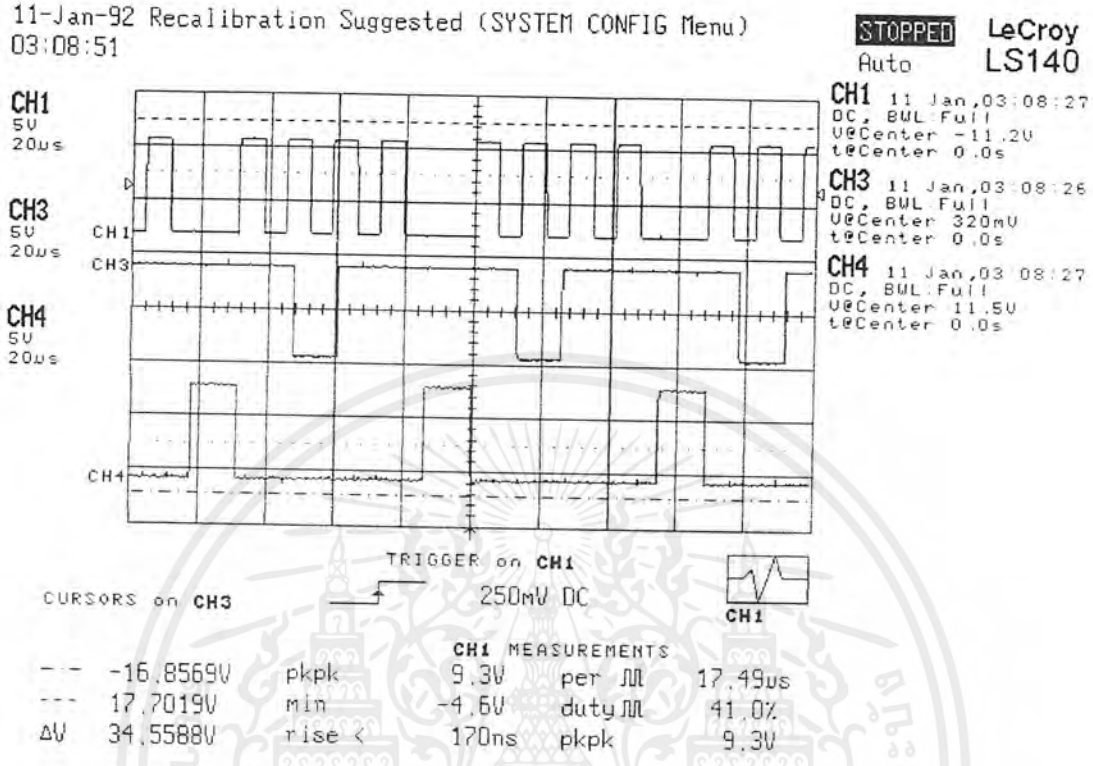
รูปที่ 4.23 แสดงผลการวัดที่ภาค TDM-PCM Modulation Timing

Ch1 คือ สัญญาณ PCL

Ch2 คือ สัญญาณ PE

Ch3 คือ สัญญาณ CO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



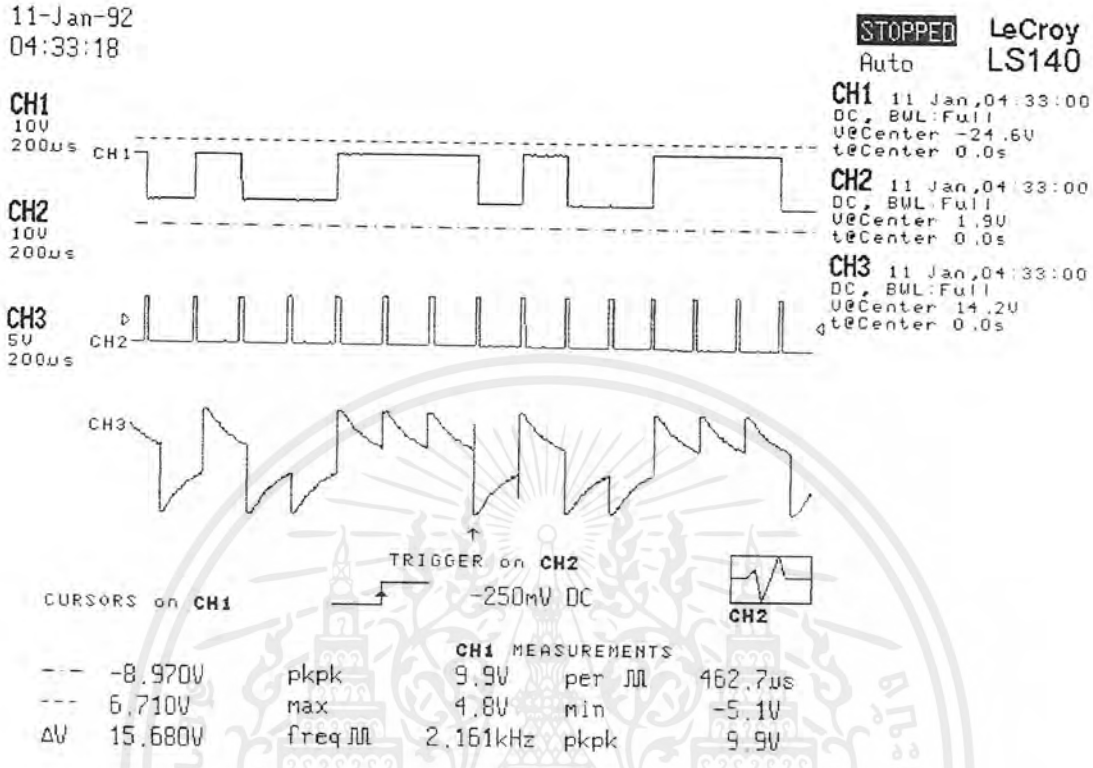
รูปที่ 4.24 แสดงผลการวัดที่ภาค TDM-PCM Modulation Timing

Ch1 คือ สัญญาณ PS

Ch2 คือ สัญญาณ EN

Ch3 คือ สัญญาณ CO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



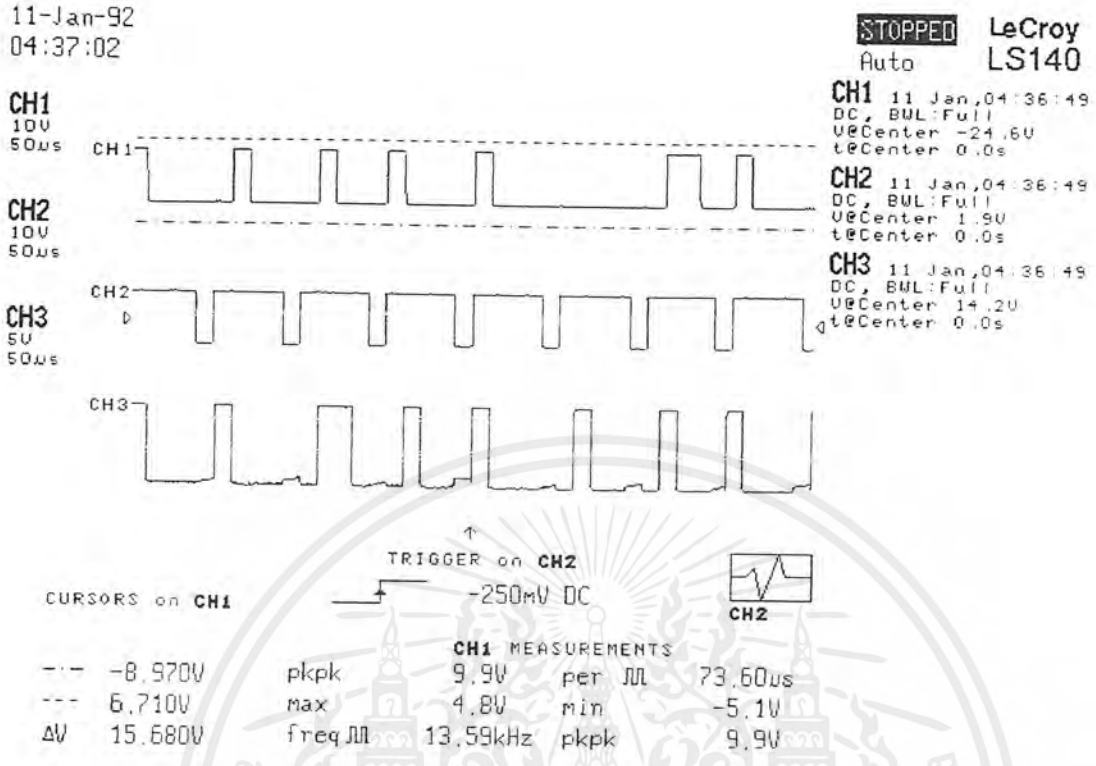
รูปที่ 4.25 แสดงผลการวัดที่ภาค Synch. Word Detector

Ch1 คือ สัญญาณ Synch. Word

Ch2 คือ ค่า "0"

Ch3 คือ สัญญาณที่ออกจาก SW_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



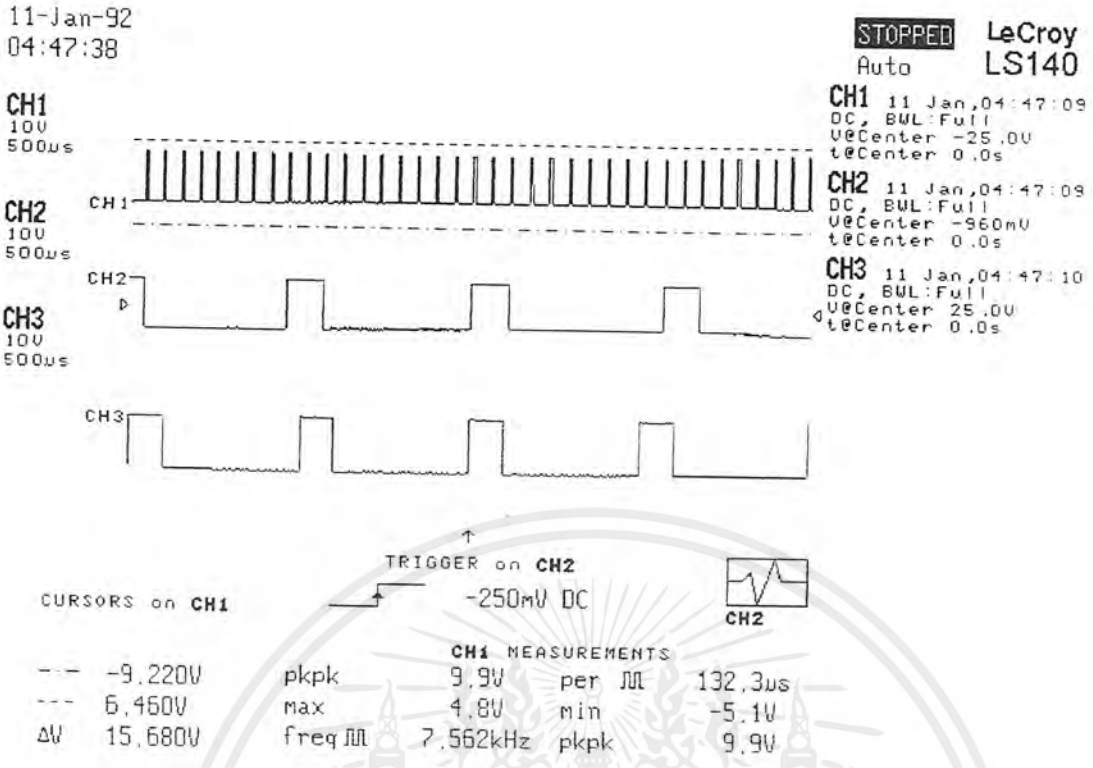
รูปที่ 4.26 แสดงผลการวัดที่ภาค Modulation

Ch1 คือ สัญญาณข้อมูล TDM-PCM

Ch2 คือ ค่า "0"

Ch3 คือ สัญญาณที่ออกจาก SW_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



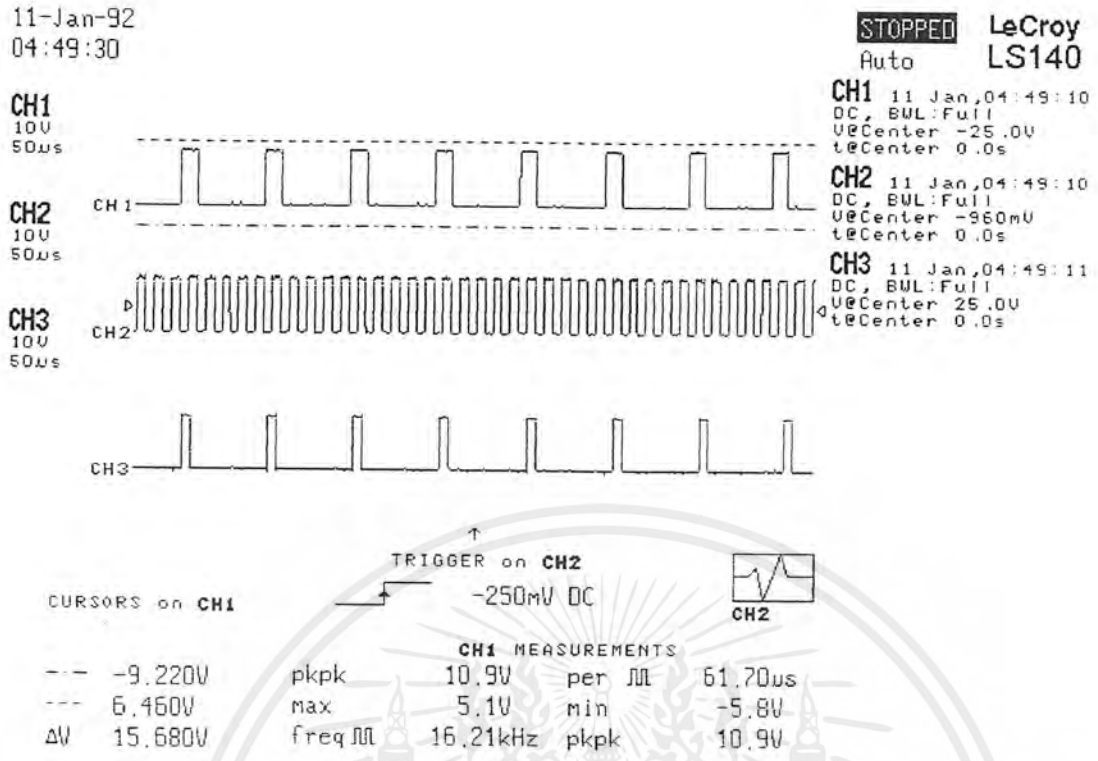
รูปที่ 4.27 แสดงผลการวัดที่ภาค Synch. Word Detector

Ch1 คือ สัญญาณที่ออกจาก G8

Ch2 คือ สัญญาณที่เข้า Q1 ของ Flip-Flop

Ch3 คือ สัญญาณที่ออกจาก G10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



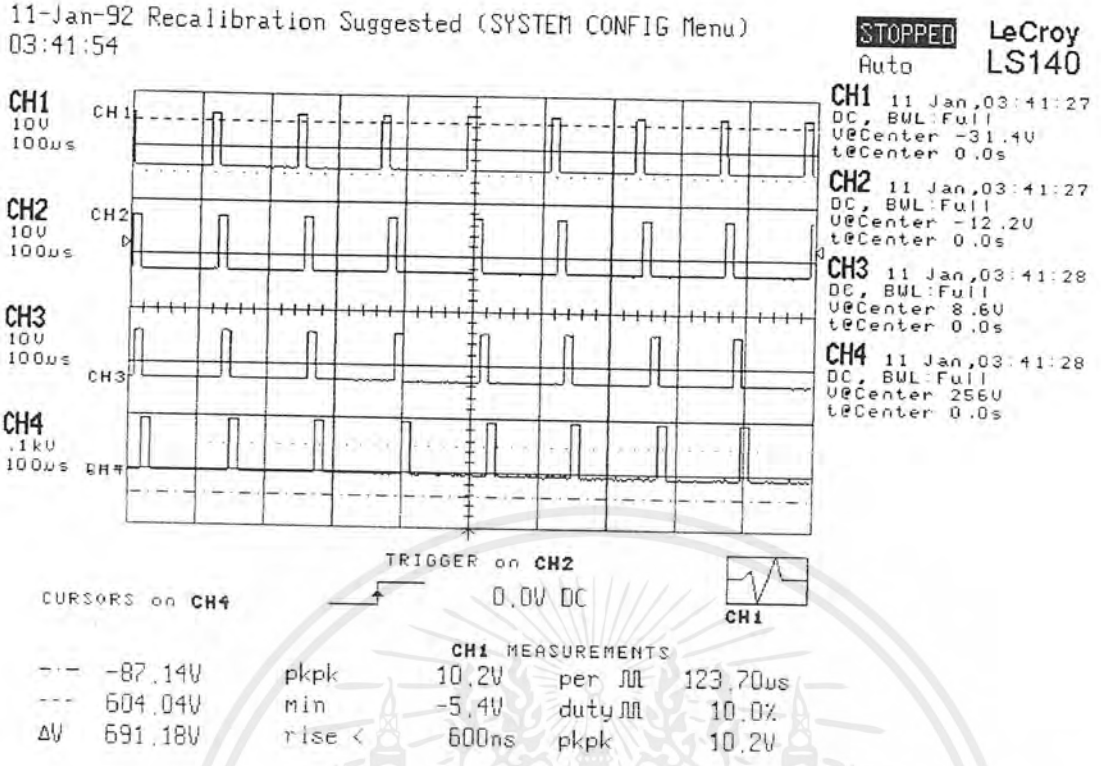
รูปที่ 4.28 แสดงผลการวัดที่ภาค Synch. Word Detector

Ch1 คือ สัญญาณที่ออกจาก G1

Ch2 คือ สัญญาณที่ออกจาก G2

Ch3 คือ สัญญาณ Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงผลการวัดที่ภาค Timing Counter

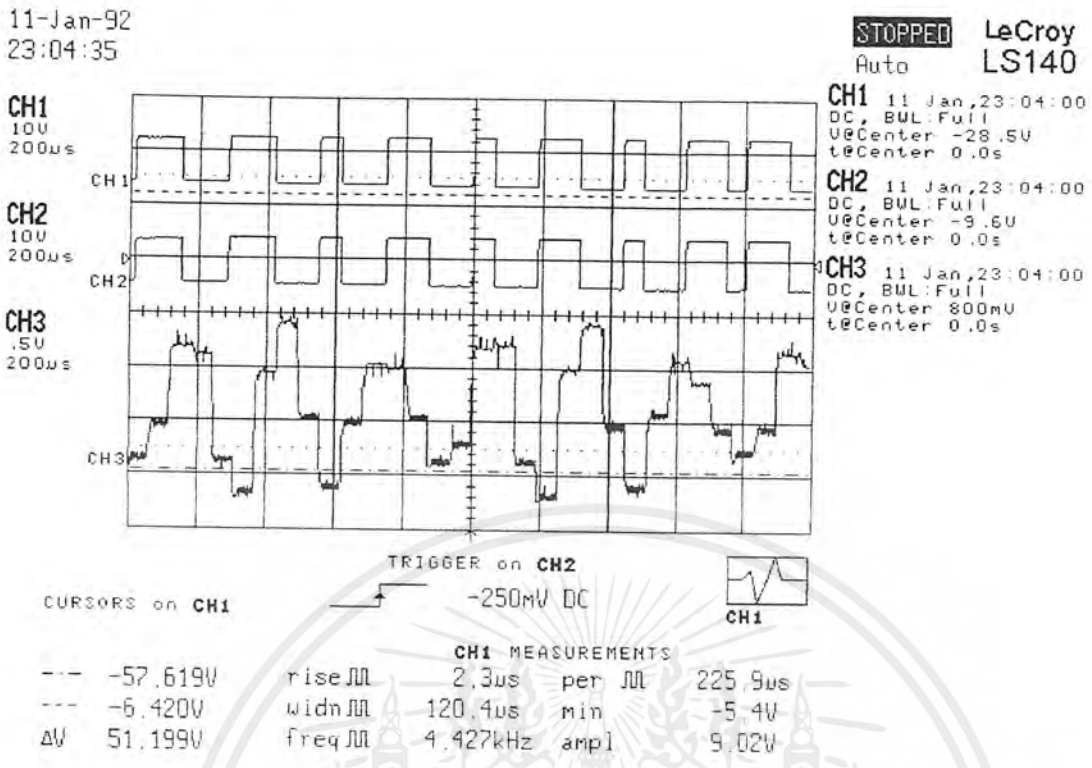
Ch1 คือ ค่า "0"

Ch2 คือ ค่า "1"

Ch3 คือ ค่า "2"

Ch4 คือ ค่า "3"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



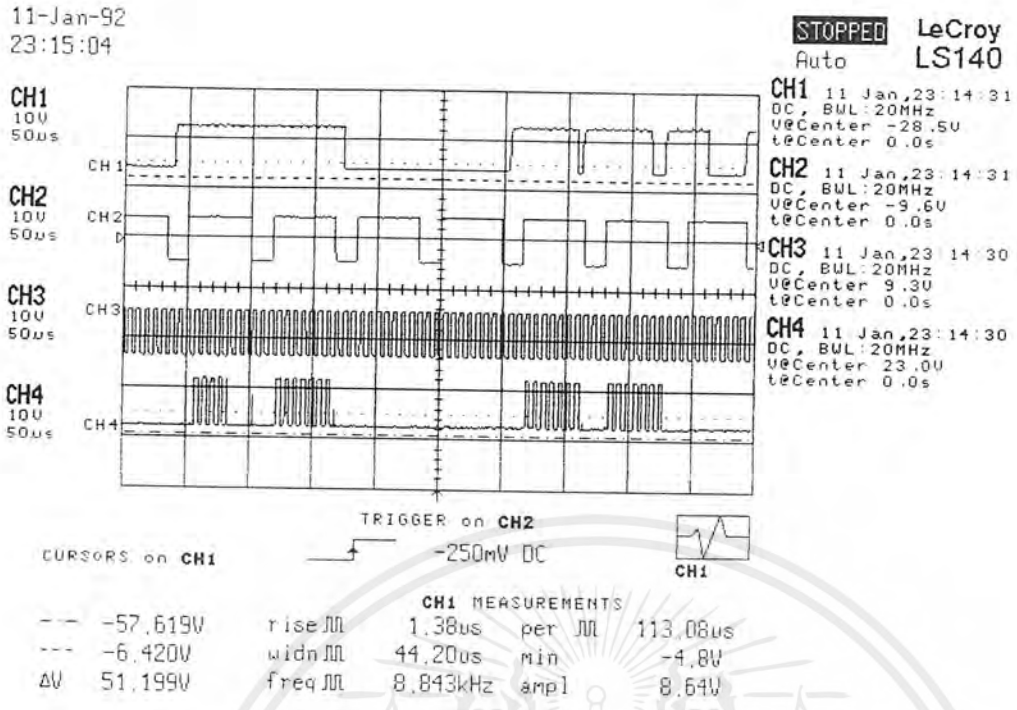
รูปที่ 4.30 แสดงผลการวัดที่ภาค Staircase Generator ที่ Determinator Circuit

Ch1 คือ สัญญาณที่ออกจาก Comparator 1

Ch1 คือ สัญญาณที่เข้าสวิทช์ SW_1

Ch3 คือ สัญญาณ Vo ที่ออกจาก A1 ซึ่งมีค่าเท่ากับ –Vi

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 แสดงผลการวัดที่ภาค Binary Counter

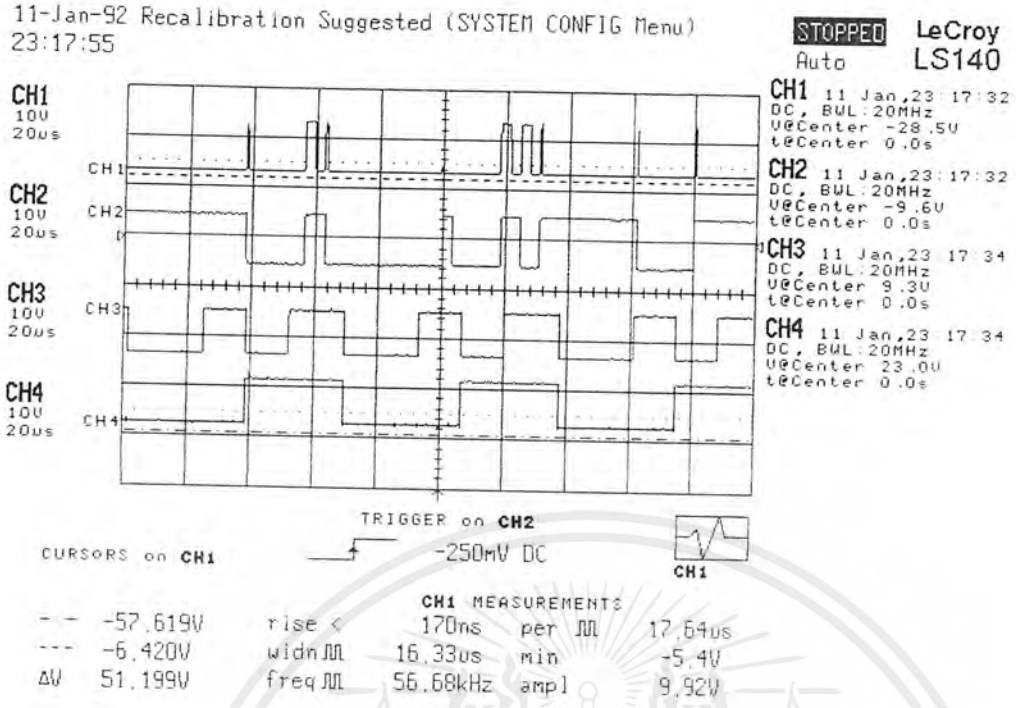
Ch1 คือ สัญญาณ Output ของ Comparator 2

Ch2 คือ สัญญาณ EN

Ch3 คือ สัญญาณ Clock 160 kHz

Ch4 คือ สัญญาณที่ Output ของ And Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



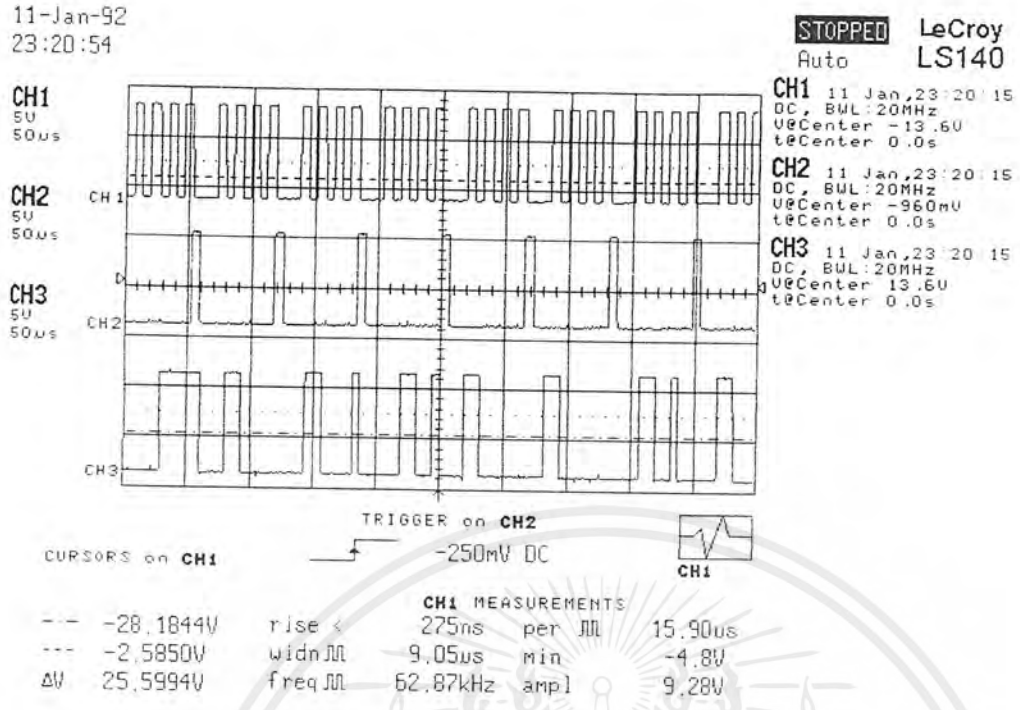
รูปที่ 4.32 แสดงผลการวัดค่าที่ภาค Binary Counter

Ch1 คือ สัญญาณ Q1

Ch2 คือ สัญญาณ Q2

Ch3 คือ สัญญาณ Q3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



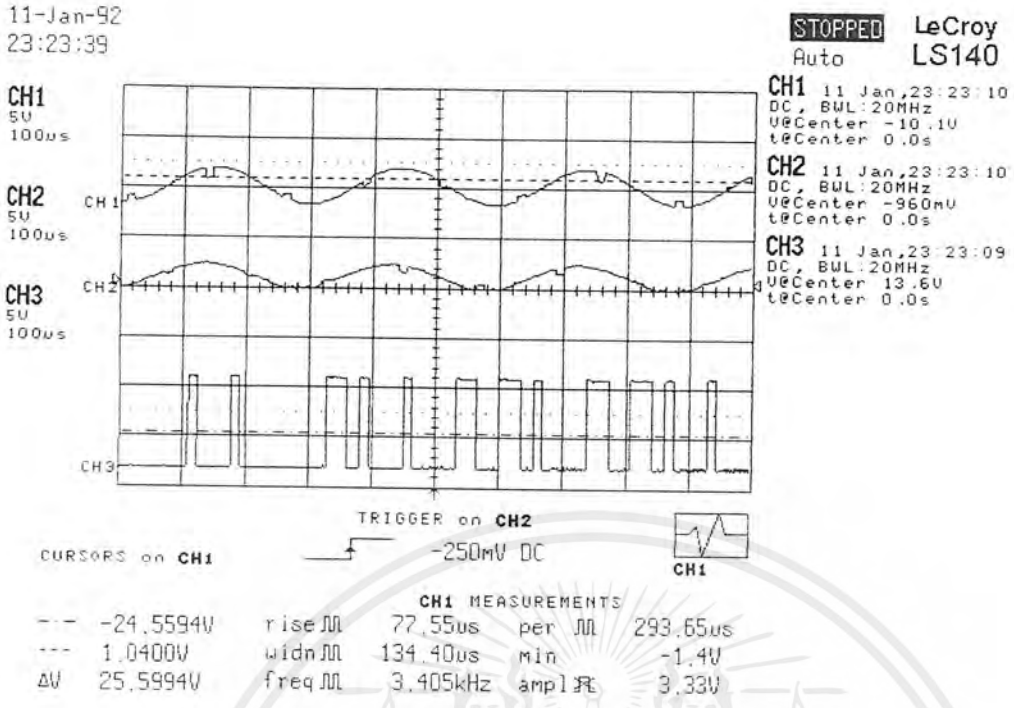
รูปที่ 4.33 แสดงผลการวัดที่ภาค Parallel to Serial Converter

Ch1 คือ สัญญาณ PCL

Ch2 คือ สัญญาณ PS

Ch3 คือ สัญญาณ Output ของภาค Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



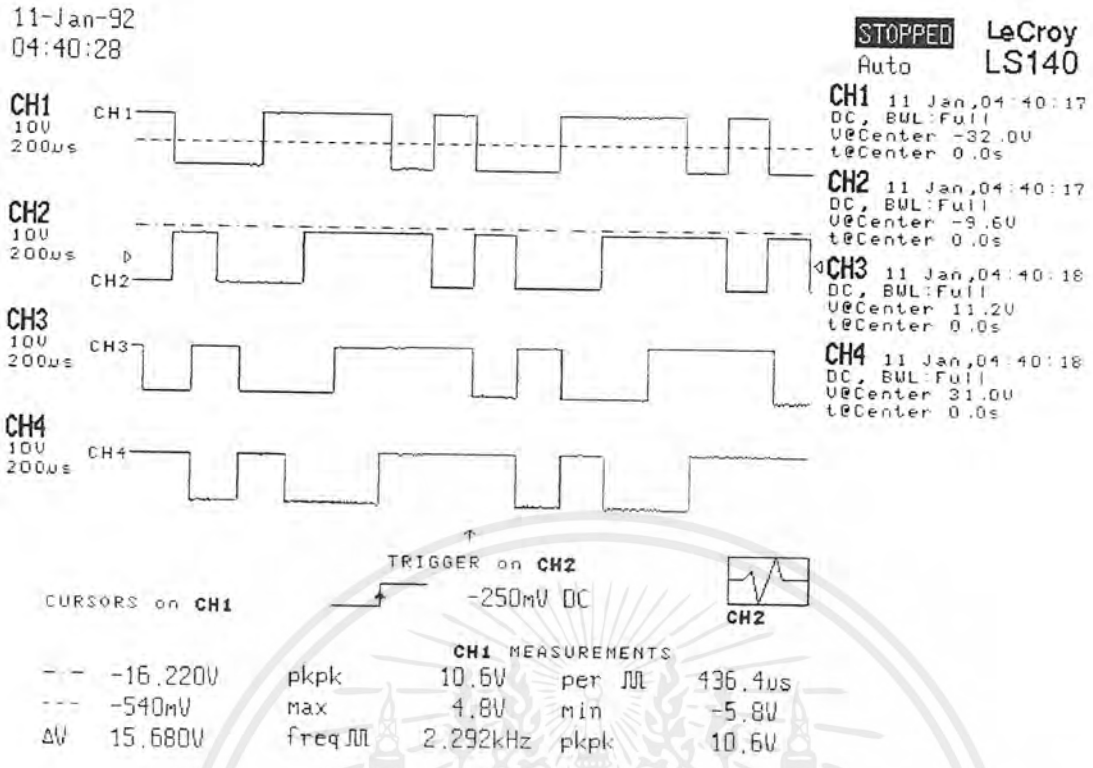
รูปที่ 4.34 แสดงผลการวัดเปรียบเทียบ Input และ Output

Ch1 คือ สัญญาณ Input 4 Vp-p

Ch2 คือ สัญญาณ Input 2 Vp-p

Ch3 คือ สัญญาณ Output ของภาค Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.35 แสดงผลการวัดที่ Shift Register

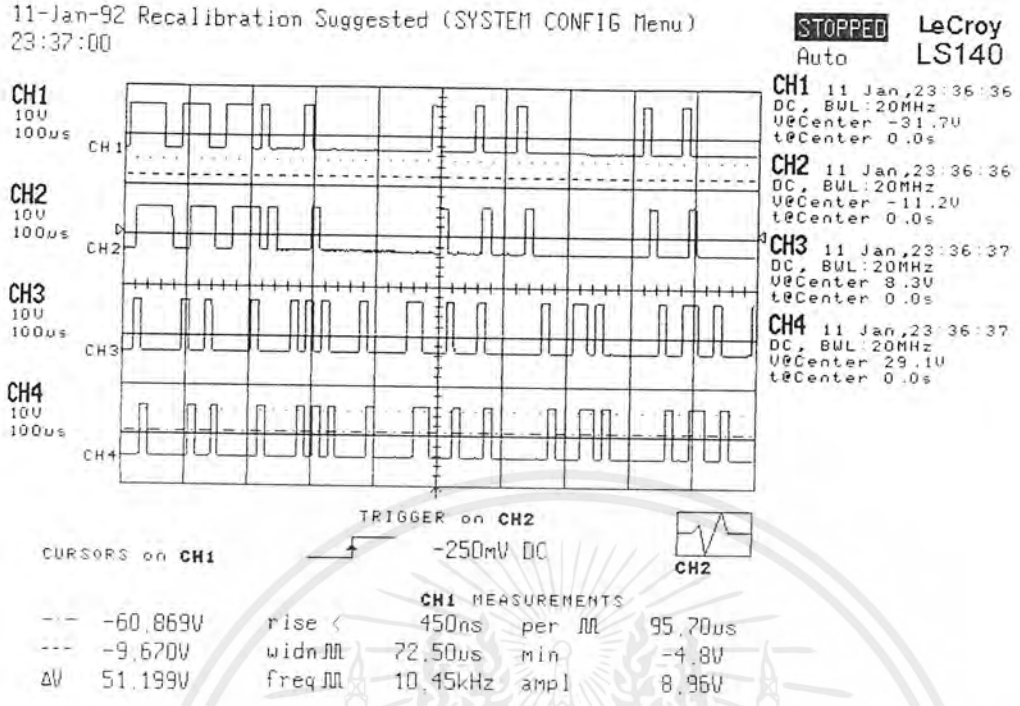
Ch1 คือ สัญญาณที่ออกจาก Q1

Ch2 คือ สัญญาณที่ออกจาก Q2

Ch3 คือ สัญญาณที่ออกจาก Q3

Ch4 คือ สัญญาณที่ออกจาก Q4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 แสดงผลการวัดที่ภาค Demodulation ที่ Serial to parallel Converter

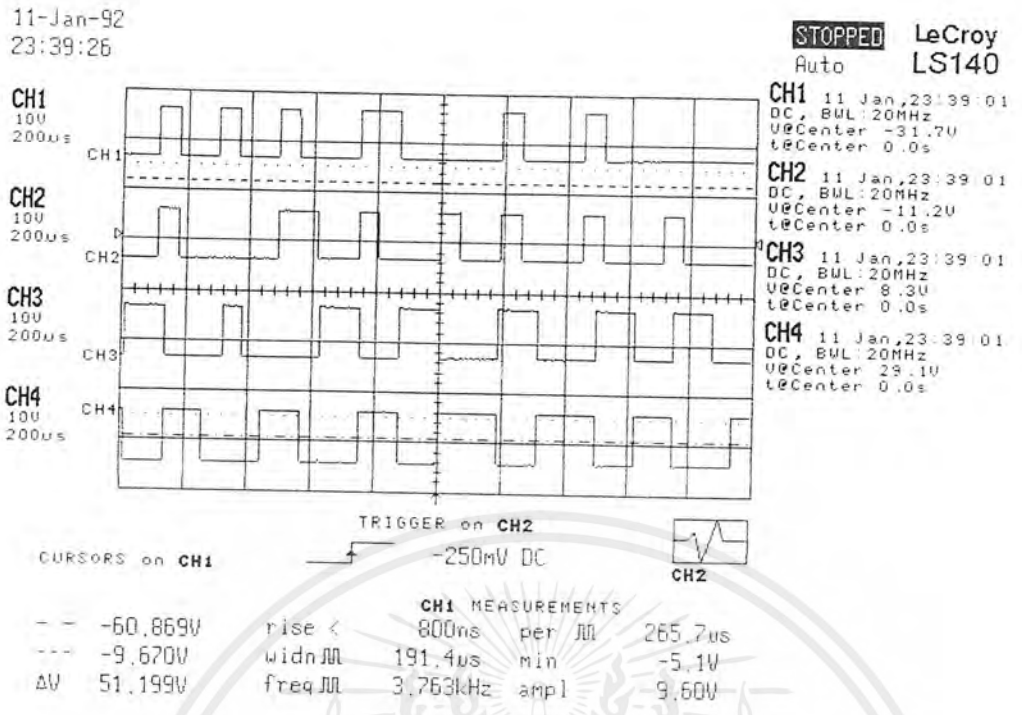
Ch1 คือ สัญญาณ P1

Ch2 คือ สัญญาณ P2

Ch3 คือ สัญญาณ P3

Ch4 คือ สัญญาณ P4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.37 แสดงผลการวัดค่าที่ภาค Demodulation ที่ Latch

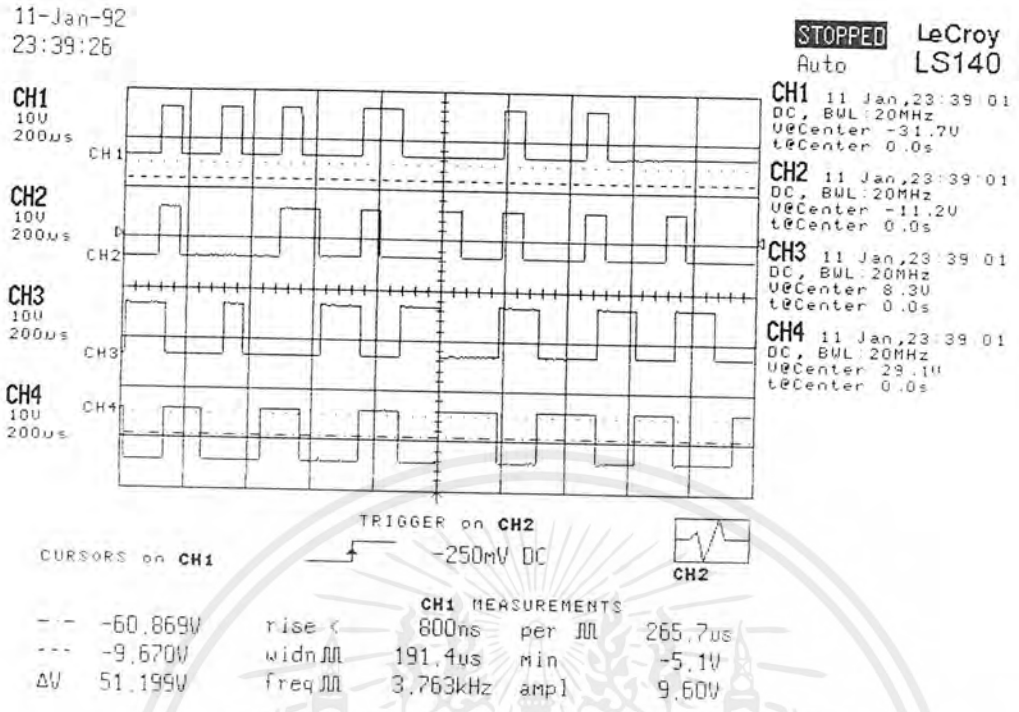
Ch1 คือ สัญญาณ L1

Ch2 คือ สัญญาณ L2

Ch3 คือ สัญญาณ L3

Ch4 คือ สัญญาณ L4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.38 แสดงผลการวัดค่าที่ภาค Demodulation ที่ BCD-Decimal

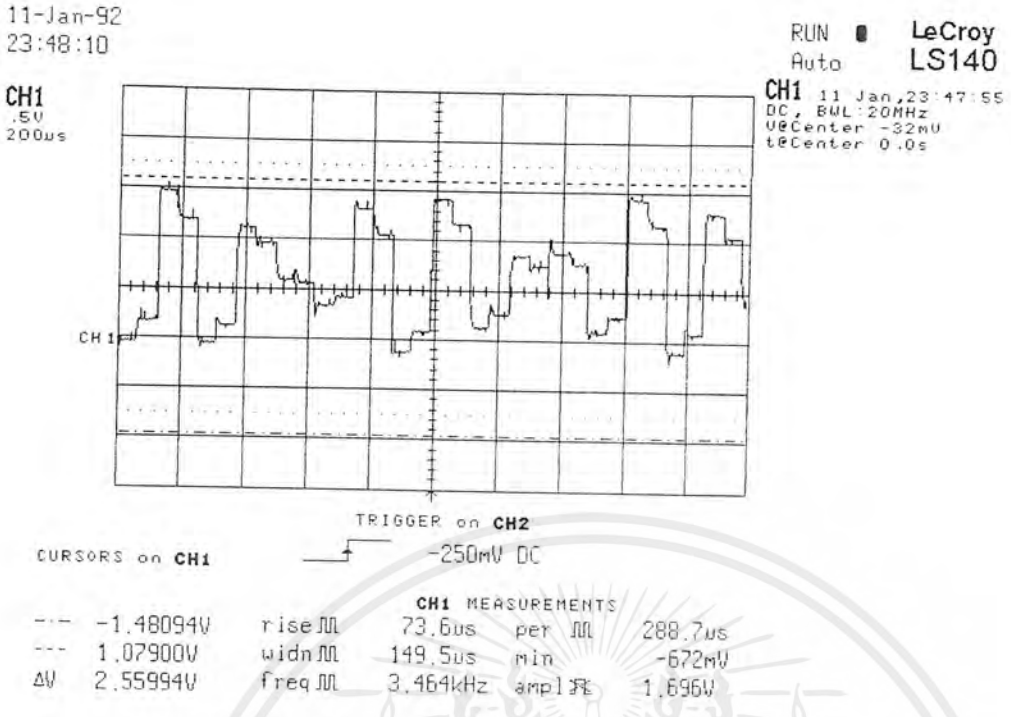
Ch1 คือ สัญญาณ B1

Ch2 คือ สัญญาณ B2

Ch3 คือ สัญญาณ B3

Ch4 คือ สัญญาณ L4

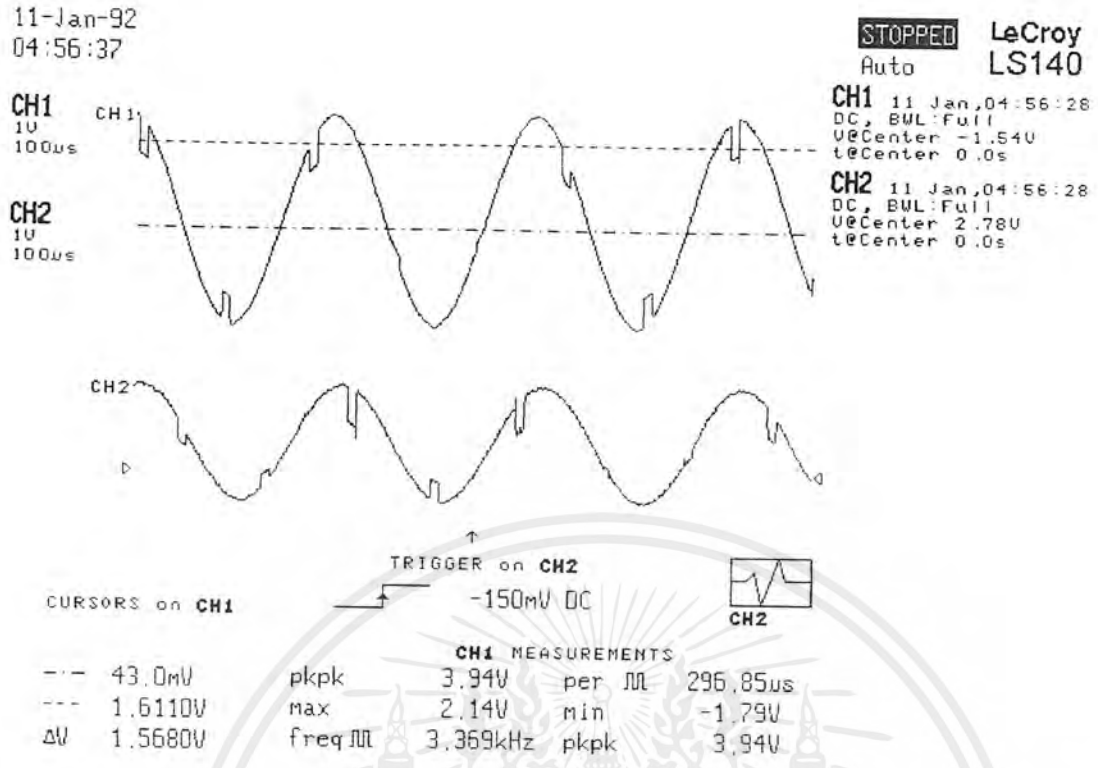
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 แสดงผลการวัดค่าที่ภาค Demodulation ที่ Output ของ Current Source

Ch1 คือ สัญญาณ Output ของ Current Source

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

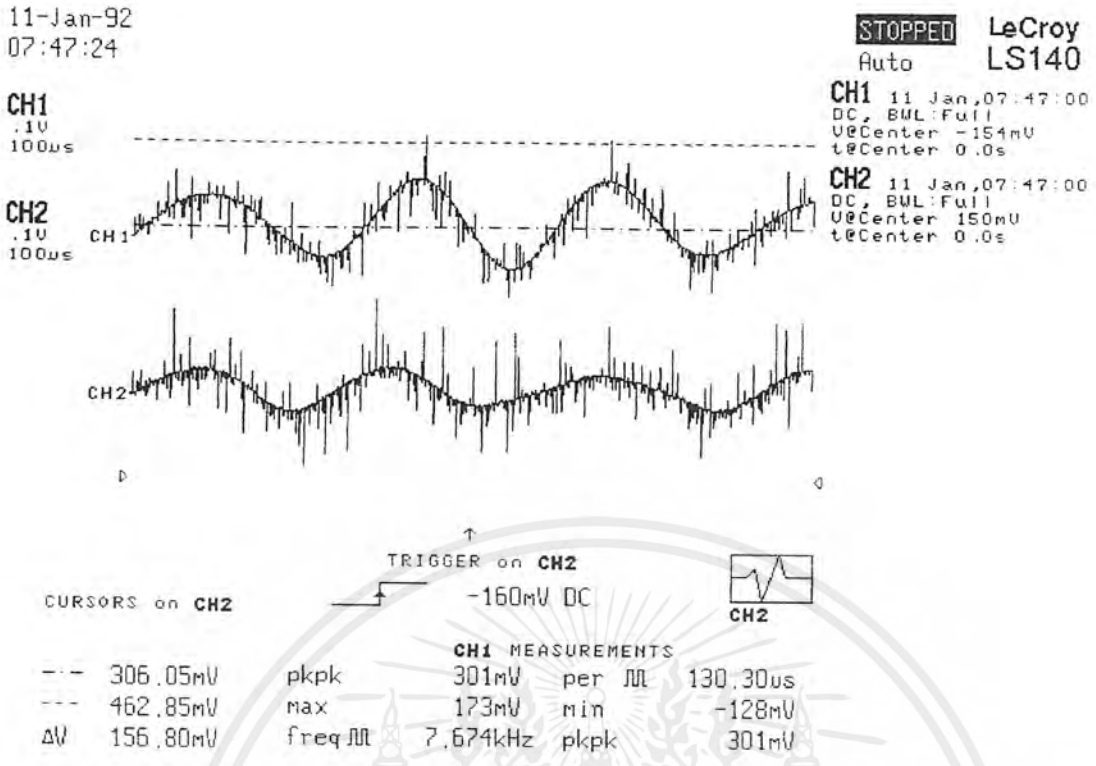


รูปที่ 4.40 แสดงผลการวัดที่ Input

Ch1 คือ สัญญาณ Input 4 Vp-p

Ch2 คือ สัญญาณ Input 2 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

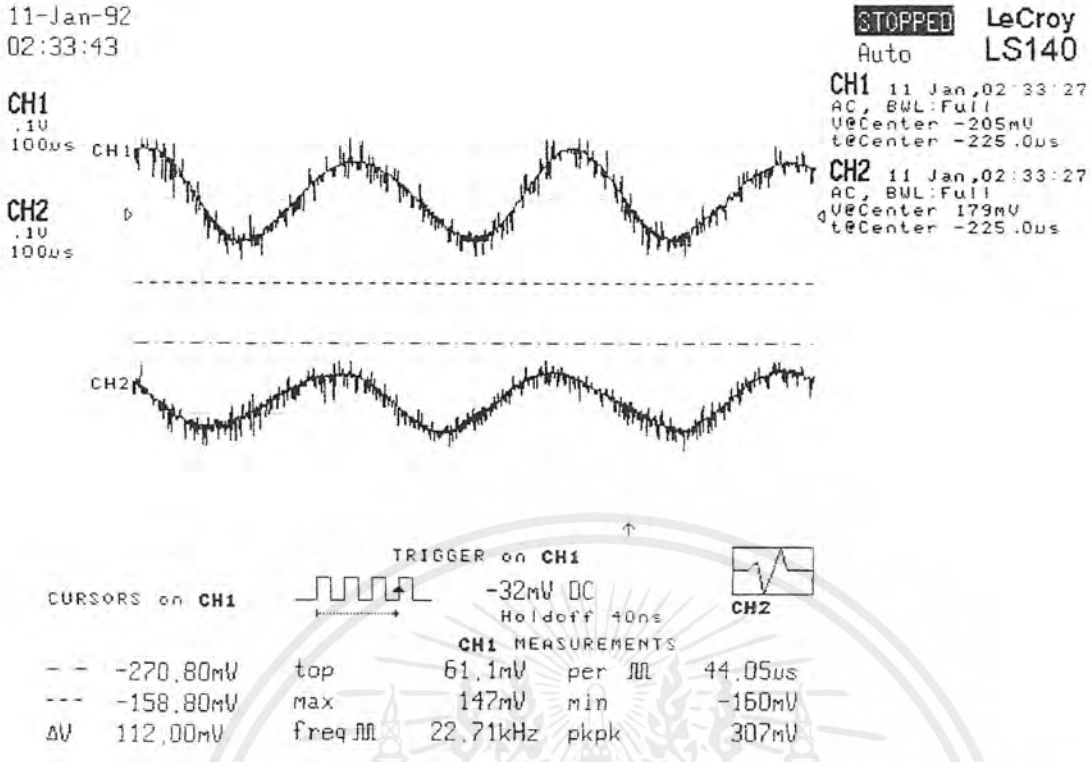


รูปที่ 4.41 แสดงผลการวัดที่ Output

Ch1 คือ สัญญาณที่ออกจาก LPF1

Ch2 คือ สัญญาณที่ออกจาก LPF2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.42 แสดงผลการวัดที่ Output

Ch1 คือ สัญญาณที่ออกจาก LPF1

Ch2 คือ สัญญาณที่ออกจาก LPF2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

ในโครงงานเป็นนี้การพัฒนามาจากการสื่อสารระบบ PCM 1 ช่อง ให้สามารถติดต่อสื่อสารได้ในการสื่อสารระบบ PCM หลายช่อง (Multi-Chennel) ซึ่งผลลัพธ์ที่ได้จากโครงงานค่อนข้างเป็นที่น่าพอใจ อาจต้องมีบางส่วนที่ต้องปรับปรุงแก้ไขให้ดีและสมบูรณ์ยิ่งขึ้น

จากการทดลองใช้กับสัญญาณคลื่นซายน์ (Sine Wave) ที่ความถี่ไม่เกิน 3.4 kH_z 2 ช่องสัญญาณ 2 แอมพลิจูด คือ 2 โวลท์ และ 3.5 โวลท์ ผลปรากฏว่า เครื่องรับสามารถให้เอาท์พุตที่เหมือนกับสัญญาณอินพุตที่เครื่องส่งได้ แอมพลิจูด (Amplitude) (อาจจะไม่เท่ากันและความเรียบของสัญญาณมีไม่มากนักอันเนื่องมาจากสัญญาณรบกวนจ่ายภาคจ่ายไฟตรง จึงจะต้องใช้ตัวเก็บประจุต่อคร่อมที่เอาท์พุตแหล่งจ่ายไฟตรงเพื่อเป็นการลดสัญญาณรบกวนนั้น ดังแสดงไว้ในรูปที่ 4.41 และ 4.42 ในบทที่ 4) แต่ที่ความถี่ประมาณ 3.4 kH_z ขึ้นไปเอาท์พุตของภาครับจะไม่ค่อยดีนัก แอมพลิจูดมีค่าลดลงไปมาก นั่นแสดงความถี่ที่ประมาณ 3.4 kH_z ถูกตัดออกไป และที่ความถี่ก่อนจะถึง 3.4 kH_z แอมพลิจูดก็มีค่าลดลงแล้ว ซึ่งเป็นไปตามคุณสมบัติ (Characteristic) ของวงจรกรองผ่านความถี่ต่ำ (Low Pass Filter) คือ แอมพลิจูดลดลงเรื่อยๆ เมื่อความถี่เพิ่มขึ้น (ตามทฤษฎีจะเริ่มที่ความถี่ 0 kH_z) จนถึงที่ความถี่คัท-ออฟ (Cut-Off Frequency) แอมพลิจูดจะลดลงไปถึง 3 dB วงจรนี้จะให้รูปสัญญาณเอาท์พุตที่สวยเมื่อป้อนสัญญาณอินพุตที่ความถี่ 2.7 kH_z

ตั้งแต่อดีตการส่งข่าวสาร (Message) เป็นไปในรูปแบบของสัญญาณแอนาลอก (Analog communication) ในปัจจุบันนี้ความเจริญทางด้านดิจิตอลมีมากขึ้น จึงมีการหันมาให้ความสนใจการส่งข่าวสารในรูปแบบดิจิตอลกันมากขึ้น อย่างเช่น การใช้ PCM ในระบบโทรศัพท์ (ในอเมริกา-ยุโรป) องค์การโทรศัพท์ก็ให้ความสนใจกับการใช้ PCM ในระบบโทรศัพท์ จนมีการพัฒนาไปเป็นการสื่อสาร TDMA 30 ช่องสัญญาณ ที่ได้เห็นกันอยู่ ซึ่งมีข้อดีในด้านความแม่นยำ สัญญาณรบกวนมีผลน้อยลง ราคาถูก

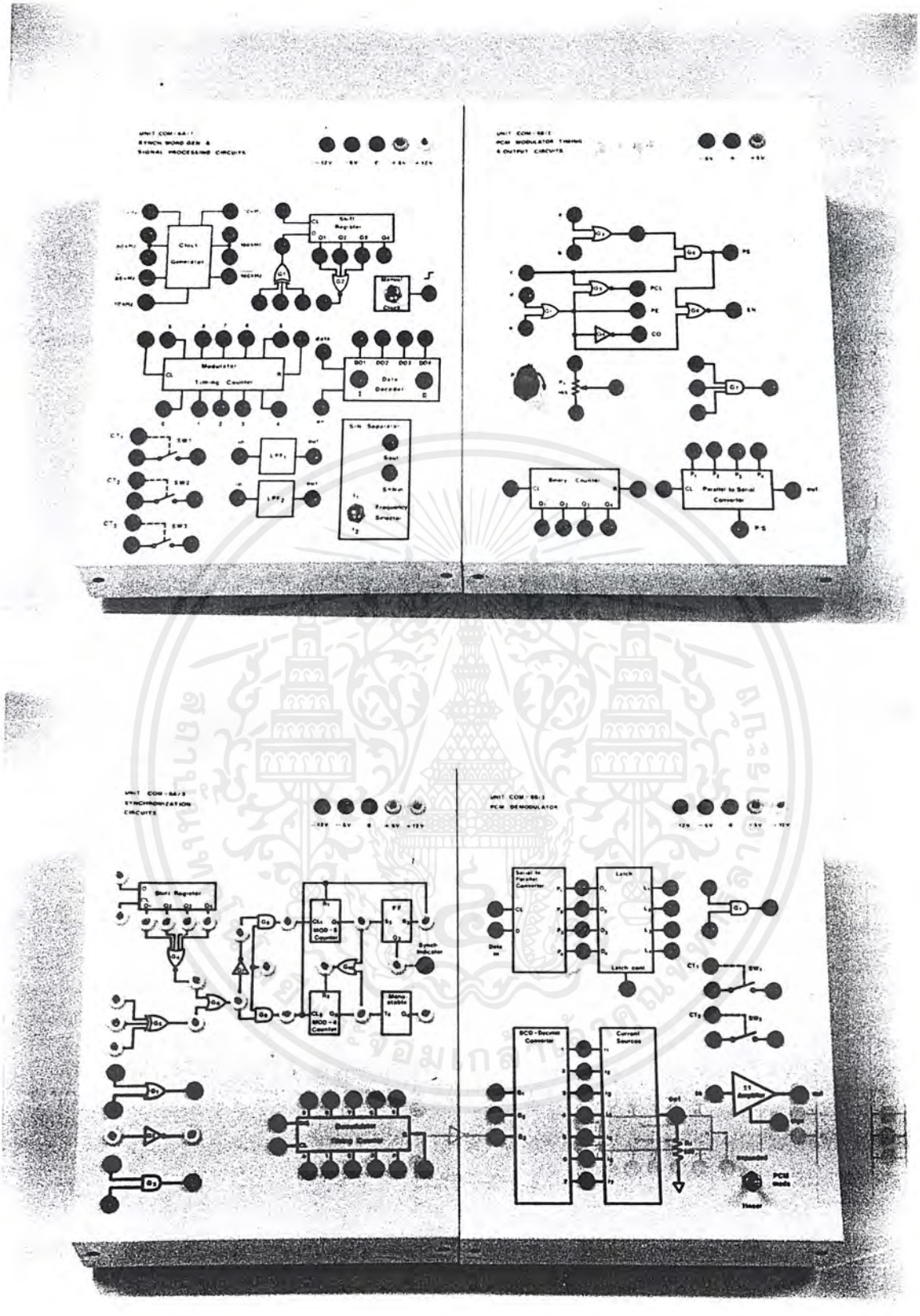
การที่โครงงานนี้สำเร็จลุล่วงได้นั้น ต้องมีความเข้าใจทางด้านอิเล็กทรอนิกส์พอสมควร สิ่งสำคัญ คือ การรู้จักวิเคราะห์ปัญหาต่างๆที่เกิดขึ้น เพื่อการแก้ไขให้ถูกต้องตามที่ต้องการ การค้นหาส่วนที่ผิดพลาด ความถูกต้องตลอดจนความเข้าใจในการทำงานของของวงจร อุปกรณ์ที่ใช้เป็นอย่างดี และการหาวิธีแก้ไขอย่างมีหลักการ มีประสิทธิภาพและถูกต้อง

อย่างไรก็ตาม ในโครงงานนี้ยังมีข้อผิดพลาดอยู่บางจุด เช่น ต้องระวังในการป้อนแหล่งจ่ายไฟเลี้ยง รวมถึงสัญญาณสุ่มตัวอย่างที่จะนำมาใช้ให้ถูกต้อง ป้องกันไม่ให้ IC (Integrate Circuit) เสียหาย การต่อสายที่ยาวทำให้มีการลดทอนหรือความผิดเพี้ยนของสัญญาณ และข้อควรระวังอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

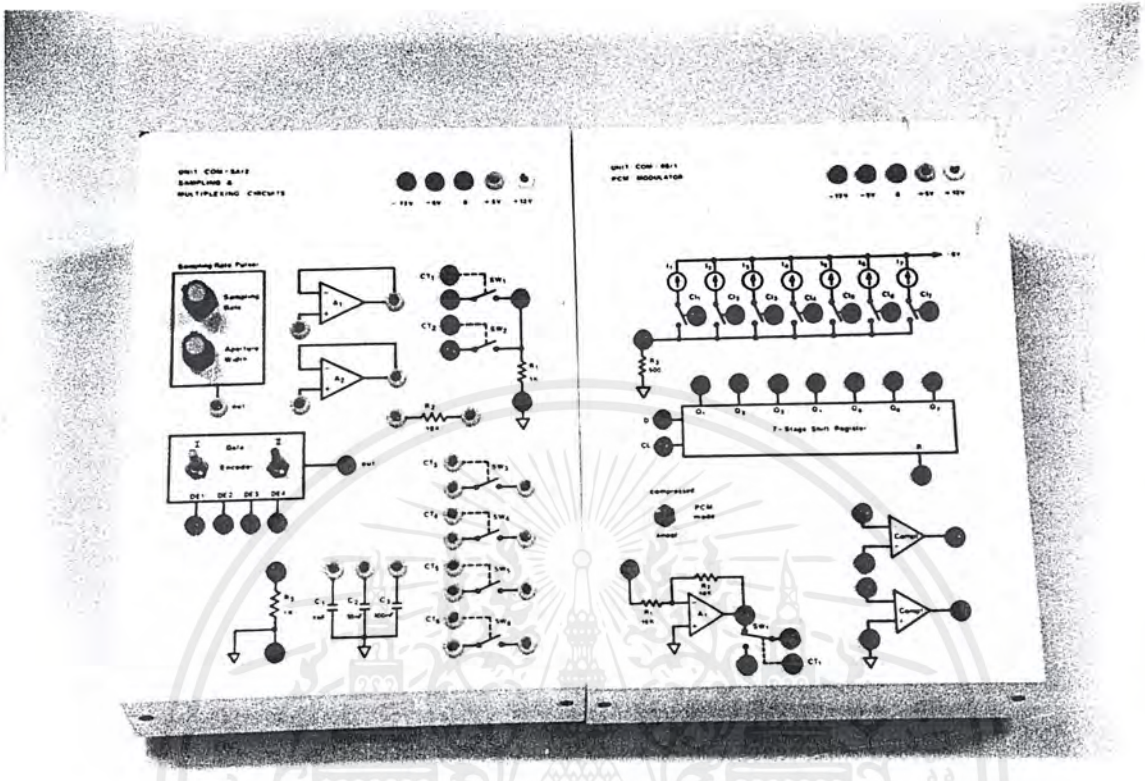
ข้อหนึ่ง คือ ใส่ตำแหน่งขาของ IC ลงใน Socket ให้ถูกต้อง หากเป็นไปได้เครื่องมือที่ใช้ในการวัดสัญญาณควรใช้เครื่องมือวัดที่มีความเที่ยงตรงสูงมีการรบกวนของสัญญาณต่อและสามารถบันทึกผลการทำลอง สัญญาณภาพต่างๆ ได้เพื่อให้ง่ายต่อการบันทึกข้อมูลนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



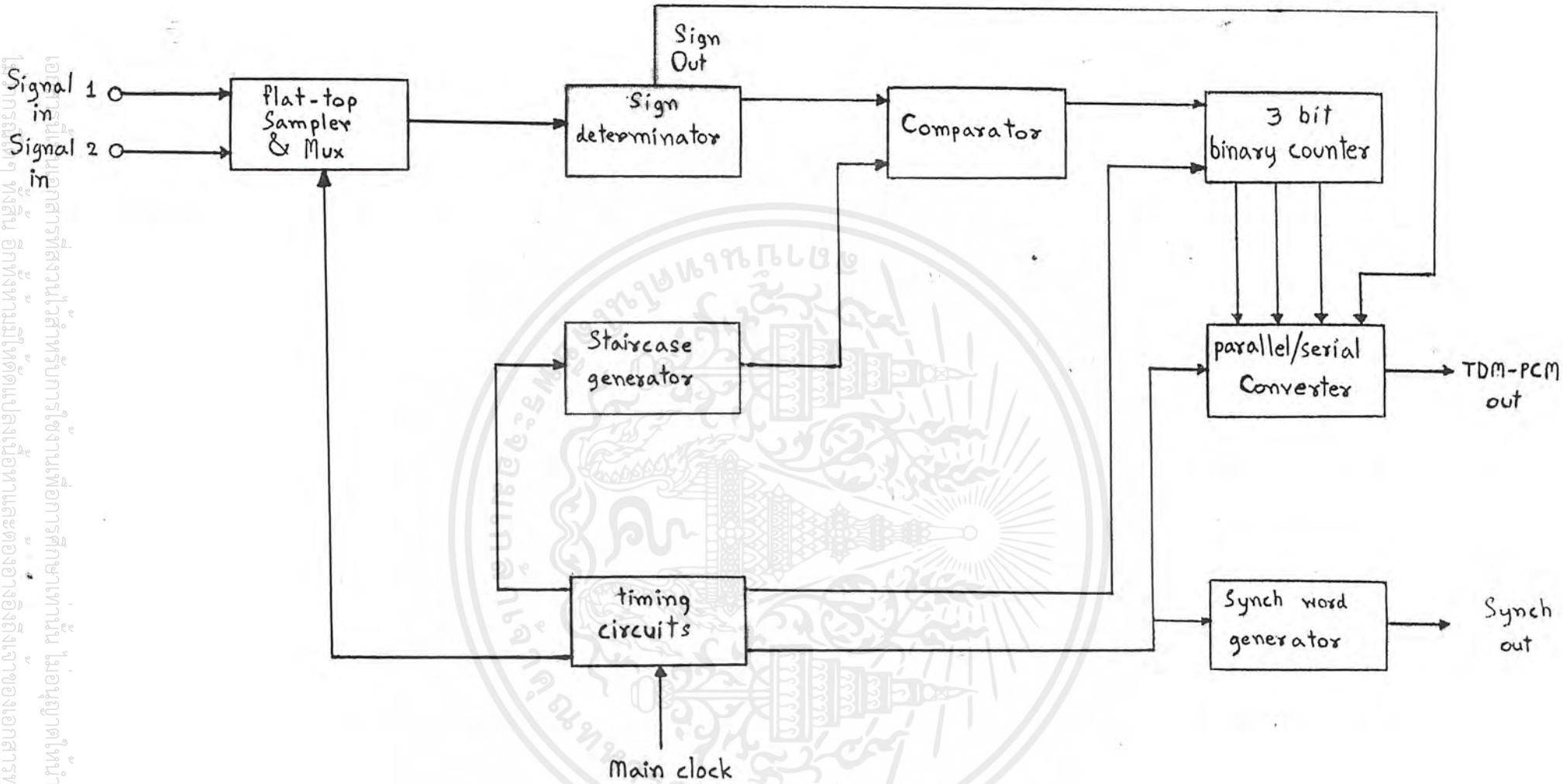
รูปที่ 5.1 แสดงภาพตัวเครื่องภาค Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

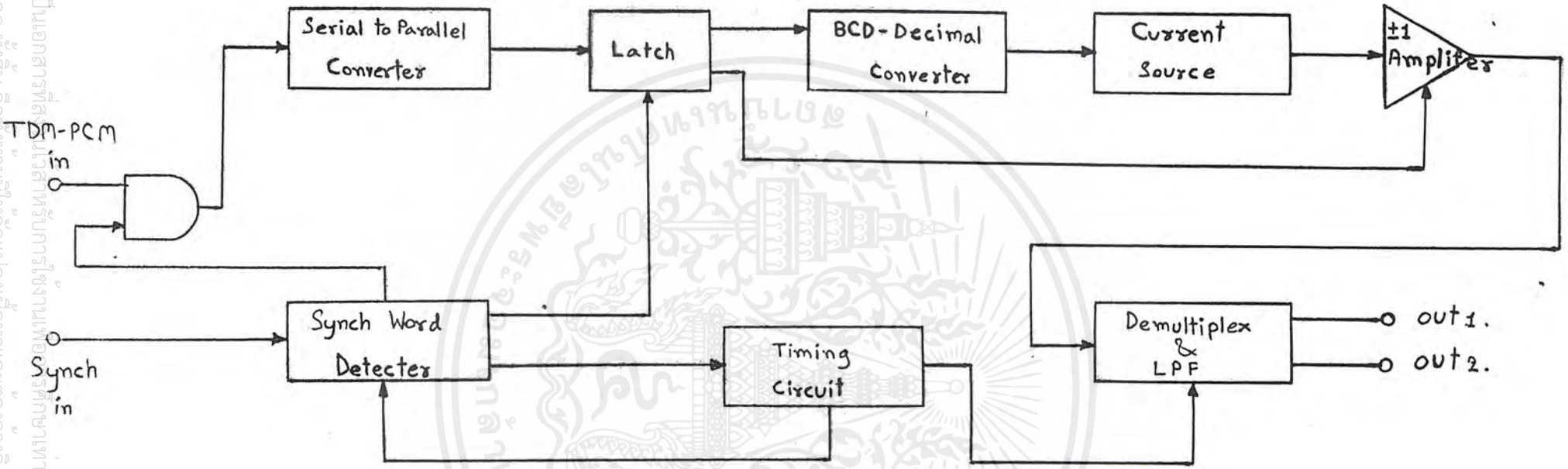


รูปที่ 5.2 แสดงภาพตัวเครื่องภาค Demodulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram TDM-PCM Modulator



Block Diagram TDM-PCM Demodulator

บรรณานุกรม

1. FRANK F.E.OWEN , PCM and DIGITAL TRANSMISSION SYSTEMS , Mc Graw-Hill
2. DEGEM SYSTEMS , Time Division Multiplexing , I.T.S. Inter Training System Ltd , 19
3. ไพโรจน์ ไววานิชกิจ , วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์ , บริษัท ซีเอ็ดยูเคชั่น จำกัด ฉบับที่ 155 , หน้า 68-77
4. รศ.ดร. วิวัฒน์ กิรานนท์ , วิศวกรรมการสื่อสาร Communication Engineering , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
5. ถวิล กิ่งทอง , เทคโนโลยีการส่งสัญญาณดิจิตอลDigital Transmission Technology , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
6. น.อ. ธวัชชัย เลื่อนฉวี , เทคโนโลยี โทรศัพท์ , 2533
7. รศ.ดร. กนก เจนจิระพงศ์เวช , เอกสารประกอบการอบรมการสื่อสารดาวเทียมและระบบ VSAT
8. คู่มือ / เทียบเบอร์ไอซี C- MOS , บริษัทซีเอ็ดยูเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ชุดสาธิต A

component		component		component		component	
R 220	1	C 0.1 uF	8	Q 2N4124	2	IC LM348N	3
210	2	10 uF	6			CD4017	1
680	2	100 uF	1			CD4066	1
1K	4	1000 uF	7			CD4013	1
1.5 K	4	18 pF	1			CD4027	1
2.2K	8					CD4081	1
8.2K	1					CD4060	1
10 K	7					CD4030	1
18 K	1					CD4015	1
22 K	3					CD4001	1
47 K	7						
60 K	2						
100 K	11						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ชุดสาธิต B

	component		component		component
R 1K	6	C 10uF	4	IC SCL4528	1
2.2K	11	0.01 nF	2	SCL4081	1
4.7K	1	0.68nF	3	CD4006	2
5.1K	2	0.1 nF	4	CD4027	1
10K	2	0.68nF	3	LM318N	1
100K	10	47pF	2	MC14001	1
		100pF	1		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์รายการชุดสาธิต C

		component			component			component
R	180	1	C	0.01uF	4	IC	CD4001	2
	2.2K	13		10uF	4		CD4518	1
	10K	2		2200uF	1		CD4015	1
	100K	15		150pF	1		CD4081	1
							CD4030	1
							MC14017	1
							MC14528	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ชุดสาธิต D

component		component			component			component	
R 100	1	VR 2M	1	Diode	1N4148	3	IC	LM318P	1
845	1			C	0.1uF	10		LM339N	1
1K	2				10uF	5		CD4066	1
1.5K	1			Q	2N4126	7		CD4015	1
2K	1							CA3082	2
2.2K	11								
3.3K	3								
5K	6								
8K	9								
10K	10								
12K	1								
68K	7								
100K	6								

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ชุดสาธิต E

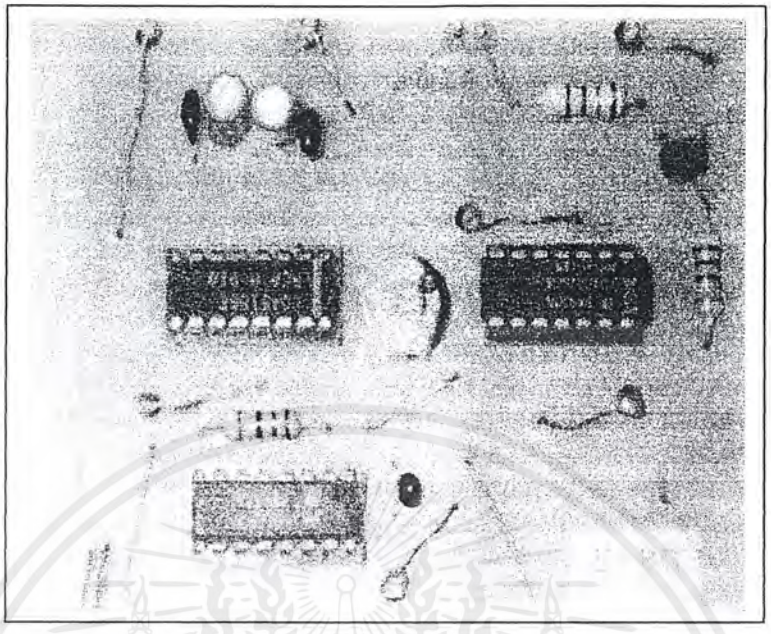
	component		component		component
R 2.2K	15	C 0.068uF	2	IC CD4001	2
6.8K	1	10uF	4	CD4081	1
33K	1	100uF	4	CD4029	1
100K	1 6	68nF	2		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

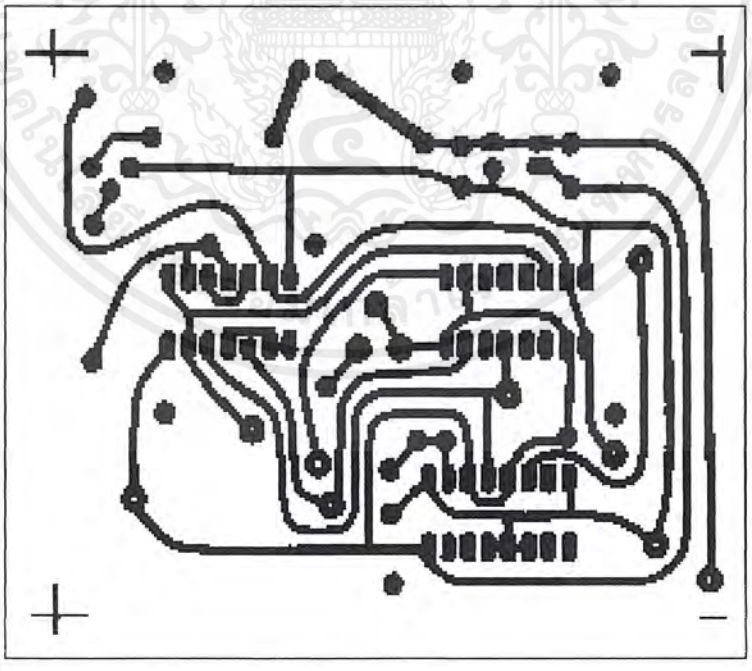
รายการอุปกรณ์ชุดสาธิต F

component		component		component		component	
R 100	1	C 0.068uF	2	Diode 1N4148	3	IC CD4095	1
180	1	0.1uF	8			CD4042	1
330	2	10uF	7			CD4028	1
390	1	47uF	2			CD4001	1
470	1	100uF	1			CD4066	1
560	1					CA3082	2
680	3					LM318P	2
750	1					Q 2N4126	7
1K	3						
1.5K	1						
2.2K	12						
3K	1						
5K	4						
10K	11						
12K	1						
18K	1						
51K	1						
100K	10						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

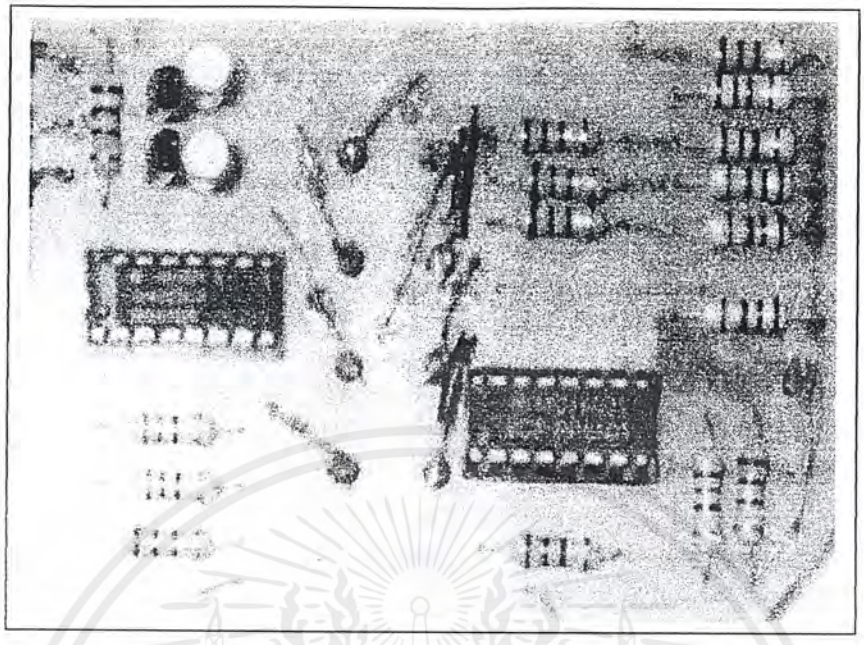


รูปที่ 1 แสดงการวางของวงจร Mod-8 Counter, Mod-4 Counter, Synch.Indicater และ Monostable

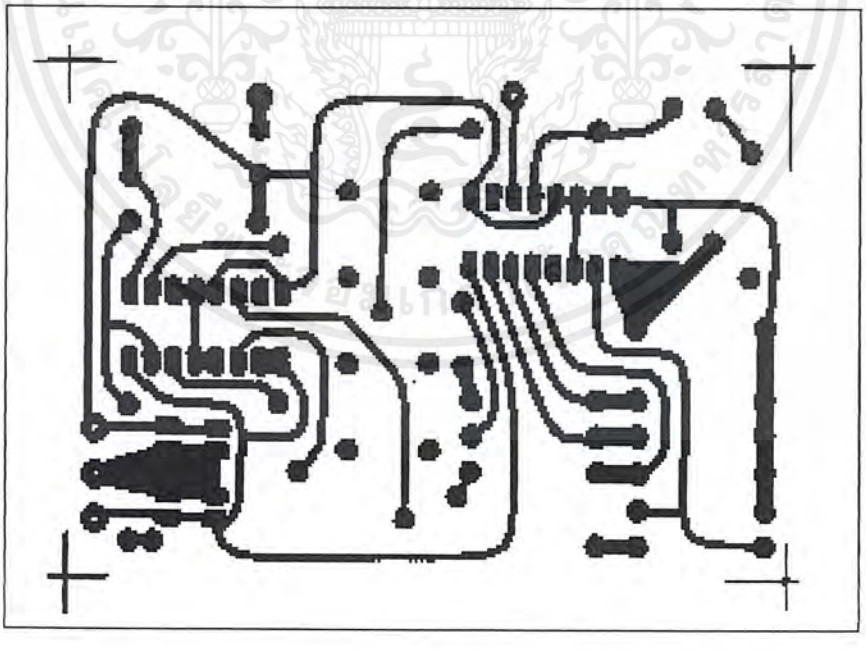


รูปที่ 2 แสดงลายทองแดงของวงจร Mod-8 Counter, Mod-4 Counter, Synch. Indicater และ Monostable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

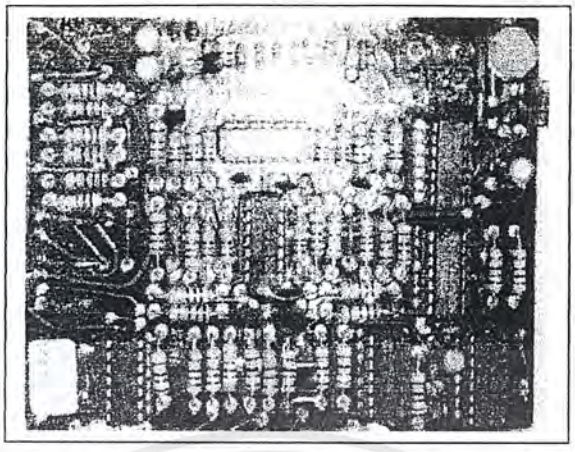


รูปที่ 3 แสดงการวางอุปกรณ์ของวงจร Binary Counter และ Parallel to Serial Converter

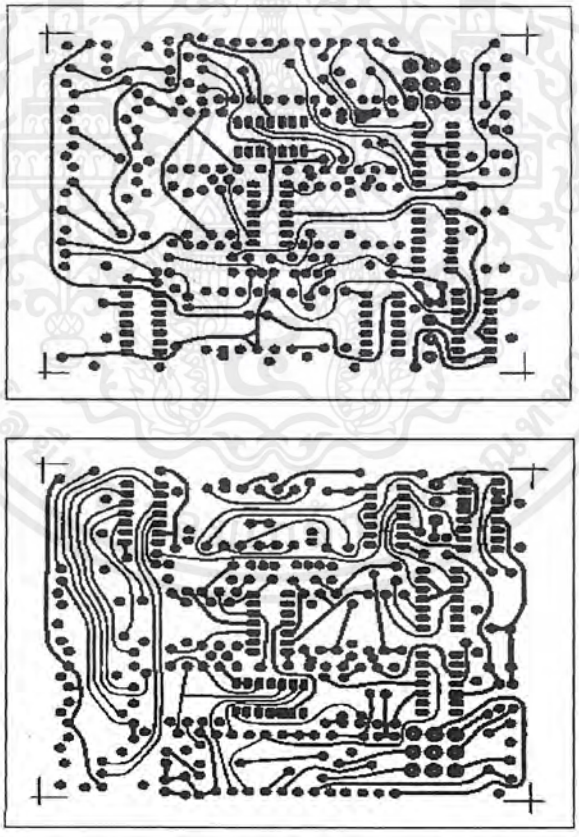


รูปที่ 4 แสดงลายทองแดงของวงจร Binary Counter และ Parallel to Serial Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

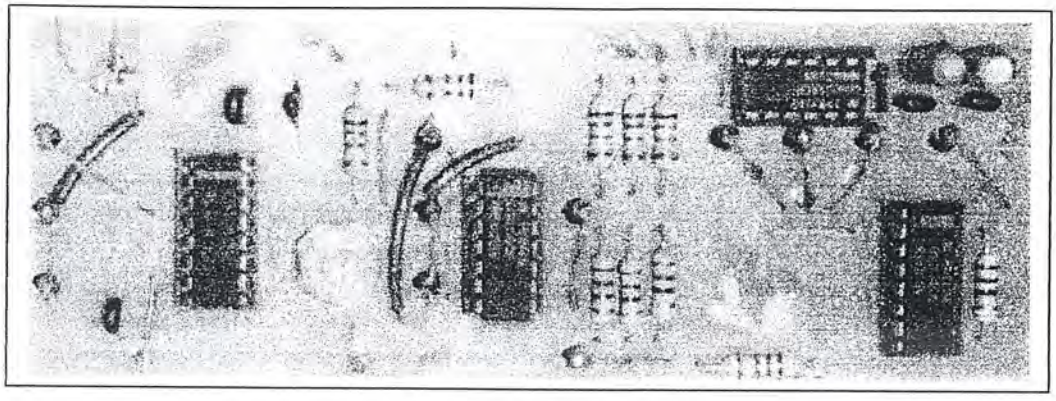


รูปที่ 5 แสดงการวางอุปกรณ์ของวงจร Switch, Low Pass Filter, Data Decoder, Manual Clock และ S/N Separator

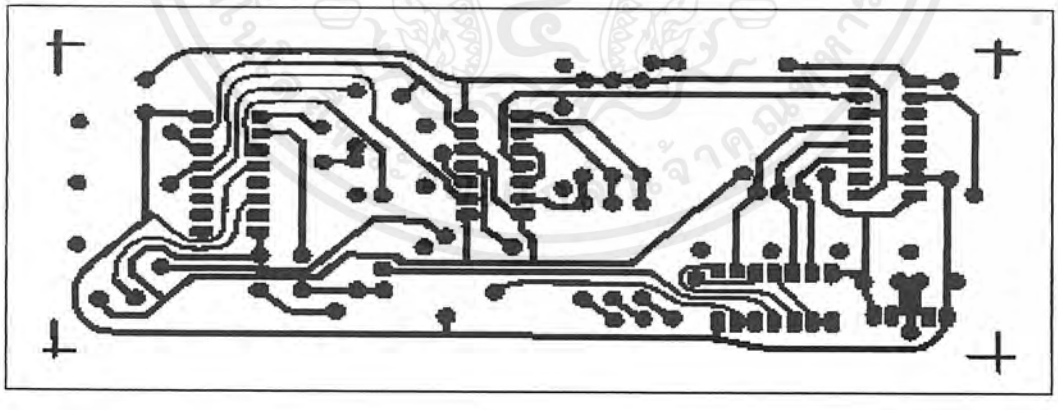


รูปที่ 6 แสดงลายทองแดงของวงจร Switch, Low Pass Filter, Data Decoder, Manual Clock และ S/N Separator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

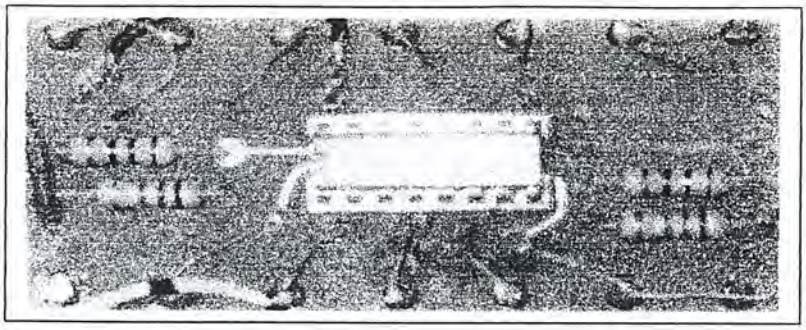


รูปที่ 7 แสดงการวางอุปกรณ์ของวงจร Clock Generator และ Sift Register

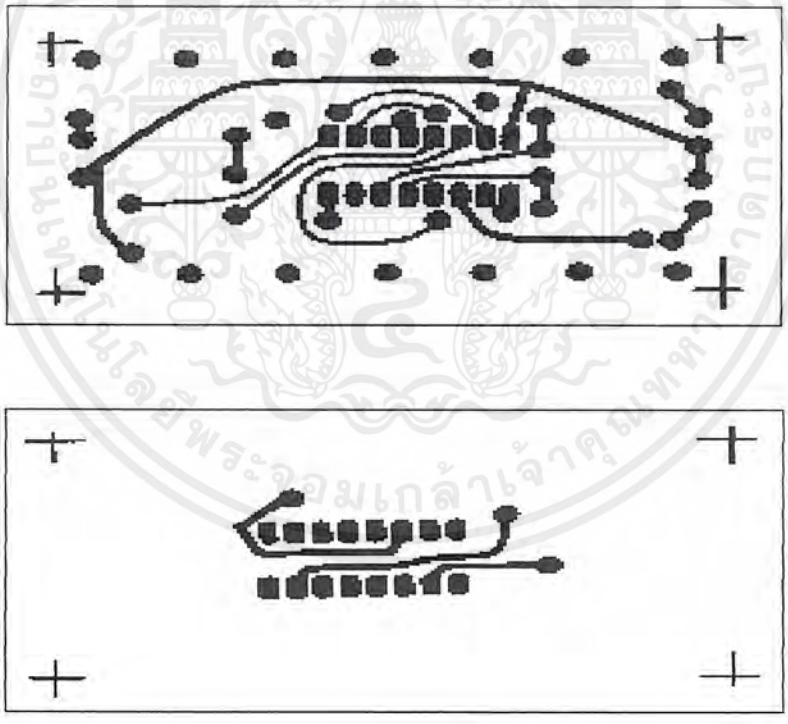


รูปที่ 8 แสดงลายทองแดงของวงจร Clock Generator และ Sift Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

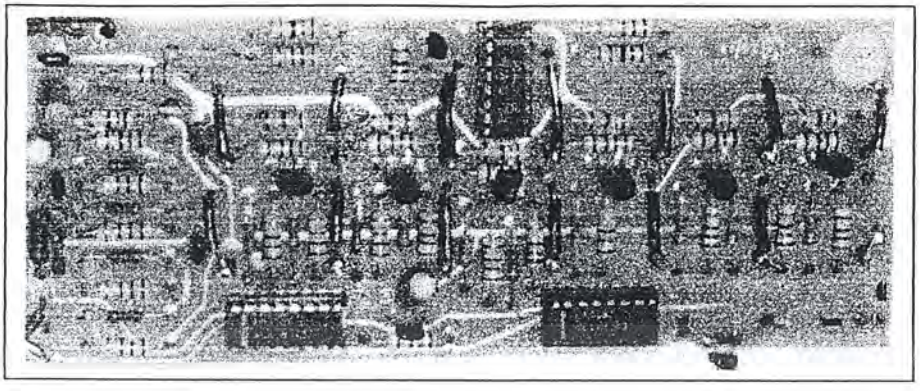


รูปที่ 9 แสดงการวางอุปกรณ์ของวงจร Modulating Timing Counter

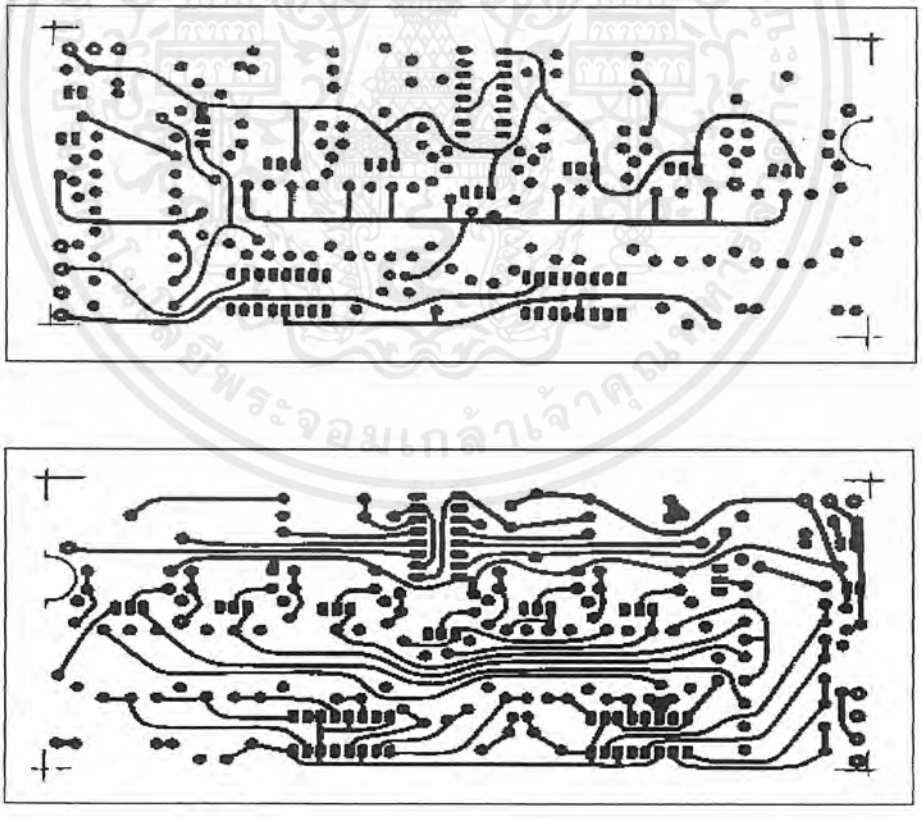


รูปที่ 10 แสดงลายทองแดงของวงจร Modulating Timing Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

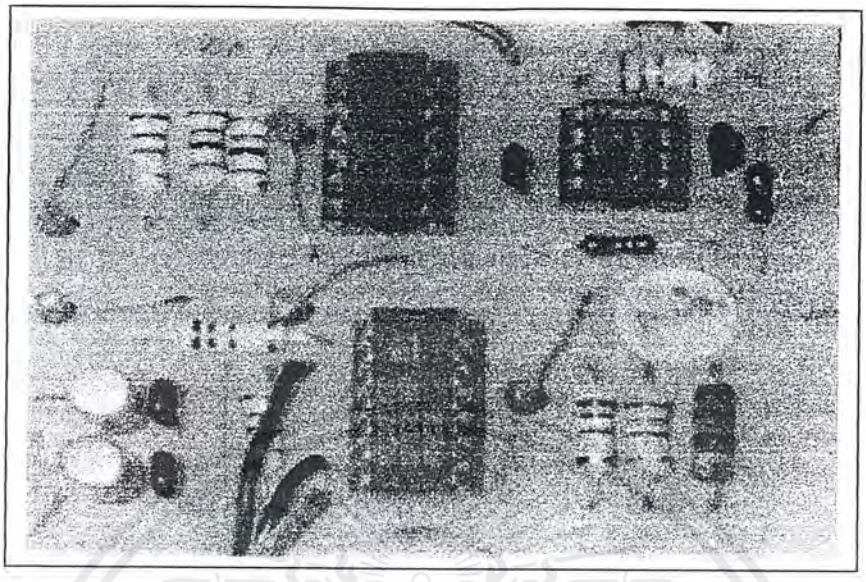


รูปที่ 11 แสดงการวางอุปกรณ์ของวงจร PCM Mod, 7Stage Register และ Staircase Generator

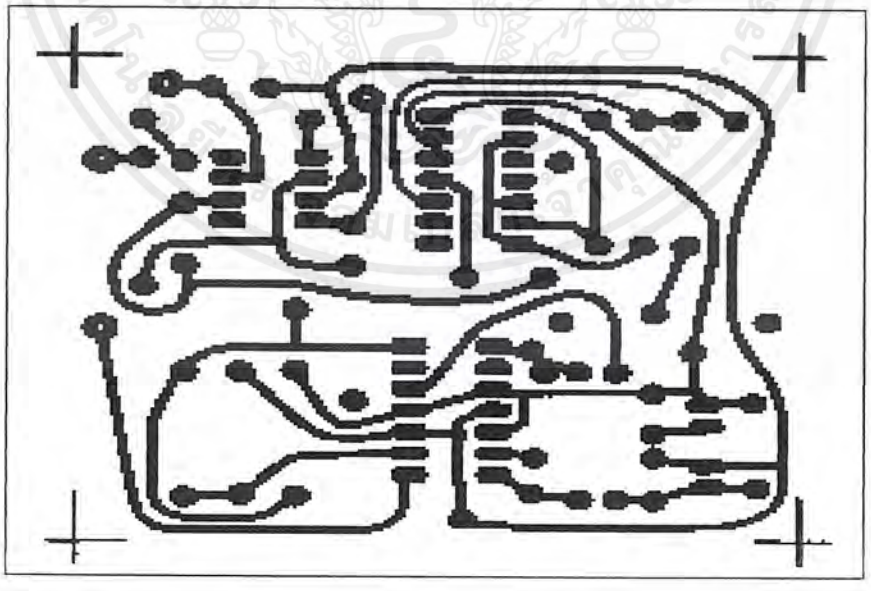


รูปที่ 12 แสดงลายทองแดงของวงจร PCM Mod, 7Stagr Register และ Staircase Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

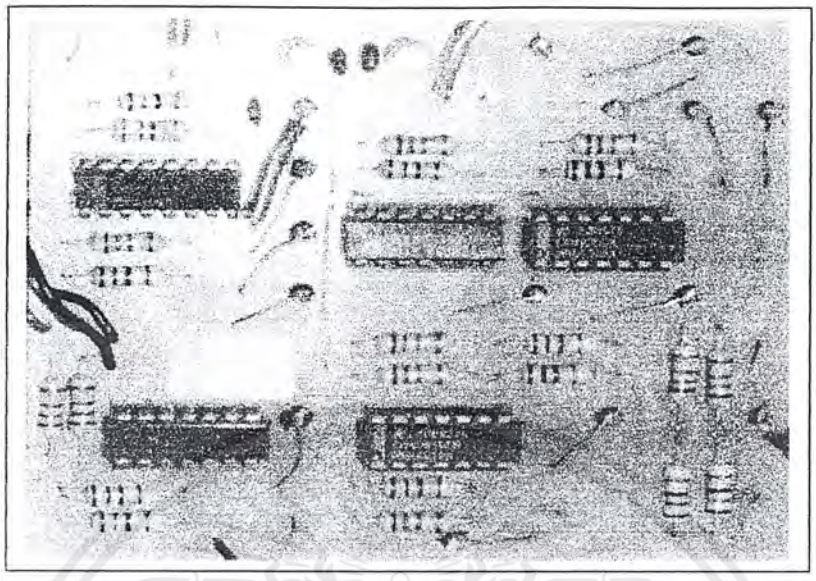


รูปที่13 แสดงการวางอุปกรณ์ของวงจร Amplifier และ Comparator

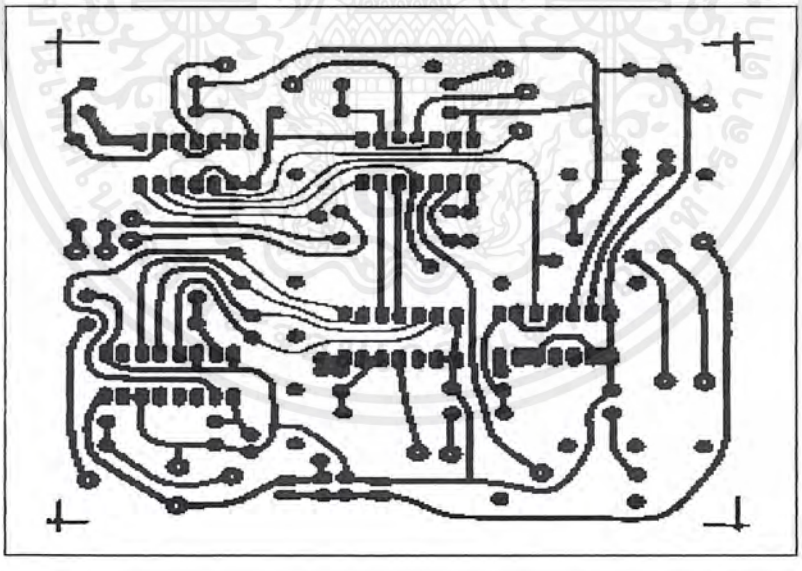


รูปที่ 14 แสดงลายทองแดงของวงจร Amplifier และ Comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

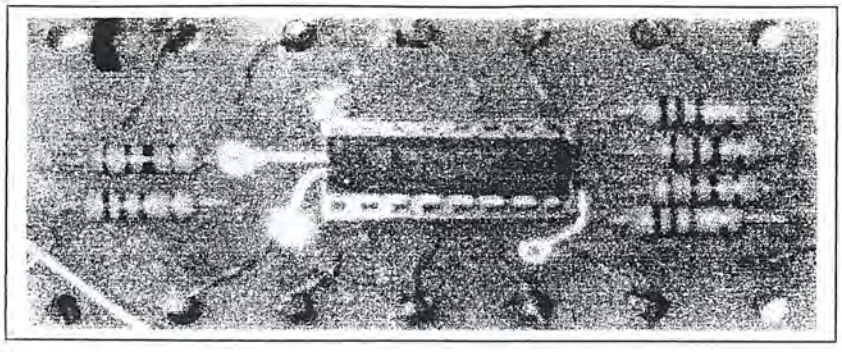


รูปที่ 15 แสดงการวางอุปกรณ์ของวงจร Gate และ Sift Register

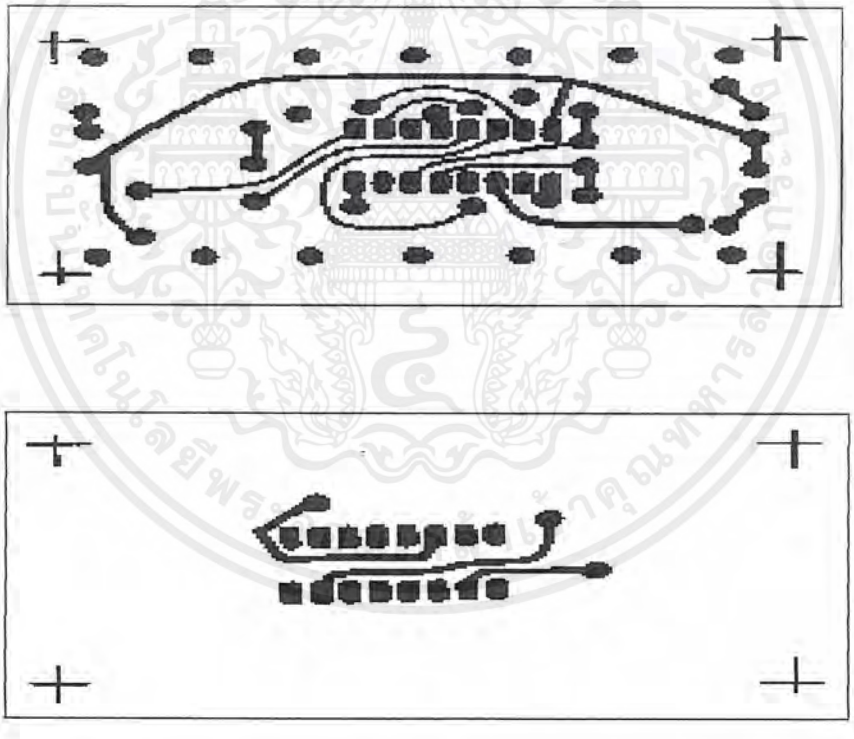


รูปที่ 16 แสดงลายทองแดงของวงจร Gate และ Sift Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

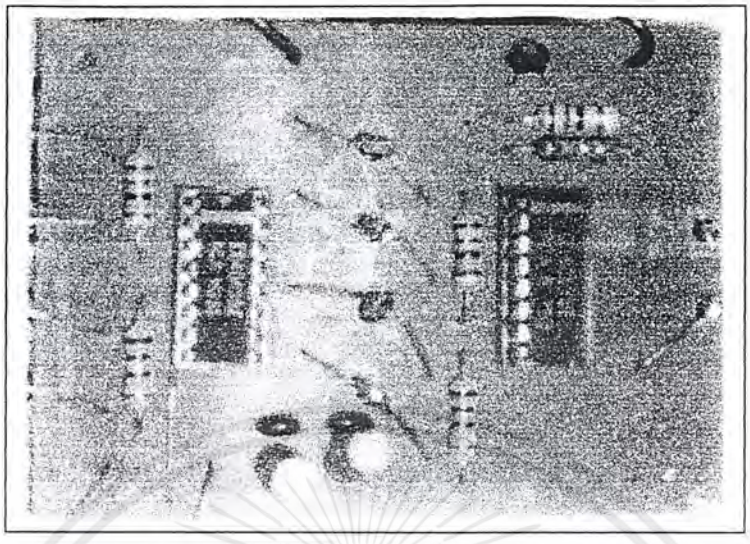


รูปที่ 17 แสดงการวางอุปกรณ์ของวงจร Demodulator Timing Counter

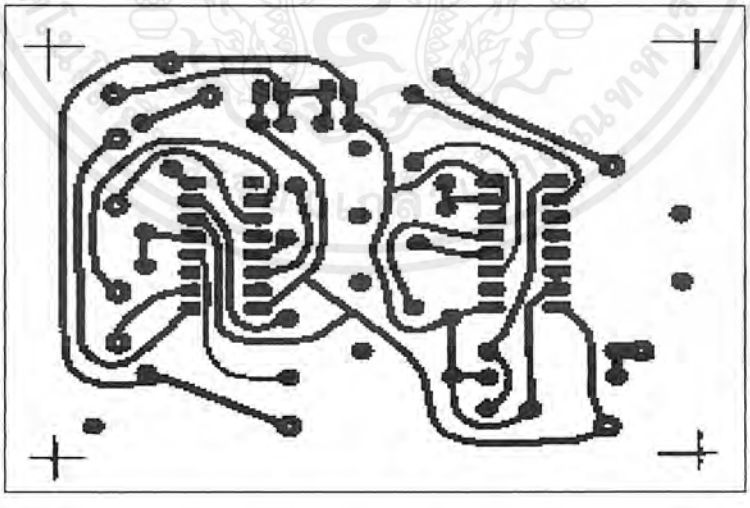


รูปที่ 18 แสดงลายทองแดงของวงจร Demodulator Timing Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

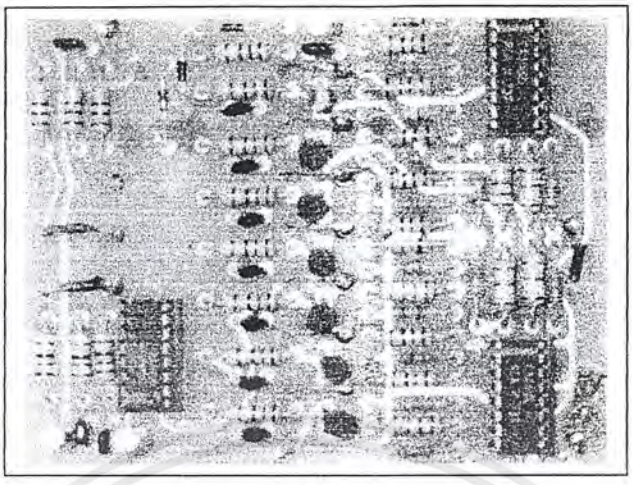


รูปที่ 19 แสดงการวางอุปกรณ์ของวงจร Serial to Parallel Converter และ Latch

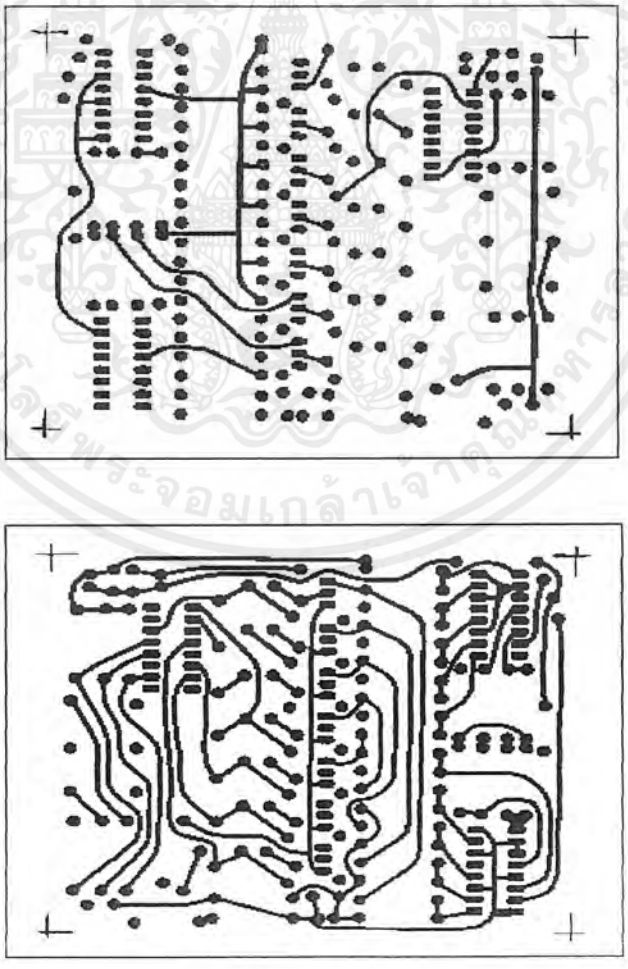


รูปที่ 20 แสดงลายทองแดงของวงจร Serial to Parallel Converter และ Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

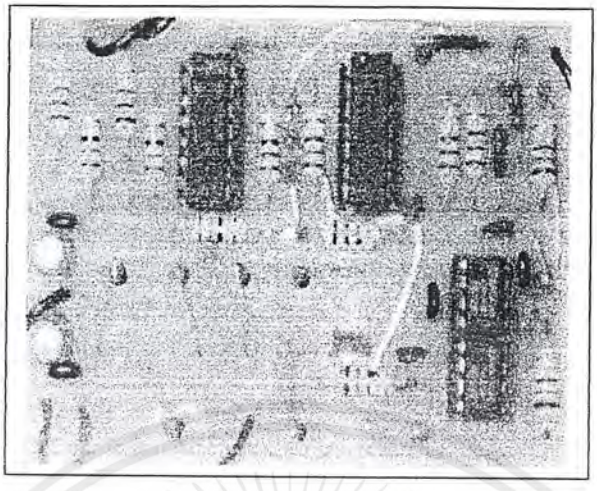


รูปที่ 21 แสดงการวางอุปกรณ์ของวงจร BCD-Decimal Converter และ Current Source

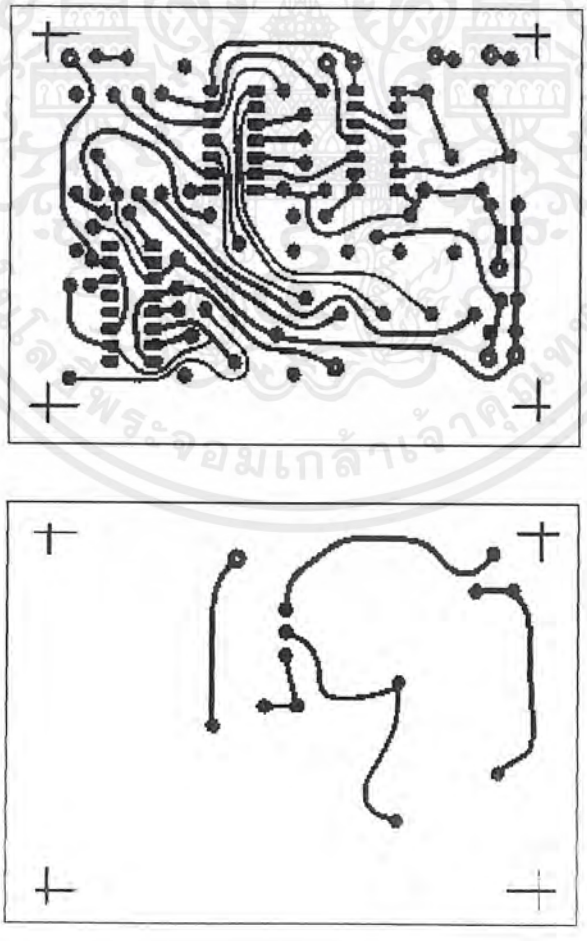


รูปที่ 22 แสดงลายทองแดงของวงจร BCD-Decimal Converter และ Current Source

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

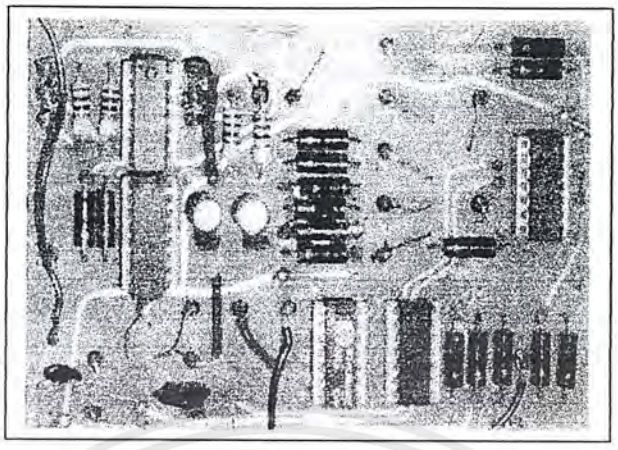


รูปที่ 23 แสดงการวางอุปกรณ์ของวงจร Switch และ Amplifier

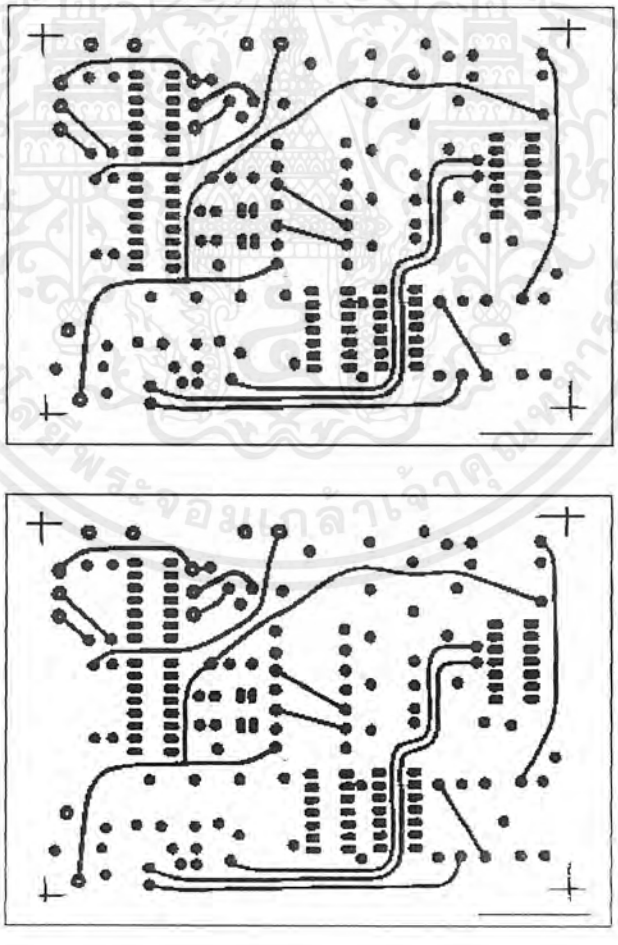


รูปที่ 24 แสดงลายทองแดงของวงจร Switch และ Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

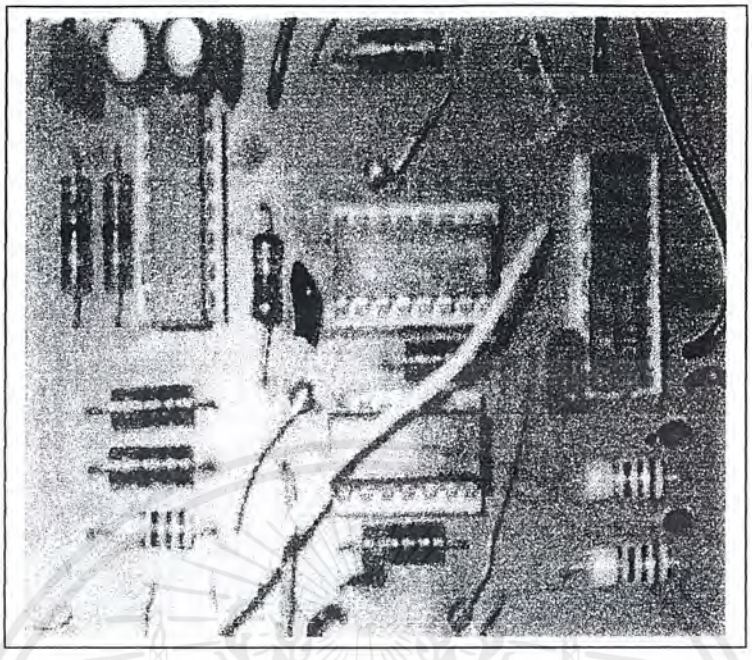


รูปที่ 25 แสดงการวางอุปกรณ์ของวงจร Data Encoder

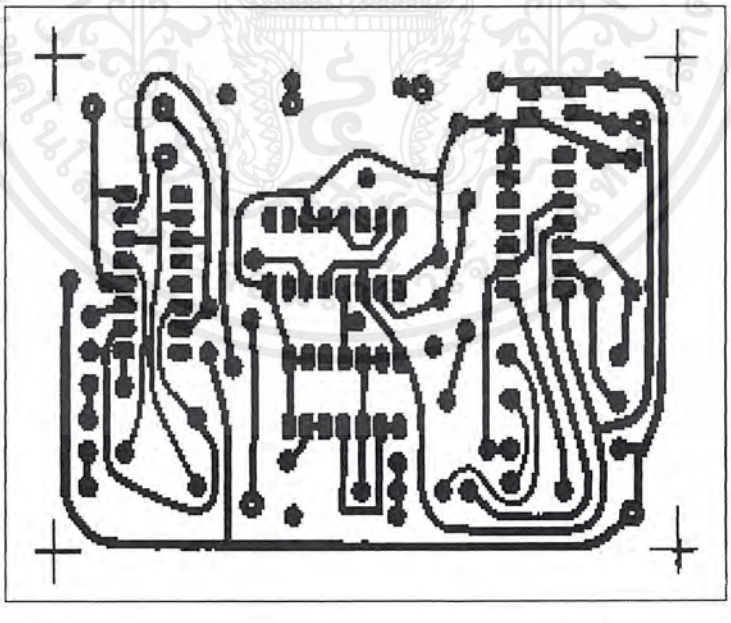


รูปที่ 26 แสดงลายทองแดงของวงจร Data Encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

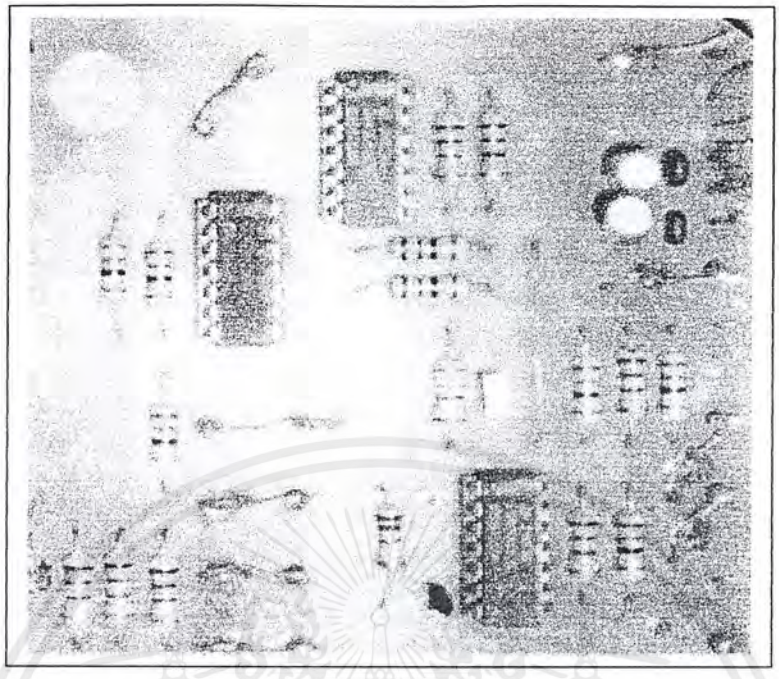


รูปที่ 27 แสดงการวางอุปกรณ์ของวงจร Sampling Rate Pulse

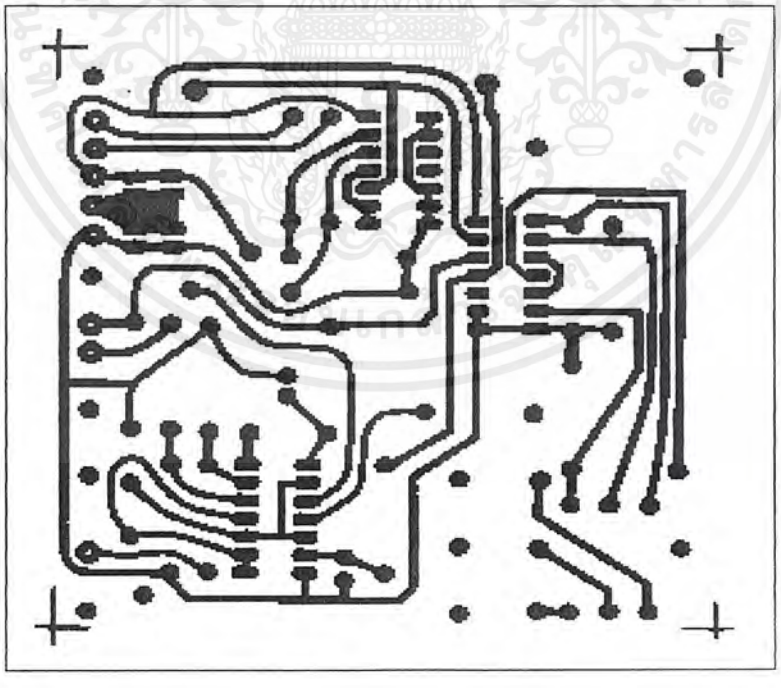


รูปที่ 28 แสดงลายทองแดงของวงจร Sampling Rate Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 29 แสดงการวางอุปกรณ์ของวงจร AND Gate, NOT Gate และNOR Gate



รูปที่ 30 แสดงลายทองแดงของวงจร AND Gate, NOT Gate และ NOR Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3081, CA3082 Types

General-Purpose High-Current N-P-N Transistor Arrays

CA3081—Common-Emitter Array CA3082—Common-Collector Array

Directly Drive 7-Segment Incandescent Displays and Light-Emitting-Diode (LED) Displays

Features

- 7 transistors permit a wide range of applications in either a common-emitter (CA3081) or common-collector (CA3082) configuration
- High I_C: 100 mA max.
- Low $V_{CE\ sat}$ (at 50 mA): 0.4 V typ.

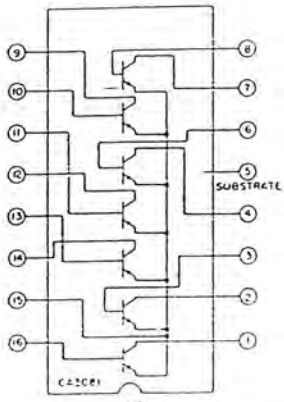
Applications

- Drivers for:
  - Incandescent display devices (e.g. RCA NUMITRON DR2000 Series and lamps)
  - LED (e.g. RCA-SG1002 GaAs High-Efficiency Emitting Diode)
  - Relay control
  - Thyristor firing

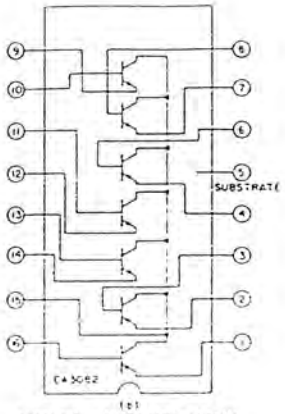
RCA-CA3081* and CA3082* consist of seven high-current (to 100 mA) silicon n-p-n transistors on a common monolithic substrate. The CA3081 is connected in a common-emitter configuration and the CA3082 is connected in a common-collector configuration.

The CA3081 and CA3082 are capable of directly driving seven-segment displays, such as the RCA NUMITRON devices (DR2000 and DR2010), and light-emitting diode (LED) displays. These types are also well suited for a variety of other driver applications, including relay control and thyristor firing.

The CA3081 and CA3082 are supplied in a 16-lead dual-in-line plastic package, and the CA3081F and CA3082F in a 16-lead dual-in-line frit-seal ceramic package, which includes a separate substrate connection for maximum flexibility in circuit design.



(a)
COMMON-EMITTER CONFIGURATION



(b)
COMMON-COLLECTOR CONFIGURATION

Fig. 1—Functional diagrams of types CA3081 and CA3082.

TYPICAL STATIC CHARACTERISTICS FOR EACH TRANSISTOR OF TYPES CA3081 AND CA3082

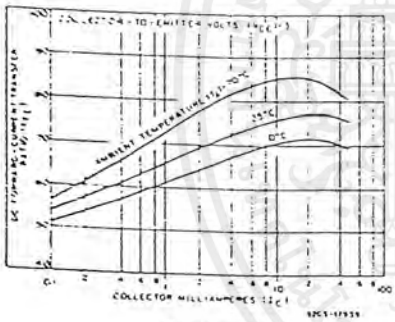


Fig. 2—h_{FE} vs. I_C.

MAXIMUM RATINGS, Absolute-Maximum Values at T_A = 25°C

Power Dissipation:		
Any one transistor	500	mW
Total package	750	mW
Above 55°C	Derate linearly 6.67	mW/°C
Ambient Temperature Range:		
Operating	−55 to +125	°C
Storage	−65 to +150	°C
Lead Temperature (During Soldering):		
At distance 1/16" ±1/32" (1.59 mm ±0.79 mm) from case for 10 seconds max.	265	°C
The following ratings apply for each transistor in the device:		
Collector-to-Emitter Voltage (V_{CEO})	15	V
Collector-to-Base Voltage (V_{CBO})	20	V
Collector-to-Substrate Voltage (V_{CIO})*	20	V
Emitter-to-Base Voltage (V_{EBO})	5	V
Collector Current (I_C)	100	mA
Base Current (I_B)	20	mA

* The collector of each transistor of the CA3081 and CA3082 is isolated from the substrate by an integral diode. The substrate must be connected to a voltage which is more negative than any collector voltage in order to maintain isolation between transistors and provide normal transistor action. To avoid undesired coupling between transistors, the substrate terminal (5) should be maintained at either DC or signal (AC) ground. A suitable bypass capacitor can be used to establish a signal ground.

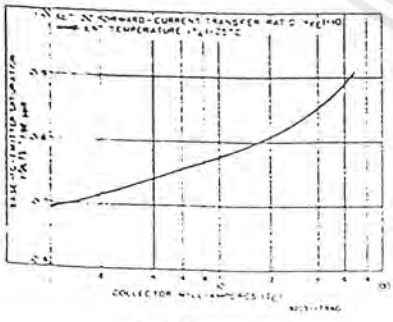


Fig. 3—$V_{BE(sat)}$ vs. I_C.

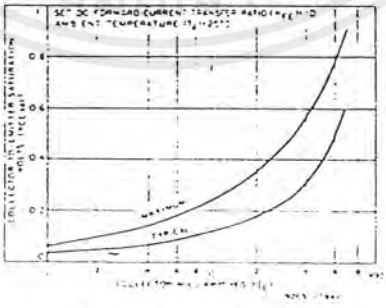


Fig. 4—$V_{CE(sat)}$ vs. I_C at T_A = 25°C.

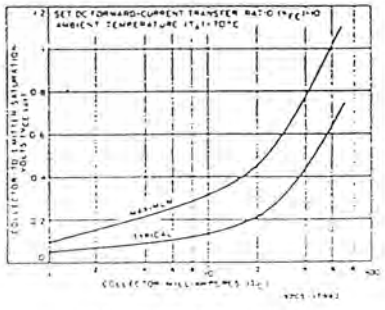


Fig. 5—$V_{CE(sat)}$ vs. I_C at T_A = 70°C.

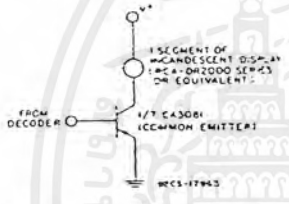
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3081, CA3082 Types

RICAL CHARACTERISTICS at T_A = 25°C
ıipment Design

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	Typ. Char. Curve Fig. No.	LIMITS Min.	Typ.	Max.	UNITS
or-to-Base Breakdown Voltage	$V_{(BR)ICES}$	I_C = 500 μA, I_E = 0	–	20	60	–	V
or-to-Substrate Breakdown Voltage	$V_{(BR)ICIO}$	I_{CI} = 500 μA, I_E = 0, I_B = 0	–	20	60	–	V
or-to-Emitter Breakdown Voltage	$V_{(BR)CEO}$	I_C = 1 mA, I_B = 0	–	16	24	–	V
-to-Base Breakdown Voltage	$V_{(BR)EBO}$	I_C = 500 μA	–	5	6.9	–	V
ward-Current Transfer Ratio	h_{FE}	V_{CE} = 0.5 V, I_C = 30 mA	–	30	68	–	
		V_{CE} = 0.8 V, I_C = 50 mA	–	40	70	–	
Emitter Saturation Voltage	$V_{BE\,sat}$	I_C = 30 mA, I_B = 1 mA	3	–	0.87	1.0	V
or-to-Emitter Saturation Voltage: 3081, CA3082	$V_{CE\,sat}$	I_C = 30 mA, I_B = 1 mA	–	–	0.27	0.5	V
3081		I_C = 50 mA, I_B = 5 mA	4	–	0.4	0.7	
3082		I_C = 50 mA, I_B = 5 mA	4	–	0.4	0.8	
or-Cutoff-Current	I_{CEO}	V_{CE} = 10 V, I_B = 0	–	–	–	10	μA
or-Cutoff Current	I_{CBO}	V_{CB} = 10 V, I_E = 0	–	–	–	1	μA

L READ-OUT DRIVER APPLICATIONS



g.6–Schematic diagram showing one transistor of the CA3081 driving one segment of an incandescent display.

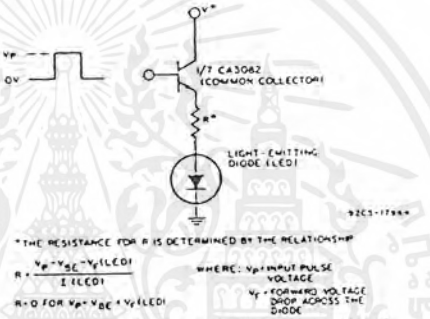


Fig.7–Schematic diagram showing one transistor of the CA3082 driving a light-emitting diode (LED).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

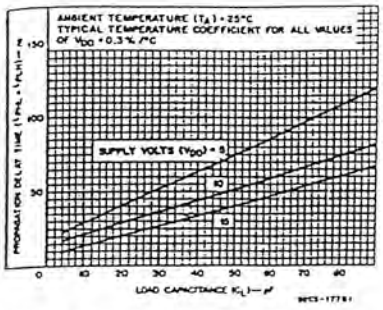


Fig. 9 – Typical propagation delay time vs. C_L.

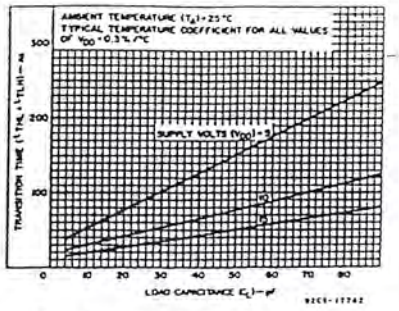


Fig. 10 – Typical transition time vs. C_L.

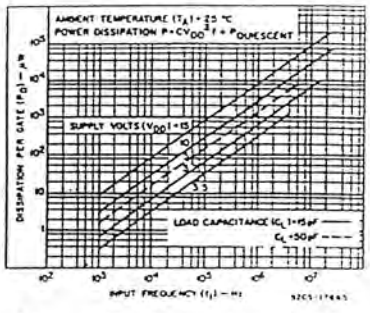


Fig. 11 – Typical dissipation characteristics.

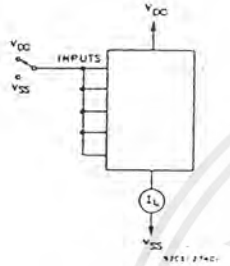
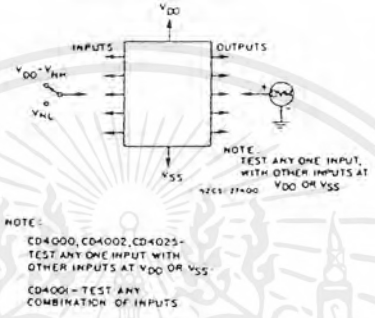


Fig. 12 – Quiescent device current test circuit.



NOTE:
CD4000, CD4002, CD4025 - TEST ANY ONE INPUT WITH OTHER INPUTS AT V_{DD} OR V_{SS}.
CD4001 - TEST ANY COMBINATION OF INPUTS

Fig. 13 – Noise immunity test circuit.

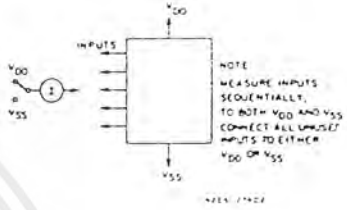


Fig. 14 – Input leakage current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	+25 TYP.	+25 LIMIT	+125	-40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current, I_L Max.	–	–	5	0.05	0.001	0.05	3	0.5	0.005	0.5	15	μA
	–	–	10	0.1	0.001	0.1	6	5	0.005	5	30	
	–	–	15	2	0.02	2	40	50	0.5	50	500	
Output Voltage: Low Level, V_{OL}	–	0,5	5	0 Typ.; 0.05 Max								V
	–	0,10	10	0 Typ.; 0.05 Max								
High Level V_{OH}	–	0,5	5	4.95 Min.; 5 Typ.								
	–	0,10	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	3.6	–	5	1.5 Min.; 2.25 Typ.								V
	7.2	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	1.4	–	5	1.5 Min.; 2.25 Typ.								
	2.8	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink),	0.4	–	5	0.5	1	0.4	0.28	0.35	1	0.3	0.24	mA
I_DN Min.	0.5	–	10	1.1	2.5	0.9	0.65	0.72	2.5	0.6	0.48	
P-Channel (Source),	2.5	–	5	-0.62	-2	-0.5	-0.35	-0.35	-2	-0.3	-0.24	
I_DP Min.	9.5	–	10	-0.62	-1	-0.5	-0.35	-0.3	-1	-0.25	-0.2	
Input Leakage Current, I_{IL}, I_{IH}	Any Input		15	$\pm 10^{-5}$ Typ., ±1 Max.								μA

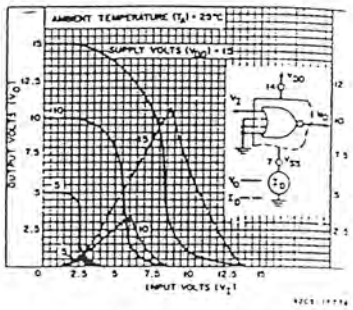


Fig. 3 – Typical current & voltage transfer characteristics.

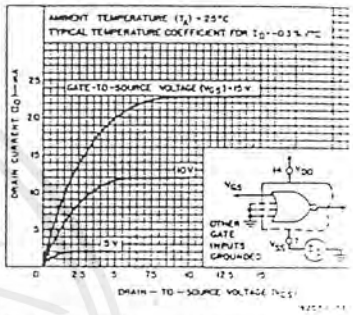


Fig. 4 – Typical n-channel drain characteristic.

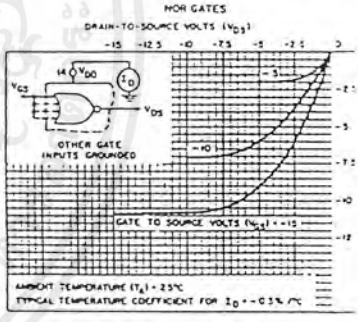


Fig. 5 – Typical p-channel drain character

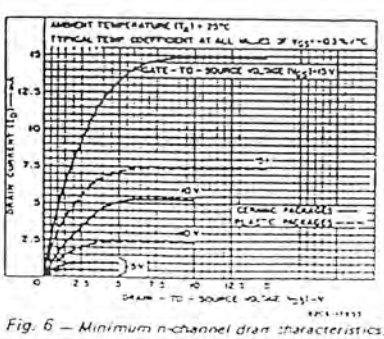


Fig. 6 – Minimum n-channel drain characteristics.

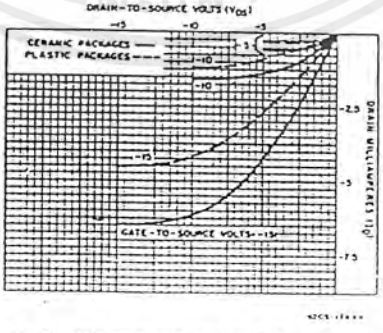


Fig. 7 – Minimum p-channel drain characteristics.

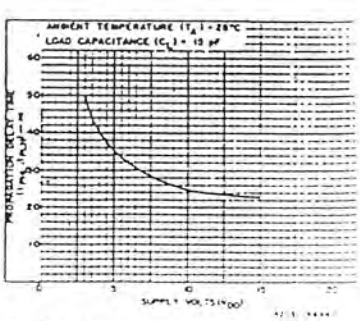


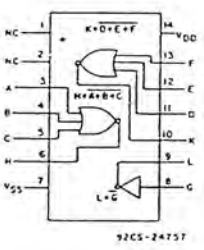
Fig. 8 – Typical propagation delay time vs V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

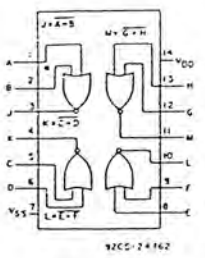
CD4000A, CD4001A, CD4002A, CD4025A Types

COS/MOS NOR Gates

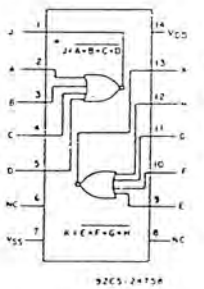
Dual 3 Input
plus Inverter—CD4000A
Quad 2 Input—CD4001A
Dual 4 Input—CD4002A
Triple 3 Input—CD4025A



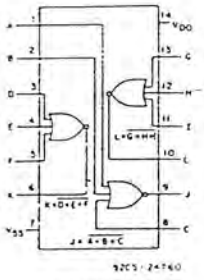
CD4000A



CD4001A



CD4002A



CD4025A

The RCA-CD4000A, CD4001A, CD4002A, and CD4025A NOR gates provide the system designer with direct implementation of the NOR function and supplement the existing family of COS/MOS gates.

The CD4000A, CD4001A, CD4002A, and CD4025A types are supplied in 14-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Quiescent current specified to 15 V
- Maximum input leakage of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

MAXIMUM RATINGS, *Absolute-Maximum Values*

STORAGE-TEMPERATURE RANGE (T_{stg})	−65 to +150°C
OPERATING-TEMPERATURE RANGE (T_A):	
PACKAGE TYPES D, F, K, H	−55 to +125°C
PACKAGE TYPES E, Y	−40 to +85°C
DC SUPPLY-VOLTAGE RANGE, (V_{DD})	
(Voltages referenced to V_{SS} Terminal):	−0.5 to +15 V
POWER DISSIPATION PER PACKAGE (P_D):	
FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y)	500 mW
FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y)	Derate Linearly at 12 mW/°C to 200 mW
FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	−0.5 to V_{DD} +0.5 V
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	+265°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)	3	12	V

DYNAMIC ELECTRICAL CHARACTERISTICS *at T_A = 25°C, C_L = 15 pF, Input t_r, t_f = 20 ns*

CHARACTERISTIC	TEST CONDITIONS	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
	V_{DD} (Volts)	TYP.	MAX.	TYP.	MAX.	
Propagation Delay Time: High-to-Low Level, t_{PHL}	5	35	50	35	80	ns
	10	25	40	25	55	
Low-to-High Level, t_{PLH}	5	35	95	35	120	ns
	10	25	45	25	65	
Transition Time: High-to-Low Level, t_{THL}	5	65	125	65	200	ns
	10	35	70	35	115	
Low-to-High Level, t_{TLH}	5	65	175	65	300	ns
	10	35	75	35	125	
Input Capacitance, C_I	Any Input	5	—	5	—	pF

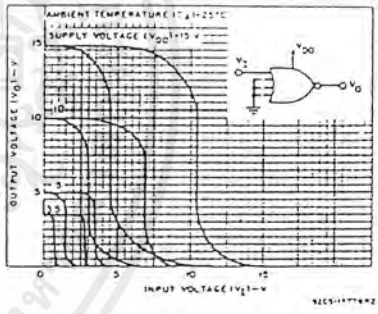


Fig. 1 – Minimum & maximum voltage transfer characteristics.

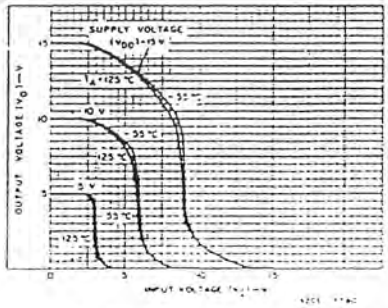


Fig. 2 – Typical voltage transfer characteristics as a function of temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4013A Types

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C)								Units
				D,K,F,H Packages				E,Y Packages				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	+25 Typ.	+25 Limit	+125	−40	+25 Typ.	+25 Limit	+85	
Quiescent Device Current, I_L Max.	–	–	5	1	0.005	1	60	10	0.01	10	140	μA
	–	–	10	2	0.005	2	120	20	0.02	20	280	
	–	–	15	25	0.5	25	1000	250	2.5	250	2500	
Output Voltage: Low-Level, V_{OL}	–	0.5	5	0 Typ.; 0.05 Max.								V
	–	0.10	10	0 Typ.; 0.05 Max.								
High-Level V_{OH}	–	0.5	5	5 Typ.; 4.95 Min.								
	–	0.10	10	10 Typ.; 9.95 Min.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	2.25 Typ.; 1.5 Min.								V
	9	–	10	4.5 Typ.; 3 Min.								
Inputs High V_{NH}	0.8	–	5	2.25 Typ.; 1.5 Min.								
	1	–	10	4.5 Typ.; 3 Min.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink) I_{DN} Min.	0.5	–	5	0.65	1	0.5	0.35	0.35	1	0.3	0.24	mA
	0.5	–	10	1.25	2.5	1	0.75	0.72	2.5	0.6	0.5	
P-Channel (Source) I_{DP} Min.	4.5	–	5	−0.31	−0.5	−0.25	−0.175	−0.17	−0.5	−0.14	−0.12	
	9.5	–	10	−0.8	−1.3	−0.65	−0.45	−0.4	−1.3	−0.33	−0.27	
Input Leakage Current, I_{IL}, I_{IH}	Any Input		15	$\pm 10^{-5}$ Typ.; ±1 Max.								μA

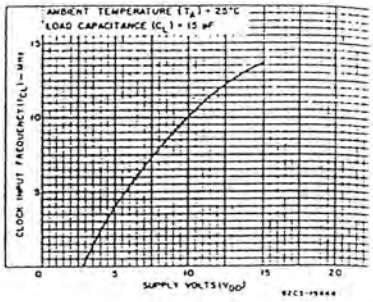


Fig.8 – Typical maximum clock input frequency vs. V_{DD}.

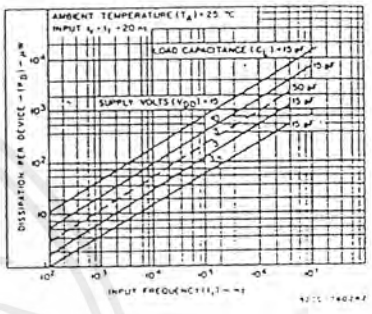


Fig.9 – Typical dissipation characteristics.

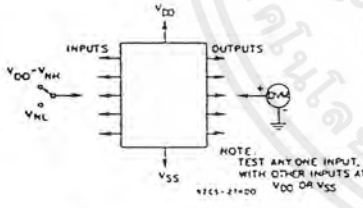


Fig.10 – Noise immunity test circuit.

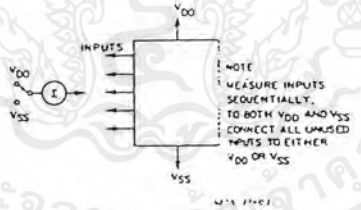


Fig.11 – Input leakage test circuit.

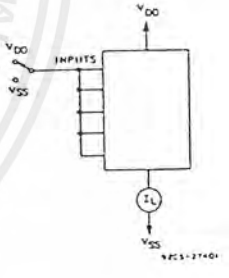


Fig.12 – Quiescent device-current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS at T_A = 25°C, Except as Noted:
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges –

CHARACTERISTIC	V_{DD} (V)	LIMITS D,F,K,H Packages Min.	D,F,K,H Packages Max.	LIMITS E,Y Packages Min.	E,Y Packages Max.	UNITS
Supply-Voltage Range (For T_A = Full Package Temperature Range)	–	3	12	3	12	V
Data Setup Time t_S	5	40	–	50	–	ns
	10	20	–	25	–	
Clock Pulse Width t_W	5	200	–	500	–	ns
	10	80	–	100	–	
Clock Input Frequency f_{CL}	5		2.5		1	MHz
	10	dc	7	dc	5	
Clock Rise or Fall Time t_rCL^*, t_fCL	5	–	15	–	15	μs
	10	–	5	–	5	
Set or Reset Pulse Width	5	250	–	500	–	ns
	10	100	–	125	–	

* If more than one unit is cascaded in a parallel clocked operation, t_rCL should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 15 pF, R_L = 200 kΩ

CHARACTERISTIC	V_{DD} (V)	LIMITS D,F,K,H Packages Min.	D,F,K,H Packages Typ.	D,F,K,H Packages Max.	LIMITS E,Y Packages Min.	E,Y Packages Typ.	E,Y Packages Max.	UNITS
Propagation Delay Time: Clock to Q or $\overline{Q}$ Outputs t_{PHL}, t_{PLH}	5	–	150	300	–	150	350	ns
	10	–	75	110	–	75	125	
Set to Q or Reset to $\overline{Q}$ t_{PLH}	5	–	175	300	–	175	350	ns
	10	–	75	110	–	75	125	
Set to $\overline{Q}$ or Reset to Q t_{PHL}	5	–	175	300	–	175	350	ns
	10	–	75	110	–	75	125	
Transition Time, t_{THL}, t_{TLH}	5	–	75	125	–	75	150	ns
	10	–	50	70	–	50	75	
Maximum Clock Input Frequency, f_{CL}	5	2.5	4	–	1	4	–	MHz
	10	7	10	–	5	10	–	
Minimum Clock Pulse Width, t_W	5	–	125	200	–	125	500	ns
	10	–	50	80	–	50	100	
Minimum Set or Reset Pulse Width, t_W	5	–	125	250	–	125	500	ns
	10	–	50	100	–	50	125	
Minimum Data Setup Time, t_S	5	–	20	40	–	20	50	ns
	10	–	10	20	–	10	25	
Clock Rise or Fall Time t_rCL, t_fCL	5	–	–	15	–	–	15	μs
	10	–	–	5	–	–	5	
Average Input Capacitance, C_I	Any Input	–	5	–	–	5	–	pF

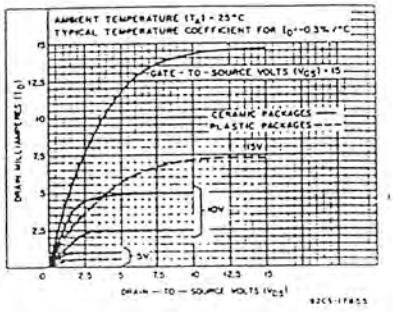


Fig. 4 – Minimum n-channel drain characteristics.

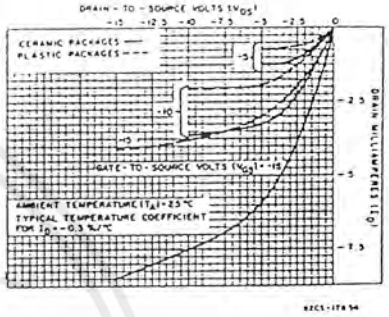


Fig. 5 – Minimum p-channel drain characteristics.

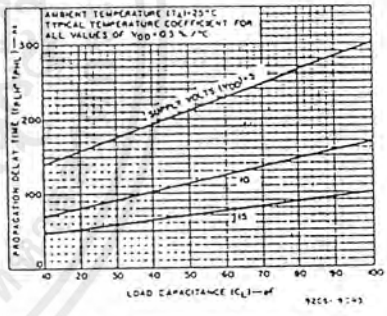


Fig. 6 – Typical propagation delay time vs. C_L.

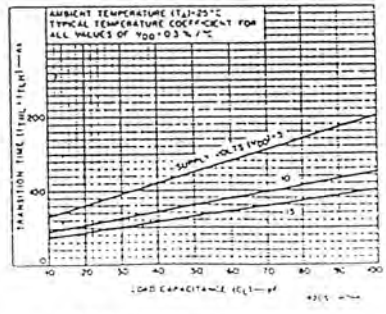


Fig. 7 – Typical transition time vs. C_L.

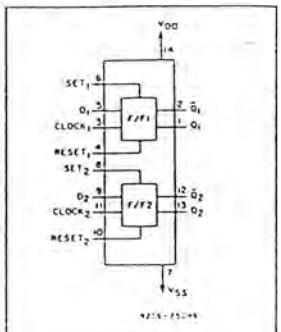
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4013A Types

Dual 'D'-Type Flip-Flop

The RCA-CD4013A consists of two identical, independent data-type flip-flops. Each flip-flop has independent data, set, reset, and clock inputs, and Q and $\overline{Q}$ outputs. These devices can be used for shift register applications, and by connecting $\overline{Q}$ output to the data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line, respectively.

The CD4013A-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D,F, and Y suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).



CD4013A
Functional Diagram

MAXIMUM RATINGS, *Absolute-Maximum Values*

STORAGE-TEMPERATURE RANGE (T_{stg})	−65 to +150°C
OPERATING-TEMPERATURE RANGE (T_A)	
PACKAGE TYPES D, F, K, H	−55 to +125°C
PACKAGE TYPES E, Y	−40 to +85°C
DC SUPPLY-VOLTAGE RANGE, (V_{DD})	
(Voltages referenced to V_{SS} Terminal)	−0.5 to +15 V
POWER DISSIPATION PER PACKAGE (P_D)	
FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y)	500 mW
FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y)	Derate Linearly at 12 mW/°C to 200 mW
FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	−0.5 to V_{DD} +0.5 V
LEAD TEMPERATURE (DURING SOLDERING)	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max	+265°C

Features:

- Set-Reset capability
- Static flip-flop operation — retains state indefinitely with clock level either "high" or "low"
- Medium-speed operation — 10 MHz (typ.) clock toggle rate at 10 V
- Quiescent current specified to 15 V
- Maximum input leakage of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Registers, counters, control circuits

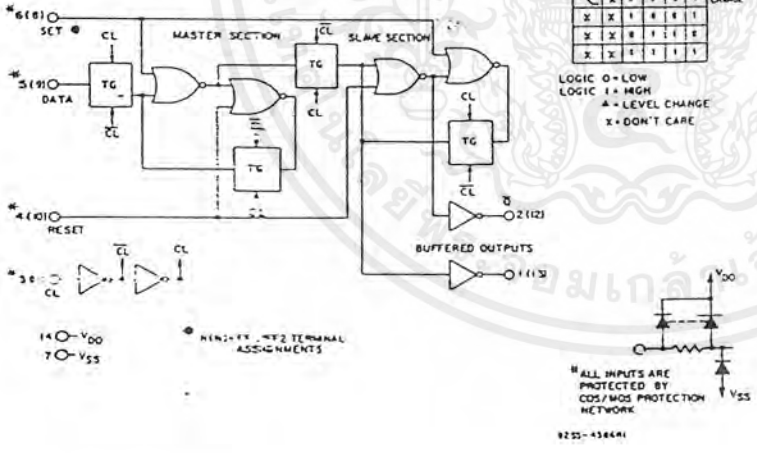


Fig. 1 – Logic diagram and truth table for CD4013A (one of two identical flip flops).

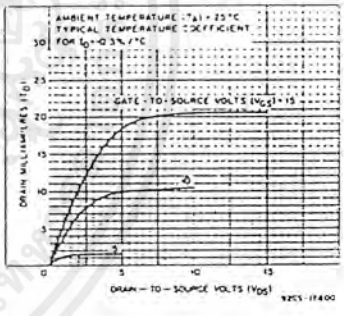


Fig. 2 – Typical n-channel drain characteristics.

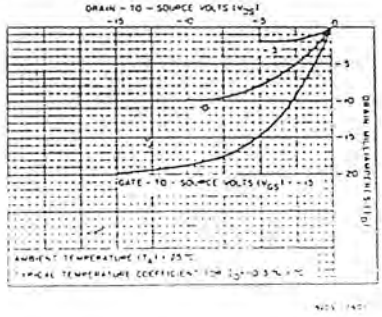


Fig. 3 – Typical p-channel drain characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS

at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 15 pF, R_L = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS V_{DD} (V)	LIMITS D, F, K, H PACKAGES MIN.	TYP.	MAX.	LIMITS E, Y PACKAGES MIN.	TYP.	MIN.	UNITS
CLOCKED OPERATION								
Propagation Delay Time; T_{PLH}, T_{PHL}	5	–	300	750	–	300	1000	ns
	10	–	100	225	–	100	300	
Transition Time; t_{THL}, t_{TLH}	5	–	150	300	–	150	400	ns
	10	–	75	125	–	75	150	
Minimum Clock Pulse Width, t_W	5	–	200	500	–	200	830	ns
	10	–	100	175	–	100	200	
Clock Rise & Fall Time; t_rCL, t_fCL*	5	–	–	15	–	–	15	μs
	10	–	–	15	–	–	15	
Minimum Data Set-up Time, t_S	5	–	100	350	–	100	500	ns
	10	–	50	80	–	50	100	
Maximum Clock Input Frequency, f_{CL}	5	1	2.5	–	0.6	2.5	–	MHz
	10	3	5	–	2.5	5	–	
Average Input Capacitance, C_I		–	5	–	–	5	–	pF
RESET OPERATION								
Propagation Delay Time, T_{PLH}, T_{PHL}	5	–	300	750	–	300	1000	ns
	10	–	100	225	–	100	300	
Minimum Set and Reset Pulse Widths t_W	5	–	200	500	–	200	830	ns
	10	–	100	175	–	100	200	

*If more than one unit is cascaded t_rCL should be made less than or equal to the sum of the transition time and the fixed propagation delay of the output of the driving stage for the estimated capacitive load.

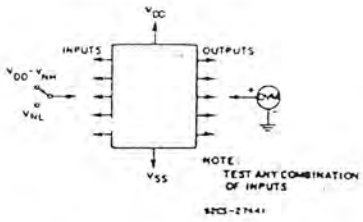


Fig. 7 – Noise-immunity test circuit.

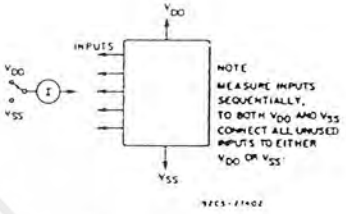
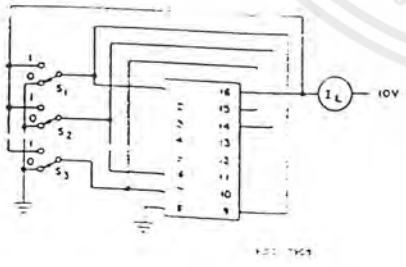


Fig. 8 – Input-leakage-current test circuit.



Test performed with the following sequence of "1's" and "0's"

	S_1	S_2	S_3
Test	0	1	0
Don't Test	0	0	1
Don't Test	1	0	1
Don't Test	0	0	0
Don't Test	1	0	0
Don't Test	0	0	1
Test	1	0	1
Don't Test	0	0	0
Test	1	0	0

Fig. 9 – Quiescent-device-current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4015A Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	+25 TYP.	+25 LIMIT	+125	-40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current, I_L Max.	–	–	5	5	0.5	5	300	50	0.5	50	700	μA
	–	–	10	10	1	10	600	100	1	100	1400	
	–	–	15	50	1	50	2000	500	5	500	5000	
Output Voltage: Low Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max								V
	–	10	10	0 Typ.; 0.05 Max								
High Level V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink),	0.5	–	5	0.15	0.3	0.12	0.085	0.072	0.3	0.06	0.05	mA
$I_D{}^N$ Min.	0.5	–	10	0.31	0.5	0.25	0.175	0.12	0.5	0.1	0.08	
P-Channel (Source):	4.5	–	5	-0.1	-0.16	-0.08	-0.055	-0.06	-0.16	-0.05	-0.04	
$I_D{}^P$ Min.	9.5	–	10	-0.25	-0.44	-0.20	-0.14	-0.12	-0.44	-0.1	-0.08	
Input Leakage Current, I_{IL}, I_{IH}	Any Input	–	15	$\pm 10^{-5}$ Typ., ±1 Max.								μA

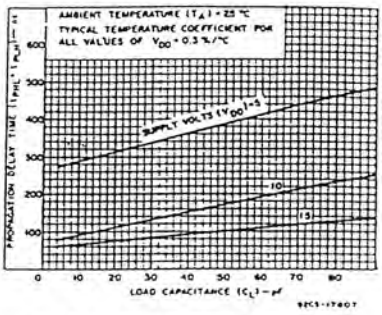


Fig. 3. – Typical propagation-delay time vs. load capacitance.

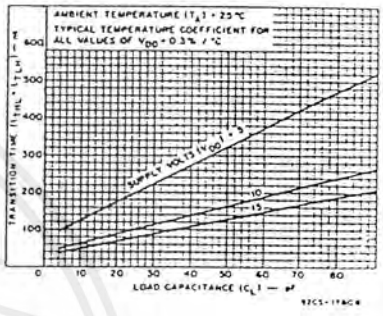


Fig. 4 – Typical transition time vs load capacitance.

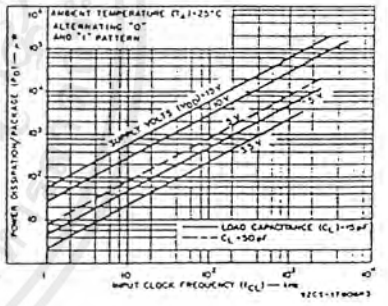


Fig. 5 – Typical dissipation characteristics.

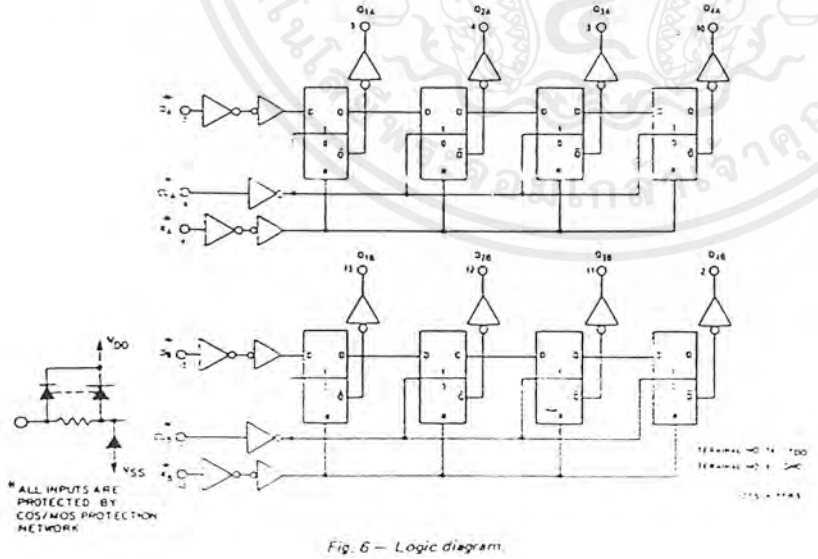


Fig. 6 – Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4015A Types

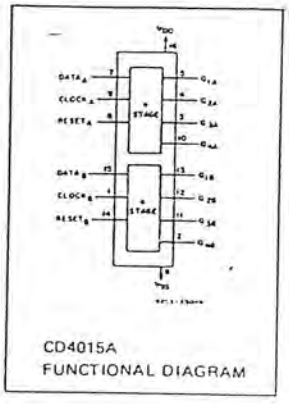
COS/MOS Dual 4-Stage Static Shift Register

With Serial Input/Parallel Output

The RCA-CD4015A consists of two identical, independent, 4-stage serial-input/parallel-output registers. Each register has independent CLOCK and RESET inputs as well as a single serial DATA input. "Q" outputs are available from each of the four stages on both registers. All register stages are D-type, master-slave flip-flops. The logic level present at the DATA input is transferred into the first register stage and shifted over one stage at each positive-going clock transition.

Resetting of all stages is accomplished by a high level on the reset line. Register expansion to 8 stages using one CD4015A package, or to more than 8 stages using additional CD4015A's is possible.

The CD4015A-Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic package (E suffix), 16-lead ceramic flat package (K suffix), and in chip form (H suffix).



CD4015A
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . −65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H . . . . . −55 to +125°C

PACKAGE TYPES E, Y . . . . . −40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal) . . . . . −0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D)

FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12mW/°C to 200 mW

FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . −0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

RECOMMENDED OPERATING CONDITIONS *at T_A = 25°C, Except as Noted. For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:*

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
		MIN.	MAX.	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)		3	12	3	12	V
Data Setup Time, t_S	5	350	—	500	—	ns
	10	80	—	100	—	
Clock Pulse Width, t_W	5	500	—	830	—	ns
	10	175	—	200	—	
Clock Input Frequency, f_{CL}	5	dc	1	dc	0.6	MHz
	10	dc	3	dc	2.5	
Clock Rise and Fall Time, t_rCL, t_fCL*	5	—	15	—	15	μs
	10	—	15	—	15	
Clock Reset Pulse Width, t_W	5	500	—	830	—	ns
	10	175	—	200	—	

*If more than one unit is cascaded t_rCL should be made less than or equal to the sum of the transition time and the fixed propagation delay of the output of the driving stage for the estimated capacitive load.

Features:

- Medium speed operation . . . . . 5 MHz (typ.) clock rate at $V_{DD} - V_{SS}$ = 10V
- Fully static operation
- 8 master-slave flip-flops plus output buffering
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Serial-input/parallel-output data queueing
- Serial to parallel data conversion
- General-purpose register

TRUTH TABLE

CL▲	D	R	Q_1	Q_n
⌐⌐	0	0	0	Q_{n-1}
⌐⌐	1	0	1	Q_{n-1}
⌐⌐	X	0	Q_1	Q_n (NO CHANGE)
X	X	1	0	0

▲ = LEVEL CHANGE
X = DON'T CARE CASE

Fig. 1 — Truth table.

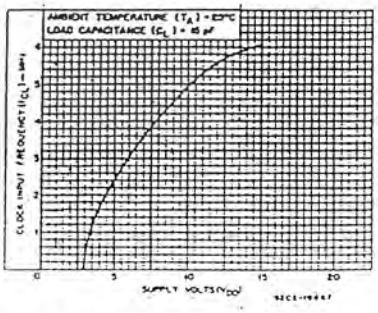


Fig. 2 — Typical clock input frequency vs. supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS

At $T_A = 25^oC$, Input $t_r, t_f = 20$ ns, $C_L = 15$ pF, $R_L = 200$ kΩ

CHARACTERISTIC	TEST CONDITIONS V_{DD} (V)	LIMITS D, F, K, H PACKAGES MIN.	TYP.	MAX.	LIMITS E, Y PACKAGES MIN.	TYP.	MAX.	UNITS
CLOCKED OPERATION								
Propagation Delay Time: t_{PHL} t_{PLH} Carry Out Line	5	–	350	1000	–	350	1300	ns
	10	–	125	250	–	125	300	
Decode Out Lines	5	–	500	1200	–	500	1600	
	10	–	200	400	–	200	500	
Transition Time: t_{THL}, t_{TLH} Carry Out Line	5	–	100	300	–	100	350	ns
	10	–	50	150	–	50	200	
Decode Out Lines	5	–	300	900	–	300	1200	
	10	–	125	350	–	125	450	
Maximum Clock Input Frequency, f_{CL}*	5	1	2.5	–	0.6	2.5	–	MHz
	10	3	5	–	2	5	–	
Minimum Clock Pulse Width, t_W	5	–	200	500	–	200	830	ns
	10	–	100	170	–	100	250	
Clock Rise & Fall Time: t_rCL, t_fCL	5	–	–	15	–	–	15	μs
	10	–	–	15	–	–	15	
Minimum Clock Inhibit Data Set-Up Time, t_s	5	–	175	500	–	175	700	ns
	10	–	75	200	–	75	300	
Average Input Capacitance, C_I	Any Input	–	5	–	–	5	–	pF
RESET OPERATION								
Propagation Delay Time: t_{PHL} To Carry Out Line	5	–	350	1000	–	350	1300	ns
	10	–	125	250	–	125	300	
To Decode Out Lines	5	–	450	1200	–	450	1600	
	10	–	200	400	–	200	500	
Minimum Reset Pulse Width, t_W	5	–	200	500	–	200	830	ns
	10	–	100	185	–	100	250	
Minimum Reset Removal Time	5	–	300	750	–	300	1000	ns
	10	–	100	225	–	100	275	

*Measured with respect to carry output line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	+25 TYP.	+25 LIMIT	+125	-40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current, I_L Max.	–	–	5	5	0.3	5	300	50	0.5	50	700	μA
	–	–	10	10	0.5	10	600	100	1	100	1400	
	–	–	15	50	1	50	2000	500	5	500	5000	
Output Voltage: Low-Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High Level V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin Inputs Low V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink) I_{DN} Min — Decoded Outputs	0.5	–	5	0.06	0.1	0.05	0.035	0.03	0.1	0.025	0.02	mA
	0.5	–	10	0.12	0.4	0.1	0.07	0.085	0.4	0.07	0.055	
I_{DN} Min — Carry Output	0.5	–	5	0.185	0.4	0.15	0.105	0.095	0.4	0.08	0.065	
	0.5	–	10	0.45	1	0.35	0.25	0.3	1	0.25	0.2	
P-Channel (Source) I_{DP} Min — Decoded Outputs	4.5	–	5	-0.0375	-0.075	-0.03	-0.021	-0.018	-0.075	-0.015	-0.012	
	9.5	–	10	-0.12	-0.2	-0.1	-0.07	-0.085	-0.2	-0.07	-0.055	
I_{DP} Min — Carry Output	4.5	–	5	-0.185	-0.4	-0.15	-0.105	-0.095	-0.4	-0.08	-0.065	
	9.5	–	10	-0.45	-1	-0.35	-0.25	-0.3	-1	-0.24	-0.20	
Input Leakage Current, I_{IL}, I_{IH}	Any Input –	–	15	$\pm 10^{-5}$ Typ., ±1 Max.								μA

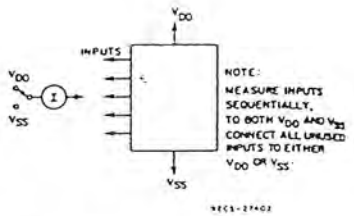


Fig. 10 – Input-leakage-current test circu

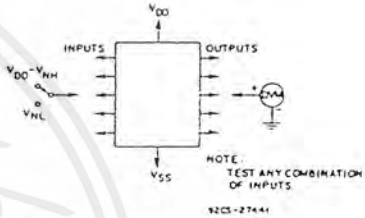


Fig. 11 – Noise-immunity test circuit.

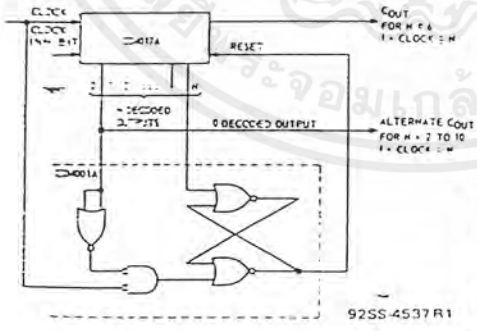


Fig. 12 – Divide by N counter ($N \leq 10$) with N decoded outputs.

When the N^{th} decoded output is reached (N^{th} clock pulse) the S-R flip flop (constructed from two NOR gates of the CD4001A) generates a reset pulse which clears the CD4017A to its zero count. At this time, if the N^{th} decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next CD4017A counter section. The "0" decoded output also goes high at this time. Coincidence of the clock low and decoded "0" output low resets the S-R flip flop to enable the CD4017A. If the N^{th} decoded output is less than 6, the C_{OUT} line will not go high and, therefore, cannot be used. In this case "0" decoded output may be used to perform the clocking function for the next counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS *at $T_A = 25°C$, Except as Noted.*
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
		MIN.	MAX.	MIN.	MAX.	
Supply Voltage Range (For T_A=Full Package-Temperature Range)		3	12	3	12	V
Clock Inhibit Setup Time, t_S	5 10	500 200	– –	700 300	– –	ns
Clock Pulse Width, t_W	5 10	500 170	– –	830 250	– –	ns
Clock Input Frequency, f_{CL}	5 10	dc dc	1 3	dc dc	0.6 2	MHz
Clock Rise or Fall Time, t_rCL, t_fCL	5 10	– –	15 15	– –	15 15	μs
Reset Pulse Width, t_W	5 10	500 165	– –	830 250	– –	ns
Reset Removal Time	5 10	750 225	– –	1000 275	– –	ns

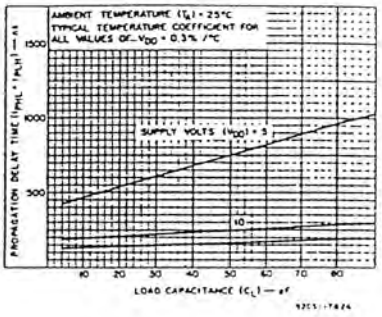


Fig. 3 – Typical propagation delay time vs. C_L for decoded outputs.

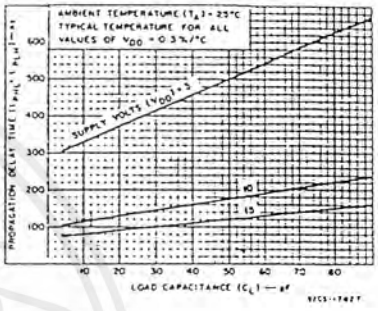


Fig. 4 – Typical propagation delay time vs. C_L for carry output.

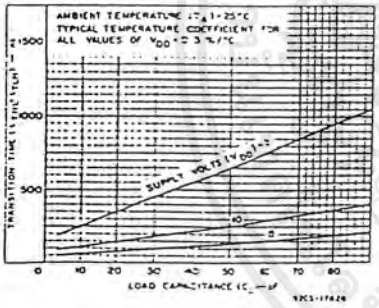


Fig. 5 – Typical transition time vs. C_L for decoded outputs.

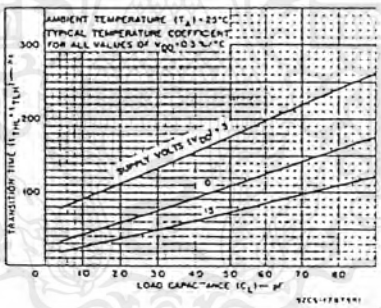


Fig. 6 – Typical transition time vs. C_L for carry output.

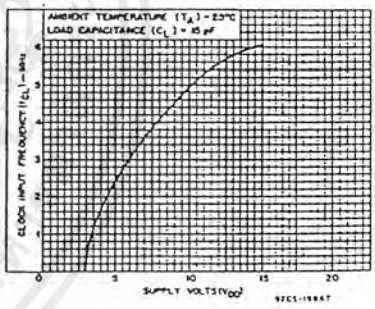


Fig. 7 – Typical clock input frequency vs. V_{DD}.

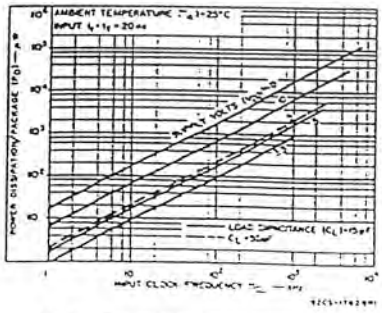
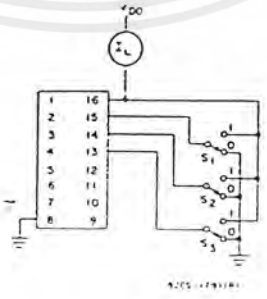


Fig. 8 – Typical dissipation characteristics.



Test performed with the following sequence of "1's and "0's" at each switch.

S_1	S_2	S_3	S_1	S_2	S_3
1	1	1	0	1	0
0	0	0	0	0	0
0	1	0	0	1	0
0	0	0	0	0	0
0	1	0	0	1	0
0	0	0	0	0	0
			0	1	0

Fig. 9 – Quiescent device current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

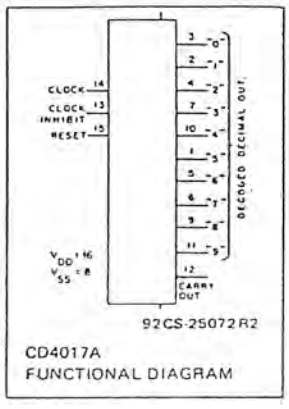
COS/MOS Decade Counter/Divider

Plus 10 Decoded Decimal Outputs

The RCA-CD4017A consists of a 5-stage Johnson decade counter and an output decoder which converts the Johnson binary code to a decimal number. Inputs include a CLOCK, a RESET, and a CLOCK INHIBIT signal.

The decade counter is advanced one count at the positive clock signal transition If the CLOCK INHIBIT signal is low. Counter advancement via the clock line is inhibited when the clock INHIBIT signal is high. A high reset signal clears the decade counter to its zero count. Use of the Johnson decade counter configuration permits high speed operation, 2-input decimal decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decimal time slot. Each decoded output remains high for one full clock cycle. A CARRY-OUT (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to clock the succeeding decade directly in a multi-decade counting chain.

The CD4017A-Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic package (E suffix), 16-lead ceramic flat package (K suffix), and in chip form (H suffix).



CD4017A
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . –65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H . . . . . –55 to +125°C

PACKAGE TYPES E, Y . . . . . –40 to + 85°C

DC SUPPLY-VOLTAGE RANGE (V_{DD})

(Voltages referenced to V_{SS} Terminal) . . . . . –0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D):

FOR T_A = –40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = –55 to 100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . –0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

Features:

- Synchronous decade counter plus 10 decoded outputs
- Fully static operation
- Medium speed operation. . .
  . . . 5 MHz (typ.) at $V_{DD} - V_{SS}$ = 10 V
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range range)
- 1-V noise margin (full package-temperature range)

Applications:

- Decade counter/decimal decode display
- Frequency division
- Counter control/timers
- Divide by N counting
  N = 2 – 10 with one CD4017A and one one CD4001A
  N > 10 with multiple CD4017A's
- For further application information, see ICAN-6166 "COS/MOS MSI Counter and Register Design & Applications"

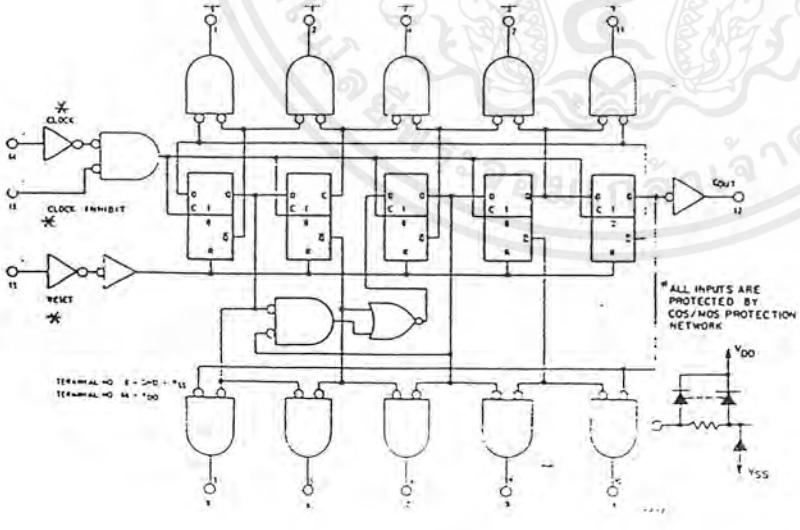


Fig. 1 – Logic diagram.

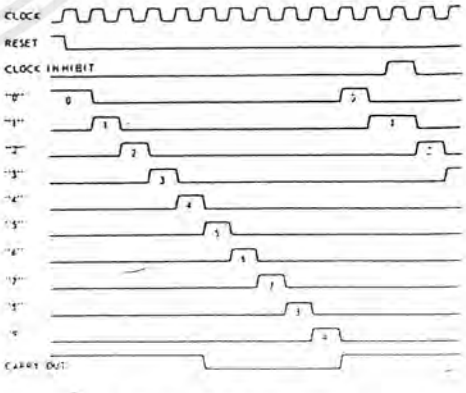


Fig. 2 – Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS

at $T_A = 25°C$, Input t_r, $t_f = 20$ ns, $C_L = 15$ pF, $R_L = 200$ kΩ

CHARACTERISTIC	TEST CONDITIONS	LIMITS						UNITS
		D, F, K, H PACKAGES			E, Y PACKAGES			
	V_{DD} (V)	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Propagation Delay Time,** t_{PLH}, t_{PHL}	5	—	300	750	—	300	1000	ns
	10	—	100	225	—	300	300	
Transition Time; t_{THL}, t_{TLH}	5	—	150	300	—	150	400	ns
	10	—	75	125	—	75	150	
Maximum Clock Input Frequency, f_{CL}	5	1	2.5	—	0.6	2.5	—	MHz
	10	3	5	—	2.5	5	—	
Minimum Clock Pulse Width, t_W	5	—	200	500	—	200	830	ns
	10	—	100	175	—	100	200	
Clock Rise & Fall Time; t_rCL & t_fCL*	5	—	—	15	—	—	15	μs
	10	—	—	15	—	—	15	
Minimum Data Set Up Time, t_S	5	—	100	350	—	100	500	ns
	10	—	50	80	—	50	100	
Minimum High-Level Parallel/Serial Control Pulse Width t_W	5	—	200	500	—	200	830	ns
	10	—	100	175	—	100	200	
Input Capacitance C_I	Any Input	—	5	—	—	5	—	pF

*If more than one unit is cascaded t_rCL should be made less than or equal to the sum of the transition time and the fixed propagation delay of the output of the driving stage for the estimated capacitive load.

**From Clock or Parallel/Serial Control Input

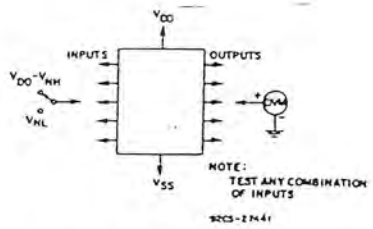


Fig. 7 — Noise-immunity test circuit.

Test performed with the following sequence of "One's" and "Zero's".

S_1	S_2	S_3	S_4	S_5
0	0	1	0	0
1	0	1	1	1
1	0	1	0	1
0	1	1	1	1
0	1	0	0	0

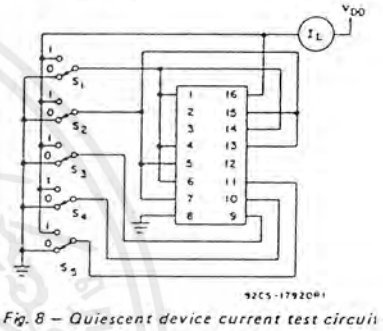


Fig. 8 — Quiescent device current test circuit.

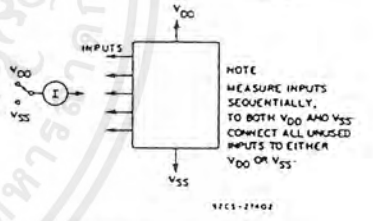


Fig. 9 — Input-leakage-current test circuit.

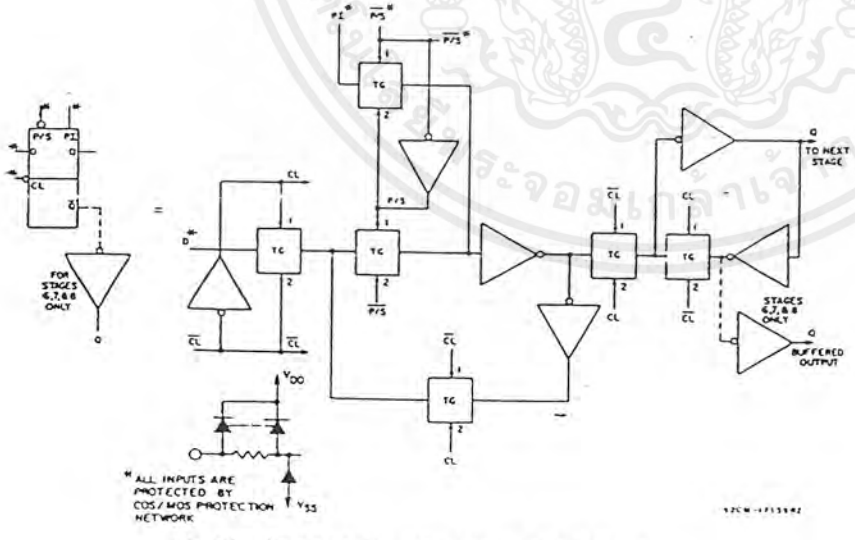


Fig. 10 — One typical stage and its equivalent detailed circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . –65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A)\

PACKAGE TYPES D, F, K, H . . . . . –55 to +125°C

PACKAGE TYPES E, Y . . . . . –40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal) . . . . . –0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D)

FOR T_A = –40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = –55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . –0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

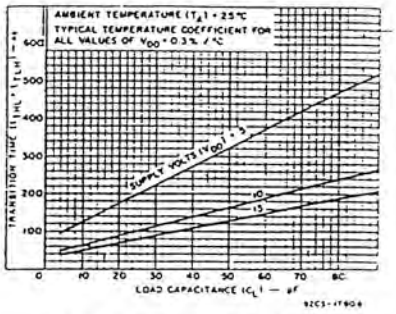


Fig. 3 – Typical transition time vs. load capacitance.

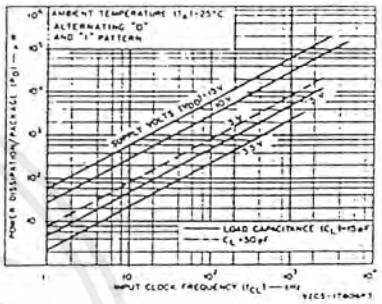


Fig. 4 – Typical dissipation characteristics.

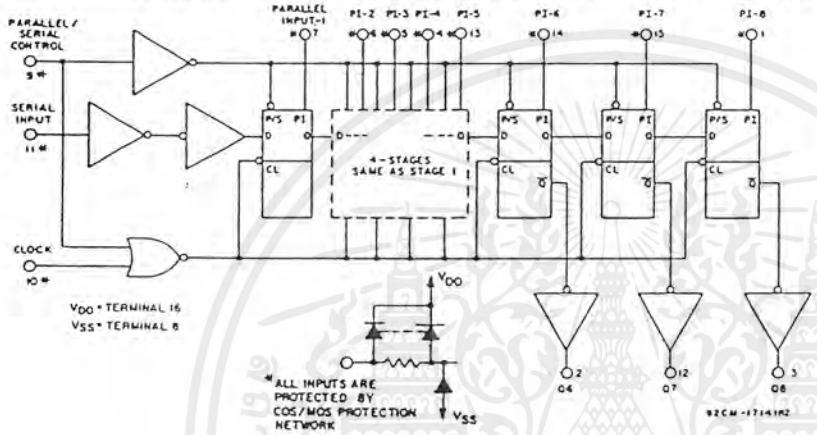


Fig. 5 – Logic diagram.

TRUTH TABLE

CL▲	Serial Input	Parallel/ Serial Control	PI-1	PI-n	Q_1 (Internal)	Q_n
X	X	1	0	0	0	0
X	X	1	0	1	0	1
X	X	1	1	0	1	0
X	X	1	1	1	1	1
⌐¯	0	0	X	X	0	Q_{n-1}
⌐¯	1	0	X	X	1	Q_{n-1}
¯⌐	X	0	X	X	Q_1	Q_n*

▲ = LEVEL CHANGE X = DON'T CARE CASE

* NO CHANGE

92CS-17141R3

Fig. 6 – Truth table.

RECOMMENDED OPERATING CONDITIONS *at T_A = 25°C, Except as Noted. For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:*

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
		MIN.	MAX.	MIN.	MAX.	
Supply-Voltage Range (For T_A=Full Package-Temperature Range)		3	12	3	12	V
Data Setup Time, t_S	5 10	350 80	– –	500 100	– –	ns
Clock Pulse Width, t_W	5 10	500 175	– –	830 200	– –	ns
Clock Input Frequency, f_{CL}	5 10	dc dc	1 3	dc dc	0.6 2.5	MHz
Clock Rise and Fall Time, t_rCL, t_fCL*	5 10	– –	15 15	– –	15 15	μs

*If more than one unit is cascaded t_rCL should be made less than or equal to the sum of the transition time and the fixed propagation delay of the output of the driving stage for the estimated capacitive load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4021A Types

COS/MOS 8-Stage Static Shift Register

Asynchronous Parallel Input/Serial Output,
Synchronous Serial Input/Serial Output

The RCA-CD4021A types are 8-stage parallel or serial-input/serial-output shift registers having common CLOCK and PARALLEL/SERIAL CONTROL inputs, a single SERIAL DATA input, and individual parallel Jam inputs to each register stage. Each register stage is a D-type, master-slave flip-flop. Q outputs are available from the sixth, seventh, and eighth stages.

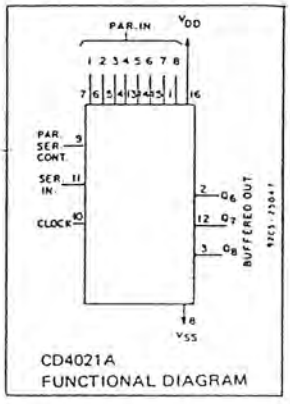
When the PARALLEL/SERIAL CONTROL input is low, data are serially shifted into the 8-stage register synchronously with the positive-going transition of the CLOCK pulse.

Features:

- Asynchronous parallel or synchronous serial operation under control of parallel/serial control-input
- Individual JAM inputs to each register stage
- Master-slave flip-flop register stages
- Fully static operation. . . . . DC to 5 MHz
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

When the PARALLEL/SERIAL CONTROL input is high, data are jammed into the 8-stage register via the parallel input lines asynchronously with the clock line.

Register expansion is possible using additional CD4021A packages.



CD4021A
FUNCTIONAL DIAGRAM

The CD4021A-Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Applications:

- Parallel to serial data conversion
- Asynchronous parallel input/serial output data queueing
- General purpose register

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	+25 TYP.	+25 LIMIT	+125	-40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current I_L Max.	–	–	5	5	0.5	5	300	50	0.5	50	700	μA
	–	–	10	10	1	10	600	100	1	100	1400	
	–	–	15	50	1	50	2000	500	5	500	5000	
Output Voltage: Low-Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High Level V_{OH}	–	0	5	4.95 Min.; 5 typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink), I_DN Min.	0.5	–	5	0.15	0.3	0.12	0.085	0.072	0.3	0.06	0.05	mA
	0.5	–	10	0.31	0.5	0.25	0.175	0.12	0.5	0.1	0.08	
P-Channel (Source) I_DP Min.	4.5	–	5	-0.1	-0.16	-0.08	-0.055	-0.06	-0.16	-0.05	-0.04	
	9.5	–	10	-0.25	-0.44	-0.20	-0.14	-0.12	-0.44	-0.1	-0.08	
Input Leakage Current, I_{IL}, I_{IH}	Any Input											
	–	–	15	$\pm 10^{-5}$ Typ., $\pm$ 1 Max.								

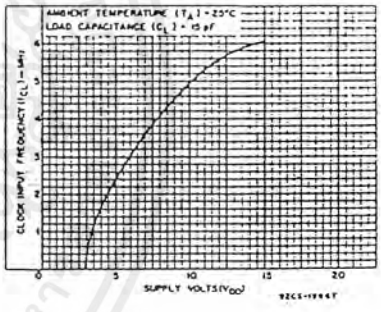


Fig. 1 — Typical clock input frequency vs. supply voltage.

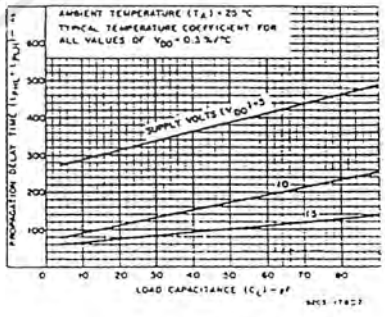


Fig. 2 — Typical propagation delay time vs. load capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS
at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 15 pF, R_L = 200 kΩ

CHARACTERISTIC	V_{DD} (V)	LIMITS						UNITS
		D, F, K, H PACKAGES			E, Y PACKAGES			
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Propagation Delay Time: Clock to Q or $\overline{Q}$ Outputs t_{PHL}, t_{PLH}	5	–	150	300	–	150	400	ns
	10	–	75	110	–	75	150	
Set to Q or Reset to $\overline{Q}$, t_{PLH}	5	–	175	225	–	175	350	ns
	10	–	75	110	–	75	150	
Set to $\overline{Q}$ or Reset to Q, t_{PHL}	5	–	175	225	–	175	350	ns
	10	–	75	110	–	75	150	
Transition Time t_{THL}, t_{TLH}	5	–	75	125	–	75	250	ns
	10	–	50	70	–	50	140	
Maximum Clock Input Frequency (Toggle Mode) f_{CL}	5	1.5	3	–	1	3	–	MHz
	10	4.5	8	–	3	8	–	
Minimum Clock Pulse Width, t_W	5	–	165	330	–	165	500	ns
	10	–	65	110	–	65	165	
Minimum Set or Reset Pulse Width, t_W	5	–	125	200	–	125	300	ns
	10	–	50	80	–	50	120	
Minimum Data Setup Time, t_S	5	–	70	150	–	70	200	ns
	10	–	25	50	–	25	75	
Clock Rise or Fall Time, t_{rCL}, t_{fCL}	5	–	–	15	–	–	15	μs
	10	–	–	5	–	–	5	
Average Input Capacitance, C_I	Any Input	–	5	–	–	5	–	pF

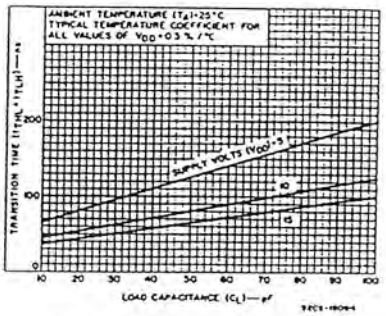


Fig.7 – Typical transition time vs. C_L.

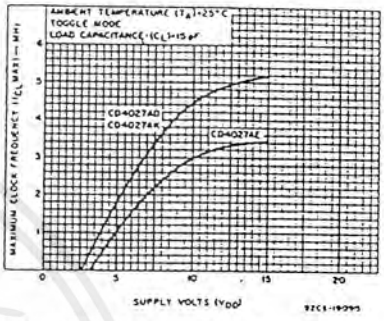


Fig.8 – Typical maximum clock input frequency vs. supply voltage.

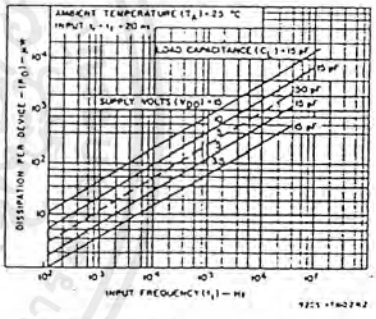


Fig.9 – Typical dissipation characteristics.

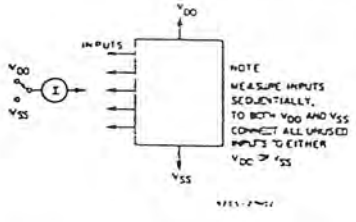


Fig. 11 – Input leakage current test circuit.

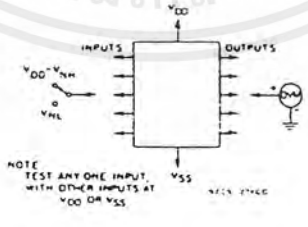


Fig. 10 – Noise immunity test circuit.

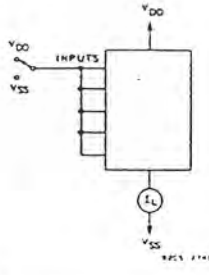


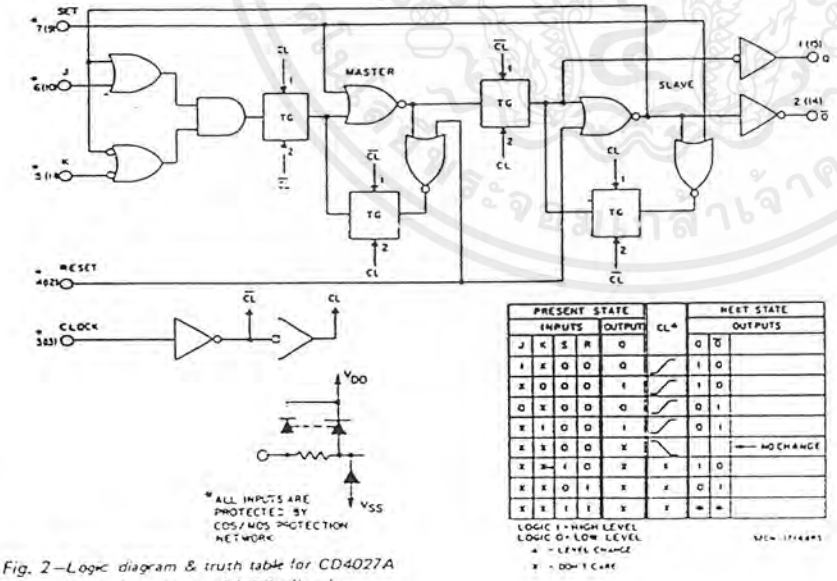
Fig. 12 – Quiescent device current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4027A Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	+25 TYP.	+25 LIMIT	+125	-40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current, I_L Max.			5	1	0.005	1	60	10	0.01	10	140	μA
			10	2	0.005	2	120	20	0.05	20	280	
			15	25	0.5	25	1000	250	2.5	250	2500	
Output Voltage: Low Level, V_{OL}	–	0.5	5	0 Typ.; 0.05 Max								V
	–	0.10	10	0 Typ.; 0.05 Max								
High Level V_{OH}	–	0.5	5	5 Typ.; 4.95 Min.								
	–	0.10	10	10 Typ.; 9.95 Min.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	2.25 Typ.; 1.5 Min.								V
	9	–	10	4.5 Typ.; 3 Min.								
Inputs High V_{NH}	0.8	–	5	2.25 Typ.; 1.5 Min.								
	1	–	10	4.5 Typ.; 3 Min.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N Channel (Sink), I_DN Min.	0.5	–	5	0.65	1	0.5	0.35	0.35	1	0.3	0.24	mA
	0.5	–	10	1.25	2.5	1	0.75	0.72	2.5	0.6	0.5	
P-Channel (Source): I_DP Min.	4.5	–	5	-0.31	-0.5	-0.25	-0.175	-0.17	-0.5	-0.14	-0.12	
	9.5	–	10	-0.8	-1.3	-0.65	-0.45	-0.4	-1.3	-0.33	-0.27	
Input Leakage Current, I_{IL}, I_{IH}	Any Input		15	$\pm 10^{-5}$ Typ., ±1 Max.								μA



PRESENT STATE					CL*	NEXT STATE	
INPUTS				OUTPUT		OUTPUTS	
J	K	S	R	Q		Q	Q̄
1	x	0	0	0		1	0
x	0	0	0	1		1	0
0	x	0	0	0		0	1
x	1	0	0	1		0	1
x	x	0	0	x		NO CHANGE	
x	x	1	0	1		1	0
x	x	0	1	x		0	1
x	x	1	1	x		*	*

LOGIC 1 = HIGH LEVEL
LOGIC 0 = LOW LEVEL
* = LEVEL CHANGE
x = DON'T CARE

Fig. 2—Logic diagram & truth table for CD4027A (one of two identical J-K flip flops).

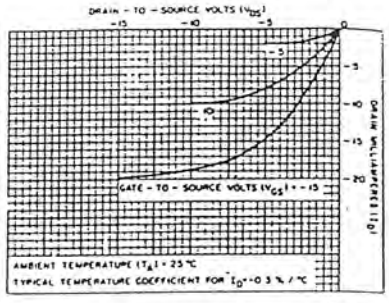


Fig.3 – Typical p-channel drain characteristics.

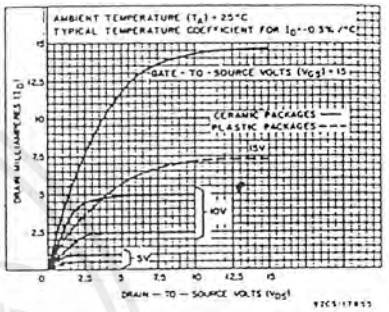


Fig.4 – Minimum n-channel drain characteristics

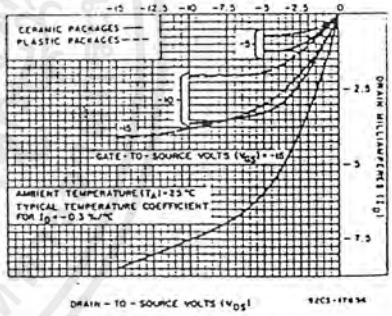


Fig.5 – Minimum p-channel drain characteristics.

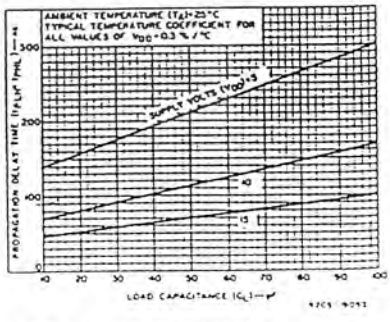


Fig.6 – Typical propagation delay time vs. C_L

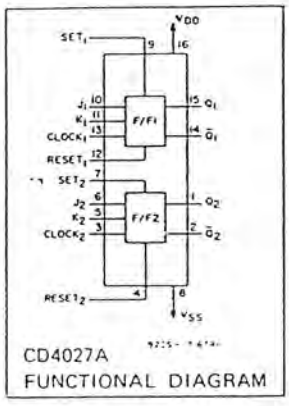
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4027A Types

COS/MOS Dual J-K Master-Slave Flip-Flop

The RCA-CD4027A is a single monolithic chip integrated circuit containing two identical complementary-symmetry J-K master-slave flip-flops. Each flip-flop has provisions for individual J, K, Set, Reset, and Clock input signals. Buffered Q and $\overline{Q}$ signals are provided as outputs. This input-output arrangement provides for compatible operation with the RCA-CD4013A dual D-type flip-flop.

The CD4027A is useful in performing control, register, and toggle functions. Logic levels present at the J and K inputs along with internal self-steering control the state of each flip-flop; changes in the flip-flop state are synchronous with the positive-going transition of the clock pulse. Set and reset functions are independent of the clock and are initiated when a high level signal is present at either the Set or Reset input.



CD4027A
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . -65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H . . . . . -55 to +125°C

PACKAGE TYPES E, Y . . . . . -40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal): . . . . . -0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D):

FOR T_A = -40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = -55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . -0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

RECOMMENDED OPERATING CONDITIONS *at T_A = 25°C, Except as Noted.*
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
		MIN.	MAX.	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)		3	12	3	12	V
Data Setup Time, t_S	5	150	—	200	—	ns
	10	50	—	75	—	
Clock Pulse Width, t_W	5	330	—	500	—	ns
	10	110	—	165	—	
Clock Input Frequency (Toggle Mode) f_{CL}	5	dc	1.5	dc	1	MHz
	10		4.5		3	
Clock Rise or Fall Time, t_rCL,* t_fCL	5	—	15	—	15	μs
	10	—	5	—	5	
Set or Reset Pulse Width, t_W	5	200	—	300	—	ns
	10	80	—	120	—	

*If more than one unit is cascaded in a parallel clocked operation, t_rCL should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

The CD4027A types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Set-Reset capability
- Static flip-flop operation—retains state indefinitely with clock level either "high" or "low"
- Medium-speed operation—10 MHz (typ.) clock toggle rate at 10V
- Quiescent current specified to 15 V
- Maximum input leakage of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications

- Registers, counters, control circuits

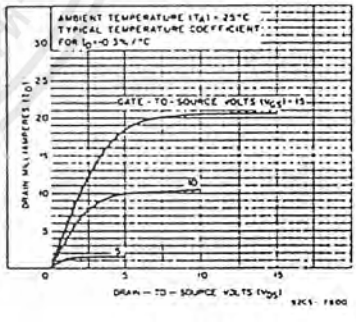


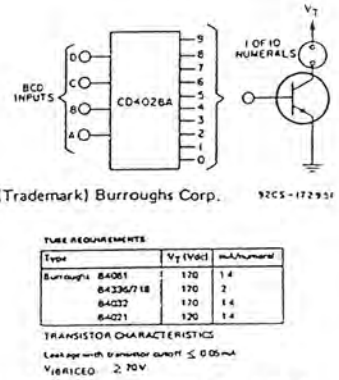
Fig. 1 — Typical n-channel drain characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS

at $T_A = 25°C$, Input t_r, $t_f = 20$ ns, $C_L = 15$ pF, $R_L = 200$ kΩ

CHARACTERISTIC	TEST CONDITIONS		LIMITS						UNITS
			D, F, K, H PACKAGES			E, Y PACKAGES			
		V_{DD} (V)	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Propagation Delay Time; t_{PLH}, t_{PHL}		5	–	250	480	–	250	700	ns
		10	–	100	180	–	100	290	
Transition Time; t_{THL}, t_{TLH}		5	–	60	150	–	60	300	ns
		10	–	30	75	–	30	150	
Average Input Capacitance, C_I	Any Input		–	5	–	–	5	–	pF



▲ (Trademark) Burroughs Corp.

Fig. 9 – Neon readout (Nixie Tube▲) display application.

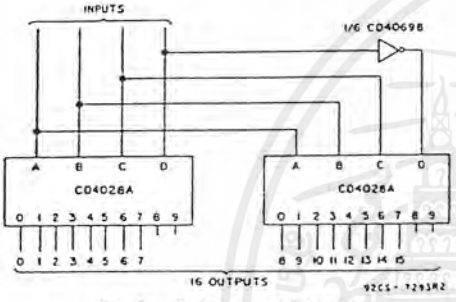


Fig. 8 – Code conversion circuit.

The circuit shown in Fig. 9 converts any 4-bit code to a decimal or hexadecimal code. Table 2 shows a number of codes and the decimal or hexadecimal number in these codes which must be applied to the input terminals of the CD4028A to select a particular output. For example: in order to get a high on output No. 8 the input must be either an 8 expressed in 4-Bit Binary code, a 15 expressed in 4-Bit Gray code, or a 5 expressed in Excess-3 code.

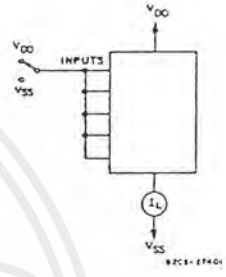


Fig. 10 – Quiescent-device-current test circuit.

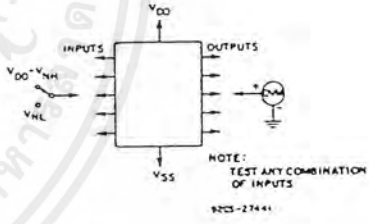


Fig. 11 – Noise-immunity test circuit.

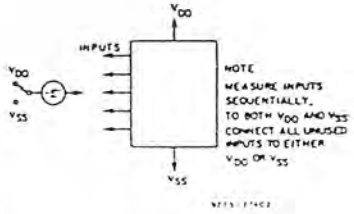


Fig. 12 – Input-leakage-current test circuit.

TABLE II – CODE CONVERSION CHART

INPUTS				INPUT CODES						OUTPUT NUMBER																
				Hexa – Decimal		Decimal																				
D	C	B	A	4-BIT BINARY	4-BIT GRAY	EXCESS-3	EXCESS-3 GRAY	AIKEN	4-2-2-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0			0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1			1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	2	3		0	2	2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	3	2	0	3	3		0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	4	7	1	4	4		0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	5	6	2			3	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	6	4	3	1		4	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	7	5	4	2			0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	8	15	5				0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	9	14	6			5	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	10	12	7	9		6	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	11	13	8		5		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	12	8	9	5	6		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	13	9		6	7	7	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	14	11		8	8	8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	15	10		7	9	9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

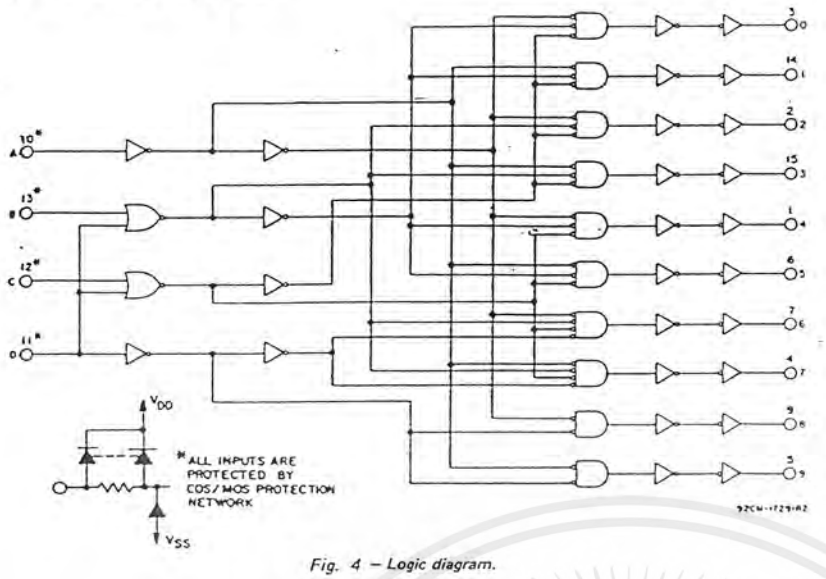


Fig. 4 – Logic diagram.

TABLE I – TRUTH TABLE

D	C	B	A	0	1	2	3	4	5	6	7	8	9	
0	0	0	0	1	0	0	0	0	0	0	0	0	0	*
0	0	0	1	0	1	0	0	0	0	0	0	0	0	
0	0	1	0	0	0	1	0	0	0	0	0	0	0	
0	0	1	1	0	0	0	1	0	0	0	0	0	0	
0	1	0	0	0	0	0	0	1	0	0	0	0	0	
0	1	0	1	0	0	0	0	0	1	0	0	0	0	
0	1	1	0	0	0	0	0	0	0	1	0	0	0	
0	1	1	1	0	0	0	0	0	0	0	1	0	0	
1	0	0	0	0	0	0	0	0	0	0	0	1	0	
1	0	0	1	0	0	0	0	0	0	0	0	0	1	
1	0	1	0	0	0	0	0	0	0	0	0	1	0	**
1	0	1	1	0	0	0	0	0	0	0	0	0	1	
1	1	0	0	0	0	0	0	0	0	0	0	1	0	
1	1	0	1	0	0	0	0	0	0	0	0	0	1	
1	1	1	0	0	0	0	0	0	0	0	0	1	0	
1	1	1	1	0	0	0	0	0	0	0	0	0	1	

* WHERE 1 = HIGH LEVEL
0 = LOW LEVEL

** EXTRAORDINARY STATES

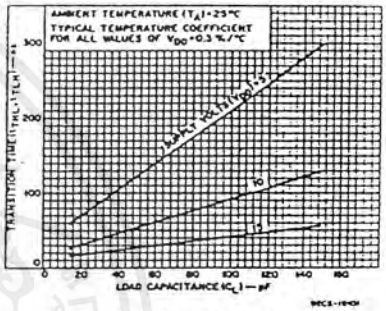


Fig. 5 – Typical transition time vs. C_L.

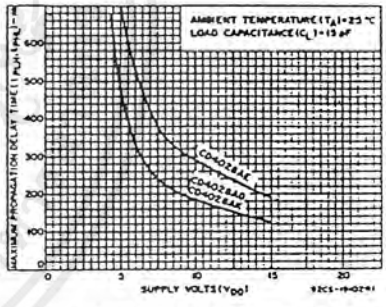


Fig. 6 – Maximum propagation delay time vs. V_{DD}.

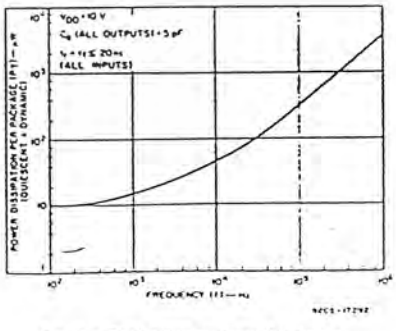


Fig. 7 – Dissipation vs. input frequency.

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
				D, K, F, H PACKAGES				E, Y PACKAGES				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	+25 TYP.	+25 LIMIT	+125	−40	+25 TYP.	+25 LIMIT	+85	
Quiescent Device Current, I_L Max.	–	–	5	5	0.5	5	300	50	5	50	700	µA
	–	–	10	10	1	10	600	100	10	100	1400	
	–	–	15	50	1	50	2000	500	10	500	5000	
Output Voltage: Low-Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High Level V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current N-Channel (Sink), I_{DN} Min.	0.5	–	5	0.75	1.2	0.6	0.45	0.35	1.2	0.3	0.25	mA
	0.5	–	10	1.5	2.4	1.2	0.9	0.7	2.4	0.6	0.5	
P-Channel (Source), I_DP Min.	4.5	–	5	−0.7	−0.9	−0.45	−0.32	−0.32	−0.9	−0.22	−0.18	
	9	–	10	−1.4	−1.9	−0.95	−0.65	−0.65	−1.9	−0.48	−0.4	
Input Leakage Current, I_{IL}, I_{IH}	Any Input	–	15	$\pm 10^{-5}$ Typ., ±1 Max.								µA

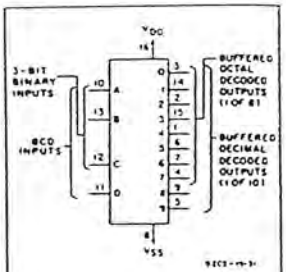
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4028A Types

COS/MOS BCD-to-Decimal Decoder

The RCA-CD4028A types are BCD-to-decimal or binary-to-octal decoders consisting of pulse-shaping circuits on all 4 inputs, decoding-logic gates, and 10 output buffers. A BCD code applied to the four inputs, A to D, results in a high level at the selected one of 10 decimal decoded outputs. Similarly, a 3-bit binary code applied to inputs A through C is decoded in octal code at output 0 to 7. A high-level signal at the D input inhibits octal decoding and causes outputs 0 through 7 to go low. If unused, the D input must be connected to V_{SS}. High drive capability is provided at all outputs to enhance dc and dynamic performance in high fan-out applications.

The CD4028A-Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).



CD4028A
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . −65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H . . . . . −65 to +125°C

PACKAGE TYPES E, Y . . . . . −40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages references to V_{SS} Terminal) . . . . . −0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D):

FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . −0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D, F, K, H PACKAGES		E, Y PACKAGES		
		MIN.	MAX.	MIN.	MAX.	
Supply-Voltage Range (For T_A=Full Package-Temperature Range)		3	12	3	12	V

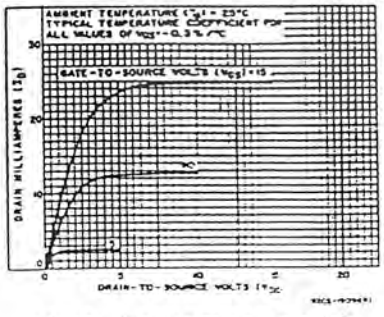


Fig. 1 – Typical output n-channel drain characteristics.

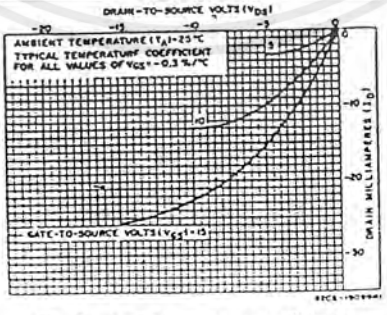


Fig. 2 – Typical output p-channel drain characteristics.

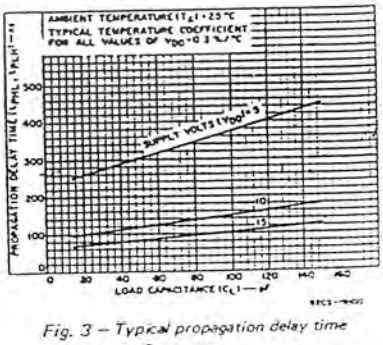


Fig. 3 – Typical propagation delay time vs. C_L.

Features:

- BCD-to-decimal decoding or binary-to-octal decoding
- High decoded output drive capability. . . . . 8 mA (typ.) sink or sourc
- "Positive logic" inputs and outputs. . . . . decoded outputs go high on selectio
- Medium-speed operation . . . . t_{THL}, t_{TLH} = 30 ns (typ.) @ V_{DD} = 10
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Code conversion
- Address decoding—memory selection control
- Indicator-tube decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C)								Units
				D,K,F,H Packages				E,Y Packages				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	+25 Typ.	+25 Limit	+125	−40	+25 Typ.	+25 Limit	+85	
Quiescent Device Current, I_L Max.	–	–	5	5	0.3	5	300	50	0.5	50	700	μA
	–	–	10	10	0.5	10	600	100	1	100	1400	
	–	–	15	50	1	50	2000	500	5	500	5000	
Output Voltage: Low-Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High-Level, V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High, V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N-Channel (Sink), I_DN Min.												mA
Q Outputs	0.5	–	5	0.5	0.8	0.4	0.28	0.24	0.8	0.2	0.16	
	0.5	–	10	0.74	1.2	0.6	0.42	0.36	1.2	0.3	0.24	
Carry Output	0.5	–	5	0.1	0.16	0.08	0.06	0.05	0.16	0.04	0.03	
	0.5	–	10	0.4	0.64	0.32	0.22	0.19	0.64	0.16	0.13	
P-Channel (Source), I_DP Min.												
Q Outputs	4.5	–	5	−0.18	−0.24	−0.12	−0.08	−0.07	−0.24	−0.06	−0.05	
	9.5	–	10	−0.3	−0.4	−0.2	−0.14	−0.14	−0.4	−0.1	−0.08	
Carry Output	4.5	–	5	−0.09	−0.12	−0.06	−0.04	−0.04	−0.12	−0.03	−0.02	
	9.5	–	10	−0.15	−0.2	−0.1	−0.07	−0.07	−0.2	−0.05	−0.04	
Input Leakage Current, I_{IL}, I_{IH}	Any Input											μA
	–	–	15	$\pm 10^{-5}$ Typ., ±1 Max.								

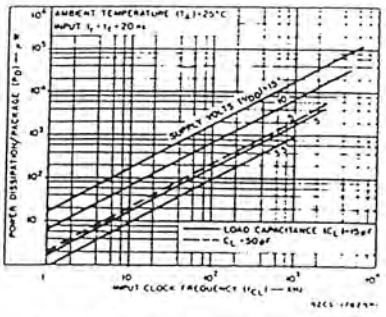


Fig. 9—Typical dissipation characteristics.

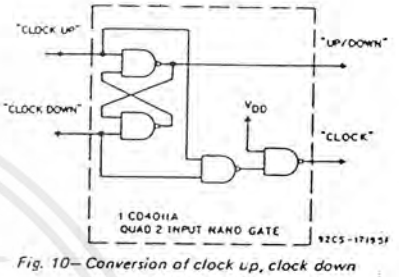
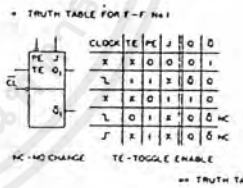
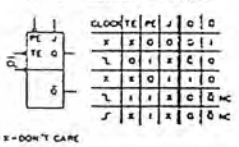


Fig. 10—Conversion of clock up, clock down input signals to clock and up/down input signals.

The CD4029A CLOCK and UP/DOWN inputs are used directly in most applications. In applications where CLOCK UP and CLOCK DOWN inputs are provided, conversion to the CD4029A CLOCK and UP/DOWN inputs can easily be realized by use of the circuit shown below.

CD4029A changes count on positive transitions of CLOCK UP or CLOCK DOWN inputs. For the gate configuration shown below, when counting up the CLOCK DOWN input must be maintained high and conversely when counting down the CLOCK UP input must be maintained high.





CONTROL INPUT	LOGIC LEVEL	ACTION
BIN/DEC (B/D)	1	BINARY COUNT
	0	DECADE COUNT
UP/DOWN (U/D)	1	UP COUNT
	0	DOWN COUNT
PRESET ENABLE (PE)	1	JAM IN
	0	NO JAM
CARRY IN (CI) CLOCK INHIBIT	1	NO COUNTER ADVANCE AT POS CLOCK TRANSITION
	0	ADVANCE COUNTER AT POS CLOCK TRANSITION

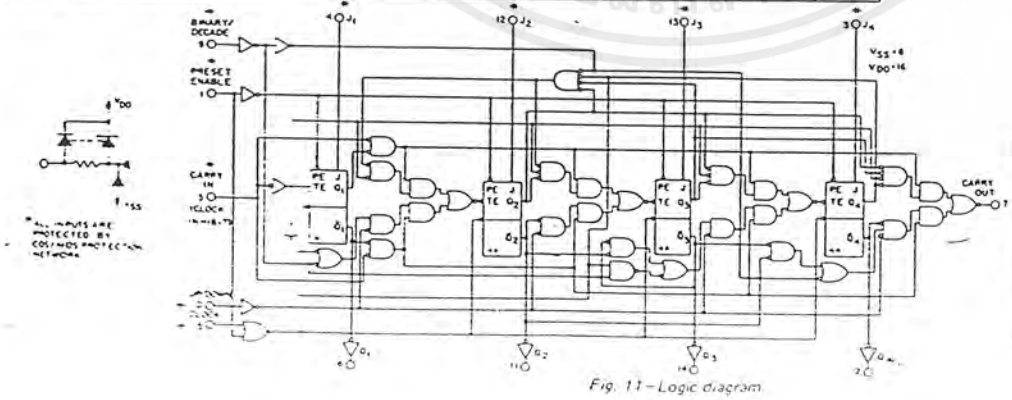


Fig. 11—Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4029A Types

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) ..... −65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):
- PACKAGE TYPES D,F,K,H ..... −55 to +125°C
- PACKAGE TYPES E,Y ..... −40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})
(Voltages referenced to V_{SS} Terminal) ..... −0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D):
- FOR T_A=−40 to +60°C (PACKAGE TYPES E,Y) ..... 500 mW
- FOR T_A=+60 to +85°C (PACKAGE TYPES E,Y) ..... Derate Linearly at 12 mW/°C to 200 mW
- FOR T_A=−55 to +100°C (PACKAGE TYPES D,F,K) ..... 500 mW
- FOR T_A=+100 to +125°C (PACKAGE TYPES D,F,K) ..... Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR:
- FOR T_A=FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) ..... 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS ..... −0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):
- At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A=25°C, Input t_r, t_f=20 ns, C_L=15 pF, R_L=200 kΩ

CHARACTERISTIC	TEST CONDITIONS V_{DD} (V)	LIMITS D,F,K,H Packages Min.	Typ.	Max.	E,Y Packages Min.	Typ.	Max.	UNITS
Clocked Operation								
Propagation Delay Time: t_{PHL}, t_{PLH} Q Outputs	5	–	325	650	–	325	1300	ns
	10	–	115	230	–	115	460	
Carry Output	5	–	425	850	–	425	1700	
	10	–	150	300	–	150	600	
Transition Time: t_{THL}, t_{TLH} Q Outputs	5	–	100	200	–	100	400	ns
	10	–	50	100	–	50	200	
Carry Output	5	–	200	400	–	200	800	
	10	–	100	200	–	100	400	
Minimum Clock Pulse Width, t_W	5	–	200	340	–	200	500	ns
	10	–	100	170	–	100	250	
Clock Rise & Fall Time, t_rCL, t_fCL**	5	–	–	15	–	–	15	μs
	10	–	–	15	–	–	15	
Minimum Setup Times, t_S*	5	–	325	650	–	325	1300	ns
	10	–	115	230	–	115	460	
Maximum Clock Input Frequency, f_{CL}	5	1.5	2.5	–	1	2.5	–	MHz
	10	3	5	–	2	5	–	
Input Capacitance, C_I	Any Input	–	5	–	–	5	–	pF
Preset Enable								
Propagation Delay Time: t_{PHL}, t_{PLH} Q Outputs	5	–	325	650	–	325	1300	ns
	10	–	115	230	–	115	460	
Carry Output	5	–	425	850	–	425	1700	
	10	–	150	300	–	150	600	
Minimum Preset Enable Pulse Width, t_W	5	–	115	330	–	115	660	ns
	10	–	80	160	–	80	320	
Minimum Preset Enable Removal Time	5	–	325	650	–	325	1300	ns
	10	–	115	230	–	115	460	
Carry Input								
Propagation Delay Time: t_{PHL}, t_{PLH} Carry Output	5	–	175	350	–	175	700	ns
	10	–	50	100	–	50	200	

For footnotes, see Recommended Operating Conditions.

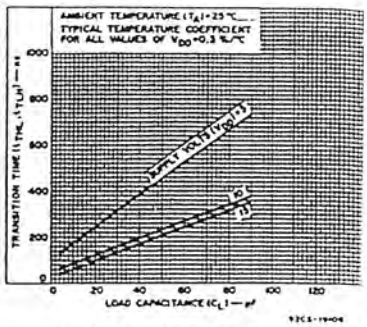


Fig. 4—Typical transition time vs. C_L for carry output.

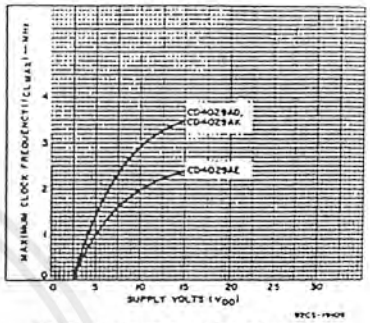


Fig. 5—Maximum clock input frequency vs. V_{DD}.

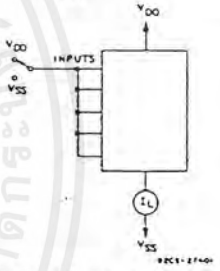


Fig. 6—Quiescent-device-current test circuit.

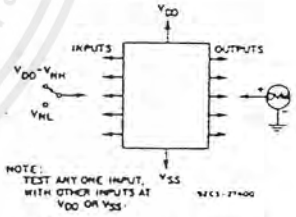


Fig. 7—Noise-immunity test circuit.

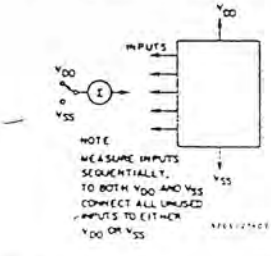


Fig. 8—Input-leakage-current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4029A Types

COS/MOS Presettable Up/Down Counter

– Binary or BCD-Decade –

The RCA-CD4029A consists of a four-stage binary or BCD-decade up/down counter with provisions for look-ahead carry in both counting modes. The inputs consist of a single CLOCK, CARRY-IN (CLOCK INHIBIT), BINARY/DECADE, UP/DOWN, PRESET ENABLE, and four individual JAM signals and a CARRY OUT signal are provided as outputs.

A high PRESET ENABLE signal allows information on the JAM INPUTS to preset the counter to any state asynchronously with the clock. A low on each JAM line, when the PRESET-ENABLE signal is high, resets the counter to its zero count. The counter is advanced one count at the positive transition of the clock when the CARRY-IN and PRESET ENABLE signals are low. Advancement is inhibited when the CARRY-IN or PRESET ENABLE signals are high. The CARRY-OUT signal is normally high and goes low when the counter reaches its maximum count in the UP mode or the minimum count in the DOWN mode provided the CARRY-IN signal is low. The CARRY-IN signal in the low state can thus be considered a CLOCK INHIBIT. The CARRY-IN terminal must be connected to V_{SS} when not in use.

Binary counting is accomplished when the BINARY/DECADE input is high; the counter counts in the decade mode when the BINARY/DECADE input is low. The counter counts Up when the UP/DOWN INPUT is high, and Down when the UP/DOWN INPUT is low. Multiple packages can be connected in either a parallel-clocking or a ripple-clocking arrangement.

Parallel clocking provides synchronous control and hence faster response from all counting outputs. Ripple-clocking allows for longer clock input rise and fall times.

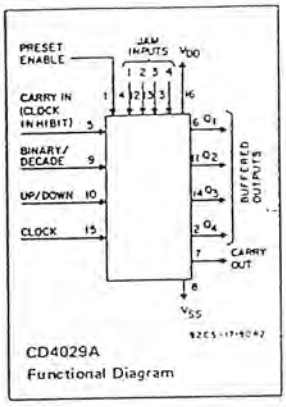
The CD4029A-Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Medium speed operation . . . 5 MHz (typ.) @ C_L=15 pF and $V_{DD}-V_{SS}$=10 V
- Multi-package parallel clocking for synchronous high speed output response or ripple clocking for slow clock input rise and fall times
- "Preset Enable" and individual "Jam" inputs provided
- Binary or decade up/down counting
- BCD outputs in decade mode
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Programmable binary and decade counting/frequency synthesizers-BCD output
- Analog to digital and digital to analog conversion
- Up/Down binary counting
- Magnitude and sign generation
- Up/Down decade counting
- Difference counting



CD4029A
Functional Diagram

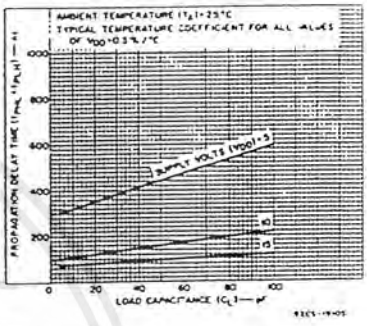


Fig. 1– Typical propagation delay time vs. C_L for Q outputs.

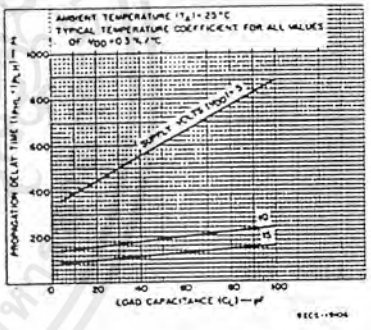


Fig. 2– Typical propagation delay time vs. C_L for carry output.

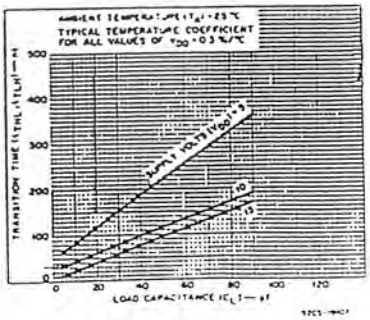


Fig. 3– Typical transition time vs. C_L for Q outputs.

RECOMMENDED OPERATING CONDITIONS at T_A=25°C, Except as Noted.
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD} (V)	LIMITS D,F,K,H Packages Min.	D,F,K,H Packages Max.	E,Y Packages Min.	E,Y Packages Max.	UNITS
Supply-Voltage Range (For T_A=Full Package-Temperature Range)		3	12	3	12	V
Setup Time, t_S*	5	650	–	1300	–	ns
	10	230	–	460	–	
Clock Pulse Width, t_W	5	340	–	500	–	ns
	10	170	–	250	–	
Clock Input Frequency, f_{CL}	5	dc	1.5	dc	1	MHz
	10	dc	3	dc	2	
Clock Rise or Fall Time, t_rCL, t_fCL**	5	–	15	–	15	μs
	10	–	15	–	15	
Preset Enable Pulse Width, t_W	5	330	–	660	–	ns
	10	160	–	320	–	

*From Up/Down, Binary/Decode, Carry In, or Preset Enable Control Inputs to Clock Edge.
**If more than one unit is cascaded in the parallel clocked application, t_rCL should be made less than or equal to the sum of the fixed propagation delay at 15 pF and the transition time of the carry output driving stage for the estimated capacitive load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C)								Units
				D,K,F,H Packages				E,Y Packages				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	+25 Typ.	+25 Limit	+125	−40	+25 Typ.	+25 Limit	+85	
Quiescent Device Current I_L Max.	–	–	5	0.5	0.005	0.5	30	5	0.05	5	70	μA
	–	–	10	1	0.01	1	60	10	0.1	10	140	
	–	–	15	25	0.5	25	1000	250	2.5	250	2500	
Output Voltage: Low Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High Level V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	3.6	–	5	1.5 Min.; 2.25 Typ.								V
	7.2	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	1.4	–	5	1.5 Min.; 2.25 Typ.								
	2.8	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: N Channel (Sink) I_DN Min.	0.5	–	5	0.75	1.2	0.6	0.45	0.35	1.2	0.3	0.25	mA
	0.5	–	10	1.5	2.4	1.2	0.9	0.7	2.4	0.6	0.5	
P Channel (Source): I_DP Min.	4.5	–	5	−0.45	−0.6	−0.3	−0.21	−0.21	−0.6	−0.15	−0.12	
	9.5	–	10	−0.95	−1.3	−0.65	−0.45	−0.45	−1.3	−0.32	−0.25	
Input Leakage Current I_{IL}, I_{IH}	Any Input											
	–	–	15		$\pm 10^{-5}$ Typ., ± 1 Max.							μA

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 15 pF, R_L = 200 kΩ

Characteristic	Test Conditions	LIMITS						Units
		D,F,K,H Packages			E,Y Packages			
	V_{DD} (V)	Min.	Typ.	Max.	Min.	Typ.	Max.	
Propagation Delay Time: t_{PLH}, t_{PHL}	5	–	100	200	–	100	300	ns
	10	–	40	100	–	40	150	
Transition Time: High-to-Low Level, t_{THL}	5	–	70	150	–	70	300	ns
	10	–	25	75	–	25	150	
Low-to-High Level, t_{TLH}	5	–	80	150	–	80	300	
	10	–	30	75	–	30	150	
Average Input Capacitance, C_I	Any Input	–	5	–	–	5	–	pF

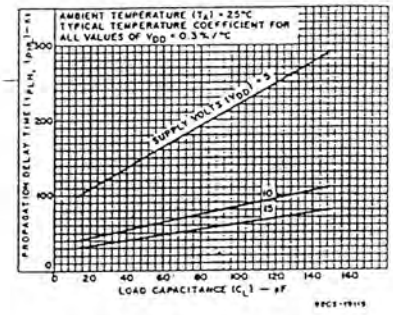


Fig.4 – Typical propagation-delay time vs. load capacitance.

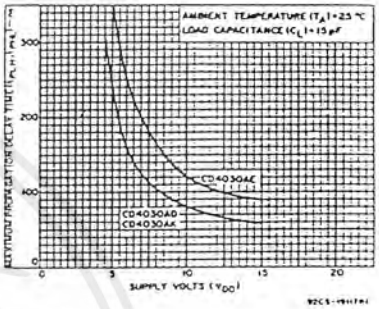


Fig.5 – Maximum propagation-delay time vs. supply voltage.

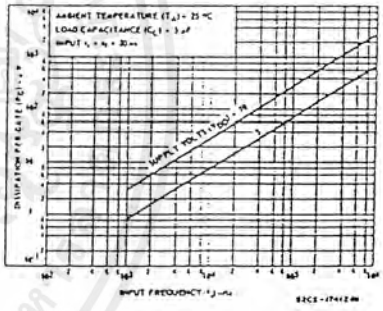


Fig.6 – Typical dynamic power dissipation characteristics.

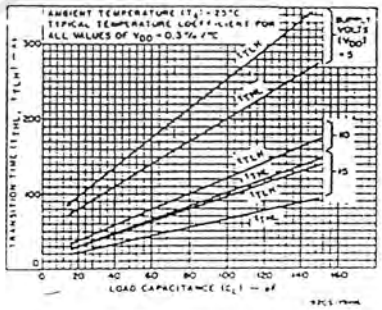


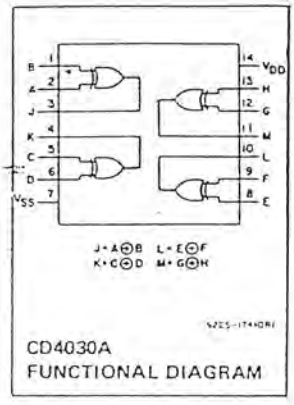
Fig.7 – Typical transition time vs. load capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS
Quad Exclusive-OR Gate

The RCA-CD4030A types consist of four independent Exclusive-OR gates integrated on a single monolithic silicon chip. Each Exclusive-OR gate consists of four n-channel and four p-channel enhancement-type transistors. All inputs and outputs are protected against electrostatic effects.

The CD4030A-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D,F, and Y suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat package (K suffix), and in chip form (H suffix).



CD4030A
FUNCTIONAL DIAGRAM

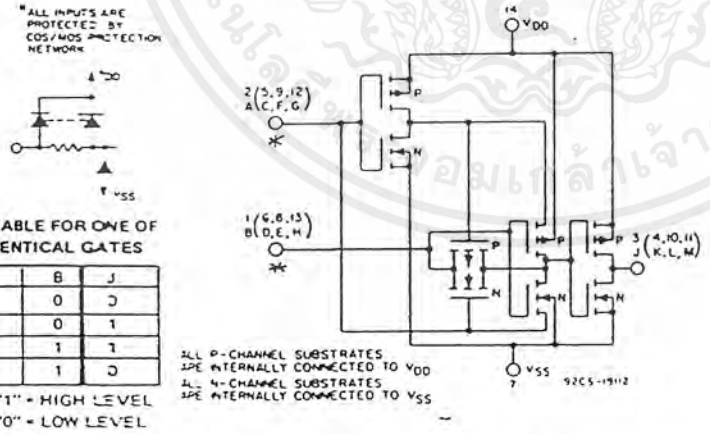
MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg})	−65 to +150°C
OPERATING-TEMPERATURE RANGE (T_A)	
PACKAGE TYPES D, F, K, H	−55 to +125°C
PACKAGE TYPES E, Y	−40 to +85°C
DC SUPPLY-VOLTAGE RANGE, (V_{DD}) (Voltages referenced to V_{SS} Terminal)	−0.5 to +15 V
POWER DISSIPATION PER PACKAGE (P_D)	
FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y)	500 mW
FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y)	Derate Linearly at 12 mW/°C to 200 mW
FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	−0.5 to V_{DD} +0.5 V
LEAD TEMPERATURE (DURING SOLDERING)	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max	+265°C

RECOMMENDED OPERATING CONDITIONS at T_A = 25°C,

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS				UNITS
	D,F,K,H Packages		E,Y Packages		
	Min.	Max.	Min.	Max.	
Supply Voltage Range (For T_A = Full Package Temperature Range)	3	12	3	12	V



TRUTH TABLE FOR ONE OF FOUR IDENTICAL GATES

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

WHERE "1" = HIGH LEVEL
"0" = LOW LEVEL

Fig. 1 – Schematic diagram for 1 of 4 identical exclusive-OR gates.

For quiescent device current, noise immunity, and input leakage current test circuits see "Ratings and Characteristics" at the beginning of the COS/MOS section.

Features:

- Medium speed operation. . . . . $t_{PHL} = t_{PLH}$ = 40 ns (typ.) @ C_L = 15 pF and $V_{DD}-V_{SS}$ = 10 V
- Low output impedance. . . . . 500 Ω (typ.) @ $V_{DD}-V_{SS}$ = 10
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (Full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Even and odd-parity generators and checkers
- Logical comparators
- Adders/subtractors
- General logic functions

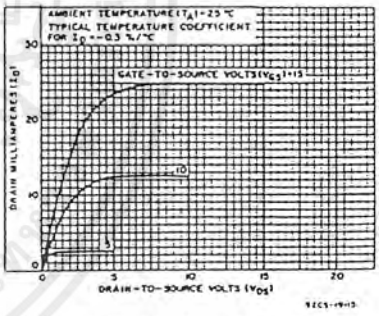


Fig.2 – Typical output n-channel drain characteristics.

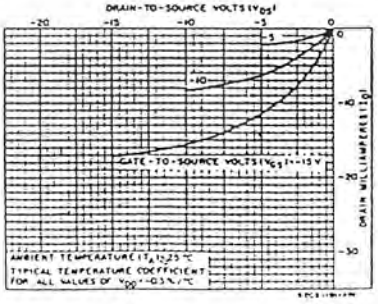


Fig.3 – Typical output p-channel drain characteristics.

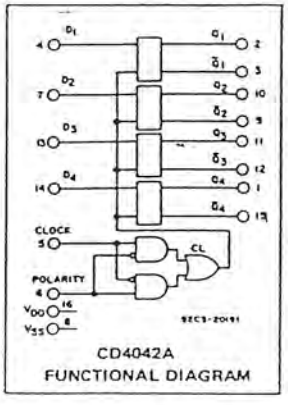
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS Quad Clocked "D" Latch

The RCA-CD4042A types contain four latch circuits, each strobed by a common clock. Complementary buffered outputs are available from each circuit. The impedance of the n- and p-channel output devices is balanced and all outputs are electrically identical.

Information present at the data input is transferred to outputs Q and $\overline{Q}$ during the CLOCK level which is programmed by the POLARITY input. For POLARITY = 0 the transfer occurs during the 0 CLOCK level and for POLARITY = 1 the transfer occurs during the 1 CLOCK level. The outputs follow the data input providing the CLOCK and POLARITY levels defined above are present. When a CLOCK transition occurs (positive for POLARITY = 0 and negative for POLARITY = 1) the information present at the input during the CLOCK transition is retained at the outputs until an opposite CLOCK transition occurs.

The CD4042A types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).



CD4042A
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE-TEMPERATURE RANGE (T_{stg}) . . . . . −65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H . . . . . −55 to +125°C

PACKAGE TYPES E,Y . . . . . −40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal): . . . . . −0.5 to +15 V

POWER DISSIPATION PER PACKAGE (P_D):

FOR T_A = −40 to +60°C (PACKAGE TYPES E,Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) . . . . . Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS . . . . . −0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ±1/32 inch (1.59 ±0.79 mm) from case for 10 s max . . . . . +265°C

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 15 pF, R_L = 200 KΩ

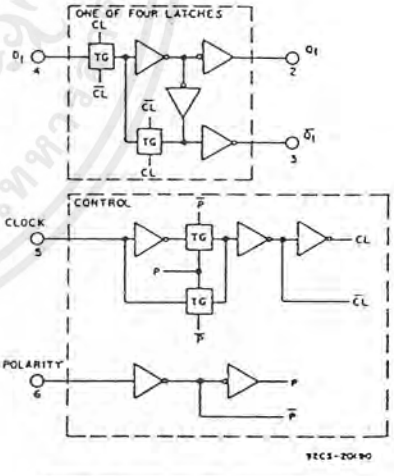
CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D,F,K,H Packages		*E,Y Packages*		
		Typ.	Max.	Typ.	Max.	
Propagation Delay Time: t_{PHL}, t_{PLH} Data In to Q	5	150	300	150	400	ns
	10	75	150	75	200	
Data In to $\overline{Q}$	5	250	500	250	600	ns
	10	100	200	100	250	
Clock to Q	5	300	600	300	750	ns
	10	125	250	125	300	
Clock to $\overline{Q}$	5	400	800	400	1000	ns
	10	175	350	175	400	
Transition Time: t_{THL}, t_{TLH}	5	100	200	100	300	ns
	10	50	100	50	150	
Minimum Clock Pulse Width, t_W	5	175	250	175	350	ns
	10	60	120	60	175	
Minimum Hold Time, t_H	5	150	300	150	350	ns
	10	60	120	60	150	
Minimum Setup Time, t_S	5	0	50	0	50	ns
	10	0	30	0	30	
Minimum Clock Rise or Fall Time: t_r, t_f	5 10	Not rise or fall time sensitive.				μs
Input Capacitance, C_I (Any Input)	—	5	—	5	—	pF

Features:

- Clock polarity control
- Q and $\overline{Q}$ outputs
- Common clock
- Low power TTL compatible
- Quiescent current specified to 15 V
- Maximum input leakage of 1 μA at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

Applications:

- Buffer storage
- Holding register
- General digital logic



CLOCK	POLARITY	Q
0	0	D
⌒	0	LATCH
1	1	D
⌣	1	LATCH

Fig. 1 – Logic block diagram & truth table.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS at T_A = 25°C, Except as Noted.
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD} (V)	LIMITS				UNITS
		D,F,K,H Packages		*E,Y Packages*		
		Min.	Max.	Min.	Max.	
Supply-Voltage Range (For T_A = Full Package Temperature Range)	–	3	12	3	12	V
Clock Pulse Width, t_W	5 10	350 175	– –	250 120	– –	ns
Setup Time, t_S	5 10	50 30	– –	50 30	– –	ns
Hold Time, t_H	5 10	350 150	– –	300 120	– –	ns
Clock Rise or Fall Time: t_r, t_f	5 10	Not rise or fall time sensitive.				μs

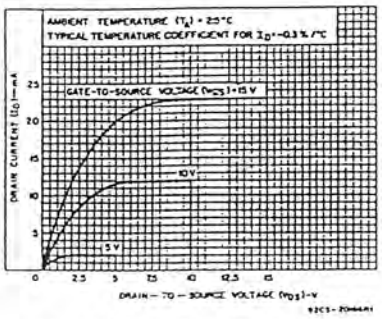


Fig. 2 – Typical output n-channel drain characteristics.

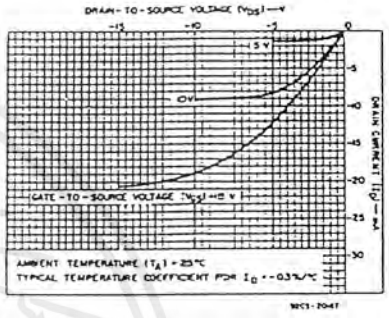


Fig. 3 – Typical output p-channel drain characteristics.

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C)								Units
				D,K,F,H Packages				*E,Y Packages*				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	–55	+25 Typ.	+25 Limit	+125	–40	+25 Typ.	+25 Limit	+85	
Quiescent Device Current, I_L Max.	–	–	5	1	0.005	1	60	10	0.01	10	140	μA
	–	–	10	2	0.005	2	120	20	0.02	20	280	
	–	–	15	25	0.25	25	1000	250	2.5	250	2500	
Output Voltage: Low-Level, V_{OL}	–	0,5	5	0 Typ.; 0.05 Max.								V
	–	0,10	10	0 Typ.; 0.05 Max.								
High Level, V_{OH}	–	0,5	5	4.95 Min.; 5 Typ.								
	–	0,10	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High, V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	1	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current: n-Channel (Sink), I_DN Min.	0.5	–	5	0.5	1	0.4	0.27	0.24	1	0.2	0.18	mA
	0.5	–	10	1.25	2	1	0.7	0.6	2	0.5	0.45	
p-Channel (Source), I_DP Min.	4.5	–	5	-0.45	-1	-0.35	-0.25	-0.2	-1	-0.175	-0.15	
	9.5	–	10	-1.15	-2	-0.9	-0.6	-0.34	-2	-0.45	-0.4	
Input Leakage Current, I_{IL}, I_{IH} Max.	Any Input		15	$\pm 10^{-5}$ Typ.; 1 Max.								μA

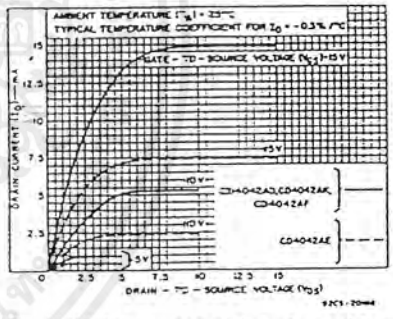


Fig. 4 – Minimum n-channel drain characteristics.

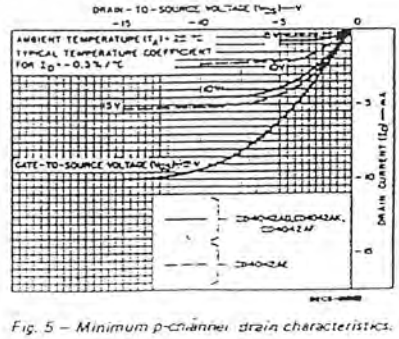


Fig. 5 – Minimum p-channel drain characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

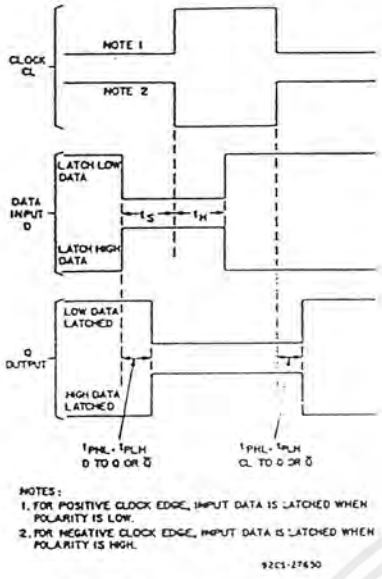


Fig. 6 – Dynamic test parameters.

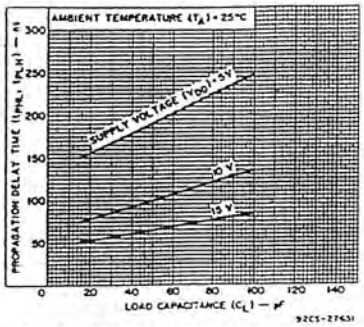


Fig. 7 – Typical propagation delay time vs. load capacitance– data to Q.

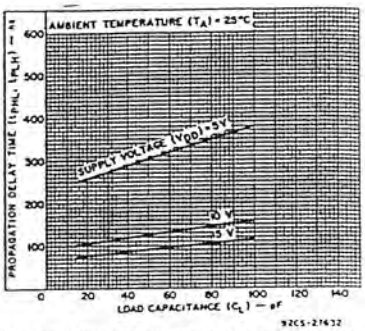


Fig. 8 – Typical propagation delay time vs. load capacitance – data to $\overline{Q}$.

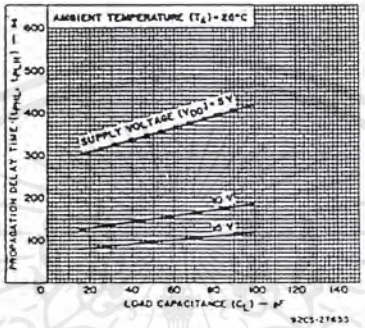


Fig. 9 – Typical propagation delay time vs. load capacitance – clock to Q.

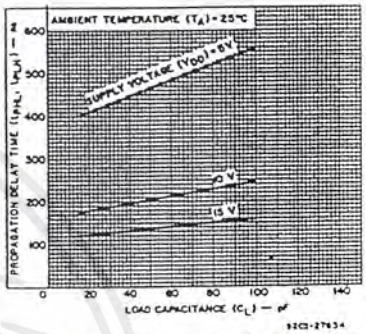


Fig. 10 – Typical propagation delay time vs. load capacitance – clock to $\overline{Q}$.

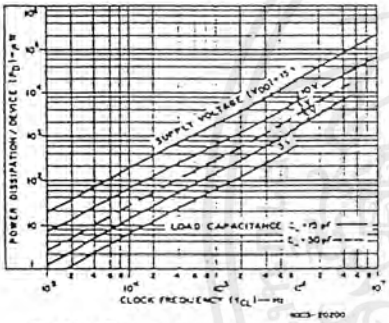


Fig. 11 – Typical dissipation characteristics.

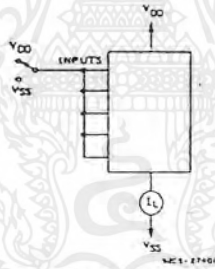


Fig. 12 – Quiescent device current test circuit.

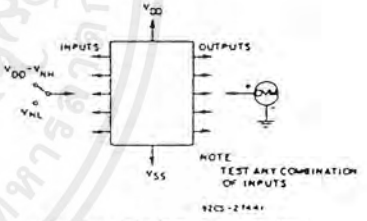


Fig. 13– Noise immunity test circuit.

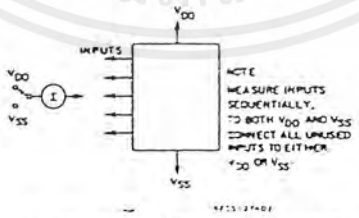


Fig. 14 – Input leakage current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C, Input t_r, t_f = 20 ns,
C_L = 15 pF, R_L = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS	V_{DD} (V)	LIMITS D,F,K,H Packages Min.	Typ.	Max.	LIMITS E,Y Packages Min.	Typ.	Max.	UNITS
Input-Pulse Operation									
Propagation Delay Time, ϕ_I to Q4 Out; t_{PHL}, t_{PLH}		5	–	900	1800	–	900	1900	ns
		10	–	450	900	–	450	950	
Propagation Delay Time, Q_n to Q_{n+1}; t_{PHL}, t_{PLH}		5	–	450	900	–	450	950	ns
		10	–	225	450	–	225	475	
Transition Time, t_{THL}, t_{TLH}		5	–	150	300	–	150	350	ns
		10	–	75	150	–	75	175	
Min. Input-Pulse Width t_W	f=100 kHz	5	–	200	400	–	200	500	ns
		10	–	75	110	–	75	125	
Input-Pulse Rise & Fall Time, $t_{r\phi}$, $t_{f\phi}$		5	–	–	15	–	–	15	μs
		10	–	–	7.5	–	–	7.5	
Max. Input-Pulse Frequency, f_ϕ		5	1	1.75	–	0.9	1.75	–	MHz
		10	3	4	–	2.75	4	–	
Input Capacitance, C_I	Any Input		–	5	–	–	5	–	pF
Reset Operation									
Propagation Delay Time, t_{PHL}		5	–	500	1000	–	500	1250	ns
		10	–	250	500	–	250	600	
Minimum Reset Pulse Width, t_W		5	–	500	1000	–	500	1250	ns
		10	–	250	500	–	250	600	

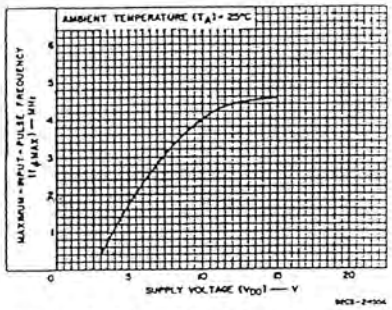


Fig. 9 – Typical maximum-input-pulse frequency vs. supply voltage.

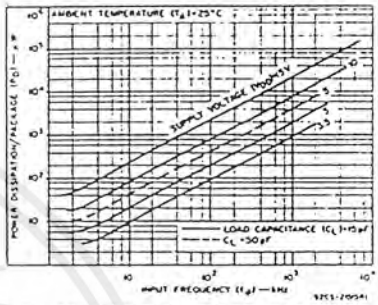


Fig. 10 – Typical dynamic power dissipation characteristics.

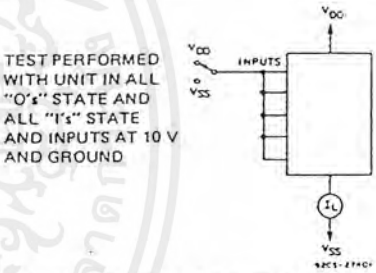


Fig. 11 – Quiescent-device current test circuit.

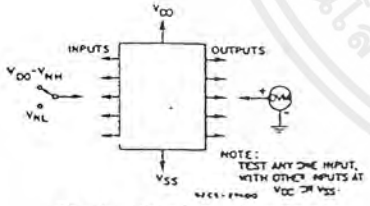


Fig. 12 – Noise-immunity test circuit.

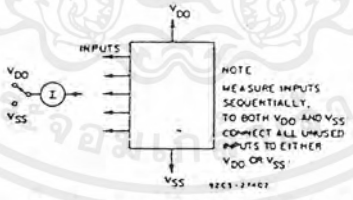


Fig. 13 – Input-leakage-current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4060A Types

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C)								Units
				D,K,F,H Packages				E,Y Packages				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	+25 Typ.	+25 Limit	+125	−40	+25 Typ.	+25 Limit	+85	
Quiescent Device Current I_L Max.	–	–	5	15	0.5	15	900	50	1	50	700	μA
	–	–	10	25	1	25	1500	100	2	100	1400	
	–	–	15	50	2.5	50	2000	500	5	500	5000	
Output Voltage: Low Level, V_{OL}	–	5	5	0 Typ.; 0.05 Max.								V
	–	10	10	0 Typ.; 0.05 Max.								
High Level V_{OH}	–	0	5	4.95 Min.; 5 Typ.								
	–	0	10	9.95 Min.; 10 Typ.								
Noise Immunity: Inputs Low, V_{NL}	4.2	–	5	1.5 Min.; 2.25 Typ.								V
	9	–	10	3 Min.; 4.5 Typ.								
Inputs High V_{NH}	0.8	–	5	1.5 Min.; 2.25 Typ.								
	10	–	10	3 Min.; 4.5 Typ.								
Noise Margin: Inputs Low, V_{NML}	4.5	–	5	1 Min.								V
	9	–	10	1 Min.								
Inputs High, V_{NMH}	0.5	–	5	1 Min.								
	1	–	10	1 Min.								
Output Drive Current:* n-Channel (Sink), I_DN Min.	0.5	–	5	0.22	0.36	0.18	0.125	0.21	0.36	0.18	0.15	mA
	0.5	–	10	0.44	0.75	0.36	0.25	0.42	0.75	0.36	0.3	
p-Channel (Source), I_DP Min.	4.5	–	5	-0.15	-0.25	-0.125	-0.085	-0.145	-0.25	-0.125	-0.1	
	9.5	–	10	-0.3	-0.5	-0.25	-0.175	-0.29	-0.5	-0.25	-0.2	
Input Leakage Current, I_{IL}, I_{IH}	Any Input	–	15	$\pm 10^{-5}$ Typ., ±1 Max.								μA

* Data not applicable to Terminal 9 or 10

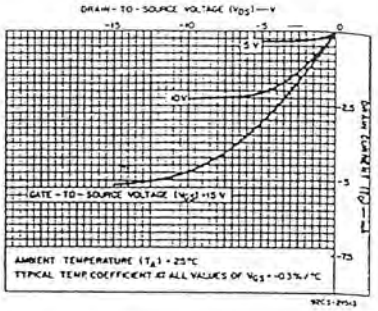


Fig. 4 – Minimum p-channel drain characteristics

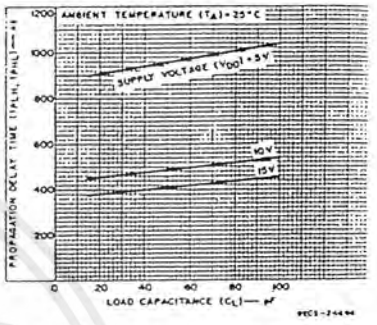


Fig. 5 – Typical propagation delay time vs. load capacitance (ϕ_1 to Q4 output).

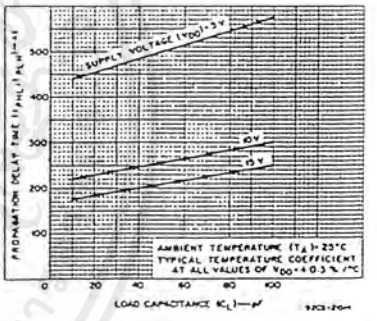


Fig. 6 – Typical propagation delay time vs. load capacitance (Q_n to Q_{n+1}).

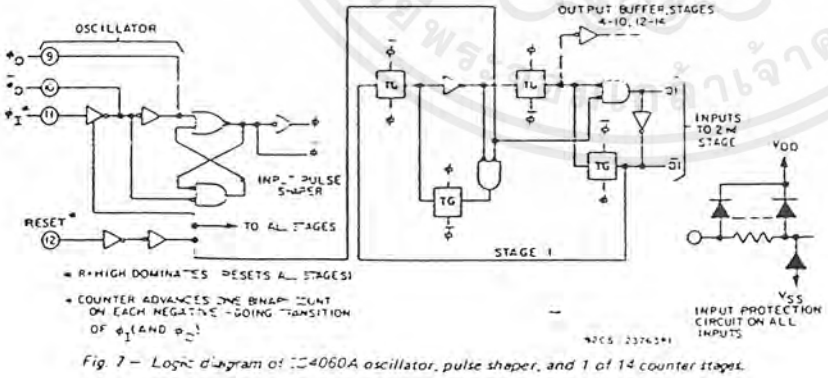


Fig. 7 – Logic diagram of CD4060A oscillator, pulse shaper, and 1 of 14 counter stages.

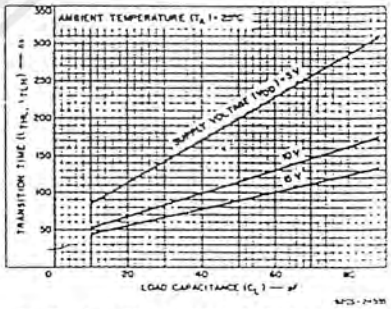


Fig. 8 – Typical output transition time vs. load capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4066A Types

ELECTRICAL CHARACTERISTICS (Cont'd)

CHARACTERISTIC	TEST CONDITIONS *All Voltage Values Are in Volts*		LIMITS Values at -55°C, +25°C, +125°C Apply to D, F, K, H Packages Values at -40°C, +25°C, +85°C Apply to E, Y Packages						UNITS
		V_{DD} (V)	-55°	-40°	+85°	+125°	+25° TYP.	+25° MAX.	
Propagation Delay (Signal Input to Signal Output) t_{pd}	V_{DD} = 5	$V_C = V_{DD}$, V_{SS} = GND, C_L = 15pF, V_{is} = sq. wave, t_r, t_f = 20 ns (Input Signal)	–	–	–	–	20	50	ns
	V_{DD} = 10		–	–	–	–	10	25	
Capacitance: Input, C_{is}	V_{DD} = +5, $V_{CC} = V_{SS}$ = -5		–	–	–	–	8	–	pF
Output, C_{os}			–	–	–	–	8	–	
Feedthrough, C_{ios}			–	–	–	–	0.5	–	
CONTROL (V_C)									
Noise Immunity, V_{NL} Min.	$V_{is} < V_{DD}$, I_{is} = 10uA, $V_{DD} - V_{SS}$ = 10		2	2	2	2	2 min 4.5	–	V
Input Leakage Current, I_{IL} Max.	$V_{is} < V_{DD}$, $V_{DD} - V_{SS}$ = 15, $V_C < V_{DD} - V_{SS}$		±1				$\pm 10^{-6}$	±1	μA
Crosstalk Control Input to Signal Output	$V_{DD} - V_{SS}$ = 10, V_C = 10 (sq. wave), $t_{rc} = t_{fc}$ = 20 ns	R_L = 10kΩ	–	–	–	–	50	–	mV
Propagation Delay, t_{pdC}		R_L = 300kΩ, V_{is} < 10, C_L = 15pF	–	–	–	–	35	–	ns
Maximum Allowable Control Input Repetition Rate	V_{DD} = 10, V_{SS} = GND, R_L = 1kΩ, C_L = 15pF, V_C = 10 (sq. wave), t_r, t_f = 20 ns		–	–	–	–	10	–	MHz
Av. Input Capacitance, C_I			–	–	–	–	5	–	pF

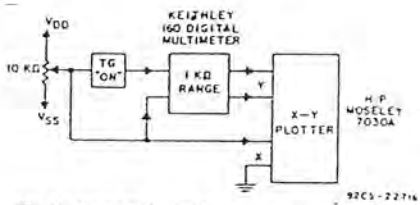


Fig. 3 – Channel ON resistance measurement circuit.

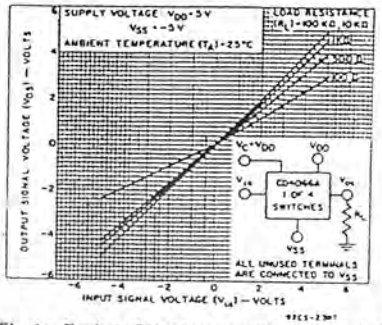


Fig. 4 – Typical ON characteristics for 1 of 4 channels.

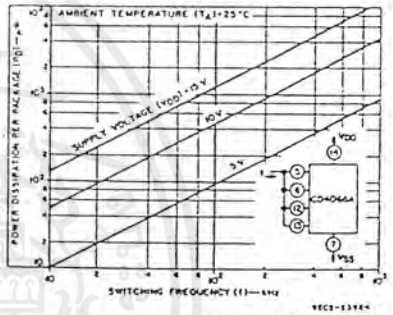


Fig. 5 – Power dissipation per package vs. switching frequency.

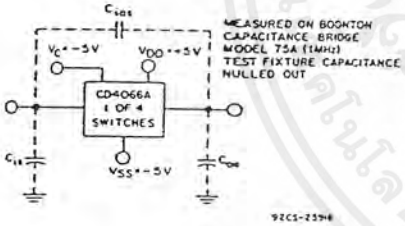


Fig. 6 – Capacitance test circuit.

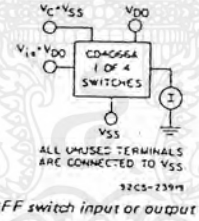


Fig. 7 – OFF switch input or output leakage.

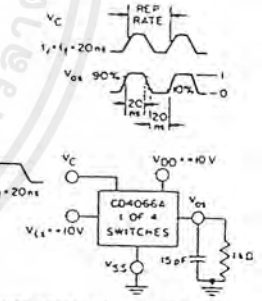


Fig. 10 – Maximum allowable control input repetition rate.

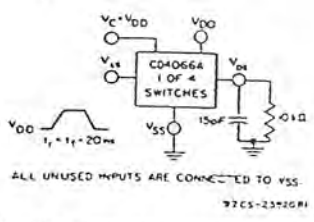


Fig. 8 – Propagation delay time signal input (V_{is}) to signal output (V_{os}).

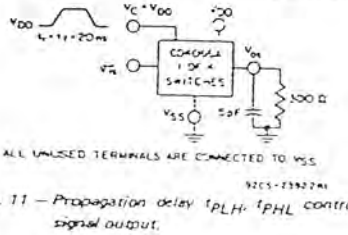


Fig. 11 – Propagation delay t_{PLH}, t_{PHL} control-signal output.

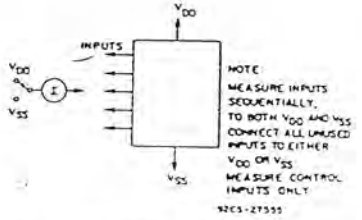


Fig. 12 – Input leakage current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4066A Types

Applications:

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator
  - Demodulator
  - Commutating switch
- Digital signal switching/Multiplexing
- Transmission-gate logic implementation
- Analog-to-digital & digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS *All Voltage Values Are in Volts*			LIMITS Values at -55°C, +25°C, +125°C Apply to D, F, K, H Packages. Values at -40°C, +25°C, +85°C Apply to E, Y Packages						UNITS
			V_{DD} (V)	-55°	-40°	+85°	+125°	+25° TYP.	+25° MAX.	
Quiescent Device Current, I_L max. D, F, K, H Pkgs.			5	0.25	–	–	7.5	0.01	0.25	µA
			10	0.5	–	–	15	0.01	0.5	
			15	2	–	–	40	0.02	2	
E, Y Pkgs.			5	–	2.5	15	–	0.25	2.5	µA
			10	–	5	30	–	0.25	5	
			15	–	50	500	–	0.5	50	
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})										
ON Resistance, R_{ON} Max.	$V_C = V_{DD}$	V_{SS}	V_{is}							Ω
	$R_L = 10k\Omega$*									
	+7.5	-7.5	-7.5 to +7.5	220	250	300	320	80	280	
	+15	0	0 to +15							
	+5	-5	-5 to +5	400	450	520	550	120	500	
	+10	0	0 to +10							
	+2.5	-2.5	-2.5 to +2.5	3000	3500	5200	5500	270	5000	
	-5	0	0 to +5							
Δ_{ON} Resistance Between Any 2 of 4 Switches, ΔR_{ON}	$R_L = 10k\Omega$*									Ω
	-7.5 or +15	-7.5 or 0	+7.5 to -7.5 / +15 to 0	–	–	–	–	5	–	
	-5 or +10	-5 or 0	+5 to -5 / +10 to 0	–	–	–	–	10	–	
Sine Wave Response (Distortion)	-5	-5	5V p-p*	–	–	–	–	0.4	–	%
	$R_L = 10k\Omega$, $f_{is} = 1kHz$									
Frequency Response Switch ON (Sine-Wave Input)	-5	-5	-5 p-p	–	–	–	–	40	–	MHz
	$R_L = 1k\Omega$, $20 \log_{10} \frac{V_{os}}{V_{is}} = -3dB$									
Feedthrough-Switch OFF	-5	-5	-5 p-p	–	–	–	–	1.25	–	MHz
	$R_L = 1k\Omega$, $20 \log_{10} \frac{V_{os}}{V_{is}} = -50dB$									
Input or Output Leakage — Switch OFF (Effective OFF Resistance)	V_{is}	$V_C = V_{SS}$	±7.5	–	–	–	–	±0.1	±100*	nA
	-7.5	-7.5								
	+5	-5	±5	–	–	–	–	±0.1	±100*	
Crosstalk Between Any 2 of the 4 Switches (f at -50 dB)	V_C (A) = V_{DD} = -5, V_C (B) = V_{SS} = -5, 5V p-p, $R_L = 1k\Omega$, $20 \log_{10} \frac{V_{os}(B)}{V_{is}(A)} = -50dB$			–	–	–	–	0.9	–	MHz

* Limit determined by minimum possible leakage measurement for automatic testing.

Δ Symmetrical about 0 volts. * For all test conditions.

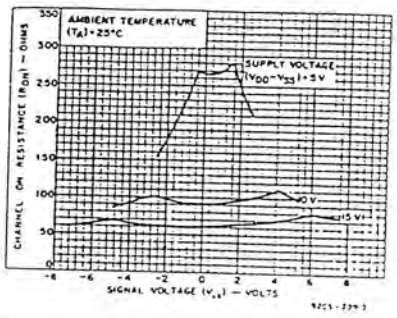


Fig. 2 (a) — Typical channel ON resistance vs. signal voltage for three values of supply voltage ($V_{DD}-V_{SS}$).

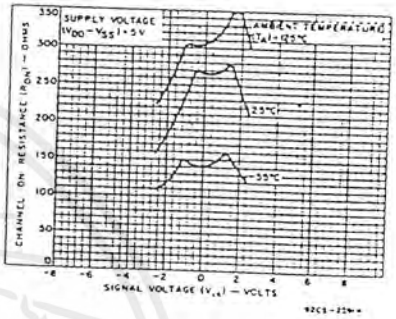


Fig. 2 (b) — Typical channel ON resistance vs. signal voltage with supply voltage ($V_{DD}-V_{SS}$) = 5 V.

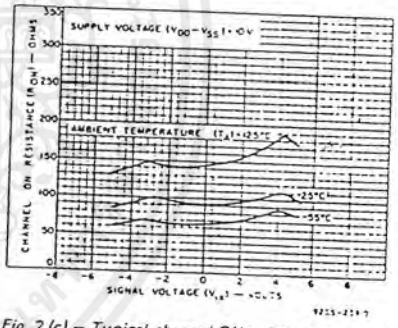


Fig. 2 (c) — Typical channel ON resistance vs. signal voltage with supply voltage ($V_{DD}-V_{SS}$) = 10 V.

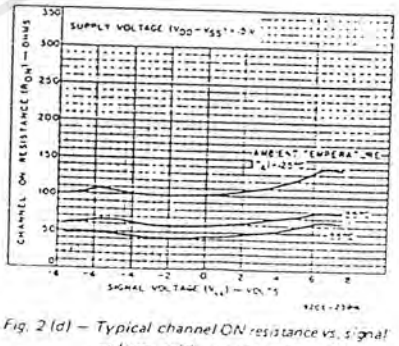


Fig. 2 (d) — Typical channel ON resistance vs. signal voltage with supply voltage ($V_{DD}-V_{SS}$) = 15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4066A Types

COS/MOS Quad Bilateral Switch

For Transmission or Multiplexing of Analog or Digital Signals

RCA CD4066A is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with RCA-CD4016, but exhibits a much lower ON resistance. In addition, the ON resistance is relatively constant over the full input-signal range.

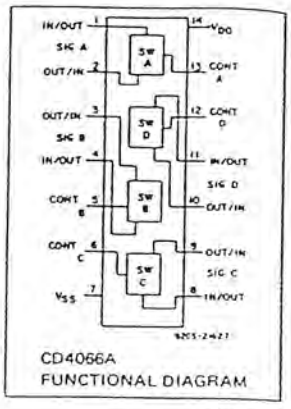
The CD4066A consists of four independent bilateral switches. A single control signal is required per switch. Both the p and the n device in a given switch are biased ON or OFF simultaneously by the control signal. As shown in Fig. 1, the well of the n-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration eliminates the variation of the switch-transistor threshold voltage with input signal, and thus keeps the ON resistance low over the full operating-signal range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON impedance over the input-signal range. For sample-and-hold applications, however, the CD4016 is recommended.

The CD4066A is available in 14-lead ceramic dual-in line packages (D, F, Y suffixes), 14-lead plastic dual-in-line packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- 15-V digital or ± 7.5-V peak-to-peak switching
- 80Ω typical ON resistance for 15-V operation
- Switch ON resistance matched to within 5 Ω over 15-V signal-input range
- ON resistance flat over full peak-to-peak signal range
- High ON/OFF output-voltage ratio: 65 dB typ. @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree of linearity: < 0.5% distortion typ. @ f_{is} = 1 kHz, V_{is} = 5 V_{p-p}, $V_{DD}-V_{SS} \geq$ 10 V, R_L = 10 kΩ
- Extremely low OFF switch leakage resulting in very low offset current and high effective OFF resistance: 10 pA typ. @ $V_{DD}-V_{SS}$ = 10 V, T_A = 25°C
- Extremely high control input impedance (control circuit isolated from signal circuit): 10^{12} Ω typ.
- Low crosstalk between switches: -50 dB typ. @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Matched control-input to signal-output capacitance: Reduces output signal transients
- Frequency response, switch ON = 40 MHz (typ.)
- Quiescent current specified to 15-V
- Maximum control input leakage current of 1-μA at 15-V (Full package-temperature range)



CD4066A
FUNCTIONAL DIAGRAM

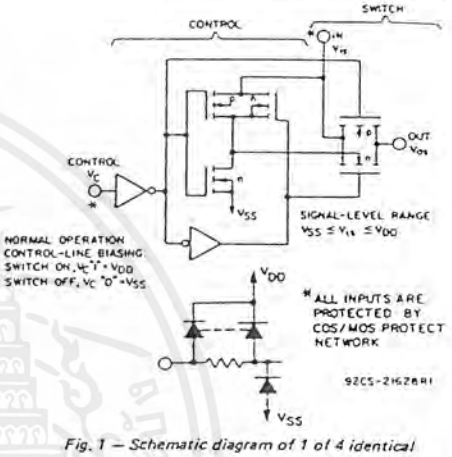


Fig. 1 — Schematic diagram of 1 of 4 identical switches and its associated control circuitry.

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE TEMPERATURE RANGE (T_{stg}) . . . . . -65 to +125°C

OPERATING TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H. . . . . -55 to +125°C

PACKAGE TYPES (E, Y) . . . . . -40 to +85°C

DC SUPPLY VOLTAGE RANGE, V_{DD}

(Voltages referenced to V_{SS}) . . . . . -0.5 to +15 V

POWER DISSIPATION PER PACKAGE:

FOR T_A = -40 to +60°C (PACKAGE TYPES E, Y) . . . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) Derate Linearly at 12 mW/°C . . . . . 200 mW

FOR T_A = -55 to +100°C (PACKAGE TYPES D, F, K) . . . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) Derate Linearly at 12 mW/°C . . . 200 mW

DEVICE DISSIPATION PER SECTION:

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . . . 100 mW

ALL SIGNAL AND DIGITAL CONTROL INPUTS . . . . . $V_{SS} \leq V_I \leq V_{DD}$

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C

SPECIAL CONSIDERATIONS – CD4066A

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066A bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from CD4066A.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).

   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10.

OPERATING CONDITIONS AT T_A = 25°C

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC	V_{DD}	MIN.	MAX.	UNITS
Supply Voltage Range (T_A = Full Package Temperature Range)	–	3	12	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A=25°C;
Input t_r,t_f=20 ns, C_L=50 pF, R_L=200 KΩ

CHARACTERISTIC	TEST CONDITIONS	V_{DD} V	LIMITS Min.	Typ.	Max.	UNITS
Propagation Delay Time, t_{PHL}, t_{PLH}: Reset to Output		5	–	280	560	ns
		10	–	115	230	
		15	–	80	160	
Clock or Enable to Output		5	–	330	650	
		10	–	130	225	
		15	–	90	170	
Transition Time, t_{THL}, t_{TLH}		5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
Maximum Clock Input Frequency, f_{CL}		5	1.5	3	–	MHz
		10	3	6	–	
		15	4	8	–	
Minimum Clock Pulse Width, t_W		5	–	100	200	ns
		10	–	50	100	
		15	–	35	70	
Clock Rise or Fall Time, t_r or t_f:		5,10	–	–	15	μs
		15	–	–	5	
Minimum Reset Pulse Width, t_W		5	–	125	250	ns
		10	–	55	110	
		15	–	40	80	
Minimum Enable Pulse Width, t_W		5	–	200	400	ns
		10	–	100	200	
		15	–	70	140	
Average Input Capacitance, C_I	Any Input	–	–	5	–	pF

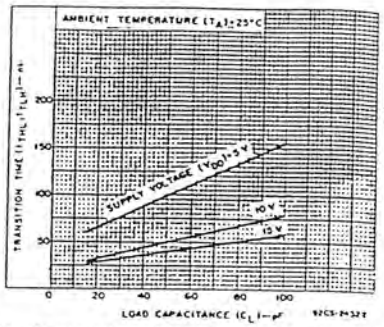


Fig. 10—Typical transition time vs. load capacitance.

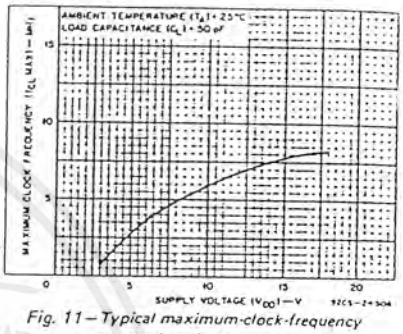


Fig. 11—Typical maximum-clock-frequency vs. supply voltage.

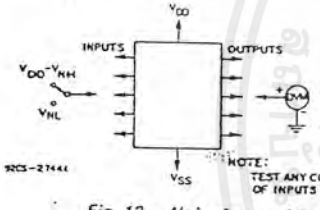


Fig. 12 — Noise-immunity test circuit.

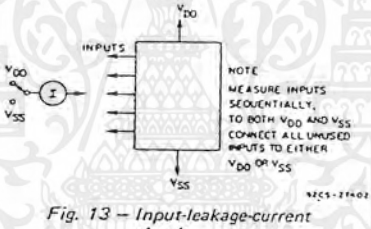


Fig. 13 — Input-leakage-current circuit.

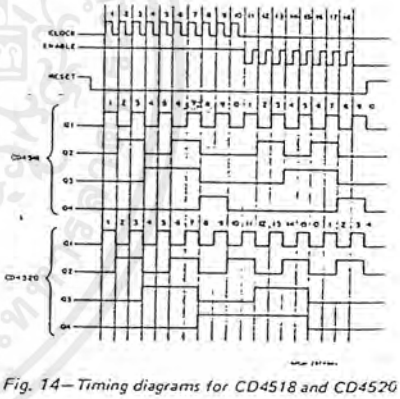


Fig. 14—Timing diagrams for CD4518 and CD4520

RECOMMENDED OPERATING CONDITIONS at T_A = 25°C, Except as Noted.
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD} (V)	LIMITS Min.	Max.	UNITS
Supply-Voltage Range (For T_A=Full Package-Temperature Range)		3	18	V
Enable Pulse Width, t_W	5	400	–	ns
	10	200	–	
	15	140	–	
Clock Pulse Width, t_W	5	200	–	ns
	10	100	–	
	15	70	–	
Clock Input Frequency, f_{CL}	5	dc	1.5	MHz
	10		3	
	15		4	
Clock Rise or Fall Time, t_{rCL} or t_{fCL}:	5,10	–	15	μs
	15	–	5	
Reset Pulse Width, t_W	5	250	–	ns
	10	110	–	
	15	80	–	

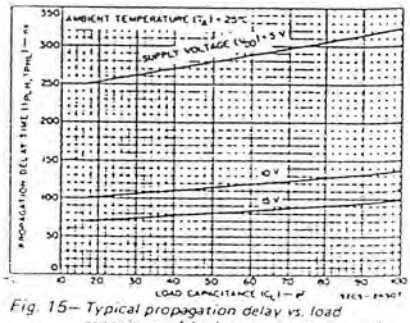


Fig. 15—Typical propagation delay vs. load capacitance (clock or enable to output).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4518B, CD4520B Types

MAXIMUM RA[illegible] Absolute-Maximum Values:

STORAGE-[illegible]PERATURE RANGE (T_{stg}) ..... −65 to +150°C

OPERATING-TEMPERATURE RANGE (T_A):

PACKAGE TYPES D, F, K, H ..... −55 to +125°C

PACKAGE TYPES E, Y ..... −40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal): ..... −0.5 to +20 V

POWER DISSIPATION PER PACKAGE (P_D):

FOR T_A = −40 to +60°C (PACKAGE TYPES E, Y) ..... 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPES E, Y) ..... Derate Linearly at 12 mW/°C to 200 mW

FOR T_A = −55 to +100°C (PACKAGE TYPES D, F, K) ..... 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) ..... Derate Linearly at 12 mW/°C to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES) ..... 100 mW

INPUT VOLTAGE RANGE, ALL INPUTS ..... −0.5 to V_{DD} +0.5 V

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions			Limits at Indicated Temperatures (°C) *Values at −55,+25,+125 Apply to D,K,F,H Packages* *Values at −40,+25,+85 Apply to E,Y Packages*							Units
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	−40	+85	+125	+25 Min.	+25 Typ.	+25 Max.	
Quiescent D[illegible] C[illegible]ent, I_L Max.	–	–	5	5	5	50	100	–	0.02	5	μA
	–	–	10	10	10	100	200	–	0.02	10	
	–	–	15	20	20	200	400	–	0.02	20	
	–	–	20	100	100	1000	2000	–	0.04	100	
Output Voltage: Low-Level, V_{OL} Max.	–	0, 5	5	0.05				–	0	0.05	V
	–	0, 10	10	0.05				–	0	0.05	
	–	0, 15	15	0.05				–	0	0.05	
High Level, V_{OH} Min.	–	0, 5	5	4.95				4.95	5	–	
	–	0, 10	10	9.95				9.95	10	–	
	–	0, 15	15	14.95				14.95	15	–	
Noise Immunity: Inputs Low, V_{NL} Min.	4.2	–	5	1.5				1.5	2.25	–	V
	9	–	10	3				3	4.5	–	
	13.5	–	15	4.5				4.5	6.75	–	
Inputs High, V_{NH} Min.	0.8	–	5	1.5				1.5	2.25	–	
	1	–	10	3				3	4.5	–	
	1.5	–	15	4.5				4.5	6.75	–	
Noise Margin: Inputs Low, V_{NML} Min.	4.5	–	5	1				1	–	–	V
	9	–	10	1				1	–	–	
	13.5	–	15	1				1	–	–	
Inputs High, V_{NMH} Min.	0.5	–	5	1				1	–	–	
	1	–	10	1				1	–	–	
	1.5	–	15	1				1	–	–	
Output Drive Current: N-Channel (Sink), I_DN Min.	0.4	–	5	0.5	0.45	0.36	0.3	0.4	0.8	–	mA
	0.5	–	10	1.1	1	0.75	0.65	0.9	1.8	–	
	1.5	–	15	3.3	3.2	2.5	2.2	3	6	–	
P-Channel (Source), I_D Min.	4.6	–	5	−0.5	−0.45	−0.36	−0.3	−0.4	−0.8	–	
	2.5	–	5	−2	−1.8	−1.3	−1.15	−1.6	−3.2	–	
	9.5	–	10	−1.1	−1	−0.75	−0.65	−0.9	−1.8	–	
	13.5	–	15	−3.3	−3.2	−2.5	−2.2	−3	−6	–	
Input Leakage Current, I_{IL}, I_{IH} Max.	Any Input		20	±1				–	$±10^{-5}$	±1	μA

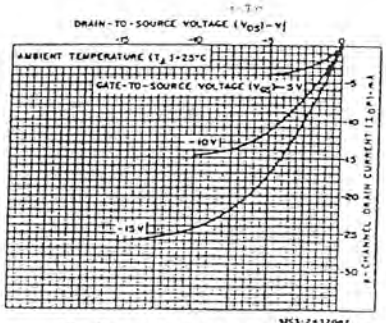


Fig. 5—Typical output-P-channel drain characteristics.

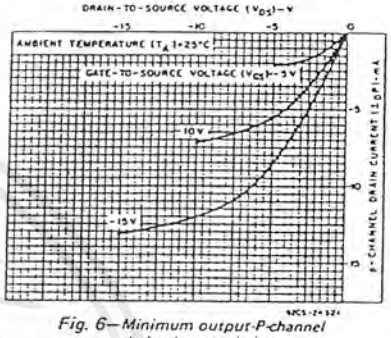


Fig. 6—Minimum output-P-channel drain characteristics.

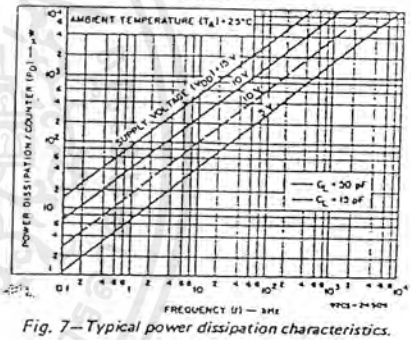


Fig. 7—Typical power dissipation characteristics.

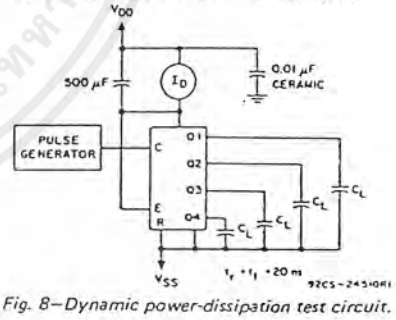


Fig. 8—Dynamic power-dissipation test circuit.

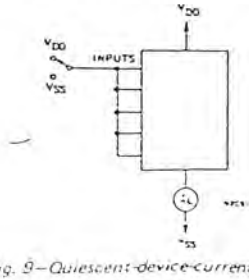


Fig. 9—Quiescent-device-current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4518B, CD4520B Types

OS/MOS Dual Up-Counters

-Voltage Types (3-to-20-Volt Rating)

5188 Dual BCD Up-Counter
520B Dual Binary Up-Counter

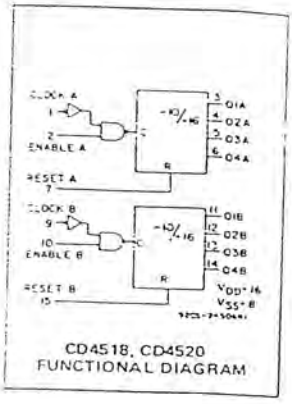
RCA-CD4518 Dual BCD Up-Counter CD4520 Dual Binary Up-Counter each st of two identical, internally synchro- 4-stage counters. The counter stages are e flip-flops having interchangeable CK and ENABLE lines for incrementing ther the positive-going or negative-going tion. For single-unit operation the BLE input is maintained high and the er advances on each positive-going tion of the CLOCK. The counters are d by high levels on their RESET lines.

counter can be cascaded in the ripple by connecting Q4 to the enable input subsequent counter while the CLOCK of the latter is held low.

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
⌐¬	1	0	Increment Counter
0	¬⌐	0	Increment Counter
¬⌐	X	0	No Change
X	⌐¬	0	No Change
⌐¬	0	0	No Change
1	¬⌐	0	No Change
X	X	1	Q1 thru Q4 = 0

X = Don't Care 1 ≡ High State 0 ≡ Low State



CD4518, CD4520
FUNCTIONAL DIAGRAM

The CD4518B and CD4520B types are supplied in 16-lead hermetic dual-in-line ceramic packages (D, F, and Y suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Medium-speed operation — 6-MHz typical clock frequency at 10 V
- Positive- or negative-edge triggering
- Synchronous internal carry propagation
- Quiescent current specified to 20 V
- Maximum input leakage of 1 μA at 20 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)
- 5-V, 10-V, and 15-V parametric ratings

Applications:

- Multistage synchronous counting
- Multistage ripple counting
- Frequency dividers

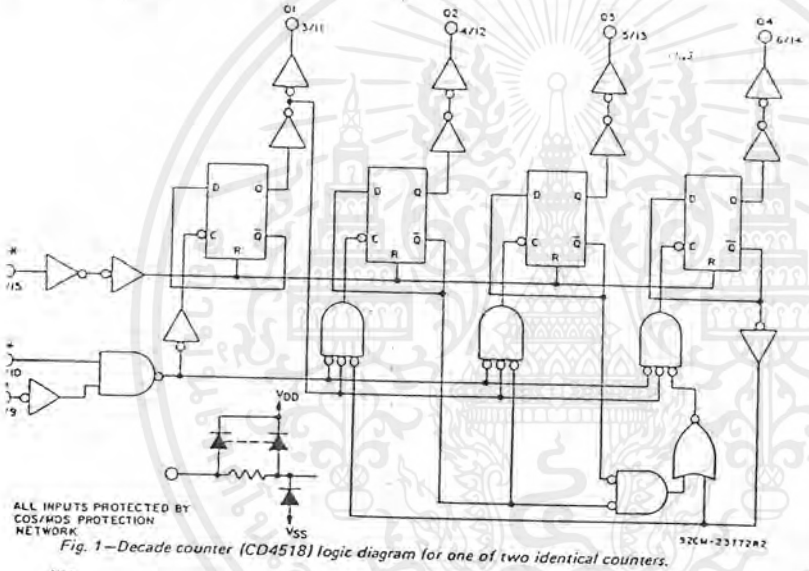
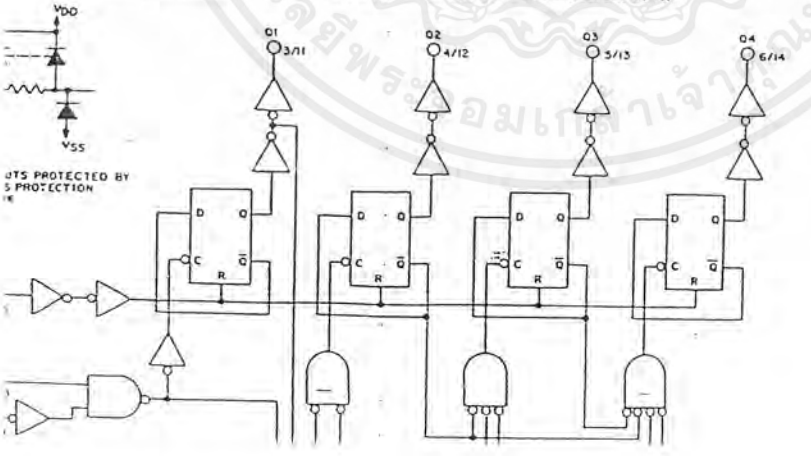


Fig. 1—Decade counter (CD4518) logic diagram for one of two identical counters.



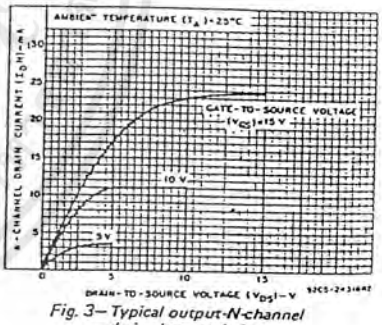
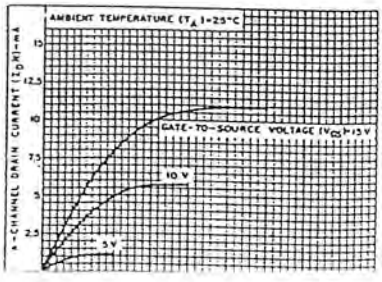


Fig. 3— Typical output-N-channel drain characteristics.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้